

PlanAhead

ユーザー ガイド

UG632 (v11.4) 2009 年 12 月 1 日



Xilinx is disclosing this user guide, manual, release note, and/or specification (the "Documentation") to you solely for use in the development of designs to operate with Xilinx hardware devices. You may not reproduce, distribute, republish, download, display, post, or transmit the Documentation in any form or by any means including, but not limited to, electronic, mechanical, photocopying, recording, or otherwise, without the prior written consent of Xilinx. Xilinx expressly disclaims any liability arising out of your use of the Documentation. Xilinx reserves the right, at its sole discretion, to change the Documentation without notice at any time. Xilinx assumes no obligation to correct any errors contained in the Documentation, or to advise you of any corrections or updates. Xilinx expressly disclaims any liability in connection with technical support or assistance that may be provided to you in connection with the Information.

THE DOCUMENTATION IS DISCLOSED TO YOU "AS-IS" WITH NO WARRANTY OF ANY KIND. XILINX MAKES NO OTHER WARRANTIES, WHETHER EXPRESS, IMPLIED, OR STATUTORY, REGARDING THE DOCUMENTATION, INCLUDING ANY WARRANTIES OF MERCHANTABILITY, FITNESS FOR A PARTICULAR PURPOSE, OR NONINFRINGEMENT OF THIRD-PARTY RIGHTS. IN NO EVENT WILL XILINX BE LIABLE FOR ANY CONSEQUENTIAL, INDIRECT, EXEMPLARY, SPECIAL, OR INCIDENTAL DAMAGES, INCLUDING ANY LOSS OF DATA OR LOST PROFITS, ARISING FROM YOUR USE OF THE DOCUMENTATION.

© 2009 Xilinx, Inc. XILINX, the Xilinx logo, Virtex, Spartan, ISE, and other designated brands included herein are trademarks of Xilinx in the United States and other countries. All other trademarks are the property of their respective owners.

included in the PlanAhead™ software source code is source code for the following programs:

Centerpoint XML

The initial developer of the Original Code is CenterPoint - Connective Software Engineering GmbH. Portions created by CenterPoint - Connective Software Engineering GmbH. Copyright © Copyright IBM Corp. 1998 1998-2000 CenterPoint - Connective Software Engineering GmbH. All Rights Reserved. Source Code for CenterPoint is available at <http://www.cpointc.com/XML/>

NLView Schematic Engine

Copyright © Copyright IBM Corp. 1998 Concept Engineering.

Static Timing Engine by Parallax Software Inc.

Copyright © Copyright IBM Corp. 1998 Parallax Software Inc.

Java Standard Edition

Copyright © Copyright IBM Corp. 1998 1995 - 2006 Sun Microsystems

Includes portions of software from RSA Security, Inc. and some portions licensed from IBM are available at <http://oss.software.ibm.com/icu4j/>.

Powered By JIDE - <http://www.jidesoft.com>

The BSD License for the JGoodies Looks

Copyright © Copyright IBM Corp. 1998 2001-2008 JGoodies Karsten Lentzsch. All rights reserved.

Redistribution and use in source and binary forms, with or without modification, are permitted provided that the following conditions are met:

- Redistributions of source code must retain the above copyright notice, this list of conditions and the following disclaimer.
- Redistributions in binary form must reproduce the above copyright notice, this list of conditions and the following disclaimer in the documentation and/or other materials provided with the distribution.
- Neither the name of JGoodies Karsten Lentzsch nor the names of its contributors may be used to endorse or promote products derived from this software without specific prior written permission.

THIS SOFTWARE IS PROVIDED BY THE COPYRIGHT HOLDERS AND CONTRIBUTORS "AS IS" AND ANY EXPRESS OR IMPLIED WARRANTIES, INCLUDING, BUT NOT LIMITED TO, THE IMPLIED WARRANTIES OF MERCHANTABILITY AND FITNESS FOR A PARTICULAR PURPOSE ARE DISCLAIMED. IN NO EVENT SHALL THE COPYRIGHT OWNER OR CONTRIBUTORS BE LIABLE FOR ANY DIRECT, INDIRECT, INCIDENTAL, SPECIAL, EXEMPLARY, OR CONSEQUENTIAL DAMAGES (INCLUDING, BUT NOT LIMITED TO, PROCUREMENT OF SUBSTITUTE GOODS OR SERVICES; LOSS OF USE, DATA, OR PROFITS; OR BUSINESS INTERRUPTION) HOWEVER CAUSED AND ON ANY THEORY OF LIABILITY, WHETHER IN CONTRACT, STRICT LIABILITY, OR TORT (INCLUDING NEGLIGENCE OR OTHERWISE) ARISING IN ANY WAY OUT OF THE USE OF THIS SOFTWARE, EVEN IF ADVISED OF THE POSSIBILITY OF SUCH DAMAGE.

Libconfig (v1.3.2) License

libconfig - A library for processing structured configuration files

Copyright (C) 2005-2009 Mark A Lindner

This file is part of libconfig.

This library is free software; you can redistribute it and/or modify it under the terms of the GNU Lesser General Public License as published by the Free Software Foundation; either version 2.1 of the License, or (at your option) any later version.

This library is distributed in the hope that it will be useful, but WITHOUT ANY WARRANTY; without even the implied warranty of MERCHANTABILITY or FITNESS FOR A PARTICULAR PURPOSE. See the GNU Lesser General Public License for more details.

You should have received a copy of the GNU Library General Public License along with this library; if not, see <http://www.gnu.org/licenses/>.

本資料は英語版 (v 11.4) を翻訳したもので、内容に相違が生じる場合には原文を優先します。

資料によっては英語版の更新に対応していないものがあります。

日本語版は参考用としてご使用の上、最新情報につきましては、必ず最新英語版をご参照ください。

このマニュアルについて

このマニュアルには、PlanAhead™ ソフトウェアのインターフェイスの概要、デザインやソフトウェアの機能の使用方法などの詳細な情報が含まれています。

この章は、次のセクションから構成されています。

- 「PlanAhead について」
- 「マニュアルの内容」
- 「その他のリソース」
- 「表記規則」

メモ：ソフトウェアのインストール方法およびシステム要件は、『ISE Design Suite11：インストール、ライセンス、およびリリース ノート』を参照してください。

PlanAhead について

PlanAhead は、FPGA デバイスの設計に用いられるデザインおよび解析ソフトウェア製品で、FPGA インプリメンテーション プロセスに対し、直感的で統合された環境を提供します。

PlanAhead を使用すると、デザイン RTL ソース、合成されたネットリスト、およびインプリメンテーション結果を解析して回路のパフォーマンスを向上させることができます。また、さまざまなインプリメンテーション オプションを試し、タイミング制約を調整し、物理制約やフロアプランを利用して、デザイン結果を改善することができます。リソース数、インターコネクト遅延、および配線接続を早期に見積もることで、適切なロジック デバイスの選択とフロアプランが容易になります。階層的なデータベースを利用すると、ブロック ベースのインクリメンタル手法を使用できるため、ランタイムおよびデザインの配置配線に必要な計算用のリソースを削減できます。

PlanAhead の機能

- I/O ピン割り当て環境
 - ◆ インタラクティブな自動 I/O 配置
 - ◆ 関連 I/O をインターフェイスにグループ化
 - ◆ 豊富なデザイン ルール チェック (DRC)
 - ◆ 同時スイッチ ノイズ (SSN) 解析
 - ◆ WASSO 解析
 - ◆ 互換性のあるデバイスへの置き換え
- RTL 開発および解析環境
 - ◆ 合成を必要としない RTL ソース (Verilog および VHDL) のインポート およびエラボレーション

- ◆ 構文チェックを含む RTL エラボレーション
- ◆ クロスプローブ可能な RTL エディタ
- ◆ リソースの予測
- ◆ RTL ネットリストおよび階層表示
- ◆ RTL 回路図
- ◆ RTL デザイン ルール チェック (DRC)
- 合成およびインプリメンテーション環境
 - ◆ 1 つまたは複数の実行の設定および起動
 - ◆ 一般的に使用されるストラテジの定義および適用
 - ◆ 結果の監視および管理
 - ◆ 結果のインポートおよび解析
 - ◆ Linux での複数 CPU 機能
 - ◆ Linux でのリモート ホスト
- デザイン解析
 - ◆ インタラクティブな回路図表示
 - ◆ グラフィカルな階層表示
 - ◆ ネットリストの階層表示と展開表示
 - ◆ リソース使用率の統計 (配置配線前)
 - ◆ デバイスまたはデザイン オブジェクトの高機能な検索機能
 - ◆ デザイン メトリックの表示
 - ◆ 関連情報を表示するオブジェクトのプロパティ
 - ◆ デザイン ルール チェック機能
 - ◆ 接続の表示
 - ◆ 配置解析およびハイライト表示
- スタティック タイミング予測 (TimeAhead)
- タイミング制約エディタ
- 高度なフロアプラン環境
 - ◆ 階層的なフロアプラン
 - ◆ LOC 制約を割り当ておよび固定するための柔軟な機能
- ブロック ペース機能
 - ◆ ブロック レベルのインプリメンテーション
 - ◆ IP 作成および再利用

Project Navigator 環境との統合

PlanAhead は、デザイン フローを通してデザイン結果を改善していくための環境を提供します。Project Navigator と統合された PlanAhead は、4 つのデザインプロセス ステップで自動的に起動させることができます。このステップには、I/O ピン割り当て (合成前)、I/O ピン割り当て (合成後)、エリア/IO/ロジックのフロアプラン (合成後)、およびタイミング/フロアプラン デザイン解析 (インプリメンテーション後) があります。スタンドアロンの PlanAhead では、各ステップに特化した機能だけを使用することができます。PlanAhead は、PACE および Floorplanner に代わり、FPGA デザインの、ピン配置、デザイン表示、フロアプラン フローのすべてを実行します。

PlanAhead が Project Navigator から起動されると、選択されたタスクに特化した PlanAhead 機能だけにアクセスできるインターフェイスが提供されます。このモードは、ISE® 統合モードと呼ばれます。モードは PlanAhead ウィンドウ下部にあるステータス バーに表示されます。

マニュアルの内容

このマニュアルは、次の章から構成されています。

- [第 1 章「PlanAhead デザイン フローの理解」](#)では、PlanAhead の利点の概要、デザイン フローと PlanAhead の機能の概要、およびプロジェクトに必要な入出力項目を説明します。
- [第 2 章「プロジェクトの作成および管理」](#)では、PlanAhead のプロジェクトの初期セットアップおよび管理方法を説明します。
- [第 3 章「Project Navigator からの PlanAhead の使用」](#)では、Project Navigator と統合された PlanAhead フローを説明します。
- [第 4 章「表示環境の使用」](#)では、PlanAhead のユーザー インターフェイスを説明します。
- [第 5 章「I/O ピンの配置」](#)では、ピン割り当てができる PinAhead 環境を説明します。
- [第 6 章「RTL デザインの作成および解析」](#)では、PlanAhead の RTL 環境を説明します。
- [第 7 章「デザインのインプリメンテーション」](#)では、PlanAhead の合成およびインプリメンテーション環境を説明します。
- [第 8 章「デザインの解析」](#)では、PlanAhead のデザイン解析機能を説明します。
- [第 9 章「インプリメンテーション結果の解析」](#)では、PlanAhead で使用可能なタイミングおよび配置解析機能を説明します。
- [第 10 章「デザインのフロアプラン」](#)では、フロアプラン制約の作成方法を説明します。
- [第 11 章「ChipScope を使用したデザインのデバッグ」](#)では、PlanAhead に統合された ChipScope ソフトウェアのデバッグ機能を説明します。

このマニュアルには、次の付録があります。

- [付録 A「メニューおよびツールバー コマンド」](#)では、メニューコマンドおよびツールバー コマンドについて、簡単に説明します。
- [付録 B「XilinxUpdate を使用したインストール」](#)では PlanAhead のインクリメンタル リリース ストラテジおよびソフトウェアのアップデート方法を説明します。
- [付録 C「パスワードなしの SSH の設定」](#)では、PlanAhead のプロセスを複数のホストで実行するために必要なパスワードなしの SSH の設定方法を説明します。

その他のリソース

次のリソースも参照してください。詳細は、ザイリンクスの Web サイト、<http://japan.xilinx.com/planahead> を参照してください。

追加資料はこちらのザイリンクスの Web サイトを参照してください。

<http://japan.xilinx.com/support/documentation/index.htm>

シリコン、ソフトウェア、IP に関する質問および解答をアンサー データベースで検索したり、テクニカル サポートのウェブ ケースを開くには、次のザイリンクス Web サイトにアクセスしてください。

<http://japan.xilinx.com/support/mysupport.htm>

ザイリンクスのトレーニング

- Designing with PlanAhead : サンプルデザインを使用して PlanAhead の機能を学ぶコースです。

資料

- 『ISE Design Suite11 : インストール、ライセンス、およびリリース ノート』: インストール手順およびシステム要件について説明します。このマニュアルはザイリンクス Web サイトから入手できます。
- 『PlanAhead リリース ノート』: このリリースの新機能に関する情報が提供されています。ソフトウェアおよびザイリンクスの Web サイトより入手できます。
- 『PlanAhead Methodology Guide』: パフォーマンス向上、結果の再利用性、設計時間の短縮のためのさまざまなストラテジが提供されています。ソフトウェアおよびザイリンクスの Web サイトより入手できます。
- PlanAhead のチュートリアル : PlanAhead には次のチュートリアルが用意されています。ソフトウェアおよびザイリンクスの Web サイトより入手できます。
 - ◆ クイック フロー概要
 - ◆ I/O ピン配置
 - ◆ RTL 開発および解析
 - ◆ デザイン解析およびフロアプラン
 - ◆ PlanAhead および ChipScope を使用したデバッグ

ビデオ デモンストレーション

- PlanAhead テクニカル ビデオ デモ : PlanAhead ソフトウェアの機能の一部を取り上げたデモの動画です。ザイリンクスの Web サイトでのみ視聴できます。

http://japan.xilinx.com/products/design_resources/design_tool/resources/index.htm

表記規則

このマニュアルでは、次の表記規則を使用しています。各規則について、例を挙げて説明します。

書体

次の規則は、すべてのマニュアルで使用されています。

表記規則	使用箇所	例
Courier フォント	システムが表示するメッセージ、プロンプト、プログラム ファイルを表示します。	speed grade: - 100
Courier フォント (太字)	構文内で入力するコマンドを示します。	ngdbuild <design_name>
イタリック フォント	ユーザーが値を入力する必要がある構文内の変数に使用します。	<i>ngdbuild</i> <design_name>
二重 / 一重かぎカッコ『』、「」	『』はマニュアル名を、「」はセクション名を示します。	詳細については、『開発システムリファレンス ガイド』の「PAR」を参照してください。
角カッコ []	オプションの入力またはパラメータを示しますが、 bus[7:0] のようなバス仕様では必ず使用します。また、GUI 表記にも使用します。	ngdbuild [option_name] <design_name> [File] → [Open] をクリックします。
中カッコ { }	1 つ以上の項目を選択するためのリストを示します。	lowpwr = {on off}
縦棒	選択するリストの項目を分離します。	lowpwr = {on off}
縦の省略記号 ・ ・ ・	繰り返し項目が省略されていることを示します。	IOB #1: Name = QOUT' IOB #2: Name = CLKIN' ・ ・ ・
横の省略記号 ...	繰り返し項目が省略されていることを示します。	allow block block_name loc1 loc2 ... locn;

オンライン マニュアル

このマニュアルでは、次の規則が使用されています。

表記規則	使用箇所	例
青色の文字	マニュアル内の相互参照を示します。	詳細については、「 その他のリソース 」を参照してください。 詳細については、第 1 章「 タイトル フォーマット 」を参照してください。
赤色の文字	ほかのマニュアルへの相互参照を示します。	詳細については、『XST ユーザーガイド』の 図 2-5 を参照してください。
青色の下線付き文字	Web サイト (URL) へのハイパーリンクです。	最新のスピード ファイルは、 http://japan.xilinx.com から入手できます。

目次

このマニュアルについて

PlanAhead について	5
PlanAhead の機能	5
Project Navigator 環境との統合	7
マニュアルの内容	7
その他のリソース	8
ザイリンクスのトレーニング	8
資料	8
ビデオ デモンストレーション	8
表記規則	8
書体	9
オンライン マニュアル	9

第 1 章：PlanAhead デザイン フローの理解

PlanAhead デザイン フロー	19
基本デザイン フロー	20
実行試行フロー	20
デザイン解析およびフロアプラン フロー	21
入力および出力ファイル	21
PlanAhead の入力	21
レポートの出力	24
デフォルト環境の出力	26
プロジェクト データの出力	27
ISE インプリメンテーションの出力	30
PlanAhead の用語	34

第 2 章：プロジェクトの作成および管理

PlanAhead の起動	37
Linux	37
Windows	37
PlanAhead コマンド ライン オプション	38
PlanAhead の Tcl スタートアップ スクリプトの使用	39
Getting Started ページの使用	40
PlanAhead プロジェクトの種類	40
I/O ピン配置の空プロジェクト	40
RTL ソースをベースにしたプロジェクト	40
合成ネットリストをベースにしたプロジェクト	40
インプリメントされたデザイン結果をベースにしたプロジェクト	41
New Project ウィザードを使用した新規プロジェクトの作成	41
プロジェクト名およびプロジェクト ディレクトリの入力	42
デザイン ソース データ タイプの選択	43
I/O ピンを配置する空のプロジェクトの作成	43
RTL ソースをインポートしたプロジェクトの作成	45
EDIF または NGC 形式の合成ネットリストを使用したプロジェクトの作成	49
ISE 配置およびタイミング結果を使用したプロジェクトの作成	53
プロジェクトの管理	60
既存プロジェクトを開く方法	60
複数のプロジェクトを開く	61
プロジェクトを閉じる	62
合成ネットリスト ベースのプロジェクトのネットリストのアップデート	62

フロアプランを使用した作業	66
フロアプランとは	66
フロアプランの作成	67
制約のインポート	70
モジュール レベルの制約のインポート	71
フロアプランでのデザイン制約のアップデート	72
複数のフロアプランの作成	74
複数のフロアプランの管理	75
フロアプラン プロパティの表示および編集	75
フロアプランを閉じる	77
フロアプランの削除	78
フロアプランの保存	78
フロアプランのコピー	79
フロアプランの名前の変更	79

第 3 章：Project Navigator からの PlanAhead の使用

統合の概要	81
ISE および PlanAhead の統合プロセス	82
ロジックおよび制約の渡し	82
I/O ピン割り当て (合成前)	82
I/O ピン割り当て (合成後)	83
エリア/IO/ロジックのフロアプラン (合成後)	84
タイミング解析/デザインのフロアプラン (インプリメンテーション後)	84
PlanAhead の表示環境	85
I/O ピン割り当てのウィンドウ レイアウト	85
デザイン解析およびフロアプランのウィンドウ レイアウト	86
PACE / Floorplan Editor から PlanAhead への移行	88
概要	88
Project Navigator からの PlanAhead の起動	88
スタンドアロンの PlanAhead の起動	89
空デザインおよび合成前の I/O ピン割り当て	89
合成後のピン割り当ておよびエリア ベースのフロアプラン	90
一般的な I/O ピン割り当ておよびフロアプラン タスク	91
ISE インプリメンテーション結果ページの表示	92
まとめ	92
Floorplanner から PlanAhead への移行	92
Project Navigator からの PlanAhead の起動	92
スタンドアロンの PlanAhead の起動	93
一般的なフロアプラン タスク	93
タイミング解析 - パスのビジュアル表示	94
ISE インプリメンテーション結果ページの表示	94
まとめ	94

第 4 章：表示環境の使用

表示環境	95
PinAhead のウィンドウ レイアウト	96
プロジェクト環境ウィンドウ レイアウト	97
フロアプラン環境ウィンドウ レイアウト	98
ウィンドウの操作	99
表示ウィンドウの切り替え	99
ウィンドウを開く	99
ウィンドウ パナーのコマンドを使用したウィンドウの操作	100
自動非表示の使用	100
ウィンドウのフロート	101
表示エリアのサイズの定義	101
ウィンドウ特定のツールバー コマンドの使用	102
ワークスペース ウィンドウの使用	102

ワークスペース ウィンドウとは	102
ワークスペース ウィンドウを開く	103
ワークスペースの全画面表示	103
ワークスペースのフロート表示	103
ワークスペースの印刷	103
ワークスペース ウィンドウを閉じる	104
ワークスペースの分割	104
共通のウィンドウの使用	105
[Console] ウィンドウおよび Tcl コマンド ライン	105
[World] ウィンドウの使用	106
ステータス バーの使用	107
オブジェクトの選択	108
オブジェクトの選択	108
選択したオブジェクトすべての表示	109
[Selection] ウィンドウの使用	110
選択したオブジェクトのハイライト	110
選択したオブジェクトのマーク	111
選択ルールの設定	111
ワークスペース ウィンドウのオブジェクトの選択機能の設定	111
文脈依存カーソルについて	112
ウィンドウの環境設定	112
PlanAhead の表示オプションのカスタマイズ	112
PlanAhead の動作オプションの設定	118
表示エリア内でのウィンドウの移動	121
カスタム ウィンドウ レイアウトの作成	123
ウィンドウ レイアウトの復元	123

第 5 章：I/O ピンの配置

PinAhead の概要	125
PinAhead 環境の使用	125
[I/O Ports] ウィンドウの使用	128
[Package Pins] ウィンドウの使用	129
[Package] ウィンドウの使用	130
[Device] ウィンドウの使用	131
デバイス リソースの表示	132
パッケージ ピンのプロパティの表示	132
I/O バンク リソースの表示	133
クロック領域リソースの表示	134
互換性のあるパーツの選択	135
I/O ポートのインポート	136
CSV 形式のファイル	136
HDL 形式のファイル	138
UCF フォーマット ファイル	138
I/O ポートの定義および設定	138
I/O ポートの作成	138
I/O ポートの設定	139
I/O ピンおよび I/O バンクの使用禁止	141
I/O ポート インターフェイスの作成	141
I/O ポートの配置	143
インタラクティブなデザイン ルール チェックの使用	143
I/O ポートの I/O バンクへの配置	143
I/O ポートの定義された領域への配置	145
I/O ポートの順次配置	146
I/O ポートの自動割り当て	147
ギガビット トランシーバ I/O ポートの配置	148
I/O 関連のクロック ロジックの配置	148

I/O 配置制約の削除	149
DCI_CASCADE 制約の設定	149
I/O ポートおよびクロック ロジック関連の DRC の実行	152
同時スイッチ ノイズ (SSN) 解析の実行	159
WASSO 解析の実行	163
パッケージ ピンの情報のエクスポート	164
I/O ポート リストのエクスポート	165

第 6 章：RTL デザインの作成および解析

プロジェクト環境の使用	167
[Sources] ウィンドウの使用	168
ソース ファイル プロパティの表示	170
ソースのプロジェクトへの追加	170
ソース ファイルまたはディレクトリの追加	170
新規ソース ファイルの作成	172
RTL ソース ファイルのアップデート	172
RTL エディタの使用	174
RTL エディタのポップアップ メニュー コマンドの使用	174
[Find in Files] コマンドを使用したソース ファイルの検索	175
RTL デザインのエラボレートおよび解析	176
[RTL] ウィンドウの使用	177
[RTL Hierarchy] ウィンドウの使用	178
モジュールのリソース見積りの表示	179
RTL 回路図の解析	180
[Find] コマンドを使用したオブジェクトの検索	181
RTL DRC の実行	181

第 7 章：デザインのインプリメンテーション

合成の実行	187
合成実行の作成および起動	187
合成に関するヒント	192
インプリメンテーションの実行	193
インプリメンテーション実行の作成および起動	193
Pblock のインプリメント	197
実行の監視および設定	199
[Design Runs] ウィンドウの使用	199
実行プロパティの表示および修正	201
実行の管理	206
既存の実行の起動	206
実行のリセット	207
実行の削除	208
実行結果のインポート	208
合成実行結果のインポート	208
インプリメンテーション実行結果のインポート	210
インプリメンテーション実行での Bitgen の実行	212
ストラテジの作成	213
合成およびインプリメンテーション ストラテジの作成	213
共通のグループ ストラテジの作成	214
複数の Linux ホストでの実行起動	215
制限事項	215
リモート ホストの設定 (Linux のみ)	215
ISE とのインターフェイス	217
制約のエクスポート	217
ネットリストのエクスポート	217
ISE インプリメンテーション用の Pblock のエクスポート	218

ISE インプリメンテーション結果のインポート	220
第 8 章：デザインの解析	
フロアプラン環境の使用	224
[Device] ウィンドウの使用	224
[Schematic] ウィンドウの使用	230
[Hierarchy] ウィンドウの使用	240
[Properties] ウィンドウの使用	241
[Netlist] ウィンドウの使用	243
[Constraints] ウィンドウの使用	248
[Physical Hierarchy] ウィンドウの使用	251
共通のポップアップ メニュー コマンドの使用	255
I/O ピン配置およびクロック ロジックの解析	257
RTL デザインの解析	257
合成されたデザインの解析	257
デザイン リソースおよびデバイス使用率の統計レポート	257
論理階層の表示	262
階層接続の解析	262
デザイン ルール チェック (DRC) の実行	263
タイミング解析の実行	268
タイミング結果の解析	271
[Find] コマンドを使用したオブジェクトの検索	274
第 9 章：インプリメンテーション結果の解析	
ISE の配置およびタイミング結果のインポート	277
New Project ウィザードを使用した ISE 配置およびタイミング結果のインポート	277
ISE の配置およびタイミング結果を PlanAhead からインポート	277
ISE の配置およびタイミング結果を PlanAhead 環境外からインポート	277
ISE の配置およびタイミング結果を Project Navigator からインポート	277
配置およびタイミング結果の解析	278
ザイリンクス TRCE の結果の表示	278
[[Device] ウィンドウでのタイミング パスの表示	278
[Schematic] ウィンドウでのタイミング パスの表示	280
ロジック接続の表示	280
[Show Connectivity] コマンドの使用	280
[Schematic] ウィンドウでのロジックの展開表示	282
[Connectivity] タブを使用したロジック パスのトレース	282
選択したオブジェクトのハイライト	284
オブジェクトのハイライト	284
オブジェクトのハイライト解除	284
配置されたモジュールのハイライト	285
[Select Primitives] コマンドおよび [Highlight Primitives] コマンドの使用	285
選択したオブジェクトのマーク	286
オブジェクトのマーク	286
マークの削除	286
デザイン メトリックの表示	287
[Metrics] ウィンドウの使用	287
[Device] ウィンドウでのメトリック マップの表示	288
メトリック マップの非表示	288
[Metrics Results] ウィンドウの使用	289
メトリック範囲の設定	289
第 10 章：デザインのフロアプラン	
フロアプランの概要	291
フロアプランのヒント	291
Pblock 作成によるデザインのパーティション	292

[Draw Pblock] コマンドの使用	292
[New Pblock] コマンドの使用	294
[Create Pblocks] コマンドを使用した複数の Pblock の作成	294
複数の長方形を含む Pblock の作成	296
子 Pblock の作成	298
クロック領域 Pblock の作成	298
Pblock を使用した作業	301
Pblock の図について	301
Pblock へのロジックの割り当て	302
Pblock へのロジックの割り当て解除	303
Pblock の移動	303
Pblock のサイズの変更	304
[Set Pblock Size] コマンドの使用	304
複数の長方形がある Pblock を変更	305
Pblock 長方形の削除	306
Pblock の名前の変更	306
Pblock の削除	306
Pblock プロパティの表示または変更	306
Pblock ロジック タイプ範囲の設定	310
Pblock の属性の設定	311
リソース使用率の統計を使用した Pblock のサイズの決定	313
接続に基づいた Pblock の配置	315
バンドル ネット プロパティの表示	315
バンドル ネットのデフォルトの変更	316
Pblock の自動コマンドの使用	316
Pblock の自動作成	316
Pblock 自動配置プログラムの実行	318
配置 LOC 制約	320
固定された配置制約および固定されていない配置制約について	320
サイト制約および BEL 制約について	321
サイト ロケーション配置制約 (LOC) の割り当て	321
BEL 配置制約 (BEL) の割り当て	321
配置制約の表示/非表示の変更	323
接続の表示切り替えを使用したロジック接続の表示	324
配置制約の移動	324
選択した配置制約の削除	324
選択した配置制約の削除	325
Pblock と割り当てられた配置制約の移動	330
ISE インプリメンテーション中の配置のロック	330
PHOIBIT の設定	330
IP 再利用機能の使用	331
IP 再利用の概要	331
IP モジュールの作成および再利用	331
同一のモジュールへの配置のコピー	334

第 11 章：ChipScope を使用したデザインのデバッグ

PlanAhead と ChipScope の統合の概要	335
コア挿入フローを使用する場合の要件および制限	336
コア挿入フローの使用	337
デバッグ コア挿入モードの決定	337
デバッグのためのネットの選択	337
ChipScope ウィザードを使用したデバッグ コアの挿入	339
ChipScope ウィンドウを使用したデバッグ コアの追加とカスタマイズ	341
デザインのインプリメンテーション	348
ChipScope Analyzer の起動	348

付録 A：メニューおよびツールバー コマンド

メイン メニュー コマンド	349
[File] メニュー	349
[Edit] メニュー	351
[View] メニュー	351
[Tools] メニュー	352
[Window] メニュー	353
[Select] メニュー	354
[Layout] メニュー	355
[Help] メニュー	355
ツールバー コマンド	356

付録 B：XilinxUpdate を使用したインストール

PlanAhead のリリース ストラテジ	359
XilinxUpdate の実行	359
アップデータの自動検出	361

付録 C：パスワードなしの SSH の設定

SSH の設定	363
---------------	-----

索引	365
----------	-----

PlanAhead デザイン フローの理解

本章は、次のセクションで構成されています。

- 「PlanAhead デザイン フロー」
- 「入力および出力ファイル」
- 「PlanAhead の用語」

PlanAhead デザイン フロー

PlanAhead™ は FPGA デザイン フローのさまざまなポイントでさまざまな方法で使用できます。RTL 開発からビットストリーム生成まで網羅するフロー管理ツールとして、または I/O ピン割り当て、RTL ネットリスト解析、インプリメンテーション結果デザイン解析、フロアプラン、ChipScope™ ツールを使用したコア挿入とデバッグを目的に使用することができます。

解析およびフロアプランを通して、デザインのインプリメンテーションを制御するために物理制約が付けられますが、PlanAhead 環境ではさまざまなインプリメンテーション ストラテジを試すことができ、この環境内でインプリメンテーションの試みとデータすべてを管理できます。また、インプリメンテーション後のデザイン パフォーマンス改善のために、ISE® での配置およびタイミング結果の解析にも PlanAhead が使用されます。インポートした結果から派生する追加の物理制約は、後続のインプリメンテーション中に配置を固定するために使用することもできます。次のフローチャートは、一般的なデザインフローと PlanAhead の入力および出力フォーマットを示したものです。

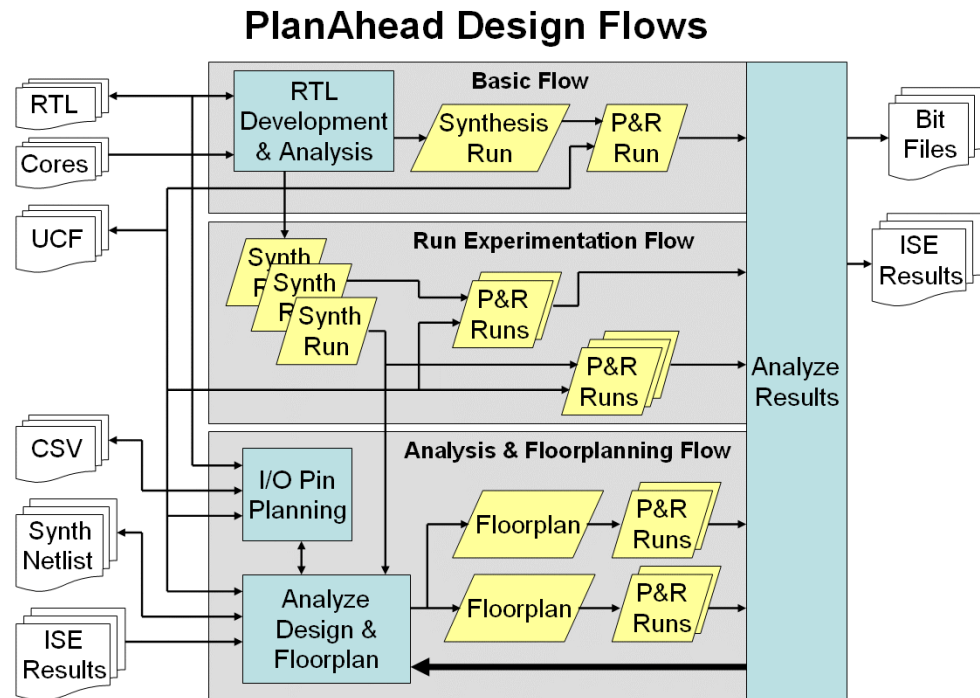


図 1-1 : PlanAhead デザイン フローおよび入力・出力フォーマット

PlanAhead 11 では、RTL ソースのインポート、ロジックの合成、合成ネットリストのインプリメント、インプリメンテーション結果の解析、フロアプラン、インプリメンテーション オプションの設定、ビットストリーム生成まで、実行できるようになっていて、完全なデザイン環境とソリューションが提供できるようになっています。

PlanAhead では、複数の合成およびインプリメンテーション実行を同時に試行できるよう、デザインフローとデータが管理されます。以前のバージョンでは、PlanAhead プロジェクトはインポートされたネットリスト 1 つのみで構成され、このネットリストから制約を読み込んで複数のフロアプランが作成されていました。フロアプランの作成が常に必要で、ネットリストは PlanAhead セッション中にメモリに読み込まれていました。

基本デザイン フロー

基本フローは、簡単に RTL ソースをインポートし、デザインを合成・インプリメントして、その結果を確認できるので、デザインを最初にインプリメントするときによく使用されます。さらにデザイン解析およびフロアプランが必要となる場合は、デザイン解析フローを使用する必要があります。

実行試行フロー

異なるストラテジを設定し、複数の合成やインプリメンテーション実行を試すことができます。PlanAhead には予め定義されたストラテジのセットがありますが、ユーザーがストラテジを定義することもできます。

PlanAhead の合成およびインプリメンテーション環境では、ザイリンクスの XST 合成ツールを使用し、複数の合成実行を設定、起動、管理できます。合成実行に対し再利用可能なストラテジを定

義することもできます。たとえば、電力、パフォーマンス、エリア最適化のストラテジを作成できます。こうしたストラテジを個々の実行に設定し、同時にまたは順々に起動していきます。合成の実行結果はインタラクティブに表示され、レポート ファイルにも簡単にアクセスできます。

複数の合成ストラテジを実行すると **PlanAhead** プロジェクト内に複数のネットリストが作成され保存されます。複数あるネットリストはインタラクティブに解析環境に読み込むことができます。ネットリストのインポート中に、I/O ピン割り当て、デバイス解析、フロアプランニング、およびインプリメンテーション用にフロアプランが作成できます。

インプリメンテーション実行は、完了した **PlanAhead** 合成実行、フロアプラン、またはインポートされたサードパーティの合成ネットリストから作成できます。フロアプランを作成することで、さまざまな論理制約、物理制約、代替デバイスを設定して試すことができます。インプリメンテーション実行に対し再利用可能なストラテジを定義することもできます。たとえば、マップによるロジック最適化や配置配線エフォート レベルのストラテジを作成し、こうしたストラテジを個々の実行に設定し、同時にまたは順々に起動していきます。インプリメンテーションの実行結果はインタラクティブに表示され、コマンド レポート ファイルにも簡単にアクセスできます。

デザイン解析およびフロアプラン フロー

PlanAhead には、デザイン プロセスのさまざまなステージで使用可能な高度なデザイン解析およびフロアプラン機能があります。**RTL** は合成前にエラボレートおよび解析できます。合成ネットリストでさまざまなターゲット デバイスおよび制約を設定して試行できます。さらに解析およびフロアプランを実行するには、インプリメンテーション実行を **PlanAhead** 環境にインポートします。コマンド ライン ツールからのインプリメンテーション結果もインポートできます。

デザイン解析およびフロアプランのフロー機能は、この資料の該当セクションを参照してください。

入力および出力ファイル

PlanAhead の入力

このセクションでは、デザイン データをインポートするときに使用されるフォーマットおよび手順を簡単に説明します。

入力ファイルは次のとおりです。

- 「RTL ソース ファイル (Verilog/VHDL、その他のデザイン テキスト ファイル)」
- 「ザイリンクス コア (NGC/NGO)」
- 「XST 制約ファイル (XCF)」
- 「I/O ポート リスト (CSV)」
- 「I/O ポート リスト (HDL - Verilog または VHDL)」
- 「最上位ネットリスト (EDIF)」
- 「モジュール レベルのネットリスト (EDIF)」
- 「最上位ネットリスト (NGC)」
- 「制約ファイル (UCF/NCF)」
- 「ザイリンクス ISE 配置結果 (NCD/XDL)」
- 「ザイリンクス TRCE タイミング結果 (TWX/TWR)」

PlanAhead では、入力ファイルの読み込み中に発生するエラー、警告、およびメッセージが `planAhead.log` ファイルに書き込まれます。これらのメッセージは、PlanAhead の [Console] ウィンドウにも表示されます。

RTL ソース ファイル (Verilog/VHDL、その他のデザイン テキスト ファイル)

Verilog や VHDL ファイルをインポートおよびエラボレートして、ロジックを解析したり、ソースを修正することができます。元のソースファイルはそのままの位置で参照することも、プロジェクトにコピーすることもできます。検索ディレクトリは、RTL ソース ファイルのインポート時に指定します。ディレクトリに含まれた認識可能なファイルおよびファイルタイプはすべてプロジェクトにインポートされます。

ザイリンクス コア (NGC/NGO)

PlanAhead では、ザイリンクス コア ファイルや XST 出力ネットリストなどの NGC フォーマットのネットリストを使用するデザインがサポートされています。ただし、NGC ファイルが最上位ネットリストなのか、またはモジュール レベルのネットリストなのかによって、PlanAhead での処理は異なります。PlanAhead でネットリストがインポートされる時、NGC および NGO フォーマットのコア ファイルは EDIF に自動的に変換されます。NGC ファイルは、ザイリンクス `ngc2edif` コマンドを使用して変換されます。NGO ファイルは、ザイリンクスの `ngcbuild` および `ngc2edif` を使用して変換されます。

セキュリティ保護されているコアの場合は、LUT 式が変換された EDIF から削除されます。この種類の NGC および NGO コア ファイルは、通常パフォーマンスを最大にするために細心の注意を払って手動で配置されているため、フロアプランでパフォーマンスが向上することはありません。このため、コア モジュール内のロジックはフロアプランしないでください。ただし、このコア全体およびその周辺ロジックのロケーションを効率的にフロアプランすることはできます。

[Export Floorplan] および [Save Floorplan] コマンド (第 10 章「デザインのフロアプラン」を参照) を実行すると、NGC および NGO コア ロジックはネットリストから除外され、ブラックボックス モジュールが作成されます。元の NGC および NGO コア ファイルは、保存ディレクトリまたはエクスポート ディレクトリにコピーされ、ISE インプリメンテーションで使用されます。

メモ : `ngc2edif` コマンドの出力ログは、PlanAhead を起動したターミナル ウィンドウに表示されます。`ngc2edif` コマンドでは、使用が不可能であったり対応する NCF 制約と一致しなかったりした EDIF ファイルが生成される場合があります。このような問題が発生した場合は、問題を再現するためのデータを電子メールでザイリンクスまで送信してください。また、コアをインポートせずにフロアプランを継続できます。PlanAhead では、見つからないロジックに対してブラックボックスが作成されます。この場合、NGC コア ファイルのネットリストを ISE の実行ディレクトリにコピーします。

XST 制約ファイル (XCF)

PlanAhead では、XST 合成実行を設定するための XST 制約ファイル (XCF) がサポートされています。

I/O ポート リスト (CSV)

CSV (カンマ区切り) フォーマット ファイルは、インポートして PlanAhead の [I/O Ports] ウィンドウに表示できます。これらの I/O ポートを物理パッケージ ピンに割り当てて、デバイス ピンの設定を定義できます。CSV ファイルの内容およびフォーマットの詳細は、第 5 章「I/O ピンの配置」を参照してください。

I/O ポート リスト (HDL - Verilog または VHDL)

Verilog または VHDL フォーマット ファイルのヘッダにはポートが含まれており、インポートして PlanAhead の [I/O Ports] ウィンドウに表示できます。これらの I/O ポートを物理パッケージピンに割り当てて、デバイス ピンの設定を定義できます。HDL ファイルの内容およびフォーマットの詳細は、第 5 章「I/O ピンの配置」を参照してください。

最上位ネットリスト (EDIF)

現バージョンの PlanAhead では、EDIF ネットリストのインポートがサポートされています。このネットリストは、Virtex®-4、Virtex-5、Virtex-6、Spartan®-3 または Spartan-6 デバイスの合成に使用されます。

PlanAhead では、階層デザイン手法をサポートする複数の EDIF ネットリストを使用してデザインを構築できます。最上位ロジックを選択すると、下位のモジュールが自動的にインポートされます。インクリメンタルなネットリストのインポート機能では、どのレベルのデザイン階層のネットリストでも更新できます。作成中のフロアプラン制約は、更新されても保持されます。

モジュール レベルのネットリスト (EDIF)

PlanAhead では、階層デザイン手法をサポートする複数の EDIF ネットリストを使用してデザインを構築できます。最上位ロジックを選択すると、下位のモジュールが自動的にインポートされます。デザイン モジュールを検索する検索パスを定義できるため、デザインをアップデートするとき非常に柔軟に対応できます。PlanAhead には、強力なインクリメンタル ネットリスト インポート機能があり、どのレベルのデザイン階層のネットリストでも更新できます。

最上位ネットリスト (NGC)

最上位に NGC ファイルを使用する場合、PlanAhead ではインポート プロセス中に自動的にファイルが EDIF フォーマットに変換されます。XST で生成される最上位の NGC フォーマット ファイルは、ngc2edif コマンドを使用して変換されます。ISE でインプリメンテーションするためにデザインを PlanAhead からエクスポートするときは、最上位ロジックのネットリストが NGDBuild で使用される EDIF フォーマットでエクスポートされます。このプロセスは、コア レベルの NGC または NGO ファイルをエクスポートするプロセスとは異なります。コアまたはモジュール レベルのネットリストの詳細は、次を参照してください。

制約ファイル (UCF/NCF)

PlanAhead では、タイミング制約および物理制約用の UCF および NCF フォーマット ファイルのインポートがサポートされています。PlanAhead では、複数の UCF ファイルをインポートできるので、物理制約、I/O 制約、およびタイミング制約を区別することができます。

NCF ファイルなど、コア特有のモジュール レベルの制約もインポートできます。詳細は、「モジュール レベルの制約のインポート」を参照してください。

PlanAhead ではザイリンクスでサポートされている UCF 制約がすべてサポートされています。UCF 制約およびサポートされる構文の詳細は、ザイリンクスの『制約ガイド』を参照してください。

ザイリンクス ISE 配置結果 (NCD/XDL)

PlanAhead では、XDL フォーマット データを使用して ISE 配置結果をインポートできます。XDL データはインプリメンテーション実行が PlanAhead から起動されると自動的に作成されます。

ISE コマンドが正しく実行されれば、XDL ファイルは <placed_design_name>.ncd ファイルから作成できます。XDL ファイルを作成したら、個々のブロックまたはデザイン全体の配置をインポートできます。

[Import Placement] コマンドを使用して、<placed_design_name>.ncd ファイルを指定すると、XDL コマンドが自動的に実行されます。

手動でこのコマンドを実行するには、ファイル構文は次のとおりです。

```
xdl -ncd2xdl <placed_design_name>.ncd
```

このコマンドを実行すると、<placed_design_name>.xdl ファイルが生成されます。

XDL コマンドのステータスは、PlanAhead のターミナル ウィンドウに表示されます。

ザイリンクス TRCE タイミング結果 (TWX/TWR)

PlanAhead では、ザイリンクス trce コマンドで生成されるタイミング レポート (TWX および TWR) をインポートできます。インポートすると、すべての信号トレースおよび選択が [Run TimeAhead] ダイアログ ボックスに表示されます。

レポートの出力

このセクションでは、通常 PlanAhead デザイン操作で生成されるファイルについて簡単に説明します。これらのファイルは、重要な情報が含まれている可能性があります。最後の 2 つのレポートは自動的に生成されないため、ユーザーが作成する必要があります。

出力ログおよびレポート ファイルは次のとおりです。

- 「I/O ピン割り当て (CSV)」
- 「I/O ピン割り当て (HDL - Verilog または VHDL)」
- 「ログ ファイル (planAhead.log)」
- 「ジャーナル ファイル (planAhead.jou)」
- 「エラー ログ ファイル (planAhead_pidxxxx.debug および hs_err_pidxxxx.log)」
- 「DRC 結果 (results_x_drc.txt)」
- 「TimeAhead の結果 (Excel ファイル)」
- 「ネットリスト モジュール、Pblock、およびクロック領域統計レポート」
- 「SSN 解析レポート」
- 「WASSO 解析レポート」

I/O ピン割り当て (CSV)

この CSV (カンマ区切り) フォーマット ファイルには、すべての I/O ポートの割り当てと関連するピン パッケージ情報が含まれています。このファイルは、RTL ポートのヘッダ定義および PCB 回路シンボル生成で使用されます。詳細は、第 5 章「I/O ピンの配置」を参照してください。

I/O ピン割り当て (HDL - Verilog または VHDL)

この Verilog または VHDL フォーマット ファイルのファイル ヘッダでは、すべての I/O ポートの割り当てがポートとして定義されています。このファイルは、RTL ポートのヘッダ定義で使用されます。詳細は、第 5 章「I/O ピンの配置」を参照してください。

ログ ファイル (planAhead.log)

ログ ファイル planAhead.log には、PlanAhead のコマンドを実行したときに生成されるメッセージの内容が含まれています。このファイルは PlanAhead の起動ディレクトリ (Linux) または C:\Documents and Settings\<user>\Application Data\HDI (Windows) に作成されます。
[Window] → [View Log File] をクリックすると PlanAhead でこのファイルを表示できます。

ジャーナル ファイル (planAhead.jou)

ジャーナル ファイル planAhead.jou には、起動した PlanAhead セッションの TCL コマンドすべてが含まれています。このファイルは PlanAhead の起動ディレクトリ (Linux) または C:\Documents and Settings\<user>\Application Data\HDI (Windows) に作成されます。ジャーナル ファイルを再生すると、そのセッションで使用したコマンドを再利用できます。TCL スクリプトは、ジャーナル ファイルからコマンドをコピーすると生成できます。このファイルでは、破損したコマンドまたは再生する前の複数の PlanAhead セッションのコマンドを削除する必要がある場合があります。

メモ：PlanAhead の操作には、ジャーナル ファイルに TCL コマンドとして書き込まれないものがあります。

エラー ログ ファイル (planAhead_pidxxxx.debug および hs_err_pidxxxx.log)

エラー ログ ファイルには、PlanAhead のエラーをデバッグするときに役立つ重要な情報が含まれています。PlanAhead で内部例外エラーの警告ダイアログ ボックスが表示されると、エラー ファイルが PlanAhead の起動ディレクトリ (Linux) または C:\Documents and Settings\<user>\Application Data\HDI (Windows) に保存されます。ザイリンクスのテクニカル サポートでケースを開くときは、PlanAhead ジャーナル ファイル (planAhead.jou) およびエラー ログ ファイル (planAhead.log) を添付してください。これらのファイルにはデザイン データは含まれていません。

DRC 結果 (results_x_drc.txt)

デザインルール チェック (DRC) の結果は results_x_drc.txt に書き込まれ、PlanAhead 起動ディレクトリ (Linux)、または C:\Documents and Settings\<user>\Application Data\HDI (Windows) に保存されます。DRC が実行されるたびに、PlanAhead の DRC ダイアログ ボックスに表示される結果を反映する内容の新しいファイルが生成されます。

TimeAhead の結果 (Excel ファイル)

TimeAhead タイミング解析の結果は、テキスト ファイルにエクスポートできます。データをエクスポートするには、[Timing Results] ウィンドウで [Export to Text File] アイコンをクリックします。

ネットリスト モジュール、Pblock、およびクロック領域統計レポート

[Instance Properties]、[Clock Regions Properties]、および [Pblock Properties] ウィンドウに表示されるリソース統計はマイクロソフトの Excel 形式のファイルにエクスポートできます。このファイルには、リソース使用率、RPM、キャリー チェーンのサイズ、クロックおよびクロックが供給されるインスタンス、およびその他のリソースのデータなどの情報が含まれます。

データをエクスポートするには、これらのウィンドウの [Statistics] タブで [Save statistics to file] ボタンをクリックします。ダイアログ ボックスが表示され、レポートに含める情報や階層のレベル数を定義でき、ファイル名および保存場所を指定できます。

SSN 解析レポート

PlanAhead 同時スイッチ ノイズ (SSN) 解析の結果は、[Run SSN Analysis] ダイアログ ボックスでファイル名およびファイルを保存する場所を指定して、CVS 形式のレポート ファイルにエクスポートできます。

WASSO 解析レポート

PlanAhead WASSO 解析の結果は、[Run WASSO Analysis] ダイアログ ボックスでファイル名およびファイルを保存する場所を指定して、テキスト形式のレポート ファイルにエクスポートできます。

デフォルト環境の出力

このセクションでは、通常 PlanAhead デザイン操作で生成されるファイルについて簡単に説明します。これらのファイルは、重要な情報が含まれている可能性があります。最後の 2 つのレポートは自動的に生成されないため、ユーザーが作成する必要があります。

出力ファイルは次のとおりです。

- 「ウィンドウ表示オプション ファイル (planAhead.ini と <theme_names>.patheme)」
- 「ウィンドウ レイアウト ファイル (<layoutname>.layout)」
- 「ショートカット (default.xml)」
- 「ストラテジ ファイル (<strategyname>.psg)」

ウィンドウ表示オプション ファイル (planAhead.ini と <theme_names>.patheme)

初期化ファイル planAhead.ini には、表示色など PlanAhead 環境での表示オプションをはじめとする現時点でのツールのオプション設定がすべて含まれています。PlanAhead を閉じるときに、カスタム設定が次の PlanAhead セッションで使用できるように保存されます。このファイルは、自動的にホーム ディレクトリに書き込まれます。

Windows では通常、このファイルは C:\Documents and Settings\<Username>\Application Data\HDI\<version_number>\planAhead.ini に保存されます。PlanAhead を起動すると、まず最初にこのファイルが自動的に PlanAhead のインストール ディレクトリからインポートされます。その後、C:\Documents and Settings\<Username>\Application Data\HDI\<version_number>\ ディレクトリにこのファイルがある場合はそこからインポートされます。

Linux では、通常 ~/.HDI/planAhead.ini が初期化ファイルです。PlanAhead を起動すると、このファイルが PlanAhead のインストール ディレクトリから自動的にインポートされ、続けて ~/.HDI ディレクトリにこのファイルがある場合は、インポートされます。

カスタムのテーマ ファイルを今後のセッションで使用できるようにするには [PlanAhead Options] ダイアログ ボックスの [Themes] ページで [Save As] をクリックし、保存します。このページは、[Tools] → [Options] → [Themes] をクリックすると表示されます。プルダウン メニューで、作業中の PlanAhead セッションに使用するテーマ ファイルを選択できます。詳細は、「[カスタム テーマの作成および使用](#)」を参照してください。

[Themes] ページに含まれる [PlanAhead Light Theme] または [PlanAhead Dark Theme] を選択すると、あらかじめ設定されているデフォルト設定で C:\Documents and Settings\<Username>\Application Data\HDI\<version_number>\planAhead.ini (Windows) および ~/.HDI/planAhead.ini

(Linux) が上書きされます。カスタム設定が失われないように、カスタム設定ファイルのバックアップを保存しておいてください。

ウィンドウ レイアウト ファイル (<layoutname>.layout)

ウィンドウ レイアウト ファイルは、[Save Layout As] または [Save as Default Layout] コマンドを使用して生成されます。このファイルには、現在の PlanAhead のデスクトップ表示設定が再び使用できるように保存されます。フロアプランおよびプロジェクト表示環境の両方の設定が、次のサブディレクトリに保存されます。

Windows では通常、このファイルは C:\Documents and Settings\<Username>\Application Data\HDI\<version_number>\layouts\floorplan_layout または project_layout に保存されます。PlanAhead ウィンドウ全体のサイズおよびロケーションは、C:\Documents and Settings\<Username>\Application Data\HDI\<version_number>\layouts\application_layout ディレクトリに保存されます。

Linux では、データは ~/.HDI ディレクトリに作成および保存されます。

ショートカット (default.xml)

アクセラレータ キー定義 (ショートカット スキーマ) は、[Tools] → [Options] で表示される [PlanAhead Options] ダイアログ ボックスを使用して作成します。これは PlanAhead コマンドへのキーワード ショートカットのマッピングを定義します。たとえば、Ctrl + F はデフォルトで [Edit] → [Find] コマンドにマップされています。スキーマは複数定義することができ、default.xml ファイルに保存されます。

Windows では通常、このファイルは C:\Documents and Settings\<Username>\Application Data\HDI\<version_number>\shortcuts に保存されます。

Linux では、~/.HDI/shortcuts ディレクトリに作成および保存されます。

ストラテジ ファイル (<strategyname>.psg)

ストラテジ ファイルには、ISE インプリメンテーション コマンドすべてに対するユーザー指定のデフォルトのコマンド ライン オプションが含まれています。ストラテジは、PlanAhead を使用したどの ISE インプリメンテーション実行にも適用でき、最初から作成したり、または提供されているストラテジをコピーすることができます。ユーザー定義のストラテジは、ホーム ディレクトリに保存されます。

Windows では通常、このファイルは C:\Documents and Settings\<Username>\Application Data\HDI\<version_number>\strategies に保存されます。

Linux では、~/.HDI/strategies ディレクトリに作成および保存されます。

プロジェクト データの出力

このセクションでは、PlanAhead プロジェクトおよびフロアプランで生成されるファイルについて簡単に説明します。これらのファイルは、PlanAhead で管理されるので、手動で変更しないでください。プロジェクトの出力ファイルは次のとおりです。

- 「プロジェクト ディレクトリ (<projectname>)」
- 「プロジェクト ファイル (<projectname>.ppr)」
- 「プロジェクト データ ディレクトリ (<projectname>.data)」
- 「プロジェクト データ - ネットリスト サブディレクトリ (ネットリスト)」

- 「プロジェクト データ - フロアプラン サブディレクトリおよびファイル (<floorplan_name>)」
- 「プロジェクト RTL ディレクトリ (<projectname>.srcs)」

プロジェクト ディレクトリ (<projectname>)

新しいプロジェクトが作成されると、PlanAhead ではプロジェクト ファイル、プロジェクト データ ディレクトリ、および ISE インプリメンテーション結果を含めるプロジェクト ディレクトリが作成されます。このディレクトリには、New Project ウィザードで入力したプロジェクト名と同じ名前が付けられます。

プロジェクト ファイル (<projectname>.ppr)

プロジェクトの PPR ファイルには、プロジェクトのステートが保存されます。このファイルには、プロジェクトに含まれるネットリストと複数のフロアプランに関する情報が含まれます。このファイルは、PlanAhead を起動している間継続して管理されるので、保存する必要はありません。このファイルは、手動で変更しないでください。

PPR ファイルは、既存のプロジェクトを開くときに PlanAhead ブラウザで選択するファイルです。

プロジェクト データ ディレクトリ (<projectname>.data)

プロジェクト データ ディレクトリには、プロジェクト内のすべてのフロアプランとネットリスト関連データが含まれます。これらのフォルダは、PlanAhead で管理されるため、ユーザーが管理する必要はありません。

注意：これらのファイルを変更すると、プロジェクト データが破損する可能性があります。

プロジェクト データ - ネットリスト サブディレクトリ (ネットリスト)

Netlist というサブディレクトリには、デザイン全体のネットリストのコピーが保存されます。

RTL ベースのプロジェクトの場合、各合成実行に対しサブディレクトリが作成され、生成されたネットリストが保存されます。このディレクトリは合成実行がリセットされるたびにリフレッシュされます。

ネットリスト ベースのプロジェクトの場合、インポートされたネットリストを含む 1 つのネットリスト ディレクトリが作成され、デザインで使用された NGC コア ファイルのすべてのコピーもここに保存されます。[File] → [Update Netlist] コマンドを使用すると、このサブディレクトリの内容をアップデートできます。

プロジェクト データ - フロアプラン サブディレクトリおよびファイル (<floorplan_name>)

フロアプランが作成されると、それに対応したサブディレクトリが <projectname>.data ディレクトリに作成されます。

このディレクトリに含まれるファイルは、次のとおりです。

- *.ucf : インポートされた UCF ファイルすべて。入力ファイルによって異なる場合があります。
- fp.ucf : フロアプランの PlanAhead 制約が含まれます。
- iseloc.xml : PlanAhead で固定されている配置制約と ISE からインポートされた固定されていない配置制約を区別するのに使用します。
- pfi.xml : フロアプランのターゲット デバイスが含まれています。
- pfp.xml : フロアプランに対する現時点での PlanAhead の実行情報が含まれています。

- expX サブディレクトリ : PlanAhead の各実行情報が含まれています。

プロジェクト RTL ディレクトリ (<projectname>.srcs)

プロジェクト ソース ディレクトリには、プロジェクトにインポートされた HDL ソース ファイルがすべて格納されます。これらのフォルダは、PlanAhead で管理されるため、ユーザーが管理する必要はありません。

注意：これらのファイルを変更すると、プロジェクト データが破損する可能性があります。

ISE インプリメンテーションの出力

このセクションでは、PlanAhead の ISE インプリメンテーション デザイン操作で生成されるファイルについて簡単に説明します。これらのファイルは、PlanAhead で管理されるので、手動で変更しないでください。

ISE インプリメンテーションの出力ファイルは次のとおりです。

- 「実行ディレクトリ (<projectname>.runs)」
- 「EDIF ネットリスト (.edf)」
- 「ザイリンクス コア (.ngc/.ngo)」
- 「ChipScope コア ネットリスト (.ngc)」
- 「制約ファイル (.ucf)」
- 「ISE 起動スクリプト (jobx.bat/sh、runme.bat/sh および .<ISE_command>.rst)」

実行ディレクトリ (<projectname>.runs)

PlanAhead では、複数の ISE インプリメンテーションの実行をキューに含めて順番に実行できます。このとき、実行ディレクトリの場所を指定するダイアログ ボックスが表示されます。デフォルトでは、保存先にプロジェクト ディレクトリが表示されます。

各実行ディレクトリには完全な EDIF ネットリストおよび UCF 制約ファイルが含まれています。ISE コマンドを指定のオプションで起動する実行スクリプトも各 PlanAhead 実行ディレクトリに作成されます。

各実行ディレクトリには、ネットリストおよび制約ファイルを含むすべてのインプリメンテーション デザイン データが保存されています。要件を満たしたインプリメンテーションが達成されると、実行ディレクトリ全体をアーカイブすることができます。

EDIF ネットリスト (.edf)

PlanAhead は ASCII 形式のネットリストをエクスポートします。このファイルは、次のコマンドを実行すると生成されます。

- [Run Implementation] および [Launch Runs] (PlanAhead)
- [File] → [Export Netlist]
- [File] → [Export Pblocks]
- [File] → [Export IP]

インプリメンテーションの実行および実行の起動

このコマンドを実行すると、PlanAhead の実行に必要なファイルが自動的にエクスポートされ、この実行に適用するストラテジで指定したオプションを使用して ISE コマンドが実行されます。

このコマンドが使用されると、EDIF および UCF データが自動的にエクスポートされます。実行を起動すると、最上位デザインの EDIF フォーマットのネットリストおよび UCF フォーマットの制約ファイルを含む実行ディレクトリが作成されます。ファイル名は、インポートされた EDIF ファイルの元の最上位ネットリスト名と同じです。

NGC/NGO フォーマットのモジュールのネットリスト ファイルが使用されている場合は、各実行ディレクトリにこれらがコピーされます。

実行ディレクトリの場所は、PlanAhead の [Run Properties] ウィンドウで確認できます。

エクスポートされたネットリスト

ネットリストは、PlanAhead 環境外の ISE インプリメンテーション用にデザインの EDIF ファイルを提供するためにエクスポートします。出力ネットリストには元の論理ネットリストの階層が含まれています。出力ファイル名は [Export Netlist] ダイアログ ボックスで指定できます。

エクスポートされた Pblock

特定の Pblock の EDIF および UCF ファイルを PlanAhead 環境外の ISE インプリメンテーションで使用するには、Pblock をエクスポートします。

Pblock がエクスポートされると、PlanAhead で Pblock のロジック割り当てに基づいてネットリストが作成されます。EDIF およびモジュール ポート リストが生成され、PlanAhead の物理階層構造が使用されます。EDIF ネットリストが 1 つ生成され、ここに Pblock に割り当てられたロジックがすべて含まれます。このため、ブロック ベースのインプリメンテーション ストラテジを使用するとき非常に柔軟に対応できるようになります。

エクスポートされる Pblock ファイルは、選択した各 Pblock に対しネットリスト 1 つ、制約ファイル 1 つです。ブロック レベルのディレクトリ構造が自動的に作成、管理されるので、ブロック ベースの ISE アプローチが簡単になります。選択した Pblock をエクスポートすると、

<pblockname>_CV.edn および <pblockname>_CV.ucf ファイルを含む <pblockname>_CV サブディレクトリが作成されます。

エクスポートされた IP

再利用可能な IP ブロックの作成に使用する指定のネットリスト モジュールの EDIF および UCF ファイルを書き出すために IP をエクスポートします。

[Export IP] コマンドはデザインで選択したネットリスト階層で実行します。RPM も IP モジュールの出力として作成できます。エクスポート ファイルには、元のネットリスト フォーマットの EDIF ネットリストおよび UCF 物理制約が含まれます。インターフェイスをそのまま保持することで、次のデザインのインプリメンテーションが簡単に実行できます。エクスポートされた EDIF ファイルを使用して、ブラック ボックスの RTL モジュールを新しいデザインに含めることができます。XST を使用している場合、エクスポートされた EDIF ファイルはタイミング データを得るために使用することができます。エクスポートされた UCF ファイルは Pblock の配置制約の再生成に使用できます。モジュールのインポート後にモジュールを移動させると、複数のモジュールに同じ配置を複製できます。

ザイリンクス コア (.ngc/.ngo)

[Export Floorplan] および [Save Floorplan] コマンド (第 10 章「デザインのフロアプラン」を参照) を実行すると、NGC および NGO コア ロジックはネットリストから除外され、ブラックボックス モジュールが作成されます。元の NGC および NGO コア ファイルは、保存ディレクトリまたはエクスポート ディレクトリにコピーされ、ISE インプリメンテーションで使用されます。

メモ : ngc2edif コマンドの出力ログは、PlanAhead を起動したターミナル ウィンドウに表示されます。ngc2edif コマンドでは、使用が不可能であったり対応する NCF 制約と一致しなかったりした EDIF ファイルが生成される場合があります。このような問題が発生した場合は、問題を再現するためのデータを電子メールでザイリンクスまで送信してください。また、コアをインポートせずにフロアプランを継続できます。PlanAhead では、見つからないロジックに対してブラックボックスが作成されます。この場合、NGC コア ファイルのネットリストを ISE の実行ディレクトリにコピーします。

ChipScope コア ネットリスト (.ngc)

PlanAhead は ChipScope と統合しているため、ILA コアをインサートおよびコンフィギュレーションすることができます。このコアがインプリメントされると NGC フォーマットのネットリストがコンパイルされ、プロジェクト ネットリスト ディレクトリに保存され、各インプリメンテーション実行ディレクトリに実行ごとにコピーされます。詳細は、[第 11 章「ChipScope を使用したデザインのデバッグ」](#)を参照してください。

制約ファイル (.ucf)

現バージョンの PlanAhead では、ISE で使用されるタイミング制約および物理制約を含む UCF フォーマットの ASCII ファイルが書き出されます。このファイルは、次のコマンドを実行すると生成されます。

- [Run Implementation] および [Launch Runs] (PlanAhead)
- [File] → [Export Constraints]
- [File] → [Export Pblocks]
- [File] → [Export IP]

インプリメンテーションの実行および PlanAhead 実行の起動

EDIF および UCF データのエクスポートは、[Launch Runs] コマンドを使用すると自動的に実行できます。実行を起動すると、出力ネットリストに元の論理階層を含む実行ディレクトリが作成されます。実行に対しエクスポートされるファイルは、最上位デザイン全体の EDIF フォーマットのネットリストと UCF フォーマットの制約ファイルです。ファイル名はインポートされた EDIF ファイルの元の最上位ネットリスト名と同じです。

エクスポートされた制約

制約をエクスポートすると、元の UCF ファイルの内容と構造 (コメントも含む) が保持されます。

出力ファイル名は [Export Constraints] ダイアログ ボックスで指定できます。

エクスポートされた Pblock

Pblock をエクスポートすると、PlanAhead で Pblock の論理割り当てに基づいてネットリスト階層が作成されます。この UCF は、エクスポートされた EDIF ネットリスト名と一致するよう、PlanAhead の物理階層構造を参照します。このため、ブロック ベースのインプリメンテーションストラテジを使用するときに非常に柔軟に対応できるようになります。

エクスポートされる Pblock ファイルは、ネットリスト 1 つと制約ファイル 1 つです。ブロックレベルのディレクトリ構造が自動的に作成、管理されるので、ブロック ベースの ISE アプローチが簡単になります。選択した Pblock をエクスポートすると、<pblockname>_CV.edn および <pblockname>_CV.ucf ファイルを含む <pblockname>_CV サブディレクトリが作成されます。

エクスポートされた IP

デザインでモジュール インスタンスを選択して [Export IP] コマンドを実行すると、Pblock ロジックおよび配置制約がエクスポートされます。エクスポートされたファイルには、元のネットリストフォーマットの EDIF ネットリストおよび UCF 物理制約が含まれます。インターフェイスをそのまま保持することで、次のデザインのインプリメンテーションが簡単に実行できます。エクスポートされた UCF ファイルは Pblock の配置制約の再生成に使用できます。モジュールのインポート後にモジュールを移動させると、複数のモジュールに同じ配置を複製できます。

ISE 起動スクリプト (jobx.bat/sh、runme.bat/sh および <ISE_command>.rst)

ISE 起動スクリプトは、PlanAhead の [Run Design] コマンドを使用すると自動的に生成されます。スクリプトには、PlanAhead のストラテジで指定されたコマンドおよびコマンド ライン オプションが含まれています。jobx.bat/sh スクリプトは .jobs サブディレクトリにあるプロジェクト実行ディレクトリに保存され、選択された各実行を順番に起動します。このスクリプトにより各実行の runme.bat/sh スクリプトが呼び出されます。これらのスクリプトは、個別に実行することもできます。

<ISE_command>.rst ファイルは、PlanAhead で実行のステータスを記録するために、実行ディレクトリに保存されます。PlanAhead でプロジェクトを開くとこれらのファイルが読み込まれ、実行のステータスが表示されます。

PlanAhead の用語

プロジェクト

PlanAhead™ ではセッションごとにアクティブなプロジェクトが 1 つ開きます。プロジェクトは、使用しているデザイン フローごとにさまざまな入力フォーマットで作成できます。

- RTL ソース ファイルは、RTL からビットストリーム生成までのフローに適したプロジェクトを作成するためにインポートします。
- 合成ネットリストは、ネットリストからビットストリームまでのフローに使用するためにインポートします。
- 空のプロジェクトは、第 5 章「I/O ピンの配置」で説明しているように、デバイスのリソースを試したり、I/O ピン割り当てを開始するために作成します。
- 以前のコマンド ライン インプリメンテーションからの結果をインポートしてプロジェクトを作成する方法もあります。

作成するプロジェクト タイプにより、プロジェクトには複数のネットリストが含まれることがあります。それぞれのプロジェクトに任意数のフロアプランを作成し、複数のインプリメンテーション実行を起動することができます。詳細は、「プロジェクトの管理」を参照してください。

プロジェクト情報はプロジェクト ファイル (例: `project_1.ppr`)、プロジェクト データ ディレクトリ (例: `project_1.data`)、プロジェクト ソース ディレクトリ (例: `project_1.srscs`)、プロジェクト実行ディレクトリ (例: `project_1.runs`) に保存されます。ソース ディレクトリには、プロジェクトにインポートされたすべての RTL 関連ソース ファイルが含まれます。データ ディレクトリには、プロジェクト ネットリストを含むネットリスト ディレクトリ、およびプロジェクト内の各フロアプランのディレクトリが含まれています。実行ディレクトリには、PlanAhead で作成された ISE インプリメンテーション実行のデータが保存されています。

プロジェクト データは、PlanAhead で自動的に管理されます。PlanAhead では、前回ツールを終了した時点のデータでプロジェクトが開くため、手動でこれらのファイルに変更を加えないようにします。

PlanAhead では、ファイルを開いたときに自動的にプロジェクトの状態が復元されます。作業したフロアプランおよび関連実行といったプロジェクトのステータスが更新され、プロジェクトが開きます。

ソース

プロジェクトはさまざまなフォーマットの入力ファイルを使用して作成できます。たとえば、Verilog や VHDL の RTL ソース ファイルをインポートしてプロジェクトを作成できます。こうしたファイルはソース ファイルと呼ばれます。ソースは、RTL ファイルをインポートして作成したプロジェクトのみに存在し、合成ネットリストをインポートして作成したプロジェクトや空のプロジェクトにはソースはありません。

フロアプラン

フロアプランは選択されたネットリストおよびデバイスに関連した制約のセットのことです。フロアプランの作成に PlanAhead を使用する必要はありません。インプリメンテーション実行は外部ユーザ制約ファイル (UCF) を使用して起動できます。PlanAhead 内で制約を変更したり適用するには、フロアプランをまず作成する必要があります。各フロアプランで、選択したネットリストと特定の配置およびタイミング制約が関連付けられます。各プロジェクトのネットリストで、異なる制約やデバイスを使用した複数のフロアプランをサポートできます。フロアプランは、保存、閉じる、復元、コピー、名前変更、削除できます。閉じたフロアプランは、プロジェクトに含まれたま

まになります。プロジェクトを開き直したときにシステム メモリの節約のためデフォルトでは開きません。

ネットリスト

ネットリストはデザインの論理記述です。ネットリストは、最上位ネットリストとその下位ネットリスト (モジュール) から構成される階層構造である必要があります。PlanAhead の RTL ベース プロジェクトには、複数の合成実行を使用できるため、複数のネットリストを含めることができます。

制約

制約は、論理タイミング、ビヘイビア要件、または物理的な配置要件の記述です。I/O ポートの割り当ても、制約で定義されます。

物理ブロック (Pblock)

デザインのパーティションは、物理ブロックまたは **Pblock** と呼ばれます。従来の方法では、1 つの **Pblock** に 1 つのロジック インスタンスまたはロジック インスタンスのグループが割り当てられます。**Pblock** では、FPGA デバイス上に長方形のエリアを定義して、そのロジックに制約を付けることができます。**Pblock** は、長方形がなくても定義可能で、ISE では配置実行中にロジックのグループ化が試みられます。**Pblock** 内に配置されたネットリスト ロジックには、ISE で **AREA_GROUP** 制約が付けられます。**Pblock** は、特定の **RANGE** タイプを使用して、**SLICE**、**RAM/MULT**、**DSP** など特定のロジックのみを含めるように指定できます。また **Pblock** は、複数の長方形を使用して L 形 および T 形などの長方形以外の形を作成できるように定義することもできます。

インスタンス

ネットリストに含まれるインスタンスと呼ばれるエレメントには、下位ロジック プリミティブと階層モジュールのコンポーネントが含まれます。このマニュアルでは、モジュール コンポーネントはモジュールと呼びます。

モジュール

ネットリストに含まれる階層モジュールのインスタンス化を表すエレメントをモジュールまたはコンポーネントと呼びます。下位プリミティブ ロジックは、インスタンスまたはプリミティブと呼びます。

プリミティブ

ネットリストに含まれる **LUT**、フリップフロップなどの下位ロジック オブジェクトを表すエレメントは、プリミティブと呼びます。

実行

各合成またはインプリメンテーションの試みを「実行」と呼びます。各実行は特定のストラテジに関連付けられています。複数の実行を複数のプロセッサを使用して同時に実行したり、または 1 つずつ実行できます。実行は順次に起動し、PlanAhead にそのステータスが表示されます。

ストラテジ

ストラテジは、ツールのコマンド オプションの定義済みセットです。ツールで提供されるストラテジを適用したり、ユーザー ストラテジを作成したりできます。ストラテジは個々の実行に適用できます。

サイト

PlanAhead では、デザイン ネットリストをインプリメントするときに使用される特定 FPGA デバイス リソースがタイルで表示されます。プリミティブ ロジックのサイトには、ネットリストのインスタンスを配置できます。これらのサイトは、オブジェクトの種類 (RAM、MULT、CLB、DSP、PPC、MGT など) を区別するために、それぞれ形と色が異なります。下位ロジックは、配置制約を使用して特定のスライスに割り当てるか、BEL 制約を使用してスライス内のゲートに割り当てることができます。

サイト配置制約 (LOC)

ロケーション制約 (LOC) は、特定のスライス座標に割り当てられた固定配置サイトがある下位インスタンスに割り当てられます。この制約はロジックをスライス内の特定のロジック ゲートに固定しないので、BEL 制約とは異なります。LOC 制約を割り当てると、そのインスタンスに対してエクスポートされた UCF ファイルに LOC 制約が書き込まれます。LOC 制約は、[Device] ウィンドウでズーム レベルに応じて、この制約が付けられているサイト内で長方形として、またはサイト内のロジック ファンクション シンボルとして表示されます。

BEL 配置制約 (BEL)

BEL (Basic Element of Logic) 制約は、特定のロジック デバイス ゲートに割り当てられた配置サイトがある下位インスタンスに割り当てられます。BEL 制約を割り当てると、そのインスタンスに対してエクスポートされた UCF ファイルに BEL 制約が書き込まれます。この制約は、[Device] ウィンドウでズーム レベルに応じて、この制約が付けられているサイト内で長方形として、またはサイト内のロジック ファンクション シンボルとして表示されます。

I/O ポート

I/O ポートは物理パッケージ ピンに割り当てるユーザー I/O です。各 I/O 信号はポートとして定義されます。

パッケージ ピン

パッケージ ピンは、I/O ポートが割り当てられるパッケージの物理ピンです。パッケージ ピンは、I/O バンクにグループ化されます。パッケージ ピンおよび I/O バンクの詳細は、デバイスの仕様を参照してください。

プロジェクトの作成および管理

本章は、次のセクションで構成されています。

- 「PlanAhead の起動」
- 「Getting Started ページの使用」
- 「PlanAhead プロジェクトの種類」
- 「New Project ウィザードを使用した新規プロジェクトの作成」
- 「プロジェクトの管理」
- 「フロアプランを使用した作業」

PlanAhead の起動

メモ：インストール方法は『ISE Design Suite リリースノートおよびインストールガイド』を参照してください。

このソフトウェアはどのディレクトリからも起動できますが、プロジェクト ディレクトリから起動すると、プロジェクト固有のログ ファイルが簡単に検索できるので便利です。

Linux

PlanAhead を起動するには、次のコマンドをコマンド プロンプトに入力します。

```
# planAhead
```

Windows

ザイリンクス PlanAhead 11 のショートカット アイコンをダブル クリックします。



図 2-1：ザイリンクス PlanAhead 11 のアイコン

PlanAhead のログ ファイルを書き込むディレクトリは、デスクトップ アイコンのプロパティに含まれている [作業フォルダ] で設定します。

PlanAhead 環境が表示されます。

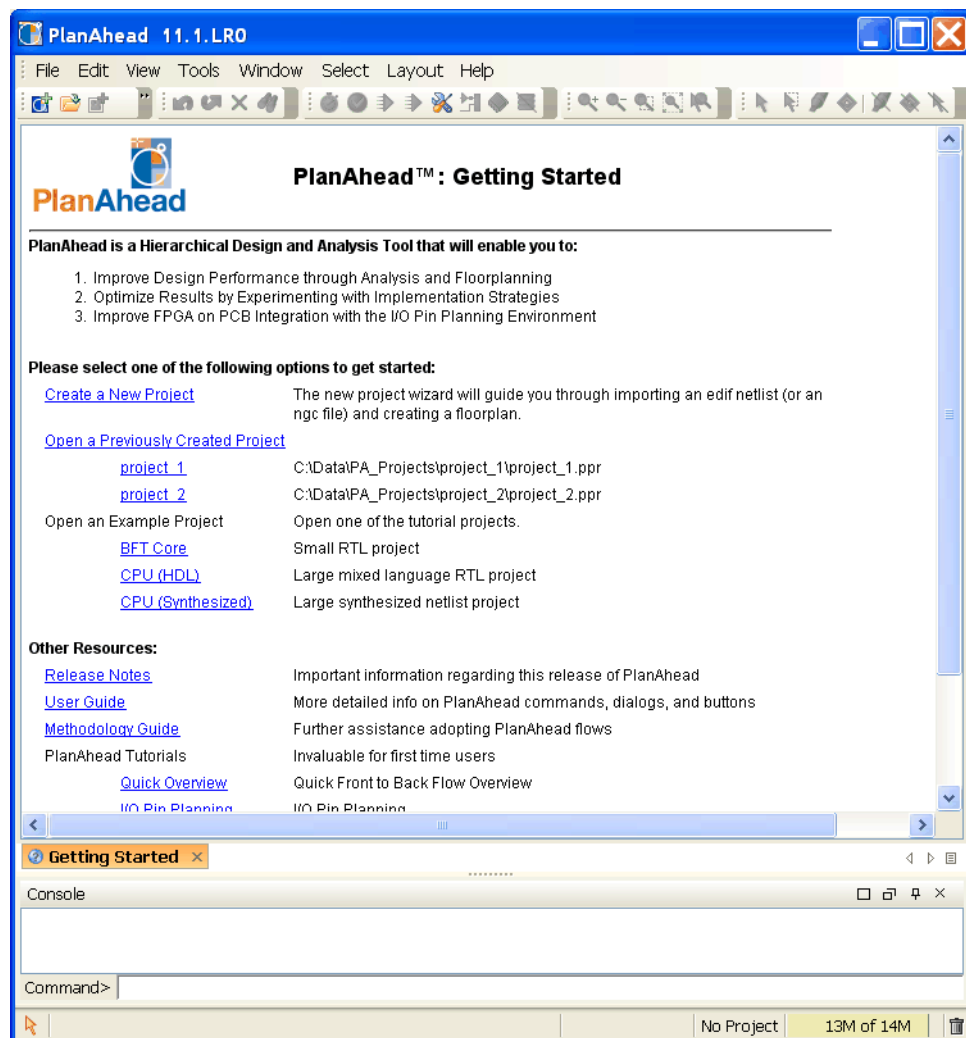


図 2-2 : [PlanAhead: Getting Started] ウィンドウ

これで PlanAhead で新規または既存のプロジェクトを開くことができます。PlanAhead の Getting Started ページからは、プロジェクトを作成したり、指定プロジェクトを開くだけでなく、PlanAhead のマニュアルも表示できます。

メモ : [Getting Started] ページは、[Help] → [Getting Started] をクリックすると開きます。

PlanAhead コマンド ライン オプション

PlanAhead にはコマンド ライン オプションがいくつかあります。PlanAhead のコマンド ライン オプションを表示するには、次のコマンドをコマンド プロンプトに入力します。

```
# planAhead -help
```

ヘルプ メニューがシェル ウィンドウに表示されます。

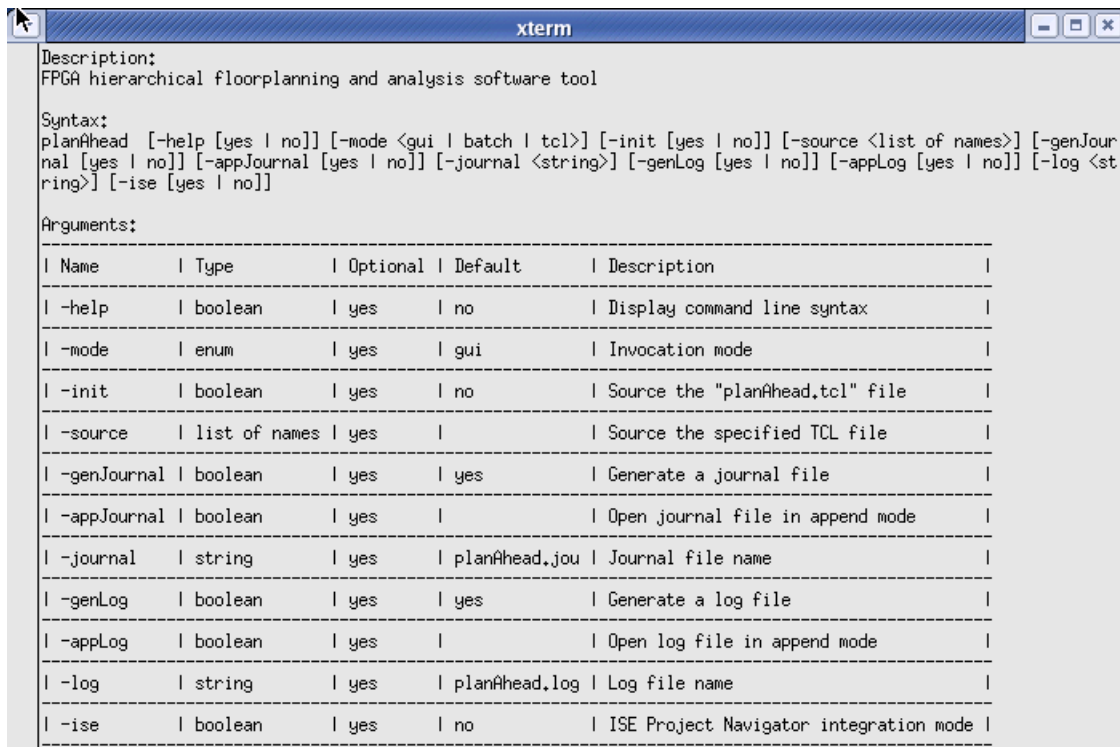


図 2-3 : PlanAhead のコマンド引数

PlanAhead の Tcl スタートアップ スクリプトの使用

PlanAhead の [Tools] → [Run Tcl Script] コマンドを使用すると、スタートアップ スクリプトを実行できます。planAhead.jou ファイルからコピーされた PlanAhead の Tcl コマンドは、スタートアップ スクリプトの作成に使用することができます。PlanAhead のジャーナル ファイルの詳細は、「[レポートの出力](#)」を参照してください。

```
#-----
# PlanAhead version JPA.91.0
# Built by bdeegan on Mon Feb 26 22:27:48 PST 2007
# Start of session at: 2/28/07 11:44:49 AM
# Process ID: 4728
#-----
hdi::project open -file (C:\Data\PlanAhead_Designs\PlanAhead_Tutorial\labs\projects\Project_2\Project_2.ppr)
hdi::project startUpdate -name Project_2 -file (C:\Data\PlanAhead_Designs\PlanAhead_Tutorial\labs\design_files\rev1_top_upd
hdi::project commitUpdate -name Project_2 -all yes
hdi::timing run -name results_1 -project Project_2 -floorplan orig_fp -min_max max -transition rise/fall -sort_by group -int
hdi::drc run -name results_1 -project Project_2 -floorplan orig_fp
hdi::run add -name run_1 -project Project_2 -floorplan orig_fp -flow (ISE 9) -strategy (EA #1)
hdi::run add -name run_2 -project Project_2 -floorplan orig_fp -flow (ISE 9) -strategy (EA #2)
hdi::run schedule -names (run_1 run_2) -project Project_2 -floorplan orig_fp
hdi::run launch -project Project_2 -jobs 1 -scriptsOnly no -allPlacement no -dir (C:\Data\PlanAhead_Designs\PlanAhead_Tutori
#-----
# End of session at: 2/28/07 11:47:57 AM
# Process ID: 4728
#-----
```

図 2-4 : PlanAhead の Tcl スクリプト例

Getting Started ページの使用

PlanAhead を起動するとウィンドウに **Getting Started** ページが表示されます。青色の下線が付いているコマンド リンクをクリックすると、特定のコマンドを実行したり、マニュアルを表示できます。

デフォルトでは、最近開いた 10 個のプロジェクトへのリンクが表示され、クリックすると開くことができるようになっていますが、プロジェクト表示前に、そのプロジェクト データが使用可能かが確認されます。**[Tools]** → **[Options]** → **[General]** をクリックして **[General]** ダイアログ ボックスを開き、このページにリストするプロジェクトの数を設定できます。

PlanAhead のマニュアルのリンクをクリックすると、PDF ビューアが起動してマニュアルを表示できます。PDF フォーマットのマニュアルは、<InstallDir>/doc ディレクトリからも表示できます。

PlanAhead プロジェクトの種類

PlanAhead は FPGA デザイン フローのさまざまなポイントで 사용할 수 있습니다。このため、PlanAhead プロジェクトにはいろいろな種類があり、プロジェクト作成に使用された入力ソースのタイプによって区別されています。**[Create New Project]** プロセスに必要なプロジェクトのタイプを選択することができます。

プロジェクトの種類を一度選択したら、後で別の種類に変換することはできません。

メモ：PlanAhead ではパーシャル リコンフィギュレーション デザインをサポートするため派生タイプのプロジェクトも使用されます。この機能は、v11.1 では限定されたユーザーにのみ利用できるようになっており、詳細は『**Partial Reconfiguration User Guide**』に記載されています。

I/O ピン配置の空プロジェクト

I/O ピン配置は、空のプロジェクトを作成してデザイン サイクルの早期に完成させることができます。I/O ポートは、PlanAhead 内で作成するか、CSV、UCF、または RTL 入力ファイルを使用しインポートすることができます。I/O ピン割り当ての後、PlanAhead で CSV、UCF、および RTL 出力ファイルが作成できます。このファイルは、RTL ソースまたはネットリストが使用可能になったときにデザイン フローの後段階で使用します。この出力ファイルは、PCB デザインで使用する回路図シンボルの作成に使用することもできます。

空プロジェクトはそれぞれのデバイス アーキテクチャで使用可能なロジック リソースを知るためにも作成できます。

RTL ソースをベースにしたプロジェクト

PlanAhead は、RTL 生成からビットストリーム生成まで FPGA デザイン フロー全体の管理に使用できます。プロジェクトは RTL ソース ファイルおよびプリコンパイルされた NGC/NGO フォーマットのザイリンクス コアをインポートして作成できます。RTL に手を加え解析し、コンストラクトが正しいことを確認し、さまざまな合成やインプリメンテーション実行を起動・管理し、デザインと実行結果を解析することができます。また、フロアプランを作成してさまざまな制約やデバイスストラテジを試すこともできます。

合成ネットリストをベースにしたプロジェクト

XST やサポートされているサードパーティの合成ツールを使用し PlanAhead 外で合成されたデザインからプロジェクトを作成することもできます。PlanAhead には EDIF または NGC/NGO フォーマットのネットリストをインポートします。ネットリストは 1 つのファイルにまとめられていて、複数のモジュール レベルのネットリストから構成される階層構造になっています。ロジック ネットリ

ストを解析し、さまざまなインプリメンテーション実行を起動・管理し、デザインと実行結果を解析できます。また、フロアプランを作成してさまざまな制約やデバイス ストラテジを試すこともできます。

インプリメントされたデザイン結果をベースにしたプロジェクト

ザイリンクスのコマンド ライン ツールを使用し PlanAhead 外で作成されたインプリメンテーション結果の解析をするためにプロジェクトを作成することもできます。デザイン ネットリスト、インプリメンテーション、タイミング結果を、タイミングまたは配置関連の問題を確認するためにインポートできます。

New Project ウィザードを使用した新規プロジェクトの作成

New Project ウィザードでは、プロジェクト名およびディレクトリの定義、ネットリストのインポート、およびデバイスの選択と制約のインポートを含む初期フロアプランの作成をウィザードに従って実行できます。

プロジェクトを新規作成するには、次の手順に従ってください。

1. 次のコマンドのいずれかを選択します。
 - ◆ ツールバーの [New Project] をクリックします。



図 2-5 : [New Project] ボタン

- ◆ Getting Started ページの [Create a New Project] というリンクをクリックします。
- ◆ [File] → [New Project] をクリックします。

ウィザードの最初のページではウィザードの概要が表示されます。

2. [Next] をクリックします。

[Project Name] ページが表示されます。

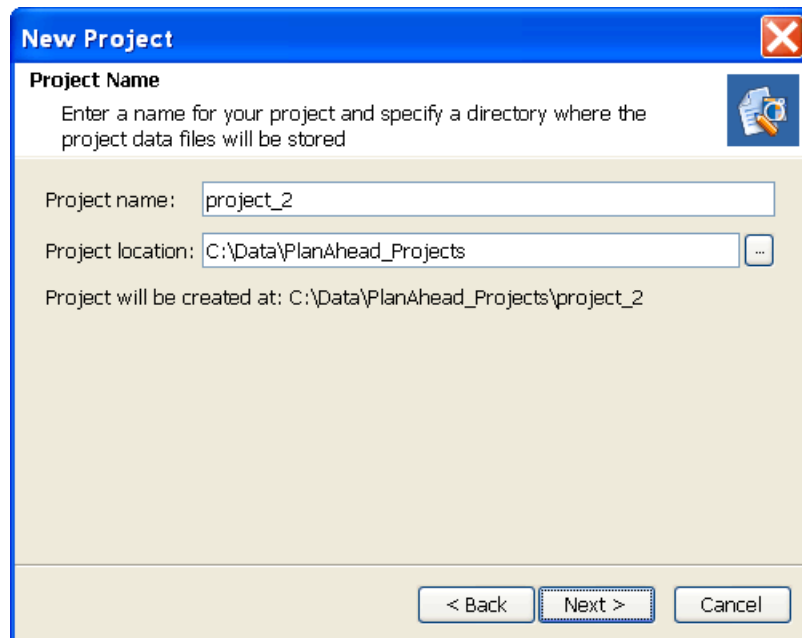


図 2-6 : New Project ウィザード : [Project Name] ページ

プロジェクト名およびプロジェクト ディレクトリの入力

次のように、プロジェクト名およびプロジェクトを保存するディレクトリを入力します。

3. [Project Name] ページで、[Project name] および [Project location] を指定します。
 - ◆ [Project name] : project_2 など、プロジェクト ディレクトリを識別する名前を入力します。
 - ◆ [Project location] : プロジェクト ディレクトリを作成するディレクトリを入力します。
4. 入力後、[Next] をクリックします。

デザイン ソース データ タイプの選択

ここでは、RTL ソースまたは合成済みのネットリスト (EDIF または NGC) を PlanAhead にインポートするか、I/O ピン配置用に空のプロジェクトを作成するかを指定します。

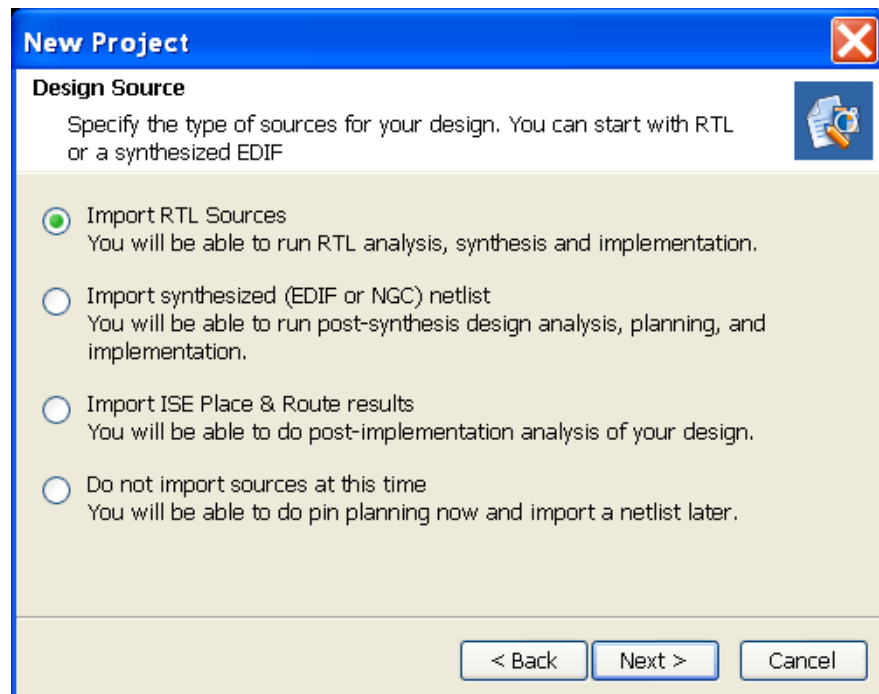


図 2-7 : New Project ウィザード : [Design Source] ページ

5. オプションの選択後、[Next] をクリックします。
6. 選択したデザイン入力に応じて、次のいずれかのセクションを参照してください。
 - ◆ 「I/O ピン配置の空プロジェクト」
 - ◆ 「RTL ソースをインポートしたプロジェクトの作成」
 - ◆ 「EDIF または NGC 形式の合成ネットリストを使用したプロジェクトの作成」
 - ◆ 「ISE 配置およびタイミング結果を使用したプロジェクトの作成」

メモ : [Do not import sources at this time] を選択してネットリストをインポートしない場合、新規プロジェクトを定義し終えたらピン レイアウト用の PinAhead が起動します。

I/O ピンを配置する空のプロジェクトの作成

I/O ピンを配置するには、作成済みの HDL または合成済みの EDIF を使用する前に空のプロジェクトを作成します。I/O ピン配置の詳細は、第 5 章「I/O ピンの配置」を参照してください。

1. [Design Source] ページで [Do not import sources at this time] をオンにします。

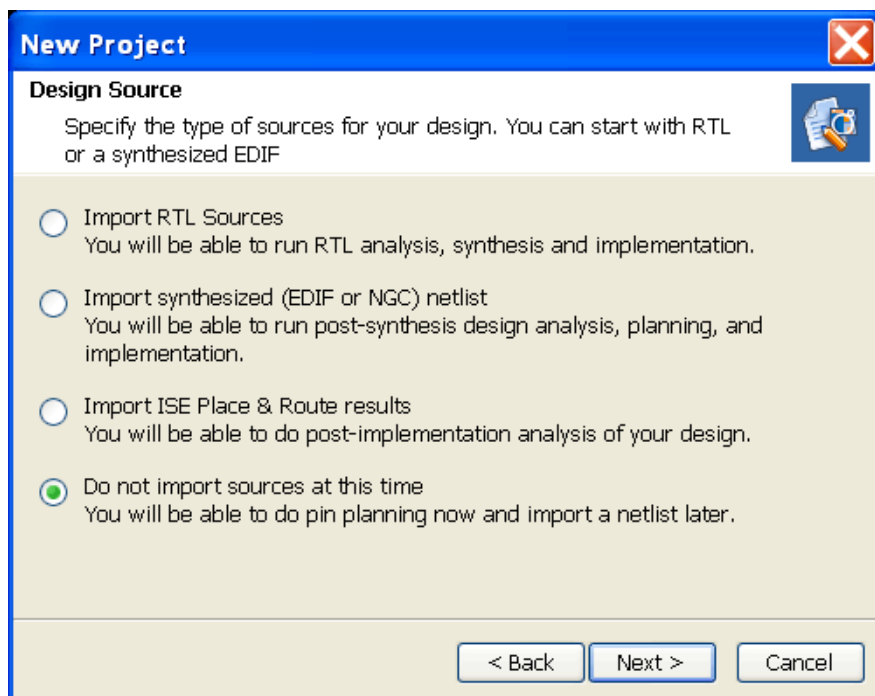


図 2-8 : 空のプロジェクトの作成

2. [Next] をクリックします。

製品ファミリとデフォルト パーツの選択

次に、製品ファミリおよびデフォルト パーツを選択します。

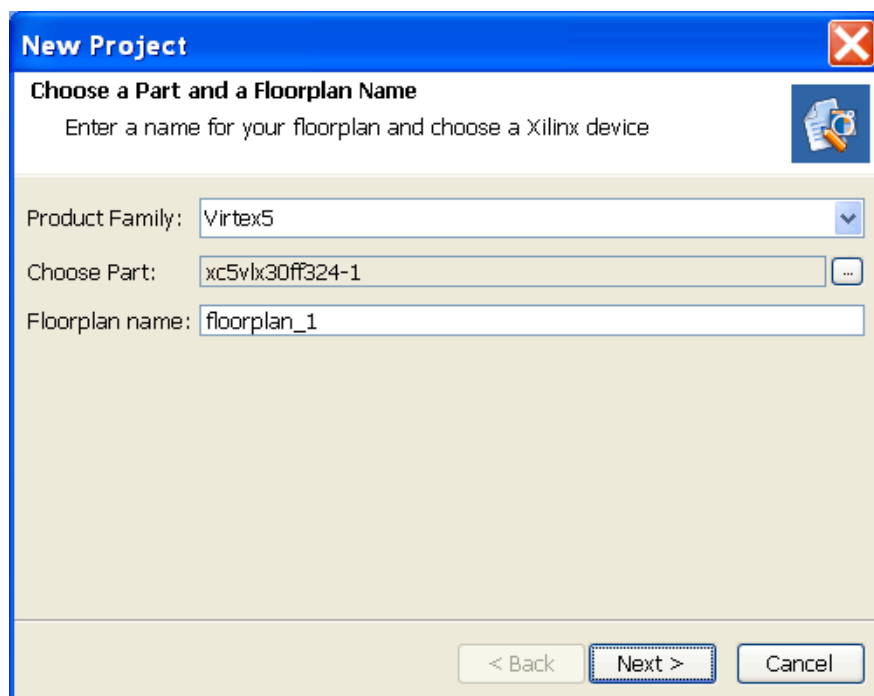


図 2-9 : New Project ウィザード : [Choose a Part and a Floorplan Name] ページ

3. ターゲットの製品ファミリ アーキテクチャとデフォルト パーツを選択します。
4. [Next] をクリックします。

メモ：プロジェクトに製品ファミリを一度選択したら変更することはできません。別のアーキテクチャをターゲットにするには新規プロジェクトを作成する必要があります。デフォルト パーツは、合成およびインプリメンテーション実行とフロアプラン作成中に変更できます。

フロアプラン名の指定とターゲット デバイスの選択

[Floorplan Name] ページが表示されます。

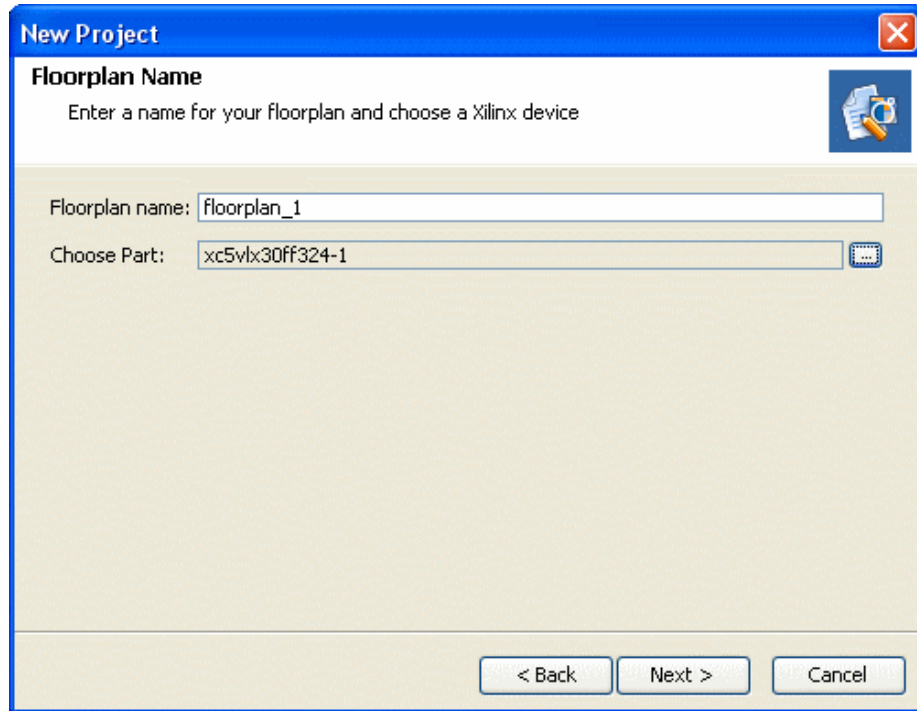


図 2-10 : New Project ウィザード : [Floorplan Name] ページ

5. [Floorplan Name] ページでは、フロアプラン名を入力し、使用するデバイスを選択します。
 - ◆ [Floorplan name] : フロアプランの名前を入力します。
 - ◆ [Choose Part] : 参照ボタンをクリックしてデバイスを選択するか、デフォルトのデバイスを選択します。
6. [Next] をクリックします。

[New Project Summary] ページが表示されます。

7. [Finish] をクリックして、プロジェクトを開始します。

PlanAhead の I/O ピン配置関連のウィンドウでプロジェクトが開きます。

RTL ソースをインポートしたプロジェクトの作成

RTL ソース ファイルをインポートしてプロジェクトを作成することができます。これは、RTL コード開発と解析、合成とインプリメンテーションを目的とする場合に使用します。RTL 開発および解析の詳細は、第 6 章「RTL デザインの作成および解析」を参照してください。

1. [Design Source] ページで [Import RTL source] をオンにします。

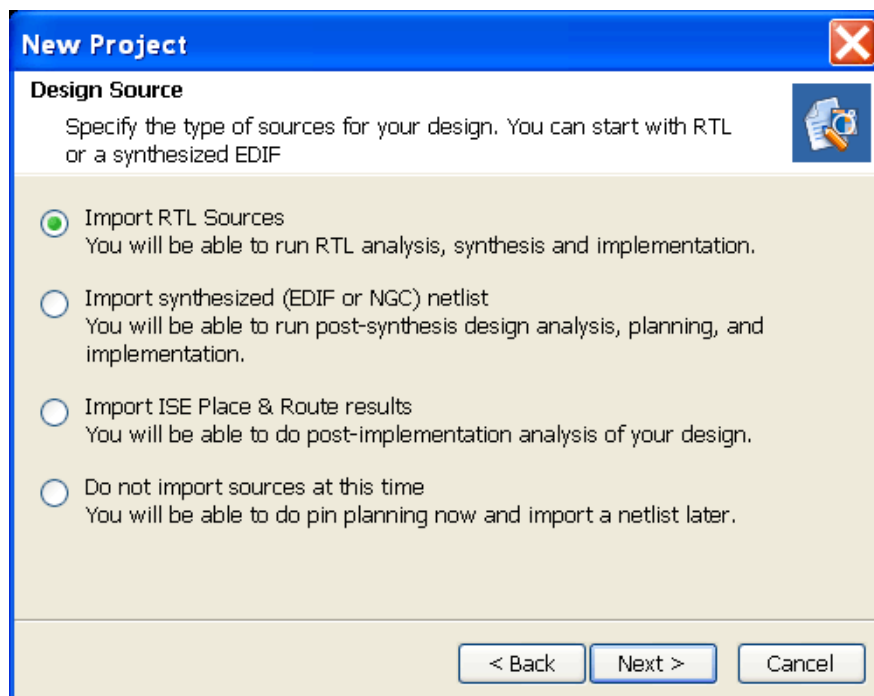


図 2-11 : RTL ソースを使用したプロジェクトの作成

2. [Next] をクリックします。

製品ファミリとデフォルト パーツの選択

次に、製品ファミリおよびデフォルト パーツを選択します。

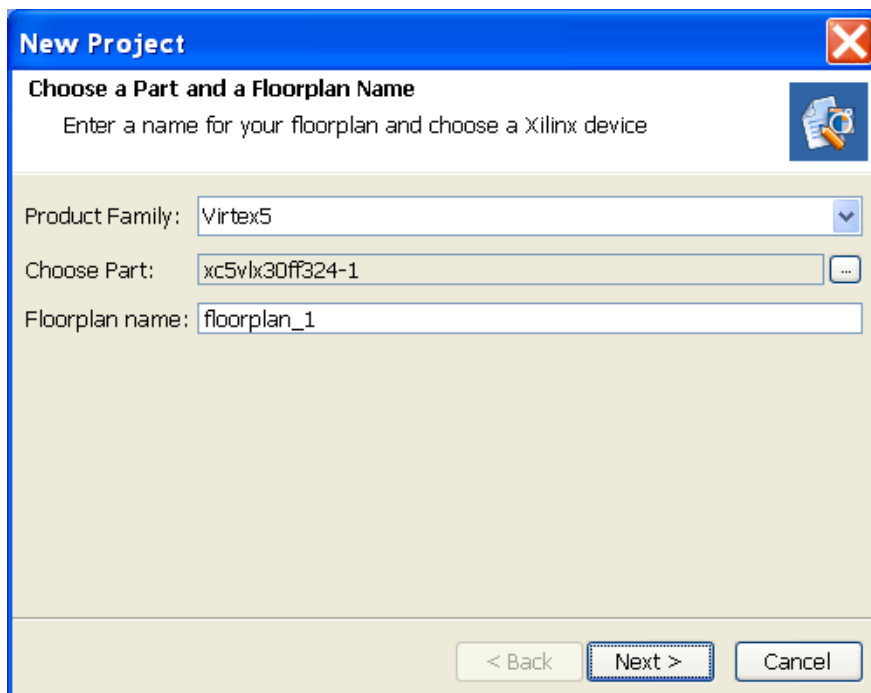


図 2-12 : New Project ウィザード : [Choose a Part and a Floorplan Name] ページ

3. ターゲットの製品ファミリ アーキテクチャとデフォルト パーツを選択します。
4. [Next] をクリックします。

メモ：プロジェクトに製品ファミリを一度選択したら変更することはできません。別のアーキテクチャをターゲットにするには新規プロジェクトを作成する必要があります。デフォルト パーツは、合成およびインプリメンテーション実行とフロアプラン作成中に変更できます。

ソース ファイルまたはディレクトリの追加

次に、HDL ソース ファイルまたは HDL ソース ファイルを含むディレクトリを選択します。

- ◆ [Add Files] : ファイルを個別にプロジェクトに追加するには、[Add Files] ボタンをクリックし、ファイルを選択します。
- ◆ [Add Directories] : ディレクトリ内のファイルおよびサブディレクトリをすべてプロジェクトに追加するには、[Add Directories] ボタンをクリックし、ディレクトリを選択します。ディレクトリにある認識された拡張子を持つソース ファイルがすべてインポートされます。
- ◆ [Import Sources into Project] : 元のロケーションではなく、PlanAhead のプロジェクトディレクトリにソース ファイルをコピーします。

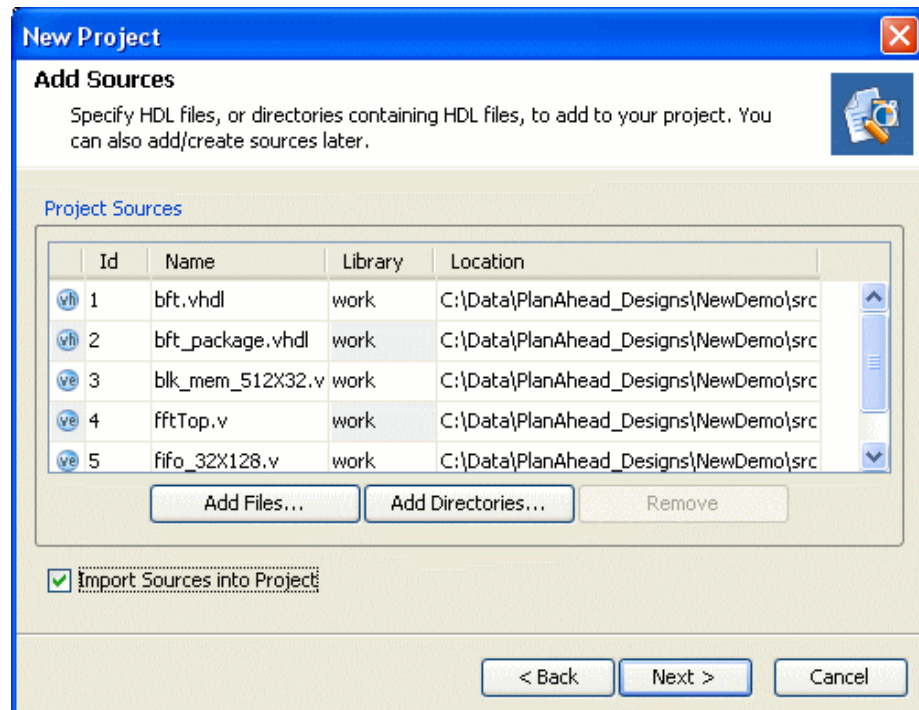


図 2-13 : New Project ウィザード : [Add Sources] ページ

5. ファイルまたはディレクトリを選択したら、[Next] をクリックします。

HDL ソース ファイルが PlanAhead にインポートされます。

[New Project Summary] ページが表示されます。

6. [Finish] をクリックして、プロジェクトを開始します。

RTL 関連のウィンドウが使用可能な PlanAhead のプロジェクト環境が表示されます。

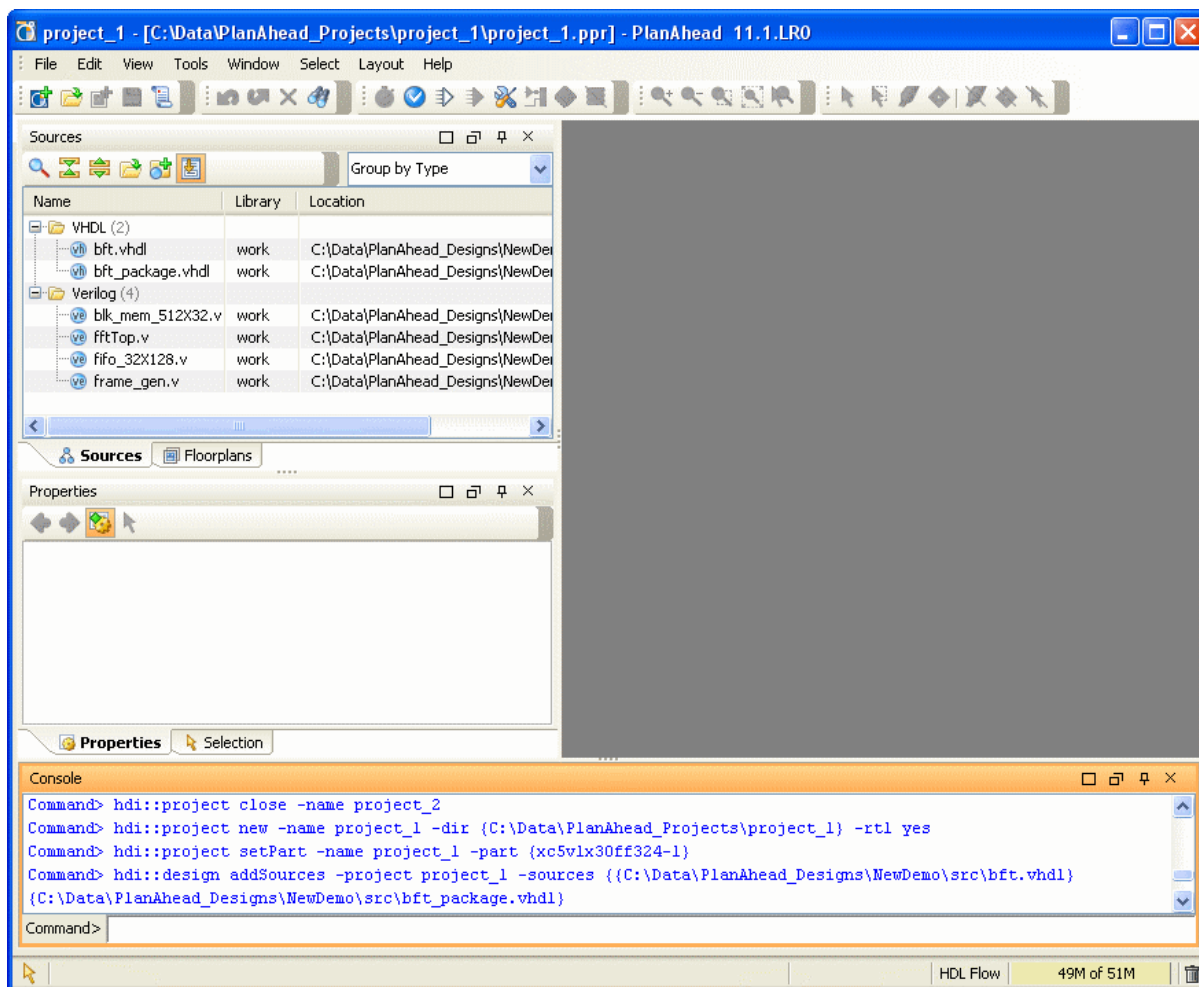


図 2-14 : PlanAhead の RTL 環境

メモ : PlanAhead の [Console] ウィンドウに警告メッセージが表示された場合は、メッセージまたは PlanAhead ログ ファイルを確認し、デザインのエラーやインプリメンテーション エラーの原因となる問題がないか確認してください。

EDIF または NGC 形式の合成ネットリストを使用したプロジェクトの作成

PlanAhead では、合成済みのネットリストと対応する制約をインポートしてプロジェクトを作成できます。この方法は、フロアプラン環境およびインプリメンテーション環境を使用してデザインを解析、フロアプラン、およびインプリメントする場合に使用します。

1. [Design Source] ページで [Import synthesized (EDIF or NGC) netlist] をオンにします。

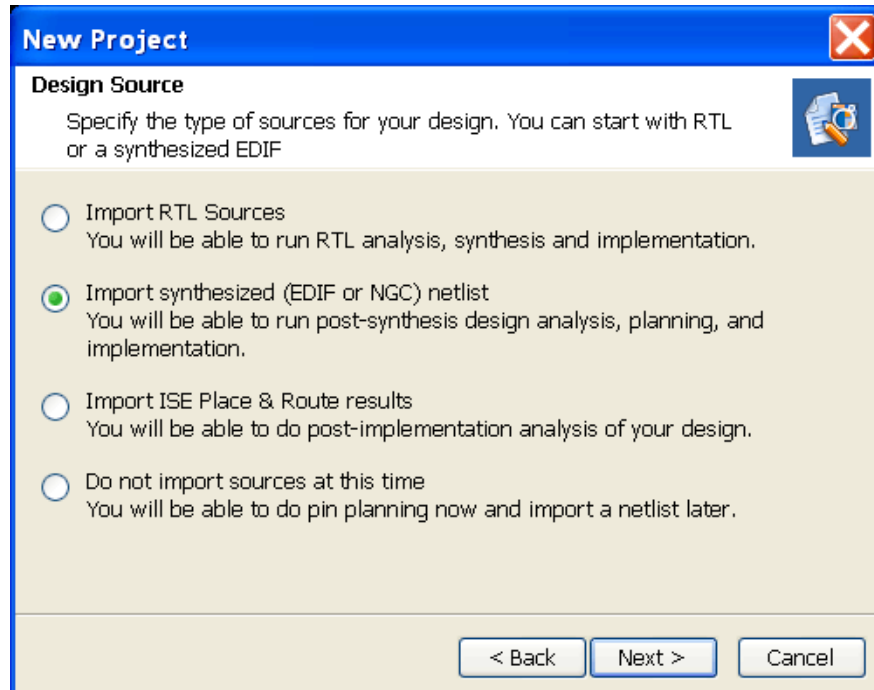


図 2-15 : 合成済みの EDIF または NGC ネットリストを使用したプロジェクトの作成

最上位ネットリストおよびモジュール検索パスの指定

[Import Netlist] ページでは、最上位のネットリスト ファイルおよびモジュール レベルのネットリストを検索する検索パスを入力できます。

2. このページでは、次を指定します。
 - ◆ [Netlist file] : このプロジェクトの最上位ネットリスト名を入力します。参照ボタンをクリックすると、最上位ネットリスト ファイルを指定できます。
 - ◆ [Netlist directories] : [Add] ボタンをクリックして、ネットリストのインポート中に検索する下位のモジュールおよびコアを含むディレクトリを選択します。デフォルトでは、PlanAhead の起動ディレクトリと最上位ネットリストを選択したディレクトリが検索パスに含まれています。これらのディレクトリの検索順は、[Up] ボタンおよび [Down] ボタンを使用して変更できます。[Remove] ボタンを使用すると、検索パスからディレクトリを削除できます。

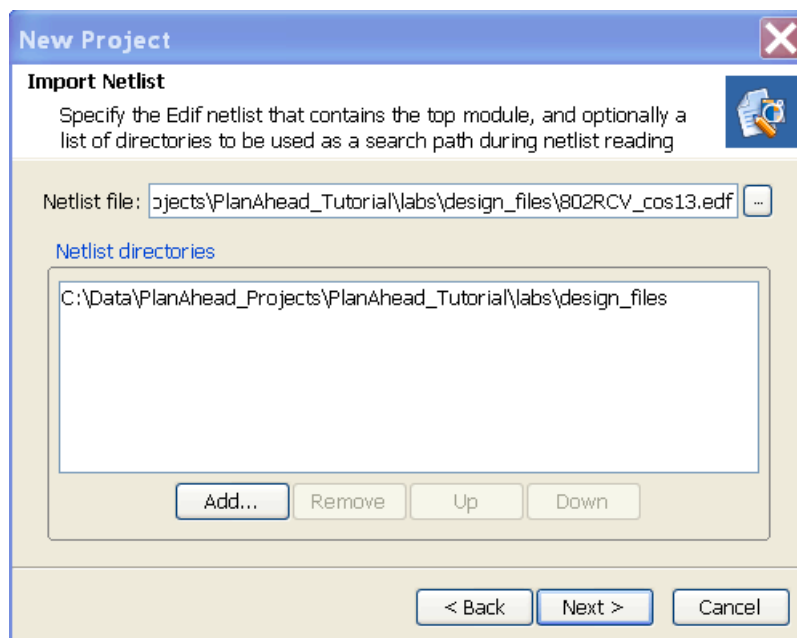


図 2-16 : New Project ウィザード : [Import Netlist] ページ

3. [Next] をクリックしてウィザードを進めます。

ネットリストが **PlanAhead** にインポートされます。多少時間がかかることがあります。ネットリストごとにステータス バーが表示されます。警告およびエラーに関する情報は、コンソールウィンドウに表示され、また **planAhead.log** ファイルに書き込まれます。正常に終了すると、メッセージが表示されます。

メモ : **PlanAhead** では、フロアプランにおいてロジック階層に依存しているため、インポートするネットリストには、ロジック階層が含まれている必要があります。フラット化されたネットリストを使用すると、フロアプランが困難になります。デザインが **RTL** で記述されており、階層構造で合成されていることを確認してください。

メモ : 最上位またはモジュールレベルの **NGC** または **NGO** フォーマット ファイルをインポートするときは、**ngc2edif** コマンドを使用して、**PlanAhead** 用の **EDIF** を作成する必要があります。**ngc2edif** コマンドのステータスは、コマンド実行時に **PlanAhead** のターミナル ウィンドウに表示されます。

次に、製品ファミリーおよびデフォルト パーツを選択します。

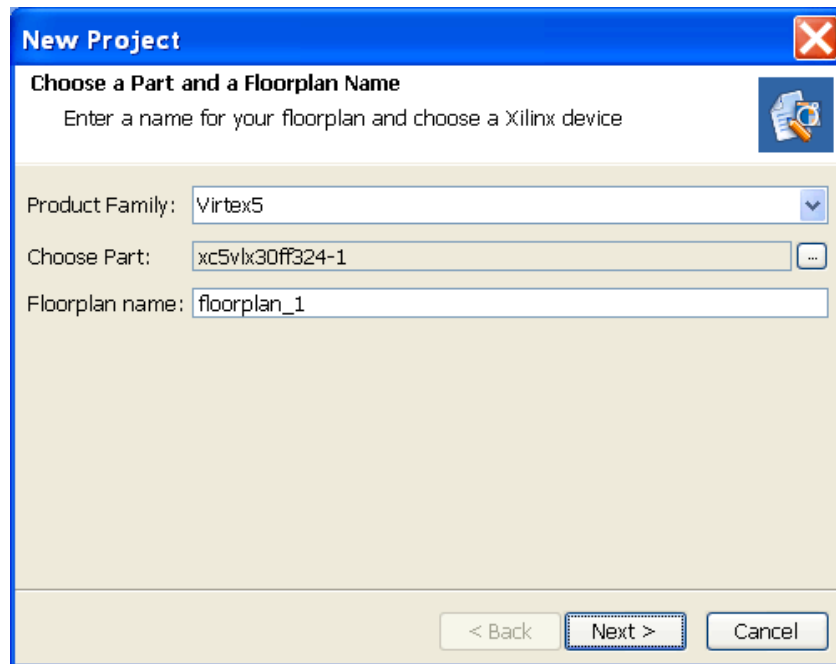


図 2-17 : New Project ウィザード : [Choose a Part and a Floorplan Name] ページ

4. このページで表示・編集できるオプションは次のとおりです。
 - ◆ [Product Family] : 使用するデバイスを表示します。互換性のあるデバイスのみがここに表示されます。
 - ◆ [Choose Part] : 参照ボタンをクリックしてデバイスを指定するか、デフォルト値を使用して最上位 EDIF ネットリスト ファイルで定義されているデバイスを使用します。
 - ◆ [Floorplan name] : フロアプランの名前を入力します。
5. [Next] をクリックします。

メモ : プロジェクトに製品ファミリーを一度選択したら変更することはできません。別のアーキテクチャをターゲットにするには新規プロジェクトを作成する必要があります。デフォルト パーツは、合成およびインプリメンテーション実行とフロアプラン作成中に変更できます。

制約のインポート

[Import Constraints] ページが表示されます。

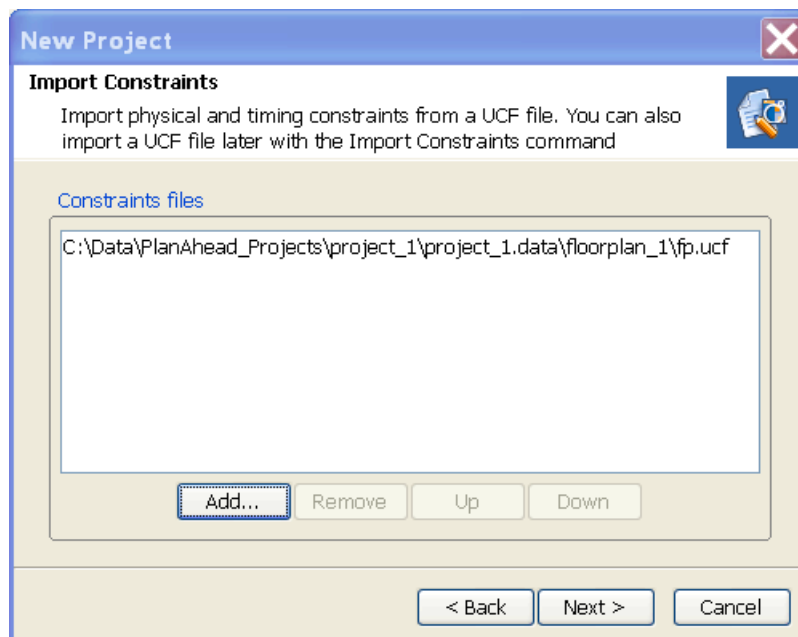


図 2-18 : New Project ウィザード : [Import Constraints] ページ

6. [Add] ボタンをクリックして、インポートする最上位の UCF または NCF 制約ファイルを選択します。これらのファイルのインポート順は、[Up] ボタンおよび [Down] ボタンを使用して変更できます。[Remove] ボタンを使用すると、リストからファイルを削除できます。

モジュールレベルの NCF または UCF 制約を使用する場合は、このリストに含めないでください。モジュールレベルの制約のインポートの詳細は、70 ページの「制約のインポート」を参照してください。

7. [Next] をクリックしてウィザードを進めます。

UCF ファイルが PlanAhead にインポートされます。この動作には多少時間がかかる場合があります。

[New Project Summary] ページが表示されます。

8. [Finish] をクリックして、フロアプランを開始します。

フロアプランが開始され、PlanAhead のフロアプラン環境が起動します。

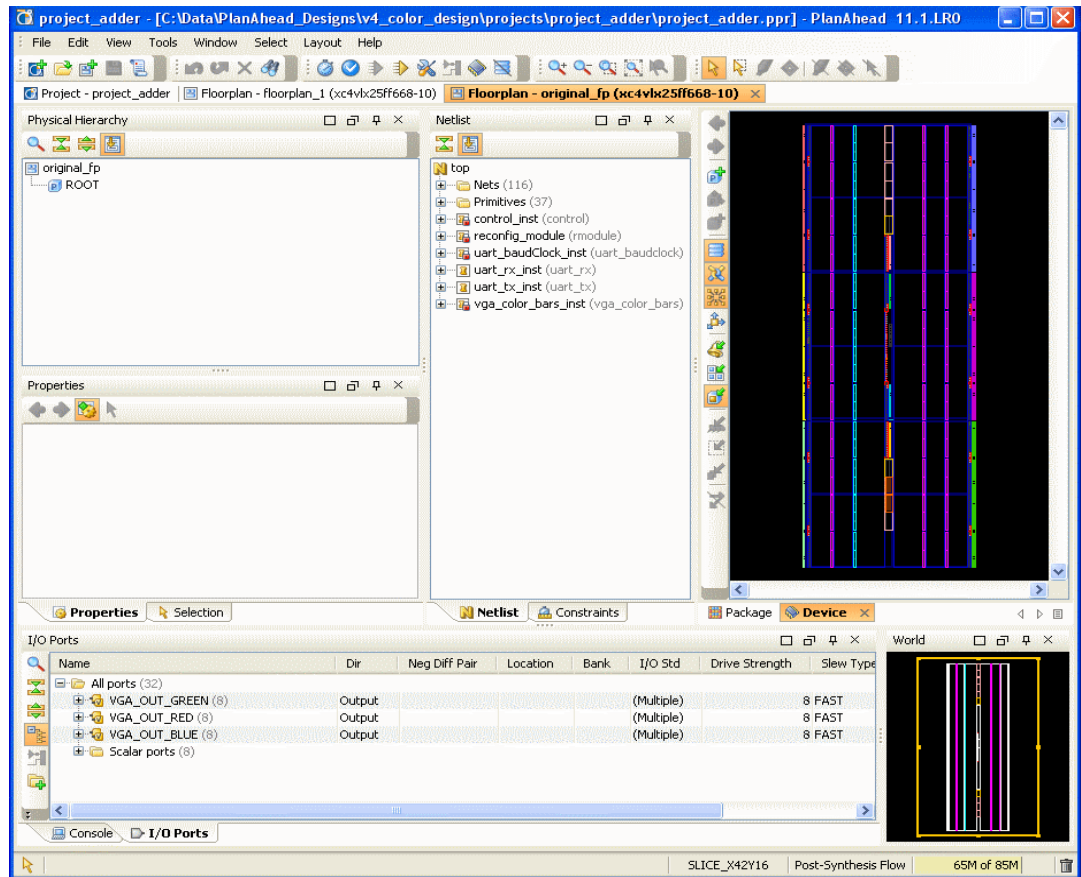


図 2-19 : PlanAhead のフロアプラン環境

メモ : PlanAhead の [Console] ウィンドウに警告メッセージが表示された場合は、メッセージまたは PlanAhead ログ ファイルを確認し、デザインのエラーやインプリメンテーション エラーの原因となる問題がないか確認してください。

ISE 配置およびタイミング結果を使用したプロジェクトの作成

PlanAhead では ISE® インプリメンテーション結果が含まれたネットリストと対応する制約をインポートしてプロジェクトを作成できます。これは、インプリメンテーション環境を使用し配置配線結果を解析するのに使用します。

[Design Source] ページで [Import ISE Place & Route results] をオンにします。

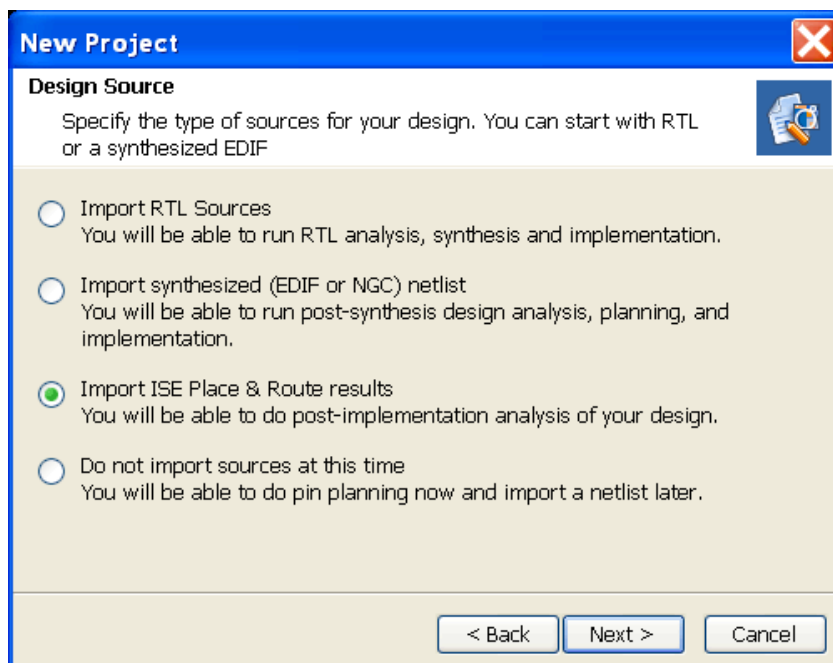


図 2-20 : ISE の配置配線結果を使用したプロジェクトの作成

最上位ネットリストおよびモジュール検索パスの指定

[Import Netlist] ページでは、最上位のネットリスト ファイルおよびモジュール レベルのネットリストを検索する検索パスを入力できます。

2. このページでは、次を指定します。

- ◆ [Netlist file] : このプロジェクトの最上位ネットリスト名を入力します。参照ボタンをクリックすると、最上位ネットリスト ファイルを指定できます。
- ◆ [Netlist directories] : [Add] ボタンをクリックして、ネットリストのインポート中に検索する下位のモジュールおよびコアを含むディレクトリを選択します。デフォルトでは、PlanAhead の起動ディレクトリと最上位ネットリストを選択したディレクトリが検索パスに含まれています。[Up] ボタンおよび [Down] ボタンで、これらのディレクトリの検索順序を変更できます。[Remove] ボタンを使用すると、検索パスからディレクトリを削除できます。

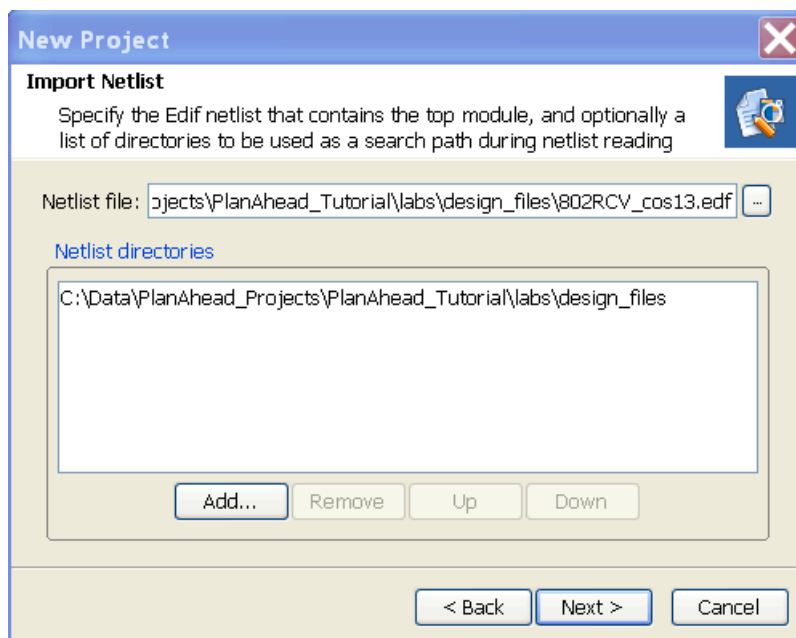


図 2-21 : New Project ウィザード : [Import Netlist] ページ

3. [Next] をクリックしてウィザードを進めます。

ネットリストが **PlanAhead** にインポートされます。多少時間がかかることがあります。ネットリストごとにステータス バーが表示されます。警告およびエラーに関する情報は、コンソールウィンドウに表示され、また **planAhead.log** ファイルに書き込まれます。正常に終了すると、メッセージが表示されます。

製品ファミリとデフォルト パーツの選択

次に、製品ファミリおよびデフォルト パーツを選択します。

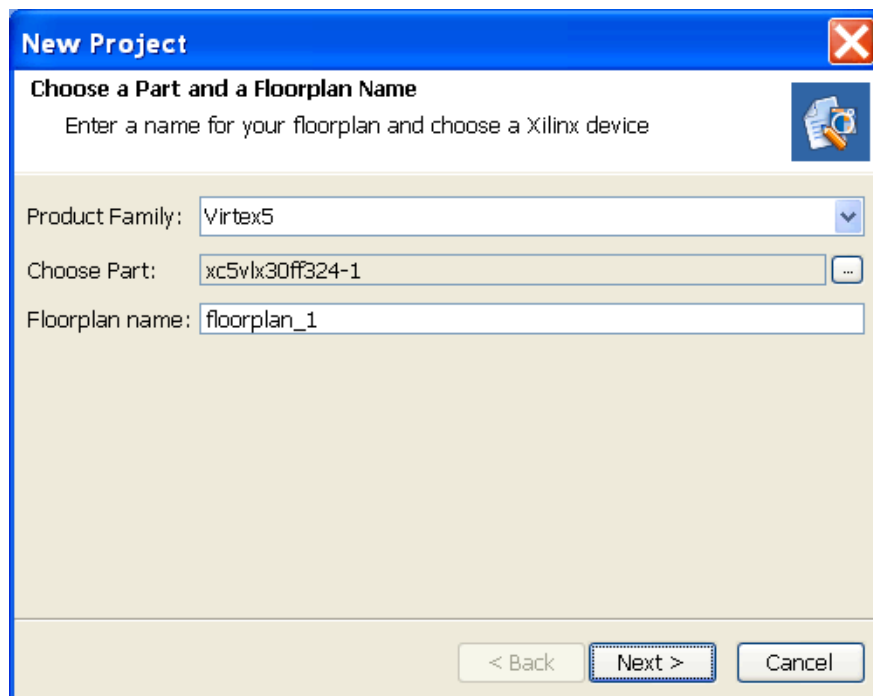


図 2-22 : New Project ウィザード : [Choose a Part and a Floorplan Name] ページ

4. ターゲットの製品ファミリ アーキテクチャとデフォルト パーツを選択します。
5. [Next] をクリックします。

メモ：プロジェクトに製品ファミリを一度選択したら変更することはできません。別のアーキテクチャをターゲットにするには新規プロジェクトを作成する必要があります。デフォルト パーツは、合成およびインプリメンテーション実行とフロアプラン作成中に変更できます。

フロアプラン名の指定とターゲット デバイスの選択

[Floorplan Name] ページが表示されます。

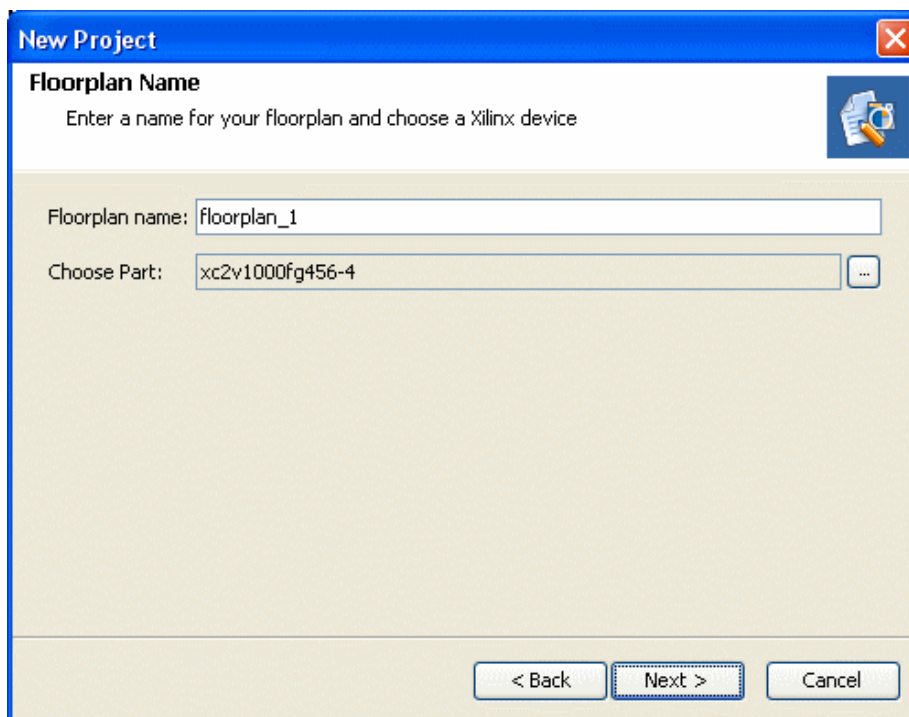


図 2-23 : New Project ウィザード :[Floorplan Name] ページ

6. [Floorplan Name] ページでは、フロアプラン名を入力し、使用するデバイスを選択します。
 - ◆ [Floorplan name] : フロアプランの名前を入力します。
 - ◆ [Choose Part] : 参照ボタンをクリックしてデバイスを指定するか、デフォルト値を使用して最上位 EDIF ネットリスト ファイルで定義されているデバイスを使用します。
7. フロアプラン名を指定し、ターゲット デバイスを選択します。
8. [Next] をクリックします。

制約のインポート

[Import Constraints] ページが表示されます。

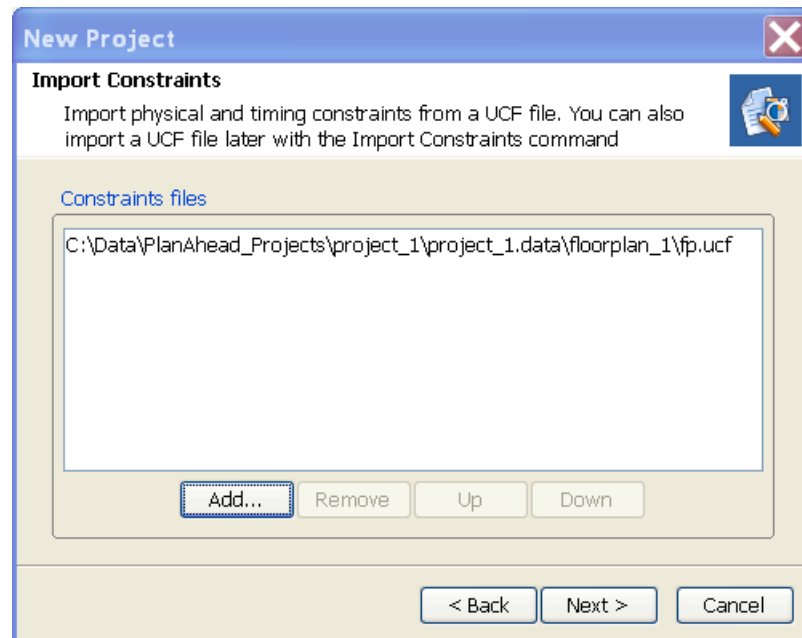


図 2-24 : New Project ウィザード :[Import Constraints] ページ

9. [Add] ボタンをクリックして、インポートする最上位の UCF または NCF 制約ファイルを選択します。これらのファイルのインポート順は、[Up] ボタンおよび [Down] ボタンを使用して変更できます。[Remove] ボタンを使用すると、リストからファイルを削除できます。

モジュールレベルの NCF または UCF 制約を使用する場合は、このリストに含めないでください。モジュールレベルの制約のインポートの詳細は、70 ページの「制約のインポート」を参照してください。

10. [Next] をクリックしてウィザードを進めます。

UCF ファイルが PlanAhead にインポートされます。この動作には多少時間がかかる場合があります。

配置およびタイミング結果のインポート

[Import ISE Implementation Results] ページが開きます。ISE で生成された配置配線結果をインポートし、PlanAhead で表示および解析するためのフロアプランを作成することができます。

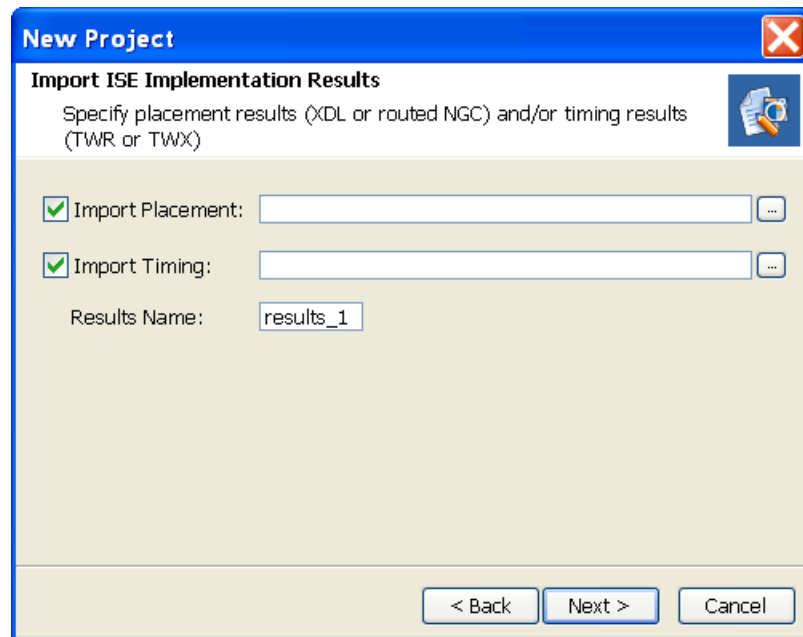


図 2-25 : New Project ウィザード : [Import ISE Implementation Results] ページ

11. このページでは、次を指定します。

- ◆ [Import Placement] : XDL、GZ、NCD など、ISE インプリメンテーションからの配置結果ファイルのディレクトリを指定します。
- ◆ [Import Timing] : TWX など ISE インプリメンテーションのタイミング結果ファイルのディレクトリを指定します。
- ◆ [Results Name] : フロアプラン名を入力します。

[New Project Summary] ページが表示されます。

12. [Finish] をクリックして、フロアプランを開始します。

フロアプランが開始され、PlanAhead のフロアプラン環境が起動します。

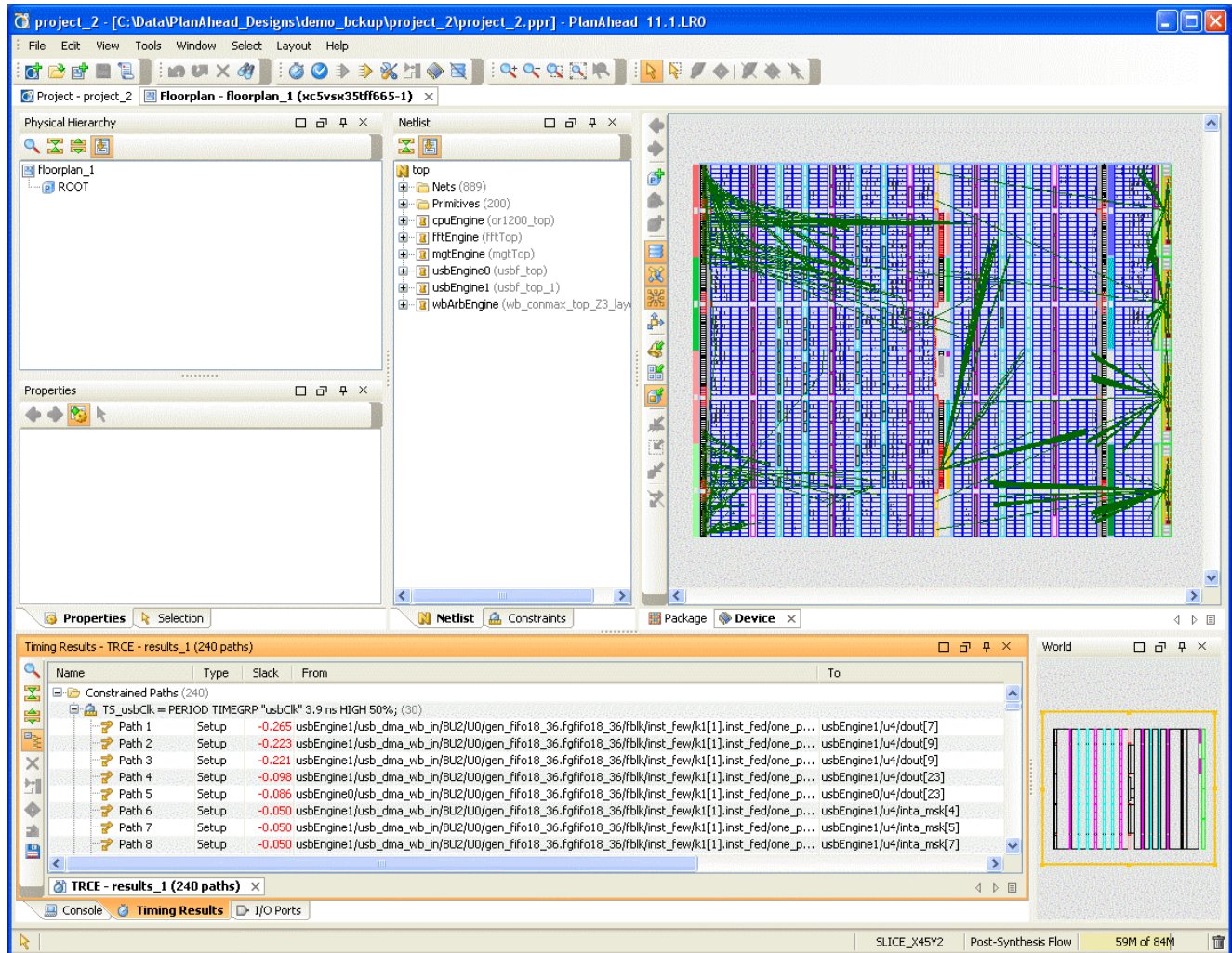


図 2-26 : PlanAhead のフロアプラン環境

メモ : PlanAhead の [Console] ウィンドウに警告メッセージが表示された場合は、メッセージまたは PlanAhead ログ ファイルを確認し、デザインのエラーやインプリメンテーション エラーの原因となる問題がないか確認してください。

プロジェクトの管理

次のコマンドは、合成済みネットリストをインポートしてプロジェクトが作成されている場合に使用します。PinAhead プロジェクトまたは HDL ソースを使用して作成されたプロジェクトでは使用できないコマンドが含まれています。

既存プロジェクトを開く方法

PlanAhead で既存のプロジェクトを開くには、[Open Project] コマンドを使用するか、Windows の場合は PlanAhead プロジェクト (PPR) ファイルをダブルクリックすると、PlanAhead が起動しファイルが開きます。プロジェクトは、前回プロジェクトを閉じた時点の状態で開きます。前回のインプリメンテーション実行がすべて回復され、開いていたフロアプランも再度開き、修正できます。

プロジェクトは、HDL ソースや合成済みネットリストを使用して PlanAhead で作成された場合など、プロジェクトのタイプに応じたウィンドウ レイアウトで表示されます。

プロジェクトを開くには、次の方法のいずれかを実行します。

- [File] → [Open Project] をクリックします。
- [Open Project] ボタンをクリックします。



図 2-27 : [Open Project] ボタン

- Getting Started ページで [Open a Previously Created Project] リンクをクリックします。

[Open Project] ダイアログ ボックスが表示されます。PPR プロジェクトファイルを選択して開きます。

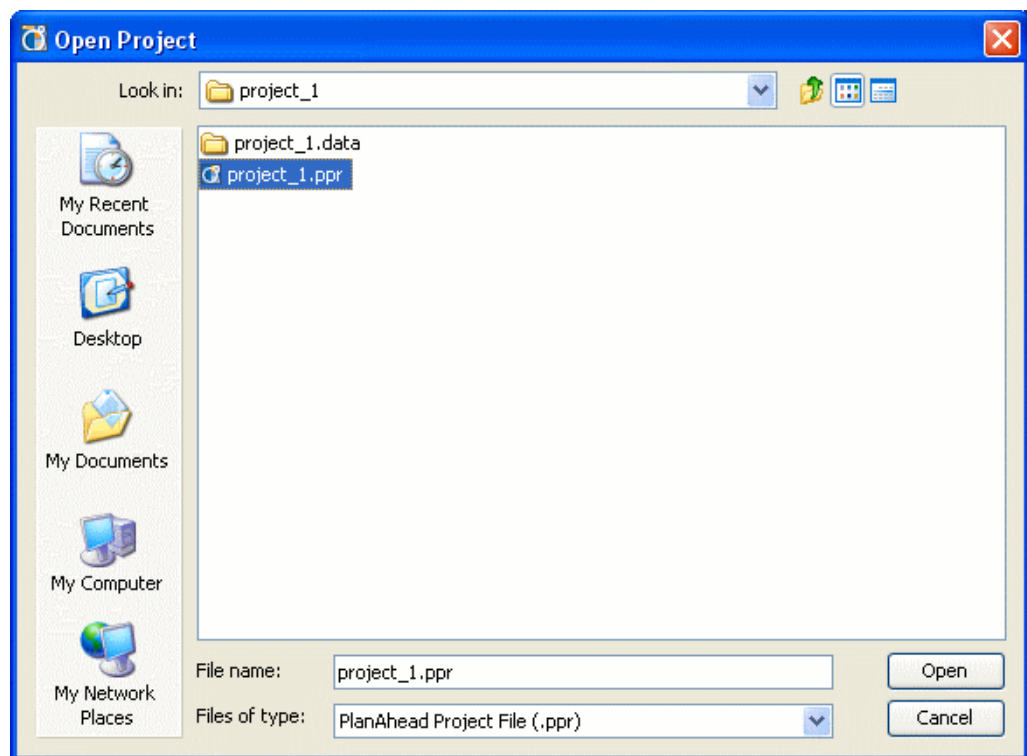


図 2-28 : [Open Project] ダイアログ ボックス

複数のプロジェクトを開く

1 つの PlanAhead セッションで複数のプロジェクトを同時に開くには、この章の「[既存プロジェクトを開く方法](#)」で説明した方法のいずれかを実行します。開いたプロジェクトごとに別個の PlanAhead メイン ウィンドウが開きます。複数のプロジェクトを同時に開いた場合、ウィンドウによってはフォーカスに問題が生じることがあります。

複数のプロジェクトを開いた場合、システム メモリの要件により、パフォーマンスが低下することがあります。[PlanAhead environment] ウィンドウの右下にある Java のメモリ使用状況ステータスバーを確認してください。PlanAhead では Java のメモリ制限が Windows で 512MB、64 ビット Linux で 1GB に設定されています。この制限に近づいてきた場合は、プロジェクトやフロアプランを閉じ、メモリを解放してください。

プロジェクトを閉じる

プロジェクトを閉じるには [File] → [Close Project] をクリックします。プロジェクトを閉じると、保存されていないフロアプランを保存するようというメッセージが表示されます。データを保存してからプロジェクトを閉じるかどうかの選択肢があります。ネットリストのアップデートは、実行時にプロジェクトに自動的に保存されます。

合成ネットリスト ベースのプロジェクトのネットリストのアップデート

最上位ネットリストのアップデート

新しく合成されたネットリストを使用してデザイン全体をアップデートするには、次の手順に従ってください。

1. [File] → [Update Netlist] をクリックします。

Update Netlist ウィザードが表示されます。

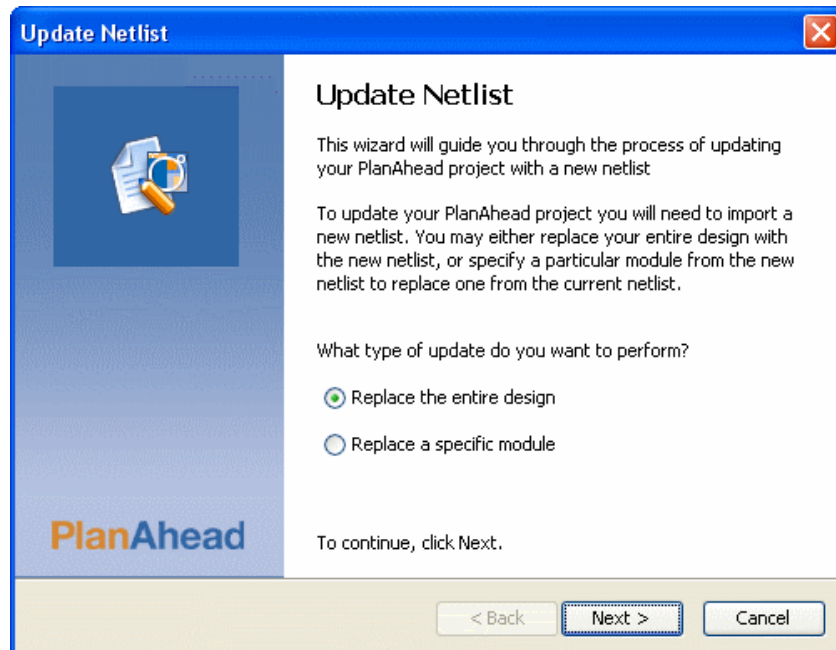


図 2-29 : Update Netlist ウィザード

2. デザイン ネットリスト全体をアップデートするには、[Replace the entire design] をオンにします。
3. [Next] をクリックし次に進みます。
[Import Netlist] ページが表示されます。
4. 次の 2 つのオプションを設定してください。
 - ◆ [Netlist file] : このプロジェクトの最上位ネットリスト名を入力します。参照ボタンをクリックし、デザインの最上位ネットリスト ファイルを選択します。
 - ◆ [Netlist directories] : ネットリストのインポート中に最下位のモジュールおよびコアを検索するディレクトリを、[Add] ボタンを使用して選択します。デフォルトでは、PlanAhead の起動ディレクトリと最上位ネットリストを選択したディレクトリが検索パスに含まれて

います。[Up] ボタンおよび [Down] ボタンで、これらのディレクトリの検索順序を変更できます。[Remove] ボタンをクリックすると、ディレクトリが検索パスから削除されます。

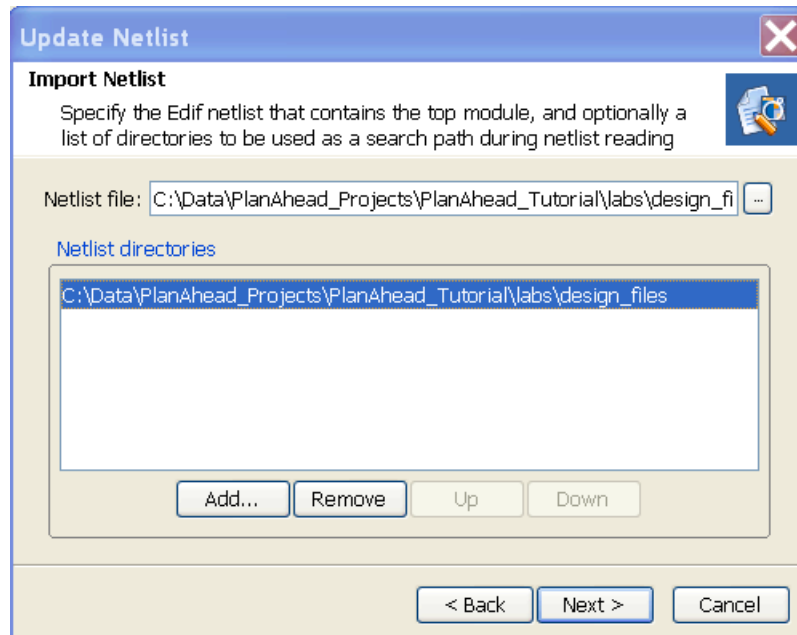


図 2-30 : Update Netlist ウィザード : [Import Netlist] ページ

5. [Next] をクリックします。
6. [Update Netlist Summary] ページで [Finish] をクリックします。

ネットリストが PlanAhead にインポートされます。多少時間がかかることがあります。ネットリストごとにステータス バーが表示されます。警告およびエラーに関する情報は、コンソール ウィンドウに表示され、また planAhead.log ファイルに書き込まれます。正常に終了すると、メッセージが表示されます。

モジュール レベルのネットリストのアップデート

[Update Netlist] コマンドを使用し、新規モジュールレベルまたは最上位のネットリストをインポートし、モジュールを置き換えることができます。新しくインポートしたネットリストに含まれるモジュールを選択して、既存のプロジェクトのモジュールと置き換えることができます。ただし、モジュール ポート インターフェイスはそのままなので、ロジックが階層ロジック モジュールの境界を越えて最適化されていないことを確認するための合成パラメータが必要な場合があります。階層保持に関する詳細は、使用している合成ツールのマニュアルを参照してください。

PlanAhead では、モジュールレベルのインクリメンタル ネットリストを合成よりインポートできます。この機能を使用して、インクリメンタル合成のストラテジをインプリメントできます。

メモ： デザインを再合成すると、下位のネット名とインスタンス名が変わってしまうことがよくあります。フロアプランに LOC のようなインスタンス レベルの制約が含まれていると、名前の不一致が生じます。PlanAhead では、ネットリストをアップデートする前にモジュール制約が読み込まれないので、アップデート中の潜在的な問題を回避できます。制約はアップデート後にインポートし直すことができ、名前が一致した制約が割り当てられます。通常は、配置制約がデザインで定義されているときにのみこのような問題が発生します。ネットリストのアップデート前にモジュール制約を削除してください。

[Update Netlist] コマンドでデザインのモジュールを個別にインポートすると、ネットリストはモジュールごとにアップデートされます。この方法は次のとおりです。

1. [File] → [Update Netlist] をクリックします。
Update Netlist ウィザードが表示されます。
2. [Replace a specific module] オプションをオンにし、デザイン内の選択したモジュールがアップデートされるようにします。

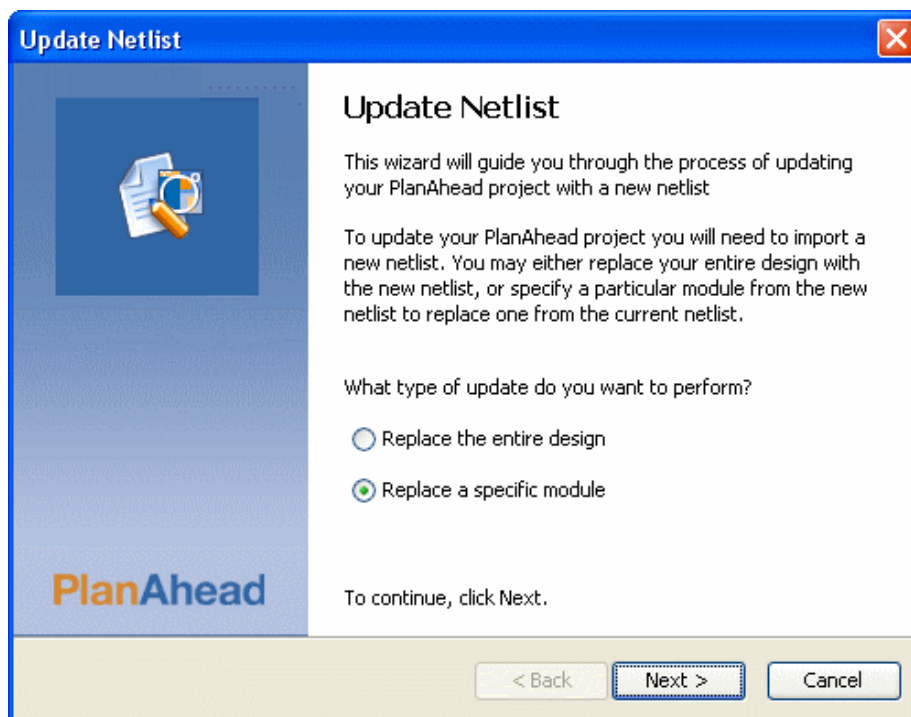


図 2-31 : Update Netlist ウィザード

3. [Next] をクリックし次に進みます。

[Import Netlist] ページが表示されます。

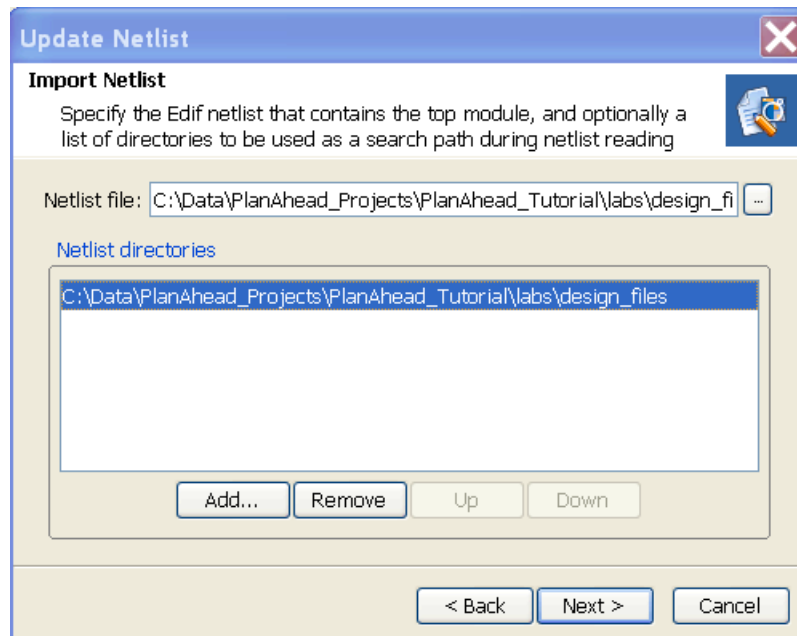


図 2-32 : Update Netlist ウィザード :[Import Netlist] ページ

[Import Netlist] ページには次のオプションがあります。

- ◆ [Netlist file] : プロジェクトをアップデートするモジュールを含むネットリストの名前を入力します。参照ボタンをクリックし、モジュールのネットリスト ファイルを選択します。
- ◆ [Netlist directories] : ネットリストのインポート中に最下位のモジュールおよびコアを検索するディレクトリを、[Add] ボタンを使用して選択します。デフォルトでは、PlanAhead の起動ディレクトリと最上位ネットリストを選択したディレクトリが検索パスに含まれています。[Up] ボタンおよび [Down] ボタンで、これらのディレクトリの検索順序を変更できます。[Remove] ボタンをクリックすると、ディレクトリが検索パスから削除されます。

4. [Next] をクリックし次に進みます。

[Specify Replacement Module] ダイアログ ボックスが表示されます。

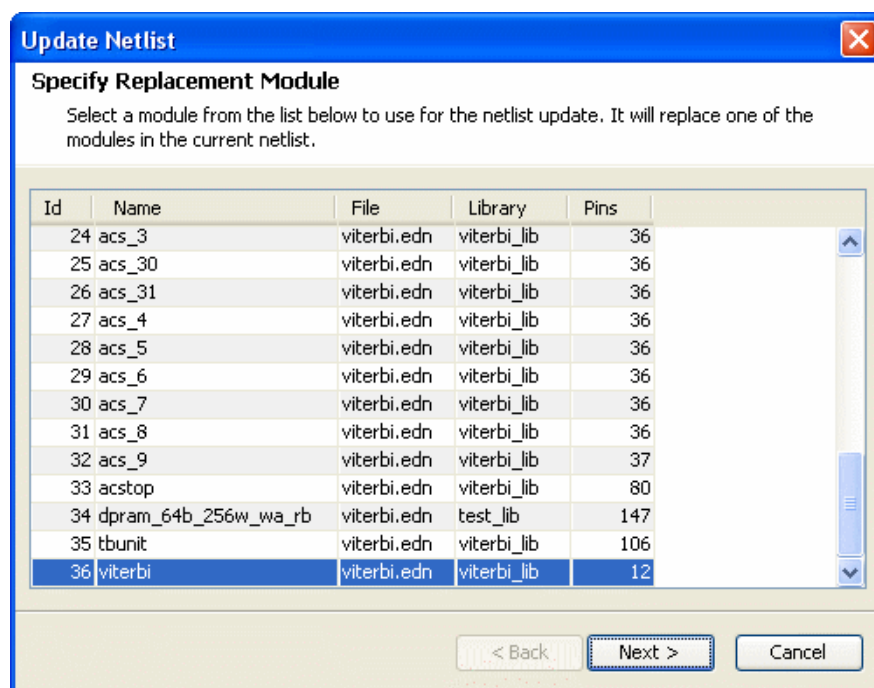


図 2-33 : Update Netlist ウィザード : [Specify Replacement Module] ページ

5. リストから、アップデート中に置き換えるモジュールを選択します。デフォルトでは、置き換えるネットリストの最上位モジュールが自動的に選択されます。列のヘッダをクリックすると、リストが並べ替えられます。
6. [Next] をクリックし次に進みます。
[Specify Module to be Replaced] ページが表示されます。
7. アップデートする元のネットリストでモジュールを選択します。置き換えるモジュールの名前に基づいて、置き換えられるモジュールの名前が自動的に選択されます。正しいモジュールが選択されていない場合は、手動で選択し直してください。
8. [Next] をクリックし次に進みます。
[Update Netlist Summary] ページが表示されます。
9. 置き換えるモジュールのサマリを確認してください。
10. [Finish] をクリックすると、新しいモジュール レベル ネットリストでデザインがアップデートされます。

フロアプランを使用した作業

フロアプランとは

PlanAhead には、代替デバイス、タイミング制約や物理制約、インプリメンテーション オプションなどのデザイン パラメータをいろいろ試し解析できるフロアプラン環境があります。このフロアプランは、特定ネットリストおよびデバイスをターゲットにしたデザイン制約のスナップショットというふうに考えてください。フロアプランは PlanAhead で作成され、デバイスや制約を変更して試すことができます。

フロアプラン作成中に最上位 UCF ファイルを任意数設定することもできます。モジュールレベルの UCF ファイルも、[Import Constraints] コマンドを使用してインポートできます。インポートされたら、フロアプラン内の制約がすべて PlanAhead で管理されます。最初にインポートされた UCF ファイルは、PlanAhead またはインプリメンテーション ツールでは参照されなくなります。インポートされた制約および新しく割り当てられた制約はすべて 1 つの UCF ファイルにまとめられ、インプリメンテーション ツールに渡されます。

ネットリスト ベースのプロジェクトや、RTL ベースのプロジェクトの合成実行用に、複数のフロアプランを作成することができます。

フロアプランの作成

合成ネットリスト プロジェクトおよび空のプロジェクト

合成ネットリスト ベースのプロジェクトまたは空のピン割り当て用プロジェクトで作業している場合、初期フロアプランはプロジェクト作成プロセスで作成されます。New Project ウィザードで、フロアプラン名、ターゲット デバイス、最上位 UCF ファイルを指定します。モジュールレベルの UCF ファイルも、[Import Constraints] コマンドを使用してインポートできます。

既存のプロジェクトでフロアプランを作成するには、次の手順に従います。

1. 次のいずれかの方法で New Floorplan ウィザードを起動します。
 - ◆ [File] → [New Floorplan] をクリックします。
 - ◆ [New Floorplan] ボタンをクリックします。



図 2-34 : [New Floorplan] ボタン

New Floorplan ウィザードが表示されます。

2. [Next] をクリックし次に進みます。

フロアプラン名の指定とターゲット デバイスの選択

[Choose a Part and a Floorplan Name] ページが表示されます。

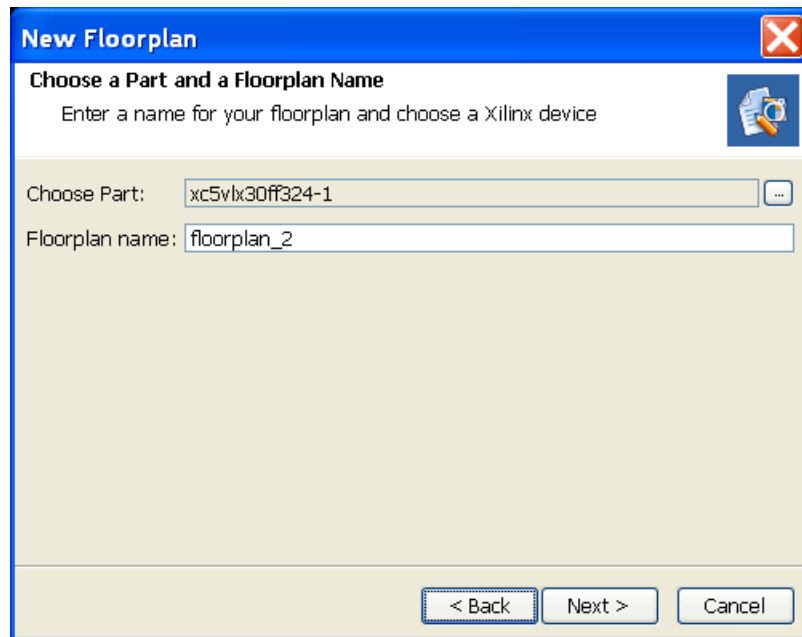


図 2-35 : New Floorplan ウィザード : [Choose a Part and a Floorplan Name] ページ

3. このページでは次のオプションを設定します。

- ◆ [Floorplan name] : フロアプランの名前を入力します。
- ◆ 使用するデバイス :
 - [From Netlist] : 最上位 EDIF ネットリスト ファイルに定義されているデバイスを使用します。
 - [Choose Part] : 参照ボタンをクリックしてデバイスを選択します。

4. [Next] をクリックし次に進みます。

制約のインポート

[Import Constraints] ページが表示されます。

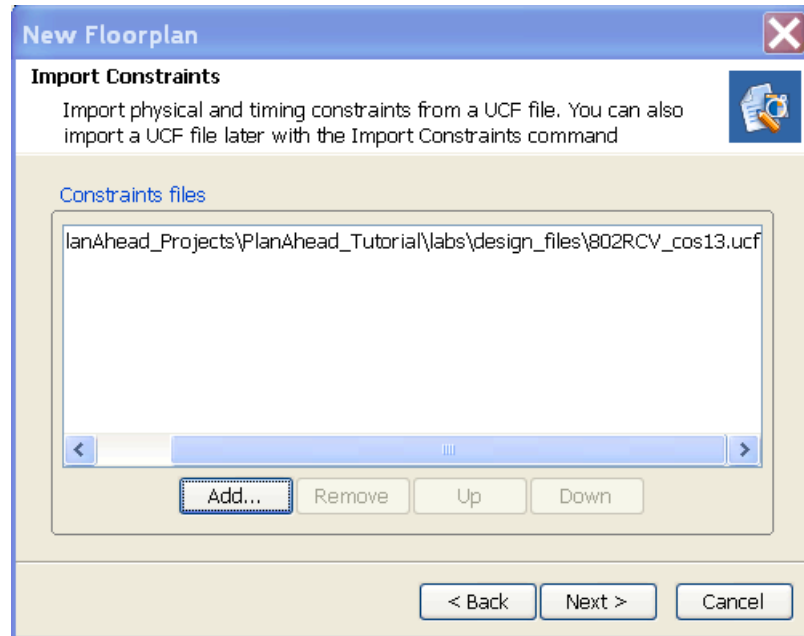


図 2-36 : New Floorplan ウィザード : [Import Constraints] ページ

1. [Add] ボタンをクリックして、インポートする、最上位の UCF または NCF 制約ファイルを選択します。これらのファイルのインポート順は、[Up] ボタンおよび [Down] ボタンを使用して変更できます。[Remove] ボタンをクリックすると、ファイルがリストから削除されます。

モジュール レベルの制約ファイルが使用されている場合は、ここに含めないでください。モジュール レベルの制約のインポートの詳細は、「[モジュール レベルの制約のインポート](#)」を参照してください。

2. [Next] をクリックし次に進みます。

UCF ファイルが PlanAhead にインポートされます。この動作には多少時間がかかる場合があります。

[New Floorplan Summary] ページが表示されます。

3. [Finish] をクリックすると、フロアプランが作成されます。

新規のフロアプランが開き、PlanAhead 環境でアクティブになります。

追加フロアプランは [New Floorplan] または [Copy Floorplan] コマンドを使用して作成します。

RTL プロジェクト

RTL プロジェクトでは、合成およびインプリメンテーション実行用にフロアプランを作成する必要はありません。インプリメンテーション実行が起動すると、ターゲット デバイスおよび最上位 UCF ファイルが 1 つ定義されます。さまざまなデバイス、制約、インプリメンテーション オプションを設定して試すことができます。ただし、各実行に 1 つの UCF ファイルしか割り当てることができないため、制約は PlanAhead では変更されません。制約の変更やインプリメンテーション結果の解析には、フロアプランが作成されます。

[Select] → [Import Run] をクリックし、解析結果をインポートおよび解析する場合、フロアプランを定義するようプロンプトが表示されます。これで、フロアプランが作成され結果が表示されます。実行を起動するための UCF ファイルはこのフロアプランに読み込まれます。

また、フロアプランをインプリメンテーション前に作成してデザインの解析や制約の変更ができます。[Select] → [Import Run] をクリックしフロアプラン用の合成実行をインポートします。インポートが終了したら、[New Floorplan] コマンドを使用しフロアプランを作成します。詳細は、「[複数のフロアプランの作成](#)」を参照してください。

追加フロアプランは [New Floorplan] または [Copy Floorplan] コマンドを使用して作成します。

制約のインポート

UCF および NCF 形式の制約ファイルは、合成ソフトウェア ツール、設計者、ザイリンクス ISE ソフトウェア ツール、または PlanAhead の前のセッションにより作成されますが、フロアプランにインポートできます。制約には、さまざまなインスタンスに対するタイミング制約、I/O の配置と規格、および物理的なロケーション制約があります。UCF 形式ファイルの詳細は、ザイリンクスの『制約ガイド』を参照してください。

物理制約をインポートする場合は、フロアプランを初期化する必要があります。物理制約のインポートは次の手順に従います。

1. [File] → [Import Constraints] をクリックします。

[Import Constraints] ダイアログ ボックスが表示されます。

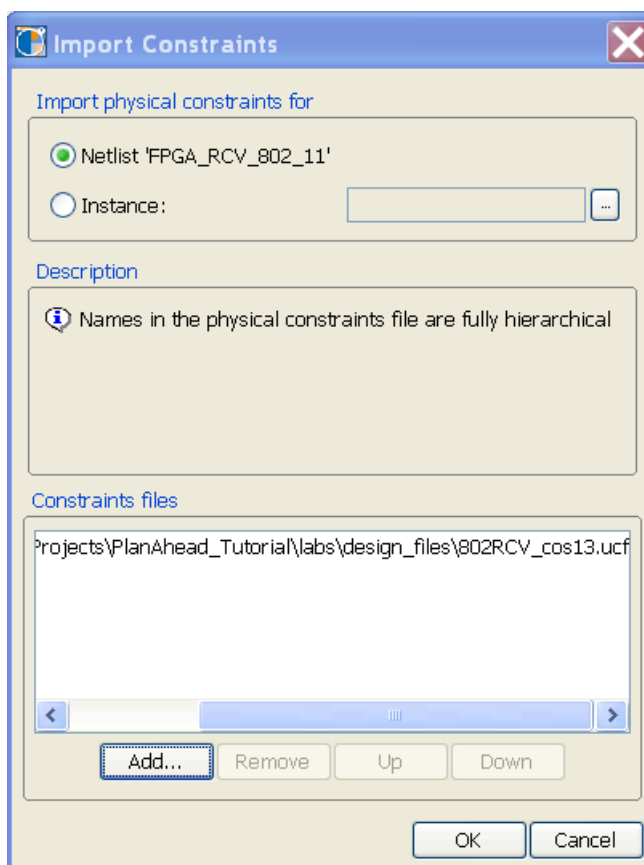


図 2-37 : [Import Constraints] ダイアログ ボックス

2. [Import Constraints] ダイアログ ボックスで、次のオプションを設定してください。
 - ◆ [Import physical constraints for] : 制約を割り当てるレベルを選択します。
 - [Netlist <netlist name>] : 最上位の制約がインポートされます。

- **[Instance]** :選択されたインスタンスに制約がインポートされます。ダイアログ ボックスには、コマンドの実行前に選択したインスタンスが表示されます。このオプションは、コアレベルの NCF ファイルのようなモジュール レベルの制約をインポートするときに使用します。

◆ **[Constraints files]** : インポートする制約ファイルが表示されます。

3. **[Add]** ボタンをクリックし、インポートする制約ファイルを選択します。
4. **[OK]** をクリックし、制約をインポートします。

インポート実行中の警告やエラーに関する情報は、**[Console]** ウィンドウに表示され、`planAhead.log` に書き込まれます。

I/O ポートの割り当てとタイミング制約のような、異なるタイプの制約を区別できるように、複数の制約ファイルをインポートすることができます。

メモ : タイミング制約は、2 回以上インポートすると重複します。重複したタイミング制約は、**[Constraints]** ウィンドウで削除できます。

モジュール レベルの制約のインポート

PlanAhead では、モジュール レベルの制約を選択して割り当てることができます。

制約をモジュール インスタンスに割り当てするには、次の手順に従ってください。

1. **[Netlist]** ウィンドウでインスタンスを選択します。
2. **[File]** → **[Import Constraints]** をクリックします。

[Import Constraints] ダイアログ ボックスが表示されます。

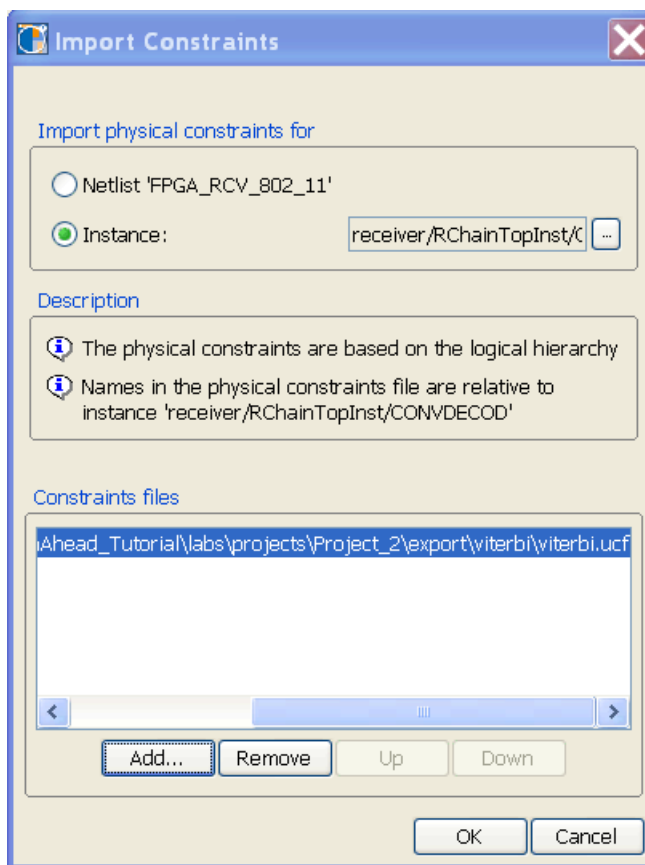


図 2-38 : [Import Constraints] ダイアログ ボックス

3. [Instance] をオンにし、[Instance] フィールドにモジュールレベルの制約をインポートするネットリスト インスタンスが指定されていることを確認します。
4. [Constraints files] で [Add] ボタンをクリックし、インポートする制約ファイルを選択します。
5. [OK] をクリックし、制約をインポートします。

インポート実行中の警告やエラーに関する情報は、[Console] ウィンドウに表示され、planAhead.log に書き込まれます。

フロアプランでのデザイン制約のアップデート

PlanAhead では、フロアプランごとに UCF 制約ファイルが管理・保存されます。現在の PlanAhead での UCF への変更は、作業中のフロアプランにのみ適用されます。

メモ: 新しい UCF ファイルをインポートしても既存の UCF 設定は自動的にアップデートされません。アップデートする制約は新しいファイルのインポート前にプロジェクトから削除し、制約が重複しないようにする必要があります。重複した制約は [Constraints] ウィンドウに表示され、後で削除できます。

タイミング制約の削除

タイミング制約を削除するには、定義されたタイミング制約が [Constraints] ウィンドウにすべて表示されるように設定します。削除する制約を選択し、[Delete] コマンドを実行して削除します。

1. [Constraints] ウィンドウの [Group by type] アイコンをクリックします。
2. **Ctrl** キーを押しながら制約を選択するか、**Ctrl + A** を押すと、複数またはすべての制約を選択できます。
3. 右クリックし、[Delete] をクリックします。
4. [OK] をクリックして削除を実行します。

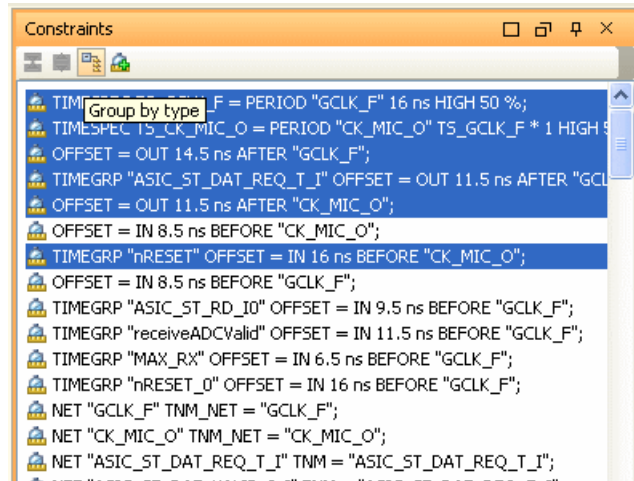


図 2-39：タイミング制約の削除

配置制約の削除

配置制約の割り当ては、新しい制約をインポートするとアップデートされます。既存の LOC 制約の割り当ては、新しい割り当てで置き換えられます。インポートされるファイルに LOC 制約が存在しない場合、制約が削除されることはありません。

インポート前に、選択した配置制約を削除できます。詳細は、「[選択した配置制約の削除](#)」を参照してください。

新しい UCF 制約ファイルのインポート

最上位またはモジュール レベルの UCF または NCF 形式の新しい制約ファイルをインポートできます。

1. [File] → [Import Constraints] をクリックします。

[Import physical constraints for] のオプションは次のとおりです。

- ◆ [Netlist 'netlist name'] : デザインの最上位の制約をインポートします。
- ◆ [Instance] : インポートする制約のロジック モジュール インスタンスを選択します。ダイアログ ボックスが開いた時点では、コマンドの実行前に選択されたロジック インスタンスが表示されます。

[Constraints files] には、フロアプランへのインポートに選択されたファイルがすべて表示されます。[Add] ボタンをクリックしてインポートする UCF ファイルを追加できます。ファイルはリストに表示された順序でインポートされます。インポートする制約ファイルの順番を変更するには [Up]

または [Down] ボタンをクリックします。[Remove] ボタンをクリックすると、ファイルがリストから削除されます。

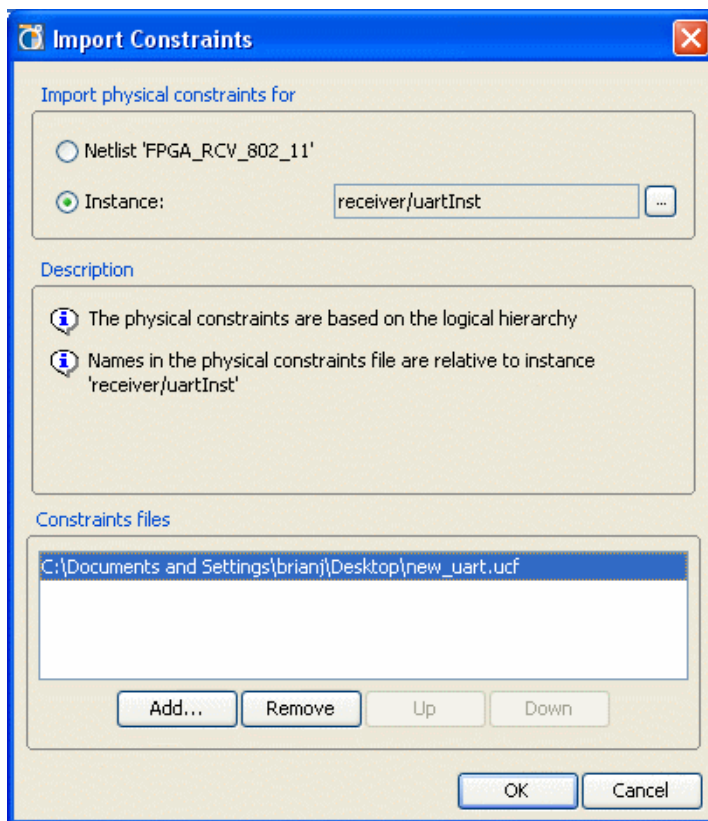


図 2-40 : 新しい UCF 制約ファイルのインポート

2. 最上位の制約をインポートする場合は [Netlist]、モジュール レベルの制約をインポートする場合は [Instance] をオンにします。
3. インポートするファイルを選択するには、[Add] ボタンをクリックします。
4. ファイルの選択が終了したら、[OK] をクリックします。
5. planAhead.log ファイルまたは [Console] ウィンドウのメッセージで、インポート中に問題が発生していないか確認します。

モジュール レベルの制約はプロジェクトに最上位の制約として含められ、インプリメンテーションで使用されます。

インポートが正常に終了すると、新しい配置制約のロケーションが [Device] ウィンドウおよび [Package] ウィンドウに表示されます。タイミング制約は、[Constraints] ウィンドウで表示および変更できます。PlanAhead では物理制約やタイミング制約の編集ができます。

複数のフロアプランの作成

既存プロジェクトでフロアプランを追加作成できます。「[フロアプランの作成](#)」にある手順に従ってください。

複数のフロアプランの管理

[Floorplans] ウィンドウでプロジェクトのフロアプランを管理できます。[Floorplans] ウィンドウの右クリックメニューから、フロアプランをコピーまたは削除したり、閉じたりできます。また、フロアプランの [Properties] ウィンドウにフロアプランに関する情報を表示することもできます。[Floorplans] ウィンドウを開くには [Windows] → [Floorplans] をクリックします。

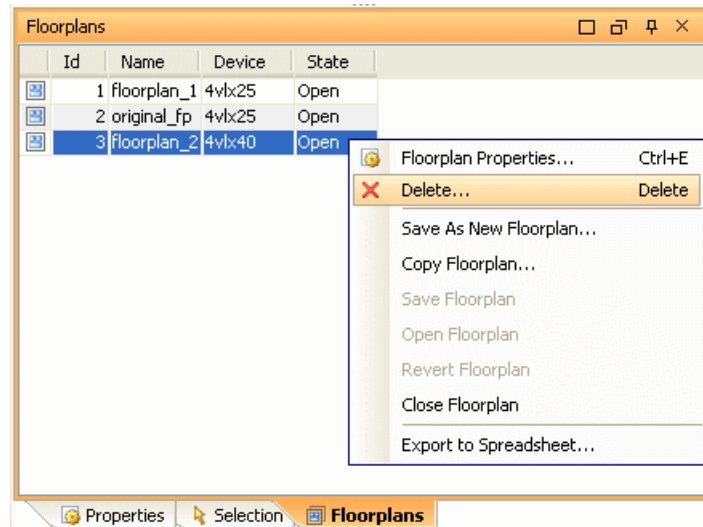


図 2-41：複数のフロアプランの管理

フロアプランは複数と同時に作成または開いて、異なるデザイン、デバイス、制約の使用を確認することができます。作成したフロアプランはそれぞれ作業中のインポートされたネットリストを参照します。タブをクリックすると、アクティブなフロアプランが切り替わります。

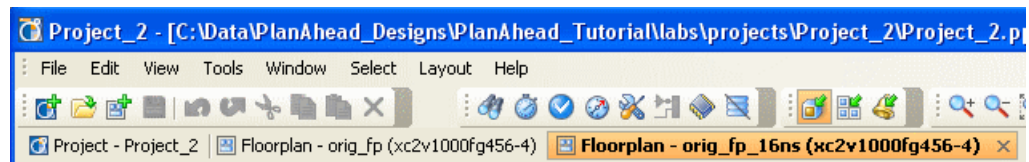


図 2-42：表示するフロアプランの選択

フロアプランを複数開くとシステムメモリの使用量が増加するのでご注意ください。

フロアプラン プロパティの表示および編集

PlanAhead でオブジェクトをクリックすると、[Properties] ウィンドウに情報が表示され、確認できます。

フロアプランのプロパティを表示し、編集するには次の手順に従います。

1. [Physical Hierarchy] ウィンドウでフロアプランをどれか (fp1_16ns など) 選択します。
[Floorplan Properties] ウィンドウが表示されます。

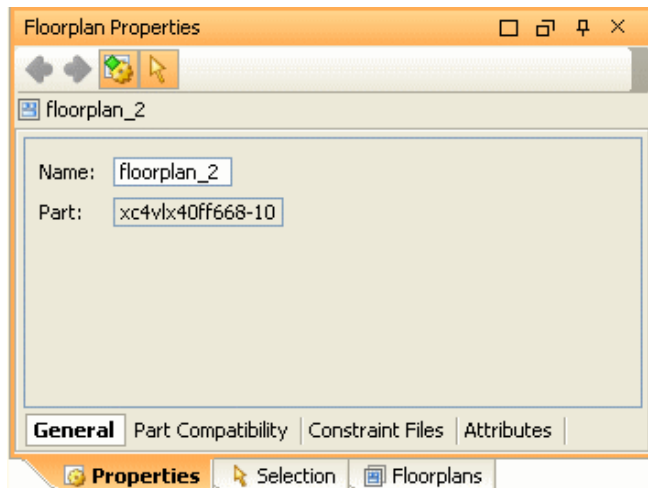


図 2-43 : [Floorplan Properties] ウィンドウ :[General] タブ

2. [Floorplan Properties] ウィンドウの [Name] フィールドに、このプロジェクトのフロアプランの名前 (floorplan_2 など) を入力します。
3. [Apply] をクリックすると、入力した内容が有効になります。
メモ : [Cancel] ボタンをクリックすると、変更内容は破棄されます。
4. [Part Compatibility] タブをクリックします。このタブには I/O ピン割り当ての互換性があるパーツが表示されます。ダイアログ ボックスのアイコンを使用し、リストからパーツを追加・削除できます。詳細については、「[互換性のあるパーツの選択](#)」を参照してください。

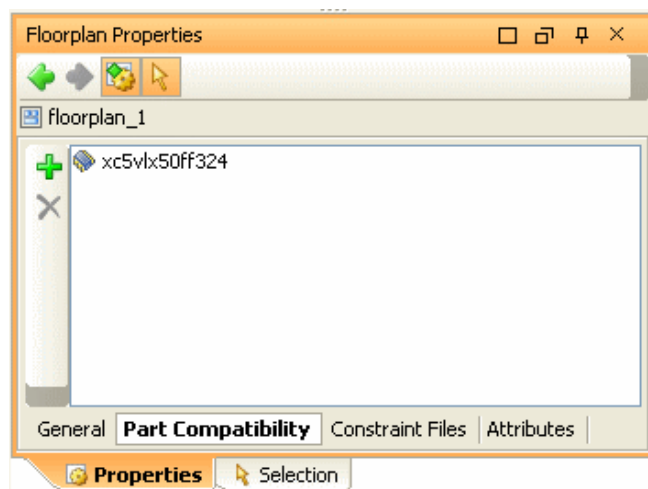


図 2-44 : [Floorplan Properties] ウィンドウ : [Part Compatibility] タブ

5. [Constraints Files] タブをクリックします。インポートされた UCF 制約ファイルのリストが表示されます (編集不可)。

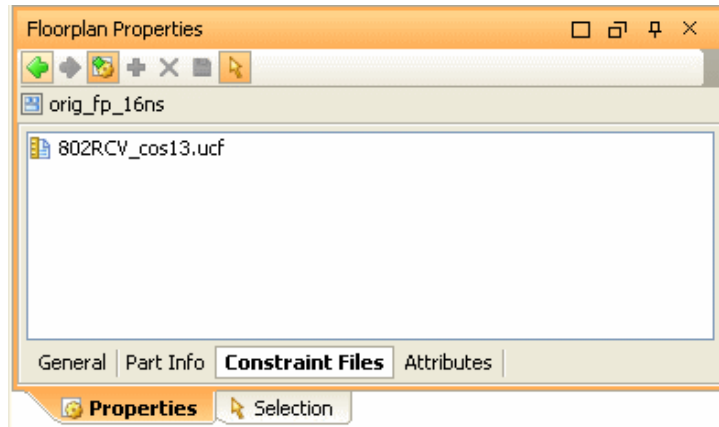


図 2-45 : [Floorplan Properties] ウィンドウ : [Constraint Files] タブ

6. [Attributes] タブをクリックします。このタブでは、[Define new attribute] ボタンを使用して、属性をフロアプランに割り当てられます。



図 2-46 : [Floorplan Properties] ウィンドウの [Define new attribute] ボタン

フロアプランを閉じる

フロアプランを閉じるには、[File] → [Close Floorplan] をクリックするか、[Floorplan] タブの右側の X マークをクリックします。

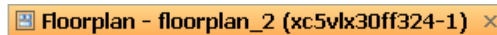


図 2-47 : [Floorplan] タブ

確認のダイアログボックスが表示されたら、[OK] をクリックします。

閉じようとするフロアプランに保存されていない変更があれば、変更を保存するかどうかを確認するボックスが表示されます。[OK] をクリックして変更を保存します。

フロアプランは閉じた後もプロジェクトで使用可能で、いつでも開くことができます。プロジェクトのフロアプランはすべて [Floorplans] ウィンドウに表示されます。

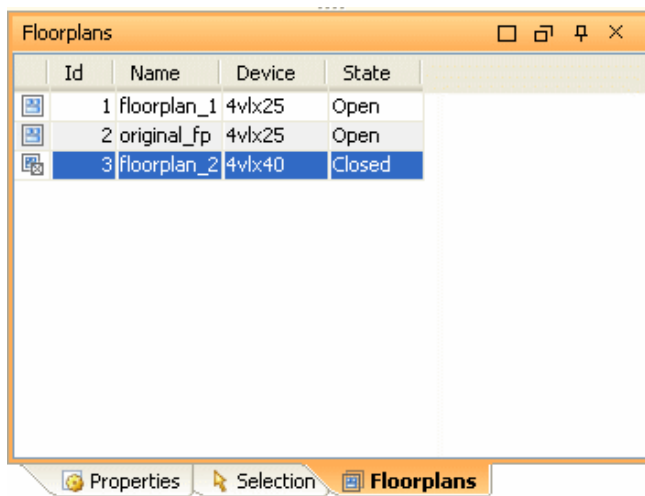


図 2-48 : [Floorplans] ウィンドウ

この [Floorplans] ウィンドウでフロアプランは開く、閉じる、コピーおよび削除することができます。

フロアプランの削除

フロアプランをプロジェクトから削除し、データをディスクから削除するには、[File] → [Delete Floorplan] をクリックします。ディスクからファイルが削除されることを確認するダイアログ ボックスが表示されます。

メモ： 作業中の PlanAhead セッションで加えた変更を保存するかどうかの確認メッセージが表示されます。

フロアプランの保存

[Save Floorplan] コマンドの使用

フロアプランが保存されると、そのフロアプランの `project.data` ディレクトリのファイルもアップ デートされます。ファイル保存の詳細は、「プロジェクト データの出力」を参照してください。

フロアプランを保存するには、[File] → [Save Floorplan] または [Save Floorplan] ボタンをクリック します。



図 2-49 : [Save Floorplan] ボタン

[Save Floorplan As] コマンドの使用

既存のフロアプランは、変更し、新しい名前で保存することができます。プロジェクトには、元のフロアプランと新しいフロアプランが含まれます。フロアプランに新しい名前を付けるには、「フロアプランを使用した作業」参照してください。

新しい名前でフロアプランを保存するには、次の手順に従ってください。

1. [File] → [Save Floorplan As] をクリックします。
[Save Floorplan As] ダイアログ ボックスが表示されます。
2. このダイアログ ボックスの [New Name] フィールドで新しい名前を指定します。
3. [OK] をクリックすると、フロアプランが新しい名前で保存されます。

フロアプランで定義された実行も保存されたフロアプランにコピーされます。実行ディレクトリには実行の結果データは存在せず、[Status] には [Not started] が表示されます。

フロアプランのコピー

フロアプランをコピーする主な目的は、作業中のフロアプラン制約を保持したまま別のデバイスまたはデバイス アーキテクチャを選択するためです。

フロアプランをコピーするには、次の手順に従ってください。

1. コピーするフロアプランの [Floorplan] タブをクリックします。
2. [File] → [Copy Floorplan] をクリックします。
[Copy Floorplan] ダイアログ ボックスが表示されます。

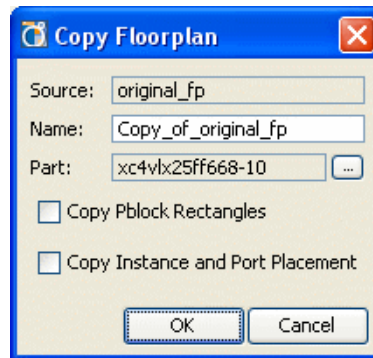


図 2-50 : [Copy Floorplan] ダイアログ ボックス

3. このダイアログ ボックスで、次のオプションを設定します。
 - ◆ [Name] : フロアプランの新しい名前を指定します。ダイアログ ボックスが表示された時点ではデフォルト名が表示されます。
 - ◆ [Part] : 新しいターゲット デバイスをオプションで指定できます。
 - ◆ [Copy Pblock Rectangles] : 新しいデバイスで同じ座標が使用可能な場合に、Pblock の長方形をコピーするには、このオプションをオンにします。
 - ◆ [Copy Instance and Port Placement] : 新しいデバイスで同じ座標が使用可能な場合に、配置制約をコピーするには、このオプションをオンにします。
4. [OK] をクリックすると、コピーが実行されます。

フロアプランの名前の変更

フロアプランはデザイン プロジェクト内で名前を変更できます。この方法は次のとおりです。

1. [Physical Hierarchy] または [Floorplans] ウィンドウでフロアプランを選択します。
フロアプランのプロパティが [Floorplan Properties] ウィンドウに表示されます。

2. [Floorplan Properties] が表示されない場合は、フロアプラン上で右クリックし、ポップアップメニューで [Floorplan Properties] をクリックします。

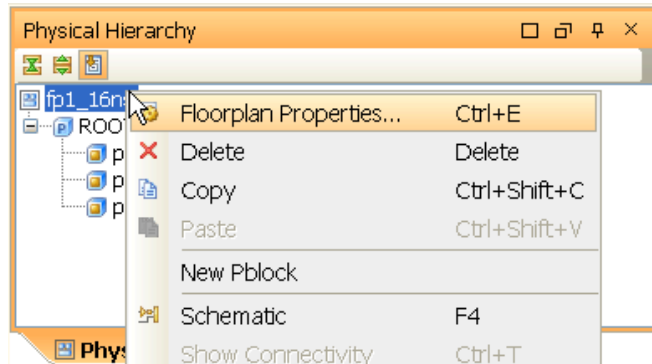


図 2-51 : ポップアップ メニューの [Floorplan Properties]

[Floorplan Properties] ウィンドウは、次のように表示されます。

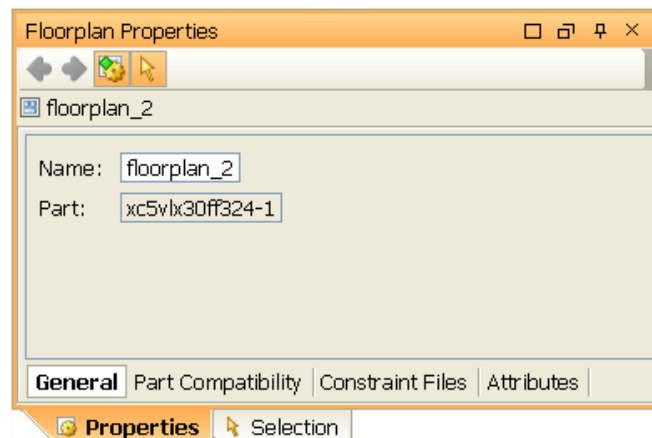


図 2-52 : [Floorplan Properties] ウィンドウ

3. [General] タブをクリックし、新しいフロアプランの名前を [Name] フィールドに入力します。
4. [Apply] をクリックすると、フロアプランの名前が変更されます。

Project Navigator からの PlanAhead の使用

本章は、次のセクションで構成されています。

- 「統合の概要」
- 「ISE および PlanAhead の統合プロセス」
- 「PlanAhead の表示環境」
- 「PACE / Floorplan Editor から PlanAhead への移行」
- 「Floorplanner から PlanAhead への移行」

統合の概要

PlanAhead™ ソフトウェアは特定のデザイン作業を行うため ISE® ソフトウェアと統合しています。PlanAhead が ISE Project Navigator から起動すると、PlanAhead は ISE 統合モードで起動します。このモードでは、PlanAhead の機能は I/O ピン割り当て、フロアプラン、タイミング解析など、特定のデザイン作業にのみ適用されます。PlanAhead プロジェクトは、Project Navigator 環境で自動的に作成・管理されます。

PlanAhead を起動させる Project Navigator の [Processes] ウィンドウには次の 4 つのプロセスがあります。

- I/O ピン割り当て (合成前)
- I/O ピン割り当て (合成後)
- エリア/I/O/ロジックのフロアプラン (合成後)
- タイミング解析/デザインのフロアプラン (インプリメンテーション後)

この 2 つのツール間で渡されるデータや、PlanAhead で表示されるウィンドウ レイアウトは、どのようにツールが起動されたかによって変わります。統合に関する詳細は、「[ISE および PlanAhead の統合プロセス](#)」を参照してください。

PlanAhead には 2 つのデフォルト ウィンドウ レイアウトがあります。1 つは PinAhead と呼ばれる I/O ピン割り当て環境で、I/O ピン割り当てに関連した表示機能を含みます。もう 1 つは PlanAhead フロアプラン環境で、デザイン解析およびフロアプランに関連しています。作業内容に合った正しいウィンドウ レイアウトを使用することが重要です。

PlanAhead 表示環境の詳細は、[第 4 章「表示環境の使用」](#)を参照してください。

ウィンドウ レイアウトの設定や読み込みの詳細は、「[ウィンドウの環境設定](#)」を参照してください。

ISE および PlanAhead の統合プロセス

Project Navigator と PlanAhead は、それぞれ独立した環境で、別のシステム プロセスの下で動作しています。2 のプロセスを可能な限り統合し、ツール間でのデータ渡しを確実にするため、さまざまな作業が行われてきました。1 つのツールでデザイン データに変更が加えられても、リアルタイムにはもう 1 つのツールで自動認識はされません。ですから、両方のツールで同時にロジックや制約の編集はしないでください。PlanAhead は目的に合わせて起動し、Project Navigator デザイン データを更新する前に閉じてください。Project Navigator のプロセスは、PlanAhead で変更された UCF ファイルを認識するため、データが保存されると同期します。次のセクションでは、ツールの起動ステップおよび統合を可能にするデータ トランザクションについて説明します。

ロジックおよび制約の渡し

ISE 統合モードでの PlanAhead では、I/O ピン、論理 LOC および AREA_GROUP 制約に対する物理的な制約のみを変更することができます。次のすべてのケースにおいて、RTL ソースや合成ネットリストでの論理接続は PlanAhead に解析目的のためのみ渡され、Project Navigator には戻されません。ロジックやタイミング制約を変更する PlanAhead の機能はすべて ISE 統合モードでは使用できないようになっています。ロジックの変更はすべて Project Navigator または外部 RTL や合成ツールで行う必要があります。Project Navigator に戻されるファイルは UCF 制約ファイルのみです。PlanAhead では UCF ファイルの元の内容とフォーマットが保持されます。コメント、不完全な制約などがそうです。デザインで制約が有効であるかどうかは、PlanAhead を開いたり閉じたりするときにはチェックされません。これは Project Navigator の変換プロセスでチェックされます。

PlanAhead が起動すると、Project Navigator プロジェクトの UCF ソース ファイルが PlanAhead に渡され、物理制約を追加したり変更したりできます。PlanAhead で [Save Project] コマンドを使用すると、変更された UCF ファイルが元の Project Navigator のソースの保存場所に書き込まれます。PlanAhead で制約を変更し [Exit] コマンドを使用すると、ツールを閉じる前に Project Navigator プロジェクトに変更を保存するかどうかを確認するメッセージが表示されます。

PlanAhead を起動し Project Navigator プロジェクトに UCF ファイルがない場合、UCF を作成するかどうかを確認するプロンプトが表示されます。この空の UCF ファイルは PlanAhead に渡されます。

複数の UCF ファイルを持つ Project Navigator プロジェクトがサポートされています。PlanAhead を起動する前に複数ある UCF ファイルの 1 つを選択するようプロンプトが表示されます。

PlanAhead で定義された新しい制約はすべて選択した UCF ファイルに書き込まれます。選択されなかった UCF ファイルに存在する物理制約は、PlanAhead でその制約の値が変更されても、同じファイルの中に残ります。

Project Navigator デザイン フローで使用するコア レベル の NCF ファイルは PlanAhead には渡されません。PlanAhead でこれらのファイルにある物理制約を使用・表示するには、PlanAhead を起動する前に最上位 UCF ファイルに手動でまとめておく必要があります。

一時的な PlanAhead プロジェクトは ISE プロジェクト ディレクトリに作成され、PlanAhead が Project Navigator から起動されるたびに削除および置換されます。

I/O ピン割り当て (合成前)

合成ネットリストを作成する前に I/O ピン割り当てを早期に実行することができます。PlanAhead をスタンドアロンで起動するか、または Project Navigator のこのプロセスを実行して、この作業を行うことができます。

メモ：デザインプロセスのこの段階では、論理合成はまだ実行されていません。クロックポート、クロック関連ロジック、差動ペア、GTなどのコンセプトはツールには認識されていません。このようなタイプのポートはインプリメンテーション エラーを避けるために正しく配置されていることを必ず確認する必要があります。できる限り I/O ピン割り当ては論理合成の後に実行してください。ネットリストがある場合はクロック、クロックロジック、差動ペア、GTなどは、PlanAheadでのピン割り当て中に自動的に認識されます。PlanAheadには、インプリメンテーション前に配置の有効性を確認するための、論理接続およびクロックに基づき実行されるデザインルールチェックも多数備わっています。

合成実行前に Project Navigator で I/O ピン割り当てを実行するには、[Processes] ウィンドウで [User Constraints] を展開し [IO Pin Planning (PlanAhead) - Pre-Synthesis] をダブルクリックするか、または [Tools] → [PlanAhead] → [Pre-Synthesis - IO Pin Planning] をクリックします。

PlanAhead が起動すると、Project Navigator からすべての RTL ソース ファイル、最上位モジュール名、UCF ファイルが PlanAhead に渡されます。デフォルトの I/O ピン割り当て環境 (PinAhead) のウィンドウ レイアウトで PlanAhead が起動します。RTL エラボレートが実行され、最上位 I/O ポートが抽出され PlanAhead の [I/O Ports] ウィンドウに表示されます。

PlanAhead プロジェクトを保存したり閉じたりすると、元の Project Navigator ソース UCF ファイルがアップデートされます。Project Navigator デザイン プロセスのステートはこれでリセットされます。

Project Navigator との統合およびプロセスについての詳細は、「[ロジックおよび制約の渡し](#)」を参照してください。

PlanAhead I/O 環境割り当て (PinAhead) の使用方法については、[第 5 章「I/O ピンの配置」](#)を参照してください。

I/O ピン割り当て (合成後)

メモ：できる限り I/O ピン割り当ては論理合成の後に実行してください。ネットリストがある場合はクロック、クロックロジック、差動ペア、GTなどは、PlanAheadでのピン割り当て中に自動的に認識されます。インプリメンテーション前に配置の有効性を確認するための、論理接続およびクロックに基づき実行されるデザインルールチェック (DRC) も多数備わっています。

合成実行後に Project Navigator で I/O ピン割り当てを実行するには、[Processes] ウィンドウで [User Constraints] を展開し [IO Pin Planning (PlanAhead) - Post-Synthesis] をダブルクリックするか、または [Tools] → [PlanAhead] → [Post-Synthesis - IO Pin Planning] をクリックします。

PlanAhead が起動すると、Project Navigator から合成された NGC または EDIF フォーマットのネットリストおよび UCF ファイルが PlanAhead に渡されます。デフォルトの I/O ピン割り当て環境 (PinAhead) のウィンドウ レイアウトで PlanAhead が起動します。[I/O Ports] ウィンドウが表示されます。

PlanAhead プロジェクトを保存したり閉じたりすると、元の Project Navigator ソース UCF ファイルがアップデートされます。Project Navigator デザイン プロセスのステートはこれでリセットされます。

Project Navigator との統合およびプロセスについての詳細は、「[ロジックおよび制約の渡し](#)」を参照してください。

PlanAhead I/O 環境割り当て (PinAhead) の使用方法については、[第 5 章「I/O ピンの配置」](#)を参照してください。

エリア/IO/ロジックのフロアプラン (合成後)

PlanAhead にはインプリメンテーションの前後に使用できるデザイン解析およびフロアプラン環境があります。論理合成実行後およびインプリメンテーション前に Project Navigator でデザイン解析またはフロアプランを実行するには、[User Constraints] を展開し、[Floorplan Area/IO/Logic (PlanAhead) - Post-Synthesis] を実行するか、または [Tools] → [PlanAhead] → [Post-Synthesis - Floorplan Area/IO/Logic] をクリックします。

PlanAhead が起動すると、Project Navigator から合成された NGC または EDIF フォーマットのネットリストおよび UCF ファイルが PlanAhead に渡されます。PlanAhead がデフォルトのデザイン解析およびフロアプラン環境で起動します。

メモ：下位 NGC コア ファイルがデザインで使用されソースとして追加されていない場合、Project Navigator で、変換プロセスのプロパティであるマクロ検索パス (-sd) を該当ディレクトリに設定します。

PlanAhead プロジェクトを保存したり閉じたりすると、元の Project Navigator ソース UCF ファイルがアップデートされます。Project Navigator デザイン プロセスのステートはこれでリセットされます。

Project Navigator との統合およびプロセスについての詳細は、「[ロジックおよび制約の渡し](#)」を参照してください。

インプリメンテーション前に PlanAhead を使用方法については、「[デザイン解析およびフロアプランのウィンドウレイアウト](#)」を参照してください。

インプリメンテーション後に PlanAhead を使用方法については、[第 9 章「インプリメンテーション結果の解析」](#) および [第 10 章「デザインのフロアプラン」](#) を参照してください。

タイミング解析/デザインのフロアプラン (インプリメンテーション後)

PlanAhead にはインプリメンテーションの前後に使用できるデザイン解析およびフロアプラン環境があります。インプリメンテーション後のデザイン解析では、潜在的なデザインの問題を理解するために配置を配置結果を確認することができます。物理的な LOC または AREA_GROUP フロアプラン制約を設定し、インプリメンテーション ツールでよりよく、安定した結果が得られるよう、また、インプリメンテーション ランタイムを短縮できるようにすることができます。

インプリメンテーション後に Project Navigator からデザイン解析またはフロアプランを実行するには、[Implement Design] および [Place & Route] を展開し、[Analyze Timing/Floorplan Design (PlanAhead) - Post-Synthesis] をダブルクリックするか、または [Tools] → [PlanAhead] → [Post-Implementation - Analyze Timing/Floorplan Design] をクリックします。

PlanAhead が起動すると、Project Navigator から合成された NGC または EDIF フォーマットのネットリスト、UCF ファイル、ISE 配置データ、およびタイミング結果が PlanAhead に渡されます。PlanAhead がデフォルトのデザイン解析およびフロアプラン環境で起動します。PlanAhead で ISE 配置データを抽出するには、xdl というコマンドをまず実行する必要があります。拡張子が .xdl のファイルが生成されますが、実行に少々時間がかかることがあります。このコマンドの実行進捗状況を示すバーが PlanAhead に表示されます。PlanAhead の再起動をスピードアップさせるため、まず XDL ファイルが存在するかどうかチェックされ、最新のものがあれば再生成されません。古い日付のインプリメンテーション プロセスで [Tools] → [PlanAhead] → [Post Implementation - Analyze Timing /Floorplan Design] をクリックすると、デザインを再インプリメントし PlanAhead を起動するか、または既存結果データでインプリメンテーション ツールを再実行せずに PlanAhead を起動するかを選択するプロンプトが表示されます。

PlanAhead プロジェクトを保存したり閉じたりすると、元の Project Navigator ソース UCF ファイルがアップデートされます。Project Navigator デザイン プロセスのステータスはこれでリセットされます。

Project Navigator との統合およびプロセスについての詳細は、「[デザイン解析およびフロアプランのウィンドウレイアウト](#)」を参照してください。

インプリメンテーション後に PlanAhead を使用方法については、[第 9 章「インプリメンテーション結果の解析」](#) および [第 10 章「デザインのフロアプラン」](#) を参照してください。

PlanAhead の表示環境

I/O ピン割り当てのウィンドウ レイアウト

Project Navigator で I/O ピン割り当てのプロセスが実行されると、PinAhead が自動的に起動します。PlanAhead 内でこの環境を起動することもできます。その場合は [Tools] → [Open PinAhead] または [Layout] → [Load Layout] → [PinAhead Cockpit] をクリックします。

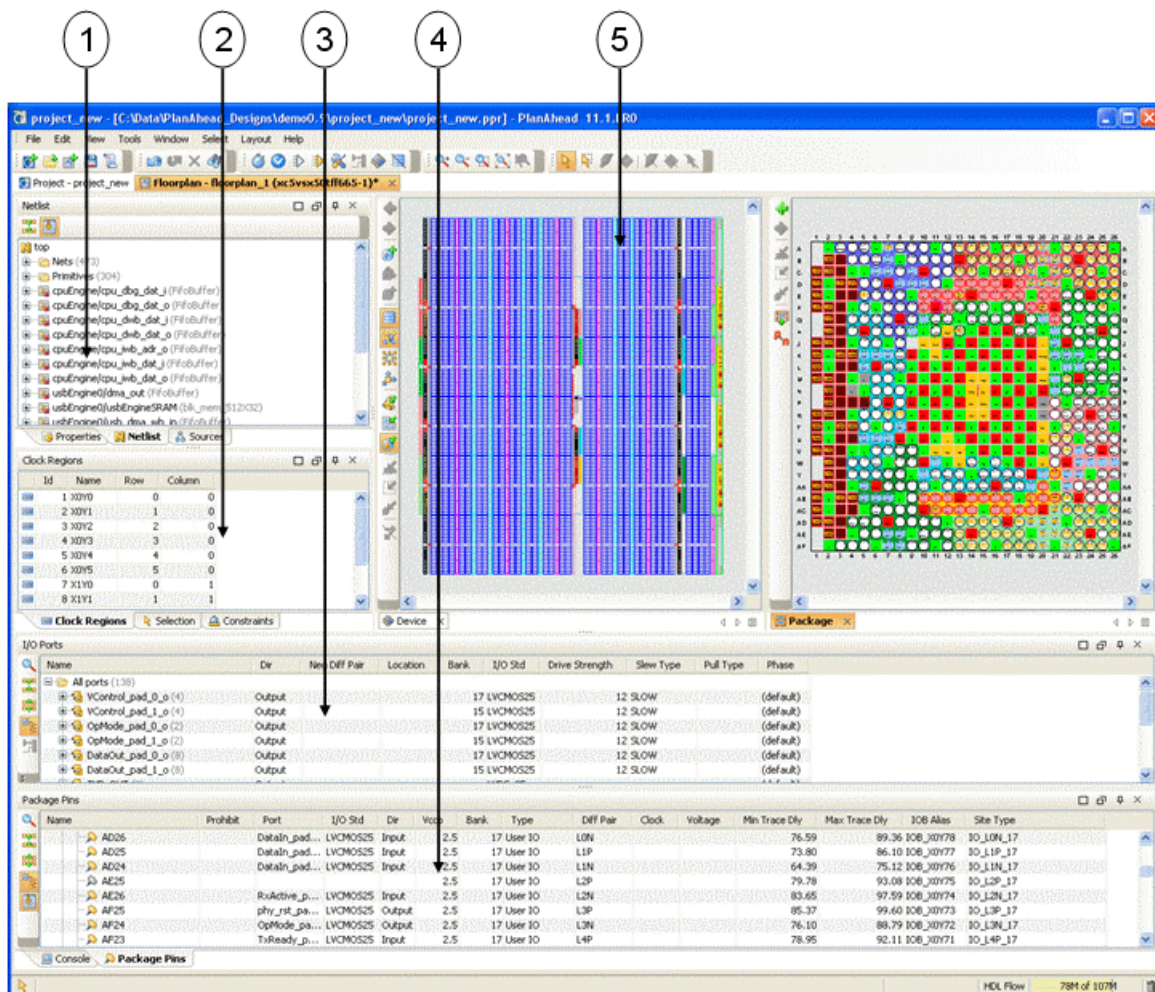


図 3-1 : ISE 統合モードでの PinAhead ウィンドウ レイアウト

表示環境のエリアは次のように定義されています。

1. [Properties] ウィンドウ、[Selection] ウィンドウ、[Netlist] ウィンドウ、[Constraints] ウィンドウ
2. [Clock Regions] ウィンドウ
3. I/O ポート リスト
4. パッケージ ピン、コンソール、結果表示 (タイミング、検索、デザイン ルール チェック)
5. ワークスペース : [Device] ウィンドウ、[Package] ウィンドウ、[Schematic] ウィンドウ、[Hierarchy] ウィンドウ、レポート

PlanAhead 環境では、特定のデバイス パッケージおよびデザイン特有の I/O 情報に関する情報が表示されます。この環境のウィンドウ レイアウトは、PlanAhead のレイアウトと異なります。[Layout] → [Load Layout] → [PlanAhead Default] をクリックすると、デフォルトの PlanAhead 環境に戻ります。

PlanAhead 表示環境の詳細は、第 4 章「表示環境の使用」を参照してください。

I/O ピン配置の詳細は、第 5 章「I/O ピンの配置」を参照してください。

デザイン解析およびフロアプランのウィンドウ レイアウト

Project Navigator の [Processes] ウィンドウで [Floorplan Area/IO/Logic] または [Analyze Timing/Floorplan Design] を選択するか、または [Tools] → [PlanAhead] をクリックすると、PlanAhead デザイン解析およびフロアプラン環境は自動的に起動します。PlanAhead 内から起動する場合は、[Layout] → [Load Layout] → [PlanAhead Default] をクリックします。

フロアプランを開いてアクティブにすると、デフォルトのフロアプラン環境レイアウトが表示されます。

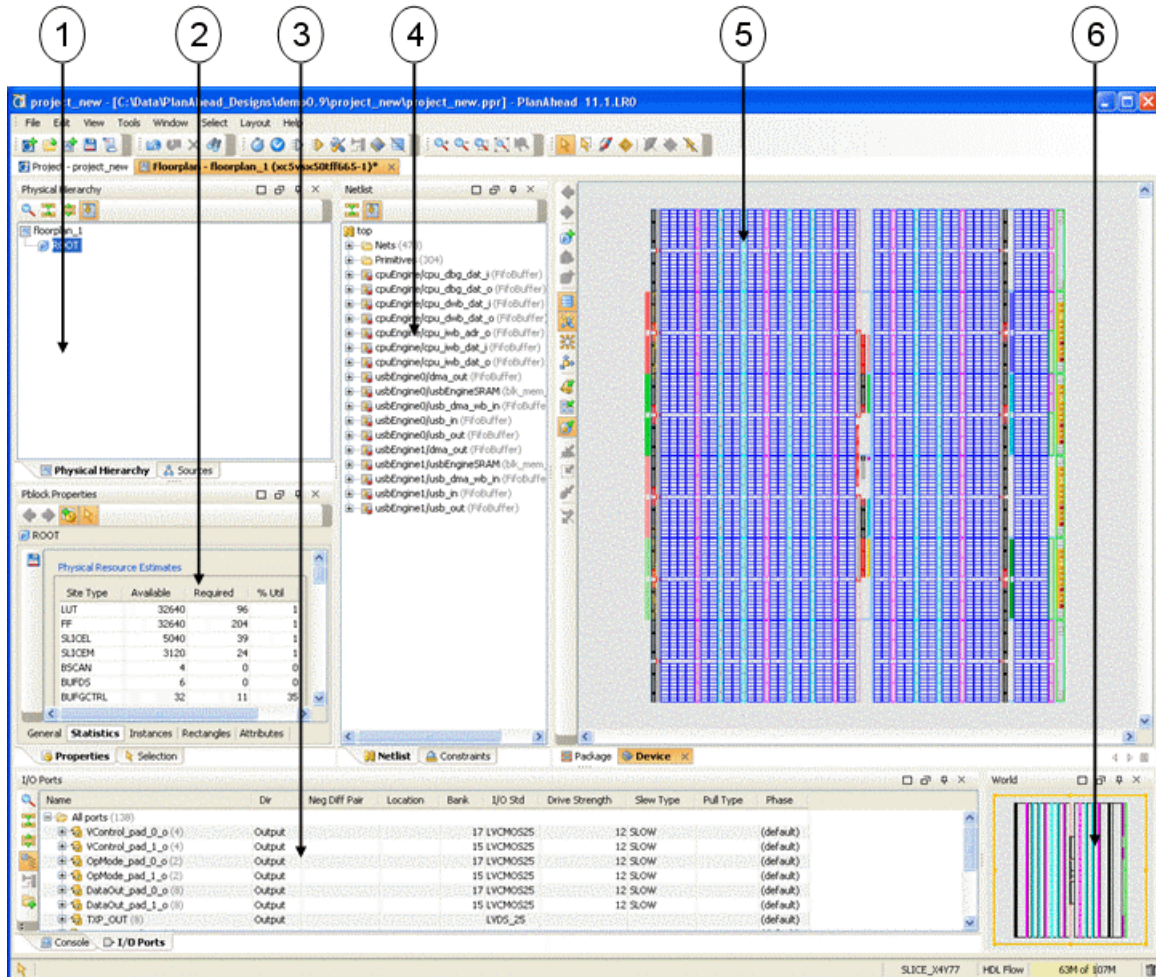


図 3-2 : PlanAhead のフロアプラン環境

表示環境のエリアは次のように定義されています。

1. 物理階層、メトリック、ソースのウィンドウ
2. プロパティや選択のウィンドウ
3. コンソール、I/O ポート、パッケージ ピン、結果（タイミング、検索、DRC、メトリック）のウィンドウ
4. ネットリスト、制約のウィンドウ
5. ワークスペース : [Device]、[Package]、[Schematic]、[Hierarchy] ウィンドウ、およびレポート
6. [World] ウィンドウ

PlanAhead 表示環境の詳細は、第 4 章「表示環境の使用」を参照してください。

PACE / Floorplan Editor から PlanAhead への移行

ISE Design Suite 11.1 では、FPGA ピン割り当ておよびフロアプラン機能はすべて PlanAhead で提供されています。フル ライセンスの正規版 PlanAhead がこの ISE リリースで提供されています。

このセクションでは、PACE または Floorplan Editor で行われていた作業を PlanAhead で行う方法を説明します。

概要

PlanAhead は Project Navigator またはコマンド ライン プロンプトから起動させることができます。Project Navigator 環境と統合されているため、PlanAhead は次の 4 つのデザイン プロセス ステップで起動できます。

- I/O ピン割り当て (合成前)
- I/O ピン割り当て (合成後)
- エリア/I/O/ロジックのフロアプラン (合成後)
- タイミング解析/デザインのフロアプラン (インプリメンテーション後)

各ステップで、以前はスタンドアロンの PlanAhead でのみ使用可能であった強力な機能が提供されています。PlanAhead が Project Navigator から起動すると、選択された作業に特定の PlanAhead 機能だけにアクセスできます。

スタンドアロンの PlanAhead を起動すると、RTL からビットストリーム生成、そしてデザイン解析機能まで、PlanAhead をフルに使用することができます。

CPLD の場合は、ISE Design Suite 11.1 ではグラフィカルなピン割り当て用に PACE がサポートされています。

本書では、PACE や Floorplan Editor で行われていた一般的な作業、主にピン割り当てとエリア ベースのフロアプランについて説明します。各作業は続くセクションで説明し、同じ作業を PlanAhead 環境を使用して行う方法も簡単に説明します。

Project Navigator からの PlanAhead の起動

Project Navigator の [Processes] ウィンドウには、ピン割り当ておよびフロアプランのための 4 つの主なプロセスがあり、I/O ピン割り当て (合成前)、I/O ピン割り当て (合成後)、エリア/I/O/ロジックのフロアプラン (合成後)、タイミング解析/デザインのフロアプラン (インプリメンテーション後) がその 4 つです。

この 4 つのプロセスのいずれかを実行すると選択したタスクに最も適したモードで PlanAhead が起動します。Project Navigator と PlanAhead は完全統合されています。つまり、Project Navigator から PlanAhead へ必要な入力ファイルがすべて自動的に供給されます。UCF 制約など PlanAhead からの出力ファイルは保存されると Project Navigator プロジェクト内の該当場所に保存されます。

Project Navigator から起動される場合 PlanAhead は ISE 統合モードで開いており、スタンドアロンの PlanAhead の機能がすべて使用できるわけではありません。

スタンドアロンの PlanAhead の起動

PlanAhead は、標準のコマンドライン シェル プロンプト (Windows または Linux) で「planahead」と入力するか、または Windows の場合、PlanAhead のデスクトップ アイコンをダブルクリックして起動します。PlanAhead を使用するには、まず：

1. 起動画面で [Create a New Project] をクリックします。
2. New Project ウィザードが開きます。
3. ピン割り当てタスクまで進みます。

スタンドアロンでの PlanAhead 起動方法の詳細は、第 2 章「プロジェクトの作成および管理」を参照してください。

デザイン フローの段階により、空のデザイン、合成前、合成後のモードで作業を開始できます。これらのモードは、PACE および Floorplan Editor で提供されていたものと同様です。

空デザインおよび合成前の I/O ピン割り当て

空デザインのモードでは、既存の HDL やネットリスト ファイルを使用せず PlanAhead をスタンドアロンで起動します。New Project ウィザードで [Do not import sources at this time] を選択し、PlanAhead を空デザインのモードで開きます。

合成前モードは、少なくとも最上位ポートを含む Verilog または VHDL ファイル、CSV ファイル、または UCF 制約ファイルがあることが前提です。PlanAhead で [File] → [Import I/O Ports] → [From HDL/CSV/UCF] をクリックし、空のプロジェクトに I/O ポートをインポートします。

このモードでは PlanAhead は通常初期ピン割り当てツールとして使用されます。

メモ：合成ネットリストがない場合、クロック ポートや関連クロック ロジックは認識されません。クロック ポートは細心の注意を払って配置する必要があります。合成ネットリストが入力として使用される場合、クロック、差動ペア、GT、クロック関連ロジック配置機能、およびデザイン ルールチェックが多く使用可能になります。

空デザイン モードでサポートされているタスクは次のとおりです。

- **CSV のインポート：**マイクロソフトの Excel のような表計算形式のピンのリストを使用しピン割り当てを開始します。このリストは CVS (カンマ区切り) ファイルとして保存されています。PlanAhead で [File] → [Import I/O Ports] をクリックし、I/O ポート リストをインポートします。ここから個々のピン (またはピンのグループ) を [Device] または [Package] ウィンドウにドラッグ アンド ドロップします。
- **UCF のインポート：**既存の UCF ファイルで定義されたピンのリストがあるデザインの場合、PlanAhead でこうした既存 UCF ファイルを I/O ポート リストにインポートできます。ここから個々のピン (またはピンのグループ) を [Device] または [Package] ウィンドウにドラッグ アンド ドロップします。CSV ファイルのインポートと同様に [File] → [Import I/O Ports] をクリックします。ポートの方向は UCF ファイルでは定義されていません。ピンを割り当てる前にポート方向を [Set Direction] ポップアップ メニュー コマンドで定義する必要があります。
- **HDL のインポート：**メインの I/O ピンを定義する最上位 HDL ファイルのあるデザインで、そのファイルが NGC または EDIF ネットリストに合成されていない場合に使用します。(この時点の最上位 HDL ファイルにはポート定義以外には何も含まれていないことが多く、合成可能な状態になっていません。)PACE または Floorplan Editor と同様、PlanAhead でもこのファイルを読み込んで早期にピン割り当て作業を行うことができます。また、CSV や UCF ファイルと同様に、合成前の HDL ファイルも [File] → [Import I/O Ports] をクリックしてインポートします。

- I/O ポートの作成 : 既存入力ファイルなしにピン割り当てを開始するには、[I/O Port] ウィンドウの [Create I/O ports] ポップアップ メニュー コマンドを使用し、ピン定義を新たに作成することができます。
- 最上位 HDL のエクスポート : ピン割り当てが完了したら、PACE や Floorplan Editor の場合と同様に、HDL ポート リストにインポートしたピン名を含む最上位の Verilog または VHDL ファイルをエクスポートできます。これは HDL コードを記述し始めるときに便利な機能です。
- CSV のエクスポート : ボード レイアウト ツールなどの外部アプリケーションでも使用できるよう、PlanAhead には CSV フォーマットのピン リストとデータをエクスポートする機能もあります。
- UCF のエクスポート : ピン定義が記述された UCF フォーマットの制約ファイルをエクスポートすることもできます。

空デザインおよび合成前のピン割り当ての注意事項

- DRC 機能 : DRC は [Tool] → [Run DRC] をクリックして実行できます。空デザインまたは合成前のピン割り当てモードで、ピン割り当ての有効性を確認するために実行できる DRC は限られています。通常、I/O 規格バンク ルールなどのチェックが行われますが、クロック ルールなどの高度な DRC は実行できません。さらに多くの DRC が実行できるのは、合成後のネットリストが PlanAhead で使用できるようになった時点です。
- UCF への制約の保存 : ピン割り当てが完了したら、ISE インプリメンテーション ツールで後続処理をするため、制約を UCF ファイルに保存することができます。

上記のタスクは、PACE や Floorplan Editor で行われていたのと同様の初期段階のピン割り当てタスクです。こうしたタスクの詳細や PlanAhead でのピン割り当て機能の一般情報は、[第 5 章「I/O ピンの配置」](#)を参照してください。

合成後のピン割り当ておよびエリア ベースのフロアプラン

このモードでは、合成ネットリスト (EDIF または NGC ファイル) と、場合によっては既存の UCF ファイルがあることが前提です。これは、このモードで PlanAhead を使用する場合に最低限必要な入力ファイルです。

合成後モードで起動すると、PlanAhead で使用可能な機能はさらに増えます。このセクションでは、PACE や Floorplan Editor から PlanAhead に移行するのに非常に関連のある次のタスクを説明します。

- PlanAhead の DRC をフルに活用したピン割り当て : クロック ルール、I/O 配置チェックなどが含まれます。合成後モードではさらに多くの DRC が使用可能になるため、できる限り合成後に DRC を実行することを推奨します。DRC は [File] → [Run DRC] をクリックして実行します。PlanAhead の I/O DRC の詳細は、[第 5 章「I/O ピンの配置」](#)を参照してください。
- PlanAhead には、エリア ベースのフロアプランを行うための機能もフルに装備されています。PACE や Floorplan Editor と同様に、グラフィカルなデバイス表示機能を利用し、階層ブロックをデバイスの特定領域にマップすることができます。
- PACE や Floorplan Editor と同様に、PlanAhead を使用し、グローバル クロック バッファ、ブロック RAM、DSP ブロック、PLL/DLL などのグローバルなロジックを固定することもできます。
- PACE や Floorplan Editor と異なり、特定の LUT、フリップフロップ、SRL など下位ロジックの詳細なフロアプランも PlanAhead では実行でき、完全なピン割り当てとフロアプラン機能が備わっています。

一般的な I/O ピン割り当ておよびフロアプラン タスク

主な機能はほぼすべて PlanAhead にも装備されているため、PACE や Floorplan Editor から PlanAhead への移行は比較的簡単なプロセスです。次のリストは PlanAhead の一般的な機能の一覧です。

メモ：空デザインまたは合成前モードでは利用できない機能もあります。

I/O ピン割り当て

- [I/O Ports] ウィンドウからドラッグ アンド ドロップして [Device] や [Package] ウィンドウにデータを移動することができます。[Package] ウィンドウでは、パッケージの上面および下面の両方の表示がサポートされています。
- ドラッグ アンド ドロップ操作のとき、バスはピンのセットとして処理され、1 つのまとまりとして割り当てられます。
- 予め定義されているバスと同様に、ピンをグループにまとめて割り当てられるようユーザー定義することもできます。
- [I/O Ports] ウィンドウで、I/O 規格、駆動強度、差動ペア バンクといった I/O プロパティを個々のピンやピンのグループ (バス) に割り当てることができます。
- PlanAhead では [Tools] → [Run WASSO Analysis] をクリックして WASSO 解析を実行できます。PACE や Floorplan Editor をさらに強化した機能として、PlanAhead ではさらに多くの WASSO ルールに基づいた解析が実行されます。
- PlanAhead では [Tools] → [Run SSN Analysis] をクリックして SSN 解析を実行できます。
- デザイン ルール チェック (DRC) は、[Tools] → [Run DRC] をクリックして実行できます。
- 完全なネットリストのあるデザインには完全な I/O バンク ルール チェックのセットが提供されます。
- クロック ルールも、クロック バッファの配置が有効で最適であることを確認するために実行されます。ただし、空デザインまたは合成前モードでは使用できません。
- コンフィギュレーション ピンをモード別に使用禁止：PACE や Floorplan Editor には JTAG ポートなどのデバイス コンフィギュレーション ピンを汎用ユーザー I/O ピンに使用しないようにする機能がありました。PlanAhead ではこれは手動で行う作業ですが、[Device] または [Package] ウィンドウで使用禁止にするピンを選択し、右クリックで表示される [Set Prohibit] コマンドを使用して使用禁止とマークをするだけです。
- パッケージ移行サポート：PlanAhead には、同じデバイス ファミリ内のフットプリントで互換性のあるパッケージのピンを自動的に使用禁止にする機能があります。[Package] ウィンドウで右クリックすると表示される [Make Part Compatible] コマンドを使用します。
- パッケージ ピン フライト タイム表示 (ワイヤボンドのパッケージでは無効)：PlanAhead ではパッケージ フライト タイムのグラフィカルな表示はありませんが、トレース長値は各 I/O ピンのプロパティで表示できます。ピンを選択し [Package] ウィンドウで表示します。

エリアをベースとしたフロアプラン

- PACE や Floorplan Editor のように、PlanAhead でもエリア ベースのフロアプランを作成できます。PlanAhead の用語では、これは物理ブロックまたは Pblock を作成する、といいます。[Netlist] ウィンドウで階層のグループを選択し、右クリックで表示される [Draw Pblock] コマンド、またはツールバー ボタンの [Draw Pblock] を使用します。これで [Device] ウィンドウで長方形の描画し、選択したロジックのブロックを長方形内に割り当てることができます。

- PlanAhead は、描画された領域にロジックが必ずフィットするように確認します。ロジック使用率、キャリー チェーンの高さ、および RPM フットプリントが確認されます。

エリア ベースの Pblock の作成および変更に関しては、第 10 章「デザインのフロアプラン」を参照してください。

新規制約を UCF ファイルに保存

PACE や Floorplan Editor と同様に、ピン割り当ておよびフロアプランの主な出力は UCF ファイルです。プロジェクトをいったん保存すれば、以前に使用したツールで生成したのと同様に UCF ファイルを使用できます。

ISE インプリメンテーション結果ページの表示

PlanAhead では、ISE でコマンド ラインを実行した後のインプリメンテーション結果をインポートできます。New Project ウィザードには、ISE 結果からプロジェクトを作成するオプションがあります。このウィザードで、ネットリスト、制約、配置、およびタイミング データに関するオプションを設定しながらプロジェクトを作成します。ISE 結果をインポートする詳細は、「[ISE 配置およびタイミング結果を使用したプロジェクトの作成](#)」を参照してください。

まとめ

PlanAhead では、PACE および Floorplan Editor と同じ機能が提供され、ツールの移行が非常に簡単になっています。Project Navigator から起動した場合は、PlanAhead にはリクエストしたプロセスに特化した機能のみが表示されます。逆に、スタンドアロンで起動した場合は、PlanAhead の全機能をフルに活用できます。PlanAhead は、ピン割り当ておよびフロアプラン用には非常に簡単で使いやすいツールである一方で、デザインの解析、最適化、デザイン クロージャには非常に高度な機能を提供しています。PlanAhead の資料や紹介ビデオは、<http://japan.xilinx.com/planahead> をご覧ください。

Floorplanner から PlanAhead への移行

ISE Design Suite 11.1 では、FPGA フロアプラン機能はすべて PlanAhead で提供されています。フル ライセンスの正規版 PlanAhead がこの ISE リリースで提供されています。

このセクションでは、従来は Floorplanner で行われていたタスク、主に LUT、フリップフロップなどの詳細なフロアプランおよびタイミング パス解析を PlanAhead で行う方法を説明します。各作業は続くセクションで説明し、同じ作業を PlanAhead 環境を使用して行う方法も簡単に説明します。ピン割り当てまたはエリア ベースのフロアプランについては、「[PACE / Floorplan Editor から PlanAhead への移行](#)」を参照してください。

Project Navigator からの PlanAhead の起動

一般的な、インプリメンテーション後のフロアプランの場合、Project Navigator の [Processes] ウィンドウの [Floorplan Design/Analyze Timing (Post-Implementation)] プロセスをダブルクリックして PlanAhead を起動します。この方法だと、選択したタスクに最も適したモードで PlanAhead が起動します。Project Navigator と PlanAhead は完全統合されています。つまり、Project Navigator から PlanAhead へ必要な入力ファイルがすべて自動的に供給されます。UCF 制約など PlanAhead からの出力ファイルは保存されると Project Navigator プロジェクト内の該当場所に保存されます。

Project Navigator から起動されている場合 PlanAhead は ISE 統合モードで開いており、スタンドアロンの PlanAhead の機能がすべて使用できるわけではありません。

スタンドアロンの PlanAhead の起動

PlanAhead は標準コマンドライン シェル プロンプト (Windows または Linux) で「planahead」と入力すると起動します。Windows の場合、PlanAhead のデスクトップ アイコンをダブルクリックすると PlanAhead が起動します。PlanAhead を使用するには、まず：

1. 起動画面で [Create a New Project] をクリックします。
2. New Project ウィザードが開きます。
3. フロアプランのタスクまで進めます。

スタンドアロンでの PlanAhead 起動方法の詳細は、第 2 章「プロジェクトの作成および管理」を参照してください。

一般的に、フロアプラン タスクの入力ファイルは、合成後の NGC または EDIF ネットリストおよび制約を保存するための UCF ファイルです。デザイン/タイミング解析タスクが目標の場合、配置済みの NCD ファイルおよびタイミング レポートの TWX (または TWR) ファイルも必要です。ISE 結果のインポートについては、「ISE 配置およびタイミング結果を使用したプロジェクトの作成」を参照してください。

一般的なフロアプラン タスク

- [Device] ウィンドウへのドラッグアンドドロップ : デザイン階層表示から、個々のプリミティブ ロジック オブジェクト (LUT、フリップフロップ、BRAM など) を [Device] ウィンドウにドラッグします。デバイスのサイトにドラッグする前に [Device] ウィンドウで [Create Site Constraint Mode] ボタンをクリックします。配置プログラムで指定サイトにオブジェクトを配置するように指定する LOC 制約が UCF ファイルに書き込まれます。どんなオブジェクト タイプでもこの方法でフロアプランできます。

メモ : PlanAhead はユーザー制約の LOC を「固定」されているとみなします。

- ピン配置およびエリア ベースのフロアプラン機能は、PlanAhead の中心的な機能で、このタイプの操作には DRC がフルに使用可能になっています。
- PlanAhead では配置中に、オブジェクトを回転、左右反転、フリップするオプションは提供されていません。古いデバイス アーキテクチャにはこうした機能は便利でしたが、新しいデバイス ファミリーには推奨しません。
- RPM 作成 : [Export IP] コマンドを使用し、階層のブロックを別のネットリストにエクスポートできます。ブロック内のオブジェクトにも配置制約が設定されている場合、この制約もエクスポートされます。これは Floorplanner の RPM 作成機能と類似していますが、デザイン階層の予め定義されているブロックに制限されていることが留意点です。[Export IP] コマンドは非階層のロジックにはサポートされていません。
- 既存の RPM は Floorplanner よりも PlanAhead でより認識されます。既存 RPM は [Hierarchy] ウィンドウにリストされ、[Pblock Properties] でフロアプランまたは確認できます。
- BEL レベルの制約も、オブジェクトをスライス内の特定サイトに制約するよう書き込まれます (サイト内の特定フリップフロップなど)。PlanAhead ではこのビヘイビアを制御するモードが 2 つあります。[Create Site Constraint Mode] と [Create BEL Constraint Mode] です。オブジェクトの配置が配置済みの NCD ファイルに読み込まれる場合、Floorplanner とは異なり、BEL ロケーションはデフォルトで保持されます。
- フラットなネットリストからのデザイン階層の再生成 : Floorplanner には名前別に階層を再生成する機能がありました。100% 正確ではありませんでしたが、デザイン解析やエリア ベースのフロアプランには便利な機能でした。PlanAhead ではこの機能は提供されていません。また、合成中にデザイン階層を保持したり再構築するには合成ツールで正しく設定するよう推奨しま

す。デザイン階層をビジュアルに表示するには、このほうが信頼性が高く、オプションも多いのです。階層ネットリストを作成する XST オプション (-netlist_hierarchy rebuilt) を使用してください

- Floorplanner ではデフォルトで階層が色分けされていましたが、これは PlanAhead では手動で行います。[Netlist] ウィンドウで階層ブロックを選択し、階層に色を追加できます。[Highlight Primitives] をクリックしてから [Cycle Colors] をクリックします。この色はデザインには保存されません。

タイミング解析 - パスのビジュアル表示

Floorplanner は個々のタイミング パスの配置を表示するために Timing Analyzer を使用していました。このためには、タイミング レポートでパスを選択し Timing Analyzer でパスを Floorplanner にクロスプローブしていました。その後、Floorplanner でそのタイミング パスにあるオブジェクトがハイライトされ、パスの接続が表示され、しばしば、タイミングの問題はなんらかの配線問題に起因していることを突き止めることができました。

PlanAhead では、配置済みの NCD ファイルと配線後のタイミング レポート (TWX/TWR) からのデータを読み込んで表示することができ、PlanAhead 環境で同じタスクを簡単に達成できます。Project Navigator から起動する場合、これらのファイルはプロジェクトに含まれていれば PlanAhead に自動的に渡されます。ISE Timing Analyzer とのクロスプローブは、PlanAhead では現在サポートされていません。

PlanAhead では [Timing Results] ウィンドウにタイミング パスがリストされます。個々のパスを選択すると [Device] ウィンドウで表示されます。Floorplanner の機能を上回り、PlanAhead ではパスやパスのグループを回路図表示にクロスプローブさせることもできます。[Timing Results] でパスを選択し右クリックして [Schematic] を選択するか、または F4 キーを押します。1 つの環境内でタイミング パスの物理的なデバイス (フロアプラン) 表示および回路図表示の両方を使用し、タイミング解析を行うことができます。タイミング パフォーマンス向上のためにフロアプラン制約を使用する場合は、PlanAhead 環境でその機能が完全統合されています。詳細は、[第 9 章「インプリメンテーション結果の解析」](#)を参照してください。

ISE インプリメンテーション結果ページの表示

PlanAhead では、ISE でコマンド ラインを実行した後のインプリメンテーション結果をインポートできます。New Project ウィザードには、ISE 結果からプロジェクトを作成するオプションがあります。このウィザードで、ネットリスト、制約、配置、およびタイミング データに関するオプションを設定しながらプロジェクトを作成します。ISE 結果をインポートする詳細は、[「ISE 配置およびタイミング結果を使用したプロジェクトの作成」](#)を参照してください。

まとめ

PlanAhead は、Floorplanner で行われていた共通タスクの主な機能をすべて提供しているため、ツールの移行は非常に簡単です。Project Navigator から起動した場合は、PlanAhead にはリクエストしたプロセスに特化した機能のみが表示されます。逆に、スタンドアロンで起動した場合は、PlanAhead の全機能をフルに活用できます。PlanAhead は、フロアプラン用には非常に簡単で使いやすいツールである一方で、デザインの解析、最適化、デザイン クロージャには非常に高度な機能を提供しています。PlanAhead の資料や紹介ビデオは、<http://japan.xilinx.com/planahead> をご覧ください。

表示環境の使用

本章は、次のセクションで構成されています。

- 「表示環境」
- 「ウィンドウの操作」
- 「ワークスペース ウィンドウの使用」
- 「共通のウィンドウの使用」
- 「オブジェクトの選択」
- 「ウィンドウの環境設定」

表示環境

PlanAhead™ ソフトウェアでは、デザイン情報およびデバイス情報が、作業内容に応じたさまざまなウィンドウ レイアウトにダイナミックに表示されます。

PlanAhead はスタンドアロン ソフトウェア ツールとして、または ISE® ソフトウェアから起動できます。スタンドアロンで起動すると PlanAhead の機能はすべて使用できますが、Project Navigator から起動する場合は、特定機能のみが使用できるようになっています。Project Navigator との統合についての詳細は、第 3 章「Project Navigator からの PlanAhead の使用」を参照してください。

PlanAhead は、RTL 開発および解析、論理合成、物理的デザイン解析、フロアプラン、ISE を使用したインプリメンテーションなど、FPGA デザイン プロセスの主要ステップをそれぞれ制御するために使用することができます。

PlanAhead では、表示レイアウト設定を定義してカスタマイズできるようになっています。I/O ピン割り当て、RTL 開発および解析、デザイン解析およびフロアプランを目的とした表示レイアウトがデフォルトで提供されています。PinAhead 環境、プロジェクト環境、フロアプラン環境に対応したウィンドウがそれぞれ開くようになっています。

PlanAhead では、入力フォーマットに応じてさまざまなタイプのプロジェクトを作成できるようになっています。入力フォーマットには、RTL ソース ファイル、合成ネットリスト、I/O ポート リスト、およびインプリメンテーション結果などがあります。表示レイアウトは作成されたプロジェクト タイプによって決まります。PlanAhead のプロジェクト タイプについての詳細は、第 2 章「プロジェクトの作成および管理」を参照してください。

プロジェクトまたはフロアプラン環境を表示するには、ツールバー ボタンの下にあるタブを選択します。



図 4-1 : プロジェクト環境の選択

PinAhead は [Tools] → [OpenPinAhead] をクリックすると起動します。

PinAhead のウィンドウ レイアウト

PlanAhead には I/O ピン配置機能もあり、ピンの割り当てとクロックのプランニングができます。作業中のフロアプランから PinAhead 環境が起動し、I/O ピン配置に必要な情報が表示されます。I/O ピン配置の詳細は、[第 5 章「I/O ピンの配置」](#)を参照してください。

[Tools] → [Open PinAhead] コマンドをクリックすると、PinAhead 環境レイアウトが表示されます。

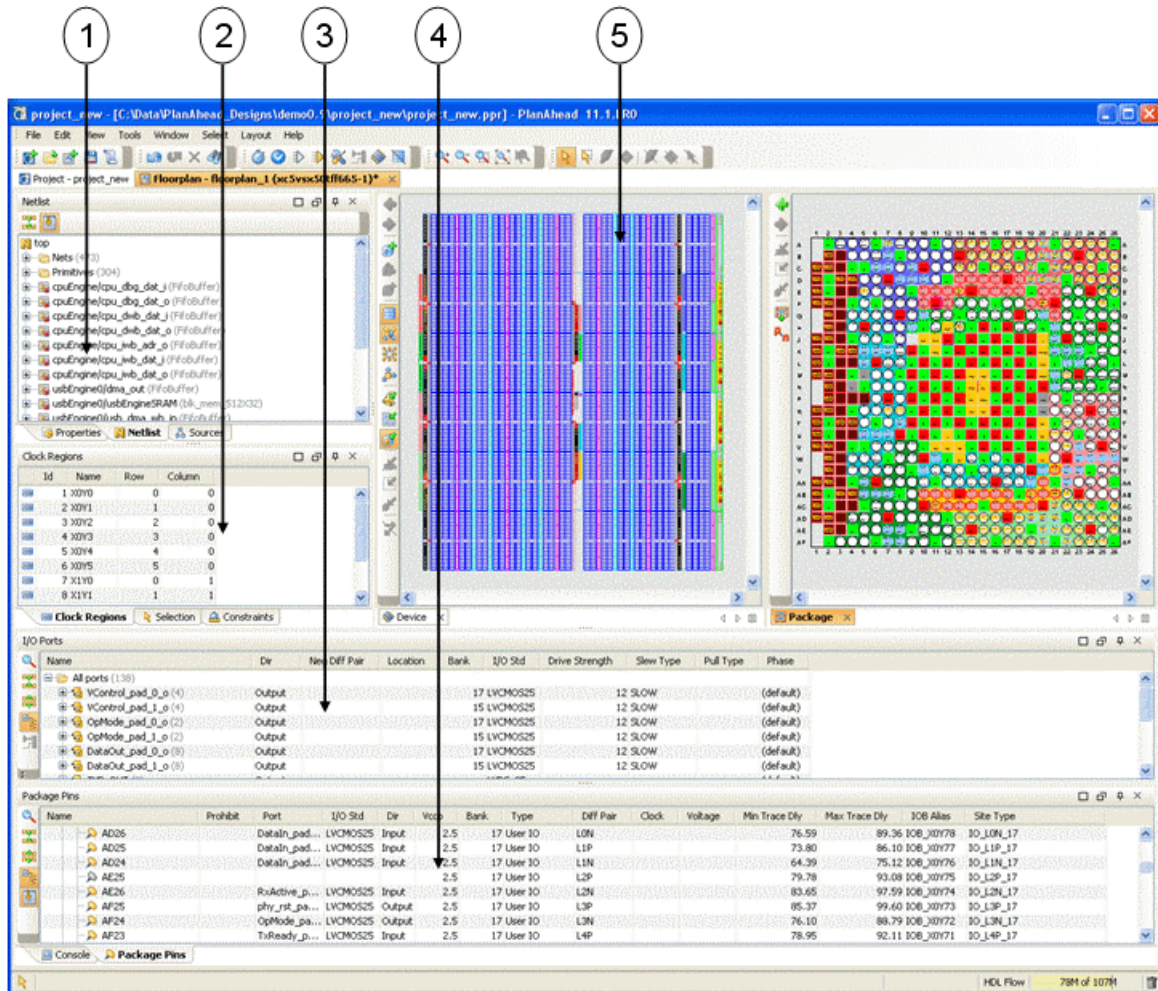


図 4-2 : デフォルトの PinAhead 表示レイアウト

表示環境のエリアは次のように定義されています。

1. オブジェクトのプロパティ、ネットリスト、ソース
2. クロック領域、選択されたオブジェクト、制約
3. I/O ポート リスト
4. パッケージ ピン、コンソール、結果表示 (タイミング、検索、デザイン ルール チェック)

5. ワークスペース : [Device]、[Package]、[Schematic]、[Hierarchy] ウィンドウ、レポート、WASSO 結果

PinAhead 環境では、特定デバイス パッケージおよびデザインの I/O 情報に関する情報が表示されます。PinAhead を起動するとこの表示レイアウトが読み込まれます。[Layout] → [Load Layout] → [PlanAhead Default] をクリックすると、デフォルトの PlanAhead 環境に戻ります。

プロジェクト環境ウィンドウ レイアウト

RTL 開発および解析、合成やインプリメンテーションの実行起動、プロジェクト全体の管理に、プロジェクト環境を使用します。詳細は、第 2 章「プロジェクトの作成および管理」を参照してください。

PlanAhead で RTL ベース プロジェクトを開くと、またはプロジェクト環境のタブが選択されると、プロジェクト環境のレイアウトが表示されます。表示されるレイアウトはデザインのステートによって異なります。

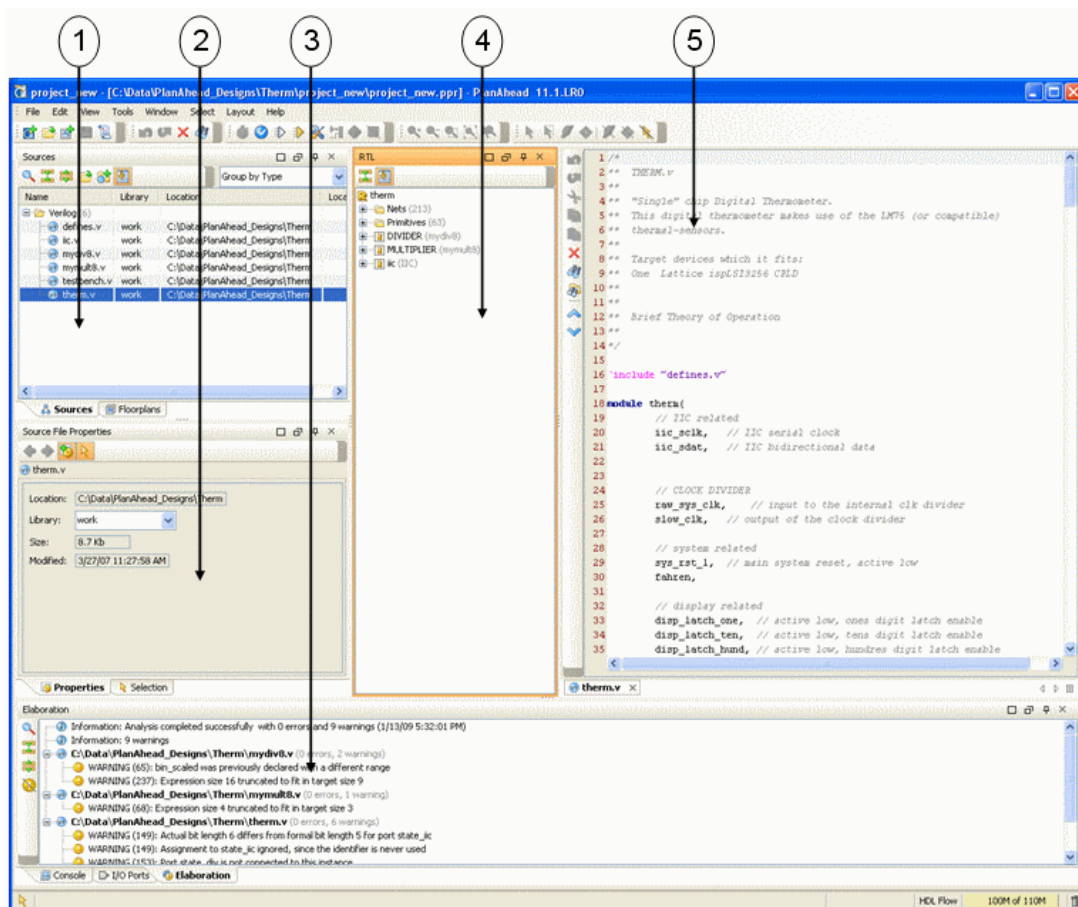


図 4-3 : PlanAhead プロジェクト環境

表示環境のエリアは次のように定義されています。

1. フロアプラン、RTL ソースのウィンドウ
2. プロパティや選択のウィンドウ
3. コンソール、RTL エラボレート、デザイン実行、I/O ポート、DRC、検索結果のウィンドウ

4. RTL ネットリストのウィンドウ
5. ワークスペース : RTL 編集エディタ、回路図、階層、レポートの表示

フロアプラン環境ウィンドウ レイアウト

ネットリスト ベースのプロジェクトや空のプロジェクトが開いている場合、またはフロアプランが選択されている場合、フロアプラン環境のレイアウトが表示されます。フロアプラン環境の詳細は、[第 10 章「デザインのフロアプラン」](#)を参照してください。

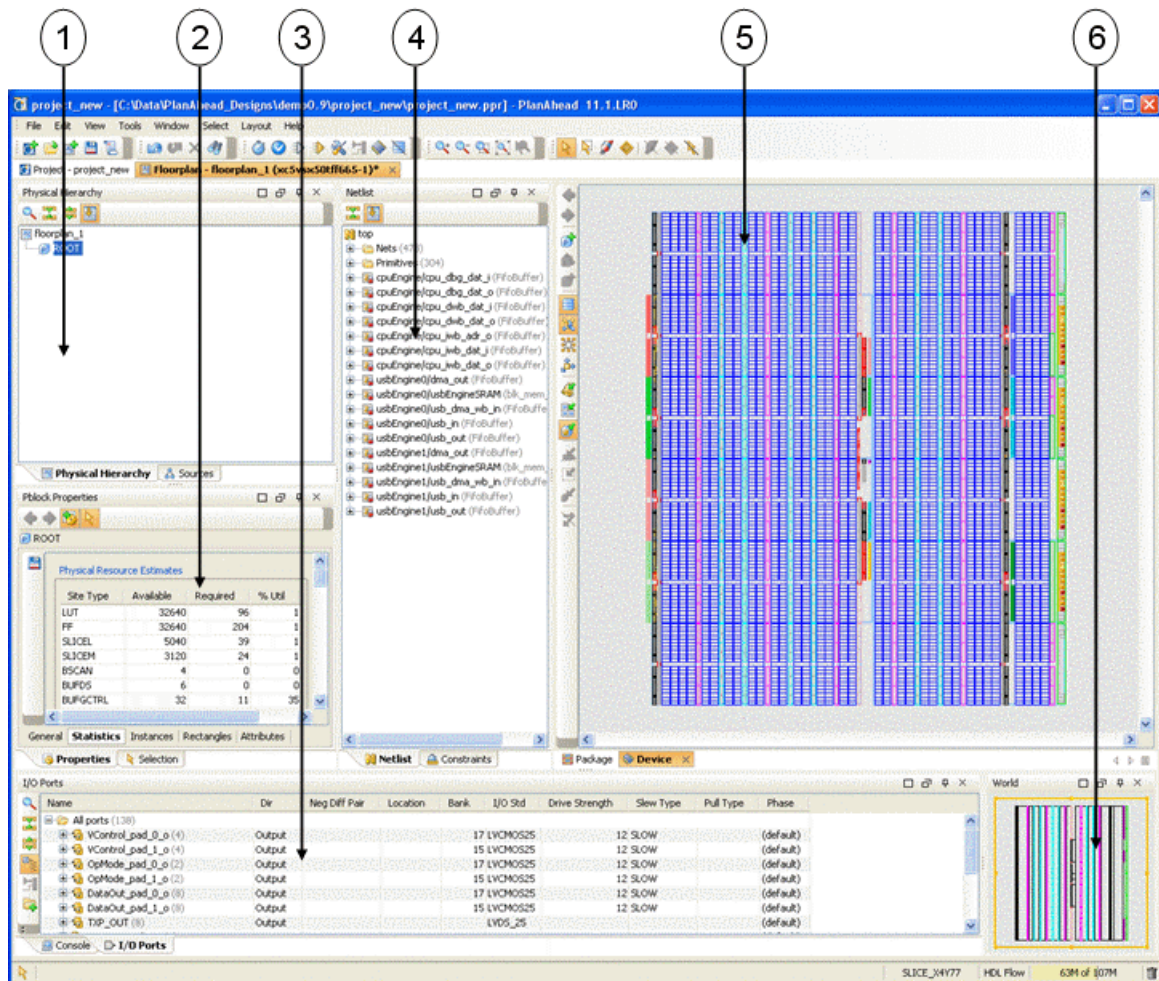


図 4-4 : PlanAhead のフロアプラン環境

表示環境のエリアは次のように定義されています。

1. 物理階層、メトリック、RTL ソースのウィンドウ
2. プロパティ、選択、フロアプランのウィンドウ
3. コンソール、I/O ポート、パッケージ ピン、デザイン実行、結果表示 (タイミング、検索、DRC、メトリック) のウィンドウ
4. ネットリスト、制約のウィンドウ
5. ワークスペース : [Device]、[Package]、[Schematic]、[Hierarchy] ウィンドウ、レポート、WASSO 結果

6. [World] ウィンドウ

ウィンドウの操作

表示ウィンドウの切り替え

各ウィンドウの表示エリアにはタブが表示され、タブをクリックすると、ウィンドウがアクティブになります。ウィンドウのタイプによっては、タブを複数使用できます。ツールに慣れるために、次の説明を読み、実際にウィンドウを操作してみてください。

1 つのウィンドウでオブジェクトを選択すると、同じオブジェクトが別の該当ウィンドウでも選択されます。この相互選択機能により、ロジックの検索およびフロアプランが容易になります。デフォルトのレイアウトは、さまざまなオブジェクトが選択されたときに、情報が最大限に表示できるようになっています。

表示エリアのサイズは表示枠を動かすと変更できます。枠にカーソルを置くとスライド シンボルに変わり、これを動かすと拡張または縮小できます。

表示エリアのアクティブ ウィンドウは、その下部にあるタブをクリックすると切り替えることができ、クリックしたタブがアクティブになり表示されます。



図 4-5 : [Netlist] タブの選択

タブをダブルクリックすると全画面に表示されます。ワークスペースでそのタブを再度ダブルクリックすると元のタブ表示に戻ります。ワークスペース以外のウィンドウは、ウィンドウのバーに表示されている [最大化/元のサイズに戻す] ボタンをクリックすると元に戻すことができます。詳細は、「[ウィンドウ バナーのコマンドを使用したウィンドウの操作](#)」を参照してください。

表示エリアは、複数のウィンドウを一度に表示するために、垂直方向または水平方向に分割できます。分割エリアには、それぞれ複数のウィンドウを含めることができます。分割は多様に設定できます。

各ウィンドウのバナーには、ウィンドウ表示を変更するコマンドがあり、フロートさせたり、非表示にしたり、最大化したり、閉じたりできます。ウィンドウまたは表示エリアを閉じると、他のウィンドウのサイズが変更され、そのスペースに表示されます。ウィンドウ バナーのコマンドの詳細は、次の章で説明します。

ワークスペースは、他のドッキング エリアとは異なる動作をします。このエリアに表示可能なタイプは決まっており、[Device]、[Schematic]、[Hierarchy]、[Package] ウィンドウとタイミング パス レポート、RTL エディタ、WASSO 解析結果、ISE ソフトウェア レポート、および Getting Started ページが含まれます。各ウィンドウ タイプに対して複数のウィンドウを開くことが可能で、ワークスペースで連動します。ワークスペースは、任意の数で垂直方向または水平方向に分割できます。ウィンドウのタブに表示されている [閉じる] ボタンをクリックすると、ウィンドウを閉じることができます。ワークスペースのウィンドウは、タブを右クリックして表示されるコマンドを使用して、フロートまたは非表示にできます。

ウィンドウを開く

メイン メニューから [Window] メニューを選択すると、ほとんどのタイプのウィンドウを開くことができます。既に開いているウィンドウを選択すると、そのウィンドウがアクティブになります。[Window] メニュー コマンドの一覧と説明は、[付録 A の「\[Window\] メニュー」](#)を参照してください。

[Schematic] ウィンドウを表示するには、オブジェクトを少なくとも 1 つ選択し、ポップアップ メニューの [Schematic] コマンドまたは [Schematic] ツールバー ボタンをクリックします。





[Properties] ウィンドウを表示するには、オブジェクトを少なくとも 1 つ選択し、ポップアップ メニューの [<Object type> Properties] をクリックします。

[Window] メニューの [New Device View] または [New Package View] ボタンをクリックすると、ワークスペースにウィンドウが新しく開きます。

ウィンドウ バナーのコマンドを使用したウィンドウの操作

各表示エリアは、ウィンドウ間で共通のコマンドで操作できます。

表 4-1 : ウィンドウ バナーのコマンド

ツールバー ボタン	コマンド	説明
	最大化/元のサイズに戻す	ワークスペース以外のウィンドウを最大化または元のサイズで表示します。
	フローティングの切り替え	ワークスペース以外のウィンドウをフロート表示またはドッキングします。PlanAhead デスクトップの外にフロート表示される場合があります。
	自動非表示の切り替え	ウィンドウの表示/非表示を切り替えます。非表示にすると、ドッキング エリア全体が PlanAhead デスクトップの周囲にタブとして表示され、ワークスペースにはほかのドッキング エリアが表示されます。タブ上のアイコンをクリックすると、ウィンドウが再表示されます。
	閉じる	ウィンドウを閉じます。ワークスペースにはほかのタブまたはドッキング エリアが表示されます。閉じたウィンドウまたはタブを開くには、[Window] メニュー コマンドを使用します。

ウィンドウのバナーで右クリックすると、これらのコマンドすべてがポップアップ メニューに表示されます。

自動非表示の使用

表示エリアを自動非表示モードにして、ウィンドウの表示を制御できます。自動非表示モードにするには、ウィンドウ バナーで自動非表示の切り替えのボタンをクリックするか、ポップアップ メニューで [Auto-hide] をクリックします。

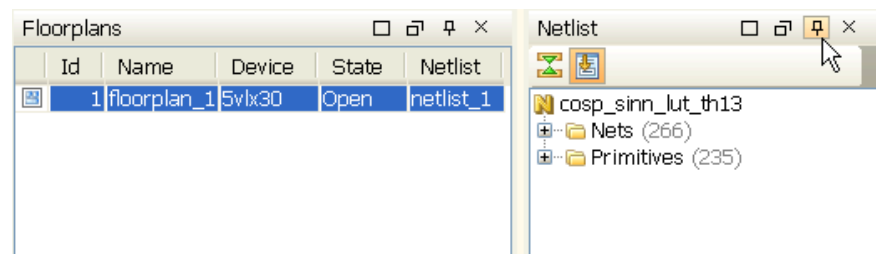


図 4-6 : [Netlist] ウィンドウで自動非表示切り替えのボタンをクリック

非表示にされたドッキング エリアが **PlanAhead** デスクトップの左上端にタブとして表示されます。ワークスペースにはほかのドッキング エリアが表示されます。

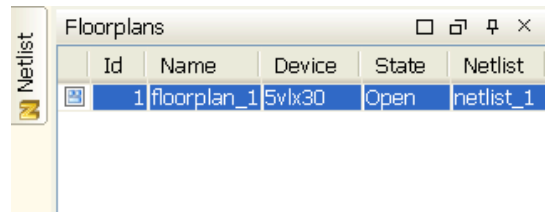


図 4-7 : 自動非表示モードの [Netlist] ウィンドウ

自動非表示タブにはアイコンがあり、これをクリックしてウィンドウを元の位置に表示できます。タブ上にカーソルを動かすと、そのウィンドウが一時的に表示されます。自動非表示されたウィンドウを再ドッキングするには、自動非表示の切り替えのボタンをクリックするか、ポップアップ メニューで **[Auto-hide]** コマンドをクリックします。

自動非表示モードを解除するには、**[Layout] → [Undo Toggle Autohidden/Docking Mode]** をクリックします。

ウィンドウのフロート

ウィンドウは、ドッキングを解除してフロート表示し、個別に移動およびサイズ変更ができます。ウィンドウをフロート表示するには、ウィンドウのタブまたはバナーをクリックして選択し、フローティングの切り替えのボタンをクリックするか、ポップアップ メニューで **[Floating]** をクリックします。

ウィンドウは新しいフロート ウィンドウに表示されます。フロート表示されたウィンドウは重なって表示されます。

ウィンドウ バナーをドラッグすると、フロート ウィンドウを移動できます。**PlanAhead** のメインウィンドウの外にも移動できます。

すべてのフロート ウィンドウ タイプのデフォルトの表示位置とサイズは、保存されたレイアウトに含まれています。

ワークスペースのウィンドウは、タブを右クリックしてポップアップ メニューで **[Float Window]** をクリックすると、フロート表示できます。







表示エリアのサイズの定義

メイン ドッキング エリア間のウィンドウ枠をドラッグすると、**PlanAhead** のドッキング エリアのウィンドウのサイズを変更できます。カーソルがスライド コントロールになると、ウィンドウの枠をドラッグできます。表示エリアを削除するか非表示にして、ほかのウィンドウの表示場所を広くすることもできます。ウィンドウを閉じると、開いた場所にほかのドッキング エリアが表示されます。

ウィンドウ特定のツールバー コマンドの使用

多くのウィンドウには、ウィンドウ内に表示されるツールバーがあります。次に、最も一般的なウィンドウ ツールバー コマンドを示します。

表 4-2：共通のウィンドウ ツールバー コマンド

ツールバー ボタン	コマンド	説明
	[Collapse All]	展開表示したツリー全体を非展開します。
	[Expand All]	ツリー全体を展開します。
	[Automatically scroll to selected objects]	特定のウィンドウで、新しく選択したオブジェクトまで自動的にツリーを展開してツリーをスクロールするか、しないかを切り替えます。すべてのウィンドウで、このコマンドがデフォルトでオンになっています。
	[Automatically update the contents of this window when new objects are selected]	ほかのウィンドウでオブジェクトを新しく選択したときに、[Properties] ウィンドウを自動的に更新してそのプロパティを表示するか、更新しないかを切り替えます。デフォルトではこのコマンドがオンになっています。
	[Previous object]	選択したオブジェクトのリストを古い方へ戻ります。 ワークスペース ウィンドウでは、以前に使用したズーム レベルが反映されます。
	[Next object]	選択したオブジェクトのリストを新しい方へ戻ります。このボタンは、[Previous Object] ボタンを使用すると使用できるようになります。 ワークスペースは、その時点で使用していたズーム レベルで表示されます。

その他にも、ウィンドウ パナーに表示されるツールバー ボタンがあります。これらの詳細は、「[ウィンドウ パナーのコマンドを使用したウィンドウの操作](#)」を参照してください。

ワークスペース ウィンドウの使用

ワークスペース ウィンドウとは

PlanAhead のワークスペースでは、デザインがグラフィカルに表示され、レポートやログも表示されます。

ワークスペースには次のものが表示されます。

- RTL エディタ
- [Device] ウィンドウ
- [Package] ウィンドウ

- [Schematic] ウィンドウ
- [Hierarchy] ウィンドウ
- Getting Started ページ
- レポートおよびログ ファイル
- WASSO の結果

ワークスペース ウィンドウを開く

[Device] ウィンドウおよび [Package] ウィンドウは、メイン メニューの [Window] コマンドを使用するとワークスペースに開くことができます。ワークスペース エリアには同じタイプのウィンドウを複数開くことができます。たとえばデバイスの異なる部分を表示するために、[Device] ウィンドウを 2 つ開くことができます。新しい [Device] ウィンドウまたは [Package] ウィンドウを開くには、[Window] → [New Device View] または [Window] → [New Package View] をクリックします。

[Schematic] ウィンドウを開く方法は少し異なります。[Schematic] ウィンドウを開くには次の手順に従います。

1. 回路図形式で開くオブジェクトを少なくとも 1 つ選択します。
2. ポップアップ メニューで [Schematic] コマンドをクリックするか、F4 キーを押すか、または [Schematic] ボタンをクリックします。



図 4-8 : [Schematic] ボタン

ワークスペースに [Schematic] ウィンドウが表示されます。[Schematic] コマンドを実行するたびに、ワークスペースに [Schematic] ウィンドウが追加されます。

Getting Started ページは、[Help] → [Getting Started] をクリックすると開きます。

ワークスペースの全画面表示

ワークスペースのタブをダブルクリックすると、全画面表示されます。ワークスペースでそのタブを再度ダブルクリックすると元のタブ表示に戻ります。

タブを右クリックすると、ワークスペースのタブのポップアップ メニューが表示されます。ワークスペースの状況に応じて、ポップアップ メニューで [Maximize Workspace] または [Restore Workspace] を選択します。

ワークスペースのフロート表示

ワークスペースをフロート表示するには、タブを右クリックしてポップアップ メニューで [Float Window] をクリックします。

ワークスペースの印刷

[Device]、[Package]、[Schematic]、[Hierarchy] ウィンドウのワークスペースで表示されている箇所を印刷することができます。[File] → [Print] をクリックし、現在表示されている箇所を印刷します。

ワークスペース ウィンドウを閉じる

ワークスペース内のウィンドウは、ウィンドウ タブの X マークをクリックすると閉じます。



図 4-9 : [Device] ウィンドウ タブと X マーク

ワークスペースの分割

ワークスペース ウィンドウ エリアを水平または垂直に分割して、複数のウィンドウを同時に表示できます。図にあるようにウィンドウのポップアップ メニューを使用します。

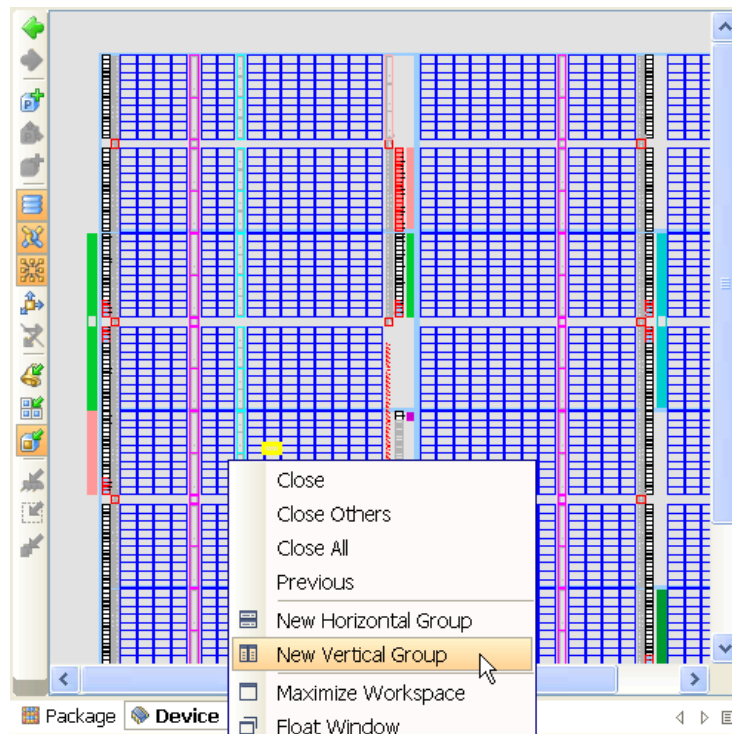


図 4-10 : 垂直に分割

各ウィンドウを個別に操作でき、複数のウィンドウをドッキング表示できます。

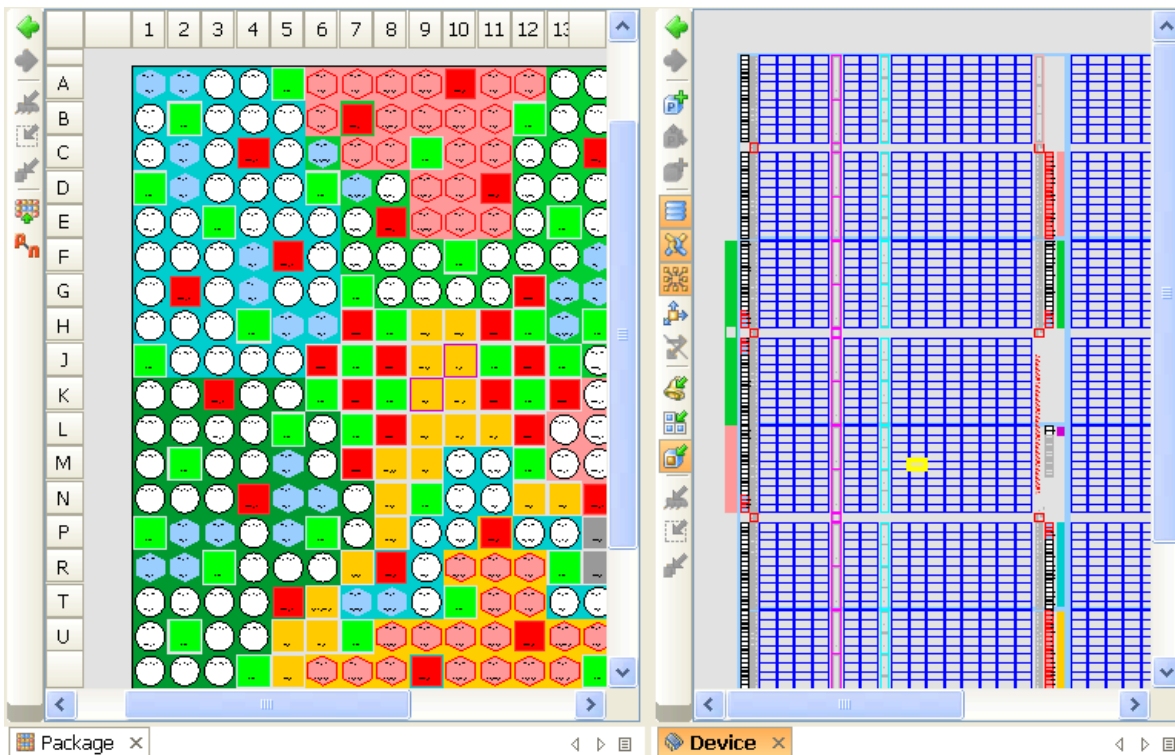


図 4-11 : 垂直に並んだ 2 つのワークスペース ウィンドウ

同じタイプのウィンドウを複数開くこともできます。たとえば、[Device] ウィンドウを 2 つ開いてデバイスの異なる部分を表示したり、異なる倍率で表示したりできます。

共通のウィンドウの使用

[Console] ウィンドウおよび Tcl コマンド ライン

[Console] ウィンドウには、実行した Tcl コマンドのメッセージが表示されます。これらメッセージはすべて、planAhead.log ファイルにも書き込まれます。コマンドのエラー、警告、および完了に関するメッセージがこのウィンドウに表示されます。

[Console] ウィンドウを表示するには、[Window] → [Console] をクリックします。

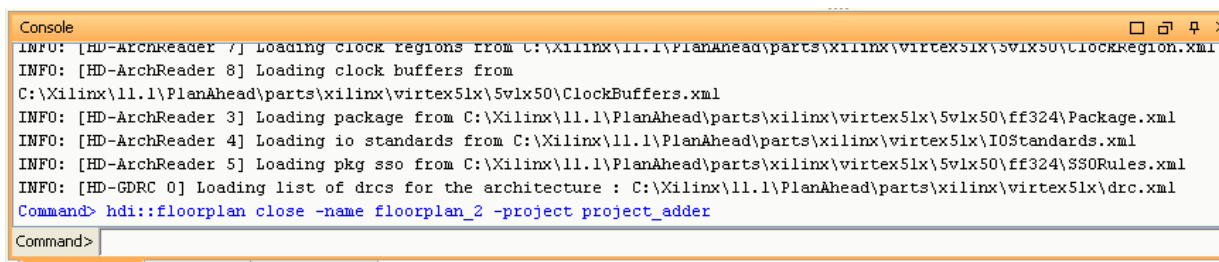


図 4-12 : [Console] ウィンドウ

Tcl コマンド ラインの使用

上の図に示されているコマンド ラインを使用すると、Tcl 形式の PlanAhead コマンドを使用して手動でコマンドを入力できます。コマンドは、[Command] ボックスにコマンドを入力すると、実行できます。メニュー操作やドラッグ アンド ドロップなどの操作が実行可能な編集コマンドには、同等の Tcl コマンドがあります。インターフェイスを使用してコマンドを実行すると、対応する Tcl コマンドが実行され、[Console] ウィンドウに表示されます。この内容は、planAhead.jou ファイルに書き込まれます。

コマンドの履歴は、[Console] ウィンドウで上方向キーまたは下方向キーを押すことで確認できます。

Tcl ヘルプの使用

次の構文をコマンド ラインに入力すると、すべてのコマンドに対するヘルプが表示されます。

```
Command> hdi::?
```

または

```
Command> help
```

コマンドの詳細は、次のようにヘルプのクエリーを拡張すると表示できます。

```
Command> hdi::pblock ?
```

正確なコマンド構文を確認するには、コマンドを一度実行し、PlanAhead の起動ディレクトリに含まれている planAhead.jou ファイルを確認します。

[World] ウィンドウの使用

[World] ウィンドウは、右下端に表示され、アクティブなワークスペースで表示されている情報の概要が表示されます。[World] ウィンドウを表示するには、[Window] → [World] をクリックします。

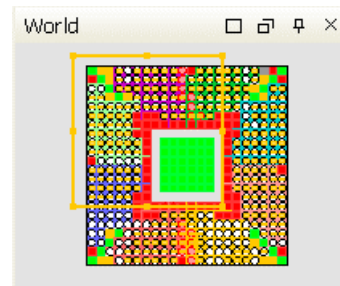


図 4-13 : [World] ウィンドウ

[World] ウィンドウでは、[Schematic]、[Device]、[Package]、および [Hierarchy] ウィンドウで拡大表示されたエリアや選択されたオブジェクトが反映されます。

アクティブ ウィンドウで表示されているエリアは長方形で表示されます。この長方形をドラッグすると表示エリアを変更できます。また、この長方形のサイズはカーソルをドラッグすると変更できます。変更すると、アクティブ ウィンドウの拡大/縮小率がこの長方形で定義された新しい表示エリアに一致するように調整されます。

選択された Pblock、インスタンス、および I/O ポートは、[World] ウィンドウでハイライトされます。

ステータス バーの使用

PlanAhead の下部に表示されるバーにはステータスが表示されます。



図 4-14：ステータス バー

次に、ステータス バーの各フィールドの定義および説明を示します。

現在のモード フィールド

ステータス バーの左端には、現在のモードを示すアイコンが表示されます。デフォルトのモードは [Select Mode] で、黄色の矢印マークが表示されています。ほかには、[Zoom Area]、[Draw Pblock]、および PlanAhead がユーザーによる入力を待機していることを示す砂時計が表示されます。

情報メッセージ フィールド

ステータス バーの 2 番目のフィールドには、文脈依存の情報が表示されます。たとえば、カーソルが [Device] ウィンドウまたは [Schematic] ウィンドウ上にある場合、このフィールドにはカーソルがポイントしているインスタンス名が表示されます。また、ツールバーまたはメニューの上にカーソルを置いた場合は、PlanAhead コマンドの詳細も表示されます。

座標フィールド

情報メッセージ フィールドの右は座標フィールドです。[Device] ウィンドウでカーソルを BRAM、DSP48 などに動かすと、ここにその名前と座標が表示されます。

モード

どのタイプのプロジェクトが使用されているかを示します。PlanAhead が ISE Project Navigator から起動されている場合、ISE 統合モードが表示されます。

Java メモリ使用率ゲージ

PlanAhead のグラフィカル ユーザー インターフェイスでの Java メモリ制限は、Windows の場合 512MB、64 ビットの Linux の場合 1GB となっています。左下端にメモリ ゲージがあり、メモリ 使用率が表示されます。このゲージが制限値の 10% 内のうちに作業を保存し、ツールを再起動する必要があります。このゲージは Java のメモリ使用率のみを表示します。タスク マネージャやトップでは Java および C のメモリ使用率が表示され、その制限値は高く表示されています。

オブジェクトの選択

PlanAhead では、オブジェクトを選択、ハイライト、またはマークできます。

オブジェクトの選択

オブジェクトの選択

PlanAhead では、いくつかの方法でオブジェクトを選択できます。現在のウィンドウでオブジェクトを選択するには、そのオブジェクトをクリックします。オブジェクトは、1 つのウィンドウで選択されると、ほかのウィンドウでも選択されます。

オブジェクトを移動するには、マウスを使って移動先にドラッグ アンドドロップします。移動できるオブジェクトを選択すると、カーソルが手の形に変化します。

オブジェクトが重なる場合は、優先スキームにより小さい方のオブジェクトが選択されます。[Device] ウィンドウでオブジェクトが選択しにくい場合は、[Physical Hierarchy] ウィンドウまたは [Netlist] ウィンドウで選択してください。オブジェクトは、[PlanAhead Options] ダイアログ ボックスの [Selection Rules] ページの設定内容にかかわらず、この 2 つのウィンドウからであればいつでも選択できます。

オブジェクトがいくつも重なっている場合は、ポップアップ メニューで [Select] コマンドを使用すると、正しいオブジェクトを選択できます。

複数のオブジェクトの選択

オブジェクトを選択できるウィンドウや、ダイアログボックスのリストでは通常、Shift キーを使用してツリーや表の中のオブジェクトの範囲を指定できます。Ctrl キーを使用すると、複数の要素を個別に指定できます。

[Select Area] コマンドの使用

どのワークスペース ウィンドウでも、オブジェクトを長方形で囲んで選択できます。この方法は次のとおりです。

1. [Select] → [Select Area] をクリックするか、[Select Area] ボタンをクリックします。



図 4-15 : [Select Area] ボタン

オブジェクトを長方形で囲みます。長方形に囲まれるか接触しているオブジェクトはすべて [Select Area] ダイアログ ボックスに表示され、タイプ別にフィルタできます。

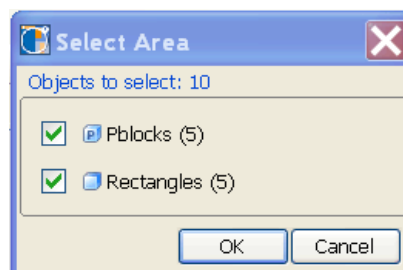


図 4-16 : [Select Area] ダイアログ ボックス

2. チェックボックスをオフにすると、そのタイプのオブジェクトは選択から除外されます。
3. [OK] をクリックすると、指定したオブジェクトがすべて選択されます。

プリミティブの親モジュールの選択

選択されたプリミティブ ロジックすべての親モジュールを選択するには、[Select Primitive Parents] を使用します。このコマンドはポップアップ メニューで選択でき、ほとんどのウィンドウで使用可能です。

フロアプランの管理は、ロジック モジュールが Pblock に割り当てられている方が、プリミティブ ロジック インスタンスに割り当てられている場合よりも簡単です。タイミング パスのグループは簡単に選択でき、選択するとパス上のプリミティブ ロジック インスタンスがすべて選択されます。

[Select Primitive Parents] コマンドを実行すると、選択されたプリミティブ ロジックすべての親モジュールが自動的に選択されます。

最初に選択されたプリミティブ ロジックの選択は解除され、最初に選択されたロジックが ROOT レベルのロジックでない限り、親モジュールのみが選択されます。

モジュールが選択されている場合は、コマンドを実行しても親モジュールは選択されず、そのモジュールが選択されたままになります。そのモジュールが選択されたままになります。

[Select] メニュー コマンドの使用

[Select] メニューでは、選択、選択解除、ハイライト、およびマークを実行できます。[Select] メニューのコマンドの詳細は、付録 A の「[Select] メニュー」を参照してください。

選択したオブジェクトすべての表示

ワークスペースのウィンドウのズーム オプションを使用すると、選択されたオブジェクトをすべて表示できます。次の方法のいずれかを実行すると、拡大率が変更され、選択したオブジェクトがすべて表示されます。

- [View] → [Fit Selection] をクリックします。
- F9 キーを押します。
- [Fit Selection] ボタンをクリックします。



図 4-17 : [Fit Selection] ボタン

[Selection] ウィンドウの使用

次に示すように、[Selection] ウィンドウには、現在選択されているオブジェクトのリストが表示されます。オブジェクトは、並び替えたり、選択を解除したり、マークを付けたりすることができます。このリストは、フロアプランのオブジェクトが変更されると動的に更新されます。このウィンドウを表示するには、[Window] → [Selection] をクリックします。

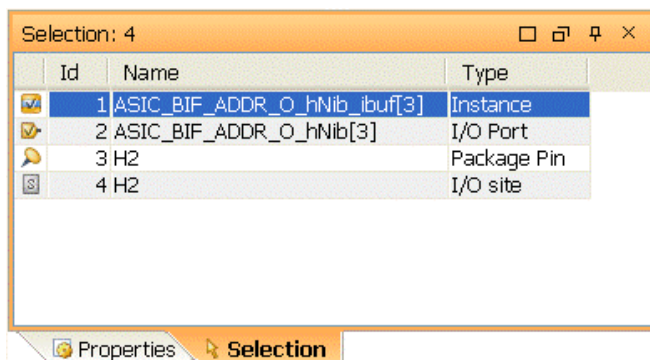


図 4-18 : [Selection] ウィンドウ

エレメントは、列のヘッダをクリックすると、アルファベット順に並び替わります。オブジェクトは、並べ替える列のヘッダをクリックすると、名前、ID 番号、または種類で並べ替えることができます。選択したアイテムは、[Unselect]、[Unselect All]、または [Unselect All Except] コマンドを使用してリストから削除できます。

Ctrl キーおよび Shift キーを使用して、オブジェクトのグループを選択することもできます。選択したオブジェクトの合計数は、ウィンドウのタイトル バーに表示されます。

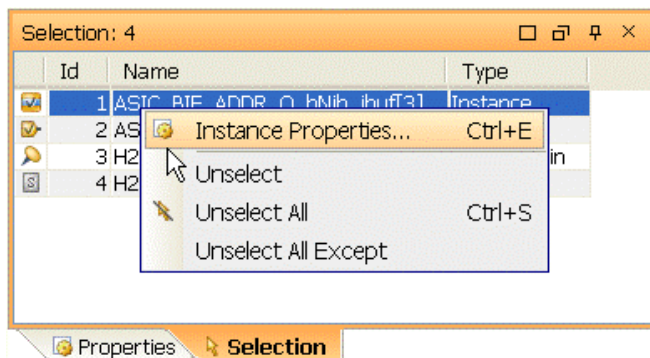


図 4-19 : [Selection] ウィンドウのポップアップ メニュー コマンド

選択したオブジェクトのハイライト

オブジェクトを指定した色でハイライト表示できます。ハイライト表示は、フロアプランのハイライト表示をすべて解除するまで保持されます。ハイライトの詳細は、次を参照してください。

- 「選択したオブジェクトのハイライト」
- 「[Select Primitives] コマンドおよび [Highlight Primitives] コマンドの使用」

選択したオブジェクトのマーク

選択したオブジェクトすべてにマーク シンボルを付けることができます。詳細は、「[選択したオブジェクトのマーク](#)」を参照してください。

選択ルールの設定

オブジェクトを選択すると、ほかのオブジェクトも同時に選択されることがあります。たとえば Pblock を選択すると、割り当てられたネットリストのインスタンスも選択されます。選択のビヘイビアは、[Tools] → [Options] → [Selection Rules] で選択規則を設定して制御できます。

次に、[Selection Rules] ページを示します。

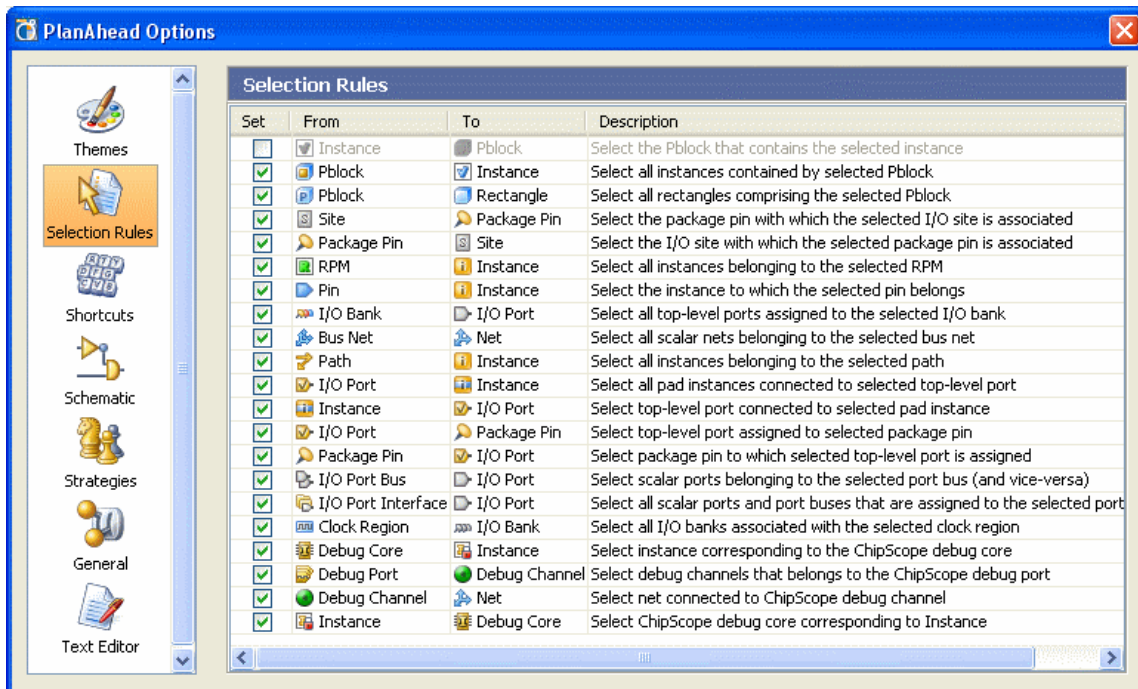


図 4-20 : [PlanAhead Options] ダイアログ ボックス : [Selection Rules] ページ

[Set] 列のチェックボックスで、自動選択のオン/オフを切り替えることができます。オンにして [From] 列でオブジェクト タイプを指定すると、[To] 列でのオブジェクト タイプの指定が必須になります。オフにすると、[From] 列のみの指定になります。

デフォルトの選択規則を使用すると、PlanAhead を最も効果的に使用できます。このソフトウェアに慣れるまではデフォルトの使用を推奨します。

ワークスペース ウィンドウのオブジェクトの選択機能の設定

[Tools] → [Options] → [Themes] をクリックすると、[PlanAhead Options] ダイアログ ボックスの [Themes] ページで、オブジェクトの選択ができます。

オブジェクト選択の設定の詳細は、「[PlanAhead の表示オプションのカスタマイズ](#)」を参照してください。

文脈依存カーソルについて

次のコマンド モードではカーソルの形が変わります。

- カーソルが水平、垂直、または斜めの両方向矢印に変化した場合は、**Pblock** の枠およびウィンドウの枠を伸縮できます。
- カーソルが手の形に変化した場合は、**Pblock** やインスタンスを移動できます。
- カーソルが十字型に変化すると、長方形を描画した拡大範囲指定、ピン割り当てエリアの定義、または **Pblock** の長方形の描画を実行できます。
- オブジェクトを移動できない場所にドラッグすると、カーソルは斜線が入った円になります。
- オブジェクトを移動できる場所にドラッグすると、カーソルは、十字型に交差した両方向の矢印になります。

ウィンドウの環境設定

PlanAhead には、ユーザー設定可能な表示オプションが多くあります。このツールはデフォルトの設定で提供されていますが、これはカスタマイズできます。詳細は、「[PlanAhead の表示オプションのカスタマイズ](#)」を参照してください。

表示レイアウトの設定を保存して、後で **PlanAhead** を使用するときに使えます。**PinAhead**、プロジェクト、およびフロアプランのレイアウトは個別に保存されます。**PlanAhead** 全体のウィンドウサイズおよび位置は、レイアウト ファイルに保存され、次の使用時に復元されます。この表示設定は、**PlanAhead** を閉じるときにホーム ディレクトリに保存されます。設定ファイルのレイアウトの詳細は、「[デフォルト環境の出力](#)」を参照してください。

PlanAhead ではフロアプラン環境レイアウトにいくつかのオプションが用意されています。これらのレイアウトでは、最も効率よく適切な情報が表示されます。次回 **PlanAhead** を使用するときの表示「テーマ」を保存できます。詳細は、「[カスタム テーマの作成および使用](#)」を参照してください。

PlanAhead の表示オプションのカスタマイズ

ウィンドウの表示オプションを変更すると、環境の表示やビヘイビアを制御できます。

表示オプションを確認または編集するには、[Tools] → [Options] をクリックします。[PlanAhead Options] ダイアログ ボックスが表示されます。変更は、[OK] ボタンまたは [Apply] ボタンをクリックすると有効になります。[Cancel] をクリックすると、変更は反映されません。

[Themes] ページでは全般的な環境を制御する設定を確認および変更できます。インターフェイスのさまざまなエリアのオプションを確認または変更できます。[Themes] ページの、[General]、[Device]、[I/Os]、および [Bundle Nets] タブをクリックして、表示設定を変更できます。

ウィンドウの全般的な表示オプションの設定

[General] タブでは、PlanAhead ウィンドウの全般的な色や外観のオプションをカスタマイズできます。

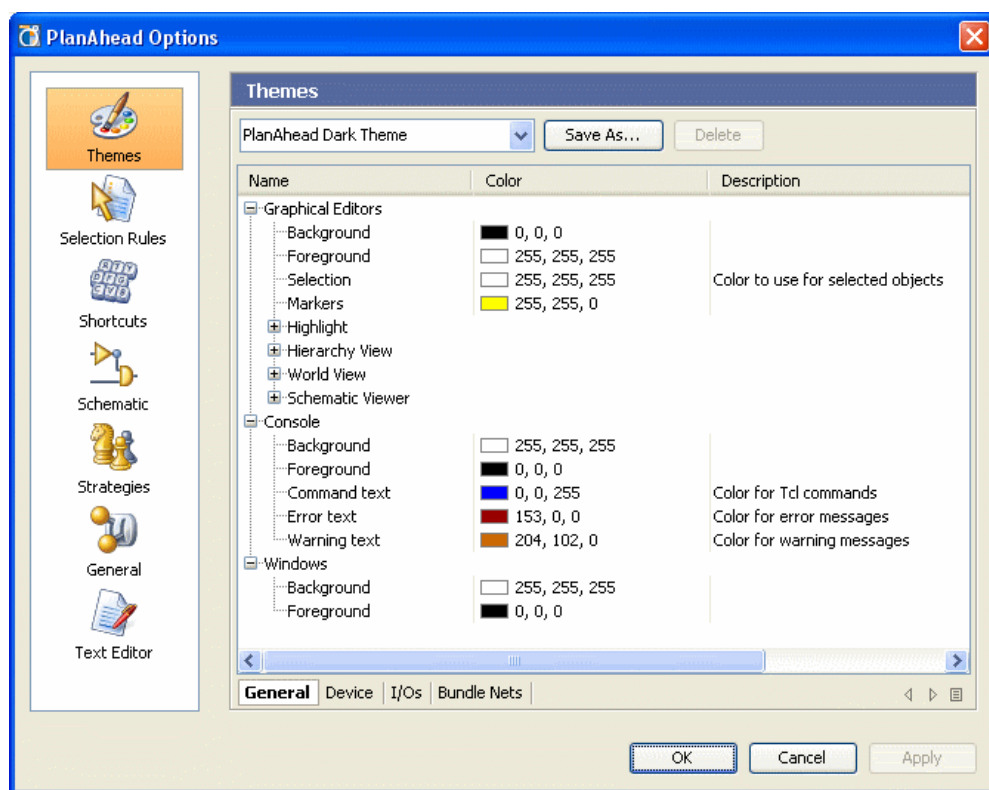


図 4-21 : [General] タブ

[Color] 列をクリックするとプルダウン メニューに切り替わります。プルダウンの矢印をクリックするとポップアップ メニューが表示され、色を選択できます。

[Device] ウィンドウの表示オプションの設定

[Device] タブを使用すると、[Device] ウィンドウのオブジェクト タイプごとに色、表示/非表示、選択可/不可のデフォルト設定を設定できます。

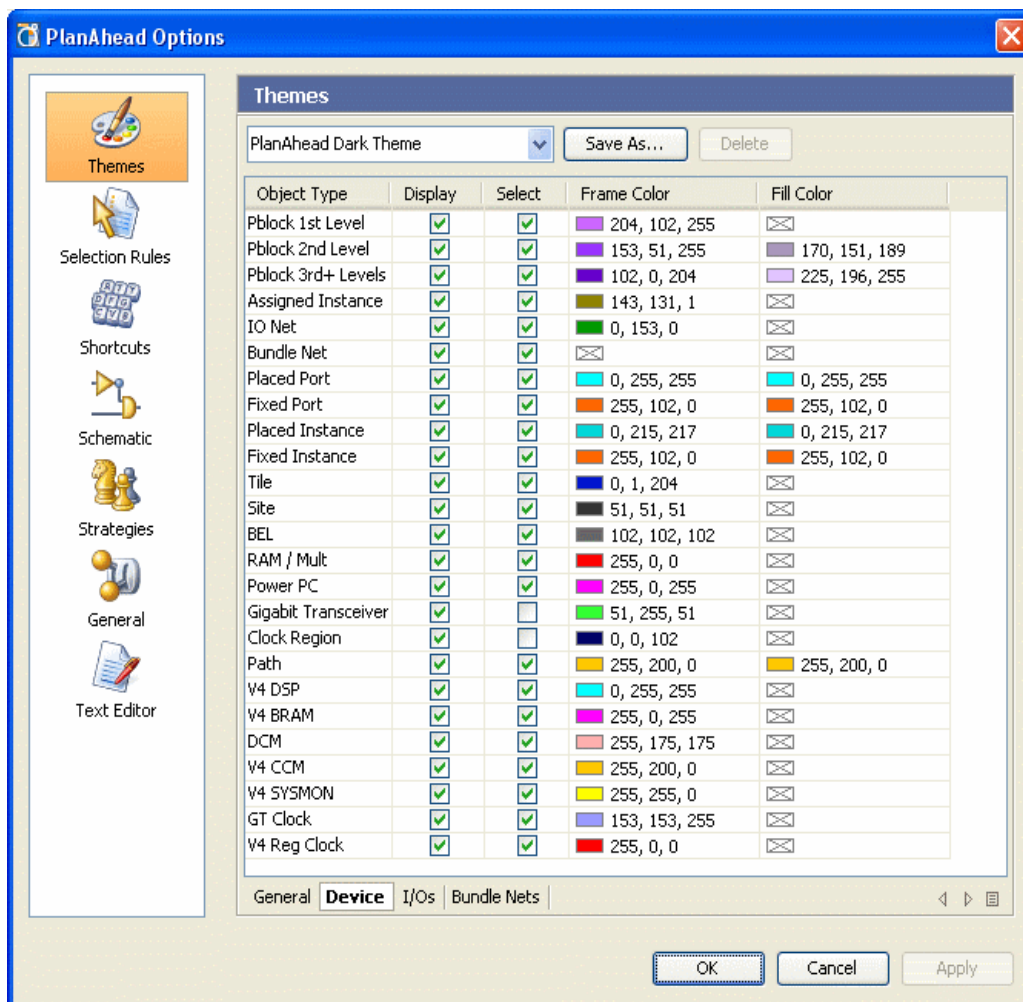


図 4-22 : [Themes] ページ : [Device] タブ

チェック ボックスで、オン/オフを切り替えます。[Display] 列のチェック ボックスをオフにすると、[Device] ウィンドウでそのオブジェクト タイプが非表示になります。[Select] 列のチェック ボックスをオフにすると、[Device] ウィンドウでそのオブジェクト タイプが選択できなくなります。[Display] がオンであれば、オブジェクトは表示されます。

メモ : オブジェクトの種類によっては、[Frame Color] オプションおよび [Fill Color] オプションが設定できないものがあります。

メモ : オブジェクトにはデバイス特定のものがあり、それ以外のデバイスでは無効です。

[Package] ウィンドウの表示オプションの設定

[I/O] タブではオブジェクト タイプごとに、[Package] ウィンドウでの色、表示/非表示、選択可/不可を設定することができます。

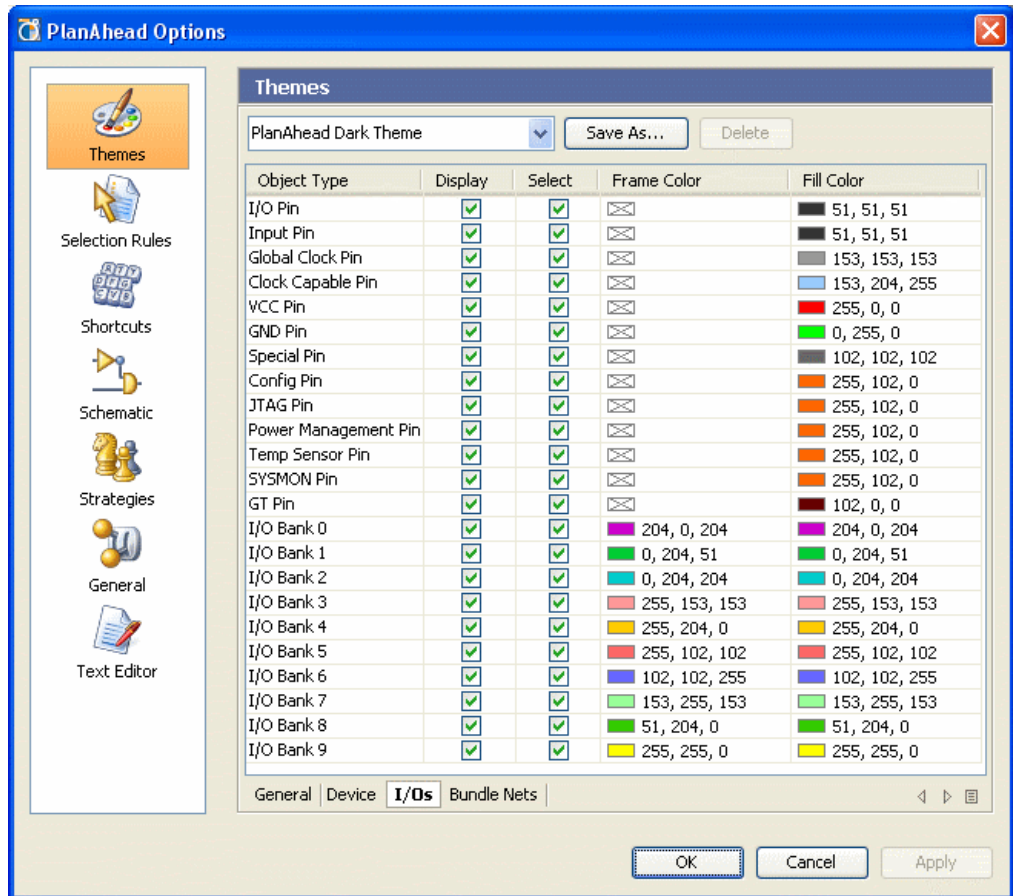


図 4-23 : [Themes] ページ :[Device] タブ

チェックボックスで、オン/オフを切り替えます。[Display] 列のチェックボックスをオフにすると、[Device] ウィンドウでそのオブジェクト タイプが非表示になります。[Select] 列のチェックボックスをオフにすると、[Device] ウィンドウでそのオブジェクト タイプが選択できなくなります。[Display] がオンであれば、オブジェクトは表示されます。

メモ : オブジェクトの種類によっては、[Frame Color] オプションおよび [Fill Color] オプションが設定できないものがあります。

メモ : オブジェクトにはデバイス特定のものがあり、それ以外のデバイスでは無効です。

[Device] ウィンドウのバンドル ネット表示オプションの設定

[Device] ウィンドウのバンドル ネットの表示は、[Bundle Nets] タブで設定します。

バンドルの信号カウント範囲は、[From] 列と [To] 列で指定します。各列でバンドル ネットの範囲を個別に設定します。

チェックボックスで、オン/オフを切り替えます。[Display] 列のチェックボックスをオフにすると、[Device] ウィンドウでそのバンドル ネット範囲が非表示になります。[Select] 列のチェックボック

スをオフにすると、[Device] ウィンドウでそのオブジェクト タイプが選択できなくなります。
[Display] がオンであれば、オブジェクトは表示されます。

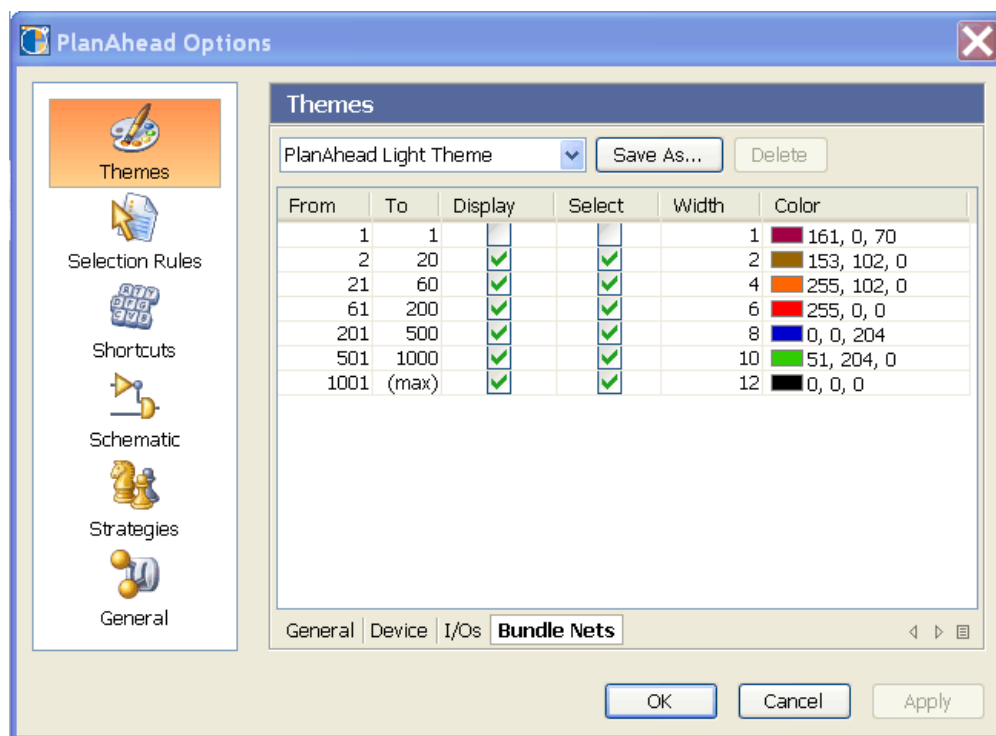


図 4-24 : [Themes] ページ :バンドル ネットの設定

[Device] ウィンドウに表示されるバンドルの線の幅は、[Width] 列を変更してバンドル ネットごとに設定できます。

[Schematic] ウィンドウでのスラックおよびファンアウトの表示オプションの設定

[Schematic] ページでは、ソース ピンにファンアウト値を、デスティネーション ピンにスラック値を表示するように設定できます。詳細は、[236 ページの「回路図ピンのスラック、ファンアウト、値のアノテーション」](#)を参照してください。

ツールバー コマンドを使用した表示の調整

[Device] ウィンドウまたはメイン ツールバーのツールバー ボタンを使用して、表示を変更することもできます。ボタンの中には、特定のタイプのオブジェクトが表示されている場合しか有効でないものがあります。ツールバー コマンドの説明は、「[ツールバー コマンド](#)」を参照してください。

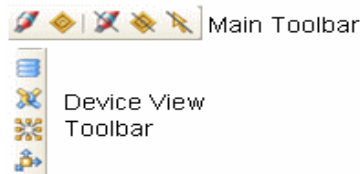


図 4-25 : 表示を制御するツールバーのボタン

カーソルをボタンの上に移動すると、機能を説明するツール ヒントが表示されます。

カスタム表示設定の保存

テーマの選択

PlanAhead には、淡色と濃色両方のデフォルトの背景設定があります。[Themes] ページのプルダウン メニューで [PlanAhead Light Theme] または [PlanAhead Dark Theme] のいずれかを選択します。

これらのデフォルト オプションは、planahead.ini ファイルで定義されます。詳細は、「[ウィンドウ表示オプション ファイル \(planahead.ini と <theme_names>.patheme\)](#)」を参照してください。

カスタム テーマの作成および使用

カスタムのウィンドウ設定を保存して PlanAhead の初期化ファイルを作成し、以後のセッションで使用できます。これは [Themes] ページのプルダウン メニューの横にある [Save As] ボタンをクリックすると保存されます。

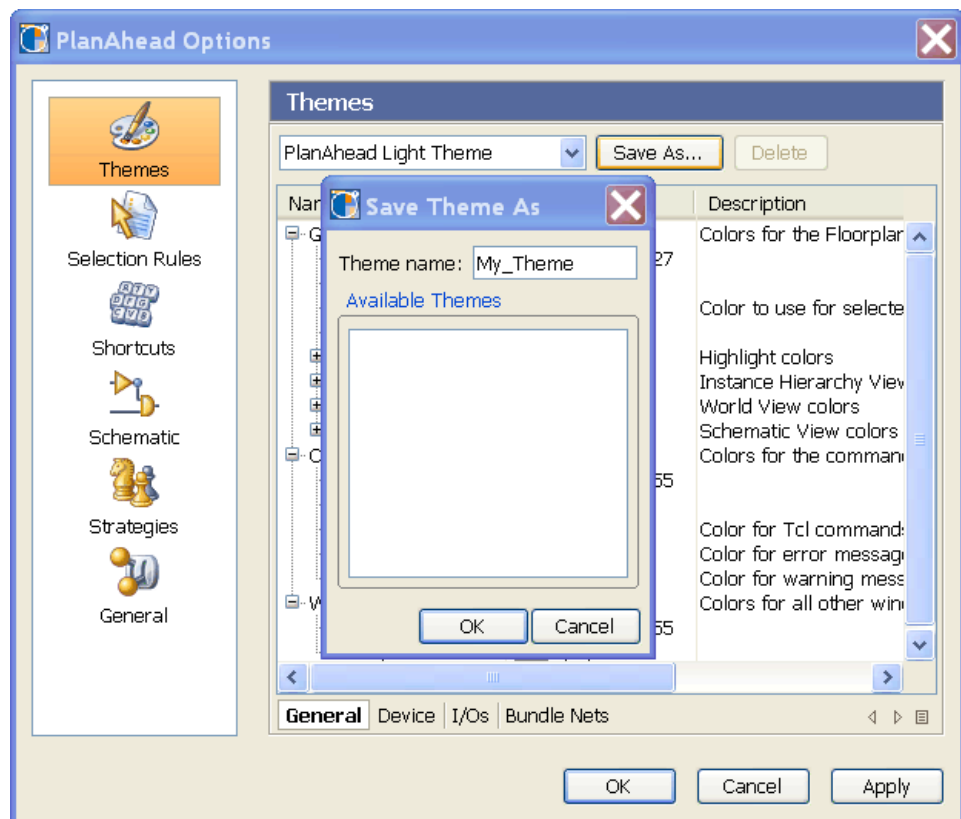


図 4-26 : カスタム テーマの作成

ユーザー定義のテーマを作成する場合は、カスタムの設定が保存されている初期化ファイルのバックアップを取っておくことをお勧めします。デフォルトおよびカスタムの初期化ファイルについての詳細は、「[ウィンドウ表示オプション ファイル \(planahead.ini と <theme_names>.patheme\)](#)」を参照してください。

PlanAhead の動作オプションの設定

選択ルール オプションの設定

[Selection Rules] ページでは、すべてのウィンドウのオブジェクト選択設定を制御できます。オブジェクトを選択すると、ほかのオブジェクトも同時に選択されることがあります。たとえば **Pblock** を選択すると、割り当てられたネットリストのインスタンスも選択されます。詳細は、「[オブジェクトの選択](#)」を参照してください。

ショートカット キーワードの設定

頻繁に使用されるコマンドには、キーボードのキーを組み合わせたショートカットが定義されています。ショートカットは、ポップアップ メニューのコマンドの横に表示されます。たとえば、[Fit Selection] コマンドのショートカットキーは、F9 です。

[PlanAhead Options] ダイアログ ボックスの [Shortcuts] ページで、デフォルトのショートカットを変更できます。

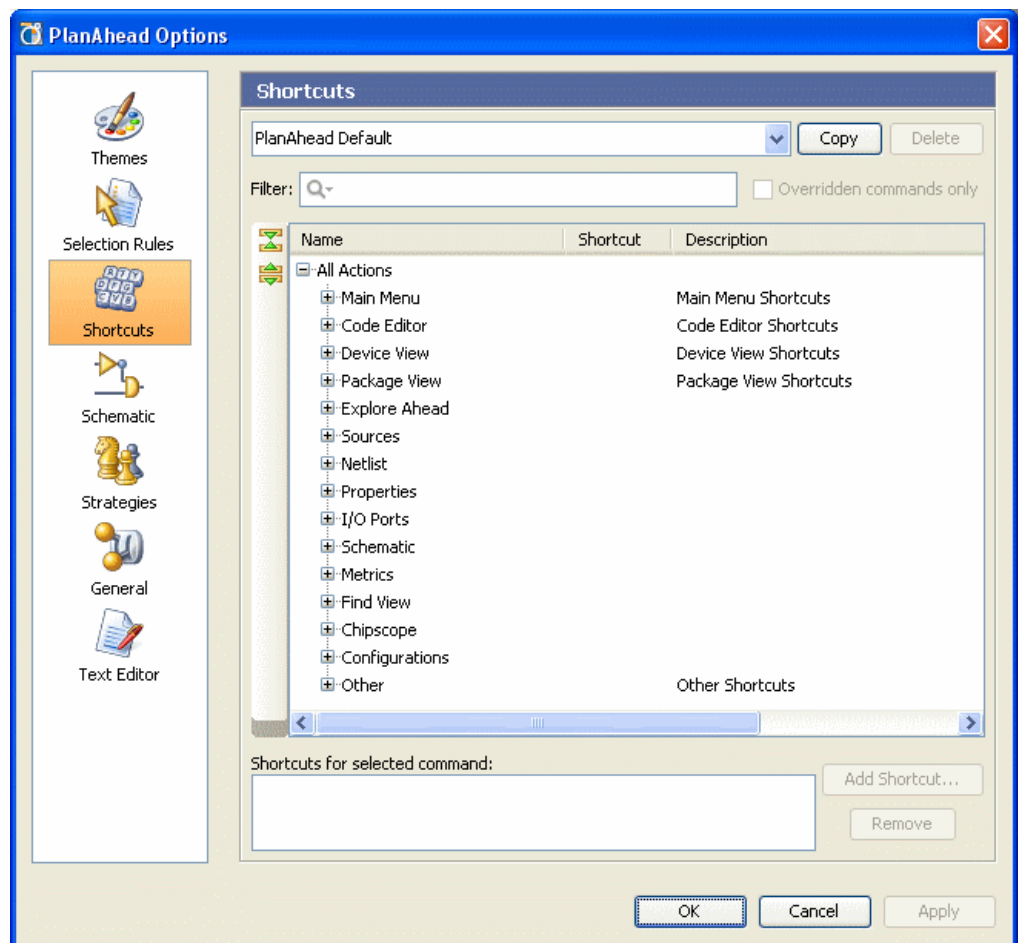


図 4-27 : [Shortcuts] ページ

[Shortcuts] ページで、カスタムのショートカット設定を含むショートカットのスキーマを新規に作成できます。

ページの上部では使用可能なショートカット スキーマを管理できるようになっています。[Copy] ボタンをクリックすると、新規スキーマ作成用に [PlanAhead Default] スキーマがコピーされます。プルダウン メニューから選択するとリストにあるスキーマをアクティベートできます。スキーマを変更するには、まずPlanAhead のデフォルト スキーマをコピーする必要があります。

スキーマのショートカットの変更には、ダイアログ ボックスの下の部分を使用します。リスト内を検索し新しいショートカットを入力するためのコマンドを選択します。[Add Shortcut] ボタンをクリックし、新しいショートカットを [Add Shortcut] ダイアログ ボックスに入力します。[OK] をクリックすると、新しいショートカットが追加されます。

ショートカットを割り当てるためにコマンドのリストは、[Filter] フィールドを使用してフィルタできます。このフィールドに文字列を入力してコマンドをフィルタします。

同じコマンドにウィンドウ別に異なるショートカットを割り当てることができます。

ユーザー定義のショートカット スキーマはすべて次の場所に保存されます。

- C:\Documents and Settings\<Username>\Application Data\HDI\shortcuts (Windows の場合)
- ~/.HDI/shortcuts (Linux の場合)

ショートカットを削除するには、[Remove] ボタンをクリックします。

PlanAhead の全般的なオプションの設定

[Tools] → [Options] をクリックし [PlanAhead Options] ダイアログ ボックスを開き、[General] タブを選択します。

メモ : [Office 2003] のオプションは、Linux では使用できません。

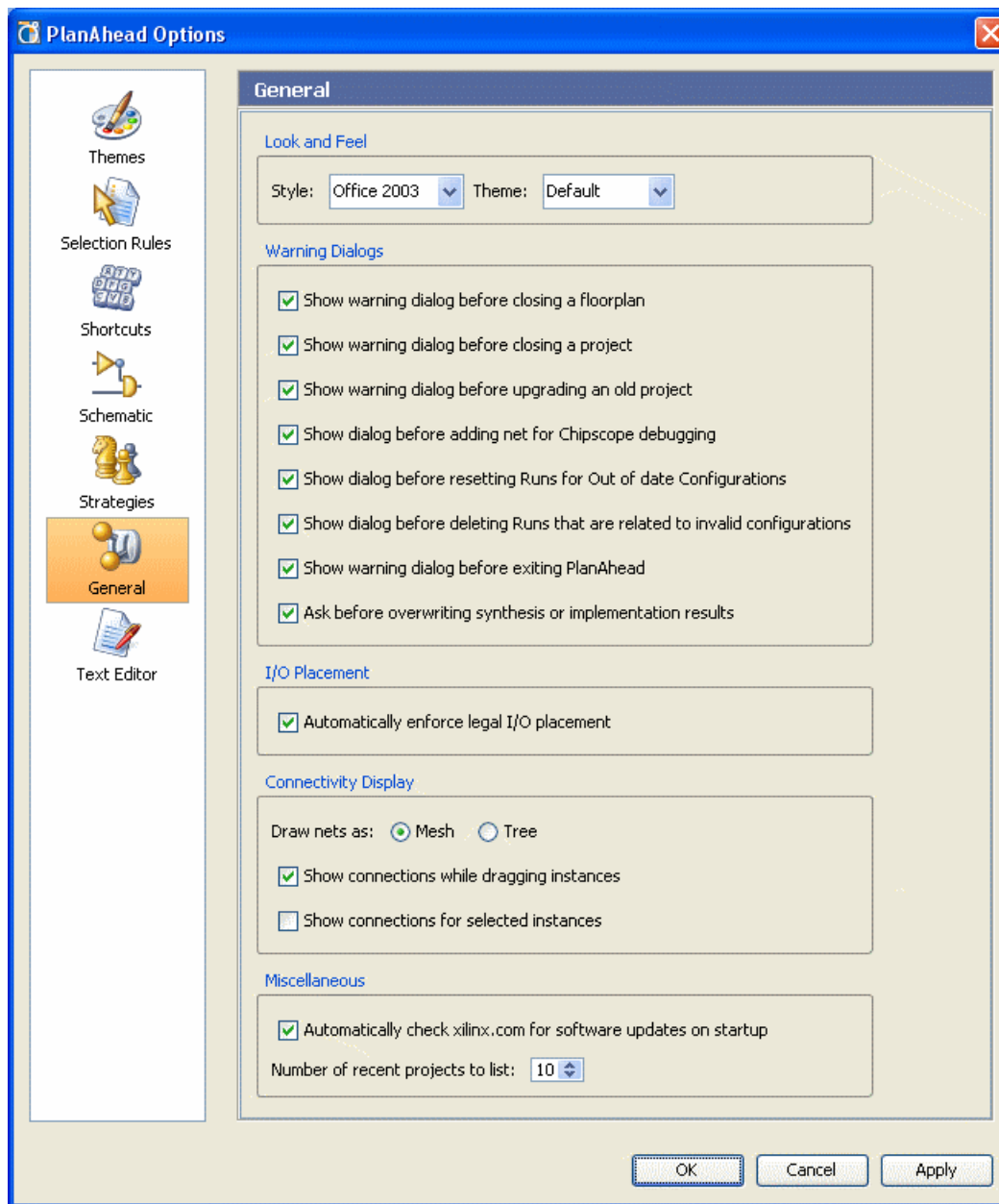


図 4-28 : [General] ページ

[General] ページにあるオプションは次の通りです。

- [Look and Feel] : 一般的なスタイルや色を設定できます。

メモ：Windows 版の PlanAhead のテストおよび開発のほとんどが、デフォルトの [Office 2003] の設定で実施されています。表示の問題が発生した場合は、[Look and Feel] の [Style] を [Office 2003] に戻してください。

- [Warning Dialog]：警告ダイアログ ボックスの表示方法を設定します。
- [I/O Placement]：インタラクティブな I/O 配置 DRC のオン/オフを切り替えます。
- [Connectivity Display]：[Device] ウィンドウで表示される接続を表示方法を設定します。
- [Miscellaneous]：ザイリンクス Web サイトでのソフトウェア アップデートを自動確認するためのオプションを設定し、[Getting Started] ページで表示する最近開いたプロジェクトの数を定義します。

表示エリア内でのウィンドウの移動

複数のウィンドウを同じ表示エリア内に垂直または水平に並べて表示できます。ウィンドウのタブをクリックしてほかの表示エリアにドラッグすると、表示エリアを分割できます。アウトラインが表示され、どこが表示されているのかがわかります。ドラッグしてアウトラインを移動しながら、ウィンドウの移動先を決定できます。

ウィンドウを移動して表示エリアを共有するには、次の手順に従います。

1. タブをクリックします。図 4-29 の例では、[Constraints] タブをクリックしています。
2. タブを移動先にドラッグします。グレーのアウトラインで移動場所が確認できます。

3. 移動先でドロップします。

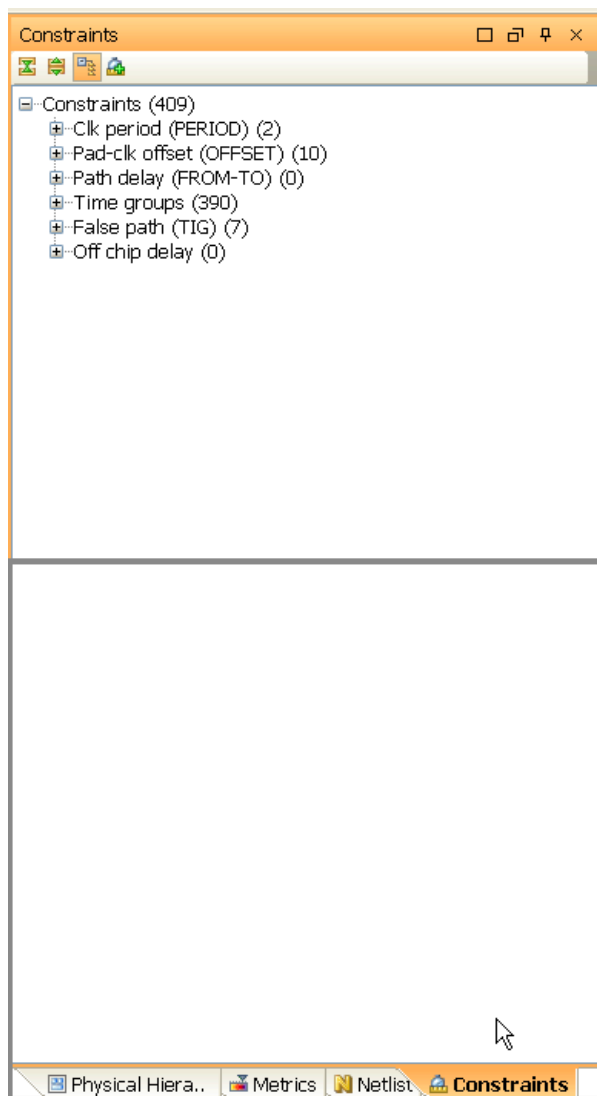


図 4-29 : [Constraints] ウィンドウをドラッグしウィンドウと並べて表示

ウィンドウを元の場所に戻すには、[Layout] → [Undo Dragging] をクリックします。上記の手順で元の位置にドラッグすることもできます。

[Constraints] ウィンドウを [Properties] ウィンドウに移動するというように、ウィンドウをまったく別のドッキングエリアに移動するには、移動するウィンドウのタブを移動先のドッキングエリアのパナーにドラッグします。

1. タブをクリックします。
2. 移動先のドッキングエリアのパナーにドラッグします。
3. ドロップしてウィンドウとタブを配置します。

カスタム ウィンドウ レイアウトの作成

[Layout] メニューにあるコマンドを選択し、デフォルトやカスタムの表示設定を保存したり復元したりすることができます。[Layout] メニュー コマンドの一覧と説明は、[付録 A の「\[Layout\] メニュー」](#)を参照してください。

ウィンドウ レイアウトの復元

PlanAhead のレイアウトを元に戻すためのコマンドには、多くの種類があります。

選択していたオプションをオフに切り替えると、ウィンドウが元の場所に戻ります。ウィンドウ パナーのコマンドを使用しても切り替えることができ、前の設定に戻すことができます。

デフォルトのウィンドウ レイアウトの復元

変更した後で [Layout] → [Load Layout] → [PlanAhead Default] をクリックすると、PlanAhead のデフォルトのレイアウトに戻ります。

[Undo]/[Redo] コマンドの使用

[Layout] メニューの [Undo] コマンドを使用し、ウィンドウ操作を取り消すことができます。[Redo] コマンドを使用すると、操作を繰り返すことができます。

I/O ピンの配置

本章は、次のセクションで構成されています。

- 「PinAhead の概要」
- 「PinAhead 環境の使用」
- 「デバイス リソースの表示」
- 「互換性のあるパーツの選択」
- 「I/O ポートのインポート」
- 「I/O ポートの定義および設定」
- 「I/O ポートの配置」
- 「I/O 関連のクロック ロジックの配置」
- 「I/O 配置制約の削除」
- 「I/O ポートおよびクロック ロジック関連の DRC の実行」
- 「同時スイッチ ノイズ (SSN) 解析の実行」
- 「WASSO 解析の実行」
- 「パッケージ ピンの情報のエクスポート」
- 「I/O ポート リストのエクスポート」

PinAhead の概要

PinAhead 環境では、デザインおよびデバイスの I/O 要件を解析し、I/O ピン配置設定または、PCB デザインと FPGA デザイン両方の要件を満たすピン配置を定義できます。PlanAhead™ では、I/O ポート信号の作成および CSV、UCF、HDL 形式の I/O ポート リストのインポートができるため、ピン配置を設計初期に無駄なく決定でき、ダウンストリームでのピン配置に関連する変更を大幅に削減できます。また、パフォーマンスも大きく向上します。ピン配置が最適化されていないと遅延が増加し、タイミングおよびシグナル インテグリティ要件を満たす障害となります。PCB から FPGA ダイへのデータ フローを考慮すると、最適化されたピン配置を迅速に定義でき、内部および外部のトレース長および配線密集を緩和できます。

PinAhead 環境の使用

PinAhead 環境で使用するウィンドウの多くはフロアプラン環境でも使用されています。フロアプラン環境の詳細は、「フロアプラン環境ウィンドウ レイアウト」を参照してください。

PinAhead 環境のワークスペースは分割されており、[Package] ウィンドウと [Device] ウィンドウの両方が表示されます。[Clock Region]、[Package Pins]、[I/O Ports] のウィンドウもあり、I/O 情報が更に詳細に表示されます。

PinAhead のウィンドウ レイアウトを開くには、次の 2 つの方法があります。

- [Tools] → [Open PinAhead] をクリックします。
- New Project ウィザードを使用して空の新規プロジェクトを作成します。

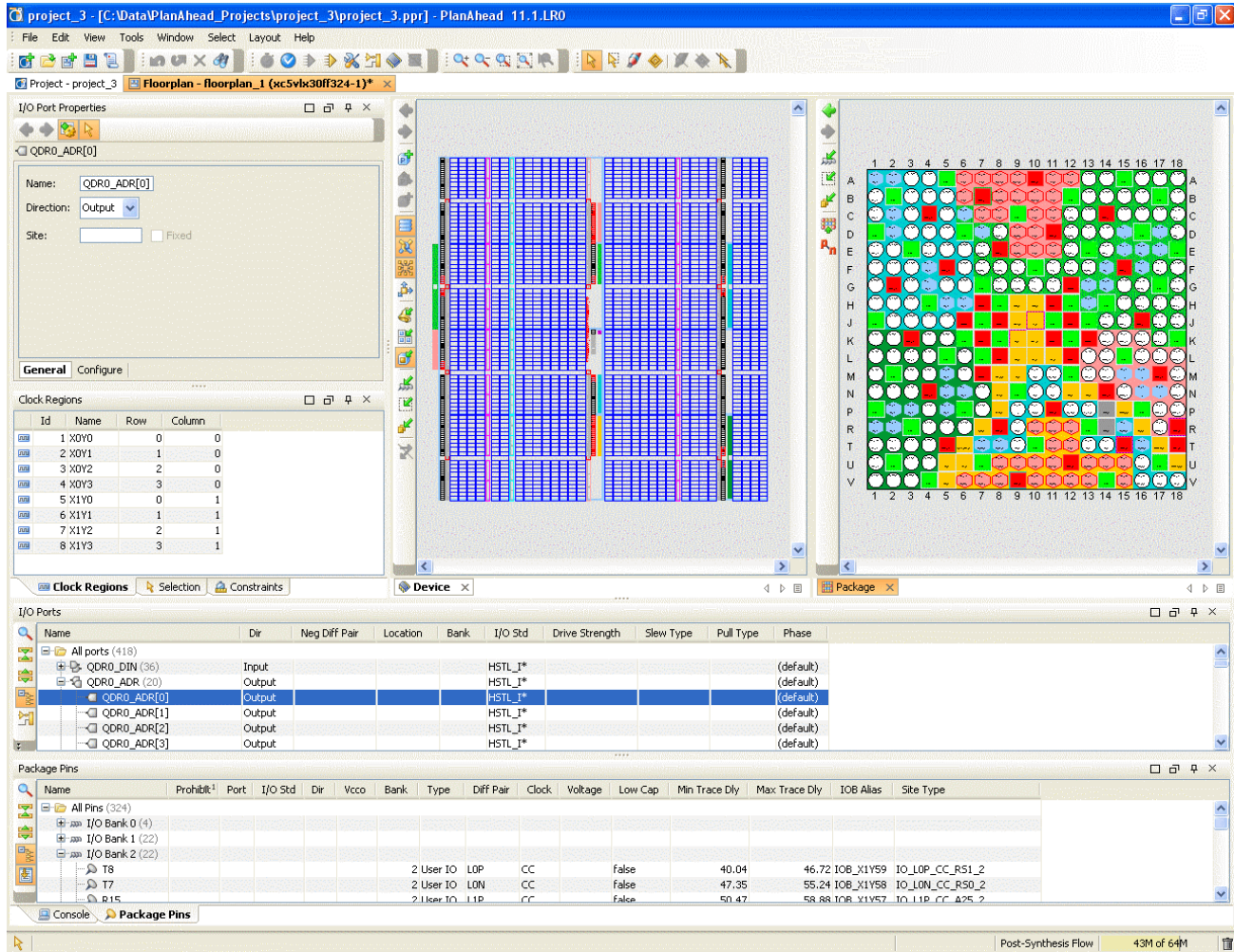


図 5-1 : PinAhead 環境

[Package Pins] ウィンドウに、ザイリンクスで提供されるデバイスのデータシートに含まれるデバイス パッケージの仕様が表示されます。[Package Pins] ウィンドウの表は I/O バンク別に分類されており、[Device] ウィンドウと [Package] ウィンドウの両方で、異なる I/O バンクのピンを選択してハイライト表示できます。デバイス上の物理的なピンのロケーションと I/O パッドのロケーションの関係がはっきりと表示されるため、最適な I/O バンクを簡単に選択できます。I/O バンクの各ピンの情報は、[Package Pins] ウィンドウに表示されます。詳細は、「[Package Pins] ウィンドウの使用」を参照してください。

[I/O Ports] ウィンドウには、デザインで定義されているすべての I/O 信号のポートが表示されます。バスはすべてグループ化され、バスのフォルダに表示されます。差動ペア信号とバスもグループ化されます。

信号とバスの両方またはどちらかのグループを選択して [Create I/O Port Interface] コマンドを実行すると、カスタムのインターフェイスを作成できます。既存のインターフェイスを変更するコマンドはほかにもあります。詳細は「[I/O ポート インターフェイスの作成](#)」を参照してください。

個別のピン、バス、またはインターフェイスは、[Device] ウィンドウまたは [Package] ウィンドウにドラッグすると、I/O ピンに割り当てられます。ピングループは、さまざまな配置コマンドを使用して、I/O ピンに割り当てることができます。このコマンドは、[Place I/O Ports in an I/O Bank]、[Place I/O Ports in Area]、および [Place I/O Ports Sequentially] コマンドです。それぞれのコマンドで、I/O ポートのピンへの割り当て方が異なります。配置されるポート数の情報は、ツール ヒントに表示されます。モードは、選択された I/O ポートを配置するか、Esc キーを押すまでアクティブです。詳細は、「[I/O ポートの配置](#)」を参照してください。

割り当て規則は割り当てが正しく実行されるように設定されており、差動ペアのポートは正しいピンのペアに割り当てられます。また、オンライン DRC も I/O 配置に活用できます。パッチの PlanAhead I/O 関連 DRC は改良されており、このような I/O の問題を発見できます。

[Tools] → [Autoplace I/O Ports] コマンドを実行すると、デバイス全体または選択されたデバイスの一部が自動的に配置されます。コマンドでは I/O バンク規則、差動ペアの規則、グローバル クロック ピンの規則が遵守され、最大限の I/O ポートが配置されます。また、インターフェイスも最大限にグループ化されます。

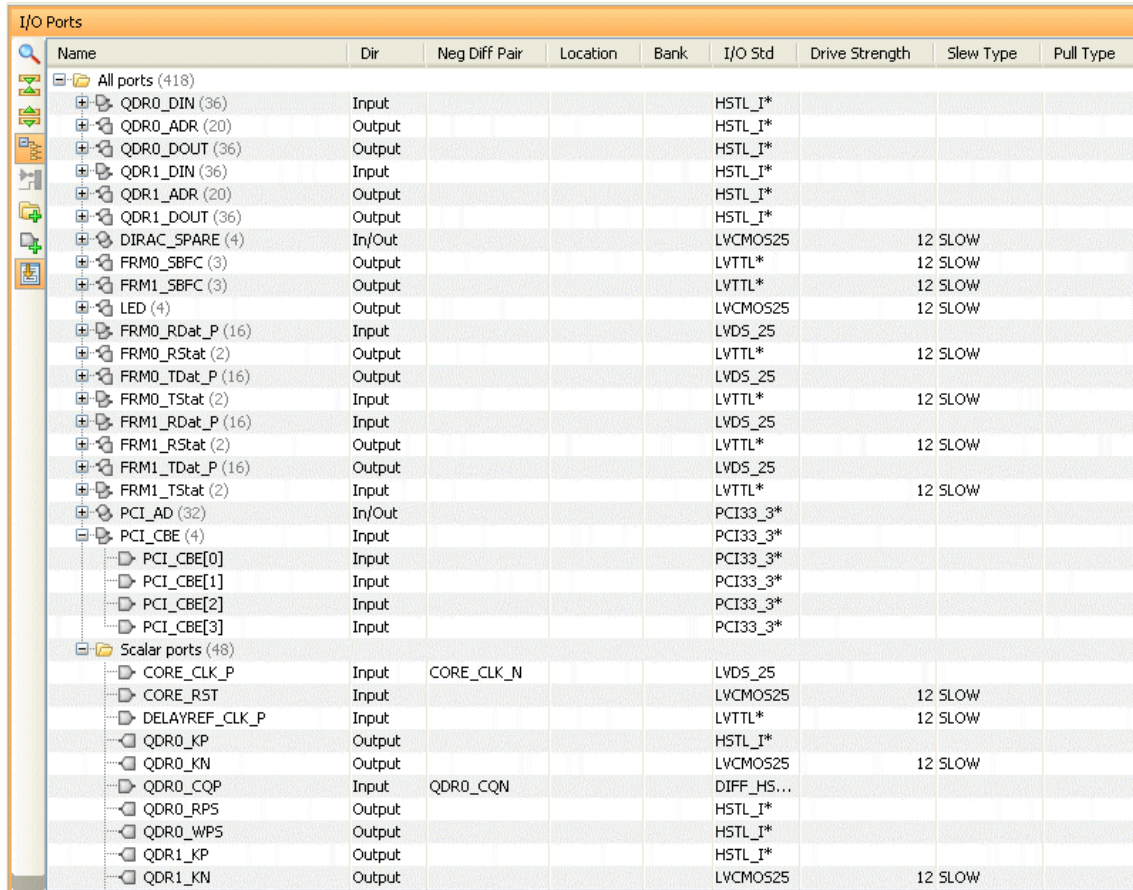
個別の I/O ピンまたは I/O バンクに PROHIBIT を設定すると、I/O が割り当てられません。

どのポートまたはインターフェイスも、[Configure I/O Ports] コマンドを使用して選択および設定できます。このコマンドでは、I/O 規格、駆動強度、およびスルー レートのタイプを設定できます。

PinAhead では、CSV 形式のファイルを出力して PCB 回路図シンボルの作成または HDL ポート リストで使用できます。

[I/O Ports] ウィンドウの使用

[I/O Ports] ウィンドウでは、デザインで定義されているすべての I/O 信号のポートが表示されます。これらのポートは、EDIF ネットリストまたは CSV形式の I/O ポート リストをインポートすることで PlanAhead 内で定義できます。このウィンドウを表示するには、[Window] → [I/O Ports] をクリックします。



Name	Dir	Neg Diff Pair	Location	Bank	I/O Std	Drive Strength	Slew Type	Pull Type
All ports (418)								
QDR0_DIN (36)	Input				HSTL_J*			
QDR0_ADR (20)	Output				HSTL_J*			
QDR0_DOUT (36)	Output				HSTL_J*			
QDR1_DIN (36)	Input				HSTL_J*			
QDR1_ADR (20)	Output				HSTL_J*			
QDR1_DOUT (36)	Output				HSTL_J*			
DIRAC_SPARE (4)	In/Out				LVCMOS25	12 SLOW		
FRM0_SBFC (3)	Output				LVTTTL*	12 SLOW		
FRM1_SBFC (3)	Output				LVTTTL*	12 SLOW		
LED (4)	Output				LVCMOS25	12 SLOW		
FRM0_RDat_P (16)	Input				LVDS_25			
FRM0_RStat (2)	Output				LVTTTL*	12 SLOW		
FRM0_TDat_P (16)	Output				LVDS_25			
FRM0_TStat (2)	Input				LVTTTL*	12 SLOW		
FRM1_RDat_P (16)	Input				LVDS_25			
FRM1_RStat (2)	Output				LVTTTL*	12 SLOW		
FRM1_TDat_P (16)	Output				LVDS_25			
FRM1_TStat (2)	Input				LVTTTL*	12 SLOW		
PCI_AD (32)	In/Out				PCI33_3*			
PCI_CBE (4)	Input				PCI33_3*			
PCI_CBE[0]	Input				PCI33_3*			
PCI_CBE[1]	Input				PCI33_3*			
PCI_CBE[2]	Input				PCI33_3*			
PCI_CBE[3]	Input				PCI33_3*			
Scalar ports (48)								
CORE_CLK_P	Input	CORE_CLK_N			LVDS_25			
CORE_RST	Input				LVCMOS25	12 SLOW		
DELAYREF_CLK_P	Input				LVTTTL*	12 SLOW		
QDR0_KP	Output				HSTL_J*			
QDR0_KN	Output				LVCMOS25	12 SLOW		
QDR0_CQP	Input	QDR0_CQN			DIFF_HS...			
QDR0_RPS	Output				HSTL_J*			
QDR0_WPS	Output				HSTL_J*			
QDR1_KP	Output				HSTL_J*			
QDR1_KN	Output				LVCMOS25	12 SLOW		

図 5-2 : I/O ポート インターフェイスを表示した [I/O Ports] ウィンドウ

このウィンドウは、[Group by Interface and Bus] ボタンをクリックすると、インターフェイスごとまたはアルファベット順にピンを並べ替えることができます。



図 5-3 : [Group by Interface and Bus] ボタン

ポートの信号名、方向、パッケージ ピン、I/O 規格、駆動電流、差動ペア、スルー タイプ、およびその他の信号情報が、各 I/O ポートに対して示されます。表の値はデフォルト値の場合は黒色、デフォルト値でない場合はアスタリスク (*) の付いた黒色、無効な値や未定義の値は赤色で表示されます。

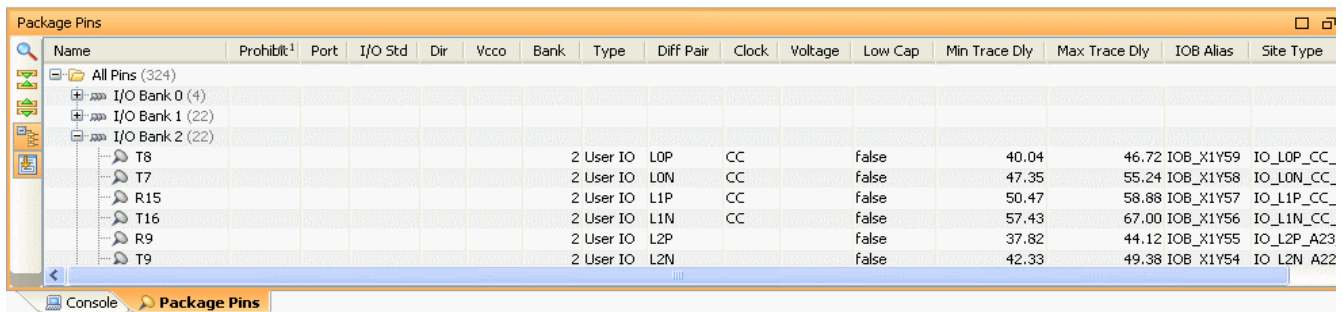
ポートを複数選択して、[Create I/O Port Interface] ポップアップ メニュー コマンドを使用すると、これらをインターフェイスにまとめることができます。これらのインターフェイスを選択し、PinAhead 環境内に 1 つのオブジェクトとして配置できます。

バスはフォルダとして表示され、各フォルダにはバス信号のグループが含まれます。

ポートおよびインターフェイスを [I/O Ports] ウィンドウから選択し、PinAhead 環境を使用して割り当てることができます。

[Package Pins] ウィンドウの使用

[Package Pins] ウィンドウでは、デバイスのパッケージ ピン情報が表示されます。デバイス ピンの情報が、表形式で表示されます。このウィンドウを表示するには、[Window] → [Package Pins] をクリックします。



Name	Prohibit ¹	Port	I/O Std	Dir	Vcco	Bank	Type	Diff Pair	Clock	Voltage	Low Cap	Min Trace Dly	Max Trace Dly	IOB Alias	Site Type
All Pins (324)															
I/O Bank 0 (4)															
I/O Bank 1 (22)															
I/O Bank 2 (22)															
T8						2	User IO	L0P	CC		false	40.04	46.72	IOB_X1Y59	IO_L0P_CC_
T7						2	User IO	L0N	CC		false	47.35	55.24	IOB_X1Y58	IO_L0N_CC_
R15						2	User IO	L1P	CC		false	50.47	58.88	IOB_X1Y57	IO_L1P_CC_
T16						2	User IO	L1N	CC		false	57.43	67.00	IOB_X1Y56	IO_L1N_CC_
R9						2	User IO	L2P			false	37.82	44.12	IOB_X1Y55	IO_L2P_A23
T9						2	User IO	L2N			false	42.33	49.38	IOB_X1Y54	IO_L2N_A22

図 5-4 : [Package Pins] ウィンドウ

このウィンドウでは [Group by IO Bank] ボタンをクリックし、I/O バンク別またはアルファベット順にピンを並べ替えて表示することができます。



図 5-5 : [Group by IO Bank] ボタン

I/O バンク番号、タイプ、差動ペア、サイト タイプ、最小/最大パッケージ遅延などのデバイス ピン情報は、パッケージ ピンごとにリストされます。表の値は、デフォルト値の場合はグレー色、デフォルト値以外の場合は黒色、不正な値の場合は赤色で表示されます。

メモ : [Package Pins] ウィンドウでの最小/最大パッケージ遅延の計測単位はピコ秒 (ps) です。

[Package Pins] ウィンドウに表示される情報は、列のヘッダをクリックすると並べ替えられます。列をもう一度クリックすると、逆の順番に並べ替えられます。最初に並べ替えた後で **Ctrl** キーを押して別の列ヘッダをクリックすると、次にその列で並べ替えられます。リストの表示順を整えるために、さまざまな並び替え条件を選択できます。

[Package] ウィンドウの使用

[Package] ウィンドウには、デザインで使用されるデバイスの物理特性が表示されます。さまざまな種類のピンが、さまざまな色と形を使用して表示されます。

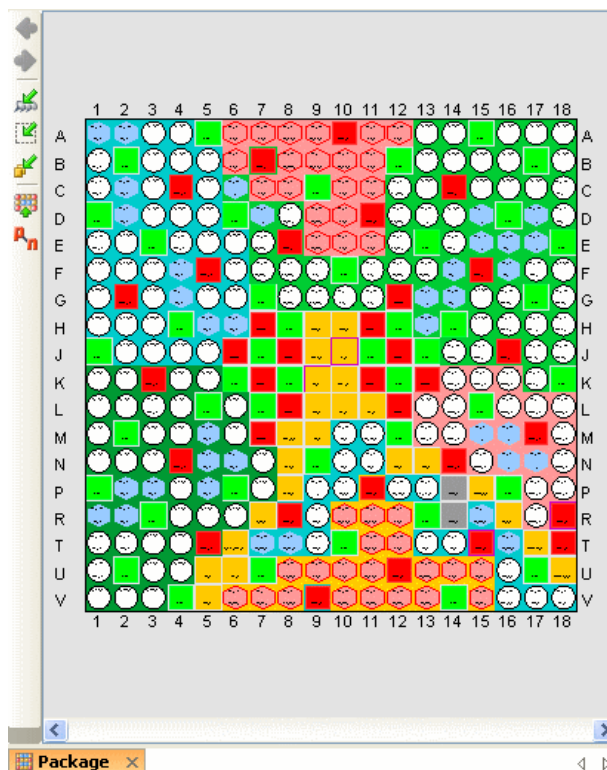


図 5-6 : [Package] タブ

このウィンドウは、ワークスペースの [Package] タブをクリックするか、[Window] → [New Package View] をクリックすると表示されます。[Package] ウィンドウは、複数同時に開くことができます。

カーソルを [Package] ウィンドウ上に置くと、ピン情報が表示されます。

ポートおよび I/O バッファのインスタンスは、このウィンドウにドラッグして割り当てることができます。また、このウィンドウ内のほかの I/O ピンに割り当て直すこともできます。

VCC ピンは赤色の正方形ピン、GND ピンは緑色の正方形ピンとして表示されます。クロック ピンは、ピンク色の六角形ピンとして表示されます。

ピン間の色が付いたエリアには、I/O バンクが表示されています。ピンまたはバンクは、クリックすると選択できます。I/O ピンまたはバンクを選択すると、[Device] ウィンドウでも同じバンクがハイライトされます。[Device] ウィンドウでピンまたは I/O バンクを選択しても [Package] ウィンドウでハイライトされます。

[Show Differential I/O pairs] ボタンをクリックすると、[Package] ウィンドウ内の差動ピン ペアを表示できます。



図 5-7 : [Show Differential I/O pairs] ボタン

[Package] ウィンドウでは、[Show Bottom/Top View] ボタンまたは [Show Bottom/Top View] ポップアップ メニューをクリックすると、パッケージの上面または下面の表示に切り替えることができます。



図 5-8 : [Show Bottom/Top View] ボタン

[Package] ウィンドウの左上端には、アイコンが数個あります。これらのコマンドは、[255 ページの「共通のポップアップ メニュー コマンドの使用」](#)で説明されています。

[Package] ウィンドウの印刷

[File] → [Print] をクリックすると、[Package] ウィンドウを印刷できます。表示されている部分のみが印刷されます。[Package] ウィンドウ全体を印刷するには、拡大率を変更して全体を表示してから印刷します。

[Device] ウィンドウの使用

I/O パッド、バンク、およびクロックに関連するリソースは、[Device] ウィンドウに表示されます。I/O リソースは PinAhead のどのウィンドウでも選択でき、物理的なパッケージ ピンと内部デバイス リソースの関連性が表示されます。詳細は、[第 8 章の「\[Device\] ウィンドウの使用」](#)を参照してください。

デバイス リソースの表示

パッケージ ピンのプロパティの表示

ピンまたは I/O バンクを [Package] ウィンドウで選択して、その詳細を [Properties] ウィンドウに表示できます。[Package] ウィンドウでオブジェクトを 1 つ選択し、その詳細を [Properties] ウィンドウで確認します。

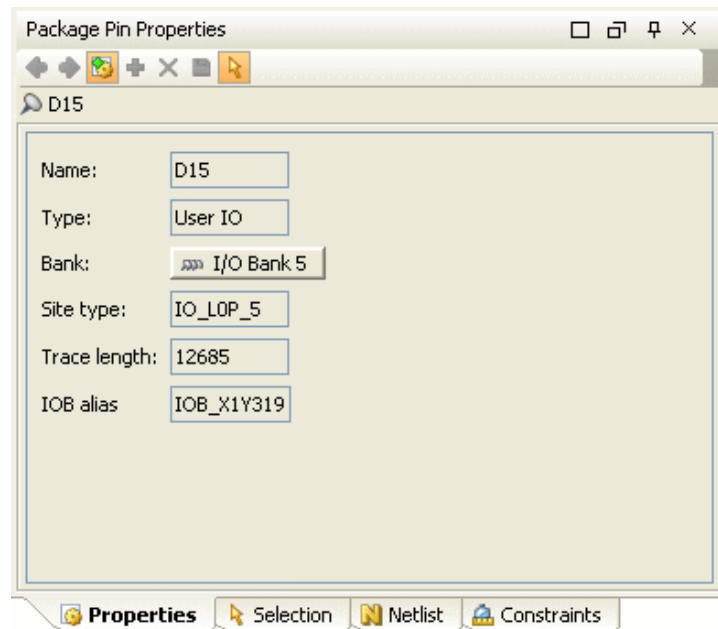


図 5-9 : パッケージ ピン プロパティ

I/O バンク リソースの表示

I/O リソースはどの PinAhead ウィンドウでも選択できます。選択したデータはほかのすべてのウィンドウでハイライト表示されるため、物理パッケージと内部チップの関係が容易に確認できます。さまざまなタイプのデバイスおよびデザイン情報が、適切なウィンドウに示されます。次に使用例を示します。

1. [Package Pins] ウィンドウで、I/O バンクをどれか 1 つクリックします。
2. [I/O Bank Properties] ウィンドウで [General] タブをクリックします。

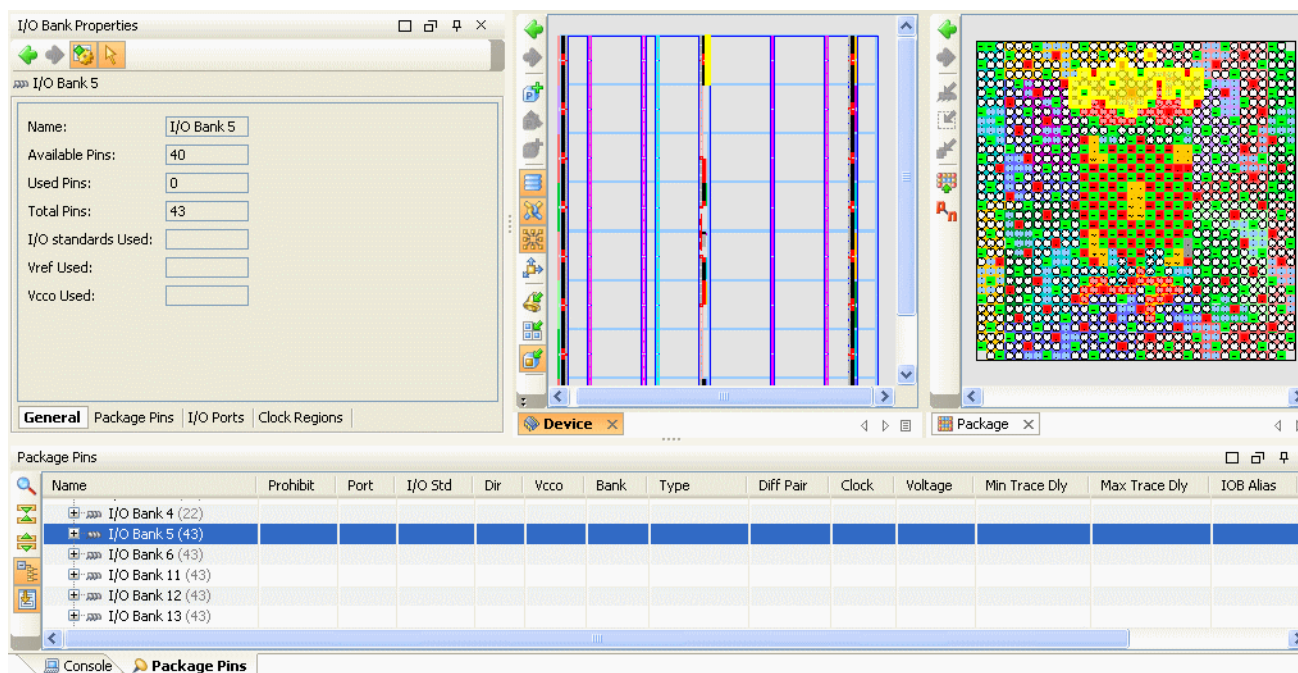


図 5-10 : I/O バンクのロケーションおよびリソースが表示されます。

クロック領域リソースの表示

クロック領域は、[Device] ウィンドウにグラフィック表示されます。デフォルトでは青の長方形で表示されますが、[Tools] → [Options] → [Themes] → [Device] をクリックして、表示されたダイアログボックスで色を変更できます。

[Clock Regions] ウィンドウでは、クロック領域を容易に選択できます。クロック領域を選択すると、関連した I/O バンクおよびリージョナル クロック リソースがハイライト表示されます。[Clock Region Properties] ウィンドウには、選択したクロック領域のリソースの統計およびロジックの内容が表示されます。

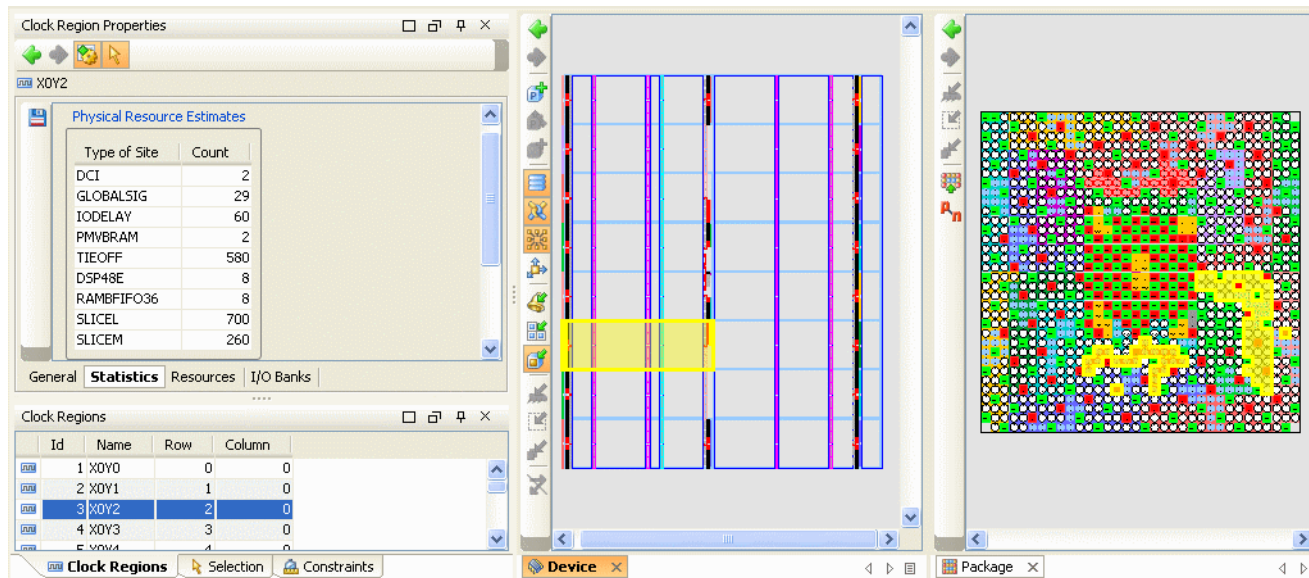


図 5-11：クロック領域リソースの表示

互換性のあるパーツの選択

PlanAhead では、代替パーツを選択し、有効な I/O ピン割り当てが定義され、選択したデバイスすべてに対しそれが有効であるよう確認できます。

1. [Package] ウィンドウで [Make Part Compatible] ポップアップ メニューをクリックします。
同じパッケージの使用可能な互換性のあるパーツのリストが表示されます。この機能は代替パーツがある場合にのみサポートされています。

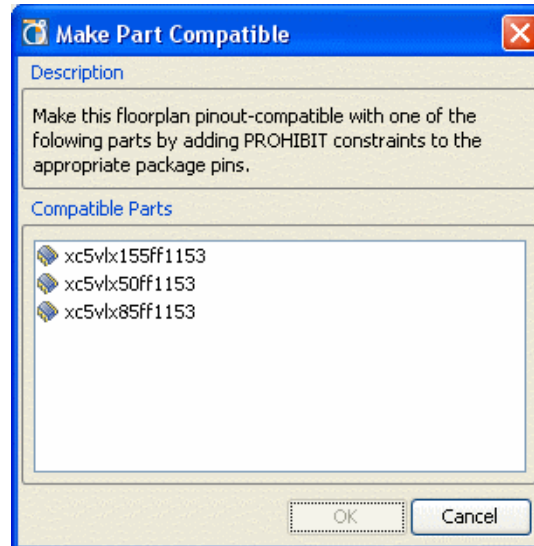


図 5-12 : 代替パーツの選択

2. 代替パーツは任意数選択できますが、多くのパーツを選択すると配置に使用可能なパッケージピンの数が減っていく場合があります。

PROHIBIT が選択された代替パーツのボンディングされていないピンに自動的に設定されます。使用禁止になっているパッケージ ピン数を示すダイアログ ボックスが表示されます。PROHIBIT の設定は選択された代替パーツによって異なります。

PROHIBIT は [Package]、[Package Pins]、[Device] ウィンドウでも表示できます。定義された代替パーツは [Part Compatible] タブにある [Floorplan Properties] でも表示・管理できます。

メモ：[Make Part Compatible] コマンドは現在 Virtex®-5 および Virtex-6 のパーツに対してのみサポートされています。

フロアプランで定義した代替パーツは、[Floorplan Properties] にある [Add Compatible Part] ボタンをクリックして表示・変更できます。

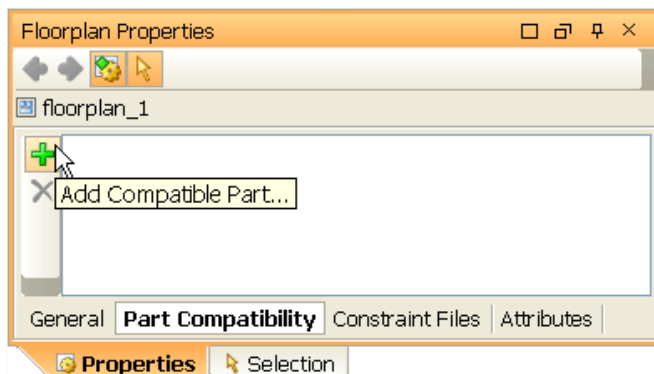


図 5-13 : [Add Compatible Part] ボタン

I/O ポートのインポート

PlanAhead では、I/O ピン配置を開始するため、UCF、CSV、または HDL ヘッダ フォーマットを空の PlanAhead プロジェクトへインポートできます。

RTL ベースまたは合成ネットリスト ベースのプロジェクト作成すると、[I/O Ports] ウィンドウに定義された I/O ポートが自動的にインポートされます。

CSV 形式のファイル

I/O ポートのリストを CSV ファイルからインポートするには、次の手順に従います。

1. フロアプランを選択します。
2. [File] → [Import I/O Ports] → [From CSV] をクリックします。
3. インポートする CSV ファイルを選択します。

CSV ファイルの内容は、図 5-14 に示すとおりです。ファイルには最低限 [Signal Name] 列が含まれている必要があります。

	A	B	C	D	E	F	G	H	I	J	K	L	M	N	O
1	Top: top Floorplan: floorplan_1 Part: xc5vsx35ff665-1														
2	Generated by: brianj on: Fri Feb 06 17:28:39 2009														
3	Build: PlanAhead v11.1.LR0 by: ECloudInternalUser4 on: Thu Feb 5 20:04:57 PST 2009														
4															
5	IO Bank	Pin Number	IOB Alias	Site Type	Min Trace	Max Trace	Prohibit	Interface	Signal Name	Direction	DiffPair Type	DiffPair Sign.	IO Standard	Drive (mA)	Slew Rate
6		P2	OPAD_X0Y5	MGTTXP0_114	34878	40691			TXP_OUT[4]	OUT	P	TXN_OUT[4]	LVDS_25		
7		W2	OPAD_X0Y7	MGTTXP1_114	41406	48307			TXP_OUT[5]	OUT	P	TXN_OUT[5]	LVDS_25		
8		B2	OPAD_X0Y13	MGTTXP0_116	63540	74130			TXP_OUT[6]	OUT	P	TXN_OUT[6]	LVDS_25		
9		G2	OPAD_X0Y15	MGTTXP1_116	55620	64890			TXP_OUT[7]	OUT	P	TXN_OUT[7]	LVDS_25		
10	17	AD16	IOB_X0Y8	IO_L15N_17	80604	94038			DataOut_USB	OUT			LVC MOS25		
11	17	AE15	IOB_X0Y6	IO_L16N_17	89010	103845			DataOut_USB	OUT			LVC MOS25		
12	17	AC21	IOB_X0Y17	IO_L11P_CC_17	47370	55265			DataOut_USB	OUT			LVC MOS25		
13	17	AE16	IOB_X0Y9	IO_L15P_17	78702	91819			DataOut_USB	OUT			LVC MOS25		
14	17	AE21	IOB_X0Y22	IO_L8N_CC_17	63150	73675			DataOut_USB	OUT			LVC MOS25		
15	17	AD20	IOB_X0Y18	IO_L10N_CC_17	62046	72387			DataOut_USB	OUT			LVC MOS25		
16	17	AC23	IOB_X0Y26	IO_L6N_17	58710	68495			DataOut_USB	OUT			LVC MOS25		
17	17	AF17	IOB_X0Y10	IO_L14N_VREF_17	80994	94493			DataOut_USB	OUT			LVC MOS25		

図 5-14 : CSV 形式の I/O ポート リスト

CSV の列

CSV は、FPGA やボード設計にあたり、デバイス ピンおよびピン配置のデータを交換するときに使われる標準ファイル形式です。

- **[IO Bank]** : ピンが配置される I/O バンク。デバイスのすべてのピンに対しこのフィールドにデータがソフトウェアで自動入力されます。値は数値または空白です。入力 CSV ファイルでは必須のフィールドではありません。
- **[Pin Number]** : パッケージ ピンの名前またはロケーション。デバイスのすべてのピンに対しこのフィールドにデータがソフトウェアで自動入力されます。入力ファイルで必須のフィールドではありません。配置定義に使用されます。値はデバイスの有効なピンです。
- **[IOB Alias]** : パッケージ ピンの代替パーツ名。このフィールドはソフトウェアで指定され、入力 CSV ファイルで指定されていない場合は使用されません。
- **[Site Type]** : デバイス データシートからのピン名。このフィールドはソフトウェアで指定され、入力 CSV ファイルで指定されていない場合は使用されません。
- **[Min/Max Trace Delay]** : デバイスのパッド サイトとパッケージのボールの間の距離で、単位はピコ秒 (ps) です。このフィールドはソフトウェアで入力され、ボード設計時にトレース遅延を一致させるために使用します。トレース遅延のフィールドは出力ファイルのみで、入力ファイルには含まれません。
- **[Prohibit]** : ユーザー I/O がサイトに追加されないよう、さまざまな理由でサイトは使用禁止されます。PROHIBIT を設定することで、ボード レイアウト問題の抑制、信号間クロストークの低減、同じパッケージの複数の FPGA 間でピン配置が有効であるかどうかの確認に役立ちます。UCF ファイルでは、これは CONFIG PROHIBIT 制約として記述されています。値は TRUE または空白です。[Pin Number] が空白の場合、このフィールドも空白である必要があります。
- **[Interface]** : ユーザー I/O のセットをユーザーが指定してグループ化します。たとえば、このフィールドは、メモリ インターフェイスのデータ、アドレス、およびイネーブル信号の関係を指定するのに使用できます。値は文字列または空白です。このフィールドはオプションです。
- **[Signal Name]** : FPGA デザインのユーザー I/O 名。値は文字列、または割り当てられていないパッケージ ピンの場合は空白です。
- **[Direction]** : 信号の方向。値は IN、OUT、INOUT、またはユーザー I/O がサイトに割り当てられていない場合は空白です。
- **[DiffPair Type]** : 差動ペアのピンが N 側、P 側のどちらにあるかが記述されます。これは差動信号に対してのみ使用されます。ソフトウェアは、ピン名ではなく、この列を使用してどのピンが N 側か P 側かを判断します。値は P、N、またはユーザー I/O がサイトに割り当てられていない場合は空白です。
- **[DiffPair Signal]** : 差動ペアのもう 1 つのピン名を指定するのに使用します。値はユーザー I/O 名、または未使用の場合は空白です。
- **[IO Standard]** : 特定ユーザー I/O の I/O 規格。このフィールドがユーザー I/O に対し空白の場合、該当するデフォルト値が使用されます。値は有効な I/O 規格、または空白です。
- **[Drive]** : 特定ユーザー I/O の I/O 規格の駆動強度。すべての I/O 規格が駆動強度を必要とするわけではありません。このフィールドが空白の場合、デフォルト値が使用されます。値は数値または空白です。
- **[Slew Rate]** : 特定ユーザー I/O の I/O 規格のスルー レート。すべての I/O 規格がスルー レートを必要とするわけではありません。このフィールドが空白の場合、デフォルト値が使用されます。値は FAST および SLOW です。
- **[Phase]** : 同期位相オフセットの場合に、バンク内のほかの I/O の位相に関連した I/O の位相を指定します。

またほかの情報を追加することもできます。ユーザー定義の値が入力されているフィールドはユーザー定義列に自動追加されます。ユーザーはパッケージ ピンの表に列を追加できます。

CSV でのユーザー定義 I/O ポート プロパティの使用

PlanAhead には I/O ピン関連データをインポートするための規定フォーマットがあります。通常 CSV ファイルが使用されます。インポートされた CSV ファイルにデータを含んだ追加列がある場合、PlanAhead で [Package Pins] ウィンドウに新しい列が作成され、値を表示・変更できます。[Set User Column Values] ポップアップ メニュー コマンドを使用し、カスタム CSV フィールドで値を変更または定義します。[File] → [Export I/Os] → [CSV] をクリックすると、列と新しい値が保存され CSV ファイルにエクスポートされます。

HDL 形式のファイル

PlanAhead では、HDL 形式のヘッダをインポートして、[I/O Ports] ウィンドウに表示できます。HDL ファイルから I/O ポートの定義をインポートするには、[File] → [Import I/O Ports] → [From HDL] をクリックします。ウィザードで VHDL および Verilog のいずれかまたは両方を指定し、最上位モジュール名と、HDL ファイルおよびライブラリの検索パスを指定して、HDL ファイルからの I/O ポートのインポートを実行します。

UCF フォーマット ファイル

PlanAhead では、UCF 形式のファイルをインポートして、[I/O Ports] ウィンドウに表示できます。HDL ファイルから I/O ポートの定義をインポートするには、[File] → [Import I/O Ports] → [From UCF] をクリックします。

UCF ではポートの方向が定義されていないので、[Direction] フィールドは「undefined」と表示されます。[I/O Ports] ウィンドウの [Set Direction] ポップアップ メニュー コマンドを実行し、I/O ポートの方向を定義します。詳細は、[「I/O ポート方向の設定」](#)を参照してください。

I/O ポートの定義および設定

PlanAhead では I/O ポートを作成および設定できます。空のプロジェクトを作成し、I/O ポートのリストを容易に生成できます。

I/O ポートの作成

I/O ポートを作成するには、次の手順に従います。

1. [I/O Ports] ウィンドウのポップアップ メニューで、[Create I/O Ports] をクリックします。

[Create I/O Ports] ダイアログ ボックスが表示されます。

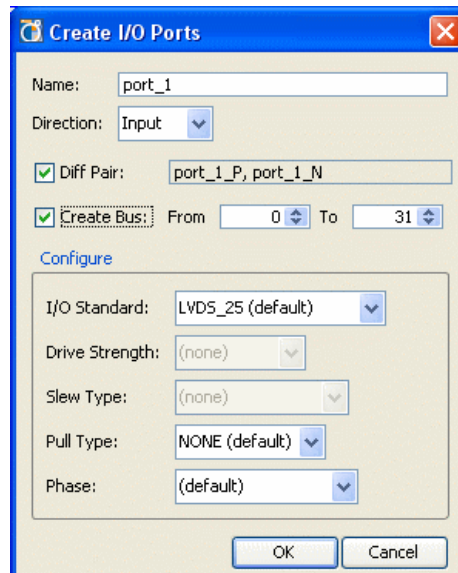


図 5-15 :

2. オプションを確認し、必要があれば編集します。
 - ◆ [Name] : 作成するポートまたはバスの名前を指定します。
 - ◆ [Direction] : ポートの方向を選択します。
 - ◆ [Diff Pair] : 信号またはバスに差動ペアを定義する場合はオンにします。
 - ◆ [Create Bus] : バスを作成する場合はオンにし、バス範囲を指定します。
 - ◆ [Configure]
 - [I/O Standard] : I/O 規格を選択します。
 - [Drive Strength] : 駆動電流の値を選択します。
 - [Slew Type] : スルー レートを選択します。
 - [Pull Type] : 抵抗のタイプを選択します。
 - [Phase] : 位相グループまたは既存の位相グループを入力します。位相グループは SSN 計算で使用されているポートの論理グループで、このポート グループで同じ周波数と位相が共有されていることを示します。詳細は [161 ページの「I/O ポート スイッチ位相グループの定義」](#) を参照してください。

デバイスの電圧の情報については、ザイリンクスのデバイスのマニュアルを参照してください。

I/O ポートの設定

ポートまたはポートのグループを設定するには、次の手順に従います。

1. [I/O Ports] ウィンドウで、ポートを選択します。
2. ポップアップ メニューで [Configure I/O Ports] をクリックします。

[Configure Ports] ダイアログ ボックスが表示されます。

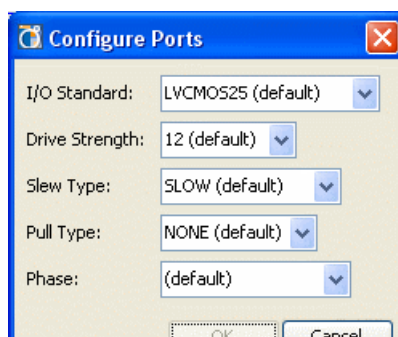


図 5-16 : [Configure Ports] ダイアログ ボックス

3. 編集可能なオプションを確認し、必要があれば編集します。

- ◆ [I/O Standard] : I/O 規格を選択します。
- ◆ [Drive Strength] : 駆動電流の値を選択します。
- ◆ [Slew Type] : スルー レートを選択します。
- ◆ [Pull Type] : 抵抗のタイプを選択します。
- ◆ [Phase] : 位相グループまたは既存の位相グループを入力します。位相グループは SSN 計算で使用されているポートの論理グループで、このポート グループで同じ周波数と位相が共有されていることを示します。詳細は「[I/O ポート スイッチ位相グループの定義](#)」を参照してください。

デバイスの電圧の情報については、ザイリンクスのデバイスのマニュアルを参照してください。

I/O ポート方向の設定

設定する必要がある I/O ポート、バス、またはインターフェイスを選択し、[I/O Ports] ウィンドウの [Set Direction] ポップアップ メニュー コマンドをクリックします。

差動ペアの定義

差動ピン ペアを定義するには任意の 2 つの I/O ポートを選択し、[I/O Ports] ウィンドウの [Make Diff Pair] ポップアップ メニュー コマンドをクリックします。

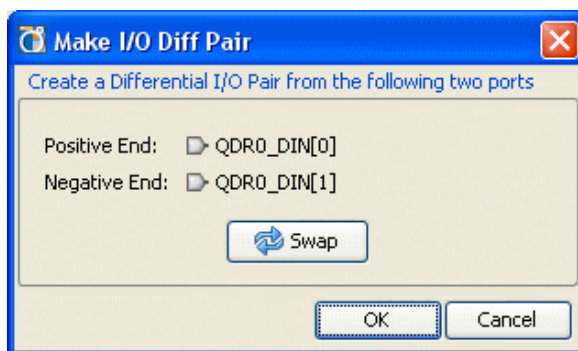


図 5-17 : [Make I/O Diff Pair] ダイアログ ボックス

2 つの I/O ポートが、正側と負側にそれぞれ指定されてダイアログ ボックスに表示されます。
[Swap] ボタンをクリックすると、正と負を入れ替えることができます。

[Split Diff Pair] ポップアップ メニュー コマンドをクリックすると、差動ペア定義を削除できます。

I/O ピンおよび I/O バンクの使用禁止

PinAhead では、I/O ピン、I/O ピンのグループ、または I/O バンクの使用を個別に禁止できます。ピンは、[Package Pins] ウィンドウまたは [Package] ウィンドウで選択して使用禁止に設定できます。

I/O ピンまたは I/O バンクを使用禁止にするには、次の手順に従います。

1. [Package Pins] ウィンドウまたは [Package] ウィンドウで、I/O ピンまたは I/O バンクを選択します。
2. ポップアップ メニューで [Set Prohibit] をクリックします。

[Package] ウィンドウで、赤い X マークが使用禁止になったピンに表示され、[Package Pins] ウィンドウの [Prohibit] 列にはチェックマークが表示されます。

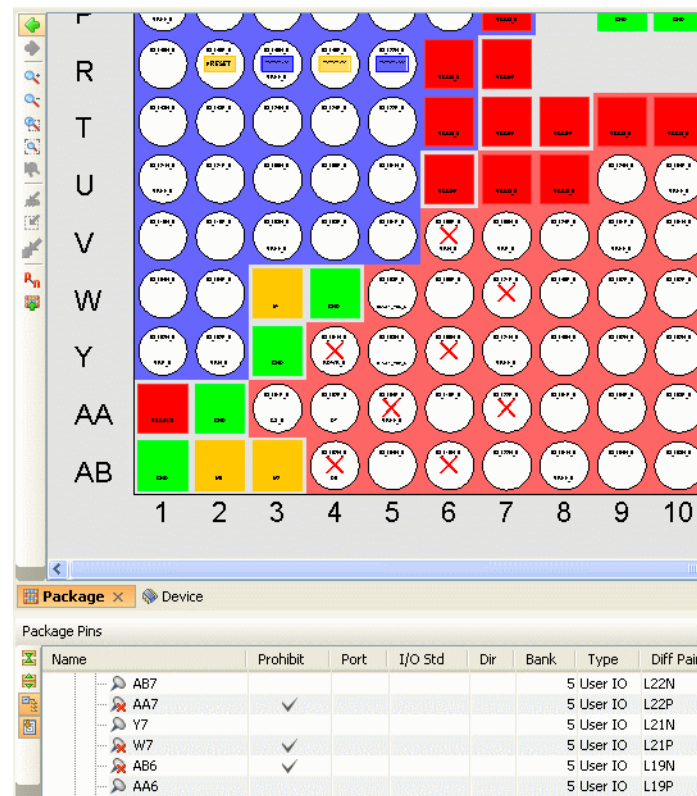


図 5-18 : 使用禁止のパッケージ ピン

I/O ポート インターフェイスの作成

複数のポートまたはバスはインターフェイスを作成しグループ化できます。インターフェイス ポートがすべて 1 つのグループにまとめられるため、ピンの割り当てに役立ちます。ピンをすべて同時に割り当てると、クロック領域または PCB 配線関連のインターフェイスをまとめたり隔離しやすくなります。特定のロジック インターフェイスに関連付けられた信号すべての表示および管理も容易になります。

インターフェイスを作成するには、次の手順に従います。

1. [I/O Ports] ウィンドウで、信号を選択します。

2. ポップアップ メニューで [Create I/O Port Interface] をクリックします。

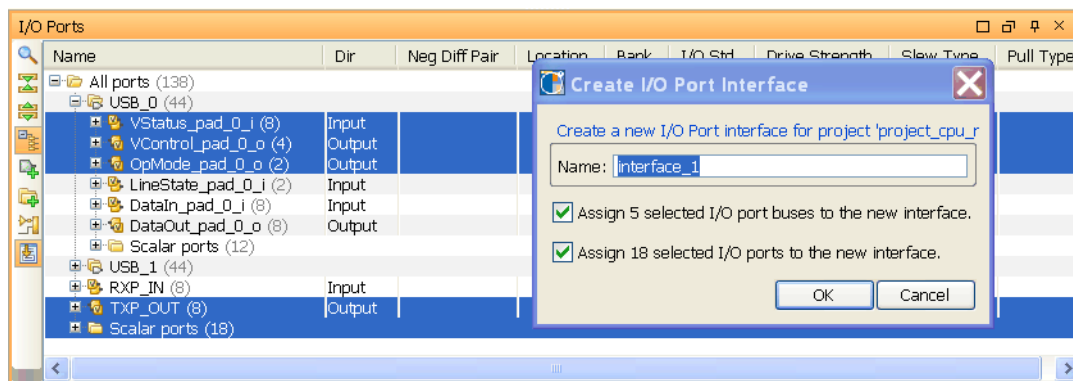


図 5-19 : [Create I/O Ports Interface] ダイアログ ボックス

3. インターフェイス名を指定し、選択されたバス数およびポート数を確認します。
4. [OK] をクリックします。

インターフェイスが展開可能なフォルダとして [I/O Ports] ウィンドウに表示されます。[I/O Ports] ウィンドウで I/O ポートを選択して、インターフェイス フォルダにドラッグすると、I/O ポートを新しく追加できます。

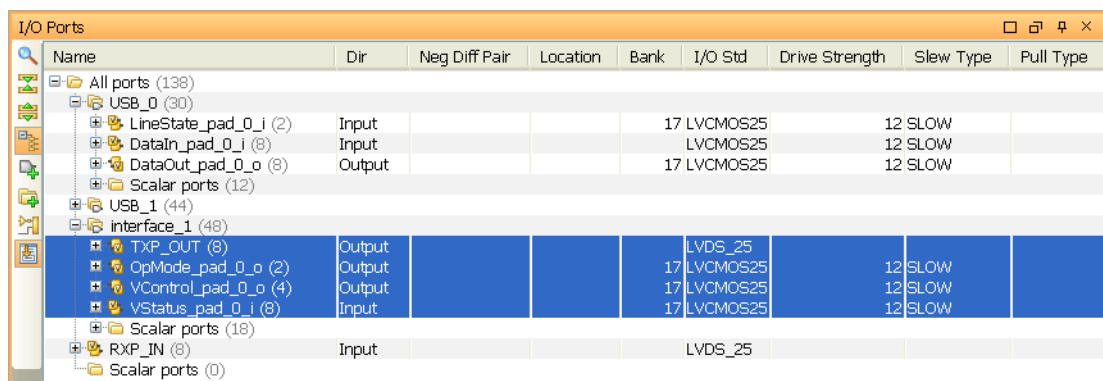


図 5-20 : I/O ポート インターフェイスの管理

追加 I/O ポートをインターフェイスに追加するには、次の手順に従います。

1. ポートまたはバスを選択します。
2. ポップアップ メニューで [Assign to Interface] をクリックします。
3. I/O ポートを追加するインターフェイスを選択します。

I/O ポートおよびインターフェイスを削除するには、次の手順に従います。

1. ポートまたはインターフェイスを選択します。
2. ポップアップ メニューで [Unassign from Interface] をクリックします。

インターフェイスを削除するには、削除するインターフェイスを選択し、ポップアップ メニューで [Delete] をクリックするか、Delete キーを押します。

I/O ポートの配置

PinAhead では、さまざまな方法で I/O ポートをパッケージ ピンに割り当てることができます。個別の I/O ポート、I/O ポートのグループ、またはインターフェイスを [I/O Ports] ウィンドウで選択し、[Package] ウィンドウでパッケージ ピンに、または [Device] ウィンドウで I/O パッドに、図で確認しながら割り当てられます。インタラクティブな配置の実行中は、オンライン DRC のオン/オフを切り替えることができます。

I/O ポートの割り当てには、次の 3 つの配置コマンドを使用します。詳細は、次に説明します。

- [Place I/O Ports in an I/O Bank] コマンド
- [Place I/O Ports in Area] コマンド
- [Place I/O Ports Sequentially] コマンド

自動 I/O ポート割り当ての詳細は、[143 ページの「I/O ポートの配置」](#)を参照してください。

インタラクティブなデザイン ルール チェックの使用

PlanAhead は最終的なピン割り当てを行うツールではありませんが、ピン配置が有効であることを確認します。インタラクティブ I/O 配置ルーチンは多くの共通エラーをチェックします。この機能は、[Tools] → [Options] → [General] で表示されるダイアログ ボックスの [I/O Placement] で、オン/オフを切り替えられます。オンにすると、問題を引き起こすピンに I/O ポートを配置できなくなります。I/O ポートを順次に割り当てする場合、問題のあるピンに I/O ポートを配置しようとする、I/O ポートを配置できない理由がツールに表示されます。オンライン DRC はデフォルトではオンになっています。チェックの多くは最終デザインを表すネットリストが読み込まれている場合にのみ実行されます。

インタラクティブな I/O 配置ルールには、次のものが含まれます。

- ギガビット トランシーバ (GT) に関連する、ノイズの影響を受けやすいピンへの配置の禁止。現在、ノイズの影響を受けやすい I/O パッケージ ピンがすべて禁止されています。
- I/O 規格に違反する配置の禁止。
- バンクでサポートされていない I/O 規格が使用されないように確認。
- バンクに互換性のない VCC ポートが割り当てられていないことを確認。
- VREF ポートが必要なバンクに使用可能な VREF ピンあることを確認。
- グローバル クロックおよびリージョナル クロックが適切に割り当てられていること (EDIF /NGC ネットリストおよび UCF がインポートされている場合のみ) を確認。
- 入力および High 駆動の出力が適切なピンにのみ送信されることを確認 (Spartan®-3 デバイスの場合)。
- 差動 I/O ポートが正しい極性ピンに割り当てられていることを確認。
- 出力ピンが入力のみピンに配置されていないことを確認。

I/O ポートの I/O バンクへの配置

I/O ポートを I/O バンクに配置するには、次の手順に従います。

1. [I/O Ports] ウィンドウで、個別の I/O ポート、I/O ポートのグループ、またはインターフェイスを選択します。
2. 次の方法のいずれかを選択します。

- ◆ [I/O Ports] ウィンドウのポップアップ メニューで、[Place I/O Ports in an I/O Bank] をクリックします。
- ◆ [Package] ウィンドウまたは [Device] ウィンドウで、[Place I/O Ports in an I/O Bank] ボタンをクリックします。



図 5-21 : [Place I/O Ports in an I/O Bank] ボタン

カーソルをパッケージ ピンまたは I/O パッド上に移動すると、I/O ポートのグループがカーソルと共に移動します。ツール ヒントには、カーソルを移動した I/O に配置されるピンの数が表示されます。

3. ピンまたはパッドをクリックすると、選択された I/O ポートが割り当てられます。

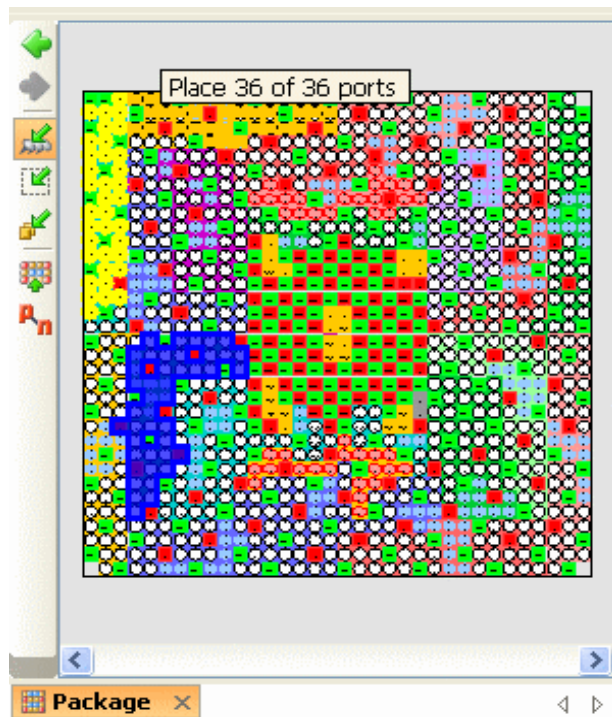


図 5-22 : I/O ポートの I/O バンクへの配置

4. 選択した I/O ポートすべてを配置できない場合はコマンドが継続し、次に選択した I/O バンクに残りの I/O ポートが配置されます。I/O ポートがすべて配置されるか、Esc キーを押すまでコマンドが継続します。

ポートは、[I/O Ports] ウィンドウに表示されている順序で割り当てられます。割り当ての前に [I/O Ports] ウィンドウで並べ替えをすると、並べ替えられた順序で割り当てられます。また、I/O バンクの割り当てで最初に選択したピンから順に割り当てられます。I/O バンクの端にあるピンを選択すると、バスが I/O バンク全体に割り当てられます。

バスに関連する PCB 配線も考慮されます。ピンは、割り当て領域内でバス ビットのベクタが保持されるような順序で割り当てられます。割り当てパターンをバス配線関連に対応するようにカスタマイズできます。

I/O ポートの定義された領域への配置

I/O ポートを定義された領域に配置するには、次の手順に従います。

1. [I/O Ports] ウィンドウで、個別の I/O ポート、I/O ポートのグループ、またはインターフェイスを選択します。
2. 次の方法のいずれかを選択します。
 - ◆ [I/O Ports] ウィンドウのポップアップメニューで、[Place I/O Ports in Area] をクリックします。
 - ◆ [Package] ウィンドウまたは [Device] ウィンドウで、[Place I/O Ports in Area] ボタンをクリックします。



図 5-23 : [Place I/O Ports in Area] ボタン

カーソルが十字型に変化し、ポートの配置場所の長方形を定義できるようになります。

3. [Package] ウィンドウまたは [Device] ウィンドウに長方形を描画し、割り当て領域を定義します。

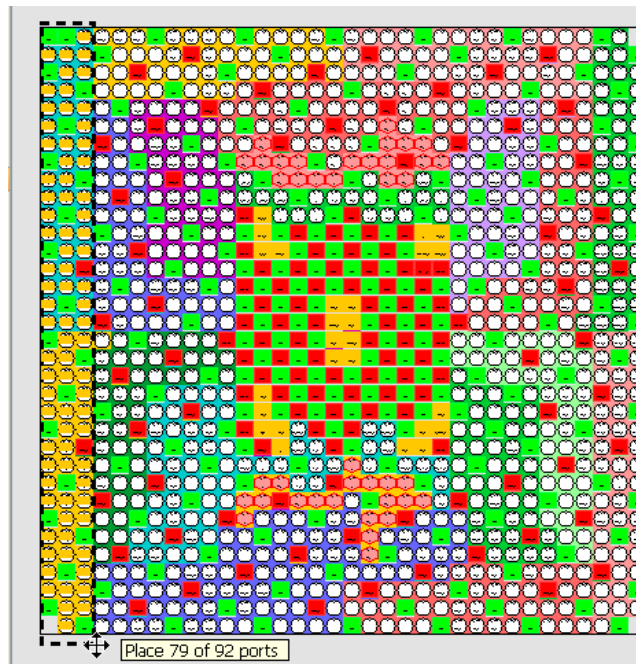


図 5-24 : I/O ポートの領域への配置

4. 選択した I/O ポートすべてが定義した領域に収まらない場合は、コマンドは継続します。カーソルは十字型のままで、残りの I/O ポートがすべて配置されるまで、長方形を続けて描画できます。Esc キーを押すと、I/O ポートを配置し終わる前にコマンドが終了します。

ポートは、[I/O Ports] ウィンドウに表示されている順序で割り当てられます。割り当ての前に [I/O Ports] ウィンドウで並べ替えをすると、並べ替えられた順序で割り当てられます。

また、長方形の描画方向によって割り当て順序が変わります。I/O ポートは最初に選択された長方形の座標の内側のピンから順に割り当てられます。領域の長方形定義の情報を使用すると、PCB 配線の観点で見たピン配置設定に役立ちます。

I/O ポートの順次配置

I/O ポートを順次に配置するには、次の手順に従います。

1. [I/O Ports] ウィンドウで、個別の I/O ポート、I/O ポートのグループ、またはインターフェイスを選択します。
2. 次の方法のいずれかを選択します。
 - ◆ [I/O Ports] ウィンドウのポップアップ メニューで、[Place I/O Ports Sequentially] をクリックします。
 - ◆ [Package] ウィンドウまたは [Device] ウィンドウで、[Place I/O Ports Sequentially] ボタンをクリックします。



図 5-25 : [Place I/O Ports Sequentially] ボタン

カーソルをパッケージ ピンまたは I/O パッド上に移動すると、グループの最初の I/O ポートがカーソルと共に移動します。ツール ヒントには、I/O ポート名およびパッケージ ピン名が表示されます。

3. ピンまたはパッドをクリックすると、I/O ポートが割り当てられます。

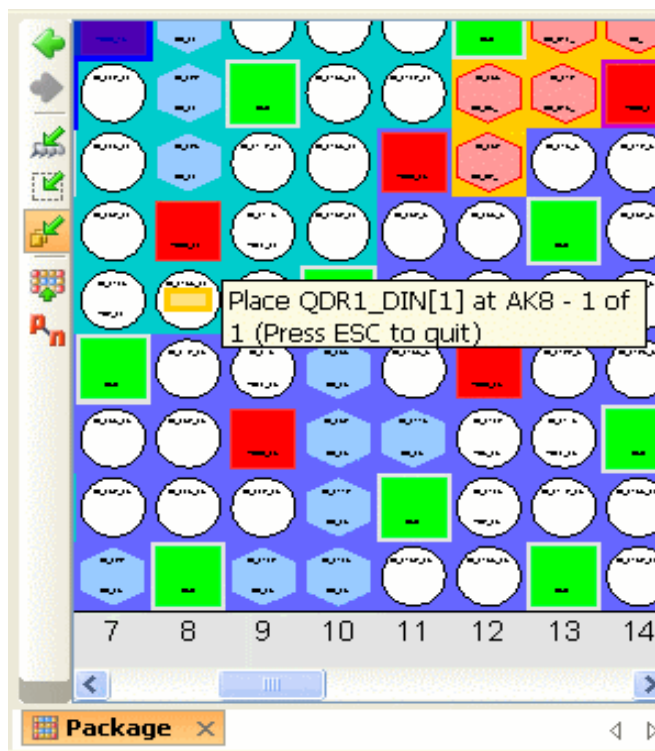


図 5-26 : I/O ポートの順次配置

4. 配置されなかった I/O ポートがあると、コマンドは継続して実行されます。I/O ポートがすべて割り当てられるまでこの操作を継続するか、または Esc キーを押します。

ポートは、[I/O Ports] ウィンドウに表示されている順序で割り当てられます。割り当ての前に [I/O Ports] ウィンドウで並べ替えをすると、並べ替えられた順序で割り当てられます。

I/O ポートの自動割り当て

PinAhead には、I/O ポートのすべてまたは一部をパッケージピンに自動的に割り当てる機能があります。自動配置ではすべての I/O 規格および差動ペアの規則が遵守され、グローバル クロック ピンが正しく配置されます。

割り当てられていない I/O ポートのサブセットに I/O ポートを自動的に割り当てるには、次の手順に従います。

1. [I/O Ports] ウィンドウで、割り当てられていない I/O ポートを選択します。
2. [Tools] → [Autoplace I/O Ports] または [I/O Ports] ウィンドウのポップアップ メニューで [Autoplace I/O Ports] をクリックします。

Autoplace I/O Ports ウィザードが表示されます。

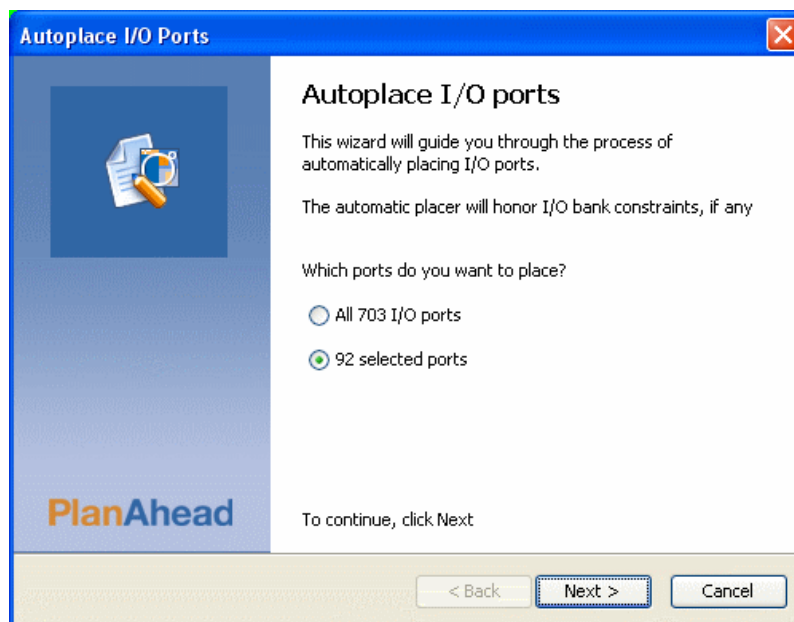


図 5-27 : Autoplace I/O Ports ウィザード

3. 配置する I/O ポートのグループを選択し、[Next] をクリックします。

既にパッケージ ピンに割り当てられている I/O ポートを選択すると、次のページが表示されます。

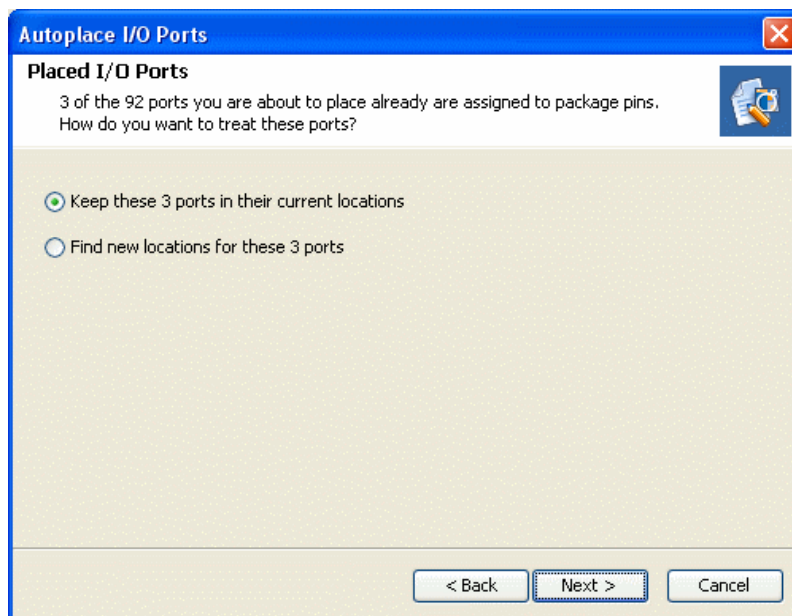


図 5-28 : Autoplace I/O Ports ウィザード

4. 配置する I/O ポートを選択し、[Next] をクリックします。
5. サマリ ページで [Finish] をクリックすると、選択された I/O ポートが配置されます。

ギガビット トランシーバ I/O ポートの配置

ギガビット トランシーバ (GT) をよりうまく管理するため、PinAhead では、選択、配置、移動の実行時に、I/O 差動ペアと GT ロジック オブジェクトが自動的にグループ化されます。複数の GT オブジェクトは 1 つのオブジェクトとして選択され、GT リソースに無効に割り当てられないよう、まとめて移動できます。

インタラクティブ DRC がオンの場合、ポート配置中に、GT の周囲のノイズの影響を受けやすい I/O ピンが自動的に配置禁止になります。詳細は、「[インタラクティブなデザイン ルール チェックの使用](#)」を参照してください。

I/O 関連のクロック ロジックの配置

BUFG、DCM、BUFR、DelayCtrls などの、グローバルおよびリージョナル クロック関連のロジックは、[Device] ウィンドウで手動で配置できます。デバイス特有のリソースすべてに対する適切なロジック サイトが表示されます。[Edit] → [Find] コマンドを使用すると、[Device] ウィンドウで利用できるサイト タイプを検索できます。検索結果を [Find Results] ウィンドウでクリックすると、そのサイトがハイライト表示されます。

PlanAhead では、[Find] コマンド、[Schematic] ウィンドウ、[Netlist] ウィンドウなど、さまざまな方法で、デザイン クロック関連のロジックを選択できます。

クロック ロジックを手動で配置するには、次の手順に従います。

1. [Device] ウィンドウを拡大表示し、ロジックを配置するデバイス サイトを表示します。

2. [Create Site Constraint Mode] ツールバー ボタンをオンにします。
3. 配置するロジックを [Find Results]、[Schematic]、または [Netlist] ウィンドウでクリックし、[Device] ウィンドウのサイトにドラッグします。

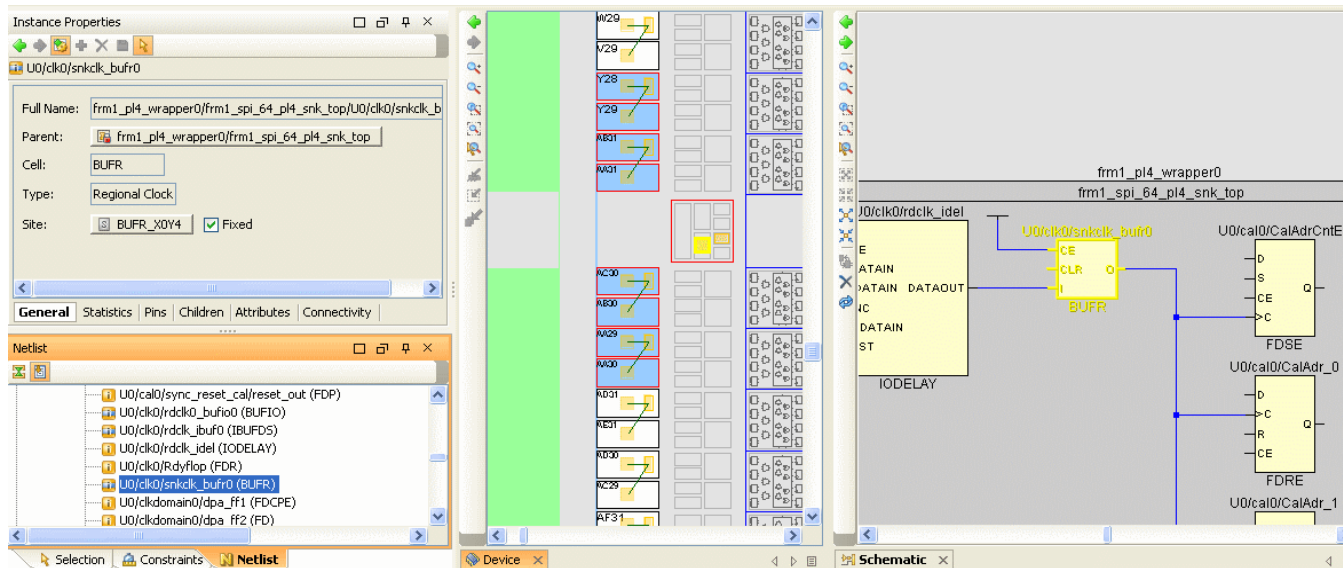


図 5-29 : クロック ロジックの手動配置

I/O 配置制約の削除

配置制約を削除するには、削除する制約を右クリックし、[Unplace] をクリックします。

選択した I/O 関連の配置制約の削除については、「[配置 LOC 制約](#)」を参照してください。

DCI_CASCADE 制約の設定

DCI_CASCADE 制約は PlanAhead 環境で設定することができます。この制約の使用目的および使用方法については、『[制約ガイド](#)』を参照してください。

この制約は、クロッキング目的で近接する 2 つ以上の I/O バンクをリンクするために使用します。入力クロックのある I/O バンクはマスタと呼ばれ、それ以外のはスレーブと呼ばれます。この制約は、コマンドを実行する前に目的の I/O バンクを予め選択するか、またはコマンドのダイアログボックスで I/O バンクを選択して、設定することができます。

DCI_CASCADE 制約を設定するには次の手順に従います。

1. オプションで、制約を設定する I/O バンクを選択します。

2. 右クリックして [Create a DCI Cascade] ポップアップ メニュー コマンドを選択します。

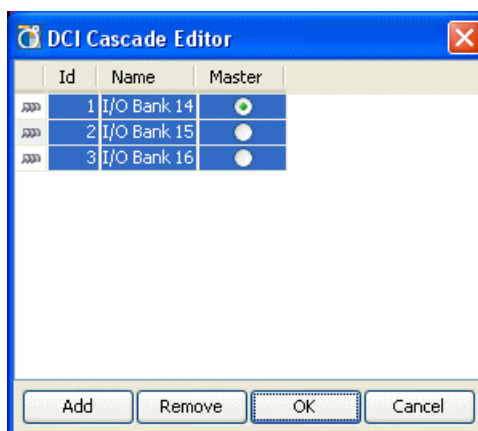


図 5-31 : DCI カスケードの作成

ダイアログ ボックスに選択した I/O バンクが表示されます。[Add] ボタンをクリックすると I/O バンクを追加できます。

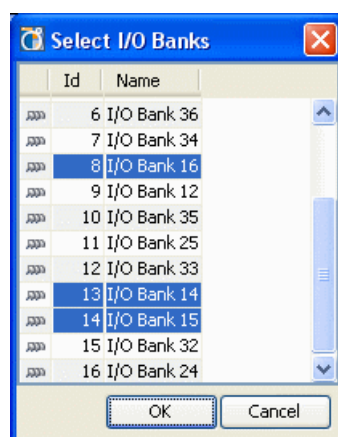


図 5-33 : DCI カスケード用に I/O バンクを選択

3. マスタにしたい I/O バンクを選択します。
4. [OK] をクリックします。

I/O バンクを選択すると、ほかの PlanAhead ウィンドウで選択したものがハイライトされます。

DCI カスケードは [Physical Hierarchy] ウィンドウに表示されます。

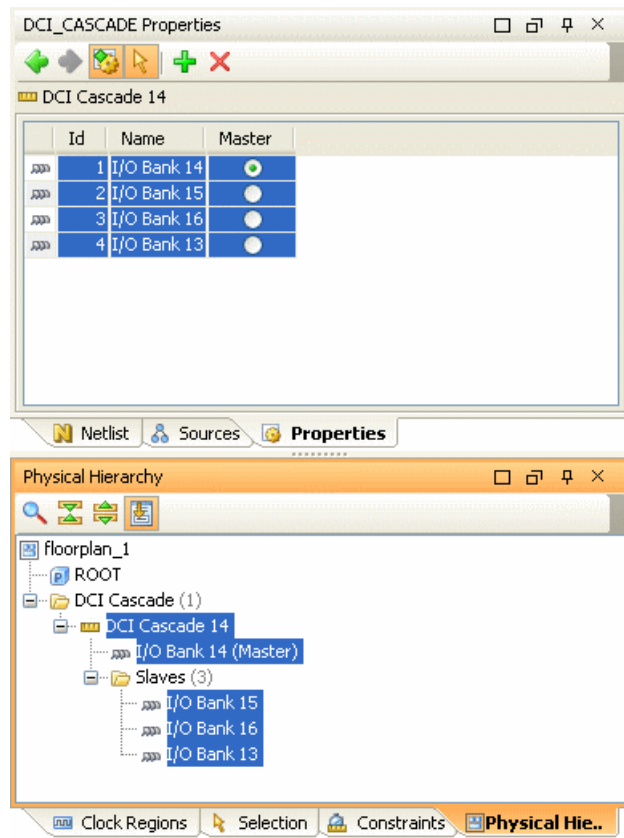


図 5-35 : DCI カスケードの表示

DCI カスケードの編集

DCI カスケードは、[Physical Hierarchy] ウィンドウで目的の DCI カスケードを選択し、[DCI_CASCADE Properties] ウィンドウを使用して、変更することができます。

変更をすべて保存するには、[DCI_CASCADE Properties] ウィンドウの [Apply] ボタンをクリックします。

マスタは、新しいマスタ I/O バンクを選択すると変更できます。

I/O バンクは、[DCI_CASCADE Properties] ウィンドウで I/O バンクを選択し、[Delete I/O Banks] ボタンをクリックして DCI カスケードから削除することができます。

[DCI_CASCADE Properties] ウィンドウで追加の I/O バンクを選択し、[Add I/O Banks] ボタンをクリックすると、[Add I/O Banks] ダイアログボックスが表示され、追加 I/O バンクを選択することができます。新しく選択した I/O バンクはほかの PlanAhead ウィンドウでハイライトされます。

DCI_CASCADE 制約は、[Physical Hierarchy] ウィンドウで制約を選択し、[Delete] コマンドを使用して削除できます。

I/O ポートおよびクロック ロジック関連の DRC の実行

DRC の実行

このセクションでは、I/O ポートおよびクロック関連の DRC の実行について説明します。ネットリストおよびフロアプラン関連の DRC の実行については、「[DRC の実行](#)」を参照してください。

各ルールは、次のように選択および実行されます。

1. [Tools] → [Run DRC] をクリックします。

[Run DRC] ダイアログ ボックスが表示されます。

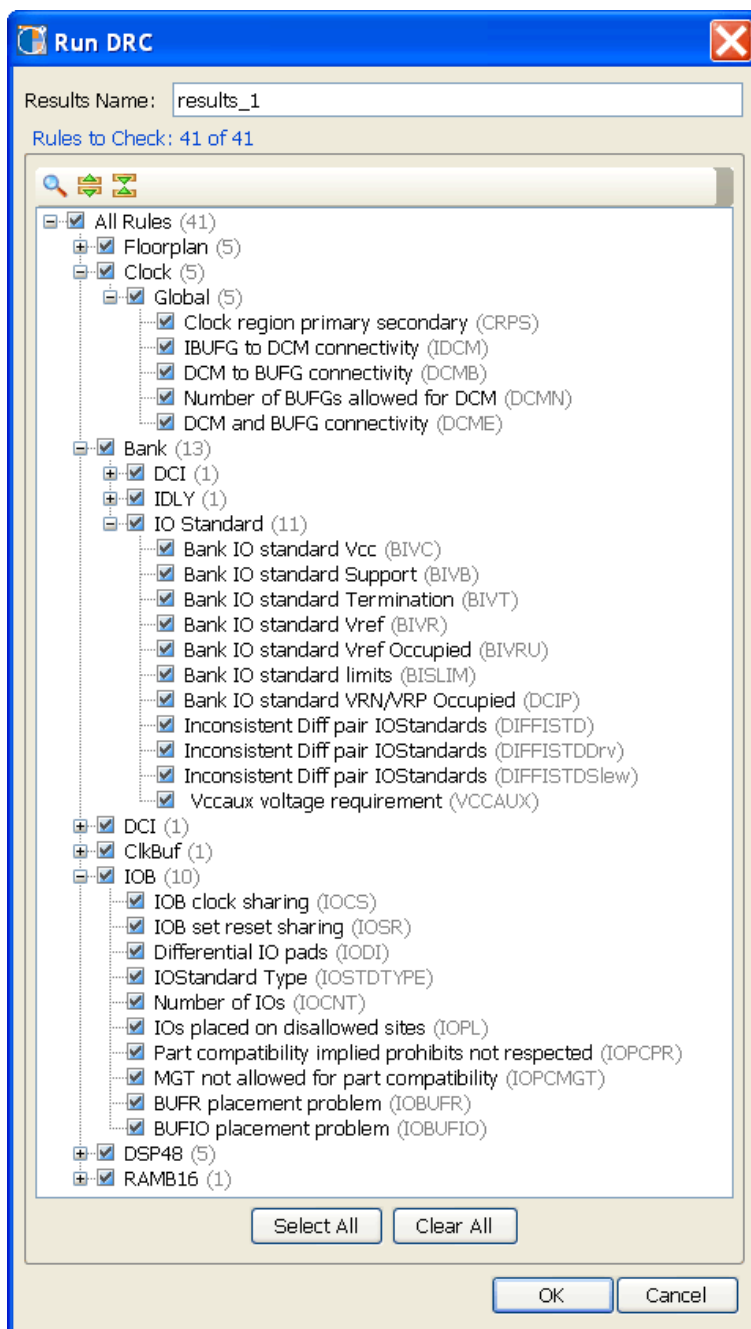


図 5-36 : [Run DRC] ダイアログ ボックス :I/O ピンおよびクロック DRC ルール

2. [Results Name] フィールドを表示または編集します。ここで指定した名前が [DRC Results] ウィンドウに表示されるので、デバッグ時に区別しやすい名前を付けます。この名前は出力ファイル名としても使用されます。
3. [Rules to Check] グループ ボックスの各デザイン オブジェクトで、チェックするルールをチェック ボックスをオンにします。各ルールの詳細は、「[I/O ポートおよびクロック ロジック DRC の実行](#)」を参照してください。
 - ◆ [Expand All] ボタンをクリックするか、各カテゴリまたはデザイン オブジェクトの横のプラス記号 (+) をクリックすると、階層が展開します。
 - ◆ デザイン オブジェクト全体に DRC を実行する場合は、デザイン オブジェクトの横のチェックボックスをオンにします。 個別のルールを選択する場合は、その横のチェックボックスをオンにします。すべてのデザイン オブジェクトのすべてのルールをチェックする場合は、[All Rules] の横のチェック ボックスをオンにします。
4. [OK] をクリックすると、選択した項目がチェックされます。

DRC エラーの表示

DRC が完了すると、結果が表示されます。

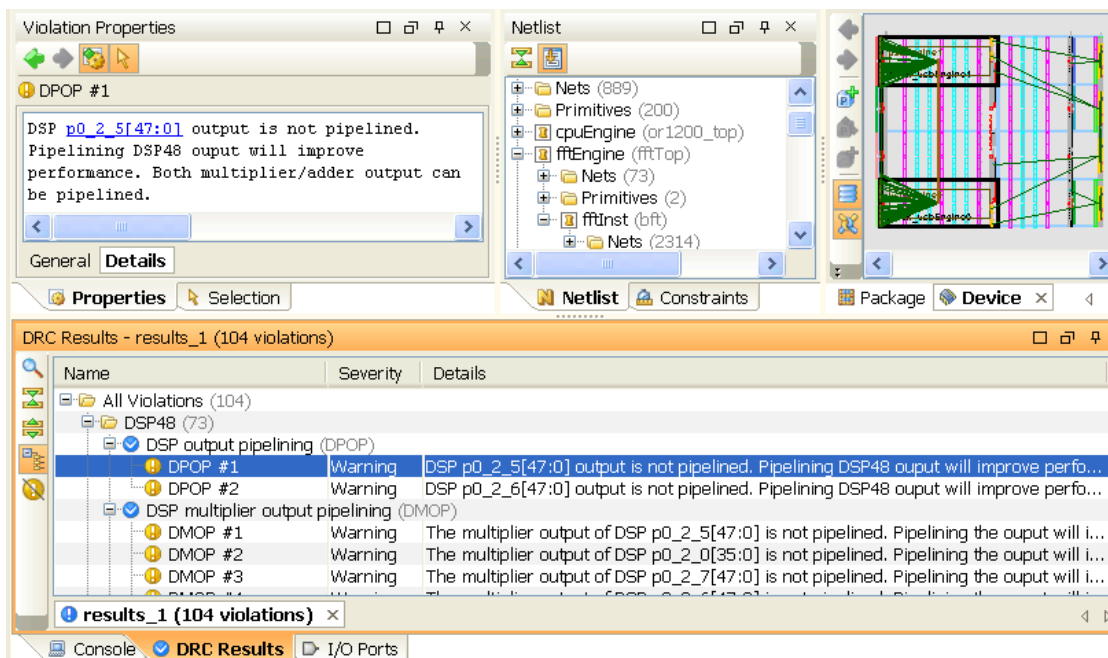


図 5-37 : DRC Results

違反は、[DRC Results] で個別に展開表示されます。エラーは赤色、警告は茶色、情報メッセージは黄色のアイコンで表示されます。

デフォルトですべてのエラーおよび警告が表示されます。警告および情報メッセージを非表示にし、エラーのみを表示する場合は、ツールバーの [Hide Warning and Information Messages] ボタンをクリックします。もう 1 度このボタンをクリックすると、すべての警告およびエラー メッセージが表示されます。



図 5-39 : [Hide Warning and Information Messages] ボタン

[DRC Results] のリストでエラーをどれか選択すると、そのエラーの情報が [Properties] に表示されます。[Properties] のリンクをクリックすると、[Device]、[Netlist]、および [Schematic] で、違反が発生したデザイン エレメントがハイライト表示されます。

エラーは、修正すると [DRC Results] ウィンドウに表示されなくなり、DRC が再実行されます。

[Run DRC] コマンドを実行し、エラーが検出されるたびに、新しい結果のタブが [DRC Results] ウィンドウに追加されます。結果のファイルも個別に PlanAhead の起動ディレクトリに出力されます。

I/O ポートおよびクロック ロジック DRC の実行

次の表に、デザイン オブジェクトごとの DRC ルール、目的、重大度を示します。

メモ：その他の DRC の詳細は、「[DRC ルールについて](#)」を参照してください。

- 「[グローバル クロックのルール](#)」
- 「[IOB のルール](#)」
- 「[バンク I/O 規格のルール](#)」

メモ：PlanAhead で使用可能な I/O ポートおよびクロック ロジック DRC は、I/O 関連 DRC のほんの一部です。I/O ポートおよびクロック領域の仕様に関しては、使用しているデバイスの資料を参照してください。

グローバル クロックのルール

表 5-1 : グローバル クロックのルール

ルール名	ルールの略称	説明	重要性
Clock Region Primary Secondary	CRPS	プライマリ/セカンダリ ペアのクロックのうち の 1 つだけが、4 分割された区画のうち 1 つ にグローバル クロック配線リソースを介して アクセスできます。これらの 2 つのクロックが 同じ 4 分割の区画で駆動する場合、ネットはグ ローバル クロック配線リソースを使用して配 線できません。 (Spartan-3 デバイス) メモ : Pblock が複数のクロック領域にまた がっていてエラーがレポートされる場合でも、 ISE® で問題なく Pblock を使用して正しいク ロック領域にロジックを配置できる場合があ ります。	エラー
IBUFG to DCM connectivity	IDCM	IBUFG には、デバイスの同じエッジ (上、下、 左、右) にある DCM への専用配線のみがあ ります。	警告

表 5-1 : グローバル クロックのルール (続き)

ルール名	ルールの略称	説明	重要性
DCM to BUFG connectivity	DCMB	DCM には最大 4 つの BUFG を接続できます。専用配線リソースを共有するバッファのペアが同じ DCM で駆動される場合、いずれかが非専用配線リソースを使用して駆動される必要があるため、これが原因でデザインでエラーが発生します。バッファに左から順に 1 ~ 8 の番号を付けると、1 と 5、2 と 6、3 と 7、4 と 8 という 4 組の排他的ペアができます。1:5、2:6、3:7、4:8 バッファがサイト 1 に配置されている場合は、同 DCM で駆動されるもう一方のバッファはサイト 5 に配置できません。	エラー
Number of BUFGs allowed for DCM	DCMN	DCM は最大 4 つの BUFG に接続できます。これは、DCMB に関連しています。	エラー
DCM and BUFG connectivity	DCME	BUFG にはデバイスの同じ側 (上、下、左、右) にある DCM への専用配線のみが存在します。	警告

IOB のルール

表 5-2 : IOB のルール

ルール名	ルールの略称	説明	重要性
IOB clock sharing	IOCS	IOB サイトはペアに分けられ、クロック配線リソースが共有できるようになっています。これらのペアは、通常 LVDS ペアになります。フリップフロップが IOB にバックされている方法によっては、配線で問題が発生することがあります。この問題を解決するには、フリップフロップを特定の BEL に割り当てる必要があります。	警告
IOB set reset sharing	IOSR	IOB サイトには入力、出力、トライステート レジスタがあり、それぞれが同じセット / リセット信号を共有していますが、異なるリセット信号では、レジスタをバックできません。	エラー
Differential IO pads	IODI	差動 I/O の P 信号および N 信号は、専用の差動ペアでは LOC 制約を付ける必要があります。	エラー
IO Standard Type	IOSTDTYPE	差動ペア I/O 規格が、差動ピンのペアにのみ割り当てられていることを確認します。	警告

表 5-2 : IOB のルール (続き)

ルール名	ルールの略称	説明	重要性
Number of IOs	IOCNT	ターゲット デバイスにあるピンの数よりも多くの I/O ポートが定義されているかどうかを示します。	警告
Non inputs placed on input only pins	IOPR	ポートが禁止ピンに配置されていないことを確認します。	エラー
Diff term loded to low capacitance IOB Site	IOLVDSCC	差動出力規格が、この規格をサポートしない低キャパシタンス サイトで使用されていないことを確認します。	エラー
Prohibit not specified for part compatibility	IOPCPR	互換性のあるパーツを使用するデザインに対し、パッケージ ピンが互換パーツにないこと、「prohibit」とマークされ、何も配置されていないことを確認します。	エラー
MGT not allowed for part compatibility	IOPCMGT	異なる MGT 供給電圧を持つパーツが 1 つ互換性のあるパーツとしてが使用されているかどうかを確認し、使用されている場合は、MGT の使用を無効にします。	警告
Regional Clock Term has no BUFR site	IOBUFR	リージョナル クロック ターミナルおよび関連 BUFR が相互配線可能なロケーションにあることを確認します。	エラー
Regional Clock Term has no BUFIO site	IOBUFIO	リージョナル クロック ターミナルおよび関連 BUFIO が相互配線可能なロケーションにあることを確認します。	エラー

バンク I/O 規格のルール

表 5-3 : バンク I/O 規格のルール

ルール名	ルールの略称	説明	重要性
Bank IO Standard Vcc	BIVC	バンク内の I/O に対する、IOSTANDARD ベースの VOUT の電圧互換性を確認します。	エラー
Bank IO Standard Support	BIVB	I/O 規格が I/O バンクでサポートされていることを確認します。	エラー
Bank IO standard Termination	BIVT	バンク内の I/O に対する、IOSTANDARD ベースの DCI 終端の電圧互換性を確認します。	エラー
Bank IO Standard VREF	BIVR	バンク内の I/O で、IOSTANDARD ベースの VREF の電圧互換性を確認します。	エラー
Bank IO Standard VREF Occupied	BIVRU	バンク内の I/O で、IOSTANDARD ベースの VREF の電圧互換性を確認します。	エラー
Bank IO Standard VR Occupied	DCIP	I/O バンクには専用の VRP サイトおよび VRN I/O サイトがあり、これらは通常の I/O としても使用できます。このバンクで DCI I/O 規格が使用される場合は、これらの I/O を未使用にしておく必要があります。	エラー
Bank I/O Simultaneous Switching Output Limits	BISLIM	I/O バンク内に配置されている I/O に対し同時スイッチ出力ノイズを確認します。	エラー
Inconsistent Diff pair IO Standards	DIFFISTD	差動ペアのターミナルに同じ I/O 規格が設定されているかを確認します。	エラー
Inconsistent Diff pair IO Standards	DIFFISTDDrv	差動ペアのターミナルに同じ駆動が設定されているかを確認します。	エラー
Inconsistent Diff pair IO Standards	DIFFISTDSlew	差動ペアのターミナルに同じスローが設定されているかを確認します。	エラー
Vccaux Voltage requirement	VCCAUX	使用されている I/O 規格に基づき Vccaux の要件を警告します。	警告

同時スイッチ ノイズ (SSN) 解析の実行

SSN 解析の実行 (Virtex-6)

PlanAhead には、Virtex®-6 デバイスでの同時スイッチ出力ノイズの予測を改善するため、ザイリンクスの同時スイッチ ノイズ (SSN) 解析機能が新しく追加されています。これは、スイッチ出力による I/O バンクのほかの出力へのダメージを予測するためのもので、I/O バンク別の電気特性をこの予測に組み込み、SSN の影響をモデル化します。パッケージ付き FPGA 内の電力配分ネットワークのノイズへの反応はそれぞれ異なるため、デザインに使用されている I/O 規格や I/O 数だけでなく、デバイスの電力システムのスイッチへの反応を理解することも大切です。

Virtex-6 ファミリのデバイスでは、I/O は別の I/O バンクにまとめられていて、各バンクに固有の電力配分ネットワークがあり、各ネットワークのスイッチの動きに対する反応は異なります。ザイリンクスでは、Virtex-6 ファミリのすべてのバンクを 3 次元抽出およびシミュレーションを通して特許化しています。この情報は SSN 解析に取り込まれ、デバイスのスイッチを見積もり、システムの電力ネットワークへの影響と I/O バンク内のほかの出力への影響も予測します。

出力スイッチがインターフェイス ノイズ マージンにどのように影響するかを正確に予測するには、SSN が最も適しています。その計算と結果は、広範囲にわたる変数に基づくものです。これらの予測値は、デザインの潜在的なノイズ関連の問題を理解するためのもので、問題そのものを最終デザインで解決するものではありません。

PlanAhead では Virtex-6 のパーツが選択されている場合に SSN 解析を使用することができます。それ以外のパーツを使用する場合は、「[WASSO 解析の実行](#)」を参照してください。

SSN 解析を実行するには、次の手順に従います。

1. [Tools] → [Run SSN Analysis] をクリックします。
[Run SSN Analysis] ダイアログ ボックスが開きます。

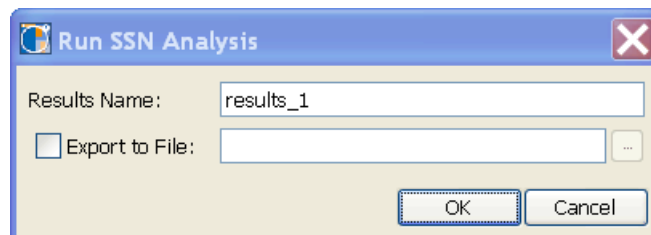


図 5-40 : [Run SSN Analysis] ダイアログ ボックス

2. オプションで、[Results Name] に [SSN Results] に表示する名前を入力します。
3. オプションで [Export to File] チェックボックスをオンにし、出力ファイル名をフィールドに入力し、CVS 形式のレポート ファイルを出力するディレクトリを指定します。
4. [OK] をクリックします。

SSN 結果の表示

SSN 結果は次のように表示されます (図 5-41)。

Name	I/O Std	Noise (V)		Margin (V)		Result	Notes
		Contributed	Bank Total	Available	Remaining		
I/O Bank 2 (0)						PASS	No I/O ports assigned to bank
I/O Bank 3 (0)						PASS	No I/O ports assigned to bank
I/O Bank 4 (0)						PASS	No I/O ports assigned to bank
I/O Bank 11 (0)						PASS	No I/O ports assigned to bank
I/O Bank 12 (0)						PASS	No I/O ports assigned to bank
I/O Bank 13 (0)						PASS	No I/O ports assigned to bank
I/O Bank 15 (20)	LVCMS0525		0.153	0.350	0.197	PASS	
Group 1 (20)	LVCMS0525	0.153	0.153	0.350	0.197		
XcvSelect_pad_1_o							
phy_rst_pad_1_o							
VControl_pad_1_o[3]							
VControl_pad_1_o[2]							

図 5-41 : [SSN Results] ウィンドウ

[SSN Results] ウィンドウには次の情報が表示されます。

- [Name] : デバイスで使用可能な I/O バンクが表示されます。各 I/O バンクには、バンクの空き状況を示すピンのアイコンと、解析をパスしたかどうかを示すチェックマーク、または赤い丸が表示されます。
 - [Group] : バンクに割り当てられている I/O 規格別などにまとめられているピンのグループと、そのステータスが表示されます。グループは、割り当てられている I/O 規格、駆動強度、スルー レート、および位相に従い自動的に決定されます。
- [Noise (V)]
 - [Contributed] : グループの I/O 規格、駆動強度、スルー タイプで生成された、グループごとの SSN 総計です。
 - [Bank Total] : バンクまたはグループに対し予測される SSN 総計です。
 - バンクのグループに対し複数の位相が指定されている場合、異なる位相を持つグループの SSN が別々に累計され、その中の最大値がレポートされます。1 つの出力の SSN はそのバンクの出力から隔離されているため、1 つの SSN バンク合計は別のバンク合計には影響しません。この列では、どの I/O グループが最大 SSN 値を出しているのか、そしてマージンがどれぐらい使用されているのかを確認できます。
- [Margin (V)]
 - [Available] : 信号が 1 に切り替わるときの High の信号の I/O 規格のノイズ マージンの許容値です。
I/O 規格で指定されている DC 論理レベルに基づいており (量的な情報は考慮に入れない)、マージンが High の信号の駆動強度の最小値が JEDRC 入力しきい値の上であることを表します。これらのマージン値は、駆動強度が最も弱い状態、JEDEC/Spec 終端、および規格の標準レシーバ要件を想定しています。マージンは保護周波数帯を提供するものなので、この解析の中で慎重な評価を行う必要があります。
 - [Remaining] : バンクの SSN をすべて考慮した後のノイズ マージン値を表示します。結果は許容マージンの 100% 以上が失われた場合に赤く表示されます。これは、I/O 規格のノイズ マージン (グループごとの値) から SSN のバンク合計 (バンクごとの値) を差し引いた値です。
- [Result] : PASS または FAIL が表示され、FAIL の場合は赤字で表示されます。

- [Notes] : I/O バンクまたはグループについての情報が表示されます。

SSN 結果には SSN 解析が実行されたときのデザインの状態が反映され、ダイナミックなレポートではありません。

SSN 問題の解決

違反が発生した場合、結果を改善する方法はいろいろあります。

- 違反が発生しているグループを複数の同期位相に分散させます。
- [Result] に Fail と表示されている場合は、位相グループを同時スイッチのポートに割り当てます。詳細は、「[I/O ポート スイッチ位相グループの定義](#)」を参照してください。
- 違反が発生しているグループを複数のバンクに分散させます。これでバンクの電力システムの問題のある出力数を低減できます。
- 違反が発生しているグループに SSN の影響をあまり受けない I/O 規格を使用します。低い駆動強度、パラレル終端の DCI I/O 規格、または低いクラスのドライバに変更すると (SSTL Class II から SSTAL Class I に変更するなど)、SSN を改善できます。
- 違反が発生しているグループを DDR レートの場合は 90 度、SDR レートの場合は 180 度位相シフトさせます。これで、問題のある出力スイッチの半分の位相をずらすことができます。

I/O バンク プロパティの表示

[SSN Results] ウィンドウで I/O バンクを選択すると、そのバンクに割り当てられている I/O ポート、ピン、およびグループの情報が [I/O Bank Properties] ウィンドウに表示されます。[General] タブには、I/O バンクに割り当てられているポート番号とタイプが表示されます。[Package Pins] または [I/O Ports] タブには、ピンまたはポートの詳細情報が表示されます (図 5-42)。

	Id	Name	Prohibit	Port	I/O Std	Dir	Vcco	Bank	Type	Diff Pair	Clock	Voltage	Min Trace Dly	Max Trace Dly	IOB Alias	Site Type
	1	T8		disp_latch_ten	LVC MOS25	Output	2.5	2	User IO	L0P	CC		40.04	46.72	IOB_X1Y59	IO_L0P_CC_RS1_2
	2	T7		iic_sdat	LVC MOS25	In/Out	2.5	2	User IO	L0N	CC		47.35	55.24	IOB_X1Y58	IO_L0N_CC_RS0_2
	3	R15		iic_sclk	LVC MOS25	Output	2.5	2	User IO	L1P	CC		50.47	58.88	IOB_X1Y57	IO_L1P_CC_A25_2
	4	T16		disp_latch_hund	LVC MOS25	Output	2.5	2	User IO	L1N	CC		57.43	67.00	IOB_X1Y56	IO_L1N_CC_A24_2
	5	R9		disp_latch_one	LVC MOS25	Output	2.5	2	User IO	L2P			37.82	44.12	IOB_X1Y55	IO_L2P_A23_2
	6	T9		disp_data[1]	LVC MOS25	Output	2.5	2	User IO	L2N			42.33	49.38	IOB_X1Y54	IO_L2N_A22_2
	7	V18		disp_data[2]	LVC MOS25	Output	2.5	2	User IO	L3P			72.68	84.80	IOB_X1Y53	IO_L3P_A21_2
	8	V17		disp_data[3]	LVC MOS25	Output	2.5	2	User IO	L3N			64.58	75.35	IOB_X1Y52	IO_L3N_A20_2
	9	P10		sel_f	LVC MOS25	Output	2.5	2	User IO	L4P			32.81	38.28	IOB_X1Y51	IO_L4P_FC5_B_2
	10	P9		fahren	LVC MOS25	Input	2.5	2	User IO	L4N		VREF	29.09	33.94	IOB_X1Y50	IO_L4N_VREF_FOE_B_MOSI_2
	11	U16		disp_data[0]	LVC MOS25	Output	2.5	2	User IO	L5P			58.24	67.95	IOB_X1Y49	IO_L5P_FWE_B_2
	12	V16		dp_l	LVC MOS25	Output	2.5	2	User IO	L5N			59.27	69.15	IOB_X1Y48	IO_L5N_C50_B_2
	13	N10		sys_rst_l	LVC MOS25	Input	2.5	2	User IO	L6P			16.88	19.70	IOB_X1Y47	IO_L6P_D7_2
	14	M10		sel_c	LVC MOS25	Output	2.5	2	User IO	L6N			12.67	14.78	IOB_X1Y46	IO_L6N_D6_2
	15	T14					2.5	2	User IO	L7P			42.64	49.74	IOB_X1Y45	IO_L7P_D5_2
	16	T13					2.5	2	User IO	L7N			35.32	41.21	IOB_X1Y44	IO_L7N_D4_2
	17	N11					2.5	2	User IO	L8P			13.69	15.97	IOB_X1Y43	IO_L8P_D3_2
	18	M11					2.5	2	User IO	L8N			6.86	8.01	IOB_X1Y42	IO_L8N_D2_F52_2
	19	P13					2.5	2	User IO	L9P			25.72	30.01	IOB_X1Y41	IO_L9P_D1_F51_2
	20	P12					2.5	2	User IO	L9N			24.71	28.83	IOB_X1Y40	IO_L9N_D0_F50_2
	21	R8					2.5	2	VCCO							VCCO_2
	22	V9					2.5	2	VCCO							VCCO_2

図 5-42 : [I/O Bank Properties] ウィンドウの [Package Pins] タブ

I/O ポート スイッチ位相グループの定義

バンク内の I/O のグループによっては異なる同期位相オフセットが設定されているものがあり、この設定が異なるグループを同時にスイッチさせることはできません。多くのメモリ インターフェイスのデータおよびストロブ信号にも同じことが言えます。In this case, proper SSN accounting

must be informed by phase information. 位相グループは、タイミングの観点から見て、すべてが同じ位相にある（グループのクロックの周波数と位相が同じであるなど）ポートの論理グループを指します。位相グループを作成すると、グループが作成されるだけでなく、異なる位相の I/O が隔離されます。バンク内のグループから出力されたノイズは合計され、バンク全体のノイズになります。すべての出力が同じ位相である場合、または同期関係にない場合、出力は同時にスイッチします（値が変わる）。SSN 解析でバンクがパスしない場合、別々の同期位相にあるポートをまとめるために位相グループを使用することができ、SSN 解析をもう一度実行したときにそのバンクの合計ノイズを低減することができます。

1 つの I/O ポートまたは I/O ポートのグループに対し、スイッチ位相を設定するには次の手順に従います。

1. PinAhead のいずれかのウィンドウで I/O ポートを 1 つまたは複数選択します。
2. [I/O Ports]、[Package Pins]、または SSN のウィンドウで、[Configure I/O Ports] ポップアップメニュー コマンドを選択すると、[Configure Ports] ダイアログ ボックスが開きます (図 5-43)。

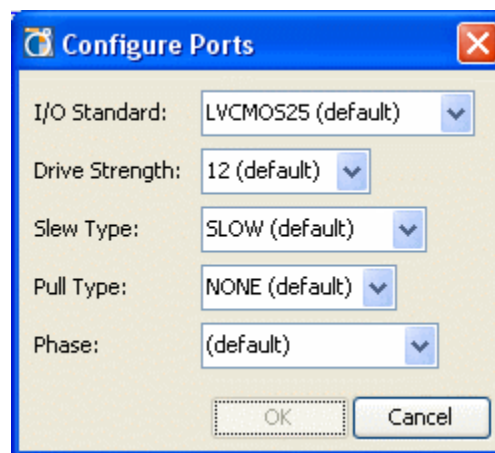


図 5-43 : [Configure Ports] ダイアログ ボックス

3. [Configure Ports] ダイアログ ボックスで、正しい I/O 規格が選択されていることを確認します。
4. ポートが位相にある場合、[Phase] はデフォルトのままにしておくか、「Phase 1」など位相を選択します。
5. [OK] をクリックします。

正しい位相グループが割り当てられたら、SSN 解析に戻ります。

非同期グループは別の同期位相として扱わないようにしてください。非同期のものを同時にスイッチすることはできません。

WASSO 解析の実行

PlanAhead には WASSO チェックのセットが含まれており、デバイスのシグナル インテグリティを、デザインでの I/O ピンおよびバンクの割り当てに基づいて検証します。

解析を実行するには、[Tools] → [Run WASSO Analysis] をクリックします。

[Run Wasso Analysis] ダイアログ ボックスが表示されます (図 5-44)。

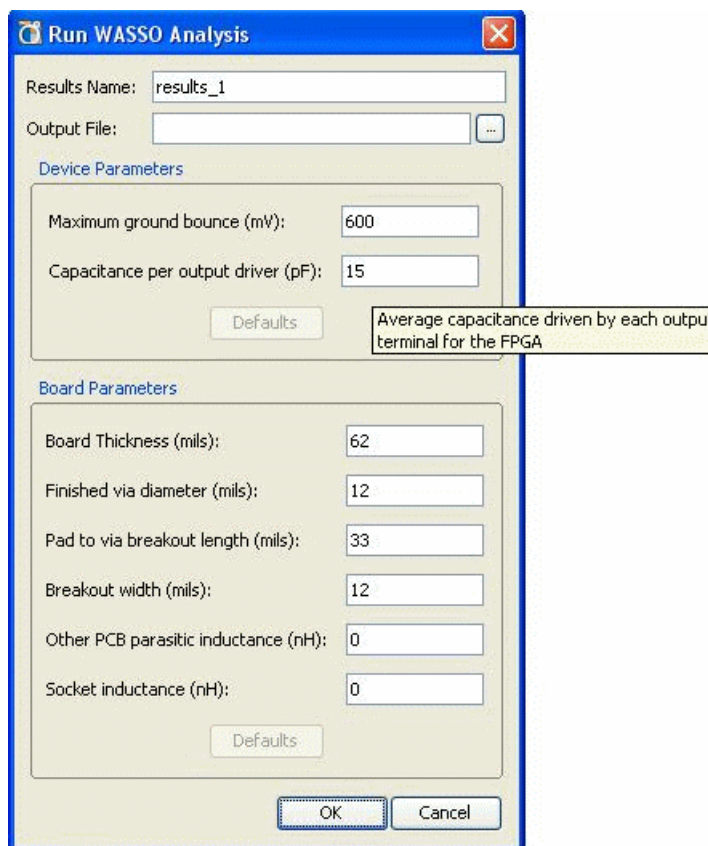


図 5-44 : [Run Wasso Analysis] ダイアログ ボックス

[Output File] フィールドでは、レポート ファイル名および保存場所を指定できます。

カーソルをフィールド上に置くと、そのフィールドに入力する値の説明を示したツール ヒントが表示されます。

WASSO 解析レポートの確認

[Device Parameters] および [Board Parameters] の値は、デザインに合わせて変更できます。まずデザイン全体が解析され、次に、関連した隣接の I/O バンクが次々に解析されます。WASSO の結果のウィンドウは 164 ページの図 5-45 のようにワークスペースに表示されます。

Device Parameters			
Maximum ground bounce	600.0 mV		
Capacitance per output driver	15.0 pF		
Board Parameters			
Board Thickness	62.0 mils		
Finished via diameter	12.0 mils		
Pad to via breakout length	33.0 mils		
Breakout width	12.0 mils		
Other PCB parasitic inductance	0.0 nH		
Socket inductance	0.0 nH		

	Allowed	Utilization	Status
Package	100%	22.3%	OK
Banks			
Bank 0	100%	42.7%	OK
Bank 1	100%	20%	OK
Bank 2	100%	1.3%	OK
Bank 3	100%	9.3%	OK
Bank 4	100%	14.7%	OK
Bank 5	100%	42.7%	OK
Bank 6	100%	24%	OK
Bank 7	100%	24%	OK
Neighbors			
Bank 0,1	100%	31.3%	OK
Bank 1,2	100%	10.7%	OK
Bank 2,3	100%	5.2%	OK

図 5-45 : WASSO の結果

レポートには、I/O バンクと隣接するペアの 最大負荷、使用率、およびステータスがすべて表示されます。

パッケージ ピンの情報のエクスポート

デバイス パッケージ ピンの情報は、PlanAhead から CSV 形式のファイルにエクスポートできます。エクスポート内容には、デバイスのパッケージ ピンすべての情報およびデザインごとの I/O ポートの割り当てと設定が含まれます。

エクスポートされたリストのパッケージ ピン セクションを基に、I/O ポートをスプレッドシートで定義できます。

エクスポートされた CSV 形式のファイルの情報は、この章の「[I/O ポートのインポート](#)」を参照してください。

I/O ポート リストのエクスポート

I/O ポート リストは、PlanAhead から HDL、UCF、または CSV 形式のファイルにエクスポートし、RTL のコーディングや PCB 回路図シンボルの作成に使用できます。I/O ポート リストの情報をエクスポートするには、[File] → [Export I/O Ports] コマンドをクリックします。

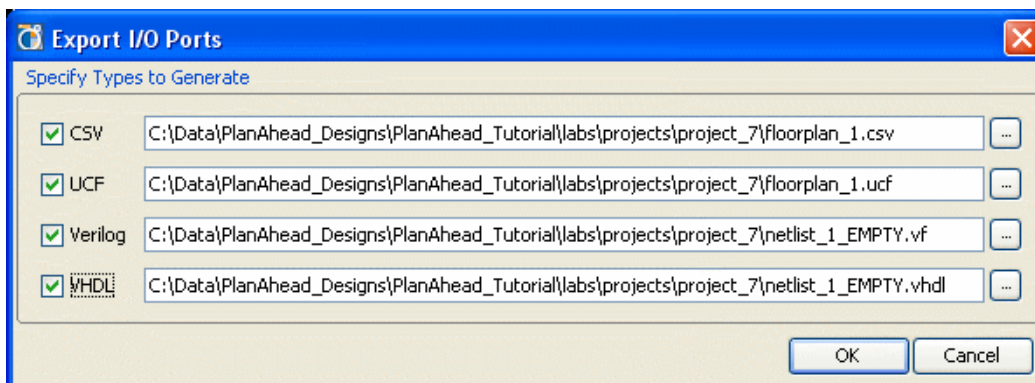


図 5-46 : I/O ポート リストのエクスポート

RTL デザインの作成および解析

PlanAhead™ のプロジェクト環境では、RTL デザイン ファイルを作成および管理できます。基本ソース ファイル管理機能、RTL エディタ、RTL 回路図ビューア、RTL DRC、およびリソース見積り機能が PlanAhead に含まれています。

論理合成およびインプリメンテーションは PlanAhead を使用して実行できます。合成およびインプリメンテーション実行の詳細は、[第 7 章「デザインのインプリメンテーション」](#)を参照してください。

本章は、次のセクションで構成されています。

- [「プロジェクト環境の使用」](#)
- [「ソースのプロジェクトへの追加」](#)
- [「RTL エディタの使用」](#)
- [「RTL デザインのエラボレートおよび解析」](#)

プロジェクト環境の使用

プロジェクト環境は、RTL ソース ファイルのインポート、開発、エラボレート、および RTL デザイン解析に使用します。現在、Verilog、VHDL、およびコア レベルの NGC/NGO ファイルを PlanAhead RTL プロジェクト内でインポートおよび管理できます。

[Sources] ウィンドウの使用

[Sources] にはプロジェクトにインポートされている RTL ソース ディレクトリおよびファイルが表示されます。これらのファイルは、Verilog または VHDL フォーマットの RTL ソース、NGC/NGO コア ネットリスト、または XST 合成用の XCF 制約ファイルです。

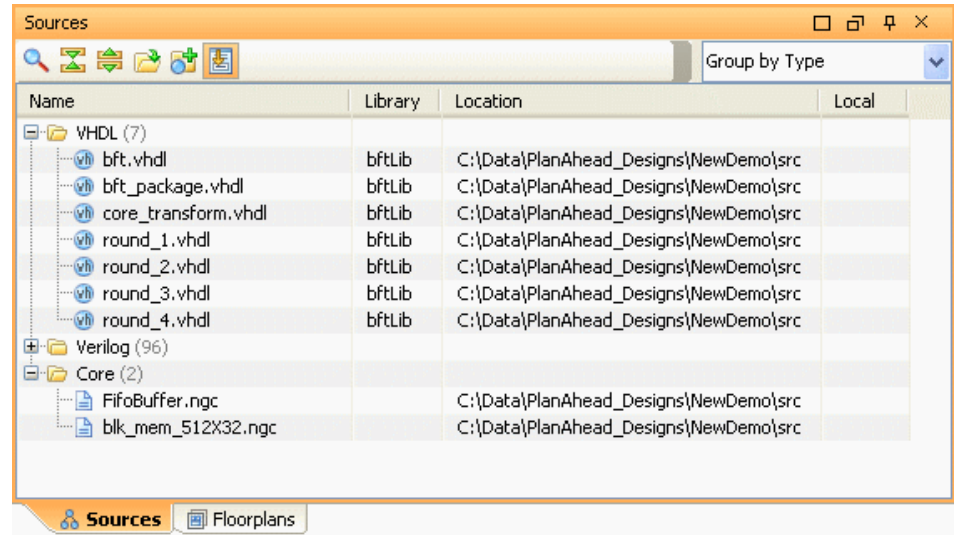


図 6-1 : [Sources] ウィンドウ

[Sources] ウィンドウにはソース ファイルが表示され、また、ソース ファイルの種類、VHDL ライブラリ、ロケーション、およびファイルがプロジェクトにローカルでインポートされているかリモートで参照されているのが表示されます。

- **[Name]** : アルファベット順、または VHDL、Verilog、Core、SDC、または XNF というソースの種類別に分類
- **[Library]** : 各ファイルの VHDL ライブラリを表示
- **[Location]** : インポートされたファイル、または外部参照ファイルの場所を表示
- **[Local]** : ファイルがプロジェクトにインポートされているか、または外部参照されているかを表示

カテゴリ別のソース表示

ソースはカテゴリ別に分類することができます。[Sources] ウィンドウの右上にあるメニューから、プロジェクト ソースの表示方法を選択します。

- [Group by Type] は、ソースを、VHDL、Verilog、コア、SDC、または XNF という種類別に分類します。
- [Group by Source Root] は、ソースのディレクトリまたは保存場所別に分類します。
- [Flat View] は、すべてのソースをアルファベット順に表示します。

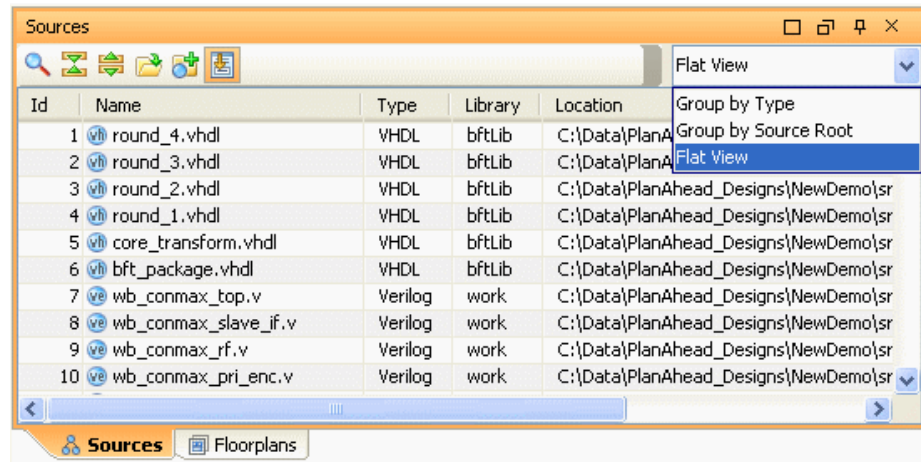


図 6-2：ソースの表示方法の定義

[Sources] ウィンドウのポップアップ メニュー コマンドの使用

ソース ファイルは、[Sources] ウィンドウのポップアップ メニュー コマンドを使用して、追加、表示、変更ができます。共通のポップアップ メニュー コマンドは、[255 ページの「共通のポップアップ メニュー コマンドの使用」](#)で説明します。ここでは [Sources] ウィンドウのコマンドを説明します。

- [Source File Properties] : [Source File Properties] ウィンドウが開きます。
- [Enable Source Files] : エラボレートおよび合成でのソース ファイルのステータスをアクティブに設定します。ソース ファイルのステータスは [Enabled] または [Disabled] に切り替えることができます。
- [Disable Source Files] : エラボレートおよび合成でのソース ファイルのステータスを非アクティブに設定します。ソース ファイルのステータスは [Enabled] または [Disabled] に切り替えることができます。ステータスが [Disabled] になっているソース ファイルはグレー表示されています。
- [Remove from Project] : 選択したソース ファイルを PlanAhead プロジェクトから削除します。また、最初にファイルがプロジェクトにインポートされている場合は、PlanAhead プロジェクトのインストール ディレクトリからもファイルを削除します。
- [Find in Files] : [Find in Files] ダイアログ ボックスが開き、選択したファイルで検索する文字列を入力できます。検索結果は、[Find in Files] ウィンドウに表示されます。詳細は、「[\[Find in Files\] コマンドを使用したソース ファイルの検索](#)」を参照してください。
- [Open file] : 選択したファイルが、RTL エディタで開きます。
- [Add Sources] : 選択したソース ファイル、ディレクトリ、およびサブディレクトリをすべてプロジェクトにインポートします。

- **[Import into Project]** : 選択したソース ファイルおよびディレクトリをすべてプロジェクトディレクトリにコピーします。
- **[Create Source]** : **[New Source File]** ダイアログ ボックスが開き、ファイル名、保存場所、ライブラリおよび種類を入力できます。新しいソース ファイルは **RTL** エディタで開きます。
- **[Set Library]** : 選択した **RTL** ソース ファイルのライブラリを選択します。
- **[Run Elaboration]** : **RTL** 解析およびエラーレーションを実行します。この機能で、リソース見取りおよび **RTL** 回路図操作が可能になります。
- **[Run Synthesi]** : **[Run Synthesi]** ダイアログ ボックスが開き、合成実行の作成および起動ができます。

ソース ファイル プロパティの表示

[Sources] ウィンドウで **RTL** ソース ファイルを選択すると、[Source File Properties] ウィンドウに、保存場所、ライブラリ、サイズ、タイムスタンプ、親ファイルが表示されます。

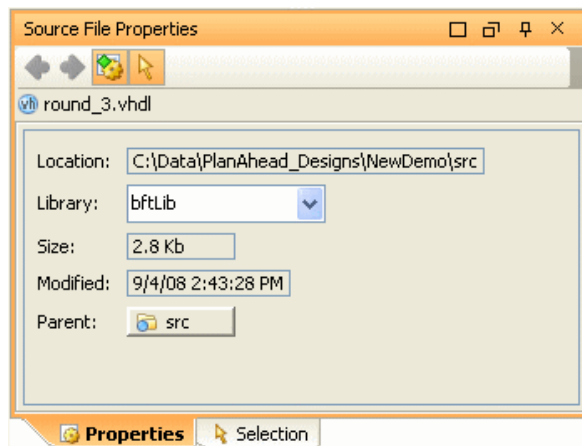


図 6-3 : ソース ファイル プロパティの表示

ドロップダウンで新しいライブラリを選択し **[Apply]** をクリックすると、ライブラリを設定できます。

RTL ソースが赤く表示される場合は、**PlanAhead** で必要なファイルを検索できなかったことを示します。

ソースのプロジェクトへの追加

ソース ファイルまたはディレクトリの追加

RTL ソースはいつでもプロジェクトに追加できます。

1. **[Add Sources]** コマンドを実行すると、**[Add Sources]** ダイアログ ボックスが表示されます。このダイアログ ボックスには、次のボタンがあります。
 - ◆ **[Add Files]** : ファイル ブラウザが開き、プロジェクトに追加する **RTL** ファイルを選択できます。**VHDL** ライブラリはインポート時に指定できます。

- ◆ [Add Directories] : ディレクトリ ブラウザが開き、選択したディレクトリおよびサブディレクトリの RTL ソース ファイルすべてがプロジェクトに追加されます。ディレクトリ階層にある、認識される拡張子を持つファイルはすべてプロジェクトに追加されます。
- ◆ [Remove] : ソース ファイルを削除します。
- ◆ [Import Source to the Project] : 元のソース ファイルを PlanAhead プロジェクトにコピーし、ローカルでこれらのファイルを参照します。

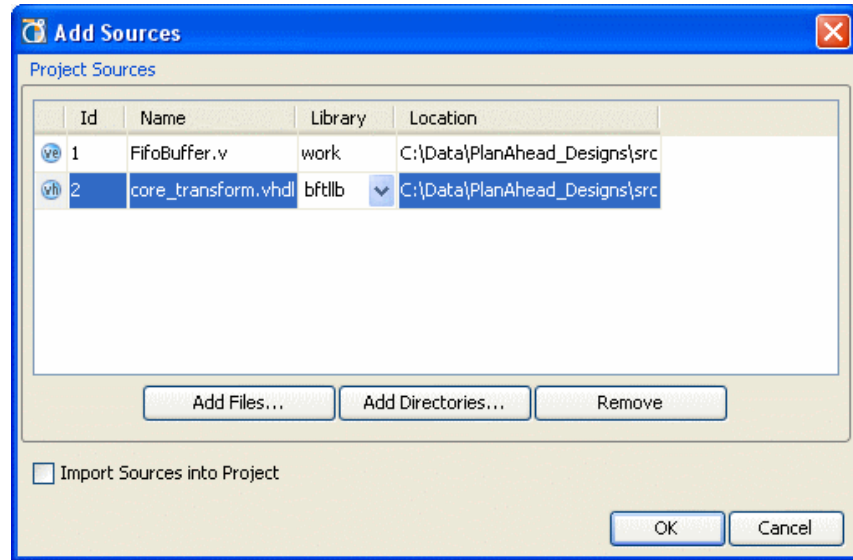


図 6-4 : ソース ファイルおよびディレクトリのプロジェクトへの追加

ソースを追加するとき、[Library] フィールドをクリックし、ファイル名を入力できます。

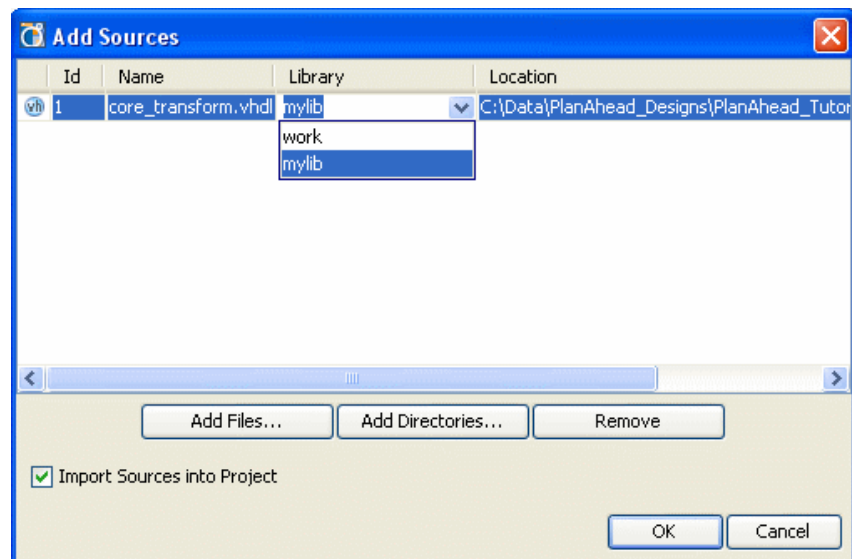


図 6-5 : [Add Sources] ダイアログ ボックスでのソース ライブラリ変更

プロジェクト ディレクトリへのソースのコピー

プロジェクト管理を柔軟にするため、PlanAhead では元のソース ファイルを外部参照したり、プロジェクト ディレクトリにコピーして参照したりできます。プロジェクトを移動またはアーカイブす

る可能性がある場合は、すべてのファイルがプロジェクト内に保存されるように、ファイルをプロジェクトにコピーします。ソース ファイルをコピーせずプロジェクト外部のロケーションに残す場合、コピーは 1 つだけのほうが更新・管理が簡単です。

[Add Sources] ダイアログ ボックスで [Import Sources into Project] をクリックするとソース ファイルはローカルプロジェクトにコピーされます。

ソース ファイルおよびディレクトリは、[Sources] ウィンドウでも選択でき、[Import into Project] ポップアップ メニュー コマンドでプロジェクトにコピーできます。

新規ソース ファイルの作成

Verilog または VHDL ソース ファイルは、[Create HDL Source] コマンドで新規作成できます。[New Source File] ダイアログ ボックスが表示されます。

1. 次の情報を入力します。
 - ◆ [Name] : 作成する HDL ソース ファイルの名前を入力します。
 - ◆ [Location] : ファイルを作成する場所を指定します。
 - ◆ [Type] : Verilog または VHDL を選択します。
 - ◆ [Library] : ファイルで参照するライブラリを選択します。
 - ◆ [File to Create] : ファイルの場所および名前が表示されます。

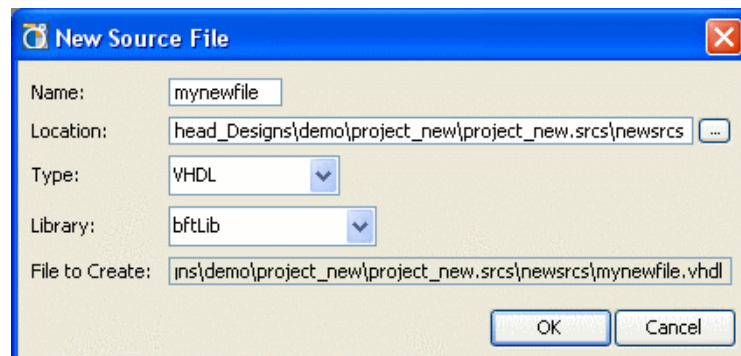


図 6-6 : [New Source File] ダイアログ ボックス

2. 完了したら、[OK] をクリックします。

作成したファイルが RTL エディタで開きます。RTL エディタには標準 HDL テンプレートがあり、構文の定義に便利です。詳細は、「[RTL エディタの使用](#)」を参照してください。

RTL ソース ファイルのアップデート

外部参照のソース ファイル

RTL ソース ファイルがプロジェクトにコピーされていない場合、PlanAhead はそのファイルを外部参照します。ですからデザインがエラボレートされたとき、または RTL ファイルがアクセスされたとき、RTL ソース ファイルへの変更はすぐに認識されます。

プロジェクトにコピーされたソース ファイル

プロジェクト作成中にプロジェクトに追加された RTL ソース ファイル、または [Import to Project] コマンドで追加された RTL ソース ファイルは、PlanAhead 内で管理されるか、または元のファイルが変更されたらアップデートされます。

ソース ファイルのアップデート方法にはいくつかの方法があります。

- RTL エディタを使用し PlanAhead 内で RTL の変更をすべて行う。
または
- [Remove from Project] ポップアップ メニュー コマンドを使用して変更した RTL ソースをプロジェクトから削除した後、[Add Sources] で新しくアップデートしたソースを追加する。
または
- [Add Sources] をクリックしプロジェクトに新しくアップデートしたソースを追加し、[Disable] ポップアップ メニュー コマンドを使用して古いソースを無効にする。

RTL エディタの使用

PlanAhead RTL 環境では、強力な RTL エディタが提供されており、RTL ソースの作成や変更に使用できます。RTL エディタでは、さまざまなタイプの RTL 構文が色分けされて表示されます。複数のファイルを同時に開くことができ、タブ付きのウィンドウがファイルごとにワークスペースに表示されます。タブをクリックして、表示するファイルを切り替えることができます。

プロジェクト環境では RTL エディタと、[Schematic]、[Elaboration]、[Hierarchy]、および [RTL] ウィンドウとのクロスプローブが可能です。

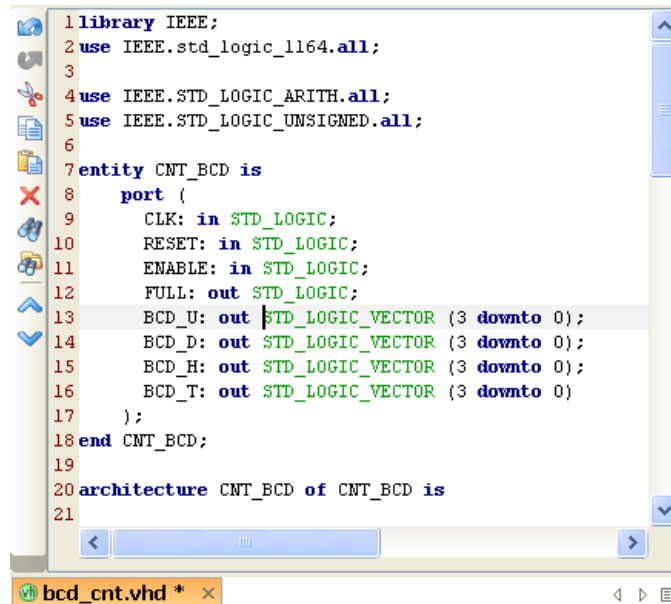


図 6-7 : RTL エディタ

ファイルが変更されて保存されていない場合は、タブのファイル名の横にアスタリスク (*) が表示されます。[Save Project] コマンドを使用しファイルは保存できます。

RTL エディタのポップアップ メニュー コマンドの使用

ここでは RTL エディタのウィンドウ コマンドを説明を示します。

- [Cut]、[Copy]、[Paste] : 選択したソース コードをクリップボードに切り貼り、コピーします。
- [Duplicate Selection] : 選択したテキストをコピーしカーソル位置に貼り付けます。
- [Insert Template] : テンプレート ブラウザが開き、RTL ファイルに挿入する構文を選択できます。
- [Find]、[Replace] : [Find Text] ダイアログ ボックスが表示され、検索する文字列を入力できます。RTL エディタで文字列を選択してダイアログ ボックスを表示すると、選択した文字列が検索文字列として表示されます。このダイアログ ボックスでは上方向にも下方向にも検索でき、検索結果すべてを一度に置換することもできます。
- [Find Next]、[Find Previous] : [Find Text] ダイアログ ボックスで指定した検索条件に基づいて検索を実行します。
- [Find in Files] : [Find in Files] ダイアログ ボックスが開き、選択したファイルで検索する文字列を入力できます。検索結果は、[Find in Files] ウィンドウに表示されます。

- [Indent Selection]、[Unindent Selection]、[Comment with Line Comment]、[Comment with Block Comment] : 選択範囲のインデント、インデント解除、行のコメント化、ブロックのコメント化を実行します。
- [Run Elaboration] : ダイアログ ボックスに最上位モジュール名を入力し [OK] をクリックすると、RTL 解析ルーチンが起動し、デザインがコンパイルされます。詳細は、「[RTL デザインのエラボレートおよび解析](#)」を参照してください。

共通のポップアップ メニュー コマンドは、[255 ページの「共通のポップアップ メニュー コマンドの使用」](#)で説明します。

[Find in Files] コマンドを使用したソース ファイルの検索

[Find] および [Find in Files] ポップアップ メニュー コマンドを使用すると、選択したファイル内で文字列を検索できます。

検索文字列にはワイルドカード (*) を含むすべての文字列を使用できます。フィルタ オプションでは検索対象を、プロジェクトのファイルすべてまたは開いているファイルすべてに指定できます。検索方向も指定できます。

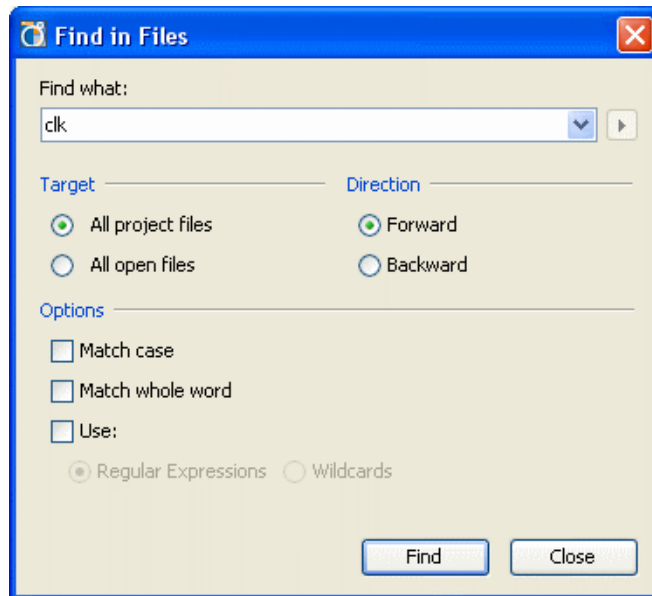


図 6-8 : [Find in Files] ダイアログ ボックス

検索結果は [Find in Files] ウィンドウに表示されます。検索文字列を含むファイルのリストおよび各ファイルでの検索結果数が表示されます。特定の結果をクリックすると RTL エディタにファイルが開き、文字列がハイライト表示されます。

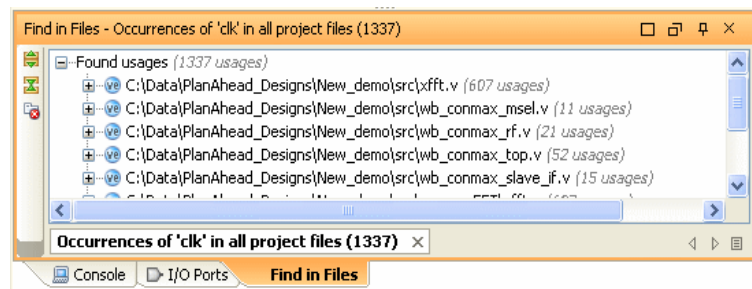


図 6-9 : [Find in Files] ウィンドウ

RTL デザインのエラボレートおよび解析

PlanAhead では、RTL ソースのコンパイルおよび解析が迅速に実行できます。エラボレーションは、合成実行前にコンパイルした RTL デザインを解析するためものですが、合成前に必須のステップではありません。プロジェクトにインポートされた RTL ソース ファイルはすべて合成中にコンパイルの可否に関らずエラボレートされます。エラボレーション結果はデザインには保存されません。エラボレーションはデザインが合成されフロアプランが作成されるまで、実行および再実行されます。

1. デザイン ソース ファイルがプロジェクトにインポートされていれば、次のコマンドのいずれかを実行してデザインをエラボレートできます。
 - ◆ [Tools] → [Run Elaboration] をクリックします。
 - ◆ ポップアップ メニューで、[Run Elaboration] コマンドをクリックします。

[Run Elaboration] ダイアログ ボックスが表示されます。

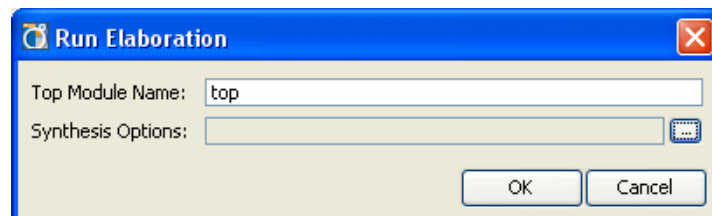


図 6-10 : [Run Elaboration] ダイアログ ボックス

2. [Run Elaboration] ダイアログ ボックスで最上位モジュールを入力します。
3. オプションで、参照ボタンをクリックし合成オプションを入力します。

4. [Synthesis Options] ダイアログ ボックスで Verilog または VHDL の言語オプションおよびループ数を指定します。

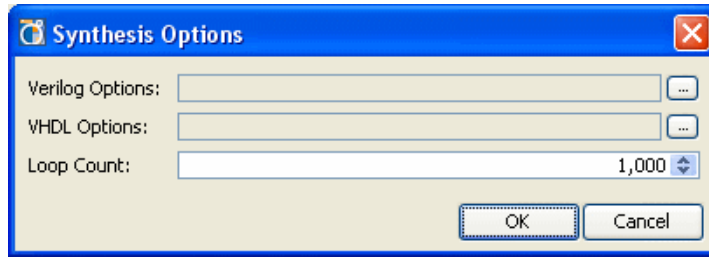


図 6-11 : エラボレーションの合成オプション

5. [OK] をクリックします。

エラボレーション結果の表示

[Elaboration] ウィンドウに、RTL ソースファイル内のエラーを示すコンパイル結果が示されます。

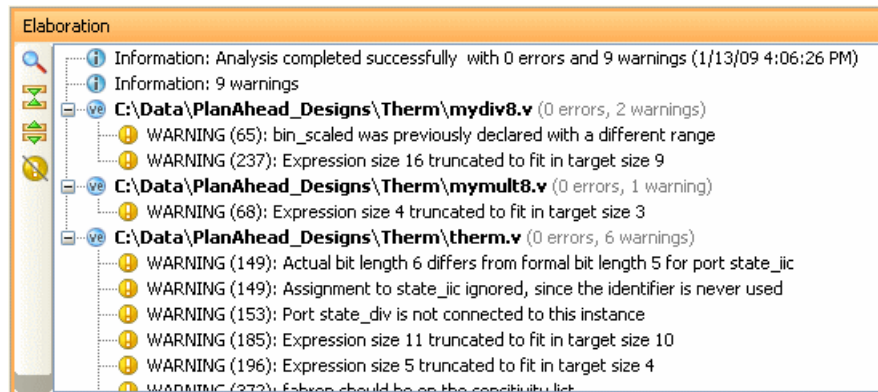


図 6-12 : エラボレーション結果の表示

[Elaboration] ウィンドウで警告またはエラーの行をどれか選択すると、該当 RTL ソース ファイルが RTL エディタに読み込まれ、問題のソース コードがハイライトされます。

エラーのみをフィルタ

RTL エラボレーション結果でエラー メッセージのみを表示するようフィルタを使用することができます。

[Hide Warning Messages] ボタンをクリックしエラーのみを表示します。



図 6-13 : エラボレーション結果 : [Hide Warning Messages] ボタン

[RTL] ウィンドウの使用

エラボレーションが正しく終了すると、[RTL] ウィンドウが開き、RTL ロジック階層が表示されます。

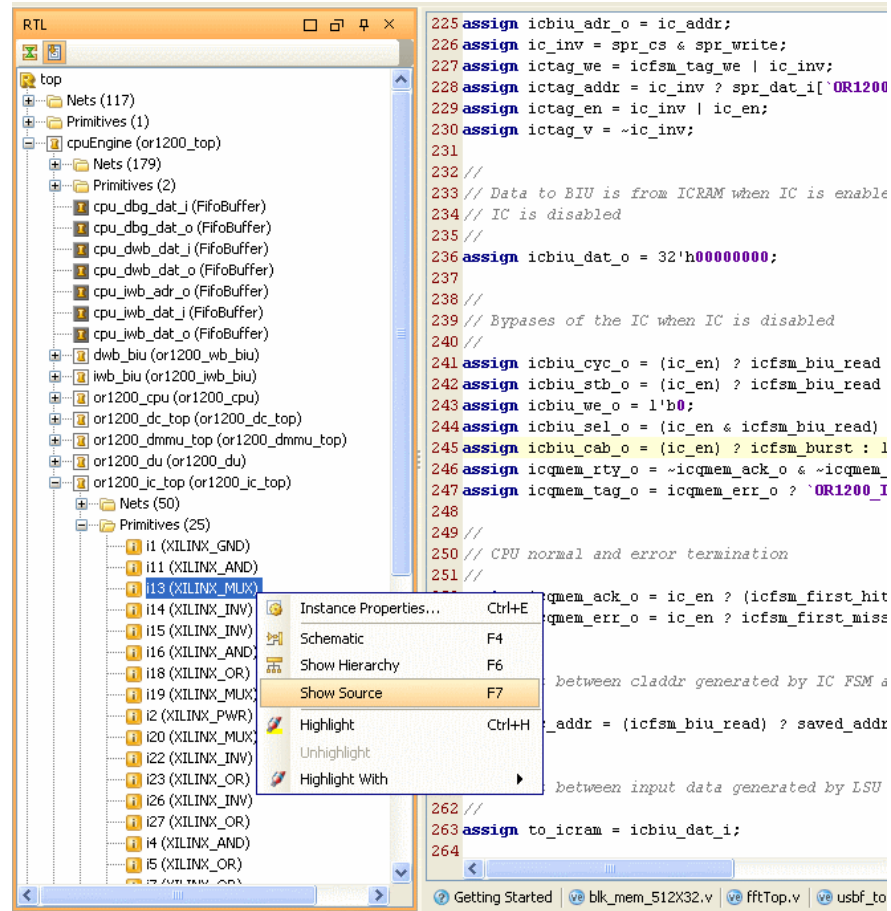


図 6-14 : [RTL] ウィンドウ

RTL ネットリストは、ツリーのプラス記号 (+) およびマイナス記号 (-)、およびウィンドウ特有のツールバー アイコンを使用して、展開または非展開にできます。

[RTL] ウィンドウのポップアップ メニュー コマンドの使用

共通のポップアップ メニュー コマンドは 255 ページの「共通のポップアップ メニュー コマンドの使用」を参照してください。[RTL] ウィンドウのポップアップ メニュー コマンドは次のようになっています。

- [Schematic] : [RTL Schematic] ウィンドウが開きます。
- [Show Hierarchy] : [RTL Hierarchy] ウィンドウが開きます。
- [Show in Source] : HDL エディタが開き、選択したロジックがハイライト表示されます。

[RTL Hierarchy] ウィンドウの使用

RTL ネットリスト階層は、[RTL Hierarchy] ウィンドウで確認できます。このウィンドウは、[Show Hierarchy] ポップアップ メニュー コマンドを実行すると開きます。

モジュールの大きさを相対的に示したデザイン ロジック階層が、[RTL Hierarchy] ウィンドウに図で表示されます。

ほかのウィンドウで選択されたモジュールは、[RTL Hierarchy] ウィンドウでハイライト表示されます。

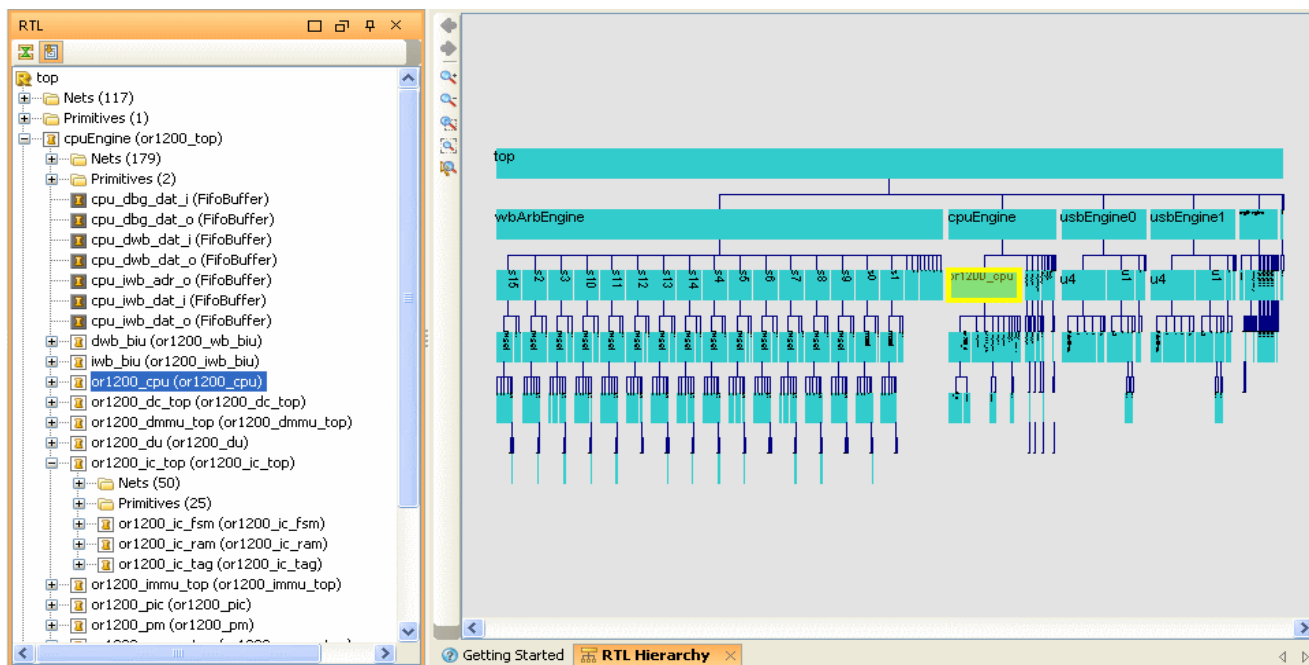


図 6-15 : [RTL Hierarchy] ウィンドウ

[RTL Hierarchy] ウィンドウの機能は、インスタンスの [Hierarchy] ウィンドウと似ています。[RTL Hierarchy] ウィンドウの操作についての詳細は、240 ページの「[Hierarchy] ウィンドウの使用」を参照してください。

モジュールのリソース見積りの表示

[RTL] ウィンドウの機能は、[Netlist] ウィンドウと似ています。ロジック階層のどのレベルも選択でき、ハードウェア リソースを解析できます。[Instance Properties] ウィンドウの [Statistics] タブをクリックすると、選択されたモジュールまたは [RTL] ウィンドウの最上位モジュールに必要なデバイス リソースの予測が表示されます。ロジック リソースは [Arithmetic]、[Comparators]、[Multiplexers]、[Storage] というふうに分類されます。メモリおよびプリミティブの表が表示され、すべてのメモリ名、深さ、ビット幅、ポート数などがリストされます。マクロ/プリミティブはビット幅別に階層に表示されます。

Resource Estimator では、合成実行前の RTL デザインのハードウェア リソースの情報が使用されるため、ランタイムが早くなります。現在、見積りの正確さは平均 +/-15% です。

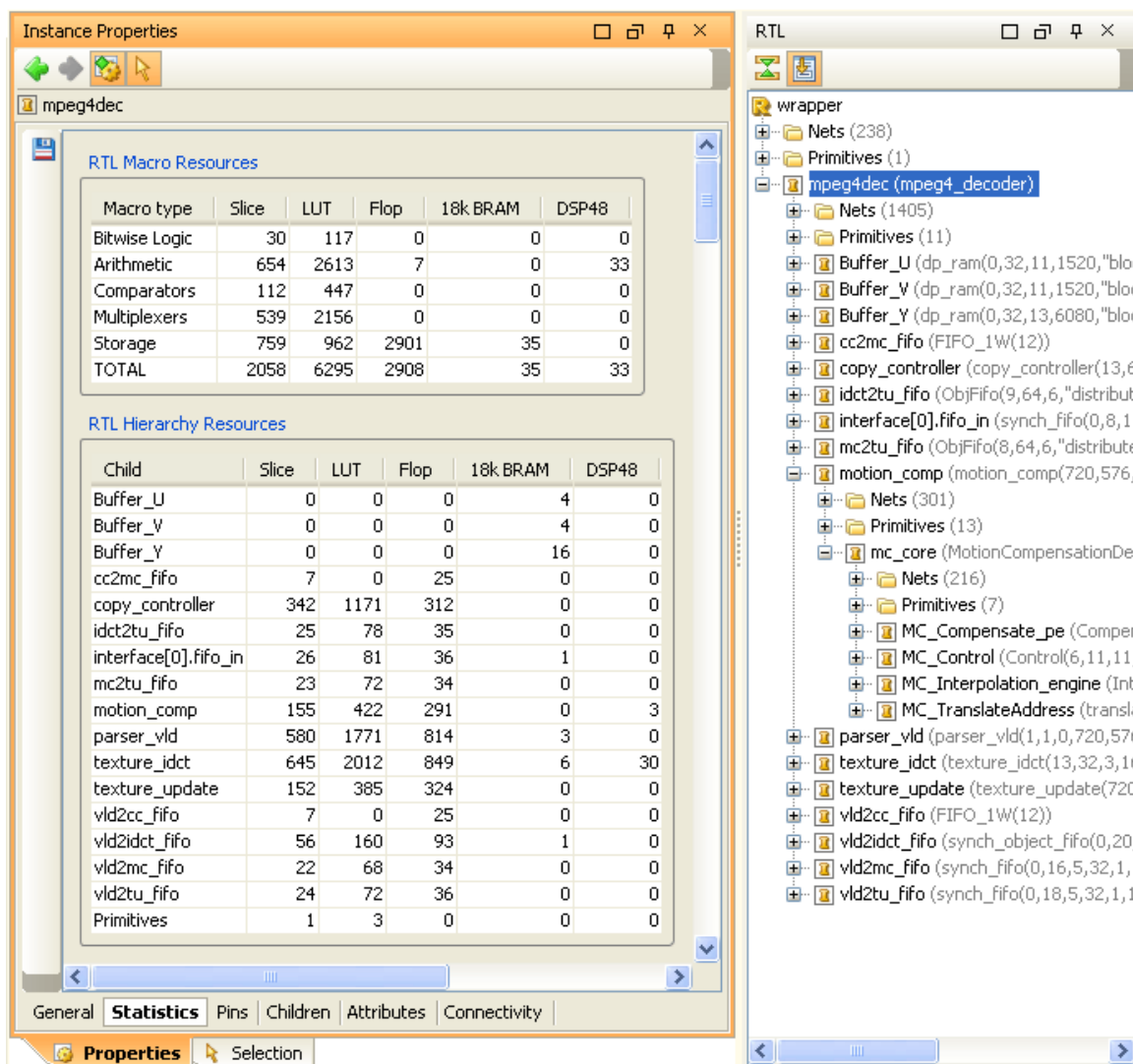


図 6-16 : RTL リソース見積りの表示

[Save] をクリックし統計レポートを XML (解析用) または XLS 形式で保存します。

RTL 回路図の解析

[RTL] ウィンドウの機能は、[Netlist] ウィンドウと似ています。ロジック階層のどのレベルでも、選択して [RTL Schematic] ウィンドウに表示できます。ロジックを選択して [RTL Schematic] ウィンドウを開くには、次のコマンドのいずれかを実行します。

- [Schematic] ボタンをクリックします。
- [Tools] → [Schematic] をクリックします。
- ポップアップ メニューで [Schematic] をクリックします。

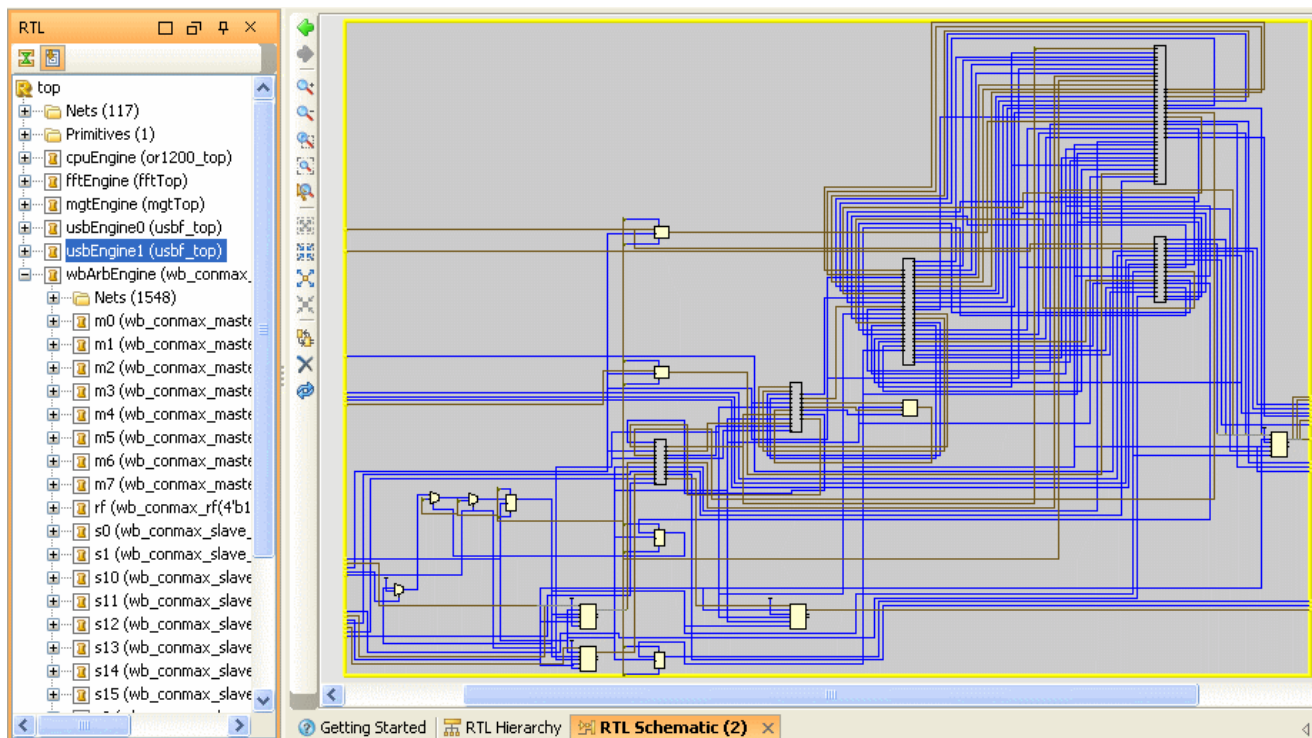


図 6-17 : [RTL Schematic] ウィンドウ

[RTL Schematic] ウィンドウの機能は、[Schematic] ウィンドウと似ています。[RTL Schematic] ウィンドウの操作についての詳細は、[230 ページの「\[Schematic\] ウィンドウの使用」](#)を参照してください。

[Find] コマンドを使用したオブジェクトの検索

いったん RTL デザインをエラボレートしたら、いろいろなフィルタ機能を備えた [Find] コマンドを使用しロジック オブジェクトを検索できます。詳細は、[274 ページの「\[Find\]コマンドを使用したオブジェクトの検索」](#)を参照してください。

RTL DRC の実行

実行する DRC ルールの選択

PlanAhead では RTL デザイン エラボレーションの後に実行できる DRC がいくつか提供されています。これらの DRC は電力消費低減およびパフォーマンスの改善に焦点を当てています。

1. デザインをエラボレートした後、次のいずれかのコマンドで DRC を実行します。
 - ◆ [Tools] → [Run DRC] をクリックします。
 - ◆ ツールバーの [Run DRC] ボタンをクリックします。



図 6-18 : [Run DRC] ボタン

2. [Run DRC] ダイアログ ボックスが表示されます。目的のルールを選択します。

ルールの詳細は、「[RTL DRC ルールの定義](#)」を参照してください。

3. [OK] をクリックします。

DRC エラーの解析

エラーが検出されたら、[DRC Results] ウィンドウが表示されます。

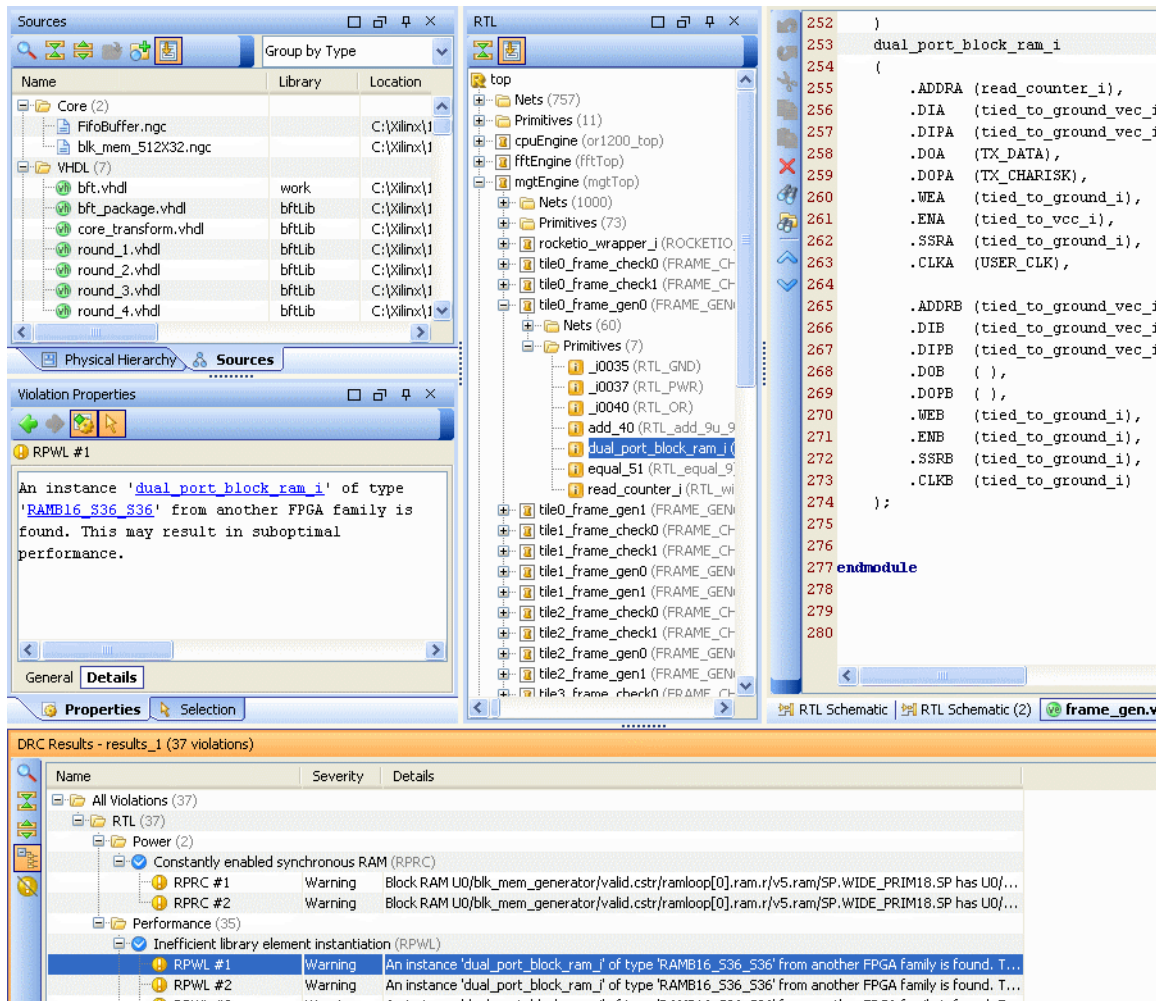


図 6-19 : DRC エラーのあるオブジェクトの選択

このウィンドウのナビゲーション機能は次のようになっています。

- エラーを選択すると [Violations Properties] ウィンドウにエラーの情報が表示されます。
- [Violations Properties] ウィンドウのリンクをクリックすると問題のデザイン オブジェクトがハイライトされます。
- [Show Source] ポップアップ メニュー コマンドを使用すると RTL ソースの行がハイライトされます。

警告および情報メッセージを非表示にし、エラーのみを表示する場合は、ツールバーの [Hide Warning and Information Messages] ボタンをクリックします。もう 1 度このボタンをクリックすると、すべての警告およびエラー メッセージが表示されます。

RTL DRC ルールの定義

次の表に、デザイン オブジェクトごとの DRC ルール、目的、重大度を示します。

RTL ルール

表 6-1 : 電力のルール

ルール名	ルールの略称	説明	重要性
Constantly enabled synchronous RAM	RPRC	常にイネーブルの RAM (自動推論またはインスタンス化されたもの) が片方または両方のポートで検出されました。この RAM が常にアクセスされていないかどうかを判断します。アクセスされていないのであれば、この RAM をディスエーブルにするロジックを記述することで、電力消費を大幅に低減できる場合があります。	警告
Inefficient dangling BRAM port	RPRM	接続されていない出力ポートのある RAM が検出され、WRITE_MODE が NO_CHANGE 以外の値に設定されています。未接続の出力ポートを設定するため (WRITE_MODE を NO_CHANGE に設定)、RAM 記述を変更すると、ブロック RAM の電力消失を最高 10% まで節約できる場合があります。	警告
Shallow RAM implemented in Block RAM	RPRS	Virtex®-5 および Virtex-6 デバイス：幅が 18 ビットを超え、深さが 64 ビット以下の RAM の場合、RAM が FIFO として使用されている場合を除き、可能な限り SelectRAM (分散 RAM として参照される LUT ベースの RAM) を選択します。RAM が FIFO として使用されている場合は、クロスオーバー ポイントは深さ 32 ビット以下です。幅が 18 ビット未満のインターフェイスを構築する場合、深さが 128 ビットまでの場合は LUT ベースの SelectRAM が適していますが、一般的に 128 ビットを超えると、専用ブロック RAM のほうが適しています。	警告
Inefficient mapping of small multiplier in DSP block	RPDS	DSP または、MULT18X18 などのハード乗算器 IP にマップされている小型乗算器は MSB にプッシュする必要があります。残りの LSB はグラウンドにマップする必要があります。これでキャリー伝搬を最小限に抑えることができます。通常のインプリメンテーション、特に乗算器を自動推論する場合、LSB および符号拡張を使用して MSB をマップします。	警告

表 6-2 : パフォーマンスのルール

ルール名	ルールの略称	説明	重要性
Inefficient library element instantiation	RPWL	別の FPGA ファミリに属す「library_component_name」タイプのインスタンス「instance_name」が検出されました。最適なパフォーマンスが得られない場合があります。ISE® で、このエレメントは選択されているファミリの類似エレメントに自動的にマップされます。しかし、元のエレメントを自動推論またはインスタンス化するためのソースコードを変更すれば、このエレメントにある追加または拡張機能を利用できます。これで、エリア使用率、パフォーマンスなどが改善される場合があります。	警告
Missing pipeline register	RPPR	レジスタを介していない出力のある乗算器が検出されました。レジスタを追加して乗算器クロックのパフォーマンスを改善できます。さらに、これらのレジスタで非同期制御信号の使用を避けるのがベストです。 レジスタを介していない出力のある RAM/ROM が検出されました。レジスタを追加して RAM/ROM クロックのパフォーマンスを改善できます。さらに、これらのレジスタで非同期制御信号の使用を避けるのがベストです。	警告
In efficient pipeline register	RPIP	乗算ファンクションの入力または出力に非同期制御信号がある、レジスタ <register_name> (<file_name>:<line_number>) が検出されました。専用 DSP ハードウェア リソースにはプリセットやクリアなどの非同期制御信号はありません。デバイスを最適に使用できないので、レジスタは専用ハードウェア リソースにはマップされません。	警告
Found Black Box instance not belonging to UNISIM library	RPBX	コンポーネントまたはモジュール <component/module_name> の記述が合成中 (<file_name:line>) 使用できません。このブラックボックスへのパスおよびブラックボックスへのパスは最適化されません。合成ツールの使用率見直しおよびマッピングに悪影響が出る場合があります。	警告

ルール名	ルールの略称	説明	重要性
Found latch in design	RPLD	<signal_name> (<file_name>:<line_num>) 信号のラッチ記述が検出されました。ラッチは、インプリメントされたデザインのビヘイビアが予想どおりのものであることを確認するためにインプリメンテーション後のシミュレーションが必要なタイミング パスを解析しずらくします。	警告
Found combinatorial loop in design	RPCL	<signal_name>(<file_name>:<line_num>) 組み合わせループの信号が検出されました。組み合わせループは、組み合わせロジックのコーンで、同じコーンへの部分入力として出力が使用されるときに生成されます。ソースからデスティネーションまでの組み合わせ遅延合計は、フィードバック パス遅延分増やす必要があります。このタイプのストラクチャはデザインの予想ビヘイビアに必要であるか、または偶然である場合があります。	警告

デザインのインプリメンテーション

PlanAhead™ は、さまざまなソフトウェア コマンド オプションや、タイミングおよび物理制約を設定して、複数の合成およびインプリメンテーションを実行することができる環境を提供しています。複数の合成およびインプリメンテーションの実行はキューで待機し、順次に、マルチプロセッサ マシンでは同時に起動します。合成実行には、ザイリンクスの XST 合成ツールが使用されます。

各インプリメンテーション コマンドのオプション設定のセットをストラテジとして作成し保存できます。ストラテジは ISE® ツールを使用し合成やインプリメンテーションの実行に適用されます。

進行状況を確認し、ログ レポートでベストな合成およびインプリメンテーション結果を指定してインポートできます。

本章は、次のセクションで構成されています。

- 「合成の実行」
- 「インプリメンテーションの実行」
- 「実行の監視および設定」
- 「実行の管理」
- 「実行結果のインポート」
- 「インプリメンテーション実行での Bitgen の実行」
- 「ストラテジの作成」
- 「複数の Linux ホストでの実行起動」
- 「ISE とのインターフェイス」

保存されているストラテジの詳細は、「デフォルト環境の出力」を、エクスポートされたファイルの詳細は、「ISE インプリメンテーションの出力」を参照してください。

合成の実行

合成実行の作成および起動

合成実行は同時に作成および起動したり、または別々に作成、設定、起動したりできます。

1 つの合成実行の作成および起動

1. 次のコマンドのいずれかを選択します。
 - ◆ ツールバーの [Run Synthesis] ボタンをクリックします。



図 7-1 : [Run Synthesis] ボタン

- ◆ [Tools] → [Run Synthesis] をクリックします。

[Run Synthesis] ダイアログ ボックスが表示されます。

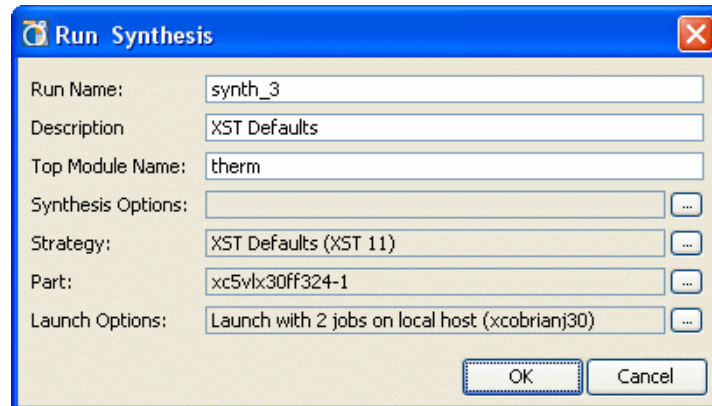


図 7-2 : [Run Synthesis] ダイアログ ボックス

[Run Synthesis] ダイアログ ボックスには、オプションがいくつかあります。

- [Run Name] : 合成実行の名前を入力します。またはデフォルト名をそのまま使用します。
- [Description] : 合成実行の説明を入力します。
- [Top Module Name] : デザインの RTL モジュール名を入力するか、デフォルト名をそのまま使用します。
- [Synthesis Options] : 参照ボタンをクリックし [Synthesis Options] ダイアログ ボックスを開きます。ここでオプションの最上位 VHDL ライブラリ名、Verilog または VHDL オプション、ループ数を入力します。
- [Strategy] : 実行に適用する合成ストラテジを選択します。XST バージョン 10 または 11 のストラテジを選択できます。詳細は、「[ストラテジの作成](#)」を参照してください。

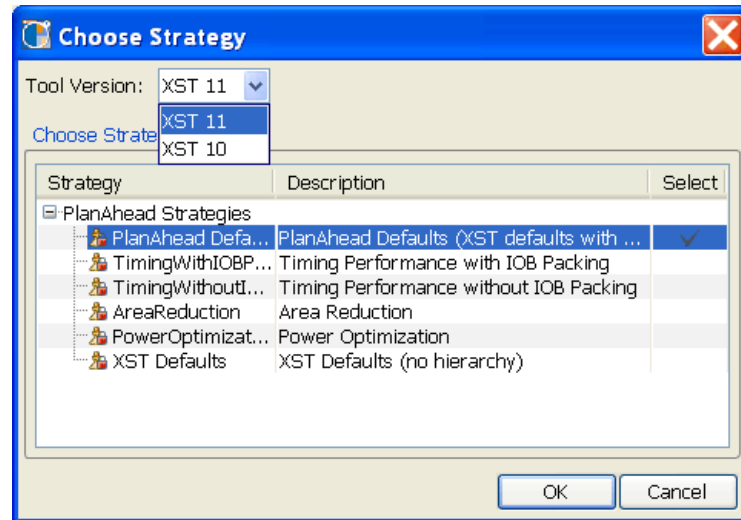


図 7-3 : 合成ストラテジの選択

- [Part] : パーツを選択するか、またはデフォルトのパーツをそのまま使用します。
- [Launch Options] : 追加の起動オプションを選択します。

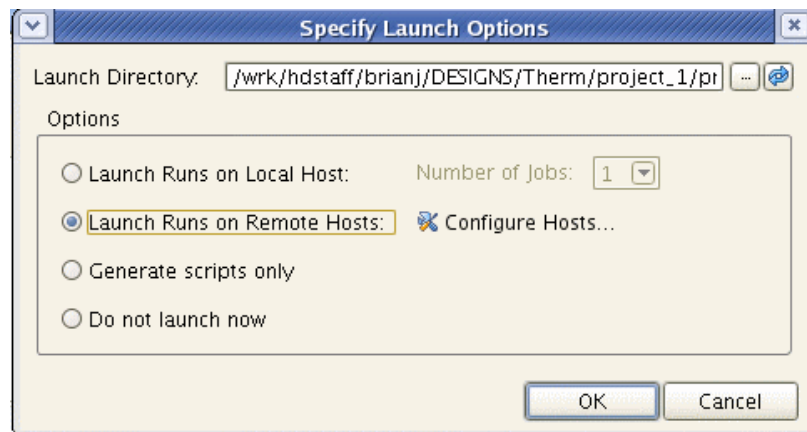


図 7-4 : 合成実行起動のオプション

[Specify Launch Options] ダイアログ ボックスで次のオプションを設定できます。

- ◆ [Launch Directory] : 合成実行データを作成および保存する場所を指定します。
メモ : プロジェクト ファイルには絶対パスが記述されるので、プロジェクト ディレクトリ外のデフォルトでない場所を指定すると不便になります。
- ◆ [Launch Runs on Local Host] : ローカル コンピュータのプロセッサで実行を起動するにはこのオプションを設定します。
 - [Number of Jobs] : 実行に使用するローカル プロセッサの数を定義します。このオプションは複数の実行を同時に起動する場合にのみ使用します。個々の実行は各プロセッサで起動されます。マルチスレッド プロセッサはこのオプションでは使用されません。
- ◆ [Launch Runs on Remote Hosts] : Linux のみ。リモート ホストを使用して 1 つのジョブまたは複数のジョブを実行する場合、このオプションを選択します。

- [Configure Hosts] : リモート ホストを設定する場合にこのオプションを設定します。詳細は、「複数の Linux ホストでの実行起動」を参照してください。
- ◆ [Generate scripts only] : 実行ディレクトリおよび実行スクリプトをエクスポート・作成する場合に設定するオプションです。PlanAhead からは実行を起動しません。スクリプトは PlanAhead 環境外で後で実行できます。
- ◆ [Do not launch the run] : [Design Runs] ウィンドウで実行を作成する場合にこのオプションを選択します。データのエクスポートや実行の起動はしません。

[OK] をクリックすると、選択したオプションを使用して実行が作成されます。

実行が完了すると次のダイアログ ボックスが表示され、次のステップに進みます。

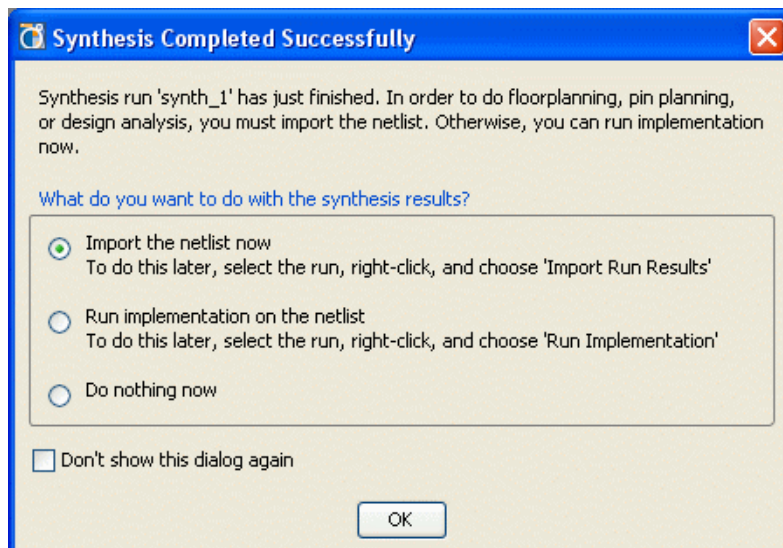


図 7-5 : [Synthesis Completely Successfully] ダイアログ ボックス

2. [Synthesis Completed Successfully] ダイアログ ボックスで、必要なオプションを選択します。
 - ◆ [Import the Netlist Now] : ネットリストを PlanAhead のデザイン解析およびフロアプラン環境にインポートし、I/O ピン割り当て、デザイン解析およびフロアプランを実行します。
 - ◆ [Run Implementation on the Netlist] : [Run Implementation] ダイアログ ボックスが開き、インプリメンテーション実行を作成および起動することができます。
 - ◆ [Do Nothing Now] : PlanAhead 環境のコマンドを使用し、引き続き、合成またはインプリメンテーション実行を作成および起動することができます。

複数の合成実行の作成

PlanAhead では、複数の合成実行を同時に作成・起動することができます。最善の結果が得られるよう、さまざまな合成オプションやツールを試すことができます。

1. 複数の合成実行を作成するには [Tools] → [Run Multiple Strategies] をクリックします。

2. プロンプトが表示されたら、[Run Multiple Strategies] ダイアログ ボックスで [Synthesis] を選択します。

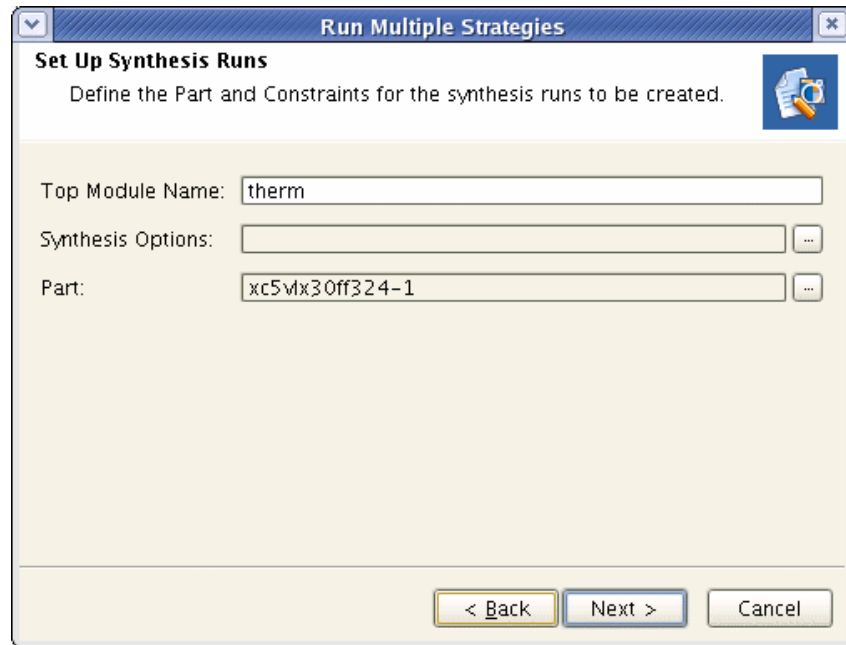


図 7-6 : 複数の合成実行の設定

[Set Up Synthesis Runs] には次のオプションがあります。

- [Top Module Name] : デザインの RTL モジュール名を入力するか、デフォルト名をそのまま使用します。
- [Synthesis Options] : 参照ボタンをクリックし [Synthesis Options] ダイアログ ボックスを開きます。ここでオプションの最上位 VHDL ライブラリ名、Verilog または VHDL オプション、ループ数を入力します。
- [Part] : パーツを選択するか、またはデフォルトのパーツをそのまま使用します。

3. [Next] をクリックし [Choose Synthesis Strategies] に進みます。

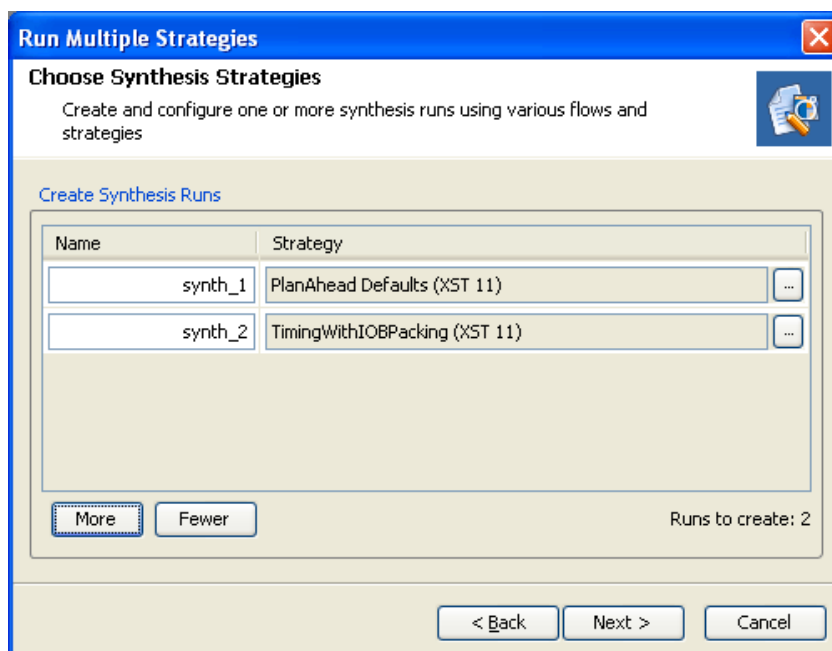


図 7-7 : 合成ストラテジの選択

4. 最初の実行に対し [Name] および [Strategy] を選択します。
5. [More] ボタンをクリックし、ほかの実行を追加します。
6. 追加実行に対しても名前および合成ストラテジを入力します。
7. [Next] をクリックし [Launch Options] に進みます。[Launch Options] の詳細は、「[1 つの合成実行の作成および起動](#)」を参照してください。
8. [OK] をクリックすると、定義した実行が作成され、指定の起動オプションが実行されます。

合成に関するヒント

合成方法については、次の項目を参考してください。ISE 合成結果の最適化については、『合成/シミュレーション デザイン ガイド』を参照してください。

1. できる限り、クリティカル タイミング パスが個々のモジュールに接続されるよう、RTL レベルでデザインをパーティションします。多数の階層モジュールにまたがるクリティカル パスはフロアプランしにくくなります。
2. すべてのモジュールの出力にレジスタを付けてください。これでクリティカル パスに関連するモジュールの数を制限することができます。
3. 1 つの大型階層ブロックにあるロング パスはフロアプランしにくくなります。RTL で大型階層ブロックを分割するよう考慮してください。
4. デザインの変更頻度が高い場合は、インクリメンタル合成を考慮してください。インクリメンタル アプローチでは、個々のブロックを別々に合成したり、合成属性 (SYN_HIER=HARD) を使用して階層を保持することができます。階層保持は、インクリメンタル フローに役立ちますが、グローバル最適化が階層全体で行われないため、パフォーマンスが低下する場合があります。インクリメンタル RTL 合成を試す前に、このトレードオフを考慮してください。

5. 階層の再構築のため、または合成ネットリストでの階層保持のため、合成エンジンを制約します。フラットなネットリストは合成面から見て最適かもしれませんが、確実なフロアプランや配置制約を行うのが難しくなります。合成ツールのオプションの使用を考慮してください。たとえば、階層の再構築には、XST コマンド ライン オプション `-netlist_hierarchy = rebuilt` を使用します。これは v9.2 以降の XST で使用できるオプションです。

インプリメンテーションの実行

PlanAhead では、`ngdbuild`、`map`、`par`、`trce`、および `xdl` の一連の ISE コマンド シーケンスの実行は「インプリメンテーション」と呼ばれます。`bitgen` コマンドは、十分なインプリメンテーション結果を得た後に PlanAhead 環境から別の実行することができます。PlanAhead では結果表示および解析を行うためのこれらのコマンドが自動的に実行されます。実行データはすべてプロジェクトディレクトリに保存されます。

インプリメンテーション実行の作成および起動

インプリメンテーション実行は同時に作成および起動したり、または別々に作成、設定、起動したりできます。

1 つのインプリメンテーション実行の作成および起動

1. 次のコマンドのいずれかを選択します。
 - ◆ ツールバーの [Run Implementation] ボタンをクリックします。



図 7-8 : [Run Implementation] ボタン

- ◆ [Tools] → [Run Implementation] をクリックします。

[Run Implementation] ダイアログ ボックスが表示されます。

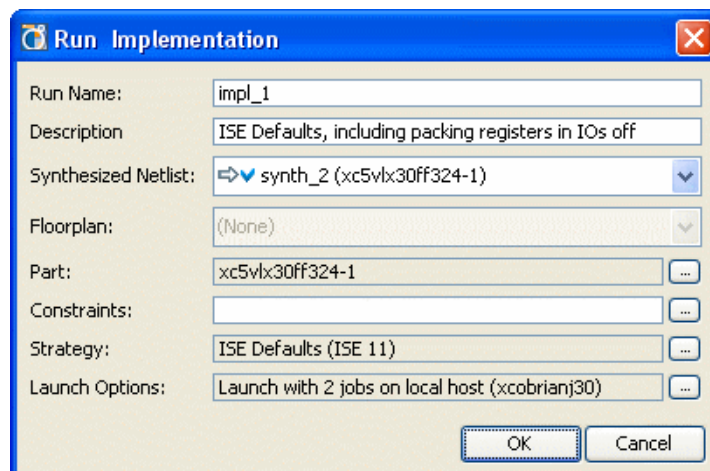


図 7-9 : インプリメンテーション実行

[Run Implementation] ダイアログ ボックスには、オプションがいくつかあります。

- [Run Name] : インプリメンテーション実行の名前を入力します。またはデフォルト名をそのまま使用します。

- [Description] : インプリメンテーション実行の説明を入力します。
- [Synthesized Netlist] : インプリメントする合成実行の名前を選択します。
- [Floorplan] : インプリメントするフロアプランの名前を入力します。
- [Part] : パーツを選択するか、またはデフォルトのパーツをそのまま使用します。
- [Constraints] : 最上位 UCF 制約ファイルを選択します。フロアプランが選択されている場合フロアプランからの制約が使用されるため、このフィールドは使用できません。
- [Strategy] : 実行に適用するインプリメンテーション ストラテジを選択します。詳細は、「[ストラテジの作成](#)」を参照してください。

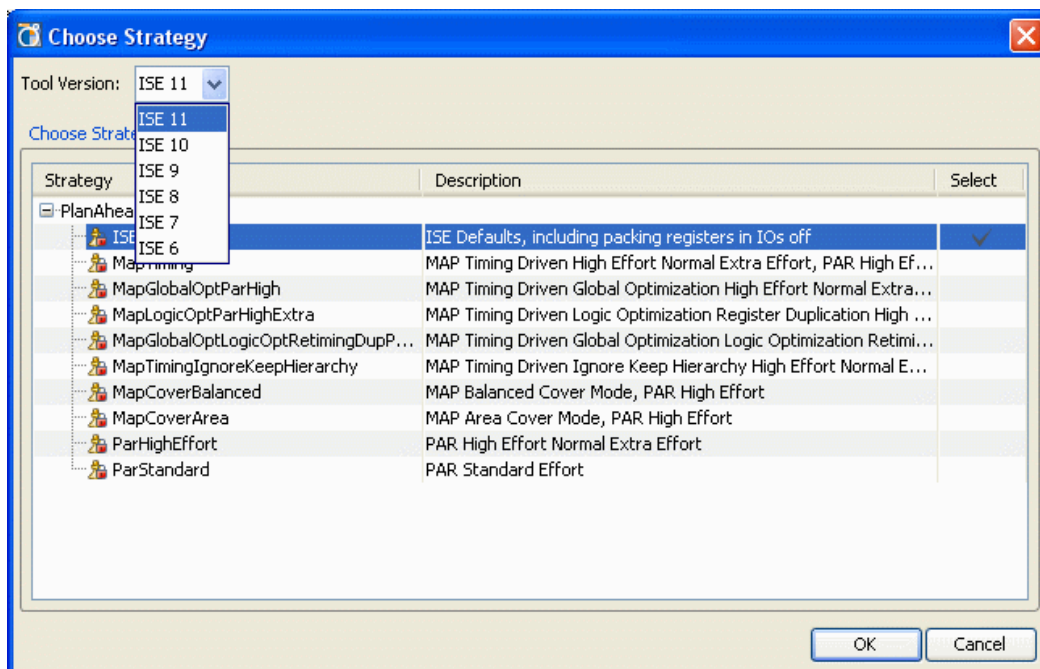


図 7-10 : インプリメンテーション ストラテジの選択

- [Launch Options] : 追加の起動オプションを選択します。

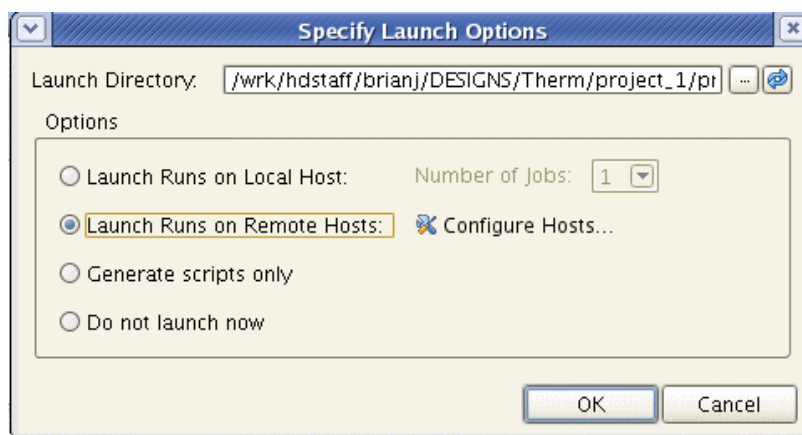


図 7-11 : インプリメンテーション実行起動のオプション

[Specify Launch Options] ダイアログ ボックスで次のオプションを設定できます。

- ◆ [Launch Directory] : インプリメンテーション実行データを作成および保存する場所を指定します。
メモ : プロジェクト ファイルには絶対パスが記述されるので、プロジェクト ディレクトリ外のデフォルトでない場所を指定すると不便になります。
 - ◆ [Launch Runs on Local Host] : ローカル コンピュータのプロセッサで実行を起動するにはこのオプションを設定します。
 - [Number of Jobs] : 実行に使用するローカル プロセッサの数を定義します。このオプションは複数の実行を同時に起動する場合にのみ使用します。個々の実行は各プロセッサで起動されます。マルチスレッド プロセッサはこのオプションでは使用されません。
 - ◆ [Launch Runs on Remote Hosts] : Linux のみ。リモート ホストを使用して 1 つのジョブまたは複数のジョブを実行する場合、このオプションを選択します。
 - [Configure Hosts] : リモート ホストを設定する場合にこのオプションを設定します。詳細は、「[複数の Linux ホストでの実行起動](#)」を参照してください。
 - ◆ [Generate scripts only] : 実行ディレクトリおよび実行スクリプトをエクスポート・作成する場合に設定するオプションです。PlanAhead からは実行を起動しません。スクリプトは PlanAhead 環境外で後で実行できます。
 - ◆ [Do not launch the run] : [Design Runs] ウィンドウで実行を作成する場合にこのオプションを選択します。データのエクスポートや実行の起動はしません。
2. [OK] をクリックすると、選択したオプションを使用して実行が作成されます。

複数のインプリメンテーション実行の作成

PlanAhead では、複数のインプリメンテーション実行を同時に作成・起動することができます。最善の結果が得られるよう、さまざまなインプリメンテーション オプションを試すことができます。

1. 複数のインプリメンテーション実行を作成するには [Tools] → [Run Multiple Strategies] をクリックします。
2. [Run Multiple Strategies] ダイアログ ボックスで [Implementation] を選択します。

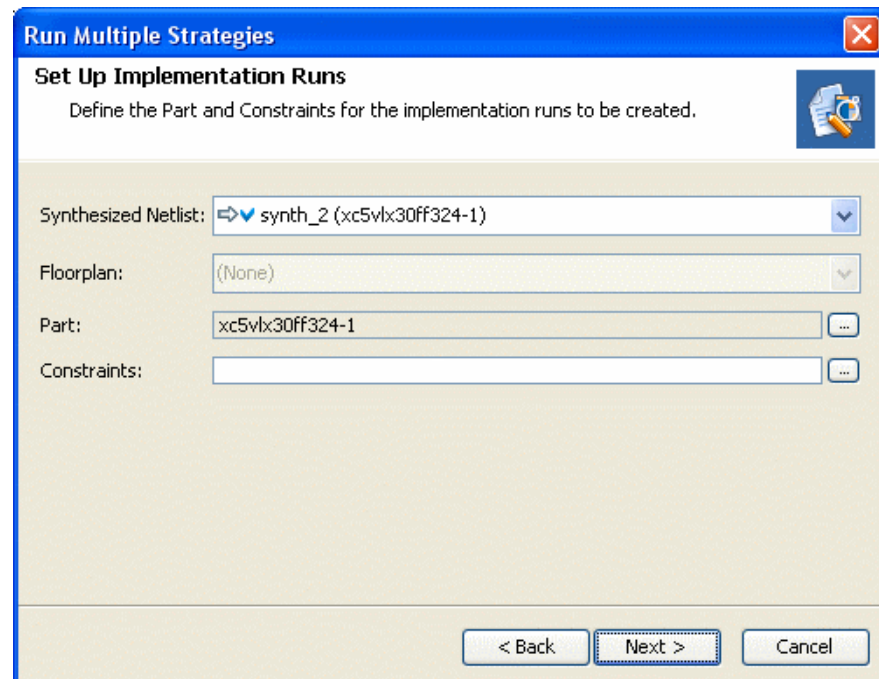


図 7-12 : 複数のインプリメンテーション実行の設定

[Set Up Implementation Runs] には次のオプションがあります。

- ◆ [Synthesized Netlist] : インプリメントする合成実行の名前を選択します。
- ◆ [Floorplan] : インプリメントするフロアプランの名前を入力します。
- ◆ [Part] : パーツを選択するか、またはデフォルトのパーツをそのまま使用します。
- ◆ [Constraints] : 最上位 UCF 制約ファイルを選択します。フロアプランが選択されている場合フロアプランからの制約が使用されるため、このフィールドは使用できません。

3. [Next] をクリックし [Choose Implementation Strategies] に進みます。

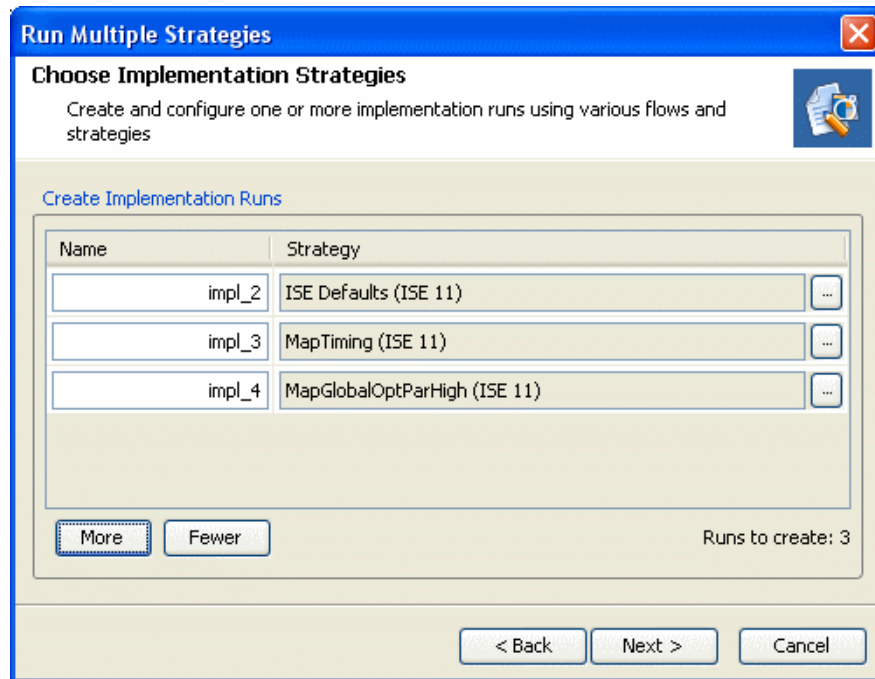


図 7-13 : [Run Multiple Strategies] ダイアログ ボックス

4. 最初のインプリメンテーション実行に対し名前を入力し、ストラテジを選択します。
5. [More] ボタンをクリックし、ほかの実行を追加します。
6. 追加実行に対しても名前およびインプリメンテーション ストラテジを入力します。
7. [Next] をクリックし [Launch Options] に進みます。[Launch Options] の詳細は、「[1 つのインプリメンテーション実行の作成および起動](#)」を参照してください。
8. [OK] をクリックすると、定義した実行が作成され、指定の起動オプションが実行されます。

Pblock のインプリメント

PlanAhead の特色は、Pblock を個別にインプリメントできることです。ISE ソフトウェアの -u オプションを使用すると ISE インプリメンテーションで使用するモジュールを分離できるため、次に説明するように、最大のデザイン パフォーマンスを実現する際に多くの利点があります。

スタンドアロンの Pblock をインプリメントすると、ISE でそのロジックの最高のパフォーマンスが得られます。これは、ベスト ケースの場合のモジュールのパフォーマンスを知る指標となります。スタンドアロンの Pblock でタイミング要件が満たされない場合は、デザイン全体でタイミングを満たすのが非常に困難な可能性があります。

パフォーマンスの問題が発生しやすいデザインのロジックは、その部分のロジックをインプリメントして固定してから、最上位のデザインをインプリメントします。配置が固定されていると、パフォーマンスを非常に維持しやすくなります。最上位インプリメンテーションでは、インターコネクトで同じ配線経路が使用できない場合がありますが、その場合は配線遅延が変動します。ロジック固定の手法については、[320 ページの「配置 LOC 制約」](#)を参照してください。

デザインの実行は個々の Pblock に対し作成および設定でき、PlanAhead でフロアプランをインプリメントする際に使用されるのと同じ監視オプションを使用できます。1 つまたは複数の Pblock に対しインプリメンテーション実行を作成できます。

メモ：Pblock を ISE でインプリメントする前に、次のザイリンクス環境変数を設定し、Pblock でロジックが自動削除されないようにします。

`XIL_MAP_NOCLIP_ON_ALL_SIGS_U` (値は 1 に設定)

選択した Pblock の実行作成

[Run Implementation] コマンドは予め選択した Pblock に対し実行します。

選択した Pblock に ISE コマンドを実行するには、次の手順に従います。

1. PlanAhead で Pblock を選択します。
2. 次のコマンドのいずれかを選択します。
 - ◆ [Tools] → [Run Implementation] をクリックします。
 - ◆ [Run Implementation] ボタンをクリックします。



図 7-14 : [Run Implementation] ボタン

[Run Implementation] ダイアログ ボックスの [Pblock] に選択した Pblock が表示されます。

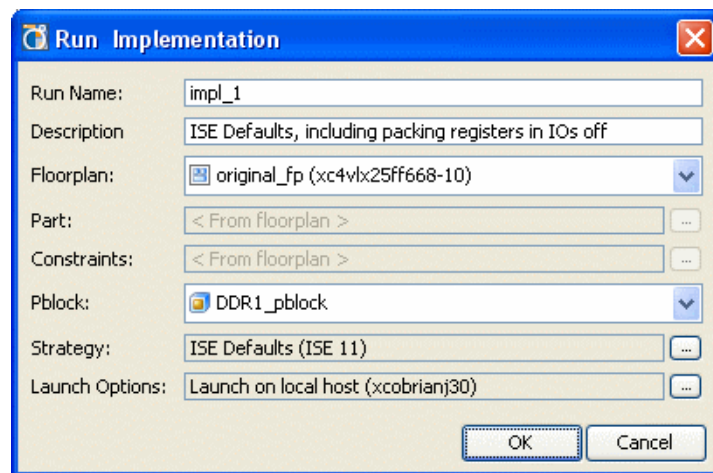


図 7-15 : Pblock の [Run Implementation] ダイアログ ボックス

3. [Run Implementation] コマンドをクリックした後に Pblock を選択することもできます。その場合は、[Pblock] フィールドのドロップダウン メニューから Pblock を選択します。
4. 「インプリメンテーションの実行」で説明したように、実行オプションを選択します。
5. [OK] をクリックします。

[Design Runs] ウィンドウに Pblock の実行が表示され、ほかのインプリメンテーション実行と同様にここで監視・管理できます。

実行の監視および設定

[Design Runs] ウィンドウの使用

実行が作成、起動、またはインポートされると、そのステータスが [Design Runs] ウィンドウに表示されます。[Design Runs] ウィンドウを開くには [Tools] → [Design Runs] をクリックします。

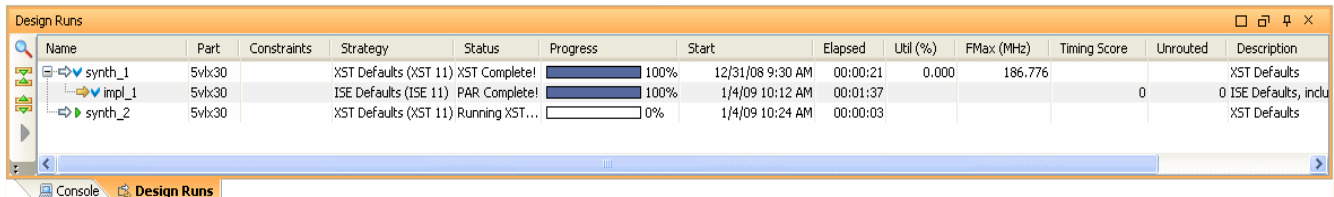


図 7-16 : [Design Runs] ウィンドウ

このウィンドウでは、定義された実行のステータスや結果が表示され、実行の変更、インポート、起動、管理のためのコマンドを実行することができます。また、合成およびインプリメンテーション実行の管理とレポートにもこのウィンドウを使用します。

実行中は左側に緑の矢印がこのウィンドウの左側に表示されます。完了した実行は青色のチェックマークに変わります。コマンド実行中は実行の詳細が表示されます。起動中の実行に影響を及ぼすことなく **PlanAhead** を閉じることができます。プロジェクトを次に開いたときに、アップデートされた最新ステータスが [Design Runs] の表に表示されます。

表には次の情報が表示されます。

- **[Name]** : 実行名を表示します。
- **[Part]** : 実行に選択されているパーツを表示します。
- **[Constraints]** : 制約ファイル名またはフロアプラン名を表示します。
- **[Strategy]** : 実行に選択されているストラテジを表示します。アスタリスク (*) の付いているストラテジは、コマンド オプション値が [Properties] ウィンドウの [Options] で上書きされたことを示します。
- **[Status]** : 実行ステータスまたは現在実行しているコマンドを表示します。
- **[Progress]** : ngdbuild から xdl までの ISE コマンド シーケンス全体の進行状況を示します。手順によっては時間がかかることがあります。
- **[Start]** : ISE がデザインを処理し始めた時間です。
- **[Elapsed]** : ISE の全コマンドのデザインの処理の経過時間の合計です。
- **[Util (%)]** : 合成実行のみに表示されます。実行の LUT 使用率を示します。
- **[Fmax]** : 合成実行のみに表示されます。XST 合成レポートからのデータで、実行の予想クロック周波数です。
- **[Timing Score]** : インプリメンテーション実行のみに表示されます。進行中または完了した実行の現在のタイミング スコアです。
- **[Unrouted]** : インプリメンテーション実行のみに表示されます。進行中または完了した実行の未配線のネットの数です。
- **[Description]** : 実行の説明です。この説明は、ストラテジを実行に適用した時点で設定されたものですが、後で修正できます。

この表は実行中にダイナミックに更新されます。PlanAhead で生成されたスクリプトを使用し、PlanAhead 外で起動される実行に関しては、PlanAhead を起動した時点でこの表示が更新されます。

[Design Runs] ウィンドウのポップアップ メニュー コマンドの使用

[Design Runs] ウィンドウのポップアップ メニュー コマンドは次のとおりです。

- **[Synthesis/Implementation Run Properties]** : 実行の **[Properties]** ウィンドウが表示されます。詳細は、「[実行プロパティの表示および修正](#)」を参照してください。
- **[Delete]** : 選択した実行を削除します。実行を削除する前に、削除を確認するメッセージが表示されます。
- **[Apply Strategy]** : 新しい実行ストラテジを選択するためのダイアログ ボックスが表示されます。このコマンドは、実行を起動する前にのみ使用できます。
- **[Save as Strategy]** : ストラテジに対する変更内容を新しいストラテジ ファイルに保存します。
- **[Edit Strategies]** : **[Tools]** → **[Options]** → **[Strategies]** をクリックして開くダイアログ ボックスが開き、ストラテジを編集または作成します。
- **[Launch Runs]** : **[Launch Runs]** ダイアログ ボックスを開き、選択した実行を起動します。
- **[Reset Runs]** : **[Reset Runs]** ダイアログ ボックスが開き、前回の実行結果を削除し、実行ステータスを **[Not Started]** に戻します。
- **[Import Run]** : 合成実行のネットリストまたは ISE からのインプリメンテーション結果を PlanAhead 環境にインポートします。**[Design Runs]** ウィンドウには読み込まれたアクティブな実行が太字で表示されます。
- **[Run Multiple Strategies]** : **[Run Multiple Strategies]** ダイアログ ボックスが開き、複数の実行を作成および起動できます。詳細は、「[複数の合成実行の作成](#)」または「[複数のインプリメンテーション実行の作成](#)」を参照してください。
- **[Run Bitgen]** : **[Run Bitgen]** ダイアログ ボックスを開き、ビットストリームを作成します。このコマンドは、完了したインプリメンテーション実行でのみ使用できます。
- **[Export to Spreadsheet]** : **[Design Runs]** の表全体を含んだマイクロソフトの Excel 形式のファイルを作成します。

実行プロパティの表示および修正

各実行には、表示または変更できる実行プロパティがいろいろあります。実行プロパティは実行起動前にしか変更できないものがほとんどです。実行を起動したら、[Reset Run] ポップアップメニュー コマンドを使用してプロパティを表示および編集できます。

実行の一般プロパティの表示

実行を選択し、[Properties] ウィンドウで [General] タブをクリックします。

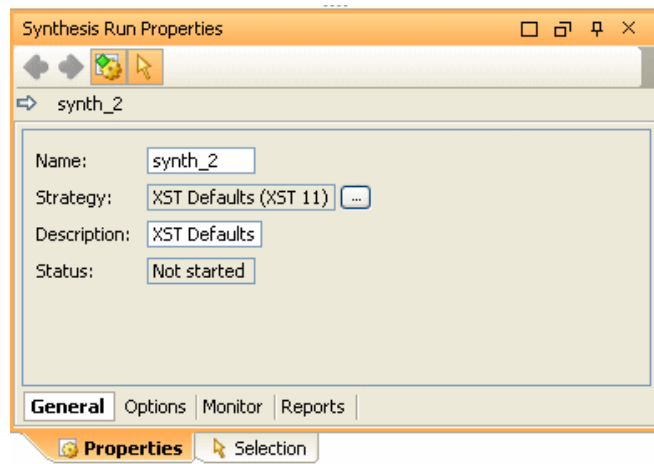


図 7-17 : 合成の一般プロパティの設定

[Synthesis Run Properties] では次の情報を表示または編集できます。

- [Name] : 実行名を設定します。
- [Strategy] : 実行ストラテジを選択します。
- [Description] : 実行の説明を入力します。
- [Status] : 実行ステータスが表示されます。

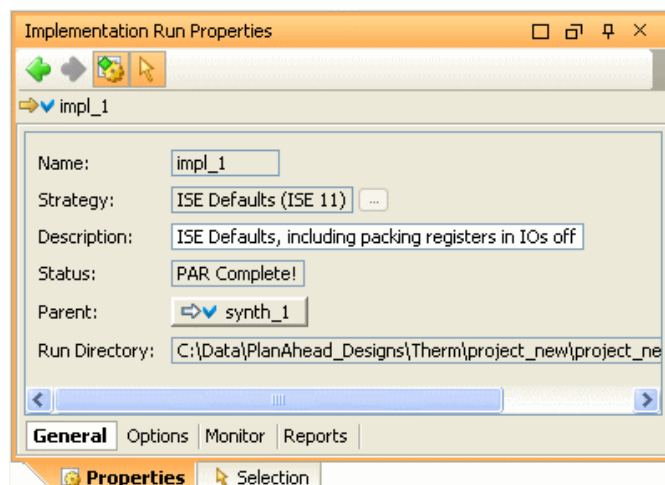


図 7-18 : インプリメンテーションの一般プロパティの設定

[Implementation Run Properties] では次の情報を表示または編集できます。

- [Name] : 実行名を設定します。
- [Strategy] : 実行ストラテジを選択します。
- [Description] : 実行の説明を入力します。
- [Status] : 実行ステータスが表示されます。
- [Parent] : 合成ネットリストまたはインプリメントされている Pblock が表示されます。
- [Run Directory] : 実行データのある、または実行データが作成されるディレクトリが表示されます。

実行ストラテジ オプションの表示

ストラテジで定義されているコマンド ライン オプションは実行の [Properties] ウィンドウの [Options] タブをクリックすると、表示および変更できます。

実行を選択し、[Properties] ウィンドウで [Options] タブをクリックします。

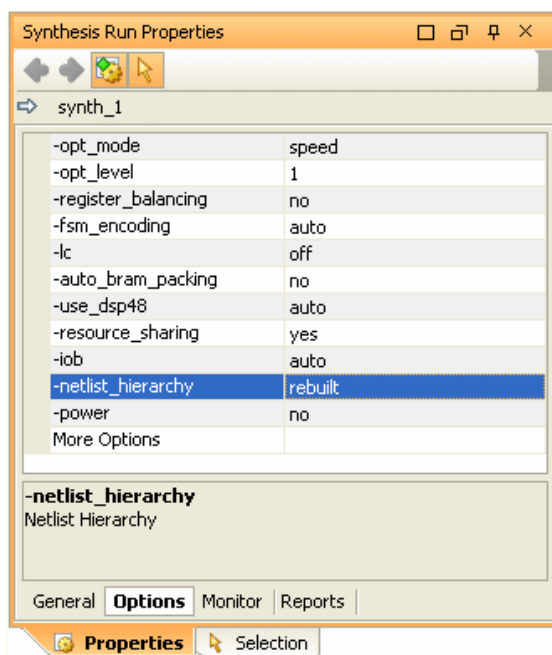


図 7-19 : 合成ストラテジ オプションの設定

すべてのコマンド ライン オプションおよび予め設定されている値が表示されます。コマンド オプションの説明はオプションを選択すると表示できます。

オプションを選択すると、右側にあるプルダウン メニューで使用可能な値を表示できます。

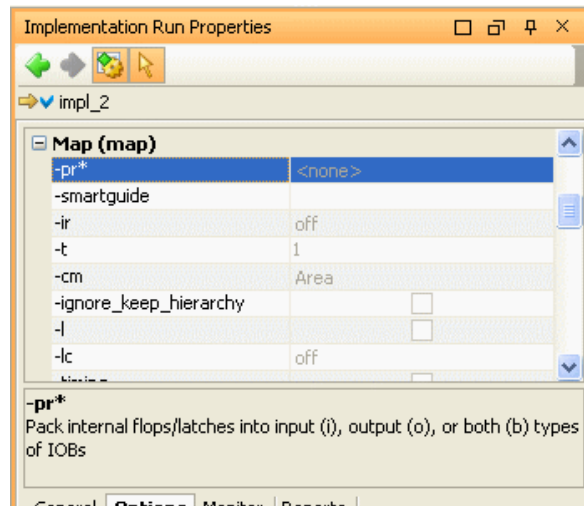


図 7-20 : インプリメンテーション ストラテジ オプションの設定

ストラテジに設定された ISE コマンド オプションの上書き

[Options] タブでストラテジのオプションを変更することができます。

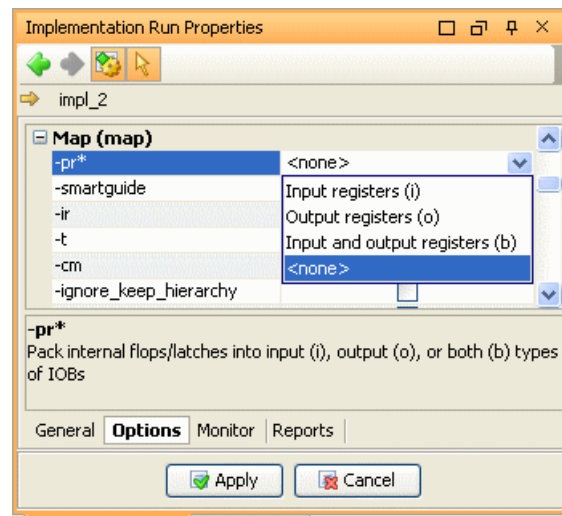


図 7-21 : 実行の [Properties] ウィンドウ :[Options] タブ

ウィンドウのポップアップ コマンドを使用し、ストラテジを上書きし、新しいユーザー定義のストラテジとして保存 (または名前を変更して保存) することができます。表示されていないコマンド オプションは、コマンドの下にある [More Options] フィールドを使用して表示することができます。

[Apply] をクリックすると、変更がすべて適用されます。

値を変更した場合は、オプションの横にアスタリスク (*) が表示され、デフォルトのストラテジの値が変更されたことを確認できます。[Design Runs] ウィンドウの [Strategy] にも同様にアスタリスクが表示されます。

次のセクションで説明するように、ストラテジが開始すると、オプションは編集できなくなります。オプションを編集するには実行をリセットする必要があります。詳細は、「[実行のリセット](#)」を参照してください。

実行ステータスの監視

実行を選択し実行の [Properties] ウィンドウの [Monitor] タブをクリックすると、進行中の実行ステータスを確認できます。コマンドラインに表示されるのと同じ標準コマンドステータスログがここに表示されます。

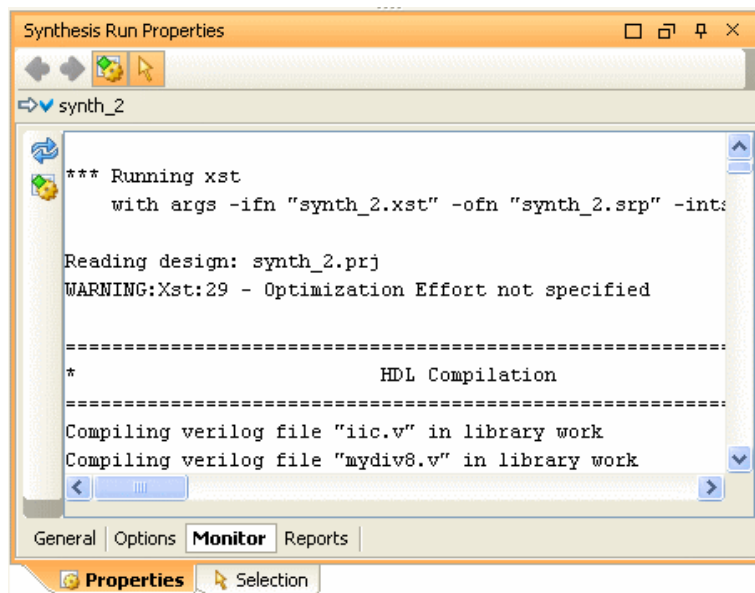


図 7-22 : 実行ステータスの監視

[Monitor] タブは、コマンド実行中は常に更新されます。スクロールバーを使用して、コマンドログの履歴を表示できます。ログ出力を停止するには [Automatically update the contents of this view] ボタンをクリックします。コマンド実行中はこのボタンをクリックしたほうが結果確認しやすくなります。

レポート ファイルの表示

ISE ツールで生成されたレポート ファイルは PlanAhead で表示できます。実行を選択し、実行の [Properties] ウィンドウの [Reports] タブをクリックすると、使用可能なレポート ファイルのリストを表示できます。

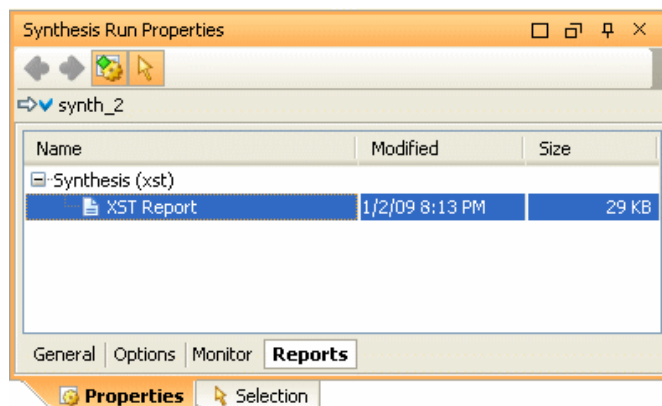


図 7-23 : 表示するレポート ファイルの選択

ワークスペースに選択したレポート ファイルが表示されます。

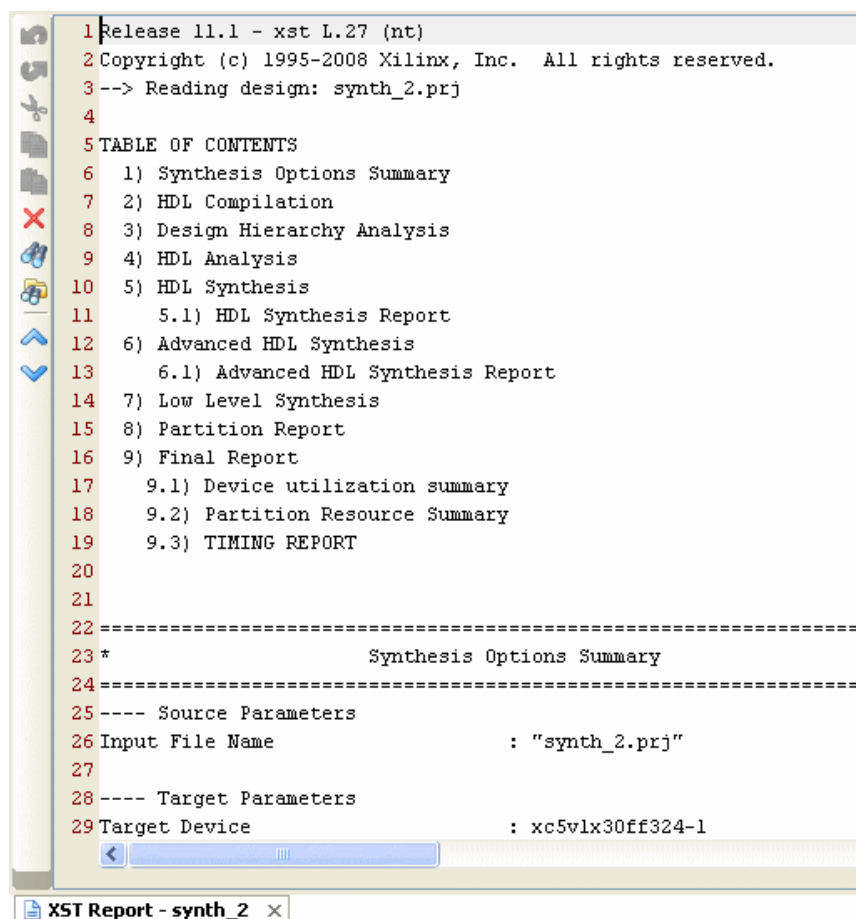


図 7-24 : レポート ファイルの表示

スクロールバーを使用して、レポートファイルを表示します。特定の文字列を検索するにはツールバーの [Find] または [Find in Files] ボタンをクリックします。ファイルの冒頭または終わりに移動するには [Go to the beginning] または [Go to the End] ボタンをクリックします。

実行の管理

既存の実行の起動

[Design Runs] ウィンドウで既存の実行を起動するには [Launch Runs] コマンドを使用します。完了した実行を含め、どのステートにある実行でもこのコマンドは実行できます。[Launch Selected Runs] ダイアログボックスが開き、起動オプションを設定します。

1. [Design Runs] ウィンドウで最低 1 つの実行を選択します。Shift キーまたは Ctrl キーを押しながらクリックすると、複数の実行を選択できます。
2. 次のコマンドのいずれかを選択します。
 - ◆ [Launch Runs] ポップアップ コマンドをクリックします。
 - ◆ [Launch selected runs] ボタンをクリックします。



図 7-25 : [Launch selected runs] ボタン

- ◆ [Launch Runs] ポップアップ メニュー コマンドをクリックします。

[Launch Selected Runs] ダイアログボックスが表示されます。

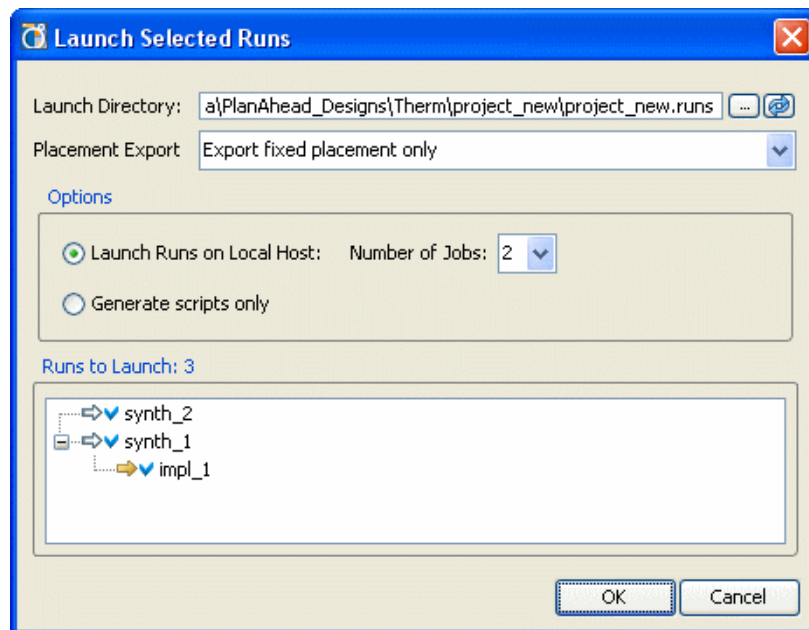


図 7-26 : [Launch Selected Runs] ダイアログボックス

[Launch Selected Runs] ダイアログボックスでは次のオプションを設定できます。

- ◆ [Launch Directory] : 合成実行データを作成および保存する場所を指定します。

メモ : プロジェクトファイルには絶対パスが記述されるので、プロジェクトディレクトリ外のデフォルトでない場所を指定すると不便になります。

- ◆ [Placement Export] : ユーザー定義で「固定」配置になっているもの、または ISE インプリメンテーション実行からのすべての「固定」および「未固定」の配置制約に対し、配置 LOC 制約を指定します。
 - ◆ [Launch Runs on Local Host] : ローカル コンピュータのプロセッサで実行を起動するにはこのオプションを設定します。
 - [Number of Jobs] : 実行に使用するローカル プロセッサの数を定義します。このオプションは複数の実行を同時に起動する場合にのみ使用します。個々の実行は各プロセッサで起動されます。マルチスレッド プロセッサはこのオプションでは使用されません。
 - ◆ [Launch Runs on Remote Hosts] : Linux のみ。リモート ホストを使用して 1 つのジョブまたは複数のジョブを実行する場合、このオプションを選択します。
 - [Configure Hosts] : リモート ホストを設定する場合にこのオプションを設定します。詳細は、「[複数の Linux ホストでの実行起動](#)」を参照してください。
 - ◆ [Generate scripts only] : 実行ディレクトリおよび実行スクリプトをエクスポート・作成する場合に設定するオプションです。PlanAhead からは実行を起動しません。スクリプトは PlanAhead 環境外で後で実行できます。
3. [OK] をクリックすると、選択したオプションを使用して実行が作成されます。
 4. 選択した実行が [Not Started] 以外のステータスになっている場合、起動前に実行をリセットするかどうかの確認メッセージが表示されます。

実行のリセット

選択した実行の結果を削除するには [Reset Runs] コマンドを使用します。ディスクから実行データを削除するかどうかの確認メッセージが表示されます。できる限りディスクから実行データを削除するようにしてください。実行ステータスが [Not Started] に戻ります。

1. [Design Runs] ウィンドウで実行を少なくとも 1 つ選択します。Shift キーまたは Ctrl キーを押しながらクリックすると、複数の実行を選択できます。
2. [Reset Runs] ポップアップ メニュー コマンドをクリックします。

[Reset Runs] ダイアログ ボックスが表示され、選択した実行のインプリメンテーション データをすべてディスクから削除するかどうかを確認します。

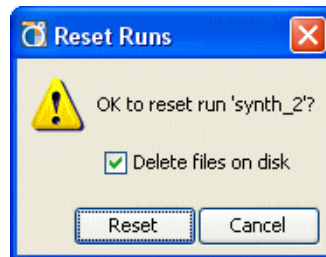


図 7-27 : 実行のリセット

3. [Reset] をクリックすると、リセットが実行されます。

ISE プロセスが実行またはキューの途中であれば、停止するようというメッセージが表示されます。
4. [Yes] をクリックすると、リセットが実行されます。

ステータスがリセットになります。

実行の削除

[Design Runs] ウィンドウから選択した実行を削除し、ディスクからその関連データを削除するには [Delete] コマンドを使用します。削除を確認するメッセージが表示されます。

1. [Design Runs] ウィンドウで実行を少なくとも 1 つ選択します。Shift キーまたは Ctrl キーを押しながらクリックすると、複数の実行を選択できます。
2. 次のコマンドのいずれかを選択します。
 - ◆ ツールバーの [Delete] ボタンをクリックします。



図 7-28 : [Delete] ボタン

- ◆ [Design Runs] ウィンドウの [Delete] ポップアップ メニュー コマンドをクリックします。
- ◆ [Edit] → [Delete] をクリックします。
- ◆ Delete キーを押します。

実行結果のインポート

合成実行結果のインポート

PlanAhead では、解析、I/O ピン配置、フロアプラン、インプリメンテーションのために、合成実行の結果をインポートすることができます。合成実行が完了すると実行をインポートするためのダイアログ ボックスが表示されます。詳細は、「[合成の実行](#)」を参照してください。

インポートするとき、論理ネットリスト確認のためネットリストをインポートするか、フロアプランを作成するかを選択します。フロアプランを作成すると、デザイン解析、フロアプラン、インプリメンテーションを実行できます。

合成実行が完了したら、ネットリストを次のようにインポートすることができます。

1. [Design Runs] ウィンドウで合成実行を選択します。
2. 次のコマンドのいずれかを選択します。
 - ◆ [Design Runs] ウィンドウの [Import Run] ポップアップ コマンドをクリックします。
 - ◆ [Design Runs] ウィンドウのツールバーにある [Import Run] ボタンをクリックします。



図 7-29 : [Import Run] ボタン

メモ : [Design Runs] ウィンドウで完了した実行をダブルクリックすると、[Import Run] ダイアログ ボックスが開きます。

Import Synthesis Results ウィザードが開きます。



図 7-30 : Import Synthesis Results ウィザード

[Create Floorplan after importing] がデフォルトで選択されています。フロアプランを作成する必要がない場合はこのチェックボックスをオフにします。

合成結果を使用したフロアプランの作成

Import Synthesis Results ウィザードの [Choose a Part and a Floorplan Name] ページが開きます。

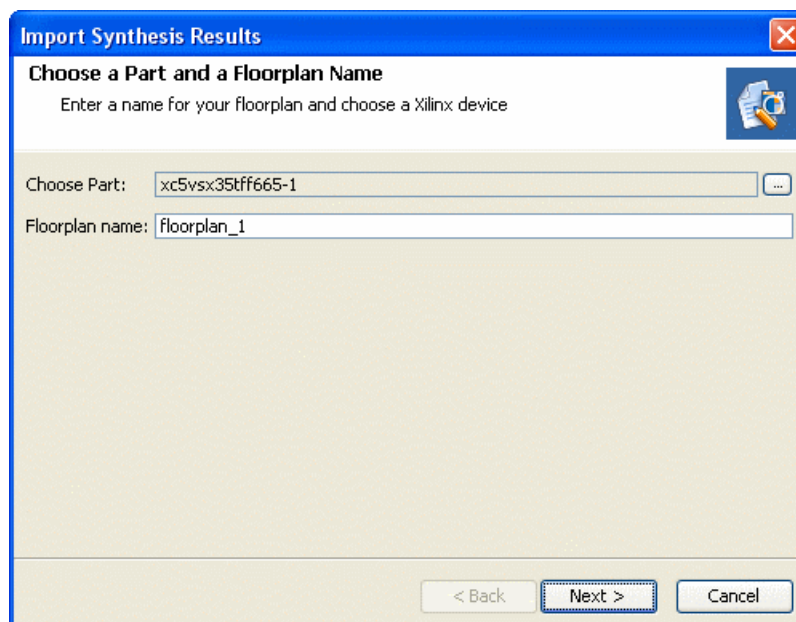


図 7-31 : Import Synthesis Results ウィザード : [Choose Part and Floorplan Name] ページ

3. このページでは次のオプションを設定します。
 - ◆ [Choose Part] : 参照ボタンをクリックしてデバイスを選択します。
 - ◆ [Floorplan name] : フロアプランの名前を入力します。
 4. [Next] をクリックし次に進みます。
- [Import Constraints] ページが表示されます。

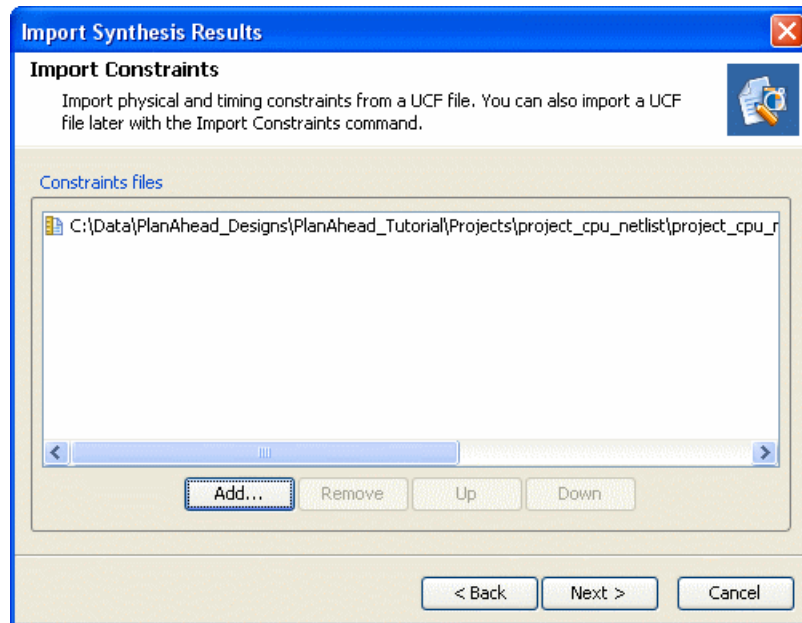


図 7-32 : New Floorplan ウィザード : [Import Constraints] ページ

5. [Add] ボタンをクリックして、インポートする、最上位の UCF または NCF 制約ファイルを選択します。これらのファイルのインポート順は、[Up] ボタンおよび [Down] ボタンを使用して変更できます。[Remove] ボタンをクリックすると、ファイルがリストから削除されます。
モジュール レベルの制約ファイルが使用されている場合は、ここに含めないでください。モジュール レベルの制約のインポートの詳細は、「[モジュール レベルの制約のインポート](#)」を参照してください。
6. [Next] をクリックし次に進みます。
UCF ファイルが PlanAhead にインポートされます。この動作には多少時間がかかる場合があります。
サマリ ページが表示されます。
7. [Finish] をクリックします。

PlanAhead に、インポートされた合成実行結果が表示され、フロアプラン作成のオプションを選択した場合は新しいフロアプランが表示されます。

インプリメンテーション実行結果のインポート

インプリメンテーション実行結果は、解析またはフロアプランのために PlanAhead にインポートすることができます。配置は「未固定」の LOC 制約としてインポートされ表示されます。ISE インプリメンテーション ツールでさまざまなロジック オブジェクトがどこに配置されたかをビジュアル

に確認できます。Trce タイミング結果もインポートして、タイミング パス ロジックをビジュアルに確認することができます。詳細は、第 8 章「デザインの解析」を参照してください。

インプリメンテーション実行が完了したら、次の手順で ISE の配置およびタイミングの結果をインポートできます。

1. [Design Runs] ウィンドウでインプリメンテーション実行を選択します。
2. 次のコマンドのいずれかを選択します。
 - ◆ ポップアップ メニューで [Import Run] をクリックします。
 - ◆ [Design Runs] ウィンドウのツールバーにある [Import Run] ボタンをクリックします。



図 7-33 : [Import Run] ボタン

メモ : [Design Runs] ウィンドウで完了した実行をダブルクリックすると、[Import Run] ダイアログボックスが開きます。

インプリメンテーション実行の配置およびタイミング結果が表示されます。実行を生成するために使用された UCF 制約もインポートされます。PlanAhead で制約を変更した場合、フロアプランとして保存するようプロンプトが表示されます。

複数の実行結果をインポートすることもできます。インポートされた各実行に対し、PlanAhead のメイン ウィンドウ上部に実行名が表示されたタブが表示されます。タブをクリックすると関連実行結果データが表示されます。

フロアプラン用の実行結果のインポート

フロアプランに関連した実行結果は上述の方法でインポートされます。違いは、フロアプランごとに 1 つの実行のみが表示されることです。PlanAhead のウィンドウ上部にフロアプラン名が表示されたタブが表示されます。フロアプラン実行結果がインポートされるたびに、結果は同じフロアプランのウィンドウ レイアウト タブに表示されます。

インプリメンテーション実行での Bitgen の実行

実行が完了したら ISE Bitgen コマンドを実行し、ビットストリーム データを作成できます。この方法は次のとおりです。

1. [Design Runs] ウィンドウで完了した実行を選択します。
2. ポップアップ メニューで [Run BitGen] コマンドをクリックします。

[Run BitGen] ダイアログ ボックスが表示されます。

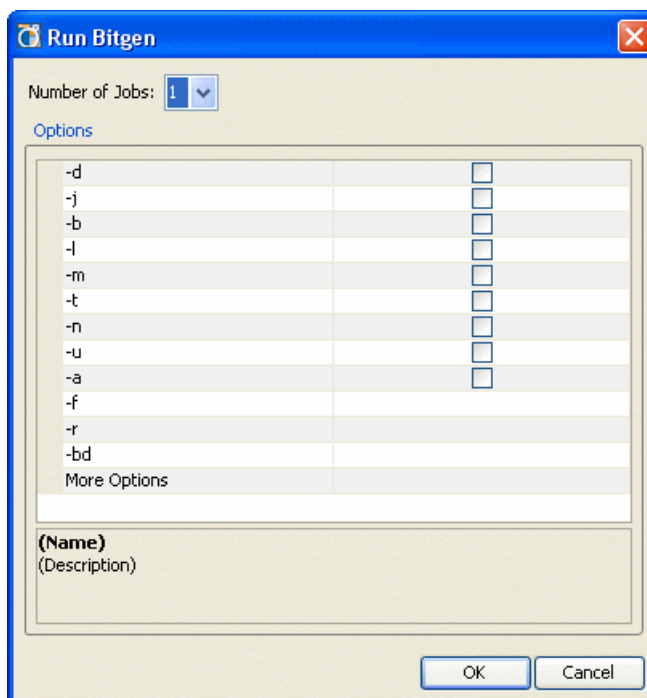


図 7-34 : Bitgen オプションの設定

Bitgen の実行前にコマンド オプションを設定できます。オプションを選択すると、ダイアログ ボックスにオプションの説明が表示されます。プルダウン メニューから使用可能なオプション値を選択できます。

3. [OK] をクリックしてコマンドを実行します。

コマンドのステータスは実行の [Properties] ウィンドウの [Monitor] タブに表示され、Bitgen レポート ファイルは [Reports] タブで確認できます。

実行ディレクトリにビット ファイルが作成されます。

ストラテジの作成

合成およびインプリメンテーション ストラテジの作成

ストラテジは、各 ISE インプリメンテーション コマンドのコマンド オプションのセットです。PlanAhead には、よく使用されるストラテジがいくつか含まれています。これは内部のベンチマークで何度も検証済みです。これらのストラテジのオプション設定は編集できませんが、コピーしたものを変更して、新しいストラテジを作成できます。

ストラテジはツールおよびバージョンごとに特化されています。ISE の各メジャー リリースには、そのバージョンに特化されたコマンド ライン オプションがあり、PlanAhead でもサポートされています。特定のツールおよびバージョンからストラテジを選択またはコピーします。

ストラテジを確認、コピー、編集するには次の手順に従ってください。

1. [Tools] → [Options] → [Strategies] をクリックします。

[Strategies] ページが表示されます。定義済みのストラテジのリストが表示されます。

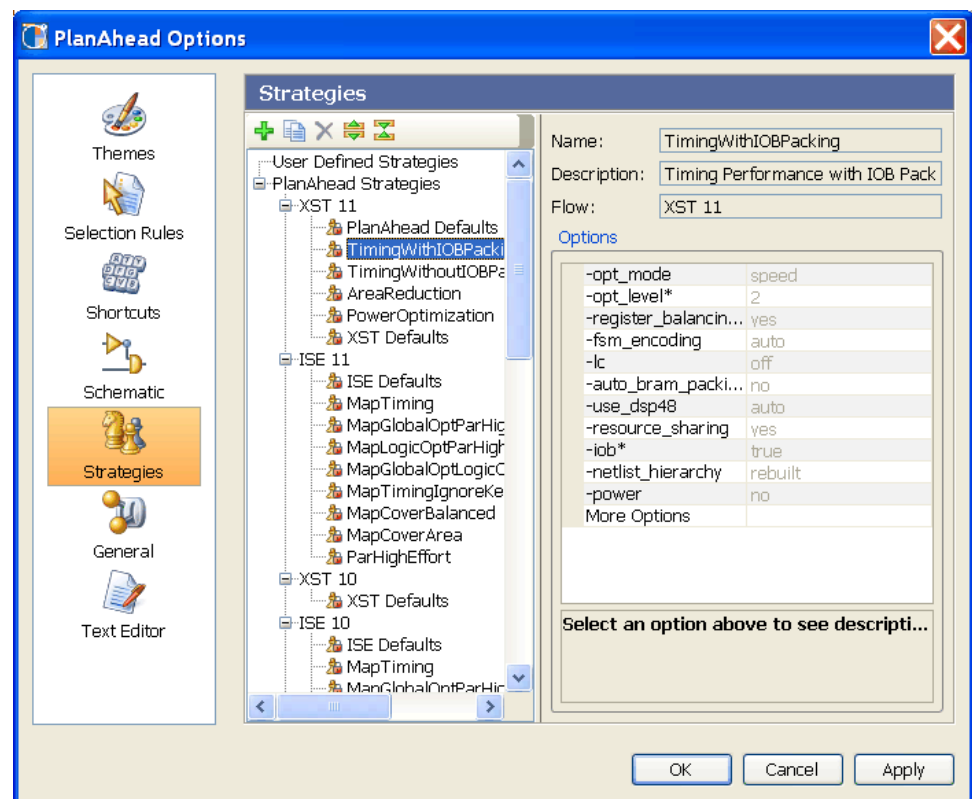


図 7-35 : [PlanAhead Options] ダイアログ ボックス :ストラテジ

2. この定義済みのストラテジを編集できるように、次のいずれかのコマンドを使用して [User Defined Strategies] エリアにコピーします。

- ◆ [Strategies] ツールバーで [Create a copy of this strategy] ボタンをクリックします。



図 7-36 : [Create a copy of this strategy] ボタン

- ◆ [Copy Strategy] ポップアップ メニュー コマンドをクリックします。

ストラテジのコピーが [User Defined Strategies] エリアに作成され、ダイアログ ボックスの右側のコマンド オプションの値が編集できるようになります。ストラテジ ファイルの詳細は、「[ストラテジ ファイル \(<strategyname>.psg\)](#)」を参照してください。

3. [Strategies] ページで編集可能なオプションは、次のとおりです。
 - ◆ [Name] : 実行に割り当てるストラテジ名を入力します。
 - ◆ [Description] : ここで指定したストラテジの説明は、[Design Runs] ウィンドウの表に表示されます。
 - ◆ [Flow] : ストラテジに対応するツールおよびバージョンを入力します。
4. コマンド オプションをクリックすると、表の下にオプションの説明が表示されます。
5. 右側のコマンド オプションをクリックしてドロップダウン メニューからオプションを選択してコマンド オプションを変更できます。ドロップダウン メニューには使用可能なオプションがすべて表示されます。

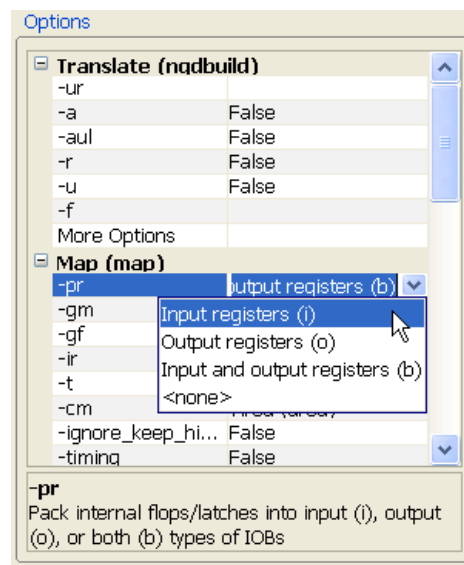


図 7-37 : コマンド オプションと説明

6. [Apply] をクリックしてから [OK] をクリックしてストラテジを保存します。

新しいストラテジは [User Defined Strategies] の下に表示され、「[\[Design Runs\] ウィンドウの使用](#)」で説明するように [Design Runs] ウィンドウで使用できます。

保存されたストラテジの詳細については、「[デフォルト環境の出力](#)」を参照してください。

共通のグループ ストラテジの作成

カスタム ストラテジをグループ単位で作成および使用する場合は、任意のユーザー定義のストラテジを次のディレクトリにコピーできます。

- <InstallDir>/strategies

複数の Linux ホストでの実行起動

PlanAhead には複数の Linux ホストで実行をパラレルに起動する機能があります。これは、サンマイクロシステムズの Grid Engine や LSF などの簡易版を使用した機能です。ジョブ提示アルゴリズムは、SSH を使用した Tcl パイプでインプリメントされています。

制限事項

制限事項は次のようになっています。

- ホスト実行は SSH で実行されます。これは PlanAhead ではなく Linux OS で提供されるサービスです。リモートコンピュータにログインするたびにパスワードを入力する必要がないよう、SSH を設定しておく必要があります。パスワードなしの SSH を設定していない場合、またはパスワード入力のプロンプトが表示されるように SSH を設定してある場合は、[付録 C「パスワードなしの SSH の設定」](#) を参照してください。
- セキュリティ保護のため、また Windows システムにリモート シェルがないため、Linux 間のホスト通信のみがサポートされています。
- ISE ツールのインストールはログイン シェルで設定され、\$XILINX および \$PATH は .cshrc/.bashrc setup スクリプトで正しく設定されます。リモート コンピュータにログインしほかのスクリプトをソースせず「map -help」と入力できる場合、このフローは機能します。ログイン (.cshrc または .bashrc) で ISE 設定がされていない場合、[Run pre-launch script] を使用して環境設定スクリプトをすべてのジョブ前に実行することができます。
- PlanAhead のインストール ディレクトリはリモート コンピュータにマウントされているファイル システムに表示されている必要があります。PlanAhead インストール ディレクトリがローカル ディスクにある場合は、リモート コンピュータでは表示されません。
- PlanAhead プロジェクト ファイル (.ppr) およびディレクトリ (.data および .runs) は、リモート コンピュータにマウントされているファイル システムに表示されている必要があります。デザイン データがローカル ディスクに保存されている場合、それはリモート コンピュータでは表示されません。

リモート ホストの設定 (Linux のみ)

付録 C にあるように SSH を設定したら、リモート サーバーを使用して PlanAhead で実行を起動することができます。このためには、まず次の設定をしておく必要があります。

1. 次のいずれかのコマンドを使用し、リモート ホストを設定します。
 - ◆ [Tools] → [Options] → [Remote Hosts] をクリックします。
 - ◆ [Run Synthesis] ダイアログ ボックスの [Launch Options] をクリックして開く [Specify Launch Options] ダイアログ ボックスで [Configure Hosts] ボタンをクリックします。
 - ◆ [Run Implementation] ダイアログ ボックスの [Launch Options] をクリックして開く [Specify Launch Options] ダイアログ ボックスで [Configure Hosts] ボタンをクリックします。
 - ◆ [Launch Selected Runs] ダイアログ ボックスで [Configure Hosts] ボタンをクリックします。

[Run Hosts] ページが表示されます。

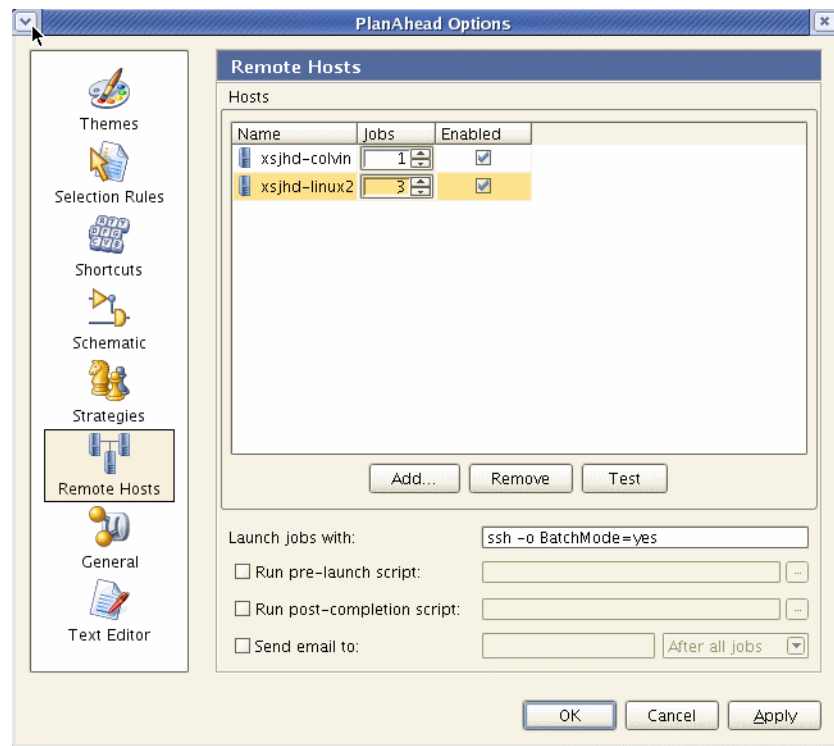


図 7-38 : リモート ホストの設定

2. [Add] ボタンをクリックしてリモート サーバーの名前を入力します。
3. [Jobs] でリモート コンピュータで使用するプロセッサ数を指定します。個々の実行が各プロセッサで起動されます。マルチスレッドのプロセッサは使用されません。
4. [Enable] のチェックボックスのオン/オフを切り替え、サーバーを使用するかどうかを設定します。このフィールドは選択した実行を起動するサーバーを指定するのに使用します。
5. オプションで、[Launch jobs with] フィールドでリモート アクセス コマンドを変更できます。デフォルトでは、ssh に設定されています。

メモ: このフィールドを変更する場合はよく注意してください。たとえば、[BatchMode=yes] を削除すると、シェルで間違ってパスワードのプロンプトが表示されるため、プロセスが停止してしまいます。

6. オプションで、[Run pre-launch script] をオンにし、実行起動前にスクリプトを定義できます。ログイン時 (.cshrc または .bashrc) に ISE が設定されていない場合、このオプションを使用し環境設定スクリプトを渡します。
7. オプションで、[Run post-completion script] をオンにし、実行完了後にスクリプトをカスタム定義できます。
8. オプションで、[Send email to] をオンにし、実行完了の通知を送信する電子メール アドレスを入力できます。
9. 最低 1 つのホストを選択し [Test] ボタンをクリックして、サーバーが使用可能で正しく設定されていることを確認します。

メモ: 各ホストに対しテストを実行してください。

10. 選択したリモート ホストを削除するには [Remove] ボタンをクリックします。

11. [OK] をクリックし、リモート ホストの設定を有効にします。

ISE とのインターフェイス

PlanAhead ソフトウェアでは、外部ソフトウェアである ISE のインプリメンテーションに必要なファイルを選択してエクスポートできます。PlanAhead を使用してデザインをインプリメントする場合は、ISE とインターフェイスさせる必要はありません。

PlanAhead ではインプリメントされたデザインに基づきプロジェクトを作成することができます。詳細は、「[インプリメントされたデザイン ベースのプロジェクトの作成](#)」を参照してください。

制約のエクスポート

フロアプラン制約を ISE にエクスポートする場合、デザイン全体の、または Pblock レベルの UCF 物理制約ファイルのエクスポートします。

フロアプラン制約をエクスポートするには、

1. [Floorplan] タブをクリックします。
2. [File] → [Export Constraints] をクリックします。

[Export Constraints] ダイアログ ボックスが表示されます。

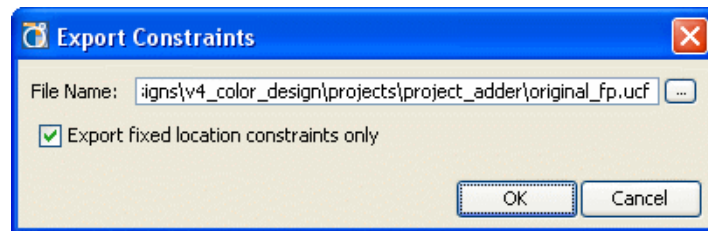


図 7-39 : [Export Constraints] ダイアログ ボックス

3. 編集可能なフィールドを確認し、必要があれば変更します。
 - ◆ [File Name] : UCF 形式の制約ファイルの名前および保存場所を入力します。
 - ◆ [Export fixed location constraints only] : ユーザーが割り当てた「固定」配置 LOC 制約のみをエクスポートする場合はオンに、固定/未固定の区別なく、ISE からインポートしたすべての配置制約をエクスポートする場合はオフにします。
4. [OK] をクリックし制約をエクスポートします。

指定した最上位 UCF 制約ファイルがエクスポート ディレクトリに作成されます。このファイルは、ISE のカスタム インプリメンテーション スクリプトで入力ファイルとして使用できます。

エクスポートされたファイルの詳細は、「[ISE インプリメンテーションの出力](#)」を参照してください。

ネットリストのエクスポート

PlanAhead のネットリストを ISE にエクスポートする場合、デザイン全体の、Pblock レベルの EDIF 形式のネットリスト ファイルをエクスポートします。

デザイン ネットリストをエクスポートするには、次の手順に従います。

1. [Floorplan] タブをクリックします。
2. [File] → [Export Netlist] をクリックします。

[Export Netlist] ダイアログ ボックスが表示されます。

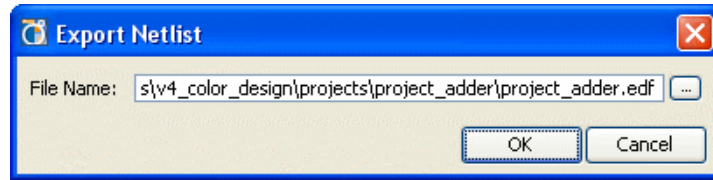


図 7-40 : [Export Netlist] ダイアログ ボックス

3. 編集可能なフィールドを確認し、必要があれば変更します。

◆ [File Name] : EDIF 形式のネットリスト ファイルの名前および保存場所を入力します。

4. [OK] をクリックしネットリストをエクスポートします。

エクスポートされたファイルの詳細は、「[ISE インプリメンテーションの出力](#)」を参照してください。

ISE インプリメンテーション用の Pblock のエクスポート

PlanAhead では、Pblock レベルのファイルをインプリメンテーション用にエクスポートできます。これらの Pblock を構成するロジックは、ロジック階層のどのレベルにも存在します。Pblock をエクスポートすると、Pblock ごとに EDIF ネットリスト ファイルと UCF 物理制約ファイルが作成されます。

Pblock を EDIF および UCF にエクスポートするには、次の手順に従います。

1. 1 つまたは複数の Pblock を選択します。
2. [File] → [Export Pblocks] をクリックします。

Export Pblocks ウィザードが表示されます。

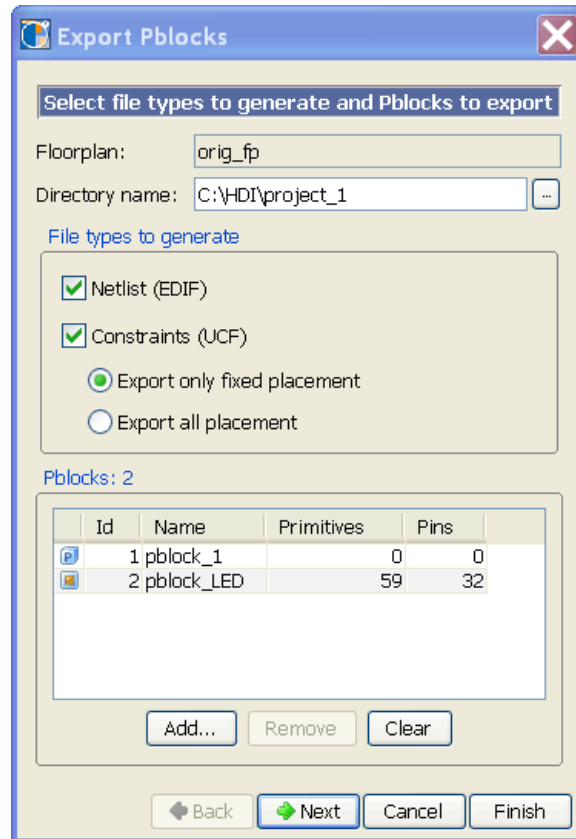


図 7-41 : Export Pblocks ウィザード

3. 編集可能なフィールドを確認し、必要があれば変更します。

- ◆ [Directory name] : ディレクトリ名を入力するか、参照ボタンを使用してエクスポート先のディレクトリを指定します。エクスポートされる Pblock ごとに、<pblockname>_CV という名前のサブディレクトリが作成されます。ISE のインプリメンテーションごとにわかりやすい名前のディレクトリを作成すると、PlanAhead のデザインに関連付けられたさまざまな EDIF ファイルおよび UCF ファイルを管理しやすくなります。エクスポート先のディレクトリは、[Import Placement] コマンドおよび [Import TRCE Results] コマンドにも反映されます。
- ◆ [File types to generate]
 - [Netlist (EDIF)] : ネットリストをエクスポートする場合はオンにします。
 - [Constraints (UCF)] : すべての制約または固定された配置制約のみをエクスポートする場合はオンにします。
- ◆ [Pblocks] : エクスポートされる Pblock が表示されます。

4. [Add] ボタン、[Remove] ボタン、および [Clear] ボタンをクリックすると、それぞれ Pblock のリストへの追加、選択した Pblock のリストからの削除、リスト全体の削除が実行されます。

5. [Next] または [Finish] をクリックします。

6. [Next] をクリックすると、サマリ ページにエクスポート オプションの指定内容が表示されます。

7. [Finish] をクリックすると、エクスポートが実行されます。

PlanAhead では、EDIF ファイルおよび UCF ファイルは必ずエクスポートされた Pblock ごとに作成され、ファイル名は、<pblockname>_CV.edn および <pblockname>_CV.ucf というふうになります。エクスポートされた Pblock ごとに <pblockname>_CV ディレクトリが作成され、その Pblock のファイルが保存されます。

ISE インプリメンテーション結果のインポート

インプリメントされたデザイン ベースのプロジェクトの作成

インプリメンテーション結果をインポートするプロジェクトの作成については、「[ISE 配置およびタイミング結果を使用したプロジェクトの作成](#)」を参照してください。

既存プロジェクトへの配置結果のインポート

ISE の配置結果は PlanAhead にインポートできます。配置制約は配置されたロジック オブジェクトすべてで割り当てられます。配置の結果は、デザインの最上位レベルまたは個別の Pblock にインポートできます。

配置結果のインポートには、XDL 形式のファイルが使用されます。PlanAhead では、自動的に ISE XDL コマンドが実行され、<design_name>routed.ncd からこのファイルが作成されます。

配置結果をインポートするには、次の手順に従います。

1. [File] → [Import Placement] をクリックします。

[Import Placement] ダイアログ ボックスが表示されます。

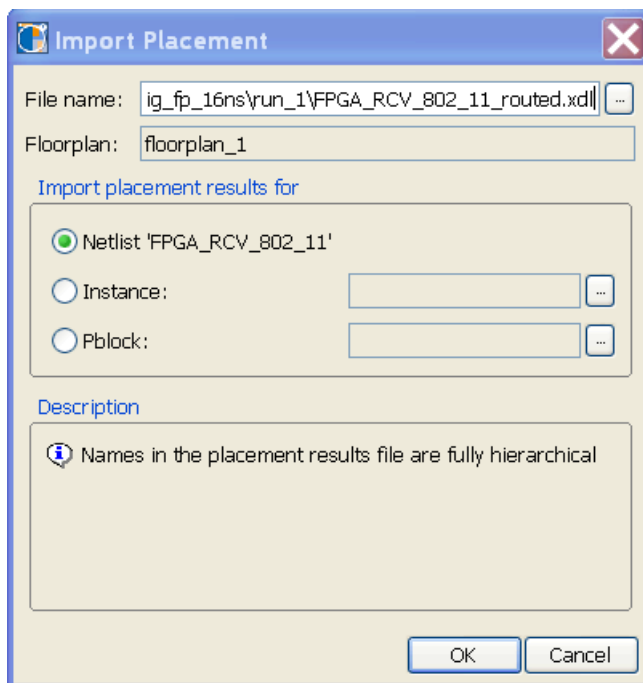


図 7-42 : [Import Placement] ダイアログ ボックス

2. 編集可能なフィールドを確認し、必要があれば変更します。
 - ◆ [File name]: 参照ボタンをクリックし、XDL 形式のファイルまたは <design_name_routed>.ncd ファイルを選択します。NCD 形式のファイルが選択されると、PlanAhead で自動的に XDL 形式に変換され、インポートされます。

- ◆ [Import placement results for] : 配置をインポートするデザインのレベルを選択します。ダイアログ ボックスが表示された時点では、前もって選択されたオブジェクトに基づいたオプションがオンになっているので、正しいデザイン レベルを選択します。
 - [Netlist '<netlist_name>'] : 最上位の XDL ファイルをインポートする場合はオンにします。これは通常、最上位デザインで ISE を実行する場合です。
 - [Instance] : 選択したロジック インスタンスに配置結果をインポートする場合はオンにします。ダイアログ ボックスには、コマンドの実行前に選択したインスタンスが表示されます。このオプションは、ブロック レベルの配置制約をインポートする場合に便利です。
 - [Pblock] : 前にインプリメントされた Pblock から結果をインポートする場合はオンにします。

3. [OK] をクリックすると、配置結果がインポートされます。

配置のインポートの結果を次に示します。ネットの接続およびトレースされたパスが、Pblock の中心ではなく、配置制約のロケーションに表示されるようになります。

既存プロジェクトへの ISE TRCE タイミング結果のインポート

TimeAhead を使用して、ザイリンクスの TRCE コマンドで生成された TWX および TWR 形式のタイミング レポートをインポートできます。インポートすると、この章で説明されている信号トレースおよび表示機能すべてが TimeAhead 環境で使用できるようになります。

タイミング結果をインポートするには、次の手順に従います。

1. [File] → [Import TRCE Results] をクリックします。

[Import TRCE Results] ダイアログ ボックスが表示されます。

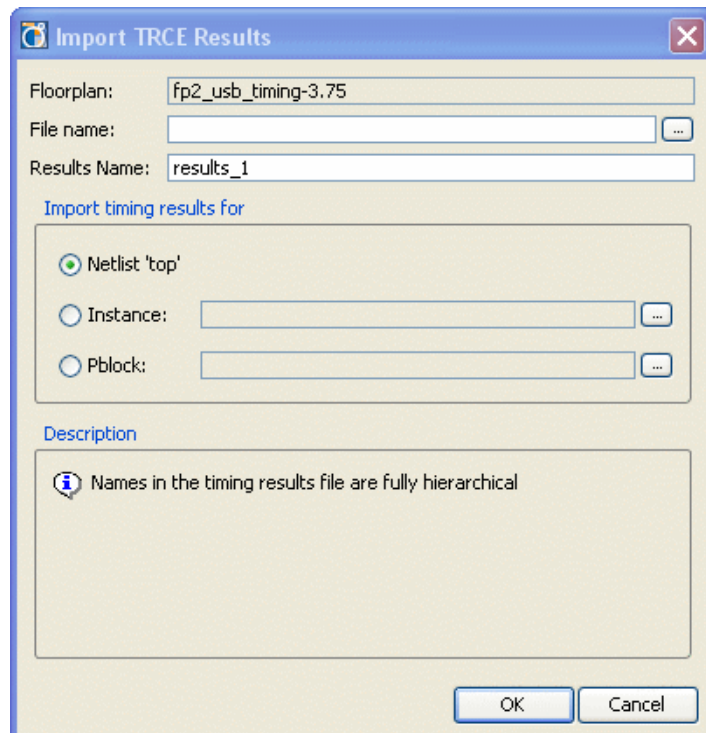


図 7-43 : [Import TRCE Results] ダイアログ ボックス

2. 編集可能なフィールドを確認し、必要があれば変更します。

- ◆ [File name] : PlanAhead でインポートする TRCE で生成された TWX または TWR ファイルの名前を指定します。
- ◆ [Results Name] : [Timing Results] ウィンドウの結果名のタブに表示される名前を指定します。
- ◆ [Import timing results for] : インポートするデザインのレベルを選択します。ダイアログボックスが表示された時点では、前もって選択されたオブジェクトに基づいたオプションがオンになっているので、正しいデザイン レベルを選択します。
 - [Netlist '<netlist_name>'] : 最上位の TRCE 結果をインポートする場合はオンにします。
 - [Instance] : インスタンスに結果をインポートする場合はオンにします。参照ボタンをクリックして、インスタンスを選択します。
 - [Pblock] : Pblock に結果をインポートする場合はオンにします。参照ボタンをクリックして、Pblock を選択します。

3. [OK] をクリックすると、タイミング結果がインポートされます。

TRCE 結果が TimeAhead 環境に表示されます。

Name	Type	Slack	From	To	Total Delay	Logic Delay	Net %	Stages
Constrained Paths (240)								
TS_usbClk = PERIOD TIMEGRP "usbClk" 3.9 ns HIGH 50%; (30)								
Path 1	Setup	-0.265	usbEngine1/usb_dma_wb_in/BU2/U0/gen_fifo18_36.fgifo18_...	usbEngine1/u4/dout[7]	4.014	1.263	68.535	6
Path 2	Setup	-0.223	usbEngine1/usb_dma_wb_in/BU2/U0/gen_fifo18_36.fgifo18_...	usbEngine1/u4/dout[9]	3.948	1.171	70.339	5
Path 3	Setup	-0.221	usbEngine1/usb_dma_wb_in/BU2/U0/gen_fifo18_36.fgifo18_...	usbEngine1/u4/dout[9]	3.967	1.188	70.053	5
Path 4	Setup	-0.098	usbEngine1/usb_dma_wb_in/BU2/U0/gen_fifo18_36.fgifo18_...	usbEngine1/u4/dout[23]	3.853	1.282	66.727	6
Path 5	Setup	-0.086	usbEngine0/usb_dma_wb_in/BU2/U0/gen_fifo18_36.fgifo18_...	usbEngine0/u4/dout[23]	3.811	1.126	70.454	6
Path 6	Setup	-0.050	usbEngine1/usb_dma_wb_in/BU2/U0/gen_fifo18_36.fgifo18_...	usbEngine1/u4/inta_msk[4]	3.822	1.391	63.605	4
Path 7	Setup	-0.050	usbEngine1/usb_dma_wb_in/BU2/U0/gen_fifo18_36.fgifo18_...	usbEngine1/u4/inta_msk[5]	3.822	1.391	63.605	4
Path 8	Setup	-0.050	usbEngine1/usb_dma_wb_in/BU2/U0/gen_fifo18_36.fgifo18_...	usbEngine1/u4/inta_msk[7]	3.822	1.391	63.605	4
Path 9	Setup	-0.050	usbEngine1/usb_dma_wb_in/BU2/U0/gen_fifo18_36.fgifo18_...	usbEngine1/u4/inta_msk[6]	3.822	1.391	63.605	4
Path 10	Setup	-0.039	usbEngine1/usb_dma_wb_in/BU2/U0/gen_fifo18_36.fgifo18_...	usbEngine1/u4/dout[7]	3.767	1.258	66.605	6
Path 11	Setup	-0.023	usbEngine1/usb_dma_wb_in/BU2/U0/gen_fifo18_36.fgifo18_...	usbEngine1/u4/dout[25]	3.776	1.191	68.459	5

図 7-44 : TRCE タイミング結果

パスの選択、ハイライト、およびトレース機能のすべてが TimeAhead インターフェイスで使用できるようになります。

パスの負のスラック値は、赤で表示されます。

列のヘッダをクリックすると、リストが並べ替えられます。最初に並べ替えた後で Ctrl キーを押しながら別の列のヘッダをクリックすると、次にその列で並べ替えられます。リストの表示順を整えるために、さまざまな並び替え条件を選択できます。

1 つのフロアプランで、複数のタイミング結果を表示できます。上の図に示すように、TRCE または TimeAhead の結果ごとに、レポートの下の部分にタブが表示されます。

デザインの解析

本章では、PlanAhead™ で使用可能なフロアプラン環境のデザイン解析機能について説明します。解析機能については、第 6 章「RTL デザインの作成および解析」、第 6 章「RTL デザインの作成および解析」、第 5 章「I/O ピンの配置」および第 9 章「インプリメンテーション結果の解析」にも説明があります。

解析機能のほとんどは、インプリメンテーション ツール実行の前にデザインの潜在的な問題を見つけることを目的としたものなので、デザインをインプリメントする前に使用できます。

また、インプリメントされたデザインを解析するのに便利な機能も豊富に備えています。PlanAhead では、ISE® のインプリメンテーション実行から配置およびタイミング結果をインポートし、さらに詳細な解析とフロアプランを実行することができます。

本章は、次のセクションで構成されています。

- 「フロアプラン環境の使用」
- 「I/O ピン配置およびクロック ロジックの解析」
- 「RTL デザインの解析」
- 「合成されたデザインの解析」

フロアプラン環境の使用

[Device] ウィンドウの使用

このウィンドウでは、論理デバイス、クロック領域、I/O パッド、BUFG、DCM、Pblock、インスタンス ロケーション、およびネット接続など、FPGA デバイスのリソースがすべて表示されます。具体的なロジックが割り当てられているロケーションは「サイト」と呼ばれます。

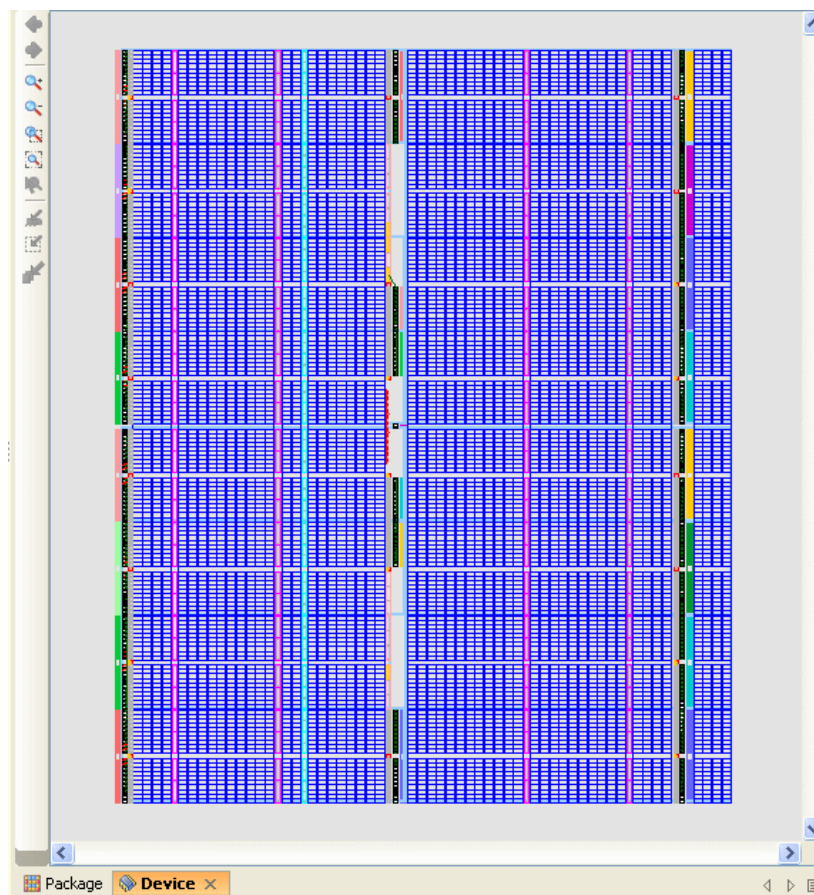


図 8-1 : [Device] ウィンドウ

選択されているズーム レベルにより、オブジェクトの表示内容が異なります。拡大レベルを大きくするとオブジェクトの詳細が表示されます。[Device] ウィンドウで表示されるポップアップやツールバー メニューにズームに関する説明が表示されます。また、[Device] ウィンドウのスクロールバーやダイナミックな表示移動機能を使用し、表示させたい箇所に移動できます。

[Device] ウィンドウで表示されるオブジェクトにカーソルを置くと、ツールチップが表示されオブジェクトを確認することができます。また、[Properties] ウィンドウでオブジェクトのプロパティを表示することもできます。オブジェクトを選択すると、そのオブジェクト タイプに特定のポップアップ メニューが表示されます。場合によっては、カーソルを [Netlist] ウィンドウなど、別のウィンドウに移動したときに、そのオブジェクトのコマンドが使用できる場合があります。オブジェクト サイトを検索するには [Edit] → [Find] をクリックします。

ダイナミック カーソルは、[Device] ウィンドウ内で使用できます。カーソルの形は、実行するアクティビティによって変化します。無効なロジック リソースが割り当てられるときにも形が変わります。詳細は、「[文脈依存カーソルについて](#)」を参照してください。

[Device] ウィンドウの左上端には、アイコンが数個あります。これらのコマンドは、「[ウィンドウ パナーのコマンドを使用したウィンドウの操作](#)」で説明されています。

[Device] ウィンドウは I/O ピン配置プロセス中でも使用します。この詳細は、[第 5 章「I/O ピンの配置」](#)を参照してください。

デバイス リソースの表示

PlanAhead では、選択したデバイスに含まれるさまざまなリソースが表示されます。デバイスのリソースが表示レベルは、[Device] ウィンドウのズーム レベルによって変わります。デバイス特有のリソースはすべてグラフィカル サイトで表示することができます。

I/O パッドおよびクロック オブジェクトは、ペリフェラルの周辺と、デバイスの中心またはその下に表示されます。I/O バンクは、I/O パッドの列のすぐ外側に細い長方形として淡色で表示されます。使用可能な I/O サイトは、I/O バンクの長方形内が色で埋められます。ボンディングされていない I/O バンクを持つデバイスもあり、こうした I/O バンクは空の長方形として表示されます。I/O クロック パッドは色付きの長方形として表示されます。BUFG、BUFR、BUFGP などのクロック リソースもすべて区別して [Device] ウィンドウに表示されます。I/O バンクを選択すると、[I/O Bank Properties] に使用可能なデバイス リソースがすべて表示されます。

デバイスの内側は、タイルと呼ばれる小さな長方形に分割されており、使用されているアーキテクチャのさまざまな種類のロジック プリミティブの配置サイトから構成されています。Virtex®-4、Virtex-5、および Virtex-6 デバイスにはさまざまな種類のロジック サイトがあります。[Device] ウィンドウの各サイトにカーソルを置くとツールチップが表示され、そのサイトの詳細を確認することができます。

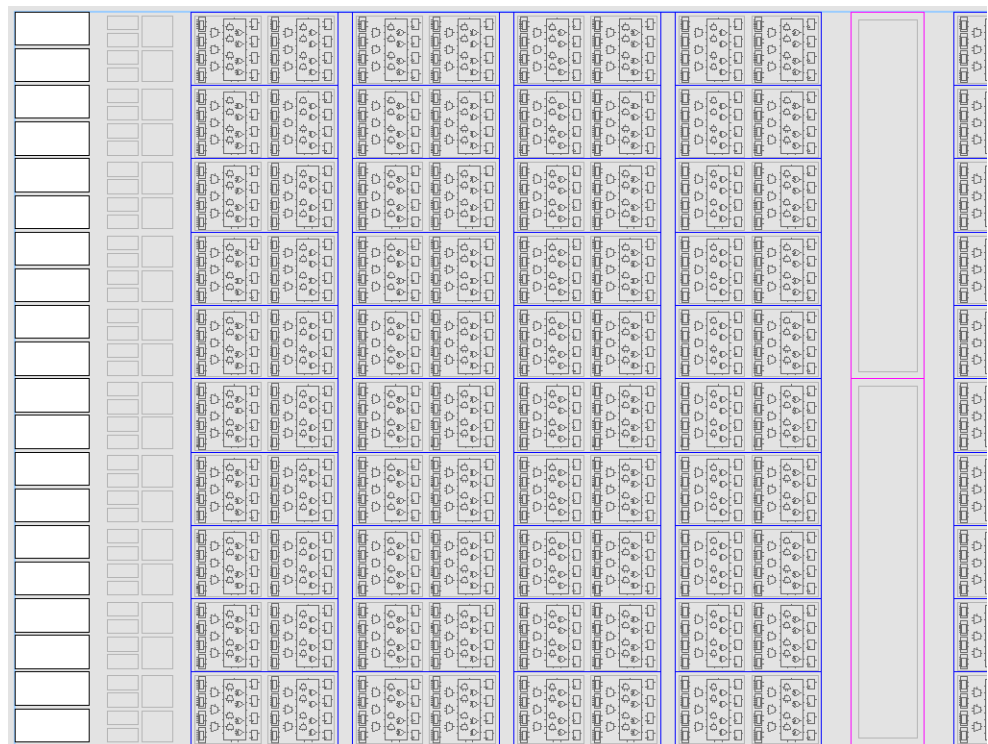


図 8-2 : [Device] ウィンドウの拡大表示

CLB、スライス、および BEL は、ズーム レベルをこれらを表示可能なレベルに設定したときのみ表示されます。

プリミティブ ロジック インスタンスは、表示されている適切なサイトに割り当てることができます。ISE による配置結果をインポートして、ロジックの割り当てを表示できます。

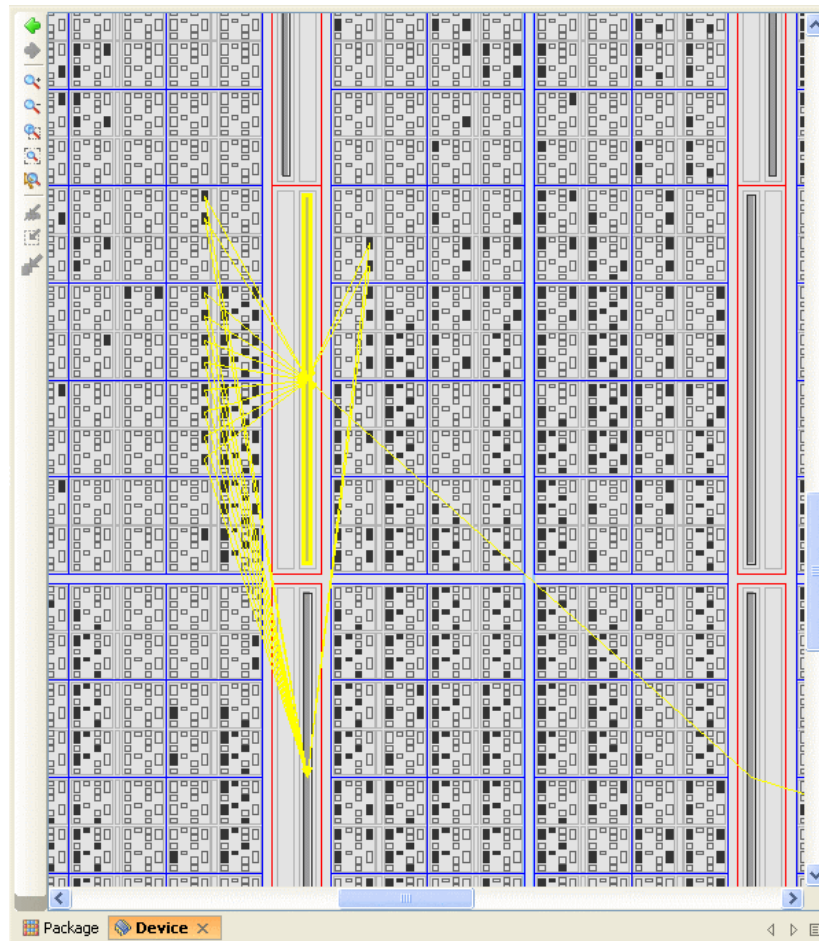


図 8-3 : [Device] ウィンドウでインスタンスを長方形として配置

上の図のズーム レベルでは、配置されたインスタンスがスライス内で長方形として表示されています。拡大レベルを大きくするとロジック シンボルが表示されます。

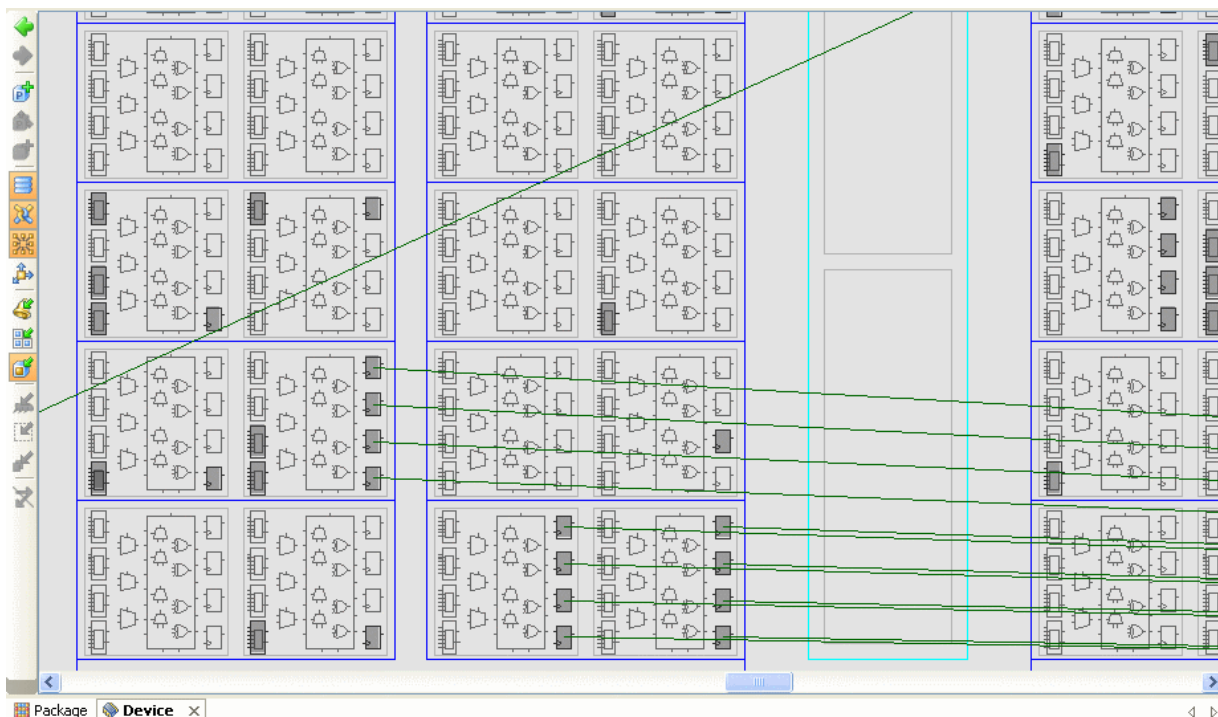


図 8-4 : [Device] ウィンドウに表示されるロジック シンボル

ロジックは LOC 配置制約を生成するサイトに割り当てることができます。スライスまたは BEL レベルの制約を使用するゲートに割り当てすることもできます。ISE からインポートされるすべてのロジックは、BEL レベルの制約として表示されます。LOC 配置制約の詳細は [320 ページの「配置 LOC 制約」](#) を参照してください。

クロック領域の表示

クロック領域は、さまざまなデバイス クロック領域を示す大きな長方形として表示されます。このアウトラインはクリティカルな回路でのフロアプランに役立ちます。[Clock Regions] ウィンドウを使用して、さまざまなクロック領域を選択できます。

[Window] → [Clock Regions] コマンドをクリックすると、[Clock Regions] ウィンドウを表示できます。クロック領域を選択すると、[Clock Region Properties] ウィンドウにそのリソースの統計プロ

パティが表示されます。インプリメンテーションの結果がインポートされると、クロック配置の統計を表示できます。

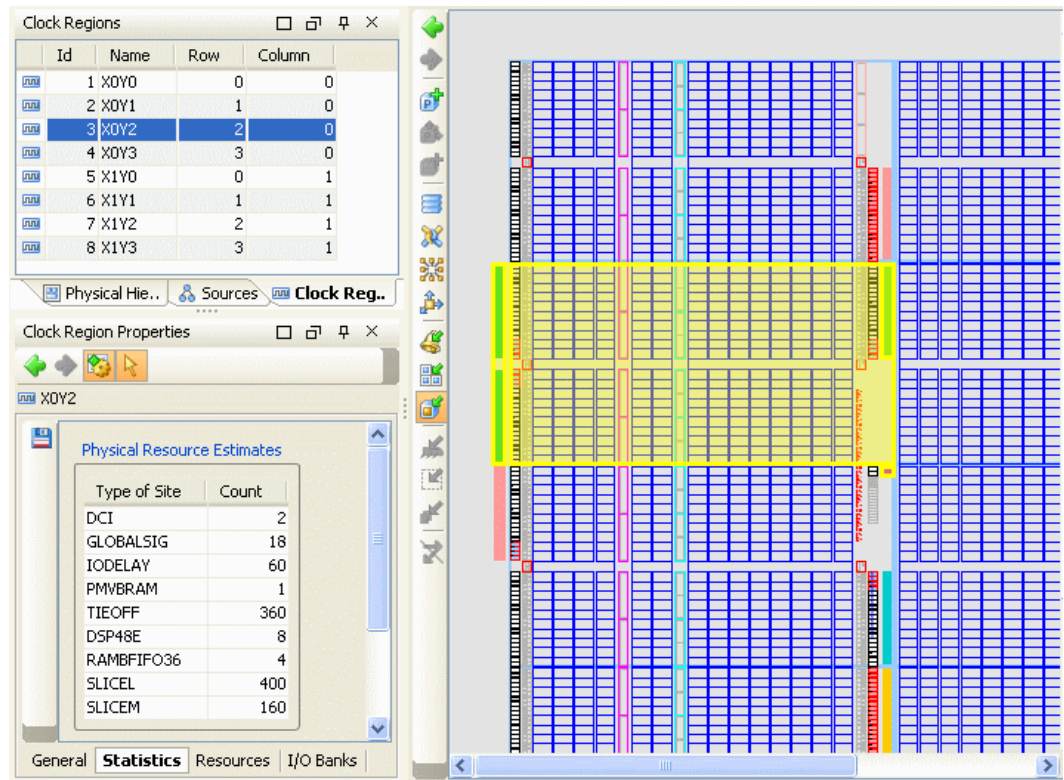


図 8-5：クロック領域のリソース統計

クロック領域を選択すると、対応する I/O バンク、およびクロックに関連したロジック サイトも選択されます。

[Device] ウィンドウに表示されるクロック領域の表示色を変更するには、[Tools] → [Options] で表示される [PlanAhead Options] ダイアログ ボックスの [Themes] ページで [Device] タブをクリックし、[Clock Region] の色を変更します。

[Device] ウィンドウの印刷

[File] → [Print] コマンドをクリックすると、[Device] ウィンドウを印刷できます。表示されている部分のみが印刷されます。[Device] ウィンドウ全体を印刷するには、拡大率を変更して全体を表示してから印刷します。

複数の [Device] ウィンドウの表示

同じフロアプランに対して複数の [Device] ウィンドウを表示できます。複数表示することで、デバイスの異なるエリアで作業できます。[Window] → [New Device View] をクリックすると、2 つ目の [Device] ウィンドウを表示できます。2 つ目のウィンドウは [Device (2)] というタブに表示されます。「ワークスペースの分割」にあるように、このタブのサイズを変更できます。

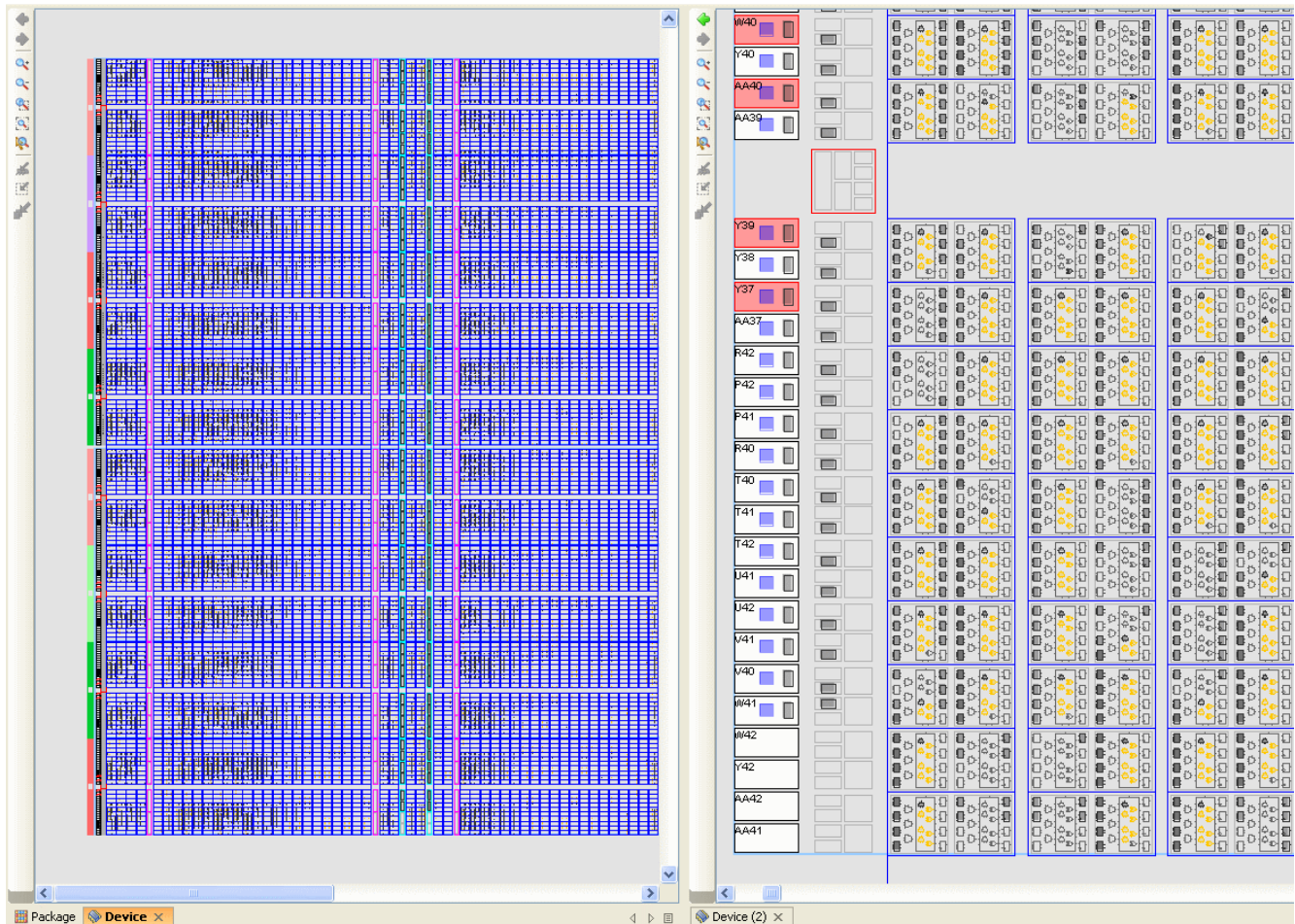


図 8-6 : 複数の [Device] ウィンドウの表示

[Schematic] ウィンドウの使用

回路図は、どのレベルの論理階層または物理階層表示に対しても表示できます。[Schematic] ウィンドウを使用すると、デザインのインターコネクトや階層構造を表示したり、RTL ネットリストまたは合成されたネットリストの信号パスをトレースしたりできます。RTL ネットリストの解析については、第 6 章「RTL デザインの作成および解析」を参照してください。

[Schematic] ウィンドウで直接ロジックを選択して、[Device] ウィンドウでフロアプランに使用できます。

[Schematic] ウィンドウを開くには、次の手順に従います。

1. 1 つまたは複数のロジック エレメントを選択します。

2. 右クリックして [Schematic] をクリックするか、または次に示す [Schematic] ボタンをクリックします。



図 8-7 : [Schematic] ボタン

[Schematic] ウィンドウには、選択したロジックのインスタンスまたはネットが表示されます。インスタンスが 1 つのみ選択された場合は、モジュールがすべてのピンと共に表示されます。

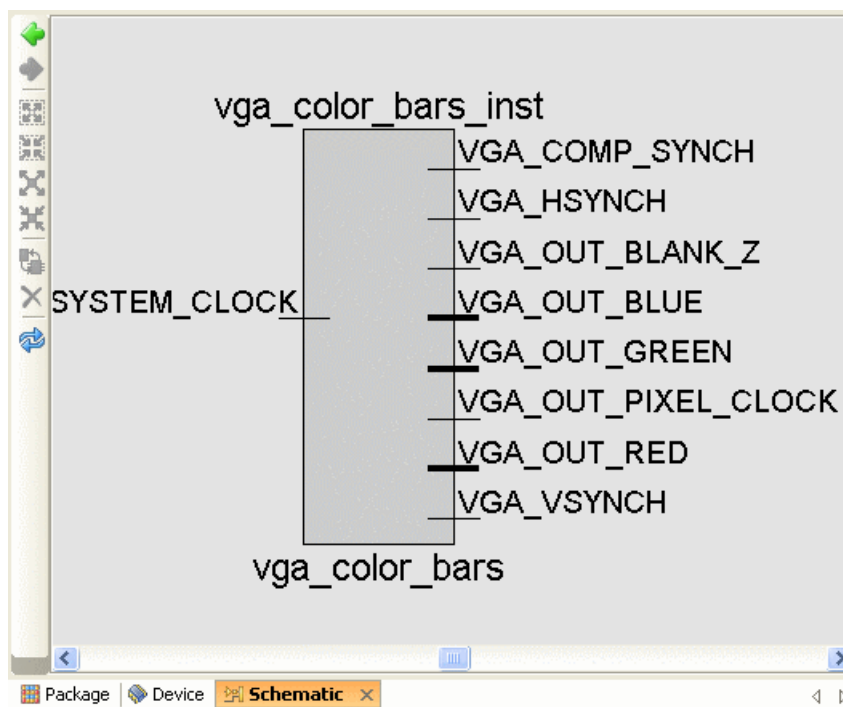


図 8-8 : [Schematic] ウィンドウ

[Schematic] ウィンドウでオブジェクトを選択すると、別のウィンドウでもそのオブジェクトが選択されます。配置結果がインポートされている場合は、ロジックおよびパスが [Device] ウィンドウに表示されます。

[Schematic] ウィンドウでのロジック階層の表示

[Schematic] ウィンドウが表示されるとき、上位の階層はすべて、同心の長方形として表示されます。

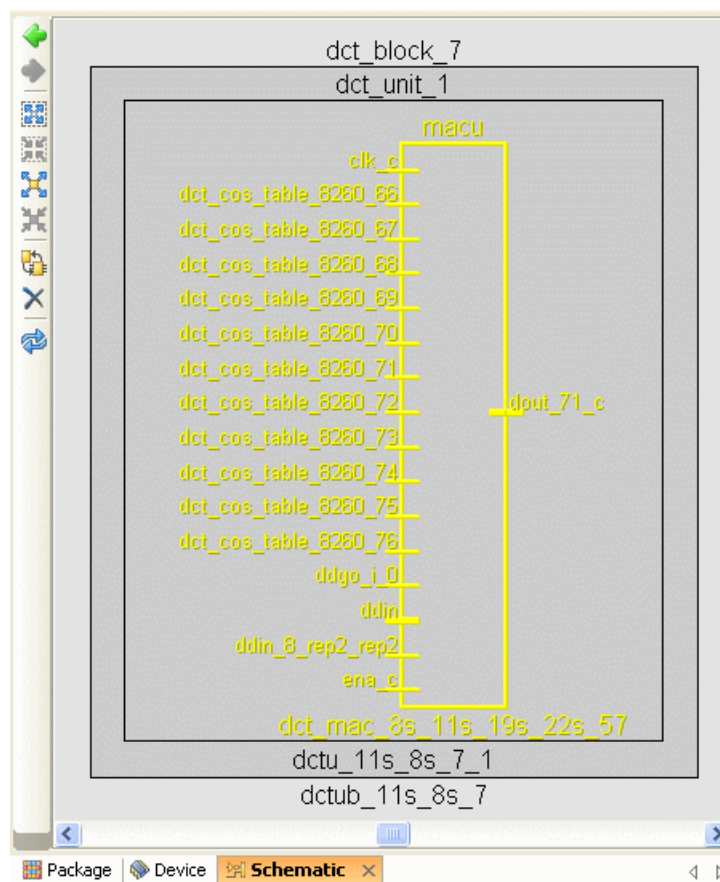


図 8-9 : [Schematic] ウィンドウでの階層表示

上の図に示すように、上位の階層ではピンが表示されていません。このため回路図が見やすくなっています。モジュールのピンおよびロジックは、個々に展開表示または非展開できます。ロジックは、個々のピン、インスタンス、またはモジュール内外のロジック全体から展開表示できます。

選択したモジュールのモジュール ピンを展開表示するには、[Toggle Autohide Pins] ポップアップメニューまたは [Schematic] ウィンドウの [Toggle Autohide pins for selected instance] ボタンをクリックします。



図 8-10 : [Toggle Autohide pins for selected instances] ボタン

選択したピンからのロジックの展開表示

ピンからロジックを展開表示するためのオプションがいくつかあります。ピンをダブルクリックすると、そのロジック ネットから次のプリミティブのロジック エレメントまですべてが展開表示されます。太いワイヤはバスを表しています。バスを展開表示すると、バスのすべてのビットが表示され、信号を展開表示すると、次の図に示すように階層の境界を越えて展開表示されます。

その他にも、次のフリップフロップ セットまでのロジックを展開表示したり、I/O までのロジックを展開表示するオプションがあります。展開表示で選択されたロジックが多すぎる場合は、回路図表示には適さないことを示すダイアログ ボックスが表示される場合があります。

ロジックの展開表示オプションを表示するには、ピンまたはインスタンスを選択して [Expand Cone] をクリックします。

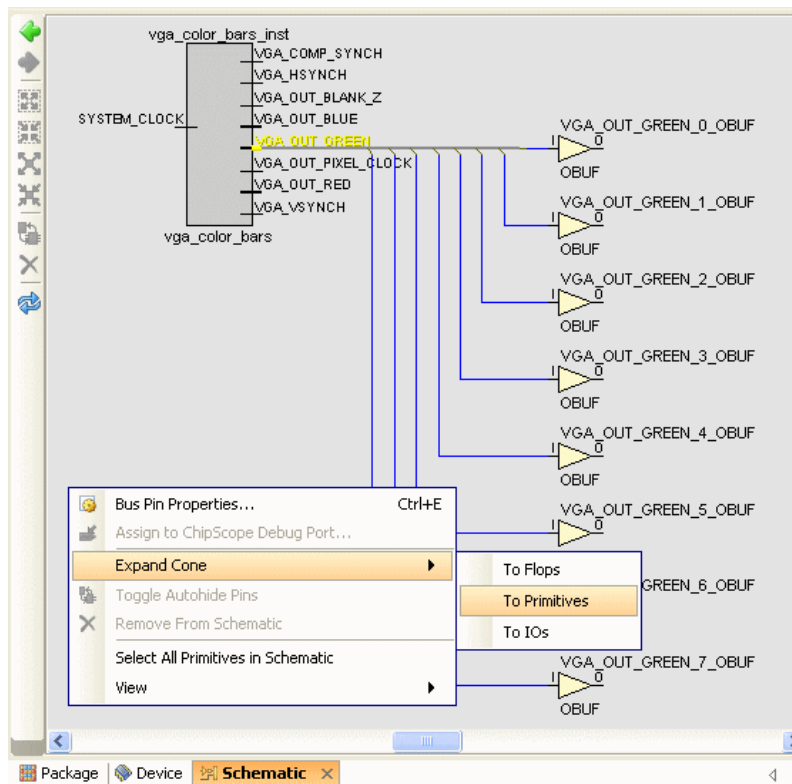


図 8-11 : [Schematic] ウィンドウでの信号の展開表示

[Expand Cone] コマンドのオプションは次のとおりです。

- [To Flops] : 最初のフリップフロップ、またはブロック RAM、FIFO、エンベデッド プロセッサなどの順次エレメントまでロジック全体を表示します。
- [To Primitives] : 出力ロジック全体を最初のプリミティブの表示に追加します。この操作は、ピンをダブルクリックしたときのデフォルトです。
- [To IOs] : 出力ロジック全体を I/O の表示に追加します。この場合、多数のロジックが表示されることになります。PlanAhead では、ロジック レベルが 11 以上追加される場合、このコマンドをキャンセルできる警告メッセージが表示されます。

選択したインスタンスまたはモジュールのロジックの展開または非展開

選択したモジュールの内側に含まれるロジックまたはモジュールの外側の次のレベルの階層に含まれるロジックすべてを展開または非展開できます。新しいコマンドのセットを 1 つまたは複数のモジュールに実行できます。これらのコマンドは、右クリックで表示されるポップアップ メニューまたは [Schematic] ウィンドウ内のボタンから実行できます。

表 8-1 : [Schematic] ウィンドウのボタン

ツールバー ボタン	コマンド	説明
	Expand all logic inside selected instance	選択したインスタンス内のロジックをすべて展開表示します。
	Collapse all logic inside selected instance	選択したインスタンス内のロジックをすべて非展開表示します。
	Expand all logic outside selected instance	選択したインスタンスの外側のロジックをすべて展開表示します。
	Collapse all logic outside selected instance	選択したインスタンスの外側のロジックをすべて非展開表示します。

これらのコマンドでは、1つの階層レベルに関連するすべてのロジックが表示されます。次の図は、[Expand all logic inside selected instance] を実行した例です。

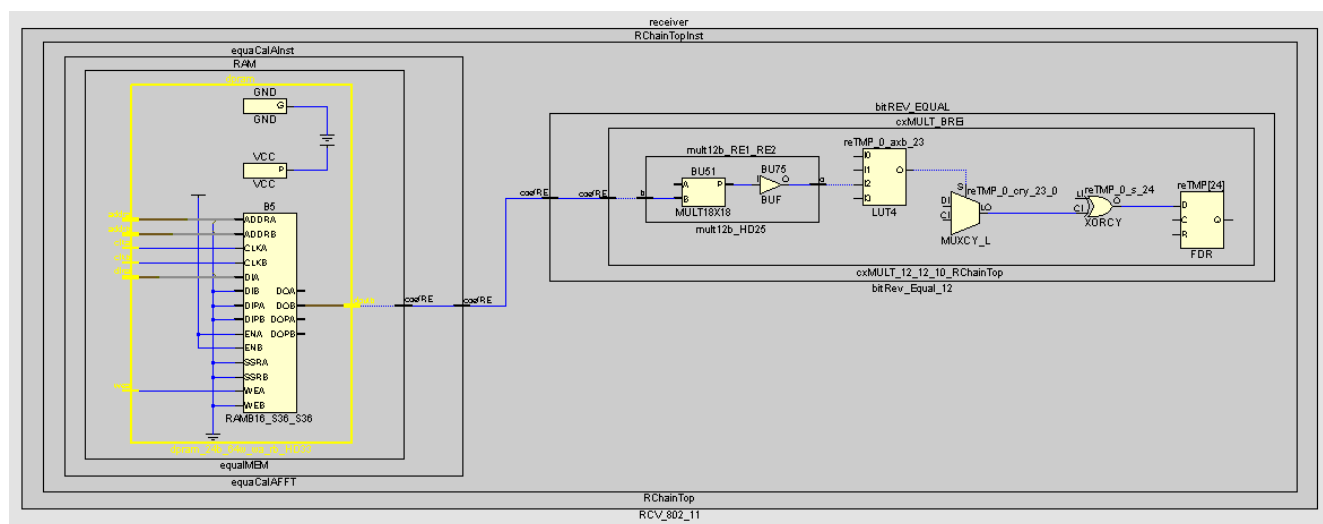


図 8-12 : 1つの階層レベル内のすべてのロジックの表示

回路図での階層移動

階層インスタンスをダブルクリックすると、現時点で表示されているロジックが非展開表示され、選択されているモジュール内でロジックが展開されます。1つ上のレベルの階層に移動するには、[Expand Outside] コマンドと [Collapse Inside] コマンドを使用します。

[Schematic] ウィンドウの再生成

階層を展開または非展開するコマンドを数回使用すると、[Schematic] ウィンドウの表示が少し乱れる場合があります。この場合は、[Schematic] ウィンドウの [Regenerate schematic] ボタンをクリックして、表示をクリーンアップします。



図 8-13 : [Regenerate schematic] ボタン

これで作業中の [Schematic] ウィンドウが再生成されます。

[Schematic] ウィンドウでのオブジェクトの選択

オブジェクトは、クリックすると選択されます。Ctrl キーを使用すると、複数のオブジェクトを選択できます。[Select Area] コマンドを使用して複数のインスタンス、ポート、およびネットを囲んで、複数のオブジェクトを選択することもできます。[Schematic] ウィンドウでインスタンスを選択すると、その他のウィンドウでもそのインスタンスが選択されます。別のウィンドウでインスタンスが選択された場合も、このウィンドウでそのインスタンスが選択されます。どのウィンドウでオブジェクトを選択またはハイライトしても、同じものが [Schematic] ウィンドウでもハイライトされます。

[Schematic] ウィンドウのポップアップ メニューにはオブジェクトの選択オプションがいくつかあります。このオプションについては次のセクションで説明します。

[Schematic] ウィンドウからのオブジェクトの削除

選択したオブジェクトおよび関連する接続を削除するには、[Schematic] ウィンドウの [Remove selected elements from schematic] ボタンをクリックします。



図 8-14 : [Remove selected elements from schematic] ボタン

[Schematic] ウィンドウの印刷

[File] → [Print] コマンドをクリックすると、[Schematic] ウィンドウを印刷できます。表示されている部分のみが印刷されます。[Schematic] ウィンドウ全体を印刷するには、拡大率を変更して全体を表示してから印刷します。

[Schematic] ウィンドウのポップアップ メニュー コマンド

インスタンスおよびネットを [Schematic] ウィンドウで選択して操作を実行できます。共通のポップアップ メニュー コマンドは、「[共通のポップアップ メニュー コマンドの使用](#)」で説明します。ここでは [Schematic] ウィンドウのコマンドを説明を示します。

- [Expand Cone] : 最初のプリミティブ、フリップフロップ、または I/O まで入力ロジック全体を展開表示します。
- [Toggle Autohide Pins] : 選択したモジュールのモジュール ピンを表示、非表示にします。
- [Remove From Schematic] : 選択したオブジェクトを回路図から削除します。
- [Expand Inside] : 選択したモジュール内のロジックすべてを展開表示します。
- [Expand Outside] : 選択したモジュールの外側のロジックすべてを展開表示します。展開されるのは、親モジュール ロジックのみです。
- [Collapse Inside] : 選択したモジュール内のロジックすべてを非展開表示します。

- [Collapse Outside] : 選択したモジュールの外側のロジックすべてを非展開表示します。非展開されるのは、親モジュール ロジックのみです。
- [Select All Primitive in Schematic] : アクティブな回路図に表示されているプリミティブ ロジックをすべて選択します。
- [Select Primitive Parents] (インスタンスが選択されたときのみ使用可能) : 選択したロジックの親ロジック モジュールをすべて選択します。

回路図でのデザイン情報のアノテーション

回路図ピンのスラック、ファンアウト、値のアノテーション

[PlanAhead Options] ダイアログ ボックスの [Schematic] ページでは、ソース ピンにファンアウト 値を、デスティネーション ピンにスラック値を表示するように設定できます。スラック値は TimeAhead を実行しないと表示されません。

このオプションは、[Tools] → [Options] で表示される [PlanAhead Options] ダイアログ ボックスで [Schematic] をクリックすると、設定できます。

1. これらの値を設定するには、まず [Attribute Types] で [Pin] を選択します。
2. [Available DB Attributes] に表示されている [Fanout] および [Slack] を選択し、右方向の矢印ボタンをクリックして [Displayed DB Attributes] に移動させます。
3. [OK] をクリックします。

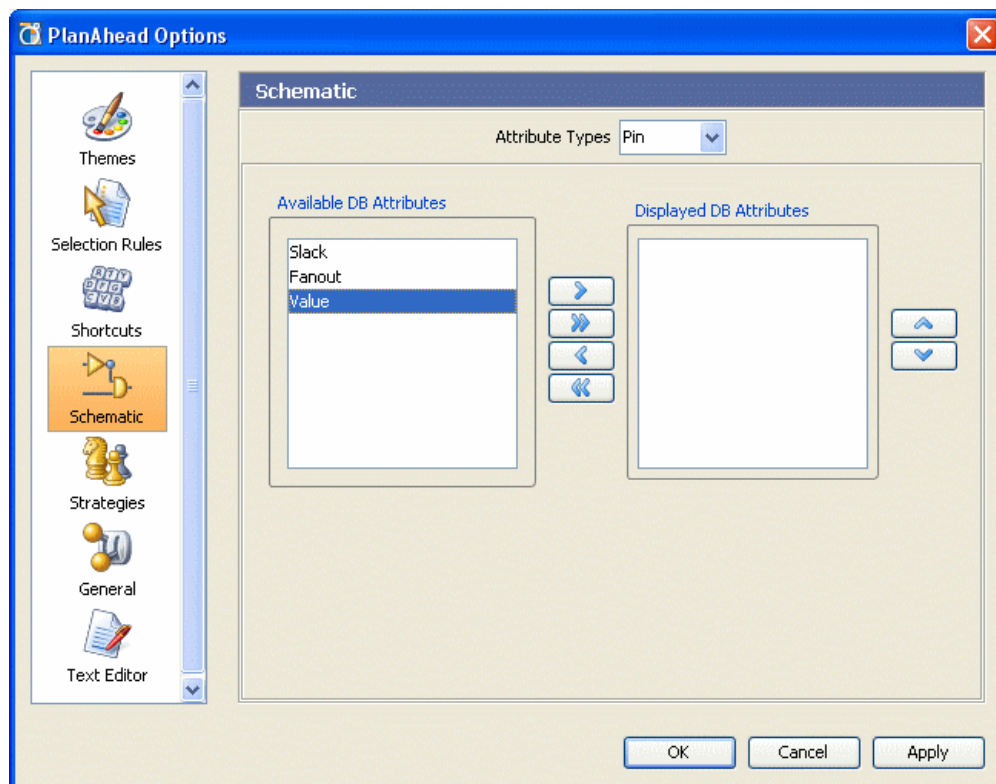


図 8-15 : [PlanAhead Options] ダイアログ ボックス : 回路図ピンのアノテーション

アノテーションは次のように表示されます。

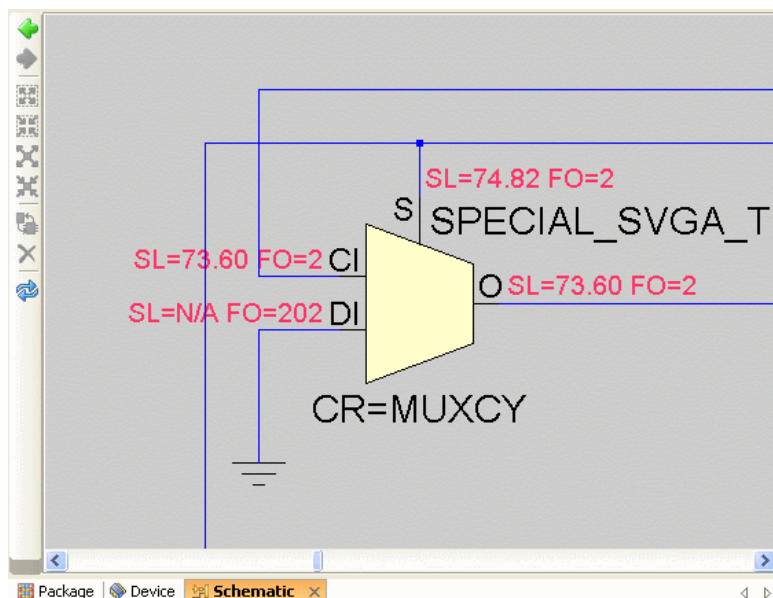


図 8-16 : [Schematic] ウィンドウでの注釈付きピン

セル リファレンスおよび式のインスタンスへのアノテーション

[PlanAhead Options] ダイアログ ボックスでセル リファレンスおよび式の値をインスタンスに設定することができます。

このオプションは、[Tools] → [Options] で表示される [PlanAhead Options] ダイアログ ボックスで [Schematic] をクリックすると、設定できます。

1. これらの値を設定するには、まず [Attribute Types] で [Instance] を選択します。
2. [Available DB Attributes] に表示されているアイテムを選択し、右方向の矢印ボタンをクリックして [Displayed DB Attributes] に移動させます。
3. [OK] をクリックします。

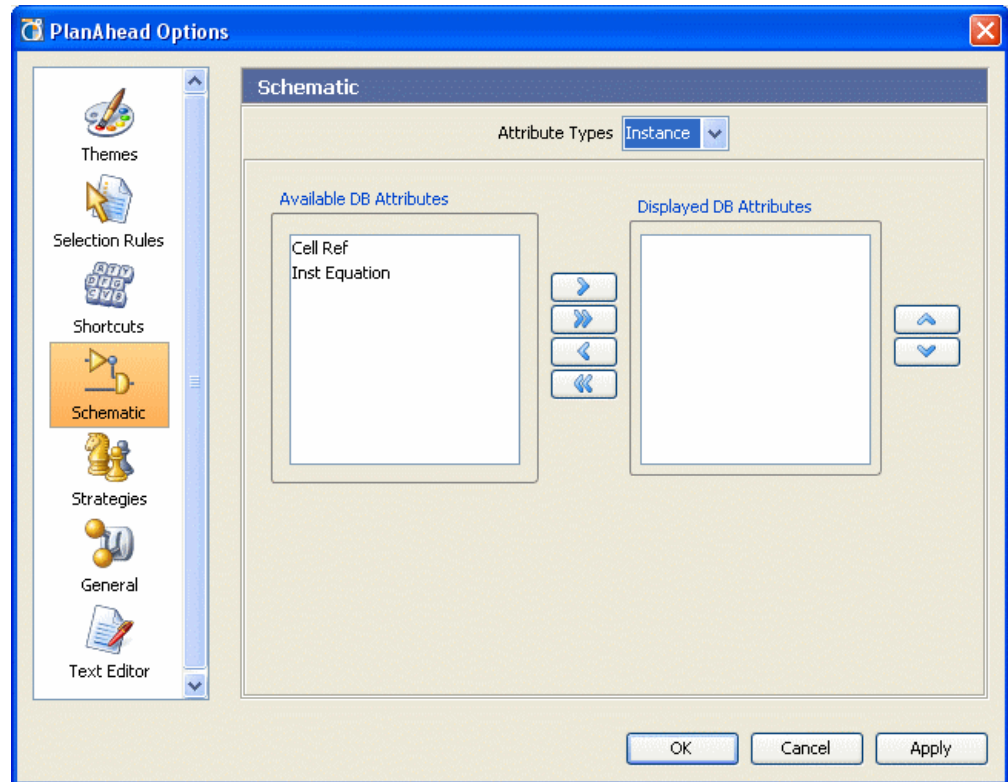


図 8-17 : [PlanAhead Options] ダイアログ ボックス : 回路図インスタンスのアノテーション
アノテーションは次のように表示されます。

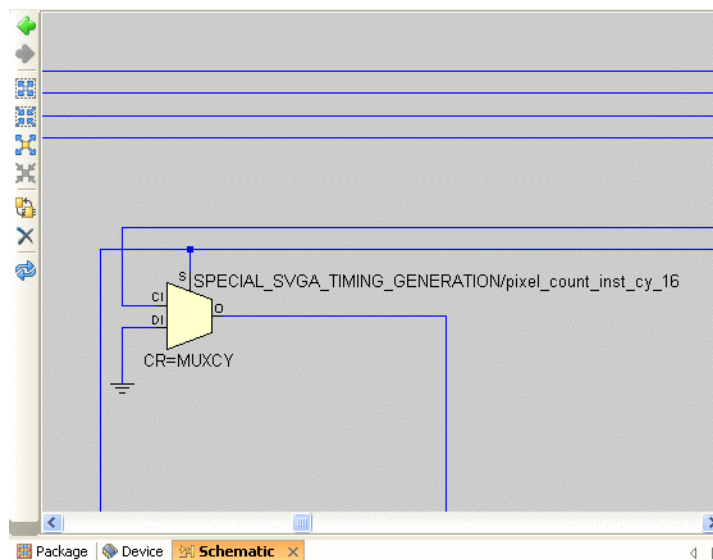


図 8-18 : [Schematic] ウィンドウでの注釈付きインスタンス

[Schematic] ウィンドウでのタイミング パス ロジックの表示

タイミングパスは、PlanAhead の [Timing Results] ウィンドウから選択して、[Schematic] ウィンドウに表示できます。選択したパスまたはパスグループのオブジェクトはすべて、ロジック階層の境界およびインターコネクトワイヤと共に表示されます。

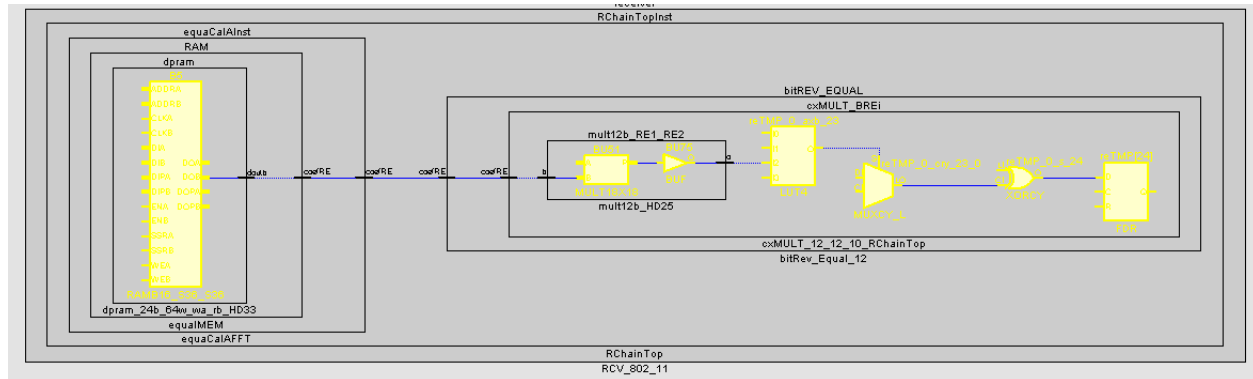


図 8-19 : [Schematic] ウィンドウ内のロジック階層

メモ： **TWX** または **TWR** フォーマットのタイミング レポートに含まれるパスで一部のインターコネクト ワイヤが表示されない場合があります。これは、**ISE** インプリメンテーションでロジックが最適化されて削除されたためです。**[Schematic]** ウィンドウでは、選択したパスに実際に含まれるオブジェクトがすべて表示されます。ただし、**PlanAhead** ではオブジェクトが最適化されて削除されてしまった場合は、その接続を含めることはできません。**[Schematic]** ウィンドウを **[Path Properties]** ウィンドウと共に使用すると、パスの接続を簡単にトレースできます。ほとんどの場合、パスの方向が簡単にわかるように回路図が描画されています。詳細は、「[タイミング結果の解析](#)」を参照してください。

[Hierarchy] ウィンドウの使用

[Hierarchy] ウィンドウには、ロジック階層がグラフィカルに表示されます。デザインを上位から下位に表示することで、デザイン内のモジュール サイズと位置を簡単に識別できます。

このウィンドウは、[Show Hierarchy] ポップアップ メニュー コマンドを実行すると開きます。

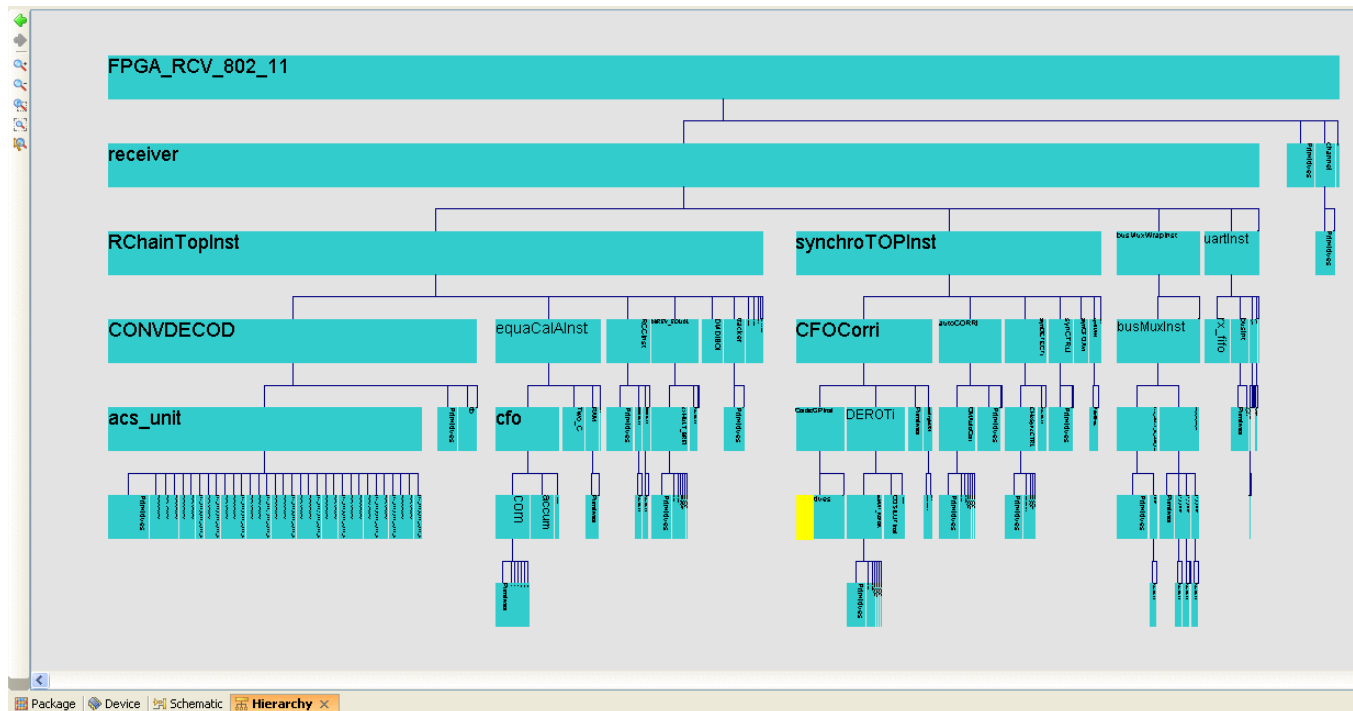


図 8-20 : [Hierarchy] ウィンドウ

このウィンドウには、階層インスタンスのみが表示されます。プリミティブ ロジックはグループ化されてフォルダに含められ、サブモジュールとして表示されます。プリミティブ ロジック フォルダの詳細は、[Netlist] ウィンドウの使用を参照してください。[Hierarchy] ウィンドウのブロックの幅は、LUT、フリップフロップ、ブロック RAM、DSP48 などの FPGA リソースに基づいています。

選択したロジックはハイライトされます。モジュールに含まれるロジックを選択すると、その選択したロジック部分のみがハイライトされます。

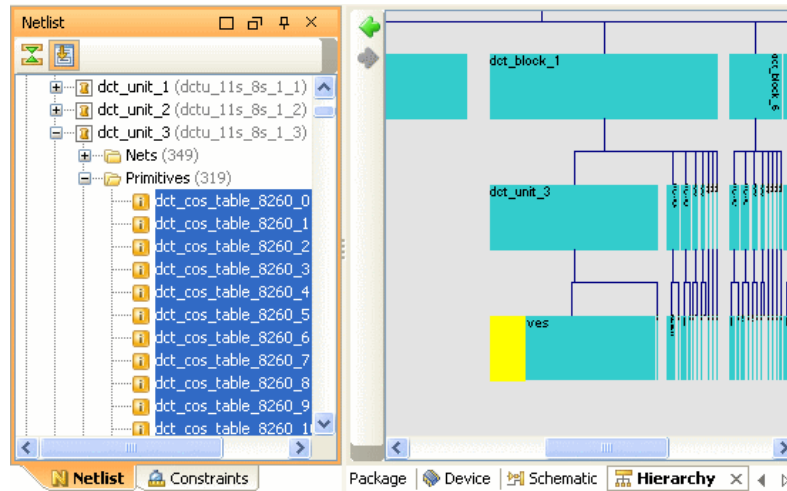


図 8-21：モジュール内で選択されたロジックのみのハイライト

サブモジュールの階層はダブルクリックすると [Hierarchy] ウィンドウに表示できます。

Pblock を割り当てるためのロジックの親モジュールを選択するには、[Select Primitive Parents] コマンドをクリックします。

[Properties] ウィンドウの使用

すべての PlanAhead のオブジェクトには、関連するプロパティがあります。オブジェクトを選択すると、そのプロパティが自動的に [Properties] ウィンドウに表示されます。ウィンドウ内にオブジェクトに関するさまざまなタイプの情報がタブ別に表示されます。

このウィンドウはダイナミック表示され、新しいアイテムが選択されると、表示内容が自動的に更新されます。

ほとんどのオブジェクト タイプで複数の種類のプロパティが表示されます。情報整理のため [Properties] ウィンドウの下部にはタブが追加されています。選択したオブジェクトに関する情報を表示・変更するには、タブを切り替えます。

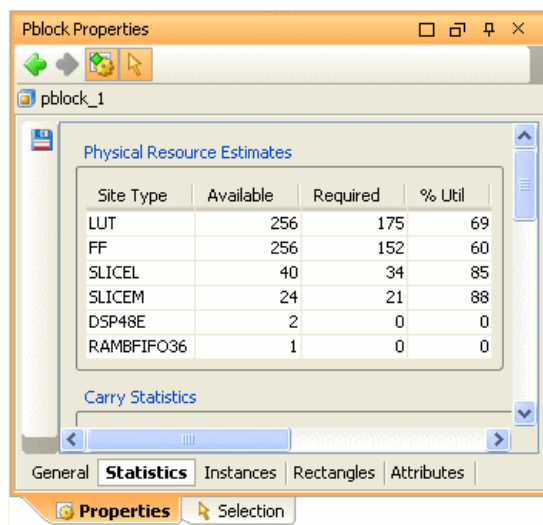


図 8-22 : [Properties] ウィンドウに表示されるタブ

[Properties] ウィンドウのツールバーの使用

[Properties] ウィンドウのツールバーには、次のコマンドが含まれています。

表 8-2 : [Properties] ウィンドウのツールバー








ツールバー ボタン	コマンド	説明
	[Previous object]	前に選択したオブジェクトに戻ります。
	[Next object]	次に選択したオブジェクトに戻ります。このボタンは、[Previous object] コマンドを使用したときのみ使用できます。
	[Automatically update the contents of this window when new objects are selected]	新しいオブジェクトが選択されたか、または新しいオブジェクトが元々選択されていたオブジェクトでスタティックのままになっているときに、[Properties] ウィンドウを自動的に更新します。
	[New]	新しいオブジェクトを追加します。オブジェクト タイプやウィンドウによってはこのオプションは使用できない場合があります。
	[Delete]	[Properties] ウィンドウのタブからオブジェクトを削除します。

表 8-2 : [Properties] ウィンドウのツールバー

ツールバー ボタン	コマンド	説明
	[Export statistics]	データを後で解析できるように、ファイルに保存します。 Pblock 、クロック領域、およびインスタンスの [Properties] ウィンドウの [Statistics] タブでのみ使用できます。
	[Select/Unselect object]	プロパティを表示しているオブジェクトの選択が解除されるときがあります。このボタンを使用して、オブジェクトを選択、または選択解除します。

[Netlist] ウィンドウの使用

ネットリストは、ロジック デザインを階層的に表現したもので、最上位ネットリスト名の下には、最上位モジュールが含まれています。このウィンドウでは、デザインに含まれるロジック インスタンスおよびネットが表示されます。ネットリストは、ロジック ツリーの階層を展開または非展開することでナビゲートできます。スクロール バーを使用すると、ネットリスト ツリー全体を表示できます。

ネットリスト ツリーは、他のウィンドウでネットリスト オブジェクトが選択されるとそのオブジェクトを表示するために、ダイナミックに展開表示されます。これはデフォルト設定で、最も便利です。この設定を無効にするには、このウィンドウの [Automatically scroll to selected objects] ボタンをクリックします。

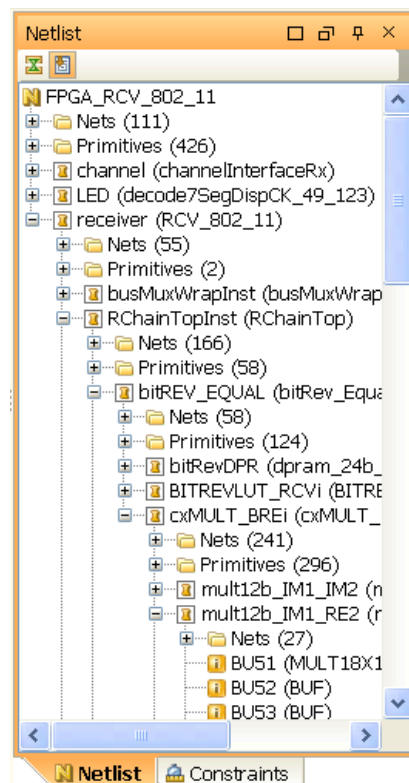


図 8-23 : [Netlist] ウィンドウ

ネットリスト ツリーの非展開

ネットリスト ツリー全体は、このウィンドウの [Collapse All] ボタンをクリックすると非展開にできます。詳細は、「[ウィンドウ特定のツールバー コマンドの使用](#)」を参照してください。

ネットリスト ツリーは、非展開されて最上位のロジック モジュールのみが表示されます。

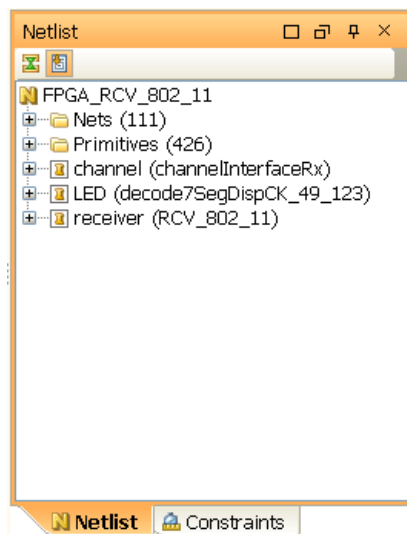


図 8-24 : 非展開されたネットリスト ツリー

[Primitives] フォルダの使用

モジュールにプリミティブ ロジックが含まれているとき、プリミティブ ロジックは [Primitives] フォルダに含まれます。これにより、[Netlist] ウィンドウに含められているモジュールの表示を簡略化できます。

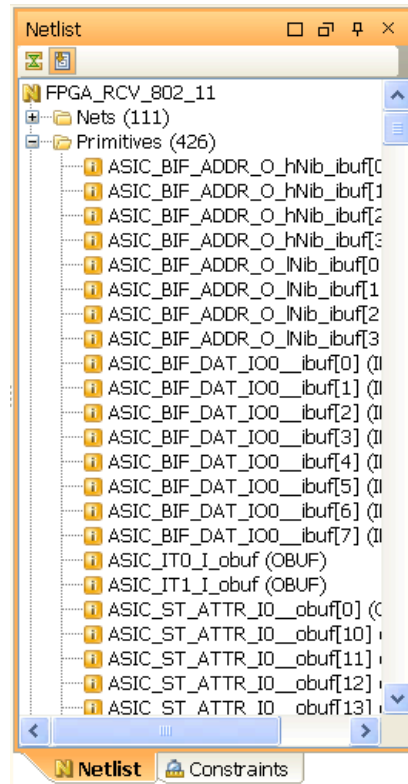


図 8-25 : [Netlist] ウィンドウの [Primitives] フォルダ

Pblock に直接 [Primitives] フォルダを割り当てると、すべてのプリミティブが割り当てられます。

メモ：ネットリストを更新する際、ロジック名が再合成で変更されている可能性があるので、Pblock に [Primitive] フォルダを割り当て直す必要がある場合があります。

[Nets] フォルダの使用

[Nets] フォルダには、階層に含まれるすべてのネットおよびバスが含まれています。バスを展開すると個々のビットを表示できます。



図 8-26 : [Netlist] ウィンドウの [Nets] フォルダ

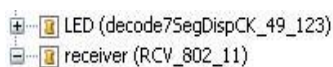
ネットを選択すると、[Device] ウィンドウでそのネットがハイライトされます。バスを選択すると、バスに含まれているすべてのネットがハイライトされます。ネットは、[Schematic] ウィンドウで表示できます。

[Netlist] ウィンドウのアイコンの説明

ネットリスト ロジックのステートの表現に使用されるアイコンがいくつかあります。

階層ネットリスト モジュール

階層ネットリスト モジュールまたはインスタンスは、次のように黄色の文字 **I** を含むアイコンで表示されます。




Pblock に割り当てられた階層ネットリスト モジュール

Pblock に割り当てられた階層ネットリスト モジュールまたはインスタンスは、次に示すように青色のチェックマークを含むアイコンで表示されます。



NGC から派生したモジュール

NGC または NGO フォーマットのコアのネットリスト入力ファイルから派生したモジュールは、次に示すように赤色の四角が含まれたアイコンで表示されます。NGC ファイルの名前は、かっこで表示されます。

 BU2 (dpram_depth16_width17_dist_mem_gen_v1_1_xst_1)


ブラック ボックス モジュール

ネットリストが関連付けられていないモジュールは黄色い英文字 **I** が含まれたグレーのアイコンで表示されます。これは、プロジェクト生成時に検索パスが指定されていなかったか、またはデザインの一部が不足しているために発生したものと考えられます。

 CONVDECOD (viterbi)

プリミティブ ロジックのインスタンス

配置制約のないプリミティブ ロジックのインスタンスは、黄色の長方形の中に英文字 **i** が表示されたアイコンで表示されます。配置制約のあるプリミティブ ロジックのインスタンスは、青い横線の付いた黄色の長方形のアイコンで表示されます。Pblock に割り当てられているプリミティブ ロジックのインスタンスは、黄色の長方形に青色のチェックマークが付いたアイコンで表示されます。Pblock に配置、割り当てられたプリミティブ ロジックのインスタンスは、黄色の長方形にチェックマークと青色の横線が表示されたアイコンで表示されます。また、ロジックの種類も表示されています。

 dataOut_h[0] (FDE)
dataOut_h[1] (FDE)
dataOut_h[2] (FDE)
dataOut_h[3] (FDRE)

[Netlist] ウィンドウでのロジックの選択

エレメントを選択してメニュー、ツールバー、または右クリックによるポップアップ メニューからコマンドを適用できます。

Shift キーまたは Ctrl キーを使用すると、[Netlist] ウィンドウで複数のエレメントを選択でき、ほとんどのコマンドは複数のエレメントに対し実行できます。[Netlist] ウィンドウで選択されたロジックは、ハイライトされます。

PlanAhead で選択されたロジックも、[Netlist] ウィンドウに表示されます。ネットリストのツリーは、選択したロジックすべてが表示されるように自動的に展開されます。選択したロジックの一部は、ウィンドウのスクロール バーを使用して表示する必要がある場合があります。ネットリスト ツリーを非展開にしても、ロジックの選択は解除されません。

[Netlist] ウィンドウのポップアップ メニュー コマンドの使用

[Netlist] ウィンドウで利用できるポップアップ メニュー コマンドの詳細は、「[共通のポップアップ メニュー コマンドの使用](#)」を参照してください。

[Constraints] ウィンドウの使用

PlanAhead では、フロアプランで定義されているタイミング制約のすべてを表示することができます。制約はフロアプラン別に設定でき、同じプロジェクトでもフロアプランごとに変更することができます。このため、制約、デバイス、I/O ピンなどをいろいろと試すことができます。

[Constraints] ウィンドウでは、定義済みの値を変更したり、新しい制約を作成したりできます。デザインで定義されているタイミング制約を表示するには、[Constraints] タブをクリックするか、または [Window] → [Constraints] をクリックします。

[Constraints] ウィンドウが表示されます。

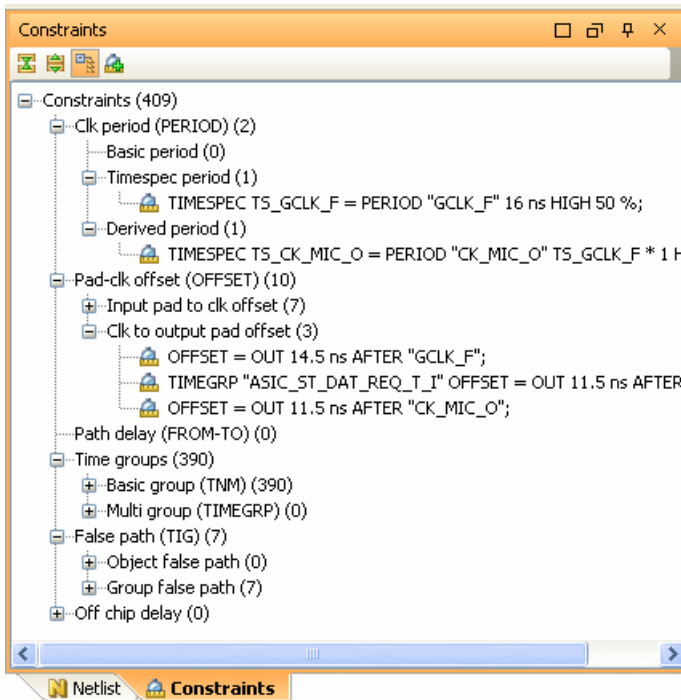


図 8-27 : 種類ごとにグループ化された制約

制約は、2つの方法で表示されます。上の図で示すように、カテゴリ別に並べ替えられていると、制約タイプのレベルを展開または非展開できます。各タイプの制約の数は、括弧に示されています。

すべてのタイミング制約のリストを表示するには、[Constraints] ウィンドウで [Group by type] ボタンをクリックします。



図 8-28 : [Group by type] ボタン

タイミング制約がリストとして表示される場合は、次のようになります。

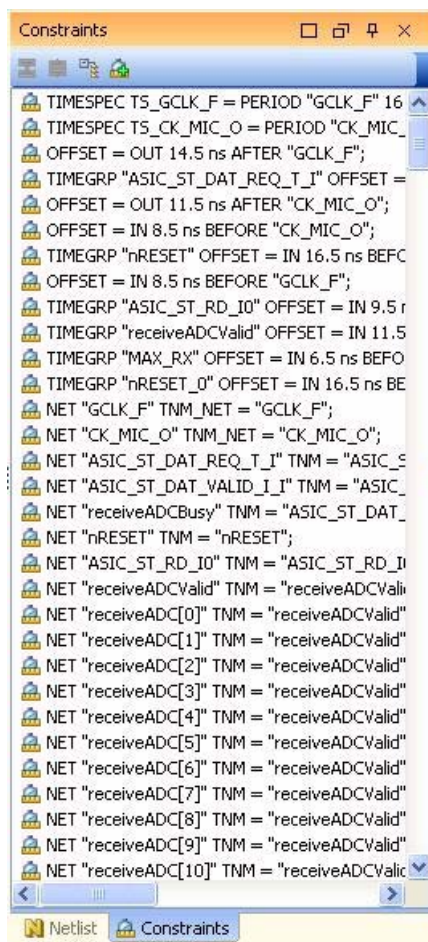


図 8-29 : リストごとにグループ化されたタイミング制約

タイミング制約の値の変更

ほとんどの制約の値は、制約を選択して [Constraints Properties] ウィンドウに表示して変更できます。変更可能な値がこのウィンドウに表示されます。

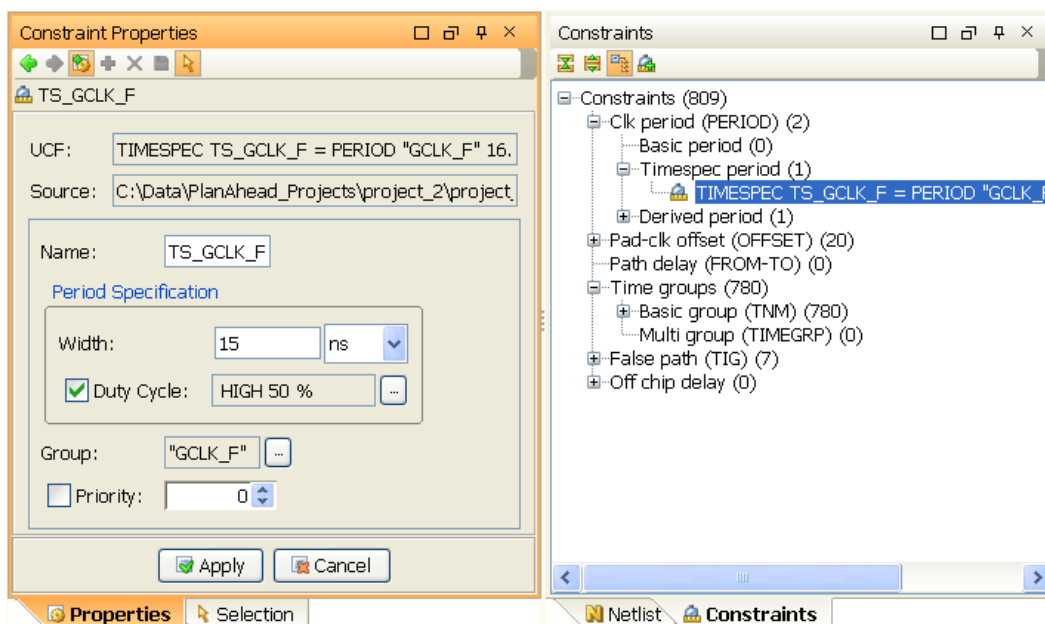


図 8-30 : タイミング制約の値の変更

各制約タイプでウィンドウの内容が異なるため、ここでは全部は説明しません。制約の値を定義するときは、正しい構文を使用してください。制約および制約の構文の詳細は、ザイリンクスの『制約ガイド』を参照してください。変更を加えた後に、[Apply] をクリックして変更を反映させるか、または [Cancel] をクリックして変更を取り消します。

メモ : [Apply] ボタンをクリックしないと、制約の値は変更されません。

新しいタイミング制約の追加

新しいタイミング制約を追加するには、次の手順に従います。

1. [Constraints] ウィンドウで [Create new constraint] ボタンをクリックします。



図 8-31 : [Create new constraint] ボタン

[New Timing Constraint] ダイアログ ボックスが表示されます。

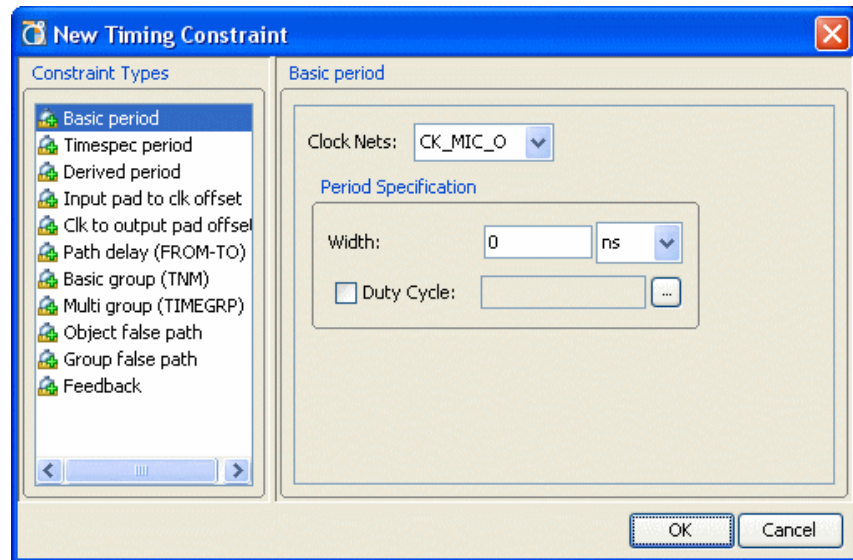


図 8-32 : [New Timing Constraint] ダイアログ ボックス

2. [Constraint Types] で作成する制約の種類を選択します。
選択すると、右側に対応するフィールドが表示されます。
3. 正しい構文を使用して制約の値を定義します。制約および制約のフォーマットの詳細は、ザイリンクスの『制約ガイド』を参照してください。
4. [OK] をクリックします。

タイミング制約の削除

フロアプランから制約を削除するには、制約または制約グループを [Constraints] ウィンドウで選択して、ポップアップ メニューで [Delete] をクリックします。制約を削除することを確認するダイアログ ボックスが表示されます。削除する場合は、[OK] をクリックします。

メモ： タイミング制約は相互依存しているため、1 つの制約を削除すると関連する制約がいくつか削除される可能性があります。

メモ： タイミング制約の追加、編集、および削除は、やり直すことができません。

[Physical Hierarchy] ウィンドウの使用

[Physical Hierarchy] ウィンドウには、デザインを階層に分割した構造が表示されます。物理デザインは、ツリー エレメントのプラス記号 (+) およびマイナス記号 (-) を展開または非展開することでナビゲートできます。ツリー エレメントを選択してメニュー、ツールバー、右クリックによるポップアップ メニューからコマンドを適用できます。Ctrl キーまたは Shift キーを押しながら選択すると複数のエレメントを選択でき、同じコマンドを同時に実行することができます。

物理階層ツリーはダイナミックで、物理階層が変更されると自動的に拡張・変更されます。その他のウィンドウでオブジェクトが選択されると、[Physical Hierarchy] ウィンドウで該当エレメントがハイライトされます。

このウィンドウに表示されるオブジェクトは、相対配置マクロ (RPM) および物理ブロック (Pblock) です。これらのオブジェクトをこのウィンドウで選択して、他のウィンドウで変更することもできます。

ROOT デザイン Pblock の使用

物理階層には、まずフロアプラン名の下に **ROOT** という最上位デザインが含まれます。**ROOT** は、**PlanAhead** に含まれる最上位の **Pblock** です。下位の **Pblock** を作成すると、これらは **Pblock** フォルダの下に階層構造で表示され、親 **Pblock** の下には子 **Pblock** が表示されます。

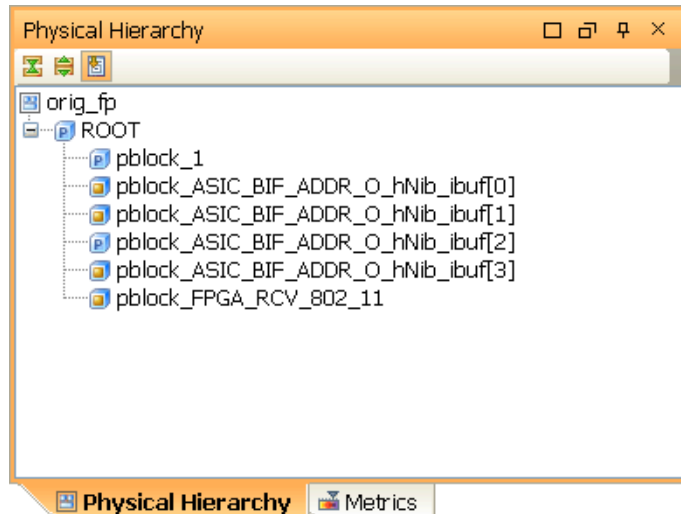


図 8-33 : [Physical Hierarchy] ウィンドウ

Pblock を選択すると、これに割り当てられているすべてのロジックが選択されます。

[Physical Hierarchy] ウィンドウのアイコンの説明

[Physical Hierarchy] ウィンドウのツリーには、さまざまなオブジェクトのステートを識別するのに役立つアイコンがいくつかあります。このアイコン表示は物理階層が変更されると自動的に更新されます。

Pblock を作成すると、[Physical Hierarchy] ウィンドウに階層的に表示されます。図 8-34 に示すように、このウィンドウに含まれる各フォルダのタイプ名の末尾に括弧で表示されている番号は、そのフォルダに含まれているオブジェクト数を示します。

1 つの相対配置マクロ (RPM) の各インスタネーションがこのウィンドウに表示されます。その場合 **Pblock** の下の **RPM** フォルダに表示されます。[Physical Hierarchy] ウィンドウで **RPM** を選択すると、**RPM** に含まれているロジックすべても選択されます。

インスタンスが割り当てられた Pblock

インスタンスが割り当てられており [Device] ウィンドウで長方形が定義されている **Pblock** は、中心が黄色の青色キューブで表示されます。



インスタンスが割り当てられており [Device] ウィンドウで長方形が定義されていない Pblock は、中心が黄色の青色正方形で表示されます。



インスタンスが割り当てられていない Pblock

インスタンスが割り当てられておらず、[Device] ウィンドウで長方形が定義されている Pblock は、中心に青色の P 文字が示されている青色キューブで表示されます。



インスタンスが割り当てられておらず、[Device] ウィンドウで長方形が定義されていない Pblock は、中心に青色の P 文字が示されている青色正方形で表示されます。



相対配置マクロ (RPM) での作業

デザインに含まれる相対配置マクロ (RPM) は、[RPMs] フォルダの下に表示されます。RPM は Pblock に割り当てることができます。その場合 Pblock の下の RPM フォルダに表示されます。1 つの相対配置マクロ (RPM) の各インスタンスエーションがこのウィンドウに表示されます。

[Physical Hierarchy] ウィンドウで RPM を選択すると、RPM に含まれているロジックすべても選択されます。

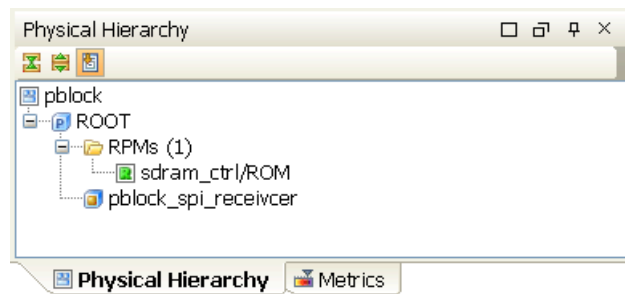


図 8-34 : [Physical Hierarchy] ウィンドウに表示される [RPMs] フォルダ

[RPM Properties] ウィンドウには、RPM に含まれるすべてのインスタンスが表示されます。

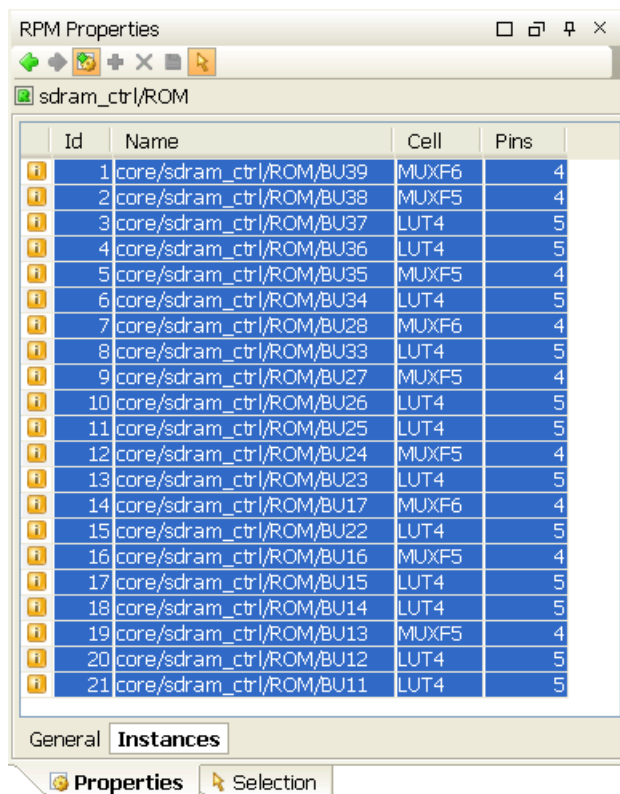


図 8-35 : RPM に含まれるインスタンス

RPM ロジックを Pblock に割り当てると、RPM のサイズ情報が [Pblock Properties] ウィンドウの [Statistics] タブに表示されます。

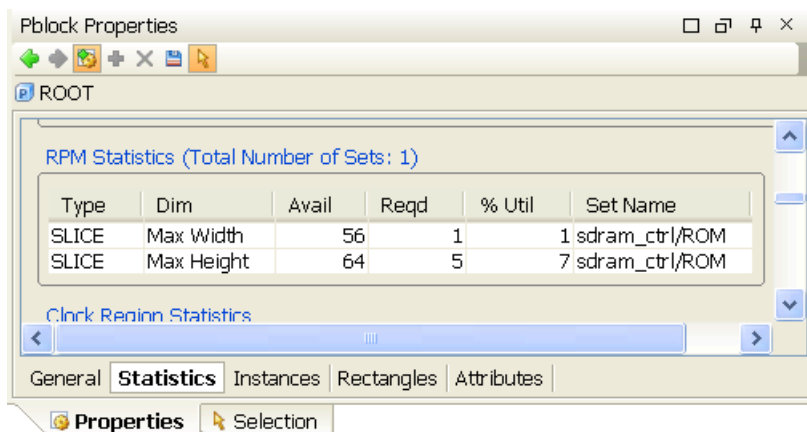


図 8-36 : [Pblock Properties] ウィンドウ :[Statistics] タブ

Pblock に割り当てられた RPM の数が、RPM の最長および最大幅の情報と共に表示されます。RPM のサイズ情報は、Pblock の形を調整するのに役立ちます。

この情報を保存するには、[Pblock Properties] ダイアログ ボックスの [Save Pblock statistics to file] ボタンをクリックし、ファイル名を指定します。



図 8-37 : [Save Pblock statistics to file] ボタン

Pblock に多数の RPM が含まれる場合は、Pblock のサイズを大きくしてください。これにより、インプリメンテーション ツールで RPM をエリアにフィットさせることができます。

共通のポップアップ メニュー コマンドの使用

ポップアップ メニュー コマンドには、複数のウィンドウで使用できるものが多数あります。次のコマンドは、PlanAhead の多くのウィンドウおよび環境で使用されます。

次のコマンドには、ロジックがあらかじめ選択されているときのみ使用可能なものもあります。ポップアップ メニューの内容は、アクティブなウィンドウや選択されているオブジェクトの種類によって異なります。

次に、共通の右クリック コマンドおよびその説明を示します。

- [Instance Properties]/[Pblock Properties]/[Net Properties] : 適切な [Properties] ウィンドウを開きます。
- [Delete] : 選択したオブジェクトを削除することを確認するダイアログ ボックスが表示されます。[OK] をクリックすると削除されます。
- [Unplace] : 選択した配置制約を削除します。
- [Assign] : 選択したインスタンスを既存の Pblock に割り当てます。[Select Pblock] ダイアログ ボックスが表示され、インスタンスを割り当てる Pblock を選択できます。
- [Unassign] : 選択した Pblock へのインスタンス割り当てを削除します。
- [Draw Pblock] : [Device] ウィンドウで長方形を描画できます。選択したインスタンスを割り当てた Pblock が作成されます。
- [New Pblock] : [Physical Hierarchy] ウィンドウに、選択したインスタンスが割り当てられた新しい Pblock を作成します。長方形は作成されません。
- [Clear Rectangle] : Pblock から選択した長方形を削除します。Pblock は削除されません。
- [Set Pblock Size] : 任意の場所に新しい長方形を描画できます。ほかの既存の長方形が削除されます。
- [Add Pblock Rectanble] : Pblock に長方形を追加できます。Pblock に長方形以外の形を作成するときに便利です。
- [Select Children] : 選択した Pblock の子 Pblock すべてを選択します。
- [Select Primitives] : 現在の [Schematic] ウィンドウに含まれるプリミティブ ロジック オブジェクトをすべて選択します。モジュールを選択した場合は、そのモジュール内のプリミティブ ロジック オブジェクトのみが選択されます。このコマンドは、その他のウィンドウでも使用できます。
- [Select Primitives Parents] : 選択したプリミティブ ロジック オブジェクトの親モジュールすべてを選択します。モジュールを選択した場合、モジュールは選択されたままになります。このコマンドはその階層にのみ適用され、モジュールの親が選択されます。このコマンドは、その他のウィンドウでも使用できます。

- **[Highlight Primitives]** : 選択されたモジュールのプリミティブ ロジックを、サブメニューで選択した色でハイライトします。このコマンドは、多くのウィンドウで使用できます。
モジュールのグループを選択した場合は、ポップアップ メニューのサブメニューで **[Cycle Colors]** オプションを選択して、各モジュール プリミティブに別々の色を使用してハイライトできます。このコマンドは、ロジック階層のグループの配置位置を表示する場合にとっても便利です。**[Netlist]** ウィンドウにあるモジュールのアイコンも同じ色でハイライトされるため、対応するオブジェクトが容易にわかります。
- **[Unhighlight Primitives]** : 選択したプリミティブのハイライトを解除します。モジュールを選択した場合は、そのモジュール内のプリミティブ ロジック オブジェクトのみのハイライトが解除されます。
- **[Schematic]** : 選択したロジックを含む **[Schematic]** ウィンドウを新規作成します。
- **[Show Connectivity]** : 選択したインスタンスに接続されているネットをすべて選択します。表示されているネットすべてが接続されているインスタンスを連続して選択しても、このコマンドを正しく実行できます。再度実行すると、ロジック コーンに含まれる次のグループの拡張ネットがハイライトされます。
- **[Show Hierarchy]** : デザイン全体を表示する **[Hierarchy]** ウィンドウを表示します。このウィンドウでは、モジュール内の選択されたオブジェクトがハイライトされています。
- **[Fix Instances]** : ロジックの配置を固定します。ロジックが固定されると、ユーザー割り当てと見なされ、デフォルトで **ISE** にエクスポートされます。
- **[Unfix Instances]** : 固定した配置を解除します。
- **[Highlight]** : 現在選択されているハイライト色を使用して選択したオブジェクトをハイライトします。
- **[Highlight with]** : 選択したハイライト色を使用して選択したオブジェクトをハイライトします。
- **[Mark]** : **[Device]** ウィンドウで、選択されたエレメントすべてにマーク シンボルを付けます。
- **[Select]** : ポップアップ メニューが表示されるロケーションで選択可能なオブジェクトをリストしたサブメニューを開きます。これは、重なったオブジェクト間で特定のオブジェクトを選択するときに役立ちます。
- **[View]** : コマンドのサブメニューを開きます。
 - ◆ **[Zoom]** : 現在の表示または選択したオブジェクトを拡大表示または縮小表示するコマンドのサブメニューを表示します。
 - ◆ **[Fit Selection]** : 選択したオブジェクトすべてを含むように表示をフィットさせます。
 - ◆ **[Fit Highlight]** : ハイライトしたオブジェクトすべてを含むように表示をフィットさせます。
 - ◆ **[Fit Markers]** : マークを付けたオブジェクトすべてを含むように表示をフィットさせます。
 - ◆ **[Options]** : **[PlanAhead Options]** ダイアログ ボックスを表示します。このダイアログ ボックスは、**[Tools]** → **[Options]** でも開くことができます。詳細は、「[PlanAhead の表示オプションのカスタマイズ](#)」を参照してください。
 - ◆ **[Refresh]** : 表示を再描画し、最新の情報に更新します。
- **[Metric]** : 表示可能なすべてのメトリックをリストするサブメニューを開きます。詳細は、「[I/O ピン配置およびクロック ロジックの解析](#)」を参照してください。

I/O ピン配置およびクロック ロジックの解析

詳細は、第 5 章「I/O ピンの配置」を参照してください。

RTL デザインの解析

詳細は、第 6 章「RTL デザインの作成および解析」を参照してください。

合成されたデザインの解析

デザイン リソースおよびデバイス使用率の統計レポート

デバイス リソース使用率の統計レポート

PlanAhead にはデザインで使用されるデバイス リソースの見積り数をレポートする機能があります。デバイス使用率の統計は次のように表示または出力することができます。

1. [Physical Hierarchy] ウィンドウで、[ROOT] デザインまたは Pblock をクリックします。

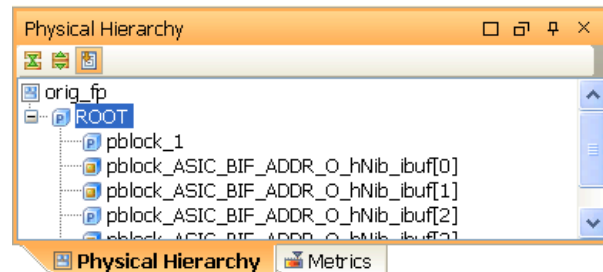


図 8-38 : [Physical Hierarchy] ウィンドウで [ROOT] を選択

Pblock プロパティが [Pblock Properties] ウィンドウに表示されます。

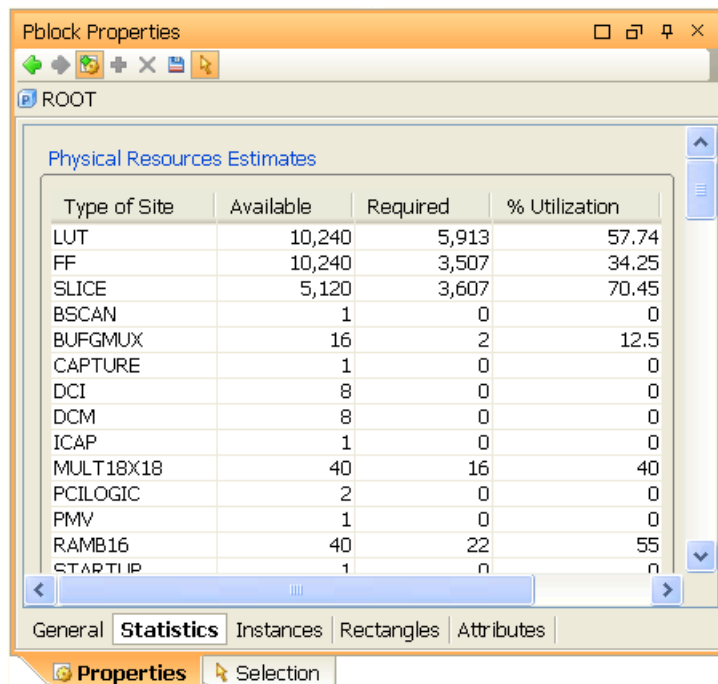
2. [Pblock Properties] が表示されない場合は、[ROOT] または Pblock を右クリックし、ポップアップメニューで [Pblock Properties] をクリックします。

[Pblock Properties] ウィンドウにはタブが 5 つありますが、この章ではそのうち 4 つについて説明します。

3. [Statistics] タブをクリックします。

[Statistics] タブには、さまざまなデバイス リソースのデバイス全体での使用状況、キャリーチェーン数と最長チェーンの長さ、RPM 数と最大サイズ、クロック名とクロックが供給されて

いるインスタンスの数、I/O 使用率、および信号とプリミティブ インスタンスの数などの重要なデザイン情報が表示されます。



The image shows the 'Pblock Properties' window with the 'Statistics' tab selected. It displays a table titled 'Physical Resources Estimates' with the following data:

Type of Site	Available	Required	% Utilization
LUT	10,240	5,913	57.74
FF	10,240	3,507	34.25
SLICE	5,120	3,607	70.45
BSCAN	1	0	0
BUFGMUX	16	2	12.5
CAPTURE	1	0	0
DCI	8	0	0
DCM	8	0	0
ICAP	1	0	0
MULT18X18	40	16	40
PCILOGIC	2	0	0
PMV	1	0	0
RAMB16	40	22	55
STARTUP	1	0	0

図 8-39 : [Pblock Properties] ウィンドウ :[Statistics] タブ

見積り階層デバイス使用率統計のエクスポート

表示されているデータは表計算式ファイルに保存できます。PlanAhead では階層形式のレポートを生成することができます。各レベルにある各モジュールに対しリストされる見積り値をレポートするための階層数を定義できます。

1. [Export Statistics] ボタンをクリックし、データを表計算ファイルにエクスポートします。



図 8-40 : [Export Statistics] ボタン

[Export Pblock Statistics] ダイアログ ボックスが表示されます。

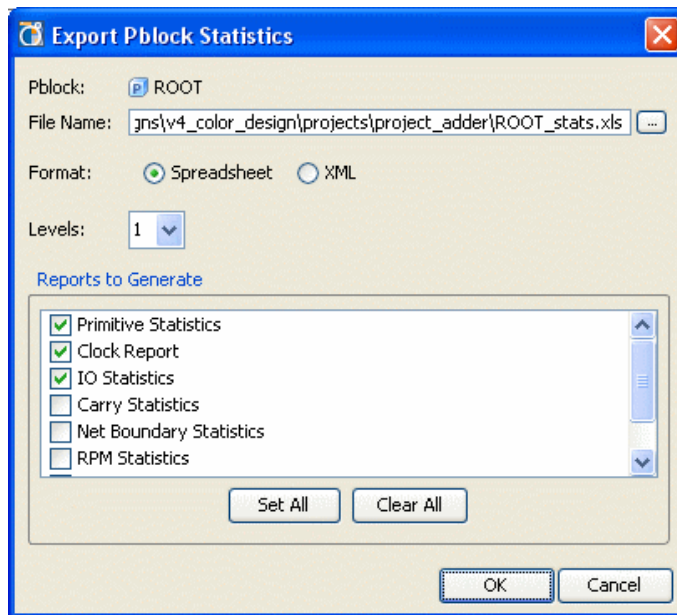


図 8-41 : [Export Pblock Statistics] ダイアログ ボックス

[Export Pblock Statistics] ダイアログ ボックスには次のオプションがあります。

- ◆ [File Name] : 表計算ファイルの名前および保存場所を入力します。
 - ◆ [Format] : XML またはマイクロソフトの Excel フォーマットの出力ファイルを選択します。
 - ◆ [Levels] : レポートで表示される階層のレベル数を設定します。
 - ◆ [Reports to Generate] : Pblock プロパティ統計からの情報タイプを定義します。
2. エクスポートしたファイルに対しオプションを設定します。
 3. [OK] をクリックします。

デザイン リソース統計のレポート

PlanAhead にはデザインに含まれるデバイス リソースの見積り数をレポートする機能があります。

同じタイプの見積り統計情報が RTL デザイン プロジェクトから表示およびエクスポートできます。詳細は、「[RTL デザインのエラポレートおよび解析](#)」を参照してください。

デザイン リソース統計は次のように表示されます。

1. 最上位モジュールまたはインスタンス モジュールを [Netlist] ウィンドウで選択します。

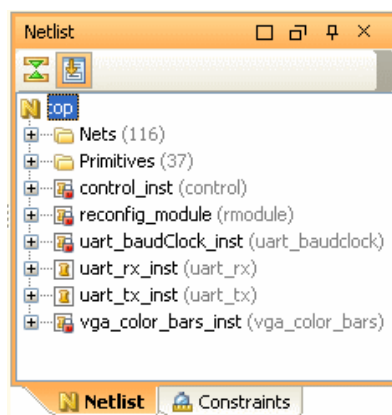


図 8-42 : 最上位モジュールが選択されている [Netlist] ウィンドウ

ネットリストまたはインスタンスのプロパティがプロパティのウィンドウに表示されます。

2. 表示されない場合は、モジュールを右クリックし、ポップアップ メニューで [Net Properties] または [Instance Properties] をクリックします。

[Net Properties] には、デフォルトで [Statistics] タブが 1 つ表示されます。[Instance Properties] には、5 つのタブがあります。

3. [Instance Properties] を表示するには [Statistics] タブをクリックします。

[Statistics] タブには、プリミティブ インスタンス数、インターフェイス信号数、クロック名、クロック信号を受けるインスタンス数、キャリー チェーン数およびその最大長といった重要なデザイン情報が表示されます。

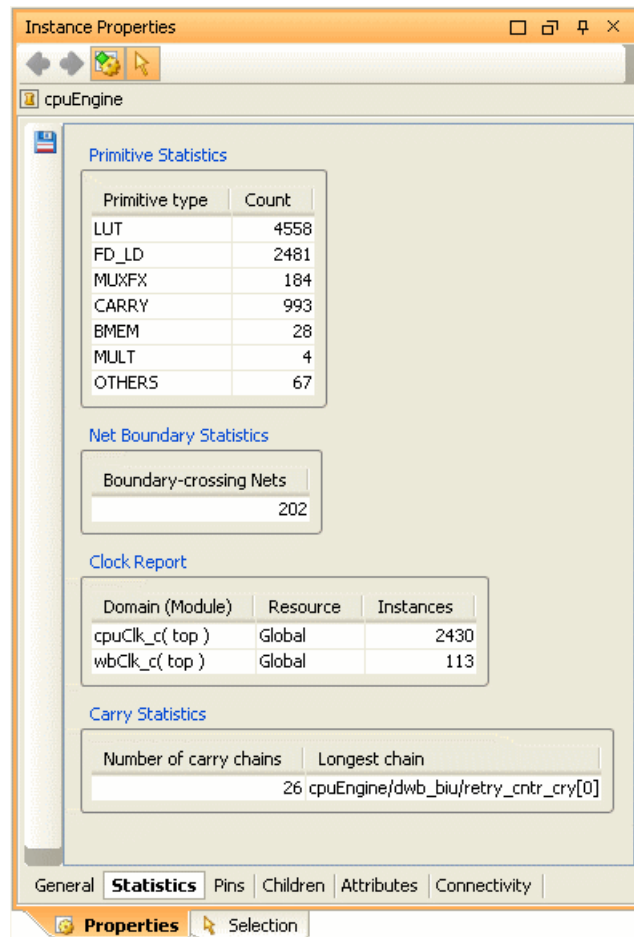


図 8-43 : ネットリスト リソース統計

階層デザイン リソース統計のエクスポート

表示されているデータは表計算式ファイルに保存できます。PlanAhead では階層形式のレポートを生成することができます。各レベルにある各モジュールに対しリストされる見積み値をレポートするための階層数を定義できます。

1. [Export Statistics] ボタンをクリックし、データを表計算ファイルにエクスポートします。



図 8-44 : [Export Statistics] ボタン

[Export Netlist Statistics] ダイアログ ボックスが表示されます。

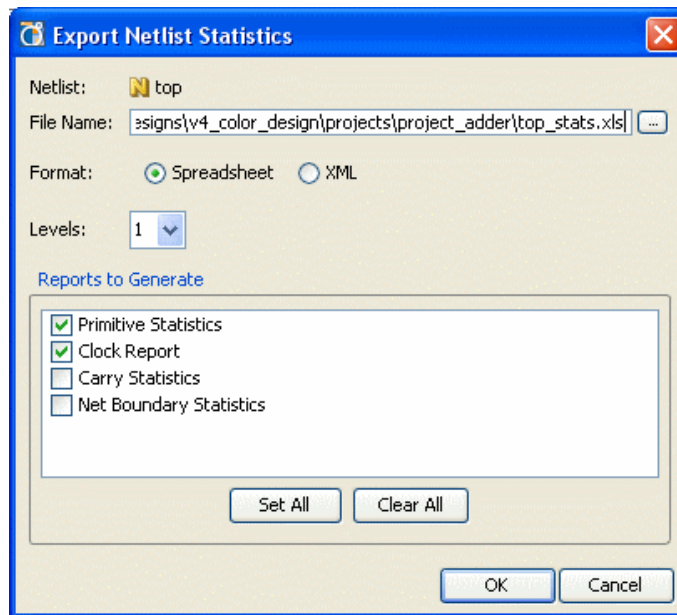


図 8-45 : ネットリスト リソース統計のエクスポート

[Export Netlist Statistics] ダイアログ ボックスには次のオプションがあります。

[File Name] : 表計算ファイルの名前および保存場所を入力します。

[Format] : XML またはマイクロソフトの Excel フォーマットの出力ファイルを選択します。

[Levels] : レポートで表示される階層のレベル数を設定します。

[Reports to Generate] : Pblock プロパティ統計からの情報タイプを定義します。

2. エクスポートしたファイルに対しオプションを設定します。
3. [OK] をクリックします。

論理階層の表示

詳細は「[\[Device\] ウィンドウの使用](#)」および「[\[Hierarchy\] ウィンドウの使用](#)」を参照してください。

階層接続の解析

PlanAhead は、さまざまな論理モジュール間の接続をビジュアルに確認できる機能を含む、論理階層を確認する機能を豊富に備えています。場合によっては、最上位ネットリスト インスタンスで構

成されるフロアプランをまず作成して、次に示すように接続フローをビジュアルに確認したほうが便利ことがあります。

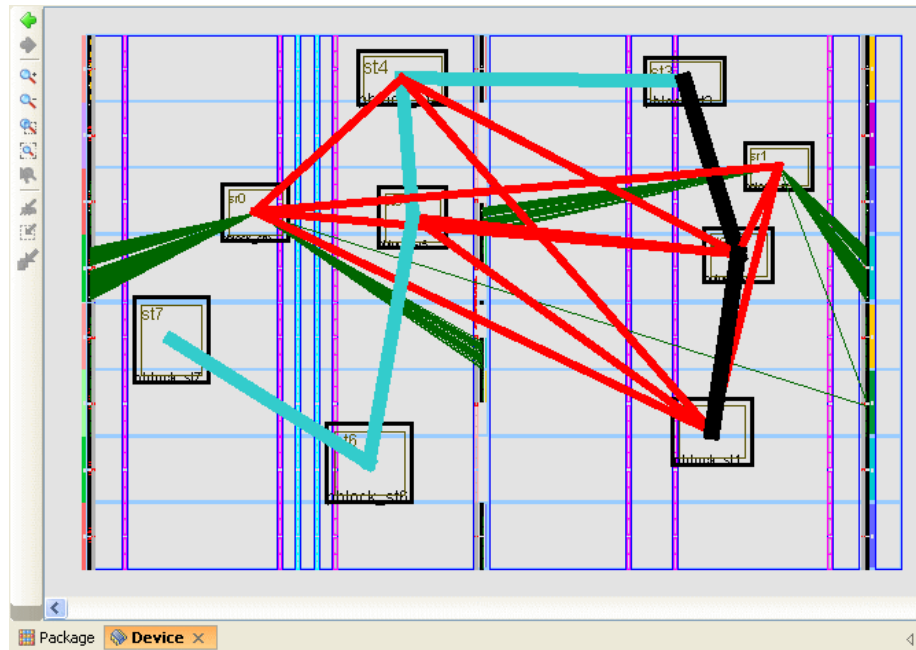


図 8-46：最上位デザイン接続の表示

バンドル ネットは、モジュール間で接続が激しいことを明らかに示します。この色と太さは、ネットの信号数によって設定できます。バンドル ネットを選択すると、[Net Bundle Properties] にネット情報が表示されます。

階層を移動し、大きなトップレベルのインスタンスのサブモジュールを作成することもできます。

トップレベルのフロアプランは I/O ピン配置コンフィギュレーションの質を示すもので、煩雑になりかねない配線の問題を識別するのに役立ちます。各モジュールのリソース統計およびクロック要件も、潜在的な配置問題を知るために確認できます。

トップレベルのフロアプラン作成の詳細は 316 ページの「Pblock の自動コマンドの使用」を参照してください。

デザイン ルール チェック (DRC) の実行

PlanAhead には、DRC バッチ コマンドのセットが含まれており、ISE ソフトウェアの実行前にデザインの整合性を確認できます。DRC は実行されるロジック チェックのタイプ別に分類されています。

I/O ポートおよびクロック ロジック DRC の実行

DRC ルールの多くは I/O ピン割り当てとクロック ロジックに関連しています。I/O ポートおよびクロック ロジックに関連した DRC の詳細は第 5 章「I/O ピンの配置」を参照してください。

ネットリストおよびフロアプラン DRC の実行

各ルールは、次のように選択および実行されます。

1. 次のいずれかのコマンドで DRC を実行します。

- ◆ [Tools] → [Run DRC] をクリックします。
- ◆ ツールバーの [Run DRC] ボタンをクリックします。



図 8-48 : [Run DRC] ボタン

[Run DRC] ダイアログ ボックスが表示されます。

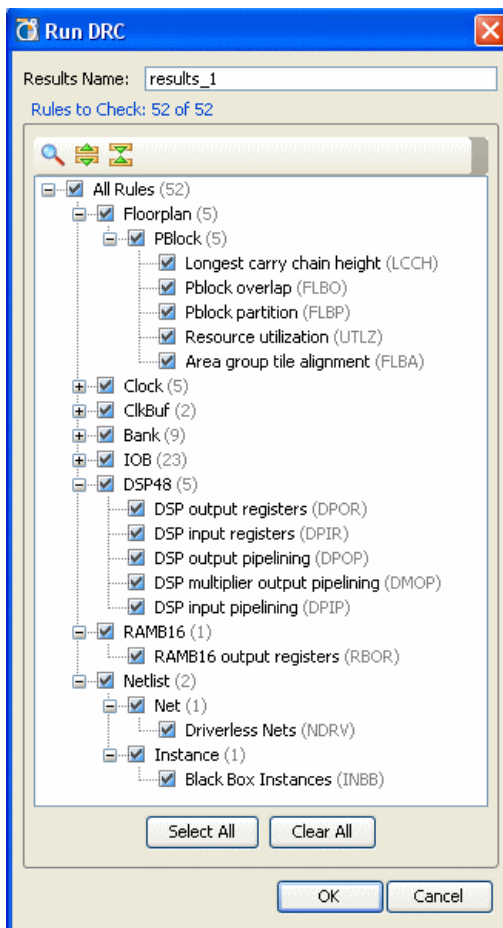


図 8-49 : [Run DRC] ダイアログ ボックス : ネットリストおよびフロアプランのルール

2. [Results Name] フィールドを表示または編集します。ここで指定した名前が [DRC Results] ウィンドウに表示されるので、デバッグ時に区別しやすい名前を付けます。この名前は出力ファイル名としても使用されます。
3. [Rules to Check] グループ ボックスの各デザイン オブジェクトで、チェックするルールのチェックボックスをオンにします。各ルールの詳細は、「[DRC ルールについて](#)」を参照してください。
 - ◆ [Expand All] ボタンをクリックするか、各カテゴリまたはデザイン オブジェクトの横のプラス記号 (+) をクリックすると、階層が展開します。
 - ◆ すべての DRC を実行する場合は、デザイン オブジェクトの横のチェックボックスをオンにします。個別のルールを実行する場合は、その横のチェック ボックスをオンにします。すべてのルールをチェックする場合は、[All Rules] の横のチェックボックスをオンにします。

4. [OK] をクリックすると、選択した項目がチェックされます。

DRC エラーの表示

DRC が完了すると、結果が表示されます。

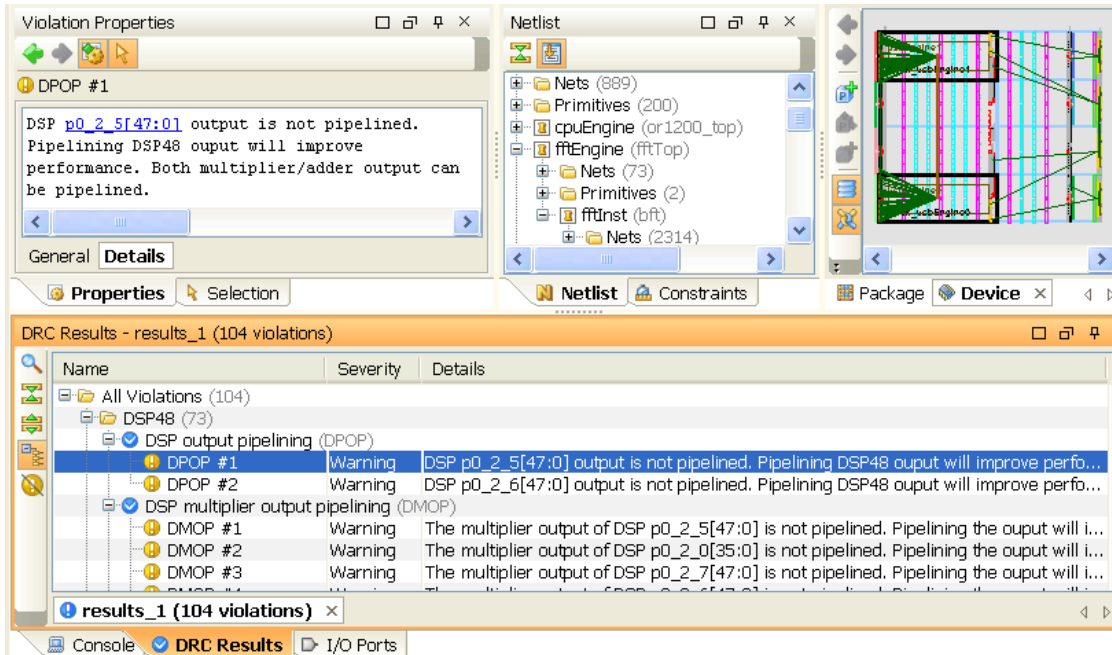


図 8-50 : DRC Results

違反は、[DRC Results] で個別に展開表示されます。エラーは赤いアイコン、警告は茶色のアイコン、情報メッセージは黄色のアイコンで区別されています。

デフォルトですべてのエラーおよび警告が表示されます。警告および情報メッセージを非表示にし、エラーのみを表示する場合は、ツールバーの [Hide Warning and Information Messages] ボタンをクリックします。もう 1 度このボタンをクリックすると、すべての警告およびエラーメッセージが表示されます。



図 8-52 : [Hide Warning and Information Messages] ボタン

[DRC Results] のリストでエラーをどれか選択すると、そのエラーの情報が [Properties] に表示されます。[Properties] のリンクをクリックすると、[Device]、[Netlist]、および [Schematic] で、違反が発生したデザイン エレメントがハイライト表示されます。

エラーは、修正すると [DRC Results] ウィンドウに表示されなくなり、DRC が再実行されます。

[Run DRC] コマンドを実行し、エラーが検出されるたびに、新しい結果のタブが [DRC Results] ウィンドウに追加されます。結果のファイルも個別に PlanAhead の起動ディレクトリに出力されます。

DRC ルールについて

次の表に、デザイン オブジェクトごとの DRC ルール、目的、重要性を示します。

- 「フロアプランの Pblock のルール」
- 「バンクのルール」
- 「DCI のルール」
- 「ClkBuf のルール」
- 「DSP48 のルール」
- 「RAMB16 のルール」
- 「ネットリストのルール」

メモ：グローバル クロック ルール、IOB ルール、バンク I/O 規格ルールについては「I/O ポートおよびクロック ロジック DRC の実行」を参照してください。

フロアプランの Pblock のルール

表 8-3：フロアプランの Pblock のルール

ルール名	ルールの略称	説明	重要性
Longest Carry Chain Height	LCCH	Pblock の高さに、割り当てられたキャリー チェーンで一番長いチェーンが収まるかどうかのチェック。	警告
Pblock overlap	FLBO	重なり合った Pblock の長方形のチェック。	情報
Pblock Partition	FLBP	LUT から MUXCY および MUXFx への接続が Pblock のパーティションで切断されていないかをチェック。	エラー
Resource Utilization	UTLZ	割り当てられたロジックに対して、Pblocks のリソースが十分であるかをチェック。	警告 (スライスロジックの場合) エラー (非スライスロジックの場合)
Area Group Tile Argument	FLBA	AREA_GROUP 制約のサイト範囲が CLB グリッドと一致しているかどうかをチェック。	警告

バンクのルール

表 8-4：DCI カスケードのルール

ルール名	ルールの略称	説明	重要性
DCI Cascade Checks	DCIC	DCI カスケード制約が有効かどうかをチェック。	エラー

表 8-5 : IDelay 制御のルール

ルール名	ルールの略称	説明	重要性
IDelayCtrl Checks	IDLYCTRL	IDelay 配置が IDlyController のロケーションと一致しているかどうかをチェック。	エラー

バンク I/O 規格ルールの詳細は「[バンク I/O 規格のルール](#)」を参照してください。

DCI のルール

表 8-6 : DCI のルール

ルール名	ルールの略称	説明	重要性
DCI Cascade with part compatibility	DCICPC	ユーザーに UCF ファイルをほかの互換性のあるパーツに読み込み、DRC を手動で実行して DCI カスケードが有効であることを確認するよう警告。	警告

ClkBuf のルール

表 8-7 : ClkBuf のルール

ルール名	ルールの略称	説明	重要性
BufR & BufIO Locations	BUFRIOC	同じリージョナルクロックターミナルで駆動されている BUFR および BUFIO が相互配線可能なロケーションにあることをチェック。	エラー

IOB ルールの詳細は「[IOB のルール](#)」を参照してください。

DSP48 のルール

表 8-8 : DSP48 ルール

ルール名	ルールの略称	説明	重要性
DSP output registers	DPOR	DSP48 の出力側にレジスタがありますが、このレジスタは同期制御して使用する必要があります。(Virtex-4 の場合)	情報
DSP input registers	DPIR	DSP48 の入力側にレジスタがありますが、このレジスタは同期制御して使用する必要があります。(Virtex-4 の場合)	情報
DSP output pipelining	DPOP	DSP48 の出力側にレジスタがありますが、このパイプラインのメカニズムを使用すると、パフォーマンスが向上します。(Virtex-4 の場合)	情報

表 8-8 : DSP48 ルール (続き)

ルール名	ルールの略称	説明	重要性
DSP multiplier output pipelining	DMOP	DSP48 出力はパイプライン化されていません。パイプラインされているとパフォーマンスが向上します。	警告
DSP input pipelining	DPIP	DSP48 の入力側にレジスタがありますが、このパイプラインのメカニズムを使用すると、パフォーマンスが向上します。(Virtex-4 の場合)	情報

RAMB16 のルール

表 8-9 : RAMB16 のルール

ルール名	ルールの略称	説明	重要性
RAMB16 output registers	RBOR	RAMB16 の出力側にレジスタがありますが、このレジスタは同期制御して使用する必要があります。(Virtex-4 の場合)	情報

ネットリストのルール

表 8-10 : ネットのルール

ルール名	ルールの略称	説明	重要性
Driverless Nets	NDRV	各ネットに正しいドライバ ピンがあることをチェック。	警告

表 8-11 : インスタンスのルール

ルール名	ルールの略称	説明	重要性
Black Box Instances	INBB	ブラックボックス (ネットリストの未定義ロジック) がないことをチェック。	警告

タイミング解析の実行

TimeAhead について

TimeAhead はデザイン作成の段階に応じてさまざまなモードで使用できます。パスの遅延を早い段階で予測することでフロアプランを容易にするだけでなく、詳細なパストレース、デバッグ、および制約の割り当てにも役立ちます。TimeAhead には、[Estimated] と [No Interconnect] の 2 つのモードがあります。フロアプランで割り当てられた制約が Pblock や配置制約のように物理的であるほど、解析結果も正確になります。

TimeAhead の実行

1. タイミング解析は、次の方法のいずれかで実行できます。
 - ◆ [Tools] → [Run TimeAhead] をクリックします。
 - ◆ [Run TimeAhead] ボタンをクリックします。



図 8-53 : [Run TimeAhead] ボタン

[Run TimeAhead] ダイアログ ボックスが表示されます。

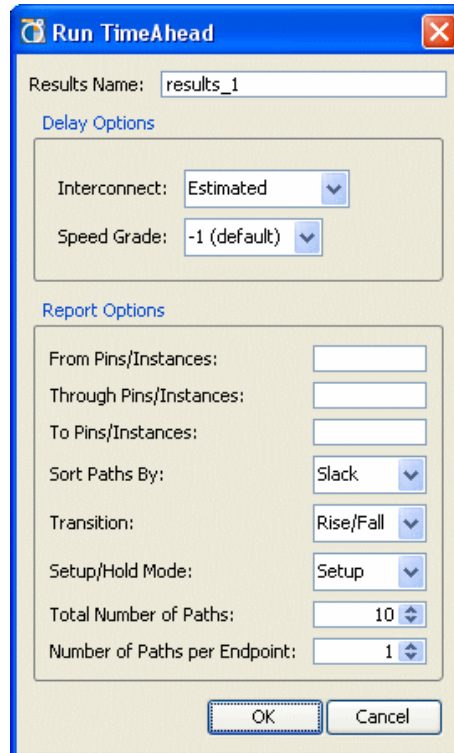


図 8-54 : [Run TimeAhead] ダイアログ ボックス :

2. 編集可能なフィールドを確認し、必要があれば変更します。
 - ◆ [Results Name] : TimeAhead の実行結果はここで指定した名前で [Timing Results] ウィンドウに表示されます。
 - ◆ [Interconnect] : 使用するタイマのモードを指定します。次の 2 つのオプションがあります。
 - [Estimated] : 擬似配線を基に、ロジックおよび標準の配線遅延を見積もります。
 - [None] : すべてのロジック プリミティブ遅延を、配線遅延の見積もりを使用せずに見積もります。このレポートは、ISE で MAP を実行した後の TRACE レポートと一致します。
 - ◆ [Speed Grade] : デバイスのスピード グレードをテストするため調整します。

- ◆ [Filter Options] : TimeAhead を実行するパスのリストを絞り込むことができます。ワイルドカード (*) を使用すると、複数の信号を指定できます。
 - [From Pins/Instances] : このピンまたはインスタンス名をソースとするパスを選択します。
 - [Through Pins/Instances] : このピンまたはインスタンス名を通過するパスを選択します。
 - [To Pins/Instances] : このピンまたはインスタンスを終点とするパスを選択します。
 - [Sort Paths By] : 制約グループ順またはスラック順にタイミング レポートを並べ替えます。
 - [Transition] : 立ち上がりまたは立ち下がり指定します。
 - [Setup/Hold Mode] : ホールド解析またはセットアップ解析を指定します。
 - [Number of Paths per Clock Group] : 各制約にリストするパスの数を指定します。
 - [Number of Paths per Endpoint] : 各パス エンドポイントでレポートされるパスの数を指定します。

3. 項目を指定して [OK] をクリックすると、TimeAhead が起動します。

TimeAhead 解析からパスを除外する方法

TimeAhead では、[Filter Options] のフィールドで記号を使うことで、オブジェクトをタイミング解析から除外できます。

除外の方法

名前 (完全な名前またはワイルド カード付きの名前) に感嘆符 (!) を付けると、その条件に合うオブジェクトが除外されます。

たとえば次のように指定したとします。

[From Pins/Instances] : pblock_1/*

[To Pins/Instances] : !pblock_1/*

TimeAhead 解析には、始点が pblock_1 のインスタンスで、終点が pblock_1 のインスタンスでないパスが含まれます。

含めるパスと除外するパスを同時に指定する方法

解析に含めるパスと除外するパスを同時に指定できます。

たとえば次のように指定したとします。

[From Pins/Instances] : pblock_1/*

[To Pins/Instances] : pblock_2/* !pblock_3/*

pblock_2 と pblock_3 に共通のインスタンスがあれば (pblock_3 が pblock_2 内にある場合など)、同じインスタンスを終点とするパスはレポートに含まれません。

複雑なケース

複雑なケースについては、次の規則に従ってください。

含める条件が指定されている場合に除外条件が指定されていると、含まれた結果から除外されます。除外条件のみが指定されている場合は、ネットリストのリーフレベルのインスタンスはすべて含まれます。

タイミング結果の解析

[Timing Results] ウィンドウには TimeAhead または ISE の TRACE タイミング解析ツールからのタイミング結果を表示することができます。[Timing Results] ウィンドウにパスを表示するには、TimeAhead または TRCE のいずれかを実行する必要があります。このウィンドウには、「[タイミング解析の実行](#)」で説明する[Run TimeAhead] ダイアログ ボックスで定義した条件を満たすパスが含まれます。TRCE 結果がインポートされる時、または TimeAhead がデフォルト オプションで実行される時、パスは制約別にソートされリストされます。

TimeAhead が完了するか、TRCE の結果がインポートされると、[Timing Results] ウィンドウが表示されます。

Name	Type	Slack	From	To	Total Delay	Logic Delay	Net %	Stages
Path 1	Setup	-0.254	usbEngine1/usb_dma_wb_in/BU2/U0/gen_fifo18_36.fgifo18_36/fblk/ins...	usbEngine1/u4/dout[6]	4.054	1.416	65.072	6
Path 2	Setup	-0.252	usbEngine1/usb_dma_wb_in/BU2/U0/gen_fifo18_36.fgifo18_36/fblk/ins...	usbEngine1/u4/dout[22]	4.052	1.418	65.005	6
Path 3	Setup	-0.250	usbEngine1/usb_dma_wb_in/BU2/U0/gen_fifo18_36.fgifo18_36/fblk/ins...	usbEngine1/u4/dout[20]	4.050	1.415	65.062	6
Path 4	Setup	-0.225	usbEngine1/usb_dma_wb_in/BU2/U0/gen_fifo18_36.fgifo18_36/fblk/ins...	usbEngine1/u4/dout[23]	4.025	1.407	65.043	6
Path 5	Setup	-0.179	usbEngine0/usb_dma_wb_in/BU2/U0/gen_fifo18_36.fgifo18_36/fblk/ins...	usbEngine0/usbEngineSRAM/BU2/U0/blb_mem...	3.979	1.630	59.035	4
Path 6	Setup	-0.166	usbEngine0/usb_dma_wb_in/BU2/U0/gen_fifo18_36.fgifo18_36/fblk/ins...	usbEngine0/usbEngineSRAM/BU2/U0/blb_mem...	3.966	1.348	66.011	4
Path 7	Setup	-0.154	usbEngine0/usb_dma_wb_in/BU2/U0/gen_fifo18_36.fgifo18_36/fblk/ins...	usbEngine0/usbEngineSRAM/BU2/U0/blb_mem...	3.961	1.630	59.849	4
Path 8	Setup	-0.155	usbEngine0/usb_dma_wb_in/BU2/U0/gen_fifo18_36.fgifo18_36/fblk/ins...	usbEngine0/u4/dout[6]	3.955	1.416	64.197	6
Path 9	Setup	-0.126	usbEngine0/usb_dma_wb_in/BU2/U0/gen_fifo18_36.fgifo18_36/fblk/ins...	usbEngine0/u4/dout[23]	3.926	1.407	64.162	6
Path 10	Setup	-0.086	usbEngine1/usb_dma_wb_in/BU2/U0/gen_fifo18_36.fgifo18_36/fblk/ins...	usbEngine1/u4/dout[21]	3.886	1.415	63.587	6

図 8-55 : TimeAhead のタイミング結果

ここで、確認、並べ替え、特定のパスやインスタンスの選択ができます。

[Timing Results] ウィンドウには、各パスに関する次の情報が表示されます。

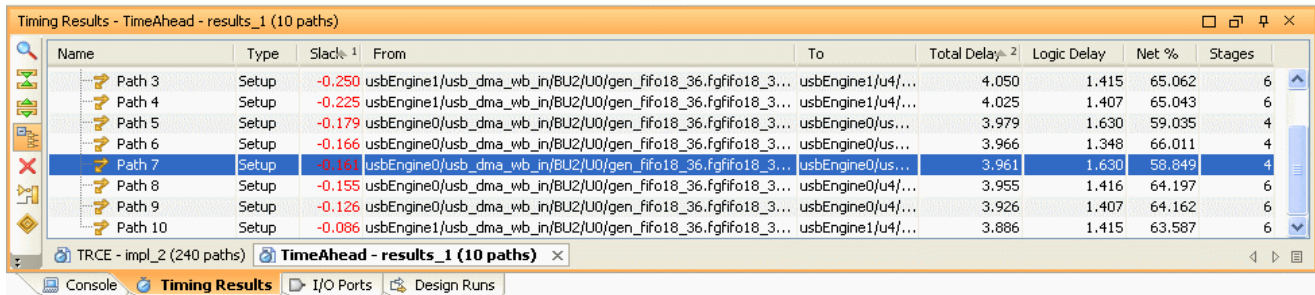
- ◆ [Name] : リストされているパスの制約名が表示されます。
- ◆ [ID] : 連続した番号で、基の順序に並べ替えられる際に使用できます。
- ◆ [Type] : パスがセットアップまたはホールドに関連しているかを表示します。
- ◆ [Slack] : パスの正または負のスラックの合計です。
- ◆ [From] : パスのソース ピンです。
- ◆ [To] : パスのデスティネーション ピンです。
- ◆ [Total Delay] : パスで予測される遅延の合計です。
- ◆ [Logic Delay] : ロジック遅延が起因の遅延のみが表示されます。
- ◆ [Net %] : インターコネクトの配置が起因の遅延の割合。
- ◆ [Stages] : ソースとデスティネーション両方が全体の遅延に影響を及ぼすパス上のインスタンスの合計これは、ISE におけるロジック レベルの計算方法と異なる場合があります。

メモ : TimeAhead では、キャリー チェーン インターコネクトがロジックの独立した段として数えられます。

タイミング レポートの並べ替え

列のヘッダをクリックすると、リストが並べ替えられます。たとえば、[Slack] 列のヘッダをクリックすると、スラックの順番で並べ替えられます。[Slack] 列をもう一度クリックすると、逆の順番に並べ替えられます。

最初に並べ替えた後で **Ctrl** キーを押しながら別の列のヘッダをクリックすると、次にその列で並べ替えられます。並べ替えに使用する列の数に制限はありません。



Name	Type	Slack	From	To	Total Delay	Logic Delay	Net %	Stages
Path 3	Setup	-0.250	usbEngine1/usb_dma_wb_in/BU2/U0/gen_fifo18_36.fgifo18_3...	usbEngine1/u4/...	4.050	1.415	65.062	6
Path 4	Setup	-0.225	usbEngine1/usb_dma_wb_in/BU2/U0/gen_fifo18_36.fgifo18_3...	usbEngine1/u4/...	4.025	1.407	65.043	6
Path 5	Setup	-0.179	usbEngine0/usb_dma_wb_in/BU2/U0/gen_fifo18_36.fgifo18_3...	usbEngine0/us...	3.979	1.630	59.035	4
Path 6	Setup	-0.166	usbEngine0/usb_dma_wb_in/BU2/U0/gen_fifo18_36.fgifo18_3...	usbEngine0/us...	3.966	1.348	66.011	4
Path 7	Setup	-0.161	usbEngine0/usb_dma_wb_in/BU2/U0/gen_fifo18_36.fgifo18_3...	usbEngine0/us...	3.961	1.630	58.849	4
Path 8	Setup	-0.155	usbEngine0/usb_dma_wb_in/BU2/U0/gen_fifo18_36.fgifo18_3...	usbEngine0/u4/...	3.955	1.416	64.197	6
Path 9	Setup	-0.126	usbEngine0/usb_dma_wb_in/BU2/U0/gen_fifo18_36.fgifo18_3...	usbEngine0/u4/...	3.926	1.407	64.162	6
Path 10	Setup	-0.086	usbEngine1/usb_dma_wb_in/BU2/U0/gen_fifo18_36.fgifo18_3...	usbEngine1/u4/...	3.886	1.415	63.587	6

図 8-56 : [Slack] 列と [Total Delay] 列で並べ替えられた、タイミング結果のリスト

もう一度 **Ctrl** キーを押して列ヘッダをクリックすると、その列の並べ替えが解除されます。

パスのリストのフラット化

デフォルトでパスは制約別に分類されています。[Timing Results] ウィンドウのツールバーの [Group by Constraint] ボタンをクリックして、すべてのパスをリスト表示することができます。



図 8-57 : [Group by Constraint] ボタン

このボタンで、制約別に分類されたリストとすべてのパスのリストの表示切替ができます。

タイミング レポートからのパスの削除

クリティカル パスを見やすくするために、パスを選択してタイミング レポートから削除できます。

1. タイミング レポートから削除するパスを選択します。複数のパスを選択するには、**Shift** キーまたは **Ctrl** キーを押しながらパスをクリックします。
2. **[Delete]** キーを押すか、[Timing Results] ウィンドウで右クリックして表示されるポップアップメニューで **[Delete]** をクリックします。

パスの詳細の表示

リストでパスを選択すると、[Path Properties] ウィンドウにそのパスの情報が表示されます。すべてのロジック エLEMENTの詳細な遅延情報やハイパーリンクが表示されます。

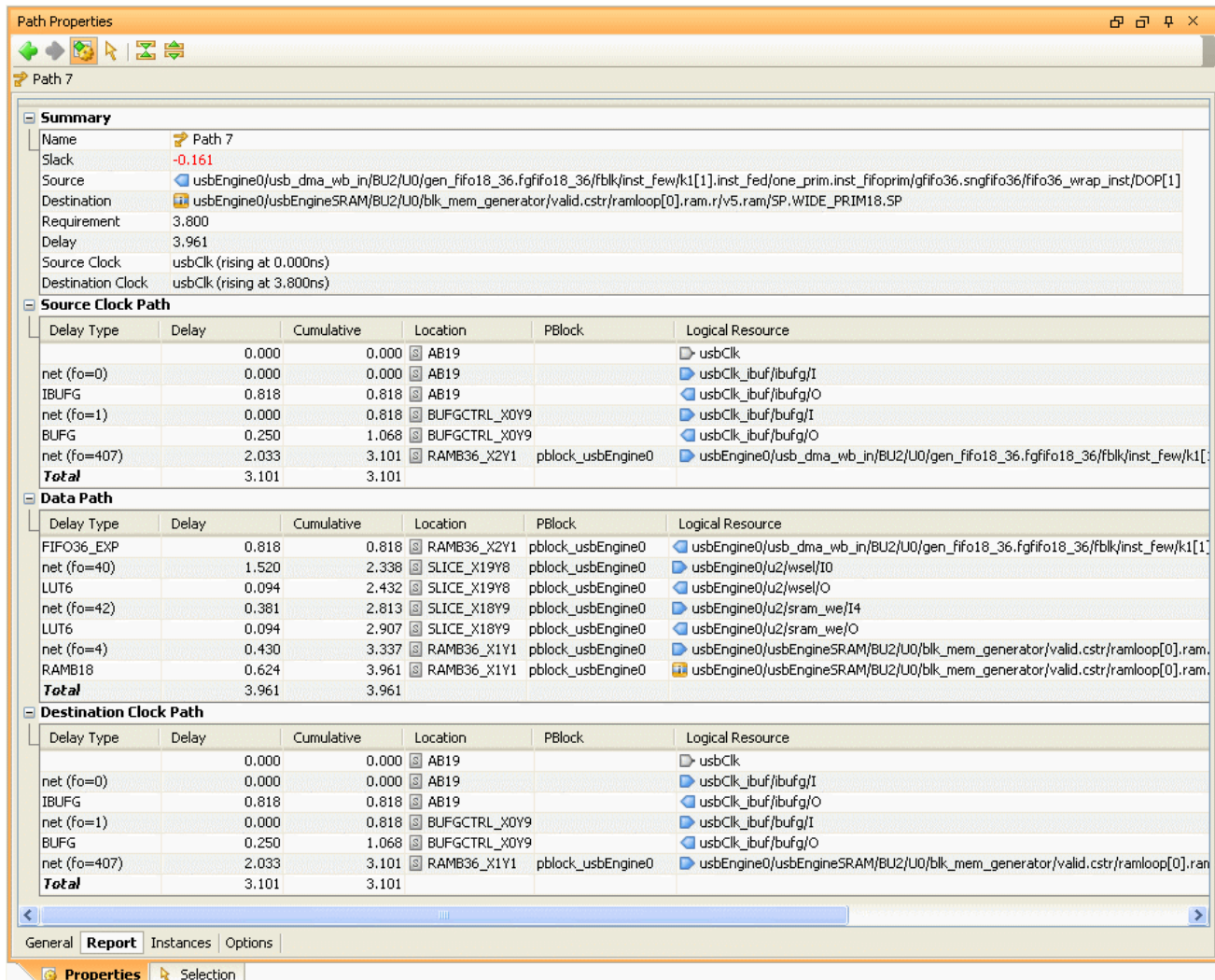


図 8-58 : [Path Properties] ウィンドウ : [Report] タブ

このレポートのフォーマットは TRCE レポートに似ています。

デフォルトでは、パスを選択するとそのパスのすべてのインスタンスも選択されます。レポートに青のハイパーリンクで表示されているオブジェクトをクリックすると、[Netlist] や [Device] など、ほかのウィンドウでもそのオブジェクトが選択されます。

Shift キーまたは Ctrl キーを使用すると、複数のパスを選択できます。選択されたパスすべてのインスタンスすべてが選択されますが、[Path Properties] ウィンドウには最初を選択されたパスの情報のみが表示されます。

タイミング パス レポートのワークスペースでの表示

タイミング パス レポートを見やすくするために、ワークスペースに個別に表示できます。レポートを表示するには、次の手順に従います。

1. レポートを表示するタイミング パスを選択します。
2. [View Path Report] ポップ アップ メニュー コマンドまたは [Timing Results] ウィンドウ ツールバーの [View timing path report in the workspace] ボタンをクリックします。



図 8-59 : [View path timing report in the workspace] ボタン

[Find]コマンドを使用したオブジェクトの検索

PlanAhead では、[Find] コマンドを使用してインスタンスまたはネットを検索できます。[Find] コマンドを実行するには、次の手順に従います。

1. [Edit] → [Find] または [Find] ボタンをクリックします。



図 8-60 : [Find] ボタン

[Find] ダイアログ ボックスが表示されます。

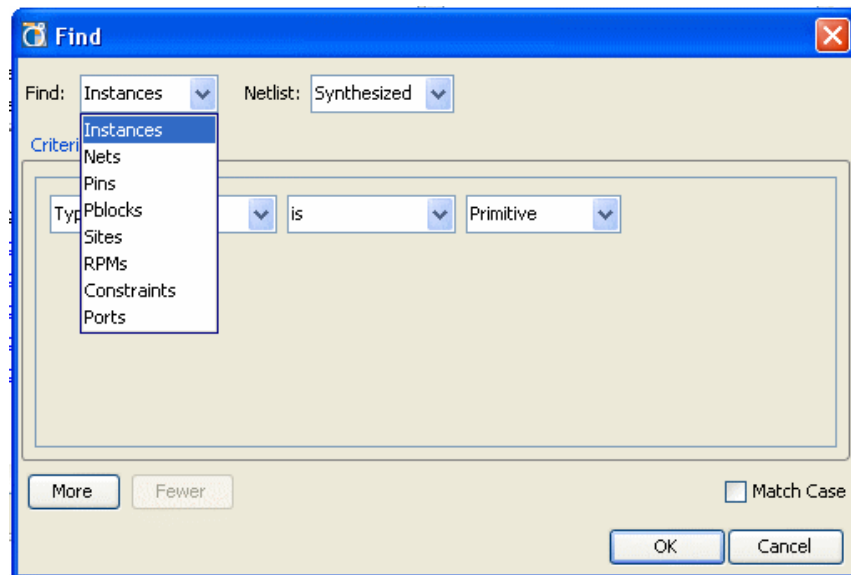


図 8-61 : [Find] ダイアログ ボックス

2. 編集可能なフィールドを確認し、必要があれば変更します。
 - ◆ [Find] : 検索するオブジェクトのタイプ ([Instances]、[Nets]、[Pblocks] など) を選択します。
 - ◆ [Netlist] : RTL または合成されたネットリストのいずれかを選択します。
 - ◆ [Criteria] : 選択したオブジェクトのタイプに合った検索パラメータが表示されます。
最初のフィールドでは、[Name]、[Status]、[Type]、[Parent Pblock]、[Module]、[Primitive count] などから、検索する属性を指定します。
2 番目のフィールドでは、[matches]、[doesn't match]、[contains]、[doesn't contain] から、検索のブール型を指定します。
3 番目のフィールドには、検索文字列を入力します。アスタリスク (*) を使用できます。

3. オプションで、検索条件を追加したり、異なるタイプのオブジェクトを同時に検索するための条件を指定できます。[More] ボタンをクリックすると、ダイアログボックスに検索条件の行が追加されます。最初のフィールドでは [AND] または [OR] を選択し、条件を絞り込むのか、異なるタイプのオブジェクトの検索かを指定します。次の図では、[AND] が指定されています。

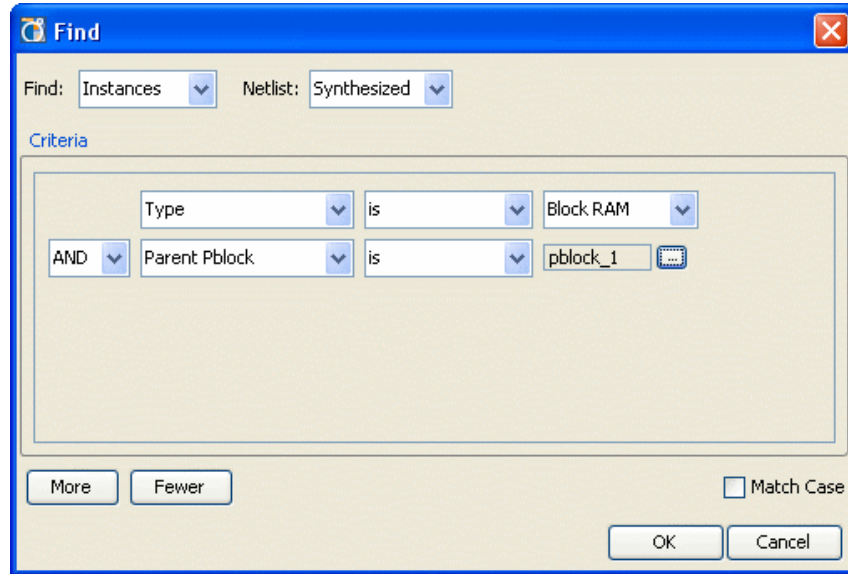


図 8-62 : 検索条件を絞り込んだオブジェクトの検索

4. 次のように [OR] を使用すると、複数のオブジェクトを同時に検索できます。

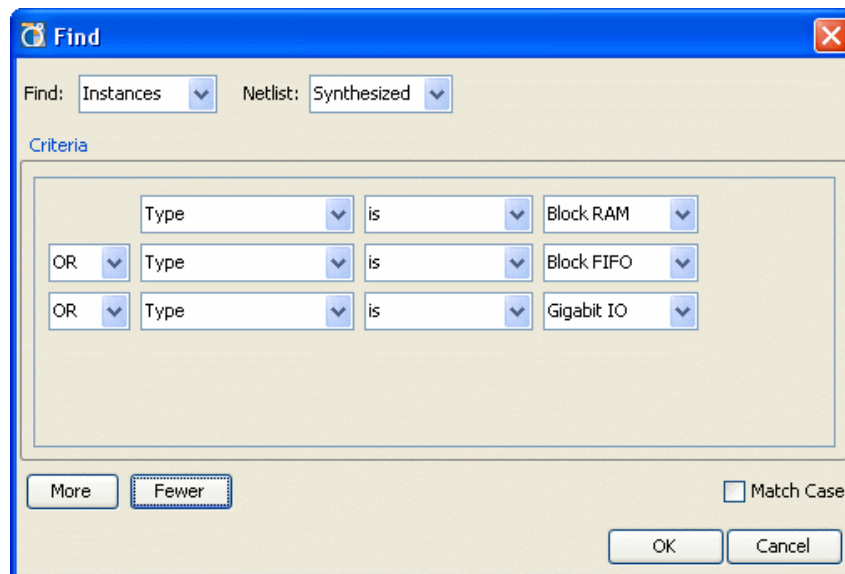


図 8-63 : 複数のオブジェクト タイプの同時検索

5. [Fewer] ボタンをクリックすると、検索条件の行が削除されます。
6. [OK] をクリックすると、検索が実行されます。

条件を満たした結果すべてが、[Find Results] ウィンドウに表示されます。

[Find Results] ウィンドウの使用

[OK] をクリックして検索を実行すると、指定した検索条件に一致するオブジェクトが [Find Results] ウィンドウに表示されます。

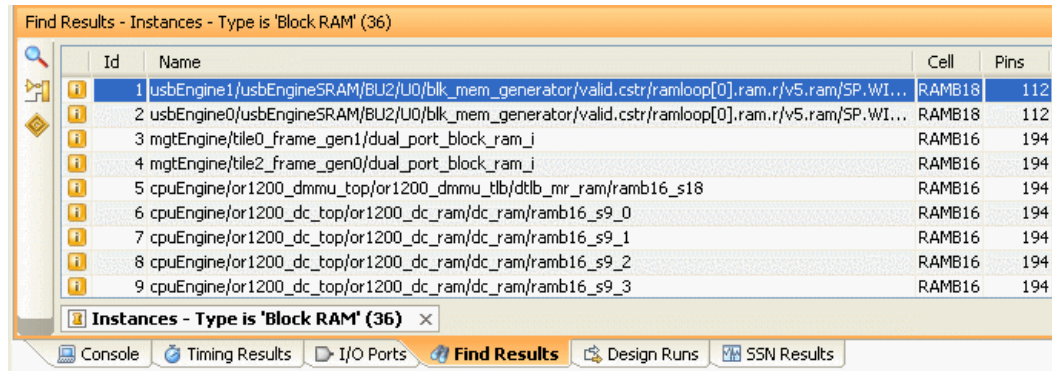


図 8-64 : [Find Results] ウィンドウ

[Find] コマンドを実行するたびに、[Find Results] ウィンドウに新しいタブが追加されます。タブには検索したオブジェクトとその検出数が表示されます。

[Find Results] ウィンドウではオブジェクトを直接選択できます。検索結果のリストからオブジェクトを選択すると、ほかの PlanAhead ウィンドウでもそのオブジェクトが選択されます。Shift キーまたは Ctrl キーを使用すると、複数のエレメントを選択できます。ポップアップメニューを使用すると、選択したエレメントにコマンドを実行できます。

列のヘッダをクリックすると、リストが並べ替えられます。最初に並べ替えた後で Ctrl キーを押しながら別の列のヘッダをクリックすると、次にその列で並べ替えられます。

検索結果名の隣の X マークをクリックすると [Find Results] ウィンドウが閉じます。

インプリメンテーション結果の解析

本章は、次のセクションで構成されています。

- 「[ISE の配置およびタイミング結果のインポート](#)」
- 「[配置およびタイミング結果の解析](#)」
- 「[ロジック接続の表示](#)」
- 「[選択したオブジェクトのハイライト](#)」
- 「[配置されたモジュールのハイライト](#)」
- 「[選択したオブジェクトのマーク](#)」
- 「[デザイン メトリックの表示](#)」

ISE の配置およびタイミング結果のインポート

New Project ウィザードを使用した ISE 配置およびタイミング結果のインポート

新規プロジェクトを作成し、そのプロジェクトに、ネットリスト、タイミングおよび配置レポート ファイルを ISE® のインプリメンテーションからインポートすることができます。ISE インプリメンテーション結果をインポートする新規プロジェクトの作成については「[ISE 配置およびタイミング結果を使用したプロジェクトの作成](#)」を参照してください。

ISE の配置およびタイミング結果を PlanAhead からインポート

ISE の配置およびタイミング結果をインポートし、デザインの解析に使用できます。どの PlanAhead 6 実行からでも簡単に結果をインポートできます。

デザイン インプリメンテーションの詳細は、「[実行結果のインポート](#)」を参照してください。

ISE の配置およびタイミング結果を PlanAhead 環境外からインポート

PlanAhead 以外でインプリメントされた結果をインポートするには、[File] → [Import Placement] および [File] → [Import TRCE Results] コマンドを使用してください。ISE インプリメンテーション結果のインポートの詳細は、「[ISE インプリメンテーション結果のインポート](#)」を参照してください。

ISE の配置およびタイミング結果を Project Navigator からインポート

Project Navigator から PlanAhead を使用している場合、Project Navigator で [Analyze Timing / Floorplan Design] プロセスを実行すると ISE 配置およびタイミング結果は自動的にインポートさ

れます。PlanAhead を使用して前回の実行からの ISE 配置または TRCE タイミング結果をインポートするには、[File] → [Import Placemen] または [File] → [Import TRCE Results] をクリックします。

詳細は、第 3 章「Project Navigator からの PlanAhead の使用」を参照してください。

配置およびタイミング結果の解析

ザイリンクス TRCE の結果の表示

PlanAhead ではザイリンクス `trce` コマンドで生成されたタイミング レポート (TWX または TWR) をインポートすることができます。インポートすると、すべての信号トレース機能およびパスの選択、ハイライト、トレースを含む表示機能を使用して TRCE の結果を解析できます。[Timing Results] ウィンドウでは、インポートされたタイミング レポートすべてが個別にタブ表示され、タブにはユーザーが指定した名前が表示されます。

PlanAhead にはデータシートへのリンクがあり、タイミング遅延名パラメータに関する詳細が記載されているデータシートにアクセスできます。

- タイミング レポートの遅延名パラメータから該当するデバイスのデータシートへリンク
- 一致するタイミング遅延名パラメータでデータシートを検索および表示

メモ：検索したタイミング遅延名パラメータがどのデータシートにもない場合は、PlanAhead に検索結果がゼロであることが表示されます。

TRCE 結果のインポートの詳細は、「[実行結果のインポート](#)」および「[既存プロジェクトへの ISE TRCE タイミング結果のインポート](#)」を参照してください。

[[Device] ウィンドウでのタイミング パスの表示

[Timing Results] ウィンドウでパスの行を指定すると、タイミング パスをワークスペースの [Device] ウィンドウに表示できます。パスは [Device] ウィンドウでハイライトされます。複数のパスを選択でき、パスのインスタンスもすべて選択され、ハイライトされます。

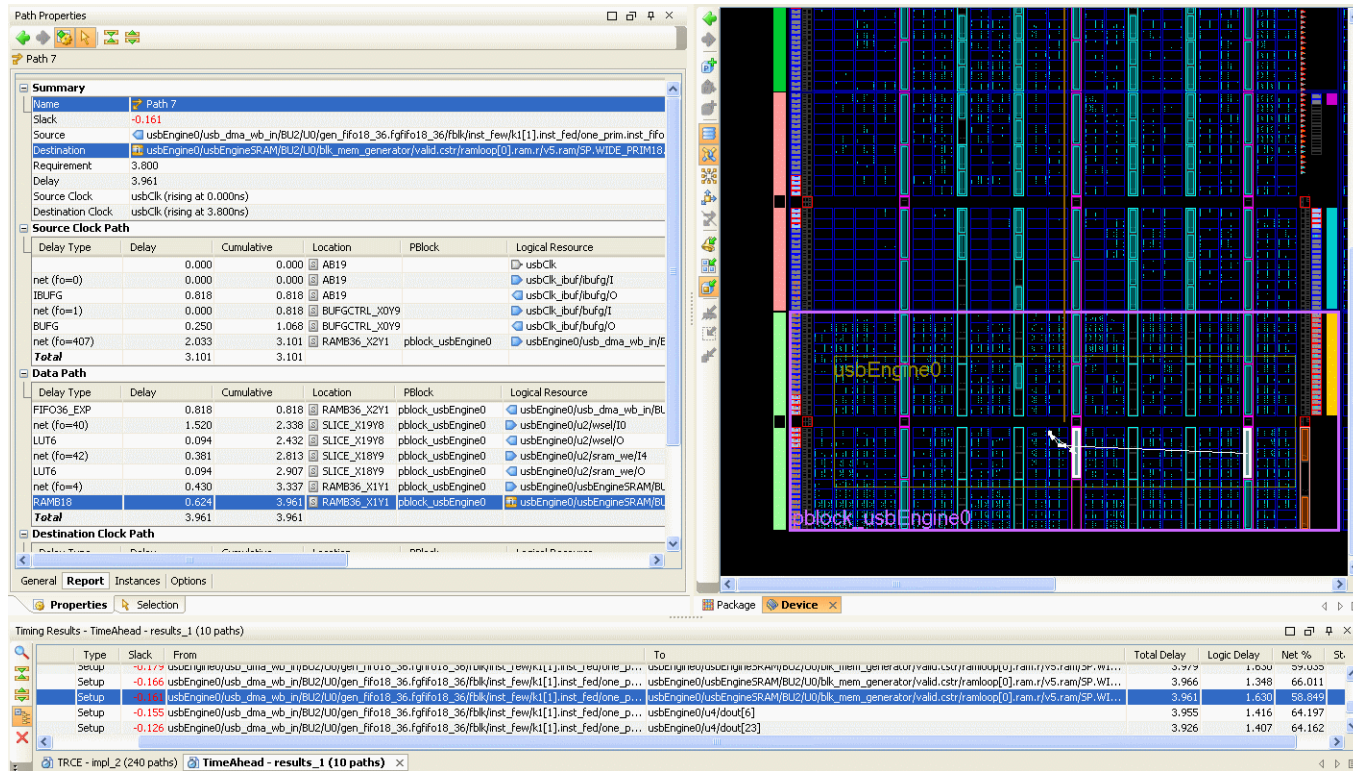


図 9-1 : [Device] ウィンドウでハイライトされたタイミング パス

[Schematic] ウィンドウでのタイミング パスの表示

[Timing Results] のポップアップ メニューで [Schematic] をクリックすると、PlanAhead に [Schematic] ウィンドウが表示され、選択されたパスに含まれるインスタンスがすべて表示されます。[Schematic] ウィンドウにはインスタンスがはっきりと表示されるだけでなく、階層モジュールも表示されます。

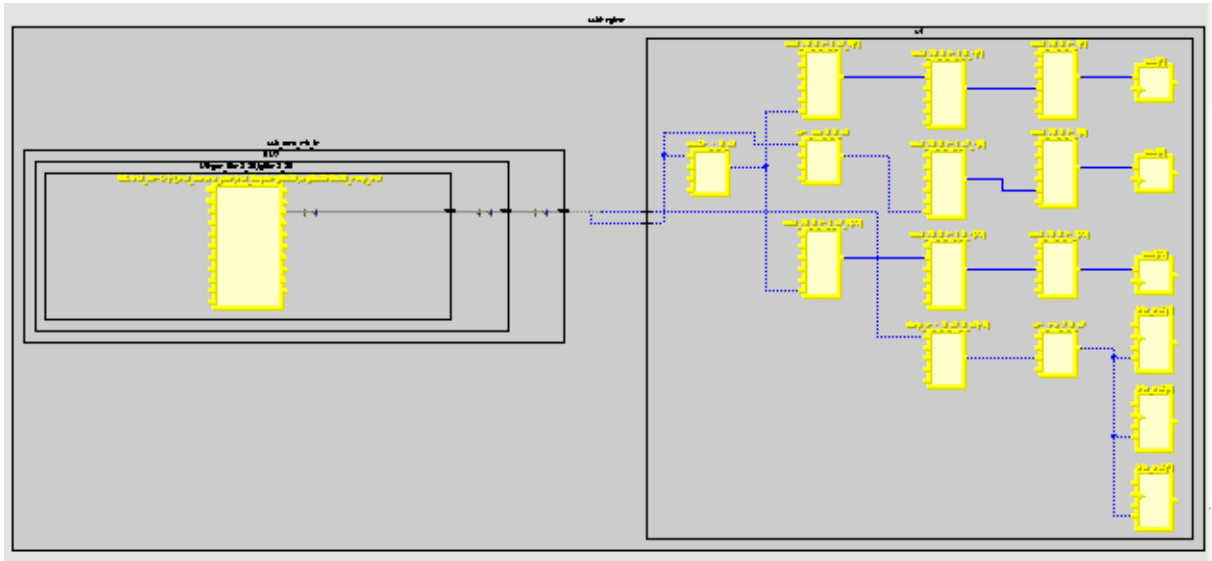


図 9-2 : [Schematic] ウィンドウに表示されたタイミング パス

パスの [Schematic] ウィンドウには、オブジェクトがすべて表示されます。個々のロジック インスタンスの [Schematic] ウィンドウには、選択したインスタンスだけが表示されます。

パスのグループに含まれるインスタンスはすべてこの要領で表示されるため、フロアプランでどのモジュールがグループ化されるかがわかります。[Schematic] ウィンドウのポップアップ メニューの [Pblock creation] コマンドで、簡単に Pblock への割り当てができます。[Schematic] ウィンドウの詳細は、「[デザインの解析](#)」の 230 ページの「[\[Schematic\] ウィンドウの使用](#)」を参照してください。

ロジック接続の表示

[Show Connectivity] コマンドの使用

[Show Connectivity] コマンドを使用すると、選択したエレメントに接続されたネットがすべてハイライトされます。このコマンドは次の方法で使用します。

1. ネット、Pblock、インスタンス、またはこれらの組み合わせを選択します。
2. ポップアップ メニューで [Show Connectivity] をクリックします。

たとえば、インスタンスまたは Pblock を選択した場合は、これらのエレメントに接続したネットがすべてハイライトされます。

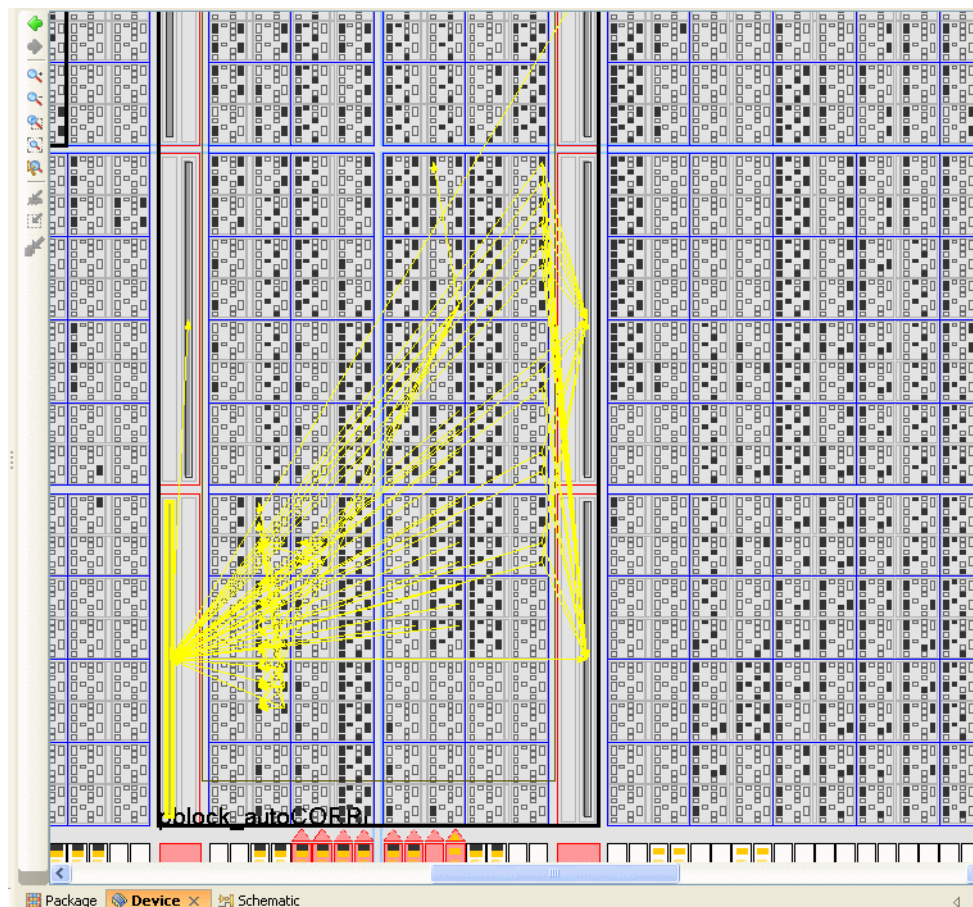


図 9-3 : [Device] ウィンドウに表示されたネットの接続状況

[Show connections for selected instances] ボタンをオンにすると、オブジェクトを新しく選択するたびに続けて [Show Connectivity] コマンドを実行できます。



図 9-4 : [Show connections for selected instances] ボタン

ロジックと Pblock の接続表示

[Show Connectivity] コマンドを連続して実行すると、ロジック コーンを連続して選択および展開表示できます。

1. ネット、Pblock、インスタンス、またはこれらの組み合わせを選択します。
2. ポップアップ メニューで [Show Connectivity] をクリックします。上述したように、選択したエレメントに接続されたネットがすべてハイライトされます。
3. ポップアップ メニューでもう一度 [Show Connectivity] をクリックします。ネットに接続されたインスタンスのセットが選択されます。
4. ポップアップ メニューでもう一度 [Show Connectivity] をクリックします。選択されたインスタンスに接続された、次のレベルのネットがハイライトされます。

この方法で、特定のインスタンスまたは I/O ポートまでロジックのコーンを簡単に展開表示して選択できます。

[Schematic] ウィンドウでのロジックの展開表示

[Schematic] ウィンドウを使用し、ロジックは階層全体に渡ってトレースできます。トレースするインスタンスのピンをダブルクリックすると、信号を展開表示できます。

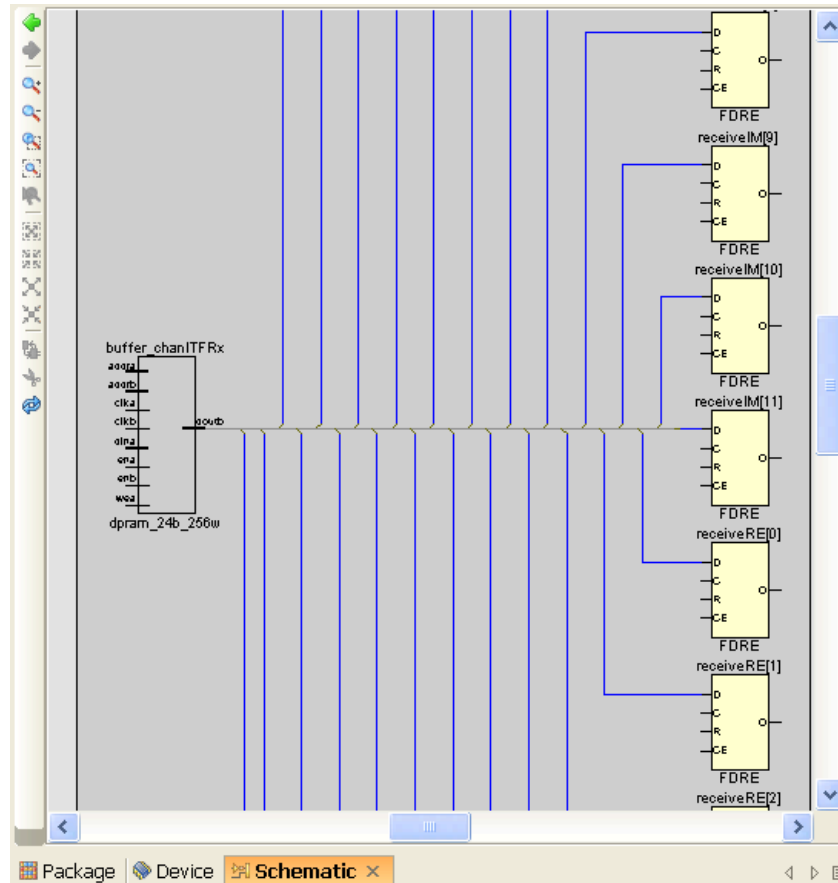


図 9-5 : [Schematic] ウィンドウで展開表示されたロジック

インスタンスおよびモジュールの接続、その内容もインタラクティブに展開表示できます。

[Schematic] ウィンドウで選択されたアイテムは [Device] ウィンドウでもハイライトされます。インプリメンテーションの配置結果をインポートすると、トレースされたロジックが [Device] ウィンドウで見やすくなります。

[Schematic] ウィンドウでのロジック表示の詳細は「[\[Schematic\] ウィンドウの使用](#)」を参照してください。

[Connectivity] タブを使用したロジック パスのトレース

[Net Properties] コマンドおよび [Instance Properties] コマンドを実行すると、[Connectivity] タブを含むそれぞれのプロパティ ウィンドウが開きます。このタブでは、選択されたロジックが展開表示されます。

ロジックのトレースは、次の方法で開始します。

1. ネットまたはインスタンスを選択します。
[Net Properties] ウィンドウまたは [Instance Properties] ウィンドウが表示されます。
2. 表示されない場合は、ネットまたはインスタンスを右クリックし、ポップアップメニューで [Net Properties] または [Instance Properties] をクリックします。

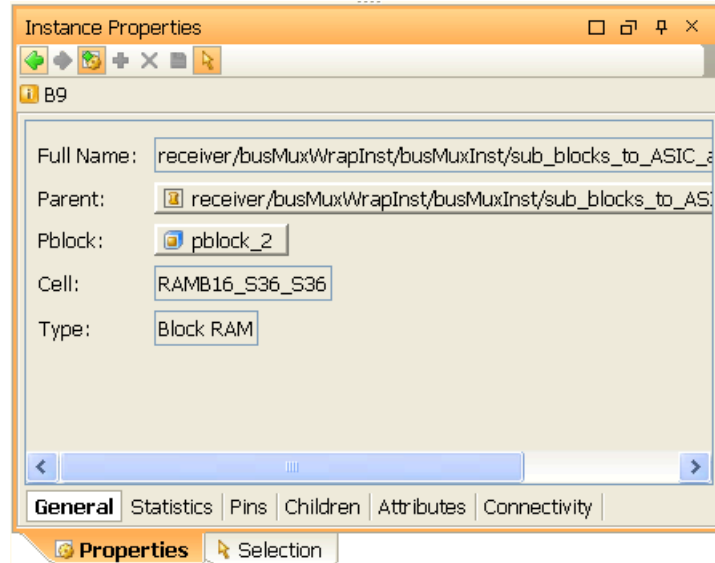


図 9-6 : [Instance Properties] ウィンドウ

上の例では、RAM B16 インスタンスが選択されています。[Instance Properties] ウィンドウの [Connectivity] タブに、このインスタンスに接続されたネットすべてが、接続したピンの名前と共に表示されます。ネットに含まれるピンの数も表示されます。ネットごとに表示するにはリストで行を選択します。

特定のネットをさらにトレースするには、次の手順に従います。

1. [Connectivity] タブのリストで行を選択します。

2. ポップアップ メニューで [Net Properties] コマンドを選択します。

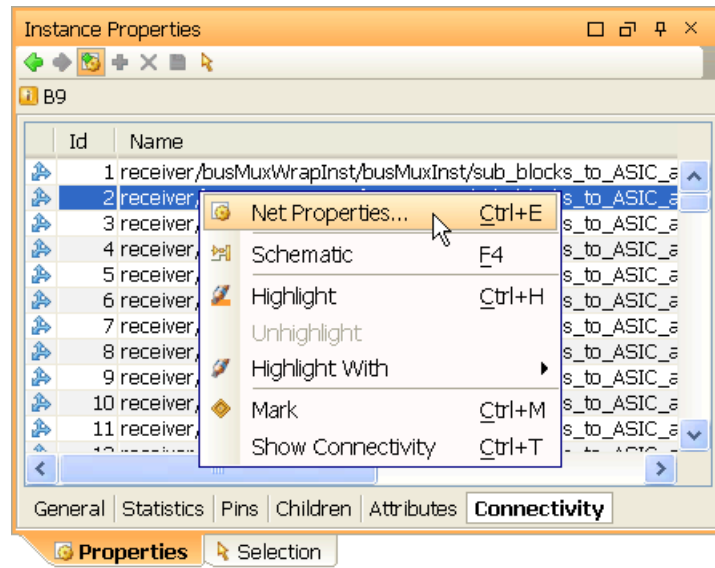


図 9-7 : [Connectivity] タブでのネットのトレース

[Net Properties] ウィンドウの [Connectivity] タブに、ネットが接続しているすべてのインスタンスおよびピンが表示されます。この手順を繰り返して、デザインの任意のロジックを確認できます。

選択した項目から前に戻るには [Previous Object] を、次に進むには [Next Object] の矢印型のツールバー ボタンをクリックしてください。前に戻ると、項目のハイライト表示が解除されます。

選択したオブジェクトのハイライト

オブジェクトのハイライト

PlanAhead では、オブジェクトを柔軟に選択してハイライト表示できます。ハイライトすると、1 つまたは複数の色で複数の配置グループを同時に表示できます。PlanAhead でどこをクリックしても、ハイライトは解除されません。オブジェクトをいくつでも選択してハイライトできます。

PlanAhead ではさまざまな方法でロジック オブジェクトを選択できます。選択したオブジェクトは、ほとんどのウィンドウの [Select] → [Highlight] コマンドまたはポップアップ メニューで [Highlight] をクリックしてハイライトできます。このコマンドは選択されたロジックに実行されます。

Pblock ロジックをハイライトする場合は、[Highlight Primitives] コマンドを実行して下位ロジックをハイライトできます。詳細は、「[Select Primitives] コマンドおよび [Highlight Primitives] コマンドの使用」を参照してください。

オブジェクトのハイライト解除

オブジェクトのハイライトを解除するには次のいずれかのコマンドを実行します。

- [Select] → [Unhighlight All] をクリックするとすべてのオブジェクトのハイライトが解除します。
- [Select] → [Unhighlight Color] をクリックすると指定した色のハイライトが解除します。

- [Unhighlight All] ボタンをクリックします。



図 9-8 : [Unhighlight All] ボタン

配置されたモジュールのハイライト

[Select Primitives] コマンドおよび [Highlight Primitives] コマンドの使用

XDL 配置をインポートして、[Highlight Primitives] コマンドを実行すると、Pblock およびロジックモジュールのプリミティブ ロジック エレメントを選択してハイライトできます。ロジック モジュールまたは Pblock を選択して [Highlight Primitives] コマンドを実行した後に、関連した配置をハイライトする色を選択できます。

複数のインスタンスが選択されていれば、すべてに同じ色を指定することも、[Cycle Colors] コマンドを使用して選択したモジュールごとに色を変えることもできます。

[Netlist] ウィンドウのモジュールおよびプリミティブのハイライト色は、[Device]、[Schematic]、および [Package] ウィンドウと同じです。

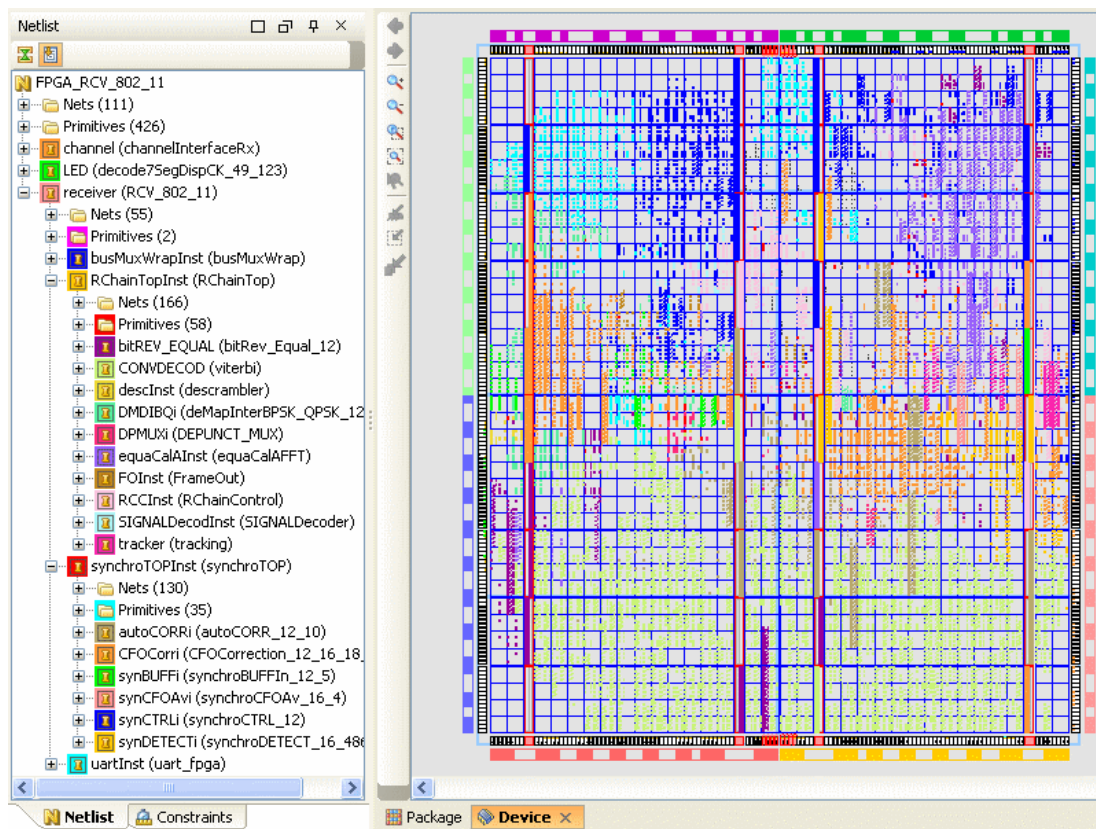


図 9-9 : [Netlist] と [Device] ウィンドウのハイライト色の一致

選択したオブジェクトのマーク

オブジェクトのマーク

PlanAhead の [Device] ウィンドウでは、選択したオブジェクトすべてにマークを付けることができます。マークを付けておくと、[Device] ウィンドウで小さなオブジェクトを表示する場合に便利です。マークを付けるには [Select] → [Mark] をクリックするか、Ctrl + M キーを押します。このコマンドは、[Netlist]、[Physical Hierarchy] など、ほかのウィンドウでも使用できます。

タイミング パスをマークすると、始点は緑、終点は赤、中間は黄でマークされます。



図 9-10 : [Device] ウィンドウでマークされたシンボル

マークの削除

マークは、次の方法のいずれかで削除できます。

- [Select] → [Unmark All] をクリックします。
- [Unmark All] ボタンをクリックします。



図 9-11 : [Unmark All] ボタン

デザイン メトリックの表示

[Metrics] ウィンドウの使用

PlanAhead の [Metrics] ウィンドウでは、デザイン メトリックのリストが示され、デザインで問題が発生する可能性があるエリアが定義された色で表示されます。現時点のメトリックでは、Pblock および配置済みデザイン レベルの両方での使用率およびタイミング チェックが含まれています。

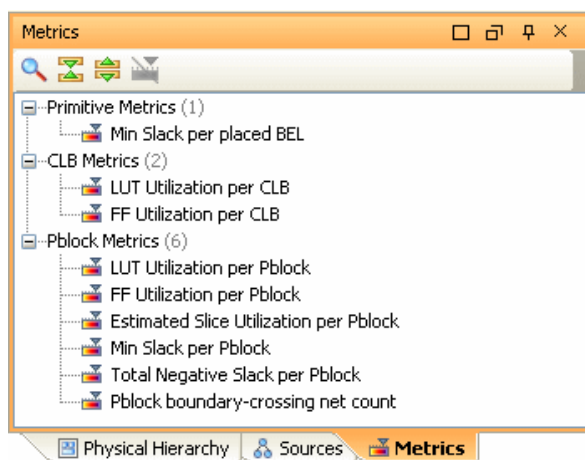


図 9-12 : [Metrics] ウィンドウ

[Metric Properties] ウィンドウには、次に示すように、メトリックの機能の説明とエラーが発生する可能性がある箇所をハイライトするために定義された **Bin** が表示されます。

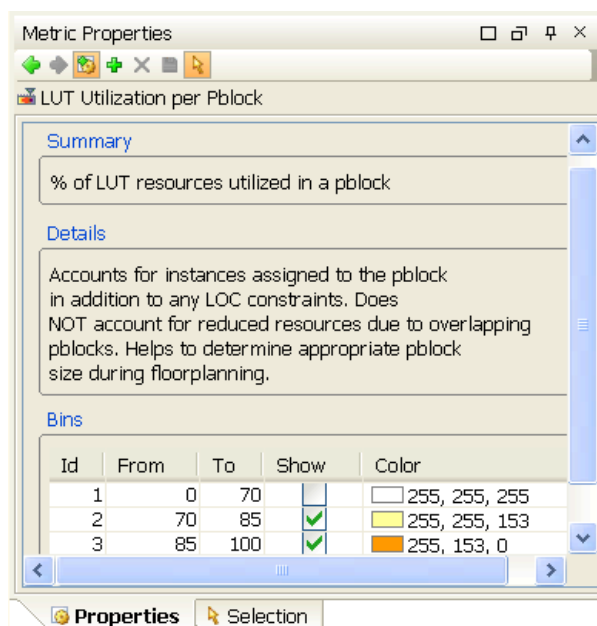


図 9-13 : [Metric Properties] ウィンドウ :メトリックの範囲設定

[Device] ウィンドウでのメトリック マップの表示

[Device] ウィンドウにメトリック マップを表示するには、[Metrics] ウィンドウでメトリックを選択してから [Show] チェックボックスをオンにします。これで、カラー ベースのメトリック マップが表示されます。

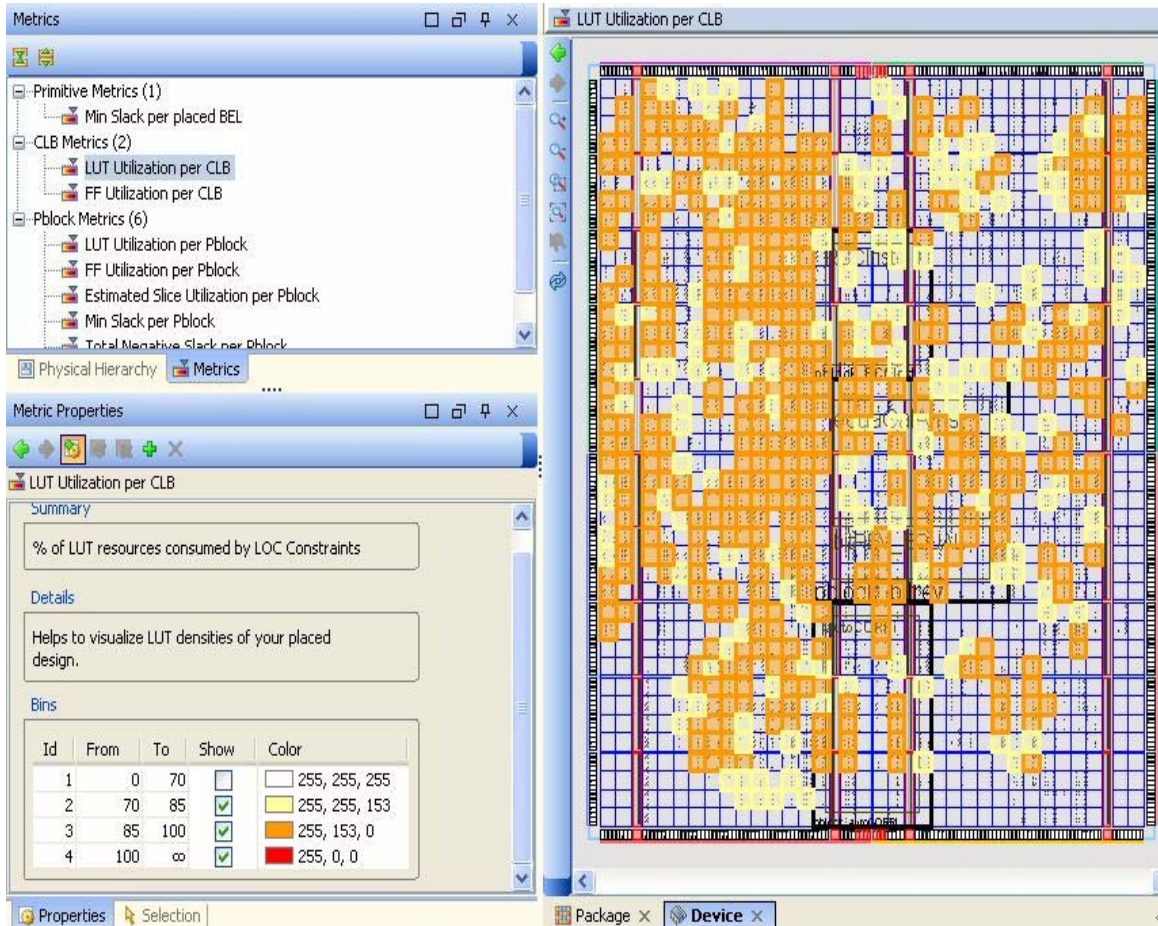


図 9-14 : [Device] ウィンドウでのメトリックの表示

まず、スラックに関連するメトリックを表示するために、TimeAhead でのタイミング解析を [Estimated] モードで実行する必要があります。CLB または BEL 制約タイプのメトリックを表示するには、ISE のインプリメンテーションによる配置結果をインポートする必要があります。詳細は、「[既存プロジェクトへの配置結果のインポート](#)」を参照してください。

複数のメトリック マップを同時に表示することも可能です。

メトリック マップの非表示

[Device] ウィンドウでメトリック マップを非表示にするには、[Metrics] ウィンドウでメトリックを選択してから [Hide] ポップアップ メニューまたはツールバーの [Hide Metrics] ボタンをクリックします。



図 9-15 : [Hide Metrics] ボタン

[Metrics Results] ウィンドウの使用

[Show] コマンドを使用すると、メトリックの結果が [Metric Results] ウィンドウに表示されます。

このウィンドウに表示される情報は、列のヘッダをクリックすると並べ替えられます。最初に並べ替えた後で **Ctrl** キーを押しながら別の列のヘッダをクリックすると、次にその列で並べ替えられます。リストの表示順を整えるために、さまざまな並び替え条件を選択できます。

これらの結果は、フロアプランが変更されると自動的に更新されます。Pblock、CLB、プロジェクトなどの別のタイプのメトリックは、別の表で表示されます。それぞれのタイプは、[Metrics Results] ウィンドウ内の個別のタブに表示されます。

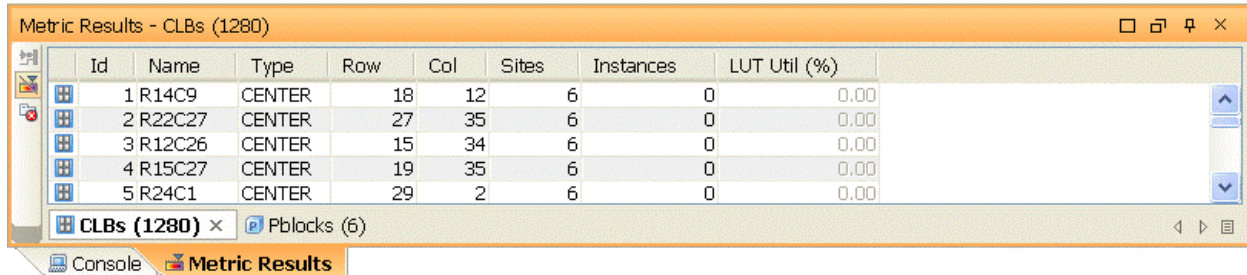


図 9-16 : [Metrics Results] ウィンドウのタイプ別メトリック タブ

メトリック範囲の設定

各マップの Bin 範囲は、[Metrics Properties] ウィンドウで表示できます。

色および範囲は調整可能で、範囲を定義するために新しい **Bin** を追加および削除できます。この場合、[Metrics Properties] ウィンドウの [Apply] ボタンをクリックするか、右クリックして [Apply Changes] をクリックします。

新しい範囲の **Bin** を挿入するには、分割する **Bin** を右クリックして [Insert Bin] をクリックします。[Insert Bin] ダイアログ ボックスで、範囲および色を指定します。

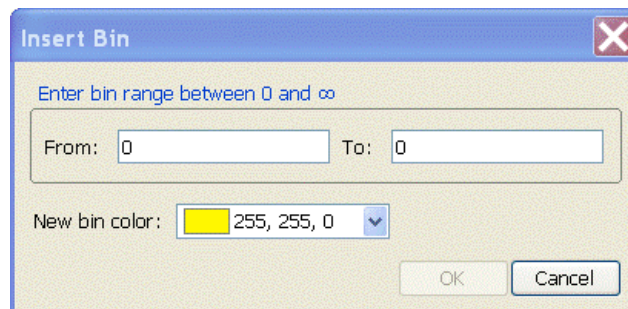


図 9-17 : [Insert Bin] ダイアログ ボックス

範囲は新しく定義した範囲に合わせて調節されます。

デザインのフロアプラン

本章は、次のセクションで構成されています。

- 「フロアプランの概要」
- 「Pblock 作成によるデザインのパーティション」
- 「Pblock を使用した作業」
- 「リソース使用率の統計を使用した Pblock のサイズの決定」
- 「接続に基づいた Pblock の配置」
- 「Pblock の自動コマンドの使用」
- 「配置 LOC 制約」
- 「IP 再利用機能の使用」

フロアプランの概要

PlanAhead™ ではフロアプランがサポートされており、クリティカルなロジックを制約してインターコネクトを短くし、遅延を抑えることができます。PlanAhead でのフロアプランは、ボタンを押すだけのフローとは異なり、物理デザインでインタラクティブに作業します。設計者はデザインについての知識と PlanAhead の解析機能を使用して、パフォーマンスを向上させるフロアプランを定義します。

フロアプランは、物理ブロック (Pblock) ロケーションを作成してロジック配置に制約を付けるか、または個々のロジック オブジェクトを特定デバイス サイトにロックして行います。

フロアプランのヒント

フロアプランしやすくするためのヒントがいくつかあります。

1. 第 8 章「デザインの解析」で説明されている方法を利用し、デザイン データ フローおよびさまざまなモジュールのリソース要件を理解します。ブロック メモリおよびブロック演算サイトのあるモジュールの配置サイトにはある程度制限されているため、これを考慮する必要があります。
2. 可能なかぎり、クリティカルなモジュールに対しては Pblock の作成にデザインの知識を利用します。TimeAhead での解析、[Schematic] ウィンドウ、配置配線結果を利用します。
3. パフォーマンス目的でフロアプランを作成する場合、クリティカル パスを含む階層のみに制約を付けるようにします。場合によっては、固定デバイス リソース (I/O や PPC) に接続されている階層をフロアプランに含める必要があります。ASIC フローのように、デザインのロジックをすべてフロアプランすると、一般的にパフォーマンスを犠牲にしてしまいます。FPGA アーキテクチャが ASIC とは違うように、FPGA ツールも ASIC ツールとは異なった動作します。

FPGA デザイン全体をフロアプランしてもパフォーマンス向上につながらないのが一般的です。

4. **Pblock** プロパティの統計を利用し、インターコネクットの短くするために **Pblock** をできる限り小さくします。また、同じ統計を利用し、**RPM** およびキャリー チェーンが **Pblock** の長方形にフィットするようにします。
5. 大型の **Pblock** は、細かな配置制約を設定するため、パーティションに区切る必要がある場合があります。一般的に、1 つの **Pblock** のサイズはデバイスの 30% 未満に抑えるようにします。**Pblock** は小型であるほうがよいです。

Pblock 作成によるデザインのパーティション

フロアプランのプロセスでは、始めにデザインの一部またはすべてのロジックをグループに分割して制約し、インプリメンテーション中に移行しないようにします。デザインは、管理しやすい小さな物理ブロック (**Pblock**) に、階層的に分割されます。**PlanAhead** では、論理階層から独立した物理階層が管理されます。このため、論理階層のどこからでも論理モジュールおよびプリミティブ ロジックを **Pblock** に含めることができます。クリティカル ロジックまたは関連するロジックは、ロジックが移行しないようにしっかりと 1 つの **Pblock** にグループ化されるため、インターコネクットの長さが制限され、遅延が低減されます。

[**Device**] ウィンドウで **Pblock** の長方形を作成すると、フロアプランが開始します。**Pblock** は、長方形を描画しなくても作成できます。インプリメンテーション中に、**ISE**® ツールでロジックのグループ化が試みられます。

パーティション分割は、**Pblock** を作成して手動で実行するか、パーティション ツールを使用して自動で実行します。

Pblock を作成すると、エクスポートされた UCF ファイルに **AREA_GROUP** 制約が書き込まれます。**PlanAhead** で割り当てられたロジック、指定範囲、定義した属性はこの制約ファイルに反映されます。

Pblock の作成コマンドはいくつかあり、次のセクションで説明します。

[Draw Pblock] コマンドの使用

[**Draw Pblock**] コマンドを使用すると、選択したロジックが [**Device**] ウィンドウで新しい **Pblock** に割り当てられます。コマンドを実行する前に、**Pblock** に割り当てるロジックを選択しておきます。

Pblock を作成するには、次の手順に従います。

1. 任意のウィンドウで **Pblock** に割り当てるロジックを選択します。
2. ポップアップ メニューの [**Draw Pblock**] または [**Draw Pblock**] ボタンをクリックします。



図 10-1 : [**Draw Pblock**] ボタン

3. [**Device**] ウィンドウでカーソルを **Pblock** の角を配置する場所に移動します。
4. マウスの左ボタンを押したまま対角線上の角になる場所に移動して **Pblock** の長方形を描画し、ボタンを離します。

[New Pblock] ダイアログ ボックスが表示されます。

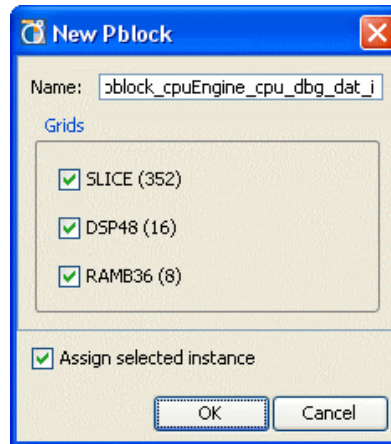


図 10-2 : [New Pblock] ダイアログ ボックス

5. 編集可能なフィールドを確認し、必要があれば変更します。

- ◆ [Name] : Pblock の名前を指定します。フィールドには、Pblock のデフォルト名の Pblock_<instancename> または pblock_n が表示されます。ほかの名前を使用する場合は変更します。
- ◆ [Grids] : Pblock で制約するデバイス リソースの範囲を選択します。
- ◆ [Assign selected instances] : オンにすると、選択されたインスタンスが新しい Pblock に割り当てられます。ロジックが間違って選択されていることもあるので、確認してください。

6. [OK] をクリックすると、新しい Pblock が作成されます。

Pblock は [Device] および [Physical Hierarchy] ウィンドウで表示および選択できます。

作成時の Pblock のサイズおよび位置は、手動で作成する場合は重要ではありません。[Pblock Properties] ダイアログ ボックスの、[Rectangles] タブを使用すると、Pblock の正しいサイズおよび位置を確認できます。[Device] ウィンドウで接続状況を表示し、Pblock の正しい位置を指定できます。

サイズを決める前にすべての Pblock を小さな長方形として作成し、Pblock 間の接続フローを視覚的に確認した方が便利な場合もあります。

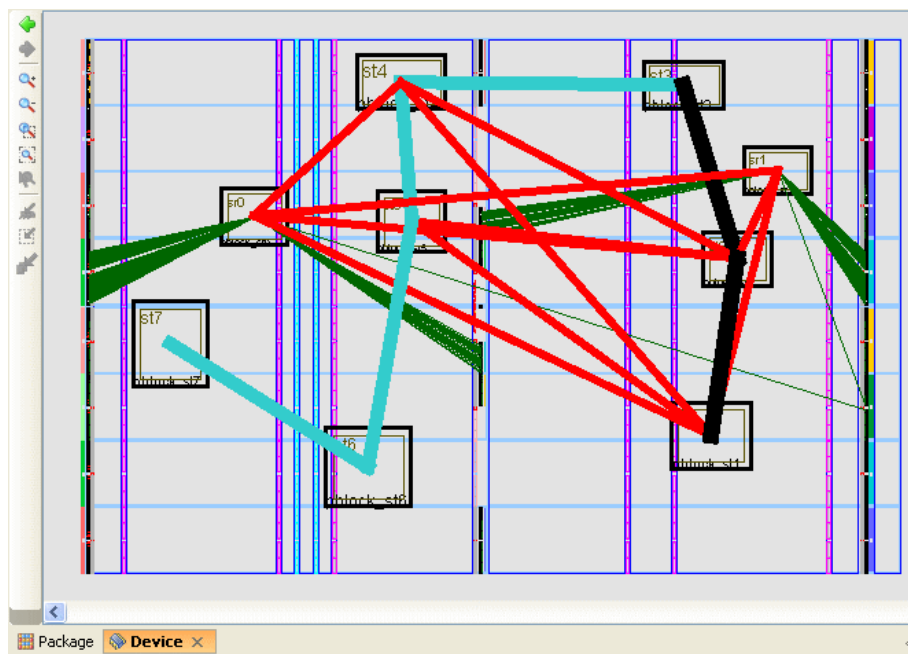


図 10-3 : [Device] ウィンドウの Pblock

[New Pblock] コマンドの使用

[New Pblock] コマンドでは Pblock が [Physical Hierarchy] ウィンドウに作成されますが、[Device] ウィンドウに長方形は作成されません。コマンドを実行する前に、新しい Pblock に割り当てるロジックを選択しておく必要があります。ロジックを選択しない場合は、空の Pblock が作成されます。Pblock を作成するには、ポップアップ メニューで [New Pblock] をクリックします。ロジックは選択していてもいなくても構いません。

メモ：長方形なしで Pblock を作成したほうがフロアプランで都合がよい場合があります。Pblock に割り当てられたロジックには、RANGE (範囲) が定義されていない AREA_GROUP プロパティが ISE で設定されます。ISE では AREA_GROUP プロパティを使用してロジックがグループ化され、ほかの AREA_GROUP の範囲に配置されないようにします。

[Create Pblocks] コマンドを使用した複数の Pblock の作成

Create Pblocks ウィザードを使用すると、複数の Pblock を半自動的に作成できます。ウィザードでは、選択されたネットリストのインスタンスごとに Pblock が作成されます。ウィザードを使用する前に、各 Pblock に含めるインスタンスのセットを選択しておきます。

指定したネットリストのインスタンスに複数の Pblock を作成するには、次の手順に従います。

1. Pblock に含めるインスタンスを選択します。
2. [Tools] → [Create Pblocks] をクリックします。

Create Pblocks ウィザードが開き、選択されたインスタンスのリストが表示されます。

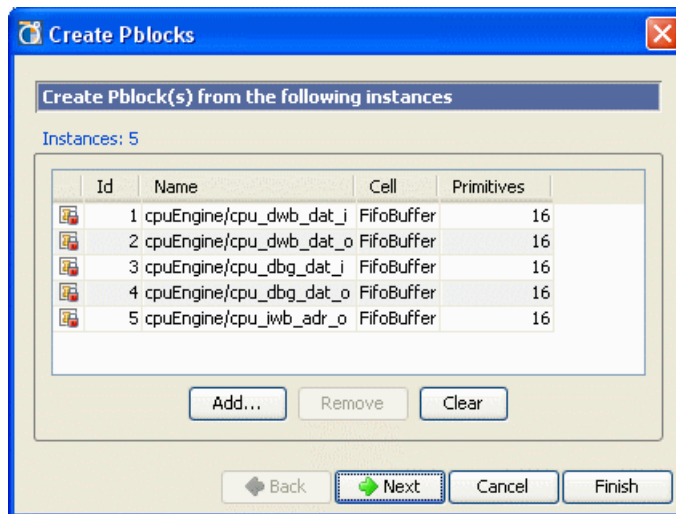


図 10-4 : Create Pblocks ウィザード : インスタンスから Pblock を作成

- このリストにネットリストのインスタンスを追加するには、[Add] ボタンをクリックしてブラウザを開き、インスタンスを選択します。
- リストからインスタンスを選択して削除するには、削除するインスタンスを選択し、[Remove] ボタンをクリックします。
- リストからネットリスト インスタンスを削除するには、[Clear] ボタンをクリックします。
- [Next] をクリックします。

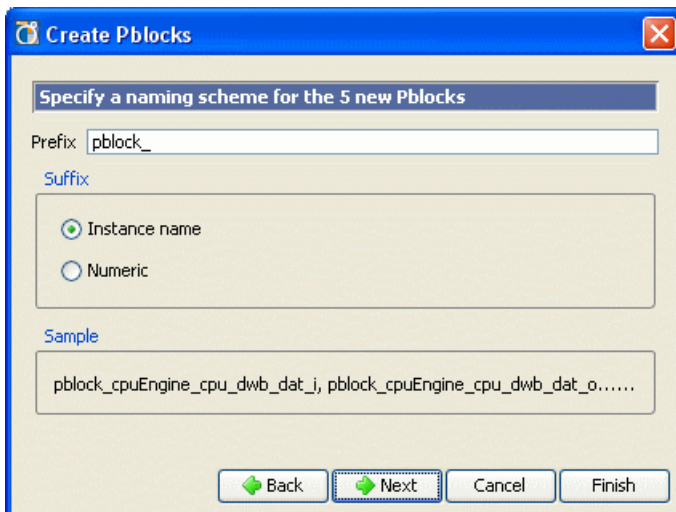


図 10-5 : Create Pblocks ウィザード : 名前の指定

- [Specify a naming scheme for the new Pblocks] ページで、名前の指定に関するフィールドを確認および編集します。
 - [Prefix] : Pblock 名の接頭辞を指定します。新しい接頭辞を指定しても、デフォルトのインスタンス名や番号を使用してもかまいません。
 - [Suffix] : [Instance name] を指定すると、インスタンス名が接頭辞に続きます。[Numeric] を指定すると、1 から開始する番号が接頭辞に続きます。

8. [Next] をクリックします。
 9. [Summary] ページの内容を確認します。
 10. [Finish] をクリックすると、設定内容を使用して Pblock が作成されます。
- 作成された Pblock は、[Physical Hierarchy] ウィンドウに表示されます。

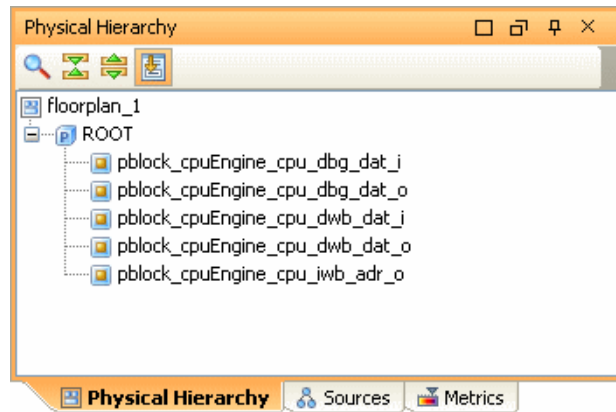


図 10-6 : [Physical Hierarchy] ウィンドウに表示された Pblock

新規作成された Pblock に長方形を作成するには、次の手順に従います。

1. [Physical Hierarchy] ウィンドウで、新規の Pblock を 1 つずつ選択します。
2. [Device] ウィンドウで [Set Pblock Size] ボタンをクリックします。



図 10-7 : [Set Pblock Size] ボタン

3. [Device] ウィンドウで長方形を描きます。

複数の長方形を含む Pblock の作成

PlanAhead には、1 つの Pblock に複数の長方形を含む Pblock がある場合があります。既存の Pblock に長方形を追加するには、Pblock を選択して [Add Pblock Rectangle] ボタンをクリックします。



図 10-8 : [Add Pblock Rectangle] ボタン

Pblock の複数の長方形は、点線で結ばれて表示されます。

子 Pblock の作成

Pblock 内に Pblock を作成して、ロジックをより厳密に制約することができます。これはクリティカルなモジュールのパフォーマンスの向上に非常に役立ちます。使用率の確認中は、最上位 Pblock に下位 Pblock がすべて含まれます。

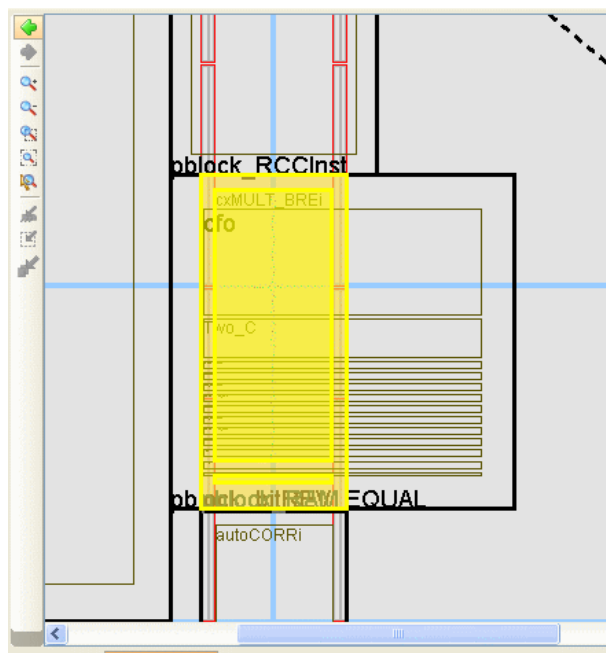


図 10-10 : ネスト化された Pblock の作成

メモ : ISE インプリメンテーション ソフトウェアでは、この機能は完全にはサポートされていません。ネスト化した Pblock を作成するとマップおよび配線エラーが発生することがあります。

クロック領域 Pblock の作成

Pblock は 1 つのクロック領域内、または複数の領域内にあるすべてのリソースを含めるよう定義することができます。

Pblock をクロック領域として定義するにはいくつかのステップを踏まなければなりません。

1. クロック領域の境界を含める長方形で Pblock を描画します。

PlanAhead でクロック領域の境界線が表示されます。クロック領域の境界線の色や表示方法を変更する場合は、「PlanAhead の表示オプションのカスタマイズ」を参照してください。

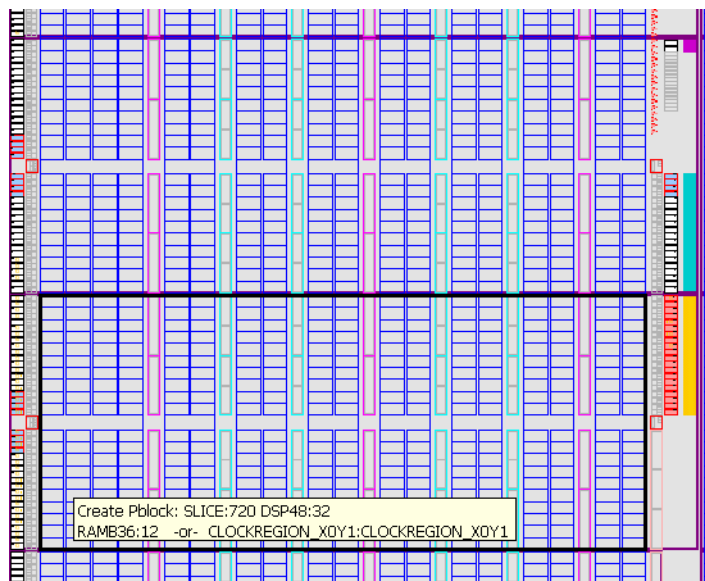


図 10-11 : クロック領域 Pblock の作成

ツール ヒントが Pblock 範囲がクロック領域であることを示す表示に変わります。

2. [New Pblock] ダイアログ ボックスで [OK] をクリックし、Pblock の範囲をクロック領域として定義します。

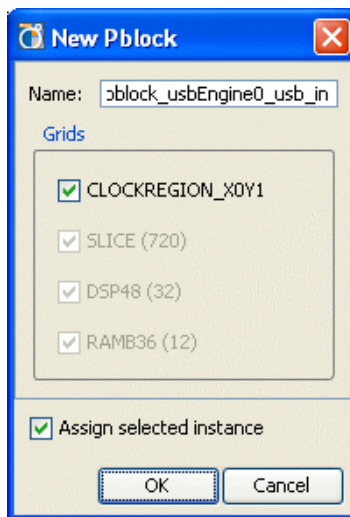


図 10-12 : [New Pblock] ダイアログ ボックスで Pblock をクロック領域として定義

CLOCKREGION オプションを有効にするには、Pblock の長方形にクロック領域の境界を含める必要があります。CLOCKREGION_X のチェックボックスをオフにすると従来のロジックで指定される範囲を使用して Pblock が定義されます。.

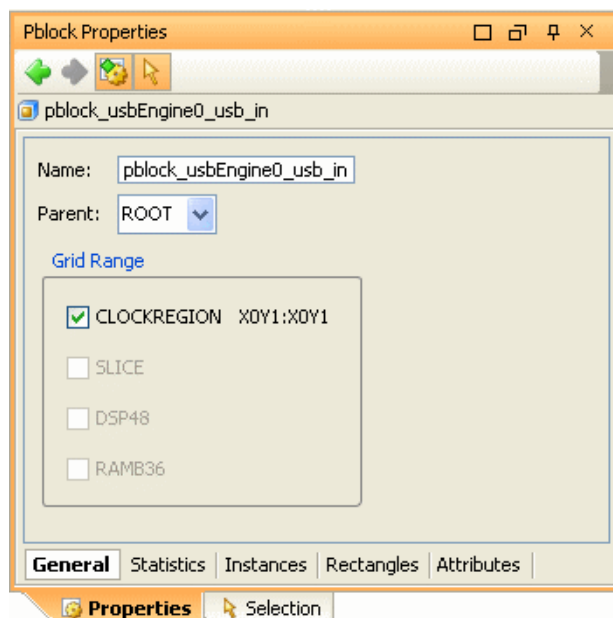


図 10-13 : [Pblock Properties] の [General] タブでのクロック領域の設定

3. [New Pblock] ダイアログ ボックスまたは [Pblock Properties] の [General] タブにある CLOCKREGION のチェックボックスのオン/オフを切り替えて、この 2 タイプの Pblock を設定することができます。

Pblock クロック領域の座標は [Pblock Properties] の [General] タブに表示されます。

Pblock を使用した作業

Pblock の図について

Pblocks および割り当てられたインスタンスは、デフォルトの表示オプションを使用して図で表示されます。外側の長方形は Pblock の枠です。Pblock の内側の長方形は、Pblock に割り当てられたネットリスト インスタンスです。Pblock には複数のインスタンスを配置できます。Pblock の内側に表示されるインスタンスの長方形のサイズは、含まれるロジック数と、同じ Pblock 内のほかのインスタンスの対比で決まります。Pblock に割り当てられているインスタンス数が多いと、長方形ではなく、直線のように見えることがあります。

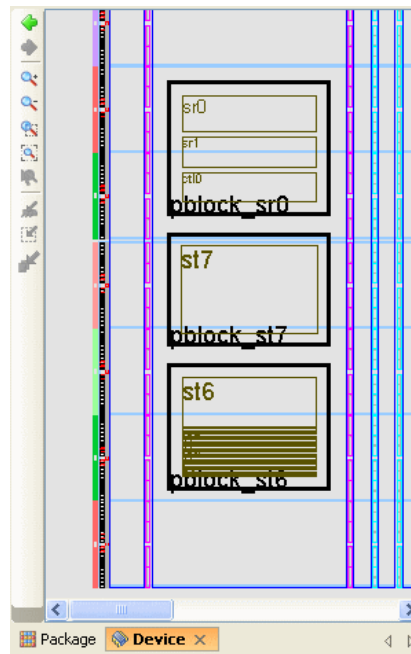


図 10-14 : Pblocks と割り当てられたインスタンスの図

デフォルトの選択規則が設定されている場合、Pblock の長方形を選択すると、含まれるネットリスト インスタンスもすべて選択されます。インスタンスは、ほかの Pblock にドラッグして割り当てることができます。

メモ： Pblock の操作をする場合は、Pblock に割り当てられたインスタンスの小さな長方形ではなく、正しい Pblock の長方形が選択されていることを確認してください。Pblock の操作時にインスタンスの選択機能をオフにすると、[Device] ウィンドウで、割り当てられたインスタンスではなく Pblock が選択されるため、間違いを防ぐことができます。インスタンスおよび Pblock の選択方法を指定するには、[Tools] → [Options] → [Themes] → [Device] をクリックし、[Device] ウィンドウでの選択機能を指定します。詳細は、「[Device] ウィンドウの表示オプションの設定」を参照してください。

バンドル ネットは Pblock の中央に接続されますが、I/O ネットは Pblock 内のインスタンスの中央に接続されます。

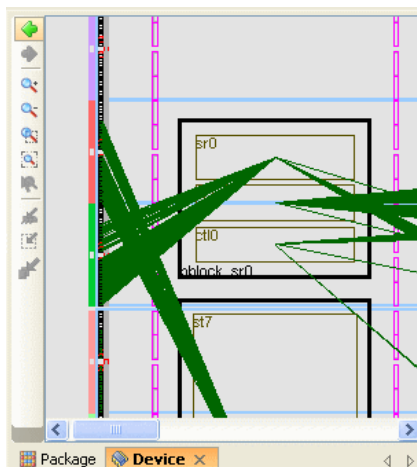


図 10-15 : インスタンス長方形の中央に表示された I/O 接続

子 Pblock の色は区別できるように異なった色で表示されます。色の設定は、[Tools] → [Options] → [Themes] → [Device] タブで変更できます。

Pblock には複数の長方形が含まれる場合があります。点線で結ばれている複数の長方形は、1 つの Pblock に含まれているものであることを示します。割り当てられたインスタンスの長方形および接続を表す線は、一番大きな長方形に表示されます。

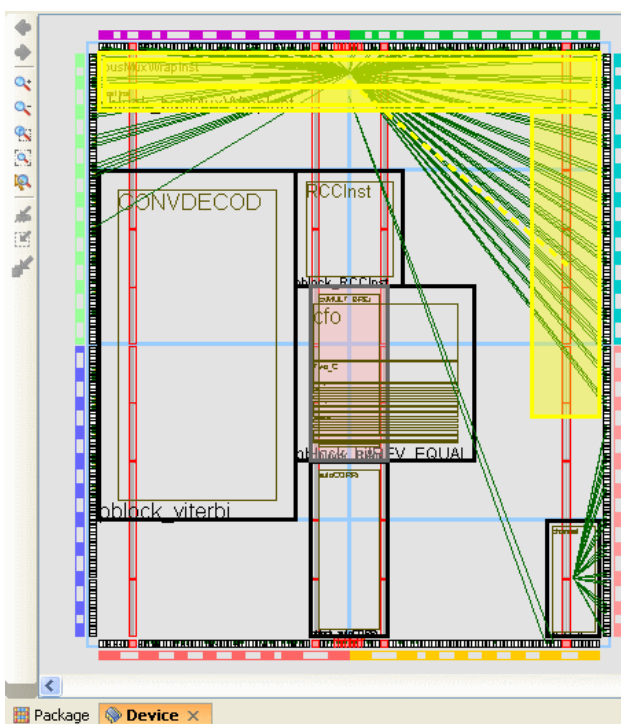


図 10-16 : 複数の長方形を含む Pblock の作成

Pblock へのロジックの割り当て

Pblock を作成すると、ネットリスト インスタンスを割り当てることができます。ロジックをドラッグアンドドロップするか、[Assign] ポップアップメニュー コマンドを使用します。

ドラッグ アンド ドロップの手順は次のとおりです。

1. [Netlist]、[Schematic]、[Hierarchy]、または [Find Results] ウィンドウでロジック インスタンスをクリックし、ドラッグします。
2. Pblock の長方形にドロップします。

[Assign] コマンドを使用する手順は、次のとおりです。

1. [Netlist] ウィンドウでロジック インスタンスを選択します。
2. [Assign] ポップアップ メニュー コマンドをクリックします。

[Select Pblock] ダイアログ ボックスが表示され、割り当て可能な Pblock が表示されます。

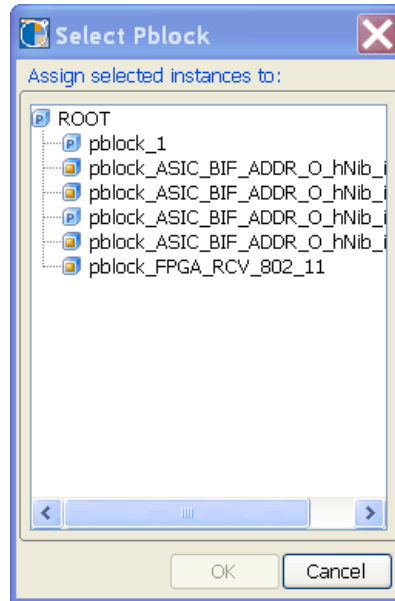


図 10-17 : [Select Pblock] ダイアログ ボックス

Pblock へのロジックの割り当て解除

インスタンスを Pblock から削除するには、次の手順に従ってください。

1. インスタンスを選択します。
2. [Unassign] ポップアップ メニュー コマンドをクリックします。

確認のダイアログ ボックスが表示されます。

Pblock の移動

Pblock を移動するには、フロアプラン内で Pblock を選択してドラッグし、移動先でドロップします。Pblock が選択されると、カーソルが手のアイコンに変わります。Pblock 内のインスタンスではなく、外側の Pblock の長方形を必ず選択します。

Pblock を BRAM や DSP などの新しいデバイス ロジック タイプを含む場所に移動すると、Pblock の定義に新しい RANGE タイプを入力するダイアログ ボックスが表示されます。

内部にロケーション配置制約が割り当てられると、Pblock のビヘイビアが変化します。移動先には、配置制約の割り当てに十分なリソースが必要です。Pblock をドラッグすると、カーソルの形で移動可能であるかどうかを示されます。リソースが十分でない場合は、ロケーション制約を削除するか

そのままにするかを選択するダイアログ ボックスが表示されます。ロケーション制約は、固定されたものと固定されていないものが別々に表示されるので、それぞれに対して処理を指定できます。

実行中の移動の動作をキャンセルするには **Esc** キーを押します。実行中のコマンドが中断します。

メモ : Pblock の移動がうまくいかない場合は、[Set Pblock Size] ツールバー ボタンをクリックし、長方形をどこかに描画し直します。または、Pblock を移動する前に、配置制約を削除してみてください。

Pblock のサイズの変更

Pblock の大きさを変更するには、Pblock を選択し、カーソルを長方形の角または枠に置きます。カーソルの形がドラッグ シンボルに変化したら、マウス ボタンを押したままドラッグしてサイズを変更します。

Pblock を BRAM や DSP などの新しいデバイス ロジック タイプを含む場所に移動すると、Pblock の定義に新しい RANGE タイプを入力するダイアログ ボックスが表示されます。

Pblock 内部にロケーション配置制約が割り当てられると、Pblock のビヘイビアが変化します。ロケーション制約が Pblock に割り当てられると、ロケーション制約を削除するかそのままにするかを選択するダイアログ ボックスが表示されます。ロケーション制約は、固定されたものと固定されていないものが別々に表示されるので、それぞれに対して処理を指定できます。

実行中の移動の動作をキャンセルするには **Esc** キーを押します。実行中のコマンドが中断します。

[Set Pblock Size] コマンドの使用

[Set Pblock Size] コマンドを使用すると、既存の Pblock の長方形のサイズを指定および変更できます。既存の Pblock に新規の長方形を作成するには、次の手順に従います。

1. [Physical Hierarchy] または [Device] ウィンドウで Pblock を選択します。
2. [Set Pblock Size] ボタンをクリックします。



図 10-18 : [Set Pblock Size] ボタン

カーソルが変化し [Device] ウィンドウで新規の長方形を描画できるようになります。

3. 新規の長方形の描画にはカーソルを使用します。

このコマンドは、[New Pblock] コマンドなどで作成された、長方形がまだ定義されていない既存の Pblock にも使用できます。詳細は、「[Create Pblocks] コマンドを使用した複数の Pblock の作成」を参照してください。

Pblock に複数の長方形がある場合は、このコマンドを使用して 1 つの長方形を再生成できます。Pblock が多数の長方形で構成されていて見づらい場合などにこのコマンドを使用すると便利です。

Pblock を BRAM や DSP などの新しいデバイス ロジック タイプを含む場所に再生成すると、Pblock の定義に新しい RANGE タイプを入力するダイアログ ボックスが表示されます。

Pblock 内部にロケーション配置制約が割り当てられると、Pblock のビヘイビアが変化します。ロケーション制約が Pblock に割り当てられると、ロケーション制約を削除するかそのままにするかを選択するダイアログ ボックスが表示されます。ロケーション制約は、固定されたものと固定されていないものが別々に表示されるので、それぞれに対して処理を指定できます。

実行中の再生成の動作をキャンセルするには **Esc** キーを押します。実行中のコマンドが中断します。

複数の長方形がある Pblock を変更

複数の長方形がある **Pblock** を選択すると、長方形がすべて選択されます。長方形は個別にも、すべて同時に移動できます。

複数の長方形を含む **Pblock** で 1 つの長方形のサイズを変更する場合は、長方形を選択して **[Set Pblock Size]** コマンドまたは手動で変更します。

長方形を個別に選択するには、次のいずれかの手順に従います。

- **Pblock** の長方形を 1 つ右クリックして **[Select]** ポップアップ メニュー コマンドで長方形を選択します。
- **Pblock** を選択し、**[Pblock Properties]** ウィンドウの **[Rectangles]** タブで、変更する長方形を選択します。

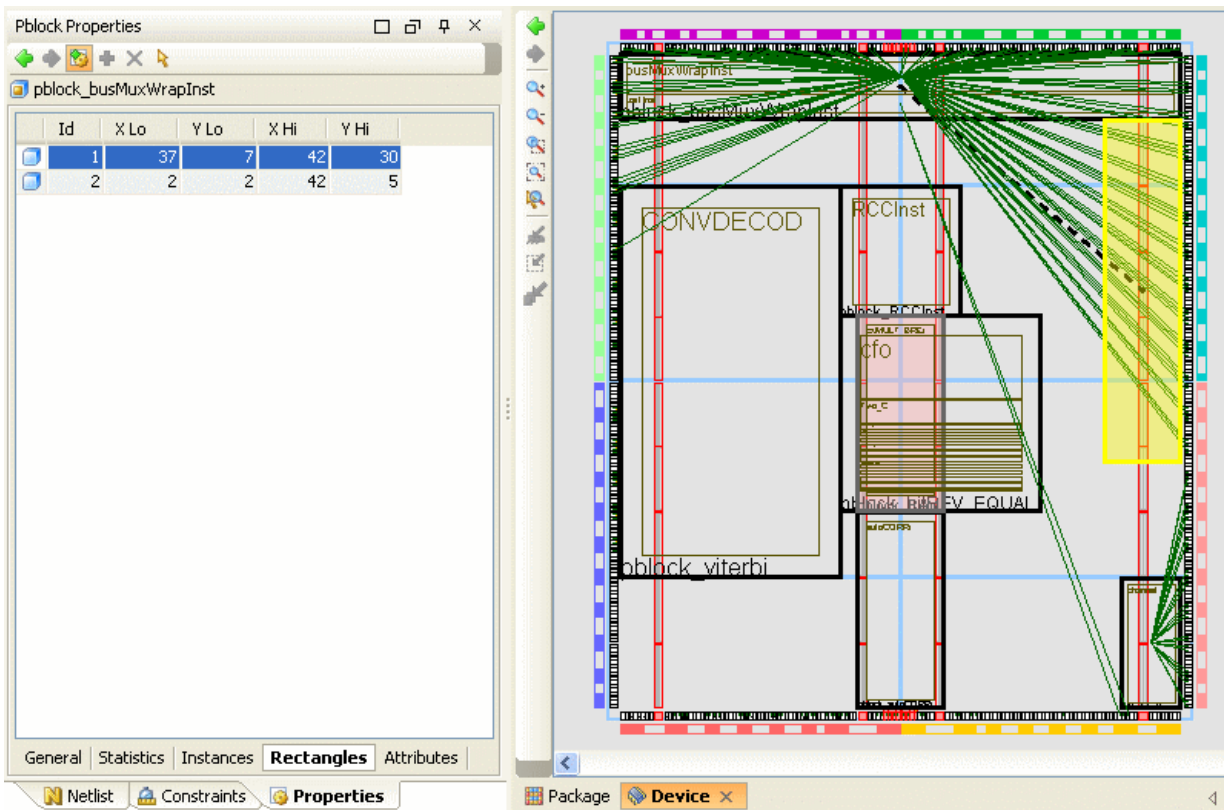


図 10-19 : Pblock の長方形を個別に選択

PowerPC および MGT サイトにまたがる **Pblock** には、自動的に複数の長方形が作成されることがあります。これは、インプリメンテーションに適切な長方形の範囲を定義するためです。

メモ : **AREA_GROUP** 制約あたりの範囲の数が多いと、ザイリンクス ISE のインプリメンテーション ツールで最適に処理できません。L 型や T 型のような単純な配置を使用してください。

Pblock 長方形の削除

Pblock の長方形を削除するには、Pblock を選択して [Clear Rectangle] ポップアップ メニュー コマンドをクリックします。

長方形を個別に削除することも、複数の長方形および Pblock を同時に削除することもできます。Pblock の長方形を削除しても、Pblock は [Physical Hierarchy] ウィンドウからは削除されません。

メモ：[Physical Hierarchy] ウィンドウからパーティションを削除するのではなく、Pblock の長方形を削除すると、フロアプランで都合がよい場合があります。パーティションに含まれるロジックには、ISE の AREA_GROUP プロパティが適用されます。配置プロセスの実行中、ISE では AREA_GROUP プロパティを使用して、ほかの AREA_GROUP ロケーションに配置されないようにロジックのグループ化が試みられます。

Pblock の名前の変更

[Pblock Properties] ウィンドウの [General] タブを使用して、Pblock の名前を変更できます。新しい名前を [Name] フィールドで指定し、[Apply] をクリックします。

Pblock の削除

次の手順で Pblock を選択して削除できます。

1. [Physical Hierarchy] ウィンドウで Pblock を少なくとも 1 つ選択します。
2. Delete キーを押すか、ポップアップ メニュー コマンドの [Delete] をクリックします。
3. [Confirm Delete] ダイアログ ボックスで、[Remove Pblock children] オプションをオンにすると、ネスト化された Pblock およびそのパーティションも削除されます。オフにしておくと、選択した Pblock のみが削除され、ネスト化されたその他の Pblock は、1 階層上に移動します。
4. [OK] をクリックすると、[Physical Hierarchy] ウィンドウから Pblock パーティションが削除されます。

Pblock プロパティの表示または変更

[Pblock Properties] ウィンドウにはさまざまなタイプの情報が表示されます。Pblock プロパティを表示または編集するには、Pblock を選択し、[Pblock Properties] ウィンドウを表示します。このウィンドウには、次に説明するタブが表示されます。

メモ：変更を適用するには、[Apply] をクリックします。変更を取り消すには、[Cancel] をクリックします。[Apply] をクリックせずに、ほかのアイテムを選択するか、[Pblock Properties] ウィンドウを閉じると、変更は適用されません。

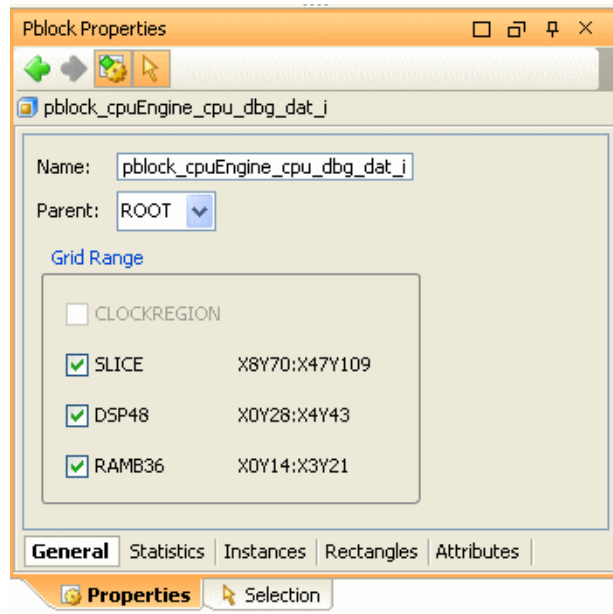


図 10-20 : [Pblock Properties] ウィンドウ

[General] タブ

[General] タブには、次の編集可能なフィールドが含まれます。

- [Name] : Pblock 名が表示されます。
- [Parent] : 親 Pblock が表示されます。Pblock によってはこのフィールドは編集できないことがあります。親 Pblock が複数ある場合はこのフィールドで指定します。
- [Grid Range] : Pblock に AREA_GROUP の RANGE プロパティを指定できます。特定の範囲を選択すると、選択されたロジック タイプのみが Pblock エリアに含まれます。Pblock が作成されると、範囲座標は各ロジック タイプに対し表示されます。
 - ◆ [CLOCKREGION] : Pblock の範囲をクロック領域全体に定義する場合にオンにします。Pblock の長方形がクロック領域境界に一致するよう描画されます。

[Statistics] タブ

[Pblock Properties] ウィンドウの [Statistics] タブには、Pblock の詳細情報が表示されます。[Export Statistics] ボタンをクリックすると、情報をテキスト形式のファイルに保存できます。

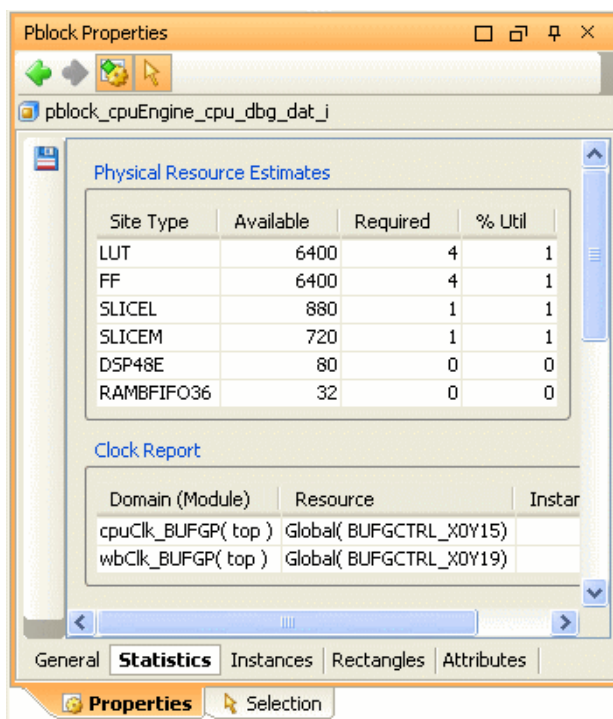


図 10-21 : [Pblock Properties] ウィンドウ :[Statistics] タブ

[Statistics] タブには、次の Pblock 情報が表示されます。

- [Physical Resources Estimates] : デバイスのリソース タイプごとの表が表示されます。
 - ◆ [Site Type] : Pblock の長方形内で定義されているサイト タイプが表示されます。
 - ◆ [Available] : Pblock に含まれるサイト数が表示されます。
 - ◆ [Required] : Pblock に割り当てられたロジックに必要なサイト数が表示されます。
 - ◆ [% Utilization] : Pblock に含まれるサイトの予測使用率 (%) が表示されます。
- [Clock Report] : Pblock に含まれるすべてのクロック信号および各クロックでクロック信号が供給されたインスタンスの数が表示されます。ローカル クロック、グローバル クロック、およびリソース クロックがすべて表示されます。
- [Carry Statistics] : Pblock に割り当てられた垂直キャリー チェーン ロジック オブジェクトの数が表示されます。Pblock に割り当てられた中で高さが最大のキャリー チェーンの Pblock の高さに対する比率も表示されます。この値が 100% を超えると、PlanAhead の DRC エラーおよび ISE マップ エラーが発生することがあります。

- [RPM Statistics] : Pblock に割り当てられた RPM (相対配置マクロ) オブジェクトの数が表示されます。Pblock に割り当てられた中で最大の RPM の Pblock に対する高さの比率も表示されます。この値が 100% を超えると、PlanAhead の DRC エラーおよび ISE マップ エラーが発生します。PlanAhead では、複数の RPM が Pblock の長方形に収まるかどうかは示されません。
- [Clock Region Statistics] : Pblock が重なり合った各クロック領域の使用率が表示されます。
- [Net Statistics] : Pblock の内部および外部ネットの数が表示されます。
- [Cellview Statistics] : Pblock に割り当てられた論理リソースのタイプごとの数が表示されます。
- [Boundary-crossing Nets Statistics] : 選択した Pblock に接続されたネットの数が表示されます。Pblock 内部のロジックに接続されたネットは、境界を通過するネットと見なされます。

[Instances] タブ

[Pblock Properties] ウィンドウの [Instances] タブには、Pblock に含まれるインスタンスの情報が表示されます。

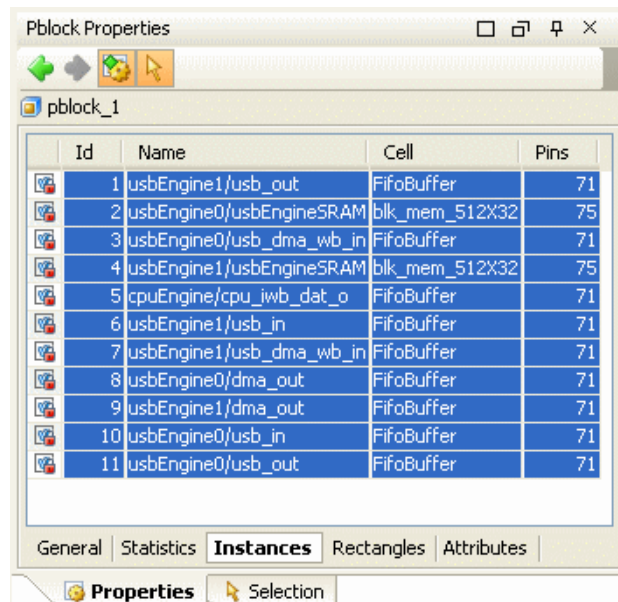


図 10-22 : [Pblock Properties] ウィンドウ :[Instances] タブ

インスタンスのフィールドは選択可能で、多くのポップアップメニュー コマンドが使用できます。

[Rectangles] タブ

[Pblock Properties] ウィンドウの [Rectangles] タブには、Pblock の長方形の情報が表示されます。[Rectangle] タブを使用して、Pblock の長方形を選択できます。このタブの詳細は、「[複数の長方形がある Pblock を変更](#)」を参照してください。

[Attributes] タブ

[Pblock Properties] ウィンドウの [Attributes] タブについては、次のセクションで説明します。

Pblock ロジック タイプ範囲の設定

[Pblock Properties] ウィンドウの [General] タブで [Grid Range] オプションを指定して、Pblock の AREA_GROUP の範囲を設定できます。範囲は Pblock の長方形内にあるロジック タイプ別に設定します。

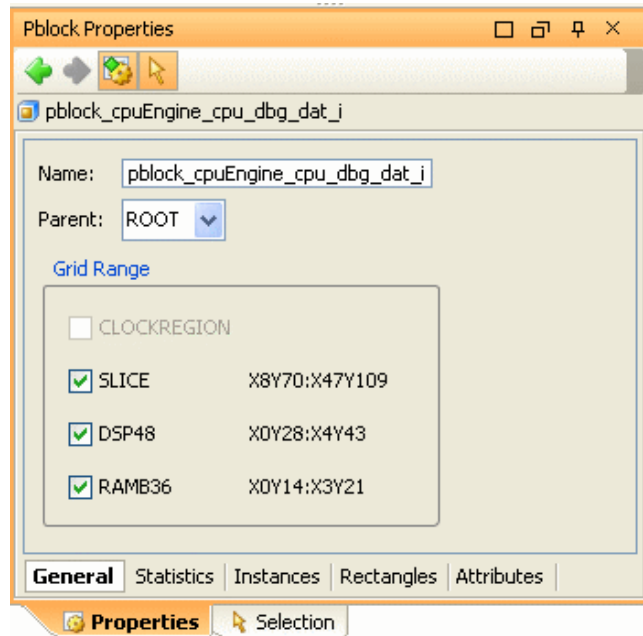


図 10-23 : ロジック タイプ別の AREA_GROUP の範囲設定

Pblock を BRAM や DSP などの新しいデバイス ロジック タイプを含む場所に再生成または移動すると、Pblock の定義に新しい RANGE タイプを入力するダイアログ ボックスが表示されます。

グリッド範囲のオプションをオフにすると、[Device] ウィンドウでの表示が変化します。次の図に示すように、影の部分は、選択された Pblock でオンになっている範囲のロジック タイプのみを示します。

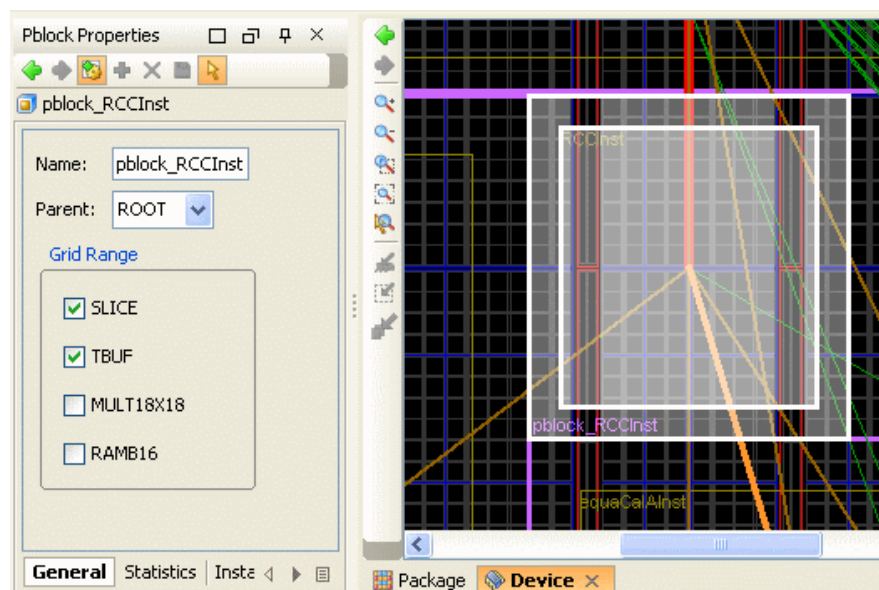


図 10-24 : Pblock に含まれるロジックの表示

Pblock の属性の設定

属性プロパティは、[Attributes] タブで Pblock に割り当てられます。属性を割り当てると、ISE のさまざまなオプションが設定されます。

メモ：属性の設定はインプリメンテーション結果に影響を及ぼし、エラーの原因となることもあります。

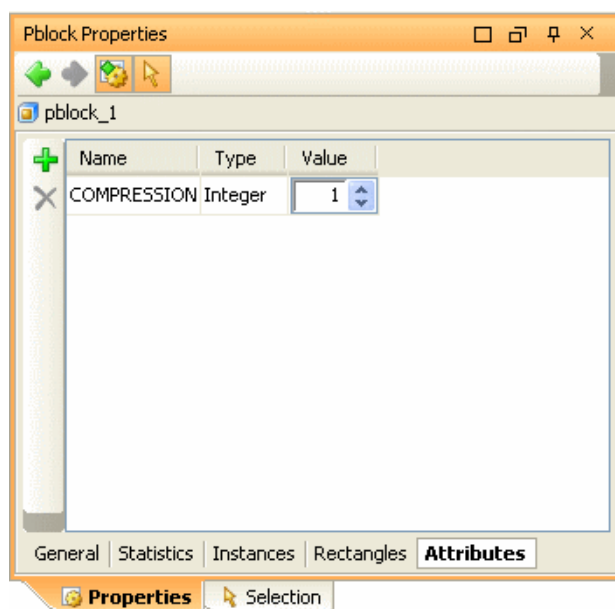


図 10-25 : [Pblock Properties] ウィンドウ :[Attributes] タブ

[Pblock Properties] ウィンドウの [Attributes] タブで Pblock に新しい属性を定義するには、次の手順に従います。

1. ポップアップ メニューの [Define] または [Define new attribute] ボタンをクリックします。



図 10-26 : [Define new attribute] ボタン

[Define Attribute] ダイアログ ボックスが表示されます。

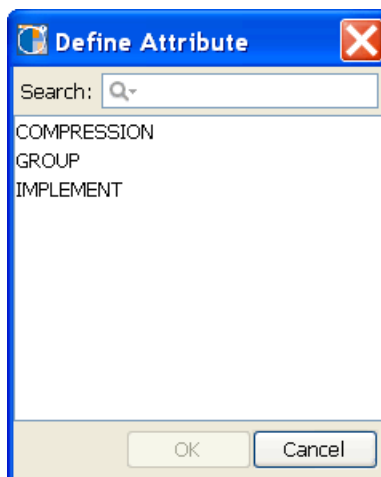


図 10-27 : [Define Attribute] ダイアログ ボックス

2. 割り当てる属性を選択します。

3. [OK] をクリックします。

指定したタイプの属性が、[Attributes] タブに追加されます。

4. 属性値を指定します。

使用可能な Pblock 属性は次のとおりです。

- ◆ [COMPRESSION] : エリア グループの圧縮係数を設定します。パーセント値は 0 ~ 100 で、0 は圧縮なし、100 は最大圧縮です。[COMPRESSION] は Virtex®-5 または Virtex-6 デバイスおよび map -timing を使用したデザインでは使用できません。
- ◆ [GROUP] : ロジックを物理コンポーネント (スライス) にパックし、エリア グループ外のロジックをエリア グループ内のロジックにまとめることができます。
- ◆ [IMPLEMENT] : エリア グループのロジックが再インプリメントされるかどうかを制御します。

5. [Apply] をクリックすると、変更が適用されます。

リソース使用率の統計を使用した Pblock のサイズの決定

[Pblock Properties] ウィンドウの使用率の統計を使用して、Pblock の大きさを決定し、配置できます。長方形内で使用可能なデバイスのリソースは、Pblock に含まれるロジックと比較され、使用率の予測値が計算されます。

Pblock の使用率の予測値は、次の手順で表示できます。

1. Pblock を選択し、[Pblock Properties] を表示します。
2. [Statistics] タブをクリックします。

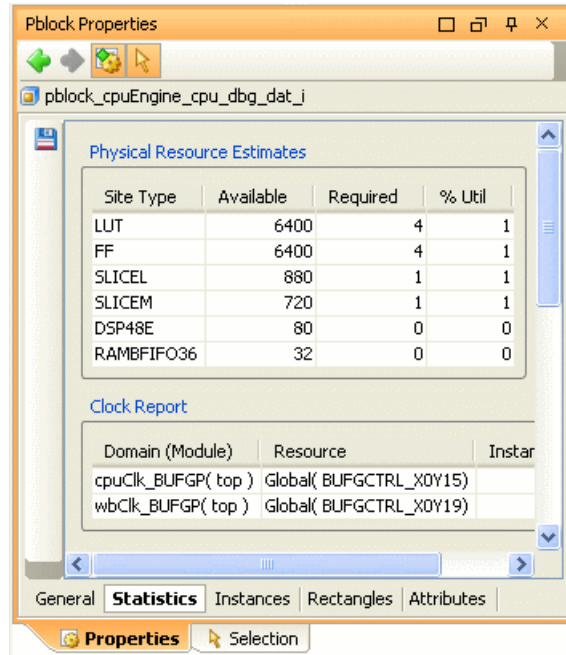


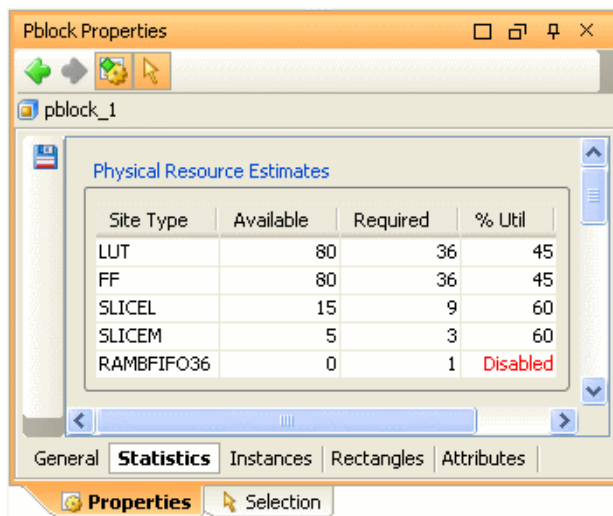
図 10-28 : [Pblock Properties] ウィンドウ :[Statistics] タブ

3. [Statistics] タブで、次の 3 つの列の使用率予測値を確認します。
 - ◆ [Available] : Pblock に含まれるサイト数が表示されます。
 - ◆ [Required] : 割り当てられたロジックに必要なサイト数が表示されます。
 - ◆ [% Utilization] : ロジック タイプごとの予測使用率 (%) が表示されます。Pblock のサイズを変更すると、使用率を適正な値に修正できます。
4. Pblock に必要な RAM サイト数を見るには、スクロール ダウンします。

ダイアログ ボックスは Pblock が変更されるたびにダイナミックにアップデートされます。

Pblock に特定のロジック デバイス エレメントのサイトが含まれない場合は、次の値が表示されます。

- [Available] : 0
- [Required] : 必要な数
- [Utilization] : Disabled (長方形で必要なタイプにサイトが定義されていない)。これは エラーで、必要なタイプのサイトが長方形で定義されていないことを示しています。



Pblock Properties

pblock_1

Physical Resource Estimates

Site Type	Available	Required	% Util
LUT	80	36	45
FF	80	36	45
SLICEL	15	9	60
SLICEM	5	3	60
RAMBFIFO36	0	1	Disabled

General Statistics Instances Rectangles Attributes

Properties Selection

図 10-29 : Pblock に使用可能な RAMBFIFO36 リソースがない状態 (Disabled)

メモ : Pblock のスライス使用率は、サイトの使用率が最大であるという前提で計算されていますが、実際は、配置配線ツールでサイトの使用率が最大になることはまれです。設計時には、ターゲットの使用率は約 80% 以上で最適化してください。この数値は、使用されるデバイスおよびデザインとその制約によって異なります。

メモ : Pblock 使用率は、キャリー チェーン、RPM マクロ、および Pblock 長方形の配置の影響を受けます。これらの数値は単なる予測で、ISE インプリメンテーションを正しく実行するための指針として使用するためのものです。Pblock のサイズの決定時に、Pblock の統計をすべて考慮してください。ISE で正しく配置できるように、Pblock を拡大する必要がある場合もあります。

接続に基づいた Pblock の配置

PlanAhead の接続フィードバックはダイナミックで、Pblock の配置に役立ちます。

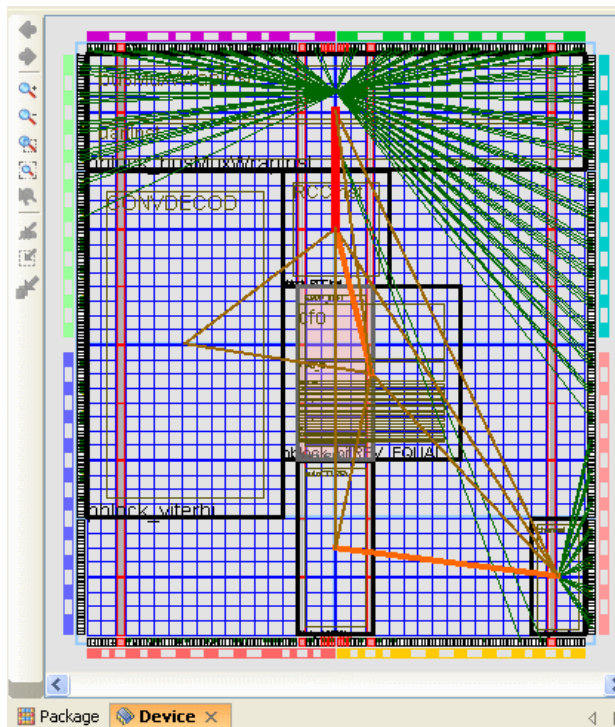


図 10-30 : 接続を利用したフロアプランの決定

Pblock 間の結合された接続は、バンドルされたネットとして表示されます。各バンドルは、Pblock 間の接続の数に基づいてサイズと色が決まります。これは接続数が多い Pblock をわかりやすくするためです。バンドル ネットが大きな Pblock 同士を近くに配置するのが合理的なアプローチです。通常 Pblock は、ネット長ができるだけ短くなるように配置し、配線競合や配線密集が起こらないようにします。

バンドル ネット プロパティの表示

接続情報は、バンドル ネットまたは個別のネットのプロパティを表示して確認できます。接続情報は、次の手順で表示できます。

1. ネットまたはバンドル ネットを選択します。
2. [Net Properties] ウィンドウまたは [Bundle Net Properties] ウィンドウを表示します。

[Bundle Net Properties] ダイアログ ボックスの [Nets] タブにはバンドルに含まれるネットが表示されます。

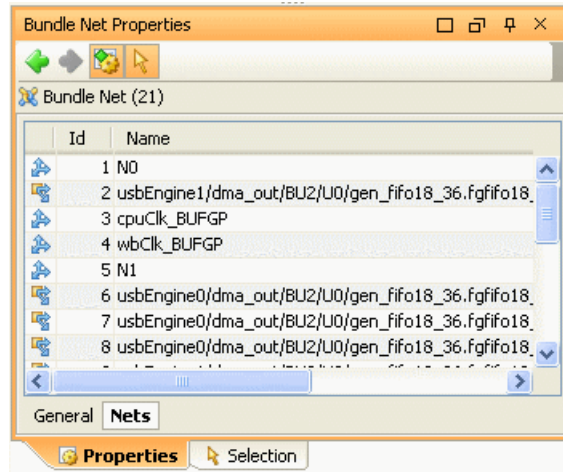


図 10-31 : [Bundle Net Properties] ウィンドウ : [Nets] タブ

バンドル ネットのデフォルトの変更

色、線の幅、および信号カウント範囲は、[Tools] → [Options] → [Themes] ページで、ウィンドウごとに指定できます。バンドル ネットのデフォルト設定の詳細は、「[\[Device\] ウィンドウのバンドル ネット表示オプションの設定](#)」を参照してください。

Pblock の自動コマンドの使用

PlanAhead では、自動 Pblock 作成コマンドを使用し自動パーティションおよび Pblock 配置ができます。この方法は主に、最上位のフロアプランを作成してデザインのデータ フローを表示し、デザインのロジック モジュール間の相対サイズおよび関係を理解するために使用されます。通常設計時には、デザインのクリティカル モジュールおよび回路のコンセプトがあり、これらのモジュールを使用してフロアプランを開始します。

自動フロアプランの機能は、フロアプランの唯一の方法ではなく、物理デザインを理解するためのツールとして使用してください。フロアプランは、ISE ツールを使いこなすために利用する手動のプロセスです。PlanAhead の自動配置機能は、デザインのフロアプランを手早く実行するためのものではありません。非スライス ベースのロジックが Pblock エリアに含まれるように、Pblock を手動で分割および構成する必要があります。

Pblock の自動作成

Pblock 自動作成コマンドは自動的にパーティションを実行するツールで、ネットリストの最上位レベルにも、ネットリストの論理インスタンスのどのレベルにも実行できます。デフォルトでは、[Auto-create Pblocks] コマンドは最上位レベルで開始し、1 モジュールずつ下位階層へと進みます。ネットリストの各ロジック モジュールに Pblock を作成するか、フィルタしてサブセットのみを作成できます。

このコマンドを実行すると、インスタンスが自動的に Pblock に配置され、名前が付けられます。

Pblock 自動作成コマンドを実行するには次の手順に従います。

1. [Tools] → [Auto-create Pblocks] をクリックします。

[Auto-create Pblocks] ダイアログ ボックスが開きます。

メモ : Pblock を前もって選択しておくと、ダイアログ ボックスの内容を変更せずに済みます。

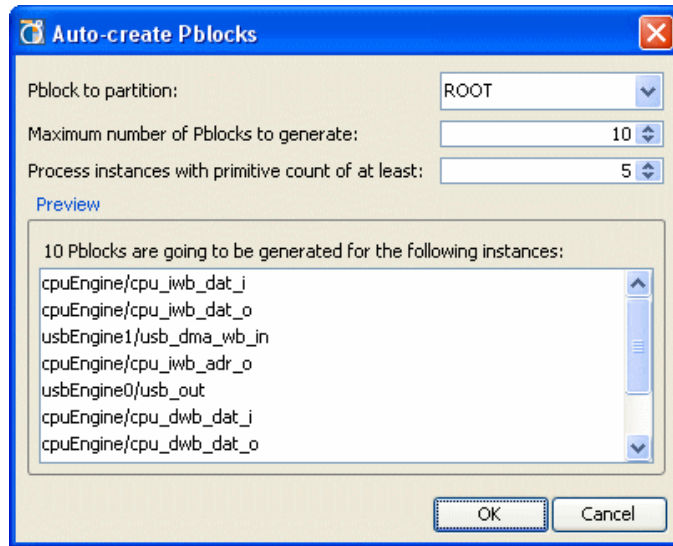


図 10-32 : [Auto-create Pblocks] ダイアログ ボックス

2. 編集可能なフィールドを確認し、必要があれば変更します。

- ◆ [Pblock to Partition] : パーティション レベルを選択します。最上位の Pblock、ROOT、または選択した Pblock が表示されます。

メモ : PlanAhead のパーティションは ISE のパーティションとは関連がありません。このコマンドでは ISE のパーティションは作成されません。

- ◆ [Maximum number of Pblocks to generate] : 作成される Pblock の最大数を指定します。モジュール数が設定数を超えると、設定されている最大数分の Pblock が作成されます。
- ◆ [Process instances with instance count of at least] : 設定数より少ない数のインスタンスの Pblock が作成されないようにします。
- ◆ [Preview] : 作成される Pblock を確認します。

3. [OK] をクリックすると、Pblock がデザインに作成されます。

Pblock が自動的に作成され、次の図に示すように、最上位ネットリスト モジュールと同じ名前が付けられます。この時点では、長方形はまだ作成されていません。

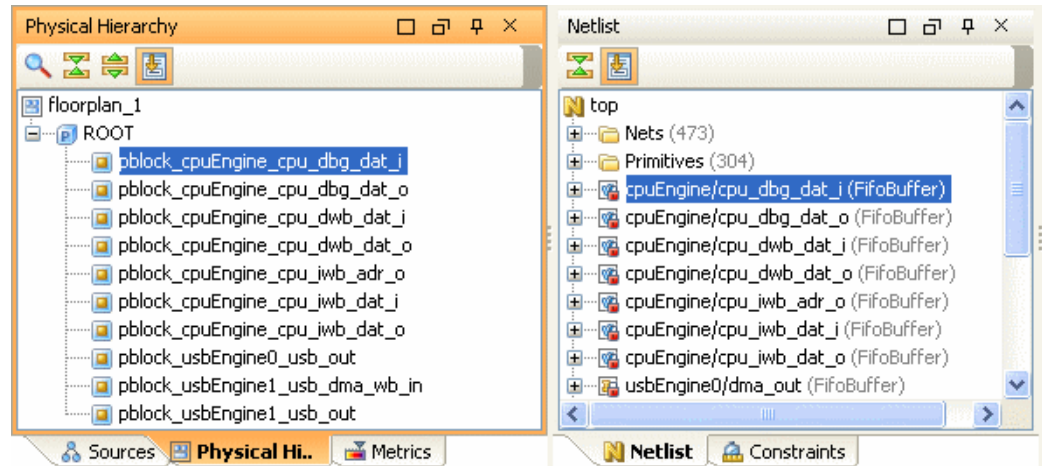


図 10-33 : 新しく自動作成された Pblock

Pblock 自動配置プログラムの実行

PlanAhead の Pblock 配置プログラムを実行すると、自動的に Pblock の大きさが決められ、デバイスに配置されます。Pblock のサイズは、スライスの内容のみによって決定されます。Pblock の作成時には、ほかのデバイス タイプはすべて無視されます。作成される Pblock の範囲はすべて定義されます。

Pblock 配置プログラムでは、選択された Pblock が手早く配置でき、デザイン内のデータ フローの確認に役立ちます。ISE でのインプリメンテーションの前に手動で Pblock の形を変更し、非スライス リソースを含める必要があります。

メモ : [Place Pblocks] コマンドで配置した Pblock は、ISE でのインプリメンテーションには使用できない場合があります。Pblock のサイズは、スライスの内容のみによって決定されます。手動で Pblock のサイズを変更し、非スライス ベースのリソースを含める必要があります。

メモ : Pblock 自動配置プログラムは Virtex-6 または Spartan®-6 デバイスでは使用できません。

Pblock 配置プログラムは、次の手順で実行します。

1. [Tools] → [Place Pblocks] をクリックします。
[Place Pblocks] ダイアログ ボックスが開きます。

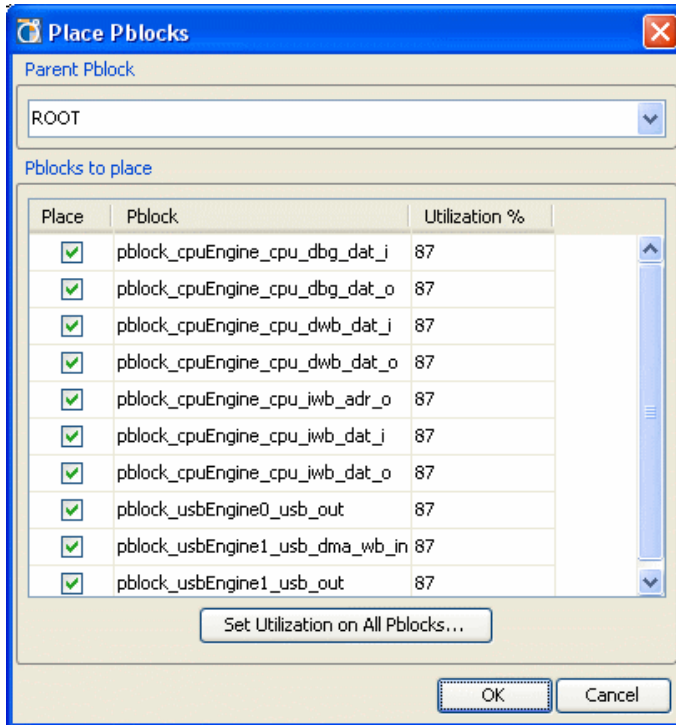


図 10-34 : [Place Pblocks] ダイアログ ボックス

2. 編集可能なフィールドを確認し、必要があれば変更します。

- ◆ [Parent Pblock] : Pblock を配置する階層のレベルを指定します。最上位の ROOT または分割された Pblock のレベルに配置できます。
- ◆ [Pblocks to place] : 親 Pblock の下にある Pblock が表示されます。
 - [Place] : Pblock を配置するかどうかを指定します。チェックボックスをオフにしても、既存の Pblock 長方形の位置は保持されます。
 - [Pblock] : すべての Pblock がリストされます。
 - [Utilization %] : 各 Pblock にスライス使用率のターゲットを設定できます。
- ◆ [Set Utilization on all Pblocks] : すべての Pblock に、スライス使用率のターゲットを設定します。

3. [OK] をクリックすると、Pblock がデザインに配置されます。

[Place Pblocks] コマンドの実行中は、[Place Pblocks Progress] ダイアログ ボックスが表示されます。

Pblock はスライス使用率にのみ基づいて大きさが決定され、配置されます。

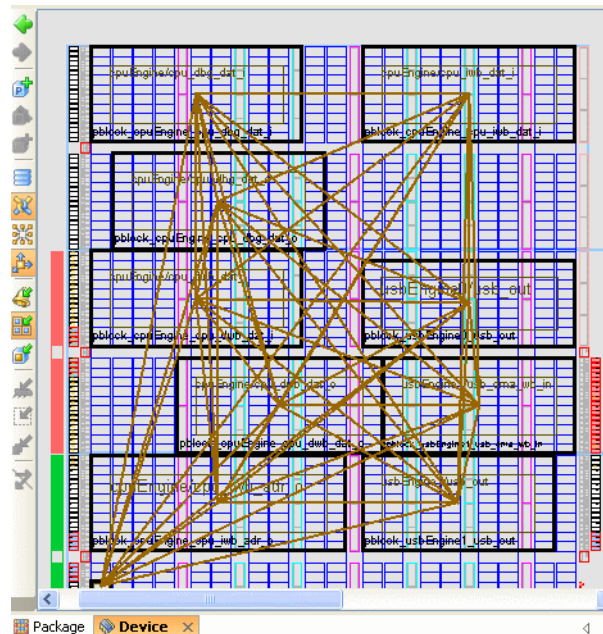


図 10-35 : 自動配置された Pblock

大きな Pblock は、再び分割して、[Place Pblocks] を実行できます。

[Partition] コマンドおよび [Place Pblocks] コマンドを使用して最上位フロアプランを作成する方法は、PlanAhead のチュートリアルを参照してください。

配置 LOC 制約

プリミティブ ロジック エLEMENT は、サイト制約作成モードまたは BEL 制約作成モードで特定のロジック サイトに割り当てられます。PlanAhead では、サイト内の特定ゲートにロジックを固定する BEL レベルの制約を割り当てることができます。

固定された配置制約および固定されていない配置制約について

PlanAhead では、ユーザーにより割り当てられた配置制約と、ISE インプリメンテーション ツールで割り当てられた配置制約が区別されます。ユーザーが割り当てた制約とは、インポートされた UCF ファイルで定義されているか、PlanAhead で手動で割り当てられた制約です。これらの制約は固定された制約と見なされ、異なる色で表示されます。ISE からインポートされた配置制約はすべて固定されていないものと見なされます。配置制約を選択して [Fix Instances] ポップアップ メニュー コマンドを実行すると、固定に変更できます。

固定された制約は配置をロックするために、すべてデフォルトで ISE インプリメンテーション ツールにエクスポートされます。固定されていない配置制約をロックする必要がある場合は、[Run Launch Options]、[Export Constraints]、または [Export Pblock] ダイアログ ボックスから固定されていない配置制約をエクスポートします。

サイト制約および BEL 制約について

保存され、エクスポートされたフロアプランの UCF ファイルでは、サイト制約はインスタンスに割り当てられた LOC 制約になります。ロジック エレメントは CLB スライス サイトのみに固定され、その内部の特定のゲートには固定されません。

```
INST "receiver/uartInst/G_98_1" LOC = SLICE_X49Y69;
```

保存され、エクスポートされたフロアプランの UCF ファイルでは、BEL 制約はインスタンスに割り当てられた LOC 制約と BEL 制約になります。BEL 制約では、ロジック エレメントが CLB 内の特定のゲートに割り当てられます。

```
INST "Channel/receiverRE[8]" BEL = FFX;
```

```
INST "Channel/receiverRE[8]" LOC = SLICE_X59Y2;
```

サイト ロケーション配置制約 (LOC) の割り当て

下位プリミティブ インスタンスは、ネットリスト ツリーからドラッグして特定サイトにドロップすると配置できます。インスタンスをサイトに配置すると、ISE で使用するためにエクスポートされた UCF ファイルに、LOC (インスタンス ロケーション) 制約が追加されます。割り当てられたロケーションは、この後の ISE の実行中に固定ロケーションとして割り当てられ、ロックされます。

インスタンスを割り当てる前に、[Create Site Constraint Mode] ボタンをクリックし、サイト制約作成モードに切り替えます。



図 10-36 : [Create Site Constraint Mode] ボタン

ダイナミック カーソルでは、移動禁止または既に使用されているサイトにはインスタンスを配置できません。配置できる場所に移動すると、ダイナミック カーソルは斜線が入った円から矢印またはひし形に変化します。また、ダイナミック カーソルでは、ロジックがスライスに入りきらない場合にもインスタンスを配置できません。キャリー チェーン ロジックなど、ロジックのグループによっては、1 つのオブジェクトとして移動するため、グループのロジックがすべて配置できる場所が必要です。

ロケーション制約の割り当てが完了したら、[Assign Instance Mode] ボタンをクリックしてデフォルトの、Pblock へのインスタンス割り当てモードに戻ります。



図 10-37 : [Assign Instance Mode] ボタン

ロケーション制約プロパティを表示するには、配置制約を選択し、[Instance Property] ウィンドウを表示します。

BEL 配置制約 (BEL) の割り当て

下位プリミティブ インスタンスは、ネットリスト ツリーからドラッグして特定サイトにドロップすると配置できます。インスタンスをゲートに配置すると、前述のように、BEL 制約が割り当てられ、ISE で使用されます。割り当てられたロケーションは、この後の ISE の実行中に固定ロケーションとして割り当てられ、ロックされます。

インスタンスを割り当てる前に、[Create BEL Constraint Mode] ボタンをクリックし、BEL 制約作成モードに切り替えます。



図 10-38 : [Create BEL Constraint Mode] ボタン

ダイナミック カーソルでは、移動禁止または既に使用されているゲート サイトにはインスタンスを配置できません。配置できる場所に移動すると、ダイナミック カーソルは斜線のはいった円から矢印に変化します。また、ダイナミック カーソルでは、ロジックがスライスに入りきらない場合にもインスタンスを配置できません。

ロケーション制約の割り当てが完了したら、[Assign Instance Mode] ボタンをクリックしてデフォルトの、Pblock へのインスタンス割り当てモードに戻ります。



図 10-39 : [Assign Instance Mode] ボタン

ロケーション制約プロパティを表示するには、配置制約を選択し、[Instance Property] ウィンドウを表示します。

配置制約の表示/非表示の変更

割り当てられた配置制約の表示方法を変更するにはズーム レベルを調節します。ズーム アウト表示では、LOC および BEL は、割り当てられたサイトの内側に塗りつぶされた長方形として表示されますが、ズーム レベルが上がるに従って、サイト内の特定のロジック ゲートに割り当てられたロジックとして表示されるようになります。

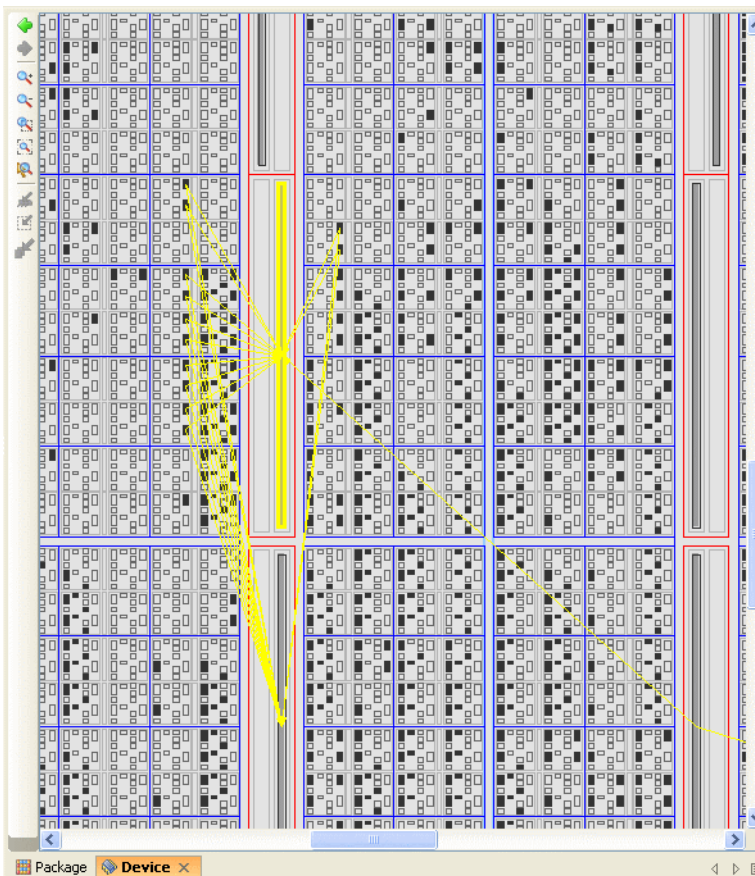


図 10-40 : [Device] ウィンドウのズーム アウト表示

ロケーション制約の表示/非表示を切り替えるには、[Show/Hide LOC Constraints] ボタンをクリックします。



図 10-41 : [Show/Hide LOC Constraints] ボタン

LOC 制約および BEL 制約のその他の表示設定を変更するには、次の手順に従います。

1. [Tools] → [Options] → [Themes] → [Device] をクリックします。
[Device] ダイアログ ボックスが表示されます。

2. 制約オブジェクトの下値を変更します。

デバイス リソースグリッド サイトの表示設定を変更するには、[Tools] → [Options] → [Themes] → [Device] をクリックし、[Site] オブジェクトの設定を変更します。

固定された配置制約と固定されていない配置制約の色および選択は個別に設定できます。

接続の表示切り替えを使用したロジック接続の表示

配置制約が表示されている場合、個々の配置制約ロケーションのネット接続が表示されます。配置制約が非表示の場合、ネットの接続は **Pblock** 内のロジック インスタンスの中心に表示されます。

選択したロジック インスタンスまたはインスタンス グループの接続を表示するには、次のコマンドのいずれかを実行します。

- [Show Connectivity] ポップアップ メニュー コマンド
- [Show connections for selected instances] ボタン



図 10-42 : [Show connections for selected instances] ボタン

このモードがオンであれば、ロジック オブジェクトを新しく選択し、接続を表示できます。このボタンをもう一度クリックするとオフになります。

配置制約の移動

配置制約を移動するには、次の手順に従います。

1. [Device] ウィンドウ、[Netlist] ウィンドウ、または [Schematic] ウィンドウでインスタンスをクリックして配置制約を選択します。
2. 選択した配置制約を、移動可能なほかのサイトにドラッグ アンド ドロップします。

プリミティブ インスタンスが新しいサイトに割り当てられます。ロケーション制約から **Pblock** に接続するネットの線が表示されます。

キャリー チェーンの一部であるロジック オブジェクトを移動すると、キャリー チェーン全体が移動されます。キャリー チェーン全体が移動可能なサイトに移動するとカーソルが変化し、すべてのオブジェクトを新しい相対ロケーションに移動できます。

RAM および **MULT** のようなロジックは、**Pblock** 長方形の外側のサイトに割り当てることができるため、配置を柔軟に固定できます。

3. ロケーション制約の割り当てが完了したら、[Assign Instance Mode] ボタンをクリックしてデフォルトの、**Pblock** へのインスタンス割り当てモードに戻ります。



図 10-43 : [Assign Instance Mode] ボタン

ロケーション制約プロパティを表示するには、配置制約を選択し、[Instance Property] ウィンドウを表示します。

選択した配置制約の削除

選択したインスタンス ロケーション制約を削除するには、配置されたインスタンスをクリックし、次のいずれかの手順に従います。

- [Tools] → [Clear Placement Constraints] をクリックします。詳細は、「[選択した配置制約の削除](#)」を参照してください。
- [Unplace] ポップアップ メニュー コマンドをクリックします。

選択した配置制約の削除

インスタンス ロケーション制約は、選択してデザインから削除できます。制約は、ISE で割り当てられたもの、選択したロジックまたは Pblock、および特定のロジック タイプに基づいてフィルタし、削除できます。

オブジェクトを先に選択しておく、[Clear Placement Constraints] ウィザードで選択したオブジェクトが削除されます。Pblock が先に選択されていると、ウィザードにはその Pblock 内の配置制約を削除するデフォルト設定が表示され、インスタンスが選択されている場合は、インスタンス削除のデフォルト設定が表示されます。

配置制約を削除するには、次の手順に従います。

1. [Tools] → [Clear Placement Constraints] をクリックします。

Clear Placement Constraints ウィザードが開始します。

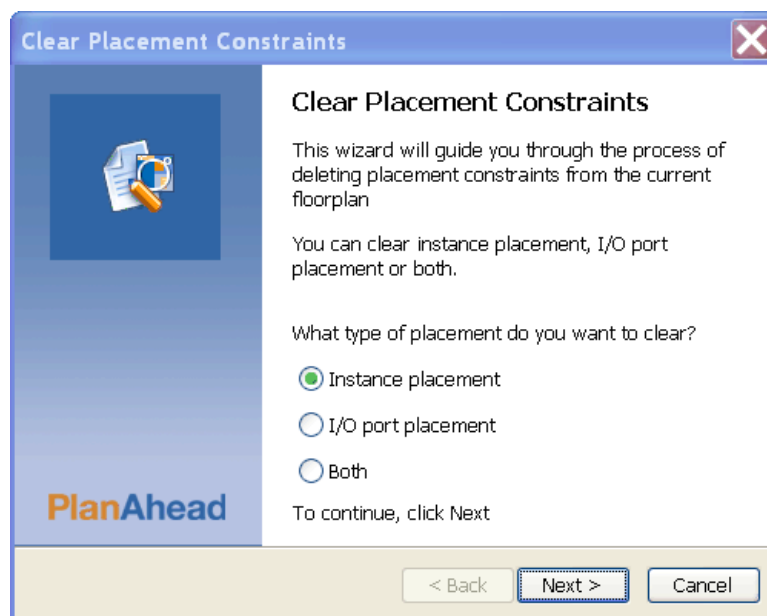


図 10-44 : Clear Placement Constraints ウィザード : インスタンス配置、I/O ポート配置、または両方の削除

2. Clear Placement Constraints ウィザードで、削除する配置制約のタイプを選択します。オプションは、[Instance placement]、[I/O Port placement]、または [Both] です。
3. [Next] をクリックします。

インスタンスの配置制約の削除

次のページは、コマンド実行前に選択したオブジェクトのタイプにより異なります。何も選択されていない場合は、表示されません。Pblock が選択されている場合は、Pblock の制約が削除されます。インスタンスが選択されている場合は、デフォルトでインスタンスの制約が削除されます。選択されているものに応じて、次に示すようにほかのオプションも表示されます。

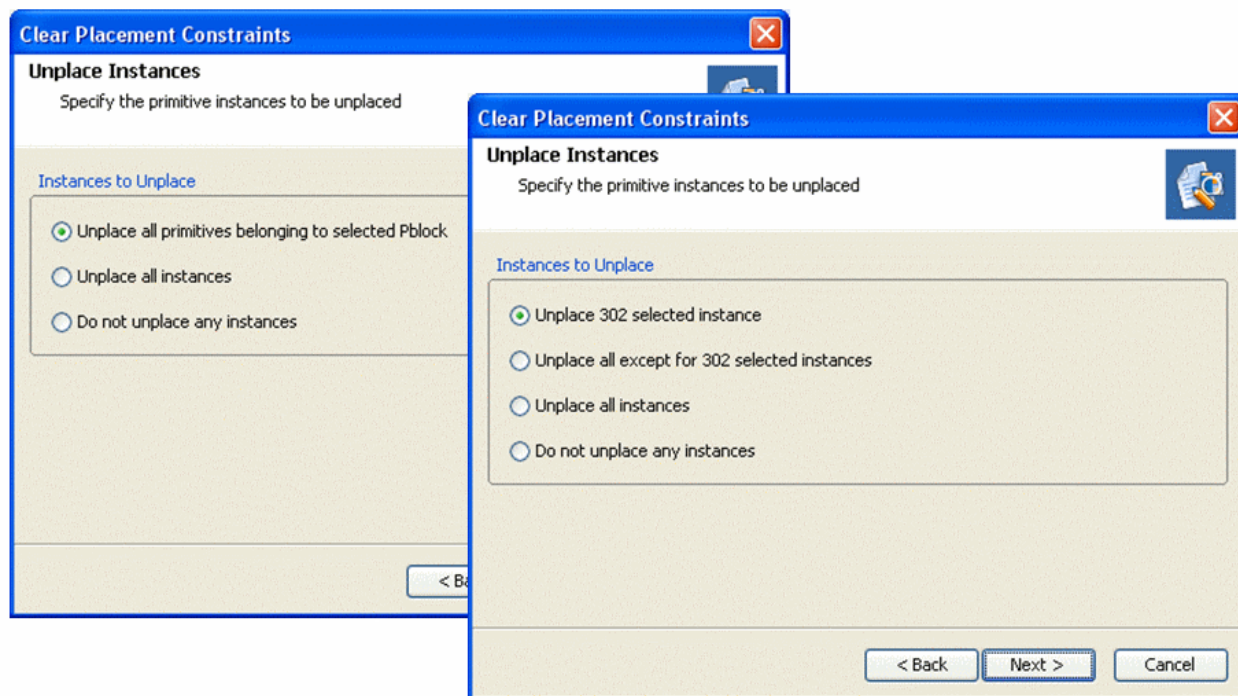


図 10-45 : Clear Placement Constraints ウィザード :
あらかじめ選択したオブジェクトに対応した配置削除のオプション

4. [Unplace Instances] ページで、配置を削除するインスタンスのカテゴリを選択します。
5. [Next] をクリックします。

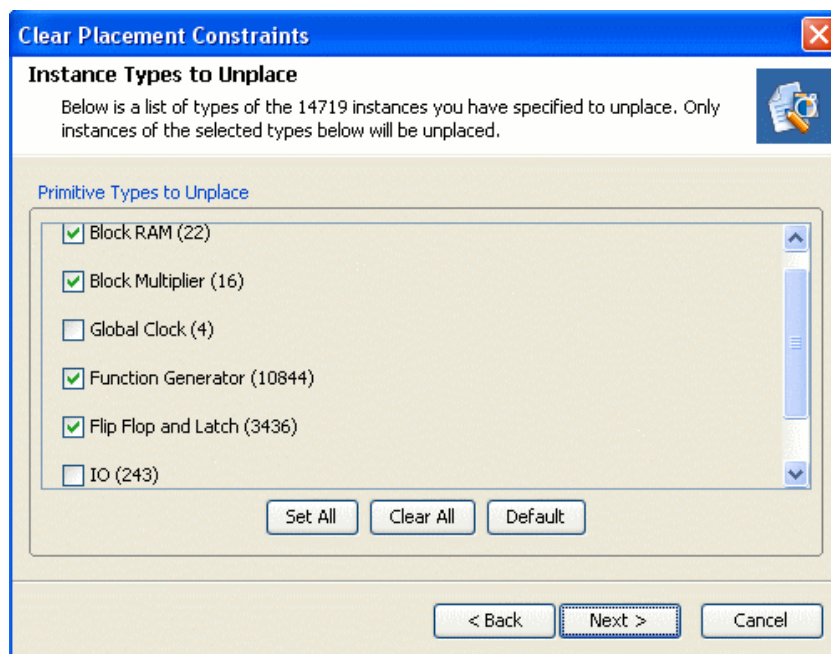


図 10-46 : Clear Placement Constraints ウィザード : 削除するロジック タイプのフィルタ

[Instance Types to Unplace] ページでは、配置制約タイプをフィルタできます。ウィザードの最初のページでインスタンスの制約のみのオプションが選択されているため、I/O に関連するチェックボックスはオフになっています。

6. [Instance Types to Unplace] ページで、プリミティブ タイプのチェックボックスをオンにします。
7. [Next] をクリックします。

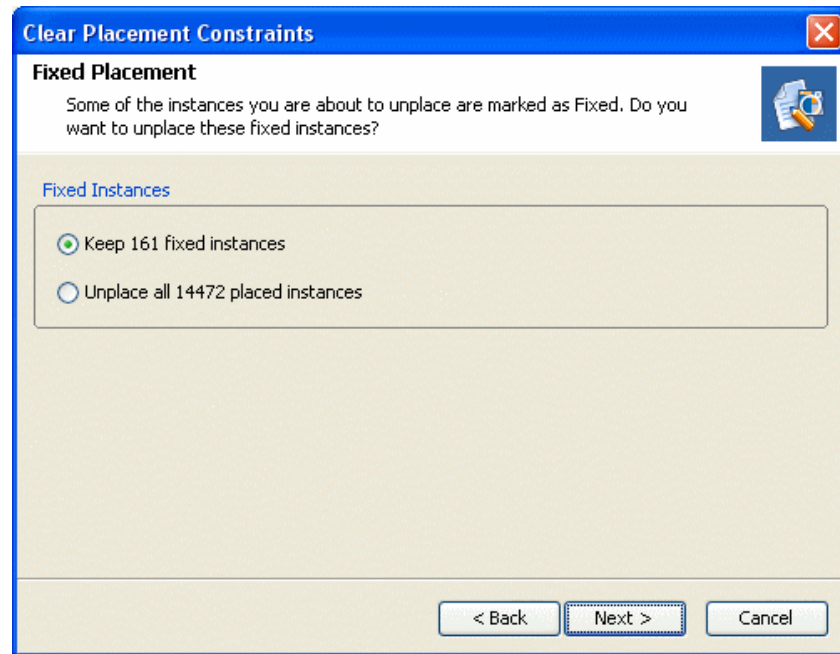


図 10-47 : Clear Placement Constraints ウィザード : 固定された制約のフィルタ

8. [Fixed Placement] ページで、固定されたインスタンスを削除するかどうかを指定します。固定されたインスタンスとは、デザインに配置または固定されているインスタンス、または入力 UCF ファイルにインポートされたインスタンスです。
 9. [Next] をクリックします。
 10. Summary ページの内容を確認し、[Finish] をクリックします。
- 指定されたプリミティブ インスタンスの割り当てがデザインから削除されます。

I/O ポート配置の削除

I/O ポートの制約割り当てを削除するには、次の手順に従います。

1. [Tools] → [Clear Placement Constraints] をクリックします。

Clear Placement Constraints ウィザードが開始します。

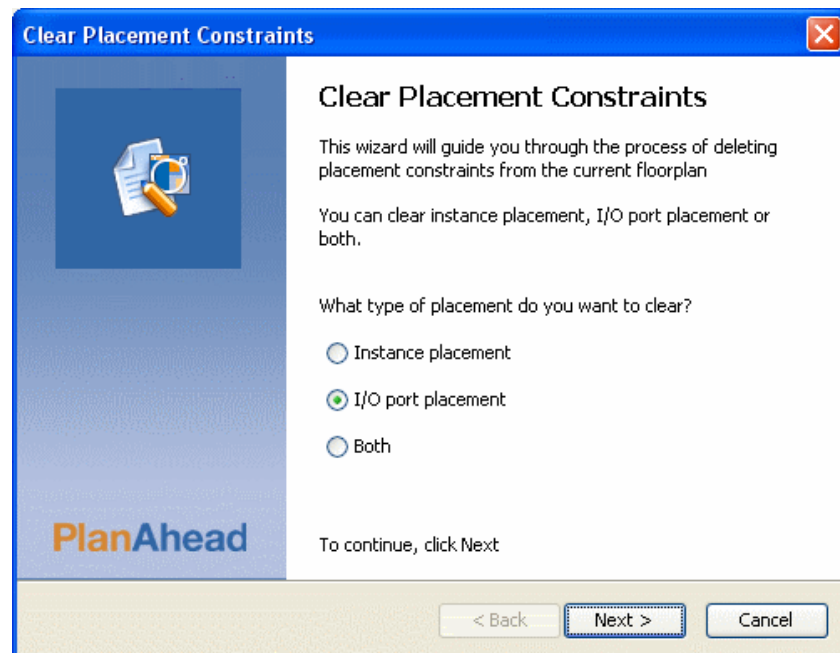


図 10-48 : Clear Placement Constraints ウィザード : I/O ポート配置または両方の削除

2. Clear Placement Constraints ウィザードで、削除する配置制約のタイプを選択します。オプションは、[Instance placement]、[I/O Port placement]、または [Both] です。
3. [Next] をクリックします。

次のページは、コマンド実行前に選択したオブジェクトのタイプにより異なります。何も選択されていない場合は、表示されません。I/O ポートが選択されている場合は、I/O ポートの制約が削除されます。選択されているものに応じて、次に示すようにほかのオプションも表示されます。

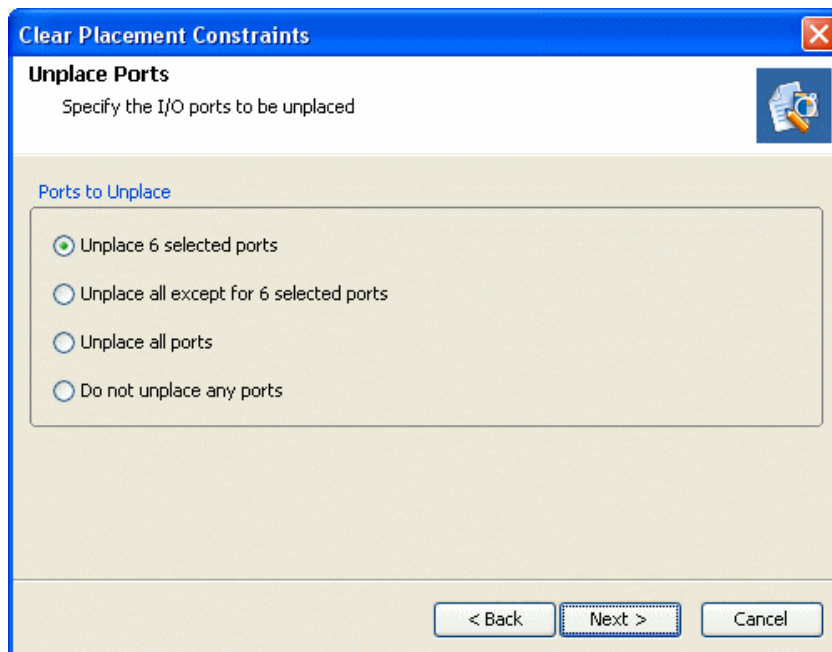


図 10-49 : Clear Placement Constraints ウィザード :
あらかじめ選択したオブジェクトに応じた I/O ポート削除のオプション

4. [Unplace Ports] ページで、配置を削除する I/O ポートのカテゴリを選択します。
5. [Next] をクリックします。

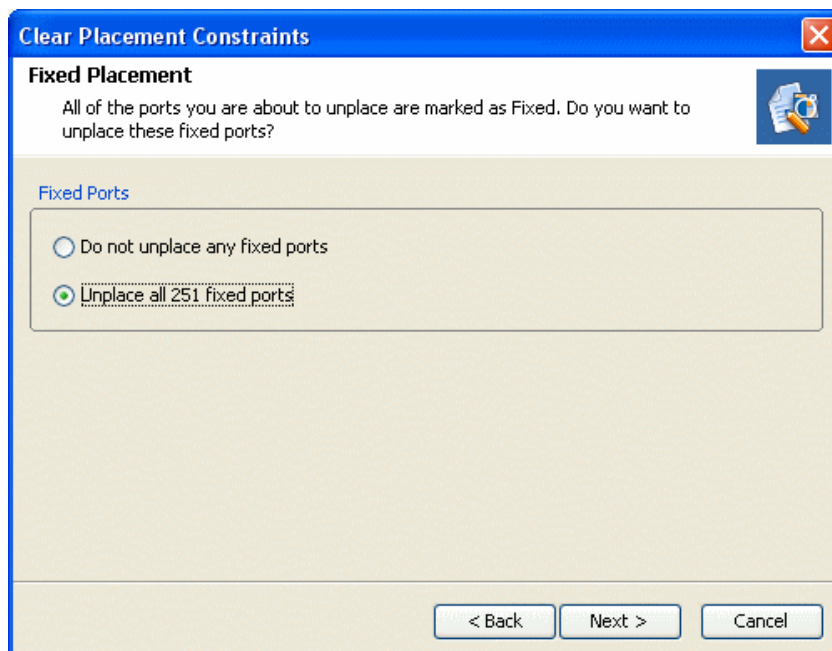


図 10-50 : Clear Placement Constraints ウィザード : 固定された制約のフィルタ

6. [Fixed Placement] ページで、固定されたインスタンスを削除するかどうかを指定します。固定されたインスタンスとは、デザインに配置または固定されているインスタンス、または入力 UCF ファイルにインポートされたインスタンスです。
7. [Next] をクリックします。
8. サマリ ページの内容を確認し、[Finish] をクリックします。

指定された I/O ポートの割り当てがデザインから削除されます。

前に割り当てられたポートは、新しい UCF ファイルを読み込む前は削除されません。新しいポートの割り当てにより、前の割り当てが上書きされます。新しいポート割り当て制約のインポート前にすべてのポート割り当てを削除してください。

Pblock と割り当てられた配置制約の移動

ロケーション制約が割り当てられた Pblock は移動できます。配置制約はすべて移動先で割り当て直されます。

Pblock 内部にロケーション配置制約が割り当てられると、Pblock のビヘイビアが変化します。移動先には、配置制約の割り当てに十分なリソースが必要です。Pblock を移動できない場所にドラッグすると、カーソルの形が変化し、不適切な移動先であることが示されます。リソースが十分でない場合は、ロケーション制約を削除するかそのままにするかを選択するダイアログ ボックスが表示されます。ロケーション制約は、固定されたものと固定されていないものが別々に表示されるので、それぞれに対して処理を指定できます。

ISE インプリメンテーション中の配置のロック

PlanAhead で割り当てられた配置制約は固定と見なされ、エクスポートされた制約は、ISE のインプリメンテーションでロックされます。PlanAhead には、配置制約を選択して削除する方法が何通りかあるため、残しておく LOC の制御ができます。Clear Placement Constraints ウィザードを使用すると、配置制約を Pblock 単位で、選択したものだけを、または選択したもの以外のものを削除できます。Pblock ベースでインプリメンテーションを実行して、選択した Pblock の配置をロックすることもできます。

[Fix Instances] ポップアップ メニュー コマンドを使用すると、ロジックを固定できます。

PROHIBIT の設定

PROHIBIT 制約はデバイスのどのロジック サイトにも作成できます。この方法は次のとおりです。

1. [Device] ウィンドウでサイトを選択します。
[Select Area] を使用し複数のサイトを選択できます。詳細は、[「\[Select Area\] コマンドの使用」](#)を参照してください。
2. 右クリックし、[Set Prohibit] をクリックします。

使用禁止になったサイトには赤い X マークが表示されます (図 10-51)。

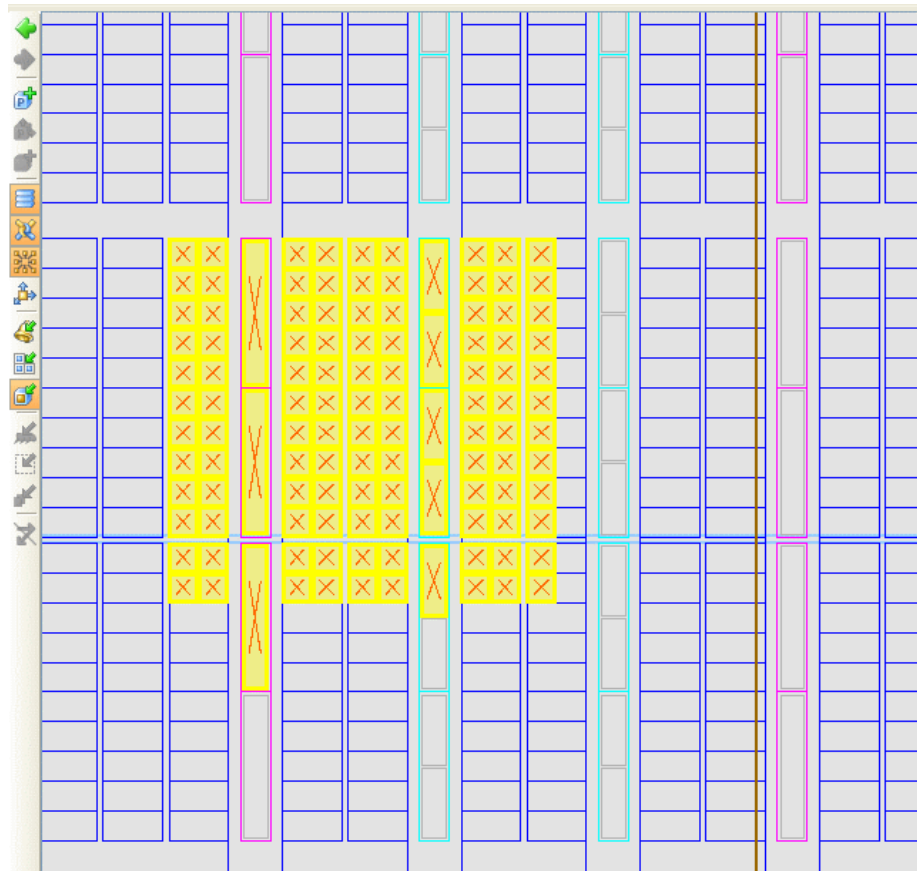


図 10-51 : [Device] ウィンドウでの使用禁止サイト

IP 再利用機能の使用

IP 再利用の概要

配置ロケーションおよび AREA_GROUP 制約を設定済みのインスタンス モジュールは、エクスポートおよび再利用できます。PlanAhead は、配置制約を含むモジュールレベルの EDIF ファイルおよび UCF をエクスポートする機能を備えています。エクスポートされたファイルはインポートして、ほかのデザインで再利用できます。この機能は、チームで設計する場合や、同一のモジュールに配置をコピーする場合にも使用できます。

IP モジュールの作成および再利用

IP 再利用のインスタンスのエクスポート

配置制約を再利用するには、XDL を使用して PlanAhead にインポートする必要があります。詳細は、「[ISE の配置およびタイミング結果のインポート](#)」を参照してください。

IP モジュールとしてエクスポートできるのは、階層構造のネットリスト インスタンスのみです。

インスタンス レベルのネットリストおよび配置制約をエクスポートするには、次の手順に従います。

1. [Netlist] ウィンドウで、エクスポートするインスタンスを選択します。
2. [File] → [Export IP] をクリックします。
Export IP ウィザードが表示されます。

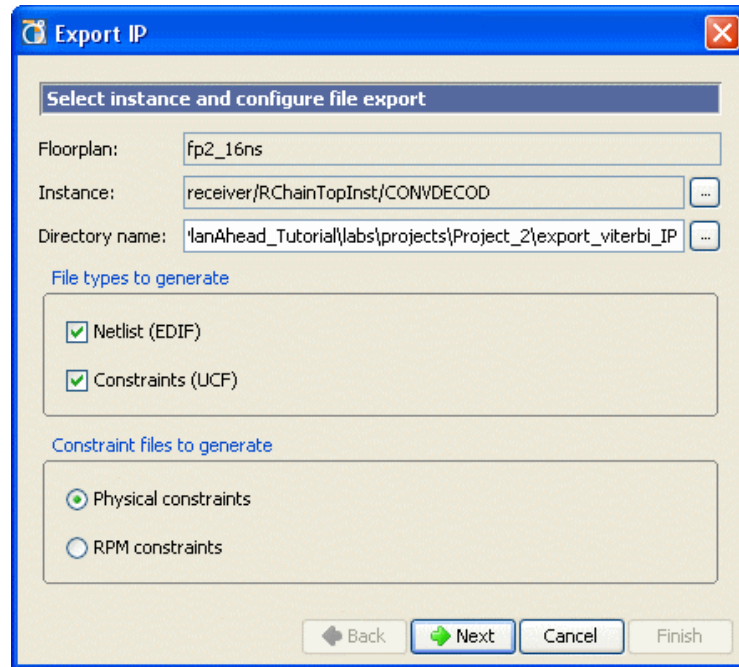


図 10-52 : Export IP ウィザード

3. 編集可能なフィールドを確認し、必要があれば変更します。
 - ◆ [Instance] : エクスポートするインスタンスを指定します。参照ボタンをクリックし、エクスポートするインスタンスを選択します。ダイアログ ボックスには、コマンドの実行前に選択したインスタンスが表示されます。
 - ◆ [Directory name] : ファイルのエクスポート先のディレクトリ名が表示されます。変更可能です。PlanAhead では、<instance name> サブディレクトリが自動的に作成され、インスタンスごとにエクスポートされたファイルが保存されます。
 - ◆ [File types to generate] : エクスポートするファイルのタイプを指定します。オプションは、[Netlist (EDIF)] および [Constraints (UCF)] のいずれかまたは両方です。
 - ◆ [Constraint files to generate] : 出力 UCF ファイルに含める制約のタイプを指定します。
 - [Physical constraints] : 割り当てられたインスタンスすべての物理制約を出力します。
 - [RPM constraints] : LOC 制約を適切な RLOC および RPM セット制約で置き換えます。
4. [Next] をクリックし次に進みます。
サマリ ページに、作成されるファイルが表示されます。
5. [Finish] をクリックすると、ファイルがエクスポートされます。

IP モジュールの再利用

エクスポートされたインスタンス IP ファイルは、ほかのデザインで再利用できます。エクスポートされた IP ファイルの形式ではモジュールの元のロジック インターフェイスが保持されるため、再利用が容易です。ブラック ボックスを作成し、エクスポートされたインスタンスと完全に同一のインターフェイスを使用する必要があります。ロジック合成に XST を使用する場合は、合成時のタイミング情報の生成に、エクスポートされた EDIF ファイルを使用できます。合成でネットリストが作成されたら、そのネットリストを使用して新規のプロジェクトを作成します。プロジェクトの作成の詳細は、「[New Project ウィザードを使用した新規プロジェクトの作成](#)」を参照してください。

インスタンス EDIF ネットリストのインポート

IP モジュールを再利用するには、最初にインスタンス EDIF ネットリストをインポートする必要があります。ネットリストをインポートするには、次の方法のいずれかを実行します。

- プロジェクトの新規作成時は、[File] → [New Project] をクリックして、New Project ウィザードで検索パスを指定し、新しいプロジェクトにモジュールを追加します。
- 既存のプロジェクトでは、フロアプランの作成後に [File] → [Update Netlist] をクリックしてモジュールをインポートします。

モジュール レベルのネットリストのアップデートの詳細は、「[モジュール レベルのネットリストのアップデート](#)」を参照してください。

配置制約 (UCF) のインポート

モジュールのネットリストがインポートされたら、次に配置制約をインポートします。配置制約をインポートするには、次の手順に従います。

1. [Netlist] ウィンドウでインスタンスを選択します。
2. [File] → [Import Constraints] をクリックします。

選択されたインスタンスが [Import Constraints] ダイアログ ボックスに表示されます。

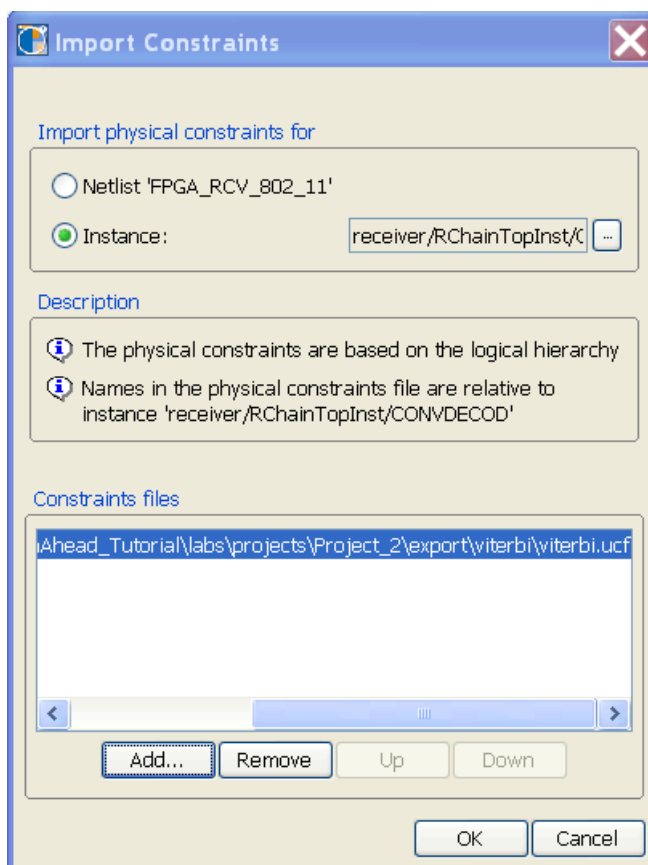


図 10-53 : モジュール レベルの制約のインポート

3. [Import physical constraints for] で [Instance] をオンにし、インスタンスを選択します。
4. [Add] ボタンを使用し、IP インスタンス用にエクスポートされた UCF ファイルを選択します。
5. [OK] をクリックし、制約をインポートします。

物理制約および AREA_GROUP 制約が、作成された場所に再生成されます。

メモ: 新しいターゲット デバイスにサイト ロケーションが存在している必要があります。

同一のモジュールへの配置のコピー

配置制約は、「[IP モジュールの再利用](#)」で説明されているように、インスタンスを個別に選択し、[File] → [Import Constraints] をクリックすると、同一のモジュールにコピーできます。1 つのインスタンスに制約がインポートされると、その Pblock を移動して次のインスタンスを同じ場所にインポートできます。モジュールごとに、この手順を繰り返します。

ChipScope を使用したデザインのデバッグ

本章は、次のセクションで構成されています。

- 「PlanAhead と ChipScope の統合の概要」
- 「コア挿入フローを使用する場合の要件および制限」
- 「コア挿入フローの使用」
- 「デザインのインプリメンテーション」
- 「ChipScope Analyzer の起動」

PlanAhead と ChipScope の統合の概要

ChipScope Pro の統合により、PlanAhead™ に ChipScope Pro ILA デバッグ コアを合成後に簡単に挿入および接続できます。ウィザードを使用し、ほとんどのデザインのデバッグをすばやく簡単に実行できます。ウィザード以外の GUI 機能や Tcl コマンド フローは、精密なデバッグやネット接続のために使用できます。このフローは、PlanAhead 環境内で多機能な ILA コアを接続することができます。

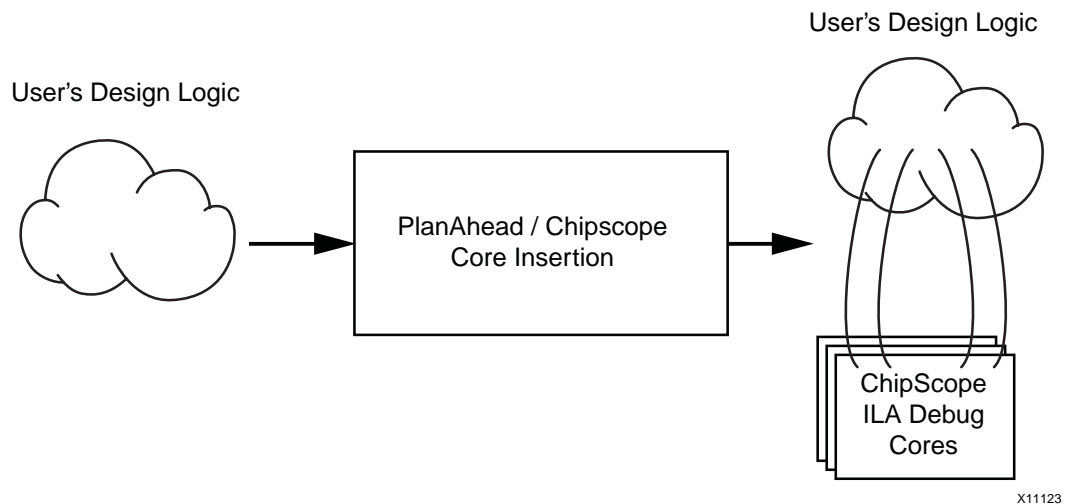


図 11-1 : PlanAhead/ChipScope 統合の図説

コア挿入フローを使用する場合の要件および制限

PlanAhead/ChipScope 統合で ChipScope Pro デバッグ コアを挿入するには、ISE® 11.x ツールおよび PlanAhead がインストールされていることが前提です。ChipScope Pro 11.1 Analyzer およびザイリンクスの Platform USB ケーブルがランタイム デザイン デバッグに必要です。ChipScope Pro の詳細については、次のサイトにある『ChipScope Pro 11.1 Software and Cores User Guide』を参照してください。

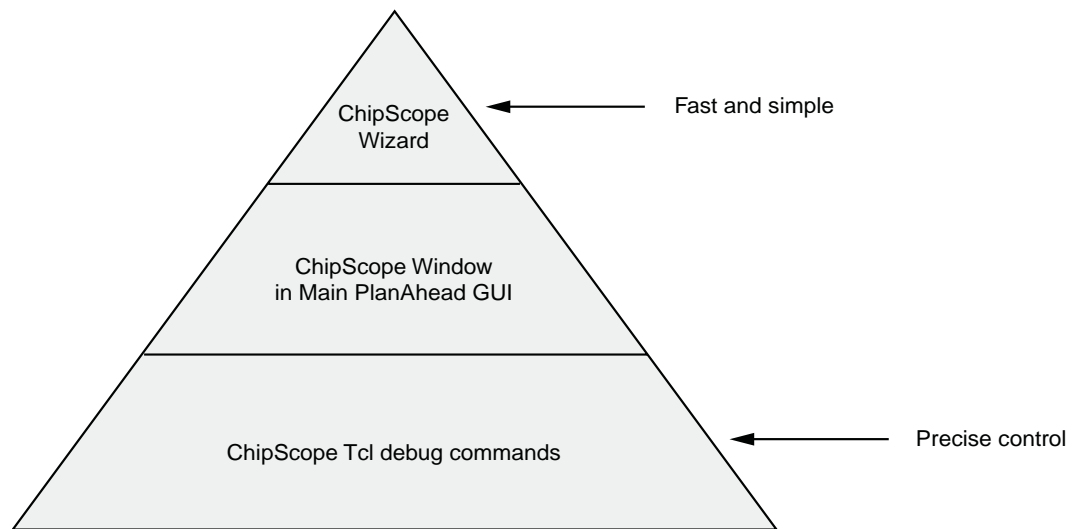
<http://japan.xilinx.com/support/documentation/index.htm>

PlanAhead/ChipScope 統合の制限事項は次のとおりです。

- Project Navigator / ChipScope Pro のコア挿入フローと互換性がありません。
- ISE 統合モードの場合、このフローは使用できません。
- ChipScope Pro ICON コアに既存デバッグ コアが接続されている場合、表示はできますが変更はできません。
- コア外部でインスタンス化された BSCAN プリミティブへの接続を必要とする BSCAN プリミティブなしに生成された ICON が既存する場合、このフローはその ICON とは互換性がありません。
- PlanAhead ではデバッグ コアが合成後のデザイン n ネットリストに追加されるため、合成中に行われるトリミングや最適化が原因で、デバッグできないネットがある場合があります。
- 現在、ChipScope Pro ILA コアのみがこのフローで作成および接続できます。
- NGC コア ファイル内でのプローブがインターフェイス信号のみに制限されています。
- このフローでは、PlanAhead 11、ISE 11、ChipScope Pro 11 を使用する必要があります。これらのツールのほかのバージョンは使用できません。

コア挿入フローの使用

ChipScope デバッグ コアの PlanAhead での挿入は、PlanAhead ユーザーのレベルの応じていろいろな方法で実行することができます。簡単な方法としては、GUI のウィザードを使用し、デバッグするために選択したネットに基づいて、ILA コアを自動作成および設定できます。また ChipScope のメイン ウィンドウで個々のコア、ポート、およびパラメータを設定することもできます。さらに、Tcl デバッグ コマンドを使用し、スクリプトを手動で作成したり再生することもできます。この 3 つの方法を合わせて利用し、デバッグ コアをすばやく挿入およびカスタマイズすることもできます。



X11122

図 11-2 : デバッグ コアの挿入モード

デバッグ コア挿入モードの決定

表 11-1 はデバッグ目標に基づきどの挿入モードを使用すべきかをまとめたものです。

表 11-1 : デバッグ目標およびコア挿入モード

デバッグ目標	コア挿入モード
選択したネットに対しデフォルト設定を使用して ILA デバッグ コアをすばやく作成します。	ChipScope ウィザード
既存の出バグ コアのパラメータを変更します。	ChipScope ウィンドウ
既存のデバッグ コアを手動で作成または削除します。	ChipScope ウィンドウ
ILA コアのトリガまたはデータ ポートを手動で作成、削除、設定します。	ChipScope ウィンドウ
ネットをトリガ、データ、クロック チャネルに手動で割り当てます。	ChipScope ウィンドウ
デバッグ コマンドを記録したスクリプトを再生します。	Tcl コマンド

デバッグのためのネットの選択

PlanAhead/ChipScope デバッグ フローでの最初のステップは、デバッグするネットの識別です。PlanAhead では、[Netlist] ウィンドウでネットまたはバスを選択し、[Add to ChipScope Unassigned

[Nets] ポップアップ メニュー コマンドを実行するだけの簡単な作業です。ネットの選択は、[Schematic] ウィンドウでもできます。

割り当てられていないネットのリスト

PlanAhead では、[Window] → [ChipScope] をクリックして表示される [ChipScope] ウィンドウで割り当てられていないネットのリスト (図 11-3) が管理されます。これは、デザイン全体を確認しているときにネットをブックマークしておける便利なリストです。[Netlist] または [Schematic] ウィンドウからネットをドラッグして、後でデバッグするために保存しておくことができます。[Add to ChipScope Unassigned Nets] ポップアップ メニュー コマンドでネットをこのリストに追加することもできます。

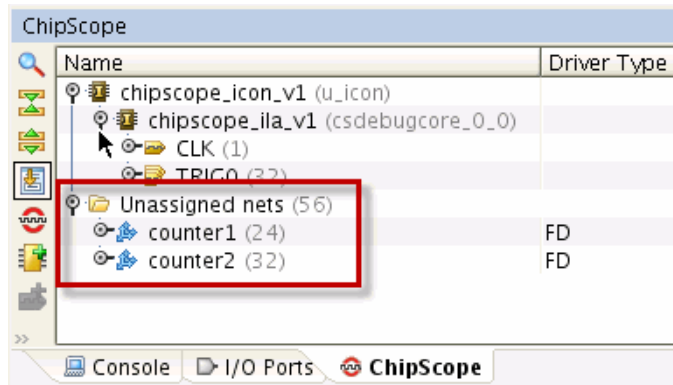


図 11-3 : [ChipScope] ウィンドウの未割り当てネット リスト

ChipScope ウィザードを使用したデバッグ コアの挿入

PlanAhead にデバッグ コアを追加するには、ChipScope のデバッグ ウィザードを使用するのが最も簡単です (図 11-4)。まず、未割り当てのネット リストからまたは直接ネットをクリックしてデバッグするネットを選択します。次に、[Tools] → [Set Up ChipScope] をクリックして、ウィザードの指示に従ってデバッグ コアを接続および設定します。

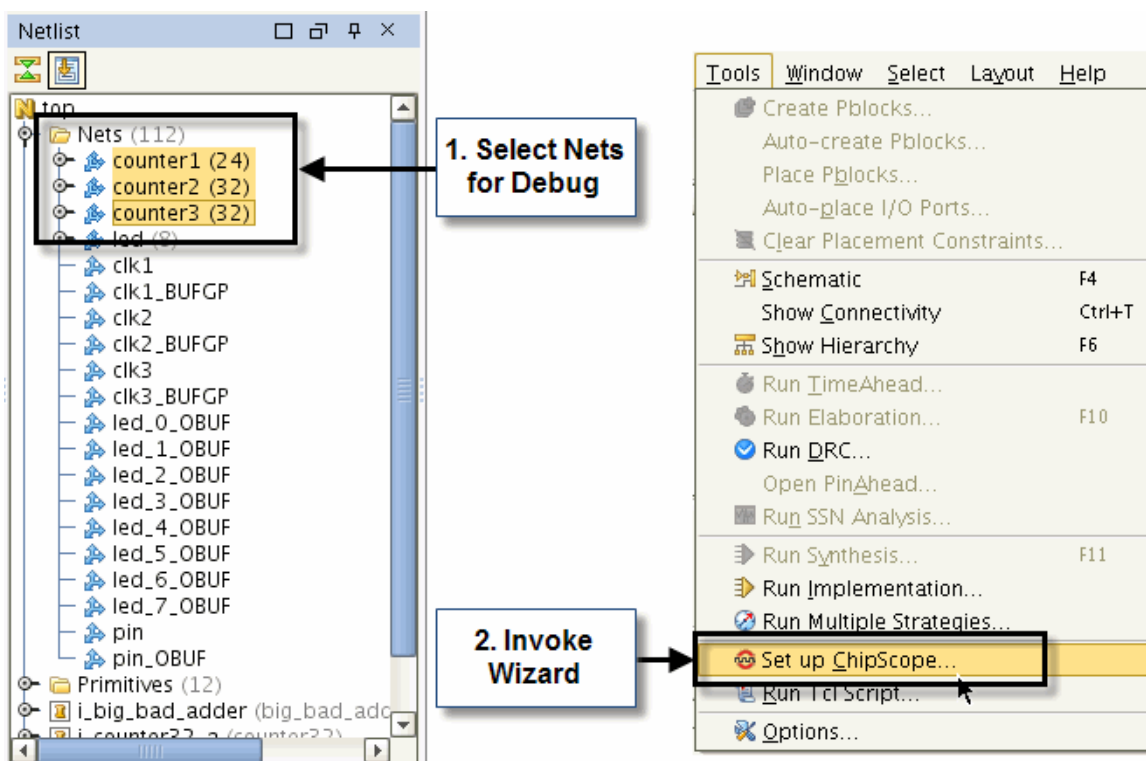


図 11-4 : ネットの選択および ChipScope ウィザードの起動

デバッグするネットおよびクロック ドメインの指定

ChipScope ウィザードでは、選択した各ネットまたはバスに対し、正しいクロックを自動検出します (図 11-5)。複数のクロックが検出された場合、ドロップダウン リストを使用してクロックを選択できます。さらに、[Add/Remove Nets] ボタンをクリックしてネットを選択/選択解除できます。各ネットまたはバスは、トリガ、データ、またはその両方として使用できるよう設定できます。ネットおよびクロックの設定が正しい場合は、[Next] をクリックしサマリ ページに進みます。

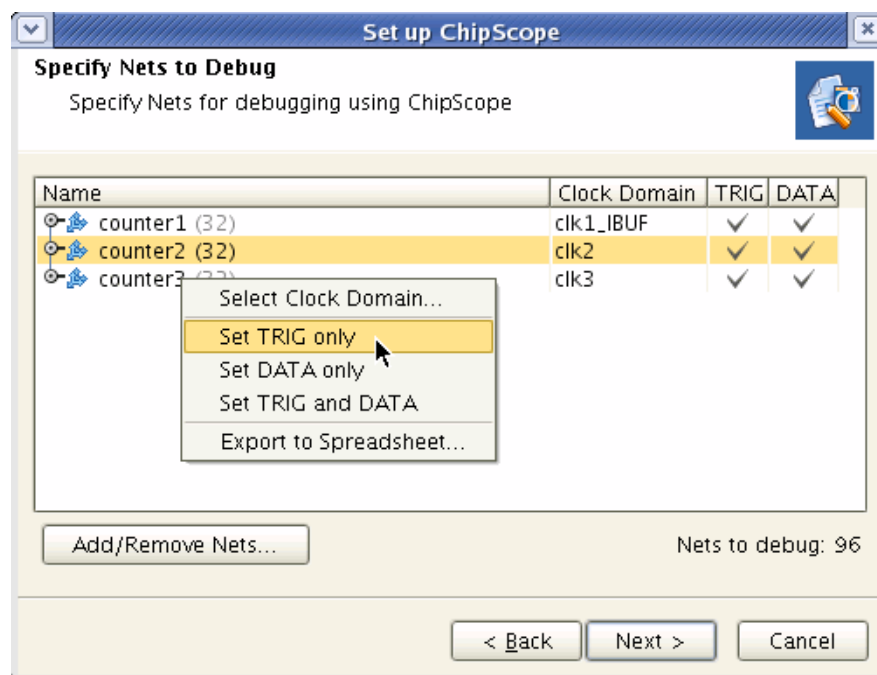


図 11-5 : デバッグするネットおよびクロック ドメインの指定

ILA コアの挿入

ChipScope ウィザードでは、クロック ドメインにつき 1 つの ILA コアを挿入します。デバッグのために選択されたネットは、インスタンス化された ILA コアのトリガおよびデータ ポートとして自動的に割り当てられます。ウィザードの最終画面はコア作成のまとめのページで、検出された

クロック数、作成および削除される ILA コアの数が表示されます (図 11-6)。内容を確認したら [Finish] をクリックし、デザインに ILA コアをインスタンスエートおよび接続します。

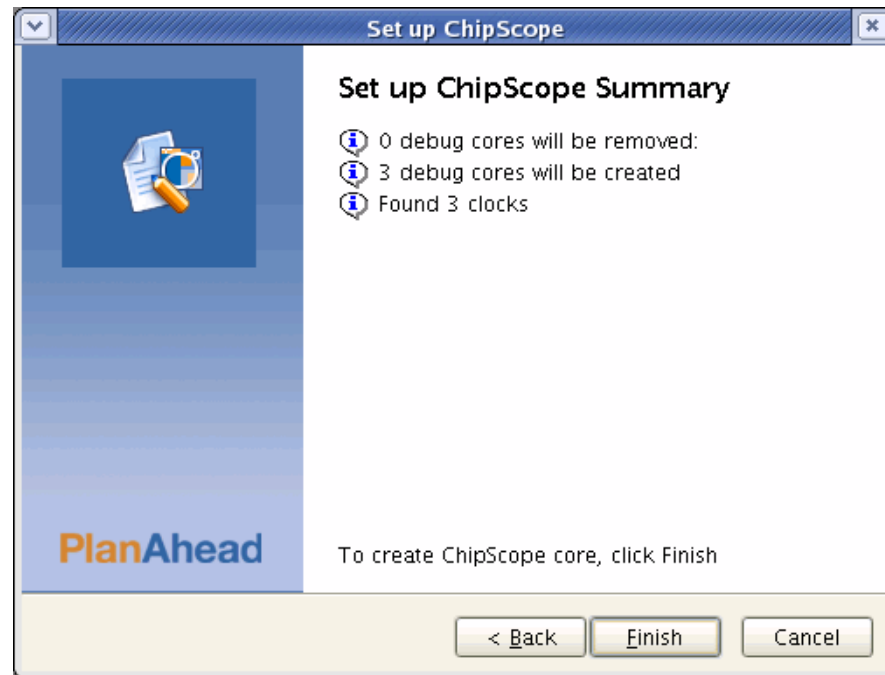


図 11-6 : ILA コアのデザインへの挿入

ChipScope ウィンドウを使用したデバッグ コアの追加とカスタマイズ

ILA コア挿入に対する詳細な設定は、ChipScope ウィザードではできないので、[ChipScope] ウィンドウを使用します。このウィンドウでは、コアの作成および削除、ネット接続のデバッグ、およびコア パラメタの変更を設定できます。[ChipScope] ウィンドウを表示するには、[Window] → [ChipScope] をクリックします (図 11-7)。

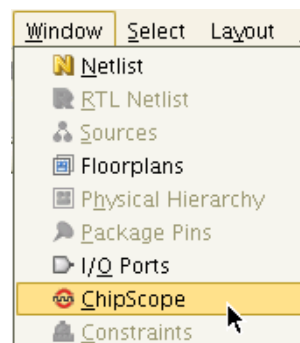


図 11-7 : ChipScope ウィンドウを開く

[ChipScope] ウィンドウは、PlanAhead のメイン ウィンドウの下にある [ChipScope] タブをクリックして開くこともできます (図 11-8)。

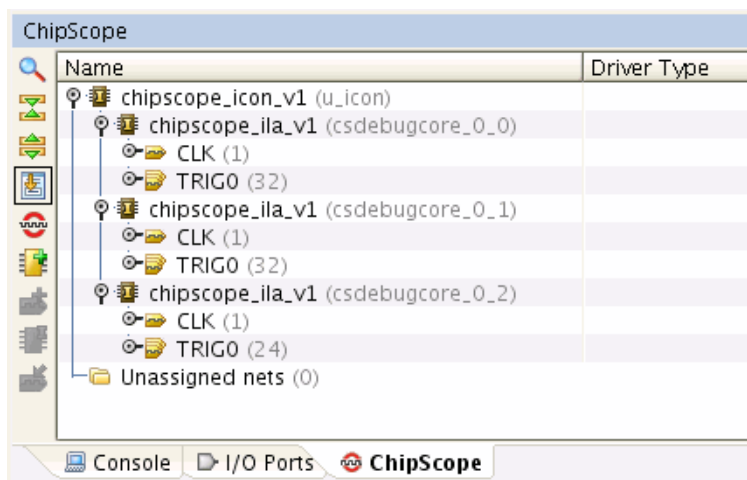


図 11-8 : [ChipScope] ウィンドウ

[ChipScope] ウィンドウには、ICON コントローラ コアに接続されたデバッグ コアのリストが表示され、このウィンドウの下部に、未割り当てのネットのリストも管理されます。デバッグ コアおよびポートは、ポップアップ メニューまたはウィンドウの左側にあるツールバーから制御できます。

デバッグ コアの作成および削除

ChipScope デバッグ コアは、[ChipScope] ウィンドウで [Create ChipScope Debug Core] ポップアップ メニューまたはツールバーのボタンをクリックし作成できます。親インスタンスの変更、コア名のデバッグ、コアのパラメータ設定ができます (図 11-9)。既存のデバッグ コアを削除するには、[ChipScope] ウィンドウでコアを選択し、[Delete] ポップアップ メニュー コマンドをクリックします。

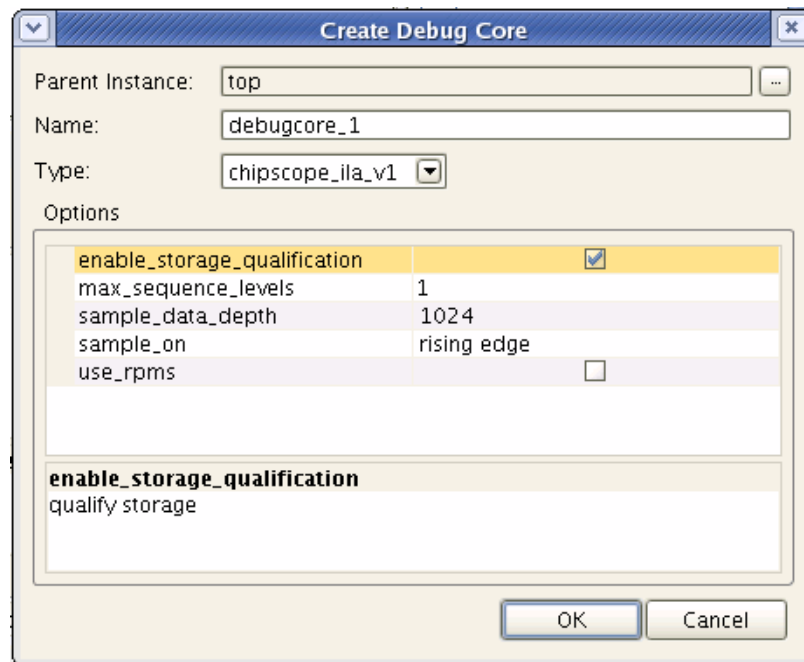


図 11-9 : コアの作成

デバッグ コア ポートの追加、削除、およびカスタマイズ

デバッグ コアの追加および削除だけでなく、各デバッグ コアのポートを追加、削除およびカスタマイズすることができます。ポートを追加するには次の手順に従います。

1. コアを選択します。
2. [Create ChipScope Debug Port] ポップアップ メニュー コマンドまたはツールバーのボタンをクリックします。

[Create Debug Port] ダイアログ ボックスが表示されます。

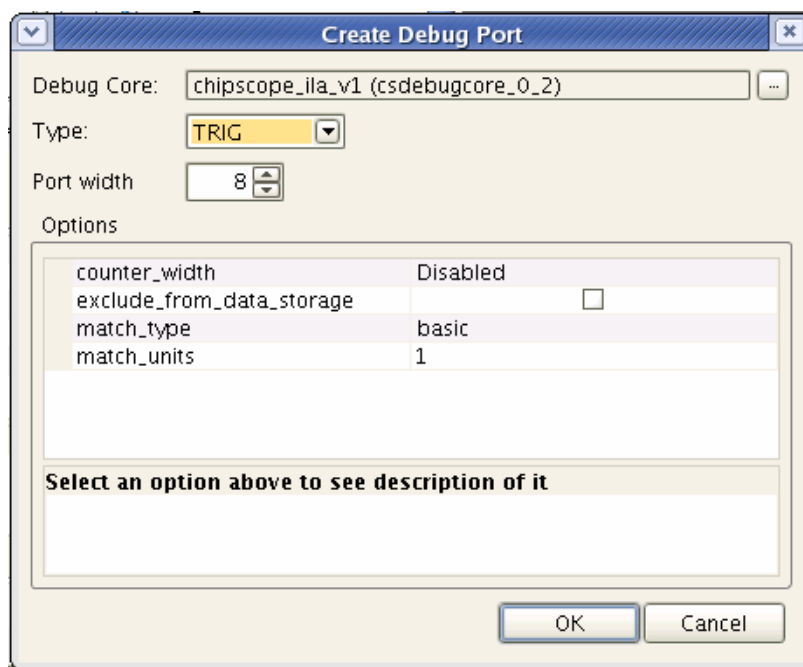


図 11-10 : デバッグ コアのポートのカスタマイズ

3. ドロップダウン リストからポートのタイプを選択します。

[Options] でポートに対しオプションを設定します。ポート幅はデフォルト値が表示されますが、ポートからネットを追加および削除するごとに値が変化します。

4. [OK] をクリックします。

デバッグ ポートを削除するには、[ChipScope] タブでポートを選択し、[Delete] ポップアップ メニュー コマンドをクリックします。

デバッグ コアへのネットの接続および接続解除

ネットおよびバス (ネットのベクタ) は [Schematic] または [Netlist] ウィンドウからデバッグ コアのポートへドラッグ アンド ドロップできます (図 11-11)。これで、選択内容に応じてポートが自動的に拡張します。また、ネットまたはバスを右クリックし、[Assign to ChipScope Debug Port] を選

択することもできます。デバッグ コアのポートからネットの接続を解除するには、ポートに接続されているネットを選択し、[Disconnect Net] ポップアップ メニュー コマンドをクリックします。

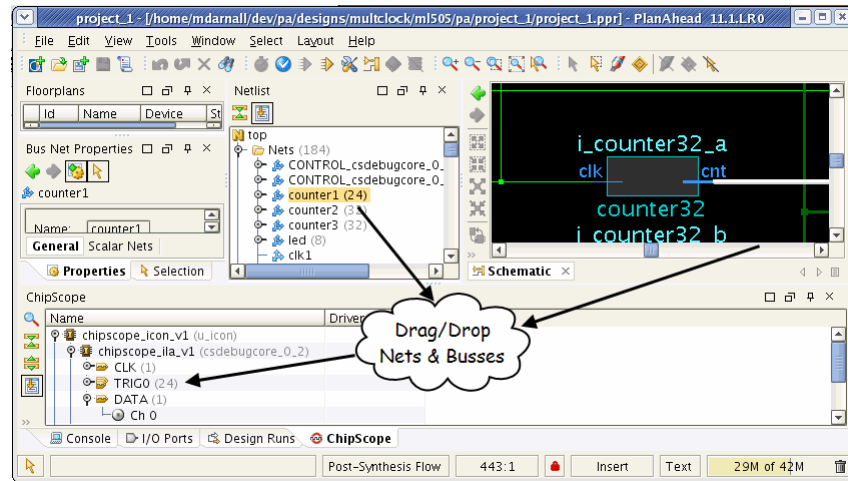


図 11-11 : デバッグ コア ポートへのネットのドラッグ アンド ドロップ

デバッグ コアおよびポート パラメータのカスタマイズ

ChipScope デバッグ コアにはカスタマイズ可能なパラメータがあります。このパラメータにアクセスするには、[ChipScope] ウィンドウで ChipScope デバッグ コアをセンします。[Properties] タブで [Options] をクリックしコア パラメータを設定します (図 11-12)。ポート パラメータは、[Properties] で [Options] タブを選択し、デバッグ コアのトリガまたはデータ ポートをクリックして変更します。

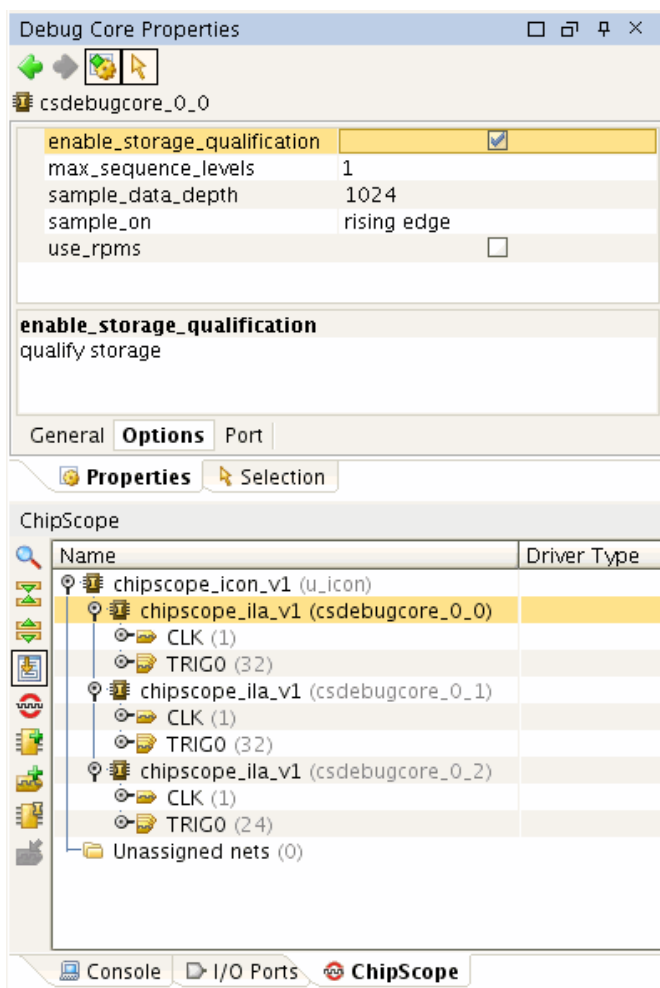


図 11-12 : デバッグ コアのパラメータ

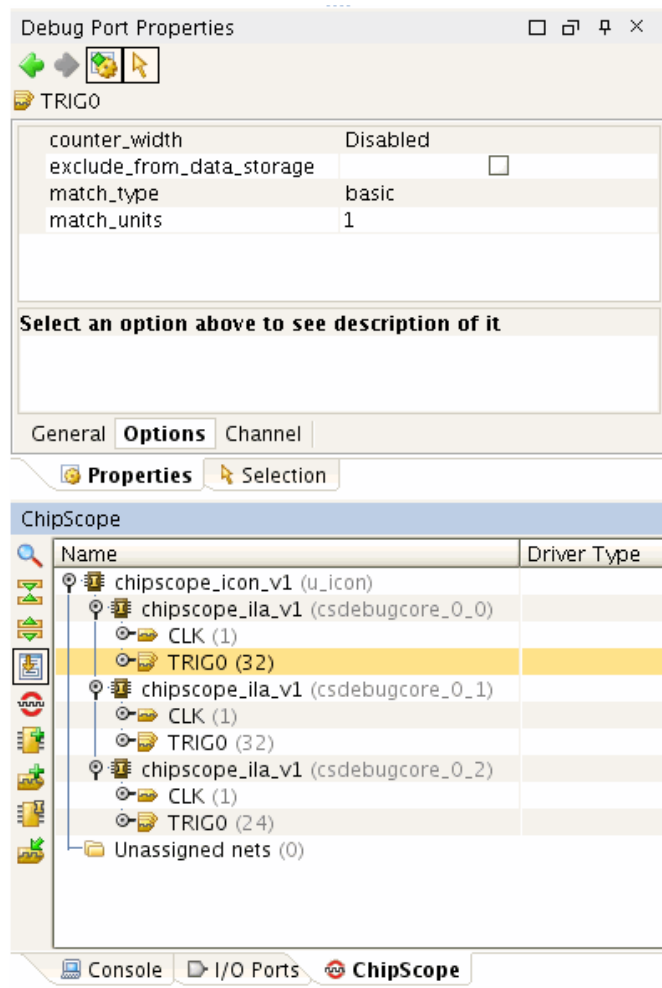


図 11-13 : デバッグ ポートのパラメータ

デバッグ コアのインプリメンテーション

ChipScope Pro の ICON および ILA コアは PlanAhead でブラックボックスとして始めは作成されます。これらのコアはマップ、配置、配線を実行する前にインプリメントしておく必要があります。ChipScope デバッグ コアのインプリメンテーションは、[Tools] → [Run Implementation] をクリックしてインプリメンテーションを実行するときに自動的に実行されます。しかし、[ChipScope] ウィンドウの左側にある [Implement] ボタンをクリックしてフロアプランまたはタイミング解析用にデバッグ コアを手動でインプリメントすることもできます。各ブラック ボックス デバッグ コアに対しザイリンクスの CORE Generator がバッチ モードで起動します。この処理には、多少時間がかかる場合があります。この間、進捗状況を示すダイアログ ボックスが表示されます (図 11-14)。デバッ

グ コアのインプリメンテーションが完了すると、デバッグ コアのブラック ボックスが完了し、生成されたインスタンスをプッシュできます。

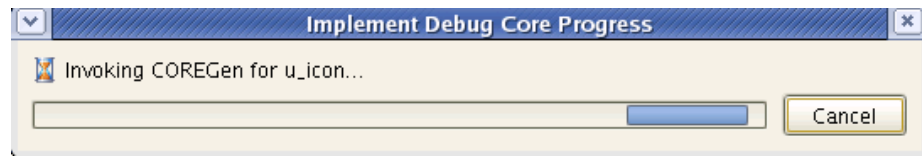


図 11-14 : デバッグ コア インプリメンテーションのステータス バー

ChipScope Analyzer のネット接続の CDC ファイルの使用

ChipScope Analyzer の CDC ファイルはデザイン インプリメンテーションが完了すると自動的に生成されます。[ChipScope] ウィンドウで [Export Debug Net Names] ポップアップ メニュー コマンドを使用し CDC ファイルを手動でエクスポートすることもできます。この CDC ファイルは ChipScope Analyzer にインポートされ、ILA コア データおよびトリガ ポートのネット名を自動的に設定します。

デザインのインプリメンテーション

ChipScope デバッグ コアが作成され接続されたら、標準 PlanAhead インプリメンテーション フローを実行しデバイスのビットストリームを作成することができます。このインプリメンテーション フローは [Tools] → [Run Implementation] をクリックして開始できます。

ChipScope Analyzer の起動

ChipScope Pro Analyzer がインストールされている場合は PlanAhead から直接起動することができます。ChipScope Pro Analyzer を起動する前に、[Run Bitgen] ポップアップ メニュー コマンドを使用し、デザインの最新ビットストリームが作成されていることを確認します。ChipScope Pro Analyzer を起動するには次のいずれかの操作を実行します。

- [ChipScope] タブをクリックし、右クリックでアクセスできる [Launch ChipScope Analyzer] を選択します。
- [Design Runs] タブをクリックし、右クリックでアクセスできる [Launch ChipScope Analyzer] を選択します。

PlanAhead が起動すると、ビットストリーム ファイル (BIT ファイル) および CDC ファイルが自動的に ChipScope Pro Analyzer に渡されます。

メニューおよびツールバー コマンド

この付録には、次の PlanAhead コマンドに対するクイック リファレンスが含まれています。

- 「メイン メニュー コマンド」
- 「ツールバー コマンド」

メイン メニュー コマンド

次の表に、PlanAhead ソフトウェアのメイン メニュー コマンドを示します。ウィンドウのポップ アップ メニュー コマンドは、このマニュアルの別の章を参照してください。

コマンドには、特定の PlanAhead モードでのみ使用できるものがあります。使用できないコマンドは、ディスエーブルされるかグレー表示されています。

[File] メニュー

[File] メニューには、次のコマンドが含まれています。

表 A-1 : [File] メニューのコマンド

コマンド	説明
New Project	新しいプロジェクトを作成するための New Project ウィザードを起動します。
Open Project	PlanAhead で以前に保存された既存のプロジェクト ファイルを開きます。プロジェクトを開くと、そのプロジェクトに関連する以前に開いたフロアプランもすべて開きます。また、ISE®でのインプリメンテーション実行すべての最新のステータスも復元されます。
Reopen Project	以前に開いたプロジェクトのリストからプロジェクトを開きます。
Save Project	作業中のプロジェクトを保存します。
Save Project As	作業中のプロジェクトを別名または別のディレクトリで保存します。
Close Project	作業中のプロジェクトを閉じます。変更が保存されていない場合は、保存を尋ねるダイアログ ボックスが表示されます。
New Floorplan	新しいフロアプランを作成するための New Floorplan ウィザードを起動します。
Reopen Floorplan	以前に開いたフロアプランのリストからフロアプランを開きます。
Save Floorplan	プロジェクトのフロアプランを保存します。変更が保存されていない場合は、保存を尋ねるダイアログ ボックスが表示されます。

表 A-1 : [File] メニューのコマンド (続き)

Save Floorplan As	フロアプランを別名でまたは別のディレクトリに保存します。元のフロアプランは閉じられて、プロジェクト内に保存されます。
Copy Floorplan	フロアプランおよび適用可能な物理制約を新しいターゲット デバイスにコピーします。
Close Floorplan	プロジェクト内のアクティブなフロアプランまたは選択した複数のフロアプランを閉じます。閉じたフロアプランはプロジェクト内に含まれており、[Floorplans] ウィンドウで開くことができます。
Revert Floorplan	最後に保存してからフロアプランで実行された操作をすべて取り消し、元の状態のフロアプランに戻します。
Delete Floorplan	プロジェクト内のアクティブなフロアプランまたは選択した複数のフロアプランを閉じて、ディレクトリから削除します。
Add Sources	ソース ファイルまたはディレクトリ全体をプロジェクトに追加します。
Create Source	[New Source File] ダイアログ ボックスが開き、ソース ファイルを作成します。
Import I/O Ports	ピンの割り当てのために CSV (カンマ区切り) または HDL ファイルのポート リストをインポートします。
Import Constraints	表示されているフロアプランに制約をインポートします。[Import Constraints] ダイアログ ボックスで制約ファイル (UCF) を選択します。
Import Placement	個々の Pblock またはデザイン全体に ISE の配置結果 (XDL フォーマット) をインポートします。
Import TRCE Results	ザイリンクス TRCE レポートの結果をインポートします。
Update Netlist	モジュールレベルのネットリストを更新するために Update Netlist ウィザードを起動します。
Export Netlist	[Export Netlist] ダイアログ ボックスが開き、ISE で使用する EDIF ネットリスト ファイルをエクスポートします。
Export Constraints	[Export Constraints] ダイアログ ボックスが開き、ISE で使用するフロアプラン制約をエクスポートします。
Export Pblocks	選択した Pblock または複数の Pblock のネットリストおよび物理制約ファイルをエクスポートします。
Export IP	ハード IP を再利用できるように、論理フォーマットの論理インスタンスを配置制約と共にエクスポートします。配置制約は、LOC、BEL、RLOC、および SLICE 制約を使用して作成できます。
Export I/O Ports	PCB 回路シンボルまたは RTL ヘッダ生成に使用する CSV (カンマ区切り) フォーマット、UCF (ユーザー制約ファイル)、または HDL ファイルのポート リストをエクスポートします。
Print	作業中のウィンドウを印刷します。このコマンドは、[Schematic] ウィンドウ、[Device] ウィンドウ、[Package] ウィンドウ、または [Hierarchy] ウィンドウが開いているときにのみ使用できます。
Exit	アプリケーションを終了します。

[Edit] メニュー

[Edit] メニューには、次のコマンドが含まれています。

表 A-2 : [Edit] メニューのコマンド

コマンド	説明
Properties	現在選択されているオブジェクトの詳細情報を示す [Properties] ウィンドウを表示します。
Delete	現在選択されているオブジェクトを削除します。
Unplace	選択したプリミティブ インスタンスおよび I/O ポートの配置を解除します。
Undo	作業中のセッションで直前に実行した Tcl コマンドを取り消します。
Redo	最後に実行した [Undo] コマンドをやり直します。
Cut	選択したテキストをエディタから切り取り、クリップボードに貼り付けます。
Copy	クリップボードに選択したオブジェクトをコピーします。現段階では、フロアプランおよび タイミング制約のみをコピーできます。
Paste	クリップボードの内容を貼り付けます。
Find	[Find] ダイアログ ボックスを開いて特定のインスタンスまたはネットを検索します。
Find in Files	[Find in Files] ダイアログ ボックスが開き、選択したファイルで文字列を検索します。

[View] メニュー

[View] メニューには、次のコマンドが含まれています。

表 A-3 : [View] メニューのコマンド

コマンド	説明
Zoom In	アクティブなグラフィック ウィンドウを 200% 拡大して表示します。
Zoom Out	アクティブなグラフィック ウィンドウを 50% 縮小して表示します。
Zoom Fit	アクティブなグラフィック ウィンドウの内容全体をフィットさせます。
Zoom Area	アクティブなウィンドウで長方形を描画して、そのエリアを拡大表示します。
Fit Selection	ズーム レベルを調整してアクティブなウィンドウに選択したアイテムをすべてフィットさせます。
Fit Highlight	ズーム レベルを調整してアクティブなウィンドウにハイライトしたアイテムをすべてフィットさせます。
Fit Markers	ズーム レベルを調整してアクティブなウィンドウにマークを付けたアイテムをすべてフィットさせます。
Refresh	アクティブなウィンドウでグラフィックを再描画します。

[Tools] メニュー

[Tools] メニューには、次のコマンドが含まれています。

表 A-4 : [Tools] メニューのコマンド

コマンド	説明
Create Pblocks	Create Pblock ウィザードで、選択したインスタンスを割り当てた Pblock を複数作成します。
Auto-create Pblocks	[Auto-create Pblock] ダイアログ ボックスが開き、Pblock ヘインスタンスが自動的に配置され、名前が付けられます。
Place Pblocks	[Place Pblocks] ダイアログ ボックスで Pblock のサイズを自動的に変更して配置します。
Auto-place I/O Ports	デバイス全体または選択した部分を I/O バンク規則、差動ペア規則、およびグローバル クロック ピン規則に従って配置します。これは、PinAhead の機能の 1 つです。
Clear Placement Constraints	Clear Placement Constraints ウィザードを起動して、ポートまたは配置ロケーション制約を選択して削除します。
Schematic	ワークスペースに新しい [Schematic] ウィンドウを開いて、現在選択されているエレメントの回路図を開きます。
Show Connectivity	選択したインスタンス、ネット、または Pblock に接続されているエレメントを選択します。このコマンドを連続して使用し、ロジック コーンをファンアウトまたは選択できます。
Show Hierarchy	ワークスペースに [Hierarchy] ウィンドウを開き、ロジック階層全体をグラフィック表示します。ツリー内の選択されたロジックは、ハイライトされます。
Run TimeAhead	[Run TimeAhead] ダイアログ ボックスを開いて、TimeAhead スタティック タイミング アナライザの設定をカスタマイズして実行します。
Run Elaboration	RTL 解析およびエラーポレーション機能を起動し、リソース予測および RTL 回路図操作が可能になります。
Run DRC	[Run DRC] ダイアログ ボックスを開いて、デザイン ルール チェック (DRC) の設定をカスタマイズして実行します。
Open PinAhead	PinAhead 環境レイアウトを開き、デザインおよびデバイスの I/O 要件を満たすように I/O ピン配置を定義します。
Run SSN Analysis	[Run SSN Analysis] ダイアログ ボックスを開いて SSN 解析レポートを生成します。
Run WASSO Analysis	[Run WASSO Analysis] ダイアログ ボックスを開いて WASSO 解析レポートを生成します。
Run Synthesis	[Run Synthesis] ダイアログ ボックスが開き、合成実行の作成および起動ができます。
Run Implementation	[Run Implementation] ダイアログ ボックスが競うし、1 つまたは複数のホストでインプリメンテーション ストラテジを実行します (Linux のみ)。
Run Multiple Strategies	[Run Multiple Strategies] ダイアログ ボックスが開き、合成実行を設定します。

表 A-4 : [Tools] メニューのコマンド (続き)

Run Tcl Script	[Run Script] ダイアログ ボックスで Tcl スクリプト ファイルを選択して実行します。
Options	[Options] ダイアログ ボックスを開いて、表示、選択、ショートカットのオプション、ストラテジなどを設定します。

[Window] メニュー

[Window] メニューには、次のコマンドが含まれています。

表 A-5 : [Window] メニューのコマンド

コマンド	説明
Netlist	[Netlist] ウィンドウを表示します。
RTL Netlist	[RTL] ウィンドウを表示します。
Sources	[Sources] ウィンドウを表示します。
Floorplans	[Floorplans] ウィンドウを開きます。
Physical Hierarchy	[Physical Hierarchy] ウィンドウを表示します。
Package Pins	[Package Pins] ウィンドウを表示します。
I/O Ports	[I/O Ports] ウィンドウを表示します。
ChipScope	[ChipScope] ウィンドウを表示します。
Constraints	[Constraints] ウィンドウを表示します。
Clock Regions	[Clock Regions] ウィンドウを表示します。
Metrics	[Metrics] ウィンドウを開きます。
Selection	[Selection] ウィンドウを表示します。
World	[World] ウィンドウを表示します。
Console	[Console] ウィンドウを表示します。
Timing Results	[Timing Results] ウィンドウにタイミング結果を表示します。
DRC Results	[DRC Results] ウィンドウに DRC 結果を表示します。
WASSO Results	[WASSO Results] ウィンドウを表示します。
SSN Results	[SSN Results] ウィンドウを表示します。
Find Results	[Find Results] ウィンドウに検索したオブジェクトを表示します。
Find in Files Results	[Find in Files] ウィンドウに検索したオブジェクトを表示します。
Elaboration Log	[Elaborate Design] コマンドの結果ログを表示します。
Design Runs	[Design Runs] ウィンドウに実行を表示します。
Metric Results	[Metrics Results] ウィンドウを表示します。
New Device View	ワークスペースに新しい [Device] ウィンドウを開きます。
New Package View	ワークスペースに新しい [Package] ウィンドウを開きます。

表 A-5 : [Window] メニューのコマンド (続き)

View Log File	planAhead.log が開きます。このログ ファイルにはPlanAhead のコマンドを実行したときに生成されるメッセージの内容が含まれています。
View Journal File	planAhead.jou が開きます。このジャーナル ファイルには起動した PlanAhead セッションの TCL コマンドすべてが含まれています。

[Select] メニュー

[Select] メニューには、次のコマンドが含まれています。

表 A-6 : [Select] メニューのコマンド

コマンド	説明
Unselect All	選択したエレメントをすべて選択解除します。
Unselect Type	特定のタイプのエレメントの選択を解除します。
Select Area	アクティブなワークスペースでエリアを選択するためにカーソルで長方形を描画できるようにします。
Highlight	アクティブなハイライト色を使用して選択したオブジェクトをすべてハイライトします。
Unhighlight All	オブジェクトのハイライトをすべて解除します。
Unhighlight	選択したオブジェクトのハイライトを解除します。
Unhighlight Color	指定した色のハイライトを解除します。
Mark	[Device] ウィンドウで選択したオブジェクトにマークを付けます。
Unmark	[Device] ウィンドウでオブジェクトに付けたマークを解除します。
Unmark All	オブジェクトのマークをすべて削除します。
Show Source	エディタを開き、選択したロジックのソースをハイライト表示します。
Show Definition	非プリミティブの RTL インスタンスに制限されますが、RTL エディタを起動し、インスタンス化された Verilog モジュール/VHDL エンティティの定義をハイライトします。

[Layout] メニュー

[Layout] メニューには、次のコマンドが含まれています。

表 A-7 : [Layout] メニューのコマンド

コマンド	説明
Load Default Layout	ユーザー定義のデフォルトのウィンドウ レイアウトがある場合は、そのレイアウトが読み込まれます。
Save as Default Layout	現在のウィンドウ設定をデフォルトとして保存して、 PlanAhead の起動時に使用します。このレイアウトは PlanAhead が起動するたびに使用されます。 Windows では、次のディレクトリにファイルが保存されます。 <code>C:\Documents and Settings\<username>\Application Data\HDI\layouts\application_layout\default.layout</code> Linux または Solaris では、次のディレクトリにファイルが保存されます。 <code>~/ .HDI/layouts/application_layout/default.layout</code>
Clear Default Layout	現在のユーザー定義のデフォルト レイアウトを消去します。
Save Layout As	現在のウィンドウ設定をユーザー定義の名前で保存します。これらのレイアウトは、 PlanAhead の起動時に手動で読み込むことができます。 Windows では、次のディレクトリにファイルが保存されます。 <code>C:\Documents and Settings\<username>\Application Data\HDI\layouts\floorplan_layout\<layoutname>.layout</code> Linux または Solaris では、次のディレクトリにファイルが保存されます。 <code>~/ .HDI/layouts/application_layout/<layoutname>.layout</code>
Load Layout	以前に保存したレイアウト、デフォルトの PlanAhead レイアウト、または PlanAhead で提供されるその他のレイアウトを読み込みます。
Remove Layout	以前に保存したユーザー定義のレイアウトを削除します。
Undo	最後に実行したコマンドを取り消します。
Redo	最後に実行した [Undo] コマンドをやり直します。

[Help] メニュー

[Help] メニューには、次のコマンドが含まれています。

表 A-8 : [Help] メニューのコマンド

名前	説明
PlanAhead User Guide	『PlanAhead ユーザー ガイド』を別のウィンドウに開きます。
PlanAhead Methodology Guide	『PlanAhead Methodology Guide』を別のウィンドウに開きます。
Tutorial	PlanAhead のチュートリアルを別のウィンドウに開きます。
Release Notes	『PlanAhead Release Notes』を別のウィンドウに開きます。
Check for Updates	ザイリンクスの Web サイトにソフトウェア アップデートがあるかを確認し、アップデートが可能な場合はインストールするためのメッセージが表示されます。

表 A-8：[Help] メニューのコマンド (続き)

名前	説明
License	XLCM (Xilinx License Configuration Manager) を起動しソフトウェア ライセンスを確認・管理します。ソフトウェア ライセンスには FLEXnet Publisher が使用されています。XLCM はライセンスを識別するために使用します。
PlanAhead on the Web	デフォルト ブラウザに、ザイリンクスのウェブサイトの PlanAhead のページを開きます。
Getting Started	Getting Started ページを開きます。
About PlanAhead	PlanAhead のバージョン情報および著作権情報を表示します。

ツールバー コマンド

PlanAhead には、よく使用されるコマンドを含むツールバーがあります。次の表に、各コマンドのツールバー ボタンおよびショートカット キーを示します。

表 A-9：ツールバー コマンド

ツール バー	コマンド名	ショート カット キー	説明
	New Project		New Project ウィザードを開きます。
	Open Project		[Open Project] ダイアログ ボックスを開きます。
	New Floorplan		New Floorplan ウィザードを開きます。
	Save Project	Ctrl + S	現在のフロアプラン名でプロジェクトを保存します。
	Run Tcl Script		[Run Script] ダイアログ ボックスが開き Tcl スクリプトを選択・実行できます。
	Undo	Ctrl + Z	アクティブな PlanAhead セッションで実行したコマンドを取り消します。
	Redo	Shift Ctrl+Z	アクティブな PlanAhead セッションで取り消したコマンドをやり直します。
	Delete	Delete	現在選択されているアイテムを削除します。
	Find	Ctrl + F	[Find] ダイアログ ボックスを開いて特定のデザイン エレメントを検索します。
	Run TimeAhead		[Run TimeAhead] ダイアログ ボックスを開いて、スタティック タイミング解析を実行します。
	Run DRC		[Run DRC] ダイアログ ボックスを開いて、デザイン ルール チェック (DRC) を実行します。

表 A-9 : ツールバー コマンド (続き)

	Run Synthesis	F11	[Run Synthesis] ダイアログ ボックスが開き、合成実行の作成および起動ができます。
	Run Implementation		[Run Implementation] ダイアログ ボックスが開き、1 つまたは複数のホストでインプリメンテーション ストラテジを実行します (Linux のみ)。
	Options		[PlanAhead Options] ダイアログ ボックスを開きます。
	Schematic	F4	ワークスペースに新しい [Schematic] ウィンドウを開き、あらかじめ選択してあったエレメントを表示します。
	New Device View		ワークスペースに新しい [Device] ウィンドウを開きます。
	Clear Placement Constraints		Clear Placement Constraints ウィザードが開きます。このウィザードは、あらかじめ選択したオブジェクトに基づいています。
	Zoom In	Ctrl + I	アクティブなウィンドウを拡大表示します。
	Zoom Out	Ctrl + O	アクティブなウィンドウを縮小表示します。
	Zoom Area	Ctrl + R	ユーザー定義の長方形エリアを拡大表示します。
	Zoom Fit	Ctrl + G	アクティブなウィンドウ表示をフィットさせます。
	Fit Selection	F9	選択したオブジェクトすべてを表示するようにアクティブなワークスペースをフィットさせます。
	Select Mode		標準の選択モードに設定します。
	Select Area		エリア選択モードに設定します。
	Highlight		選択したオブジェクトをハイライトします。
	Mark	Ctrl + M	[Device] ウィンドウで選択したオブジェクトにマークを付けます。
	Unhighlight All	Ctrl + K	オブジェクトのハイライトをすべて解除します。
	Unmark All		オブジェクトのマークをすべて削除します。
	Unselect All	F12	選択したエレメントをすべて選択解除します。

XilinxUpdate を使用したインストール

メモ：この章の説明は、PlanAhead™ のフルバージョンにのみ適用されます。

この付録は、次のセクションから構成されています。

- [「PlanAhead のリリース ストラテジ」](#)
- [「XilinxUpdate の実行」](#)
- [「アップデートの自動検出」](#)

PlanAhead のリリース ストラテジ

PlanAhead ソフトウェアのリリース ストラテジは、ほかのザイリンクス ソフトウェア ツールと同様です。新しい技術の導入や、カスタマに迅速に対応するため、定期的に新規リリースが入手できるようになっています。このリリースのバージョンは (11.1、11.2...) です。[Help] → [About PlanAhead] をクリックすると、現在インストールされている PlanAhead のバージョンを確認できます。

新しいリリースを確認するには、[Help] → [Check for Updates] をクリックします。

ザイリンクス ツール インストールの詳細は、『ISE Design Suite 11 : インストール、ライセンス、およびリリース ノート』を参照してください。

XilinxUpdate の実行

PlanAhead に XilinxUpdate ユーティリティが追加され、新しいリリースのダウンロードおよびインストールが実行できるようになりました。このユーティリティではインストールされているすべてのツールを検出し、ザイリンクスの Web サイトにアップデートがある場合はユーザーに通知します。ユーザーは、ザイリンクス ツールのアップデートを選択してインストールできます。

アップデートを確認およびインストールするには、[Help] → [Check for Updates] をクリックします。

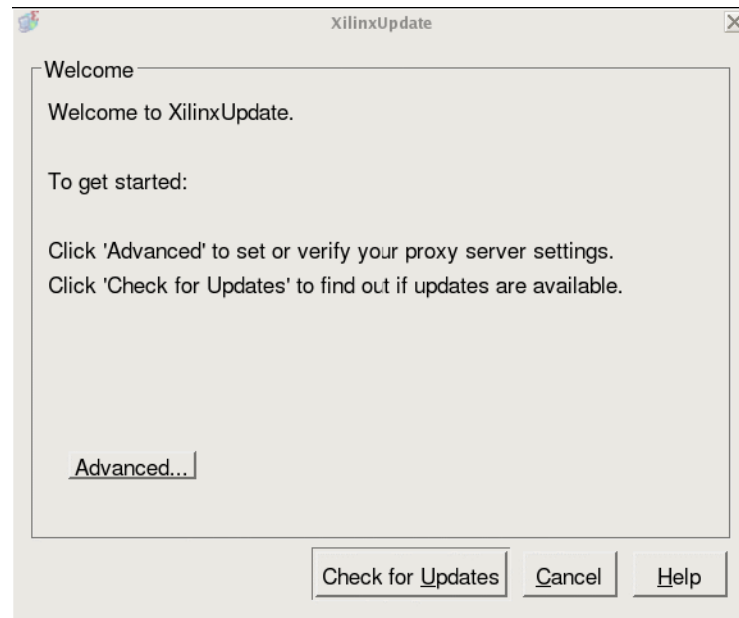


図 B-1 : XilinxUpdate の [Welcome] ページ

[Advanced] ボタンをクリックすると、プロキシ設定の確認および設定ができます。

1. [Check for Updates] ボタンをクリックすると、ザイリンクス Web サイトで確認されたすべての製品のアップデート情報のリストが表示されます。
2. ダイアログ ボックスでアップデートを希望するツールを設定します。
3. [OK] をクリックし、アップデートをダウンロードしてインストールします。

アップデートの自動検出

PlanAhead は、起動のたびにインクリメンタル リリースが自動的に検出されるように設定できます。[Tools] → [Options] をクリックし、[PlanAhead Options] ダイアログ ボックスの [General] ページで、[Automatically check xilinx.com for software updates on startup] をオンにします。

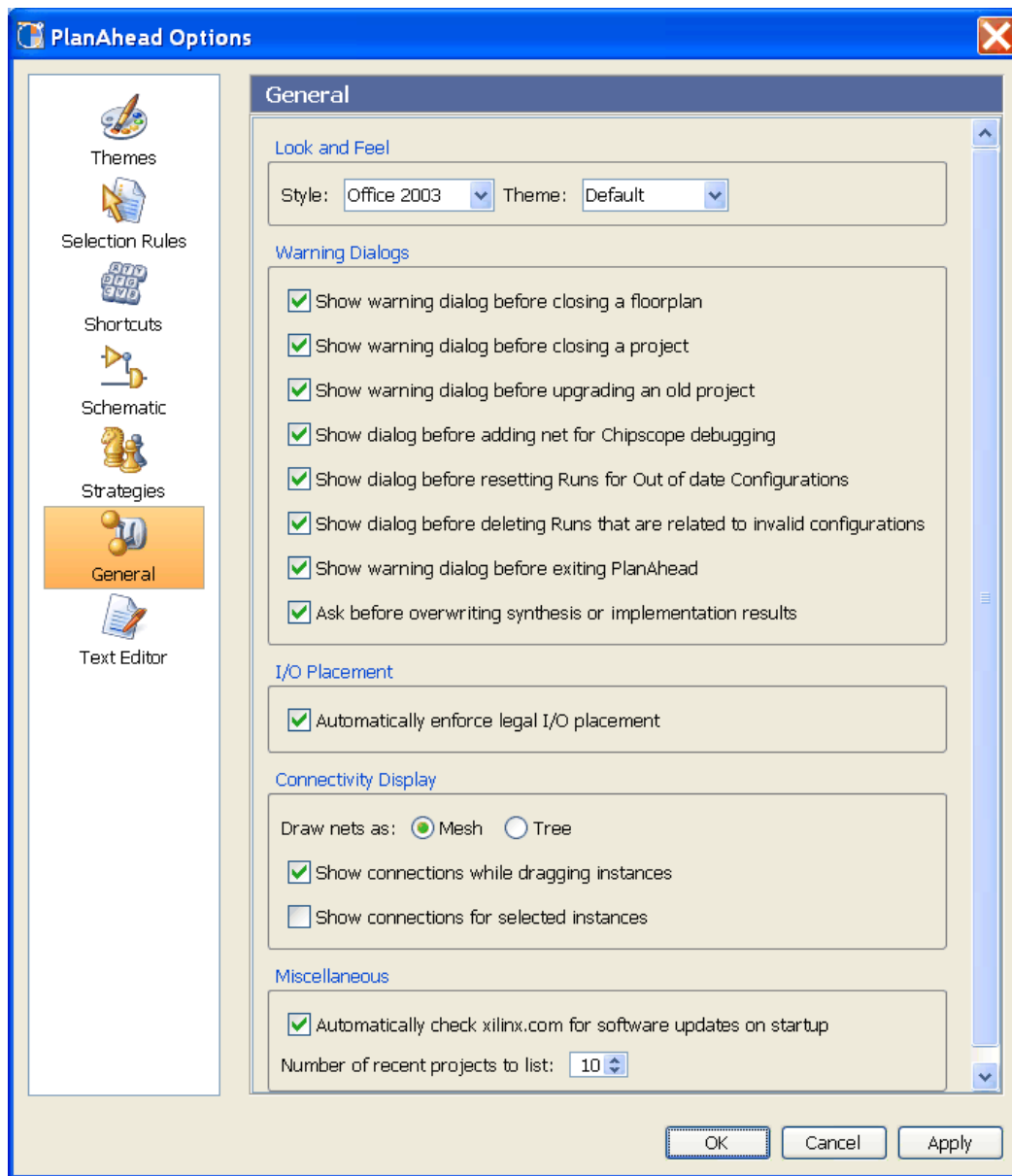


図 B-2 : [Automatically check xilinx.com for software updates on startup] オプション

パスワードなしの SSH の設定

この付録は、次のセクションから構成されています。

- 「SSH の設定」

SSH の設定

PlanAhead™ ソフトウェアを複数のホストで複数実行するには、Linux OS で提供されているサービス、セキュア シェル (SSH) を使用します。PlanAhead で複数ホストを設定する前に SSH を設定しておく、リモートコンピュータにログインするたびにパスワードを入力する必要がありません。SSH は、Linux ターミナルまたはシェルで次のコマンドを入力して設定します。

メモ：これは一度設定しておけば、繰り返し設定する必要はありません。

1. Linux ターミナルまたはシェルで次のコマンドを実行し、パブリック キーをプライマリ コンピュータで生成します。必須ではありませんが、セキュリティ保護のため、プライベート キーを入力および記憶しておくようにします。

```
ssh-keygen -t rsa
```

2. パブリック キーをリモート コンピュータの `authorized_keys` ファイルに追加します。次の `remote_server` には、有効なホスト名を入力します。

```
cat ~/.ssh/id_rsa.pub | ssh remote_server "cat - >>
~/.ssh/authorized_keys"
```

3. プライベート キーを取得するため次のコマンドを実行し、キーを有効にします。

```
ssh-add
```

これで、どのリモート コンピュータでもパスワードを入力せずに使用できます。新しいコンピュータに初めてアクセスする場合は、パスワードを入力するよう求められますが、その次回からは入力する必要はありません。毎回パスワードの入力を求められる場合は、システム管理者に連絡し、パスワードを入力せずに SSH が使用できる Linux アカウントを設定してもらいます。

SSH が設定されたら「リモート ホストの設定 (Linux のみ)」に進んでください。

索引

C

ChipScope

- ChipScope Analyzer の起動 348
- インプリメント 348
- コア挿入の使用 337
- 統合 335

Console ウィンドウ 105

- Tcl ヘルプの使用 106
- コマンド ラインの使用 106

Constraints ウィンドウ 248

- タイミング制約の削除 251
- タイミング制約の値の変更 250
- 新しいタイミング制約の追加 250

CSV ポート リスト「PinAhead - CSV ファイル」を参照

D

DCI_CASCADE 制約 149

Design Runs ウィンドウ

- BitGen の実行 212
- Import Run ダイアログ ボックス 208, 210

Device ウィンドウ 131, 224

- I/O ポートの配置 143
- デバイス リソースの表示 226
- 印刷 229
- 複数の Device ウィンドウの表示 230
- クロック領域の表示 228

DRC 263

- DRC の実行 263
- I/O ピンおよびクロック ルール 153, 155
- I/O 関連 127, 143
- RTL 関連 181
- エラーの表示 154, 182, 265
- ルールについて 155, 183, 266
- ルールの説明 183

DRC の実行 181

F

Floorplan Editor

- PlanAhead への移行 88

Floorplanner

PlanAhead への移行 92

Floorplan タブ

- Pblock の操作
- Pblock の削除 306

G

Getting Started 38

H

HDL エディタ 174

HDL フォーマット ヘッダ「PinAhead」を参照

Hierarchy ウィンドウ 240

I

I/O Ports ウィンドウ 128

I/O ネット「接続」を参照

I/O ピンの配置「PinAhead」を参照

I/O ポート インターフェイスの作成 141

I/O ポートの作成 138

IP 再利用 331

ISE

- インプリメンテーション 217
- 配置およびタイミング結果 277

ISE 統合「Project Navigator との統合」を参照

M

Metrics ウィンドウ 287

- Device ウィンドウでのメトリックの表示 288

Metrics Results ウィンドウの使用 289

- メトリック マップの非表示 288
- メトリック範囲の設定 289

N

Netlist ウィンドウ 243

- Netlist ウィンドウでのロジックの選択 224

Netlist ウィンドウのアイコンの説明 246

Nets フォルダの使用 246

Primitives フォルダの使用 245

- ウィンドウのポップアップメニュー コマンド 247
- ネットリスト ツリーの非展開 244

New Device ウィンドウ 230

P

PlanAhead Options ダイアログ ボックス 112

PACE

PlanAhead への移行 88

Package Pins ウィンドウ 129

I/O ピンの使用禁止

Package ウィンドウ 130

I/O ピンの使用禁止

I/O ポートの配置 143

パッケージ ピンのプロパティの表示 132

差動 I/O ペアの表示 130

印刷 131

Pblock「フロアプラン」を参照

Physical Hierarchy ウィンドウ 251

Physical Hierarchy ウィンドウのアイコンの説明 252

ROOT Pblock の使用 252

相対配置マクロ (RPM) での作業 253

PinAhead 125

CSV ファイル

- インポート 136
- エクスポート 165
- ユーザー列 138
- 内容 136

Device ウィンドウ 131

DRC「DRC」を参照

GT I/O ポートの配置 148

HDL ファイル

- I/O ポートのインポート 138

I/O Ports ウィンドウ 128

I/O バンク リソースの表示 133

I/O ピンの使用禁止 141

I/O ポート インターフェイスの作成 127, 128, 141

I/O ポートのインポート 136

I/O ポートの作成 138

I/O ポートの自動配置 127, 147

I/O ポートの設定 139
 I/O ポートの配置 143
 DRC の使用 143
 I/O バンクへの配置 143
 I/O 関連のクロック ロジックの配置 148
 I/O ポートの配置
 順次配置 146
 定義された領域への配置 145
 Package Pins ウィンドウ 129
 Package ウィンドウ 130
 UCF ファイル
 I/O ポートのインポート 138
 WASSO 解析の設定 159
 起動 96, 126
 クロック領域リソースの表示 134
 デバイス リソース 132
 デフォルトのレイアウト 96
 レイアウト 85
 PinAhead の起動 85, 126, 96
 PlanAhead 製品概要 5
 PlanAhead デフォルト レイアウト 86
 PlanAhead と ChipScope の統合 335
 PlanAhead と Project Navigator の統合 81
 PlanAhead のコンフィギュレーション
 ソフトウェアアップデートの確認 359
 バンドル ネットのデフォルトの変更 316
 PlanAhead の開始
 Getting Started ページの使用 40
 PlanAhead 出力
 コマンド ログおよびレポート
 エラー レポート ファイル 25
 24
 CSV ファイル 24
 ISE インプリメンテーション データ
 ChipScope コア ネットリスト 32
 EDIF ネットリスト 30
 ISE 実行スクリプト 33
 制約ファイル 32
 30
 実行ディレクトリ 30
 RTL ファイル 24
 環境デフォルト 26
 ISE インプリメンテーション
 ストラテジ ファイル 27
 ショートカットの定義 27

初期化ファイル 26
 デフォルトのレイアウト表示 27
 コマンド ログおよびレポート 24
 DRC 結果ファイル 25
 TimeAhead の結果および制約ファイル 25
 WASSO 解析レポート 26
 エラー レポート ファイル 25
 デザインの論理ネットリスト
 および Pblock 統計レポート
 ファイル 25
 コマンド ジャーナル ファイル 25
 コマンド ログ ファイル 25
 プロジェクト データ 27
 プロジェクト ディレクトリ 28
 プロジェクト データ ディレクトリ 29, 28
 プロジェクト ファイル 28
 フロアプラン データ ディレクトリ 28
 プロジェクト ネットリスト 28
 PlanAhead の開始 37
 Tcl スタートアップ スクリプトの使用 39
 起動 37
 コマンド ライン オプション 38
 PlanAhead の起動 37
 PlanAhead の実行 37
 PlanAhead の入力 21
 CSV ファイル 22
 HDL ファイル 23
 ISE TRCE タイミング結果 24
 ISE 配置結果 23
 RTL ファイル 22
 最上位ネットリスト 23
 制約ファイル 22, 23
 モジュール レベルのネットリスト
 およびコア 23
 フロアプラン
 Pblock の操作
 Pblock へのロジックの割り当て 302
 Project Navigator との統合 81
 I/O ピン割り当て (合成後) 83
 I/O ピン割り当て (合成前) 82
 エリア/IO/ロジックのフロアプラン (合成後) 84

タイミング解析/デザインのプロア
 プラン (インプリメンテーション
 後) 84, 88
 Properties ウィンドウ 241
 接続
 バンドル ネットのデフォルトの
 変更 PlanAhead のコンフィギュ
 レーション
 バンドル ネットのデフォルト
 の変更 316
 PlanAhead のコンフィギュレーション
 ツールのショートカット キーの設
 定 118
 表示オプションの設定 112

R

RTL Hierarchy ウィンドウ 178
 RTL エディタ 174
 ウィンドウのポップアップ メ
 ニュー コマンド 174
 RTL デザインのエラボレーション
 176
 フィルタの使用 177
 結果の表示 177
 RTL ネットリストのウィンドウ 177
 ウィンドウのポップアップ メ
 ニュー コマンド 178
 リソースの見積り 179
 RTL 回路図ウィンドウ 180

S

Schematic ウィンドウ 230
 ウィンドウのポップアップ メ
 ニュー コマンド 235
 オブジェクトの選択 235
 タイミング パス ロジックの表示
 239
 選択したピンからのロジックの展
 開表示 232
 印刷 235
 階層移動 234
 回路図の再生成 235
 回路図ピンへのファンアウトおよ
 びスラックのアノテーション
 236
 選択したモジュールのロジックの
 展開または非展開 233
 ロジック階層の表示 232
 Selection ウィンドウ 110
 Sources ウィンドウ 168

ウィンドウのポップアップ メニュー コマンド 169

SSN 解析

結果表示 160

T

Tcl スクリプトの実行 39

Timing Results 271, 278

Device ウィンドウでのタイミングパスの表示 278

Schematic ウィンドウでのタイミングパスの表示 280

TRCE タイミング結果の表示 278

タイミングパス レポートのワークスペースでの表示 273

タイミング レポートからのパスの削除 272

タイミング レポートの並べ替え 271

パスの詳細の表示 273

W

WASSO 解析 159

WASSO 解析結果の確認 163

WASSO 解析の設定 159

World ウィンドウ 106

X

XilinxUpdate

アップデートの自動確認 120

い

印刷 103

Device ウィンドウ 229

Package ウィンドウ 131

Schematic ウィンドウ 235

インスタンスの Hierarchy ウィンドウ 240

インプリメンテーション

ISE とのインターフェイス

ISE の配置結果のインポート 220

実行 193, 198

ISE 結果のインポート 210

Run での Bitgen の実行 212

複数の Linux ホスト 215

ストラテジ

共通のグループ ストラテジの作成 214

実行

複数の Linux ホスト 215, 363

187

ChipScope フロー 348

ISE とのインターフェイス 217

ISE の TRCE 結果のインポート 221

Pblock 197

ストラテジ 187, 213

ISE コマンド オプションの変更 214

ストラテジの作成 213

インプリメンテーション実行 193, 198

インポート

制約 334

I/O ポート 136

え

エラーレーションの実行 176

お

オプション 112

オブジェクトの選択

オブジェクトの選択機能の設定 111

108

Select Area コマンドの使用 108

選択したオブジェクトすべての表示 109

選択ルールの設定 111

複数のオブジェクトの選択 108

オブジェクトのハイライト

オブジェクトのハイライト解除 284

プリミティブのハイライト 285

オブジェクトのハイライト解除 284

オブジェクトのマーク 111, 286

マークの削除 286

オブジェクトの選択

Find コマンドを使用したオブジェクトの検索 274

Select コマンドの使用 109

オブジェクトのハイライト

オブジェクトのハイライト「オブジェクトのハイライト」を参照

オブジェクトのマーク 111

オブジェクトのマーク「オブジェクトのマーク」を参照

プリミティブの親モジュールの選択 109

プリミティブの選択 285

オプション 236

か

カーソル 112

文脈依存カーソルについて 112

解説

PlanAhead 5

このマニュアル 5

カスタム レイアウト 123

く

クロック領域 228

こ

合成 187

実行 187

実行結果のインポート 208

複数の Linux ホスト 363, 215, 363

ストラテジ 213, 187

ストラテジの作成 213

共通のグループ ストラテジの作成 214

コマンド オプションの変更 214

デザイン リソース使用率統計 257

エクスポート 258, 261

合成オプション 177

合成の実行 187

固定された制約 320

固定されていない制約 320

コマンド

共通のポップアップ メニューおよびウィンドウ特有のツールバー コマンド 255

349

ツールバー 356

メイン メニュー 349

さ

ザイリンクス テクニカル サポートのケース

添付するファイル 25

し

出力ファイル 24
資料
用語の説明 34
新規プロジェクト 41

せ

制約 70
DCI_CASCADE 149
制約のインポート 70
モジュール レベルの制約のインポート 71
接続 280
Schematic ウィンドウでのロジックの展開表示 280, 282
階層の解析 262
接続に基づいた Pblock の配置 315
バンドル ネットのデフォルトの変更 316
バンドル ネットのプロパティおよび内容の表示 315

そ

ソース ファイルのプロパティ 170
ソースの作成 172
ソースの追加 170
ソフトウェア アップデート
アップデートの自動確認 120
359

た

代替パーツの選択 135
タイミング解析
解析対象からパスを外す 270
268
TimeAhead の実行 268

て

デザイン フロー 19
ダイアグラム 20
基本 20
実行試行 20
デザイン解析
フロアプラン 21
デザイン リソース使用率統計 257

エクスポート 258, 261
デバイスの互換性 135
デバッグ用エラー ファイル
ザイリンクス テクニカル サポート 25
デフォルトのレイアウト 123

と

ドラッグを元に戻す 122

に

入力ファイル 21

ね

ネットリスト アップデート
最上位ネットリストのアップデート 62
62
モジュール レベルのネットリストのアップデート 63
ネットリストのアップデート 62, 64
ネット表示 「接続」を参照

は

配置制約
BEL 制約の割り当て 321
ISE インプリメンテーション中の配置のロック 330
ISE の配置結果のインポート 220
LOC 制約またはサイト制約の割り当て 321
LOC 制約および BEL 制約について 321
LOC 制約の表示/非表示の変更 323
PROHIBIT の設定 330
移動 324
Pblock と割り当てられた配置制約 330
固定された制約と固定されていない制約 320
選択した LOC 制約の削除 325
選択した LOC/BEL 制約の削除 324
同一のモジュールへの配置のコピー 334
プリミティブロジック接続の表示 324

配置配線 217
パッケージ ピン プロパティ 132
バンドル ネット 「接続」を参照

ひ

表示オプション 112
表示環境
共通のポップアップ メニューおよびウィンドウ特有のツールバー コマンド 255
95
ウィンドウの設定
ウィンドウをデフォルトのレイアウトに戻す 123
ウィンドウを開く 99
ウィンドウレイアウトの保存 123
ウィンドウ操作の取り消し 123
ウィンドウの自動非表示 100
ウィンドウの復元 123
ウィンドウ バナーのコマンドを使用したウィンドウの操作 100
表示エリア内でのウィンドウ位置の定義 121
表示エリアのサイズの定義 101
ほかの表示エリアへのウィンドウの移動 121
オブジェクトの選択 108
ステータス バー 107
Java メモリ使用率ゲージ 107
クロック 107
現在のモード フィールド 107
座標フィールド 107
情報メッセージ フィールド 107
ツールのショートカット キーの設定 118
デフォルト表示レイアウト 95
表示オプションの設定 112
Device ウィンドウのデフォルトの設定 114
General ページのデフォルト 120
I/O タブのデフォルト 115
カスタムテーマの保存と復元 117
ソフトウェア アップデート確認の設定 120
デフォルトの淡色テーマまたは濃色テーマの設定 117

バンドル ネットの表示オプションの設定 115
 ルック アンド フィール のオプション 120
 ピンの使用禁止 「PinAhead」を参照

ふ

複数ストラテジの実行 190, 196
 プロジェクト
 種類
 RTL ベース 43
 インプリメンテーション結果ベース 43
 空 43
 合成ネットリスト ベース 43
 新規ソースの作成 172
 制約のインポート 70
 モジュール レベルの制約のインポート 71
 最上位の制約のインポート 70
 ネットリスト アップデート
 最上位ネットリストのアップデート 62
 プロジェクトを開く
 既存のプロジェクトを開く 60
 複数のプロジェクトを開く 61
 フロアプラン
 Pblock の操作
 Pblock のサイズの変更 304
 Pblock の移動 303
 Pblock を使用したデザインのパーティション 292
 Pblock の操作
 子 Pblock の作成 298
 自動 Pblock コマンドの使用
 Pblock 自動配置プログラムの実行 318
 接続に基づいた Pblock の配置 315
 リソース使用率の統計を使用した Pblock のサイズの決定 313
 Pblock の図について 301
 Pblock の操作 301
 Pblock へのロジックの割り当て 302
 Pblock へのロジックの割り当て解除 303
 Pblock を使用したデザインのパーティション

選択したモジュールへの New Pblocks コマンドの使用 294
 Draw Pblock コマンド 292
 New Pblock コマンド 294
 自動 Pblock コマンドの使用 316
 パーティションツールの実行 316
 接続 315
 Pblock の操作
 Pblock 長方形の削除 306
 Pblock の名前の変更 306
 Pblock プロパティの表示 306
 291
 フロアプラン 「プロジェクト - フロアプラン」を参照
 フロアプランの削除 78
 フロアプランの保存 78
 フロアプランを閉じる 77
 付録
 A) メニューおよびツールバー コマンド 349
 B) XilinxUpdate を使用したインストール 359
 C) パスワードのプロンプトなしの SSH の設定 363
 プロジェクト
 種類 40
 RTL ベース 40
 インプリメンテーション結果ベース 41
 空 40
 合成ネットリスト ベース 40
 40
 ソースの追加 170
 ソースをプロジェクトにコピー 171
 ネットリスト アップデート 62
 モジュール レベルのネットリストのアップデート 63
 フロアプラン 66
 フロアプラン プロパティの表示および編集 75
 フロアプランのコピー 79
 フロアプランの作成 67
 フロアプランの削除 78
 フロアプランの保存 78
 フロアプランの名前の変更 79
 フロアプランを閉じる 77
 プロジェクトの開始 37
 Getting Started ページの使用 40

New Project ウィザードの使用 41
 プロジェクトを開く 60
 Getting Started プロジェクト 40
 Getting Started ページの使用 40
 プロジェクトを閉じる 62
 プロジェクトを開く 61
 プロジェクトを新規作成する 41
 プロジェクトを閉じる 62
 ブロック ベースのデザイン
 ISE でのインプリメンテーションのための Pblock のエクスポート 218
 Pblock のインプリメント 197
 IPモジュールの作成および再利用 331

も

文字列の検索 274
 Find in Files コマンドの使用 175
 Find Results ウィンドウの使用 176, 276
 Find コマンドを使用したオブジェクトの検索 274

よ

用語集 34

り

リソース使用率
 統計 257
 リソース使用率の統計を使用した Pblock のサイズの決定 313
 リソース使用率統計
 エクスポート 258, 261
 リソース使用率
 モジュールの見積り 179
 リモート ホスト (Linux)
 設定 215, 363
 コンフィギュレーション 215, 363

れ

レイアウト
 カスタムレイアウトの保存 123
 デフォルトのレイアウト 123
 レイアウトの読み込み 123

PinAhead Cockpit 85

PlanAhead デフォルト 86

わ

ワークスペース

共通コマンド 255

ウィンドウ 102

ワークスペースウィンドウを開く
103

ワークスペース ウィンドウを閉じ
る 104

ワークスペースの分割 104