

CPLD ライブラリ ガイド

UG606 (v11.3) 2009 年 9 月 16 日

本資料は英語版 (v11.3) を翻訳したものです。英語の更新バージョンがリリースされている場合には、最新の英語版を必ずご参照ください。

ザイリンクス商標および著作権情報



Xilinx is disclosing this user guide, manual, release note, and/or specification (the “Documentation”) to you solely for use in the development of designs to operate with Xilinx hardware devices. You may not reproduce, distribute, republish, download, display, post, or transmit the Documentation in any form or by any means including, but not limited to, electronic, mechanical, photocopying, recording, or otherwise, without the prior written consent of Xilinx. Xilinx expressly disclaims any liability arising out of your use of the Documentation. Xilinx reserves the right, at its sole discretion, to change the Documentation without notice at any time. Xilinx assumes no obligation to correct any errors contained in the Documentation, or to advise you of any corrections or updates. Xilinx expressly disclaims any liability in connection with technical support or assistance that may be provided to you in connection with the Information.

THE DOCUMENTATION IS DISCLOSED TO YOU “AS-IS” WITH NO WARRANTY OF ANY KIND. XILINX MAKES NO OTHER WARRANTIES, WHETHER EXPRESS, IMPLIED, OR STATUTORY, REGARDING THE DOCUMENTATION, INCLUDING ANY WARRANTIES OF MERCHANTABILITY, FITNESS FOR A PARTICULAR PURPOSE, OR NONINFRINGEMENT OF THIRD-PARTY RIGHTS. IN NO EVENT WILL XILINX BE LIABLE FOR ANY CONSEQUENTIAL, INDIRECT, EXEMPLARY, SPECIAL, OR INCIDENTAL DAMAGES, INCLUDING ANY LOSS OF DATA OR LOST PROFITS, ARISING FROM YOUR USE OF THE DOCUMENTATION.

© Copyright 2002–2009 Xilinx Inc. All Rights Reserved. XILINX, the Xilinx logo, the Brand Window and other designated brands included herein are trademarks of Xilinx, Inc. All other trademarks are the property of their respective owners.

目次

ザイリックス商標および著作権情報	2
1: このマニュアルについて	45
デザイン エLEMENT	45
2: ファンクション別分類	47
3: デザイン エLEMENT	63
ACC1	64
サポートされているアーキテクチャ	64
概要	64
デザインの入力方法	65
詳細情報	65
ACC16	66
サポートされているアーキテクチャ	66
概要	66
論理表	67
デザインの入力方法	67
詳細情報	67
ACC4	68
サポートされているアーキテクチャ	68
概要	68
論理表	69
デザインの入力方法	69
詳細情報	69
ACC8	70
サポートされているアーキテクチャ	70
概要	70
論理表	71
デザインの入力方法	71
詳細情報	71
ADD1	72
サポートされているアーキテクチャ	72
概要	72
論理表	72
デザインの入力方法	72
詳細情報	72
ADD16	73
サポートされているアーキテクチャ	73
概要	73
論理表	73
デザインの入力方法	74
詳細情報	74
ADD4	75
サポートされているアーキテクチャ	75
概要	75
論理表	75
デザインの入力方法	76
詳細情報	76
ADD8	77
サポートされているアーキテクチャ	77
概要	77
論理表	77
デザインの入力方法	77
詳細情報	78
ADSU1	79
サポートされているアーキテクチャ	79
概要	79

デザインの入力方法.....	80
詳細情報	80
ADSU16	81
サポートされているアーキテクチャ.....	81
概要.....	81
論理表.....	81
デザインの入力方法.....	82
詳細情報	82
ADSU4	83
サポートされているアーキテクチャ.....	83
概要.....	83
論理表.....	83
デザインの入力方法.....	84
詳細情報	84
ADSU8	85
サポートされているアーキテクチャ.....	85
概要.....	85
論理表.....	85
デザインの入力方法.....	86
詳細情報	86
AND2.....	87
サポートされているアーキテクチャ.....	87
概要.....	87
デザインの入力方法.....	87
詳細情報	87
AND2B1	88
サポートされているアーキテクチャ.....	88
概要.....	88
デザインの入力方法.....	88
詳細情報	88
AND2B2	89
サポートされているアーキテクチャ.....	89
概要.....	89
デザインの入力方法.....	89
詳細情報	89
AND3.....	90
サポートされているアーキテクチャ.....	90
概要.....	90
デザインの入力方法.....	90
詳細情報	90
AND3B1	91
サポートされているアーキテクチャ.....	91
概要.....	91
デザインの入力方法.....	91
詳細情報	91
AND3B2	92
サポートされているアーキテクチャ.....	92
概要.....	92
デザインの入力方法.....	92
詳細情報	92
AND3B3	93
サポートされているアーキテクチャ.....	93
概要.....	93
デザインの入力方法.....	93
詳細情報	93
AND4.....	94
サポートされているアーキテクチャ.....	94
概要.....	94
デザインの入力方法.....	94

詳細情報	94
AND4B1	95
サポートされているアーキテクチャ	95
概要	95
デザインの入力方法	95
詳細情報	95
AND4B2	96
サポートされているアーキテクチャ	96
概要	96
デザインの入力方法	96
詳細情報	96
AND4B3	97
サポートされているアーキテクチャ	97
概要	97
デザインの入力方法	97
詳細情報	97
AND4B4	98
サポートされているアーキテクチャ	98
概要	98
デザインの入力方法	98
詳細情報	98
AND5	99
サポートされているアーキテクチャ	99
概要	99
デザインの入力方法	99
詳細情報	99
AND5B1	100
サポートされているアーキテクチャ	100
概要	100
デザインの入力方法	100
詳細情報	100
AND5B2	101
サポートされているアーキテクチャ	101
概要	101
デザインの入力方法	101
詳細情報	101
AND5B3	102
サポートされているアーキテクチャ	102
概要	102
デザインの入力方法	102
詳細情報	102
AND5B4	103
サポートされているアーキテクチャ	103
概要	103
デザインの入力方法	103
詳細情報	103
AND5B5	104
サポートされているアーキテクチャ	104
概要	104
デザインの入力方法	104
詳細情報	104
AND6	105
サポートされているアーキテクチャ	105
概要	105
デザインの入力方法	105
詳細情報	105
AND7	106
サポートされているアーキテクチャ	106
概要	106

デザインの入力方法.....	106
詳細情報	106
AND8.....	107
サポートされているアーキテクチャ.....	107
概要.....	107
デザインの入力方法.....	107
詳細情報	107
AND9.....	108
サポートされているアーキテクチャ.....	108
概要.....	108
デザインの入力方法.....	108
詳細情報	108
BRLSHFT4	109
サポートされているアーキテクチャ.....	109
概要.....	109
論理表.....	109
デザインの入力方法.....	109
詳細情報	109
BRLSHFT8	110
サポートされているアーキテクチャ.....	110
概要.....	110
論理表.....	110
デザインの入力方法.....	111
詳細情報	111
BUF.....	112
サポートされているアーキテクチャ.....	112
概要.....	112
デザインの入力方法.....	112
詳細情報	112
BUF16	113
サポートされているアーキテクチャ.....	113
概要.....	113
デザインの入力方法.....	113
詳細情報	113
BUF4.....	114
サポートされているアーキテクチャ.....	114
概要.....	114
デザインの入力方法.....	114
詳細情報	114
BUF8.....	115
サポートされているアーキテクチャ.....	115
概要.....	115
デザインの入力方法.....	115
詳細情報	115
BUFE.....	116
サポートされているアーキテクチャ.....	116
概要.....	116
論理表.....	116
デザインの入力方法.....	116
詳細情報	116
BUFE16	117
サポートされているアーキテクチャ.....	117
概要.....	117
論理表.....	117
デザインの入力方法.....	117
詳細情報	117
BUFE4.....	118
サポートされているアーキテクチャ.....	118
概要.....	118

論理表.....	118
デザインの入力方法.....	118
詳細情報	118
BUFE8	119
サポートされているアーキテクチャ.....	119
概要.....	119
論理表.....	119
デザインの入力方法.....	119
詳細情報	119
BUFG	120
サポートされているアーキテクチャ.....	120
概要.....	120
ポートの説明	120
デザインの入力方法.....	120
詳細情報	121
BUFGSR.....	122
サポートされているアーキテクチャ.....	122
概要.....	122
デザインの入力方法.....	122
詳細情報	122
BUFGTS.....	123
サポートされているアーキテクチャ.....	123
概要.....	123
デザインの入力方法.....	123
詳細情報	123
BUFT	124
サポートされているアーキテクチャ.....	124
概要.....	124
論理表.....	124
デザインの入力方法.....	124
詳細情報	124
BUFT16	125
サポートされているアーキテクチャ.....	125
概要.....	125
論理表.....	125
デザインの入力方法.....	125
詳細情報	125
BUFT4	126
サポートされているアーキテクチャ.....	126
概要.....	126
論理表.....	126
デザインの入力方法.....	126
詳細情報	127
BUFT8	128
サポートされているアーキテクチャ.....	128
概要.....	128
論理表.....	128
デザインの入力方法.....	128
詳細情報	128
CB16CE	129
サポートされているアーキテクチャ.....	129
概要.....	129
論理表.....	129
デザインの入力方法.....	130
詳細情報	130
CB16CLE	131
サポートされているアーキテクチャ.....	131
概要.....	131
論理表.....	132

デザインの入力方法.....	132
詳細情報	132
CB16CLED	133
サポートされているアーキテクチャ.....	133
概要.....	133
論理表.....	134
デザインの入力方法.....	134
詳細情報	134
CB16RE	135
サポートされているアーキテクチャ.....	135
概要.....	135
論理表.....	135
デザインの入力方法.....	136
詳細情報	136
CB16RLE	137
サポートされているアーキテクチャ.....	137
概要.....	137
論理表.....	138
デザインの入力方法.....	138
詳細情報	138
CB16X1.....	139
サポートされているアーキテクチャ.....	139
概要.....	139
論理表.....	140
デザインの入力方法.....	140
詳細情報	140
CB16X2.....	141
サポートされているアーキテクチャ.....	141
概要.....	141
論理表.....	142
デザインの入力方法.....	142
詳細情報	142
CB2CE.....	143
サポートされているアーキテクチャ.....	143
概要.....	143
論理表.....	143
デザインの入力方法.....	144
詳細情報	144
CB2CLE.....	145
サポートされているアーキテクチャ.....	145
概要.....	145
論理表.....	146
デザインの入力方法.....	146
詳細情報	146
CB2CLED.....	147
サポートされているアーキテクチャ.....	147
概要.....	147
論理表.....	148
デザインの入力方法.....	148
詳細情報	148
CB2RE	149
サポートされているアーキテクチャ.....	149
概要.....	149
論理表.....	149
デザインの入力方法.....	150
詳細情報	150
CB2RLE	151
サポートされているアーキテクチャ.....	151
概要.....	151

論理表.....	152
デザインの入力方法.....	152
詳細情報	152
CB2X1	153
サポートされているアーキテクチャ.....	153
概要.....	153
論理表.....	154
デザインの入力方法.....	154
詳細情報	154
CB4CE.....	155
サポートされているアーキテクチャ.....	155
概要.....	155
論理表.....	155
デザインの入力方法.....	156
詳細情報	156
CB4CLE.....	157
サポートされているアーキテクチャ.....	157
概要.....	157
論理表.....	158
デザインの入力方法.....	158
詳細情報	158
CB4CLED.....	159
サポートされているアーキテクチャ.....	159
概要.....	159
論理表.....	160
デザインの入力方法.....	160
詳細情報	160
CB4RE	161
サポートされているアーキテクチャ.....	161
概要.....	161
論理表.....	161
デザインの入力方法.....	162
詳細情報	162
CB4RLE	163
サポートされているアーキテクチャ.....	163
概要.....	163
論理表.....	164
デザインの入力方法.....	164
詳細情報	164
CB4X1	165
サポートされているアーキテクチャ.....	165
概要.....	165
論理表.....	166
デザインの入力方法.....	166
詳細情報	166
CB4X2	167
サポートされているアーキテクチャ.....	167
概要.....	167
論理表.....	168
デザインの入力方法.....	168
詳細情報	168
CB8CE.....	169
サポートされているアーキテクチャ.....	169
概要.....	169
論理表.....	169
デザインの入力方法.....	170
詳細情報	170
CB8CLE.....	171
サポートされているアーキテクチャ.....	171

概要.....	171
論理表.....	172
デザインの入力方法.....	172
詳細情報	172
CB8CLED.....	173
サポートされているアーキテクチャ.....	173
概要.....	173
論理表.....	174
デザインの入力方法.....	174
詳細情報	174
CB8RE	175
サポートされているアーキテクチャ.....	175
概要.....	175
論理表.....	175
デザインの入力方法.....	176
詳細情報	176
CB8RLE	177
サポートされているアーキテクチャ.....	177
概要.....	177
論理表.....	178
デザインの入力方法.....	178
詳細情報	178
CB8X1	179
サポートされているアーキテクチャ.....	179
概要.....	179
論理表.....	180
デザインの入力方法.....	180
詳細情報	180
CB8X2	181
サポートされているアーキテクチャ.....	181
概要.....	181
論理表.....	182
デザインの入力方法.....	182
詳細情報	182
CBD16CE.....	183
サポートされているアーキテクチャ.....	183
概要.....	183
論理表.....	183
デザインの入力方法.....	183
詳細情報	184
CBD16CLE.....	185
サポートされているアーキテクチャ.....	185
概要.....	185
論理表.....	185
デザインの入力方法.....	186
詳細情報	186
CBD16CLED.....	187
サポートされているアーキテクチャ.....	187
概要.....	187
論理表.....	188
デザインの入力方法.....	188
詳細情報	188
CBD16RE	189
サポートされているアーキテクチャ.....	189
概要.....	189
論理表.....	189
デザインの入力方法.....	190
詳細情報	190
CBD16RLE	191

サポートされているアーキテクチャ.....	191
概要.....	191
論理表.....	191
デザインの入力方法.....	192
詳細情報.....	192
CBD16X1.....	193
サポートされているアーキテクチャ.....	193
概要.....	193
論理表.....	194
デザインの入力方法.....	194
詳細情報.....	194
CBD16X2.....	195
サポートされているアーキテクチャ.....	195
概要.....	195
論理表.....	196
デザインの入力方法.....	196
詳細情報.....	196
CBD2CE.....	197
サポートされているアーキテクチャ.....	197
概要.....	197
論理表.....	197
デザインの入力方法.....	198
詳細情報.....	198
CBD2CLE.....	199
サポートされているアーキテクチャ.....	199
概要.....	199
論理表.....	200
デザインの入力方法.....	200
詳細情報.....	200
CBD2CLED.....	201
サポートされているアーキテクチャ.....	201
概要.....	201
論理表.....	202
デザインの入力方法.....	202
詳細情報.....	202
CBD2RE.....	203
サポートされているアーキテクチャ.....	203
概要.....	203
論理表.....	203
デザインの入力方法.....	204
詳細情報.....	204
CBD2RLE.....	205
サポートされているアーキテクチャ.....	205
概要.....	205
論理表.....	206
デザインの入力方法.....	206
詳細情報.....	206
CBD2X1.....	207
サポートされているアーキテクチャ.....	207
概要.....	207
論理表.....	208
デザインの入力方法.....	208
詳細情報.....	208
CBD2X2.....	209
サポートされているアーキテクチャ.....	209
概要.....	209
論理表.....	210
デザインの入力方法.....	210
詳細情報.....	210

CBD4CE	211
サポートされているアーキテクチャ.....	211
概要.....	211
論理表.....	211
デザインの入力方法.....	212
詳細情報	212
CBD4CLE.....	213
サポートされているアーキテクチャ.....	213
概要.....	213
論理表.....	214
デザインの入力方法.....	214
詳細情報	214
CBD4CLED	215
サポートされているアーキテクチャ.....	215
概要.....	215
論理表.....	216
デザインの入力方法.....	216
詳細情報	216
CBD4RE.....	217
サポートされているアーキテクチャ.....	217
概要.....	217
論理表.....	217
デザインの入力方法.....	218
詳細情報	218
CBD4RLE.....	219
サポートされているアーキテクチャ.....	219
概要.....	219
論理表.....	220
デザインの入力方法.....	220
詳細情報	220
CBD4X1.....	221
サポートされているアーキテクチャ.....	221
概要.....	221
論理表.....	222
デザインの入力方法.....	222
詳細情報	222
CBD4X2.....	223
サポートされているアーキテクチャ.....	223
概要.....	223
論理表.....	224
デザインの入力方法.....	224
詳細情報	224
CBD8CE	225
サポートされているアーキテクチャ.....	225
概要.....	225
論理表.....	225
デザインの入力方法.....	225
詳細情報	226
CBD8CLE.....	227
サポートされているアーキテクチャ.....	227
概要.....	227
論理表.....	228
デザインの入力方法.....	228
詳細情報	228
CBD8CLED	229
サポートされているアーキテクチャ.....	229
概要.....	229
論理表.....	230
デザインの入力方法.....	230

詳細情報	230
CBD8RE.....	231
サポートされているアーキテクチャ.....	231
概要.....	231
論理表.....	231
デザインの入力方法.....	232
詳細情報	232
CBD8X1.....	233
サポートされているアーキテクチャ.....	233
概要.....	233
論理表.....	234
デザインの入力方法.....	234
詳細情報	234
CBD8X2.....	235
サポートされているアーキテクチャ.....	235
概要.....	235
論理表.....	236
デザインの入力方法.....	236
詳細情報	236
CD4CE	237
サポートされているアーキテクチャ.....	237
概要.....	237
論理表.....	238
デザインの入力方法.....	238
詳細情報	238
CD4CLE.....	239
サポートされているアーキテクチャ.....	239
概要.....	239
論理表.....	240
デザインの入力方法.....	240
詳細情報	240
CD4RE.....	241
サポートされているアーキテクチャ.....	241
概要.....	241
論理表.....	242
デザインの入力方法.....	242
詳細情報	242
CD4RLE.....	243
サポートされているアーキテクチャ.....	243
概要.....	243
論理表.....	244
デザインの入力方法.....	244
詳細情報	244
CDD4CE	245
サポートされているアーキテクチャ.....	245
概要.....	245
論理表.....	246
デザインの入力方法.....	246
詳細情報	246
CDD4CLE	247
サポートされているアーキテクチャ.....	247
概要.....	247
論理表.....	248
デザインの入力方法.....	248
詳細情報	248
CDD4RE.....	249
サポートされているアーキテクチャ.....	249
概要.....	249
論理表.....	250

デザインの入力方法.....	250
詳細情報	250
CDD4RLE.....	251
サポートされているアーキテクチャ.....	251
概要.....	251
デザインの入力方法.....	251
詳細情報	251
CJ4CE	252
サポートされているアーキテクチャ.....	252
概要.....	252
論理表.....	252
デザインの入力方法.....	252
詳細情報	252
CJ4RE.....	253
サポートされているアーキテクチャ.....	253
概要.....	253
論理表.....	253
デザインの入力方法.....	253
詳細情報	253
CJ5CE	254
サポートされているアーキテクチャ.....	254
概要.....	254
論理表.....	254
デザインの入力方法.....	254
詳細情報	254
CJ5RE.....	255
サポートされているアーキテクチャ.....	255
概要.....	255
論理表.....	255
デザインの入力方法.....	255
詳細情報	255
CJ8CE	256
サポートされているアーキテクチャ.....	256
概要.....	256
論理表.....	256
デザインの入力方法.....	256
詳細情報	256
CJ8RE.....	257
サポートされているアーキテクチャ.....	257
概要.....	257
論理表.....	257
デザインの入力方法.....	257
詳細情報	257
CJD4CE	258
サポートされているアーキテクチャ.....	258
概要.....	258
論理表.....	258
デザインの入力方法.....	258
詳細情報	258
CJD4RE.....	259
サポートされているアーキテクチャ.....	259
概要.....	259
論理表.....	259
デザインの入力方法.....	259
詳細情報	260
CJD5CE	261
サポートされているアーキテクチャ.....	261
概要.....	261
論理表.....	261

デザインの入力方法.....	261
詳細情報	261
CJD5RE.....	262
サポートされているアーキテクチャ.....	262
概要.....	262
論理表.....	262
デザインの入力方法.....	262
詳細情報	263
CJD8CE	264
サポートされているアーキテクチャ.....	264
概要.....	264
論理表.....	264
デザインの入力方法.....	264
詳細情報	264
CJD8RE.....	265
サポートされているアーキテクチャ.....	265
概要.....	265
論理表.....	265
デザインの入力方法.....	265
詳細情報	265
CLK_DIV10	266
サポートされているアーキテクチャ.....	266
概要.....	266
デザインの入力方法.....	266
詳細情報	267
CLK_DIV10R.....	268
サポートされているアーキテクチャ.....	268
概要.....	268
デザインの入力方法.....	268
詳細情報	269
CLK_DIV10RSD	270
サポートされているアーキテクチャ.....	270
概要.....	270
デザインの入力方法.....	270
詳細情報	271
CLK_DIV10SD	272
サポートされているアーキテクチャ.....	272
概要.....	272
デザインの入力方法.....	272
詳細情報	273
CLK_DIV12	274
サポートされているアーキテクチャ.....	274
概要.....	274
デザインの入力方法.....	274
詳細情報	275
CLK_DIV12R.....	276
サポートされているアーキテクチャ.....	276
概要.....	276
デザインの入力方法.....	276
詳細情報	277
CLK_DIV12RSD	278
サポートされているアーキテクチャ.....	278
概要.....	278
デザインの入力方法.....	278
詳細情報	279
CLK_DIV12SD	280
サポートされているアーキテクチャ.....	280
概要.....	280
デザインの入力方法.....	280

詳細情報	281
CLK_DIV14R	282
サポートされているアーキテクチャ	282
概要	282
デザインの入力方法	282
詳細情報	283
CLK_DIV14RSD	284
サポートされているアーキテクチャ	284
概要	284
デザインの入力方法	284
詳細情報	285
CLK_DIV14SD	286
サポートされているアーキテクチャ	286
概要	286
デザインの入力方法	286
詳細情報	287
CLK_DIV16	288
サポートされているアーキテクチャ	288
概要	288
デザインの入力方法	288
詳細情報	289
CLK_DIV16R	290
サポートされているアーキテクチャ	290
概要	290
デザインの入力方法	290
詳細情報	291
CLK_DIV16RSD	292
サポートされているアーキテクチャ	292
概要	292
デザインの入力方法	292
詳細情報	293
CLK_DIV16SD	294
サポートされているアーキテクチャ	294
概要	294
デザインの入力方法	294
詳細情報	295
CLK_DIV2	296
サポートされているアーキテクチャ	296
概要	296
デザインの入力方法	296
詳細情報	297
CLK_DIV2R	298
サポートされているアーキテクチャ	298
概要	298
デザインの入力方法	298
詳細情報	299
CLK_DIV2RSD	300
サポートされているアーキテクチャ	300
概要	300
デザインの入力方法	300
詳細情報	301
CLK_DIV2SD	302
サポートされているアーキテクチャ	302
概要	302
デザインの入力方法	302
詳細情報	303
CLK_DIV4	304
サポートされているアーキテクチャ	304
概要	304

デザインの入力方法.....	304
詳細情報	305
CLK_DIV4R.....	306
サポートされているアーキテクチャ.....	306
概要.....	306
デザインの入力方法.....	306
詳細情報	307
CLK_DIV4RSD.....	308
サポートされているアーキテクチャ.....	308
概要.....	308
デザインの入力方法.....	308
詳細情報	309
CLK_DIV4SD.....	310
サポートされているアーキテクチャ.....	310
概要.....	310
デザインの入力方法.....	310
詳細情報	311
CLK_DIV6.....	312
サポートされているアーキテクチャ.....	312
概要.....	312
デザインの入力方法.....	312
詳細情報	313
CLK_DIV6R.....	314
サポートされているアーキテクチャ.....	314
概要.....	314
デザインの入力方法.....	314
詳細情報	315
CLK_DIV6RSD.....	316
サポートされているアーキテクチャ.....	316
概要.....	316
デザインの入力方法.....	316
詳細情報	317
CLK_DIV6SD.....	318
サポートされているアーキテクチャ.....	318
概要.....	318
デザインの入力方法.....	318
詳細情報	319
CLK_DIV8.....	320
サポートされているアーキテクチャ.....	320
概要.....	320
デザインの入力方法.....	320
詳細情報	321
CLK_DIV8R.....	322
サポートされているアーキテクチャ.....	322
概要.....	322
デザインの入力方法.....	322
詳細情報	323
CLK_DIV8RSD.....	324
サポートされているアーキテクチャ.....	324
概要.....	324
デザインの入力方法.....	324
詳細情報	325
CLK_DIV8SD.....	326
サポートされているアーキテクチャ.....	326
概要.....	326
デザインの入力方法.....	326
詳細情報	327
COMP16	328
サポートされているアーキテクチャ.....	328

概要.....	328
デザインの入力方法.....	328
詳細情報	328
COMP2.....	329
サポートされているアーキテクチャ.....	329
概要.....	329
デザインの入力方法.....	329
詳細情報	329
COMP4.....	330
サポートされているアーキテクチャ.....	330
概要.....	330
デザインの入力方法.....	330
詳細情報	330
COMP8.....	331
サポートされているアーキテクチャ.....	331
概要.....	331
デザインの入力方法.....	331
詳細情報	331
COMPM16.....	332
サポートされているアーキテクチャ.....	332
概要.....	332
論理表.....	332
デザインの入力方法.....	333
詳細情報	333
COMPM2	334
サポートされているアーキテクチャ.....	334
概要.....	334
論理表.....	334
デザインの入力方法.....	334
詳細情報	334
COMPM4	335
サポートされているアーキテクチャ.....	335
概要.....	335
論理表.....	335
デザインの入力方法.....	335
詳細情報	336
COMPM8	337
サポートされているアーキテクチャ.....	337
概要.....	337
論理表.....	337
デザインの入力方法.....	338
詳細情報	338
CR16CE.....	339
サポートされているアーキテクチャ.....	339
概要.....	339
論理表.....	339
デザインの入力方法.....	339
詳細情報	339
CR8CE.....	340
サポートされているアーキテクチャ.....	340
概要.....	340
論理表.....	340
デザインの入力方法.....	340
詳細情報	340
CRD16CE.....	341
サポートされているアーキテクチャ.....	341
概要.....	341
論理表.....	341
デザインの入力方法.....	341

詳細情報	341
CRD8CE.....	342
サポートされているアーキテクチャ.....	342
概要.....	342
論理表.....	342
デザインの入力方法.....	342
詳細情報	342
D2_4E	343
サポートされているアーキテクチャ.....	343
概要.....	343
論理表.....	343
デザインの入力方法.....	343
詳細情報	343
D3_8E	344
サポートされているアーキテクチャ.....	344
概要.....	344
論理表.....	344
デザインの入力方法.....	344
詳細情報	345
D4_16E.....	346
サポートされているアーキテクチャ.....	346
概要.....	346
デザインの入力方法.....	346
詳細情報	346
FD.....	347
サポートされているアーキテクチャ.....	347
概要.....	347
論理表.....	347
デザインの入力方法.....	347
使用可能な属性.....	347
詳細情報	347
FD16	348
サポートされているアーキテクチャ.....	348
概要.....	348
論理表.....	348
デザインの入力方法.....	348
詳細情報	348
FD16CE	349
サポートされているアーキテクチャ.....	349
概要.....	349
論理表.....	349
デザインの入力方法.....	349
使用可能な属性.....	349
詳細情報	349
FD16RE.....	350
サポートされているアーキテクチャ.....	350
概要.....	350
論理表.....	350
デザインの入力方法.....	350
使用可能な属性.....	350
詳細情報	350
FD4	351
サポートされているアーキテクチャ.....	351
概要.....	351
論理表.....	351
デザインの入力方法.....	351
詳細情報	351
FD4CE.....	352
サポートされているアーキテクチャ.....	352

概要.....	352
論理表.....	352
デザインの入力方法.....	352
使用可能な属性.....	352
詳細情報	353
FD8	354
サポートされているアーキテクチャ.....	354
概要.....	354
論理表.....	354
デザインの入力方法.....	354
詳細情報	354
FD8CE.....	355
サポートされているアーキテクチャ.....	355
概要.....	355
論理表.....	355
デザインの入力方法.....	355
使用可能な属性.....	355
詳細情報	355
FD8RE	356
サポートされているアーキテクチャ.....	356
概要.....	356
論理表.....	356
デザインの入力方法.....	356
使用可能な属性.....	356
詳細情報	356
FDC	357
サポートされているアーキテクチャ.....	357
概要.....	357
論理表.....	357
デザインの入力方法.....	357
使用可能な属性.....	357
詳細情報	357
FDCE	358
サポートされているアーキテクチャ.....	358
概要.....	358
論理表.....	358
デザインの入力方法.....	358
使用可能な属性.....	359
詳細情報	359
FDCP.....	360
サポートされているアーキテクチャ.....	360
概要.....	360
論理表.....	360
デザインの入力方法.....	360
使用可能な属性.....	360
詳細情報	361
FDCPE.....	362
サポートされているアーキテクチャ.....	362
概要.....	362
論理表.....	362
ポートの説明	363
デザインの入力方法.....	363
使用可能な属性.....	363
詳細情報	364
FDD	365
サポートされているアーキテクチャ.....	365
概要.....	365
論理表.....	365
デザインの入力方法.....	365

使用可能な属性.....	365
詳細情報	365
FDD16	366
サポートされているアーキテクチャ.....	366
概要.....	366
論理表.....	366
デザインの入力方法.....	366
詳細情報	366
FDD16CE.....	367
サポートされているアーキテクチャ.....	367
概要.....	367
論理表.....	367
デザインの入力方法.....	367
詳細情報	367
FDD16RE	368
サポートされているアーキテクチャ.....	368
概要.....	368
論理表.....	368
デザインの入力方法.....	368
詳細情報	368
FDD4.....	369
サポートされているアーキテクチャ.....	369
概要.....	369
論理表.....	369
デザインの入力方法.....	369
詳細情報	369
FDD4CE.....	370
サポートされているアーキテクチャ.....	370
概要.....	370
論理表.....	370
デザインの入力方法.....	370
詳細情報	370
FDD4RE	371
サポートされているアーキテクチャ.....	371
概要.....	371
論理表.....	371
デザインの入力方法.....	371
詳細情報	371
FDD8.....	372
サポートされているアーキテクチャ.....	372
概要.....	372
論理表.....	372
デザインの入力方法.....	372
詳細情報	372
FDD8CE.....	373
サポートされているアーキテクチャ.....	373
概要.....	373
論理表.....	373
デザインの入力方法.....	373
詳細情報	373
FDD8RE	374
サポートされているアーキテクチャ.....	374
概要.....	374
論理表.....	374
デザインの入力方法.....	374
詳細情報	374
FDDC	375
サポートされているアーキテクチャ.....	375
概要.....	375

論理表.....	375
デザインの入力方法.....	375
使用可能な属性.....	375
詳細情報	375
FDDCE	376
サポートされているアーキテクチャ.....	376
概要.....	376
論理表.....	376
デザインの入力方法.....	376
使用可能な属性.....	377
詳細情報	377
FDDCP	378
サポートされているアーキテクチャ.....	378
概要.....	378
論理表.....	378
デザインの入力方法.....	378
使用可能な属性.....	378
詳細情報	379
FDDCPE	380
サポートされているアーキテクチャ.....	380
概要.....	380
論理表.....	380
デザインの入力方法.....	380
使用可能な属性.....	381
詳細情報	381
FDDP.....	382
サポートされているアーキテクチャ.....	382
概要.....	382
論理表.....	382
デザインの入力方法.....	382
使用可能な属性.....	382
詳細情報	383
FDDPE.....	384
サポートされているアーキテクチャ.....	384
概要.....	384
論理表.....	384
デザインの入力方法.....	384
使用可能な属性.....	385
詳細情報	385
FDDR	386
サポートされているアーキテクチャ.....	386
概要.....	386
論理表.....	386
デザインの入力方法.....	386
使用可能な属性.....	386
詳細情報	387
FDDRE.....	388
サポートされているアーキテクチャ.....	388
概要.....	388
論理表.....	388
デザインの入力方法.....	388
使用可能な属性.....	388
詳細情報	389
FDDRS.....	390
サポートされているアーキテクチャ.....	390
概要.....	390
論理表.....	390
デザインの入力方法.....	390
使用可能な属性.....	391

詳細情報	391
FDDRSE.....	392
サポートされているアーキテクチャ.....	392
概要.....	392
論理表.....	392
デザインの入力方法.....	392
使用可能な属性.....	393
詳細情報	393
FDDS.....	394
サポートされているアーキテクチャ.....	394
概要.....	394
論理表.....	394
デザインの入力方法.....	394
使用可能な属性.....	394
詳細情報	395
FDDSE.....	396
サポートされているアーキテクチャ.....	396
概要.....	396
論理表.....	396
デザインの入力方法.....	396
使用可能な属性.....	397
詳細情報	397
FDDSR.....	398
サポートされているアーキテクチャ.....	398
概要.....	398
論理表.....	398
デザインの入力方法.....	398
使用可能な属性.....	399
詳細情報	399
FDDSRSE.....	400
サポートされているアーキテクチャ.....	400
概要.....	400
論理表.....	400
デザインの入力方法.....	400
使用可能な属性.....	401
詳細情報	401
FDP.....	402
サポートされているアーキテクチャ.....	402
概要.....	402
論理表.....	402
デザインの入力方法.....	402
使用可能な属性.....	402
詳細情報	402
FDPE.....	403
サポートされているアーキテクチャ.....	403
概要.....	403
論理表.....	403
デザインの入力方法.....	403
使用可能な属性.....	404
詳細情報	404
FDR.....	405
サポートされているアーキテクチャ.....	405
概要.....	405
論理表.....	405
デザインの入力方法.....	405
使用可能な属性.....	405
詳細情報	405
FDRE.....	406
サポートされているアーキテクチャ.....	406

概要.....	406
論理表.....	406
デザインの入力方法.....	406
使用可能な属性.....	406
詳細情報	407
FDRS	408
サポートされているアーキテクチャ.....	408
概要.....	408
論理表.....	408
デザインの入力方法.....	408
使用可能な属性.....	408
詳細情報	409
FDRSE	410
サポートされているアーキテクチャ.....	410
概要.....	410
論理表.....	410
デザインの入力方法.....	411
使用可能な属性.....	411
詳細情報	412
FDS	413
サポートされているアーキテクチャ.....	413
概要.....	413
論理表.....	413
デザインの入力方法.....	413
使用可能な属性.....	413
詳細情報	413
FDSE	414
サポートされているアーキテクチャ.....	414
概要.....	414
論理表.....	414
デザインの入力方法.....	414
使用可能な属性.....	415
詳細情報	415
FDSR	416
サポートされているアーキテクチャ.....	416
概要.....	416
論理表.....	416
デザインの入力方法.....	416
使用可能な属性.....	416
詳細情報	417
FDSRE	418
サポートされているアーキテクチャ.....	418
概要.....	418
論理表.....	418
デザインの入力方法.....	418
使用可能な属性.....	419
詳細情報	419
FJKC	420
サポートされているアーキテクチャ.....	420
概要.....	420
論理表.....	420
デザインの入力方法.....	420
使用可能な属性.....	420
詳細情報	421
FJKCE	422
サポートされているアーキテクチャ.....	422
概要.....	422
論理表.....	422
デザインの入力方法.....	422

使用可能な属性.....	422
詳細情報	423
FJKCP	424
サポートされているアーキテクチャ.....	424
概要.....	424
論理表.....	424
デザインの入力方法.....	424
使用可能な属性.....	425
詳細情報	425
FJKCPE	426
サポートされているアーキテクチャ.....	426
概要.....	426
論理表.....	426
デザインの入力方法.....	427
使用可能な属性.....	427
詳細情報	427
FJKP.....	428
サポートされているアーキテクチャ.....	428
概要.....	428
論理表.....	428
デザインの入力方法.....	428
使用可能な属性.....	428
詳細情報	429
FJKPE.....	430
サポートされているアーキテクチャ.....	430
概要.....	430
論理表.....	430
デザインの入力方法.....	430
使用可能な属性.....	431
詳細情報	431
FJKRSE	432
サポートされているアーキテクチャ.....	432
概要.....	432
論理表.....	432
デザインの入力方法.....	433
使用可能な属性.....	433
詳細情報	433
FJKSRE	434
サポートされているアーキテクチャ.....	434
概要.....	434
論理表.....	434
デザインの入力方法.....	434
使用可能な属性.....	435
詳細情報	435
FTC.....	436
サポートされているアーキテクチャ.....	436
概要.....	436
論理表.....	436
デザインの入力方法.....	436
使用可能な属性.....	436
詳細情報	436
FTCE.....	437
サポートされているアーキテクチャ.....	437
概要.....	437
論理表.....	437
デザインの入力方法.....	437
使用可能な属性.....	437
詳細情報	438
FTCLE.....	439

サポートされているアーキテクチャ.....	439
概要.....	439
論理表.....	439
デザインの入力方法.....	439
使用可能な属性.....	440
詳細情報	440
FTCLEX.....	441
サポートされているアーキテクチャ.....	441
概要.....	441
論理表.....	441
デザインの入力方法.....	441
使用可能な属性.....	442
詳細情報	442
FTCP.....	443
サポートされているアーキテクチャ.....	443
概要.....	443
論理表.....	443
デザインの入力方法.....	443
使用可能な属性.....	444
詳細情報	444
FTCPE.....	445
サポートされているアーキテクチャ.....	445
概要.....	445
論理表.....	445
デザインの入力方法.....	445
使用可能な属性.....	445
詳細情報	446
FTCPLE.....	447
サポートされているアーキテクチャ.....	447
概要.....	447
論理表.....	447
デザインの入力方法.....	448
使用可能な属性.....	448
詳細情報	448
FTDCE.....	449
サポートされているアーキテクチャ.....	449
概要.....	449
論理表.....	449
デザインの入力方法.....	449
使用可能な属性.....	449
詳細情報	450
FTDCLE.....	451
サポートされているアーキテクチャ.....	451
概要.....	451
論理表.....	451
デザインの入力方法.....	452
使用可能な属性.....	452
詳細情報	452
FTDCLEX.....	453
サポートされているアーキテクチャ.....	453
概要.....	453
論理表.....	453
デザインの入力方法.....	454
使用可能な属性.....	454
詳細情報	454
FTDCP.....	455
サポートされているアーキテクチャ.....	455
概要.....	455
論理表.....	455

デザインの入力方法.....	455
使用可能な属性.....	455
詳細情報	456
FTDRSE	457
サポートされているアーキテクチャ.....	457
概要.....	457
論理表.....	457
デザインの入力方法.....	457
使用可能な属性.....	458
詳細情報	458
FTDRSLE	459
サポートされているアーキテクチャ.....	459
概要.....	459
論理表.....	460
デザインの入力方法.....	460
使用可能な属性.....	460
詳細情報	460
FTP	461
サポートされているアーキテクチャ.....	461
概要.....	461
論理表.....	461
デザインの入力方法.....	461
使用可能な属性.....	461
詳細情報	462
FTPE	463
サポートされているアーキテクチャ.....	463
概要.....	463
論理表.....	463
デザインの入力方法.....	463
使用可能な属性.....	463
詳細情報	464
FTPLE	465
サポートされているアーキテクチャ.....	465
概要.....	465
論理表.....	465
デザインの入力方法.....	465
使用可能な属性.....	466
詳細情報	466
FTRSE	467
サポートされているアーキテクチャ.....	467
概要.....	467
論理表.....	467
デザインの入力方法.....	467
使用可能な属性.....	468
詳細情報	468
FTRSLE	469
サポートされているアーキテクチャ.....	469
概要.....	469
論理表.....	469
デザインの入力方法.....	470
使用可能な属性.....	470
詳細情報	470
FTSRE	471
サポートされているアーキテクチャ.....	471
概要.....	471
論理表.....	471
デザインの入力方法.....	471
使用可能な属性.....	472
詳細情報	472

F TSRLE	473
サポートされているアーキテクチャ.....	473
概要.....	473
論理表.....	473
デザインの入力方法.....	474
使用可能な属性.....	474
詳細情報	474
GND	475
サポートされているアーキテクチャ.....	475
概要.....	475
デザインの入力方法.....	475
詳細情報	475
IBUF.....	476
サポートされているアーキテクチャ.....	476
概要.....	476
ポートの説明	476
デザインの入力方法.....	476
使用可能な属性.....	477
詳細情報	477
IBUF16	478
サポートされているアーキテクチャ.....	478
概要.....	478
デザインの入力方法.....	478
使用可能な属性.....	478
詳細情報	478
IBUF4.....	479
サポートされているアーキテクチャ.....	479
概要.....	479
デザインの入力方法.....	479
使用可能な属性.....	479
詳細情報	479
IBUF8.....	480
サポートされているアーキテクチャ.....	480
概要.....	480
デザインの入力方法.....	480
使用可能な属性.....	480
詳細情報	480
INV.....	481
サポートされているアーキテクチャ.....	481
概要.....	481
デザインの入力方法.....	481
詳細情報	481
INV16	482
サポートされているアーキテクチャ.....	482
概要.....	482
デザインの入力方法.....	482
詳細情報	482
INV4.....	483
サポートされているアーキテクチャ.....	483
概要.....	483
デザインの入力方法.....	483
詳細情報	483
INV8.....	484
サポートされているアーキテクチャ.....	484
概要.....	484
デザインの入力方法.....	484
詳細情報	484
IOBUFE	485
サポートされているアーキテクチャ.....	485

概要.....	485
論理表.....	485
デザインの入力方法.....	485
詳細情報	486
KEEPER.....	487
サポートされているアーキテクチャ.....	487
概要.....	487
ポートの説明	487
デザインの入力方法.....	487
詳細情報	488
LD.....	489
サポートされているアーキテクチャ.....	489
概要.....	489
論理表.....	489
デザインの入力方法.....	489
使用可能な属性.....	489
詳細情報	489
LD16	490
サポートされているアーキテクチャ.....	490
概要.....	490
論理表.....	490
デザインの入力方法.....	490
使用可能な属性.....	490
詳細情報	490
LD4	491
サポートされているアーキテクチャ.....	491
概要.....	491
論理表.....	491
デザインの入力方法.....	491
使用可能な属性.....	491
詳細情報	492
LD8	493
サポートされているアーキテクチャ.....	493
概要.....	493
論理表.....	493
デザインの入力方法.....	493
使用可能な属性.....	493
詳細情報	493
LDC	494
サポートされているアーキテクチャ.....	494
概要.....	494
論理表.....	494
デザインの入力方法.....	494
使用可能な属性.....	494
詳細情報	495
LDCP.....	496
サポートされているアーキテクチャ.....	496
概要.....	496
論理表.....	496
デザインの入力方法.....	496
使用可能な属性.....	497
詳細情報	497
LDG	498
サポートされているアーキテクチャ.....	498
概要.....	498
論理表.....	498
デザインの入力方法.....	498
使用可能な属性.....	498
詳細情報	499

LDG16	500
サポートされているアーキテクチャ.....	500
概要.....	500
論理表.....	500
デザインの入力方法.....	500
詳細情報	500
LDG4.....	501
サポートされているアーキテクチャ.....	501
概要.....	501
論理表.....	501
デザインの入力方法.....	501
詳細情報	502
LDG8.....	503
サポートされているアーキテクチャ.....	503
概要.....	503
論理表.....	503
デザインの入力方法.....	503
詳細情報	503
LDP	504
サポートされているアーキテクチャ.....	504
概要.....	504
論理表.....	504
デザインの入力方法.....	504
使用可能な属性.....	504
詳細情報	505
M16_1E	506
サポートされているアーキテクチャ.....	506
概要.....	506
論理表.....	507
デザインの入力方法.....	507
詳細情報	507
M2_1	508
サポートされているアーキテクチャ.....	508
概要.....	508
論理表.....	508
デザインの入力方法.....	508
詳細情報	508
M2_1B1	509
サポートされているアーキテクチャ.....	509
概要.....	509
論理表.....	509
デザインの入力方法.....	509
詳細情報	509
M2_1B2	510
サポートされているアーキテクチャ.....	510
概要.....	510
論理表.....	510
デザインの入力方法.....	510
詳細情報	510
M2_1E	511
サポートされているアーキテクチャ.....	511
概要.....	511
論理表.....	511
デザインの入力方法.....	511
詳細情報	511
M4_1E	512
サポートされているアーキテクチャ.....	512
概要.....	512
論理表.....	512

デザインの入力方法.....	512
詳細情報	512
M8_1E.....	513
サポートされているアーキテクチャ.....	513
概要.....	513
論理表.....	513
デザインの入力方法.....	513
詳細情報	514
NAND2.....	515
サポートされているアーキテクチャ.....	515
概要.....	515
デザインの入力方法.....	515
詳細情報	515
NAND2B1.....	516
サポートされているアーキテクチャ.....	516
概要.....	516
デザインの入力方法.....	516
詳細情報	516
NAND2B2.....	517
サポートされているアーキテクチャ.....	517
概要.....	517
デザインの入力方法.....	517
詳細情報	517
NAND3.....	518
サポートされているアーキテクチャ.....	518
概要.....	518
デザインの入力方法.....	518
詳細情報	518
NAND3B1.....	519
サポートされているアーキテクチャ.....	519
概要.....	519
デザインの入力方法.....	519
詳細情報	519
NAND3B2.....	520
サポートされているアーキテクチャ.....	520
概要.....	520
デザインの入力方法.....	520
詳細情報	520
NAND3B3.....	521
サポートされているアーキテクチャ.....	521
概要.....	521
デザインの入力方法.....	521
詳細情報	521
NAND4.....	522
サポートされているアーキテクチャ.....	522
概要.....	522
デザインの入力方法.....	522
詳細情報	522
NAND4B1.....	523
サポートされているアーキテクチャ.....	523
概要.....	523
デザインの入力方法.....	523
詳細情報	523
NAND4B2.....	524
サポートされているアーキテクチャ.....	524
概要.....	524
デザインの入力方法.....	524
詳細情報	524
NAND4B3.....	525

サポートされているアーキテクチャ.....	525
概要.....	525
デザインの入力方法.....	525
詳細情報.....	525
NAND4B4.....	526
サポートされているアーキテクチャ.....	526
概要.....	526
デザインの入力方法.....	526
詳細情報.....	526
NAND5.....	527
サポートされているアーキテクチャ.....	527
概要.....	527
デザインの入力方法.....	527
詳細情報.....	527
NAND5B1.....	528
サポートされているアーキテクチャ.....	528
概要.....	528
デザインの入力方法.....	528
詳細情報.....	528
NAND5B2.....	529
サポートされているアーキテクチャ.....	529
概要.....	529
デザインの入力方法.....	529
詳細情報.....	529
NAND5B3.....	530
サポートされているアーキテクチャ.....	530
概要.....	530
デザインの入力方法.....	530
詳細情報.....	530
NAND5B4.....	531
サポートされているアーキテクチャ.....	531
概要.....	531
デザインの入力方法.....	531
詳細情報.....	531
NAND5B5.....	532
サポートされているアーキテクチャ.....	532
概要.....	532
デザインの入力方法.....	532
詳細情報.....	532
NAND6.....	533
サポートされているアーキテクチャ.....	533
概要.....	533
デザインの入力方法.....	533
詳細情報.....	533
NAND7.....	534
サポートされているアーキテクチャ.....	534
概要.....	534
デザインの入力方法.....	534
詳細情報.....	534
NAND8.....	535
サポートされているアーキテクチャ.....	535
概要.....	535
デザインの入力方法.....	535
詳細情報.....	535
NAND9.....	536
サポートされているアーキテクチャ.....	536
概要.....	536
デザインの入力方法.....	536
詳細情報.....	536

NOR2.....	537
サポートされているアーキテクチャ.....	537
概要.....	537
デザインの入力方法.....	537
詳細情報	537
NOR2B1.....	538
サポートされているアーキテクチャ.....	538
概要.....	538
デザインの入力方法.....	538
詳細情報	538
NOR2B2.....	539
サポートされているアーキテクチャ.....	539
概要.....	539
デザインの入力方法.....	539
詳細情報	539
NOR3.....	540
サポートされているアーキテクチャ.....	540
概要.....	540
デザインの入力方法.....	540
詳細情報	540
NOR3B1.....	541
サポートされているアーキテクチャ.....	541
概要.....	541
デザインの入力方法.....	541
詳細情報	541
NOR3B2.....	542
サポートされているアーキテクチャ.....	542
概要.....	542
デザインの入力方法.....	542
詳細情報	542
NOR3B3.....	543
サポートされているアーキテクチャ.....	543
概要.....	543
デザインの入力方法.....	543
詳細情報	543
NOR4.....	544
サポートされているアーキテクチャ.....	544
概要.....	544
デザインの入力方法.....	544
詳細情報	544
NOR4B1.....	545
サポートされているアーキテクチャ.....	545
概要.....	545
デザインの入力方法.....	545
詳細情報	545
NOR4B2.....	546
サポートされているアーキテクチャ.....	546
概要.....	546
デザインの入力方法.....	546
詳細情報	546
NOR4B3.....	547
サポートされているアーキテクチャ.....	547
概要.....	547
デザインの入力方法.....	547
詳細情報	547
NOR4B4.....	548
サポートされているアーキテクチャ.....	548
概要.....	548
デザインの入力方法.....	548

詳細情報	548
NOR5.....	549
サポートされているアーキテクチャ.....	549
概要.....	549
デザインの入力方法.....	549
詳細情報	549
NOR5B1	550
サポートされているアーキテクチャ.....	550
概要.....	550
デザインの入力方法.....	550
詳細情報	550
NOR5B2	551
サポートされているアーキテクチャ.....	551
概要.....	551
デザインの入力方法.....	551
詳細情報	551
NOR5B3	552
サポートされているアーキテクチャ.....	552
概要.....	552
デザインの入力方法.....	552
詳細情報	552
NOR5B4	553
サポートされているアーキテクチャ.....	553
概要.....	553
デザインの入力方法.....	553
詳細情報	553
NOR5B5	554
サポートされているアーキテクチャ.....	554
概要.....	554
デザインの入力方法.....	554
詳細情報	554
NOR6.....	555
サポートされているアーキテクチャ.....	555
概要.....	555
デザインの入力方法.....	555
詳細情報	555
NOR7.....	556
サポートされているアーキテクチャ.....	556
概要.....	556
デザインの入力方法.....	556
詳細情報	556
NOR8.....	557
サポートされているアーキテクチャ.....	557
概要.....	557
デザインの入力方法.....	557
詳細情報	557
NOR9.....	558
サポートされているアーキテクチャ.....	558
概要.....	558
デザインの入力方法.....	558
詳細情報	558
OBUF	559
サポートされているアーキテクチャ.....	559
概要.....	559
ポートの説明	559
デザインの入力方法.....	559
使用可能な属性.....	559
詳細情報	560
OBUF16.....	561

サポートされているアーキテクチャ.....	561
概要.....	561
デザインの入力方法.....	561
使用可能な属性.....	561
詳細情報	561
OBUF4.....	562
サポートされているアーキテクチャ.....	562
概要.....	562
デザインの入力方法.....	562
使用可能な属性.....	562
詳細情報	562
OBUF8.....	563
サポートされているアーキテクチャ.....	563
概要.....	563
デザインの入力方法.....	563
使用可能な属性.....	563
詳細情報	563
OBUFE	564
サポートされているアーキテクチャ.....	564
概要.....	564
論理表.....	564
デザインの入力方法.....	564
詳細情報	564
OBUFE16.....	565
サポートされているアーキテクチャ.....	565
概要.....	565
論理表.....	565
デザインの入力方法.....	565
詳細情報	565
OBUFE4.....	566
サポートされているアーキテクチャ.....	566
概要.....	566
論理表.....	566
デザインの入力方法.....	566
詳細情報	566
OBUFE8.....	567
サポートされているアーキテクチャ.....	567
概要.....	567
論理表.....	567
デザインの入力方法.....	567
詳細情報	567
OBUFT	568
サポートされているアーキテクチャ.....	568
概要.....	568
論理表.....	568
ポートの説明	568
デザインの入力方法.....	568
使用可能な属性.....	569
詳細情報	569
OBUFT16.....	570
サポートされているアーキテクチャ.....	570
概要.....	570
論理表.....	570
デザインの入力方法.....	570
使用可能な属性.....	570
詳細情報	570
OBUFT4	571
サポートされているアーキテクチャ.....	571
概要.....	571

論理表.....	571
デザインの入力方法.....	571
使用可能な属性.....	571
詳細情報	572
OBUFF8	573
サポートされているアーキテクチャ.....	573
概要.....	573
論理表.....	573
デザインの入力方法.....	573
使用可能な属性.....	573
詳細情報	573
OR2	574
サポートされているアーキテクチャ.....	574
概要.....	574
デザインの入力方法.....	574
詳細情報	574
OR2B1	575
サポートされているアーキテクチャ.....	575
概要.....	575
デザインの入力方法.....	575
詳細情報	575
OR2B2	576
サポートされているアーキテクチャ.....	576
概要.....	576
デザインの入力方法.....	576
詳細情報	576
OR3	577
サポートされているアーキテクチャ.....	577
概要.....	577
デザインの入力方法.....	577
詳細情報	577
OR3B1	578
サポートされているアーキテクチャ.....	578
概要.....	578
デザインの入力方法.....	578
詳細情報	578
OR3B2	579
サポートされているアーキテクチャ.....	579
概要.....	579
デザインの入力方法.....	579
詳細情報	579
OR3B3	580
サポートされているアーキテクチャ.....	580
概要.....	580
デザインの入力方法.....	580
詳細情報	580
OR4	581
サポートされているアーキテクチャ.....	581
概要.....	581
デザインの入力方法.....	581
詳細情報	581
OR4B1	582
サポートされているアーキテクチャ.....	582
概要.....	582
デザインの入力方法.....	582
詳細情報	582
OR4B2	583
サポートされているアーキテクチャ.....	583
概要.....	583

デザインの入力方法.....	583
詳細情報	583
OR4B3	584
サポートされているアーキテクチャ.....	584
概要.....	584
デザインの入力方法.....	584
詳細情報	584
OR4B4	585
サポートされているアーキテクチャ.....	585
概要.....	585
デザインの入力方法.....	585
詳細情報	585
OR5	586
サポートされているアーキテクチャ.....	586
概要.....	586
デザインの入力方法.....	586
詳細情報	586
OR5B1	587
サポートされているアーキテクチャ.....	587
概要.....	587
デザインの入力方法.....	587
詳細情報	587
OR5B2	588
サポートされているアーキテクチャ.....	588
概要.....	588
デザインの入力方法.....	588
詳細情報	588
OR5B3	589
サポートされているアーキテクチャ.....	589
概要.....	589
デザインの入力方法.....	589
詳細情報	589
OR5B4	590
サポートされているアーキテクチャ.....	590
概要.....	590
デザインの入力方法.....	590
詳細情報	590
OR5B5	591
サポートされているアーキテクチャ.....	591
概要.....	591
デザインの入力方法.....	591
詳細情報	591
OR6	592
サポートされているアーキテクチャ.....	592
概要.....	592
デザインの入力方法.....	592
詳細情報	592
OR7	593
サポートされているアーキテクチャ.....	593
概要.....	593
デザインの入力方法.....	593
詳細情報	593
OR8	594
サポートされているアーキテクチャ.....	594
概要.....	594
デザインの入力方法.....	594
詳細情報	594
OR9	595
サポートされているアーキテクチャ.....	595

概要.....	595
デザインの入力方法.....	595
詳細情報	595
PULLDOWN	596
サポートされているアーキテクチャ.....	596
概要.....	596
ポートの説明	596
デザインの入力方法.....	596
詳細情報	597
PULLUP.....	598
サポートされているアーキテクチャ.....	598
概要.....	598
ポートの説明	598
デザインの入力方法.....	598
詳細情報	599
SR16CE.....	600
サポートされているアーキテクチャ.....	600
概要.....	600
論理表.....	600
デザインの入力方法.....	600
詳細情報	601
SR16CLE	602
サポートされているアーキテクチャ.....	602
概要.....	602
論理表.....	603
デザインの入力方法.....	603
詳細情報	603
SR16CLED.....	604
サポートされているアーキテクチャ.....	604
概要.....	604
論理表.....	605
デザインの入力方法.....	605
詳細情報	605
SR16RE	606
サポートされているアーキテクチャ.....	606
概要.....	606
論理表.....	606
デザインの入力方法.....	606
詳細情報	607
SR16RLE	608
サポートされているアーキテクチャ.....	608
概要.....	608
論理表.....	609
デザインの入力方法.....	609
詳細情報	609
SR16RLED.....	610
サポートされているアーキテクチャ.....	610
概要.....	610
論理表.....	611
デザインの入力方法.....	611
詳細情報	611
SR4CE	612
サポートされているアーキテクチャ.....	612
概要.....	612
論理表.....	612
デザインの入力方法.....	612
詳細情報	613
SR4CLE.....	614
サポートされているアーキテクチャ.....	614

概要.....	614
論理表.....	615
デザインの入力方法.....	615
詳細情報.....	615
SR4CLED.....	616
サポートされているアーキテクチャ.....	616
概要.....	616
論理表.....	617
デザインの入力方法.....	617
詳細情報.....	617
SR4RE.....	618
サポートされているアーキテクチャ.....	618
概要.....	618
論理表.....	618
デザインの入力方法.....	618
詳細情報.....	619
SR4RLE.....	620
サポートされているアーキテクチャ.....	620
概要.....	620
論理表.....	621
デザインの入力方法.....	621
詳細情報.....	621
SR4RLED.....	622
サポートされているアーキテクチャ.....	622
概要.....	622
論理表.....	623
デザインの入力方法.....	623
詳細情報.....	623
SR8CE.....	624
サポートされているアーキテクチャ.....	624
概要.....	624
論理表.....	624
デザインの入力方法.....	624
詳細情報.....	625
SR8CLE.....	626
サポートされているアーキテクチャ.....	626
概要.....	626
論理表.....	627
デザインの入力方法.....	627
詳細情報.....	627
SR8CLED.....	628
サポートされているアーキテクチャ.....	628
概要.....	628
論理表.....	629
デザインの入力方法.....	629
詳細情報.....	629
SR8RE.....	630
サポートされているアーキテクチャ.....	630
概要.....	630
論理表.....	630
デザインの入力方法.....	630
詳細情報.....	631
SR8RLE.....	632
サポートされているアーキテクチャ.....	632
概要.....	632
論理表.....	633
デザインの入力方法.....	633
詳細情報.....	633
SR8RLED.....	634

サポートされているアーキテクチャ.....	634
概要.....	634
論理表.....	635
デザインの入力方法.....	635
詳細情報	635
SRD16CE.....	636
サポートされているアーキテクチャ.....	636
概要.....	636
論理表.....	636
デザインの入力方法.....	636
詳細情報	637
SRD16CLE.....	638
サポートされているアーキテクチャ.....	638
概要.....	638
論理表.....	639
デザインの入力方法.....	639
詳細情報	639
SRD16CLED	640
サポートされているアーキテクチャ.....	640
概要.....	640
論理表.....	641
デザインの入力方法.....	641
詳細情報	641
SRD16RE.....	642
サポートされているアーキテクチャ.....	642
概要.....	642
論理表.....	642
デザインの入力方法.....	643
詳細情報	643
SRD16RLE.....	644
サポートされているアーキテクチャ.....	644
概要.....	644
論理表.....	645
デザインの入力方法.....	645
詳細情報	645
SRD16RLED.....	646
サポートされているアーキテクチャ.....	646
概要.....	646
論理表.....	647
デザインの入力方法.....	647
詳細情報	647
SRD4CE.....	648
サポートされているアーキテクチャ.....	648
概要.....	648
論理表.....	648
デザインの入力方法.....	648
詳細情報	649
SRD4CLE.....	650
サポートされているアーキテクチャ.....	650
概要.....	650
論理表.....	651
デザインの入力方法.....	651
詳細情報	651
SRD4CLED	652
サポートされているアーキテクチャ.....	652
概要.....	652
論理表.....	653
デザインの入力方法.....	653
詳細情報	653

SRD4RE	654
サポートされているアーキテクチャ.....	654
概要.....	654
論理表.....	654
デザインの入力方法.....	655
詳細情報	655
SRD4RLE.....	656
サポートされているアーキテクチャ.....	656
概要.....	656
論理表.....	657
デザインの入力方法.....	657
詳細情報	657
SRD4RLED	658
サポートされているアーキテクチャ.....	658
概要.....	658
論理表.....	659
デザインの入力方法.....	659
詳細情報	659
SRD8CE	660
サポートされているアーキテクチャ.....	660
概要.....	660
論理表.....	660
デザインの入力方法.....	660
詳細情報	661
SRD8CLE	662
サポートされているアーキテクチャ.....	662
概要.....	662
論理表.....	663
デザインの入力方法.....	663
詳細情報	663
SRD8CLED	664
サポートされているアーキテクチャ.....	664
概要.....	664
論理表.....	665
デザインの入力方法.....	665
詳細情報	665
SRD8RE	666
サポートされているアーキテクチャ.....	666
概要.....	666
論理表.....	666
デザインの入力方法.....	667
詳細情報	667
SRD8RLE.....	668
サポートされているアーキテクチャ.....	668
概要.....	668
論理表.....	669
デザインの入力方法.....	669
詳細情報	669
SRD8RLED	670
サポートされているアーキテクチャ.....	670
概要.....	670
論理表.....	671
デザインの入力方法.....	671
詳細情報	671
VCC	672
サポートされているアーキテクチャ.....	672
概要.....	672
デザインの入力方法.....	672
詳細情報	672

XNOR2	673
サポートされているアーキテクチャ.....	673
概要.....	673
論理表.....	673
デザインの入力方法.....	673
詳細情報	673
XNOR3	674
サポートされているアーキテクチャ.....	674
概要.....	674
論理表.....	674
デザインの入力方法.....	674
詳細情報	674
XNOR4	675
サポートされているアーキテクチャ.....	675
概要.....	675
論理表.....	675
デザインの入力方法.....	675
詳細情報	675
XNOR5	676
サポートされているアーキテクチャ.....	676
概要.....	676
論理表.....	676
デザインの入力方法.....	676
詳細情報	676
XNOR6	677
サポートされているアーキテクチャ.....	677
概要.....	677
論理表.....	677
デザインの入力方法.....	677
詳細情報	677
XNOR7	678
サポートされているアーキテクチャ.....	678
概要.....	678
論理表.....	678
デザインの入力方法.....	678
詳細情報	678
XNOR8	679
サポートされているアーキテクチャ.....	679
概要.....	679
論理表.....	679
デザインの入力方法.....	679
詳細情報	679
XNOR9	680
サポートされているアーキテクチャ.....	680
概要.....	680
論理表.....	680
デザインの入力方法.....	680
詳細情報	680
XOR2.....	681
サポートされているアーキテクチャ.....	681
概要.....	681
デザインの入力方法.....	681
詳細情報	681
XOR3.....	682
サポートされているアーキテクチャ.....	682
概要.....	682
デザインの入力方法.....	682
詳細情報	682
XOR4.....	683

サポートされているアーキテクチャ.....	683
概要.....	683
デザインの入力方法.....	683
詳細情報	683
XOR5.....	684
サポートされているアーキテクチャ.....	684
概要.....	684
デザインの入力方法.....	684
詳細情報	684
XOR6.....	685
サポートされているアーキテクチャ.....	685
概要.....	685
デザインの入力方法.....	685
詳細情報	685
XOR7.....	686
サポートされているアーキテクチャ.....	686
概要.....	686
デザインの入力方法.....	686
詳細情報	686
XOR8.....	687
サポートされているアーキテクチャ.....	687
概要.....	687
デザインの入力方法.....	687
詳細情報	687
XOR9.....	688
サポートされているアーキテクチャ.....	688
概要.....	688
デザインの入力方法.....	688
詳細情報	688

第 1 章

このマニュアルについて

HDL 用ライブラリ ガイドは、ISE のオンライン マニュアルの 1 つです。回路図を使用して設計する場合は、回路図用ライブラリ ガイドを参照してください。

このマニュアルには、次の内容が含まれます。

- ・ 概要
- ・ このアーキテクチャでサポートされるプリミティブとマクロのファンクション別リスト
- ・ 各プリミティブの詳細説明

デザイン エLEMENT

このバージョンのライブラリ ガイドでは、このアーキテクチャのデザイン エLEMENTが記載されています。デザイン エLEMENTはいくつかのカテゴリに分類されています。

- ・ **プリミティブ**：ザイリンクス ライブラリで、ロジックの基本となる最も単純なデザイン エLEMENT。ザイリンクスのプリミティブの例として、BUF (バッファ)、FD (D フリップフロップ) などがあります。
- ・ **マクロ**：ザイリンクス ライブラリの基本となるデザイン エLEMENT。デザイン エLEMENTのプリミティブまたはマクロから作成することができます。たとえば、FD4CE フリップフロップ マクロは 4 つの FDCE プリミティブをまとめたものです。

ザイリンクスでは、さまざまなデバイス アーキテクチャに対応した多数のデザイン エLEMENT (マクロおよびプリミティブ) を含むソフトウェア ライブラリを提供しています。開発システム ソフトウェアのリリースごとに、新しいデザイン エLEMENT が組み込まれます。このマニュアルは、そのようなアーキテクチャ固有のライブラリの 1 つです。

ファンクション別分類

このセクションでは、デバイスに含まれるデザイン エLEMENTをファンクション別に分類して示します。ELEMENT (プリミティブおよびマクロのインプリメンテーション) は、各カテゴリでアルファベット順にリストしています。

演算ファンクション

バッファ

クロック分周器

コンパレータ

カウンタ

デコーダ

フリップフロップ

汎用ELEMENT

I/O

ラッチ

ロジック

マルチプレクサ

シフトレジスタ

シフタ

演算ファンクション

デザイン ELEMENT	説明
ACC1	マクロ : 1-Bit Loadable Cascadable Accumulator with Carry-In, Carry-Out, and Synchronous Reset
ACC16	マクロ : 16-Bit Loadable Cascadable Accumulator with Carry-In, Carry-Out, and Synchronous Reset
ACC4	マクロ : 4-Bit Loadable Cascadable Accumulator with Carry-In, Carry-Out, and Synchronous Reset
ACC8	マクロ : 8-Bit Loadable Cascadable Accumulator with Carry-In, Carry-Out, and Synchronous Reset
ADD1	マクロ : 1-Bit Full Adder with Carry-In and Carry-Out
ADD16	マクロ : 16-Bit Cascadable Full Adder with Carry-In, Carry-Out, and Overflow
ADD4	マクロ : 4-Bit Cascadable Full Adder with Carry-In, Carry-Out, and Overflow
ADD8	マクロ : 8-Bit Cascadable Full Adder with Carry-In, Carry-Out, and Overflow
ADSU1	マクロ : 1-Bit Cascadable Adder/Subtractor with Carry-In, Carry-Out
ADSU16	マクロ : 16-Bit Cascadable Adder/Subtractor with Carry-In, Carry-Out, and Overflow
ADSU4	マクロ : 4-Bit Cascadable Adder/Subtractor with Carry-In, Carry-Out, and Overflow
ADSU8	マクロ : 8-Bit Cascadable Adder/Subtractor with Carry-In, Carry-Out, and Overflow

バッファ

デザイン エLEMENT	説明
BUF	プリミティブ : General Purpose Buffer
BUF16	マクロ : 16-Bit General Purpose Buffer
BUF4	マクロ : 4-Bit General Purpose Buffer
BUF8	マクロ : 8-Bit General Purpose Buffer
BUFE	プリミティブ : Internal 3-State Buffer with Active High Enable
BUFE16	マクロ : 16-Bit Internal 3-State Buffer with Active High Enable
BUFE4	マクロ : 4-Bit Internal 3-State Buffer with Active High Enable
BUFE8	マクロ : 8-Bit Internal 3-State Buffer with Active High Enable
BUFG	コンビニエンス プリミティブ : Global Clock Buffer
BUFGSR	プリミティブ : Global Set/Reset Input Buffer
BUFGTS	プリミティブ : Global 3-State Input Buffer
BUFT	プリミティブ : Internal 3-State Buffer with Active Low Enable
BUFT16	マクロ : 16-Bit Internal 3-State Buffers with Active Low Enable
BUFT4	マクロ : 4-Bit Internal 3-State Buffers with Active Low Enable
BUFT8	マクロ : 8-Bit Internal 3-State Buffers with Active Low Enable

クロック分周器

デザイン エLEMENT	説明
CLK_DIV10	プリミティブ : Simple Global Clock Divide by 10
CLK_DIV10R	プリミティブ : Global Clock Divide by 10 with Synchronous Reset
CLK_DIV10RSD	プリミティブ : Global Clock Divide by 10 with Synchronous Reset and Start Delay
CLK_DIV10SD	プリミティブ : Global Clock Divide by 10 with Start Delay
CLK_DIV12	プリミティブ : Simple Global Clock Divide by 12
CLK_DIV12R	プリミティブ : Global Clock Divide by 12 with Synchronous Reset
CLK_DIV12RSD	プリミティブ : Global Clock Divide by 12 with Synchronous Reset and Start Delay
CLK_DIV12SD	プリミティブ : Global Clock Divide by 12 with Start Delay
CLK_DIV14R	プリミティブ : Global Clock Divide by 14 with Synchronous Reset
CLK_DIV14RSD	プリミティブ : Global Clock Divide by 14 with Synchronous Reset and Start Delay
CLK_DIV14SD	プリミティブ : Global Clock Divide by 14 with Start Delay
CLK_DIV16	プリミティブ : Simple Global Clock Divide by 16
CLK_DIV16R	プリミティブ : Global Clock Divide by 16 with Synchronous Reset
CLK_DIV16RSD	プリミティブ : Global Clock Divide by 16 with Synchronous Reset and Start Delay
CLK_DIV16SD	プリミティブ : Global Clock Divide by 16 with Start Delay
CLK_DIV2	プリミティブ : Simple Global Clock Divide by 2
CLK_DIV2R	プリミティブ : Global Clock Divide by 2 with Synchronous Reset
CLK_DIV2RSD	プリミティブ : Global Clock Divide by 2 with Synchronous Reset and Start Delay
CLK_DIV2SD	プリミティブ : Global Clock Divide by 2 with Start Delay
CLK_DIV4	プリミティブ : Simple Global Clock Divide by 4
CLK_DIV4R	プリミティブ : Global Clock Divide by 4 with Synchronous Reset
CLK_DIV4RSD	プリミティブ : Global Clock Divide by 4 with Synchronous Reset and Start Delay
CLK_DIV4SD	プリミティブ : Global Clock Divide by 4 with Start Delay
CLK_DIV6	プリミティブ : Simple Global Clock Divide by 6
CLK_DIV6R	プリミティブ : Global Clock Divide by 6 with Synchronous Reset
CLK_DIV6RSD	プリミティブ : Global Clock Divide by 6 with Synchronous Reset and Start Delay
CLK_DIV6SD	プリミティブ : Global Clock Divide by 6 with Start Delay
CLK_DIV8	プリミティブ : Simple Global Clock Divide by 8
CLK_DIV8R	プリミティブ : Global Clock Divide by 8 with Synchronous Reset
CLK_DIV8RSD	プリミティブ : Global Clock Divide by 8 with Synchronous Reset and Start Delay
CLK_DIV8SD	プリミティブ : Global Clock Divide by 8 with Start Delay

コンパレータ

デザイン エLEMENT	説明
COMP16	マクロ : 16-Bit Identity Comparator
COMP2	マクロ : 2-Bit Identity Comparator
COMP4	マクロ : 4-Bit Identity Comparator
COMP8	マクロ : 8-Bit Identity Comparator
COMPM16	マクロ : 16-Bit Magnitude Comparator
COMPM2	マクロ : 2-Bit Magnitude Comparator
COMPM4	マクロ : 4-Bit Magnitude Comparator
COMPM8	マクロ : 8-Bit Magnitude Comparator

カウンタ

デザイン エLEMENT	説明
CB16CE	マクロ : 16-Bit Cascadable Binary Counter with Clock Enable and Asynchronous Clear
CB16CLE	マクロ : 16-Bit Loadable Cascadable Binary Counters with Clock Enable and Asynchronous Clear
CB16CLED	マクロ : 16-Bit Loadable Cascadable Bidirectional Binary Counters with Clock Enable and Asynchronous Clear
CB16RE	マクロ : 16-Bit Cascadable Binary Counter with Clock Enable and Synchronous Reset
CB16RLE	マクロ : 16-Bit Loadable Cascadable Binary Counter with Clock Enable and Synchronous Reset
CB16X1	マクロ : 16-Bit Loadable Cascadable Bidirectional Binary Counter with Clock Enable and Asynchronous Clear
CB16X2	マクロ : 16-Bit Loadable Cascadable Bidirectional Binary Counter with Clock Enable and Synchronous Reset
CB2CE	マクロ : 2-Bit Cascadable Binary Counter with Clock Enable and Asynchronous Clear
CB2CLE	マクロ : 2-Bit Loadable Cascadable Binary Counters with Clock Enable and Asynchronous Clear
CB2CLED	マクロ : 2-Bit Loadable Cascadable Bidirectional Binary Counters with Clock Enable and Asynchronous Clear
CB2RE	マクロ : 2-Bit Cascadable Binary Counter with Clock Enable and Synchronous Reset
CB2RLE	マクロ : 2-Bit Loadable Cascadable Binary Counter with Clock Enable and Synchronous Reset
CB2X1	マクロ : 2-Bit Loadable Cascadable Bidirectional Binary Counter with Clock Enable and Asynchronous Clear
CB4CE	マクロ : 4-Bit Cascadable Binary Counter with Clock Enable and Asynchronous Clear
CB4CLE	マクロ : 4-Bit Loadable Cascadable Binary Counters with Clock Enable and Asynchronous Clear
CB4CLED	マクロ : 4-Bit Loadable Cascadable Bidirectional Binary Counters with Clock Enable and Asynchronous Clear
CB4RE	マクロ : 4-Bit Cascadable Binary Counter with Clock Enable and Synchronous Reset
CB4RLE	マクロ : 4-Bit Loadable Cascadable Binary Counter with Clock Enable and Synchronous Reset

デザイン エLEMENT	説明
CB4X1	マクロ : 4-Bit Loadable Cascadable Bidirectional Binary Counter with Clock Enable and Asynchronous Clear
CB4X2	マクロ : 4-Bit Loadable Cascadable Bidirectional Binary Counter with Clock Enable and Synchronous Reset
CB8CE	マクロ : 8-Bit Cascadable Binary Counter with Clock Enable and Asynchronous Clear
CB8CLE	マクロ : 8-Bit Loadable Cascadable Binary Counters with Clock Enable and Asynchronous Clear
CB8CLED	マクロ : 8-Bit Loadable Cascadable Bidirectional Binary Counters with Clock Enable and Asynchronous Clear
CB8RE	マクロ : 8-Bit Cascadable Binary Counter with Clock Enable and Synchronous Reset
CB8RLE	マクロ : 8-Bit Loadable Cascadable Binary Counter with Clock Enable and Synchronous Reset
CB8X1	マクロ : 8-Bit Loadable Cascadable Bidirectional Binary Counter with Clock Enable and Asynchronous Clear
CB8X2	マクロ : 8-Bit Loadable Cascadable Bidirectional Binary Counter with Clock Enable and Synchronous Reset
CBD16CE	マクロ : 16-Bit Cascadable Dual Edge Triggered Binary Counter with Clock Enable and Asynchronous Clear
CBD16CLE	マクロ : 16-Bit Loadable Cascadable Dual Edge Triggered Binary Counter with Clock Enable and Asynchronous Clear
CBD16CLED	マクロ : 16-Bit Loadable Cascadable Bidirectional Dual Edge Triggered Binary Counter with Clock Enable and Asynchronous Clear
CBD16RE	マクロ : 16-Bit Cascadable Dual Edge Triggered Binary Counter with Clock Enable and Synchronous Reset
CBD16RLE	マクロ : 16-Bit Loadable Cascadable Dual Edge Triggered Binary Counter with Clock Enable and Synchronous Reset
CBD16X1	マクロ : 16-Bit Loadable Cascadable Bidirectional Dual Edge Triggered Binary Counter with Clock Enable and Asynchronous Clear
CBD16X2	マクロ : 16-Bit Loadable Cascadable Bidirectional Dual Edge Triggered Binary Counter with Clock Enable and Synchronous Reset
CBD2CE	マクロ : 2-Bit Cascadable Dual Edge Triggered Binary Counter with Clock Enable and Asynchronous Clear
CBD2CLE	マクロ : 2-Bit Loadable Cascadable Dual Edge Triggered Binary Counter with Clock Enable and Asynchronous Clear
CBD2CLED	マクロ : 2-Bit Loadable Cascadable Bidirectional Dual Edge Triggered Binary Counter with Clock Enable and Asynchronous Clear
CBD2RE	マクロ : 2-Bit Cascadable Dual Edge Triggered Binary Counter with Clock Enable and Synchronous Reset
CBD2RLE	マクロ : 2-Bit Loadable Cascadable Dual Edge Triggered Binary Counter with Clock Enable and Synchronous Reset
CBD2X1	マクロ : 2-Bit Loadable Cascadable Bidirectional Dual Edge Triggered Binary Counter with Clock Enable and Asynchronous Clear
CBD2X2	マクロ : 2-Bit Loadable Cascadable Bidirectional Dual Edge Triggered Binary Counter with Clock Enable and Synchronous Reset
CBD4CE	マクロ : 4-Bit Cascadable Dual Edge Triggered Binary Counter with Clock Enable and Asynchronous Clear

デザイン エLEMENT	説明
CBD4CLE	マクロ : 4-Bit Loadable Cascadable Dual Edge Triggered Binary Counter with Clock Enable and Asynchronous Clear
CBD4CLED	マクロ : 4-Bit Loadable Cascadable Bidirectional Dual Edge Triggered Binary Counter with Clock Enable and Asynchronous Clear
CBD4RE	マクロ : 4-Bit Cascadable Dual Edge Triggered Binary Counter with Clock Enable and Synchronous Reset
CBD4RLE	マクロ : 4-Bit Loadable Cascadable Dual Edge Triggered Binary Counter with Clock Enable and Synchronous Reset
CBD4X1	マクロ : 4-Bit Loadable Cascadable Bidirectional Dual Edge Triggered Binary Counter with Clock Enable and Asynchronous Clear
CBD4X2	マクロ : 4-Bit Loadable Cascadable Bidirectional Dual Edge Triggered Binary Counter with Clock Enable and Synchronous Reset
CBD8CE	マクロ : 8-Bit Cascadable Dual Edge Triggered Binary Counter with Clock Enable and Asynchronous Clear
CBD8CLE	マクロ : 8-Bit Loadable Cascadable Dual Edge Triggered Binary Counter with Clock Enable and Asynchronous Clear
CBD8CLED	マクロ : 8-Bit Loadable Cascadable Bidirectional Dual Edge Triggered Binary Counter with Clock Enable and Asynchronous Clear
CBD8RE	マクロ : 8-Bit Cascadable Dual Edge Triggered Binary Counter with Clock Enable and Synchronous Reset
CBD8X1	マクロ : 8-Bit Loadable Cascadable Bidirectional Dual Edge Triggered Binary Counter with Clock Enable and Asynchronous Clear
CBD8X2	マクロ : 8-Bit Loadable Cascadable Bidirectional Dual Edge Triggered Binary Counter with Clock Enable and Synchronous Reset
CD4CE	マクロ : 4-Bit Cascadable BCD Counter with Clock Enable and Asynchronous Clear
CD4CLE	マクロ : 4-Bit Loadable Cascadable BCD Counter with Clock Enable and Asynchronous Clear
CD4RE	マクロ : 4-Bit Cascadable BCD Counter with Clock Enable and Synchronous Reset
CD4RLE	マクロ : 4-Bit Loadable Cascadable BCD Counter with Clock Enable and Synchronous Reset
CDD4CE	マクロ : 4-Bit Cascadable Dual Edge Triggered BCD Counter with Clock Enable and Asynchronous Clear
CDD4CLE	マクロ : 4-Bit Loadable Cascadable Dual Edge Triggered BCD Counter with Clock Enable and Asynchronous Clear
CDD4RE	マクロ : 4-Bit Cascadable Dual Edge Triggered BCD Counter with Clock Enable and Synchronous Reset
CDD4RLE	マクロ : 4-Bit Loadable Cascadable Dual Edge Triggered BCD Counter with Clock Enable and Synchronous Reset
CJ4CE	4-Bit Johnson Counter with Clock Enable and Asynchronous Clear
CJ4RE	マクロ : 4-Bit Johnson Counter with Clock Enable and Synchronous Reset
CJ5CE	マクロ : 5-Bit Johnson Counter with Clock Enable and Asynchronous Clear
CJ5RE	マクロ : 5-Bit Johnson Counter with Clock Enable and Synchronous Reset
CJ8CE	マクロ : 8-Bit Johnson Counter with Clock Enable and Asynchronous Clear
CJ8RE	マクロ : 8-Bit Johnson Counter with Clock Enable and Synchronous Reset
CJD4CE	マクロ : 4-Bit Dual Edge Triggered Johnson Counter with Clock Enable and Asynchronous Clear

デザイン エLEMENT	説明
CJD4RE	マクロ : 4-Bit Dual Edge Triggered Johnson Counter with Clock Enable and Synchronous Reset
CJD5CE	マクロ : 5-Bit Dual Edge Triggered Johnson Counter with Clock Enable and Asynchronous Clear
CJD5RE	マクロ : 5-Bit Dual Edge Triggered Johnson Counter with Clock Enable and Synchronous Reset
CJD8CE	マクロ : 8-Bit Dual Edge Triggered Johnson Counter with Clock Enable and Asynchronous Clear
CJD8RE	マクロ : 8-Bit Dual Edge Triggered Johnson Counter with Clock Enable and Synchronous Reset
CR16CE	マクロ : 16-Bit Negative-Edge Binary Ripple Counter with Clock Enable and Asynchronous Clear
CR8CE	マクロ : 8-Bit Negative-Edge Binary Ripple Counter with Clock Enable and Asynchronous Clear
CRD16CE	マクロ : 16-Bit Dual-Edge Triggered Binary Ripple Counter with Clock Enable and Asynchronous Clear
CRD8CE	マクロ : 8-Bit Dual-Edge Triggered Binary Ripple Counter with Clock Enable and Asynchronous Clear

デコーダ

デザイン エLEMENT	説明
D2_4E	マクロ : 2- to 4-Line Decoder/Demultiplexer with Enable
D3_8E	マクロ : 3- to 8-Line Decoder/Demultiplexer with Enable
D4_16E	マクロ : 4- to 16-Line Decoder/Demultiplexer with Enable

フリップフロップ

デザイン エLEMENT	説明
FD	その他 : D Flip-Flop
FD16	マクロ : Multiple D Flip-Flop
FD16CE	マクロ : 16-Bit Data Register with Clock Enable and Asynchronous Clear
FD16RE	マクロ : 16-Bit Data Register with Clock Enable and Synchronous Reset
FD4	マクロ : Multiple D Flip-Flop
FD4CE	マクロ : 4-Bit Data Register with Clock Enable and Asynchronous Clear
FD8	マクロ : Multiple D Flip-Flop
FD8CE	マクロ : 8-Bit Data Register with Clock Enable and Asynchronous Clear
FD8RE	マクロ : 8-Bit Data Register with Clock Enable and Synchronous Reset
FDC	その他 : D Flip-Flop with Asynchronous Clear
FDCE	プリミティブ : D Flip-Flop with Clock Enable and Asynchronous Clear
FDCP	プリミティブ : D Flip-Flop with Asynchronous Preset and Clear

デザイン エLEMENT	説明
FDCPE	プリミティブ : D Flip-Flop with Clock Enable and Asynchronous Preset and Clear
FDD	マクロ : Dual Edge Triggered D Flip-Flop
FDD16	マクロ : Multiple Dual Edge Triggered D Flip-Flop
FDD16CE	マクロ : 16-Bit Dual Edge Triggered Data Register with Clock Enable and Asynchronous Clear
FDD16RE	マクロ : 16-Bit Dual Edge Triggered Data Register with Clock Enable and Synchronous Reset
FDD4	Multiple Dual Edge Triggered D Flip-Flop
FDD4CE	マクロ : 4-Bit Dual Edge Triggered Data Register with Clock Enable and Asynchronous Clear
FDD4RE	マクロ : 4-Bit Dual Edge Triggered Data Register with Clock Enable and Synchronous Reset
FDD8	マクロ : Multiple Dual Edge Triggered D Flip-Flop
FDD8CE	マクロ : 8-Bit Dual Edge Triggered Data Register with Clock Enable and Asynchronous Clear
FDD8RE	マクロ : 8-Bit Dual Edge Triggered Data Register with Clock Enable and Synchronous Reset
FDDC	マクロ : D Dual Edge Triggered Flip-Flop with Asynchronous Clear
FDDCE	プリミティブ : Dual Edge Triggered D Flip-Flop with Clock Enable and Asynchronous Clear
FDDCP	プリミティブ : Dual Edge Triggered D Flip-Flop Asynchronous Preset and Clear
FDDCPE	マクロ : Dual Edge Triggered D Flip-Flop with Clock Enable and Asynchronous Preset and Clear
FDDP	マクロ : Dual Edge Triggered D Flip-Flop with Asynchronous Preset
FDDPE	プリミティブ : Dual Edge Triggered D Flip-Flop with Clock Enable and Asynchronous Preset
FDDR	マクロ : Dual Edge Triggered D Flip-Flop with Synchronous Reset
FDDRE	マクロ : Dual Edge Triggered D Flip-Flop with Clock Enable and Synchronous Reset
FDDRS	マクロ : Dual Edge Triggered D Flip-Flop with Synchronous Reset and Set
FDDRSE	マクロ : Dual Edge Triggered D Flip-Flop with Synchronous Reset and Set and Clock Enable
FDDS	マクロ : Dual Edge Triggered D Flip-Flop with Synchronous Set
FDDSE	マクロ : D Flip-Flop with Clock Enable and Synchronous Set
FDDSR	マクロ : Dual Edge Triggered D Flip-Flop with Synchronous Set and Reset
FDDSRE	マクロ : Dual Edge Triggered D Flip-Flop with Synchronous Set and Reset and Clock Enable
FDP	その他 : D Flip-Flop with Asynchronous Preset
FDPE	プリミティブ : D Flip-Flop with Clock Enable and Asynchronous Preset
FDR	その他 : D Flip-Flop with Synchronous Reset
FDRE	その他 : D Flip-Flop with Clock Enable and Synchronous Reset
FDRS	その他 : マクロ : D Flip-Flop with Synchronous Reset and Set
FDRSE	その他 : D Flip-Flop with Synchronous Reset and Set and Clock Enable
FDS	その他 : D Flip-Flop with Synchronous Set
FDSE	その他 : D Flip-Flop with Clock Enable and Synchronous Set
FDSR	D Flip-Flop with Synchronous Set and Reset
FDSRE	マクロ : D Flip-Flop with Synchronous Set and Reset and Clock Enable
FJKC	マクロ : J-K Flip-Flop with Asynchronous Clear

デザイン エLEMENT	説明
FJKCE	マクロ : J-K Flip-Flop with Clock Enable and Asynchronous Clear
FJKCP	マクロ : J-K Flip-Flop with Asynchronous Clear and Preset
FJKCPE	マクロ : J-K Flip-Flop with Asynchronous Clear and Preset and Clock Enable
FJKP	マクロ : J-K Flip-Flop with Asynchronous Preset
FJKPE	マクロ : J-K Flip-Flop with Clock Enable and Asynchronous Preset
FJKRSE	マクロ : J-K Flip-Flop with Clock Enable and Synchronous Reset and Set
FJKSRE	マクロ : J-K Flip-Flop with Clock Enable and Synchronous Set and Reset
FTC	マクロ : Toggle Flip-Flop with Asynchronous Clear
FTCE	マクロ : Toggle Flip-Flop with Clock Enable and Asynchronous Clear
FTCLE	マクロ : Toggle/Loadable Flip-Flop with Clock Enable and Asynchronous Clear
FTCLEX	マクロ : Toggle/Loadable Flip-Flop with Clock Enable and Asynchronous Clear
FTCP	プリミティブ : Toggle Flip-Flop with Asynchronous Clear and Preset
FTCPE	マクロ : Toggle Flip-Flop with Clock Enable and Asynchronous Clear and Preset
FTCPLE	マクロ : Loadable Toggle Flip-Flop with Clock Enable and Asynchronous Clear and Preset
FTDCE	マクロ : Dual-Edge Triggered Toggle Flip-Flop with Clock Enable and Asynchronous Clear
FTDCLE	マクロ : Dual-Edge Triggered Toggle/Loadable Flip-Flop with Clock Enable and Asynchronous Clear
FTDCLEX	マクロ : Dual-Edge Triggered Toggle/Loadable Flip-Flop with Clock Enable and Asynchronous Clear
FTDCP	プリミティブ : Dual-Edge Triggered Toggle Flip-Flop with Asynchronous Clear and Preset
FTDRSE	マクロ : Dual-Edge Triggered Toggle Flip-Flop with Synchronous Reset, Set, and Clock Enable
FTDRSLE	マクロ : Dual-Edge Triggered Toggle Flip-Flop with Clock Enable and Synchronous Reset and Set
FTP	マクロ : Toggle Flip-Flop with Asynchronous Preset
FTPE	マクロ : Toggle Flip-Flop with Clock Enable and Asynchronous Preset
FTPLE	マクロ : Toggle/Loadable Flip-Flop with Clock Enable and Asynchronous Preset
FTRSE	マクロ : Toggle Flip-Flop with Clock Enable and Synchronous Reset and Set
FTRSLE	マクロ : Toggle/Loadable Flip-Flop with Clock Enable and Synchronous Reset and Set
FTSRE	マクロ : Toggle Flip-Flop with Clock Enable and Synchronous Set and Reset
FTSRLE	マクロ : Toggle/Loadable Flip-Flop with Clock Enable and Synchronous Set and Reset

汎用エレメント

デザイン エレメント	説明
GND	プリミティブ : Ground-Connection Signal Tag
KEEPER	プリミティブ : KEEPER Symbol
PULLDOWN	プリミティブ : Resistor to GND for Input Pads, Open-Drain, and 3-State Outputs
PULLUP	プリミティブ : Resistor to VCC for Input PADS, Open-Drain, and 3-State Outputs
VCC	プリミティブ : VCC-Connection Signal Tag

I/O

デザイン エレメント	説明
IBUF	プリミティブ : Input Buffer
IBUF16	マクロ : 16-Bit Input Buffer
IBUF4	マクロ : 4-Bit Input Buffer
IBUF8	マクロ : 8-Bit Input Buffer
IOBUFE	プリミティブ : Bi-Directional Buffer
OBUF	プリミティブ : Output Buffer
OBUF16	マクロ : 16-Bit Output Buffer
OBUF4	マクロ : 4-Bit Output Buffer
OBUF8	マクロ : 8-Bit Output Buffer
OBUE	マクロ : 3-State Output Buffer with Active-High Output Enable
OBUE16	マクロ : 16-Bit 3-State Output Buffer with Active-High Output Enable
OBUE4	マクロ : 4-Bit 3-State Output Buffer with Active-High Output Enable
OBUE8	マクロ : 8-Bit 3-State Output Buffer with Active-High Output Enable
OBUFT	プリミティブ : 3-State Output Buffer with Active Low Output Enable
OBUFT16	マクロ : 16-Bit 3-State Output Buffer with Active Low Output Enable
OBUFT4	マクロ : 4-Bit 3-State Output Buffers with Active-Low Output Enable
OBUFT8	マクロ : 8-Bit 3-State Output Buffers with Active-Low Output Enable

ラッチ

デザイン エLEMENT	説明
LD	プリミティブ : Transparent Data Latch
LD16	マクロ : Multiple Transparent Data Latch
LD4	マクロ : Multiple Transparent Data Latch
LD8	マクロ : Multiple Transparent Data Latch
LDC	プリミティブ : マクロ : Transparent Data Latch with Asynchronous Clear
LDCP	プリミティブ : Transparent Data Latch with Asynchronous Clear and Preset
LDG	プリミティブ : Transparent Datagate Latch
LDG16	マクロ : 16-bit Transparent Datagate Latch
LDG4	マクロ : 4-Bit Transparent Datagate Latch
LDG8	マクロ : 8-Bit Transparent Datagate Latch
LDP	プリミティブ : マクロ : Transparent Data Latch with Asynchronous Preset

ロジック

デザイン エLEMENT	説明
AND2	プリミティブ : 2-Input AND Gate with Non-Inverted Inputs
AND2B1	プリミティブ : 2-Input AND Gate with 1 Inverted and 1 Non-Inverted Inputs
AND2B2	プリミティブ : 2-Input AND Gate with Inverted Inputs
AND3	プリミティブ : 3-Input AND Gate with Non-Inverted Inputs
AND3B1	プリミティブ : 3-Input AND Gate with 1 Inverted and 2 Non-Inverted Inputs
AND3B2	プリミティブ : 3-Input AND Gate with 2 Inverted and 1 Non-Inverted Inputs
AND3B3	プリミティブ : 3-Input AND Gate with Inverted Inputs
AND4	プリミティブ : 4-Input AND Gate with Non-Inverted Inputs
AND4B1	プリミティブ : 4-Input AND Gate with 1 Inverted and 3 Non-Inverted Inputs
AND4B2	プリミティブ : 4-Input AND Gate with 2 Inverted and 2 Non-Inverted Inputs
AND4B3	プリミティブ : 4-Input AND Gate with 3 Inverted and 1 Non-Inverted Inputs
AND4B4	プリミティブ : 4-Input AND Gate with Inverted Inputs
AND5	プリミティブ : 5-Input AND Gate with Non-Inverted Inputs
AND5B1	プリミティブ : 5-Input AND Gate with 1 Inverted and 4 Non-Inverted Inputs
AND5B2	プリミティブ : 5-Input AND Gate with 2 Inverted and 3 Non-Inverted Inputs
AND5B3	プリミティブ : 5-Input AND Gate with 3 Inverted and 2 Non-Inverted Inputs
AND5B4	プリミティブ : 5-Input AND Gate with 4 Inverted and 1 Non-Inverted Inputs
AND5B5	プリミティブ : 5-Input AND Gate with Inverted Inputs
AND6	マクロ : 6-Input AND Gate with Non-Inverted Inputs
AND7	マクロ : 7-Input AND Gate with Non-Inverted Inputs
AND8	マクロ : 8-Input AND Gate with Non-Inverted Inputs

デザイン エLEMENT	説明
AND9	マクロ : 9-Input AND Gate with Non-Inverted Inputs
INV	プリミティブ : Inverter
INV16	マクロ : 16 Inverters
INV4	マクロ : Four Inverters
INV8	マクロ : Eight Inverters
NAND2	プリミティブ : 2-Input NAND Gate with Non-Inverted Inputs
NAND2B1	プリミティブ : 2-Input NAND Gate with 1 Inverted and 1 Non-Inverted Inputs
NAND2B2	プリミティブ : 2-Input NAND Gate with Inverted Inputs
NAND3	プリミティブ : 3-Input NAND Gate with Non-Inverted Inputs
NAND3B1	プリミティブ : 3-Input NAND Gate with 1 Inverted and 2 Non-Inverted Inputs
NAND3B2	プリミティブ : 3-Input NAND Gate with 2 Inverted and 1 Non-Inverted Inputs
NAND3B3	プリミティブ : 3-Input NAND Gate with Inverted Inputs
NAND4	プリミティブ : 4-Input NAND Gate with Non-Inverted Inputs
NAND4B1	プリミティブ : 4-Input NAND Gate with 1 Inverted and 3 Non-Inverted Inputs
NAND4B2	プリミティブ : 4-Input NAND Gate with 2 Inverted and 2 Non-Inverted Inputs
NAND4B3	プリミティブ : 4-Input NAND Gate with 3 Inverted and 1 Non-Inverted Inputs
NAND4B4	プリミティブ : 4-Input NAND Gate with Inverted Inputs
NAND5	プリミティブ : 5-Input NAND Gate with Non-Inverted Inputs
NAND5B1	プリミティブ : 5-Input NAND Gate with 1 Inverted and 4 Non-Inverted Inputs
NAND5B2	プリミティブ : 5-Input NAND Gate with 2 Inverted and 3 Non-Inverted Inputs
NAND5B3	プリミティブ : 5-Input NAND Gate with 3 Inverted and 2 Non-Inverted Inputs
NAND5B4	プリミティブ : 5-Input NAND Gate with 4 Inverted and 1 Non-Inverted Inputs
NAND5B5	プリミティブ : 5-Input NAND Gate with Inverted Inputs
NAND6	マクロ : 6-Input NAND Gate with Non-Inverted Inputs
NAND7	マクロ : 7-Input NAND Gate with Non-Inverted Inputs
NAND8	マクロ : 8-Input NAND Gate with Non-Inverted Inputs
NAND9	マクロ : 9-Input NAND Gate with Non-Inverted Inputs
NOR2	プリミティブ : 2-Input NOR Gate with Non-Inverted Inputs
NOR2B1	プリミティブ : 2-Input NOR Gate with 1 Inverted and 1 Non-Inverted Inputs
NOR2B2	プリミティブ : 2-Input NOR Gate with Inverted Inputs
NOR3	プリミティブ : 3-Input NOR Gate with Non-Inverted Inputs
NOR3B1	プリミティブ : 3-Input NOR Gate with 1 Inverted and 2 Non-Inverted Inputs
NOR3B2	プリミティブ : 3-Input NOR Gate with 2 Inverted and 1 Non-Inverted Inputs
NOR3B3	プリミティブ : 3-Input NOR Gate with Inverted Inputs
NOR4	プリミティブ : 4-Input NOR Gate with Non-Inverted Inputs
NOR4B1	プリミティブ : 4-Input NOR Gate with 1 Inverted and 3 Non-Inverted Inputs

デザイン エLEMENT	説明
NOR4B2	プリミティブ : 4-Input NOR Gate with 2 Inverted and 2 Non-Inverted Inputs
NOR4B3	プリミティブ : 4-Input NOR Gate with 3 Inverted and 1 Non-Inverted Inputs
NOR4B4	プリミティブ : 4-Input NOR Gate with Inverted Inputs
NOR5	プリミティブ : 5-Input NOR Gate with Non-Inverted Inputs
NOR5B1	プリミティブ : 5-Input NOR Gate with 1 Inverted and 4 Non-Inverted Inputs
NOR5B2	プリミティブ : 5-Input NOR Gate with 2 Inverted and 3 Non-Inverted Inputs
NOR5B3	プリミティブ : 5-Input NOR Gate with 3 Inverted and 2 Non-Inverted Inputs
NOR5B4	プリミティブ : 5-Input NOR Gate with 4 Inverted and 1 Non-Inverted Inputs
NOR5B5	プリミティブ : 5-Input NOR Gate with Inverted Inputs
NOR6	マクロ : 6-Input NOR Gate with Non-Inverted Inputs
NOR7	マクロ : 7-Input NOR Gate with Non-Inverted Inputs
NOR8	マクロ : 8-Input NOR Gate with Non-Inverted Inputs
NOR9	マクロ : 9-Input NOR Gate with Non-Inverted Inputs
OR2	プリミティブ : 2-Input OR Gate with Non-Inverted Inputs
OR2B1	プリミティブ : 2-Input OR Gate with 1 Inverted and 1 Non-Inverted Inputs
OR2B2	プリミティブ : 2-Input OR Gate with Inverted Inputs
OR3	プリミティブ : 3-Input OR Gate with Non-Inverted Inputs
OR3B1	プリミティブ : 3-Input OR Gate with 1 Inverted and 2 Non-Inverted Inputs
OR3B2	プリミティブ : 3-Input OR Gate with 2 Inverted and 1 Non-Inverted Inputs
OR3B3	プリミティブ : 3-Input OR Gate with Inverted Inputs
OR4	プリミティブ : 4-Input OR Gate with Non-Inverted Inputs
OR4B1	プリミティブ : 4-Input OR Gate with 1 Inverted and 3 Non-Inverted Inputs
OR4B2	プリミティブ : 4-Input OR Gate with 2 Inverted and 2 Non-Inverted Inputs
OR4B3	プリミティブ : 4-Input OR Gate with 3 Inverted and 1 Non-Inverted Inputs
OR4B4	プリミティブ : 4-Input OR Gate with Inverted Inputs
OR5	プリミティブ : 5-Input OR Gate with Non-Inverted Inputs
OR5B1	プリミティブ : 5-Input OR Gate with 1 Inverted and 4 Non-Inverted Inputs
OR5B2	プリミティブ : 5-Input OR Gate with 2 Inverted and 3 Non-Inverted Inputs
OR5B3	プリミティブ : 5-Input OR Gate with 3 Inverted and 2 Non-Inverted Inputs
OR5B4	プリミティブ : 5-Input OR Gate with 4 Inverted and 1 Non-Inverted Inputs
OR5B5	プリミティブ : 5-Input OR Gate with Inverted Inputs
OR6	マクロ : 6-Input OR Gate with Non-Inverted Inputs
OR7	マクロ : 7-Input OR Gate with Non-Inverted Inputs
OR8	マクロ : 8-Input OR Gate with Non-Inverted Inputs
OR9	マクロ : 9-Input OR Gate with Non-Inverted Inputs
XNOR2	プリミティブ : 2-Input XNOR Gate with Non-Inverted Inputs

デザイン エLEMENT	説明
XNOR3	プリミティブ : 3-Input XNOR Gate with Non-Inverted Inputs
XNOR4	プリミティブ : 4-Input XNOR Gate with Non-Inverted Inputs
XNOR5	プリミティブ : 5-Input XNOR Gate with Non-Inverted Inputs
XNOR6	マクロ : 6-Input XNOR Gate with Non-Inverted Inputs
XNOR7	マクロ : 7-Input XNOR Gate with Non-Inverted Inputs
XNOR8	マクロ : 8-Input XNOR Gate with Non-Inverted Inputs
XNOR9	マクロ : 9-Input XNOR Gate with Non-Inverted Inputs
XOR2	プリミティブ : 2-Input XOR Gate with Non-Inverted Inputs
XOR3	プリミティブ : 3-Input XOR Gate with Non-Inverted Inputs
XOR4	プリミティブ : 4-Input XOR Gate with Non-Inverted Inputs
XOR5	プリミティブ : 5-Input XOR Gate with Non-Inverted Inputs
XOR6	マクロ : 6-Input XOR Gate with Non-Inverted Inputs
XOR7	マクロ : 7-Input XOR Gate with Non-Inverted Inputs
XOR8	マクロ : 8-Input XOR Gate with Non-Inverted Inputs
XOR9	マクロ : 9-Input XOR Gate with Non-Inverted Inputs

マルチプレクサ

デザイン エLEMENT	説明
M16_1E	マクロ : 16-to-1 Multiplexer with Enable
M2_1	マクロ : 2-to-1 Multiplexer
M2_1B1	マクロ : 2-to-1 Multiplexer with D0 Inverted
M2_1B2	マクロ : 2-to-1 Multiplexer with D0 and D1 Inverted
M2_1E	マクロ : 2-to-1 Multiplexer with Enable
M4_1E	マクロ : 4-to-1 Multiplexer with Enable
M8_1E	マクロ : 8-to-1 Multiplexer with Enable

シフトレジスタ

デザイン エLEMENT	説明
SR16CE	マクロ : 16-Bit Serial-In Parallel-Out Shift Register with Clock Enable and Asynchronous Clear
SR16CLE	マクロ : 16-Bit Loadable Serial/Parallel-In Parallel-Out Shift Register with Clock Enable and Asynchronous Clear
SR16CLED	マクロ : 16-Bit Shift Register with Clock Enable and Asynchronous Clear
SR16RE	マクロ : 16-Bit Serial-In Parallel-Out Shift Register with Clock Enable and Synchronous Reset
SR16RLE	マクロ : 16-Bit Loadable Serial/Parallel-In Parallel-Out Shift Register with Clock Enable and Synchronous Reset

デザイン エLEMENT	説明
SR16RLED	マクロ : 16-Bit Shift Register with Clock Enable and Synchronous Reset
SR4CE	マクロ : 4-Bit Serial-In Parallel-Out Shift Register with Clock Enable and Asynchronous Clear
SR4CLE	マクロ : 4-Bit Loadable Serial/Parallel-In Parallel-Out Shift Register with Clock Enable and Asynchronous Clear
SR4CLED	マクロ : 4-Bit Shift Register with Clock Enable and Asynchronous Clear
SR4RE	マクロ : 4-Bit Serial-In Parallel-Out Shift Register with Clock Enable and Synchronous Reset
SR4RLE	マクロ : 4-Bit Loadable Serial/Parallel-In Parallel-Out Shift Register with Clock Enable and Synchronous Reset
SR4RLED	マクロ : 4-Bit Shift Register with Clock Enable and Synchronous Reset
SR8CE	マクロ : 8-Bit Serial-In Parallel-Out Shift Register with Clock Enable and Asynchronous Clear
SR8CLE	マクロ : 8-Bit Loadable Serial/Parallel-In Parallel-Out Shift Register with Clock Enable and Asynchronous Clear
SR8CLED	マクロ : 8-Bit Shift Register with Clock Enable and Asynchronous Clear
SR8RE	マクロ : 8-Bit Serial-In Parallel-Out Shift Register with Clock Enable and Synchronous Reset
SR8RLE	マクロ : 8-Bit Loadable Serial/Parallel-In Parallel-Out Shift Register with Clock Enable and Synchronous Reset
SR8RLED	マクロ : 8-Bit Shift Register with Clock Enable and Synchronous Reset
SRD16CE	マクロ : 16-Bit Serial-In Parallel-Out Dual Edge Triggered Shift Register with Clock Enable and Asynchronous Clear
SRD16CLE	マクロ : 16-Bit Loadable Serial/Parallel-In Parallel-Out Dual Edge Triggered Shift Register with Clock Enable and Asynchronous Clear
SRD16CLED	マクロ : 16-Bit Dual Edge Triggered Shift Register with Clock Enable and Asynchronous Clear
SRD16RE	マクロ : 16-Bit Serial-In Parallel-Out Dual Edge Triggered Shift Register with Clock Enable and Synchronous Reset
SRD16RLE	マクロ : 16-Bit Loadable Serial/Parallel-In Parallel-Out Dual Edge Triggered Shift Register with Clock Enable and Synchronous Reset
SRD16RLED	マクロ : 16-Bit Dual Edge Triggered Shift Register with Clock Enable and Synchronous Reset
SRD4CE	マクロ : 4-Bit Serial-In Parallel-Out Dual Edge Triggered Shift Register with Clock Enable and Asynchronous Clear
SRD4CLE	マクロ : 4-Bit Loadable Serial/Parallel-In Parallel-Out Dual Edge Triggered Shift Register with Clock Enable and Asynchronous Clear
SRD4CLED	マクロ : 4-Bit Dual Edge Triggered Shift Register with Clock Enable and Asynchronous Clear
SRD4RE	マクロ : 4-Bit Serial-In Parallel-Out Dual Edge Triggered Shift Register with Clock Enable and Synchronous Reset
SRD4RLE	マクロ : 4-Bit Loadable Serial/Parallel-In Parallel-Out Dual Edge Triggered Shift Register with Clock Enable and Synchronous Reset
SRD4RLED	マクロ : 4-Bit Dual Edge Triggered Shift Register with Clock Enable and Synchronous Reset
SRD8CE	マクロ : 8-Bit Serial-In Parallel-Out Dual Edge Triggered Shift Register with Clock Enable and Asynchronous Clear
SRD8CLE	マクロ : 8-Bit Loadable Serial/Parallel-In Parallel-Out Dual Edge Triggered Shift Register with Clock Enable and Asynchronous Clear

デザイン エLEMENT	説明
SRD8CLED	マクロ : 8-Bit Dual Edge Triggered Shift Register with Clock Enable and Asynchronous Clear
SRD8RE	マクロ : 8-Bit Serial-In Parallel-Out Dual Edge Triggered Shift Register with Clock Enable and Synchronous Reset
SRD8RLE	マクロ : 8-Bit Loadable Serial/Parallel-In Parallel-Out Dual Edge Triggered Shift Register with Clock Enable and Synchronous Reset
SRD8RLED	マクロ : 8-Bit Dual Edge Triggered Shift Register with Clock Enable and Synchronous Reset

シフタ

デザイン エLEMENT	説明
BRLSHFT4	マクロ : 4-Bit Barrel Shifter
BRLSHFT8	マクロ : 8-Bit Barrel Shifter

デザイン エLEMENT

このセクションでは、このアーキテクチャで利用できるデザイン エLEMENTについて説明します。デザイン エLEMENTは、アルファベット順に並べられています。

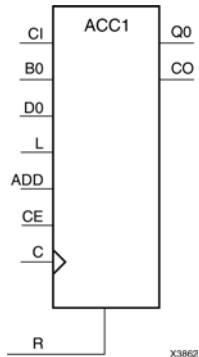
各ライブラリ エLEMENTについて、次の情報を示します。

- ・ 名称
- ・ 説明
- ・ 回路図シンボル (該当するELEMENTでのみ)
- ・ 論理表 (該当するELEMENTでのみ)
- ・ ポートの説明 (該当するELEMENTでのみ)
- ・ デザインの入力方法
- ・ 使用可能な属性 (該当するELEMENTでのみ)
- ・ その他のリソース

VHDL および Verilog のインスタンス化コードの例は、ISE ソフトウェア ([Edit] → [Language Templates]) またはこのアーキテクチャの HDL 用のライブラリ ガイドから入手できます。

ACC1

マクロ : 1-Bit Loadable Cascadable Accumulator with Carry-In, Carry-Out, and Synchronous Reset



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

このELEMENTは、1 ビット データレジスタの値に対して 1 ビットの符号なしバイナリワードを加算または減算して、結果をレジスタに保存します。レジスタには、1 ビットワードでロードできます。同期リセット (R) は、ほかのすべての入力よりも優先され、R が High になると、クロック (C) が Low から High に切り替わる時に出力が 0 になります。クロック イネーブル (CE) が Low の場合は、C の遷移は無視されます。

ロード

ロード入力 (L) が High になると、CE が無視され、クロック (C) が Low から High に切り替わる時に入力 D0 の値が 1 ビット レジスタにロードされます。

加算

制御入力の ADD と CE が共に High になると、アキュムレータは 1 ビットワード (B0) とキャリーイン (CI) を 1 ビットレジスタに加算します。結果はレジスタに保存され、クロックが Low から High に切り替わる時に Q0 に出力されます。キャリー出力 (CO) は、Q0 の値と同時にレジスタに出力されません。CO には、入力 B0 とレジスタの値の加算値が常に出力されます。このため、各アキュムレータの CO を次の段の CI に接続して、ACC1 をカスケード接続できます。加算モードでは、CO はキャリーアウトとして機能し、CO と CI はアクティブ High になります。

減算

ADD が Low に、CE が High になると、1 ビットワード B0 と CI がレジスタの値から減算されます。結果はレジスタに保存され、クロックが Low から High に切り替わる時に Q0 に出力されます。キャリー出力 (CO) は、Q0 の値と同時にレジスタに出力されません。CO には、入力 B0 とレジスタの値の加算値が常に出力されます。このため、各アキュムレータの CO を次の段の CI に接続して、ACC1 をカスケード接続できます。減算モードでは、CO はボローとして機能し、CO と CI はアクティブ Low になります。

電力を供給すると、このデザイン ELEMENTは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

デザインの入力方法

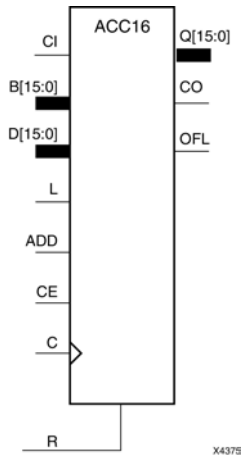
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

ACC16

マクロ : 16-Bit Loadable Cascadable Accumulator with Carry-In, Carry-Out, and Synchronous Reset



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

このデザイン エLEMENTは、16 ビット データレジスタの値に対して 16 ビットの符号なし 2 進数または 2 の補数ワードを加算または減算して、その結果をレジスタに保存します。レジスタには、16 ビットワードでロードできます。

ロード入力 (L) が High になると、CE が無視され、クロック (C) が Low から High に切り替わる時に D 入力の値がレジスタにロードされます。ACC16 では、入力 D15 ~ D0 の値が 16 ビットレジスタにロードされます。

このデザイン エLEMENTは、16 ビットの符号なし 2 進数または 16 ビットの 2 の補数を処理します。符号なし 2 進数が入力されると、符号なし 2 進数が出力されます。2 の補数が入力されると、2 の補数が出力されます。この 2 つの唯一の機能的な違いは、オーバーフローの認識方法にあり、オーバーフローの発生を認識するのに符号なし 2 進数ではキャリー出力 (CO) が使用され、2 の補数では OFL が使用されます。

- ・ 符号なし 2 進演算の場合、0 ~ 15 までの数を表現できます。加算モードでは、加算結果が加減算器の範囲を超えると CO がアクティブ (High) になります。減算モードでは、減算器の範囲を超えると CO がアクティブ Low のボロアウトで、Low になります。CO は、データ出力と同時にレジスタに出力されません。CO には、入力 B15 ~ B0 入力の値の加算値が常に出力されます。このため、各 ACC16 の CO を次の段の CI に接続してカスケード接続できます。符号なし 2 進数のオーバーフローは、常にアクティブ High で、ADD と CO を次のようにゲート接続すると発生させることができます。

符号なしオーバーフロー = CO XOR ADD

符号なし 2 進演算では、OFL は無視されます。

- ・ 2 の補数演算の場合、-8 ~ +7 までの数を表現できます。加算または減算の結果がこの範囲を超えると、OFL 出力が High になります。オーバーフロー (OFL) は、データ出力と同時にレジスタに出力されません。OFL には、B 入力 (B15 ~ B0) とレジスタの値の合計が常に出力されます。このため、各 ACC4 の OFL を次の段の CI に接続してカスケード接続できます。

2 の補数演算では、CO は無視されます。

同期リセット (R) は、ほかのすべての入力よりも優先され、R が High になると、クロック (C) が Low から High に切り替わるときに出力が 0 になります。クロック イネーブル (CE) が Low の場合は、C の遷移は無視されます。

電力を供給すると、このデザイン エLEMENTは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

論理表

入力						出力
R	L	CE	ADD	D	C	Q
1	x	x	x	x	↑	0
0	1	x	x	Dn	↑	Dn
0	0	1	1	x	↑	$Q0 + Bn + CI$
0	0	1	0	x	↑	$Q0 - Bn - CI$
0	0	0	x	x	↑	変化なし
Q0 : Q の以前の値 Bn : データ入力 B の値 CI : 入力 CI の値						

デザインの入力方法

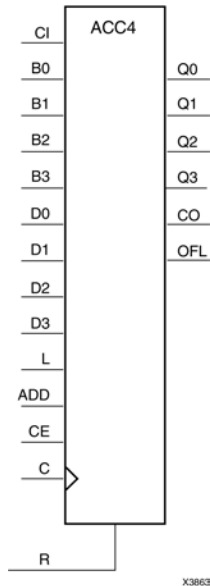
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

ACC4

マクロ : 4-Bit Loadable Cascadable Accumulator with Carry-In, Carry-Out, and Synchronous Reset



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

このデザイン エLEMENTは、4 ビット データレジスタの値に対して 4 ビットの符号なし 2 進数または 2 の補数ワードを加算または減算して、その結果をレジスタに保存します。レジスタには、4 ビットワードでロードできます。

ロード入力 (L) が High になると、CE が無視され、クロック (C) が Low から High に切り替わる時に D 入力の値がレジスタにロードされます。ACC4 では、入力 D3 ~ D0 の値が 4 ビットレジスタにロードされます。

このデザイン エLEMENTは、4 ビットの符号なし 2 進数または 4 ビットの 2 の補数を処理します。符号なし 2 進数が入力されると、符号なし 2 進数が出力されます。2 の補数が入力されると、2 の補数が出力されます。この 2 つの唯一の機能的な違いは、オーバーフローの認識方法にあり、オーバーフローの発生を認識するのに符号なし 2 進数ではキャリー出力 (CO) が使用され、2 の補数では OFL が使用されます。

- ・ 符号なし 2 進演算の場合、0 ~ 15 までの数を表現できます。加算モードでは、加算結果が加減算器の範囲を超えると CO がアクティブ (High) になります。減算モードでは、減算器の範囲を超えると CO がアクティブ Low のボローアウトで、Low になります。CO は、データ出力と同時にレジスタに出力されません。CO には、入力 B3 ~ B0 入力の値の加算値が常に出力されます。このため、各 ACC4 の CO を次の段の CI に接続してカスケード接続できます。符号なし 2 進数のオーバーフローは、常にアクティブ High で、ADD と CO を次のようにゲート接続すると発生させることができます。

符号なしオーバーフロー = CO XOR ADD

符号なし 2 進演算では、OFL は無視されます。

- 2 の補数演算の場合、-8 ~ +7 までの数を表現できます。加算または減算の結果がこの範囲を超えると、OFL 出力が High になります。オーバーフロー (OFL) は、データ出力と同時にレジスタに出力されません。OFL には、B 入力 (B3 ~ B0) とレジスタの値の合計が常に出力されます。このため、各 ACC4 の OFL を次の段の CI に接続してカスケード接続できます。

2 の補数演算では、CO は無視されます。

同期リセット (R) は、ほかのすべての入力よりも優先され、R が High になると、クロック (C) が Low から High に切り替わるときに出力が 0 になります。クロック イネーブル (CE) が Low の場合は、C の遷移は無視されます。

電力を供給すると、このデザイン エLEMENT は非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

論理表

入力						出力
R	L	CE	ADD	D	C	Q
1	x	x	x	x	↑	0
0	1	x	x	Dn	↑	Dn
0	0	1	1	x	↑	$Q0 + Bn + CI$
0	0	1	0	x	↑	$Q0 - Bn - CI$
0	0	0	x	x	↑	変化なし
Q0 : Q の以前の値 Bn : データ入力 B の値 CI : 入力 CI の値						

デザインの入力方法

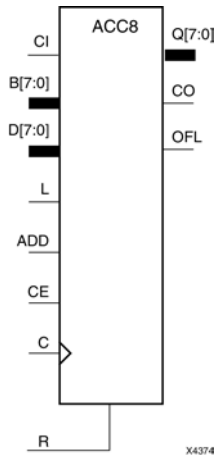
このELEMENTは、回路図でのみ使用できます。

詳細情報

- 該当 CPLD のユーザー ガイド
- 該当 CPLD のデータシート

ACC8

マクロ : 8-Bit Loadable Cascadable Accumulator with Carry-In, Carry-Out, and Synchronous Reset



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

このデザイン エLEMENTは、8 ビット データレジスタの値に対して 8 ビットの符号なし 2 進数または 2 の補数ワードを加算または減算して、その結果をレジスタに保存します。レジスタには、8 ビット ワードでロードできます。

ロード入力 (L) が High になると、CE が無視され、クロック (C) が Low から High に切り替わる時に D 入力の値がレジスタにロードされます。ACC8 では、入力 D7 ~ D0 の値が 8 ビット レジスタにロードされます。

このデザイン エLEMENTは、8 ビットの符号なし 2 進数または 8 ビットの 2 の補数を処理します。符号なし 2 進数が入力されると、符号なし 2 進数が出力されます。2 の補数が入力されると、2 の補数が出力されます。この 2 つの唯一の機能的な違いは、オーバーフローの認識方法にあり、オーバーフローの発生を認識するのに符号なし 2 進数ではキャリー出力 (CO) が使用され、2 の補数では OFL が使用されます。

- ・ 符号なし 2 進演算の場合、0 ~ 255 までの数を表現できます。加算モードでは、加算結果が加減算器の範囲を超えると CO がアクティブ (High) になります。減算モードでは、減算器の範囲を超えると CO がアクティブ Low のボロアウトで、Low になります。CO は、データ出力と同時にレジスタに出力されません。CO には、入力 B3 ~ B0 入力の値の加算値が常に出力されます。このため、各 ACC8 の CO を次の段の CI に接続してカスケード接続できます。符号なし 2 進数のオーバーフローは、常にアクティブ High で、ADD と CO を次のようにゲート接続すると発生させることができます。

符号なしオーバーフロー = CO XOR ADD

符号なし 2 進演算では、OFL は無視されます。

- ・ 2 の補数演算の場合、-128 ~ +127 までの数を表現できます。加算または減算の結果がこの範囲を超えると、OFL 出力が High になります。オーバーフロー (OFL) は、データ出力と同時にレジスタに出力されません。OFL には、B 入力 (B3 ~ B0) とレジスタの値の合計が常に出力されます。このため、各 ACC8 の OFL を次の段の CI に接続してカスケード接続できます。

2 の補数演算では、CO は無視されます。

同期リセット (R) は、ほかのすべての入力よりも優先され、R が High になると、クロック (C) が Low から High に切り替わるときに出力が 0 になります。クロック イネーブル (CE) が Low の場合は、C の遷移は無視されます。

電力を供給すると、このデザイン エLEMENT は非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

論理表

入力						出力
R	L	CE	ADD	D	C	Q
1	x	x	x	x	↑	0
0	1	x	x	Dn	↑	Dn
0	0	1	1	x	↑	$Q0 + Bn + CI$
0	0	1	0	x	↑	$Q0 - Bn - CI$
0	0	0	x	x	↑	変化なし
Q0 : Q の以前の値 Bn : データ入力 B の値 CI : 入力 CI の値						

デザインの入力方法

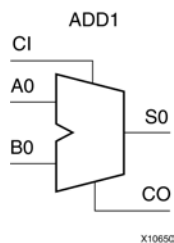
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

ADD1

マクロ : 1-Bit Full Adder with Carry-In and Carry-Out



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

このデザイン エLEMENTは、キャリーインとキャリーアウトがあるカスケード可能な 1 ビット全加算器で、2 つの 1 ビットワード (A と B) とキャリーイン (CI) を加算し、2 進和 (S0) とキャリーアウト (CO) を出力します。

論理表

入力			出力	
A0	B0	CI	S0	CO
0	0	0	0	0
1	0	0	1	0
0	1	0	1	0
1	1	0	0	1
0	0	1	1	0
1	0	1	0	1
0	1	1	0	1
1	1	1	1	1

デザインの入力方法

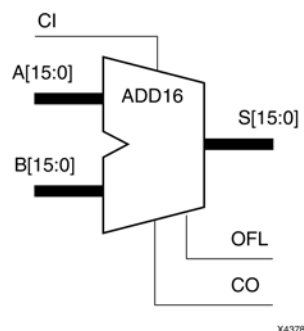
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

ADD16

マクロ : 16-Bit Cascadable Full Adder with Carry-In, Carry-Out, and Overflow



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

このELEMENTは、2 つのワードとキャリー入力 (CI) を加算して、その和とキャリー出力 (CO) またはオーバーフロー (OFL) を出力します。A15 ~ A0、B15 ~ B0、および CI が加算され、その和 S15 ~ S0 および CO (または OFL) が出力されます。

論理表

入力		出力
A	B	S
A _n	B _n	A _n + B _n + CI
CI : 入力 CI の値		

符号なし 2 進数と 2 の補数

このデザイン ELEMENTは、16 ビットの符号なし 2 進数または 16 ビットの 2 の補数を処理できます。符号なし 2 進数が入力されると、符号なし 2 進数が出力されます。2 の補数が入力されると、2 の補数が出力されます。この 2 つの唯一の機能的な違いは、オーバーフローの認識方法にあり、オーバーフローの発生を認識するのに符号なし 2 進数では CO が使用され、2 の補数では OFL が使用されます。したがって、符号なし 2 進数が入力された場合は CO 出力を確認し、2 の補数が入力された場合は OFL 出力を確認します。

符号なし 2 進演算

符号なし 2 進演算の場合、0 ~ 65535 までの数を表現できます。符号なし 2 進演算では、OFL は無視されます。

2 の補数演算

2 の補数演算の場合、-32768 から +32767 までの数を表現できます。合計値が加算器の範囲を超えると、OFL がアクティブ (High) になります。2 の補数演算では、CO は無視されます。

デザインの入力方法

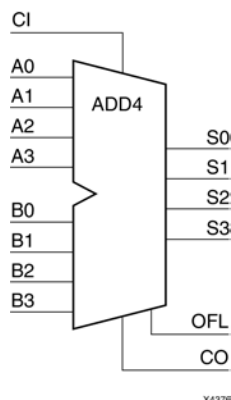
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

ADD4

マクロ : 4-Bit Cascadable Full Adder with Carry-In, Carry-Out, and Overflow



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

このELEMENTは、2 つのワードとキャリー入力 (CI) を加算して、その和とキャリー出力 (CO) またはオーバーフロー (OFL) を出力します。A3 ~ A0、B3 ~ B0、および CI が加算され、その和 S3 ~ S0 および CO (または OFL) が出力されます。

論理表

入力		出力
A	B	S
A _n	B _n	A _n + B _n + CI
CI : 入力 CI の値		

符号なし 2 進数と 2 の補数

このデザイン ELEMENTは、4 ビットの符号なし 2 進数または 4 ビットの 2 の補数を処理できます。符号なし 2 進数が入力されると、符号なし 2 進数が出力されます。2 の補数が入力されると、2 の補数が出力されます。この 2 つの唯一の機能的な違いは、オーバーフローの認識方法にあり、オーバーフローの発生を認識するのに符号なし 2 進数では CO が使用され、2 の補数では OFL が使用されます。したがって、符号なし 2 進数が入力された場合は CO 出力を確認し、2 の補数が入力された場合は OFL 出力を確認します。

符号なし 2 進演算

符号なし 2 進演算の場合、0 ~ 15 までの数を表現できます。符号なし 2 進演算では、OFL は無視されます。

2 の補数演算

2 の補数演算の場合、-8 から +7 までの数を表現できます。合計値が加算器の範囲を超えると、OFL がアクティブ (High) になります。2 の補数演算では、CO は無視されます。

デザインの入力方法

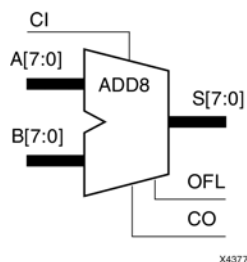
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

ADD8

マクロ : 8-Bit Cascadable Full Adder with Carry-In, Carry-Out, and Overflow



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

このELEMENTは、2 つのワードとキャリー入力 (CI) を加算して、その和とキャリー出力 (CO) またはオーバーフロー (OFL) を出力します。A7 ~ A0、B7 ~ B0、および CI が加算され、その和 S7 ~ S0 および CO (または OFL) が出力されます。

論理表

入力		出力
A	B	S
A _n	B _n	A _n + B _n + CI
CI : 入力 CI の値		

符号なし 2 進数と 2 の補数

このデザイン ELEMENTは、8 ビットの符号なし 2 進数または 8 ビットの 2 の補数処理できます。符号なし 2 進数が入力されると、符号なし 2 進数が出力されます。2 の補数が入力されると、2 の補数が出力されます。この 2 つの唯一の機能的な違いは、オーバーフローの認識方法にあり、オーバーフローの発生を認識するのに符号なし 2 進数では CO が使用され、2 の補数では OFL が使用されます。したがって、符号なし 2 進数が入力された場合は CO 出力を確認し、2 の補数が入力された場合は OFL 出力を確認します。

符号なし 2 進演算

符号なし 2 進演算の場合、0 ~ 255 までの数を表現できます。符号なし 2 進演算では、OFL は無視されます。

2 の補数演算

2 の補数演算の場合、-128 から +127 までの数を表現できます。合計値が加算器の範囲を超えると、OFL がアクティブ (High) になります。2 の補数演算では、CO は無視されます。

デザインの入力方法

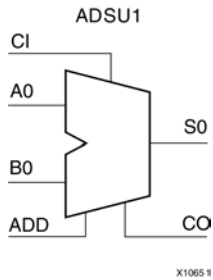
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

ADSU1

マクロ : 1-Bit Cascadable Adder/Subtractor with Carry-In, Carry-Out



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

ADD 入力が High の場合、2 つの 1 ビットワード (A0 と B0) とキャリー入力 (CI) が加算され、1 ビットの出力 (S0) とキャリー出力 (CO) が出力されます。ADD 入力が Low の場合、B0 が A0 から減算され、その結果値 (S0) とボロー (CO) が出力されます。

加算モードでは、CO はキャリーアウトを出力し、CO と CI はアクティブ High になります。減算モードでは、CO はボローを出力し、CO と CI はアクティブ Low になります。

加算 (ADD=1)

入力			出力	
A0	B0	CI	S0	CO
0	0	0	0	0
0	1	0	1	0
1	0	0	1	0
1	1	0	0	1
0	0	1	1	0
0	1	1	0	1
1	0	1	0	1
1	1	1	1	1

減算 (ADD=0)

入力			出力	
A0	B0	CI	S0	CO
0	0	0	1	0
0	1	0	0	0
1	0	0	0	1
1	1	0	1	0
0	0	1	0	1
0	1	1	1	0
1	0	1	1	1
1	1	1	0	1
1	0	1	1	1
1	1	1	0	1

デザインの入力方法

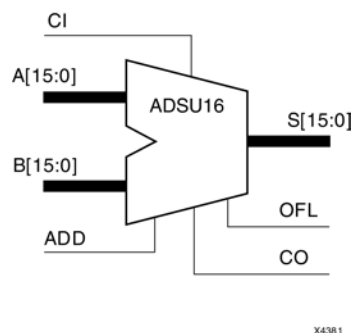
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

ADSU16

マクロ : 16-Bit Cascadable Adder/Subtractor with Carry-In, Carry-Out, and Overflow



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

ADD が High の場合、2 つの 16 ビットワード (A15 ~ A0 と B15 ~ B0) とキャリー入力 (CI) を加算し、16 ビットの和 (S15 ~ S0) とキャリー出力 (CO) (またはオーバーフロー (OFL)) を出力します。

ADD 入力が Low の場合、A15 ~ A0 から B15 ~ B0 を減算し、その差とキャリー出力 (CO) またはオーバーフロー (OFL) を出力します。

加算モードでは、CO と CI はアクティブ High になります。減算モードでは、CO と CI はアクティブ Low になります。OFL は、モードにかかわらず常にアクティブ High です。

論理表

入力			出力
ADD	A	B	S
1	A _n	B _n	A _n +B _n +CI*
0	A _n	B _n	A _n -B _n -CI*
CI* : ADD = 0、CI、CO アクティブ Low			
CI* : ADD = 1、CI、CO アクティブ High			

符号なし 2 進数と 2 の補数

このデザイン エLEMENTは、16 ビットの符号なし 2 進数または 16 ビットの 2 の補数を処理できます。符号なし 2 進数が入力されると、符号なし 2 進数が出力されます。2 の補数が入力されると、2 の補数が出力されます。この 2 つの唯一の機能的な違いは、オーバーフローの認識方法にあり、オーバーフローの発生を認識するのに符号なし 2 進数では CO が使用され、2 の補数では OFL が使用されます。

加減算器では、符号なし 2 進演算でも 2 の補数演算でもオーバーフローが発生します。演算結果がオーバーフローになる場合、オーバーフローが生成されます。同様に、演算結果が桁上がりする場合、キャリー出力が生成されます。

符号なし 2 進演算

符号なし 2 進演算の場合、0 ～ 65535 までの数を表現できます。加算モードでは、加算結果が加減算器の範囲を超えると CO がアクティブ (High) になります。減算モードでは、減算器の範囲を超えると CO がアクティブ Low のボローアウトで、Low になります。

符号なし 2 進数のオーバーフローは、常にアクティブ High で、ADD と CO を次のようにゲート接続すると発生させることができます。

符号なしオーバーフロー = CO XOR ADD

符号なし 2 進演算では、OFL は無視されます。

2 の補数演算

2 の補数演算の場合、-32768 から +32767 までの数を表現できます。

加算または減算の結果がこの範囲を超えると、OFL 出力が High になります。2 の補数演算では、CO は無視されます。

デザインの入力方法

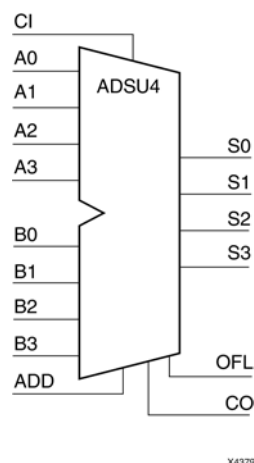
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

ADSU4

マクロ : 4-Bit Cascadable Adder/Subtractor with Carry-In, Carry-Out, and Overflow



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

ADD が High の場合、2 つの 4 ビットワード (A3 ~ A0 と B3 ~ B0) とキャリー入力 (CI) を加算し、4 ビットの和 (S3 ~ S0) とキャリー出力 (CO) (またはオーバーフロー (OFL)) を出力します。

ADD 入力が Low の場合、A3 ~ A0 から B3 ~ B0 を減算し、4 ビットの差 (S3 ~ S0) とキャリー出力 (CO) またはオーバーフロー (OFL) を出力します。

加算モードでは、CO と CI はアクティブ High になります。減算モードでは、CO と CI はアクティブ Low になります。OFL は、モードにかかわらず常にアクティブ High です。

論理表

入力			出力
ADD	A	B	S
1	A _n	B _n	A _n + B _n + CI*
0	A _n	B _n	A _n - B _n - CI*
CI* : ADD = 0、CI、CO アクティブ Low			
CI* : ADD = 1、CI、CO アクティブ High			

符号なし 2 進数と 2 の補数

このデザイン エLEMENTは、4 ビットの符号なし 2 進数または 4 ビットの 2 の補数処理できます。符号なし 2 進数が入力されると、符号なし 2 進数が出力されます。2 の補数が入力されると、2 の補数が出力されます。この 2 つの唯一の機能的な違いは、オーバーフローの認識方法にあり、オーバーフローの発生を認識するのに符号なし 2 進数では CO が使用され、2 の補数では OFL が使用されます。

加減算器では、符号なし 2 進演算でも 2 の補数演算でもオーバーフローが発生します。演算結果がオーバーフローになる場合、オーバーフローが生成されます。同様に、演算結果が桁上がりする場合、キャリー出力が生成されます。

符号なし 2 進演算

符号なし 2 進演算の場合、0 ~ 15 までの数を表現できます。加算モードでは、加算結果が加減算器の範囲を超えると CO がアクティブ (High) になります。減算モードでは、減算器の範囲を超えると CO がアクティブ Low のボローアウトで、Low になります。

符号なし 2 進数のオーバーフローは、常にアクティブ High で、ADD と CO を次のようにゲート接続すると発生させることができます。

符号なしオーバーフロー = CO XOR ADD

符号なし 2 進演算では、OFL は無視されます。

2 の補数演算

2 の補数演算の場合、-8 から +7 までの数を表現できます。

加算または減算の結果がこの範囲を超えると、OFL 出力が High になります。2 の補数演算では、CO は無視されます。

デザインの入力方法

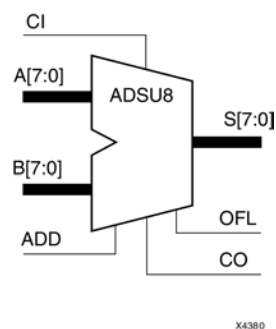
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

ADSU8

マクロ : 8-Bit Cascadable Adder/Subtractor with Carry-In, Carry-Out, and Overflow



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

ADD が High の場合、2 つの 8 ビットワード (A7 ~ A0 と B7 ~ B0) とキャリー入力 (CI) を加算し、8 ビットの和 (S7 ~ S0) とキャリー出力 (CO) (またはオーバーフロー (OFL)) を出力します。

ADD 入力が Low の場合、A7 ~ A0 から B7 ~ B0 を減算し、8 ビットの差 (S7 ~ S0) とキャリー出力 (CO) またはオーバーフロー (OFL) を出力します。

加算モードでは、CO と CI はアクティブ High になります。減算モードでは、CO と CI はアクティブ Low になります。OFL は、モードにかかわらず常にアクティブ High です。

論理表

入力			出力
ADD	A	B	S
1	A _n	B _n	A _n + B _n + CI*
0	A _n	B _n	A _n - B _n - CI*
CI* : ADD = 0、CI、CO アクティブ Low			
CI* : ADD = 1、CI、CO アクティブ High			

符号なし 2 進数と 2 の補数

このデザイン エLEMENTは、8 ビットの符号なし 2 進数または 8 ビットの 2 の補数を処理できます。符号なし 2 進数が入力されると、符号なし 2 進数が出力されます。2 の補数が入力されると、2 の補数が出力されます。この 2 つの唯一の機能的な違いは、オーバーフローの認識方法にあり、オーバーフローの発生を認識するのに符号なし 2 進数では CO が使用され、2 の補数では OFL が使用されます。

加減算器では、符号なし 2 進演算でも 2 の補数演算でもオーバーフローが発生します。演算結果がオーバーフローになる場合、オーバーフローが生成されます。同様に、演算結果が桁上がりする場合、キャリー出力が生成されます。

符号なし 2 進演算

符号なし 2 進演算の場合、0 ~ 255 までの数を表現できます。加算モードでは、加算結果が加減算器の範囲を超えると CO がアクティブ (High) になります。減算モードでは、減算器の範囲を超えると CO がアクティブ Low のボローアウトで、Low になります。

符号なし 2 進数のオーバーフローは、常にアクティブ High で、ADD と CO を次のようにゲート接続すると発生させることができます。

符号なしオーバーフロー = CO XOR ADD

符号なし 2 進演算では、OFL は無視されます。

2 の補数演算

2 の補数演算の場合、-128 から +127 までの数を表現できます。

加算または減算の結果がこの範囲を超えると、OFL 出力が High になります。2 の補数演算では、CO は無視されます。

デザインの入力方法

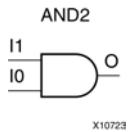
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

AND2

プリミティブ : 2-Input AND Gate with Non-Inverted Inputs



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

5 入力までの AND ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の AND ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転させるには、外部インバータを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

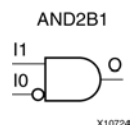
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

AND2B1

プリミティブ : 2-Input AND Gate with 1 Inverted and 1 Non-Inverted Inputs



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

5 入力までの AND ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の AND ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転させるには、外部インバータを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

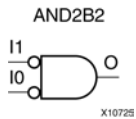
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

AND2B2

プリミティブ : 2-Input AND Gate with Inverted Inputs



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

5 入力までの AND ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の AND ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転させるには、外部インバータを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

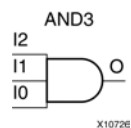
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

AND3

プリミティブ : 3-Input AND Gate with Non-Inverted Inputs



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

5 入力までの AND ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の AND ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転させるには、外部インバータを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

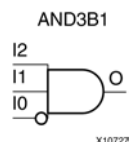
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

AND3B1

プリミティブ : 3-Input AND Gate with 1 Inverted and 2 Non-Inverted Inputs



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

5 入力までの AND ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の AND ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転させるには、外部インバータを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

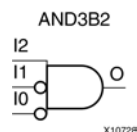
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

AND3B2

プリミティブ : 3-Input AND Gate with 2 Inverted and 1 Non-Inverted Inputs



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

5 入力までの AND ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の AND ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転させるには、外部インバータを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

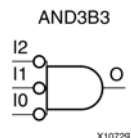
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

AND3B3

プリミティブ : 3-Input AND Gate with Inverted Inputs



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

5 入力までの AND ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の AND ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転させるには、外部インバータを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

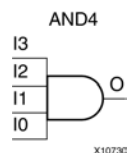
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

AND4

プリミティブ : 4-Input AND Gate with Non-Inverted Inputs



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

5 入力までの AND ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の AND ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転させるには、外部インバータを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

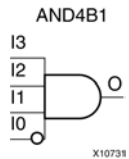
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

AND4B1

プリミティブ : 4-Input AND Gate with 1 Inverted and 3 Non-Inverted Inputs



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

5 入力までの AND ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の AND ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転させるには、外部インバータを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

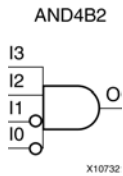
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

AND4B2

プリミティブ : 4-Input AND Gate with 2 Inverted and 2 Non-Inverted Inputs



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

5 入力までの AND ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の AND ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転させるには、外部インバータを使用します。各入力に CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

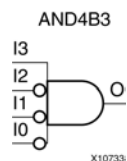
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

AND4B3

プリミティブ : 4-Input AND Gate with 3 Inverted and 1 Non-Inverted Inputs



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

5 入力までの AND ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の AND ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転させるには、外部インバータを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

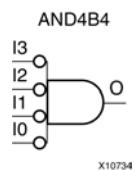
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

AND4B4

プリミティブ : 4-Input AND Gate with Inverted Inputs



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

5 入力までの AND ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の AND ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転させるには、外部インバータを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

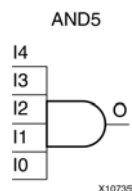
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

AND5

プリミティブ : 5-Input AND Gate with Non-Inverted Inputs



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

5 入力までの AND ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の AND ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転させるには、外部インバータを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

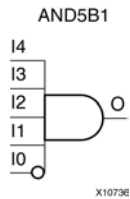
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

AND5B1

プリミティブ : 5-Input AND Gate with 1 Inverted and 4 Non-Inverted Inputs



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

5 入力までの AND ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の AND ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転させるには、外部インバータを使用します。各入力に CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

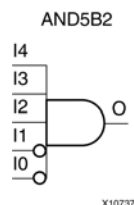
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

AND5B2

プリミティブ : 5-Input AND Gate with 2 Inverted and 3 Non-Inverted Inputs



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

5 入力までの AND ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の AND ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転させるには、外部インバータを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

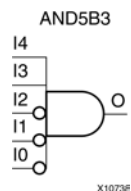
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

AND5B3

プリミティブ : 5-Input AND Gate with 3 Inverted and 2 Non-Inverted Inputs



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

5 入力までの AND ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の AND ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転させるには、外部インバータを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

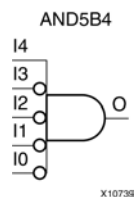
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

AND5B4

プリミティブ : 5-Input AND Gate with 4 Inverted and 1 Non-Inverted Inputs



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

5 入力までの AND ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の AND ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転させるには、外部インバータを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

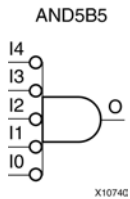
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

AND5B5

プリミティブ : 5-Input AND Gate with Inverted Inputs



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

5 入力までの AND ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の AND ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転させるには、外部インバータを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

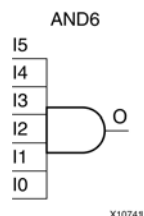
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

AND6

マクロ : 6-Input AND Gate with Non-Inverted Inputs



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

5 入力までの AND ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の AND ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転させるには、外部インバータを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

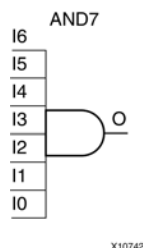
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

AND7

マクロ : 7-Input AND Gate with Non-Inverted Inputs



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

5 入力までの AND ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の AND ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転させるには、外部インバータを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

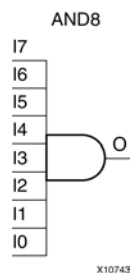
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

AND8

マクロ : 8-Input AND Gate with Non-Inverted Inputs



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

5 入力までの AND ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の AND ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転させるには、外部インバータを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

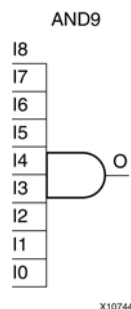
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

AND9

マクロ : 9-Input AND Gate with Non-Inverted Inputs



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

5 入力までの AND ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の AND ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転させるには、外部インバータを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

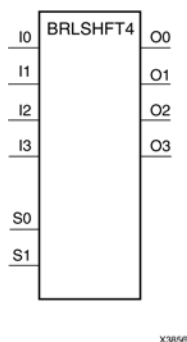
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

BRLSHFT4

マクロ : 4-Bit Barrel Shifter



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

このデザイン エLEMENTは 4 ビットのバレル シフタで、4 つの入力 (I3 ~ I0) を 4 回までローテーションできます。制御入力 (S1 と S0) は、データをローテーションする回数 (1 ~ 4) を指定します。4 つの出力 (O3 ~ O0) には、ローテーションされたデータ入力が出力されます。

論理表

入力						出力			
S1	S0	I0	I1	I2	I3	O0	O1	O2	O3
0	0	a	b	c	d	a	b	c	d
0	1	a	b	c	d	b	c	d	a
1	0	a	b	c	d	c	d	a	b
1	1	a	b	c	d	d	a	b	c

デザインの入力方法

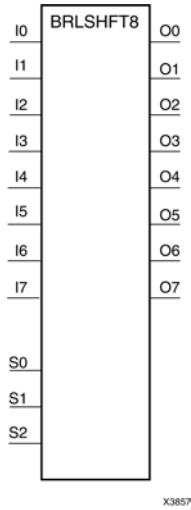
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

BRLSHFT8

マクロ : 8-Bit Barrel Shifter



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

このデザイン エLEMENTは、8 ビットのバレル シフタで、8 つの入力 (I7 ~ I0) を 8 回までローテーションできます。制御入力 (S2 ~ S0) は、データをローテーションする回数 (1 ~ 8) を指定します。8 つの出力 (O7 ~ O0) には、ローテーションされたデータ入力が出力されます。

論理表

入力											出力							
S2	S1	S0	I0	I1	I2	I3	I4	I5	I6	I7	O0	O1	O2	O3	O4	O5	O6	O7
0	0	0	a	b	c	d	e	f	g	h	a	b	c	d	e	f	g	h
0	0	1	a	b	c	d	e	f	g	h	b	c	d	e	f	g	h	a
0	1	0	a	b	c	d	e	f	g	h	c	d	e	f	g	h	a	b
0	1	1	a	b	c	d	e	f	g	h	d	e	f	g	h	a	b	c
1	0	0	a	b	c	d	e	f	g	h	e	f	g	h	a	b	c	d
1	0	1	a	b	c	d	e	f	g	h	f	g	h	a	b	c	d	e
1	1	0	a	b	c	d	e	f	g	h	g	h	a	b	c	d	e	f
1	1	1	a	b	c	d	e	f	g	h	h	a	b	c	d	e	f	g

デザインの入力方法

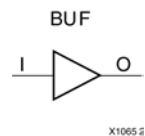
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

BUF

プリミティブ : General Purpose Buffer



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

このデザイン エLEMENTは、汎用の非反転バッファです。

このELEMENTは不要なので、MAP によって削除されます。

デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

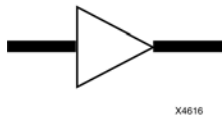
詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

BUF16

マクロ : 16-Bit General Purpose Buffer

BUF16



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

このデザイン エLEMENTは、16 ビットの汎用の非反転バッファです。CPLD では、OPT=OFF 属性をこのデザイン エLEMENTに適用するか、または LOGIC_OPT=OFF グローバル属性を使用して最適化を禁止しないと、通常削除されます。

デザインの入力方法

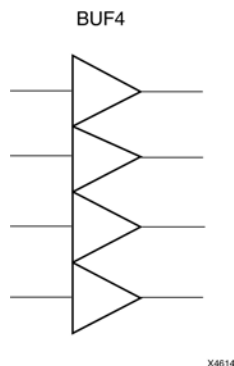
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

BUF4

マクロ : 4-Bit General Purpose Buffer



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

このデザイン エLEMENTは、4 ビットの汎用の非反転バッファです。CPLD では、OPT=OFF 属性をこのデザイン エLEMENTに適用するか、または LOGIC_OPT=OFF グローバル属性を使用して最適化を禁止しないと、通常削除されます。

デザインの入力方法

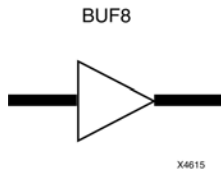
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

BUF8

マクロ : 8-Bit General Purpose Buffer



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

このデザイン エLEMENTは、8 ビットの汎用の非反転バッファです。CPLD では、OPT=OFF 属性をこのデザイン エLEMENTに適用するか、または LOGIC_OPT=OFF グローバル属性を使用して最適化を禁止しないと、通常削除されます。

デザインの入力方法

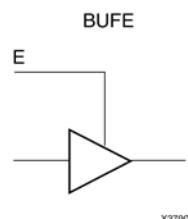
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

BUFE

プリミティブ : Internal 3-State Buffer with Active High Enable



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™ XPLA3

概要

このデザイン エLEMENTは、入力 (I)、出力 (O)、およびアクティブ High の出力イネーブル (E) から構成される単一のトライステート バッファです。E が High の場合、バッファに入力された値が対応する出力に送られます。E が Low になると、出力はハイ インピーダンス (Z ステートまたはオフ) になります。FPGA アーキテクチャでは、バッファの出力は水平ロングラインに接続されます。

このデザイン エLEMENTの複数のシンボルの出力を接続して、バスまたはマルチプレクサを作成できます。この場合は、一度に 1 つの E 入力だけが High になるようにしてください。E 入力がいずれもアクティブ High でない場合、ウィークキーパ回路によって、出力バスがフロートすることはありませんが、必ずしも最後に入力された値がバスに保持されるわけではありません。一部の CPLD デバイスでは、接続されているすべての BUFE/BUFT がディスエーブルの場合、ネットの出力のロジックレベルが High になります。FPGA デバイスでは、このELEMENTの出力に PULLUP ELEMENTを接続する必要があります。接続されていない場合、NGDBuild で PULLUP ELEMENTが挿入されます。

論理表

入力		出力
E	I	O
0	X	Z
1	1	1
1	0	0

デザインの入力方法

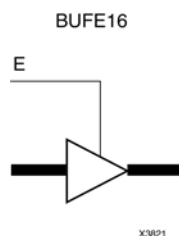
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

BUFE16

マクロ : 16-Bit Internal 3-State Buffer with Active High Enable



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™ XPLA3

概要

このデザイン エLEMENTは、入力 (I15 ~ I0)、出力 (O15 ~ O0)、およびアクティブ High の出力イネーブル (E) から構成される複数のトライステート バッファです。E が High の場合、バッファに入力された値が対応する出力に送られます。

E が Low になると、出力はハイ インピーダンス (Z ステートまたはオフ) になります。FPGA アーキテクチャでは、バッファの出力は水平ロングラインに接続されます。複数の BUFE ELEMENTの出力を接続して、バスまたはマルチプレクサを作成することもできます。この場合は、一度に 1 つの E 入力だけが High になるようにしてください。E 入力がいずれもアクティブ High でない場合、ウィークキーパ回路によって、出力バスがフロートすることはありませんが、必ずしも最後に入力された値がバスに保持されるわけではありません。

論理表

入力		出力
E	I	O
0	X	Z
1	1	1
1	0	0

デザインの入力方法

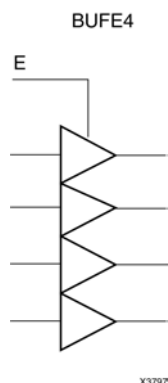
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

BUFE4

マクロ : 4-Bit Internal 3-State Buffer with Active High Enable



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™ XPLA3

概要

このデザイン エLEMENTは、入力 (I3 ~ I0)、出力 (O3 ~ O0)、およびアクティブ High の出力イネーブル (E) から構成される複数のトリステート バッファです。E が High の場合、バッファに入力された値が対応する出力に送られます。

E が Low になると、出力はハイ インピーダンス (Z ステートまたはオフ) になります。FPGA アーキテクチャでは、バッファの出力は水平ロングラインに接続されます。複数の BUFE ELEMENTの出力を接続して、バスまたはマルチプレクサを作成することもできます。この場合は、一度に 1 つの E 入力だけが High になるようにしてください。E 入力がいずれもアクティブ High でない場合、ウィークキーパ回路によって、出力バスがフロートすることはありませんが、必ずしも最後に入力された値がバスに保持されるわけではありません。

論理表

入力		出力
E	I	O
0	X	Z
1	1	1
1	0	0

デザインの入力方法

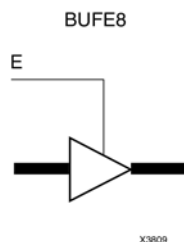
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

BUFE8

マクロ : 8-Bit Internal 3-State Buffer with Active High Enable



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™ XPLA3

概要

このデザイン エLEMENTは、入力 (I7 ~ I0)、出力 (O7 ~ O0)、およびアクティブ High の出力イネーブル (E) から構成される複数のトライステートバッファです。E が High の場合、バッファに入力された値が対応する出力に送られます。

E が Low になると、出力はハイインピーダンス (Z ステートまたはオフ) になります。FPGA アーキテクチャでは、バッファの出力は水平ロングラインに接続されます。複数の BUFE ELEMENTの出力を接続して、バスまたはマルチプレクサを作成することもできます。この場合は、一度に 1 つの E 入力だけが High になるようにしてください。E 入力がいずれもアクティブ High でない場合、ウィークキーパ回路によって、出力バスがフロートすることはありませんが、必ずしも最後に入力された値がバスに保持されるわけではありません。

論理表

入力		出力
E	I	O
0	X	Z
1	1	1
1	0	0

デザインの入力方法

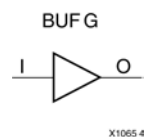
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

BUFG

プリミティブ : Global Clock Buffer



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

このデザイン エLEMENTは、ファンアウトが大きいバッファで、スキューを抑えて信号を分散するために、グローバル配線リソースへの信号に接続します。BUFG は通常クロック ネットで使用されます。

ポートの説明

ポート名	タイプ	幅	機能
I	入力	1	クロック バッファ出力
O	出力	1	クロック バッファ入力

デザインの入力方法

インスタンス化	可
推論	推奨
CORE Generator™ およびウィザード	不可
マクロのサポート	不可

このELEMENTは、回路図で使用されます。

VHDL 記述 (インスタンスレーション)

次の 2 つの構文が存在しない場合はコピーし、エンティティ宣言の前に貼り付けます。

```
Library UNISIM;
use UNISIM.vcomponents.all;

-- BUFG: Global Clock Buffer
--      Virtex-6
-- Xilinx HDL Libraries Guide, version 11.2

BUFG_inst : BUFG
generic map (
)
port map (
  O => O, -- 1-bit Clock buffer output
  I => I  -- 1-bit Clock buffer input
);

-- End of BUFG_inst instantiation
```

Verilog 記述 (インスタンスレーション)

```
// BUFG: Global Clock Buffer (source by an internal signal)
//      All FPGAs
// Xilinx HDL Libraries Guide, version 11.2

BUFG BUFG_inst (
  .O(O),      // Clock buffer output
  .I(I)       // Clock buffer input
);

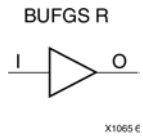
// End of BUFG_inst instantiation
```

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当する EDK 資料

BUFGSR

プリミティブ : Global Set/Reset Input Buffer



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

このデザイン エLEMENTは、XC9500/XV/XL、CoolRunner™ XPLA3、または CoolRunner™-II デバイスの選択したフリップフロップにグローバル セット/リセット (GSR) 信号を供給します。GSR 制御ピンは、CPLD デバイスで使用できます。詳細は、デバイスのデータシートを参照してください。

このデザイン エLEMENTは、常に入力バッファとして機能します。これを回路図で使用するには、GSR 信号のソースを表す IPAD または IOPAD にこのELEMENTのシンボルの入力を接続します。オンチップで生成された GSR 信号は、OBUF タイプのバッファを介してからこのELEMENTに接続する必要があります。

グローバル セット/リセット制御では通常、このELEMENTの出力を FDCP などのフリップフロップ シンボルの CLR 入力または PRE 入りに接続するか、あるいは非同期クリアまたはプリセットのあるレジスタ付きシンボルに接続します。また、グローバル セット/リセット制御信号は、インバータを介すと、アクティブ Low のセット/リセットを出力できます。このELEMENTの出力は、デザイン内の別の場所にあるほかのロジックに対する標準入力信号としても使用できます。このELEMENTでは、デザイン内のフリップフロップをいくつでも制御できます。

デザインの入力方法

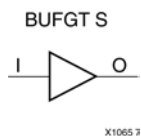
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

BUFGTS

プリミティブ : Global 3-State Input Buffer



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

このデザイン エLEMENTは、CPLD デバイスの出力パッドドライバにグローバル出力イネーブル信号を供給します。グローバルトライステート (GTS) 制御ピンは、CPLD デバイスに含まれています。詳細は、デバイスのデータシートを参照してください。

このデザイン エLEMENTは、常に入力バッファとして機能します。このELEMENTを回路図で使用するには、GTS 信号のソースを表す IPAD または IOPAD に BUFGTS シンボルの入力を接続します。オンチップで生成された GTS 信号は、OBUF タイプのバッファを介してからこのELEMENTに接続する必要があります。

グローバルトライステート制御の場合は、通常このELEMENTの出力はトライステート出力バッファシンボルである OBUFE の E 入力に接続します。グローバルトライステート制御信号は、インバータを介するか、OBUFT シンボルを制御すると、アクティブ Low の出力イネーブルを出力できます。このトライステート制御信号は、インバータの有無にかかわらず、デバイス出力のオルタネート グループをイネーブルにできます。BUFGTS の出力は、デザイン内の別の場所にあるほかのロジックに対する標準入力信号としても使用できます。各 BUFGTS は、デザイン内の出力バッファをいくつでも制御できます。

デザインの入力方法

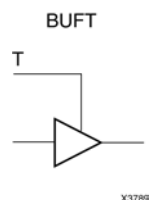
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

BUFT

プリミティブ : Internal 3-State Buffer with Active Low Enable



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™ XPLA3

概要

このデザイン エLEMENTは、入力 (I)、出力 (O)、およびアクティブ High の出力イネーブル (T) から構成される単一のトライステート バッファです。T が Low の場合、バッファに入力された値が対応する出力に送られます。T が High のときは、出力はハイ インピーダンス (Z ステートまたはオフ) になります。FPGA アーキテクチャでは、バッファの出力は水平ロングラインに接続されます。

複数の BUFT シンボルの出力を接続して、バスまたはマルチプレクサを作成できます。この場合、一度に 1 つの T 入力だけが Low になるようにしてください。CPLD デバイスでは、接続されているすべての BUFE/BUFT がディスエーブルの場合、BUFT の出力ネットのロジック レベルが High になります。FPGA では、ネット上にあるすべての BUFT をディスエーブルにすると、ネットは High になります。これを正しくシミュレーションするには、PULLUP エLEMENTをネットに接続する必要があります。PULLUP エLEMENTが接続されていない場合は、NGDBuild で PULLUP エLEMENTが挿入され、デバイスの状態を正しくバックアノテーション シミュレーションできるようになります。

論理表

入力		出力
T	I	O
1	X	Z
0	1	1
0	0	0

デザインの入力方法

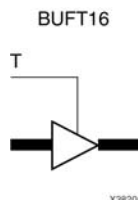
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

BUFT16

マクロ : 16-Bit Internal 3-State Buffers with Active Low Enable



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™ XPLA3

概要

このデザイン エLEMENTは、入力 (I15 ~ I0)、出力 (O15 ~ O0)、およびアクティブ Low の出力イネーブル (T) から構成される複数のトリステート バッファです。T が Low の場合、バッファに入力された値が対応する出力に送られます。T が High のときは、出力はハイ インピーダンス (Z ステートまたはオフ) になります。FPGA アーキテクチャでは、バッファの出力は水平ロングラインに接続されます。

複数の BUFT シンボルの出力を接続して、バスまたはマルチプレクサを作成できます。この場合、一度に 1 つの T 入力だけが Low になるようにしてください。CPLD デバイスでは、接続されているすべての BUFE/BUFT がディスエーブルの場合、BUFT の出力ネットのロジック レベルが High になります。FPGA では、ネット上にあるすべての BUFT をディスエーブルにすると、ネットは High になります。これを正しくシミュレーションするには、PULLUP エLEMENTをネットに接続する必要があります。PULLUP エLEMENTが接続されていない場合は、NGDBuild で PULLUP エLEMENTが挿入され、デバイスの状態を正しくバックアノテーション シミュレーションできるようになります。

論理表

入力		出力
T	I	O
1	X	Z
0	1	1
0	0	0

デザインの入力方法

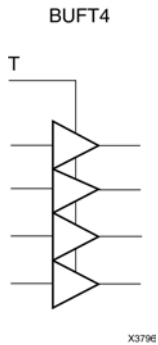
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

BUFT4

マクロ : 4-Bit Internal 3-State Buffers with Active Low Enable



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™ XPLA3

概要

このデザイン エLEMENTは、入力 (I3 ~ I0)、出力 (O3 ~ O0)、およびアクティブ Low の出力イネーブル (T) から構成される複数のトライステートバッファです。T が Low の場合、バッファに入力された値が対応する出力に送られます。T が High のときは、出力はハイインピーダンス (Z ステートまたはオフ) になります。FPGA アーキテクチャでは、バッファの出力は水平ロングラインに接続されます。

複数の BUFT シンボルの出力を接続して、バスまたはマルチプレクサを作成できます。この場合、一度に 1 つの T 入力だけが Low になるようにしてください。CPLD デバイスでは、接続されているすべての BUFE/BUFT がディスエーブルの場合、BUFT の出力ネットのロジックレベルが High になります。FPGA では、ネット上にあるすべての BUFT をディスエーブルにすると、ネットは High になります。これを正しくシミュレーションするには、PULLUP エLEMENTをネットに接続する必要があります。PULLUP エLEMENTが接続されていない場合は、NGDBuild で PULLUP エLEMENTが挿入され、デバイスの状態を正しくバックアノテーションシミュレーションできるようになります。

論理表

入力		出力
T	I	O
1	X	Z
0	1	1
0	0	0

デザインの入力方法

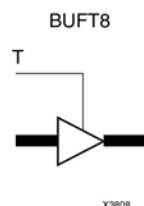
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

BUFT8

マクロ : 8-Bit Internal 3-State Buffers with Active Low Enable



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™ XPLA3

概要

このデザイン エLEMENTは、入力 (I7 ~ I0)、出力 (O7 ~ O0)、およびアクティブ Low の出力イネーブル (T) から構成される複数のトライステート バッファです。T が Low の場合、バッファに入力された値が対応する出力に送られます。T が High のときは、出力はハイ インピーダンス (Z ステートまたはオフ) になります。FPGA アーキテクチャでは、バッファの出力は水平ロングラインに接続されます。

複数の BUFT シンボルの出力を接続して、バスまたはマルチプレクサを作成できます。この場合、一度に 1 つの T 入力だけが Low になるようにしてください。CPLD デバイスでは、接続されているすべての BUFE/BUFT がディスエーブルの場合、BUFT の出力ネットのロジック レベルが High になります。FPGA では、ネット上にあるすべての BUFT をディスエーブルにすると、ネットは High になります。これを正しくシミュレーションするには、PULLUP エLEMENTをネットに接続する必要があります。PULLUP エLEMENTが接続されていない場合は、NGDBuild で PULLUP エLEMENTが挿入され、デバイスの状態を正しくバックアノテーション シミュレーションできるようになります。

論理表

入力		出力
T	I	O
1	X	Z
0	1	1
0	0	0

デザインの入力方法

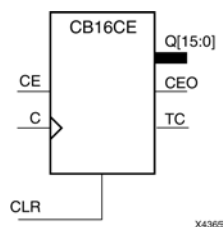
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

CB16CE

マクロ : 16-Bit Cascadable Binary Counter with Clock Enable and Asynchronous Clear



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

このデザイン エLEMENTは、非同期クリア可能、カスケード可能なバイナリ カウンタです。非同期クリア (CLR) 入力が高になると、ほかのすべての入力は無視され、クロック (C) の遷移に関係なく、出力 (Q)、ターミナル カウンタ (TC)、およびクロック イネーブル出力 (CEO) が 0 になります。クロック イネーブル入力 (CE) が High の場合、クロック (C) が Low から High に切り替わるときに出力 (Q) がインクリメントされます。CE が Low の場合、クロック遷移は無視されます。すべての Q 出力が高になると、TC 出力が高になります。

1 段目の CEO 出力を次の段の CE 入力に接続し、C および CLR 入力を並列に接続すると、より大型のカウンタを作成できます。TC と CE が High になると、CEO がアクティブ (High) になります。カウンタの長さの最大値は、CE ピンと TC ピン間の伝搬遅延の合計とクロック周期の関係によって決定されます。クロック周期は、 $n(t_{CE-TC})$ より大きい必要があります。ここで、 n は段数、時間 t_{CE-TC} は各段での CE ピンと TC ピン間の伝搬遅延を表します。カウンタをカスケードする場合、CE 入力を使用するときは CEO 出力を、CE 入力を使用しないときは TC 出力を使用します。

電力を供給すると、カウンタは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

論理表

入力			出力		
CLR	CE	C	Q _z - Q ₀	TC	CEO
1	X	X	0	0	0
0	0	X	変化なし	変化なし	0
0	1	↑	インクリメント	TC	CEO
$z = \text{ビット幅} - 1$ $TC = Q_z \cdot Q_{(z-1)} \cdot Q_{(z-2)} \cdot \dots \cdot Q_0$ $CEO = TC \cdot CE$					

デザインの入力方法

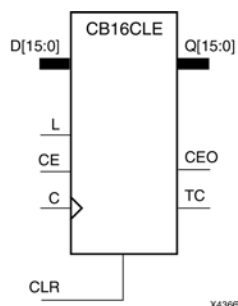
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

CB16CLE

マクロ : 16-Bit Loadable Cascadable Binary Counters with Clock Enable and Asynchronous Clear



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

このデザイン エLEMENTは、同期、ロード可能、非同期クリア可能、カスケード可能なバイナリ カウンタです。非同期クリア (CLR) 入力が高になると、ほかのすべての入力は無視され、クロック (C) の遷移に関係なく、出力 (Q)、ターミナル カウンタ (TC)、およびクロック イネーブル出力 (CEO) が 0 になります。ロード イネーブル入力 (L) が High の場合、クロックが Low から High に切り替わるときに、クロック イネーブル (CE) の値に関係なく、入力 (D) の値がカウンタにロードされます。CE が High の場合、クロックが Low から High に切り替わるときに Q 出力がインクリメントされます。CE が Low の場合、クロック遷移は無視されます。すべての Q 出力が高になると、TC 出力が高になります。

1 段目の CEO 出力を次の段の CE 入力に接続し、C、L、および CLR 入力を並列に接続すると、より大型のカウンタを作成できます。TC と CE が High になると、CEO がアクティブ (High) になります。カウンタの長さの最大値は、CE ピンと TC ピン間の伝搬遅延の合計とクロック周期の関係によって決定されます。クロック周期は、 $n(t_{CE-TC})$ より大きい必要があります。ここで、 n は段数、時間 t_{CE-TC} は各段での CE ピンと TC ピン間の伝搬遅延を表します。カウンタをカスケードする場合、CE 入力を使用するときは CEO 出力を、CE 入力を使用しないときは TC 出力を使用します。

電力を供給すると、カウンタは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

論理表

入力					出力		
CLR	L	CE	C	Dz - D0	Qz - Q0	TC	CEO
1	X	X	X	X	0	0	0
0	1	X	↑	Dn	Dn	TC	CEO
0	0	0	X	X	変化なし	変化なし	0
0	0	1	↑	X	インクリメント	TC	CEO
z = ビット幅 - 1 $TC = Qz \cdot Q(z-1) \cdot Q(z-2) \cdot \dots \cdot Q0$ $CEO = TC \cdot CE$							

デザインの入力方法

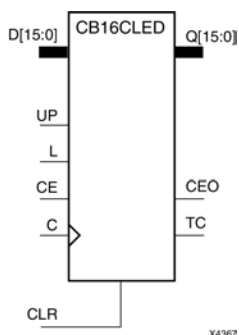
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

CB16CLED

マクロ : 16-Bit Loadable Cascadable Bidirectional Binary Counters with Clock Enable and Asynchronous Clear



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

このデザイン エLEMENTは、同期、ロード可能、非同期クリア可能、カスケード可能な双方向バイナリ カウンタです。非同期クリア (CLR) 入力が高レベルになると、ほかのすべての入力は無視され、クロック (C) の遷移に関係なく、出力 (Q)、ターミナル カウンタ (TC)、およびクロック イネーブル出力 (CEO) が 0 になります。ロード イネーブル入力 (L) が High の場合、クロック (C) が Low から High に切り替わる時に、クロック イネーブル (CE) の値に関係なく、入力 (D) の値がカウンタにロードされます。CE が High、UP が Low の場合、クロックが Low から High に切り替わる時に、Q 出力がデクリメントされます。CE と UP が High の場合、Q 出力がインクリメントされます。CE が Low の場合、クロック遷移は無視されます。

カウントアップする場合、すべての Q 出力と UP が High になると TC 出力が High になります。カウントダウンする場合、すべての Q 出力と UP が Low になると TC 出力が High になります。

1 段目の CEO 出力を次の段の CE 入力に接続し、C、UP、L、および CLR 入力を並列に接続すると、より大型のカウンタを作成できます。TC と CE が High になると、CEO がアクティブ (High) になります。カウンタの長さの最大値は、CE ピンと TC ピン間の伝搬遅延の合計とクロック周期の関係によって決定されます。クロック周期は、 $n(t_{CE-TC})$ より大きい必要があります。ここで、 n は段数、時間 t_{CE-TC} は各段での CE ピンと TC ピン間の伝搬遅延を表します。カウンタをカスケードする場合、CE 入力を使用するときは CEO 出力を、CE 入力を使用しないときは TC 出力を使用します。

CPLD デバイスについては、高速カスケードが可能な双方向カウンタである CB2X1、CB4X1、CB8X1、CB16X1 を参照してください。

電力を供給すると、カウンタは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

論理表

入力						出力		
CLR	L	CE	C	UP	Dz - D0	Qz - Q0	TC	CEO
1	X	X	X	X	X	0	0	0
0	1	X	↑	X	Dn	Dn	TC	CEO
0	0	0	X	X	X	変化なし	変化なし	0
0	0	1	↑	1	X	インクリメント	TC	CEO
0	0	1	↑	0	X	デクリメント	TC	CEO
z = ビット幅 - 1 $TC = (Qz \cdot Q(z-1) \cdot Q(z-2) \cdot \dots \cdot Q0 \cdot UP) + (Qz \cdot Q(z-1) \cdot Q(z-2) \cdot \dots \cdot Q0 \cdot \overline{UP})$ $CEO = TC \cdot CE$								

デザインの入力方法

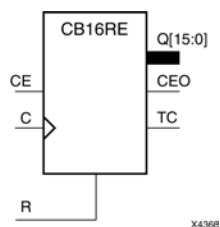
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

CB16RE

マクロ : 16-Bit Cascadable Binary Counter with Clock Enable and Synchronous Reset



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

このデザイン エLEMENTは、同期、リセット可能、カスケード可能なバイナリ カウンタです。同期リセット入力 (R) が High になると、ほかの入力は無視され、クロック (C) が Low から High に切り替わる時に出力 (Q)、ターミナル カウンタ (TC)、およびクロック イネーブル出力 (CEO) が 0 になります。クロック イネーブル入力 (CE) が High の場合、クロック (C) が Low から High に切り替わる時に出力 (Q) がインクリメントされます。CE が Low の場合、クロック遷移は無視されます。すべての Q 出力が High になると、TC 出力が High になります。

1 段目の CEO 出力を次の段の CE 入力に接続し、C および R 入力を並列に接続すると、より大型のカウンタを作成できます。TC と CE が High になると、CEO がアクティブ (High) になります。カウンタの長さの最大値は、CE ピンと TC ピン間の伝搬遅延の合計とクロック周期の関係によって決定されます。クロック周期は、 $n(t_{CE-TC})$ より大きい必要があります。ここで、 n は段数、時間 t_{CE-TC} は各段での CE ピンと TC ピン間の伝搬遅延を表します。カウンタをカスケードする場合、CE 入力を使用するときは CEO 出力を、CE 入力を使用しないときは TC 出力を使用します。

電力を供給すると、カウンタは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

論理表

入力			出力		
R	CE	C	Q _z - Q ₀	TC	CEO
1	X	↑	0	0	0
0	0	X	変化なし	変化なし	0
0	1	↑	インクリメント	TC	CEO
$z = \text{ビット幅} - 1$ $TC = Q_z \cdot Q_{(z-1)} \cdot Q_{(z-2)} \cdot \dots \cdot Q_0$ $CEO = TC \cdot CE$					

デザインの入力方法

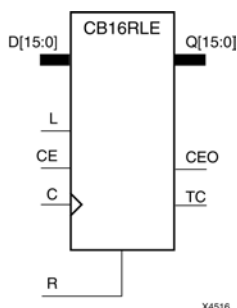
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

CB16RLE

マクロ : 16-Bit Loadable Cascadable Binary Counter with Clock Enable and Synchronous Reset



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

このデザイン エLEMENTは、同期、ロード可能、リセット可能、カスケード可能なバイナリ カウンタです。同期リセット入力 (R) が High になると、ほかの入力は無視され、クロック (C) が Low から High に切り替わる時に出力 (Q)、ターミナル カウンタ (TC)、およびクロック イネーブル出力 (CEO) が 0 になります。

ロード イネーブル入力 (L) が High の場合、クロック (C) が Low から High に切り替わる時に、CE の値に関係なく、D 入力の値がカウンタにロードされます。CE が High の場合、クロックが Low から High に切り替わる時に Q 出力がインクリメントされます。CE が Low の場合、クロック遷移は無視されます。すべての Q 出力が High になると、TC 出力が High になります。すべての Q 出力と CE が High になると、CEO 出力が High になるので、カウンタを直接カスケード接続できます。

1 段目の CEO 出力を次の段の CE 入力に接続し、C、L、および R 入力を並列に接続すると、より大型のカウンタを作成できます。TC と CE が High になると、CEO がアクティブ (High) になります。カウンタの長さの最大値は、CE ピンと TC ピン間の伝搬遅延の合計とクロック周期の関係によって決定されます。クロック周期は、 $n(t_{CE-TC})$ より大きい必要があります。ここで、 n は段数、時間 t_{CE-TC} は各段での CE ピンと TC ピン間の伝搬遅延を表します。カウンタをカスケードする場合、CE 入力を使用するときは CEO 出力を、CE 入力を使用しないときは TC 出力を使用します。

電力を供給すると、カウンタは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

論理表

入力					出力		
R	L	CE	C	Dz - D0	Qz - Q0	TC	CEO
1	X	X	↑	X	0	0	0
0	1	X	↑	Dn	Dn	TC	CEO
0	0	0	X	X	変化なし	変化なし	0
0	0	1	↑	X	インクリメント	TC	CEO
z = ビット幅 - 1 $TC = Qz \cdot Q(z-1) \cdot Q(z-2) \cdot \dots \cdot Q0$ $CEO = TC \cdot CE$							

デザインの入力方法

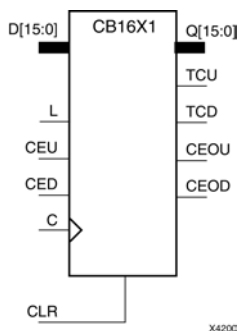
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

CB16X1

マクロ : 16-Bit Loadable Cascadable Bidirectional Binary Counter with Clock Enable and Asynchronous Clear



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

このデザイン エLEMENTは、同期、ロード可能、非同期クリア可能、リセット能な双方向バイナリ カウンタです。このカウンタには、アップとダウンの両方向に対してそれぞれカウント イネーブル入力と同期ターミナル カウント出力があり、高速カスケードがサポートされています。

非同期クリア入力 (CLR) が最も優先される入力で、CLR が High になると、ほかのすべての入力は無視されます。クロック遷移に関係なく、出力 (Q) は 0、ターミナル カウント出力 TCU と TCD はそれぞれ 0 と 1、クロック イネーブル出力 CEOU と CEOD はそれぞれ Low と High になります。ロード イネーブル入力 (L) が High の場合、クロック (C) が Low から High に切り替わるたびに、CE 入力の値に関係なく、D 入力の値がカウンタにロードされます。

CEU が High、CLR と L が Low の場合、クロックが Low から High に切り替わるたびに Q 出力がインクリメントされます。CED が High、CLR と L が Low の場合、Q 出力がデクリメントされます。CEU と CED が Low の場合、クロック遷移は無視されます。クロック遷移の際に CEU と CED の両方を High にしないでください。CEU と CED が両方とも High になっていると、カスケード接続した場合に CEOU および CEOD 出力が正しく機能しません。

カウント アップする場合、すべての Q 出力と CEU が High になると CEOU 出力が High になります。カウント ダウンする場合、すべての Q 出力が Low、CED が High になると CEOD 出力が High になります。カウンタをカスケード接続するには、各カウンタの CEOU 出力および CEOD 出力をそれぞれ次の段の CEU および CED 入力に直接接続します。クロック、L、CLR の各入力は、並列に接続します。

すべてのカウントおよびロード機能に対して、カウンタをいくつカスケード接続しても、カウンタ コンポーネントの最大クロック周波数は影響を受けません。すべての Q 出力が High になると、CEU に関係なく、TCU ターミナル カウント出力が High になります。すべての Q 出力が Low になると、CED に関係なく、TCD 出力は High になります。

カウンタをカスケード接続する場合、最終的なターミナル カウント信号は、TCU 出力 (アップ方向) と TCD 出力 (ダウン方向) をすべて接続した AND ゲートで生成されます。TCU、CEOU、CEOD の各出力は、コンポーネント内の最適化可能な AND ゲートによって生成されます。したがって、これらの出力からの接続がすべてオンチップであれば、CEU および CED の入力と Q 出力のピン間の伝搬遅延がゼロになります。すべてがオンチップでない場合は、マクロセルバッファ遅延が発生します。

電力を供給すると、カウンタは 0 (TCU は Low、TCD は High) に初期化されます。High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

論理表

入力						出力				
CLR	L	CEU	CED	C	Dz - D0	Qz - Q0	TCU	TCD	CEOU	CEOD
1	X	X	X	X	X	0	0	1	0	CEOD
0	1	X	X	↑	Dn	Dn	TCU	TCD	CEOU	CEOD
0	0	0	0	X	X	変化なし	変化なし	変化なし	0	0
0	0	1	0	↑	X	インクリメント	TCU	TCD	CEOU	0
0	0	0	1	↑	X	デクリメント	TCU	TCD	0	CEOD
0	0	1	1	↑	X	インクリメント	TCU	TCD	無効	無効

$z = \text{ビット幅} - 1$

$TCU = Qz \cdot Q(z-1) \cdot Q(z-2) \cdot \dots \cdot Q0$

$TCD = Qz \cdot Q(z-1) \cdot Q(z-2) \cdot \dots \cdot Q0$

$CEOU = TCU \cdot CEU$

$CEOD = TCD \cdot CED$

デザインの入力方法

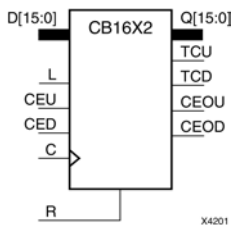
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

CB16X2

マクロ : 16-Bit Loadable Cascadable Bidirectional Binary Counter with Clock Enable and Synchro-nous Reset



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

このデザイン エLEMENTは、同期、ロード可能、リセット可能な双方向バイナリ カウンタです。このカウンタには、アップとダウンの両方向に対してそれぞれカウント イネーブル入力と同期ターミナル カウント出力があり、CPLD アーキテクチャでの高速カスケードがサポートされています。

同期リセット入力 (R) は最も優先される入力で、R が High になるとほかのすべての入力は無視されます。クロック (C) が Low から High に切り替わるたびに、出力 (Q) の値は 0 に、ターミナル カウント出力 TCU と TCD はそれぞれ 0 と 1 に、クロック イネーブル出力 CEOU と CEOD はそれぞれ Low と High になります。ロード イネーブル入力 (L) が High の場合、クロック (C) が Low から High に切り替わるたびに、CE 入力の値に関係なく、D 入力の値がカウンタにロードされます。

CEU が High、R と L が Low の場合、クロックが Low から High に切り替わるたびにすべての Q 出力がインクリメントされます。CED が High、R と L が Low の場合、すべての Q 出力がデクリメントされます。CEU と CED が Low の場合、クロック遷移は無視されます。クロック遷移の際に CEU と CED の両方を High にしないでください。CEU と CED が両方とも High になっていると、カスケード接続した場合に CEOU および CEOD 出力が正しく機能しません。

カウントアップする場合、すべての Q 出力と CEU が High になると CEOU 出力が High になります。カウントダウンする場合、すべての Q 出力が Low、CED が High になると CEOD 出力が High になります。カウンタをカスケード接続するには、各カウンタの CEOU 出力および CEOD 出力をそれぞれ次の段の CEU および CED 入力に直接接続します。C、L、および R 入力は、並列に接続します。

すべてのカウントおよびロード機能に対して、カウンタをいくつカスケード接続しても、カウンタ コンポーネントの最大クロック周波数は影響を受けません。すべての Q 出力が High になると、CEU に関係なく、TCU ターミナル カウント出力が High になります。すべての Q 出力が Low になると、CED に関係なく、TCD 出力は High になります。

カウンタをカスケード接続する場合、最終的なターミナル カウント信号は、TCU 出力 (アップ方向) と TCD 出力 (ダウン方向) をすべて接続した AND ゲートで生成されます。TCU、CEOU、CEOD の各出力は、コンポーネント内の最適化可能な AND ゲートによって生成されます。したがって、これらの出力からの接続がすべてオンチップであれば、CEU および CED の入力と Q 出力のピン間の伝搬遅延がゼロになります。すべてがオンチップでない場合は、マクロセルバッファ遅延が発生します。

電力を供給すると、カウンタは 0 (TCU は Low、TCD は High) に初期化されます。High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

論理表

入力						出力				
R	L	CEU	CED	C	Dz - D0	Qz - Q0	TCU	TCD	CEOU	CEOD
1	X	X	X	↑	X	0	0	1	0	CEOD
0	1	X	X	↑	Dn	Dn	TCU	TCD	CEOU	CEOD
0	0	0	0	X	X	変化なし	変化なし	変化なし	0	0
0	0	1	0	↑	X	インクリメント	TCU	TCD	CEOU	0
0	0	0	1	↑	X	デクリメント	TCU	TCD	0	CEOD
0	0	1	1	↑	X	インクリメント	TCU	TCD	無効	無効

$z = \text{ビット幅} - 1$
 $TCU = Qz \cdot Q(z-1) \cdot Q(z-2) \cdot \dots \cdot Q0$
 $TCD = Qz \cdot Q(z-1) \cdot Q(z-2) \cdot \dots \cdot Q0$
 $CEOU = TCU \cdot CEU$
 $CEOD = TCD \cdot CED$

デザインの入力方法

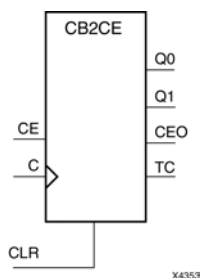
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

CB2CE

マクロ : 2-Bit Cascadable Binary Counter with Clock Enable and Asynchronous Clear



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

このデザイン エLEMENTは、非同期クリア可能、カスケード可能なバイナリ カウンタです。非同期クリア (CLR) 入力が高になると、ほかのすべての入力は無視され、クロック (C) の遷移に関係なく、出力 (Q)、ターミナル カウンタ (TC)、およびクロック イネーブル出力 (CEO) が 0 になります。クロック イネーブル入力 (CE) が High の場合、クロック (C) が Low から High に切り替わる時に出力 (Q) がインクリメントされます。CE が Low の場合、クロック遷移は無視されます。すべての Q 出力が高になると、TC 出力が高になります。

1 段目の CEO 出力を次の段の CE 入力に接続し、C および CLR 入力を並列に接続すると、より大型のカウンタを作成できます。TC と CE が High になると、CEO がアクティブ (High) になります。カウンタの長さの最大値は、CE ピンと TC ピン間の伝搬遅延の合計とクロック周期の関係によって決定されます。クロック周期は、 $n(t_{CE-TC})$ より大きい必要があります。ここで、 n は段数、時間 t_{CE-TC} は各段での CE ピンと TC ピン間の伝搬遅延を表します。カウンタをカスケードする場合、CE 入力を使用するときは CEO 出力を、CE 入力を使用しないときは TC 出力を使用します。

電力を供給すると、カウンタは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

論理表

入力			出力		
CLR	CE	C	Qz - Q0	TC	CEO
1	X	X	0	0	0
0	0	X	変化なし	変化なし	0
0	1	↑	インクリメント	TC	CEO
$z = \text{ビット幅} - 1$ $TC = Q_z \cdot Q(z-1) \cdot Q(z-2) \cdot \dots \cdot Q_0$ $CEO = TC \cdot CE$					

デザインの入力方法

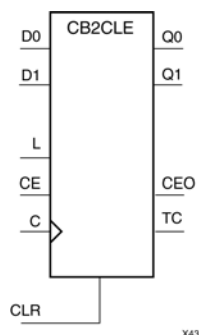
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

CB2CLE

マクロ : 2-Bit Loadable Cascadable Binary Counters with Clock Enable and Asynchronous Clear



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

このデザイン エLEMENTは、同期、ロード可能、非同期クリア可能、カスケード可能なバイナリ カウンタです。非同期クリア (CLR) 入力が高レベルになると、ほかのすべての入力は無視され、クロック (C) の遷移に関係なく、出力 (Q)、ターミナル カウンタ (TC)、およびクロック イネーブル出力 (CEO) が 0 になります。ロード イネーブル入力 (L) が High の場合、クロックが Low から High に切り替わるときに、クロック イネーブル (CE) の値に関係なく、入力 (D) の値がカウンタにロードされます。CE が High の場合、クロックが Low から High に切り替わるときに Q 出力がインクリメントされます。CE が Low の場合、クロック遷移は無視されます。すべての Q 出力が高レベルになると、TC 出力が高レベルになります。

1 段目の CEO 出力を次の段の CE 入力に接続し、C、L、および CLR 入力を並列に接続すると、より大型のカウンタを作成できます。TC と CE が High になると、CEO がアクティブ (High) になります。カウンタの長さの最大値は、CE ピンと TC ピン間の伝搬遅延の合計とクロック周期の関係によって決定されます。クロック周期は、 $n(t_{CE-TC})$ より大きい必要があります。ここで、 n は段数、時間 t_{CE-TC} は各段での CE ピンと TC ピン間の伝搬遅延を表します。カウンタをカスケードする場合、CE 入力を使用するときは CEO 出力を、CE 入力を使用しないときは TC 出力を使用します。

電力を供給すると、カウンタは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

論理表

入力					出力		
CLR	L	CE	C	Dz - D0	Qz - Q0	TC	CEO
1	X	X	X	X	0	0	0
0	1	X	↑	Dn	Dn	TC	CEO
0	0	0	X	X	変化なし	変化なし	0
0	0	1	↑	X	インクリメント	TC	CEO
z = ビット幅 - 1 $TC = Qz \cdot Q(z-1) \cdot Q(z-2) \cdot \dots \cdot Q0$ $CEO = TC \cdot CE$							

デザインの入力方法

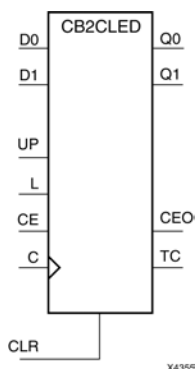
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

CB2CLED

マクロ : 2-Bit Loadable Cascadable Bidirectional Binary Counters with Clock Enable and Asynchronous Clear



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

このデザイン エLEMENTは、同期、ロード可能、非同期クリア可能、カスケード可能な双方向バイナリ カウンタです。非同期クリア (CLR) 入力が高レベルになると、ほかのすべての入力は無視され、クロック (C) の遷移に関係なく、出力 (Q)、ターミナル カウンタ (TC)、およびクロック イネーブル出力 (CEO) が 0 になります。ロード イネーブル入力 (L) が High の場合、クロック (C) が Low から High に切り替わる時に、クロック イネーブル (CE) の値に関係なく、入力 (D) の値がカウンタにロードされます。CE が High、UP が Low の場合、クロックが Low から High に切り替わる時に、Q 出力がデクリメントされます。CE と UP が High の場合、Q 出力がインクリメントされます。CE が Low の場合、クロック遷移は無視されます。

カウントアップする場合、すべての Q 出力と UP が High になると TC 出力が High になります。カウントダウンする場合、すべての Q 出力と UP が Low になると TC 出力が High になります。

1 段目の CEO 出力を次の段の CE 入力に接続し、C、UP、L、および CLR 入力を並列に接続すると、より大型のカウンタを作成できます。TC と CE が High になると、CEO がアクティブ (High) になります。カウンタの長さの最大値は、CE ピンと TC ピン間の伝搬遅延の合計とクロック周期の関係によって決定されます。クロック周期は、 $n(t_{CE-TC})$ より大きい必要があります。ここで、 n は段数、時間 t_{CE-TC} は各段での CE ピンと TC ピン間の伝搬遅延を表します。カウンタをカスケードする場合、CE 入力を使用するときは CEO 出力を、CE 入力を使用しないときは TC 出力を使用します。

CPLD デバイスについては、高速カスケードが可能な双方向カウンタである CB2X1、CB4X1、CB8X1、CB16X1 を参照してください。

電力を供給すると、カウンタは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

論理表

入力						出力		
CLR	L	CE	C	UP	Dz - D0	Qz - Q0	TC	CEO
1	X	X	X	X	X	0	0	0
0	1	X	↑	X	Dn	Dn	TC	CEO
0	0	0	X	X	X	変化なし	変化なし	0
0	0	1	↑	1	X	インクリメント	TC	CEO
0	0	1	↑	0	X	デクリメント	TC	CEO
z = ビット幅 - 1 $TC = (Qz \cdot Q(z-1) \cdot Q(z-2) \cdot \dots \cdot Q0 \cdot UP) + (Qz \cdot Q(z-1) \cdot Q(z-2) \cdot \dots \cdot Q0 \cdot \overline{UP})$ $CEO = TC \cdot CE$								

デザインの入力方法

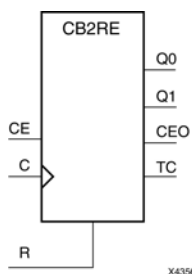
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

CB2RE

マクロ : 2-Bit Cascadable Binary Counter with Clock Enable and Synchronous Reset



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

このデザイン エLEMENTは、同期、リセット可能、カスケード可能なバイナリカウンタです。同期リセット入力 (R) が High になると、ほかの入力は無視され、クロック (C) が Low から High に切り替わる時に出力 (Q)、ターミナル カウンタ (TC)、およびクロック イネーブル出力 (CEO) が 0 になります。クロック イネーブル入力 (CE) が High の場合、クロック (C) が Low から High に切り替わる時に出力 (Q) がインクリメントされます。CE が Low の場合、クロック遷移は無視されます。すべての Q 出力が High になると、TC 出力が High になります。

1 段目の CEO 出力を次の段の CE 入力に接続し、C および R 入力を並列に接続すると、より大型のカウンタを作成できます。TC と CE が High になると、CEO がアクティブ (High) になります。カウンタの長さの最大値は、CE ピンと TC ピン間の伝搬遅延の合計とクロック周期の関係によって決定されます。クロック周期は、 $n(t_{CE-TC})$ より大きい必要があります。ここで、 n は段数、時間 t_{CE-TC} は各段での CE ピンと TC ピン間の伝搬遅延を表します。カウンタをカスケードする場合、CE 入力を使用するときは CEO 出力を、CE 入力を使用しないときは TC 出力を使用します。

電力を供給すると、カウンタは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

論理表

入力			出力		
R	CE	C	Qz - Q0	TC	CEO
1	X	↑	0	0	0
0	0	X	変化なし	変化なし	0
0	1	↑	インクリメント	TC	CEO
z = ビット幅 - 1 $TC = Q_z \cdot Q_{(z-1)} \cdot Q_{(z-2)} \cdot \dots \cdot Q_0$ $CEO = TC \cdot CE$					

デザインの入力方法

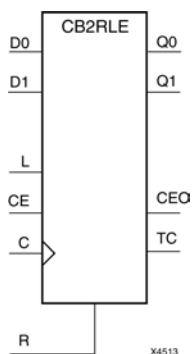
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

CB2RLE

マクロ : 2-Bit Loadable Cascadable Binary Counter with Clock Enable and Synchronous Reset



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

このデザイン エLEMENTは、同期、ロード可能、リセット可能、カスケード可能なバイナリ カウンタです。同期リセット入力 (R) が High になると、ほかの入力は無視され、クロック (C) が Low から High に切り替わる時に出力 (Q)、ターミナルカウンタ (TC)、およびクロック イネーブル出力 (CEO) が 0 になります。

ロード イネーブル入力 (L) が High の場合、クロック (C) が Low から High に切り替わる時に、CE の値に関係なく、D 入力の値がカウンタにロードされます。CE が High の場合、クロックが Low から High に切り替わる時に Q 出力がインクリメントされます。CE が Low の場合、クロック遷移は無視されます。すべての Q 出力が High になると、TC 出力が High になります。すべての Q 出力と CE が High になると、CEO 出力が High になるので、カウンタを直接カスケード接続できます。

1 段目の CEO 出力を次の段の CE 入力に接続し、C、L、および R 入力を並列に接続すると、より大型のカウンタを作成できます。TC と CE が High になると、CEO がアクティブ (High) になります。カウンタの長さの最大値は、CE ピンと TC ピン間の伝搬遅延の合計とクロック周期の関係によって決定されます。クロック周期は、 $n(t_{CE-TC})$ より大きい必要があります。ここで、 n は段数、時間 t_{CE-TC} は各段での CE ピンと TC ピン間の伝搬遅延を表します。カウンタをカスケードする場合、CE 入力を使用するときは CEO 出力を、CE 入力を使用しないときは TC 出力を使用します。

電力を供給すると、カウンタは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

論理表

入力					出力		
R	L	CE	C	D _z - D ₀	Q _z - Q ₀	TC	CEO
1	X	X	↑	X	0	0	0
0	1	X	↑	D _n	D _n	TC	CEO
0	0	0	X	X	変化なし	変化なし	0
0	0	1	↑	X	インクリメント	TC	CEO
$z = \text{ビット幅} - 1$ $TC = Q_z \cdot Q_{(z-1)} \cdot Q_{(z-2)} \cdot \dots \cdot Q_0$ $CEO = TC \cdot CE$							

デザインの入力方法

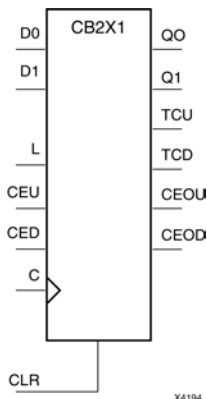
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

CB2X1

マクロ : 2-Bit Loadable Cascadable Bidirectional Binary Counter with Clock Enable and Asynchronous Clear



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

このデザイン エLEMENTは、同期、ロード可能、非同期クリア可能、リセット能な双方向バイナリ カウンタです。このカウンタには、アップとダウンの両方向に対してそれぞれカウント イネーブル入力と同期ターミナル カウント出力があり、高速カスケードがサポートされています。

非同期クリア入力 (CLR) が最も優先される入力で、CLR が High になると、ほかのすべての入力は無視されます。クロック遷移に関係なく、出力 (Q) は 0、ターミナル カウント出力 TCU と TCD はそれぞれ 0 と 1、クロック イネーブル出力 CEOU と CEOD はそれぞれ Low と High になります。ロード イネーブル入力 (L) が High の場合、クロック (C) が Low から High に切り替わるときに、CE 入力の値に関係なく、D 入力の値がカウンタにロードされます。

CEU が High、CLR と L が Low の場合、クロックが Low から High に切り替わるときに Q 出力がインクリメントされます。CED が High、CLR と L が Low の場合、Q 出力がデクリメントされます。CEU と CED が Low の場合、クロック遷移は無視されます。クロック遷移の際に CEU と CED の両方を High にしないでください。CEU と CED が両方とも High になっていると、カスケード接続した場合に CEOU および CEOD 出力が正しく機能しません。

カウントアップする場合、すべての Q 出力と CEU が High になると CEOU 出力が High になります。カウントダウンする場合、すべての Q 出力が Low、CED が High になると CEOD 出力が High になります。カウンタをカスケード接続するには、各カウンタの CEOU 出力および CEOD 出力をそれぞれ次の段の CEU および CED 入力に直接接続します。クロック、L、CLR の各入力は、並列に接続します。

すべてのカウントおよびロード機能に対して、カウンタをいくつカスケード接続しても、カウンタ コンポーネントの最大クロック周波数は影響を受けません。すべての Q 出力が High になると、CEU に関係なく、TCU ターミナル カウント出力が High になります。すべての Q 出力が Low になると、CED に関係なく、TCD 出力は High になります。

カウンタをカスケード接続する場合、最終的なターミナル カウント信号は、TCU 出力 (アップ方向) と TCD 出力 (ダウン方向) をすべて接続した AND ゲートで生成されます。TCU、CEOU、CEOD の各出力は、コンポーネント内の最適化可能な AND ゲートによって生成されます。したがって、これらの出力からの接続がすべてオンチップであれば、CEU および CED の入力と Q 出力のピン間の伝搬遅延がゼロになります。すべてがオンチップでない場合は、マクロセルバッファ遅延が発生します。

電力を供給すると、カウンタは 0 (TCU は Low、TCD は High) に初期化されます。High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

論理表

入力						出力				
CLR	L	CEU	CED	C	Dz - D0	Qz - Q0	TCU	TCD	CEOU	CEOD
1	X	X	X	X	X	0	0	1	0	CEOD
0	1	X	X	↑	Dn	Dn	TCU	TCD	CEOU	CEOD
0	0	0	0	X	X	変化なし	変化なし	変化なし	0	0
0	0	1	0	↑	X	インクリメント	TCU	TCD	CEOU	0
0	0	0	1	↑	X	デクリメント	TCU	TCD	0	CEOD
0	0	1	1	↑	X	インクリメント	TCU	TCD	無効	無効

$z = \text{ビット幅} - 1$

$TCU = Qz \cdot Q(z-1) \cdot Q(z-2) \cdot \dots \cdot Q0$

$TCD = Qz \cdot Q(z-1) \cdot Q(z-2) \cdot \dots \cdot Q0$

$CEOU = TCU \cdot CEU$

$CEOD = TCD \cdot CED$

デザインの入力方法

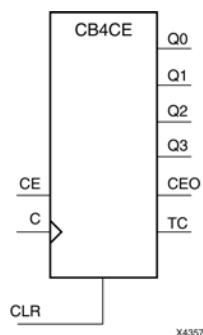
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

CB4CE

マクロ : 4-Bit Cascadable Binary Counter with Clock Enable and Asynchronous Clear



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

このデザイン エLEMENTは、非同期クリア可能、カスケード可能なバイナリ カウンタです。非同期クリア (CLR) 入力が高になると、ほかのすべての入力は無視され、クロック (C) の遷移に関係なく、出力 (Q)、ターミナル カウンタ (TC)、およびクロック イネーブル出力 (CEO) が 0 になります。クロック イネーブル入力 (CE) が High の場合、クロック (C) が Low から High に切り替わるときに出力 (Q) がインクリメントされます。CE が Low の場合、クロック遷移は無視されます。すべての Q 出力が高になると、TC 出力が高になります。

1 段目の CEO 出力を次の段の CE 入力に接続し、C および CLR 入力を並列に接続すると、より大型のカウンタを作成できます。TC と CE が High になると、CEO がアクティブ (High) になります。カウンタの長さの最大値は、CE ピンと TC ピン間の伝搬遅延の合計とクロック周期の関係によって決定されます。クロック周期は、 $n(t_{CE-TC})$ より大きい必要があります。ここで、 n は段数、時間 t_{CE-TC} は各段での CE ピンと TC ピン間の伝搬遅延を表します。カウンタをカスケードする場合、CE 入力を使用するときは CEO 出力を、CE 入力を使用しないときは TC 出力を使用します。

電力を供給すると、カウンタは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

論理表

入力			出力		
CLR	CE	C	Qz - Q0	TC	CEO
1	X	X	0	0	0
0	0	X	変化なし	変化なし	0
0	1	↑	インクリメント	TC	CEO
$z = \text{ビット幅} - 1$ $TC = Qz \cdot Q(z-1) \cdot Q(z-2) \cdot \dots \cdot Q0$ $CEO = TC \cdot CE$					

デザインの入力方法

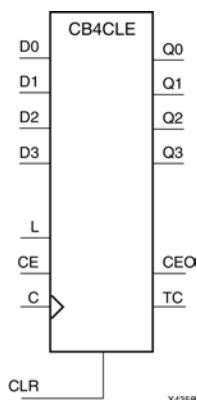
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

CB4CLE

マクロ : 4-Bit Loadable Cascadable Binary Counters with Clock Enable and Asynchronous Clear



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

このデザイン エLEMENTは、同期、ロード可能、非同期クリア可能、カスケード可能なバイナリ カウンタです。非同期クリア (CLR) 入力が高になると、ほかのすべての入力は無視され、クロック (C) の遷移に関係なく、出力 (Q)、ターミナル カウンタ (TC)、およびクロック イネーブル出力 (CEO) が 0 になります。ロード イネーブル入力 (L) が High の場合、クロックが Low から High に切り替わるときに、クロック イネーブル (CE) の値に関係なく、入力 (D) の値がカウンタにロードされます。CE が High の場合、クロックが Low から High に切り替わるときに Q 出力がインクリメントされます。CE が Low の場合、クロック遷移は無視されます。すべての Q 出力が高になると、TC 出力が高になります。

1 段目の CEO 出力を次の段の CE 入力に接続し、C、L、および CLR 入力を並列に接続すると、より大型のカウンタを作成できます。TC と CE が High になると、CEO がアクティブ (High) になります。カウンタの長さの最大値は、CE ピンと TC ピン間の伝搬遅延の合計とクロック周期の関係によって決定されます。クロック周期は、 $n(t_{CE-TC})$ より大きい必要があります。ここで、 n は段数、時間 t_{CE-TC} は各段での CE ピンと TC ピン間の伝搬遅延を表します。カウンタをカスケードする場合、CE 入力を使用するときは CEO 出力を、CE 入力を使用しないときは TC 出力を使用します。

電力を供給すると、カウンタは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

論理表

入力					出力		
CLR	L	CE	C	Dz - D0	Qz - Q0	TC	CEO
1	X	X	X	X	0	0	0
0	1	X	↑	Dn	Dn	TC	CEO
0	0	0	X	X	変化なし	変化なし	0
0	0	1	↑	X	インクリメント	TC	CEO
z = ビット幅 - 1 $TC = Qz \cdot Q(z-1) \cdot Q(z-2) \cdot \dots \cdot Q0$ $CEO = TC \cdot CE$							

デザインの入力方法

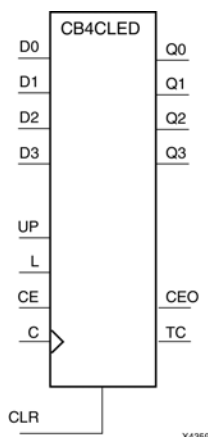
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

CB4CLED

マクロ : 4-Bit Loadable Cascadable Bidirectional Binary Counters with Clock Enable and Asynchronous Clear



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

このデザイン エLEMENTは、同期、ロード可能、非同期クリア可能、カスケード可能な双方向バイナリ カウンタです。非同期クリア (CLR) 入力が高レベルになると、ほかのすべての入力は無視され、クロック (C) の遷移に関係なく、出力 (Q)、ターミナル カウンタ (TC)、およびクロック イネーブル出力 (CEO) が 0 になります。ロード イネーブル入力 (L) が High の場合、クロック (C) が Low から High に切り替わる時に、クロック イネーブル (CE) の値に関係なく、入力 (D) の値がカウンタにロードされます。CE が High、UP が Low の場合、クロックが Low から High に切り替わる時に、Q 出力がデクリメントされます。CE と UP が High の場合、Q 出力がインクリメントされます。CE が Low の場合、クロック遷移は無視されます。

カウントアップする場合、すべての Q 出力と UP が High になると TC 出力が High になります。カウントダウンする場合、すべての Q 出力と UP が Low になると TC 出力が High になります。

1 段目の CEO 出力を次の段の CE 入力に接続し、C、UP、L、および CLR 入力を並列に接続すると、より大型のカウンタを作成できます。TC と CE が High になると、CEO がアクティブ (High) になります。カウンタの長さの最大値は、CE ピンと TC ピン間の伝搬遅延の合計とクロック周期の関係によって決定されます。クロック周期は、 $n(t_{CE-TC})$ より大きい必要があります。ここで、 n は段数、時間 t_{CE-TC} は各段での CE ピンと TC ピン間の伝搬遅延を表します。カウンタをカスケードする場合、CE 入力を使用するときは CEO 出力を、CE 入力を使用しないときは TC 出力を使用します。

CPLD デバイスについては、高速カスケードが可能な双方向カウンタである CB2X1、CB4X1、CB8X1、CB16X1 を参照してください。

電力を供給すると、カウンタは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

論理表

入力						出力		
CLR	L	CE	C	UP	Dz - D0	Qz - Q0	TC	CEO
1	X	X	X	X	X	0	0	0
0	1	X	↑	X	Dn	Dn	TC	CEO
0	0	0	X	X	X	変化なし	変化なし	0
0	0	1	↑	1	X	インクリメント	TC	CEO
0	0	1	↑	0	X	デクリメント	TC	CEO
z = ビット幅 - 1 $TC = (Qz \cdot Q(z-1) \cdot Q(z-2) \cdot \dots \cdot Q0 \cdot UP) + (Qz \cdot Q(z-1) \cdot Q(z-2) \cdot \dots \cdot Q0 \cdot \overline{UP})$ $CEO = TC \cdot CE$								

デザインの入力方法

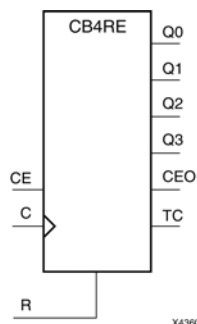
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

CB4RE

マクロ : 4-Bit Cascadable Binary Counter with Clock Enable and Synchronous Reset



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

このデザイン エLEMENTは、同期、リセット可能、カスケード可能なバイナリ カウンタです。同期リセット入力 (R) が High になると、ほかの入力は無視され、クロック (C) が Low から High に切り替わる時に出力 (Q)、ターミナル カウンタ (TC)、およびクロック イネーブル出力 (CEO) が 0 になります。クロック イネーブル入力 (CE) が High の場合、クロック (C) が Low から High に切り替わる時に出力 (Q) がインクリメントされます。CE が Low の場合、クロック遷移は無視されます。すべての Q 出力が High になると、TC 出力が High になります。

1 段目の CEO 出力を次の段の CE 入力に接続し、C および R 入力を並列に接続すると、より大型のカウンタを作成できます。TC と CE が High になると、CEO がアクティブ (High) になります。カウンタの長さの最大値は、CE ピンと TC ピン間の伝搬遅延の合計とクロック周期の関係によって決定されます。クロック周期は、 $n(t_{CE-TC})$ より大きい必要があります。ここで、 n は段数、時間 t_{CE-TC} は各段での CE ピンと TC ピン間の伝搬遅延を表します。カウンタをカスケードする場合、CE 入力を使用するときは CEO 出力を、CE 入力を使用しないときは TC 出力を使用します。

電力を供給すると、カウンタは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

論理表

入力			出力		
R	CE	C	Qz - Q0	TC	CEO
1	X	↑	0	0	0
0	0	X	変化なし	変化なし	0
0	1	↑	インクリメント	TC	CEO
$z = \text{ビット幅} - 1$ $TC = Q_z \cdot Q_{(z-1)} \cdot Q_{(z-2)} \cdot \dots \cdot Q_0$ $CEO = TC \cdot CE$					

デザインの入力方法

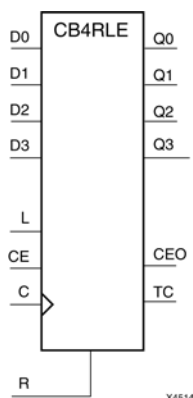
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

CB4RLE

マクロ : 4-Bit Loadable Cascadable Binary Counter with Clock Enable and Synchronous Reset



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

このデザイン エLEMENTは、同期、ロード可能、リセット可能、カスケード可能なバイナリ カウンタです。同期リセット入力 (R) が High になると、ほかの入力は無視され、クロック (C) が Low から High に切り替わる時に出力 (Q)、ターミナルカウンタ (TC)、およびクロック イネーブル出力 (CEO) が 0 になります。

ロード イネーブル入力 (L) が High の場合、クロック (C) が Low から High に切り替わる時に、CE の値に関係なく、D 入力の値がカウンタにロードされます。CE が High の場合、クロックが Low から High に切り替わる時に Q 出力がインクリメントされます。CE が Low の場合、クロック遷移は無視されます。すべての Q 出力が High になると、TC 出力が High になります。すべての Q 出力と CE が High になると、CEO 出力が High になるので、カウンタを直接カスケード接続できます。

1 段目の CEO 出力を次の段の CE 入力に接続し、C、L、および R 入力を並列に接続すると、より大型のカウンタを作成できます。TC と CE が High になると、CEO がアクティブ (High) になります。カウンタの長さの最大値は、CE ピンと TC ピン間の伝搬遅延の合計とクロック周期の関係によって決定されます。クロック周期は、 $n(t_{CE-TC})$ より大きい必要があります。ここで、 n は段数、時間 t_{CE-TC} は各段での CE ピンと TC ピン間の伝搬遅延を表します。カウンタをカスケードする場合、CE 入力を使用するときは CEO 出力を、CE 入力を使用しないときは TC 出力を使用します。

電力を供給すると、カウンタは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

論理表

入力					出力		
R	L	CE	C	Dz - D0	Qz - Q0	TC	CEO
1	X	X	↑	X	0	0	0
0	1	X	↑	Dn	Dn	TC	CEO
0	0	0	X	X	変化なし	変化なし	0
0	0	1	↑	X	インクリメント	TC	CEO
z = ビット幅 - 1 $TC = Qz \cdot Q(z-1) \cdot Q(z-2) \cdot \dots \cdot Q0$ $CEO = TC \cdot CE$							

デザインの入力方法

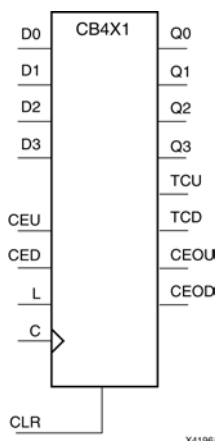
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

CB4X1

マクロ : 4-Bit Loadable Cascadable Bidirectional Binary Counter with Clock Enable and Asynchronous Clear



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

このデザイン エLEMENTは、同期、ロード可能、非同期クリア可能、リセット能な双方向バイナリ カウンタです。このカウンタには、アップとダウンの両方向に対してそれぞれカウント イネーブル入力と同期ターミナル カウント出力があり、高速カスケードがサポートされています。

非同期クリア入力 (CLR) が最も優先される入力で、CLR が High になると、ほかのすべての入力は無視されます。クロック遷移に関係なく、出力 (Q) は 0、ターミナル カウント出力 TCU と TCD はそれぞれ 0 と 1、クロック イネーブル出力 CEOU と CEOD はそれぞれ Low と High になります。ロード イネーブル入力 (L) が High の場合、クロック (C) が Low から High に切り替わるときに、CE 入力の値に関係なく、D 入力の値がカウンタにロードされます。

CEU が High、CLR と L が Low の場合、クロックが Low から High に切り替わるときに Q 出力がインクリメントされます。CED が High、CLR と L が Low の場合、Q 出力がデクリメントされます。CEU と CED が Low の場合、クロック遷移は無視されます。クロック遷移の際に CEU と CED の両方を High にしないでください。CEU と CED が両方とも High になっていると、カスケード接続した場合に CEOU および CEOD 出力が正しく機能しません。

カウント アップする場合、すべての Q 出力と CEU が High になると CEOU 出力が High になります。カウント ダウンする場合、すべての Q 出力が Low、CED が High になると CEOD 出力が High になります。カウンタをカスケード接続するには、各カウンタの CEOU 出力および CEOD 出力をそれぞれ次の段の CEU および CED 入力に直接接続します。クロック、L、CLR の各入力は、並列に接続します。

すべてのカウントおよびロード機能に対して、カウンタをいくつカスケード接続しても、カウンタ コンポーネントの最大クロック周波数は影響を受けません。すべての Q 出力が High になると、CEU に関係なく、TCU ターミナル カウント出力が High になります。すべての Q 出力が Low になると、CED に関係なく、TCD 出力は High になります。

カウンタをカスケード接続する場合、最終的なターミナル カウント信号は、TCU 出力 (アップ方向) と TCD 出力 (ダウン方向) をすべて接続した AND ゲートで生成されます。TCU、CEOU、CEOD の各出力は、コンポーネント内の最適化可能な AND ゲートによって生成されます。したがって、これらの出力からの接続がすべてオンチップであれば、CEU および CED の入力と Q 出力のピン間の伝搬遅延がゼロになります。すべてがオンチップでない場合は、マクロセルバッファ遅延が発生します。

電力を供給すると、カウンタは 0 (TCU は Low、TCD は High) に初期化されます。High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

論理表

入力						出力				
CLR	L	CEU	CED	C	Dz - D0	Qz - Q0	TCU	TCD	CEOU	CEOD
1	X	X	X	X	X	0	0	1	0	CEOD
0	1	X	X	↑	Dn	Dn	TCU	TCD	CEOU	CEOD
0	0	0	0	X	X	変化なし	変化なし	変化なし	0	0
0	0	1	0	↑	X	インクリメント	TCU	TCD	CEOU	0
0	0	0	1	↑	X	デクリメント	TCU	TCD	0	CEOD
0	0	1	1	↑	X	インクリメント	TCU	TCD	無効	無効

$z = \text{ビット幅} - 1$

$TCU = Qz \cdot Q(z-1) \cdot Q(z-2) \cdot \dots \cdot Q0$

$TCD = Qz \cdot Q(z-1) \cdot Q(z-2) \cdot \dots \cdot Q0$

$CEOU = TCU \cdot CEU$

$CEOD = TCD \cdot CED$

デザインの入力方法

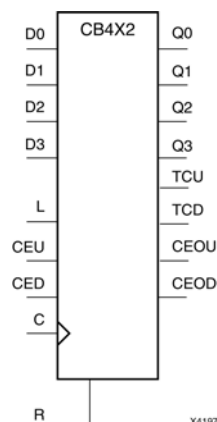
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

CB4X2

マクロ : 4-Bit Loadable Cascadable Bidirectional Binary Counter with Clock Enable and Synchronous Reset



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

このデザイン エLEMENTは、同期、ロード可能、リセット可能な双方向バイナリ カウンタです。このカウンタには、アップとダウンの両方向に対してそれぞれカウント イネーブル入力と同期ターミナル カウント出力があり、CPLD アーキテクチャでの高速カスケードがサポートされています。

同期リセット入力 (R) は最も優先される入力で、R が High になるとほかのすべての入力は無視されます。クロック (C) が Low から High に切り替わるときに、出力 (Q) の値は 0 に、ターミナル カウント出力 TCU と TCD はそれぞれ 0 と 1 に、クロック イネーブル出力 CEOU と CEOD はそれぞれ Low と High になります。ロード イネーブル入力 (L) が High の場合、クロック (C) が Low から High に切り替わるときに、CE 入力の値に関係なく、D 入力の値がカウンタにロードされます。

CEU が High、R と L が Low の場合、クロックが Low から High に切り替わるときにすべての Q 出力がインクリメントされます。CED が High、R と L が Low の場合、すべての Q 出力がデクリメントされます。CEU と CED が Low の場合、クロック遷移は無視されます。クロック遷移の際に CEU と CED の両方を High にしないでください。CEU と CED が両方とも High になっていると、カスケード接続した場合に CEOU および CEOD 出力が正しく機能しません。

カウント アップする場合、すべての Q 出力と CEU が High になると CEOU 出力が High になります。カウント ダウンする場合、すべての Q 出力が Low、CED が High になると CEOD 出力が High になります。カウンタをカスケード接続するには、各カウンタの CEOU 出力および CEOD 出力をそれぞれ次の段の CEU および CED 入力に直接接続します。C、L、および R 入力は、並列に接続します。

すべてのカウントおよびロード機能に対して、カウンタをいくつカスケード接続しても、カウンタ コンポーネントの最大クロック周波数は影響を受けません。すべての Q 出力が High になると、CEU に関係なく、TCU ターミナル カウント出力が High になります。すべての Q 出力が Low になると、CED に関係なく、TCD 出力は High になります。

カウンタをカスケード接続する場合、最終的なターミナル カウント信号は、TCU 出力 (アップ方向) と TCD 出力 (ダウン方向) をすべて接続した AND ゲートで生成されます。TCU、CEOU、CEOD の各出力は、コンポーネント内の最適化可能な AND ゲートによって生成されます。したがって、これらの出力からの接続がすべてオンチップであれば、CEU および CED の入力と Q 出力のピン間の伝搬遅延がゼロになります。すべてがオンチップでない場合は、マクロセルバッファ遅延が発生します。

電力を供給すると、カウンタは 0 (TCU は Low、TCD は High) に初期化されます。High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

論理表

入力						出力				
R	L	CEU	CED	C	Dz - D0	Qz - Q0	TCU	TCD	CEOU	CEOD
1	X	X	X	↑	X	0	0	1	0	CEOD
0	1	X	X	↑	Dn	Dn	TCU	TCD	CEOU	CEOD
0	0	0	0	X	X	変化なし	変化なし	変化なし	0	0
0	0	1	0	↑	X	インクリメント	TCU	TCD	CEOU	0
0	0	0	1	↑	X	デクリメント	TCU	TCD	0	CEOD
0	0	1	1	↑	X	インクリメント	TCU	TCD	無効	無効

$z = \text{ビット幅} - 1$

$TCU = Qz \cdot Q(z-1) \cdot Q(z-2) \cdot \dots \cdot Q0$

$TCD = Qz \cdot Q(z-1) \cdot Q(z-2) \cdot \dots \cdot Q0$

$CEOU = TCU \cdot CEU$

$CEOD = TCD \cdot CED$

デザインの入力方法

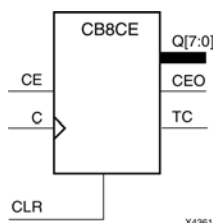
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

CB8CE

マクロ : 8-Bit Cascadable Binary Counter with Clock Enable and Asynchronous Clear



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

このデザイン エLEMENTは、非同期クリア可能、カスケード可能なバイナリ カウンタです。非同期クリア (CLR) 入力が高になると、ほかのすべての入力は無視され、クロック (C) の遷移に関係なく、出力 (Q)、ターミナル カウンタ (TC)、およびクロック イネーブル出力 (CEO) が 0 になります。クロック イネーブル入力 (CE) が High の場合、クロック (C) が Low から High に切り替わる時に出力 (Q) がインクリメントされます。CE が Low の場合、クロック遷移は無視されます。すべての Q 出力が高になると、TC 出力が高になります。

1 段目の CEO 出力を次の段の CE 入力に接続し、C および CLR 入力を並列に接続すると、より大型のカウンタを作成できます。TC と CE が High になると、CEO がアクティブ (High) になります。カウンタの長さの最大値は、CE ピンと TC ピン間の伝搬遅延の合計とクロック周期の関係によって決定されます。クロック周期は、 $n(t_{CE-TC})$ より大きい必要があります。ここで、 n は段数、時間 t_{CE-TC} は各段での CE ピンと TC ピン間の伝搬遅延を表します。カウンタをカスケードする場合、CE 入力を使用するときは CEO 出力を、CE 入力を使用しないときは TC 出力を使用します。

電力を供給すると、カウンタは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

論理表

入力			出力		
CLR	CE	C	Q _z - Q ₀	TC	CEO
1	X	X	0	0	0
0	0	X	変化なし	変化なし	0
0	1	↑	インクリメント	TC	CEO
$z = \text{ビット幅} - 1$ $TC = Q_z \cdot Q_{(z-1)} \cdot Q_{(z-2)} \cdot \dots \cdot Q_0$ $CEO = TC \cdot CE$					

デザインの入力方法

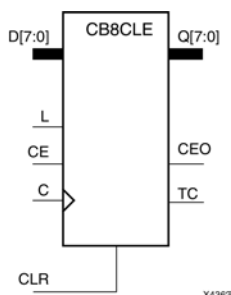
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

CB8CLE

マクロ : 8-Bit Loadable Cascadable Binary Counters with Clock Enable and Asynchronous Clear



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

このデザイン エLEMENTは、同期、ロード可能、非同期クリア可能、カスケード可能なバイナリ カウンタです。非同期クリア (CLR) 入力が高になると、ほかのすべての入力は無視され、クロック (C) の遷移に関係なく、出力 (Q)、ターミナル カウンタ (TC)、およびクロック イネーブル出力 (CEO) が 0 になります。ロード イネーブル入力 (L) が High の場合、クロックが Low から High に切り替わるときに、クロック イネーブル (CE) の値に関係なく、入力 (D) の値がカウンタにロードされます。CE が High の場合、クロックが Low から High に切り替わるときに Q 出力がインクリメントされます。CE が Low の場合、クロック遷移は無視されます。すべての Q 出力が高になると、TC 出力が高になります。

1 段目の CEO 出力を次の段の CE 入力に接続し、C、L、および CLR 入力を並列に接続すると、より大型のカウンタを作成できます。TC と CE が High になると、CEO がアクティブ (High) になります。カウンタの長さの最大値は、CE ピンと TC ピン間の伝搬遅延の合計とクロック周期の関係によって決定されます。クロック周期は、 $n(t_{CE-TC})$ より大きい必要があります。ここで、 n は段数、時間 t_{CE-TC} は各段での CE ピンと TC ピン間の伝搬遅延を表します。カウンタをカスケードする場合、CE 入力を使用するときは CEO 出力を、CE 入力を使用しないときは TC 出力を使用します。

電力を供給すると、カウンタは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

論理表

入力					出力		
CLR	L	CE	C	Dz - D0	Qz - Q0	TC	CEO
1	X	X	X	X	0	0	0
0	1	X	↑	Dn	Dn	TC	CEO
0	0	0	X	X	変化なし	変化なし	0
0	0	1	↑	X	インクリメント	TC	CEO
z = ビット幅 - 1 $TC = Qz \cdot Q(z-1) \cdot Q(z-2) \cdot \dots \cdot Q0$ $CEO = TC \cdot CE$							

デザインの入力方法

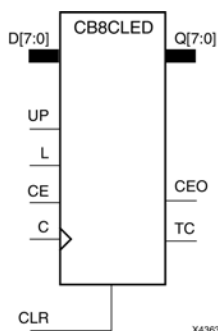
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

CB8CLED

マクロ : 8-Bit Loadable Cascadable Bidirectional Binary Counters with Clock Enable and Asynchronous Clear



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

このデザイン エLEMENTは、同期、ロード可能、非同期クリア可能、カスケード可能な双方向バイナリ カウンタです。非同期クリア (CLR) 入力が高レベルになると、ほかのすべての入力は無視され、クロック (C) の遷移に関係なく、出力 (Q)、ターミナル カウンタ (TC)、およびクロック イネーブル出力 (CEO) が 0 になります。ロード イネーブル入力 (L) が High の場合、クロック (C) が Low から High に切り替わる時に、クロック イネーブル (CE) の値に関係なく、入力 (D) の値がカウンタにロードされます。CE が High、UP が Low の場合、クロックが Low から High に切り替わる時に、Q 出力がデクリメントされます。CE と UP が High の場合、Q 出力がインクリメントされます。CE が Low の場合、クロック遷移は無視されます。

カウントアップする場合、すべての Q 出力と UP が High になると TC 出力が High になります。カウントダウンする場合、すべての Q 出力と UP が Low になると TC 出力が High になります。

1 段目の CEO 出力を次の段の CE 入力に接続し、C、UP、L、および CLR 入力を並列に接続すると、より大型のカウンタを作成できます。TC と CE が High になると、CEO がアクティブ (High) になります。カウンタの長さの最大値は、CE ピンと TC ピン間の伝搬遅延の合計とクロック周期の関係によって決定されます。クロック周期は、 $n(t_{CE-TC})$ より大きい必要があります。ここで、 n は段数、時間 t_{CE-TC} は各段での CE ピンと TC ピン間の伝搬遅延を表します。カウンタをカスケードする場合、CE 入力を使用するときは CEO 出力を、CE 入力を使用しないときは TC 出力を使用します。

CPLD デバイスについては、高速カスケードが可能な双方向カウンタである CB2X1、CB4X1、CB8X1、CB16X1 を参照してください。

電力を供給すると、カウンタは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

論理表

入力						出力		
CLR	L	CE	C	UP	Dz - D0	Qz - Q0	TC	CEO
1	X	X	X	X	X	0	0	0
0	1	X	↑	X	Dn	Dn	TC	CEO
0	0	0	X	X	X	変化なし	変化なし	0
0	0	1	↑	1	X	インクリメント	TC	CEO
0	0	1	↑	0	X	デクリメント	TC	CEO
z = ビット幅 - 1 $TC = (Qz \cdot Q(z-1) \cdot Q(z-2) \cdot \dots \cdot Q0 \cdot UP) + (Qz \cdot Q(z-1) \cdot Q(z-2) \cdot \dots \cdot Q0 \cdot \overline{UP})$ $CEO = TC \cdot CE$								

デザインの入力方法

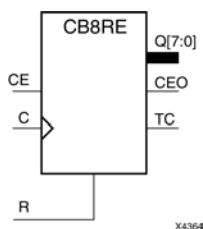
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

CB8RE

マクロ : 8-Bit Cascadable Binary Counter with Clock Enable and Synchronous Reset



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

このデザイン エLEMENTは、同期、リセット可能、カスケード可能なバイナリ カウンタです。同期リセット入力 (R) が High になると、ほかの入力は無視され、クロック (C) が Low から High に切り替わる時に出力 (Q)、ターミナル カウンタ (TC)、およびクロック イネーブル出力 (CEO) が 0 になります。クロック イネーブル入力 (CE) が High の場合、クロック (C) が Low から High に切り替わる時に出力 (Q) がインクリメントされます。CE が Low の場合、クロック遷移は無視されます。すべての Q 出力が High になると、TC 出力が High になります。

1 段目の CEO 出力を次の段の CE 入力に接続し、C および R 入力を並列に接続すると、より大型のカウンタを作成できます。TC と CE が High になると、CEO がアクティブ (High) になります。カウンタの長さの最大値は、CE ピンと TC ピン間の伝搬遅延の合計とクロック周期の関係によって決定されます。クロック周期は、 $n(t_{CE-TC})$ より大きい必要があります。ここで、 n は段数、時間 t_{CE-TC} は各段での CE ピンと TC ピン間の伝搬遅延を表します。カウンタをカスケードする場合、CE 入力を使用するときは CEO 出力を、CE 入力を使用しないときは TC 出力を使用します。

電力を供給すると、カウンタは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

論理表

入力			出力		
R	CE	C	Qz - Q0	TC	CEO
1	X	↑	0	0	0
0	0	X	変化なし	変化なし	0
0	1	↑	インクリメント	TC	CEO
z = ビット幅 - 1 $TC = Qz \cdot Q(z-1) \cdot Q(z-2) \cdot \dots \cdot Q0$ $CEO = TC \cdot CE$					

デザインの入力方法

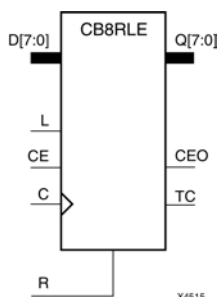
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

CB8RLE

マクロ : 8-Bit Loadable Cascadable Binary Counter with Clock Enable and Synchronous Reset



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

このデザイン エLEMENTは、同期、ロード可能、リセット可能、カスケード可能なバイナリ カウンタです。同期リセット入力 (R) が High になると、ほかの入力は無視され、クロック (C) が Low から High に切り替わる時に出力 (Q)、ターミナルカウンタ (TC)、およびクロック イネーブル出力 (CEO) が 0 になります。

ロード イネーブル入力 (L) が High の場合、クロック (C) が Low から High に切り替わる時に、CE の値に関係なく、D 入力の値がカウンタにロードされます。CE が High の場合、クロックが Low から High に切り替わる時に Q 出力がインクリメントされます。CE が Low の場合、クロック遷移は無視されます。すべての Q 出力が High になると、TC 出力が High になります。すべての Q 出力と CE が High になると、CEO 出力が High になるので、カウンタを直接カスケード接続できます。

1 段目の CEO 出力を次の段の CE 入力に接続し、C、L、および R 入力を並列に接続すると、より大型のカウンタを作成できます。TC と CE が High になると、CEO がアクティブ (High) になります。カウンタの長さの最大値は、CE ピンと TC ピン間の伝搬遅延の合計とクロック周期の関係によって決定されます。クロック周期は、 $n(t_{CE-TC})$ より大きい必要があります。ここで、 n は段数、時間 t_{CE-TC} は各段での CE ピンと TC ピン間の伝搬遅延を表します。カウンタをカスケードする場合、CE 入力を使用するときは CEO 出力を、CE 入力を使用しないときは TC 出力を使用します。

電力を供給すると、カウンタは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

論理表

入力					出力		
R	L	CE	C	Dz - D0	Qz - Q0	TC	CEO
1	X	X	↑	X	0	0	0
0	1	X	↑	Dn	Dn	TC	CEO
0	0	0	X	X	変化なし	変化なし	0
0	0	1	↑	X	インクリメント	TC	CEO
z = ビット幅 - 1 $TC = Qz \cdot Q(z-1) \cdot Q(z-2) \cdot \dots \cdot Q0$ $CEO = TC \cdot CE$							

デザインの入力方法

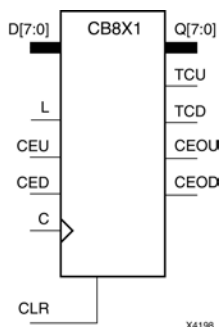
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

CB8X1

マクロ : 8-Bit Loadable Cascadable Bidirectional Binary Counter with Clock Enable and Asynchronous Clear



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

このデザイン エLEMENTは、同期、ロード可能、非同期クリア可能、リセット能な双方向バイナリ カウンタです。このカウンタには、アップとダウンの両方向に対してそれぞれカウント イネーブル入力と同期ターミナル カウント出力があり、高速カスケードがサポートされています。

非同期クリア入力 (CLR) が最も優先される入力で、CLR が High になると、ほかのすべての入力は無視されます。クロック遷移に関係なく、出力 (Q) は 0、ターミナル カウント出力 TCU と TCD はそれぞれ 0 と 1、クロック イネーブル出力 CEOU と CEOD はそれぞれ Low と High になります。ロード イネーブル入力 (L) が High の場合、クロック (C) が Low から High に切り替わるときに、CE 入力の値に関係なく、D 入力の値がカウンタにロードされます。

CEU が High、CLR と L が Low の場合、クロックが Low から High に切り替わるときに Q 出力がインクリメントされます。CED が High、CLR と L が Low の場合、Q 出力がデクリメントされます。CEU と CED が Low の場合、クロック遷移は無視されます。クロック遷移の際に CEU と CED の両方を High にしないでください。CEU と CED が両方とも High になっていると、カスケード接続した場合に CEOU および CEOD 出力が正しく機能しません。

カウントアップする場合、すべての Q 出力と CEU が High になると CEOU 出力が High になります。カウントダウンする場合、すべての Q 出力が Low、CED が High になると CEOD 出力が High になります。カウンタをカスケード接続するには、各カウンタの CEOU 出力および CEOD 出力をそれぞれ次の段の CEU および CED 入力に直接接続します。クロック、L、CLR の各入力は、並列に接続します。

すべてのカウントおよびロード機能に対して、カウンタをいくつカスケード接続しても、カウンタ コンポーネントの最大クロック周波数は影響を受けません。すべての Q 出力が High になると、CEU に関係なく、TCU ターミナル カウント出力が High になります。すべての Q 出力が Low になると、CED に関係なく、TCD 出力は High になります。

カウンタをカスケード接続する場合、最終的なターミナル カウント信号は、TCU 出力 (アップ方向) と TCD 出力 (ダウン方向) をすべて接続した AND ゲートで生成されます。TCU、CEOU、CEOD の各出力は、コンポーネント内の最適化可能な AND ゲートによって生成されます。したがって、これらの出力からの接続がすべてオンチップであれば、CEU および CED の入力と Q 出力のピン間の伝搬遅延がゼロになります。すべてがオンチップでない場合は、マクロセルバッファ遅延が発生します。

電力を供給すると、カウンタは 0 (TCU は Low、TCD は High) に初期化されます。High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

論理表

入力						出力				
CLR	L	CEU	CED	C	Dz - D0	Qz - Q0	TCU	TCD	CEOU	CEOD
1	X	X	X	X	X	0	0	1	0	CEOD
0	1	X	X	↑	Dn	Dn	TCU	TCD	CEOU	CEOD
0	0	0	0	X	X	変化なし	変化なし	変化なし	0	0
0	0	1	0	↑	X	インクリメント	TCU	TCD	CEOU	0
0	0	0	1	↑	X	デクリメント	TCU	TCD	0	CEOD
0	0	1	1	↑	X	インクリメント	TCU	TCD	無効	無効

$z = \text{ビット幅} - 1$

$TCU = Qz \cdot Q(z-1) \cdot Q(z-2) \cdot \dots \cdot Q0$

$TCD = Qz \cdot Q(z-1) \cdot Q(z-2) \cdot \dots \cdot Q0$

$CEOU = TCU \cdot CEU$

$CEOD = TCD \cdot CED$

デザインの入力方法

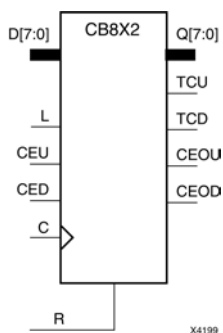
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

CB8X2

マクロ : 8-Bit Loadable Cascadable Bidirectional Binary Counter with Clock Enable and Synchronous Reset



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

このデザイン エLEMENTは、同期、ロード可能、リセット可能な双方向バイナリ カウンタです。このカウンタには、アップとダウンの両方向に対してそれぞれカウント イネーブル入力と同期ターミナル カウント出力があり、CPLD アーキテクチャでの高速カスケードがサポートされています。

同期リセット入力 (R) は最も優先される入力で、R が High になるとほかのすべての入力は無視されます。クロック (C) が Low から High に切り替わるときに、出力 (Q) の値は 0 に、ターミナル カウント出力 TCU と TCD はそれぞれ 0 と 1 に、クロック イネーブル出力 CEOU と CEOD はそれぞれ Low と High になります。ロード イネーブル入力 (L) が High の場合、クロック (C) が Low から High に切り替わるときに、CE 入力の値に関係なく、D 入力の値がカウンタにロードされます。

CEU が High、R と L が Low の場合、クロックが Low から High に切り替わる時にすべての Q 出力がインクリメントされます。CED が High、R と L が Low の場合、すべての Q 出力がデクリメントされます。CEU と CED が Low の場合、クロック遷移は無視されます。クロック遷移の際に CEU と CED の両方を High にしないでください。CEU と CED が両方とも High になっていると、カスケード接続した場合に CEOU および CEOD 出力が正しく機能しません。

カウントアップする場合、すべての Q 出力と CEU が High になると CEOU 出力が High になります。カウントダウンする場合、すべての Q 出力が Low、CED が High になると CEOD 出力が High になります。カウンタをカスケード接続するには、各カウンタの CEOU 出力および CEOD 出力をそれぞれ次の段の CEU および CED 入力に直接接続します。C、L、および R 入力は、並列に接続します。

すべてのカウントおよびロード機能に対して、カウンタをいくつカスケード接続しても、カウンタ コンポーネントの最大クロック周波数は影響を受けません。すべての Q 出力が High になると、CEU に関係なく、TCU ターミナル カウント出力が High になります。すべての Q 出力が Low になると、CED に関係なく、TCD 出力は High になります。

カウンタをカスケード接続する場合、最終的なターミナル カウント信号は、TCU 出力 (アップ方向) と TCD 出力 (ダウン方向) をすべて接続した AND ゲートで生成されます。TCU、CEOU、CEOD の各出力は、コンポーネント内の最適化可能な AND ゲートによって生成されます。したがって、これらの出力からの接続がすべてオンチップであれば、CEU および CED の入力と Q 出力のピン間の伝搬遅延がゼロになります。すべてがオンチップでない場合は、マクロセルバッファ遅延が発生します。

電力を供給すると、カウンタは 0 (TCU は Low、TCD は High) に初期化されます。High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

論理表

入力						出力				
R	L	CEU	CED	C	Dz - D0	Qz - Q0	TCU	TCD	CEOU	CEOD
1	X	X	X	↑	X	0	0	1	0	CEOD
0	1	X	X	↑	Dn	Dn	TCU	TCD	CEOU	CEOD
0	0	0	0	X	X	変化なし	変化なし	変化なし	0	0
0	0	1	0	↑	X	インクリメント	TCU	TCD	CEOU	0
0	0	0	1	↑	X	デクリメント	TCU	TCD	0	CEOD
0	0	1	1	↑	X	インクリメント	TCU	TCD	無効	無効

$z = \text{ビット幅} - 1$

$TCU = Qz \cdot Q(z-1) \cdot Q(z-2) \cdot \dots \cdot Q0$

$TCD = Qz \cdot Q(z-1) \cdot Q(z-2) \cdot \dots \cdot Q0$

$CEOU = TCU \cdot CEU$

$CEOD = TCD \cdot CED$

デザインの入力方法

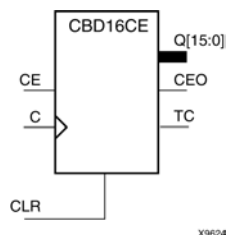
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

CBD16CE

マクロ : 16-Bit Cascadable Dual Edge Triggered Binary Counter with Clock Enable and Asynchronous Clear



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

概要

このデザイン エLEMENTは、両エッジで動作する非同期クリア可能、カスケード可能なバイナリカウンタです。非同期クリア (CLR) 入力が高になると、ほかのすべての入力は無視され、クロック (C) の遷移に関係なく、出力 (Q)、ターミナルカウンタ (TC)、およびクロックイネーブル出力 (CEO) が 0 になります。クロックイネーブル入力 (CE) が High の場合、クロック (C) が Low から High、または High から Low に切り替わるときに出力 (Q) がインクリメントされます。CE が Low の場合、クロック遷移は無視されます。すべての Q 出力が高になると、TC 出力が高になります。

1 段目の CEO 出力を次の段の CE 入力に接続し、C および CLR 入力を並列に接続すると、より大型のカウンタを作成できます。TC と CE が High になると、CEO がアクティブ (High) になります。カウンタの長さの最大値は、CE ピンと TC ピン間の伝搬遅延の合計とクロック周期の関係によって決定されます。クロック周期は、 $n(t_{CE-TC})$ より大きい必要があります。ここで、 n は段数、時間 t_{CE-TC} は各段での CE ピンと TC ピン間の伝搬遅延を表します。カウンタをカスケードする場合、CE 入力を使用するときは CEO 出力を、CE 入力を使用しないときは TC 出力を使用します。

電力を供給すると、カウンタは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

論理表

入力			出力		
CLR	CE	C	Qz : Q0	TC	CEO
1	X	X	0	0	0
0	0	X	変化なし	変化なし	0
0	1	↑	インクリメント	TC	CEO
0	1	↓	インクリメント	TC	CEO
z = ビット幅 - 1 $TC = Qz \cdot Q(z-1) \cdot Q(z-2) \cdot \dots \cdot Q0$ $CEO = TC \cdot CE$					

デザインの入力方法

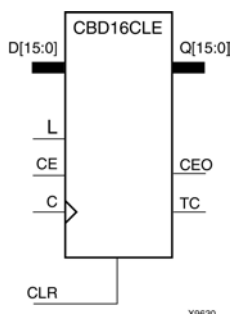
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

CBD16CLE

マクロ : 16-Bit Loadable Cascadable Dual Edge Triggered Binary Counter with Clock Enable and Asynchronous Clear



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

概要

このデザイン エLEMENTは、クロックの両エッジで動作する同期ロード可能、非同期クリア可能、カスケード可能な双方向バイナリカウンタです。非同期クリア (CLR) 入力が高になると、ほかのすべての入力は無視され、クロック (C) の遷移に関係なく、出力 (Q)、ターミナル カウンタ (TC)、およびクロック イネーブル出力 (CEO) が 0 になります。ロード イネーブル入力 (L) が High の場合、クロックが Low から High に切り替わるときに、クロック イネーブル (CE) の値に関係なく、入力 (D) の値がカウンタにロードされます。CE が High の場合、クロックが Low から High、または High から Low に切り替わるときに Q 出力がインクリメントされます。CE が Low の場合、クロック遷移は無視されます。すべての Q 出力が高になると、TC 出力が高になります。

1 段目の CEO 出力を次の段の CE 入力に接続し、C、L、および CLR 入力を並列に接続すると、より大型のカウンタを作成できます。TC と CE が High になると、CEO がアクティブ (High) になります。カウンタの長さの最大値は、CE ピンと TC ピン間の伝搬遅延の合計とクロック周期の関係によって決定されます。クロック周期は、 $n(t_{CE-TC})$ より大きい必要があります。ここで、 n は段数、時間 t_{CE-TC} は各段での CE ピンと TC ピン間の伝搬遅延を表します。カウンタをカスケードする場合、CE 入力を使用するときは CEO 出力を、CE 入力を使用しないときは TC 出力を使用します。

電力を供給すると、カウンタは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

論理表

入力					出力		
CLR	L	CE	C	Dz : D0	Qz : Q0	TC	CEO
1	X	X	X	X	0	0	0
0	1	X	↑	Dn	Dn	TC	CEO
0	1	X	↓	Dn	Dn	TC	CEO
0	0	0	X	X	変化なし	変化なし	0
0	0	1	↑	X	インクリメント	TC	CEO
0	0	1	↓	X	インクリメント	TC	CEO

入力					出力		
CLR	L	CE	C	Dz : D0	Qz : Q0	TC	CEO
$z = \text{ビット幅} - 1$ $TC = Qz \cdot Q(z-1) \cdot Q(z-2) \cdot \dots \cdot Q0$ $CEO = TC \cdot CE$							

デザインの入力方法

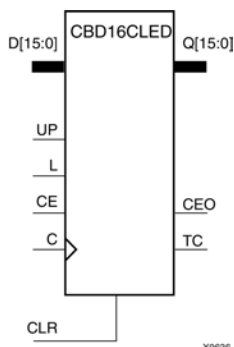
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

CBD16CLED

マクロ : 16-Bit Loadable Cascadable Bidirectional Dual Edge Triggered Binary Counter with Clock Enable and Asynchronous Clear



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

概要

このデザイン エLEMENTは、クロックの両エッジで動作する同期ロード可能、非同期クリア可能、カスケード可能な双方向バイナリカウンタです。非同期クリア (CLR) 入力が高レベルになると、ほかのすべての入力は無視され、クロック (C) の遷移に関係なく、出力 (Q)、ターミナルカウンタ (TC)、およびクロックイネーブル出力 (CEO) が 0 になります。ロードイネーブル入力 (L) が High の場合、クロック (C) が Low から High に切り替わるたびに、クロックイネーブル (CE) の値に関係なく、入力 (D) の値がカウンタにロードされます。CE が High、UP が Low の場合、クロックが Low から High、または High から Low に切り替わるたびに、Q 出力がデクリメントされます。CE と UP が High の場合、Q 出力がインクリメントされます。CE が Low の場合、クロック遷移は無視されます。

カウントアップする場合、すべての Q 出力と UP が High になると TC 出力が High になります。カウントダウンする場合、すべての Q 出力と UP が Low になると TC 出力が High になります。

1 段目の CEO 出力を次の段の CE 入力に接続し、C、UP、L、および CLR 入力を並列に接続すると、より大型のカウンタを作成できます。TC と CE が High になると、CEO がアクティブ (High) になります。カウンタの長さの最大値は、CE ピンと TC ピン間の伝搬遅延の合計とクロック周期の関係によって決定されます。クロック周期は、 $n(t_{CE-TC})$ より大きい必要があります。ここで、 n は段数、時間 t_{CE-TC} は各段での CE ピンと TC ピン間の伝搬遅延を表します。カウンタをカスケードする場合、CE 入力を使用するときは CEO 出力を、CE 入力を使用しないときは TC 出力を使用します。

高速カスケードが可能な双方向カウンタの詳細は、CB2X1、CB4X1、CB8X1、CB16X1 を参照してください。

電力を供給すると、カウンタは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

論理表

入力						出力		
CLR	L	CE	C	UP	Dz : D0	Qz : Q0	TC	CEO
1	X	X	X	X	X	0	0	0
0	1	X	↑	X	Dn	Dn	TC	CEO
0	1	X	↓	X	Dn	Dn	TC	CEO
0	0	0	X	X	X	変化なし	変化なし	0
0	0	1	↑	1	X	インクリメント	TC	CEO
0	0	1	↓	1	X	インクリメント	TC	CEO
0	0	1	↑	0	X	デクリメント	TC	CEO
0	0	1	↓	0	X	デクリメント	TC	CEO

$z = \text{ビット幅} - 1$
 $TC = (Qz \cdot Q(z-1) \cdot Q(z-2) \cdot \dots \cdot Q0 \cdot UP) + (Qz \cdot Q(z-1) \cdot Q(z-2) \cdot \dots \cdot Q0 \cdot \overline{UP})$
 $CEO = TC \cdot CE$

デザインの入力方法

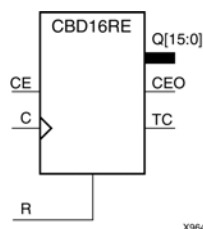
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

CBD16RE

マクロ : 16-Bit Cascadable Dual Edge Triggered Binary Counter with Clock Enable and Synchronous Reset



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

概要

このデザイン エLEMENTは、クロックの両エッジで動作する同期、リセット可能、カスケード可能なバイナリ カウンタです。同期リセット入力 (R) が High になると、ほかの入力は無視され、クロック (C) が Low から High に切り替わるときと High から Low に切り替わるときに出力 (Q)、ターミナル カウンタ (TC)、およびクロック イネーブル出力 (CEO) が 0 になります。クロック イネーブル入力 (CE) が High の場合、クロック (C) が Low から High、または High から Low に切り替わるときに出力 (Q) がインクリメントされます。CE が Low の場合、クロック遷移は無視されます。すべての Q 出力が High になると、TC 出力が High になります。

1 段目の CEO 出力を次の段の CE 入力に接続し、C および R 入力を並列に接続すると、より大型のカウンタを作成できます。TC と CE が High になると、CEO がアクティブ (High) になります。カウンタの長さの最大値は、CE ピンと TC ピン間の伝搬遅延の合計とクロック周期の関係によって決定されます。クロック周期は、 $n(t_{CE-TC})$ より大きい必要があります。ここで、 n は段数、時間 t_{CE-TC} は各段での CE ピンと TC ピン間の伝搬遅延を表します。カウンタをカスケードする場合、CE 入力を使用するときは CEO 出力を、CE 入力を使用しないときは TC 出力を使用します。

電力を供給すると、カウンタは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

論理表

入力			出力		
R	CE	C	Qz - Q0	TC	CEO
1	X	↑	0	0	0
1	X	↓	0	0	0
0	0	X	変化なし	変化なし	0
0	1	↑	インクリメント	TC	CEO
0	1	↓	インクリメント	TC	CEO
$z = \text{ビット幅} - 1$ $TC = Qz \cdot Q(z-1) \cdot Q(z-2) \cdot \dots \cdot Q0$ $CEO = TC \cdot CE$					

デザインの入力方法

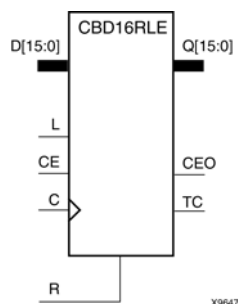
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

CBD16RLE

マクロ : 16-Bit Loadable Cascadable Dual Edge Triggered Binary Counter with Clock Enable and Synchronous Reset



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

概要

このデザイン エLEMENTは、クロックの両エッジで動作する同期、ロード可能、リセット可能、カスケード可能なバイナリ カウンタです。同期リセット入力 (R) が High になると、ほかの入力は無視され、クロック (C) が Low から High に切り替わるときと High から Low に切り替わるときに出力 (Q)、ターミナル カウンタ (TC)、およびクロック イネーブル出力 (CEO) が 0 になります。

ロード イネーブル入力 (L) が High の場合、クロック (C) が Low から High、または High から Low に切り替わるときに、CE の値に関係なく、D 入力の値がカウンタにロードされます。CE が High の場合、クロックが Low から High、または High から Low に切り替わるときに Q 出力がインクリメントされます。CE が Low の場合、クロック遷移は無視されます。すべての Q 出力が High になると、TC 出力が High になります。すべての Q 出力と CE が High になると、CEO 出力が High になるので、カウンタを直接カスケード接続できます。

1 段目の CEO 出力を次の段の CE 入力に接続し、C、L、および R 入力を並列に接続すると、より大型のカウンタを作成できます。TC と CE が High になると、CEO がアクティブ (High) になります。カウンタの長さの最大値は、CE ピンと TC ピン間の伝搬遅延の合計とクロック周期の関係によって決定されます。クロック周期は、 $n(t_{CE-TC})$ より大きい必要があります。ここで、 n は段数、時間 t_{CE-TC} は各段での CE ピンと TC ピン間の伝搬遅延を表します。カウンタをカスケードする場合、CE 入力を使用するときは CEO 出力を、CE 入力を使用しないときは TC 出力を使用します。

電力を供給すると、カウンタは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

論理表

入力					出力		
R	L	CE	C	Dz : D0	Qz : Q0	TC	CEO
1	X	X	↑	X	0	0	0
1	X	X	↓	X	0	0	0
0	1	X	↑	Dn	Dn	TC	CEO
0	1	X	↓	Dn	Dn	TC	CEO

入力					出力		
R	L	CE	C	Dz : D0	Qz : Q0	TC	CEO
0	0	0	X	X	変化なし	変化なし	0
0	0	1	↑	X	インクリメント	TC	CEO
0	0	1	↓	X	インクリメント	TC	CEO
z = ビット幅 - 1 $TC = Qz \cdot Q(z-1) \cdot Q(z-2) \cdot \dots \cdot Q0$ $CEO = TC \cdot CE$							

デザインの入力方法

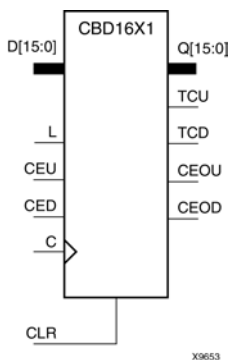
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

CBD16X1

マクロ : 16-Bit Loadable Cascadable Bidirectional Dual Edge Triggered Binary Counter with Clock Enable and Asynchronous Clear



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

概要

このデザイン エLEMENTは、クロックの両エッジで動作する同期ロード可能、非同期クリア可能な双方向バイナリ カウンタです。このカウンタには、アップとダウンの両方向に対してそれぞれカウント イネーブル入力と同期ターミナル カウント出力があり、高速カスケードがサポートされています。

非同期クリア入力 (CLR) が最も優先される入力で、CLR が High になると、ほかのすべての入力は無視されます。クロック遷移に関係なく、出力 (Q) は 0、ターミナル カウント出力 TCU と TCD はそれぞれ 0 と 1、クロック イネーブル出力 CEOU と CEOD はそれぞれ Low と High になります。ロード イネーブル入力 (L) が High の場合、クロック (C) が Low から High、または High から Low に切り替わる時に、CE 入力に関係なく、D 入力の値がカウンタにロードされます。

CEU が High、CLR と L が Low の場合、クロックが Low から High、または High から Low に切り替わる時に Q 出力がインクリメントされます。CED が High、CLR と L が Low の場合、Q 出力がデクリメントされます。CEU と CED が Low の場合、クロック遷移は無視されます。クロック遷移の際に CEU と CED の両方を High にしないでください。CEU と CED が両方とも High になっていると、カスケード接続した場合に CEOU および CEOD 出力が正しく機能しません。

カウントアップする場合、すべての Q 出力と CEU が High になると CEOU 出力が High になります。カウントダウンする場合、すべての Q 出力が Low、CED が High になると CEOD 出力が High になります。カウンタをカスケード接続するには、各カウンタの CEOU および CEOD 出力をそれぞれ次の段の CEU および CED 入力に直接接続します。クロック、L、CLR の入力は、並列に接続します。

すべてのカウントおよびロード機能に対して、カウンタをいくつカスケード接続しても、カウンタの最大クロック周波数は影響を受けません。すべての Q 出力が High になると、CEU に関係なく、TCU ターミナル カウント出力が High になります。すべての Q 出力が Low になると、CED に関係なく、TCD 出力は High になります。

カウンタをカスケード接続する場合、最終的なターミナル カウント信号は、TCU 出力 (アップ方向) と TCD 出力 (ダウン方向) をすべて接続した AND ゲートで生成されます。TCU、CEOU、CEOD の各出力は、コンポーネント内の最適化可能な AND ゲートによって生成されます。したがって、これらの出力からの接続がすべてオンチップであれば、CEU および CED の入力と Q 出力のピン間の伝搬遅延がゼロになります。すべてがオンチップでない場合は、マクロセルバッファ遅延が発生します。

電力を供給すると、カウンタは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

論理表

入力						出力				
CLR	L	CEU	CED	C	Dz - D0	Qz - Q0	TCU	TCD	CEOU	CEOD
1	X	X	X	X	X	0	0	1	0	CEOD
0	1	X	X	↑	Dn	Dn	TCU	TCD	CEOU	CEOD
0	1	X	X	↓	Dn	Dn	TCU	TCD	CEOU	CEOD
0	0	0	0	X	X	変化なし	変化なし	変化なし	0	0
0	0	1	0	↑	X	インクリメント	TCU	TCD	CEOU	0
0	0	1	0	↓	X	インクリメント	TCU	TCD	CEOU	0
0	0	0	1	↑	X	デクリメント	TCU	TCD	0	CEOD
0	0	0	1	↓	X	デクリメント	TCU	TCD	0	CEOD
0	0	1	1	↑	X	インクリメント	TCU	TCD	無効	無効
0	0	1	1	↓	X	インクリメント	TCU	TCD	無効	無効

$z = \text{ビット幅} - 1$
 $TCU = Qz \cdot Q(z-1) \cdot Q(z-2) \cdot \dots \cdot Q0$
 $TCD = Qz \cdot Q(z-1) \cdot Q(z-2) \cdot \dots \cdot Q0$
 $CEOU = TCU \cdot CEU$
 $CEOD = TCD \cdot CED$

デザインの入力方法

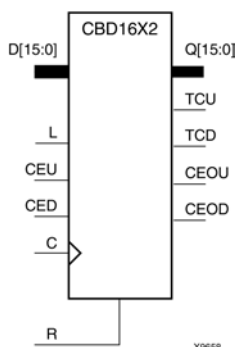
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

CBD16X2

マクロ : 16-Bit Loadable Cascadable Bidirectional Dual Edge Triggered Binary Counter with Clock Enable and Synchronous Reset



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

概要

このデザイン エLEMENTは、クロックの両エッジで動作する同期、ロード可能、リセット可能な双方向バイナリ カウンタです。このカウンタには、アップとダウンの両方向に対してそれぞれカウント イネーブル入力と同期ターミナル カウント出力があり、高速カスケードがサポートされています。

同期リセット入力 (R) は最も優先される入力で、R が High になるとほかのすべての入力は無視されます。クロック (C) が Low から High に切り替わるときと High から Low に切り替わるときに、出力 (Q) の値は 0 に、ターミナル カウント出力 TCU と TCD はそれぞれ 0 と 1 に、クロック イネーブル出力 CEOU と CEOD はそれぞれ Low と High になります。ロード イネーブル入力 (L) が High の場合、クロック (C) が Low から High、または High から Low に切り替わるときに、CE 入力に関係なく、D 入力の値がカウンタにロードされます。

CEU が High、R と L が Low の場合、クロックが Low から High、または High から Low に切り替わるときにすべての Q 出力がインクリメントされます。CED が High、R と L が Low の場合、すべての Q 出力がデクリメントされます。CEU と CED が Low の場合、クロック遷移は無視されます。クロック遷移の際に CEU と CED の両方を High にしないでください。CEU と CED が両方とも High になっていると、カスケード接続した場合に CEOU および CEOD 出力が正しく機能しません。

カウント アップする場合、すべての Q 出力と CEU が High になると CEOU 出力が High になります。カウント ダウンする場合、すべての Q 出力が Low、CED が High になると CEOD 出力が High になります。カウンタをカスケード接続するには、各カウンタの CEOU 出力および CEOD 出力をそれぞれ次の段の CEU および CED 入力に直接接続します。C、L、および R 入力は、並列に接続します。

すべてのカウントおよびロード機能に対して、カウンタをいくつカスケード接続しても、カウンタ コンポーネントの最大クロック周波数は影響を受けません。すべての Q 出力が High になると、CEU に関係なく、TCU ターミナル カウント出力が High になります。すべての Q 出力が Low になると、CED に関係なく、TCD 出力は High になります。

カウンタをカスケード接続する場合、最終的なターミナル カウント信号は、TCU 出力 (アップ方向) と TCD 出力 (ダウン方向) をすべて接続した AND ゲートで生成されます。TCU、CEOU、CEOD の各出力は、コンポーネント内の最適化可能な AND ゲートによって生成されます。したがって、これらの出力からの接続がすべてオンチップであれば、CEU および CED の入力と Q 出力のピン間の伝搬遅延がゼロになります。すべてがオンチップでない場合は、マクロセルバッファ遅延が発生します。

電力を供給すると、カウンタは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

論理表

入力						出力				
R	L	CEU	CED	C	Dz : D0	Qz : Q0	TCU	TCD	CEOU	CEOD
1	X	X	X	↑	X	0	0	1	0	CEOD
1	X	X	X	↓	X	0	0	1	0	CEOD
0	1	X	X	↑	Dn	Dn	TCU	TCD	CEOU	CEOD
0	1	X	X	↓	Dn	Dn	TCU	TCD	CEOU	CEOD
0	0	0	0	X	X	変化なし	変化なし	変化なし	0	0
0	0	1	0	↑	X	インクリメント	TCU	TCD	CEOU	0
0	0	1	0	↓	X	インクリメント	TCU	TCD	CEOU	0
0	0	0	1	↑	X	デクリメント	TCU	TCD	0	CEOD
0	0	0	1	↓	X	デクリメント	TCU	TCD	0	CEOD
0	0	1	1	↑	X	インクリメント	TCU	TCD	無効	無効
0	0	1	1	↓	X	インクリメント	TCU	TCD	無効	無効

$z = \text{ビット幅} - 1$

$TCU = Qz \cdot Q(z-1) \cdot Q(z-2) \cdot \dots \cdot Q0$

$TCD = Qz \cdot Q(z-1) \cdot Q(z-2) \cdot \dots \cdot Q0$

$CEOU = TCU \cdot CEU$

$CEOD = TCD \cdot CED$

デザインの入力方法

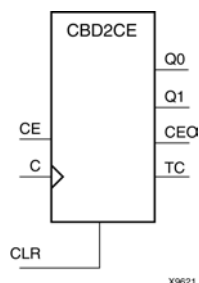
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

CBD2CE

マクロ : 2-Bit Cascadable Dual Edge Triggered Binary Counter with Clock Enable and Asynchronous Clear



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

概要

このデザイン エLEMENTは、両エッジで動作する非同期クリア可能、カスケード可能なバイナリカウンタです。非同期クリア (CLR) 入力が高になると、ほかのすべての入力は無視され、クロック (C) の遷移に関係なく、出力 (Q)、ターミナルカウンタ (TC)、およびクロックイネーブル出力 (CEO) が 0 になります。クロックイネーブル入力 (CE) が High の場合、クロック (C) が Low から High、または High から Low に切り替わる時に出力 (Q) がインクリメントされます。CE が Low の場合、クロック遷移は無視されます。すべての Q 出力が高になると、TC 出力が高になります。

1 段目の CEO 出力を次の段の CE 入力に接続し、C および CLR 入力を並列に接続すると、より大型のカウンタを作成できます。TC と CE が High になると、CEO がアクティブ (High) になります。カウンタの長さの最大値は、CE ピンと TC ピン間の伝搬遅延の合計とクロック周期の関係によって決定されます。クロック周期は、 $n(t_{CE-TC})$ より大きい必要があります。ここで、 n は段数、時間 t_{CE-TC} は各段での CE ピンと TC ピン間の伝搬遅延を表します。カウンタをカスケードする場合、CE 入力を使用するときは CEO 出力を、CE 入力を使用しないときは TC 出力を使用します。

電力を供給すると、カウンタは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

論理表

入力			出力		
CLR	CE	C	Qz : Q0	TC	CEO
1	X	X	0	0	0
0	0	X	変化なし	変化なし	0
0	1	↑	インクリメント	TC	CEO
0	1	↓	インクリメント	TC	CEO
z = ビット幅 - 1 $TC = Qz \cdot Q(z-1) \cdot Q(z-2) \cdot \dots \cdot Q0$ $CEO = TC \cdot CE$					

デザインの入力方法

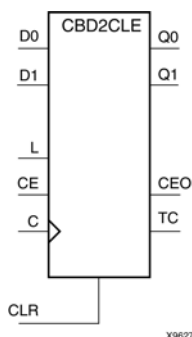
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

CBD2CLE

マクロ : 2-Bit Loadable Cascadable Dual Edge Triggered Binary Counter with Clock Enable and Asynchronous Clear



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

概要

このデザイン エLEMENTは、クロックの両エッジで動作する同期ロード可能、非同期クリア可能、カスケード可能な双方向バイナリカウンタです。非同期クリア (CLR) 入力が高レベルになると、ほかのすべての入力は無視され、クロック (C) の遷移に関係なく、出力 (Q)、ターミナル カウンタ (TC)、およびクロック イネーブル出力 (CEO) が 0 になります。ロード イネーブル入力 (L) が High の場合、クロックが Low から High に切り替わるたびに、クロック イネーブル (CE) の値に関係なく、入力 (D) の値がカウンタにロードされます。CE が High の場合、クロックが Low から High、または High から Low に切り替わるたびに Q 出力がインクリメントされます。CE が Low の場合、クロック遷移は無視されます。すべての Q 出力が高レベルになると、TC 出力が高レベルになります。

1 段目の CEO 出力を次の段の CE 入力に接続し、C、L、および CLR 入力を並列に接続すると、より大型のカウンタを作成できます。TC と CE が High になると、CEO がアクティブ (High) になります。カウンタの長さの最大値は、CE ピンと TC ピン間の伝搬遅延の合計とクロック周期の関係によって決定されます。クロック周期は、 $n(t_{CE-TC})$ より大きい必要があります。ここで、 n は段数、時間 t_{CE-TC} は各段での CE ピンと TC ピン間の伝搬遅延を表します。カウンタをカスケードする場合、CE 入力を使用するときは CEO 出力を、CE 入力を使用しないときは TC 出力を使用します。

電力を供給すると、カウンタは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

論理表

入力					出力		
CLR	L	CE	C	Dz : D0	Qz : Q0	TC	CEO
1	X	X	X	X	0	0	0
0	1	X	↑	Dn	Dn	TC	CEO
0	1	X	↓	Dn	Dn	TC	CEO
0	0	0	X	X	変化なし	変化なし	0
0	0	1	↑	X	インクリメント	TC	CEO
0	0	1	↓	X	インクリメント	TC	CEO
z = ビット幅 - 1 $TC = Qz \cdot Q(z-1) \cdot Q(z-2) \cdot \dots \cdot Q0$ $CEO = TC \cdot CE$							

デザインの入力方法

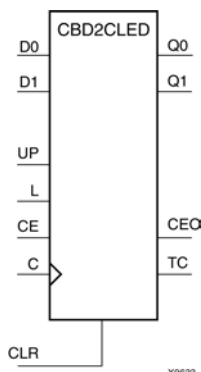
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

CBD2CLED

マクロ : 2-Bit Loadable Cascadable Bidirectional Dual Edge Triggered Binary Counter with Clock Enable and Asynchronous Clear



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

概要

このデザイン エLEMENTは、クロックの両エッジで動作する同期ロード可能、非同期クリア可能、カスケード可能な双方向バイナリカウンタです。非同期クリア (CLR) 入力が高レベルになると、ほかのすべての入力は無視され、クロック (C) の遷移に関係なく、出力 (Q)、ターミナル カウンタ (TC)、およびクロック イネーブル出力 (CEO) が 0 になります。ロード イネーブル入力 (L) が High の場合、クロック (C) が Low から High に切り替わるときに、クロック イネーブル (CE) の値に関係なく、入力 (D) の値がカウンタにロードされます。CE が High、UP が Low の場合、クロックが Low から High、または High から Low に切り替わるときに、Q 出力がデクリメントされます。CE と UP が High の場合、Q 出力がインクリメントされます。CE が Low の場合、クロック遷移は無視されます。

カウントアップする場合、すべての Q 出力と UP が High になると TC 出力が High になります。カウントダウンする場合、すべての Q 出力と UP が Low になると TC 出力が High になります。

1 段目の CEO 出力を次の段の CE 入力に接続し、C、UP、L、および CLR 入力を並列に接続すると、より大型のカウンタを作成できます。TC と CE が High になると、CEO がアクティブ (High) になります。カウンタの長さの最大値は、CE ピンと TC ピン間の伝搬遅延の合計とクロック周期の関係によって決定されます。クロック周期は、 $n(t_{CE-TC})$ より大きい必要があります。ここで、 n は段数、時間 t_{CE-TC} は各段での CE ピンと TC ピン間の伝搬遅延を表します。カウンタをカスケードする場合、CE 入力を使用するときは CEO 出力を、CE 入力を使用しないときは TC 出力を使用します。

高速カスケードが可能な双方向カウンタの詳細は、CB2X1、CB4X1、CB8X1、CB16X1 を参照してください。

電力を供給すると、カウンタは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスで PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

論理表

入力						出力		
CLR	L	CE	C	UP	Dz : D0	Qz : Q0	TC	CEO
1	X	X	X	X	X	0	0	0
0	1	X	↑	X	Dn	Dn	TC	CEO
0	1	X	↓	X	Dn	Dn	TC	CEO
0	0	0	X	X	X	変化なし	変化なし	0
0	0	1	↑	1	X	インクリメント	TC	CEO
0	0	1	↓	1	X	インクリメント	TC	CEO
0	0	1	↑	0	X	デクリメント	TC	CEO
0	0	1	↓	0	X	デクリメント	TC	CEO

$z = \text{ビット幅} - 1$
 $TC = (Qz \cdot Q(z-1) \cdot Q(z-2) \cdot \dots \cdot Q0 \cdot UP) + (Qz \cdot Q(z-1) \cdot Q(z-2) \cdot \dots \cdot Q0 \cdot \overline{UP})$
 $CEO = TC \cdot CE$

デザインの入力方法

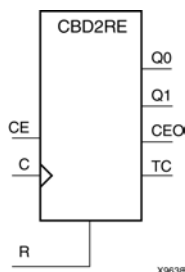
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

CBD2RE

マクロ : 2-Bit Cascadable Dual Edge Triggered Binary Counter with Clock Enable and Synchronous Reset



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

概要

このデザイン エLEMENTは、クロックの両エッジで動作する同期、リセット可能、カスケード可能なバイナリ カウンタです。同期リセット入力 (R) が High になると、ほかの入力は無視され、クロック (C) が Low から High に切り替わる時と High から Low に切り替わる時に出力 (Q)、ターミナル カウンタ (TC)、およびクロック イネーブル出力 (CEO) が 0 になります。クロック イネーブル入力 (CE) が High の場合、クロック (C) が Low から High、または High から Low に切り替わる時に出力 (Q) がインクリメントされます。CE が Low の場合、クロック遷移は無視されます。すべての Q 出力が High になると、TC 出力が High になります。

1 段目の CEO 出力を次の段の CE 入力に接続し、C および R 入力を並列に接続すると、より大型のカウンタを作成できます。TC と CE が High になると、CEO がアクティブ (High) になります。カウンタの長さの最大値は、CE ピンと TC ピン間の伝搬遅延の合計とクロック周期の関係によって決定されます。クロック周期は、 $n(t_{CE-TC})$ より大きい必要があります。ここで、 n は段数、時間 t_{CE-TC} は各段での CE ピンと TC ピン間の伝搬遅延を表します。カウンタをカスケードする場合、CE 入力を使用するときは CEO 出力を、CE 入力を使用しないときは TC 出力を使用します。

電力を供給すると、カウンタは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

論理表

入力			出力		
R	CE	C	Qz - Q0	TC	CEO
1	X	↑	0	0	0
1	X	↓	0	0	0
0	0	X	変化なし	変化なし	0
0	1	↑	インクリメント	TC	CEO
0	1	↓	インクリメント	TC	CEO
$z = \text{ビット幅} - 1$ $TC = Qz \cdot Q(z-1) \cdot Q(z-2) \cdot \dots \cdot Q0$ $CEO = TC \cdot CE$					

デザインの入力方法

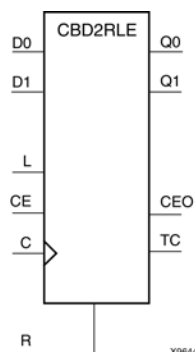
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

CBD2RLE

マクロ : 2-Bit Loadable Cascadable Dual Edge Triggered Binary Counter with Clock Enable and Synchronous Reset



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

概要

このデザイン エLEMENTは、クロックの両エッジで動作する同期、ロード可能、リセット可能、カスケード可能なバイナリ カウンタです。同期リセット入力 (R) が High になると、ほかの入力は無視され、クロック (C) が Low から High に切り替わるときと High から Low に切り替わるときに出力 (Q)、ターミナル カウンタ (TC)、およびクロック イネーブル出力 (CEO) が 0 になります。

ロード イネーブル入力 (L) が High の場合、クロック (C) が Low から High、または High から Low に切り替わるときに、CE の値に関係なく、D 入力の値がカウンタにロードされます。CE が High の場合、クロックが Low から High、または High から Low に切り替わるときに Q 出力がインクリメントされます。CE が Low の場合、クロック遷移は無視されます。すべての Q 出力が High になると、TC 出力が High になります。すべての Q 出力と CE が High になると、CEO 出力が High になるので、カウンタを直接カスケード接続できます。

1 段目の CEO 出力を次の段の CE 入力に接続し、C、L、および R 入力を並列に接続すると、より大型のカウンタを作成できます。TC と CE が High になると、CEO がアクティブ (High) になります。カウンタの長さの最大値は、CE ピンと TC ピン間の伝搬遅延の合計とクロック周期の関係によって決定されます。クロック周期は、 $n(t_{CE-TC})$ より大きい必要があります。ここで、 n は段数、時間 t_{CE-TC} は各段での CE ピンと TC ピン間の伝搬遅延を表します。カウンタをカスケードする場合、CE 入力を使用するときは CEO 出力を、CE 入力を使用しないときは TC 出力を使用します。

電力を供給すると、カウンタは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

論理表

入力					出力		
R	L	CE	C	Dz : D0	Qz : Q0	TC	CEO
1	X	X	↑	X	0	0	0
1	X	X	↓	X	0	0	0
0	1	X	↑	Dn	Dn	TC	CEO
0	1	X	↓	Dn	Dn	TC	CEO
0	0	0	X	X	変化なし	変化なし	0
0	0	1	↑	X	インクリメント	TC	CEO
0	0	1	↓	X	インクリメント	TC	CEO
z = ビット幅 - 1 $TC = Qz \cdot Q(z-1) \cdot Q(z-2) \cdot \dots \cdot Q0$ $CEO = TC \cdot CE$							

デザインの入力方法

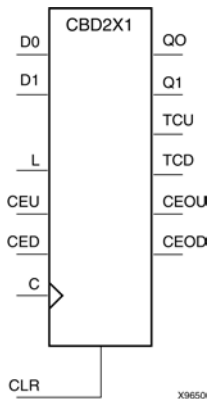
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

CBD2X1

マクロ : 2-Bit Loadable Cascadable Bidirectional Dual Edge Triggered Binary Counter with Clock Enable and Asynchronous Clear



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

概要

このデザイン エLEMENTは、クロックの両エッジで動作する同期ロード可能、非同期クリア可能な双方向バイナリ カウンタです。このカウンタには、アップとダウンの両方向に対してそれぞれカウント イネーブル入力と同期ターミナル カウント出力があり、高速カスケードがサポートされています。

非同期クリア入力 (CLR) が最も優先される入力で、CLR が High になると、ほかのすべての入力は無視されます。クロック遷移に関係なく、出力 (Q) は 0、ターミナル カウント出力 TCU と TCD はそれぞれ 0 と 1、クロック イネーブル出力 CEOU と CEOD はそれぞれ Low と High になります。ロード イネーブル入力 (L) が High の場合、クロック (C) が Low から High、または High から Low に切り替わるときに、CE 入力に関係なく、D 入力の値がカウンタにロードされます。

CEU が High、CLR と L が Low の場合、クロックが Low から High、または High から Low に切り替わるときに Q 出力がインクリメントされます。CED が High、CLR と L が Low の場合、Q 出力がデクリメントされます。CEU と CED が Low の場合、クロック遷移は無視されます。クロック遷移の際に CEU と CED の両方を High にしないでください。CEU と CED が両方とも High になっていると、カスケード接続した場合に CEOU および CEOD 出力が正しく機能しません。

カウントアップする場合、すべての Q 出力と CEU が High になると CEOU 出力が High になります。カウントダウンする場合、すべての Q 出力が Low、CED が High になると CEOD 出力が High になります。カウンタをカスケード接続するには、各カウンタの CEOU および CEOD 出力をそれぞれ次の段の CEU および CED 入力に直接接続します。クロック、L、CLR の入力は、並列に接続します。

すべてのカウントおよびロード機能に対して、カウンタをいくつカスケード接続しても、カウンタの最大クロック周波数は影響を受けません。すべての Q 出力が High になると、CEU に関係なく、TCU ターミナル カウント出力が High になります。すべての Q 出力が Low になると、CED に関係なく、TCD 出力は High になります。

カウンタをカスケード接続する場合、最終的なターミナル カウント信号は、TCU 出力 (アップ方向) と TCD 出力 (ダウン方向) をすべて接続した AND ゲートで生成されます。TCU、CEOU、CEOD の各出力は、コンポーネント内の最適化可能な AND ゲートによって生成されます。したがって、これらの出力からの接続がすべてオンチップであれば、CEU および CED の入力と Q 出力のピン間の伝搬遅延がゼロになります。すべてがオンチップでない場合は、マクロセルバッファ遅延が発生します。

電力を供給すると、カウンタは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

論理表

入力						出力				
CLR	L	CEU	CED	C	Dz - D0	Qz - Q0	TCU	TCD	CEOU	CEOD
1	X	X	X	X	X	0	0	1	0	CEOD
0	1	X	X	↑	Dn	Dn	TCU	TCD	CEOU	CEOD
0	1	X	X	↓	Dn	Dn	TCU	TCD	CEOU	CEOD
0	0	0	0	X	X	変化なし	変化なし	変化なし	0	0
0	0	1	0	↑	X	インクリメント	TCU	TCD	CEOU	0
0	0	1	0	↓	X	インクリメント	TCU	TCD	CEOU	0
0	0	0	1	↑	X	デクリメント	TCU	TCD	0	CEOD
0	0	0	1	↓	X	デクリメント	TCU	TCD	0	CEOD
0	0	1	1	↑	X	インクリメント	TCU	TCD	無効	無効
0	0	1	1	↓	X	インクリメント	TCU	TCD	無効	無効

$z = \text{ビット幅} - 1$
 $TCU = Qz \cdot Q(z-1) \cdot Q(z-2) \cdot \dots \cdot Q0$
 $TCD = Qz \cdot Q(z-1) \cdot Q(z-2) \cdot \dots \cdot Q0$
 $CEOU = TCU \cdot CEU$
 $CEOD = TCD \cdot CED$

デザインの入力方法

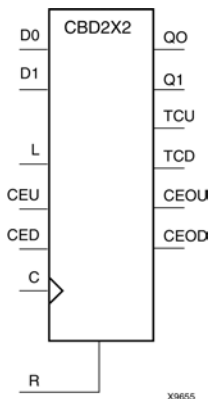
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

CBD2X2

マクロ : 2-Bit Loadable Cascadable Bidirectional Dual Edge Triggered Binary Counter with Clock Enable and Synchronous Reset



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

概要

このデザイン エLEMENTは、クロックの両エッジで動作する同期、ロード可能、リセット可能な双方向バイナリ カウンタです。このカウンタには、アップとダウンの両方向に対してそれぞれカウント イネーブル入力と同期ターミナル カウント出力があり、高速カスケードがサポートされています。

同期リセット入力 (R) は最も優先される入力で、R が High になるとほかのすべての入力は無視されます。クロック (C) が Low から High に切り替わるときと High から Low に切り替わるときに、出力 (Q) の値は 0 に、ターミナル カウント出力 TCU と TCD はそれぞれ 0 と 1 に、クロック イネーブル出力 CEOU と CEOD はそれぞれ Low と High になります。ロード イネーブル入力 (L) が High の場合、クロック (C) が Low から High、または High から Low に切り替わるときに、CE 入力に関係なく、D 入力の値がカウンタにロードされます。

CEU が High、R と L が Low の場合、クロックが Low から High、または High から Low に切り替わるときにすべての Q 出力がインクリメントされます。CED が High、R と L が Low の場合、すべての Q 出力がデクリメントされます。CEU と CED が Low の場合、クロック遷移は無視されます。クロック遷移の際に CEU と CED の両方を High にしないでください。CEU と CED が両方とも High になっていると、カスケード接続した場合に CEOU および CEOD 出力が正しく機能しません。

カウントアップする場合、すべての Q 出力と CEU が High になると CEOU 出力が High になります。カウントダウンする場合、すべての Q 出力が Low、CED が High になると CEOD 出力が High になります。カウンタをカスケード接続するには、各カウンタの CEOU 出力および CEOD 出力をそれぞれ次の段の CEU および CED 入力に直接接続します。C、L、および R 入力は、並列に接続します。

すべてのカウントおよびロード機能に対して、カウンタをいくつカスケード接続しても、カウンタ コンポーネントの最大クロック周波数は影響を受けません。すべての Q 出力が High になると、CEU に関係なく、TCU ターミナル カウント出力が High になります。すべての Q 出力が Low になると、CED に関係なく、TCD 出力は High になります。

カウンタをカスケード接続する場合、最終的なターミナル カウント信号は、TCU 出力 (アップ方向) と TCD 出力 (ダウン方向) をすべて接続した AND ゲートで生成されます。TCU、CEOU、CEOD の各出力は、コンポーネント内の最適化可能な AND ゲートによって生成されます。したがって、これらの出力からの接続がすべてオンチップであれば、CEU および CED の入力と Q 出力のピン間の伝搬遅延がゼロになります。すべてがオンチップでない場合は、マクロセルバッファ遅延が発生します。

電力を供給すると、カウンタは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

論理表

入力						出力				
R	L	CEU	CED	C	Dz : D0	Qz : Q0	TCU	TCD	CEOU	CEOD
1	X	X	X	↑	X	0	0	1	0	CEOD
1	X	X	X	↓	X	0	0	1	0	CEOD
0	1	X	X	↑	Dn	Dn	TCU	TCD	CEOU	CEOD
0	1	X	X	↓	Dn	Dn	TCU	TCD	CEOU	CEOD
0	0	0	0	X	X	変化なし	変化なし	変化なし	0	0
0	0	1	0	↑	X	インクリメント	TCU	TCD	CEOU	0
0	0	1	0	↓	X	インクリメント	TCU	TCD	CEOU	0
0	0	0	1	↑	X	デクリメント	TCU	TCD	0	CEOD
0	0	0	1	↓	X	デクリメント	TCU	TCD	0	CEOD
0	0	1	1	↑	X	インクリメント	TCU	TCD	無効	無効
0	0	1	1	↓	X	インクリメント	TCU	TCD	無効	無効

$z = \text{ビット幅} - 1$

$TCU = Qz \cdot Q(z-1) \cdot Q(z-2) \cdot \dots \cdot Q0$

$TCD = Qz \cdot Q(z-1) \cdot Q(z-2) \cdot \dots \cdot Q0$

$CEOU = TCU \cdot CEU$

$CEOD = TCD \cdot CED$

デザインの入力方法

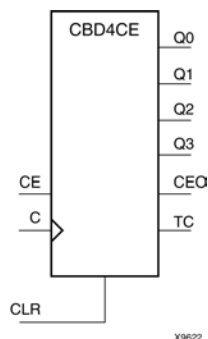
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

CBD4CE

マクロ : 4-Bit Cascadable Dual Edge Triggered Binary Counter with Clock Enable and Asynchronous Clear



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

概要

このデザイン エLEMENTは、両エッジで動作する非同期クリア可能、カスケード可能なバイナリカウンタです。非同期クリア (CLR) 入力が高になると、ほかのすべての入力は無視され、クロック (C) の遷移に関係なく、出力 (Q)、ターミナルカウンタ (TC)、およびクロックイネーブル出力 (CEO) が 0 になります。クロックイネーブル入力 (CE) が High の場合、クロック (C) が Low から High、または High から Low に切り替わるときに出力 (Q) がインクリメントされます。CE が Low の場合、クロック遷移は無視されます。すべての Q 出力が高になると、TC 出力が高になります。

1 段目の CEO 出力を次の段の CE 入力に接続し、C および CLR 入力を並列に接続すると、より大型のカウンタを作成できます。TC と CE が High になると、CEO がアクティブ (High) になります。カウンタの長さの最大値は、CE ピンと TC ピン間の伝搬遅延の合計とクロック周期の関係によって決定されます。クロック周期は、 $n(t_{CE-TC})$ より大きい必要があります。ここで、 n は段数、時間 t_{CE-TC} は各段での CE ピンと TC ピン間の伝搬遅延を表します。カウンタをカスケードする場合、CE 入力を使用するときは CEO 出力を、CE 入力を使用しないときは TC 出力を使用します。

電力を供給すると、カウンタは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

論理表

入力			出力		
CLR	CE	C	Qz : Q0	TC	CEO
1	X	X	0	0	0
0	0	X	変化なし	変化なし	0
0	1	↑	インクリメント	TC	CEO
0	1	↓	インクリメント	TC	CEO
$z = \text{ビット幅} - 1$ $TC = Qz \cdot Q(z-1) \cdot Q(z-2) \cdot \dots \cdot Q0$ $CEO = TC \cdot CE$					

デザインの入力方法

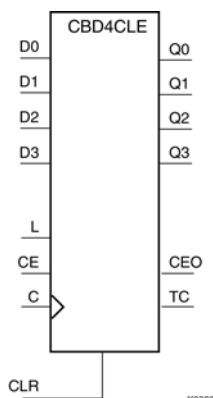
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

CBD4CLE

マクロ : 4-Bit Loadable Cascadable Dual Edge Triggered Binary Counter with Clock Enable and Asynchronous Clear



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

概要

このデザイン エLEMENTは、クロックの両エッジで動作する同期ロード可能、非同期クリア可能、カスケード可能な双方向バイナリカウンタです。非同期クリア (CLR) 入力が高になると、ほかのすべての入力は無視され、クロック (C) の遷移に関係なく、出力 (Q)、ターミナル カウンタ (TC)、およびクロック イネーブル出力 (CEO) が 0 になります。ロード イネーブル入力 (L) が High の場合、クロックが Low から High に切り替わるたびに、クロック イネーブル (CE) の値に関係なく、入力 (D) の値がカウンタにロードされます。CE が High の場合、クロックが Low から High、または High から Low に切り替わるたびに Q 出力がインクリメントされます。CE が Low の場合、クロック遷移は無視されます。すべての Q 出力が高になると、TC 出力が高になります。

1 段目の CEO 出力を次の段の CE 入力に接続し、C、L、および CLR 入力を並列に接続すると、より大型のカウンタを作成できます。TC と CE が High になると、CEO がアクティブ (High) になります。カウンタの長さの最大値は、CE ピンと TC ピン間の伝搬遅延の合計とクロック周期の関係によって決定されます。クロック周期は、 $n(t_{CE-TC})$ より大きい必要があります。ここで、 n は段数、時間 t_{CE-TC} は各段での CE ピンと TC ピン間の伝搬遅延を表します。カウンタをカスケードする場合、CE 入力を使用するときは CEO 出力を、CE 入力を使用しないときは TC 出力を使用します。

電力を供給すると、カウンタは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

論理表

入力					出力		
CLR	L	CE	C	Dz : D0	Qz : Q0	TC	CEO
1	X	X	X	X	0	0	0
0	1	X	↑	Dn	Dn	TC	CEO
0	1	X	↓	Dn	Dn	TC	CEO
0	0	0	X	X	変化なし	変化なし	0
0	0	1	↑	X	インクリメント	TC	CEO
0	0	1	↓	X	インクリメント	TC	CEO
z = ビット幅 - 1 $TC = Qz \cdot Q(z-1) \cdot Q(z-2) \cdot \dots \cdot Q0$ $CEO = TC \cdot CE$							

デザインの入力方法

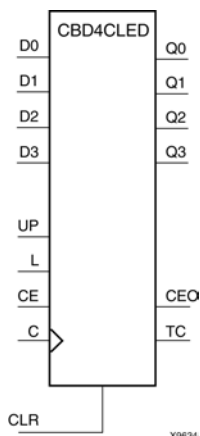
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

CBD4CLED

マクロ : 4-Bit Loadable Cascadable Bidirectional Dual Edge Triggered Binary Counter with Clock Enable and Asynchronous Clear



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

概要

このデザイン エLEMENTは、クロックの両エッジで動作する同期ロード可能、非同期クリア可能、カスケード可能な双方向バイナリカウンタです。非同期クリア (CLR) 入力が高レベルになると、ほかのすべての入力は無視され、クロック (C) の遷移に関係なく、出力 (Q)、ターミナル カウンタ (TC)、およびクロック イネーブル出力 (CEO) が 0 になります。ロード イネーブル入力 (L) が High の場合、クロック (C) が Low から High に切り替わるときに、クロック イネーブル (CE) の値に関係なく、入力 (D) の値がカウンタにロードされます。CE が High、UP が Low の場合、クロックが Low から High、または High から Low に切り替わるときに、Q 出力がデクリメントされます。CE と UP が High の場合、Q 出力がインクリメントされます。CE が Low の場合、クロック遷移は無視されます。

カウントアップする場合、すべての Q 出力と UP が High になると TC 出力が高レベルになります。カウントダウンする場合、すべての Q 出力と UP が Low になると TC 出力が高レベルになります。

1 段目の CEO 出力を次の段の CE 入力に接続し、C、UP、L、および CLR 入力を並列に接続すると、より大型のカウンタを作成できます。TC と CE が High になると、CEO がアクティブ (High) になります。カウンタの長さの最大値は、CE ピンと TC ピン間の伝搬遅延の合計とクロック周期の関係によって決定されます。クロック周期は、 $n(t_{CE-TC})$ より大きい必要があります。ここで、 n は段数、時間 t_{CE-TC} は各段での CE ピンと TC ピン間の伝搬遅延を表します。カウンタをカスケードする場合、CE 入力を使用するときは CEO 出力を、CE 入力を使用しないときは TC 出力を使用します。

高速カスケードが可能な双方向カウンタの詳細は、CB2X1、CB4X1、CB8X1、CB16X1 を参照してください。

電力を供給すると、カウンタは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスで PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

論理表

入力						出力		
CLR	L	CE	C	UP	Dz : D0	Qz : Q0	TC	CEO
1	X	X	X	X	X	0	0	0
0	1	X	↑	X	Dn	Dn	TC	CEO
0	1	X	↓	X	Dn	Dn	TC	CEO
0	0	0	X	X	X	変化なし	変化なし	0
0	0	1	↑	1	X	インクリメント	TC	CEO
0	0	1	↓	1	X	インクリメント	TC	CEO
0	0	1	↑	0	X	デクリメント	TC	CEO
0	0	1	↓	0	X	デクリメント	TC	CEO

$z = \text{ビット幅} - 1$
 $TC = (Qz \cdot Q(z-1) \cdot Q(z-2) \cdot \dots \cdot Q0 \cdot UP) + (Qz \cdot Q(z-1) \cdot Q(z-2) \cdot \dots \cdot Q0 \cdot \overline{UP})$
 $CEO = TC \cdot CE$

デザインの入力方法

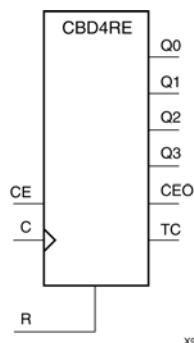
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

CBD4RE

マクロ : 4-Bit Cascadable Dual Edge Triggered Binary Counter with Clock Enable and Synchronous Reset



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

概要

このデザイン エLEMENTは、クロックの両エッジで動作する同期、リセット可能、カスケード可能なバイナリ カウンタです。同期リセット入力 (R) が High になると、ほかの入力は無視され、クロック (C) が Low から High に切り替わるときと High から Low に切り替わるときに出力 (Q)、ターミナル カウンタ (TC)、およびクロック イネーブル出力 (CEO) が 0 になります。クロック イネーブル入力 (CE) が High の場合、クロック (C) が Low から High、または High から Low に切り替わるときに出力 (Q) がインクリメントされます。CE が Low の場合、クロック遷移は無視されます。すべての Q 出力が High になると、TC 出力が High になります。

1 段目の CEO 出力を次の段の CE 入力に接続し、C および R 入力を並列に接続すると、より大型のカウンタを作成できます。TC と CE が High になると、CEO がアクティブ (High) になります。カウンタの長さの最大値は、CE ピンと TC ピン間の伝搬遅延の合計とクロック周期の関係によって決定されます。クロック周期は、 $n(t_{CE-TC})$ より大きい必要があります。ここで、 n は段数、時間 t_{CE-TC} は各段での CE ピンと TC ピン間の伝搬遅延を表します。カウンタをカスケードする場合、CE 入力を使用するときは CEO 出力を、CE 入力を使用しないときは TC 出力を使用します。

電力を供給すると、カウンタは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

論理表

入力			出力		
R	CE	C	Qz - Q0	TC	CEO
1	X	↑	0	0	0
1	X	↓	0	0	0
0	0	X	変化なし	変化なし	0
0	1	↑	インクリメント	TC	CEO
0	1	↓	インクリメント	TC	CEO
z = ビット幅 - 1					
$TC = Qz \cdot Q(z-1) \cdot Q(z-2) \cdot \dots \cdot Q0$					

入力			出力		
R	CE	C	Qz - Q0	TC	CEO
CEO = TC・CE					

デザインの入力方法

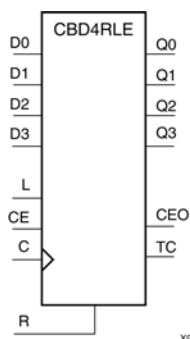
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

CBD4RLE

マクロ : 4-Bit Loadable Cascadable Dual Edge Triggered Binary Counter with Clock Enable and Synchronous Reset



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

概要

このデザイン エLEMENTは、クロックの両エッジで動作する同期、ロード可能、リセット可能、カスケード可能なバイナリ カウンタです。同期リセット入力 (R) が High になると、ほかの入力は無視され、クロック (C) が Low から High に切り替わるときと High から Low に切り替わるときに出力 (Q)、ターミナル カウンタ (TC)、およびクロック イネーブル出力 (CEO) が 0 になります。

ロード イネーブル入力 (L) が High の場合、クロック (C) が Low から High、または High から Low に切り替わるときに、CE の値に関係なく、D 入力の値がカウンタにロードされます。CE が High の場合、クロックが Low から High、または High から Low に切り替わるときに Q 出力がインクリメントされます。CE が Low の場合、クロック遷移は無視されます。すべての Q 出力が High になると、TC 出力が High になります。すべての Q 出力と CE が High になると、CEO 出力が High になるので、カウンタを直接カスケード接続できます。

1 段目の CEO 出力を次の段の CE 入力に接続し、C、L、および R 入力を並列に接続すると、より大型のカウンタを作成できます。TC と CE が High になると、CEO がアクティブ (High) になります。カウンタの長さの最大値は、CE ピンと TC ピン間の伝搬遅延の合計とクロック周期の関係によって決定されます。クロック周期は、 $n(t_{CE-TC})$ より大きい必要があります。ここで、 n は段数、時間 t_{CE-TC} は各段での CE ピンと TC ピン間の伝搬遅延を表します。カウンタをカスケードする場合、CE 入力を使用するときは CEO 出力を、CE 入力を使用しないときは TC 出力を使用します。

電力を供給すると、カウンタは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

論理表

入力					出力		
R	L	CE	C	Dz : D0	Qz : Q0	TC	CEO
1	X	X	↑	X	0	0	0
1	X	X	↓	X	0	0	0
0	1	X	↑	Dn	Dn	TC	CEO
0	1	X	↓	Dn	Dn	TC	CEO
0	0	0	X	X	変化なし	変化なし	0
0	0	1	↑	X	インクリメント	TC	CEO
0	0	1	↓	X	インクリメント	TC	CEO
z = ビット幅 - 1 $TC = Qz \cdot Q(z-1) \cdot Q(z-2) \cdot \dots \cdot Q0$ $CEO = TC \cdot CE$							

デザインの入力方法

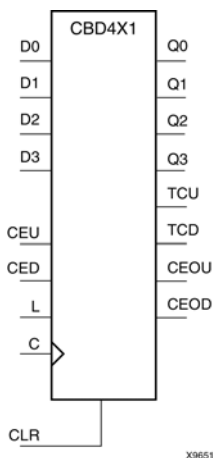
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

CBD4X1

マクロ : 4-Bit Loadable Cascadable Bidirectional Dual Edge Triggered Binary Counter with Clock Enable and Asynchronous Clear



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

概要

このデザイン エLEMENTは、クロックの両エッジで動作する同期ロード可能、非同期クリア可能な双方向バイナリ カウンタです。このカウンタには、アップとダウンの両方向に対してそれぞれカウント イネーブル入力と同期ターミナル カウント出力があり、高速カスケードがサポートされています。

非同期クリア入力 (CLR) が最も優先される入力で、CLR が High になると、ほかのすべての入力は無視されます。クロック遷移に関係なく、出力 (Q) は 0、ターミナル カウント出力 TCU と TCD はそれぞれ 0 と 1、クロック イネーブル出力 CEOU と CEOD はそれぞれ Low と High になります。ロード イネーブル入力 (L) が High の場合、クロック (C) が Low から High、または High から Low に切り替わるときに、CE 入力に関係なく、D 入力の値がカウンタにロードされます。

CEU が High、CLR と L が Low の場合、クロックが Low から High、または High から Low に切り替わるときに Q 出力がインクリメントされます。CED が High、CLR と L が Low の場合、Q 出力がデクリメントされます。CEU と CED が Low の場合、クロック遷移は無視されます。クロック遷移の際に CEU と CED の両方を High にしないでください。CEU と CED が両方とも High になっていると、カスケード接続した場合に CEOU および CEOD 出力が正しく機能しません。

カウントアップする場合、すべての Q 出力と CEU が High になると CEOU 出力が High になります。カウントダウンする場合、すべての Q 出力が Low、CED が High になると CEOD 出力が High になります。カウンタをカスケード接続するには、各カウンタの CEOU および CEOD 出力をそれぞれ次の段の CEU および CED 入力に直接接続します。クロック、L、CLR の入力は、並列に接続します。

すべてのカウントおよびロード機能に対して、カウンタをいくつカスケード接続しても、カウンタの最大クロック周波数は影響を受けません。すべての Q 出力が High になると、CEU に関係なく、TCU ターミナル カウント出力が High になります。すべての Q 出力が Low になると、CED に関係なく、TCD 出力は High になります。

カウンタをカスケード接続する場合、最終的なターミナル カウント信号は、TCU 出力 (アップ方向) と TCD 出力 (ダウン方向) をすべて接続した AND ゲートで生成されます。TCU、CEOU、CEOD の各出力は、コンポーネント内の最適化可能な AND ゲートによって生成されます。したがって、これらの出力からの接続がすべてオンチップであれば、CEU および CED の入力と Q 出力のピン間の伝搬遅延がゼロになります。すべてがオンチップでない場合は、マクロセルバッファ遅延が発生します。

電力を供給すると、カウンタは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

論理表

入力						出力				
CLR	L	CEU	CED	C	Dz - D0	Qz - Q0	TCU	TCD	CEOU	CEOD
1	X	X	X	X	X	0	0	1	0	CEOD
0	1	X	X	↑	Dn	Dn	TCU	TCD	CEOU	CEOD
0	1	X	X	↓	Dn	Dn	TCU	TCD	CEOU	CEOD
0	0	0	0	X	X	変化なし	変化なし	変化なし	0	0
0	0	1	0	↑	X	インクリメント	TCU	TCD	CEOU	0
0	0	1	0	↓	X	インクリメント	TCU	TCD	CEOU	0
0	0	0	1	↑	X	デクリメント	TCU	TCD	0	CEOD
0	0	0	1	↓	X	デクリメント	TCU	TCD	0	CEOD
0	0	1	1	↑	X	インクリメント	TCU	TCD	無効	無効
0	0	1	1	↓	X	インクリメント	TCU	TCD	無効	無効

$z = \text{ビット幅} - 1$
 $TCU = Qz \cdot Q(z-1) \cdot Q(z-2) \cdot \dots \cdot Q0$
 $TCD = Qz \cdot Q(z-1) \cdot Q(z-2) \cdot \dots \cdot Q0$
 $CEOU = TCU \cdot CEU$
 $CEOD = TCD \cdot CED$

デザインの入力方法

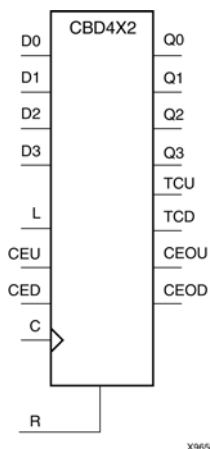
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

CBD4X2

マクロ : 4-Bit Loadable Cascadable Bidirectional Dual Edge Triggered Binary Counter with Clock Enable and Synchronous Reset



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

概要

このデザイン エLEMENTは、クロックの両エッジで動作する同期、ロード可能、リセット可能な双方向バイナリ カウンタです。このカウンタには、アップとダウンの両方向に対してそれぞれカウント イネーブル入力と同期ターミナル カウント出力があり、高速カスケードがサポートされています。

同期リセット入力 (R) は最も優先される入力で、R が High になるとほかのすべての入力は無視されます。クロック (C) が Low から High に切り替わるときと High から Low に切り替わるときに、出力 (Q) の値は 0 に、ターミナル カウント出力 TCU と TCD はそれぞれ 0 と 1 に、クロック イネーブル出力 CEOU と CEOD はそれぞれ Low と High になります。ロード イネーブル入力 (L) が High の場合、クロック (C) が Low から High、または High から Low に切り替わるときに、CE 入力に関係なく、D 入力の値がカウンタにロードされます。

CEU が High、R と L が Low の場合、クロックが Low から High、または High から Low に切り替わるときにすべての Q 出力がインクリメントされます。CED が High、R と L が Low の場合、すべての Q 出力がデクリメントされます。CEU と CED が Low の場合、クロック遷移は無視されます。クロック遷移の際に CEU と CED の両方を High にしないでください。CEU と CED が両方とも High になっていると、カスケード接続した場合に CEOU および CEOD 出力が正しく機能しません。

カウントアップする場合、すべての Q 出力と CEU が High になると CEOU 出力が High になります。カウントダウンする場合、すべての Q 出力が Low、CED が High になると CEOD 出力が High になります。カウンタをカスケード接続するには、各カウンタの CEOU 出力および CEOD 出力をそれぞれ次の段の CEU および CED 入力に直接接続します。C、L、および R 入力は、並列に接続します。

すべてのカウントおよびロード機能に対して、カウンタをいくつカスケード接続しても、カウンタ コンポーネントの最大クロック周波数は影響を受けません。すべての Q 出力が High になると、CEU に関係なく、TCU ターミナル カウント出力が High になります。すべての Q 出力が Low になると、CED に関係なく、TCD 出力は High になります。

カウンタをカスケード接続する場合、最終的なターミナル カウント信号は、TCU 出力 (アップ方向) と TCD 出力 (ダウン方向) をすべて接続した AND ゲートで生成されます。TCU、CEOU、CEOD の各出力は、コンポーネント内の最適化可能な AND ゲートによって生成されます。したがって、これらの出力からの接続がすべてオンチップであれば、CEU および CED の入力と Q 出力のピン間の伝搬遅延がゼロになります。すべてがオンチップでない場合は、マクロセルバッファ遅延が発生します。

電力を供給すると、カウンタは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

論理表

入力						出力				
R	L	CEU	CED	C	Dz : D0	Qz : Q0	TCU	TCD	CEOU	CEOD
1	X	X	X	↑	X	0	0	1	0	CEOD
1	X	X	X	↓	X	0	0	1	0	CEOD
0	1	X	X	↑	Dn	Dn	TCU	TCD	CEOU	CEOD
0	1	X	X	↓	Dn	Dn	TCU	TCD	CEOU	CEOD
0	0	0	0	X	X	変化なし	変化なし	変化なし	0	0
0	0	1	0	↑	X	インクリメント	TCU	TCD	CEOU	0
0	0	1	0	↓	X	インクリメント	TCU	TCD	CEOU	0
0	0	0	1	↑	X	デクリメント	TCU	TCD	0	CEOD
0	0	0	1	↓	X	デクリメント	TCU	TCD	0	CEOD
0	0	1	1	↑	X	インクリメント	TCU	TCD	無効	無効
0	0	1	1	↓	X	インクリメント	TCU	TCD	無効	無効

$z = \text{ビット幅} - 1$

$TCU = Qz \cdot Q(z-1) \cdot Q(z-2) \cdot \dots \cdot Q0$

$TCD = Qz \cdot Q(z-1) \cdot Q(z-2) \cdot \dots \cdot Q0$

$CEOU = TCU \cdot CEU$

$CEOD = TCD \cdot CED$

デザインの入力方法

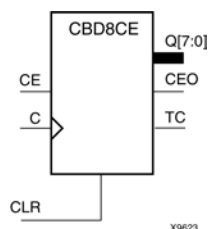
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

CBD8CE

マクロ : 8-Bit Cascadable Dual Edge Triggered Binary Counter with Clock Enable and Asynchronous Clear



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

概要

このデザイン エLEMENTは、両エッジで動作する非同期クリア可能、カスケード可能なバイナリカウンタです。非同期クリア (CLR) 入力が高になると、ほかのすべての入力は無視され、クロック (C) の遷移に関係なく、出力 (Q)、ターミナルカウンタ (TC)、およびクロックイネーブル出力 (CEO) が 0 になります。クロックイネーブル入力 (CE) が High の場合、クロック (C) が Low から High、または High から Low に切り替わるときに出力 (Q) がインクリメントされます。CE が Low の場合、クロック遷移は無視されます。すべての Q 出力が高になると、TC 出力が高になります。

1 段目の CEO 出力を次の段の CE 入力に接続し、C および CLR 入力を並列に接続すると、より大型のカウンタを作成できます。TC と CE が High になると、CEO がアクティブ (High) になります。カウンタの長さの最大値は、CE ピンと TC ピン間の伝搬遅延の合計とクロック周期の関係によって決定されます。クロック周期は、 $n(t_{CE-TC})$ より大きい必要があります。ここで、 n は段数、時間 t_{CE-TC} は各段での CE ピンと TC ピン間の伝搬遅延を表します。カウンタをカスケードする場合、CE 入力を使用するときは CEO 出力を、CE 入力を使用しないときは TC 出力を使用します。

電力を供給すると、カウンタは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

論理表

入力			出力		
CLR	CE	C	Qz : Q0	TC	CEO
1	X	X	0	0	0
0	0	X	変化なし	変化なし	0
0	1	↑	インクリメント	TC	CEO
0	1	↓	インクリメント	TC	CEO
z = ビット幅 - 1 $TC = Qz \cdot Q(z-1) \cdot Q(z-2) \cdot \dots \cdot Q0$ $CEO = TC \cdot CE$					

デザインの入力方法

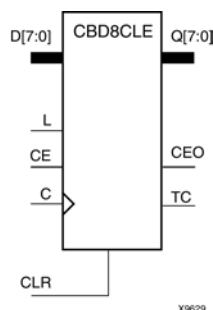
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

CBD8CLE

マクロ : 8-Bit Loadable Cascadable Dual Edge Triggered Binary Counter with Clock Enable and Asynchronous Clear



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

概要

このデザイン エLEMENTは、クロックの両エッジで動作する同期ロード可能、非同期クリア可能、カスケード可能な双方向バイナリカウンタです。非同期クリア (CLR) 入力が高レベルになると、ほかのすべての入力は無視され、クロック (C) の遷移に関係なく、出力 (Q)、ターミナル カウンタ (TC)、およびクロック イネーブル出力 (CEO) が 0 になります。ロード イネーブル入力 (L) が High の場合、クロックが Low から High に切り替わるたびに、クロック イネーブル (CE) の値に関係なく、入力 (D) の値がカウンタにロードされます。CE が High の場合、クロックが Low から High、または High から Low に切り替わるたびに Q 出力がインクリメントされます。CE が Low の場合、クロック遷移は無視されます。すべての Q 出力が高レベルになると、TC 出力が高レベルになります。

1 段目の CEO 出力を次の段の CE 入力に接続し、C、L、および CLR 入力を並列に接続すると、より大型のカウンタを作成できます。TC と CE が High になると、CEO がアクティブ (High) になります。カウンタの長さの最大値は、CE ピンと TC ピン間の伝搬遅延の合計とクロック周期の関係によって決定されます。クロック周期は、 $n(t_{CE-TC})$ より大きい必要があります。ここで、 n は段数、時間 t_{CE-TC} は各段での CE ピンと TC ピン間の伝搬遅延を表します。カウンタをカスケードする場合、CE 入力を使用するときは CEO 出力を、CE 入力を使用しないときは TC 出力を使用します。

電力を供給すると、カウンタは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

論理表

入力					出力		
CLR	L	CE	C	Dz : D0	Qz : Q0	TC	CEO
1	X	X	X	X	0	0	0
0	1	X	↑	Dn	Dn	TC	CEO
0	1	X	↓	Dn	Dn	TC	CEO
0	0	0	X	X	変化なし	変化なし	0
0	0	1	↑	X	インクリメント	TC	CEO
0	0	1	↓	X	インクリメント	TC	CEO

$z = \text{ビット幅} - 1$
 $TC = Qz \cdot Q(z-1) \cdot Q(z-2) \cdot \dots \cdot Q0$
 $CEO = TC \cdot CE$

デザインの入力方法

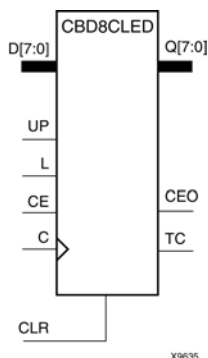
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

CBD8CLED

マクロ : 8-Bit Loadable Cascadable Bidirectional Dual Edge Triggered Binary Counter with Clock Enable and Asynchronous Clear



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

概要

このデザイン エLEMENTは、クロックの両エッジで動作する同期ロード可能、非同期クリア可能、カスケード可能な双方向バイナリカウンタです。非同期クリア (CLR) 入力が高レベルになると、ほかのすべての入力は無視され、クロック (C) の遷移に関係なく、出力 (Q)、ターミナルカウンタ (TC)、およびクロックイネーブル出力 (CEO) が 0 になります。ロードイネーブル入力 (L) が High の場合、クロック (C) が Low から High に切り替わるときに、クロックイネーブル (CE) の値に関係なく、入力 (D) の値がカウンタにロードされます。CE が High、UP が Low の場合、クロックが Low から High、または High から Low に切り替わるときに、Q 出力がデクリメントされます。CE と UP が High の場合、Q 出力がインクリメントされます。CE が Low の場合、クロック遷移は無視されます。

カウントアップする場合、すべての Q 出力と UP が High になると TC 出力が High になります。カウントダウンする場合、すべての Q 出力と UP が Low になると TC 出力が High になります。

1 段目の CEO 出力を次の段の CE 入力に接続し、C、UP、L、および CLR 入力を並列に接続すると、より大型のカウンタを作成できます。TC と CE が High になると、CEO がアクティブ (High) になります。カウンタの長さの最大値は、CE ピンと TC ピン間の伝搬遅延の合計とクロック周期の関係によって決定されます。クロック周期は、 $n(t_{CE-TC})$ より大きい必要があります。ここで、 n は段数、時間 t_{CE-TC} は各段での CE ピンと TC ピン間の伝搬遅延を表します。カウンタをカスケードする場合、CE 入力を使用するときは CEO 出力を、CE 入力を使用しないときは TC 出力を使用します。

高速カスケードが可能な双方向カウンタの詳細は、CB2X1、CB4X1、CB8X1、CB16X1 を参照してください。

電力を供給すると、カウンタは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

論理表

入力						出力		
CLR	L	CE	C	UP	Dz : D0	Qz : Q0	TC	CEO
1	X	X	X	X	X	0	0	0
0	1	X	↑	X	Dn	Dn	TC	CEO
0	1	X	↓	X	Dn	Dn	TC	CEO
0	0	0	X	X	X	変化なし	変化なし	0
0	0	1	↑	1	X	インクリメント	TC	CEO
0	0	1	↓	1	X	インクリメント	TC	CEO
0	0	1	↑	0	X	デクリメント	TC	CEO
0	0	1	↓	0	X	デクリメント	TC	CEO

$z = \text{ビット幅} - 1$
 $TC = (Qz \cdot Q(z-1) \cdot Q(z-2) \cdot \dots \cdot Q0 \cdot UP) + (Qz \cdot Q(z-1) \cdot Q(z-2) \cdot \dots \cdot Q0 \cdot \overline{UP})$
 $CEO = TC \cdot CE$

デザインの入力方法

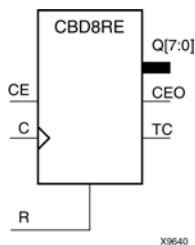
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

CBD8RE

マクロ : 8-Bit Cascadable Dual Edge Triggered Binary Counter with Clock Enable and Synchronous Reset



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

概要

このデザイン エLEMENTは、クロックの両エッジで動作する同期、リセット可能、カスケード可能なバイナリ カウンタです。同期リセット入力 (R) が High になると、ほかの入力は無視され、クロック (C) が Low から High に切り替わるときと High から Low に切り替わるときに出力 (Q)、ターミナル カウンタ (TC)、およびクロック イネーブル出力 (CEO) が 0 になります。クロック イネーブル入力 (CE) が High の場合、クロック (C) が Low から High、または High から Low に切り替わるときに出力 (Q) がインクリメントされます。CE が Low の場合、クロック遷移は無視されます。すべての Q 出力が High になると、TC 出力が High になります。

1 段目の CEO 出力を次の段の CE 入力に接続し、C および R 入力を並列に接続すると、より大型のカウンタを作成できます。TC と CE が High になると、CEO がアクティブ (High) になります。カウンタの長さの最大値は、CE ピンと TC ピン間の伝搬遅延の合計とクロック周期の関係によって決定されます。クロック周期は、 $n(t_{CE-TC})$ より大きい必要があります。ここで、 n は段数、時間 t_{CE-TC} は各段での CE ピンと TC ピン間の伝搬遅延を表します。カウンタをカスケードする場合、CE 入力を使用するときは CEO 出力を、CE 入力を使用しないときは TC 出力を使用します。

電力を供給すると、カウンタは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

論理表

入力			出力		
R	CE	C	Qz - Q0	TC	CEO
1	X	↑	0	0	0
1	X	↓	0	0	0
0	0	X	変化なし	変化なし	0
0	1	↑	インクリメント	TC	CEO
0	1	↓	インクリメント	TC	CEO
z = ビット幅 - 1 $TC = Qz \cdot Q(z-1) \cdot Q(z-2) \cdot \dots \cdot Q0$ $CEO = TC \cdot CE$					

デザインの入力方法

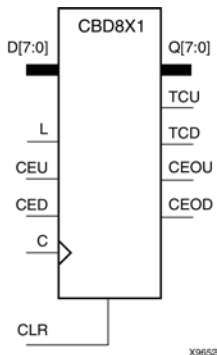
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

CBD8X1

マクロ : 8-Bit Loadable Cascadable Bidirectional Dual Edge Triggered Binary Counter with Clock Enable and Asynchronous Clear



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

概要

このデザイン エLEMENTは、クロックの両エッジで動作する同期ロード可能、非同期クリア可能な双方向バイナリ カウンタです。このカウンタには、アップとダウンの両方向に対してそれぞれカウント イネーブル入力と同期ターミナル カウント出力があり、高速カスケードがサポートされています。

非同期クリア入力 (CLR) が最も優先される入力で、CLR が High になると、ほかのすべての入力は無視されます。クロック遷移に関係なく、出力 (Q) は 0、ターミナル カウント出力 TCU と TCD はそれぞれ 0 と 1、クロック イネーブル出力 CEOU と CEOD はそれぞれ Low と High になります。ロード イネーブル入力 (L) が High の場合、クロック (C) が Low から High、または High から Low に切り替わる時に、CE 入力に関係なく、D 入力の値がカウンタにロードされます。

CEU が High、CLR と L が Low の場合、クロックが Low から High、または High から Low に切り替わる時に Q 出力がインクリメントされます。CED が High、CLR と L が Low の場合、Q 出力がデクリメントされます。CEU と CED が Low の場合、クロック遷移は無視されます。クロック遷移の際に CEU と CED の両方を High にしないでください。CEU と CED が両方とも High になっていると、カスケード接続した場合に CEOU および CEOD 出力が正しく機能しません。

カウントアップする場合、すべての Q 出力と CEU が High になると CEOU 出力が High になります。カウントダウンする場合、すべての Q 出力が Low、CED が High になると CEOD 出力が High になります。カウンタをカスケード接続するには、各カウンタの CEOU および CEOD 出力をそれぞれ次の段の CEU および CED 入力に直接接続します。クロック、L、CLR の入力は、並列に接続します。

すべてのカウントおよびロード機能に対して、カウンタをいくつカスケード接続しても、カウンタの最大クロック周波数は影響を受けません。すべての Q 出力が High になると、CEU に関係なく、TCU ターミナル カウント出力が High になります。すべての Q 出力が Low になると、CED に関係なく、TCD 出力は High になります。

カウンタをカスケード接続する場合、最終的なターミナル カウント信号は、TCU 出力 (アップ方向) と TCD 出力 (ダウン方向) をすべて接続した AND ゲートで生成されます。TCU、CEOU、CEOD の各出力は、コンポーネント内の最適化可能な AND ゲートによって生成されます。したがって、これらの出力からの接続がすべてオンチップであれば、CEU および CED の入力と Q 出力のピン間の伝搬遅延がゼロになります。すべてがオンチップでない場合は、マクロセルバッファ遅延が発生します。

電力を供給すると、カウンタは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

論理表

入力						出力				
CLR	L	CEU	CED	C	Dz - D0	Qz - Q0	TCU	TCD	CEOU	CEOD
1	X	X	X	X	X	0	0	1	0	CEOD
0	1	X	X	↑	Dn	Dn	TCU	TCD	CEOU	CEOD
0	1	X	X	↓	Dn	Dn	TCU	TCD	CEOU	CEOD
0	0	0	0	X	X	変化なし	変化なし	変化なし	0	0
0	0	1	0	↑	X	インクリメント	TCU	TCD	CEOU	0
0	0	1	0	↓	X	インクリメント	TCU	TCD	CEOU	0
0	0	0	1	↑	X	デクリメント	TCU	TCD	0	CEOD
0	0	0	1	↓	X	デクリメント	TCU	TCD	0	CEOD
0	0	1	1	↑	X	インクリメント	TCU	TCD	無効	無効
0	0	1	1	↓	X	インクリメント	TCU	TCD	無効	無効

$z = \text{ビット幅} - 1$
 $TCU = Qz \cdot Q(z-1) \cdot Q(z-2) \cdot \dots \cdot Q0$
 $TCD = Qz \cdot Q(z-1) \cdot Q(z-2) \cdot \dots \cdot Q0$
 $CEOU = TCU \cdot CEU$
 $CEOD = TCD \cdot CED$

デザインの入力方法

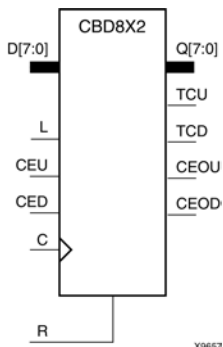
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

CBD8X2

マクロ : 8-Bit Loadable Cascadable Bidirectional Dual Edge Triggered Binary Counter with Clock Enable and Synchronous Reset



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

概要

このデザイン エLEMENTは、クロックの両エッジで動作する同期、ロード可能、リセット可能な双方向バイナリ カウンタです。このカウンタには、アップとダウンの両方向に対してそれぞれカウント イネーブル入力と同期ターミナル カウント出力があり、高速カスケードがサポートされています。

同期リセット入力 (R) は最も優先される入力で、R が High になるとほかのすべての入力は無視されます。クロック (C) が Low から High に切り替わるときと High から Low に切り替わるときに、出力 (Q) の値は 0 に、ターミナル カウント出力 TCU と TCD はそれぞれ 0 と 1 に、クロック イネーブル出力 CEOU と CEOD はそれぞれ Low と High になります。ロード イネーブル入力 (L) が High の場合、クロック (C) が Low から High、または High から Low に切り替わるときに、CE 入力に関係なく、D 入力の値がカウンタにロードされます。

CEU が High、R と L が Low の場合、クロックが Low から High、または High から Low に切り替わるときにすべての Q 出力がインクリメントされます。CED が High、R と L が Low の場合、すべての Q 出力がデクリメントされます。CEU と CED が Low の場合、クロック遷移は無視されます。クロック遷移の際に CEU と CED の両方を High にしないでください。CEU と CED が両方とも High になっていると、カスケード接続した場合に CEOU および CEOD 出力が正しく機能しません。

カウント アップする場合、すべての Q 出力と CEU が High になると CEOU 出力が High になります。カウント ダウンする場合、すべての Q 出力が Low、CED が High になると CEOD 出力が High になります。カウンタをカスケード接続するには、各カウンタの CEOU 出力および CEOD 出力をそれぞれ次の段の CEU および CED 入力に直接接続します。C、L、および R 入力は、並列に接続します。

すべてのカウントおよびロード機能に対して、カウンタをいくつカスケード接続しても、カウンタ コンポーネントの最大クロック周波数は影響を受けません。すべての Q 出力が High になると、CEU に関係なく、TCU ターミナル カウント出力が High になります。すべての Q 出力が Low になると、CED に関係なく、TCD 出力は High になります。

カウンタをカスケード接続する場合、最終的なターミナル カウント信号は、TCU 出力 (アップ方向) と TCD 出力 (ダウン方向) をすべて接続した AND ゲートで生成されます。TCU、CEOU、CEOD の各出力は、コンポーネント内の最適化可能な AND ゲートによって生成されます。したがって、これらの出力からの接続がすべてオンチップであれば、CEU および CED の入力と Q 出力のピン間の伝搬遅延がゼロになります。すべてがオンチップでない場合は、マクロセルバッファ遅延が発生します。

電力を供給すると、カウンタは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

論理表

入力						出力				
R	L	CEU	CED	C	Dz : D0	Qz : Q0	TCU	TCD	CEOU	CEOD
1	X	X	X	↑	X	0	0	1	0	CEOD
1	X	X	X	↓	X	0	0	1	0	CEOD
0	1	X	X	↑	Dn	Dn	TCU	TCD	CEOU	CEOD
0	1	X	X	↓	Dn	Dn	TCU	TCD	CEOU	CEOD
0	0	0	0	X	X	変化なし	変化なし	変化なし	0	0
0	0	1	0	↑	X	インクリメント	TCU	TCD	CEOU	0
0	0	1	0	↓	X	インクリメント	TCU	TCD	CEOU	0
0	0	0	1	↑	X	デクリメント	TCU	TCD	0	CEOD
0	0	0	1	↓	X	デクリメント	TCU	TCD	0	CEOD
0	0	1	1	↑	X	インクリメント	TCU	TCD	無効	無効
0	0	1	1	↓	X	インクリメント	TCU	TCD	無効	無効

$z = \text{ビット幅} - 1$

$TCU = Qz \cdot Q(z-1) \cdot Q(z-2) \cdot \dots \cdot Q0$

$TCD = Qz \cdot Q(z-1) \cdot Q(z-2) \cdot \dots \cdot Q0$

$CEOU = TCU \cdot CEU$

$CEOD = TCD \cdot CED$

デザインの入力方法

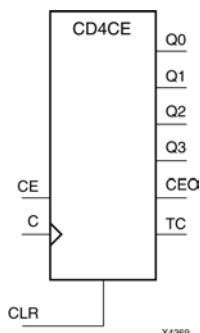
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

CD4CE

マクロ : 4-Bit Cascadable BCD Counter with Clock Enable and Asynchronous Clear



サポートされているアーキテクチャ

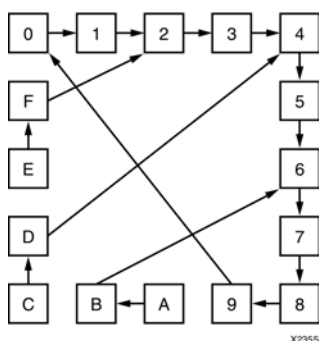
このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

CD4CE は、4 ビットの非同期、クリア可能、カスケード可能な 2 進 10 進法 (BCD) のカウンタです。非同期クリア入力 (CLR) が最も優先される入力で、High の場合、クロック (C) の遷移に関係なく、Q 出力、ターミナル カウント (TC)、クロック イネーブル出力 (CEO) が 0 になります。クロック イネーブル (CE) が High の場合、クロック (C) が Low から High に切り替わるときに Q 出力がインクリメントされます。CE が Low の場合、クロック遷移は無視されます。Q3 と Q0 が High、Q2 と Q1 が Low になると、TC 出力が High になります。

次のステート ダイアグラムに示すように、カウンタは 6 通りの無効状態から 2 クロック サイクル以内に通常のカウントシーケンスに復帰します。



1 段目の CEO 出力を次の段の CE 入力に接続し、C および CLR 入力を並列に接続すると、より大型のカウンタを作成できます。TC と CE が High になると、CEO がアクティブ (High) になります。カウンタの長さの最大値は、CE ピンと TC ピン間の伝搬遅延の合計とクロック周期の関係によって決定されます。クロック周期は、 $n(t_{CE-TC})$ より大きい必要があります。ここで、 n は段数、時間 t_{CE-TC} は各段での CE ピンと TC ピン間の伝搬遅延を表します。カウンタをカスケードする場合、CE 入力を使用するときは CEO 出力を、CE 入力を使用しないときは TC 出力を使用します。

電力を供給すると、カウンタは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

論理表

入力			出力					
CLR	CE	C	Q3	Q2	Q1	Q0	TC	CEO
1	X	X	0	0	0	0	0	0
0	1	↑	インクリメント	インクリメント	インクリメント	インクリメント	TC	CEO
0	0	X	変化なし	変化なし	変化なし	変化なし	TC	0
0	1	X	1	0	0	1	1	1
TC = Q3·!Q2·!Q1·Q0								
CEO = TC·CE								

デザインの入力方法

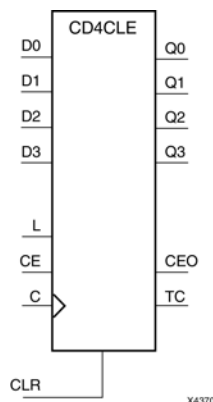
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

CD4CLE

マクロ : 4-Bit Loadable Cascadable BCD Counter with Clock Enable and Asynchronous Clear



サポートされているアーキテクチャ

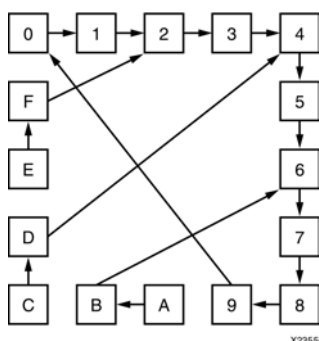
このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

CD4CLE は、4 ビットの同期ロード可能、非同期クリア可能、カスケード可能なバイナリ カウンタです。非同期クリア入力 (CLR) が最も優先される入力で、High の場合、クロック (C) の遷移に関係なく、Q 出力、ターミナル カウント (TC)、クロック イネーブル出力 (CEO) が 0 になります。ロード イネーブル入力 (L) が High の場合、クロック (C) が Low から High に切り替わるときに D 入力の値がカウンタにロードされます。クロック イネーブル入力 (CE) が High の場合、クロックが Low から High に切り替わるときに Q 出力がインクリメントされます。CE が Low の場合、クロック遷移は無視されます。Q3 と Q0 が High、Q2 と Q1 が Low になると、TC 出力が High になります。

次のステート ダイアグラムに示すように、カウンタは 6 通りの無効状態から 2 クロック サイクル以内に通常のカウントシーケンスに復帰します。



1 段目の CEO 出力を次の段の CE 入力に接続し、C、L、および CLR 入力を並列に接続すると、より大型のカウンタを作成できます。TC と CE が High になると、CEO がアクティブ (High) になります。カウンタの長さの最大値は、CE ピンと TC ピン間の伝搬遅延の合計とクロック周期の関係によって決定されます。クロック周期は、 $n(t_{CE-TC})$ より大きい必要があります。ここで、 n は段数、時間 t_{CE-TC} は各段での CE ピンと TC ピン間の伝搬遅延を表します。カウンタをカスケードする場合、CE 入力を使用するときは CEO 出力を、CE 入力を使用しないときは TC 出力を使用します。

電力を供給すると、カウンタは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

論理表

入力					出力					
CLR	L	CE	D3 : D0	C	Q3	Q2	Q1	Q0	TC	CEO
1	X	X	X	X	0	0	0	0	0	0
0	1	X	D3 : D0	↑	D3	D2	D1	D0	TC	CEO
0	0	1	X	↑	インクリメント	インクリメント	インクリメント	インクリメント	TC	CEO
0	0	0	X	X	変化なし	変化なし	変化なし	変化なし	TC	0
0	0	1	X	X	1	0	0	1	1	1
TC = Q3·!Q2·!Q1·Q0										
CEO = TC·CE										

デザインの入力方法

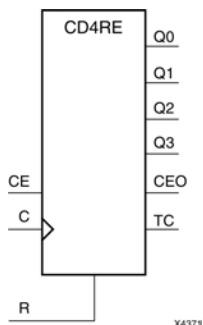
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

CD4RE

マクロ : 4-Bit Cascadable BCD Counter with Clock Enable and Synchronous Reset



サポートされているアーキテクチャ

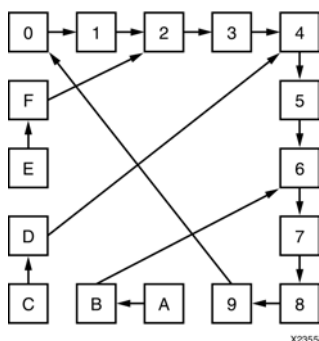
このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

CD4RE は、4 ビットの同期、リセット可能、カスケード可能な 2 進法 10 進法 (BCD) のカウンタです。同期リセット入力 (R) は最も優先される入力であり、R が High になるとほかのすべての入力は無視され、クロック (C) が Low から High に切り替わるたびに、Q 出力、ターミナル カウント (TC)、クロック イネーブル出力 (CEO) が 0 になります。クロック イネーブル入力 (CE) が High の場合、クロックが Low から High に切り替わるたびに Q 出力がインクリメントされます。CE が Low の場合、クロック遷移は無視されます。Q3 と Q0 が High、Q2 と Q1 が Low になると、TC 出力が High になります。

次のステート ダイアグラムに示すように、カウンタは 6 通りの無効状態から 2 クロック サイクル以内に通常のカウントシーケンスに復帰します。



1 段目の CEO 出力を次の段の CE 入力に接続し、C および R 入力を並列に接続すると、より大型のカウンタを作成できます。TC と CE が High になると、CEO がアクティブ (High) になります。カウンタの長さの最大値は、CE ピンと TC ピン間の伝搬遅延の合計とクロック周期の関係によって決定されます。クロック周期は、 $n(t_{CE-TC})$ より大きい必要があります。ここで、 n は段数、時間 t_{CE-TC} は各段での CE ピンと TC ピン間の伝搬遅延を表します。カウンタをカスケードする場合、CE 入力を使用するときは CEO 出力を、CE 入力を使用しないときは TC 出力を使用します。

電力を供給すると、カウンタは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

論理表

入力			出力					
R	CE	C	Q3	Q2	Q1	Q0	TC	CEO
1	X	↑	0	0	0	0	0	0
0	1	↑	インクリメント	インクリメント	インクリメント	インクリメント	TC	CEO
0	0	X	変化なし	変化なし	変化なし	変化なし	TC	0
0	1	X	1	0	0	1	1	1
TC = Q3·!Q2·!Q1·Q0								
CEO = TC·CE								

デザインの入力方法

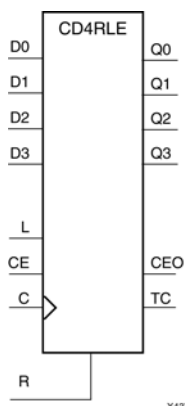
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

CD4RLE

マクロ : 4-Bit Loadable Cascadable BCD Counter with Clock Enable and Synchronous Reset



サポートされているアーキテクチャ

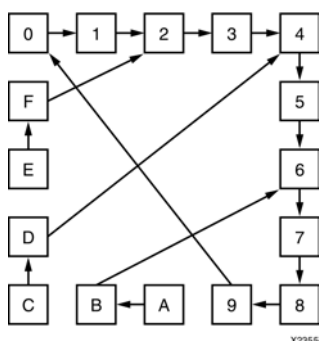
このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

CD4RLE は、4 ビットの同期、ロード可能、リセット可能な 2 進 10 進法 (BCD) カウンタです。同期リセット入力 (R) は最も優先される入力で、R が High になると、ほかのすべての入力は無視され、クロックが Low から High に切り替わるときに、Q 出力、ターミナル カウント (TC)、クロック イネーブル出力 (CEO) が 0 になります。ロード イネーブル入力 (L) が High の場合、クロック (C) が Low から High に切り替わるときに D 入力の値がカウンタにロードされます。クロック イネーブル入力 (CE) が High の場合、クロックが Low から High に切り替わるときに Q 出力がインクリメントされます。CE が Low の場合、クロック遷移は無視されます。Q3 と Q0 が High、Q2 と Q1 が Low になると、TC 出力が High になります。

次のステート ダイアグラムに示すように、カウンタは 6 通りの無効状態から 2 クロック サイクル以内に通常のカウントシーケンスに復帰します。



1 段目の CEO 出力を次の段の CE 入力に接続し、C、L、および R 入力を並列に接続すると、より大型のカウンタを作成できます。TC と CE が High になると、CEO がアクティブ (High) になります。カウンタの長さの最大値は、CE ピンと TC ピン間の伝搬遅延の合計とクロック周期の関係によって決定されます。クロック周期は、 $n(t_{CE-TC})$ より大きい必要があります。ここで、 n は段数、時間 t_{CE-TC} は各段での CE ピンと TC ピン間の伝搬遅延を表します。カウンタをカスケードする場合、CE 入力を使用するときは CEO 出力を、CE 入力を使用しないときは TC 出力を使用します。

電力を供給すると、カウンタは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

論理表

入力					出力					
R	L	CE	D3 : D0	C	Q3	Q2	Q1	Q0	TC	CEO
1	X	X	X	↑	0	0	0	0	0	0
0	1	X	D3 : D0	↑	D3	D	D	D0	TC	CEO
0	0	1	X	↑	インクリメント	インクリメント	インクリメント	インクリメント	TC	CEO
0	0	0	X	X	変化なし	変化なし	変化なし	変化なし	TC	0
0	0	1	X	X	1	0	0	1	1	1
TC = Q3·!Q2·!Q1·Q0										
CEO = TC·CE										

デザインの入力方法

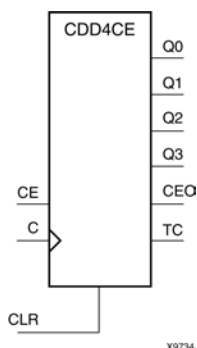
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

CDD4CE

マクロ : 4-Bit Cascadable Dual Edge Triggered BCD Counter with Clock Enable and Asynchronous Clear



サポートされているアーキテクチャ

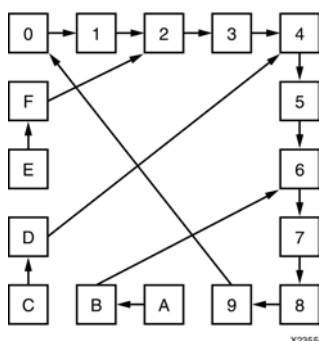
このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

概要

CDD4CE は、4 ビットの非同期、クリア可能、カスケード可能な 2 進法 10 進法 (BCD) のカウンタで、クロックの両エッジで動作します。非同期クリア入力 (CLR) が最も優先される入力で、High の場合、クロック (C) の遷移に関係なく、Q 出力、ターミナル カウント (TC)、クロック イネーブル出力 (CEO) が 0 になります。クロック イネーブル入力 (CE) が High の場合、クロック (C) が Low から High、または High から Low に切り替わるときに出力 (Q) がインクリメントされます。CE が Low の場合、クロック遷移は無視されます。Q3 と Q0 が High、Q2 と Q1 が Low になると、TC 出力が High になります。カウンタは、無効状態から 1 クロック サイクル以内に通常のカウント シーケンスに復帰します。

次のステート ダイアグラムに示すように、カウンタは 6 通りの無効状態から 2 クロック サイクル以内に通常のカウント シーケンスに復帰します。



1 段目の CEO 出力を次の段の CE 入力に接続し、C および CLR 入力を並列に接続すると、より大型のカウンタを作成できます。TC と CE が High になると、CEO がアクティブ (High) になります。カウンタの長さの最大値は、CE ピンと TC ピン間の伝搬遅延の合計とクロック周期の関係によって決定されます。クロック周期は、 $n(t_{CE-TC})$ より大きい必要があります。ここで、 n は段数、時間 t_{CE-TC} は各段での CE ピンと TC ピン間の伝搬遅延を表します。カウンタをカスケードする場合、CE 入力を使用するときは CEO 出力を、CE 入力を使用しないときは TC 出力を使用します。

電力を供給すると、カウンタは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

論理表

入力			出力					
CLR	CE	C	Q3	Q2	Q1	Q0	TC	CEO
1	X	X	0	0	0	0	0	0
0	1	↑	インクリメント	インクリメント	インクリメント	インクリメント	TC	CEO
0	1	↓	インクリメント	インクリメント	インクリメント	インクリメント	TC	CEO
0	0	X	変化なし	変化なし	変化なし	変化なし	TC	0
0	1	X	1	0	0	1	1	1
TC = Q3·!Q2·!Q1·Q0								

デザインの入力方法

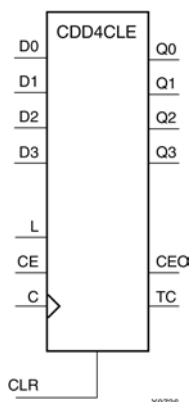
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

CDD4CLE

マクロ : 4-Bit Loadable Cascadable Dual Edge Triggered BCD Counter with Clock Enable and Asynchronous Clear



サポートされているアーキテクチャ

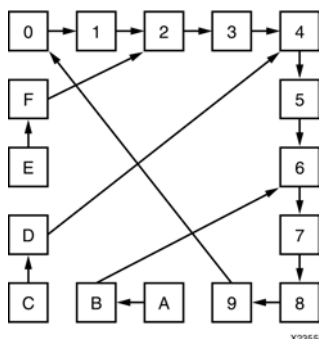
このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

概要

CDD4CLE は、4 ビットの同期ロード可能、非同期クリア可能、カスケード可能なバイナリ カウンタで、クロックの両エッジで動作します。非同期クリア入力 (CLR) が最も優先される入力で、High の場合、クロック (C) の遷移に関係なく、Q 出力、ターミナル カウント (TC)、クロック イネーブル出力 (CEO) が 0 になります。ロード イネーブル入力 (L) が High の場合、クロック (C) が Low から High、または High から Low に切り替わるときに D 入力の値がカウンタにロードされます。クロック イネーブル入力 (CE) が High の場合、クロックが Low から High に切り替わるときに Q 出力がインクリメントされます。CE が Low の場合、クロック遷移は無視されます。Q3 と Q0 が High、Q2 と Q1 が Low になると、TC 出力が High になります。カウンタは、無効状態から 1 クロック サイクル以内に通常のカウンタシーケンスに復帰します。

次のステート ダイアグラムに示すように、カウンタは 6 通りの無効状態から 2 クロック サイクル以内に通常のカウンタシーケンスに復帰します。



1 段目の CEO 出力を次の段の CE 入力に接続し、C、L、および CLR 入力を並列に接続すると、より大型のカウンタを作成できます。TC と CE が High になると、CEO がアクティブ (High) になります。カウンタの長さの最大値は、CE ピンと TC ピン間の伝搬遅延の合計とクロック周期の関係によって決定されます。クロック周期は、 $n(t_{CE-TC})$ より大きい必要があります。ここで、 n は段数、時間 t_{CE-TC} は各段での CE ピンと TC ピン間の伝搬遅延を表します。カウンタをカスケードする場合、CE 入力を使用するときは CEO 出力を、CE 入力を使用しないときは TC 出力を使用します。

電力を供給すると、カウンタは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

論理表

入力					出力					
CLR	L	CE	D3 : D0	C	Q3	Q2	Q1	Q0	TC	CEO
1	X	X	X	X	0	0	0	0	0	0
0	1	X	D3 : D0	↑	D3	D2	D1	D0	TC	CEO
0	1	X	D3 : D0	↓	D3	D2	D1	D0	TC	CEO
0	0	1	X	↑	インクリメント	インクリメント	インクリメント	インクリメント	TC	CEO
0	0	1	X	↓	インクリメント	インクリメント	インクリメント	インクリメント	TC	CEO
0	0	0	X	X	変化なし	変化なし	変化なし	変化なし	TC	0
0	0	1	X	X	1	0	0	1	1	1
TC = Q3·!Q2·!Q1·Q0										
CEO = TC·CE										

デザインの入力方法

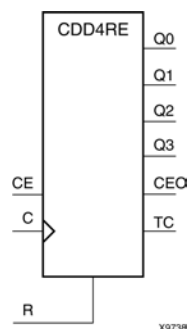
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

CDD4RE

マクロ : 4-Bit Cascadable Dual Edge Triggered BCD Counter with Clock Enable and Synchronous Reset



サポートされているアーキテクチャ

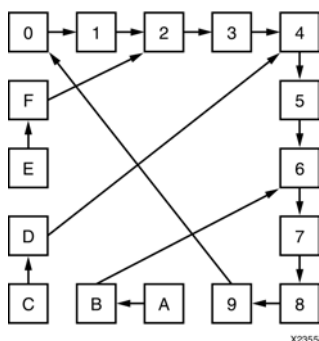
このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

概要

CDD4RE は、クロックの両エッジで動作する同期、リセット可能、カスケード可能な 2 進法 10 進法 (BCD) の 4 ビット カウンタです。同期リセット入力 (R) は最も優先される入力で、R が High になると、ほかのすべての入力は無視され、クロック (C) が Low から High に切り替わるときと High から Low に切り替わるときに、Q 出力、ターミナル カウント (TC)、クロック イネーブル出力 (CEO) が 0 になります。クロック イネーブル入力 (CE) が High の場合、クロック (C) が Low から High、または High から Low に切り替わるときに出力 (Q) がインクリメントされます。CE が Low の場合、クロック遷移は無視されます。Q3 と Q0 が High、Q2 と Q1 が Low になると、TC 出力が High になります。カウンタは、無効状態から 1 クロック サイクル以内に通常のカウンタ シーケンスに復帰します。

次のステート ダイアグラムに示すように、カウンタは 6 通りの無効状態から 2 クロック サイクル以内に通常のカウンタ シーケンスに復帰します。



1 段目の CEO 出力を次の段の CE 入力に接続し、C および R 入力を並列に接続すると、より大型のカウンタを作成できます。TC と CE が High になると、CEO がアクティブ (High) になります。カウンタの長さの最大値は、CE ピンと TC ピン間の伝搬遅延の合計とクロック周期の関係によって決定されます。クロック周期は、 $n(t_{CE-TC})$ より大きい必要があります。ここで、 n は段数、時間 t_{CE-TC} は各段での CE ピンと TC ピン間の伝搬遅延を表します。カウンタをカスケードする場合、CE 入力を使用するときは CEO 出力を、CE 入力を使用しないときは TC 出力を使用します。

電力を供給すると、カウンタは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

論理表

入力			出力					
R	CE	C	Q3	Q2	Q1	Q0	TC	CEO
1	X	↑	0	0	0	0	0	0
1	X	↓	0	0	0	0	0	0
0	1	↑	インクリメント	インクリメント	インクリメント	インクリメント	TC	CEO
0	1	↓	インクリメント	インクリメント	インクリメント	インクリメント	TC	CEO
0	0	X	変化なし	変化なし	変化なし	変化なし	TC	0
0	1	X	1	0	0	1	1	1
TC = $Q3 \cdot Q2 \cdot Q1 \cdot Q0$								
CEO = TC · CE								

デザインの入力方法

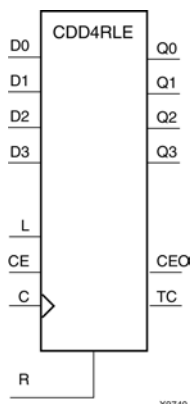
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

CDD4RLE

マクロ : 4-Bit Loadable Cascadable Dual Edge Triggered BCD Counter with Clock Enable and Synchronous Reset



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

概要

このデザイン エLEMENTは、クロックの両エッジで動作する同期、ロード可能、リセット可能な 2 進化 10 進法 (BCD) の 4 ビット カウンタです。同期リセット入力 (R) は最も優先される入力で、R が High になると、ほかのすべての入力は無視され、クロックが Low から High に切り替わるときと High から Low に切り替わるときに、Q 出力、ターミナル カウント (TC)、クロック イネーブル出力 (CEO) が 0 になります。ロード イネーブル入力 (L) が High の場合、クロック (C) が Low から High、または High から Low に切り替わるときに D 入力の値がカウンタにロードされます。クロック イネーブル入力 (CE) が High の場合、クロック (C) が Low から High、または High から Low に切り替わるときに出力 (Q) がインクリメントされます。CE が Low の場合、クロック遷移は無視されます。Q3 と Q0 が High、Q2 と Q1 が Low になると、TC 出力が High になります。カウンタは、無効状態から 1 クロック サイクル以内に通常のカウントシーケンスに復帰します。

1 段目のカウント イネーブル出力 (CEO) を次の段の CE 入力に接続し、R、L、C 入力を並列に接続すると、より大型のカウンタを作成できます。TC と CE が High になると、CEO がアクティブ (High) になります。カウンタの長さの最大値は、CE ピンと TC ピン間の伝搬遅延の合計とクロック周期の関係によって決定されます。クロック周期は、 $n(t_{CE-TC})$ より大きい必要があります。ここで、 n は段数、時間 t_{CE-TC} は各段での CE ピンと TC ピン間の伝搬遅延を表します。カウンタをカスケードする場合、CE 入力を使用するときは CEO 出力を、CE 入力を使用しないときは TC 出力を使用します。

電力を供給すると、カウンタは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

デザインの入力方法

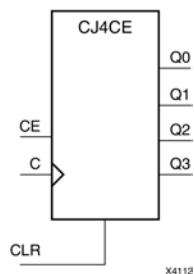
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

CJ4CE

4-Bit Johnson Counter with Clock Enable and Asynchronous Clear



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

このデザイン エLEMENTは、クリア可能なジョンソン/シフト カウンタです。非同期クリア (CLR) 入力が高レベルになると、ほかのすべての入力は無視され、クロック (C) の遷移に関係なく、出力 (Q) が 0 になります。クロック イネーブル入力 (CE) が High の場合、クロックが Low から High に切り替わるときにカウンタがインクリメント (Q0 → Q1、Q1 → Q2 のようにシフト) します。CE が Low の場合、クロック遷移は無視されます。

このデザイン エLEMENTでは、Q3 の出力が反転されて入力 Q0 にフィードバックされ、連続したカウント処理が行われます。

電力を供給すると、カウンタは非同期にクリアされ、出力が Low になります。

論理表

入力			出力	
CLR	CE	C	Q0	Q1 - Q3
1	X	X	0	0
0	0	X	変化なし	変化なし
0	1	↑	!q3	q0 - q2
q = アクティブなクロック エッジの 1 セットアップ タイム前の対応する出力の値				

デザインの入力方法

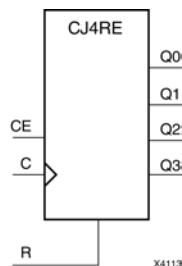
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

CJ4RE

マクロ : 4-Bit Johnson Counter with Clock Enable and Synchronous Reset



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

このデザイン エLEMENTは、リセット可能なジョンソン/シフト カウンタです。同期 R が High になると、ほかのすべての入力は無視され、クロック (C) が Low から High に切り替わるときに出力が 0 になります。クロック イネーブル入力 (CE) が High の場合、クロックが Low から High に切り替わるときにカウンタがインクリメント (Q0 → Q1、Q1 → Q2 のようにシフト) します。CE が Low の場合、クロック遷移は無視されます。

このデザイン エLEMENTでは、Q3 の出力が反転されて入力 Q0 にフィードバックされ、連続したカウント処理が行われます。

電力を供給すると、カウンタは非同期にクリアされ、出力が Low になります。

論理表

入力			出力	
R	CE	C	Q0	Q1 - Q3
1	X	↑	0	0
0	0	X	変化なし	変化なし
0	1	↑	!q3	q0 - q2
q = アクティブなクロック エッジの 1 セットアップ タイム前の対応する出力の値				

デザインの入力方法

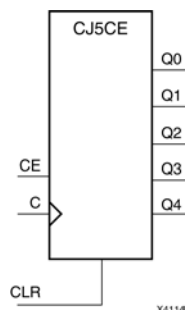
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

CJ5CE

マクロ : 5-Bit Johnson Counter with Clock Enable and Asynchronous Clear



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

このデザイン エLEMENTは、クリア可能なジョンソン/シフト カウンタです。非同期クリア (CLR) 入力が高レベルになると、ほかのすべての入力は無視され、クロック (C) の遷移に関係なく、出力 (Q) が 0 になります。クロック イネーブル入力 (CE) が High の場合、クロックが Low から High に切り替わるときにカウンタがインクリメント (Q0 → Q1、Q1 → Q2 のようにシフト) します。CE が Low の場合、クロック遷移は無視されます。

このデザイン エLEMENTでは、Q4 の出力が反転されて入力 Q0 にフィードバックされ、連続したカウント処理が行われます。

電力を供給すると、カウンタは非同期にクリアされ、出力が Low になります。

論理表

入力			出力	
CLR	CE	C	Q0	Q1 - Q4
1	X	X	0	0
0	0	X	変化なし	変化なし
0	1	↑	!q4	q0 - q3
q = アクティブなクロック エッジの 1 セットアップ タイム前の対応する出力の値				

デザインの入力方法

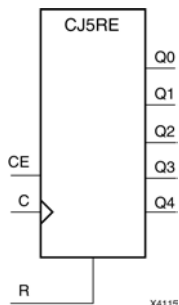
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

CJ5RE

マクロ : 5-Bit Johnson Counter with Clock Enable and Synchronous Reset



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

このデザイン エLEMENTは、リセット可能なジョンソン/シフト カウンタです。同期 R が High になると、ほかのすべての入力は無視され、クロック (C) が Low から High に切り替わる時に出力が 0 になります。クロック イネーブル入力 (CE) が High の場合、クロックが Low から High に切り替わる時にカウンタがインクリメント (Q0 → Q1、Q1 → Q2 のようにシフト) します。CE が Low の場合、クロック遷移は無視されます。

このデザイン エLEMENTでは、Q4 の出力が反転されて入力 Q0 にフィードバックされ、連続したカウント処理が行われます。

電力を供給すると、カウンタは非同期にクリアされ、出力が Low になります。

論理表

入力			出力	
R	CE	C	Q0	Q1 - Q4
1	X	↑	0	0
0	0	X	変化なし	変化なし
0	1	↑	!q4	q0 - q3

q = アクティブなクロック エッジの 1 セットアップ タイム前の対応する出力の値

デザインの入力方法

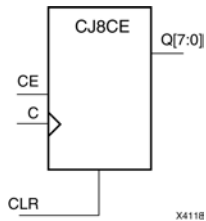
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

CJ8CE

マクロ : 8-Bit Johnson Counter with Clock Enable and Asynchronous Clear



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

このデザイン エLEMENTは、クリア可能なジョンソン/シフト カウンタです。非同期クリア (CLR) 入力が高レベルになると、ほかのすべての入力は無視され、クロック (C) の遷移に関係なく、出力 (Q) が 0 になります。クロック イネーブル入力 (CE) が High の場合、クロックが Low から High に切り替わる時にカウンタがインクリメント (Q0 → Q1、Q1 → Q2 のようにシフト) します。CE が Low の場合、クロック遷移は無視されます。

このデザイン エLEMENTでは、Q7 の出力が反転されて入力 Q0 にフィードバックされ、連続したカウント処理が行われます。

電力を供給すると、カウンタは非同期にクリアされ、出力が Low になります。

論理表

入力			出力	
CLR	CE	C	Q0	Q1 - Q8
1	X	X	0	0
0	0	X	変化なし	変化なし
0	1	↑	!q7	q0 - q7
q = アクティブなクロック エッジの 1 セットアップ タイム前の対応する出力の値				

デザインの入力方法

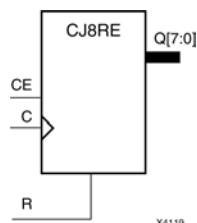
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

CJ8RE

マクロ : 8-Bit Johnson Counter with Clock Enable and Synchronous Reset



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

このデザイン エLEMENTは、リセット可能なジョンソン/シフト カウンタです。同期 R が High になると、ほかのすべての入力は無視され、クロック (C) が Low から High に切り替わる時に出力が 0 になります。クロック イネーブル入力 (CE) が High の場合、クロックが Low から High に切り替わる時にカウンタがインクリメント (Q0 → Q1、Q1 → Q2 のようにシフト) します。CE が Low の場合、クロック遷移は無視されます。

このデザイン エLEMENTでは、Q7 の出力が反転されて入力 Q0 にフィードバックされ、連続したカウント処理が行われます。

電力を供給すると、カウンタは非同期にクリアされ、出力が Low になります。

論理表

入力			出力	
R	CE	C	Q0	Q1 - Q7
1	X	↑	0	0
0	0	X	変化なし	変化なし
0	1	↑	!q7	q0 - q6
q = アクティブなクロック エッジの 1 セットアップ タイム前の対応する出力の値				

デザインの入力方法

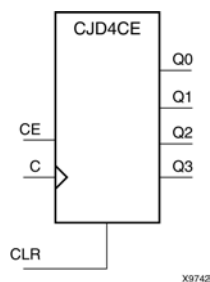
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

CJD4CE

マクロ : 4-Bit Dual Edge Triggered Johnson Counter with Clock Enable and Asynchronous Clear



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

概要

このデザイン エLEMENTは、クロックの両エッジで動作するクリア可能なジョンソン/シフト カウンタです。非同期クリア (CLR) 入力が高になると、ほかのすべての入力は無視され、クロック (C) の遷移に関係なく、出力 (Q) が 0 になります。クロック イネーブル入力 (CE) が High の場合、クロックが Low から High、または High から Low に切り替わるたびにカウンタがインクリメント (Q0 → Q1、Q1 → Q2 のようにシフト) します。CE が Low の場合、クロック遷移は無視されます。

このデザイン エLEMENTでは、Q3 の出力が反転されて入力 Q0 にフィードバックされ、連続したカウント処理が行われます。

電力を供給すると、カウンタは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

論理表

入力			出力	
CLR	CE	C	Q0	Q1 - Q3
1	X	X	0	0
0	0	X	変化なし	変化なし
0	1	↑	!q3	q0 - q2
0	1	↓	!q3	q0 - q2
q = アクティブなクロック エッジの 1 セットアップ タイム前の対応する出力の値				

デザインの入力方法

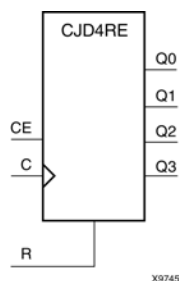
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

CJD4RE

マクロ : 4-Bit Dual Edge Triggered Johnson Counter with Clock Enable and Synchronous Reset



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

概要

このデザイン エLEMENTは、クロックの両エッジで動作するリセット可能なジョンソン/シフト カウンタです。同期 R が High になると、ほかのすべての入力は無視され、クロック (C) が Low から High、または High から Low に切り替わる時に出力が 0 になります。クロック イネーブル入力 (CE) が High の場合、クロックが Low から High、または High から Low に切り替わる時にカウンタがインクリメント (Q0 → Q1、Q1 → Q2 のようにシフト) します。CE が Low の場合、クロック 遷移は無視されます。

このデザイン エLEMENTでは、Q3 の出力が反転されて入力 Q0 にフィードバックされ、連続したカウント処理が行われます。

電力を供給すると、カウンタは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

論理表

入力			出力	
R	CE	C	Q0	Q1 : Q3
1	X	↑	0	0
1	X	↓	0	0
0	0	X	変化なし	変化なし
0	1	↑	!q3	q0 : q2
0	1	↓	!q3	q0 : q2
q = アクティブなクロック エッジの 1 セットアップ タイム前の対応する出力の値				

デザインの入力方法

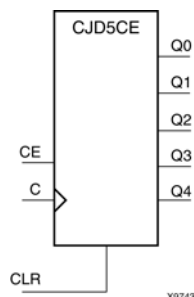
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

CJD5CE

マクロ : 5-Bit Dual Edge Triggered Johnson Counter with Clock Enable and Asynchronous Clear



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

概要

このデザイン エLEMENTは、クロックの両エッジで動作するクリア可能なジョンソン/シフト カウンタです。非同期クリア (CLR) 入力が高レベルになると、ほかのすべての入力は無視され、クロック (C) の遷移に関係なく、出力 (Q) が 0 になります。クロック イネーブル入力 (CE) が High の場合、クロックが Low から High、または High から Low に切り替わるときにカウンタがインクリメント (Q0 → Q1、Q1 → Q2 のようにシフト) します。CE が Low の場合、クロック遷移は無視されます。

このデザイン エLEMENTでは、Q4 の出力が反転されて入力 Q0 にフィードバックされ、連続したカウント処理が行われます。

電力を供給すると、カウンタは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

論理表

入力			出力	
CLR	CE	C	Q0	Q1 - Q4
1	X	X	0	0
0	0	X	変化なし	変化なし
0	1	↑	!q4	q0 - q3
0	1	↓	!q4	q0 - q3
q = アクティブなクロック エッジの 1 セットアップ タイム前の対応する出力の値				

デザインの入力方法

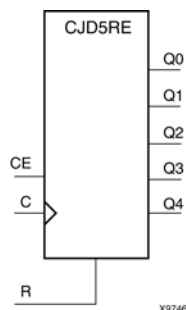
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

CJD5RE

マクロ : 5-Bit Dual Edge Triggered Johnson Counter with Clock Enable and Synchronous Reset



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

概要

このデザイン エLEMENTは、クロックの両エッジで動作するリセット可能なジョンソン/シフト カウンタです。同期 R が High になると、ほかのすべての入力は無視され、クロック (C) が Low から High、または High から Low に切り替わる時に出力が 0 になります。クロック イネーブル入力 (CE) が High の場合、クロックが Low から High、または High から Low に切り替わる時にカウンタがインクリメント (Q0 → Q1、Q1 → Q2 のようにシフト) します。CE が Low の場合、クロック 遷移は無視されます。

このデザイン エLEMENTでは、Q4 の出力が反転されて入力 Q0 にフィードバックされ、連続したカウント処理が行われます。

電力を供給すると、カウンタは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

論理表

入力			出力	
R	CE	C	Q0	Q1 : Q4
1	X	↑	0	0
1	X	↓	0	0
0	0	X	変化なし	変化なし
0	1	↑	!q4	q0 : q3
0	1	↓	!q4	q0 : q3
q = アクティブなクロック エッジの 1 セットアップ タイム前の対応する出力の値				

デザインの入力方法

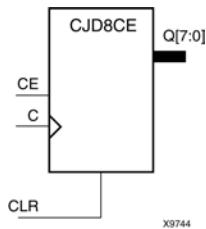
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

CJD8CE

マクロ : 8-Bit Dual Edge Triggered Johnson Counter with Clock Enable and Asynchronous Clear



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

概要

このデザイン エLEMENTは、クロックの両エッジで動作するクリア可能なジョンソン/シフト カウンタです。非同期クリア (CLR) 入力が高になると、ほかのすべての入力は無視され、クロック (C) の遷移に関係なく、出力 (Q) が 0 になります。クロック イネーブル入力 (CE) が High の場合、クロックが Low から High、または High から Low に切り替わるときにカウンタがインクリメント (Q0 → Q1、Q1 → Q2 のようにシフト) します。CE が Low の場合、クロック遷移は無視されます。

このデザイン エLEMENTでは、Q7 の出力が反転されて入力 Q0 にフィードバックされ、連続したカウント処理が行われます。

電力を供給すると、カウンタは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

論理表

入力			出力	
CLR	CE	C	Q0	Q1 - Q7
1	X	X	0	0
0	0	X	変化なし	変化なし
0	1	↑	!q7	q0 - q6
0	1	↓	!q7	q0 - q6
q = アクティブなクロック エッジの 1 セットアップ タイム前の対応する出力の値				

デザインの入力方法

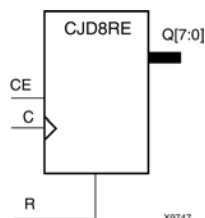
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

CJD8RE

マクロ : 8-Bit Dual Edge Triggered Johnson Counter with Clock Enable and Synchronous Reset



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

概要

このデザイン エLEMENTは、クロックの両エッジで動作するリセット可能なジョンソン/シフト カウンタです。同期 R が High になると、ほかのすべての入力は無視され、クロック (C) が Low から High、または High から Low に切り替わる時に出力が 0 になります。クロック イネーブル入力 (CE) が High の場合、クロックが Low から High、または High から Low に切り替わる時にカウンタがインクリメント (Q0 → Q1、Q1 → Q2 のようにシフト) します。CE が Low の場合、クロック 遷移は無視されます。

このデザイン エLEMENTでは、Q7 の出力が反転されて入力 Q0 にフィードバックされ、連続したカウント処理が行われます。

電力を供給すると、カウンタは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

論理表

入力			出力	
R	CE	C	Q0	Q1 : Q7
1	X	↑	0	0
1	X	↓	0	0
0	0	X	変化なし	変化なし
0	1	↑	!q7	q0 : q6
0	1	↓	!q7	q0 : q6
q = アクティブなクロック エッジの 1 セットアップ タイム前の対応する出力の値				

デザインの入力方法

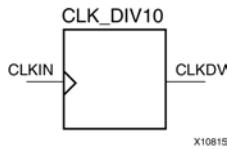
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

CLK_DIV10

プリミティブ : Simple Global Clock Divide by 10



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

概要

このデザイン エLEMENTは、ユーザーにより供給される外部クロック信号 `gclk<2>` を 10 で分周します。

クロック分周器は各デザインに 1 つしか使用できません。このグローバル クロック分周器は、CoolRunner-II デバイスのうち XC2C128、XC2C256、XC2C384、および XC2C512 では使用できますが、XC2C32 と XC2C64 では使用できません。CLKIN 入力は、デバイスの `gclk<2>` ピンにしか接続できません。CLKDV 出力のデューティサイクルは、50-50 です。この出力は、同期ELEMENTのクロック入力にのみ接続できます。組み合わせロジックとして使用したり、出力ピンに直接配線することはできません。

CLKDV 出力は、パワーオン リセット回路により Low にリセットされます。

デザインの入力方法

インスタンシエーション	推奨
推論	不可
CORE Generator™ およびウィザード	不可
マクロのサポート	不可

このELEMENTは、回路図で使用されます。

VHDL 記述 (インスタンシエーション)

次の 2 つの構文が存在しない場合はコピーし、エンティティ宣言の前に貼り付けます。

```
Library UNISIM;
use UNISIM.vcomponents.all;

-- CLK_DIV10: Simple Clock Divide by 10
--           CoolRunner-II
-- Xilinx HDL Language Template, version 10.1

CLK_DIV10_inst : CLK_DIV10
port map (
    CLKDV => CLKDV,    -- Divided clock output
    CLKIN => CLKIN     -- Clock input
);

-- End of CLK_DIV10_inst instantiation
```

Verilog 記述 (インスタンス化)

```
// CLK_DIV10: Simple Clock Divide by 10
//          CoolRunner-II
// Xilinx HDL Language Template, version 10.1

CLK_DIV10 CLK_DIV10_inst (
    .CLKDV(CLKDV),    // Divided clock output
    .CLKIN(CLKIN)     // Clock input
);

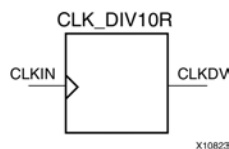
// End of CLK_DIV10_inst instantiation
```

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

CLK_DIV10R

プリミティブ : Global Clock Divide by 10 with Synchronous Reset



サポートされているアーキテクチャ

このデザイン エレメントは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

概要

このデザイン エレメントは、ユーザーにより供給される外部クロック信号 `gclk<2>` を 10 で分周します。

クロック分周器は各デザインに 1 つしか使用できません。このグローバル クロック分周器は、CoolRunner-II ファミリのうち XC2C128、XC2C256、XC2C384、および XC2C512 では使用できますが、XC2C32 と XC2C64 では使用できません。CLKIN および CDRST 入力は、それぞれデバイスの `gclk<2>` ピンおよび CDRST にしか接続できません。CLKDV 出力のデューティサイクルは、50-50 です。この出力は、同期エレメントのクロック入力にのみ接続できます。組み合わせロジックとして使用したり、出力ピンに直接配線することはできません。

CDRST 入力は、アクティブ High の同期リセットです。CLKDV 出力が High のとき、CDRST 入力が High になると、CLKDV 出力は最後のクロックパルスが完了するまで High のままで、その後で Low になります。

CLKDV 出力は、パワーオン リセット回路により Low にリセットされます。

デザインの入力方法

インスタンス化	推奨
推論	不可
CORE Generator™ およびウィザード	不可
マクロのサポート	不可

このエレメントは、回路図で使用されます。

VHDL 記述 (インスタンス化)

次の 2 つの構文が存在しない場合はコピーし、エンティティ宣言の前に貼り付けます。

```
Library UNISIM;
use UNISIM.vcomponents.all;

-- CLK_DIV10R: Clock Divide by 10 with Synchronous Reset
--           CoolRunner-II
-- Xilinx HDL Language Template, version 10.1

CLK_DIV10R_inst : CLK_DIV10R
port map (
    CLKDV => CLKDV,    -- Divided clock output
    CDRST => CDRST,    -- Synchronous reset input
    CLKIN => CLKIN      -- Clock input
);

-- End of CLK_DIV10R_inst instantiation
```

Verilog 記述 (インスタンス化)

```
// CLK_DIV10R: Clock Divide by 10 with Synchronous Reset
//           CoolRunner-II
// Xilinx HDL Language Template, version 10.1

CLK_DIV10R CLK_DIV10R_inst (
    .CLKDV(CLKDV),      // Divided clock output
    .CDRST(CDRST),     // Synchronous reset input
    .CLKIN(CLKIN)       // Clock input
);

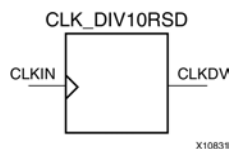
// End of CLK_DIV10R_inst instantiation
```

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

CLK_DIV10RSD

プリミティブ : Global Clock Divide by 10 with Synchronous Reset and Start Delay



サポートされているアーキテクチャ

このデザイン エレメントは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

概要

このデザイン エレメントは、ユーザーにより供給される外部クロック信号 `gclk<2>` を 10 で分周します。

クロック分周器は各デザインに 1 つしか使用できません。このグローバル クロック分周器は、CoolRunner-II ファミリのうち XC2C128、XC2C256、XC2C384、および XC2C512 では使用できますが、XC2C32 と XC2C64 では使用できません。CLKIN および CDRST 入力は、それぞれデバイスの `gclk<2>` ピンおよび CDRST にしか接続できません。CLKDV 出力のデューティサイクルは、50-50 です。この出力は、同期エレメントのクロック入力にのみ接続できます。組み合わせロジックとして使用したり、出力ピンに直接配線することはできません。

CDRST 入力は、アクティブ High の同期リセットです。CLKDV 出力が High のとき、CDRST 入力が High になると、CLKDV 出力は最後のクロックパルスが完了するまで High のままで、その後で Low になります。

開始遅延機能は CLKDV 出力の開始を (n+1) クロック分遅らせます。ここで、n は、クロック分周器の除数を指します。

CLKDV 出力は、パワーオン リセット回路により Low にリセットされます。

デザインの入力方法

インスタンス化	推奨
推論	不可
CORE Generator™ およびウィザード	不可
マクロのサポート	不可

このエレメントは、回路図で使用されます。

VHDL 記述 (インスタンスレーション)

次の 2 つの構文が存在しない場合はコピーし、エンティティ宣言の前に貼り付けます。

```
Library UNISIM;
use UNISIM.vcomponents.all;

-- CLK_DIV10RSD: Clock Divide by 10 with Synchronous Reset and Start
-- Delay
--          CoolRunner-II
-- Xilinx HDL Language Template, version 10.1

CLK_DIV10RSD_inst : CLK_DIV10RSD
-- Edit the following generic to specify the number of clock cycles
-- to delay before starting.
generic map (
    DIVIDER_DELAY => 1)
port map (
    CLKDV => CLKDV,    -- Divided clock output
    CDRST => CDRST,    -- Synchronous reset input
    CLKIN => CLKIN     -- Clock input
);

-- End of CLK_DIV10RSD_inst instantiation
```

Verilog 記述 (インスタンスレーション)

```
// CLK_DIV12RSD: Clock Divide by 12 with Synchronous Reset and Start
// Delay
//          CoolRunner-II
// Xilinx HDL Language Template, version 10.1

CLK_DIV12RSD CLK_DIV12RSD_inst (
    .CLKDV(CLKDV), // Divided clock output
    .CDRST(CDRST), // Synchronous reset input
    .CLKIN(CLKIN) // Clock input
);

// Edit the following defparam to specify the number of clock
// cycles to delay before starting. If the instance name to
// the clock divider is changed, that change needs to be
// reflected in the defparam statements.

defparam CLK_DIV12RSD_inst.DIVIDER_DELAY = 1;

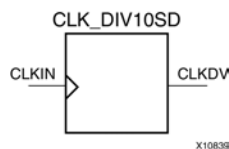
// End of CLK_DIV12RSD_inst instantiation
```

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

CLK_DIV10SD

プリミティブ : Global Clock Divide by 10 with Start Delay



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

概要

このデザイン エLEMENTは、ユーザーにより供給される外部クロック信号 `gclk<2>` を 10 で分周します。

クロック分周器は各デザインに 1 つしか使用できません。このグローバル クロック分周器は、CoolRunner-II デバイスのうち XC2C128、XC2C256、XC2C384、および XC2C512 では使用できますが、XC2C32 と XC2C64 では使用できません。CLKIN 入力は、デバイスの `gclk<2>` ピンにしか接続できません。CLKDV 出力のデューティサイクルは、50-50 です。この出力は、同期ELEMENTのクロック入力にのみ接続できます。組み合わせロジックとして使用したり、出力ピンに直接配線することはできません。

開始遅延機能は CLKDV 出力の開始を (n+1) クロック分遅らせます。ここで、n は、クロック分周器の除数を指します。

CLKDV 出力は、パワーオン リセット回路により Low にリセットされます。

デザインの入力方法

インスタンス化	推奨
推論	不可
CORE Generator™ およびウィザード	不可
マクロのサポート	不可

このELEMENTは、回路図で使用されます。

VHDL 記述 (インスタンス化)

次の 2 つの構文が存在しない場合はコピーし、エンティティ宣言の前に貼り付けます。

```
Library UNISIM;
use UNISIM.vcomponents.all;

-- CLK_DIV10SD: Clock Divide by 10 with Start Delay
--           CoolRunner-II
-- Xilinx HDL Language Template, version 10.1

CLK_DIV10SD_inst : CLK_DIV10SD
-- Edit the following generic to specify the number of clock cycles
-- to delay before starting.
generic map (
    DIVIDER_DELAY => 1)
port map (
    CLKDV => CLKDV,    -- Divided clock output
    CLKIN => CLKIN     -- Clock input
);

-- End of CLK_DIV10SD_inst instantiation
```

Verilog 記述 (インスタンス化)

```
// CLK_DIV10SD: Clock Divide by 10 with Start Delay
//           CoolRunner-II
// Xilinx HDL Language Template, version 10.1

CLK_DIV10SD CLK_DIV10SD_inst (
    .CLKDV(CLKDV), // Divided clock output
    .CDRST(CDRST), // Synchronous reset input
    .CLKIN(CLKIN) // Clock input
);

// Edit the following defparam to specify the number of clock
// cycles to delay before starting. If the instance name to
// the clock divider is changed, that change needs to be
// reflected in the defparam statements.

defparam CLK_DIV10SD_inst.DIVIDER_DELAY = 1;

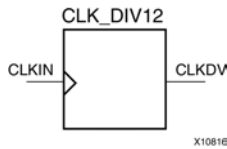
// End of CLK_DIV10SD_inst instantiation
```

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

CLK_DIV12

プリミティブ : Simple Global Clock Divide by 12



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

概要

このデザイン エLEMENTは、ユーザーにより供給される外部クロック信号 `gclk<2>` を 12 で分周します。

クロック分周器は各デザインに 1 つしか使用できません。このグローバル クロック分周器は、CoolRunner-II デバイスのうち XC2C128、XC2C256、XC2C384、および XC2C512 では使用できますが、XC2C32 と XC2C64 では使用できません。CLKIN 入力は、デバイスの `gclk<2>` ピンにしか接続できません。CLKDV 出力のデューティサイクルは、50-50 です。この出力は、同期ELEMENTのクロック入力にのみ接続できます。組み合わせロジックとして使用したり、出力ピンに直接配線することはできません。

CLKDV 出力は、パワーオン リセット回路により Low にリセットされます。

デザインの入力方法

インスタンシエーション	推奨
推論	不可
CORE Generator™ およびウィザード	不可
マクロのサポート	不可

このELEMENTは、回路図で使用されます。

VHDL 記述 (インスタンシエーション)

次の 2 つの構文が存在しない場合はコピーし、エンティティ宣言の前に貼り付けます。

```
Library UNISIM;
use UNISIM.vcomponents.all;

-- CLK_DIV12: Simple Clock Divide by 12
--           CoolRunner-II
-- Xilinx HDL Language Template, version 10.1

CLK_DIV12_inst : CLK_DIV12
port map (
    CLKDV => CLKDV,    -- Divided clock output
    CLKIN => CLKIN     -- Clock input
);

-- End of CLK_DIV12_inst instantiation
```

Verilog 記述 (インスタンス化)

```
// CLK_DIV12: Simple Clock Divide by 12
//          CoolRunner-II
// Xilinx HDL Language Template, version 10.1

CLK_DIV12 CLK_DIV12_inst (
    .CLKDV(CLKDV),    // Divided clock output
    .CLKIN(CLKIN)     // Clock input
);

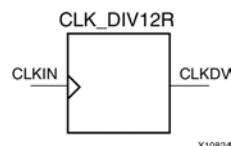
// End of CLK_DIV12_inst instantiation
```

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

CLK_DIV12R

プリミティブ : Global Clock Divide by 12 with Synchronous Reset



サポートされているアーキテクチャ

このデザイン エレメントは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

概要

このデザイン エレメントは、ユーザーにより供給される外部クロック信号 `gclk<2>` を 12 で分周します。

クロック分周器は各デザインに 1 つしか使用できません。このグローバル クロック分周器は、CoolRunner-II ファミリのうち XC2C128、XC2C256、XC2C384、および XC2C512 では使用できますが、XC2C32 と XC2C64 では使用できません。CLKIN および CDRST 入力は、それぞれデバイスの `gclk<2>` ピンおよび CDRST にしか接続できません。CLKDV 出力のデューティサイクルは、50-50 です。この出力は、同期エレメントのクロック入力にのみ接続できます。組み合わせロジックとして使用したり、出力ピンに直接配線することはできません。

CDRST 入力は、アクティブ High の同期リセットです。CLKDV 出力が High のとき、CDRST 入力が High になると、CLKDV 出力は最後のクロックパルスが完了するまで High のままで、その後で Low になります。

CLKDV 出力は、パワーオン リセット回路により Low にリセットされます。

デザインの入力方法

インスタンス化	推奨
推論	不可
CORE Generator™ およびウィザード	不可
マクロのサポート	不可

このエレメントは、回路図で使用されます。

VHDL 記述 (インスタンス化)

次の 2 つの構文が存在しない場合はコピーし、エンティティ宣言の前に貼り付けます。

```
Library UNISIM;
use UNISIM.vcomponents.all;

-- CLK_DIV12R: Clock Divide by 12 with Synchronous Reset
--           CoolRunner-II
-- Xilinx HDL Language Template, version 10.1

CLK_DIV12R_inst : CLK_DIV12R
port map (
    CLKDV => CLKDV,    -- Divided clock output
    CDRST => CDRST,    -- Synchronous reset input
    CLKIN => CLKIN     -- Clock input
);

-- End of CLK_DIV12R_inst instantiation
```

Verilog 記述 (インスタンス化)

```
// CLK_DIV12R: Clock Divide by 12 with Synchronous Reset
//           CoolRunner-II
// Xilinx HDL Language Template, version 10.1

CLK_DIV12R CLK_DIV12R_inst (
    .CLKDV(CLKDV),      // Divided clock output
    .CDRST(CDRST),     // Synchronous reset input
    .CLKIN(CLKIN)       // Clock input
);

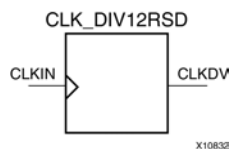
// End of CLK_DIV12R_inst instantiation
```

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

CLK_DIV12RSD

プリミティブ : Global Clock Divide by 12 with Synchronous Reset and Start Delay



サポートされているアーキテクチャ

このデザイン エレメントは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

概要

このデザイン エレメントは、ユーザーにより供給される外部クロック信号 `gclk<2>` を 12 で分周します。

クロック分周器は各デザインに 1 つしか使用できません。このグローバル クロック分周器は、CoolRunner-II ファミリのうち XC2C128、XC2C256、XC2C384、および XC2C512 では使用できますが、XC2C32 と XC2C64 では使用できません。CLKIN および CDRST 入力は、それぞれデバイスの `gclk<2>` ピンおよび CDRST にしか接続できません。CLKDV 出力のデューティサイクルは、50-50 です。この出力は、同期エレメントのクロック入力にのみ接続できます。組み合わせロジックとして使用したり、出力ピンに直接配線することはできません。

CDRST 入力は、アクティブ High の同期リセットです。CLKDV 出力が High のとき、CDRST 入力が High になると、CLKDV 出力は最後のクロックパルスが完了するまで High のままで、その後で Low になります。

開始遅延機能は CLKDV 出力の開始を (n+1) クロック分遅らせます。ここで、n は、クロック分周器の除数を指します。

CLKDV 出力は、パワーオン リセット回路により Low にリセットされます。

デザインの入力方法

インスタンス化	推奨
推論	不可
CORE Generator™ およびウィザード	不可
マクロのサポート	不可

このエレメントは、回路図で使用されます。

VHDL 記述 (インスタンスレーション)

次の 2 つの構文が存在しない場合はコピーし、エンティティ宣言の前に貼り付けます。

```
Library UNISIM;
use UNISIM.vcomponents.all;

-- CLK_DIV12RSD: Clock Divide by 12 with Synchronous Reset and Start
-- Delay
--          CoolRunner-II
-- Xilinx HDL Language Template, version 10.1

CLK_DIV12RSD_inst : CLK_DIV12RSD
-- Edit the following generic to specify the number of clock cycles
-- to delay before starting.
generic map (
    DIVIDER_DELAY => 1)
port map (
    CLKDV => CLKDV,    -- Divided clock output
    CDRST => CDRST,    -- Synchronous reset input
    CLKIN => CLKIN     -- Clock input
);

-- End of CLK_DIV12RSD_inst instantiation
```

Verilog 記述 (インスタンスレーション)

```
// CLK_DIV12RSD: Clock Divide by 12 with Synchronous Reset and Start
// Delay
//          CoolRunner-II
// Xilinx HDL Language Template, version 10.1

CLK_DIV12RSD CLK_DIV12RSD_inst (
    .CLKDV(CLKDV), // Divided clock output
    .CDRST(CDRST), // Synchronous reset input
    .CLKIN(CLKIN) // Clock input
);

// Edit the following defparam to specify the number of clock
// cycles to delay before starting. If the instance name to
// the clock divider is changed, that change needs to be
// reflected in the defparam statements.

defparam CLK_DIV12RSD_inst.DIVIDER_DELAY = 1;

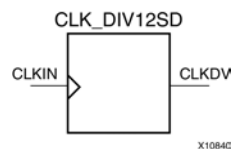
// End of CLK_DIV12RSD_inst instantiation
```

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

CLK_DIV12SD

プリミティブ : Global Clock Divide by 12 with Start Delay



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

概要

このデザイン エLEMENTは、ユーザーにより供給される外部クロック信号 `gclk<2>` を 12 で分周します。

クロック分周器は各デザインに 1 つしか使用できません。このグローバル クロック分周器は、CoolRunner-II デバイスのうち XC2C128、XC2C256、XC2C384、および XC2C512 では使用できますが、XC2C32 と XC2C64 では使用できません。CLKIN 入力は、デバイスの `gclk<2>` ピンにしか接続できません。CLKDV 出力のデューティサイクルは、50-50 です。この出力は、同期ELEMENTのクロック入力にのみ接続できます。組み合わせロジックとして使用したり、出力ピンに直接配線することはできません。

開始遅延機能は CLKDV 出力の開始を (n+1) クロック分遅らせます。ここで、n は、クロック分周器の除数を指します。

CLKDV 出力は、パワーオン リセット回路により Low にリセットされます。

デザインの入力方法

インスタンス化	推奨
推論	不可
CORE Generator™ およびウィザード	不可
マクロのサポート	不可

このELEMENTは、回路図で使用されます。

VHDL 記述 (インスタンス化)

次の 2 つの構文が存在しない場合はコピーし、エンティティ宣言の前に貼り付けます。

```
Library UNISIM;
use UNISIM.vcomponents.all;

-- CLK_DIV12SD: Clock Divide by 12 with Start Delay
--           CoolRunner-II
-- Xilinx HDL Language Template, version 10.1

CLK_DIV12SD_inst : CLK_DIV12SD
-- Edit the following generic to specify the number of clock cycles
-- to delay before starting.
generic map (
    DIVIDER_DELAY => 1)
port map (
    CLKDV => CLKDV,    -- Divided clock output
    CLKIN => CLKIN     -- Clock input
);

-- End of CLK_DIV12SD_inst instantiation
```

Verilog 記述 (インスタンス化)

```
// CLK_DIV12SD: Clock Divide by 12 with Start Delay
//           CoolRunner-II
// Xilinx HDL Language Template, version 10.1

CLK_DIV12SD CLK_DIV12SD_inst (
    .CLKDV(CLKDV), // Divided clock output
    .CDRST(CDRST), // Synchronous reset input
    .CLKIN(CLKIN) // Clock input
);

// Edit the following defparam to specify the number of clock
// cycles to delay before starting. If the instance name to
// the clock divider is changed, that change needs to be
// reflected in the defparam statements.

defparam CLK_DIV12SD_inst.DIVIDER_DELAY = 1;

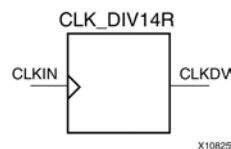
// End of CLK_DIV12SD_inst instantiation
```

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

CLK_DIV14R

プリミティブ : Global Clock Divide by 14 with Synchronous Reset



サポートされているアーキテクチャ

このデザイン エレメントは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

概要

このデザイン エレメントは、ユーザーにより供給される外部クロック信号 `gclk<2>` を 14 で分周します。

クロック分周器は各デザインに 1 つしか使用できません。このグローバル クロック分周器は、CoolRunner-II ファミリのうち XC2C128、XC2C256、XC2C384、および XC2C512 では使用できますが、XC2C32 と XC2C64 では使用できません。CLKIN および CDRST 入力は、それぞれデバイスの `gclk<2>` ピンおよび CDRST にしか接続できません。CLKDV 出力のデューティサイクルは、50-50 です。この出力は、同期エレメントのクロック入力にのみ接続できます。組み合わせロジックとして使用したり、出力ピンに直接配線することはできません。

CDRST 入力は、アクティブ High の同期リセットです。CLKDV 出力が High のとき、CDRST 入力が High になると、CLKDV 出力は最後のクロックパルスが完了するまで High のままで、その後で Low になります。

CLKDV 出力は、パワーオン リセット回路により Low にリセットされます。

デザインの入力方法

インスタンス化	推奨
推論	不可
CORE Generator™ およびウィザード	不可
マクロのサポート	不可

このエレメントは、回路図で使用されます。

VHDL 記述 (インスタンス化)

次の 2 つの構文が存在しない場合はコピーし、エンティティ宣言の前に貼り付けます。

```
Library UNISIM;
use UNISIM.vcomponents.all;

-- CLK_DIV14R: Clock Divide by 14 with Synchronous Reset
--           CoolRunner-II
-- Xilinx HDL Language Template, version 10.1

CLK_DIV14R_inst : CLK_DIV14R
port map (
    CLKDV => CLKDV,    -- Divided clock output
    CDRST => CDRST,    -- Synchronous reset input
    CLKIN => CLKIN     -- Clock input
);

-- End of CLK_DIV14R_inst instantiation
```

Verilog 記述 (インスタンス化)

```
// CLK_DIV14R: Clock Divide by 14 with Synchronous Reset
//           CoolRunner-II
// Xilinx HDL Language Template, version 10.1

CLK_DIV14R CLK_DIV14R_inst (
    .CLKDV(CLKDV),    // Divided clock output
    .CDRST(CDRST),    // Synchronous reset input
    .CLKIN(CLKIN)     // Clock input
);

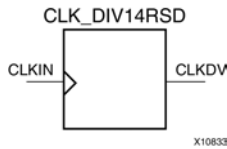
// End of CLK_DIV14R_inst instantiation
```

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

CLK_DIV14RSD

プリミティブ : Global Clock Divide by 14 with Synchronous Reset and Start Delay



サポートされているアーキテクチャ

このデザイン エレメントは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

概要

このデザイン エレメントは、ユーザーにより供給される外部クロック信号 `gclk<2>` を 14 で分周します。

クロック分周器は各デザインに 1 つしか使用できません。このグローバル クロック分周器は、CoolRunner-II ファミリのうち XC2C128、XC2C256、XC2C384、および XC2C512 では使用できますが、XC2C32 と XC2C64 では使用できません。CLKIN および CDRST 入力は、それぞれデバイスの `gclk<2>` ピンおよび CDRST にしか接続できません。CLKDV 出力のデューティサイクルは、50-50 です。この出力は、同期エレメントのクロック入力にのみ接続できます。組み合わせロジックとして使用したり、出力ピンに直接配線することはできません。

CDRST 入力は、アクティブ High の同期リセットです。CLKDV 出力が High のとき、CDRST 入力が High になると、CLKDV 出力は最後のクロックパルスが完了するまで High のままで、その後で Low になります。

開始遅延機能は CLKDV 出力の開始を (n+1) クロック分遅らせます。ここで、n は、クロック分周器の除数を指します。

CLKDV 出力は、パワーオン リセット回路により Low にリセットされます。

デザインの入力方法

インスタンス化	推奨
推論	不可
CORE Generator™ およびウィザード	不可
マクロのサポート	不可

このエレメントは、回路図で使用されます。

VHDL 記述 (インスタンスレーション)

次の 2 つの構文が存在しない場合はコピーし、エンティティ宣言の前に貼り付けます。

```
Library UNISIM;
use UNISIM.vcomponents.all;

-- CLK_DIV14RSD: Clock Divide by 14 with Synchronous Reset and Start
-- Delay
--          CoolRunner-II
-- Xilinx HDL Language Template, version 10.1

CLK_DIV14RSD_inst : CLK_DIV14RSD
-- Edit the following generic to specify the number of clock cycles
-- to delay before starting.
generic map (
    DIVIDER_DELAY => 1)
port map (
    CLKDV => CLKDV,    -- Divided clock output
    CDRST => CDRST,    -- Synchronous reset input
    CLKIN => CLKIN     -- Clock input
);

-- End of CLK_DIV14RSD_inst instantiation
```

Verilog 記述 (インスタンスレーション)

```
// CLK_DIV14RSD: Clock Divide by 14 with Synchronous Reset and Start
// Delay
//          CoolRunner-II
// Xilinx HDL Language Template, version 10.1

CLK_DIV14RSD CLK_DIV14RSD_inst (
    .CLKDV(CLKDV), // Divided clock output
    .CDRST(CDRST), // Synchronous reset input
    .CLKIN(CLKIN) // Clock input
);

// Edit the following defparam to specify the number of clock
// cycles to delay before starting. If the instance name to
// the clock divider is changed, that change needs to be
// reflected in the defparam statements.

defparam CLK_DIV14RSD_inst.DIVIDER_DELAY = 1;

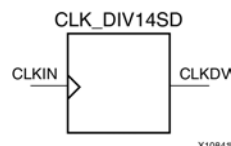
// End of CLK_DIV14RSD_inst instantiation
```

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

CLK_DIV14SD

プリミティブ : Global Clock Divide by 14 with Start Delay



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

概要

このデザイン エLEMENTは、ユーザーにより供給される外部クロック信号 `gclk<2>` を 14 で分周します。

クロック分周器は各デザインに 1 つしか使用できません。このグローバル クロック分周器は、CoolRunner-II デバイスのうち XC2C128、XC2C256、XC2C384、および XC2C512 では使用できますが、XC2C32 と XC2C64 では使用できません。CLKIN 入力は、デバイスの `gclk<2>` ピンにしか接続できません。CLKDV 出力のデューティサイクルは、50-50 です。この出力は、同期ELEMENTのクロック入力にのみ接続できます。組み合わせロジックとして使用したり、出力ピンに直接配線することはできません。

開始遅延機能は CLKDV 出力の開始を (n+1) クロック分遅らせます。ここで、n は、クロック分周器の除数を指します。

CLKDV 出力は、パワーオン リセット回路により Low にリセットされます。

デザインの入力方法

インスタンス化	推奨
推論	不可
CORE Generator™ およびウィザード	不可
マクロのサポート	不可

このELEMENTは、回路図で使用されます。

VHDL 記述 (インスタンス化)

次の 2 つの構文が存在しない場合はコピーし、エンティティ宣言の前に貼り付けます。

```
Library UNISIM;
use UNISIM.vcomponents.all;

-- CLK_DIV14SD: Clock Divide by 14 with Start Delay
--          CoolRunner-II
-- Xilinx HDL Language Template, version 10.1

CLK_DIV14SD_inst : CLK_DIV14SD
-- Edit the following generic to specify the number of clock cycles
-- to delay before starting.
generic map (
    DIVIDER_DELAY => 1)
port map (
    CLKDV => CLKDV,    -- Divided clock output
    CLKIN => CLKIN     -- Clock input
);

-- End of CLK_DIV14SD_inst instantiation
```

Verilog 記述 (インスタンス化)

```
// CLK_DIV14SD: Clock Divide by 14 with Start Delay
//          CoolRunner-II
// Xilinx HDL Language Template, version 10.1

CLK_DIV14SD CLK_DIV14SD_inst (
    .CLKDV(CLKDV), // Divided clock output
    .CDRST(CDRST), // Synchronous reset input
    .CLKIN(CLKIN) // Clock input
);

// Edit the following defparam to specify the number of clock
// cycles to delay before starting. If the instance name to
// the clock divider is changed, that change needs to be
// reflected in the defparam statements.

defparam CLK_DIV14SD_inst.DIVIDER_DELAY = 1;

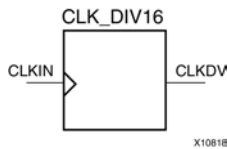
// End of CLK_DIV14SD_inst instantiation
```

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

CLK_DIV16

プリミティブ : Simple Global Clock Divide by 16



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

概要

このデザイン エLEMENTは、ユーザーにより供給される外部クロック信号 `gclk<2>` を 16 で分周します。

クロック分周器は各デザインに 1 つしか使用できません。このグローバル クロック分周器は、CoolRunner-II デバイスのうち XC2C128、XC2C256、XC2C384、および XC2C512 では使用できますが、XC2C32 と XC2C64 では使用できません。CLKIN 入力は、デバイスの `gclk<2>` ピンにしか接続できません。CLKDV 出力のデューティサイクルは、50-50 です。この出力は、同期ELEMENTのクロック入力にのみ接続できます。組み合わせロジックとして使用したり、出力ピンに直接配線することはできません。

このコンポーネントを使用すると、専用クロック分周リセットピン (CDRST) が予約され、ユーザー ロジックで使用できない場合があります。

CLKDV 出力は、パワーオン リセット回路により Low にリセットされます。

デザインの入力方法

インスタンス化	推奨
推論	不可
CORE Generator™ およびウィザード	不可
マクロのサポート	不可

このELEMENTは、回路図で使用されます。

VHDL 記述 (インスタンス化)

次の 2 つの構文が存在しない場合はコピーし、エンティティ宣言の前に貼り付けます。

```
Library UNISIM;
use UNISIM.vcomponents.all;

-- CLK_DIV16: Simple Clock Divide by 16
--           CoolRunner-II
-- Xilinx HDL Language Template, version 10.1

CLK_DIV16_inst : CLK_DIV16
port map (
    CLKDV => CLKDV,    -- Divided clock output
    CLKIN => CLKIN      -- Clock input
);

-- End of CLK_DIV16_inst instantiation
```


Verilog 記述 (インスタンス化)

```
// CLK_DIV16: Simple Clock Divide by 16
//           CoolRunner-II
// Xilinx HDL Language Template, version 10.1

CLK_DIV16 CLK_DIV16_inst (
    .CLKDV(CLKDV),    // Divided clock output
    .CLKIN(CLKIN)     // Clock input
);

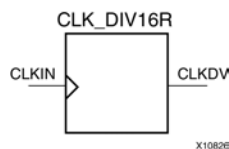
// End of CLK_DIV16_inst instantiation
```

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

CLK_DIV16R

プリミティブ : Global Clock Divide by 16 with Synchronous Reset



サポートされているアーキテクチャ

このデザイン エレメントは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

概要

このデザイン エレメントは、ユーザーにより供給される外部クロック信号 `gclk<2>` を 16 で分周します。

クロック分周器は各デザインに 1 つしか使用できません。このグローバル クロック分周器は、CoolRunner-II ファミリのうち XC2C128、XC2C256、XC2C384、および XC2C512 では使用できますが、XC2C32 と XC2C64 では使用できません。CLKIN および CDRST 入力は、それぞれデバイスの `gclk<2>` ピンおよび CDRST にしか接続できません。CLKDV 出力のデューティサイクルは、50-50 です。この出力は、同期エレメントのクロック入力にのみ接続できます。組み合わせロジックとして使用したり、出力ピンに直接配線することはできません。

CDRST 入力は、アクティブ High の同期リセットです。CLKDV 出力が High のとき、CDRST 入力が High になると、CLKDV 出力は最後のクロックパルスが完了するまで High のままで、その後で Low になります。

CLKDV 出力は、パワーオン リセット回路により Low にリセットされます。

デザインの入力方法

インスタンス化	推奨
推論	不可
CORE Generator™ およびウィザード	不可
マクロのサポート	不可

このエレメントは、回路図で使用されます。

VHDL 記述 (インスタンス化)

次の 2 つの構文が存在しない場合はコピーし、エンティティ宣言の前に貼り付けます。

```
Library UNISIM;
use UNISIM.vcomponents.all;

-- CLK_DIV16R: Clock Divide by 16 with Synchronous Reset
--           CoolRunner-II
-- Xilinx HDL Language Template, version 10.1

CLK_DIV16R_inst : CLK_DIV16R
port map (
    CLKDV => CLKDV,    -- Divided clock output
    CDRST => CDRST,    -- Synchronous reset input
    CLKIN => CLKIN     -- Clock input
);

-- End of CLK_DIV16R_inst instantiation
```

Verilog 記述 (インスタンス化)

```
// CLK_DIV16R: Clock Divide by 16 with Synchronous Reset
//           CoolRunner-II
// Xilinx HDL Language Template, version 10.1

CLK_DIV16R CLK_DIV16R_inst (
    .CLKDV(CLKDV),    // Divided clock output
    .CDRST(CDRST),    // Synchronous reset input
    .CLKIN(CLKIN)     // Clock input
);

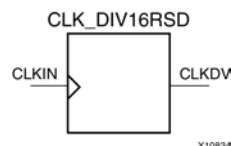
// End of CLK_DIV16R_inst instantiation
```

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

CLK_DIV16RSD

プリミティブ : Global Clock Divide by 16 with Synchronous Reset and Start Delay



サポートされているアーキテクチャ

このデザイン エレメントは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

概要

このデザイン エレメントは、ユーザーにより供給される外部クロック信号 `gclk<2>` を 16 で分周します。

クロック分周器は各デザインに 1 つしか使用できません。このグローバル クロック分周器は、CoolRunner-II ファミリのうち XC2C128、XC2C256、XC2C384、および XC2C512 では使用できますが、XC2C32 と XC2C64 では使用できません。CLKIN および CDRST 入力は、それぞれデバイスの `gclk<2>` ピンおよび CDRST にしか接続できません。CLKDV 出力のデューティサイクルは、50-50 です。この出力は、同期エレメントのクロック入力にのみ接続できます。組み合わせロジックとして使用したり、出力ピンに直接配線することはできません。

CDRST 入力は、アクティブ High の同期リセットです。CLKDV 出力が High のとき、CDRST 入力が High になると、CLKDV 出力は最後のクロックパルスが完了するまで High のままで、その後で Low になります。

開始遅延機能は CLKDV 出力の開始を (n+1) クロック分遅らせます。ここで、n は、クロック分周器の除数を指します。

CLKDV 出力は、パワーオン リセット回路により Low にリセットされます。

デザインの入力方法

インスタンス化	推奨
推論	不可
CORE Generator™ およびウィザード	不可
マクロのサポート	不可

このエレメントは、回路図で使用されます。

VHDL 記述 (インスタンスレーション)

次の 2 つの構文が存在しない場合はコピーし、エンティティ宣言の前に貼り付けます。

```
Library UNISIM;
use UNISIM.vcomponents.all;

-- CLK_DIV16RSD: Clock Divide by 16 with Synchronous Reset and Start
-- Delay
--          CoolRunner-II
-- Xilinx HDL Language Template, version 10.1

CLK_DIV16RSD_inst : CLK_DIV16RSD
-- Edit the following generic to specify the number of clock cycles
-- to delay before starting.
generic map (
    DIVIDER_DELAY => 1)
port map (
    CLKDV => CLKDV,    -- Divided clock output
    CDRST => CDRST,    -- Synchronous reset input
    CLKIN => CLKIN     -- Clock input
);

-- End of CLK_DIV16RSD_inst instantiation
```

Verilog 記述 (インスタンスレーション)

```
// CLK_DIV16RSD: Clock Divide by 16 with Synchronous Reset and Start
// Delay
//          CoolRunner-II
// Xilinx HDL Language Template, version 10.1

CLK_DIV16RSD CLK_DIV16RSD_inst (
    .CLKDV(CLKDV), // Divided clock output
    .CDRST(CDRST), // Synchronous reset input
    .CLKIN(CLKIN) // Clock input
);

// Edit the following defparam to specify the number of clock
// cycles to delay before starting. If the instance name to
// the clock divider is changed, that change needs to be
// reflected in the defparam statements.

defparam CLK_DIV16RSD_inst.DIVIDER_DELAY = 1;

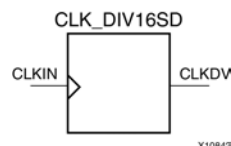
// End of CLK_DIV16RSD_inst instantiation
```

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

CLK_DIV16SD

プリミティブ : Global Clock Divide by 16 with Start Delay



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

概要

このデザイン エLEMENTは、ユーザーにより供給される外部クロック信号 `gclk<2>` を 16 で分周します。

クロック分周器は各デザインに 1 つしか使用できません。このグローバル クロック分周器は、CoolRunner-II デバイスのうち XC2C128、XC2C256、XC2C384、および XC2C512 では使用できますが、XC2C32 と XC2C64 では使用できません。CLKIN 入力は、デバイスの `gclk<2>` ピンにしか接続できません。CLKDV 出力のデューティサイクルは、50-50 です。この出力は、同期ELEMENTのクロック入力にのみ接続できます。組み合わせロジックとして使用したり、出力ピンに直接配線することはできません。

開始遅延機能は CLKDV 出力の開始を (n+1) クロック分遅らせます。ここで、n は、クロック分周器の除数を指します。

CLKDV 出力は、パワーオン リセット回路により Low にリセットされます。

デザインの入力方法

インスタンス化	推奨
推論	不可
CORE Generator™ およびウィザード	不可
マクロのサポート	不可

このELEMENTは、回路図で使用されます。

VHDL 記述 (インスタンス化)

次の 2 つの構文が存在しない場合はコピーし、エンティティ宣言の前に貼り付けます。

```
Library UNISIM;
use UNISIM.vcomponents.all;

-- CLK_DIV16SD: Clock Divide by 16 with Start Delay
--          CoolRunner-II
-- Xilinx HDL Language Template, version 10.1

CLK_DIV16SD_inst : CLK_DIV16SD
-- Edit the following generic to specify the number of clock cycles
-- to delay before starting.
generic map (
    DIVIDER_DELAY => 1)
port map (
    CLKDV => CLKDV,    -- Divided clock output
    CLKIN => CLKIN     -- Clock input
);

-- End of CLK_DIV16SD_inst instantiation
```

Verilog 記述 (インスタンス化)

```
// CLK_DIV16SD: Clock Divide by 16 with Start Delay
//          CoolRunner-II
// Xilinx HDL Language Template, version 10.1

CLK_DIV16SD CLK_DIV16SD_inst (
    .CLKDV(CLKDV), // Divided clock output
    .CDRST(CDRST), // Synchronous reset input
    .CLKIN(CLKIN) // Clock input
);

// Edit the following defparam to specify the number of clock
// cycles to delay before starting. If the instance name to
// the clock divider is changed, that change needs to be
// reflected in the defparam statements.

defparam CLK_DIV16SD_inst.DIVIDER_DELAY = 1;

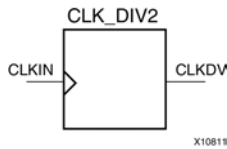
// End of CLK_DIV16SD_inst instantiation
```

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

CLK_DIV2

プリミティブ : Simple Global Clock Divide by 2



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

概要

このデザイン エLEMENTは、ユーザーにより供給される外部クロック信号 `gclk<2>` を 2 で分周します。

クロック分周器は各デザインに 1 つしか使用できません。このグローバル クロック分周器は、CoolRunner-II デバイスのうち XC2C128、XC2C256、XC2C384、および XC2C512 では使用できますが、XC2C32 と XC2C64 では使用できません。CLKIN 入力は、デバイスの `gclk<2>` ピンにしか接続できません。CLKDV 出力のデューティサイクルは、50-50 です。この出力は、同期ELEMENTのクロック入力にのみ接続できます。組み合わせロジックとして使用したり、出力ピンに直接配線することはできません。

CLKDV 出力は、パワーオン リセット回路により Low にリセットされます。

デザインの入力方法

インスタンシエーション	推奨
推論	不可
CORE Generator™ およびウィザード	不可
マクロのサポート	不可

このELEMENTは、回路図で使用されます。

VHDL 記述 (インスタンシエーション)

次の 2 つの構文が存在しない場合はコピーし、エンティティ宣言の前に貼り付けます。

```
Library UNISIM;
use UNISIM.vcomponents.all;

-- CLK_DIV2: Simple Clock Divide by 2
--           CoolRunner-II
-- Xilinx HDL Language Template, version 10.1

CLK_DIV2_inst : CLK_DIV2
port map (
    CLKDV => CLKDV,    -- Divided clock output
    CLKIN => CLKIN     -- Clock input
);

-- End of CLK_DIV2_inst instantiation
```


Verilog 記述 (インスタンス化)

```
// CLK_DIV2: Simple Clock Divide by 2
//           CoolRunner-II
// Xilinx HDL Language Template, version 10.1

CLK_DIV2 CLK_DIV2_inst (
    .CLKDV(CLKDV),    // Divided clock output
    .CLKIN(CLKIN)     // Clock input
);

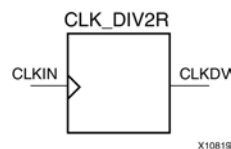
// End of CLK_DIV2_inst instantiation
```

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

CLK_DIV2R

プリミティブ : Global Clock Divide by 2 with Synchronous Reset



サポートされているアーキテクチャ

このデザイン エレメントは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

概要

このデザイン エレメントは、ユーザーにより供給される外部クロック信号 `gclk<2>` を 2 で分周します。

クロック分周器は各デザインに 1 つしか使用できません。このグローバル クロック分周器は、CoolRunner-II ファミリのうち XC2C128、XC2C256、XC2C384、および XC2C512 では使用できますが、XC2C32 と XC2C64 では使用できません。CLKIN および CDRST 入力は、それぞれデバイスの `gclk<2>` ピンおよび CDRST にしか接続できません。CLKDV 出力のデューティサイクルは、50-50 です。この出力は、同期エレメントのクロック入力にのみ接続できます。組み合わせロジックとして使用したり、出力ピンに直接配線することはできません。

CDRST 入力は、アクティブ High の同期リセットです。CLKDV 出力が High のとき、CDRST 入力が High になると、CLKDV 出力は最後のクロックパルスが完了するまで High のままで、その後で Low になります。

CLKDV 出力は、パワーオン リセット回路により Low にリセットされます。

デザインの入力方法

インスタンス化	推奨
推論	不可
CORE Generator™ およびウィザード	不可
マクロのサポート	不可

このエレメントは、回路図で使用されます。

VHDL 記述 (インスタンスレーション)

次の 2 つの構文が存在しない場合はコピーし、エンティティ宣言の前に貼り付けます。

```
Library UNISIM;
use UNISIM.vcomponents.all;

-- CLK_DIV2R: Clock Divide by 2 with Synchronous Reset
--           CoolRunner-II
-- Xilinx HDL Language Template, version 10.1

CLK_DIV2R_inst : CLK_DIV2R
port map (
    CLKDV => CLKDV,    -- Divided clock output
    CDRST => CDRST,    -- Synchronous reset input
    CLKIN => CLKIN     -- Clock input
);

-- End of CLK_DIV2R_inst instantiation
```

Verilog 記述 (インスタンスレーション)

```
// CLK_DIV2R: Clock Divide by 2 with Synchronous Reset
//           CoolRunner-II
// Xilinx HDL Language Template, version 10.1

CLK_DIV2R CLK_DIV2R_inst (
    .CLKDV(CLKDV),      // Divided clock output
    .CDRST(CDRST),      // Synchronous reset input
    .CLKIN(CLKIN)       // Clock input
);

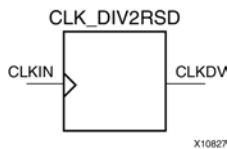
// End of CLK_DIV2R_inst instantiation
```

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

CLK_DIV2RSD

プリミティブ : Global Clock Divide by 2 with Synchronous Reset and Start Delay



サポートされているアーキテクチャ

このデザイン エレメントは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

概要

このデザイン エレメントは、ユーザーにより供給される外部クロック信号 `gclk<2>` を 2 で分周します。

クロック分周器は各デザインに 1 つしか使用できません。このグローバル クロック分周器は、CoolRunner-II ファミリのうち XC2C128、XC2C256、XC2C384、および XC2C512 では使用できますが、XC2C32 と XC2C64 では使用できません。CLKIN および CDRST 入力は、それぞれデバイスの `gclk<2>` ピンおよび CDRST にしか接続できません。CLKDV 出力のデューティサイクルは、50-50 です。この出力は、同期エレメントのクロック入力にのみ接続できます。組み合わせロジックとして使用したり、出力ピンに直接配線することはできません。

CDRST 入力は、アクティブ High の同期リセットです。CLKDV 出力が High のとき、CDRST 入力が High になると、CLKDV 出力は最後のクロックパルスが完了するまで High のままで、その後で Low になります。

開始遅延機能は CLKDV 出力の開始を (n+1) クロック分遅らせます。ここで、n は、クロック分周器の除数を指します。

CLKDV 出力は、パワーオン リセット回路により Low にリセットされます。

デザインの入力方法

インスタンス化	推奨
推論	不可
CORE Generator™ およびウィザード	不可
マクロのサポート	不可

このエレメントは、回路図で使用されます。

VHDL 記述 (インスタンスレーション)

次の 2 つの構文が存在しない場合はコピーし、エンティティ宣言の前に貼り付けます。

```
Library UNISIM;
use UNISIM.vcomponents.all;

-- CLK_DIV2RSD: Clock Divide by 2 with Synchronous Reset and Start
-- Delay
--          CoolRunner-II
-- Xilinx HDL Language Template, version 10.1

CLK_DIV2RSD_inst : CLK_DIV2RSD
-- Edit the following generic to specify the number of clock cycles
-- to delay before starting.
generic map (
    DIVIDER_DELAY => 1)
port map (
    CLKDV => CLKDV,    -- Divided clock output
    CDRST => CDRST,    -- Synchronous reset input
    CLKIN => CLKIN     -- Clock input
);

-- End of CLK_DIV2RSD_inst instantiation
```

Verilog 記述 (インスタンスレーション)

```
// CLK_DIV2RSD: Clock Divide by 2 with Synchronous Reset and Start
// Delay
//          CoolRunner-II
// Xilinx HDL Language Template, version 10.1

CLK_DIV2RSD CLK_DIV2RSD_inst (
    .CLKDV(CLKDV), // Divided clock output
    .CDRST(CDRST), // Synchronous reset input
    .CLKIN(CLKIN) // Clock input
);

// Edit the following defparam to specify the number of clock
// cycles to delay before starting. If the instance name to
// the clock divider is changed, that change needs to be
// reflected in the defparam statements.

defparam CLK_DIV2RSD_inst.DIVIDER_DELAY = 1;

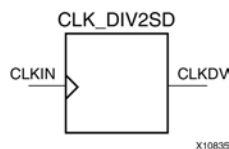
// End of CLK_DIV2RSD_inst instantiation
```

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

CLK_DIV2SD

プリミティブ : Global Clock Divide by 2 with Start Delay



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

概要

このデザイン エLEMENTは、ユーザーにより供給される外部クロック信号 `gclk<2>` を 2 で分周します。

クロック分周器は各デザインに 1 つしか使用できません。このグローバル クロック分周器は、CoolRunner-II デバイスのうち XC2C128、XC2C256、XC2C384、および XC2C512 では使用できますが、XC2C32 と XC2C64 では使用できません。CLKIN 入力は、デバイスの `gclk<2>` ピンにしか接続できません。CLKDV 出力のデューティサイクルは、50-50 です。この出力は、同期ELEMENTのクロック入力にのみ接続できます。組み合わせロジックとして使用したり、出力ピンに直接配線することはできません。

開始遅延機能は CLKDV 出力の開始を (n+1) クロック分遅らせます。ここで、n は、クロック分周器の除数を指します。

CLKDV 出力は、パワーオン リセット回路により Low にリセットされます。

デザインの入力方法

インスタンス化	推奨
推論	不可
CORE Generator™ およびウィザード	不可
マクロのサポート	不可

このELEMENTは、回路図で使用されます。

VHDL 記述 (インスタンス化)

次の 2 つの構文が存在しない場合はコピーし、エンティティ宣言の前に貼り付けます。

```
Library UNISIM;
use UNISIM.vcomponents.all;

-- CLK_DIV2SD: Clock Divide by 2 with Start Delay
--          CoolRunner-II
-- Xilinx HDL Language Template, version 10.1

CLK_DIV2SD_inst : CLK_DIV2SD
-- Edit the following generic to specify the number of clock cycles
-- to delay before starting.
generic map (
    DIVIDER_DELAY => 1)
port map (
    CLKDV => CLKDV,    -- Divided clock output
    CLKIN => CLKIN     -- Clock input
);

-- End of CLK_DIV2SD_inst instantiation
```

Verilog 記述 (インスタンス化)

```
// CLK_DIV2SD: Clock Divide by 2 with Start Delay
//          CoolRunner-II
// Xilinx HDL Language Template, version 10.1

CLK_DIV2SD CLK_DIV2SD_inst (
    .CLKDV(CLKDV), // Divided clock output
    .CDRST(CDRST), // Synchronous reset input
    .CLKIN(CLKIN) // Clock input
);

// Edit the following defparam to specify the number of clock
// cycles to delay before starting. If the instance name to
// the clock divider is changed, that change needs to be
// reflected in the defparam statements.

defparam CLK_DIV2SD_inst.DIVIDER_DELAY = 1;

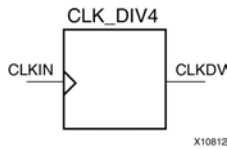
// End of CLK_DIV2SD_inst instantiation
```

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

CLK_DIV4

プリミティブ : Simple Global Clock Divide by 4



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

概要

このデザイン エLEMENTは、ユーザーにより供給される外部クロック信号 `gclk<2>` を 4 で分周します。

クロック分周器は各デザインに 1 つしか使用できません。このグローバル クロック分周器は、CoolRunner-II デバイスのうち XC2C128、XC2C256、XC2C384、および XC2C512 では使用できますが、XC2C32 と XC2C64 では使用できません。CLKIN 入力は、デバイスの `gclk<2>` ピンにしか接続できません。CLKDV 出力のデューティサイクルは、50-50 です。この出力は、同期ELEMENTのクロック入力にのみ接続できます。組み合わせロジックとして使用したり、出力ピンに直接配線することはできません。

CLKDV 出力は、パワーオン リセット回路により Low にリセットされます。

デザインの入力方法

インスタンス化	推奨
推論	不可
CORE Generator™ およびウィザード	不可
マクロのサポート	不可

このELEMENTは、回路図で使用されます。

VHDL 記述 (インスタンス化)

次の 2 つの構文が存在しない場合はコピーし、エンティティ宣言の前に貼り付けます。

```
Library UNISIM;
use UNISIM.vcomponents.all;

-- CLK_DIV4: Simple Clock Divide by 4
--           CoolRunner-II
-- Xilinx HDL Language Template, version 10.1

CLK_DIV4_inst : CLK_DIV4
port map (
    CLKDV => CLKDV,    -- Divided clock output
    CLKIN => CLKIN     -- Clock input
);

-- End of CLK_DIV4_inst instantiation
```


Verilog 記述 (インスタンス化)

```
// CLK_DIV4: Simple Clock Divide by 4
//           CoolRunner-II
// Xilinx HDL Language Template, version 10.1

CLK_DIV4 CLK_DIV4_inst (
    .CLKDV(CLKDV),    // Divided clock output
    .CLKIN(CLKIN)     // Clock input
);

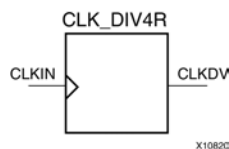
// End of CLK_DIV4_inst instantiation
```

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

CLK_DIV4R

プリミティブ : Global Clock Divide by 4 with Synchronous Reset



サポートされているアーキテクチャ

このデザイン エレメントは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

概要

このデザイン エレメントは、ユーザーにより供給される外部クロック信号 `gclk<2>` を 4 で分周します。

クロック分周器は各デザインに 1 つしか使用できません。このグローバル クロック分周器は、CoolRunner-II ファミリのうち XC2C128、XC2C256、XC2C384、および XC2C512 では使用できますが、XC2C32 と XC2C64 では使用できません。CLKIN および CDRST 入力は、それぞれデバイスの `gclk<2>` ピンおよび CDRST にしか接続できません。CLKDV 出力のデューティサイクルは、50-50 です。この出力は、同期エレメントのクロック入力にのみ接続できます。組み合わせロジックとして使用したり、出力ピンに直接配線することはできません。

CDRST 入力は、アクティブ High の同期リセットです。CLKDV 出力が High のとき、CDRST 入力が High になると、CLKDV 出力は最後のクロックパルスが完了するまで High のままで、その後で Low になります。

CLKDV 出力は、パワーオン リセット回路により Low にリセットされます。

デザインの入力方法

インスタンス化	推奨
推論	不可
CORE Generator™ およびウィザード	不可
マクロのサポート	不可

このエレメントは、回路図で使用されます。

VHDL 記述 (インスタンス化)

次の 2 つの構文が存在しない場合はコピーし、エンティティ宣言の前に貼り付けます。

```
Library UNISIM;
use UNISIM.vcomponents.all;

-- CLK_DIV4R: Clock Divide by 4 with Synchronous Reset
--           CoolRunner-II
-- Xilinx HDL Language Template, version 10.1

CLK_DIV4R_inst : CLK_DIV4R
port map (
    CLKDV => CLKDV,    -- Divided clock output
    CDRST => CDRST,    -- Synchronous reset input
    CLKIN => CLKIN     -- Clock input
);

-- End of CLK_DIV4R_inst instantiation
```

Verilog 記述 (インスタンス化)

```
// CLK_DIV4R: Clock Divide by 4 with Synchronous Reset
//           CoolRunner-II
// Xilinx HDL Language Template, version 10.1

CLK_DIV4R CLK_DIV4R_inst (
    .CLKDV(CLKDV),    // Divided clock output
    .CDRST(CDRST),    // Synchronous reset input
    .CLKIN(CLKIN)     // Clock input
);

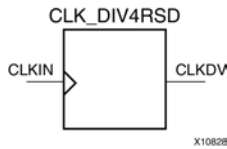
// End of CLK_DIV4R_inst instantiation
```

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

CLK_DIV4RSD

プリミティブ : Global Clock Divide by 4 with Synchronous Reset and Start Delay



サポートされているアーキテクチャ

このデザイン エレメントは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

概要

このデザイン エレメントは、ユーザーにより供給される外部クロック信号 `gclk<2>` を 4 で分周します。

クロック分周器は各デザインに 1 つしか使用できません。このグローバル クロック分周器は、CoolRunner-II ファミリのうち XC2C128、XC2C256、XC2C384、および XC2C512 では使用できますが、XC2C32 と XC2C64 では使用できません。CLKIN および CDRST 入力は、それぞれデバイスの `gclk<2>` ピンおよび CDRST にしか接続できません。CLKDV 出力のデューティサイクルは、50-50 です。この出力は、同期エレメントのクロック入力にのみ接続できます。組み合わせロジックとして使用したり、出力ピンに直接配線することはできません。

CDRST 入力は、アクティブ High の同期リセットです。CLKDV 出力が High のとき、CDRST 入力が High になると、CLKDV 出力は最後のクロックパルスが完了するまで High のままで、その後で Low になります。

開始遅延機能は CLKDV 出力の開始を (n+1) クロック分遅らせます。ここで、n は、クロック分周器の除数を指します。

CLKDV 出力は、パワーオン リセット回路により Low にリセットされます。

デザインの入力方法

インスタンス化	推奨
推論	不可
CORE Generator™ およびウィザード	不可
マクロのサポート	不可

このエレメントは、回路図で使用されます。

VHDL 記述 (インスタンスレーション)

次の 2 つの構文が存在しない場合はコピーし、エンティティ宣言の前に貼り付けます。

```
Library UNISIM;
use UNISIM.vcomponents.all;

-- CLK_DIV4RSD: Clock Divide by 4 with Synchronous Reset and Start
-- Delay
--          CoolRunner-II
-- Xilinx HDL Language Template, version 10.1

    CLK_DIV4RSD_inst : CLK_DIV4RSD
-- Edit the following generic to specify the number of clock cycles
-- to delay before starting.
generic map (
    DIVIDER_DELAY => 1)
port map (
    CLKDV => CLKDV,    -- Divided clock output
    CDRST => CDRST,    -- Synchronous reset input
    CLKIN => CLKIN     -- Clock input
);

-- End of CLK_DIV4RSD_inst instantiation
```

Verilog 記述 (インスタンスレーション)

```
// CLK_DIV4RSD: Clock Divide by 4 with Synchronous Reset and Start
// Delay
//          CoolRunner-II
// Xilinx HDL Language Template, version 10.1

CLK_DIV4RSD CLK_DIV4RSD_inst (
    .CLKDV(CLKDV), // Divided clock output
    .CDRST(CDRST), // Synchronous reset input
    .CLKIN(CLKIN) // Clock input
);

// Edit the following defparam to specify the number of clock
// cycles to delay before starting. If the instance name to
// the clock divider is changed, that change needs to be
// reflected in the defparam statements.

defparam CLK_DIV4RSD_inst.DIVIDER_DELAY = 1;

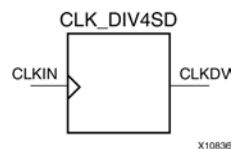
// End of CLK_DIV4RSD_inst instantiation
```

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

CLK_DIV4SD

プリミティブ : Global Clock Divide by 4 with Start Delay



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

概要

このデザイン エLEMENTは、ユーザーにより供給される外部クロック信号 `gclk<2>` を 4 で分周します。

クロック分周器は各デザインに 1 つしか使用できません。このグローバル クロック分周器は、CoolRunner-II デバイスのうち XC2C128、XC2C256、XC2C384、および XC2C512 では使用できますが、XC2C32 と XC2C64 では使用できません。CLKIN 入力は、デバイスの `gclk<2>` ピンにしか接続できません。CLKDV 出力のデューティサイクルは、50-50 です。この出力は、同期ELEMENTのクロック入力にのみ接続できます。組み合わせロジックとして使用したり、出力ピンに直接配線することはできません。

開始遅延機能は CLKDV 出力の開始を (n+1) クロック分遅らせます。ここで、n は、クロック分周器の除数を指します。

CLKDV 出力は、パワーオン リセット回路により Low にリセットされます。

デザインの入力方法

インスタンス化	推奨
推論	不可
CORE Generator™ およびウィザード	不可
マクロのサポート	不可

このELEMENTは、回路図で使用されます。

VHDL 記述 (インスタンス化)

次の 2 つの構文が存在しない場合はコピーし、エンティティ宣言の前に貼り付けます。

```
Library UNISIM;
use UNISIM.vcomponents.all;

-- CLK_DIV4SD: Clock Divide by 4 with Start Delay
--           CoolRunner-II
-- Xilinx HDL Language Template, version 10.1

CLK_DIV4SD_inst : CLK_DIV4SD
-- Edit the following generic to specify the number of clock cycles
-- to delay before starting.
generic map (
    DIVIDER_DELAY => 1)
port map (
    CLKDV => CLKDV,    -- Divided clock output
    CLKIN => CLKIN     -- Clock input
);

-- End of CLK_DIV4SD_inst instantiation
```

Verilog 記述 (インスタンス化)

```
// CLK_DIV4SD: Clock Divide by 4 with Start Delay
//           CoolRunner-II
// Xilinx HDL Language Template, version 10.1

CLK_DIV4SD CLK_DIV4SD_inst (
    .CLKDV(CLKDV), // Divided clock output
    .CDRST(CDRST), // Synchronous reset input
    .CLKIN(CLKIN) // Clock input
);

// Edit the following defparam to specify the number of clock
// cycles to delay before starting. If the instance name to
// the clock divider is changed, that change needs to be
// reflected in the defparam statements.

defparam CLK_DIV4SD_inst.DIVIDER_DELAY = 1;

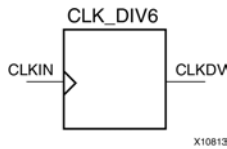
// End of CLK_DIV4SD_inst instantiation
```

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

CLK_DIV6

プリミティブ : Simple Global Clock Divide by 6



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

概要

このデザイン エLEMENTは、ユーザーにより供給される外部クロック信号 `gclk<2>` を 6 で分周します。

クロック分周器は各デザインに 1 つしか使用できません。このグローバル クロック分周器は、CoolRunner-II デバイスのうち XC2C128、XC2C256、XC2C384、および XC2C512 では使用できますが、XC2C32 と XC2C64 では使用できません。CLKIN 入力は、デバイスの `gclk<2>` ピンにしか接続できません。CLKDV 出力のデューティサイクルは、50-50 です。この出力は、同期ELEMENTのクロック入力にのみ接続できます。組み合わせロジックとして使用したり、出力ピンに直接配線することはできません。

CLKDV 出力は、パワーオン リセット回路により Low にリセットされます。

デザインの入力方法

インスタンシエーション	推奨
推論	不可
CORE Generator™ およびウィザード	不可
マクロのサポート	不可

このELEMENTは、回路図で使用されます。

VHDL 記述 (インスタンシエーション)

次の 2 つの構文が存在しない場合はコピーし、エンティティ宣言の前に貼り付けます。

```
Library UNISIM;
use UNISIM.vcomponents.all;

-- CLK_DIV6: Simple Clock Divide by 6
--           CoolRunner-II
-- Xilinx HDL Language Template, version 10.1

CLK_DIV6_inst : CLK_DIV6
port map (
    CLKDV => CLKDV,    -- Divided clock output
    CLKIN => CLKIN     -- Clock input
);

-- End of CLK_DIV6_inst instantiation
```


Verilog 記述 (インスタンス化)

```
// CLK_DIV6: Simple Clock Divide by 6
//           CoolRunner-II
// Xilinx HDL Language Template, version 10.1

CLK_DIV6 CLK_DIV6_inst (
    .CLKDV(CLKDV),    // Divided clock output
    .CLKIN(CLKIN)     // Clock input
);

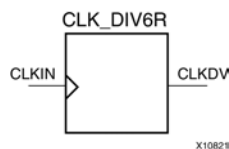
// End of CLK_DIV6_inst instantiation
```

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

CLK_DIV6R

プリミティブ : Global Clock Divide by 6 with Synchronous Reset



サポートされているアーキテクチャ

このデザイン エレメントは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

概要

このデザイン エレメントは、ユーザーにより供給される外部クロック信号 `gclk<2>` を 6 で分周します。

クロック分周器は各デザインに 1 つしか使用できません。このグローバル クロック分周器は、CoolRunner-II ファミリのうち XC2C128、XC2C256、XC2C384、および XC2C512 では使用できますが、XC2C32 と XC2C64 では使用できません。CLKIN および CDRST 入力は、それぞれデバイスの `gclk<2>` ピンおよび CDRST にしか接続できません。CLKDV 出力のデューティサイクルは、50-50 です。この出力は、同期エレメントのクロック入力にのみ接続できます。組み合わせロジックとして使用したり、出力ピンに直接配線することはできません。

CDRST 入力は、アクティブ High の同期リセットです。CLKDV 出力が High のとき、CDRST 入力が High になると、CLKDV 出力は最後のクロックパルスが完了するまで High のままで、その後で Low になります。

CLKDV 出力は、パワーオン リセット回路により Low にリセットされます。

デザインの入力方法

インスタンス化	推奨
推論	不可
CORE Generator™ およびウィザード	不可
マクロのサポート	不可

このエレメントは、回路図で使用されます。

VHDL 記述 (インスタンスエーション)

次の 2 つの構文が存在しない場合はコピーし、エンティティ宣言の前に貼り付けます。

```
Library UNISIM;
use UNISIM.vcomponents.all;

-- CLK_DIV6R: Clock Divide by 6 with Synchronous Reset
--           CoolRunner-II
-- Xilinx HDL Language Template, version 10.1

CLK_DIV6R_inst : CLK_DIV6R
port map (
    CLKDV => CLKDV,    -- Divided clock output
    CDRST => CDRST,    -- Synchronous reset input
    CLKIN => CLKIN     -- Clock input
);

-- End of CLK_DIV6R_inst instantiation
```

Verilog 記述 (インスタンスエーション)

```
// CLK_DIV6R: Clock Divide by 6 with Synchronous Reset
//           CoolRunner-II
// Xilinx HDL Language Template, version 10.1

CLK_DIV6R CLK_DIV6R_inst (
    .CLKDV(CLKDV),      // Divided clock output
    .CDRST(CDRST),     // Synchronous reset input
    .CLKIN(CLKIN)      // Clock input
);

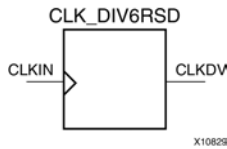
// End of CLK_DIV6R_inst instantiation
```

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

CLK_DIV6RSD

プリミティブ : Global Clock Divide by 6 with Synchronous Reset and Start Delay



サポートされているアーキテクチャ

このデザイン エレメントは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

概要

このデザイン エレメントは、ユーザーにより供給される外部クロック信号 `gclk<2>` を 6 で分周します。

クロック分周器は各デザインに 1 つしか使用できません。このグローバル クロック分周器は、CoolRunner-II ファミリのうち XC2C128、XC2C256、XC2C384、および XC2C512 では使用できますが、XC2C32 と XC2C64 では使用できません。CLKIN および CDRST 入力は、それぞれデバイスの `gclk<2>` ピンおよび CDRST にしか接続できません。CLKDV 出力のデューティサイクルは、50-50 です。この出力は、同期エレメントのクロック入力にのみ接続できます。組み合わせロジックとして使用したり、出力ピンに直接配線することはできません。

CDRST 入力は、アクティブ High の同期リセットです。CLKDV 出力が High のとき、CDRST 入力が High になると、CLKDV 出力は最後のクロックパルスが完了するまで High のままで、その後で Low になります。

開始遅延機能は CLKDV 出力の開始を (n+1) クロック分遅らせます。ここで、n は、クロック分周器の除数を指します。

CLKDV 出力は、パワーオン リセット回路により Low にリセットされます。

デザインの入力方法

インスタンス化	推奨
推論	不可
CORE Generator™ およびウィザード	不可
マクロのサポート	不可

このエレメントは、回路図で使用されます。

VHDL 記述 (インスタンスレーション)

次の 2 つの構文が存在しない場合はコピーし、エンティティ宣言の前に貼り付けます。

```
Library UNISIM;
use UNISIM.vcomponents.all;

-- CLK_DIV6RSD: Clock Divide by 6 with Synchronous Reset and Start
-- Delay
--          CoolRunner-II
-- Xilinx HDL Language Template, version 10.1

CLK_DIV6RSD_inst : CLK_DIV6RSD
-- Edit the following generic to specify the number of clock cycles
-- to delay before starting.
generic map (
    DIVIDER_DELAY => 1)
port map (
    CLKDV => CLKDV,    -- Divided clock output
    CDRST => CDRST,    -- Synchronous reset input
    CLKIN => CLKIN     -- Clock input
);

-- End of CLK_DIV6RSD_inst instantiation
```

Verilog 記述 (インスタンスレーション)

```
// CLK_DIV6RSD: Clock Divide by 6 with Synchronous Reset and Start
// Delay
//          CoolRunner-II
// Xilinx HDL Language Template, version 10.1

CLK_DIV6RSD CLK_DIV6RSD_inst (
    .CLKDV(CLKDV), // Divided clock output
    .CDRST(CDRST), // Synchronous reset input
    .CLKIN(CLKIN) // Clock input
);

// Edit the following defparam to specify the number of clock
// cycles to delay before starting. If the instance name to
// the clock divider is changed, that change needs to be
// reflected in the defparam statements.

defparam CLK_DIV6RSD_inst.DIVIDER_DELAY = 1;

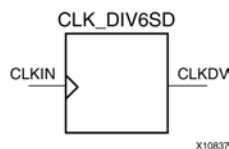
// End of CLK_DIV6RSD_inst instantiation
```

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

CLK_DIV6SD

プリミティブ : Global Clock Divide by 6 with Start Delay



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

概要

このデザイン エLEMENTは、ユーザーにより供給される外部クロック信号 `gclk<2>` を 6 で分周します。

クロック分周器は各デザインに 1 つしか使用できません。このグローバル クロック分周器は、CoolRunner-II デバイスのうち XC2C128、XC2C256、XC2C384、および XC2C512 では使用できますが、XC2C32 と XC2C64 では使用できません。CLKIN 入力は、デバイスの `gclk<2>` ピンにしか接続できません。CLKDV 出力のデューティサイクルは、50-50 です。この出力は、同期ELEMENTのクロック入力にのみ接続できます。組み合わせロジックとして使用したり、出力ピンに直接配線することはできません。

開始遅延機能は CLKDV 出力の開始を (n+1) クロック分遅らせます。ここで、n は、クロック分周器の除数を指します。

CLKDV 出力は、パワーオン リセット回路により Low にリセットされます。

デザインの入力方法

インスタンス化	推奨
推論	不可
CORE Generator™ およびウィザード	不可
マクロのサポート	不可

このELEMENTは、回路図で使用されます。

VHDL 記述 (インスタンス化)

次の 2 つの構文が存在しない場合はコピーし、エンティティ宣言の前に貼り付けます。

```
Library UNISIM;
use UNISIM.vcomponents.all;

-- CLK_DIV6SD: Clock Divide by 6 with Start Delay
--          CoolRunner-II
-- Xilinx HDL Language Template, version 10.1

CLK_DIV6SD_inst : CLK_DIV6SD
-- Edit the following generic to specify the number of clock cycles
-- to delay before starting.
generic map (
    DIVIDER_DELAY => 1)
port map (
    CLKDV => CLKDV,    -- Divided clock output
    CLKIN => CLKIN     -- Clock input
);

-- End of CLK_DIV4SD_inst instantiation
```

Verilog 記述 (インスタンス化)

```
// CLK_DIV6SD: Clock Divide by 6 with Start Delay
//          CoolRunner-II
// Xilinx HDL Language Template, version 10.1

CLK_DIV6SD CLK_DIV6SD_inst (
    .CLKDV(CLKDV), // Divided clock output
    .CDRST(CDRST), // Synchronous reset input
    .CLKIN(CLKIN) // Clock input
);

// Edit the following defparam to specify the number of clock
// cycles to delay before starting. If the instance name to
// the clock divider is changed, that change needs to be
// reflected in the defparam statements.

defparam CLK_DIV6SD_inst.DIVIDER_DELAY = 1;

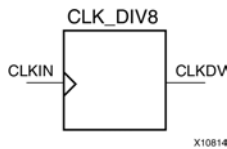
// End of CLK_DIV6SD_inst instantiation
```

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

CLK_DIV8

プリミティブ : Simple Global Clock Divide by 8



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

概要

このデザイン エLEMENTは、ユーザーにより供給される外部クロック信号 `gclk<2>` を 8 で分周します。

クロック分周器は各デザインに 1 つしか使用できません。このグローバル クロック分周器は、CoolRunner-II デバイスのうち XC2C128、XC2C256、XC2C384、および XC2C512 では使用できますが、XC2C32 と XC2C64 では使用できません。CLKIN 入力は、デバイスの `gclk<2>` ピンにしか接続できません。CLKDV 出力のデューティサイクルは、50-50 です。この出力は、同期ELEMENTのクロック入力にのみ接続できます。組み合わせロジックとして使用したり、出力ピンに直接配線することはできません。

CLKDV 出力は、パワーオン リセット回路により Low にリセットされます。

デザインの入力方法

インスタンス化	推奨
推論	不可
CORE Generator™ およびウィザード	不可
マクロのサポート	不可

このELEMENTは、回路図で使用されます。

VHDL 記述 (インスタンス化)

次の 2 つの構文が存在しない場合はコピーし、エンティティ宣言の前に貼り付けます。

```
Library UNISIM;
use UNISIM.vcomponents.all;

-- CLK_DIV8: Simple Clock Divide by 8
--           CoolRunner-II
-- Xilinx HDL Language Template, version 10.1

CLK_DIV8_inst : CLK_DIV8
port map (
    CLKDV => CLKDV,    -- Divided clock output
    CLKIN => CLKIN      -- Clock input
);

-- End of CLK_DIV8_inst instantiation
```


Verilog 記述 (インスタンス化)

```
// CLK_DIV8: Simple Clock Divide by 8
//          CoolRunner-II
// Xilinx HDL Language Template, version 10.1

CLK_DIV8 CLK_DIV8_inst (
    .CLKDV(CLKDV),    // Divided clock output
    .CLKIN(CLKIN)     // Clock input
);

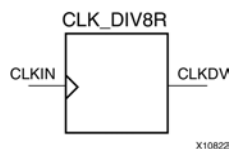
// End of CLK_DIV8_inst instantiation
```

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

CLK_DIV8R

プリミティブ : Global Clock Divide by 8 with Synchronous Reset



サポートされているアーキテクチャ

このデザイン エレメントは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

概要

このデザイン エレメントは、ユーザーにより供給される外部クロック信号 `gclk<2>` を 8 で分周します。

クロック分周器は各デザインに 1 つしか使用できません。このグローバル クロック分周器は、CoolRunner-II ファミリのうち XC2C128、XC2C256、XC2C384、および XC2C512 では使用できますが、XC2C32 と XC2C64 では使用できません。CLKIN および CDRST 入力は、それぞれデバイスの `gclk<2>` ピンおよび CDRST にしか接続できません。CLKDV 出力のデューティサイクルは、50-50 です。この出力は、同期エレメントのクロック入力にのみ接続できます。組み合わせロジックとして使用したり、出力ピンに直接配線することはできません。

CDRST 入力は、アクティブ High の同期リセットです。CLKDV 出力が High のとき、CDRST 入力が High になると、CLKDV 出力は最後のクロックパルスが完了するまで High のままで、その後で Low になります。

CLKDV 出力は、パワーオン リセット回路により Low にリセットされます。

デザインの入力方法

インスタンス化	推奨
推論	不可
CORE Generator™ およびウィザード	不可
マクロのサポート	不可

このエレメントは、回路図で使用されます。

VHDL 記述 (インスタンスエーション)

次の 2 つの構文が存在しない場合はコピーし、エンティティ宣言の前に貼り付けます。

```
Library UNISIM;
use UNISIM.vcomponents.all;

-- CLK_DIV8R: Clock Divide by 8 with Synchronous Reset
--           CoolRunner-II
-- Xilinx HDL Language Template, version 10.1

CLK_DIV8R_inst : CLK_DIV8R
port map (
    CLKDV => CLKDV,    -- Divided clock output
    CDRST => CDRST,    -- Synchronous reset input
    CLKIN => CLKIN     -- Clock input
);

-- End of CLK_DIV8R_inst instantiation
```

Verilog 記述 (インスタンスエーション)

```
// CLK_DIV8R: Clock Divide by 8 with Synchronous Reset
//           CoolRunner-II
// Xilinx HDL Language Template, version 10.1

CLK_DIV8R CLK_DIV8R_inst (
    .CLKDV(CLKDV),      // Divided clock output
    .CDRST(CDRST),     // Synchronous reset input
    .CLKIN(CLKIN)      // Clock input
);

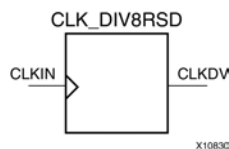
// End of CLK_DIV8R_inst instantiation
```

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

CLK_DIV8RSD

プリミティブ : Global Clock Divide by 8 with Synchronous Reset and Start Delay



サポートされているアーキテクチャ

このデザイン エレメントは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

概要

このデザイン エレメントは、ユーザーにより供給される外部クロック信号 `gclk<2>` を 8 で分周します。

クロック分周器は各デザインに 1 つしか使用できません。このグローバル クロック分周器は、CoolRunner-II ファミリのうち XC2C128、XC2C256、XC2C384、および XC2C512 では使用できますが、XC2C32 と XC2C64 では使用できません。CLKIN および CDRST 入力は、それぞれデバイスの `gclk<2>` ピンおよび CDRST にしか接続できません。CLKDV 出力のデューティサイクルは、50-50 です。この出力は、同期エレメントのクロック入力にのみ接続できます。組み合わせロジックとして使用したり、出力ピンに直接配線することはできません。

CDRST 入力は、アクティブ High の同期リセットです。CLKDV 出力が High のとき、CDRST 入力が High になると、CLKDV 出力は最後のクロックパルスが完了するまで High のままで、その後で Low になります。

開始遅延機能は CLKDV 出力の開始を (n+1) クロック分遅らせます。ここで、n は、クロック分周器の除数を指します。

CLKDV 出力は、パワーオン リセット回路により Low にリセットされます。

デザインの入力方法

インスタンス化	推奨
推論	不可
CORE Generator™ およびウィザード	不可
マクロのサポート	不可

このエレメントは、回路図で使用されます。

VHDL 記述 (インスタンスレーション)

次の 2 つの構文が存在しない場合はコピーし、エンティティ宣言の前に貼り付けます。

```
Library UNISIM;
use UNISIM.vcomponents.all;

-- CLK_DIV8RSD: Clock Divide by 8 with Synchronous Reset and Start
-- Delay
--          CoolRunner-II
-- Xilinx HDL Language Template, version 10.1

CLK_DIV8RSD_inst : CLK_DIV8RSD
-- Edit the following generic to specify the number of clock cycles
-- to delay before starting.
generic map (
    DIVIDER_DELAY => 1)
port map (
    CLKDV => CLKDV,    -- Divided clock output
    CDRST => CDRST,    -- Synchronous reset input
    CLKIN => CLKIN     -- Clock input
);

-- End of CLK_DIV8RSD_inst instantiation
```

Verilog 記述 (インスタンスレーション)

```
// CLK_DIV8RSD: Clock Divide by 8 with Synchronous Reset and Start
// Delay
//          CoolRunner-II
// Xilinx HDL Language Template, version 10.1

CLK_DIV8RSD CLK_DIV8RSD_inst (
    .CLKDV(CLKDV), // Divided clock output
    .CDRST(CDRST), // Synchronous reset input
    .CLKIN(CLKIN)  // Clock input
);

// Edit the following defparam to specify the number of clock
// cycles to delay before starting. If the instance name to
// the clock divider is changed, that change needs to be
// reflected in the defparam statements.

defparam CLK_DIV8RSD_inst.DIVIDER_DELAY = 1;

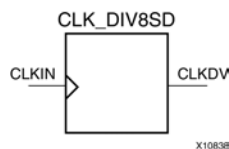
// End of CLK_DIV8RSD_inst instantiation
```

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

CLK_DIV8SD

プリミティブ : Global Clock Divide by 8 with Start Delay



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

概要

このデザイン エLEMENTは、ユーザーにより供給される外部クロック信号 `gclk<2>` を 8 で分周します。

クロック分周器は各デザインに 1 つしか使用できません。このグローバル クロック分周器は、CoolRunner-II デバイスのうち XC2C128、XC2C256、XC2C384、および XC2C512 では使用できますが、XC2C32 と XC2C64 では使用できません。CLKIN 入力は、デバイスの `gclk<2>` ピンにしか接続できません。CLKDV 出力のデューティサイクルは、50-50 です。この出力は、同期ELEMENTのクロック入力にのみ接続できます。組み合わせロジックとして使用したり、出力ピンに直接配線することはできません。

開始遅延機能は CLKDV 出力の開始を (n+1) クロック分遅らせます。ここで、n は、クロック分周器の除数を指します。

CLKDV 出力は、パワーオン リセット回路により Low にリセットされます。

デザインの入力方法

インスタンス化	推奨
推論	不可
CORE Generator™ およびウィザード	不可
マクロのサポート	不可

このELEMENTは、回路図で使用されます。

VHDL 記述 (インスタンス化)

次の 2 つの構文が存在しない場合はコピーし、エンティティ宣言の前に貼り付けます。

```
Library UNISIM;
use UNISIM.vcomponents.all;

-- CLK_DIV8SD: Clock Divide by 8 with Start Delay
--          CoolRunner-II
-- Xilinx HDL Language Template, version 10.1

CLK_DIV8SD_inst : CLK_DIV8SD
-- Edit the following generic to specify the number of clock cycles
-- to delay before starting.
generic map (
    DIVIDER_DELAY => 1)
port map (
    CLKDV => CLKDV,    -- Divided clock output
    CLKIN => CLKIN     -- Clock input
);

-- End of CLK_DIV8SD_inst instantiation
```

Verilog 記述 (インスタンス化)

```
// CLK_DIV8SD: Clock Divide by 8 with Start Delay
//          CoolRunner-II
// Xilinx HDL Language Template, version 10.1

CLK_DIV8SD CLK_DIV8SD_inst (
    .CLKDV(CLKDV), // Divided clock output
    .CDRST(CDRST), // Synchronous reset input
    .CLKIN(CLKIN) // Clock input
);

// Edit the following defparam to specify the number of clock
// cycles to delay before starting. If the instance name to
// the clock divider is changed, that change needs to be
// reflected in the defparam statements.

defparam CLK_DIV8SD_inst.DIVIDER_DELAY = 1;

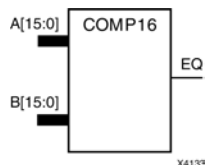
// End of CLK_DIV8SD_inst instantiation
```

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

COMP16

マクロ : 16-Bit Identity Comparator



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

このデザイン エLEMENTは、16 ビットのアイデンティティ コンパレータです。イコール出力 (EQ) は、A15 ~ A0 および B15 ~ B0 の 2 つのワードが等しいと High になります。

2 つのワードが等しいかどうかは、各ビットを比較して判断されます。各ワードの対応するビットのいずれかに等しくないものがある場合、EQ 出力は Low になります。

デザインの入力方法

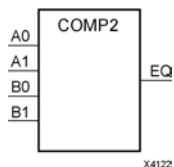
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

COMP2

マクロ : 2-Bit Identity Comparator



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

このデザイン エLEMENTは、2 ビットのアイデンティティ コンパレータです。イコール出力 (EQ) は、A1 ~ A0 および B1 ~ B0 の 2 つのワードが等しいと High になります。

2 つのワードが等しいかどうかは、各ビットを比較して判断されます。各ワードの対応するビットのいずれかに等しくないものがある場合、EQ 出力は Low になります。

デザインの入力方法

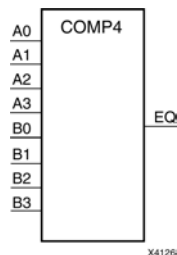
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

COMP4

マクロ : 4-Bit Identity Comparator



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

このデザイン エLEMENTは、4 ビットのアイデンティティ コンパレータです。イコール出力 (EQ) は、A3 ~ A0 および B3 ~ B0 の 2 つのワードが等しいと High になります。

2 つのワードが等しいかどうかは、各ビットを比較して判断されます。各ワードの対応するビットのいずれかに等しくないものがある場合、EQ 出力は Low になります。

デザインの入力方法

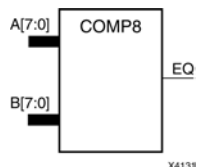
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

COMP8

マクロ : 8-Bit Identity Comparator



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

このデザイン エLEMENTは、8 ビットのアイデンティティ コンパレータです。イコール出力 (EQ) は、A7 ~ A0 および B7 ~ B0 の 2 つのワードが等しいと High になります。

2 つのワードが等しいかどうかは、各ビットを比較して判断されます。各ワードの対応するビットのいずれかに等しくないものがある場合、EQ 出力は Low になります。

デザインの入力方法

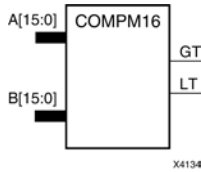
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

COMPM16

マクロ : 16-Bit Magnitude Comparator



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

このデザイン エLEMENTは 16 ビットのマグニチュード コンパレータであり、2 つの正の 2 進重み付きワード A15 ~ A0 と B15 ~ B0 を比較します。この場合、A15 と B15 が最上位ビットです。

大なり出力 (GT) は $A > B$ のとき High になり、小なり出力 (LT) は $A < B$ のとき High になります。2 つのワードが等しいときは、GT と LT の両方が Low になります。このマクロで等価性を調べるには、両方の出力を NOR ゲートで比較します。

論理表

入力								出力	
A7、B7	A6、B6	A5、B5	A4、B4	A3、B3	A2、B2	A1、B1	A0、B0	GT	LT
A7>B7	X	X	X	X	X	X	X	1	0
A7<B7	X	X	X	X	X	X	X	0	1
A7=B7	A6>B6	X	X	X	X	X	X	1	0
A7=B7	A6<B6	X	X	X	X	X	X	0	1
A7=B7	A6=B6	A5>B5	X	X	X	X	X	1	0
A7=B7	A6=B6	A5<B5	X	X	X	X	X	0	1
A7=B7	A6=B6	A5=B5	A4>B4	X	X	X	X	1	0
A7=B7	A6=B6	A5=B5	A4<B4	X	X	X	X	0	1
A7=B7	A6=B6	A5=B5	A4=B4	A3>B3	X	X	X	1	0
A7=B7	A6=B6	A5=B5	A4=B4	A3<B3	X	X	X	0	1
A7=B7	A6=B6	A5=B5	A4=B4	A3=B3	A2>B2	X	X	1	0
A7=B7	A6=B6	A5=B5	A4=B4	A3=B3	A2<B2	X	X	0	1
A7=B7	A6=B6	A5=B5	A4=B4	A3=B3	A2=B2	A1>B1	X	1	0
A7=B7	A6=B6	A5=B5	A4=B4	A3=B3	A2=B2	A1<B1	X	0	1
A7=B7	A6=B6	A5=B5	A4=B4	A3=B3	A2=B2	A1=B1	A0>B0	1	0
A7=B7	A6=B6	A5=B5	A4=B4	A3=B3	A2=B2	A1=B1	A0<B0	0	1
A7=B7	A6=B6	A5=B5	A4=B4	A3=B3	A2=B2	A1=B1	A0=B0	0	0

デザインの入力方法

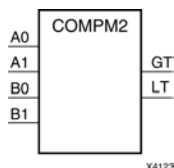
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

COMPM2

マクロ : 2-Bit Magnitude Comparator



サポートされているアーキテクチャ

このデザイン エレメントは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

このデザイン エレメントは 2 ビットのマグニチュード コンパレータであり、2 つの正の 2 進重み付きワード A1 ~ A0 と B1 ~ B0 を比較します。この場合、A1 と B1 が最上位ビットです。

大なり出力 (GT) は $A > B$ のとき High になり、小なり出力 (LT) は $A < B$ のとき High になります。2 つのワードが等しいときは、GT と LT の両方が Low になります。このマクロで等価性を調べるには、両方の出力を NOR ゲートで比較します。

論理表

入力				出力	
A1	B1	A0	B0	GT	LT
0	0	0	0	0	0
0	0	1	0	1	0
0	0	0	1	0	1
0	0	1	1	0	0
1	1	0	0	0	0
1	1	1	0	1	0
1	1	0	1	0	1
1	1	1	1	0	0
1	0	X	X	1	0
0	1	X	X	0	1

デザインの入力方法

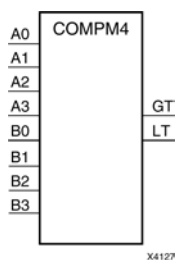
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

COMPM4

マクロ : 4-Bit Magnitude Comparator



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

このデザイン エLEMENTは 4 ビットのマグニチュード コンパレータであり、2 つの正の 2 進重み付きワード A3 ~ A0 と B3 ~ B0 を比較します。この場合、A3 と B3 が最上位ビットです。

大なり出力 (GT) は $A > B$ のとき High になり、小なり出力 (LT) は $A < B$ のとき High になります。2 つのワードが等しいときは、GT と LT の両方が Low になります。このマクロで等価性を調べるには、両方の出力を NOR ゲートで比較します。

論理表

入力				出力	
A3、B3	A2、B2	A1、B1	A0、B0	GT	LT
$A3 > B3$	X	X	X	1	0
$A3 < B3$	X	X	X	0	1
$A3 = B3$	$A2 > B2$	X	X	1	0
$A3 = B3$	$A2 < B2$	X	X	0	1
$A3 = B3$	$A2 = B2$	$A1 > B1$	X	1	0
$A3 = B3$	$A2 = B2$	$A1 < B1$	X	0	1
$A3 = B3$	$A2 = A2$	$A1 = B1$	$A0 > B0$	1	0
$A3 = B3$	$A2 = B2$	$A1 = B1$	$A0 < B0$	0	1
$A3 = B3$	$A2 = B2$	$A1 = B1$	$A0 = B0$	0	0

デザインの入力方法

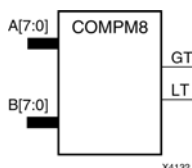
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

COMP8

マクロ : 8-Bit Magnitude Comparator



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

このデザイン エLEMENTは 8 ビットのマグニチュード コンパレータであり、2 つの正の 2 進重み付きワード A7 ～ A0 と B7 ～ B0 を比較します。この場合、A7 と B7 が最上位ビットです。

大なり出力 (GT) は $A > B$ のとき High になり、小なり出力 (LT) は $A < B$ のとき High になります。2 つのワードが等しいときは、GT と LT の両方が Low になります。このマクロで等価性を調べるには、両方の出力を NOR ゲートで比較します。

論理表

入力								出力	
A7、B7	A6、B6	A5、B5	A4、B4	A3、B3	A2、B2	A1、B1	A0、B0	GT	LT
A7>B7	X	X	X	X	X	X	X	1	0
A7<B7	X	X	X	X	X	X	X	0	1
A7=B7	A6>B6	X	X	X	X	X	X	1	0
A7=B7	A6<B6	X	X	X	X	X	X	0	1
A7=B7	A6=B6	A5>B5	X	X	X	X	X	1	0
A7=B7	A6=B6	A5<B5	X	X	X	X	X	0	1
A7=B7	A6=B6	A5=B5	A4>B4	X	X	X	X	1	0
A7=B7	A6=B6	A5=B5	A4<B4	X	X	X	X	0	1
A7=B7	A6=B6	A5=B5	A4=B4	A3>B3	X	X	X	1	0
A7=B7	A6=B6	A5=B5	A4=B4	A3<B3	X	X	X	0	1
A7=B7	A6=B6	A5=B5	A4=B4	A3=B3	A2>B2	X	X	1	0
A7=B7	A6=B6	A5=B5	A4=B4	A3=B3	A2<B2	X	X	0	1
A7=B7	A6=B6	A5=B5	A4=B4	A3=B3	A2=B2	A1>B1	X	1	0
A7=B7	A6=B6	A5=B5	A4=B4	A3=B3	A2=B2	A1<B1	X	0	1
A7=B7	A6=B6	A5=B5	A4=B4	A3=B3	A2=B2	A1=B1	A0>B0	1	0
A7=B7	A6=B6	A5=B5	A4=B4	A3=B3	A2=B2	A1=B1	A0<B0	0	1
A7=B7	A6=B6	A5=B5	A4=B4	A3=B3	A2=B2	A1=B1	A0=B0	0	0

デザインの入力方法

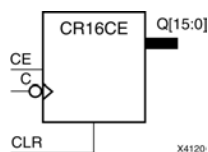
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

CR16CE

マクロ : 16-Bit Negative-Edge Binary Ripple Counter with Clock Enable and Asynchronous Clear



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

このデザイン エLEMENTは、クロック イネーブルと非同期クリアがある、カスケード可能、クリア可能な 16 ビットのバイナリリップル カウンタです。

1 段目の最後の Q 出力を次の段のクロック入力に接続し、CLR および CE 入力を並列に接続すると、より大型のカウンタを作成できます。クロック周期は、リップル カウンタ全体の長さの影響を受けません。クロック ピンと出力ピンの伝搬遅延は、 $n(t_{c-q})$ です。ここで、 n は段数、時間 $n(t_{c-q})$ は各段における C ピンと Qz ピン間の伝搬遅延を表します。

電力を供給すると、カウンタは非同期にクリアされ、出力が Low になります。

論理表

入力			出力
CLR	CE	C	Qz : Q0
1	X	X	0
0	0	X	変化なし
0	1	↓	インクリメント
z = ビット幅 - 1			

デザインの入力方法

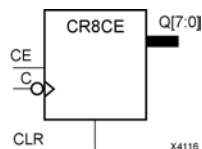
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

CR8CE

マクロ : 8-Bit Negative-Edge Binary Ripple Counter with Clock Enable and Asynchronous Clear



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

このデザイン エLEMENTは、クロック イネーブルと非同期クリアがある、カスケード可能、クリア可能な 8 ビットのバイナリ リップル カウンタです。

非同期クリア (CLR) が High になると、ほかのすべての入力は無視され、Q 出力が 0 になります。クロック イネーブル入力 (CE) が High の場合、クロック (C) が High から Low に切り替わる時にカウンタがインクリメントします。CE が Low の場合、クロック遷移は無視されます。

1 段目の最後の Q 出力を次の段のクロック入力に接続し、CLR および CE 入力を並列に接続すると、より大型のカウンタを作成できます。クロック周期は、リップル カウンタ全体の長さの影響を受けません。クロックピンと出力ピンの伝搬遅延は、 $n(t_c - q)$ です。ここで、 n は段数、時間 $n(t_c - q)$ は各段における C ピンと Qz ピン間の伝搬遅延を表します。

電力を供給すると、カウンタは非同期にクリアされ、出力が Low になります。

論理表

入力			出力
CLR	CE	C	Qz : Q0
1	X	X	0
0	0	X	変化なし
0	1	↓	インクリメント
z = ビット幅 - 1			

デザインの入力方法

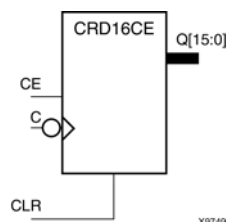
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

CRD16CE

マクロ : 16-Bit Dual-Edge Triggered Binary Ripple Counter with Clock Enable and Asynchronous Clear



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

概要

このデザイン エLEMENTは、クロックの両エッジで動作するカスケード可能、クリア可能な 16 ビットのバイナリリップル カウンタです。

非同期クリア (CLR) が High になると、ほかのすべての入力は無視され、Q 出力が 0 になります。クロック イネーブル入力 (CE) が High の場合、クロック (C) が High から Low、または Low から High に切り替わるときにカウンタがインクリメントします。CE が Low の場合、クロック遷移は無視されます。

1 段目の最後の Q 出力を次の段のクロック入力に接続し、CLR および CE 入力を並列に接続すると、より大型のカウンタを作成できます。クロック周期は、リップル カウンタ全体の長さの影響を受けません。クロック ピンと出力ピンの伝搬遅延は、 $n(t_c - q)$ です。ここで、 n は段数、時間 $n(t_c - q)$ は各段における C ピンと Qz ピン間の伝搬遅延を表します。

電力を供給すると、カウンタは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

論理表

入力			出力
CLR	CE	C	Qz : Q0
1	X	X	0
0	0	X	変化なし
0	1	↑	インクリメント
0	1	↓	インクリメント
z = ビット幅 - 1			

デザインの入力方法

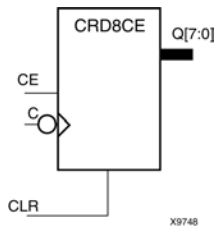
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

CRD8CE

マクロ : 8-Bit Dual-Edge Triggered Binary Ripple Counter with Clock Enable and Asynchronous Clear



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

概要

このデザイン エLEMENTは、クロックの両エッジで動作するカスケード可能、クリア可能な 8 ビットのバイナリリップル カウンタです。

非同期クリア (CLR) が High になると、ほかのすべての入力は無視され、Q 出力が 0 になります。クロック イネーブル入力 (CE) が High の場合、クロック (C) が High から Low、または Low から High に切り替わるときにカウンタがインクリメントします。CE が Low の場合、クロック遷移は無視されます。

1 段目の最後の Q 出力を次の段のクロック入力に接続し、CLR および CE 入力を並列に接続すると、より大型のカウンタを作成できます。クロック周期は、リップル カウンタ全体の長さの影響を受けません。クロックピンと出力ピンの伝搬遅延は、 $n(t_c - q)$ です。ここで、 n は段数、時間 $n(t_c - q)$ は各段における C ピンと Qz ピン間の伝搬遅延を表します。

電力を供給すると、カウンタは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

論理表

入力			出力
CLR	CE	C	Qz : Q0
1	X	X	0
0	0	X	変化なし
0	1	↑	インクリメント
0	1	↓	インクリメント
z = ビット幅 - 1			

デザインの入力方法

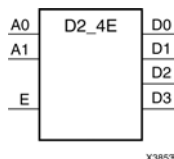
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

D2_4E

マクロ : 2- to 4-Line Decoder/Demultiplexer with Enable



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

このデザイン エLEMENTは、デコーダ/デマルチプレクサです。イネーブル (E) 入力が高の場合、2 ビットのバイナリ アドレス (A1 ~ A0) 入力に応じて 4 つのアクティブ High の出力 (D3 ~ D0) のいずれかが High になります。それ以外の出力は、Low になります。E 入力が高の場合は、すべての出力が Low になります。デマルチプレクサ アプリケーションでは、E 入力が入力値になります。

論理表

入力			出力			
A1	A0	E	D3	D2	D1	D0
X	X	0	0	0	0	0
0	0	1	0	0	0	1
0	1	1	0	0	1	0
1	0	1	0	1	0	0
1	1	1	1	0	0	0

デザインの入力方法

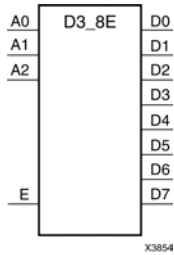
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

D3_8E

マクロ : 3- to 8-Line Decoder/Demultiplexer with Enable



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

D3_8E デコーダ/デマルチプレクサのイネーブル (E) 入力が高の場合、3 ビットのバイナリ アドレス (A2 ~ A0) 入力によって 8 つのアクティブ High の出力 (D7 ~ D0) のいずれかが High になります。それ以外の出力は、Low になります。E 入力が高の場合は、すべての出力が Low になります。デマルチプレクサ アプリケーションでは、E 入力が入力値になります。

論理表

入力				出力							
A2	A1	A0	E	D7	D6	D5	D4	D3	D2	D1	D0
X	X	X	0	0	0	0	0	0	0	0	0
0	0	0	1	0	0	0	0	0	0	0	1
0	0	1	1	0	0	0	0	0	0	1	0
0	1	0	1	0	0	0	0	0	1	0	0
0	1	1	1	0	0	0	0	1	0	0	0
1	0	0	1	0	0	0	1	0	0	0	0
1	0	1	1	0	0	1	0	0	0	0	0
1	1	0	1	0	1	0	0	0	0	0	0
1	1	1	1	1	0	0	0	0	0	0	0

デザインの入力方法

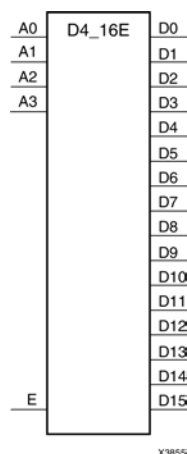
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

D4_16E

マクロ : 4- to 16-Line Decoder/Demultiplexer with Enable



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

このデザイン エLEMENTは、デコーダ/デマルチプレクサです。D4_16E デコーダ/デマルチプレクサのイネーブル (E) 入力が高になると、4 ビットのバイナリ アドレス (A3 ~ A0) 入力に応じて 16 のアクティブ High の出力 (D15 ~ D0) のいずれかが High になります。それ以外の出力は、Low になります。E 入力が高の場合は、すべての出力が Low になります。デマルチプレクサ アプリケーションでは、E 入力が入力値になります。

デザインの入力方法

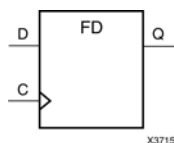
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

FD

マクロ : D Flip-Flop



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

このデザイン エLEMENTは、データ入力 (D) とデータ出力 (Q) がある D フリップフロップです。D 入力の値は、クロック (C) が Low から High に切り替わる時にフリップフロップにロードされます。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

論理表

入力		出力
D	C	Q
0	↑	0
1	↑	1

デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

使用可能な属性

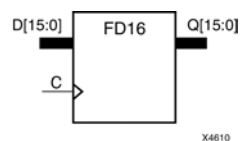
属性	タイプ	値	デフォルト	説明
INIT	2 進数	0、1	0	コンフィギュレーション後の Q 出力の初期値を指定

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

FD16

マクロ : Multiple D Flip-Flop



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

このデザイン エLEMENTは、データ入力 (D)、データ出力 (Q) がある 16 ビットの複数 D フリップフロップで、共通のクロック (C) があります。D 入力の値は、クロック (C) が Low から High に切り替わるときにフリップフロップにロードされます。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

論理表

入力		出力
Dz : D0	C	Qz : Q0
0	↑	0
1	↑	1
z = ビット幅 - 1		

デザインの入力方法

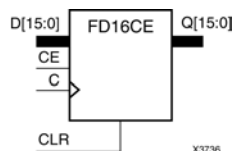
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

FD16CE

マクロ : 16-Bit Data Register with Clock Enable and Asynchronous Clear



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

このデザイン エLEMENTは、クロック イネーブルと非同期クリアがある 16 ビットのデータレジスタです。クロック イネーブル (CE) が High、非同期クリア (CLR) が Low の場合、クロック (C) が Low から High に切り替わるときにデータ入力 (D) の値がデータ出力 (Q) に送られます。CLR が High になると、ほかの入力はすべて無視され、出力 (Q) が Low にリセットされます。CE が Low の場合、クロック遷移は無視されます。

電力を供給すると、レジスタは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

論理表

入力				出力
CLR	CE	Dz : D0	C	Qz : Q0
1	X	X	X	0
0	0	X	X	変化なし
0	1	Dn	↑	Dn
z = ビット幅 - 1				

デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

使用可能な属性

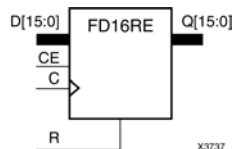
属性	タイプ	値	デフォルト	説明
INIT	2 進数	16 ビット値	すべてゼロ	コンフィギュレーション後の Q 出力の初期値を指定

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

FD16RE

マクロ : 16-Bit Data Register with Clock Enable and Synchronous Reset



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

このデザイン エLEMENTは、16 ビットのデータレジスタです。クロック イネーブル入力 (CE) が High、同期リセット入力 (R) が Low の場合、クロック (C) が Low から High に切り替わるときに入力 (D) の値が対応する出力 (Q) に送られます。R が High になると、ほかの入力はすべて無視され、クロックが Low から High に切り替わるときに出力 (Q) の値が Low にリセットされます。CE が Low の場合、クロック遷移は無視されます。

電力を供給すると、レジスタは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

論理表

入力				出力
R	CE	Dz : D0	C	Qz : Q0
1	X	X	↑	0
0	0	X	X	変化なし
0	1	Dn	↑	Dn
z = ビット幅 - 1				

デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

使用可能な属性

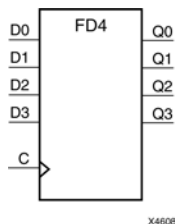
属性	タイプ	値	デフォルト	説明
INIT	2 進数	16 ビット値	すべてゼロ	コンフィギュレーション後の Q 出力の初期値を指定

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

FD4

マクロ : Multiple D Flip-Flop



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

このデザイン エLEMENTは、データ入力 (D)、データ出力 (Q) がある 4 ビットの複数 D フリップフロップで、共通のクロック (C) があります。D 入力の値は、クロック (C) が Low から High に切り替わる時にフリップフロップにロードされます。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスで PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

論理表

入力		出力
Dz : D0	C	Qz : Q0
0	↑	0
1	↑	1
z = ビット幅 - 1		

デザインの入力方法

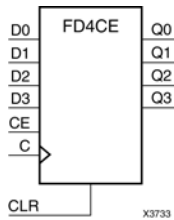
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

FD4CE

マクロ : 4-Bit Data Register with Clock Enable and Asynchronous Clear



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

このデザイン エLEMENTは、クロック イネーブルと非同期クリアがある 4 ビットのデータレジスタです。クロック イネーブル (CE) が High、非同期クリア (CLR) が Low の場合、クロック (C) が Low から High に切り替わるときにデータ入力 (D) の値がデータ出力 (Q) に送られます。CLR が High になると、ほかの入力はすべて無視され、出力 (Q) が Low にリセットされます。CE が Low の場合、クロック遷移は無視されます。

電力を供給すると、レジスタは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

論理表

入力				出力
CLR	CE	Dz : D0	C	Qz : Q0
1	X	X	X	0
0	0	X	X	変化なし
0	1	Dn	↑	Dn
z = ビット幅 - 1				

デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

使用可能な属性

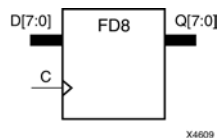
属性	タイプ	値	デフォルト	説明
INIT	2 進数	4 ビット値	すべてゼロ	コンフィギュレーション後の Q 出力の初期値を指定

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

FD8

マクロ : Multiple D Flip-Flop



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

このデザイン エLEMENTは、データ入力 (D)、データ出力 (Q) がある 8 ビットの複数 D フリップフロップで、共通のクロック (C) があります。D 入力の値は、クロック (C) が Low から High に切り替わる時にフリップフロップにロードされます。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

論理表

入力		出力
Dz : D0	C	Qz : Q0
0	↑	0
1	↑	1
z = ビット幅 - 1		

デザインの入力方法

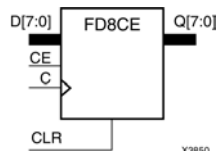
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

FD8CE

マクロ : 8-Bit Data Register with Clock Enable and Asynchronous Clear



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

このデザイン エLEMENTは、クロック イネーブルと非同期クリアがある 8 ビットのデータレジスタです。クロック イネーブル (CE) が High、非同期クリア (CLR) が Low の場合、クロック (C) が Low から High に切り替わるときにデータ入力 (D) の値がデータ出力 (Q) に送られます。CLR が High になると、ほかの入力はすべて無視され、出力 (Q) が Low にリセットされます。CE が Low の場合、クロック遷移は無視されます。

電力を供給すると、レジスタは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

論理表

入力				出力
CLR	CE	Dz : D0	C	Qz : Q0
1	X	X	X	0
0	0	X	X	変化なし
0	1	Dn	↑	Dn
z = ビット幅 - 1				

デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

使用可能な属性

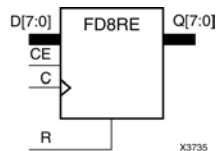
属性	タイプ	値	デフォルト	説明
INIT	2 進数	8 ビット値	すべてゼロ	コンフィギュレーション後の Q 出力の初期値を指定

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

FD8RE

マクロ : 8-Bit Data Register with Clock Enable and Synchronous Reset



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

このデザイン エLEMENTは、8 ビットのデータレジスタです。クロック イネーブル入力 (CE) が High、同期リセット入力 (R) が Low の場合、クロック (C) が Low から High に切り替わるときに入力 (D) の値が対応する出力 (Q) に送られます。R が High になると、ほかの入力はすべて無視され、クロックが Low から High に切り替わるときに出力 (Q) の値が Low にリセットされます。CE が Low の場合、クロック遷移は無視されます。

電力を供給すると、レジスタは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

論理表

入力				出力
R	CE	Dz : D0	C	Qz : Q0
1	X	X	↑	0
0	0	X	X	変化なし
0	1	Dn	↑	Dn
z = ビット幅 - 1				

デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

使用可能な属性

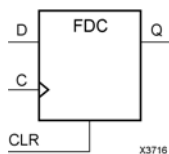
属性	タイプ	値	デフォルト	説明
INIT	2 進数	8 ビット値	すべてゼロ	コンフィギュレーション後の Q 出力の初期値を指定

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

FDC

マクロ : D Flip-Flop with Asynchronous Clear



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

このデザイン エLEMENTは、データ入力 (D)、非同期クリア入力 (CLR)、データ出力 (Q) がある単一の D フリップフロップです。非同期 CLR が High になると、ほかのすべての入力は無視され、Q 出力が Low になります。CLR が Low の場合、クロックが Low から High に切り替わるときに D 入力の値がフリップフロップにロードされます。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

論理表

入力			出力
CLR	D	C	Q
1	X	X	0
0	D	↑	D

デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

使用可能な属性

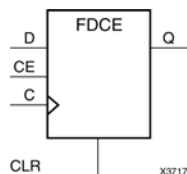
属性	タイプ	値	デフォルト	説明
INIT	2 進数	0、1	0	コンフィギュレーション後の Q 出力の初期値を指定

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

FDCE

プリミティブ : D Flip-Flop with Clock Enable and Asynchronous Clear



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

このデザイン エLEMENTは、クロック イネーブルと非同期クリアがある単一の D タイプ フリップフロップです。クロック イネーブル (CE) が High、非同期クリア (CLR) が Low の場合、クロック (C) が Low から High に切り替わるときにデータ入力 (D) の値がデータ出力 (Q) に送られます。CLR が High になると、ほかのすべての入力は無視され、出力 (Q) の値が Low にリセットされます。CE が Low の場合、クロック遷移は無視されます。

XC9500XL および XC9500XV デバイスの場合、クロック イネーブル入力 (CE) に接続されたロジックは、マクロセルのクロック イネーブル積項を使用してインプリメントできます。ただし、ほかのマクロセルからのフィードバックなしで、CE に使用可能な積項を 1 つ使用してロジックを完全にインプリメントできることが条件となります。クロック イネーブル積項を利用できるフリップフロップ プリミティブは、FDCE と FDPE のみです。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

論理表

入力				出力
CLR	CE	D	C	Q
1	X	X	X	0
0	0	X	X	変化なし
0	1	D	↑	D

デザインの入力方法

インスタンス化	可
推論	推奨
CORE Generator™ およびウィザード	不可
マクロのサポート	不可

このELEMENTは、回路図で使用されます。

使用可能な属性

属性	タイプ	値	デフォルト	説明
INIT	2 進数	0	0	<p>コンフィギュレーション後の Q 出力の初期値を指定。</p> <p>Spartan®-6 デバイスでは、INIT 値とセットまたはリセットの極性を常に一致させる必要があります。FDCE の場合、INIT 値は 0 である必要があります。1 に設定する場合は、この動作を表す非同期回路を作成する必要がありますが、ザイリンクスでは推奨されていません。</p>

VHDL 記述 (インスタンス化)

次の 2 つの構文が存在しない場合はコピーし、エンティティ宣言の前に貼り付けます。

```
Library UNISIM;
use UNISIM.vcomponents.all;

-- FDCE: Single Data Rate D Flip-Flop with Asynchronous Clear and
--       Clock Enable (posedge clk). All families.
-- Xilinx HDL Libraries Guide, version 11.2

FDCE_inst : FDCE
generic map (
  INIT => '0') -- Initial value of register ('0' or '1')
port map (
  Q => Q,        -- Data output
  C => C,        -- Clock input
  CE => CE,      -- Clock enable input
  CLR => CLR,    -- Asynchronous clear input
  D => D         -- Data input
);

-- End of FDCE_inst instantiation
```

Verilog 記述 (インスタンス化)

```
// FDCE: Single Data Rate D Flip-Flop with Asynchronous Clear and
//       Clock Enable (posedge clk).
//       All families.
// Xilinx HDL Libraries Guide, version 11.2

FDCE #(
  .INIT(1'b0) // Initial value of register (1'b0 or 1'b1)
) FDCE_inst (
  .Q(Q),      // Data output
  .C(C),      // Clock input
  .CE(CE),    // Clock enable input
  .CLR(CLR),  // Asynchronous clear input
  .D(D)       // Data input
);

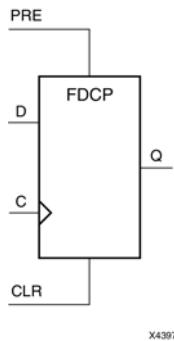
// End of FDCE_inst instantiation
```

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

FDCP

プリミティブ : D Flip-Flop with Asynchronous Preset and Clear



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

このデザイン エLEMENTは、データ (D)、非同期プリセット (PRE)、クリア (CLR) の各入力とデータ出力 (Q) がある単一の D タイプ フリップフロップです。非同期 PRE が High になると、Q 出力が High にセットされます。CLR が High になると、出力が Low にリセットされます。PRE と CLR が Low の場合、クロック (C) が Low から High に切り替わる時に D 入力の値がフリップフロップにロードされます。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

論理表

入力				出力
CLR	PRE	D	C	Q
1	X	X	X	0
0	1	X	X	1
0	0	D	↑	D

デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

使用可能な属性

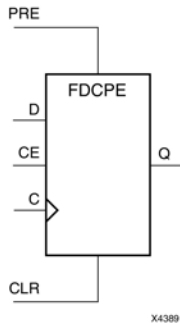
属性	タイプ	値	デフォルト	説明
INIT	2 進数	0、1	0	コンフィギュレーション後の Q 出力の初期値を指定

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

FDCPE

プリミティブ : D Flip-Flop with Clock Enable and Asynchronous Preset and Clear



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

このデザイン エLEMENTは、データ (D)、クロック イネーブル (CE)、非同期プリセット (PRE)、非同期クリア (CLR) の各入力とデータ出力 (Q) がある単一の D タイプ フリップフロップです。非同期 PRE が High になると Q 出力が High にセットされ、CLR が High になると出力が Low にリセットされます (CLR 入力が PRE 入力よりも優先される)。PRE と CLR が Low で CE が High の場合、クロック (C) が Low から High に切り替わる時に D 入力の値がフリップフロップにロードされます。CE が Low の場合クロック遷移は無視され、以前の値が保持されます。FDCPE は通常、スライスまたは IOB レジスタとしてインプリメントされます。

CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。FPGA では電源が投入されると、INIT 属性を使用して指定した初期値に設定されます。GSR (グローバル セット / リセット) をアサートすると、INIT で指定した初期値に非同期で設定されます。

メモ : 非同期のセットおよびリセットの使用がサポートされていますが、これらの使用は通常お勧めしません。非同期信号を使用するとタイミングの問題が検出および制御しにくく、またロジックの最適化に悪影響を及ぼし、同期セットまたはリセットを使用した場合に比べて消費電力が大きくなる場合があります。

論理表

入力					出力
CLR	PRE	CE	D	C	Q
1	X	X	X	X	0
0	1	X	X	X	1
0	0	0	X	X	変化なし
0	0	1	D	↑	D

ポートの説明

ポート名	方向	幅	機能
Q	出力	1	データ出力
C	入力	1	クロック入力
CE	入力	1	クロック イネーブル入力
CLR	入力	1	非同期クリア入力
D	入力	1	データ入力
PRE	入力	1	非同期セット入力

デザインの入力方法

インスタンス化	可
推論	推奨
CORE Generator™ およびウィザード	不可
マクロのサポート	不可

このエレメントは、回路図で使用されます。

使用可能な属性

属性	タイプ	値	デフォルト	説明
INIT	2 進数	0、1	0	コンフィギュレーション後および GSR 入力時の Q 出力の初期値を指定

VHDL 記述 (インスタンス化)

次の 2 つの構文が存在しない場合はコピーし、エンティティ宣言の前に貼り付けます。

```
Library UNISIM;
use UNISIM.vcomponents.all;

-- FDCPE: Single Data Rate D Flip-Flop with Asynchronous Clear, Set and
--       Clock Enable (posedge clk).
--       Virtex-4/5, Spartan-3/3E/3A/3A DSP
-- Xilinx HDL Libraries Guide, version 11.2

FDCPE_inst : FDCPE
generic map (
  INIT => '0') -- Initial value of register ('0' or '1')
port map (
  Q => Q,      -- Data output
  C => C,      -- Clock input
  CE => CE,    -- Clock enable input
  CLR => CLR,  -- Asynchronous clear input
  D => D,      -- Data input
  PRE => PRE   -- Asynchronous set input
);

-- End of FDCPE_inst instantiation
```

Verilog 記述 (インスタンス化)

```
// FDCPE: Single Data Rate D Flip-Flop with Asynchronous Clear, Set and
//      Clock Enable (posedge clk).
//      Virtex-4/5, Spartan-3/3E/3A/3A DSP
// Xilinx HDL Libraries Guide, version 11.2

FDCPE #(
    .INIT(1'b0) // Initial value of register (1'b0 or 1'b1)
) FDCPE_inst (
    .Q(Q),      // Data output
    .C(C),      // Clock input
    .CE(CE),    // Clock enable input
    .CLR(CLR),  // Asynchronous clear input
    .D(D),      // Data input
    .PRE(PRE)   // Asynchronous set input
);

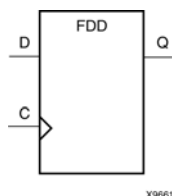
// End of FDCPE_inst instantiation
```

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

FDD

マクロ : Dual Edge Triggered D Flip-Flop



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

概要

このデザイン エLEMENTは、クロックの両エッジで動作する単一の D フリップフロップで、入力 (D) と出力 (Q) があります。D 入力の値は、クロック (C) が Low から High または High から Low に切り替わる時にフリップフロップにロードされます。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

論理表

入力		出力
D	C	Q
0	↑	0
1	↑	1
0	↓	0
1	↓	1

デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

使用可能な属性

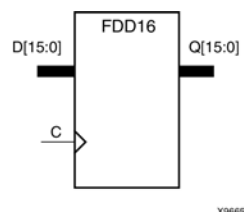
属性	タイプ	値	デフォルト	説明
INIT	2 進数	0、1	0	コンフィギュレーション後の Q 出力の初期値を指定

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

FDD16

マクロ : Multiple Dual Edge Triggered D Flip-Flop



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

概要

このデザイン エLEMENTは、クロックの両エッジで動作する複数の D フリップフロップで、入力 (D) と出力 (Q) があります。16 ビットレジスタで、共通のクロック (C) があります。D 入力の値は、クロック (C) が Low から High または High から Low に切り替わる時にフリップフロップにロードされます。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

論理表

入力		出力
D _z : D ₀	C	Q _z : Q ₀
0	↑	0
1	↑	1
0	↓	0
1	↓	1
z = ビット幅 - 1		

デザインの入力方法

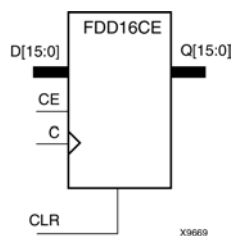
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

FDD16CE

マクロ : 16-Bit Dual Edge Triggered Data Register with Clock Enable and Asynchronous Clear



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

概要

このデザイン エLEMENTは、クロック イネーブルと非同期クリアがある 16 ビットのデータレジスタです。クロック イネーブル (CE) が High、非同期クリア (CLR) が Low の場合、クロック (C) が Low から High または High から Low に切り替わる時に、入力 (D) の値が出力 (Q) に送られます。CLR が High になると、ほかの入力はすべて無視され、出力 (Q) が Low にリセットされます。CE が Low の場合、クロック遷移は無視されます。

電力を供給すると、レジスタは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

論理表

入力				出力
CLR	CE	Dz : D0	C	Qz : Q0
1	X	X	X	0
0	0	X	X	変化なし
0	1	Dn	↑	Dn
0	1	Dn	↓	Dn
z = ビット幅 - 1				

デザインの入力方法

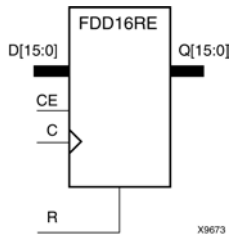
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

FDD16RE

マクロ : 16-Bit Dual Edge Triggered Data Register with Clock Enable and Synchronous Reset



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

概要

このデザイン エLEMENTは、16 ビットのデータレジスタです。クロック イネーブル入力 (CE) が High、同期リセット入力 (R) が Low の場合、クロック (C) が Low から High または High から Low に切り替わるときに、入力 (D) の値が対応する出力 (Q0) に送られます。R が High になると、ほかの入力はすべて無視され、クロックが Low から High または High から Low に切り替わるときに、出力 (Q) の値が Low にリセットされます。CE が Low の場合、クロック遷移は無視されます。

電力を供給すると、レジスタは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

論理表

入力				出力
R	CE	Dz : D0	C	Qz : Q0
1	X	X	↑	0
1	X	X	↓	0
0	0	X	X	変化なし
0	1	Dn	↑	Dn
0	1	Dn	↓	Dn

z = ビット幅 - 1

デザインの入力方法

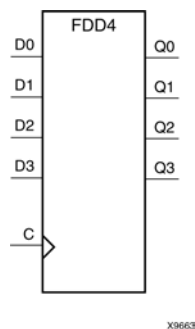
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

FDD4

Multiple Dual Edge Triggered D Flip-Flop



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

概要

このデザイン エLEMENTは、クロックの両エッジで動作する複数の D フリップフロップで、入力 (D) と出力 (Q) があります。4 ビットレジスタで、共通のクロック (C) があります。D 入力の値は、クロック (C) が Low から High または High から Low に切り替わる時にフリップフロップにロードされます。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

論理表

入力		出力
Dz : D0	C	Qz : Q0
0	↑	0
1	↑	1
0	↓	0
1	↓	1
z = ビット幅 - 1		

デザインの入力方法

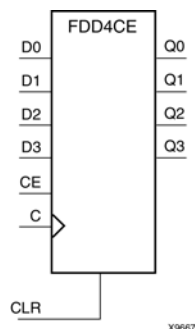
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

FDD4CE

マクロ : 4-Bit Dual Edge Triggered Data Register with Clock Enable and Asynchronous Clear



サポートされているアーキテクチャ

このデザイン エレメントは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

概要

このデザイン エレメントは、クロック イネーブルと非同期クリアがある 4 ビットのデータレジスタです。クロック イネーブル (CE) が High、非同期クリア (CLR) が Low の場合、クロック (C) が Low から High または High から Low に切り替わる時に、入力 (D) の値が出力 (Q) に送られます。CLR が High になると、ほかの入力はすべて無視され、出力 (Q) が Low にリセットされます。CE が Low の場合、クロック遷移は無視されます。

電力を供給すると、レジスタは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

論理表

入力				出力
CLR	CE	Dz : D0	C	Qz : Q0
1	X	X	X	0
0	0	X	X	変化なし
0	1	Dn	↑	Dn
0	1	Dn	↓	Dn
z = ビット幅 - 1				

デザインの入力方法

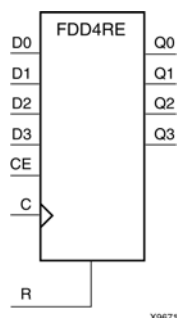
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

FDD4RE

マクロ : 4-Bit Dual Edge Triggered Data Register with Clock Enable and Synchronous Reset



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

概要

このデザイン エLEMENTは、4 ビットのデータレジスタです。クロック イネーブル入力 (CE) が High、同期リセット入力 (R) が Low の場合、クロック (C) が Low から High または High から Low に切り替わるときに、入力 (D) の値が対応する出力 (Q0) に送られます。R が High になると、ほかの入力はすべて無視され、クロックが Low から High または High から Low に切り替わるときに、出力 (Q) の値が Low にリセットされます。CE が Low の場合、クロック遷移は無視されます。

電力を供給すると、レジスタは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

論理表

入力				出力
R	CE	Dz : D0	C	Qz : Q0
1	X	X	↑	0
1	X	X	↓	0
0	0	X	X	変化なし
0	1	Dn	↑	Dn
0	1	Dn	↓	Dn
z = ビット幅 - 1				

デザインの入力方法

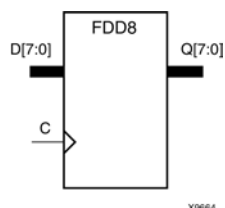
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

FDD8

マクロ : Multiple Dual Edge Triggered D Flip-Flop



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

概要

このデザイン エLEMENTは、クロックの両エッジで動作する複数の D フリップフロップで、入力 (D) と出力 (Q) があります。8 ビットレジスタで、共通のクロック (C) があります。D 入力の値は、クロック (C) が Low から High または High から Low に切り替わる時にフリップフロップにロードされます。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

論理表

入力		出力
Dz : D0	C	Qz : Q0
0	↑	0
1	↑	1
0	↓	0
1	↓	1
z = ビット幅 - 1		

デザインの入力方法

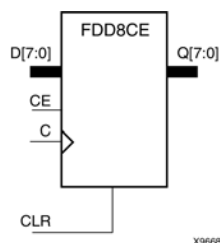
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

FDD8CE

マクロ : 8-Bit Dual Edge Triggered Data Register with Clock Enable and Asynchronous Clear



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

概要

このデザイン エLEMENTは、クロック イネーブルと非同期クリアがある 8 ビットのデータレジスタです。クロック イネーブル (CE) が High、非同期クリア (CLR) が Low の場合、クロック (C) が Low から High または High から Low に切り替わるときに、入力 (D) の値が出力 (Q) に送られます。CLR が High になると、ほかの入力はすべて無視され、出力 (Q) が Low にリセットされます。CE が Low の場合、クロック遷移は無視されます。

電力を供給すると、レジスタは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

論理表

入力				出力
CLR	CE	Dz : D0	C	Qz : Q0
1	X	X	X	0
0	0	X	X	変化なし
0	1	Dn	↑	Dn
0	1	Dn	↓	Dn
z = ビット幅 - 1				

デザインの入力方法

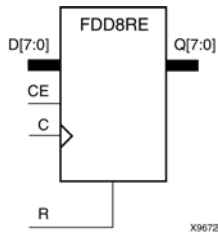
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

FDD8RE

マクロ : 8-Bit Dual Edge Triggered Data Register with Clock Enable and Synchronous Reset



サポートされているアーキテクチャ

このデザイン エレメントは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

概要

このデザイン エレメントは、8 ビットのデータレジスタです。クロック イネーブル入力 (CE) が High、同期リセット入力 (R) が Low の場合、クロック (C) が Low から High または High から Low に切り替わるときに、入力 (D) の値が対応する出力 (Q0) に送られます。R が High になると、ほかの入力はすべて無視され、クロックが Low から High または High から Low に切り替わるときに、出力 (Q) の値が Low にリセットされます。CE が Low の場合、クロック遷移は無視されます。

電力を供給すると、レジスタは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

論理表

入力				出力
R	CE	Dz : D0	C	Qz : Q0
1	X	X	↑	0
1	X	X	↓	0
0	0	X	X	変化なし
0	1	Dn	↑	Dn
0	1	Dn	↓	Dn

z = ビット幅 - 1

デザインの入力方法

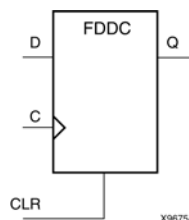
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

FDDC

マクロ : D Dual Edge Triggered Flip-Flop with Asynchronous Clear



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

概要

このデザイン エLEMENTは、クロックの両エッジで動作する単一の D フリップフロップで、入力 (D)、非同期クリア入力 (CLR)、出力 (Q) があります。非同期 CLR が High になると、ほかのすべての入力は無視され、Q 出力が Low になります。CLR が Low の場合、クロックが Low から High または High から Low に切り替わる時に D 入力の値がフリップフロップにロードされます。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスで PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

論理表

入力			出力
CLR	D	C	Q
1	X	X	0
0	1	↑	1
0	1	↓	1
0	0	↑	0
0	0	↓	0

デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

使用可能な属性

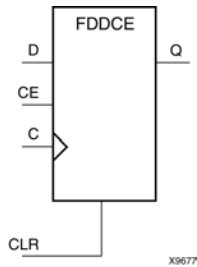
属性	タイプ	値	デフォルト	説明
INIT	2 進数	0、1	0	コンフィギュレーション後の Q 出力の初期値を指定

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

FDDCE

プリミティブ : Dual Edge Triggered D Flip-Flop with Clock Enable and Asynchronous Clear



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

概要

このデザイン エLEMENTは、クロックの両エッジで動作する単一の D フリップフロップで、クロック イネーブルと非同期クリアがあります。クロック イネーブル (CE) が High、非同期クリア (CLR) が Low の場合、クロック (C) が Low から High または High から Low に切り替わる時に、入力 (D) の値が出力 (Q) に送られます。CLR が High になると、ほかのすべての入力は無視され、出力 (Q) の値が Low にリセットされます。CE が Low の場合、クロック遷移は無視されます。

クロック イネーブル入力 (CE) に接続されたロジックは、マクロセルのクロック イネーブル積項 (p-term) を使用してインプリメントできます。ただし、ほかのマクロセルからのフィードバックなしで、CE に使用可能な積項を 1 つ使用してロジックを完全にインプリメントできることが条件となります。クロック イネーブル積項を利用できるフリップフロップ プリミティブは、FDDCE と FDDPE のみです。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

論理表

入力				出力
CLR	CE	D	C	Q
1	X	X	X	0
0	0	X	X	変化なし
0	1	1	↑	1
0	1	0	↑	0
0	1	1	↓	1
0	1	0	↓	0

デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

使用可能な属性

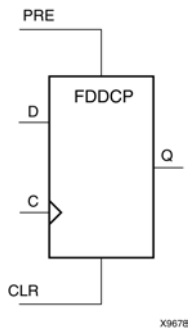
属性	タイプ	値	デフォルト	説明
INIT	2 進数	0、1	0	コンフィギュレーション後の Q 出力の初期値を指定

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

FDDCP

プリミティブ : Dual Edge Triggered D Flip-Flop Asynchronous Preset and Clear



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

概要

このデザイン エLEMENTは、クロックの両エッジで動作する単一の D フリップフロップで、入力 (D)、非同期プリセット入力 (PRE)、クリア入力 (CLR)、出力 (Q) があります。非同期 PRE が High になると、Q 出力が High にセットされます。CLR が High になると、出力が Low にリセットされます。PRE および CLR が Low の場合、クロックが Low から High または High から Low に切り替わる時に、D 入力の値がフリップフロップにロードされます。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

論理表

入力				出力
CLR	PRE	D	C	Q
1	X	X	X	0
0	1	X	X	1
0	0	0	↑	0
0	0	1	↑	1
0	0	0	↓	0
0	0	1	↓	1

デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

使用可能な属性

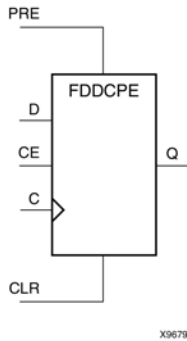
属性	タイプ	値	デフォルト	説明
INIT	2 進数	0、1	0	コンフィギュレーション後の Q 出力の初期値を指定

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

FDDCPE

マクロ : Dual Edge Triggered D Flip-Flop with Clock Enable and Asynchronous Preset and Clear



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

概要

このデザイン エLEMENTは、クロックの両エッジで動作する単一の D フリップフロップで、入力 (D)、クロック イネーブル (CE)、非同期プリセット (PRE)、非同期クリア (CLR) の各入力と出力 (Q) があります。非同期 PRE が High になると、Q 出力が High にセットされます。CLR が High になると、出力が Low にリセットされます。PRE と CLR が Low、CE が High の場合、クロック (C) が Low から High または High から Low に切り替わるときに、D 入力の値がフリップフロップにロードされます。CE が Low の場合、クロック遷移は無視されます。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスで PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

論理表

入力					出力
CLR	PRE	CE	D	C	Q
1	X	X	X	X	0
0	1	X	X	X	1
0	0	0	X	X	変化なし
0	0	1	0	↑	0
0	0	1	1	↑	1
0	0	1	0	↓	0
0	0	1	1	↓	1

デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

使用可能な属性

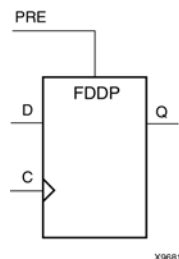
属性	タイプ	値	デフォルト	説明
INIT	2 進数	0、1	0	コンフィギュレーション後の Q 出力の初期値を指定

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

FDDP

マクロ : Dual Edge Triggered D Flip-Flop with Asynchronous Preset



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

概要

このデザイン エLEMENTは、クロックの両エッジで動作する単一の D フリップフロップで、入力 (D)、非同期プリセット入力 (PRE)、出力 (Q) があります。非同期 PRE が High になると、ほかのすべての入力は無視され、Q 出力が High にプリセットされます。PRE が Low の場合、クロックが Low から High または High から Low に切り替わる時に、D 入力の値がフリップフロップにロードされます。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

論理表

入力			出力
PRE	C	D	Q
1	X	X	1
0	↑	1	1
0	↑	0	0
0	↓	1	1
0	↓	0	0

デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

使用可能な属性

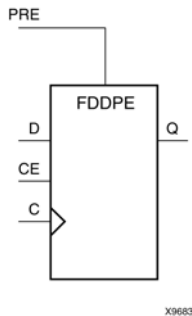
属性	タイプ	値	デフォルト	説明
INIT	2 進数	0、1	0	コンフィギュレーション後の Q 出力の初期値を指定

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

FDDPE

プリミティブ : Dual Edge Triggered D Flip-Flop with Clock Enable and Asynchronous Preset



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

概要

このデザイン エLEMENTは、クロックの両エッジで動作する単一の D フリップフロップで、入力 (D)、クロック イネーブル (CE)、非同期プリセット入力 (PRE)、出力 (Q) があります。非同期の PRE が High になると、ほかのすべての入力は無視され、Q 出力が High にセットされます。PRE が Low、CE が High の場合、クロック (C) が Low から High または High から Low に切り替わるときに、D 入力の値がフリップフロップにロードされます。CE が Low の場合、クロック遷移は無視されます。

クロック イネーブル入力 (CE) に接続されたロジックは、マクロセルのクロック イネーブル積項 (p-term) を使用してインプリメントできます。ただし、ほかのマクロセルからのフィードバックなしで、CE に使用可能な積項を 1 つ使用してロジックを完全にインプリメントできることが条件となります。クロック イネーブル積項を利用できるフリップフロップ プリミティブは、FDDCE と FDDPE のみです。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

論理表

入力				出力
PRE	CE	D	C	Q
1	X	X	X	1
0	0	X	X	変化なし
0	1	0	↑	0
0	1	1	↑	1
0	1	0	↓	0
0	1	1	↓	1

デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

使用可能な属性

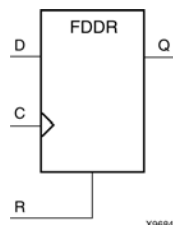
属性	タイプ	値	デフォルト	説明
INIT	2 進数	0、1	0	コンフィギュレーション後の Q 出力の初期値を指定

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

FDDR

マクロ : Dual Edge Triggered D Flip-Flop with Synchronous Reset



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

概要

このデザイン エLEMENTは、クロックの両エッジで動作する単一の D フリップフロップで、入力 (D)、同期リセット入力 (R)、出力 (Q) があります。同期リセット入力 (R) が High になると、ほかの入力は無視され、クロック (C) が Low から High または High から Low に切り替わるときに、出力 (Q) が Low にリセットされます。R が Low の場合、クロックが Low から High または High から Low に切り替わるときに、D 入力の値がフリップフロップにロードされます。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスで PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

論理表

入力			出力
R	D	C	Q
1	X	↑	0
1	X	↓	0
0	1	↑	1
0	0	↑	0
0	1	↓	1
0	0	↓	0

デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

使用可能な属性

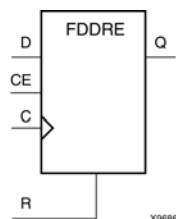
属性	タイプ	値	デフォルト	説明
INIT	2 進数	0、1	0	コンフィギュレーション後の Q 出力の初期値を指定

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

FDDRE

マクロ : Dual Edge Triggered D Flip-Flop with Clock Enable and Synchronous Reset



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

概要

FDDRE は、クロックの両エッジで動作する単一の D フリップフロップで、入力 (D)、クロック イネーブル (CE)、同期リセット (R) の各入力と出力 (Q) があります。同期リセット入力 (R) が High になると、ほかの入力は無視され、クロック (C) が Low から High または High から Low に切り替わるときに、出力 (Q) が Low にリセットされます。R が Low、CE が High の場合、クロックが Low から High または High から Low に切り替わるときに D 入力の値がフリップフロップにロードされます。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

論理表

入力				出力
R	CE	D	C	Q
1	X	X	↑	0
1	X	X	↓	0
0	0	X	X	変化なし
0	1	1	↑	1
0	1	0	↑	0
0	1	1	↓	1
0	1	0	↓	0

デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

使用可能な属性

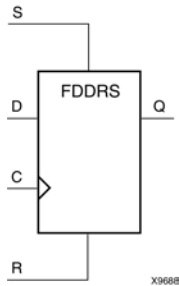
属性	タイプ	値	デフォルト	説明
INIT	2 進数	0、1	0	コンフィギュレーション後の Q 出力の初期値を指定

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

FDDRS

マクロ : Dual Edge Triggered D Flip-Flop with Synchronous Reset and Set



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

概要

FDDRS は、クロックの両エッジで動作する単一の D フリップフロップで、入力 (D)、同期セット (S)、同期リセット (R) の各入力と出力 (Q) があります。同期リセット入力 (R) が High になると、ほかの入力はすべて無視され、クロック (C) が Low から High または High から Low に切り替わる時に、出力 (Q) が Low にリセットされます (リセットがセットよりも優先される)。S が High、R が Low の場合、クロックが Low から High または High から Low に切り替わる時にフリップフロップがセットされ、出力が High になります。R および S が Low の場合、クロックが Low から High または High から Low に切り替わる時に、D 入力の値がフリップフロップにロードされます。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスで PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

論理表

入力				出力
R	S	D	C	Q
1	X	X	↑	0
1	X	X	↓	0
0	1	X	↑	1
0	1	X	↓	1
0	0	1	↑	1
0	0	1	↓	1
0	0	0	↑	0
0	0	0	↓	0

デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

使用可能な属性

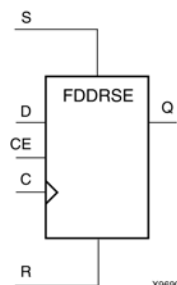
属性	タイプ	値	デフォルト	説明
INIT	2 進数	0、1	0	コンフィギュレーション後の Q 出力の初期値を指定

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

FDDRSE

マクロ : Dual Edge Triggered D Flip-Flop with Synchronous Reset and Set and Clock Enable



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

概要

FDDRSE は、クロックの両エッジで動作する単一の D フリップフロップで、同期リセット (R)、同期セット (S)、クロック イネーブル (CE) の各入力と出力 (Q) があります。同期リセット入力 (R) が High になると、ほかの入力はすべて無視され、クロック (C) が Low から High または High から Low に切り替わるときに、出力 (Q) が Low にリセットされます (リセットがセットよりも優先される)。S が High、R が Low の場合、クロック (C) が Low から High または High から Low に切り替わるときにフリップフロップがセットされ、出力が High になります。R および S が Low、CE が High の場合、クロックが Low から High または High から Low に切り替わるときに D 入力の値がフリップフロップにロードされます。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスで PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

論理表

入力					出力
R	S	CE	D	C	Q
1	X	X	X	↑	0
1	X	X	X	↓	0
0	1	X	X	↑	1
0	1	X	X	↓	1
0	0	0	X	X	変化なし
0	0	1	1	↑	1
0	0	1	0	↑	0
0	0	1	1	↓	1
0	0	1	0	↓	0

デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

使用可能な属性

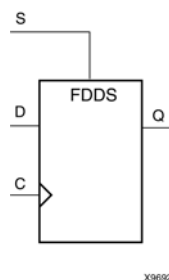
属性	タイプ	値	デフォルト	説明
INIT	2 進数	0、1	0	コンフィギュレーション後の Q 出力の初期値を指定

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

FDDS

マクロ : Dual Edge Triggered D Flip-Flop with Synchronous Set



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

概要

FDDS は、クロックの両エッジで動作する単一の D フリップフロップで、入力 (D)、同期セット入力 (S)、出力 (Q) があります。同期セット入力が高レベルになると、クロック (C) が Low から High または High から Low に切り替わるときに、Q 出力が高レベルにセットされます。S が Low の場合、クロック (C) が Low から High または High から Low に切り替わるときに D 入力の値がフリップフロップにロードされます。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスで PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

論理表

入力			出力
S	D	C	Q
1	X	↑	1
1	X	↓	1
0	1	↑	1
0	0	↑	0
0	1	↓	1
0	0	↓	0

デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

使用可能な属性

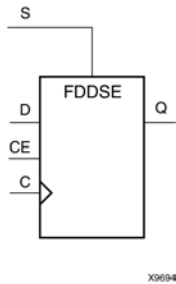
属性	タイプ	値	デフォルト	説明
INIT	2 進数	0、1	0	コンフィギュレーション後の Q 出力の初期値を指定

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

FDDSE

マクロ : D Flip-Flop with Clock Enable and Synchronous Set



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

概要

FDDSE は、クロックの両エッジで動作する単一の D フリップフロップで、入力 (D)、クロック イネーブル (CE)、同期セット (S) の各入力と出力 (Q) があります。同期セット (S) 入力が High になると、クロック イネーブル (CE) 入力は無視され、クロック (C) が Low から High または High から Low に切り替わるときに、Q 出力が High にセットされます。S が Low、CE が High の場合、クロック (C) が Low から High または High から Low に切り替わるときに D 入力の値がフリップフロップにロードされます。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

論理表

入力				出力
S	CE	D	C	Q
1	X	X	↑	1
1	X	X	↓	1
0	0	X	X	変化なし
0	1	1	↑	1
0	1	0	↑	0
0	1	1	↓	1
0	1	0	↓	0

デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

使用可能な属性

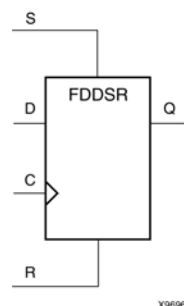
属性	タイプ	値	デフォルト	説明
INIT	2 進数	0、1	0	コンフィギュレーション後の Q 出力の初期値を指定

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

FDDSR

マクロ : Dual Edge Triggered D Flip-Flop with Synchronous Set and Reset



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

概要

FDDSR は、クロックの両エッジで動作する単一の D フリップフロップで、入力 (D)、同期リセット (R)、同期セット (S)、の各入力と出力 (Q) があります。同期セット (S) 入力が高レベルになっていると、ほかの入力は無視され、クロック (C) が Low から High または High から Low に切り替わるときに、Q 出力が高レベルにセットされます (セットがリセットよりも優先される)。リセット (R) が High、セット (S) が Low の場合、クロックが Low から High または High から Low に切り替わるときにフリップフロップがリセットされ、出力が Low になります。S と R が Low の場合、クロックが Low から High または High から Low に切り替わるときに D 入力の値がフリップフロップにロードされます。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

論理表

入力				出力
S	R	D	C	Q
1	X	X	↑	1
1	X	X	↓	1
0	1	X	↑	0
0	1	X	↓	0
0	0	1	↑	1
0	0	0	↑	0
0	0	1	↓	1
0	0	0	↓	0

デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

使用可能な属性

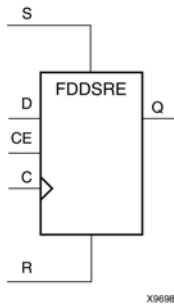
属性	タイプ	値	デフォルト	説明
INIT	2 進数	0、1	0	コンフィギュレーション後の Q 出力の初期値を指定

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

FDDSRE

マクロ : Dual Edge Triggered D Flip-Flop with Synchronous Set and Reset and Clock Enable



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

概要

FDDSRE は、クロックの両エッジで動作する単一の D フリップフロップで、同期セット (S)、同期リセット (R)、クロック イネーブル (CE) の各入力と出力 (Q) があります。同期セット (S) 入力が High になると、ほかの入力は無視され、クロック (C) が Low から High または High から Low に切り替わるときに、Q 出力が High にセットされます (セットがリセットよりも優先される)。R が High、S が Low の場合、クロックが Low から High または High から Low に切り替わるときに Q 出力が Low にリセットされます。R および S が Low、CE が High の場合、クロックが Low から High または High から Low に切り替わるときに、値がフリップフロップにロードされます。CE が Low の場合、クロック遷移は無視されます。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのバースを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

論理表

入力					出力
S	R	CE	D	C	Q
1	X	X	X	↑	1
1	X	X	X	↓	1
0	1	X	X	↑	0
0	1	X	X	↓	0
0	0	0	X	X	変化なし
0	0	1	1	↑	1
0	0	1	0	↑	0
0	0	1	1	↓	1
0	0	1	0	↓	0

デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

使用可能な属性

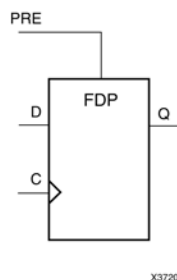
属性	タイプ	値	デフォルト	説明
INIT	2 進数	0、1	0	コンフィギュレーション後の Q 出力の初期値を指定

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

FDP

Macro: D Flip-Flop with Asynchronous Preset



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

このデザイン エLEMENTは、データ (D)、非同期プリセット (PRE) の各入力とデータ出力 (Q) がある単一の D フリップフロップです。非同期 PRE が High になると、ほかのすべての入力は無視され、Q 出力が High にプリセットされます。PRE が Low の場合、クロック (C) が Low から High に切り替わるときに D 入力の値がフリップフロップにロードされます。

CPLD では、電力を供給すると、フリップフロップは非同期にクリアされ、出力が Low になります。High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

論理表

入力			出力
PRE	C	D	Q
1	X	X	1
0	↑	D	D

デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

使用可能な属性

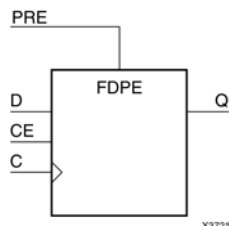
属性	タイプ	値	デフォルト	説明
INIT	2 進数	0、1	1	コンフィギュレーション後の Q 出力の初期値を指定

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

FDPE

プリミティブ : D Flip-Flop with Clock Enable and Asynchronous Preset



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

このデザイン エLEMENTは、データ (D)、クロック イネーブル (CE)、非同期プリセット (PRE) の各入力とデータ出力 (Q) がある単一の D フリップフロップです。非同期の PRE が High になると、ほかのすべての入力は無視され、Q 出力が High にセットされます。PRE が Low、CE が High の場合、クロック (C) が Low から High に切り替わるときに D 入力の値がフリップフロップにロードされます。CE が Low の場合、クロック遷移は無視されます。

CPLD では、電力を供給すると、フリップフロップは非同期にクリアされ、出力が Low になります。High レベルのパルス を PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

論理表

入力				出力
PRE	CE	D	C	Q
1	X	X	X	1
0	0	X	X	変化なし
0	1	D	↑	D

デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

使用可能な属性

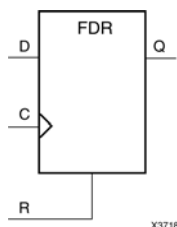
属性	タイプ	値	デフォルト	説明
INIT	2 進数	1	1	コンフィギュレーション後の Q 出力の初期値を指定。 Spartan®-6 デバイスでは、INIT 値とセットまたはリセットの極性を常に一致させる必要があります。FDPE の場合、INIT 値は 1 である必要があります。0 に設定する場合は、この動作を表す非同期回路を作成する必要がありますが、ザイリンクスでは推奨されていません。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

FDR

マクロ : D Flip-Flop with Synchronous Reset



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

このデザイン エLEMENTは、データ (D)、同期リセット (R) の各入力とデータ出力 (Q) がある単一の D タイプ フリップフロップです。同期リセット入力 (R) が High になると、ほかの入力は無視され、クロック (C) が Low から High に切り替わる時に出力 (Q) が Low にリセットされます。R が Low の場合、クロックが Low から High に切り替わる時に D 入力の値がフリップフロップにロードされます。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

論理表

入力			出力
R	D	C	Q
1	X	↑	0
0	D	↑	D

デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

使用可能な属性

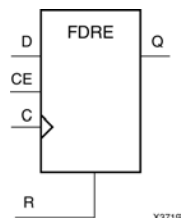
属性	タイプ	値	デフォルト	説明
INIT	2 進数	0、1	0	コンフィギュレーション後の Q 出力の初期値を指定

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

FDRE

マクロ : D Flip-Flop with Clock Enable and Synchronous Reset



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

このデザイン エLEMENTは、データ (D)、クロック イネーブル (CE)、同期リセット (R) の各入力とデータ出力 (Q) がある単一の D タイプ フリップフロップです。同期リセット入力 (R) が High になると、ほかの入力は無視され、クロック (C) が Low から High に切り替わるときに出力 (Q) が Low にリセットされます。R が Low、CE が High の場合、クロックが Low から High に切り替わる時に D 入力の値がフリップフロップにロードされます。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

論理表

入力				出力
R	CE	D	C	Q
1	X	X	↑	0
0	0	X	X	変化なし
0	1	D	↑	D

デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

使用可能な属性

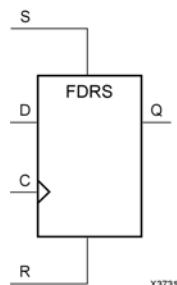
属性	タイプ	値	デフォルト	説明
INIT	2 進数	0	0	コンフィギュレーション後の Q 出力の初期値を指定 Spartan®-6 デバイスでは、INIT 値とセットまたはリセットの極性を常に一致させる必要があります。FDRE の場合、INIT 値を 0 に設定する必要があります。1 に設定すると余分なロジックが挿入されます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

FDRS

マクロ : D Flip-Flop with Synchronous Reset and Set



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

FDRS は、データ (D)、同期セット (S)、同期リセット (R) の各入力とデータ出力 (Q) がある単一の D タイプ フリップフロップです。同期リセット入力 (R) が High になると、ほかの入力は無視され、クロック (C) が Low から High に切り替わる時に出力 (Q) が Low にリセットされます (リセットがセットよりも優先される)。S が High、R が Low の場合、クロックが Low から High に切り替わる時に フリップフロップがセットされ、出力が High になります。R と S が Low の場合、クロックが Low から High に切り替わる時に D 入力の値がフリップフロップにロードされます。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

論理表

入力				出力
R	S	D	C	Q
1	X	X	↓	0
0	1	X	↓	1
0	0	D	↓	D

デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

使用可能な属性

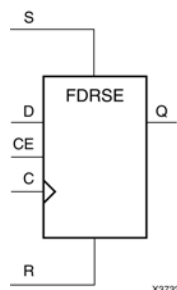
属性	タイプ	値	デフォルト	説明
INIT	2 進数	0、1	0	コンフィギュレーション後の Q 出力の初期値を指定

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

FDRSE

マクロ : D Flip-Flop with Synchronous Reset and Set and Clock Enable



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

FDRSE は、同期リセット (R)、同期セット (S)、クロック イネーブル (CE) の各入力とデータ出力 (Q) がある単一の D タイプ フリップフロップです。同期リセット入力 (R) が High になると、ほかの入力は無視され、クロック (C) が Low から High に切り替わる時に出力 (Q) が Low にリセットされます (リセットがセットよりも優先される)。セット入力 (S) が High、R が Low の場合、クロック (C) が Low から High に切り替わる時にフリップフロップがセットされ、出力が High になります。R と S が Low、CE が High の場合、クロックが Low から High に切り替わる時に D 入力の値がフリップフロップにロードされます。

電源が投入されると、INIT 属性を使用して指定した初期値に設定されます。GSR (グローバル セット/リセット) をアサートすると、INIT で指定した初期値に非同期で設定されます。

論理表

入力					出力
R	S	CE	D	C	Q
1	X	X	X	↑	0
0	1	X	X	↑	1
0	0	0	X	X	変化なし
0	0	1	1	↑	1
0	0	1	0	↑	0

デザインの入力方法

インスタンス化	可
推論	推奨
CORE Generator™ およびウィザード	不可
マクロのサポート	不可

このELEMENTは、回路図で使用されます。

使用可能な属性

属性	タイプ	値	デフォルト	説明
INIT	2 進数	0、1	0	コンフィギュレーション後および GSR 入力時の Q 出力の初期値を指定

VHDL 記述 (インスタンス化)

次の 2 つの構文が存在しない場合はコピーし、エンティティ宣言の前に貼り付けます。

```
Library UNISIM;
use UNISIM.vcomponents.all;

-- FDRSE: Single Data Rate D Flip-Flop with Synchronous Clear, Set and
--       Clock Enable (posedge clk).
--       Virtex-4/5, Spartan-3/3E/3A/3A DSP
-- Xilinx HDL Libraries Guide, version 11.2

FDRSE_inst : FDRSE
generic map (
  INIT => '0') -- Initial value of register ('0' or '1')
port map (
  Q => Q,      -- Data output
  C => C,      -- Clock input
  CE => CE,    -- Clock enable input
  D => D,      -- Data input
  R => R,      -- Synchronous reset input
  S => S       -- Synchronous set input
);

-- End of FDRSE_inst instantiation
```

Verilog 記述 (インスタンス化)

```
// FDRSE: Single Data Rate D Flip-Flop with Synchronous Clear, Set and
//       Clock Enable (posedge clk).
//       Virtex-4/5, Spartan-3/3E/3A/3A DSP
// Xilinx HDL Libraries Guide, version 11.2

FDRSE #(
  .INIT(1'b0) // Initial value of register (1'b0 or 1'b1)
) FDRSE_inst (
  .Q(Q),      // Data output
  .C(C),      // Clock input
  .CE(CE),    // Clock enable input
  .D(D),      // Data input
  .R(R),      // Synchronous reset input
  .S(S)       // Synchronous set input
);

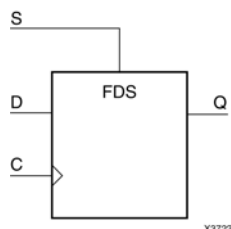
// End of FDRSE_inst instantiation
```

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

FDS

マクロ : D Flip-Flop with Synchronous Set



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

FDS は、データ (D)、同期セット (S) の各入力とデータ出力 (Q) がある単一の D タイプ フリップフロップです。同期セット入力が High になると、クロック (C) が Low から High に切り替わるときに Q 出力が High にセットされます。S が Low の場合、クロック (C) が Low から High に切り替わるときに D 入力の値がフリップフロップにロードされます。

CPLD では、電力を供給すると、フリップフロップは非同期にクリアされ、出力が Low になります。High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

論理表

入力			出力
S	D	C	Q
1	X	↑	1
0	D	↑	D

デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

使用可能な属性

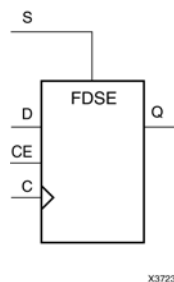
属性	タイプ	値	デフォルト	説明
INIT	2 進数	0、1	1	コンフィギュレーション後の Q 出力の初期値を指定。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

FDSE

マクロ : D Flip-Flop with Clock Enable and Synchronous Set



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

FDSE は、データ (D)、クロック イネーブル (CE)、同期セット (S) の各入力とデータ出力 (Q) がある単一の D タイプ フリップフロップです。同期セット (S) 入力が High になると、クロック イネーブル (CE) 入力は無視され、クロック (C) が Low から High に切り替わるときに Q 出力が High にセットされます。S が Low、CE が High の場合、クロック (C) が Low から High に切り替わるときに D 入力の値がフリップフロップにロードされます。

CPLD では、電力を供給すると、フリップフロップは非同期にクリアされ、出力が Low になります。High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

論理表

入力				出力
S	CE	D	C	Q
1	X	X	↑	1
0	0	X	X	変化なし
0	1	D	↑	D

デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

使用可能な属性

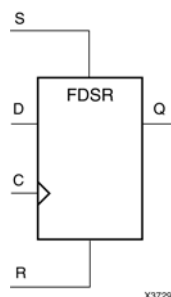
属性	タイプ	値	デフォルト	説明
INIT	2 進数	1	1	コンフィギュレーション後の Q 出力の初期値を指定。 Spartan®-6 デバイスでは、INIT 値とセットまたはリセットの極性を常に一致させる必要があります。FDSE の場合、INIT 値を 1 に設定する必要があります。0 に設定すると余分なロジックが挿入されます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

FDSR

D Flip-Flop with Synchronous Set and Reset



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

FDSR は、入力 (D)、同期リセット (R)、同期セット (S) の各入力と出力 (Q) がある単一の D タイプ フリップフロップです。同期セット (S) 入力が高になると、ほかの入力は無視され、クロック (C) が Low から High に切り替わるときに Q 出力が高にセットされます (セットがリセットよりも優先される)。リセット (R) が High、セット (S) が Low の場合、クロックが Low から High に切り替わるときにフリップフロップがリセットされ、出力が Low になります。S と R が Low の場合、クロックが Low から High に切り替わるときに D 入力の値がフリップフロップにロードされます。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

論理表

入力				出力
S	R	D	C	Q
1	X	X	↑	1
0	1	X	↑	0
0	0	1	↑	1
0	0	0	↑	0

デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

使用可能な属性

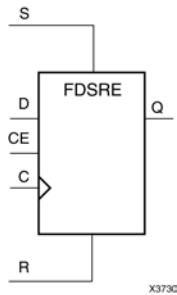
属性	タイプ	値	デフォルト	説明
INIT	2 進数	0、1	0	コンフィギュレーション後の Q 出力の初期値を指定

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

FDSRE

Macro: D Flip-Flop with Synchronous Set and Reset and Clock Enable



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

FDSRE は、同期セット (S)、同期リセット (R)、クロック イネーブル (CE) の各入力と出力 (Q) がある単一の D タイプ フリップフロップです。同期セット入力 (S) が High になると、ほかの入力は無視され、クロック (C) が Low から High に切り替わるときに Q 出力が High にセットされます (セットがリセットよりも優先される)。同期リセット (R) が High、S が Low の場合、クロックが Low から High に切り替わるときに Q 出力が Low にリセットされます。S と R が Low、CE が High の場合、クロックが Low から High に切り替わるときに D の値がフリップフロップにロードされます。CE が Low の場合、クロック遷移は無視されます。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

論理表

入力					出力
S	R	CE	D	C	Q
1	X	X	X	↑	1
0	1	X	X	↑	0
0	0	0	X	X	変化なし
0	0	1	1	↑	1
0	0	1	0	↑	0

デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

使用可能な属性

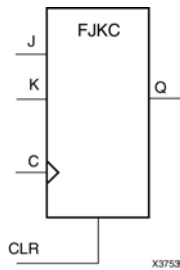
属性	タイプ	値	デフォルト	説明
INIT	2 進数	0、1	0	コンフィギュレーション後の Q 出力の初期値を指定

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

FJKC

マクロ : J-K Flip-Flop with Asynchronous Clear



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

このデザイン エLEMENTは、J、K、非同期クリア (CLR) の各入力とデータ出力 (Q) がある単一の J-K タイプ フリップフロップです。非同期クリア入力 (CLR) が High になると、ほかのすべての入力は無視され、Q 出力が Low にリセットされます。CLR が Low になると、次の論理表に示すように、クロックが Low から High に切り替わるときに、J および K 入力の値に応じて出力の値が変化します。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスで PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

論理表

入力				出力
CLR	J	K	C	Q
1	X	X	X	0
0	0	0	↑	変化なし
0	0	1	↑	0
0	1	0	↑	1
0	1	1	↑	トグル

デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

使用可能な属性

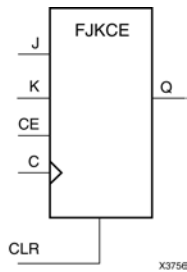
属性	タイプ	値	デフォルト	説明
INIT	2 進数	0、1	0	コンフィギュレーション後の Q 出力の初期値を指定

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

FJKCE

マクロ : J-K Flip-Flop with Clock Enable and Asynchronous Clear



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

このデザイン エLEMENTは、J、K、クロック イネーブル (CE)、非同期クリア (CLR) の各入力とデータ出力 (Q) がある単一の J-K タイプ フリップフロップです。非同期クリア (CLR) が High になると、ほかのすべての入力は無視され、Q 出力が Low にリセットされます。CLR が Low、CE が High の場合、次の論理表に示すように、クロックが Low から High に切り替わるときに、J および K 入力の値に応じて Q の値が変化します。CE が Low の場合、クロック遷移は無視されます。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスで PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

論理表

入力					出力
CLR	OE	J	K	C	Q
1	X	X	X	X	0
0	0	X	X	X	変化なし
0	1	0	0	X	変化なし
0	1	0	1	↑	0
0	1	1	0	↑	1
0	1	1	1	↑	トグル

デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

使用可能な属性

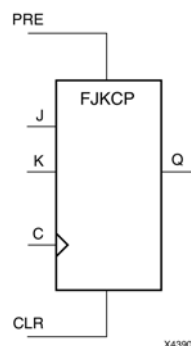
属性	タイプ	値	デフォルト	説明
INIT	2 進数	0、1	0	コンフィギュレーション後の Q 出力の初期値を指定

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

FJKCP

マクロ : J-K Flip-Flop with Asynchronous Clear and Preset



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

このデザイン エLEMENTは、J、K、非同期クリア (CLR)、非同期プリセット (PRE) の各入力と出力 (Q) がある単一の J-K フリップフロップです。非同期クリア入力 (CLR) が High になると、ほかのすべての入力は無視され、Q 出力が Low にリセットされます。非同期プリセット (PRE) が High、CLR が Low になると、ほかのすべての入力は無視され、Q 出力が High にセットされます。CLR と PRE が Low の場合、次の論理表に示すように、クロックが Low から High に切り替わるときに、J および K 入力の値に応じて Q の値が変化します。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

論理表

入力					出力
CLR	PRE	J	K	C	Q
1	X	X	X	X	0
0	1	X	X	X	1
0	0	0	0	X	変化なし
0	0	0	1	↑	0
0	0	1	0	↑	1
0	0	1	1	↑	トグル

デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

使用可能な属性

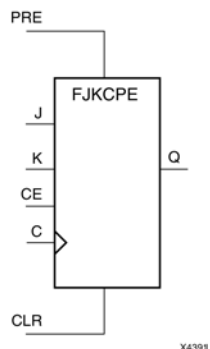
属性	タイプ	値	デフォルト	説明
INIT	2 進数	0、1	0	コンフィギュレーション後の Q 出力の初期値を指定

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

FJKCPE

マクロ : J-K Flip-Flop with Asynchronous Clear and Preset and Clock Enable



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

このデザイン エLEMENTは、J、K、非同期クリア (CLR)、非同期プリセット (PRE)、クロック イネーブル (CE) の各入力と出力 (Q) がある単一の J-K フリップフロップです。非同期クリア入力 (CLR) が High になると、ほかのすべての入力は無視され、Q 出力が Low にリセットされます。非同期プリセット (PRE) が High、CLR が Low になると、ほかのすべての入力は無視され、Q 出力が High にセットされます。CLR と PRE が Low、CE が High の場合、次の論理表に示すように、クロックが Low から High に切り替わるときに、J および K 入力の値に応じて Q の値が変化します。CE が Low の場合、クロック遷移は無視されます。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスで PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

論理表

入力						出力
CLR	PRE	CE	J	K	C	Q
1	X	X	X	X	X	0
0	1	X	X	X	X	1
0	0	0	0	X	X	変化なし
0	0	1	0	0	X	変化なし
0	0	1	0	1	↑	0
0	0	1	1	0	↑	1
0	0	1	1	1	↑	トグル

デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

使用可能な属性

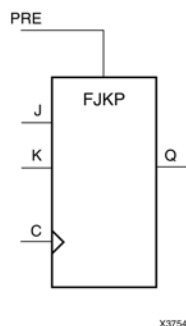
属性	タイプ	値	デフォルト	説明
INIT	2 進数	0、1	0	コンフィギュレーション後の Q 出力の初期値を指定

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

FJKP

マクロ : J-K Flip-Flop with Asynchronous Preset



X3754

サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

このデザイン エLEMENTは、J、K、非同期プリセット (PRE) の各入力とデータ出力 (Q) がある単一の J-K フリップフロップです。非同期プリセット入力 (PRE) が High になると、ほかのすべての入力は無視され、Q 出力が High にセットされます。PRE が Low の場合、次の論理表に示すように、クロックが Low から High に切り替わるときに、J および K 入力の値に応じて Q の値が変化します。

CPLD では、電力を供給すると、フリップフロップは非同期にクリアされ、出力が Low になります。High レベルのパルス を PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

論理表

入力				出力
PRE	J	K	C	Q
1	X	X	X	1
0	0	0	X	変化なし
0	0	1	↑	0
0	1	0	↑	1
0	1	1	↑	トグル

デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

使用可能な属性

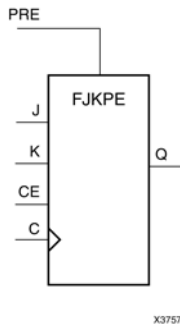
属性	タイプ	値	デフォルト	説明
INIT	2 進数	0、1	1	コンフィギュレーション後の Q 出力の初期値を指定

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

FJKPE

マクロ : J-K Flip-Flop with Clock Enable and Asynchronous Preset



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

このデザイン エLEMENTは、J、K、クロック イネーブル (CE)、非同期プリセット (PRE) の各入力とデータ出力 (Q) がある単一の J-K フリップフロップです。非同期プリセット (PRE) が High になると、ほかのすべての入力は無視され、Q 出力が High にセットされます。PRE が Low、CE が High の場合、次の論理表に示すように、クロック (C) が Low から High に切り替わる時に、J および K 入力の値に応じて Q 出力の値が変化します。CE が Low の場合、クロック遷移は無視されます。

CPLD では、電力を供給すると、フリップフロップは非同期にクリアされ、出力が Low になります。High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

論理表

入力					出力
PRE	CE	J	K	C	Q
1	X	X	X	X	1
0	0	X	X	X	変化なし
0	1	0	0	X	変化なし
0	1	0	1	↑	0
0	1	1	0	↑	1
0	1	1	1	↑	トグル

デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

使用可能な属性

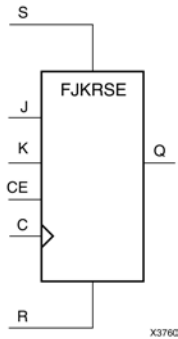
属性	タイプ	値	デフォルト	説明
INIT	2 進数	0、1	1	コンフィギュレーション後の Q 出力の初期値を指定

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

FJKRSE

マクロ : J-K Flip-Flop with Clock Enable and Synchronous Reset and Set



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

このデザイン エLEMENTは、J、K、同期リセット (R)、同期セット (S)、クロック イネーブル (CE) の各入力とデータ出力 (Q) がある単一の J-K フリップフロップです。同期リセット (R) が High になると、ほかのすべての入力は無視され、クロック (C) が Low から High に切り替わるときに Q が Low にリセットされます。同期セット (S) が High、R が Low の場合、Q 出力が High にセットされます。R と S が Low、CE が High の場合、次の論理表に示すように、クロック (C) が Low から High に切り替わるときに、J および K 入力の値に応じて Q 出力が変化します。CE が Low の場合、クロック遷移は無視されます。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

論理表

入力						出力
R	S	CE	J	K	C	Q
1	X	X	X	X	↑	0
0	1	X	X	X	↑	1
0	0	0	X	X	X	変化なし
0	0	1	0	0	X	変化なし
0	0	1	0	1	↑	0
0	0	1	1	0	↑	1
0	0	1	1	0	↑	1
0	0	1	1	1	↑	トグル

デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

使用可能な属性

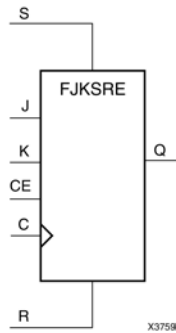
属性	タイプ	値	デフォルト	説明
INIT	2 進数	0、1	0	コンフィギュレーション後の Q 出力の初期値を指定

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

FJKSRE

マクロ : J-K Flip-Flop with Clock Enable and Synchronous Set and Reset



サポートされているアーキテクチャ

このデザイン エレメントは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

このデザイン エレメントは、J、K、同期セット (S)、同期リセット (R)、クロック イネーブル (CE) の各入力とデータ出力 (Q) がある単一の J-K タイプ フリップフロップです。同期セット (S) が High になると、ほかのすべての入力は無視され、クロック (C) が Low から High に切り替わるときに Q が High にセットされます。同期リセット (R) が High、S が Low の場合、出力 Q が Low にリセットされます。S と R が Low、CE が High の場合、次の論理表に示すように、クロック (C) が Low から High に切り替わるときに、J および K 入力の値に応じて Q 出力が変化します。CE が Low の場合、クロック 遷移は無視されます。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

論理表

入力						出力
S	R	CE	J	K	C	Q
1	X	X	X	X	↑	1
0	1	X	X	X	↑	0
0	0	0	X	X	X	変化なし
0	0	1	0	0	X	変化なし
0	0	1	0	1	↑	0
0	0	1	1	0	↑	1
0	0	1	1	1	↑	トグル

デザインの入力方法

このエレメントは、回路図でのみ使用できます。

使用可能な属性

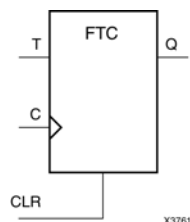
属性	タイプ	値	デフォルト	説明
INIT	2 進数	0、1	1	コンフィギュレーション後の Q 出力の初期値を指定

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

FTC

マクロ : Toggle Flip-Flop with Asynchronous Clear



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

このデザイン エLEMENTは、リセット可能な同期トグル フリップフロップです。非同期クリア入力 (CLR) が High になると、ほかのすべての入力は無視され、出力 (Q) が Low にリセットされます。トグル イネーブル入力 (T) が High、CLR が Low の場合、クロックが Low から High に切り替わる時に Q 出力がトグルし、値が変化します。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

論理表

入力			出力
CLR	T	C	Q
1	X	X	0
0	0	X	変化なし
0	1	↑	トグル

デザインの入力方法

このELEMENTは、CPLD を使用しているときはインスタンス化できますが、FPGA を使用しているときはインスタンス化できません。

使用可能な属性

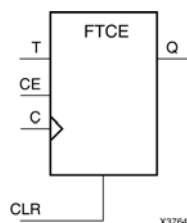
属性	タイプ	値	デフォルト	説明
INIT	2 進数	0、1	0	コンフィギュレーション後の Q 出力の初期値を指定

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

FTCE

マクロ : Toggle Flip-Flop with Clock Enable and Asynchronous Clear



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

このデザイン エLEMENTは、トグル イネーブル、クロック イネーブル、非同期クリアがあるトグル フリップフロップです。非同期クリア入力 (CLR) が High になると、ほかのすべての入力は無視され、出力 (Q) の値が Low にリセットされます。CLR が Low、トグル イネーブル (T) とクロック イネーブル (CE) が High の場合、クロック (C) が Low から High に切り替わるときに Q 出力がトグルし、値が変化します。CE が Low の場合、クロック遷移は無視されます。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスで PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

論理表

入力				出力
CLR	CE	T	C	Q
1	X	X	X	0
0	0	X	X	変化なし
0	1	0	X	変化なし
0	1	1	↑	トグル

デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

使用可能な属性

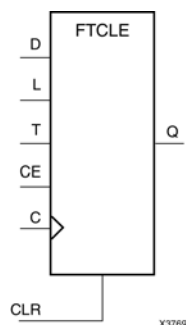
属性	タイプ	値	デフォルト	説明
INIT	2 進数	0、1	0	コンフィギュレーション後の Q 出力の初期値を指定

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

FTCLE

マクロ : Toggle/Loadable Flip-Flop with Clock Enable and Asynchronous Clear



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

このデザイン エLEMENTは、トグル イネーブル、クロック イネーブル、非同期クリアがあるロード可能なトグル フリップフロップです。非同期クリア入力 (CLR) が High になると、ほかのすべての入力は無視され、出力 Q が Low にリセットされます。ロード イネーブル入力 (L) が High、CLR が Low の場合、クロック イネーブル (CE) は無視され、クロック (C) が Low から High に切り替わるときに、データ入力 (D) の値がフリップフロップにロードされます。トグル イネーブル (T) と CE が High、L と CLR が Low の場合、クロックが Low から High に切り替わるときに、出力 Q がトグルし、値が変化します。CE が Low の場合、クロック遷移は無視されます。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

論理表

入力						出力
CLR	L	CE	T	D	C	Q
1	X	X	X	X	X	0
0	1	X	X	D	↑	D
0	0	0	X	X	X	変化なし
0	0	1	0	X	X	変化なし
0	0	1	1	X	↑	トグル

デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

使用可能な属性

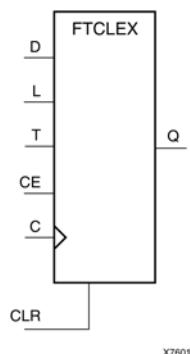
属性	タイプ	値	デフォルト	説明
INIT	2 進数	0、1	0	コンフィギュレーション後の Q 出力の初期値を指定

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

FTCLEX

マクロ : Toggle/Loadable Flip-Flop with Clock Enable and Asynchronous Clear



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

このデザイン エLEMENTは、トグル イネーブル、クロック イネーブル、非同期クリアがあるロード可能なトグル フリップフロップです。非同期クリア入力 (CLR) が High になると、ほかのすべての入力は無視され、出力 Q が Low にリセットされます。ロード イネーブル入力 (L) と CE が High、CLR が Low の場合、クロック (C) が Low から High に切り替わる時に、入力 (D) の値がフリップフロップにロードされます。トグル イネーブル (T) と CE が High、L と CLR が Low の場合、クロックが Low から High に切り替わる時に、出力 Q がトグルし、値が変化します。CE が Low の場合、クロック遷移は無視されます。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

論理表

入力						出力
CLR	L	CE	T	D	C	Q
1	X	X	X	X	X	0
0	1	X	X	D	↑	D
0	0	0	X	X	X	変化なし
0	0	1	0	X	X	変化なし
0	0	1	1	X	↑	トグル

デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

使用可能な属性

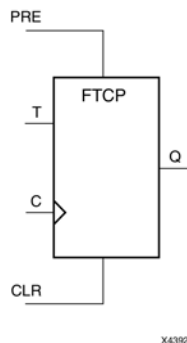
属性	タイプ	値	デフォルト	説明
INIT	2 進数	0、1	0	コンフィギュレーション後の Q 出力の初期値を指定

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

FTCP

プリミティブ : Toggle Flip-Flop with Asynchronous Clear and Preset



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

このデザイン エLEMENTは、トグル イネーブル、非同期クリア、非同期プリセットがあるトグル フリップフロップです。非同期クリア入力 (CLR) が High になると、ほかのすべての入力は無視され、出力 (Q) が Low にリセットされます。非同期プリセット入力 (PRE) が High、CLR が Low になると、ほかのすべての入力は無視され、Q 出力が High になります。トグル イネーブル入力 (T) が High、CLR と PRE が Low の場合、クロック (C) が Low から High に切り替わる時に出力 Q がトグルし、Q の値が変化します。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

論理表

入力				出力
CLR	PRE	T	C	Q
1	X	X	X	0
0	1	X	X	1
0	0	0	X	変化なし
0	0	1	↑	トグル

デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

使用可能な属性

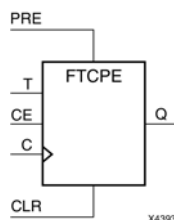
属性	タイプ	値	デフォルト	説明
INIT	2 進数	0、1	0	コンフィギュレーション後の Q 出力の初期値を指定

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

FTCPE

マクロ : Toggle Flip-Flop with Clock Enable and Asynchronous Clear and Preset



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

このデザイン エLEMENTは、トグル イネーブル、クロック イネーブル、非同期クリア、非同期プリセットがあるトグル フリップフロップです。非同期クリア入力 (CLR) が High になると、ほかのすべての入力は無視され、出力 (Q) が Low にリセットされます。非同期プリセット入力 (PRE) が High、CLR が Low になると、ほかのすべての入力は無視され、Q 出力が High になります。トグル イネーブル入力 (T) とクロック イネーブル入力 (CE) が High、CLR と PRE が Low の場合、クロック (C) が Low から High に切り替わるときに出力 Q がトグルし、値が変化します。CE が Low の場合、クロック遷移は無視されます。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのレベルを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

論理表

入力					出力
CLR	PRE	CE	T	C	Q
1	X	X	X	X	0
0	1	X	X	X	1
0	0	0	X	X	変化なし
0	0	1	0	X	変化なし
0	0	1	1	↑	トグル

デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

使用可能な属性

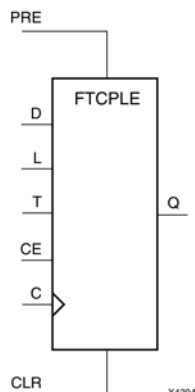
属性	タイプ	値	デフォルト	説明
INIT	2 進数	0、1	0	コンフィギュレーション後の Q 出力の初期値を指定

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

FTCPLLE

マクロ : Loadable Toggle Flip-Flop with Clock Enable and Asynchronous Clear and Preset



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

このデザイン エLEMENTは、トグル イネーブル、クロック イネーブル、非同期クリア、非同期プリセットがあるロード可能なトグル フリップフロップです。非同期クリア入力 (CLR) が High になると、ほかのすべての入力は無視され、出力 (Q) が Low にリセットされます。非同期プリセット入力 (PRE) が High、CLR が Low になると、ほかのすべての入力は無視され、Q 出力が High になります。ロード入力 (L) が High の場合、クロック イネーブル (CE) は無視され、クロック (C) が Low から High に切り替わるときに入力 (D) の値がフリップフロップにロードされます。トグル イネーブル入力 (T) とクロック イネーブル入力 (CE) が High、CLR、PRE、L が Low の場合、クロック (C) が Low から High に切り替わるときに出力 Q がトグルし、値が変化します。CE が Low の場合、クロック遷移は無視されます。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

論理表

入力							出力
CLR	PRE	L	CE	T	C	D	Q
1	X	X	X	X	X	X	0
0	1	X	X	X	X	X	1
0	0	1	X	X	↑	0	0
0	0	1	X	X	↑	1	1
0	0	0	0	X	X	X	変化なし
0	0	0	1	0	X	X	変化なし
0	0	0	1	1	↑	X	トグル

デザインの入力方法

このエレメントは、回路図でのみ使用できます。

使用可能な属性

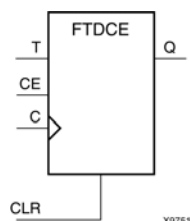
属性	タイプ	値	デフォルト	説明
INIT	2 進数	0、1	0	コンフィギュレーション後の Q 出力の初期値を指定

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

FTDCE

マクロ : Dual-Edge Triggered Toggle Flip-Flop with Clock Enable and Asynchronous Clear



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

概要

このデザイン エLEMENTは、クロックの両エッジで動作するトグル フリップフロップで、トグル イネーブル、クロック イネーブル、非同期クリアがあります。非同期クリア入力 (CLR) が High になると、ほかのすべての入力は無視され、出力 (Q) の値が Low にリセットされます。CLR が Low、トグル イネーブル (T) とクロック イネーブル (CE) が High の場合、クロック (C) が Low から High または High から Low に切り替わるときに Q 出力がトグルし、値が変化します。CE が Low の場合、クロック遷移は無視されます。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

論理表

入力				出力
CLR	CE	T	C	Q
1	X	X	X	0
0	0	X	X	変化なし
0	1	0	X	変化なし
0	1	1	↑	トグル
0	1	1	↓	トグル

デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

使用可能な属性

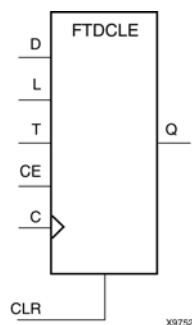
属性	タイプ	値	デフォルト	説明
INIT	2 進数	0、1	0	コンフィギュレーション後の Q 出力の初期値を指定

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

FTDCLE

マクロ : Dual-Edge Triggered Toggle/Loadable Flip-Flop with Clock Enable and Asynchronous Clear



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

概要

このデザイン エLEMENTは、クロックの両エッジで動作するロード可能なトグル フリップフロップで、トグル イネーブル、クロック イネーブル、非同期クリアがあります。非同期クリア入力 (CLR) が High になると、ほかのすべての入力は無視され、出力 Q が Low にリセットされます。ロード イネーブル入力 (L) が High、CLR が Low の場合、クロック イネーブル (CE) は無視され、クロック (C) が Low から High または High から Low に切り替わる時に、入力 (D) の値がフリップフロップにロードされます。トグル イネーブル (T) と CE が High、L と CLR が Low の場合、クロックが Low から High または High から Low に切り替わる時に出力 Q がトグルし、値が変化します。CE が Low の場合、クロック遷移は無視されます。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

論理表

入力						出力
CLR	L	CE	T	D	C	Q
1	X	X	X	X	X	0
0	1	X	X	1	↑	1
0	1	X	X	1	↓	1
0	1	X	X	0	↑	0
0	1	X	X	0	↓	0
0	0	0	X	X	X	変化なし
0	0	1	0	X	X	変化なし
0	0	1	1	X	↑	トグル
0	0	1	1	X	↓	トグル

デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

使用可能な属性

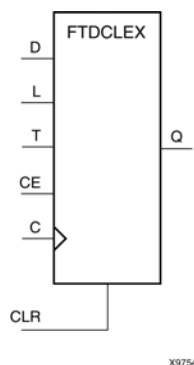
属性	タイプ	値	デフォルト	説明
INIT	2 進数	0、1	0	コンフィギュレーション後の Q 出力の初期値を指定

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

FTDCLEX

マクロ : Dual-Edge Triggered Toggle/Loadable Flip-Flop with Clock Enable and Asynchronous Clear



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

概要

このデザイン エLEMENTは、クロックの両エッジで動作するロード可能なトグル フリップフロップで、トグル イネーブル、クロック イネーブル、非同期クリアがあります。非同期クリア入力 (CLR) が High になると、ほかのすべての入力は無視され、出力 Q が Low にリセットされます。ロード イネーブル入力 (L) とクロック イネーブル入力 (CE) が High、CLR が Low の場合、クロック (C) が Low から High または High から Low に切り替わる時に、入力 (D) の値がフリップフロップにロードされます。トグル イネーブル (T) と CE が High、L と CLR が Low の場合、クロックが Low から High または High から Low に切り替わる時に出力 Q がトグルし、値が変化します。CE が Low の場合、クロック遷移は無視されます。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

論理表

入力						出力
CLR	L	CE	T	D	C	Q
1	X	X	X	X	X	0
0	1	1	X	1	↑	1
0	1	1	X	1	↓	1
0	1	1	X	0	↑	0
0	1	1	X	0	↓	0
0	0	0	X	X	X	変化なし
0	0	1	0	X	X	変化なし
0	0	1	1	X	↑	トグル
0	0	1	1	X	↓	トグル

デザインの入力方法

このエレメントは、回路図でのみ使用できます。

使用可能な属性

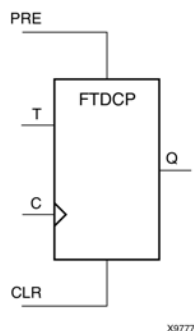
属性	タイプ	値	デフォルト	説明
INIT	2 進数	0、1	0	コンフィギュレーション後の Q 出力の初期値を指定

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

FTDCP

プリミティブ : Dual-Edge Triggered Toggle Flip-Flop with Asynchronous Clear and Preset



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

概要

このデザイン エLEMENTは、トグル イネーブル、非同期クリア、非同期プリセットがあるトグル フリップフロップです。非同期クリア入力 (CLR) が High になると、ほかのすべての入力は無視され、出力 (Q) が Low にリセットされます。非同期プリセット入力 (PRE) が High、CLR が Low になると、ほかのすべての入力は無視され、Q 出力が High になります。トグル イネーブル入力 (T) が High、CLR と PRE が Low の場合、クロック (C) が Low から High または High から Low に切り替わるときに出力 Q がトグルし、値が変化します。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

論理表

入力				出力
CLR	PRE	T	C	Q
1	X	X	X	0
0	1	X	X	1
0	0	0	X	変化なし
0	0	1	↑	トグル
0	0	1	↓	トグル

デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

使用可能な属性

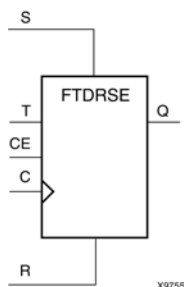
属性	タイプ	値	デフォルト	説明
INIT	2 進数	0、1	0	コンフィギュレーション後の Q 出力の初期値を指定

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

FTDRSE

マクロ : Dual-Edge Triggered Toggle Flip-Flop with Synchronous Reset, Set, and Clock Enable



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

概要

このデザイン エLEMENTは、クロックの両エッジで動作するトグル フリップフロップで、トグル イネーブル、クロック イネーブル、同期セット、同期リセットがあります。同期リセット入力 (R) が High になると、ほかのすべての入力は無視され、クロック (C) が Low から High に切り替わる時に、出力 (Q) の値が Low にリセットされます。R が Low、同期セット入力 (S) が High の場合、クロック イネーブル入力 (CE) は無視され、クロック (C) が Low から High に切り替わる時に、出力 Q が High にセットされます (リセットがセットよりも優先される)。トグル イネーブル入力 (T) と CE が High、S と R が Low の場合、クロックが Low から High または High から Low に切り替わる時に出力 Q がトグルし、値が変化します。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスで PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

論理表

入力					出力
R	S	CE	T	C	Q
1	X	X	X	↑	0
1	X	X	X	↓	0
0	1	X	X	↑	1
0	1	X	X	↓	1
0	0	0	X	X	変化なし
0	0	1	0	X	変化なし
0	0	1	1	↑	トグル
0	0	1	1	↓	トグル

デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

使用可能な属性

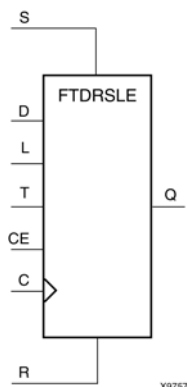
属性	タイプ	値	デフォルト	説明
INIT	2 進数	0、1	0	コンフィギュレーション後の Q 出力の初期値を指定

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

FTDRSLE

マクロ : Dual-Edge Triggered Toggle Flip-Flop with Clock Enable and Synchronous Reset and Set



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

概要

このデザイン エLEMENTは、クロックの両エッジで動作するロード可能なトグル フリップフロップで、トグル イネーブル、クロック イネーブル、同期セット、同期リセットがあります。同期リセット入力 (R) が High になると、ほかのすべての入力は無視され、クロック (C) が Low から High に切り替わるときに、出力 (Q) が Low にリセットされます (リセットがセットよりも優先される)。R が Low、同期セット入力 (S) が High の場合、クロック イネーブル入力 (CE) は無視され、クロック (C) が Low から High に切り替わるときに、出力 Q が High にセットされます。R と S が Low、ロード イネーブル入力 (L) が High の場合、クロック イネーブル (CE) は無視され、クロックが Low から High または High から Low に切り替わる時に、入力 (D) の値がフリップフロップにロードされます。R、S、L が Low、CE とトグル イネーブル (T) が High の場合、クロックが Low から High または High から Low に切り替わる時に Q 出力がトグルし、値が変化します。CE が Low の場合、クロック遷移は無視されます。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

論理表

入力							出力
R	S	L	CE	T	D	C	Q
1	0	X	X	X	X	↑	0
1	0	X	X	X	X	↓	0
0	1	X	X	X	X	↑	1
0	1	X	X	X	X	↓	1
0	0	1	X	X	1	↑	1
0	0	1	X	X	1	↓	1
0	0	1	X	X	0	↑	0
0	0	1	X	X	0	↓	0
0	0	0	0	X	X	X	変化なし
0	0	0	1	0	X	X	変化なし
0	0	0	1	1	X	↑	トグル
0	0	0	1	1	X	↓	トグル

デザインの入力方法

このエレメントは、回路図でのみ使用できます。

使用可能な属性

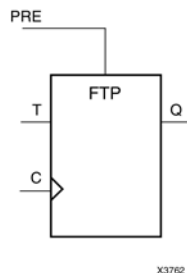
属性	タイプ	値	デフォルト	説明
INIT	2 進数	0、1	0	コンフィギュレーション後の Q 出力の初期値を指定

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

FTP

マクロ : Toggle Flip-Flop with Asynchronous Preset



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

このデザイン エLEMENTは、トグル イネーブルと非同期プリセットがあるトグル フリップフロップです。非同期プリセット入力 (PRE) が High になると、ほかのすべての入力は無視され、出力 Q が High にセットされます。トグル イネーブル入力 (T) が High、PRE が Low の場合、クロック (C) が Low から High に切り替わる時に出力 Q がトグルし、値が変化します。

CPLD では、電力を供給すると、フリップフロップは非同期にクリアされ、出力が Low になります。High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

論理表

入力			出力
PRE	T	C	Q
1	X	X	1
0	0	X	変化なし
0	1	↑	トグル

デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

使用可能な属性

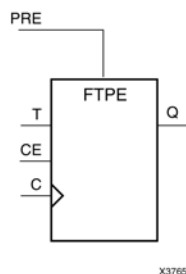
属性	タイプ	値	デフォルト	説明
INIT	2 進数	0、1	1	コンフィギュレーション後の Q 出力の初期値を指定

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

FTPE

マクロ : Toggle Flip-Flop with Clock Enable and Asynchronous Preset



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

このデザイン エLEMENTは、トグル イネーブル、クロック イネーブル、非同期プリセットがあるトグル フリップフロップです。非同期プリセット入力 (PRE) が High になると、ほかのすべての入力は無視され、出力 Q が High にセットされます。トグル イネーブル入力 (T) とクロック イネーブル入力 (CE) が High、PRE が Low の場合、クロックが Low から High に切り替わる時に出力 Q がトグルし、値が変化します。CE が Low の場合、クロック遷移は無視されます。

CPLD では、電力を供給すると、フリップフロップは非同期にクリアされ、出力が Low になります。High レベルのパルス を PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

論理表

入力				出力
PRE	CE	T	C	Q
1	X	X	X	1
0	0	X	X	変化なし
0	1	0	X	変化なし
0	1	1	↑	トグル

デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

使用可能な属性

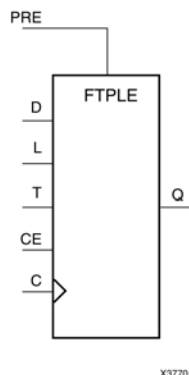
属性	タイプ	値	デフォルト	説明
INIT	2 進数	0、1	1	コンフィギュレーション後の Q 出力の初期値を指定

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

FTPLE

マクロ : Toggle/Loadable Flip-Flop with Clock Enable and Asynchronous Preset



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

このデザイン エLEMENTは、トグル イネーブル、クロック イネーブル、非同期プリセットがあるロード可能なトグル フリップフロップです。非同期プリセット入力 (PRE) が High になると、ほかのすべての入力は無視され、出力 Q が High にセットされます。ロード イネーブル入力 (L) が High、PRE が Low の場合、クロック イネーブル (CE) は無視され、クロックが Low から High に切り替わるときに、D の値がフリップフロップにロードされます。L と PRE が Low、トグル イネーブル入力 (T) と CE が High の場合、クロックが Low から High に切り替わるときに出力 Q がトグルし、値が変化します。CE が Low の場合、クロック遷移は無視されます。

CPLD では、電力を供給すると、フリップフロップは非同期にクリアされ、出力が Low になります。High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

論理表

入力						出力
PRE	L	CE	T	D	C	Q
1	X	X	X	X	X	1
0	1	X	X	D	↑	D
0	0	0	X	X	X	変化なし
0	0	1	0	X	X	変化なし
0	0	1	1	X	↑	トグル

デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

使用可能な属性

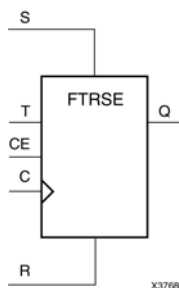
属性	タイプ	値	デフォルト	説明
INIT	2 進数	0、1	1	コンフィギュレーション後の Q 出力の初期値を指定

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

FTRSE

マクロ : Toggle Flip-Flop with Clock Enable and Synchronous Reset and Set



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

このデザイン エLEMENTは、トグル イネーブル、クロック イネーブル、同期セット、同期リセットがあるトグル フリップフロップです。同期リセット入力 (R) が High になると、ほかのすべての入力は無視され、クロック (C) が Low から High に切り替わるときに、出力 (Q) の値が Low にリセットされます。R が Low、同期セット入力 (S) が High の場合、クロック イネーブル入力 (CE) は無視され、クロック (C) が Low から High に切り替わるときに、出力 Q が High にセットされます (リセットがセットよりも優先される)。トグル イネーブル入力 (T) と CE が High、S と R が Low の場合、クロック (C) が Low から High に切り替わる時に出力 Q がトグルし、値が変化します。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

論理表

入力					出力
R	S	CE	T	C	Q
1	X	X	X	↑	0
0	1	X	X	↑	1
0	0	0	X	X	変化なし
0	0	1	0	X	変化なし
0	0	1	1	↑	トグル

デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

使用可能な属性

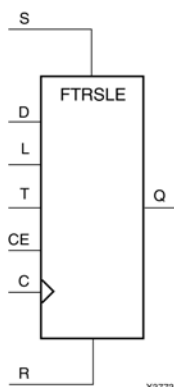
属性	タイプ	値	デフォルト	説明
INIT	2 進数	0、1	0	コンフィギュレーション後の Q 出力の初期値を指定

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

FTRSLE

マクロ : Toggle/Loadable Flip-Flop with Clock Enable and Synchronous Reset and Set



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

このデザイン エLEMENTは、トグル イネーブル、クロック イネーブル、同期セット、同期リセットがあるロード可能なトグル フリップフロップです。同期リセット入力 (R) が High になると、ほかのすべての入力は無視され、クロック (C) が Low から High に切り替わるときに、出力 (Q) が Low にリセットされます (リセットがセットよりも優先される)。R が Low、同期セット入力 (S) が High の場合、クロック イネーブル入力 (CE) は無視され、クロック (C) が Low から High に切り替わるときに、出力 Q が High にセットされます。R と S が Low、ロード イネーブル入力 (L) が High の場合、CE は無視され、クロック (C) が Low から High に切り替わるときに、データ入力 (D) の値がフリップフロップにロードされます。R、S、L が Low、CE とトグル イネーブル (T) が High の場合、クロック (C) が Low から High に切り替わるときに出力 Q がトグルし、値が変化します。CE が Low の場合、クロック遷移は無視されます。

電力を供給すると、このフリップフロップは非同期的にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

論理表

入力							出力
R	S	L	CE	T	D	C	Q
1	0	X	X	X	X	↑	0
0	1	X	X	X	X	↑	1
0	0	1	X	X	1	↑	1
0	0	1	X	X	0	↑	0
0	0	0	0	X	X	X	変化なし
0	0	0	1	0	X	X	変化なし
0	0	0	1	1	X	↑	トグル

デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

使用可能な属性

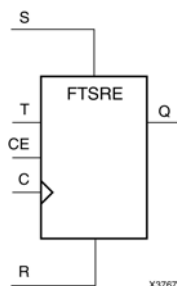
属性	タイプ	値	デフォルト	説明
INIT	2 進数	0、1	0	コンフィギュレーション後の Q 出力の初期値を指定

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

FTSRE

マクロ : Toggle Flip-Flop with Clock Enable and Synchronous Set and Reset



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

このデザイン エLEMENTは、トグル イネーブル、クロック イネーブル、同期セット、同期リセットがあるトグル フリップフロップです。同期セット入力 (S) が High になると、ほかのすべての入力は無視され、クロック (C) が Low から High に切り替わるときに、データ出力 (Q) が High にセットされます (セットがリセットよりも優先される)。同期リセット (R) が High、S が Low の場合、クロック イネーブル入力 (CE) は無視され、クロック (C) が Low から High に切り替わるときに、出力 Q が Low にリセットされます。トグル イネーブル入力 (T) と CE が High、S と R が Low の場合、クロック (C) が Low から High に切り替わるときに出力 Q がトグルし、値が変化します。CE が Low の場合、クロック遷移は無視されます。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

論理表

入力					出力
S	R	CE	T	C	Q
1	X	X	X	↑	1
0	1	X	X	↑	0
0	0	0	X	X	変化なし
0	0	1	0	X	変化なし
0	0	1	1	↑	トグル

デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

使用可能な属性

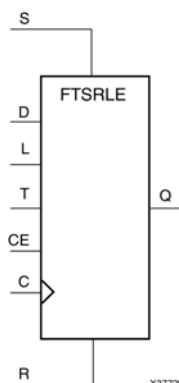
属性	タイプ	値	デフォルト	説明
INIT	2 進数	0、1	1	コンフィギュレーション後の Q 出力の初期値を指定

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

FTSRLE

マクロ : Toggle/Loadable Flip-Flop with Clock Enable and Synchronous Set and Reset



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

このデザイン エLEMENTは、トグル イネーブル、クロック イネーブル、同期セット、同期リセットがあるロード可能なトグル フリップフロップです。同期セット入力 (S) が High になると、ほかのすべての入力は無視され、クロック (C) が Low から High に切り替わるときに、データ出力 (Q) が High にセットされます (セットがリセットよりも優先される)。同期リセット (R) が High、S が Low の場合、クロック イネーブル入力 (CE) は無視され、クロック (C) が Low から High に切り替わるときに、出力 Q が Low にリセットされます。ロード イネーブル入力 (L) が High、S と R が Low の場合、CE は無視され、クロックが Low から High に切り替わるときに、入力 (D) の値がフリップフロップにロードされます。トグル イネーブル入力 (T) と CE が High、S、R、L が Low の場合、クロック (C) が Low から High に切り替わるときに出力 Q がトグルし、値が変化します。CE が Low の場合、クロック遷移は無視されます。

CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

論理表

入力							出力
S	R	L	CE	T	D	C	Q
1	X	X	X	X	X	↑	1
0	1	X	X	X	X	↑	0
0	0	1	X	X	1	↑	1
0	0	1	X	X	0	↑	0
0	0	0	0	X	X	X	変化なし
0	0	0	1	0	X	X	変化なし
0	0	0	1	1	X	↑	トグル

デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

使用可能な属性

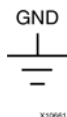
属性	タイプ	値	デフォルト	説明
INIT	2 進数	0、1	1	コンフィギュレーション後の Q 出力の初期値を指定

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

GND

プリミティブ : Ground-Connection Signal Tag



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

GND 信号タグは、ネットまたは入力ファンクションの論理レベルを Low にします。GND に接続されたネットは、ほかのソースに接続できません。

ロジックトリム ソフトウェアまたはフィッタでは、GND に接続されたネットまたは入力ファンクションがあると、GND 信号でディスエーブルになるロジックが削除されます。ディスエーブルになるロジックを削除できない場合のみ、GND 信号がインプリメントされます。

デザインの入力方法

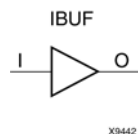
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

IBUF

プリミティブ : Input Buffer



サポートされているアーキテクチャ

このデザイン エレメントは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

このデザイン エレメントは、最上位の入力ポートまたは入出力ポートに接続されている信号に自動的に挿入されます。このバッファは通常、合成ツールで推論しますが、必要に応じてインスタンスエートすることも可能です。インスタンスエートするには、入力ポート (I) を関連する最上位の入力ポートまたは入出力ポートに接続し、出力ポート (O) をそのポートをソースとする FPGA ロジックに接続します。必要なジェネリック マップ (VHDL) またはパラメータ値代入 (Verilog) に変更を加えて、コンポーネントのデフォルトのビヘイビアを変更します。

ポートの説明

ポート名	方向	幅	機能
O	出力	1	バッファの出力
I	入力	1	バッファの入力

デザインの入力方法

インスタンスエーション	可
推論	推奨
CORE Generator™ およびウィザード	不可
マクロのサポート	不可

このエレメントは、回路図で使用されます。

このエレメントは通常、デザインの最上位入力ポートに対して推論されます。通常はソースコードで指定する必要はありませんが、必要に応じてインスタンスエートできます。このコンポーネントをインスタンスエートするには、該当するライブラリ ガイドに含まれるインスタンスエーション コードを最上位エンティティ/モジュールに挿入します。デザイン階層を保つために、すべての I/O コンポーネントを必ずデザインの最上位に配置してください。I ポートをデザインの最上位入力ポートに、O ポートをこの入力 that 供給されるロジックに直接接続します。generic/defparam 値を設定し、バッファのビヘイビアを適切に設定してください。

使用可能な属性

属性	タイプ	値	デフォルト	説明
IOSTANDARD	文字列	データシートを参照	DEFAULT	I/O 規格をエレメントに割り当て

VHDL 記述 (インスタンスエーション)

次の 2 つの構文が存在しない場合はコピーし、エンティティ宣言の前に貼り付けます。

```
Library UNISIM;
use UNISIM.vcomponents.all;

-- IBUF: Single-ended Input Buffer
-- All devices
-- Xilinx HDL Libraries Guide, version 11.2

IBUF_inst : IBUF
generic map (
  IBUF_DELAY_VALUE => "0", -- Specify the amount of added input delay for buffer,
                           -- "0"-12" (Spartan-3E)
                           -- "0"-16" (Spartan-3A)
  IFD_DELAY_VALUE => "AUTO", -- Specify the amount of added delay for input register,
                           -- "AUTO", "0"-6" (Spartan-3E)
                           -- "AUTO", "0"-8" (Spartan-3A)
  IOSTANDARD => "DEFAULT")
port map (
  O => O,      -- Buffer output
  I => I       -- Buffer input (connect directly to top-level port)
);

-- End of IBUF_inst instantiation
```

Verilog 記述 (インスタンスエーション)

```
// IBUF: Single-ended Input Buffer
// All devices
// Xilinx HDL Libraries Guide, version 11.2

IBUF #(
  .IBUF_DELAY_VALUE("0"), // Specify the amount of added input delay for
                           // the buffer: "0"-12" (Spartan-3E)
                           // "0"-16" (Spartan-3A)
  .IFD_DELAY_VALUE("AUTO"), // Specify the amount of added delay for input
                           // register: "AUTO", "0"-6" (Spartan-3E)
                           // "AUTO", "0"-8" (Spartan-3A)
  .IOSTANDARD("DEFAULT") // Specify the input I/O standard
)IBUF_inst (
  .O(O), // Buffer output
  .I(I) // Buffer input (connect directly to top-level port)
);

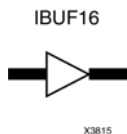
// End of IBUF_inst instantiation
```

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当する EDK 資料

IBUF16

マクロ : 16-Bit Input Buffer



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

IBUF は、チップに入力される信号から内部回路を分離します。このデザイン エLEMENTは I/O ブロック (IOB) に含まれており、I/O の I/O 規格を指定できます。通常シングルエンドのデータ入力ピンまたは双方向ピンに使用されます。

デザインの入力方法

インスタンス化	可
推論	推奨
CORE Generator™ およびウィザード	不可
マクロのサポート	不可

このELEMENTは、回路図で使用されます。

このELEMENTは通常、デザインの最上位入力ポートに対して推論されます。通常はソースコードで指定する必要はありませんが、必要に応じてインスタンス化できます。このコンポーネントをインスタンス化するには、該当するライブラリ ガイドに含まれるインスタンス化コードを最上位エンティティ/モジュールに挿入します。デザイン階層を保つために、すべての I/O コンポーネントを必ずデザインの最上位に配置してください。I ポートをデザインの最上位入力ポートに、O ポートをこの入力供給されるロジックに直接接続します。generic/defparam 値を設定し、バッファのビヘイビアを適切に設定してください。

使用可能な属性

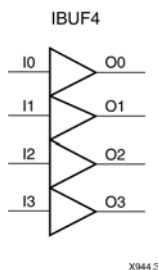
属性	タイプ	値	デフォルト	説明
IOSTANDARD	文字列	データシートを参照	DEFAULT	I/O 規格をELEMENTに割り当て

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

IBUF4

マクロ : 4-Bit Input Buffer



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

IBUF は、チップに入力される信号から内部回路を分離します。このデザイン エLEMENTは I/O ブロック (IOB) に含まれており、I/O の I/O 規格を指定できます。通常シングルエンドのデータ入力ピンまたは双方向ピンに使用されます。

デザインの入力方法

インスタンス化	可
推論	推奨
CORE Generator™ およびウィザード	不可
マクロのサポート	不可

このELEMENTは、回路図で使用されます。

このELEMENTは通常、デザインの最上位入力ポートに対して推論されます。通常はソースコードで指定する必要はありませんが、必要に応じてインスタンス化できます。このコンポーネントをインスタンス化するには、該当するライブラリ ガイドに含まれるインスタンス化コードを最上位エンティティ/モジュールに挿入します。デザイン階層を保つために、すべての I/O コンポーネントを必ずデザインの最上位に配置してください。I ポートをデザインの最上位入力ポートに、O ポートをこの入力供給されるロジックに直接接続します。generic/default 値を設定し、バッファのビヘイビアを適切に設定してください。

使用可能な属性

属性	タイプ	値	デフォルト	説明
IOSTANDARD	文字列	データシートを参照	DEFAULT	I/O 規格をELEMENTに割り当て

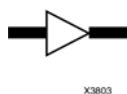
詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

IBUF8

マクロ : 8-Bit Input Buffer

IBUF8



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

IBUF は、チップに入力される信号から内部回路を分離します。このデザイン エLEMENTは I/O ブロック (IOB) に含まれており、I/O の I/O 規格を指定できます。通常シングルエンドのデータ入力ピンまたは双方向ピンに使用されます。

デザインの入力方法

インスタンス化	可
推論	推奨
CORE Generator™ およびウィザード	不可
マクロのサポート	不可

このELEMENTは、回路図で使用されます。

このELEMENTは通常、デザインの最上位入力ポートに対して推論されます。通常はソースコードで指定する必要はありませんが、必要に応じてインスタンス化できます。このコンポーネントをインスタンス化するには、該当するライブラリ ガイドに含まれるインスタンス化コードを最上位エンティティ/モジュールに挿入します。デザイン階層を保つために、すべての I/O コンポーネントを必ずデザインの最上位に配置してください。I ポートをデザインの最上位入力ポートに、O ポートをこの入力 that 供給されるロジックに直接接続します。generic/defparam 値を設定し、バッファのビヘイビアを適切に設定してください。

使用可能な属性

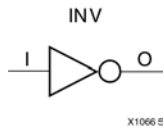
属性	タイプ	値	デフォルト	説明
IOSTANDARD	文字列	データシートを参照	DEFAULT	I/O 規格をELEMENTに割り当て

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

INV

プリミティブ : Inverter



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

このデザイン エLEMENTは、回路図で信号を反転する単一のインバータです。

デザインの入力方法

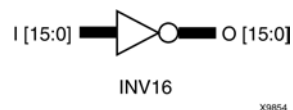
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

INV16

マクロ : 16 Inverters



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

このデザイン エLEMENTは、回路図で信号を反転する複数のインバータです。

デザインの入力方法

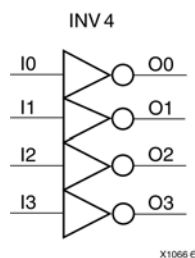
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

INV4

マクロ : Four Inverters



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

このデザイン エLEMENTは、回路図で信号を反転する複数のインバータです。

デザインの入力方法

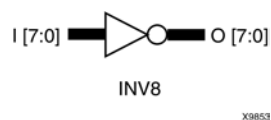
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

INV8

マクロ : Eight Inverters



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

このデザイン エLEMENTは、回路図で信号を反転する複数のインバータです。

デザインの入力方法

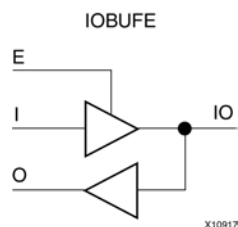
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

IOBUFE

プリミティブ : Bi-Directional Buffer



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

このデザイン エLEMENTは、IBUF および OBUFE から構成される双方向バッファです。IO (入出力) が Z の場合、出力 O は X (不定) です。IOBUFE は、IOBUFE を構成するELEMENTの内部接続としてインプリメントできます。

論理表

入力		双方向	出力
E	I	IO	O
0	0	Z	X
0	1	Z	X
1	0	0	0
1	1	1	1

デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

VHDL 記述 (インスタンス化)

次の 2 つの構文が存在しない場合はコピーし、エンティティ宣言の前に貼り付けます。

```
Library UNISIM;
use UNISIM.vcomponents.all;

-- IOBUFE: Bi-Directional Buffer
--      XC9500XL/CoolRunner-II/XPLA-3
-- Xilinx HDL Language Template, version 10.1

IOBUFE_inst : IOBUFE
port map (O => user_O,
IO => user_IO,
I => user_I,
E => user_E);

-- End of IOBUFE_inst instantiation
```

Verilog 記述 (インスタンス化)

```
// IOBUFE: Bi-Directional Buffer
//      XC9500XL/CoolRunner-II/XPLA-3
// Xilinx HDL Language Template, version 10.1

IOBUFE IOBUFE_inst (.O (user_O),
.IO (user_IO),
.I (user_I),
.E (user_E));

// End of IOBUFE_inst instantiation
```

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

KEEPER

プリミティブ : KEEPER Symbol



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

概要

このデザイン エLEMENTは、双方向出力ピンに接続されるネットの値を保持するウィークキーパ エLEMENTです。たとえば、ネットに対して論理値 1 を駆動すると、KEEPER はそのネットにウィーク/抵抗値 1 を駆動します。その後、ネットドライバがトライステートになっても、KEEPER はウィーク/抵抗値 1 を駆動し続けます。

ポートの説明

属性	方向	幅	機能
O	出力	1 ビット	キーパ出力

デザインの入力方法

インスタンス化	可
推論	推奨
CORE Generator™ およびウィザード	不可
マクロのサポート	不可

このELEMENTは、回路図で使用されます。

このELEMENTは、最上位の回路図ファイルで次のネットに接続できます。

- ・ 入力 I/O マーカーに接続されたネット
- ・ 出力 I/O マーカーおよび OBUFT のようなトライステートにできる I/O ELEMENTの両方に接続されたネット

VHDL 記述 (インスタンス化)

次の 2 つの構文が存在しない場合はコピーし、エンティティ宣言の前に貼り付けます。

```
Library UNISIM;  
use UNISIM.vcomponents.all;  
  
-- KEEPER: I/O Buffer Weak Keeper  
--      All FPGA, CoolRunner-II  
-- Xilinx HDL Libraries Guide, version 11.2  
  
KEEPER_inst : KEEPER  
port map (  
    O => O      -- Keeper output (connect directly to top-level port)  
);  
  
-- End of KEEPER_inst instantiation
```

Verilog 記述 (インスタンス化)

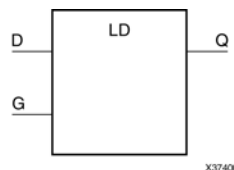
```
// KEEPER: I/O Buffer Weak Keeper  
//      All FPGA, CoolRunner-II  
// Xilinx HDL Libraries Guide, version 11.2  
  
KEEPER KEEPER_inst (  
    .O(O)      // Keeper output (connect directly to top-level port)  
);  
  
// End of KEEPER_inst instantiation
```

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当する EDK 資料

LD

プリミティブ : Transparent Data Latch



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

LD は透過データ ラッチです。ゲート イネーブル入力 (G) が High の場合、データ出力 (Q) にデータ入力 (D) の値が出力されます。D 入力の値は、G が High から Low に切り替わるときにラッチ内に格納されます。Q 出力の値は、G が Low の間は変化しません。

電力を供給すると、ラッチは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

論理表

入力		出力
G	D	Q
1	D	D
0	X	変化なし
↓	D	D

デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

使用可能な属性

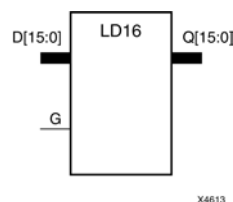
属性	タイプ	値	デフォルト	説明
INIT	2 進数	0、1	0	コンフィギュレーション後の Q 出力の初期値を指定

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

LD16

マクロ : Multiple Transparent Data Latch



サポートされているアーキテクチャ

このデザイン エレメントは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

このデザイン エレメントは透過データ ラッチ 16 個で構成されており、共通のゲート イネーブル (G) が 1 つあります。ゲート イネーブル入力 (G) が High の場合、データ出力 (Q) にデータ入力 (D) の値が出力されます。D 入力の値は、G が High から Low に切り替わるときにラッチ内に格納されます。Q 出力の値は、G が Low の間は変化しません。

電力を供給すると、ラッチは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

論理表

入力		出力
G	D	Q
1	Dn	Dn
0	X	変化なし
↓	Dn	Dn

デザインの入力方法

このエレメントは、回路図でのみ使用できます。

使用可能な属性

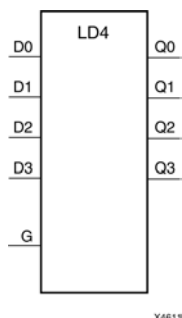
属性	タイプ	値	デフォルト	説明
INIT	2 進数	16 ビット値	すべてゼロ	コンフィギュレーション後の Q 出力の初期値を指定

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

LD4

マクロ : Multiple Transparent Data Latch



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

このデザイン エLEMENTは透過データ ラッチ 4 個で構成されており、共通のゲート イネーブル (G) が 1 つあります。ゲート イネーブル入力 (G) が High の場合、データ出力 (Q) にデータ入力 (D) の値が出力されます。D 入力の値は、G が High から Low に切り替わるときにラッチ内に格納されます。Q 出力の値は、G が Low の間は変化しません。

電力を供給すると、ラッチは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

論理表

入力		出力
G	D	Q
1	Dn	Dn
0	X	変化なし
↓	Dn	Dn

デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

使用可能な属性

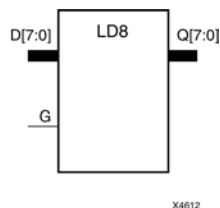
属性	タイプ	値	デフォルト	説明
INIT	2 進数	4 ビット値	すべてゼロ	コンフィギュレーション後の Q 出力の初期値を指定

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

LD8

マクロ : Multiple Transparent Data Latch



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

このデザイン エLEMENTは透過データ ラッチ 8 個で構成されており、共通のゲート イネーブル (G) が 1 つあります。ゲート イネーブル入力 (G) が High の場合、データ出力 (Q) にデータ入力 (D) の値が出力されます。D 入力の値は、G が High から Low に切り替わるときにラッチ内に格納されます。Q 出力の値は、G が Low の間は変化しません。

電力を供給すると、ラッチは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

論理表

入力		出力
G	D	Q
1	Dn	Dn
0	X	変化なし
↓	Dn	Dn

デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

使用可能な属性

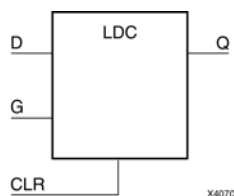
属性	タイプ	値	デフォルト	説明
INIT	2 進数	8 ビット値	すべてゼロ	コンフィギュレーション後の Q 出力の初期値を指定

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

LDC

プリミティブ : マクロ : Transparent Data Latch with Asynchronous Clear



サポートされているアーキテクチャ

このデザイン エレメントは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

このデザイン エレメントは、非同期クリア (CLR) がある透過データラッチです。非同期クリア入力 (CLR) が High になると、ほかの入力は無視され、データ出力 (Q) が Low にリセットされます。ゲート イネーブル入力 (G) が High で CLR が Low の場合、Q にデータ入力 (D) の値が出力されます。D 入力の値は、G が High から Low に切り替わるときにラッチ内に格納されます。Q 出力の値は、G が Low の間は変化しません。

電力を供給すると、ラッチは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

論理表

入力			出力
CLR	G	D	Q
1	X	X	0
0	1	D	D
0	0	X	変化なし
0	↓	D	D

デザインの入力方法

このエレメントは、回路図でのみ使用できます。

使用可能な属性

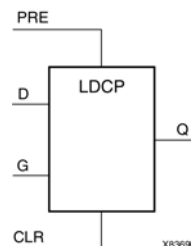
属性	タイプ	値	デフォルト	説明
INIT	2 進数	0、1	0	コンフィギュレーション後の Q 出力の初期値を指定

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

LDCP

プリミティブ : Transparent Data Latch with Asynchronous Clear and Preset



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

このデザイン エLEMENTは、データ入力 (D)、非同期クリア入力 (CLR)、プリセット入力 (PRE) がある透過データ ラッチです。CLR が High になると、ほかの入力は無視され、データ出力 (Q) が Low にリセットされます。XC9500 デバイスの場合、PRE が High、CLR が Low の場合、データ出力 (Q) は High にプリセットされます。CoolRunner™-II および CoolRunner™ XPLA3 の場合、PRE はゲート (G) またはデータ (D) 入力よりも優先順位が低くなり、これらの入力に影響を及ぼしません。ゲート入力 (G) が High で CLR と PRE が Low の場合、Q にデータ入力 (D) の値が出力されます。D 入力の値は、G が High から Low に切り替わる時にラッチ内に格納されます。Q 出力の値は、G が Low の間は変化しません。

電力を供給すると、ラッチは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

論理表

入力				出力
CLR	PRE	G	D	Q
1	X	X	X	0
0	X	1	X	1
0	0	1	D	D
0	0	0	X	変化なし
0	0	↓	D	D

デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

使用可能な属性

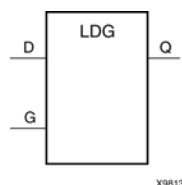
属性	タイプ	値	デフォルト	説明
INIT	整数	0、1	0	電源投入時または Q ポートに対する GSR のアサート時の初期値を指定

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

LDG

プリミティブ : Transparent Datagate Latch



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

概要

このデザイン エLEMENTは、ゲートで入力信号を制御して消費電力を低減するために使用される透過 DataGate ラッチです。ゲート (G) 入力 Low の場合、データ出力 (Q) にデータ入力 (D) の値が出力されます。D 入力の値は、G が Low から High に切り替わるときにラッチ内に格納されます。Q 出力の値は、G が High の間は変化しません。

入力 D は、デバイスの入力パッドに接続される必要があり、それ以外のファンアウトを持つことはできません。入力 G は、CPLD フィッタによってデバイスの DataGate Enable 制御ピン (DGE) に接続されます。デザインに使用できる DataGate Enable 信号は 1 つのみです。DataGate Enable 信号は、デバイスの入力ピンまたはオンチップのロジックソースによって駆動でき、デザインのほかのロジックで再使用できます。

電力を供給すると、ラッチは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

論理表

入力		出力
G	D	Q
0	0	0
0	1	1
1	X	変化なし
↑	D	D

デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

使用可能な属性

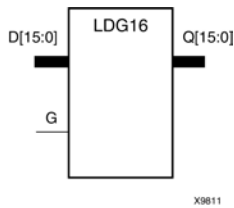
属性	タイプ	値	デフォルト	説明
INIT	2 進数	0、1	0	コンフィギュレーション後の Q 出力の初期値を指定

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

LDG16

マクロ : 16-bit Transparent Datagate Latch



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

概要

このデザイン エLEMENTは透過 DataGate ラッチ 16 個で構成されており、共通のゲート イネーブル (G) が 1 つあります。これらのラッチは、入力ピンの動作が CPLD に影響を与えない間、ゲートで入力信号を制御して消費電力の低減を図るために使用されます。ゲート (G) 入力が高レベルの場合、データ出力 (Q) にデータ入力 (D) の値が出力されます。D 入力の値は、G が Low から High に切り替わるときにラッチ内に格納されます。Q 出力の値は、G が High の間は変化しません。

入力 D は、デバイスの入力パッドに接続される必要があり、それ以外のファンアウトを持つことはできません。入力 G は、CPLD フィットによってデバイスの DataGate Enable 制御ピン (DGE) に接続されます。デザインに使用できる DataGate Enable 信号は 1 つのみです。DataGate Enable 信号は、デバイスの入力ピンまたはオンチップのロジックソースによって駆動でき、デザインのほかのロジックで再使用できます。

電力を供給すると、ラッチは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

論理表

入力		出力
G	D	Q
0	0	0
0	1	1
1	X	変化なし
↑	D	D

デザインの入力方法

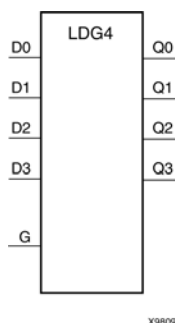
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

LDG4

マクロ : 4-Bit Transparent Datagate Latch



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

概要

このデザイン エLEMENTは透過 DataGate ラッチ 4 個で構成されており、共通のゲート イネーブル (G) が 1 つあります。これらのラッチは、入力ピンの動作が CPLD に影響を与えない間、ゲートで入力信号を制御して消費電力の低減を図るために使用されます。ゲート (G) 入力 Low の場合、データ出力 (Q) にデータ入力 (D) の値が出力されます。D 入力の値は、G が Low から High に切り替わるときにラッチ内に格納されます。Q 出力の値は、G が High の間は変化しません。

入力 D は、デバイスの入力パッドに接続される必要があり、それ以外のファンアウトを持つことはできません。入力 G は、CPLD フィットによってデバイスの DataGate Enable 制御ピン (DGE) に接続されます。デザインに使用できる DataGate Enable 信号は 1 つのみです。DataGate Enable 信号は、デバイスの入力ピンまたはオンチップのロジックソースによって駆動でき、デザインのほかのロジックで再使用できます。

電力を供給すると、ラッチは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

論理表

入力		出力
G	D	Q
0	0	0
0	1	1
1	X	変化なし
↑	D	D

デザインの入力方法

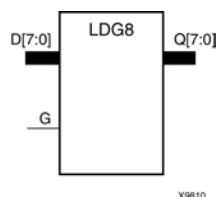
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

LDG8

マクロ : 8-Bit Transparent Datagate Latch



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

概要

このデザイン エLEMENTは透過 DataGate ラッチ 8 個で構成されており、共通のゲート イネーブル (G) が 1 つあります。これらのラッチは、入力ピンの動作が CPLD に影響を与えない間、ゲートで入力信号を制御して消費電力の低減を図るために使用されます。ゲート (G) 入力 が Low の場合、データ出力 (Q) にデータ入力 (D) の値が出力されます。D 入力の値は、G が Low から High に切り替わるときにラッチ内に格納されます。Q 出力の値は、G が High の間は変化しません。

入力 D は、デバイスの入力パッドに接続される必要があり、それ以外のファンアウトを持つことはできません。入力 G は、CPLD フィットによってデバイスの DataGate Enable 制御ピン (DGE) に接続されます。デザインに使用できる DataGate Enable 信号は 1 つのみです。DataGate Enable 信号は、デバイスの入力ピンまたはオンチップのロジックソースによって駆動でき、デザインのほかのロジックで再使用できます。

電力を供給すると、ラッチは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

論理表

入力		出力
G	D	Q
0	0	0
0	1	1
1	X	変化なし
↑	D	D

デザインの入力方法

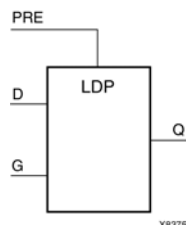
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

LDP

プリミティブ : マクロ : Transparent Data Latch with Asynchronous Preset



サポートされているアーキテクチャ

このデザイン エレメントは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

このデザイン エレメントは、非同期プリセット (PRE) がある透過データラッチです。XC9500 デバイスの場合、PRE が High になると、ほかの入力は無視され、データ出力 (Q) が High にプリセットされます。CoolRunner™-II および CoolRunner™ XPLA3 の場合、PRE はゲート (G) またはデータ (D) 入力よりも優先順位が低くなり、これらの入力に影響を及ぼしません。ゲート入力 (G) が High で PRE が Low の場合、Q にはデータ入力 (D) の値が出力されます。D 入力の値は、G が High から Low に切り替わるときにラッチ内に格納されます。Q 出力の値は、G が Low の間は変化しません。

電力が供給されると、ラッチは非同期にプリセットされ、出力が High になります。

論理表

入力			出力
PRE	G	D	Q
1	X	X	1
0	1	0	0
0	1	1	1
0	0	X	変化なし
0	↓	D	D

デザインの入力方法

このエレメントは、回路図でのみ使用できます。

使用可能な属性

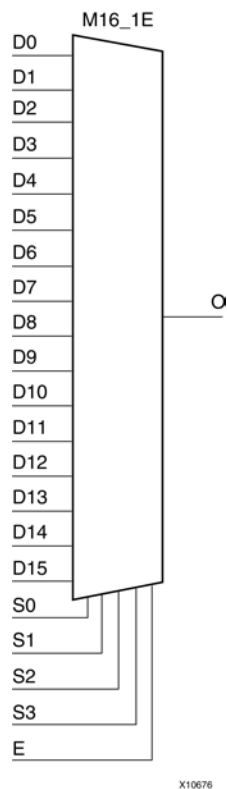
属性	タイプ	値	デフォルト	説明
INIT	2 進数	0、1	1	電源投入時または Q ポートに対する GSR のアサート時の初期値を指定

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

M16_1E

マクロ : 16-to-1 Multiplexer with Enable



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

このデザイン エLEMENTは、イネーブル付き 16:1 マルチプレクサです。イネーブル入力 (E) が High の場合、セレクト入力 (S3 ~ S0) の値に応じて、16 個の入力 (D15 ~ D0) のうち 1 つのデータビットが選択されます。出力 (O) には、次の論理表に示すように、選択された入力の値が出力されます。E が Low の場合、出力は Low になります。

論理表

入力						出力
E	S3	S2	S1	S0	D15 ~ D0	O
0	X	X	X	X	X	0
1	0	0	0	0	D0	D0
1	0	0	0	1	D1	D1
1	0	0	1	0	D2	D2
1	0	0	1	1	D3	D3
.
.
.
1	1	1	0	0	D12	D12
1	1	1	0	1	D13	D13
1	1	1	1	0	D14	D14
1	1	1	1	1	D15	D15

デザインの入力方法

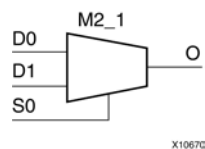
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

M2_1

マクロ : 2-to-1 Multiplexer



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

このデザイン エLEMENTは、セレクト入力 (S0) の値に応じて、2 つの入力 (D1 または D0) のうち 1 つのデータビットを選択します。出力 (O) には、選択された入力の値が出力されます。S0 が Low の場合は D0 が選択され、High の場合は D1 が選択されます。

論理表

入力			出力
S0	D1	D0	O
1	D1	X	D1
0	X	D0	D0

デザインの入力方法

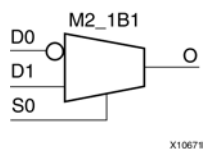
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

M2_1B1

マクロ : 2-to-1 Multiplexer with D0 Inverted



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

このデザイン エLEMENTは、セレクト入力 (S0) の値に応じて、2 つの入力 (D1 または D0) のうち 1 つのデータビットを選択します。S0 が Low の場合は O に D0 の反転値が出力され、S0 が High の場合は D1 の値が出力されます。

論理表

入力			出力
S0	D1	D0	O
1	1	X	1
1	0	X	0
0	X	1	0
0	X	0	1

デザインの入力方法

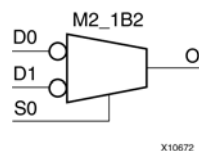
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

M2_1B2

マクロ : 2-to-1 Multiplexer with D0 and D1 Inverted



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

このデザイン エLEMENTは、セレクト入力 (S0) の値に応じて、2 つの入力 (D1 または D0) のうち 1 つのデータビットを選択します。S0 が Low の場合は O に D0 の反転値が出力され、S0 が High の場合は D1 の反転値が出力されます。

論理表

入力			出力
S0	D1	D0	O
1	1	X	0
1	0	X	1
0	X	1	0
0	X	0	1

デザインの入力方法

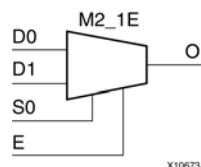
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

M2_1E

マクロ : 2-to-1 Multiplexer with Enable



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

このデザイン エLEMENTは、イネーブル付き 2:1 マルチプレクサです。イネーブル入力 (E) が High の場合、セレクト入力 (S0) の値に応じて、2 つの入力 (D1 または D0) のうち 1 つのデータビットが選択されます。S0 が Low の場合は D0 が選択され、High の場合は D1 が選択されます。E が Low の場合、出力は Low になります。

論理表

入力				出力
E	S0	D1	D0	O
0	X	X	X	0
1	0	X	1	1
1	0	X	0	0
1	1	1	X	1
1	1	0	X	0

デザインの入力方法

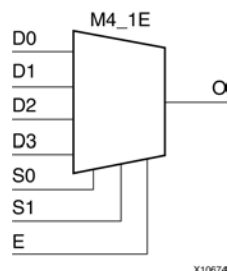
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

M4_1E

マクロ : 4-to-1 Multiplexer with Enable



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

このデザイン エLEMENTは、イネーブル付き 4:1 マルチプレクサです。イネーブル入力 (E) が High の場合、セレクト入力 (S1 ~ S0) の値に応じて、4 つの入力 (D3、D2、D1、D0) のうち 1 つのデータビットが選択されます。出力 (O) には、次の論理表に示すように、選択された入力の値が出力されます。E が Low の場合、出力は Low になります。

論理表

入力							出力
E	S1	S0	D0	D1	D2	D3	O
0	X	X	X	X	X	X	0
1	0	0	D0	X	X	X	D0
1	0	1	X	D1	X	X	D1
1	1	0	X	X	D2	X	D2
1	1	1	X	X	X	D3	D3

デザインの入力方法

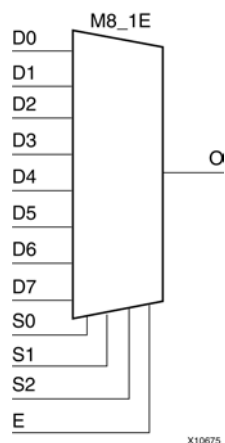
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

M8_1E

マクロ : 8-to-1 Multiplexer with Enable



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

このデザイン エLEMENTは、イネーブル付き 8:1 マルチプレクサです。イネーブル入力 (E) が High の場合、セレクト入力 (S2 ~ S0) の値に応じて、8 つの入力 (D7 ~ D0) のうち 1 つのデータビットが選択されます。出力 (O) には、次の論理表に示すように、選択された入力の値が出力されます。E が Low の場合、出力は Low になります。

論理表

入力					出力
E	S2	S1	S0	D7 - D0	O
0	X	X	X	X	0
1	0	0	0	D0	D0
1	0	0	1	D1	D1
1	0	1	0	D2	D2
1	0	1	1	D3	D3
1	1	0	0	D4	D4
1	1	0	1	D5	D5
1	1	1	0	D6	D6
1	1	1	1	D7	D7

デザインの入力方法

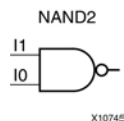
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

NAND2

プリミティブ : 2-Input NAND Gate with Non-Inverted Inputs



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

5 入力までの NAND ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NAND ファンクションには、非反転入力のみが使用されています。入力を反転するには、外部インバータを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

NAND2B1

プリミティブ : 2-Input NAND Gate with 1 Inverted and 1 Non-Inverted Inputs



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

5 入力までの NAND ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NAND ファンクションには、非反転入力のみが使用されています。入力を反転するには、外部インバータを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

デザインの入力方法

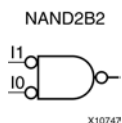
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

NAND2B2

プリミティブ : 2-Input NAND Gate with Inverted Inputs



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

5 入力までの NAND ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NAND ファンクションには、非反転入力のみが使用されています。入力を反転するには、外部インバータを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

デザインの入力方法

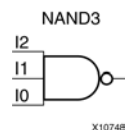
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

NAND3

プリミティブ : 3-Input NAND Gate with Non-Inverted Inputs



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

5 入力までの NAND ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NAND ファンクションには、非反転入力のみが使用されています。入力を反転するには、外部インバータを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

デザインの入力方法

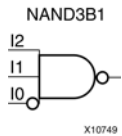
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

NAND3B1

プリミティブ : 3-Input NAND Gate with 1 Inverted and 2 Non-Inverted Inputs



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

5 入力までの NAND ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NAND ファンクションには、非反転入力のみが使用されています。入力を反転するには、外部インバータを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

デザインの入力方法

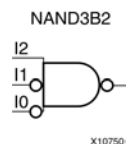
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

NAND3B2

プリミティブ : 3-Input NAND Gate with 2 Inverted and 1 Non-Inverted Inputs



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

5 入力までの NAND ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NAND ファンクションには、非反転入力のみが使用されています。入力を反転するには、外部インバータを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

デザインの入力方法

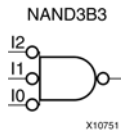
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

NAND3B3

プリミティブ : 3-Input NAND Gate with Inverted Inputs



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

5 入力までの NAND ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NAND ファンクションには、非反転入力のみが使用されています。入力を反転するには、外部インバータを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

デザインの入力方法

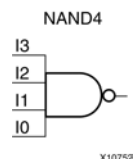
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

NAND4

プリミティブ : 4-Input NAND Gate with Non-Inverted Inputs



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

5 入力までの NAND ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NAND ファンクションには、非反転入力のみが使用されています。入力を反転するには、外部インバータを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

デザインの入力方法

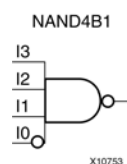
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

NAND4B1

プリミティブ : 4-Input NAND Gate with 1 Inverted and 3 Non-Inverted Inputs



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

5 入力までの NAND ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NAND ファンクションには、非反転入力のみが使用されています。入力を反転するには、外部インバータを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

デザインの入力方法

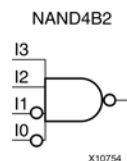
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

NAND4B2

プリミティブ : 4-Input NAND Gate with 2 Inverted and 2 Non-Inverted Inputs



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

5 入力までの NAND ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NAND ファンクションには、非反転入力のみが使用されています。入力を反転するには、外部インバータを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

デザインの入力方法

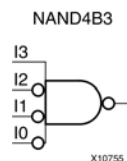
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

NAND4B3

プリミティブ : 4-Input NAND Gate with 3 Inverted and 1 Non-Inverted Inputs



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

5 入力までの NAND ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NAND ファンクションには、非反転入力のみが使用されています。入力を反転するには、外部インバータを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

デザインの入力方法

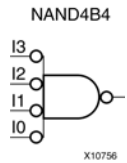
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

NAND4B4

プリミティブ : 4-Input NAND Gate with Inverted Inputs



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

5 入力までの NAND ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NAND ファンクションには、非反転入力のみが使用されています。入力を反転するには、外部インバータを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

デザインの入力方法

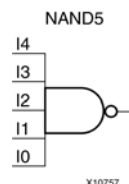
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

NAND5

プリミティブ : 5-Input NAND Gate with Non-Inverted Inputs



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

5 入力までの NAND ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NAND ファンクションには、非反転入力のみが使用されています。入力を反転するには、外部インバータを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

デザインの入力方法

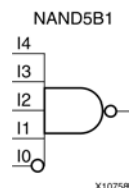
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

NAND5B1

プリミティブ : 5-Input NAND Gate with 1 Inverted and 4 Non-Inverted Inputs



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

5 入力までの NAND ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NAND ファンクションには、非反転入力のみが使用されています。入力を反転するには、外部インバータを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

デザインの入力方法

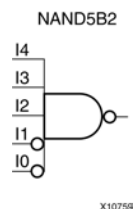
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

NAND5B2

プリミティブ : 5-Input NAND Gate with 2 Inverted and 3 Non-Inverted Inputs



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

5 入力までの NAND ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NAND ファンクションには、非反転入力のみが使用されています。入力を反転するには、外部インバータを使用します。各入力に 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

デザインの入力方法

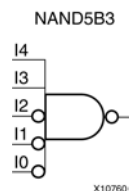
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

NAND5B3

プリミティブ : 5-Input NAND Gate with 3 Inverted and 2 Non-Inverted Inputs



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

5 入力までの NAND ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NAND ファンクションには、非反転入力のみが使用されています。入力を反転するには、外部インバータを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

デザインの入力方法

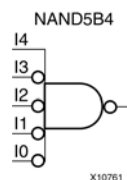
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

NAND5B4

プリミティブ : 5-Input NAND Gate with 4 Inverted and 1 Non-Inverted Inputs



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

5 入力までの NAND ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NAND ファンクションには、非反転入力のみが使用されています。入力を反転するには、外部インバータを使用します。各入力に 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

デザインの入力方法

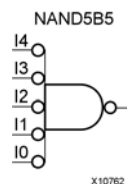
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

NAND5B5

プリミティブ : 5-Input NAND Gate with Inverted Inputs



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

5 入力までの NAND ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NAND ファンクションには、非反転入力のみが使用されています。入力を反転するには、外部インバータを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

デザインの入力方法

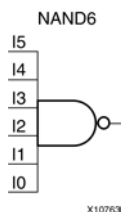
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

NAND6

マクロ : 6-Input NAND Gate with Non-Inverted Inputs



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

5 入力までの NAND ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NAND ファンクションには、非反転入力のみが使用されています。入力を反転するには、外部インバータを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

デザインの入力方法

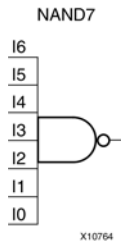
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

NAND7

マクロ : 7-Input NAND Gate with Non-Inverted Inputs



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

5 入力までの NAND ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NAND ファンクションには、非反転入力のみが使用されています。入力を反転するには、外部インバータを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

デザインの入力方法

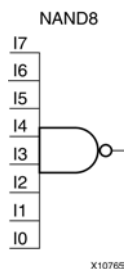
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

NAND8

マクロ : 8-Input NAND Gate with Non-Inverted Inputs



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

5 入力までの NAND ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NAND ファンクションには、非反転入力のみが使用されています。入力を反転するには、外部インバータを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

デザインの入力方法

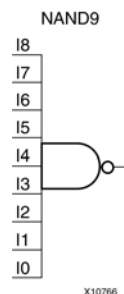
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

NAND9

マクロ : 9-Input NAND Gate with Non-Inverted Inputs



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

5 入力までの NAND ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NAND ファンクションには、非反転入力のみが使用されています。入力を反転するには、外部インバータを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

デザインの入力方法

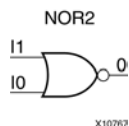
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

NOR2

プリミティブ : 2-Input NOR Gate with Non-Inverted Inputs



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

5 入力までの NOR ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NOR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバータを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

デザインの入力方法

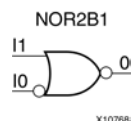
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

NOR2B1

プリミティブ : 2-Input NOR Gate with 1 Inverted and 1 Non-Inverted Inputs



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

5 入力までの NOR ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NOR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバータを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

デザインの入力方法

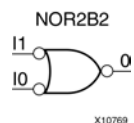
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

NOR2B2

プリミティブ : 2-Input NOR Gate with Inverted Inputs



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

5 入力までの NOR ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NOR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバータを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

デザインの入力方法

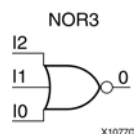
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

NOR3

プリミティブ : 3-Input NOR Gate with Non-Inverted Inputs



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

5 入力までの NOR ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NOR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバータを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

デザインの入力方法

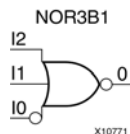
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

NOR3B1

プリミティブ : 3-Input NOR Gate with 1 Inverted and 2 Non-Inverted Inputs



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

5 入力までの NOR ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NOR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバータを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

デザインの入力方法

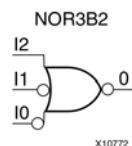
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

NOR3B2

プリミティブ : 3-Input NOR Gate with 2 Inverted and 1 Non-Inverted Inputs



サポートされているアーキテクチャ

このデザイン エレメントは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

5 入力までの NOR ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NOR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバータを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

デザインの入力方法

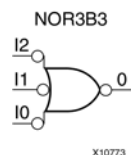
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

NOR3B3

プリミティブ : 3-Input NOR Gate with Inverted Inputs



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

5 入力までの NOR ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NOR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバータを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

デザインの入力方法

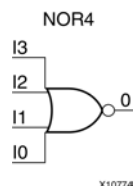
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

NOR4

プリミティブ : 4-Input NOR Gate with Non-Inverted Inputs



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

5 入力までの NOR ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NOR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバータを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

デザインの入力方法

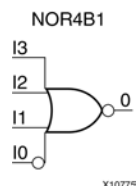
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

NOR4B1

プリミティブ : 4-Input NOR Gate with 1 Inverted and 3 Non-Inverted Inputs



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

5 入力までの NOR ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NOR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバータを使用します。各入力に 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

デザインの入力方法

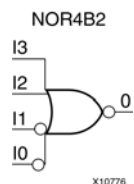
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

NOR4B2

プリミティブ : 4-Input NOR Gate with 2 Inverted and 2 Non-Inverted Inputs



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

5 入力までの NOR ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NOR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバータを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

デザインの入力方法

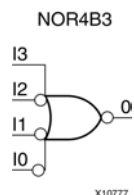
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

NOR4B3

プリミティブ : 4-Input NOR Gate with 3 Inverted and 1 Non-Inverted Inputs



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

5 入力までの NOR ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NOR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバータを使用します。各入力に 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

デザインの入力方法

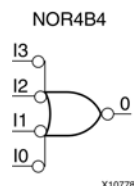
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

NOR4B4

プリミティブ : 4-Input NOR Gate with Inverted Inputs



サポートされているアーキテクチャ

このデザイン エレメントは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

5 入力までの NOR ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NOR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバータを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

デザインの入力方法

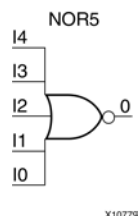
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

NOR5

プリミティブ : 5-Input NOR Gate with Non-Inverted Inputs



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

5 入力までの NOR ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NOR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバータを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

デザインの入力方法

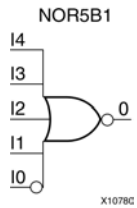
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

NOR5B1

プリミティブ : 5-Input NOR Gate with 1 Inverted and 4 Non-Inverted Inputs



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

5 入力までの NOR ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NOR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバータを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

デザインの入力方法

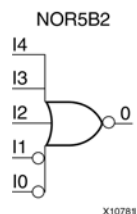
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

NOR5B2

プリミティブ : 5-Input NOR Gate with 2 Inverted and 3 Non-Inverted Inputs



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

5 入力までの NOR ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NOR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバータを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

デザインの入力方法

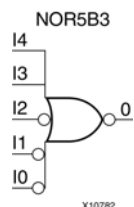
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

NOR5B3

プリミティブ : 5-Input NOR Gate with 3 Inverted and 2 Non-Inverted Inputs



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

5 入力までの NOR ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NOR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバータを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

デザインの入力方法

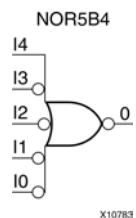
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

NOR5B4

プリミティブ : 5-Input NOR Gate with 4 Inverted and 1 Non-Inverted Inputs



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

5 入力までの NOR ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NOR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバータを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

デザインの入力方法

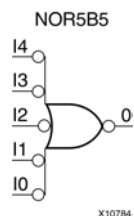
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

NOR5B5

プリミティブ : 5-Input NOR Gate with Inverted Inputs



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

5 入力までの NOR ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NOR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバータを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

デザインの入力方法

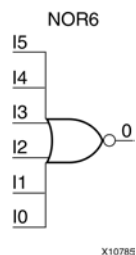
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

NOR6

マクロ : 6-Input NOR Gate with Non-Inverted Inputs



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

5 入力までの NOR ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NOR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバータを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

デザインの入力方法

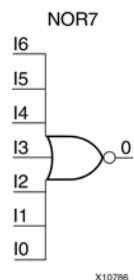
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

NOR7

マクロ : 7-Input NOR Gate with Non-Inverted Inputs



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

5 入力までの NOR ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NOR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバータを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

デザインの入力方法

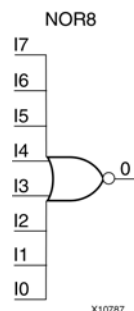
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

NOR8

マクロ : 8-Input NOR Gate with Non-Inverted Inputs



サポートされているアーキテクチャ

このデザイン エレメントは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

5 入力までの NOR ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NOR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバータを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

デザインの入力方法

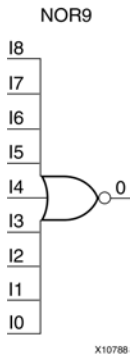
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

NOR9

マクロ : 9-Input NOR Gate with Non-Inverted Inputs



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

5 入力までの NOR ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NOR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバータを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

デザインの入力方法

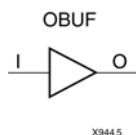
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

OBUF

プリミティブ : Output Buffer



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

このデザイン エLEMENTは単純な出力バッファで、出力信号を、トライステートでない FPGA デバイス ピンに駆動するために使用します。デザインのすべての出力ポートに OBUF、OBUFT、OBUFDS、OBUFTDS のいずれかを接続する必要があります。

このELEMENTは内部回路を外部から分離し、チップから出力する信号の駆動電流を供給します。I/O ブロック (IOB) 内にあります。出力 (O) は、OPAD または IOPAD に接続されます。このELEMENTでは、LVTTL 規格が使用され、DRIVE 制約と SLOW または FAST 制約を使用して駆動電流とスルー レートを選択できます。デフォルトでは、DRIVE=12mA、スルー レートは SLOW に設定されています。

ポートの説明

ポート名	方向	幅	機能
O	出力	1	最上位出力ポートに直接接続される OBUF の出力
I	入力	1	OBUF の入力。出力ポートを駆動するロジックに接続

デザインの入力方法

インスタンス化	可
推論	推奨
CORE Generator™ およびウィザード	不可
マクロのサポート	不可

このELEMENTは、回路図で使用されます。

使用可能な属性

属性	タイプ	値	デフォルト	説明
IOSTANDARD	文字列	データシートを参照	DEFAULT	I/O 規格をELEMENTに割り当て

VHDL 記述 (インスタンスレーション)

次の 2 つの構文が存在しない場合はコピーし、エンティティ宣言の前に貼り付けます。

```
Library UNISIM;
use UNISIM.vcomponents.all;

-- OBUF: Single-ended Output Buffer
-- All devices
-- Xilinx HDL Libraries Guide, version 11.2

OBUF_inst : OBUF
generic map (
    DRIVE => 12,
    IOSTANDARD => "DEFAULT",
    SLEW => "SLOW")
port map (
    O => O,      -- Buffer output (connect directly to top-level port)
    I => I       -- Buffer input
);

-- End of OBUF_inst instantiation
```

Verilog 記述 (インスタンスレーション)

```
// OBUF: Single-ended Output Buffer
// All devices
// Xilinx HDL Libraries Guide, version 11.2

OBUF #(
    .DRIVE(12),    // Specify the output drive strength
    .IOSTANDARD("DEFAULT"), // Specify the output I/O standard
    .SLEW("SLOW") // Specify the output slew rate
) OBUF_inst (
    .O(O),        // Buffer output (connect directly to top-level port)
    .I(I)         // Buffer input
);

// End of OBUF_inst instantiation
```

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当する EDK 資料

OBUF16

マクロ : 16-Bit Output Buffer

OBUF16



X0851

サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

このデザイン エLEMENTは、複数の出力バッファです。

このELEMENTは内部回路を外部から分離し、チップから出力する信号の駆動電流を供給します。I/O ブロック (IOB) 内にあります。出力 (O) は、OPAD または IOPAD に接続されます。このELEMENTでは、LVTTTL 規格が使用され、DRIVE 制約と SLOW または FAST 制約を使用して駆動電流とスルー レートを選択できます。デフォルトでは、DRIVE=12mA、スルー レートは SLOW に設定されています。

デザインの入力方法

インスタンス化	可
推論	推奨
CORE Generator™ およびウィザード	不可
マクロのサポート	不可

このELEMENTは、回路図で使用されます。

使用可能な属性

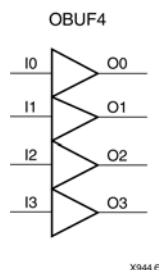
属性	タイプ	値	デフォルト	説明
IOSTANDARD	文字列	データシートを参照	DEFAULT	I/O 規格をELEMENTに割り当て

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

OBUF4

マクロ : 4-Bit Output Buffer



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

このデザイン エLEMENTは、複数の出力バッファです。

このELEMENTは内部回路を外部から分離し、チップから出力する信号の駆動電流を供給します。I/O ブロック (IOB) 内にあります。出力 (O) は、OPAD または IOPAD に接続されます。このELEMENTでは、LVTTL 規格が使用され、DRIVE 制約と SLOW または FAST 制約を使用して駆動電流とスルー レートを選択できます。デフォルトでは、DRIVE=12mA、スルー レートは SLOW に設定されています。

デザインの入力方法

インスタンス化	可
推論	推奨
CORE Generator™ およびウィザード	不可
マクロのサポート	不可

このELEMENTは、回路図で使用されます。

使用可能な属性

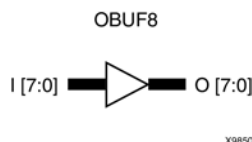
属性	タイプ	値	デフォルト	説明
IOSTANDARD	文字列	データシートを参照	DEFAULT	I/O 規格をELEMENTに割り当て

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

OBUF8

マクロ : 8-Bit Output Buffer



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

このデザイン エLEMENTは、複数の出力バッファです。

このELEMENTは内部回路を外部から分離し、チップから出力する信号の駆動電流を供給します。I/O ブロック (IOB) 内にあります。出力 (O) は、OPAD または IOPAD に接続されます。このELEMENTでは、LVTTTL 規格が使用され、DRIVE 制約と SLOW または FAST 制約を使用して駆動電流とスルー レートを選択できます。デフォルトでは、DRIVE=12mA、スルー レートは SLOW に設定されています。

デザインの入力方法

インスタンス化	可
推論	推奨
CORE Generator™ およびウィザード	不可
マクロのサポート	不可

このELEMENTは、回路図で使用されます。

使用可能な属性

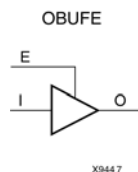
属性	タイプ	値	デフォルト	説明
IOSTANDARD	文字列	データシートを参照	DEFAULT	I/O 規格をELEMENTに割り当て

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

OBUFE

マクロ : 3-State Output Buffer with Active-High Output Enable



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

このデザイン エLEMENTは、入力 (I)、出力 (O)、およびアクティブ High の出力イネーブル (E) から構成されるトライステート バッファです。

E が High の場合、バッファに入力された値が対応する出力に送られます。E が Low になると、出力はハイ インピーダンス (オフまたは Z ステート) になります。このデザイン エLEMENTは内部回路を外部から分離し、チップから出力する信号の駆動電流を供給します。出力はOPAD または IOPAD に接続され、入力 は内部回路に接続されます。

論理表

入力		出力
E	I	O
0	X	Z
1	1	1
1	0	0

デザインの入力方法

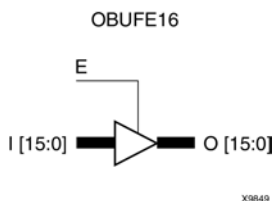
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

OBUFE16

マクロ : 16-Bit 3-State Output Buffer with Active-High Output Enable



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner™-II

概要

このデザイン エLEMENTは、入力 (I15 ~ I0)、出力 (O15 ~ O0)、およびアクティブ High の出力イネーブル (E) から構成されるトリステート バッファです。

E が High の場合、バッファに入力された値が対応する出力に送られます。E が Low になると、出力はハイ インピーダンス (オフまたは Z ステート) になります。このデザイン エLEMENTは内部回路を外部から分離し、チップから出力する信号の駆動電流を供給します。出力はOPAD または IOPAD に接続され、入力 は内部回路に接続されます。

論理表

入力		出力
E	I	O
0	X	Z
1	1	1
1	0	0

デザインの入力方法

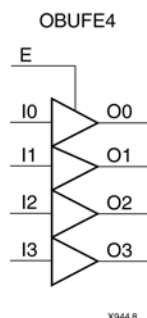
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

OBUFE4

マクロ : 4-Bit 3-State Output Buffer with Active-High Output Enable



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner™-II

概要

このデザイン エLEMENTは、入力 (I3 ~ I0)、出力 (O3 ~ O0)、およびアクティブ High の出力イネーブル (E) から構成されるトリステート バッファです。

E が High の場合、バッファに入力された値が対応する出力に送られます。E が Low になると、出力はハイインピーダンス (オフまたは Z ステート) になります。このデザイン エLEMENTは内部回路を外部から分離し、チップから出力する信号の駆動電流を供給します。出力はOPAD または IOPAD に接続され、入力 は内部回路に接続されます。

論理表

入力		出力
E	I	O
0	X	Z
1	1	1
1	0	0

デザインの入力方法

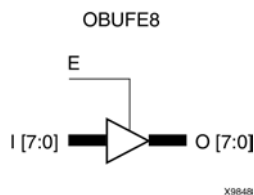
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

OBUFE8

マクロ : 8-Bit 3-State Output Buffer with Active-High Output Enable



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner™-II

概要

このデザイン エLEMENTは、入力 (I7 ~ I0)、出力 (O7 ~ O0)、およびアクティブ High の出力イネーブル (E) から構成されるトライステート バッファです。

E が High の場合、バッファに入力された値が対応する出力に送られます。E が Low になると、出力はハイインピーダンス (オフまたは Z ステート) になります。このデザイン エLEMENTは内部回路を外部から分離し、チップから出力する信号の駆動電流を供給します。出力はOPAD または IOPAD に接続され、入力 は内部回路に接続されます。

論理表

入力		出力
E	I	O
0	X	Z
1	1	1
1	0	0

デザインの入力方法

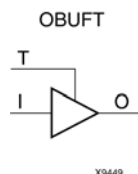
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

OBUFT

プリミティブ : 3-State Output Buffer with Active Low Output Enable



サポートされているアーキテクチャ

このデザイン エレメントは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

このデザイン エレメントは、入力 (I)、出力 (O)、アクティブ Low 出力イネーブル (T) を持つ単一のトライステート出力バッファです。このエレメントでは、LVTTL 規格が使用され、DRIVE 制約と SLOW または FAST 制約を使用して駆動電流とスルー レートを選択できます。デフォルトでは、DRIVE=12mA、スルー レートは SLOW に設定されています。

T が Low の場合、バッファに入力された値が対応する出力に送られます。T が High の場合は、出力がハイ インピーダンス (オフまたは Z ステート) になります。OBUFT は、双方向 I/O を作成するなど、トライステート機能にシングルエンド出力を使用する必要がある場合に使用します。

論理表

入力		出力
T	I	O
1	X	Z
0	1	f

ポートの説明

ポート名	方向	幅	機能
O	出力	1	バッファ出力 (最上位ポートに直接接続)
I	入力	1	バッファの入力
T	入力	1	トライステート イネーブル入力

デザインの入力方法

インスタンス化	可
推論	推奨
CORE Generator™ およびウィザード	不可
マクロのサポート	不可

このELEMENTは、回路図で使用されます。

使用可能な属性

属性	タイプ	値	デフォルト	説明
IOSTANDARD	文字列	データシートを参照	DEFAULT	I/O 規格をELEMENTに割り当て

VHDL 記述 (インスタンスエーション)

次の 2 つの構文が存在しない場合はコピーし、エンティティ宣言の前に貼り付けます。

```
Library UNISIM;
use UNISIM.vcomponents.all;

-- OBUFT: Single-ended 3-state Output Buffer
-- All devices
-- Xilinx HDL Libraries Guide, version 11.2

OBUFT_inst : OBUFT
generic map (
    DRIVE => 12,
    IOSTANDARD => "DEFAULT",
    SLEW => "SLOW")
port map (
    O => O,      -- Buffer output (connect directly to top-level port)
    I => I,      -- Buffer input
    T => T       -- 3-state enable input
);

-- End of OBUFT_inst instantiation
```

Verilog 記述 (インスタンスエーション)

```
// OBUFT: Single-ended 3-state Output Buffer
// All devices
// Xilinx HDL Libraries Guide, version 11.2

OBUFT #(
    .DRIVE(12), // Specify the output drive strength
    .IOSTANDARD("DEFAULT"), // Specify the output I/O standard
    .SLEW("SLOW") // Specify the output slew rate
) OBUFT_inst (
    .O(O),      // Buffer output (connect directly to top-level port)
    .I(I),      // Buffer input
    .T(T)       // 3-state enable input
);

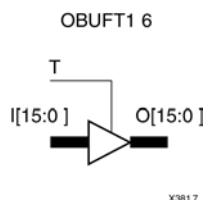
// End of OBUFT_inst instantiation
```

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当する EDK 資料

OBUFT16

マクロ : 16-Bit 3-State Output Buffer with Active Low Output Enable



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

このデザイン エLEMENTは、入力 (I)、出力 (O)、アクティブ Low 出力イネーブル (T) を持つ複数のトライステート出力バッファです。このELEMENTでは、LVTTL 規格が使用され、DRIVE 制約と SLOW または FAST 制約を使用して駆動電流とスルー レートを選択できます。デフォルトでは、DRIVE=12mA、スルー レートは SLOW に設定されています。

T が Low の場合、バッファに入力された値が対応する出力に送られます。T が High の場合は、出力がハイ インピーダンス (オフまたは Z ステート) になります。OBUFT は、双方向 I/O を作成するなど、トライステート機能にシングルエンド出力を使用する必要がある場合に使用します。

論理表

入力		出力
T	I	O
1	X	Z
0	I	f

デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

使用可能な属性

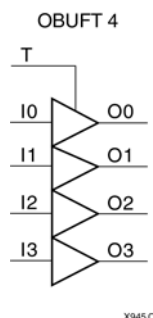
属性	タイプ	値	デフォルト	説明
IOSTANDARD	文字列	データシートを参照	DEFAULT	I/O 規格をELEMENTに割り当て

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

OBUFT4

マクロ : 4-Bit 3-State Output Buffers with Active-Low Output Enable



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

このデザイン エLEMENTは、入力 (I)、出力 (O)、アクティブ Low 出力イネーブル (T) を持つ複数のトリステート出力バッファです。このELEMENTでは、LVTTL 規格が使用され、DRIVE 制約と SLOW または FAST 制約を使用して駆動電流とスルー レートを選択できます。デフォルトでは、DRIVE=12mA、スルー レートは SLOW に設定されています。

T が Low の場合、バッファに入力された値が対応する出力に送られます。T が High の場合は、出力がハイインピーダンス (オフまたは Z ステート) になります。OBUFT は、双方向 I/O を作成するなど、トリステート機能にシングルエンド出力を使用する必要がある場合に使用します。

論理表

入力		出力
T	I	O
1	X	Z
0	I	f

デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

使用可能な属性

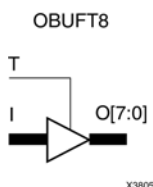
属性	タイプ	値	デフォルト	説明
IOSTANDARD	文字列	データシートを参照	DEFAULT	I/O 規格をELEMENTに割り当て

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

OBUFT8

マクロ : 8-Bit 3-State Output Buffers with Active-Low Output Enable



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

このデザイン エLEMENTは、入力 (I)、出力 (O)、アクティブ Low 出力イネーブル (T) を持つ複数のトリステート出力バッファです。このELEMENTでは、LVTTL 規格が使用され、DRIVE 制約と SLOW または FAST 制約を使用して駆動電流とスルー レートを選択できます。デフォルトでは、DRIVE=12mA、スルー レートは SLOW に設定されています。

T が Low の場合、バッファに入力された値が対応する出力に送られます。T が High の場合は、出力がハイ インピーダンス (オフまたは Z ステート) になります。OBUFT は、双方向 I/O を作成するなど、トリステート機能にシングルエンド出力を使用する必要がある場合に使用します。

論理表

入力		出力
T	I	O
1	X	Z
0	I	f

デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

使用可能な属性

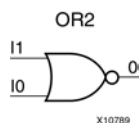
属性	タイプ	値	デフォルト	説明
IOSTANDARD	文字列	データシートを参照	DEFAULT	I/O 規格をELEMENTに割り当て

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

OR2

プリミティブ : 2-Input OR Gate with Non-Inverted Inputs



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

5 入力までの OR ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の OR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバータを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

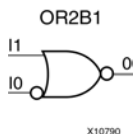
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

OR2B1

プリミティブ : 2-Input OR Gate with 1 Inverted and 1 Non-Inverted Inputs



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

5 入力までの OR ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の OR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバータを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

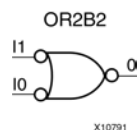
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

OR2B2

プリミティブ : 2-Input OR Gate with Inverted Inputs



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

5 入力までの OR ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の OR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバータを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

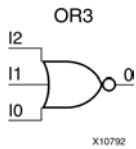
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

OR3

プリミティブ : 3-Input OR Gate with Non-Inverted Inputs



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

5 入力までの OR ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の OR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバータを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

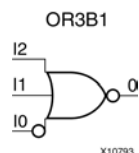
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

OR3B1

プリミティブ : 3-Input OR Gate with 1 Inverted and 2 Non-Inverted Inputs



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

5 入力までの OR ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の OR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバータを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

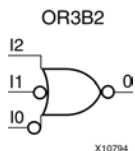
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

OR3B2

プリミティブ : 3-Input OR Gate with 2 Inverted and 1 Non-Inverted Inputs



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

5 入力までの OR ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の OR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバータを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

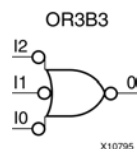
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

OR3B3

プリミティブ : 3-Input OR Gate with Inverted Inputs



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

5 入力までの OR ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の OR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバータを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

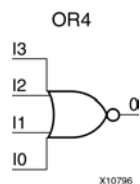
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

OR4

プリミティブ : 4-Input OR Gate with Non-Inverted Inputs



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

5 入力までの OR ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の OR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバータを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

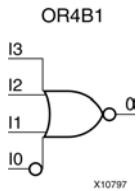
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

OR4B1

プリミティブ : 4-Input OR Gate with 1 Inverted and 3 Non-Inverted Inputs



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

5 入力までの OR ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の OR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバータを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

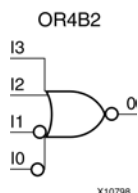
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

OR4B2

プリミティブ : 4-Input OR Gate with 2 Inverted and 2 Non-Inverted Inputs



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

5 入力までの OR ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の OR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバータを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

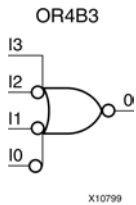
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

OR4B3

プリミティブ : 4-Input OR Gate with 3 Inverted and 1 Non-Inverted Inputs



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

5 入力までの OR ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の OR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバータを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

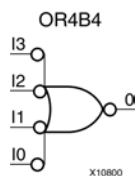
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

OR4B4

プリミティブ : 4-Input OR Gate with Inverted Inputs



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

5 入力までの OR ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の OR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバータを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

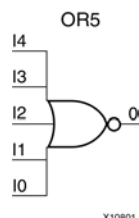
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

OR5

プリミティブ : 5-Input OR Gate with Non-Inverted Inputs



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

5 入力までの OR ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の OR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバータを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

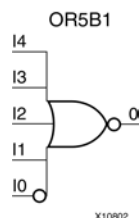
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

OR5B1

プリミティブ : 5-Input OR Gate with 1 Inverted and 4 Non-Inverted Inputs



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

5 入力までの OR ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の OR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバータを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

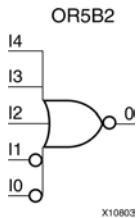
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

OR5B2

プリミティブ : 5-Input OR Gate with 2 Inverted and 3 Non-Inverted Inputs



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

5 入力までの OR ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の OR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバータを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

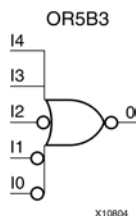
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

OR5B3

プリミティブ : 5-Input OR Gate with 3 Inverted and 2 Non-Inverted Inputs



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

5 入力までの OR ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の OR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバータを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

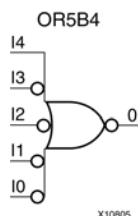
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

OR5B4

プリミティブ : 5-Input OR Gate with 4 Inverted and 1 Non-Inverted Inputs



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

5 入力までの OR ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の OR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバータを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

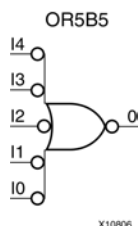
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

OR5B5

プリミティブ : 5-Input OR Gate with Inverted Inputs



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

5 入力までの OR ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の OR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバータを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

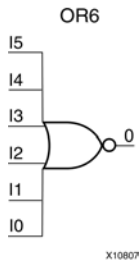
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

OR6

マクロ : 6-Input OR Gate with Non-Inverted Inputs



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

5 入力までの OR ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の OR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバータを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

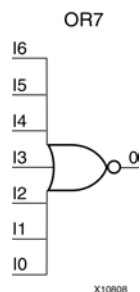
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

OR7

マクロ : 7-Input OR Gate with Non-Inverted Inputs



サポートされているアーキテクチャ

このデザイン エレメントは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

5 入力までの OR ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の OR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバータを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

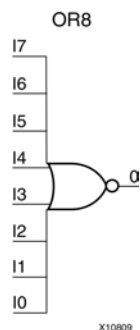
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

OR8

マクロ : 8-Input OR Gate with Non-Inverted Inputs



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

5 入力までの OR ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の OR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバータを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

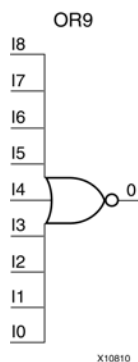
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

OR9

マクロ : 9-Input OR Gate with Non-Inverted Inputs



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

5 入力までの OR ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の OR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバータを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

PULLDOWN

プリミティブ : Resistor to GND for Input Pads, Open-Drain, and 3-State Outputs

PULLDOWN



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

CoolRunner-II

概要

この抵抗ELEMENTは、入力、出力、双方向のパッドに接続し、フロートする可能性のあるノードのロジックレベルを Low にします。

ポートの説明

ポート名	方向	幅	機能
O	出力	1	プルダウン出力 (最上位ポートに直接接続)

デザインの入力方法

インスタンス化	可
推論	推奨
CORE Generator™ およびウィザード	不可
マクロのサポート	不可

このELEMENTは、回路図で使用されます。

このELEMENTは、最上位の回路図ファイルで次のネットに接続できます。

- ・ 入力 I/O マーカーに接続されたネット
- ・ 出力 I/O マーカーおよび OBUFT のようなトライステートにできる I/O ELEMENTの両方に接続されたネット

VHDL 記述 (インスタンス化)

次の 2 つの構文が存在しない場合はコピーし、エンティティ宣言の前に貼り付けます。

```
Library UNISIM;
use UNISIM.vcomponents.all;

-- PULLDOWN: I/O Buffer Weak Pull-down
--           All FPGA
-- Xilinx HDL Libraries Guide, version 11.2

PULLDOWN_inst : PULLDOWN
port map (
  O => O      -- Pulldown output (connect directly to top-level port)
);

-- End of PULLDOWN_inst instantiation
```

Verilog 記述 (インスタンス化)

```
// PULLDOWN: I/O Buffer Weak Pull-down
//           All FPGA
// Xilinx HDL Libraries Guide, version 11.2

PULLDOWN PULLDOWN_inst (
  .O(O)      // Pulldown output (connect directly to top-level port)
);

// End of PULLDOWN_inst instantiation
```

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当する EDK 資料

PULLUP

プリミティブ : Resistor to VCC for Input PADs, Open-Drain, and 3-State Outputs



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- CoolRunner™ XPLA3
- CoolRunner-II

概要

このデザイン エLEMENTは、1 つの入力、トライステート出力、または双方向ポートが内部または外部ソースで駆動されないときに、値、weak High で駆動できます。このELEMENTは、すべてのドライバが使用されていないときにオープンドレイン ELEMENTおよびマクロのロジック レベルを 1 (High) にします。

ポートの説明

ポート名	方向	幅	機能
O	出力	1	プルアップ出力 (最上位ポートに直接接続)

デザインの入力方法

インスタンス化	可
推論	推奨
CORE Generator™ およびウィザード	不可
マクロのサポート	不可

このELEMENTは、回路図で使用されます。

このELEMENTは、最上位の回路図ファイルで次のネットに接続できます。

- 入力 I/O マーカーに接続されたネット
- 出力 I/O マーカーおよび OBUFT のようなトライステートにできる I/O ELEMENTの両方に接続されたネット

VHDL 記述 (インスタンス化)

次の 2 つの構文が存在しない場合はコピーし、エンティティ宣言の前に貼り付けます。

```
Library UNISIM;  
use UNISIM.vcomponents.all;  
  
-- PULLUP: I/O Buffer Weak Pull-up  
--      All FPGA, CoolRunner-II  
-- Xilinx HDL Libraries Guide, version 11.2  
  
PULLUP_inst : PULLUP  
port map (  
    O => O      -- Pullup output (connect directly to top-level port)  
);  
  
-- End of PULLUP_inst instantiation
```

Verilog 記述 (インスタンス化)

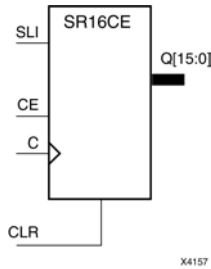
```
// PULLUP: I/O Buffer Weak Pull-up  
//      All FPGA, CoolRunner-II  
// Xilinx HDL Libraries Guide, version 11.2  
  
PULLUP PULLUP_inst (  
    .O(O)      // Pullup output (connect directly to top-level port)  
);  
  
// End of PULLUP_inst instantiation
```

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当する EDK 資料

SR16CE

マクロ : 16-Bit Serial-In Parallel-Out Shift Register with Clock Enable and Asynchronous Clear



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

このデザイン エLEMENTはシフトレジスタで、シフト レフト シリアル入力 (SLI)、パラレル出力 (Q)、クロック イネーブル (CE)、非同期クリア入力 (CLR) があります。CLR 入力が高になると、ほかのすべての入力は無視され、出力 (Q) が Low にリセットされます。CE が High で CLR が Low の場合、クロック (C) が Low から High に切り替わるときに SLI 入力の値がシフトレジスタの第 1 ビットにロードされ、Q0 に出力されます。次にクロックが Low から High に切り替わるときに CE が High で CLR が Low の場合、値が次の高位ビットの位置にシフトされ、新しい値が Q0 にロードされます (例 : SLI → Q0、Q0 → Q1、Q1 → Q2)。CE が Low の場合は、クロック遷移は無視されます。

最後の Q 出力を次の段の SLI 入力に接続し、クロック、CE、CLR を並列に接続すると、複数のレジスタをカスケード接続できます。

電力を供給すると、レジスタは非同期にクリアされ、出力が Low になります。

論理表

入力				出力	
CLR	CE	SLI	C	Q0	Qz : Q1
1	X	X	X	0	0
0	0	X	X	変化なし	変化なし
0	1	SLI	↑	SLI	qn-1
z = ビット幅 - 1					
qn-1 = アクティブなクロック エッジの 1 セットアップ タイム前の対応する出力の値					

デザインの入力方法

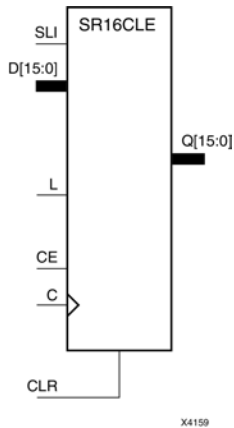
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

SR16CLE

マクロ : 16-Bit Loadable Serial/Parallel-In Parallel-Out Shift Register with Clock Enable and Asynchronous Clear



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

このデザイン エLEMENTはシフトレジスタで、シフトレフトシリアル入力 (SLI)、パラレル入力 (D)、パラレル出力 (Q) に加え、クロック イネーブル (CE)、ロード イネーブル (L)、非同期クリア (CLR) の 3 つの制御入力があります。L と CE が Low の場合、クロック遷移は無視されます。CLR が High になると、ほかのすべての入力は無視され、出力 (Q) が Low にリセットされます。L が High で CLR が Low の場合、クロック (C) が Low から High に切り替わる時に、Dn ~ D0 入力の値は対応する Qn ~ Q0 ビットにロードされます。

CE が High で L および CLR が Low の場合、C が Low から High に切り替わる時に、SLI 入力の値がシフトレジスタの第 1 ビットにロードされ、Q0 に出力されます。次のクロック遷移で CE が High、L と CLR が Low の場合、値が次の高位ビットの位置にシフトされ、新しい値が Q0 にロードされます (例 : SLI → Q0、Q0 → Q1、Q1 → Q2)。

最後の Q 出力を次の段の SLI 入力に接続し、クロック、CE、L、CLR を並列に接続すると、複数のレジスタをカスケード接続できます。

電力を供給すると、レジスタは非同期にクリアされ、出力が Low になります。

論理表

入力						出力	
CLR	L	CE	SLI	Dn : D0	C	Q0	Qz : Q1
1	X	X	X	X	X	0	0
0	1	X	X	Dn : D0	↑	D0	Dn
0	0	1	SLI	X	↑	SLI	qn-1
0	0	0	X	X	X	変化なし	変化なし
z = ビット幅 -1							
qn-1 = アクティブなクロック エッジの 1 セットアップ タイム前の対応する出力の値							

デザインの入力方法

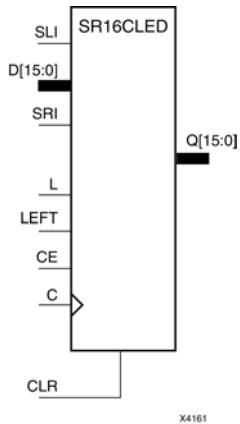
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

SR16CLED

マクロ : 16-Bit Shift Register with Clock Enable and Asynchronous Clear



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

このデザイン エLEMENTはシフトレジスタで、シフトレフトシリアル入力 (SLI)、シフトライトシリアル入力 (SRI)、パラレル入力 (D)、パラレル出力 (Q) に加え、クロックイネーブル (CE)、ロードイネーブル (L)、シフトレフト/ライト (LEFT)、非同期クリア (CLR) の 4 つの制御入力があります。CE と L が Low の場合、クロック遷移は無視されます。CLR が High になると、ほかのすべての入力は無視され、出力 (Q) が Low にリセットされます。

L が High で CLR が Low の場合、クロック (C) が Low から High に切り替わるときに、D 入力の値が対応する Q ビットにロードされます。CE が High で L および CLR が Low の場合、LEFT 入力の値に応じて、レジスタの値は高位ビットまたは下位ビットにシフトされます。LEFT が High の場合は、クロックが Low から High に切り替わるときに SLI の値が Q0 にロードされ、次の Low から High へのクロック遷移で高位ビットにシフトされます (例: Q0 → Q1、Q1 → Q2)。LEFT が Low の場合は、クロックが Low から High に切り替わるときに SRI の値が最後の Q にロードされ、次のクロック遷移で右方向にシフトされます。論理表にすべての入力条件に対する Q 出力の値を示します。

電力を供給すると、レジスタは非同期にクリアされ、出力が Low になります。

論理表

入力								出力		
CLR	L	CE	LEFT	SLI	SRI	D15 : D0	C	Q0	Q15	Q14 : Q1
1	X	X	X	X	X	X	X	0	0	0
0	1	X	X	X	X	D15 : D0	↑	D0	D15	Dn
0	0	0	X	X	X	X	X	変化なし	変化なし	変化なし
0	0	1	1	SLI	X	X	↑	SLI	q14	qn-1
0	0	1	0	X	SRI	X	↑	q1	SRI	qn+1
qn-1 または qn+1 = アクティブなクロック エッジの 1 セットアップ タイム前の対応する出力の値										

デザインの入力方法

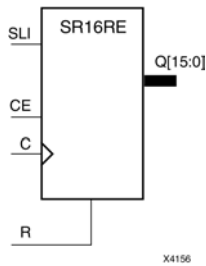
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

SR16RE

マクロ : 16-Bit Serial-In Parallel-Out Shift Register with Clock Enable and Synchronous Reset



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

このデザイン エLEMENTはシフトレジスタで、シフトレフトシリアル入力 (SLI)、パラレル出力 (Qn)、クロック イネーブル (CE)、同期リセット入力 (R) があります。R 入力が高レベルになると、ほかのすべての入力は無視され、クロック (C) が Low から High に切り替わる時に出力 (Q) が Low にリセットされます。

CE が High で R が Low の場合、クロック (C) が Low から High に切り替わる時に SLI の値がシフトレジスタの第 1 ビットにロードされ、Q0 に出力されます。次にクロックが Low から High に切り替わる時に CE が High で R が Low の場合、値が次の高位ビットの位置にシフトされ、新しい値が Q0 にロードされます (例: SLI → Q0、Q0 → Q1、Q1 → Q2)。CE が Low の場合は、クロック遷移は無視されます。

最後の Q 出力を次の段の SLI 入力に接続し、クロック、CE、R を並列に接続すると、複数のレジスタをカスケード接続できます。

電力を供給すると、レジスタは非同期にクリアされ、出力が Low になります。

論理表

入力				出力	
R	CE	SLI	C	Q0	Qz : Q1
1	X	X	↑	0	0
0	0	X	X	変化なし	変化なし
0	1	SLI	↑	SLI	qn-1
z = ビット幅 -1					
qn-1 = アクティブなクロック エッジの 1 セットアップ タイム前の対応する出力の値					

デザインの入力方法

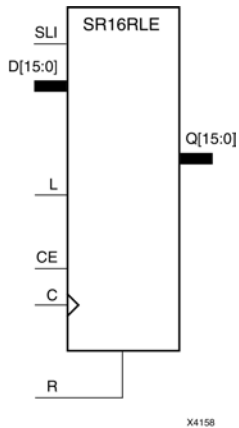
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

SR16RLE

マクロ : 16-Bit Loadable Serial/Parallel-In Parallel-Out Shift Register with Clock Enable and Synchronous Reset



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

このデザイン エLEMENTはシフトレジスタで、シフトレフトシリアル入力 (SLI)、パラレル入力 (D)、パラレル出力 (Q) に加え、クロックイネーブル (CE)、ロードイネーブル (L)、同期リセット (R) の 3 つの制御入力があります。L と CE が Low の場合、クロック遷移は無視されます。R が High になると、ほかのすべての入力は無視され、クロック (C) が Low から High に切り替わるときに Q が Low にリセットされます。L が High で R が Low の場合、C が Low から High に切り替わるときに、D 入力の値が対応する Q ビットにロードされます。

CE が High で L および R が Low の場合は、C が Low から High に切り替わるときに SLI 入力の値がシフトレジスタの第 1 ビットにロードされ、Q0 に出力されます。次のクロック遷移で CE が High、L と R が Low の場合、シフトレジスタの値は次の高位ビットにシフトされ、新しい値が Q0 にロードされます。

最後の Q 出力を次の段の SLI 入力に接続し、クロック、CE、L、R を並列に接続すると、複数のレジスタをカスケード接続できます。

電力を供給すると、レジスタは非同期にクリアされ、出力が Low になります。

論理表

入力						出力	
R	L	CE	SLI	Dz : D0	C	Q0	Qz : Q1
1	X	X	X	X	↑	0	0
0	1	X	X	Dz : D0	↑	D0	Dn
0	0	1	SLI	X	↑	SLI	qn-1
0	0	0	X	X	X	変化なし	変化なし

z = ビット幅 -1

qn-1 = アクティブなクロック エッジの 1 セットアップ タイム前の対応する出力の値

デザインの入力方法

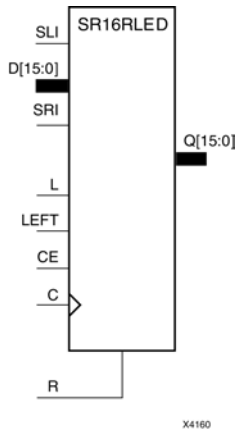
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

SR16RLED

マクロ : 16-Bit Shift Register with Clock Enable and Synchronous Reset



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

このデザイン エLEMENTはシフトレジスタで、シフトレフトシリアル入力 (SLI)、シフトライトシリアル入力 (SRI)、パラレル入力 (D)、パラレル出力 (Q) に加え、クロックイネーブル (CE)、ロードイネーブル (L)、シフトレフト/ライト (LEFT)、同期リセット (R) の 4 つの制御入力があります。CE と L が Low の場合、クロック遷移は無視されます。R が High になると、ほかのすべての入力は無視され、クロック (C) が Low から High に切り替わるときに Q が Low にリセットされます。L が High で R が Low の場合、C が Low から High に切り替わるときに、D 入力の値が対応する Q ビットにロードされます。

CE が High で L および R が Low の場合、LEFT 入力の値に応じて、レジスタの値は高位ビットまたは下位ビットにシフトされます。LEFT が High の場合は、クロックが Low から High に切り替わるときに SLI の値が Q0 にロードされ、次の Low から High へのクロック遷移で高位ビットにシフトされます (例: Q0 → Q1、Q1 → Q2)。LEFT が Low の場合は、クロックが Low から High に切り替わるときに SRI の値が最後の Q にロードされ、次のクロック遷移で右方向にシフトされます。論理表にすべての入力条件に対する Q 出力の値を示します。

電力を供給すると、レジスタは非同期にクリアされ、出力が Low になります。

論理表

入力								出力		
R	L	CE	LEFT	SLI	SRI	D15:D0	C	Q0	Q15	Q14:Q1
1	X	X	X	X	X	X	↑	0	0	0
0	1	X	X	X	X	D15:D0	↑	D0	D15	Dn
0	0	0	X	X	X	X	X	変化なし	変化なし	変化なし
0	0	1	1	SLI	X	X	↑	SLI	q14	qn-1
0	0	1	0	X	SRI	X	↑	q1	SRI	qn+1
qqn-1 または qn+1 = アクティブなクロック エッジの 1 セットアップ タイム前の対応する出力の値										

デザインの入力方法

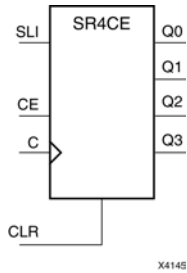
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

SR4CE

マクロ : 4-Bit Serial-In Parallel-Out Shift Register with Clock Enable and Asynchronous Clear



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

このデザイン エLEMENTはシフトレジスタで、シフト レフト シリアル入力 (SLI)、パラレル出力 (Q)、クロック イネーブル (CE)、非同期クリア入力 (CLR) があります。CLR 入力が高になると、ほかのすべての入力は無視され、出力 (Q) が Low にリセットされます。CE が High で CLR が Low の場合、クロック (C) が Low から High に切り替わるときに SLI 入力の値がシフトレジスタの第 1 ビットにロードされ、Q0 に出力されます。次にクロックが Low から High に切り替わるときに CE が High で CLR が Low の場合、値が次の高位ビットの位置にシフトされ、新しい値が Q0 にロードされます (例 : SLI → Q0、Q0 → Q1、Q1 → Q2)。CE が Low の場合は、クロック遷移は無視されます。

最後の Q 出力を次の段の SLI 入力に接続し、クロック、CE、CLR を並列に接続すると、複数のレジスタをカスケード接続できます。

電力を供給すると、レジスタは非同期にクリアされ、出力が Low になります。

論理表

入力				出力	
CLR	CE	SLI	C	Q0	Qz : Q1
1	X	X	X	0	0
0	0	X	X	変化なし	変化なし
0	1	SLI	↑	SLI	qn-1
z = ビット幅 - 1					
qn-1 = アクティブなクロック エッジの 1 セットアップ タイム前の対応する出力の値					

デザインの入力方法

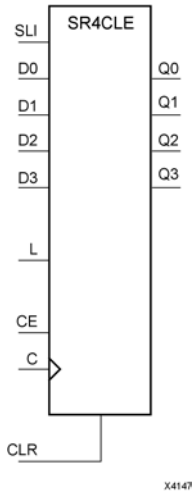
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

SR4CLE

マクロ : 4-Bit Loadable Serial/Parallel-In Parallel-Out Shift Register with Clock Enable and Asynchronous Clear



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

このデザイン エLEMENTはシフトレジスタで、シフトレフトシリアル入力 (SLI)、パラレル入力 (D)、パラレル出力 (Q) に加え、クロック イネーブル (CE)、ロード イネーブル (L)、非同期クリア (CLR) の 3 つの制御入力があります。L と CE が Low の場合、クロック遷移は無視されます。CLR が High になると、ほかのすべての入力は無視され、出力 (Q) が Low にリセットされます。L が High で CLR が Low の場合、クロック (C) が Low から High に切り替わる時に、Dn ~ D0 入力の値は対応する Qn ~ Q0 ビットにロードされます。

CE が High で L および CLR が Low の場合、C が Low から High に切り替わる時に、SLI 入力の値がシフトレジスタの第 1 ビットにロードされ、Q0 に出力されます。次のクロック遷移で CE が High、L と CLR が Low の場合、値が次の高位ビットの位置にシフトされ、新しい値が Q0 にロードされます (例 : SLI → Q0、Q0 → Q1、Q1 → Q2)。

最後の Q 出力を次の段の SLI 入力に接続し、クロック、CE、L、CLR を並列に接続すると、複数のレジスタをカスケード接続できます。

電力を供給すると、レジスタは非同期にクリアされ、出力が Low になります。

論理表

入力						出力	
CLR	L	CE	SLI	Dn : D0	C	Q0	Qz : Q1
1	X	X	X	X	X	0	0
0	1	X	X	Dn : D0	↑	D0	Dn
0	0	1	SLI	X	↑	SLI	qn-1
0	0	0	X	X	X	変化なし	変化なし
z = ビット幅 -1							
qn-1 = アクティブなクロック エッジの 1 セットアップ タイム前の対応する出力の値							

デザインの入力方法

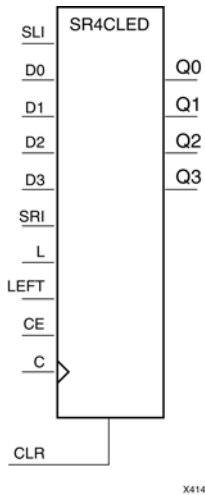
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

SR4CLED

マクロ : 4-Bit Shift Register with Clock Enable and Asynchronous Clear



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

このデザイン エLEMENTはシフトレジスタで、シフトレフトシリアル入力 (SLI)、シフトライトシリアル入力 (SRI)、パラレル入力 (D)、パラレル出力 (Q) に加え、クロックイネーブル (CE)、ロードイネーブル (L)、シフトレフト/ライト (LEFT)、非同期クリア (CLR) の 4 つの制御入力があります。CE と L が Low の場合、クロック遷移は無視されます。CLR が High になると、ほかのすべての入力は無視され、出力 (Q) が Low にリセットされます。

L が High で CLR が Low の場合、クロック (C) が Low から High に切り替わるときに、D 入力の値が対応する Q ビットにロードされます。CE が High で L および CLR が Low の場合、LEFT 入力の値に応じて、レジスタの値は高位ビットまたは下位ビットにシフトされます。LEFT が High の場合は、クロックが Low から High に切り替わるときに SLI の値が Q0 にロードされ、次の Low から High へのクロック遷移で高位ビットにシフトされます (例 : Q0 → Q1, Q1 → Q2)。LEFT が Low の場合は、クロックが Low から High に切り替わるときに SRI の値が最後の Q にロードされ、次のクロック遷移で右方向にシフトされます。論理表にすべての入力条件に対する Q 出力の値を示します。

電力を供給すると、レジスタは非同期にクリアされ、出力が Low になります。

論理表

入力								出力		
CLR	L	CE	LEFT	SLI	SRI	D3 : D0	C	Q0	Q3	Q2 : Q1
1	X	X	X	X	X	X	X	0	0	0
0	1	X	X	X	X	D3:D0	↑	D0	D3	Dn
0	0	0	X	X	X	X	X	変化なし	変化なし	変化なし
0	0	1	1	SLI	X	X	↑	SLI	q2	qn-1
0	0	1	0	X	SRI	X	↑	q1	SRI	qn+1
qn-1 および qn+1 = アクティブなクロック エッジの 1 セットアップ タイム前の対応する出力の値										

デザインの入力方法

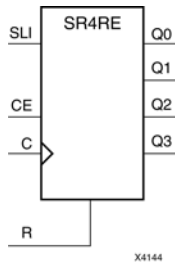
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

SR4RE

マクロ : 4-Bit Serial-In Parallel-Out Shift Register with Clock Enable and Synchronous Reset



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

このデザイン エLEMENTはシフトレジスタで、シフトレフトシリアル入力 (SLI)、パラレル出力 (Qn)、クロック イネーブル (CE)、同期リセット入力 (R) があります。R 入力が高になると、ほかのすべての入力は無視され、クロック (C) が Low から High に切り替わる時に出力 (Q) が Low にリセットされます。

CE が High で R が Low の場合、クロック (C) が Low から High に切り替わる時に SLI の値がシフトレジスタの第 1 ビットにロードされ、Q0 に出力されます。次にクロックが Low から High に切り替わる時に CE が High で R が Low の場合、値が次の高位ビットの位置にシフトされ、新しい値が Q0 にロードされます (例: SLI → Q0、Q0 → Q1、Q1 → Q2)。CE が Low の場合は、クロック遷移は無視されます。

最後の Q 出力を次の段の SLI 入力に接続し、クロック、CE、R を並列に接続すると、複数のレジスタをカスケード接続できます。

電力を供給すると、レジスタは非同期にクリアされ、出力が Low になります。

論理表

入力				出力	
R	CE	SLI	C	Q0	Qz : Q1
1	X	X	↑	0	0
0	0	X	X	変化なし	変化なし
0	1	SLI	↑	SLI	qn-1
z = ビット幅 -1					
qn-1 = アクティブなクロック エッジの 1 セットアップ タイム前の対応する出力の値					

デザインの入力方法

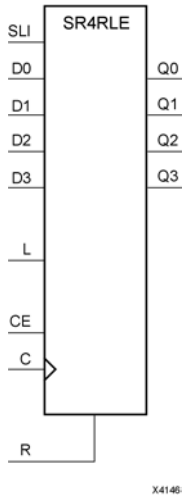
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

SR4RLE

マクロ : 4-Bit Loadable Serial/Parallel-In Parallel-Out Shift Register with Clock Enable and Synchronous Reset



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

このデザイン エLEMENTはシフトレジスタで、シフトレフトシリアル入力 (SLI)、パラレル入力 (D)、パラレル出力 (Q) に加え、クロック イネーブル (CE)、ロード イネーブル (L)、同期リセット (R) の 3 つの制御入力があります。L と CE が Low の場合、クロック遷移は無視されます。R が High になると、ほかのすべての入力は無視され、クロック (C) が Low から High に切り替わる時に Q が Low にリセットされます。L が High で R が Low の場合、C が Low から High に切り替わる時に、D 入力の値が対応する Q ビットにロードされます。

CE が High で L および R が Low の場合は、C が Low から High に切り替わる時に SLI 入力の値がシフトレジスタの第 1 ビットにロードされ、Q0 に出力されます。次のクロック遷移で CE が High、L と R が Low の場合、シフトレジスタの値は次の高位ビットにシフトされ、新しい値が Q0 にロードされます。

最後の Q 出力を次の段の SLI 入力に接続し、クロック、CE、L、R を並列に接続すると、複数のレジスタをカスケード接続できます。

電力を供給すると、レジスタは非同期にクリアされ、出力が Low になります。

論理表

入力						出力	
R	L	CE	SLI	Dz : D0	C	Q0	Qz : Q1
1	X	X	X	X	↑	0	0
0	1	X	X	Dz : D0	↑	D0	Dn
0	0	1	SLI	X	↑	SLI	qn-1
0	0	0	X	X	X	変化なし	変化なし

z = ビット幅 -1

qn-1 = アクティブなクロック エッジの 1 セットアップ タイム前の対応する出力の値

デザインの入力方法

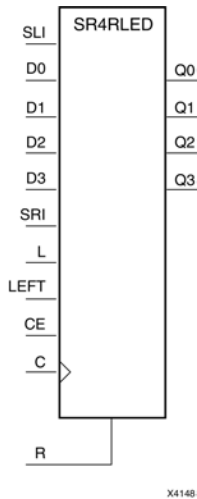
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

SR4RLED

マクロ : 4-Bit Shift Register with Clock Enable and Synchronous Reset



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

このデザイン エLEMENTはシフトレジスタで、シフトレフトシリアル入力 (SLI)、シフトライトシリアル入力 (SRI)、パラレル入力 (D)、パラレル出力 (Q) に加え、クロック イネーブル (CE)、ロード イネーブル (L)、シフトレフト/ライト (LEFT)、同期リセット (R) の 4 つの制御入力があります。CE と L が Low の場合、クロック遷移は無視されます。R が High になると、ほかのすべての入力は無視され、クロック (C) が Low から High に切り替わるときに Q が Low にリセットされます。L が High で R が Low の場合、C が Low から High に切り替わるときに、D 入力の値が対応する Q ビットにロードされます。

CE が High で L および R が Low の場合、LEFT 入力の値に応じて、レジスタの値は高位ビットまたは下位ビットにシフトされます。LEFT が High の場合は、クロックが Low から High に切り替わるときに SLI の値が Q0 にロードされ、次の Low から High へのクロック遷移で高位ビットにシフトされます (例 : Q0 → Q1、Q1 → Q2)。LEFT が Low の場合は、クロックが Low から High に切り替わるときに SRI の値が最後の Q にロードされ、次のクロック遷移で右方向にシフトされます。論理表にすべての入力条件に対する Q 出力の値を示します。

電力を供給すると、レジスタは非同期にクリアされ、出力が Low になります。

論理表

入力								出力		
R	L	CE	LEFT	SLI	SRI	D3 : D0	C	Q0	Q3	Q2 : Q1
1	X	X	X	X	X	X	↑	0	0	0
0	1	X	X	X	X	D3 : D0	↑	D0	D3	Dn
0	0	0	X	X	X	X	X	変化なし	変化なし	変化なし
0	0	1	1	SLI	X	X	↑	SLI	q2	qn-1
0	0	1	0	X	SRI	X	↑	q1	SRI	qn+1
qn-1 または qn+1 = アクティブなクロック エッジの 1 セットアップ タイム前の対応する出力の値										

デザインの入力方法

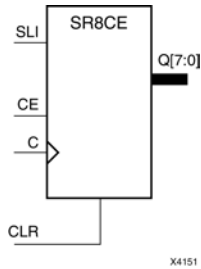
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

SR8CE

マクロ : 8-Bit Serial-In Parallel-Out Shift Register with Clock Enable and Asynchronous Clear



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

このデザイン エLEMENTはシフトレジスタで、シフト レフト シリアル入力 (SLI)、パラレル出力 (Q)、クロック イネーブル (CE)、非同期クリア入力 (CLR) があります。CLR 入力が高になると、ほかのすべての入力は無視され、出力 (Q) が Low にリセットされます。CE が High で CLR が Low の場合、クロック (C) が Low から High に切り替わるときに SLI 入力の値がシフトレジスタの第 1 ビットにロードされ、Q0 に出力されます。次にクロックが Low から High に切り替わるときに CE が High で CLR が Low の場合、値が次の高位ビットの位置にシフトされ、新しい値が Q0 にロードされます (例 : SLI → Q0、Q0 → Q1、Q1 → Q2)。CE が Low の場合は、クロック遷移は無視されます。

最後の Q 出力を次の段の SLI 入力に接続し、クロック、CE、CLR を並列に接続すると、複数のレジスタをカスケード接続できます。

電力を供給すると、レジスタは非同期にクリアされ、出力が Low になります。

論理表

入力				出力	
CLR	CE	SLI	C	Q0	Qz : Q1
1	X	X	X	0	0
0	0	X	X	変化なし	変化なし
0	1	SLI	↑	SLI	qn-1
z = ビット幅 - 1					
qn-1 = アクティブなクロック エッジの 1 セットアップ タイム前の対応する出力の値					

デザインの入力方法

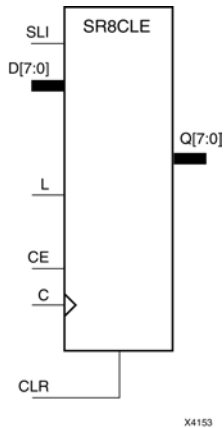
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

SR8CLE

マクロ : 8-Bit Loadable Serial/Parallel-In Parallel-Out Shift Register with Clock Enable and Asynchronous Clear



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

このデザイン エLEMENTはシフトレジスタで、シフトレフトシリアル入力 (SLI)、パラレル入力 (D)、パラレル出力 (Q) に加え、クロック イネーブル (CE)、ロード イネーブル (L)、非同期クリア (CLR) の 3 つの制御入力があります。L と CE が Low の場合、クロック遷移は無視されます。CLR が High になると、ほかのすべての入力は無視され、出力 (Q) が Low にリセットされます。L が High で CLR が Low の場合、クロック (C) が Low から High に切り替わる時に、Dn ~ D0 入力の値は対応する Qn ~ Q0 ビットにロードされます。

CE が High で L および CLR が Low の場合、C が Low から High に切り替わる時に、SLI 入力の値がシフトレジスタの第 1 ビットにロードされ、Q0 に出力されます。次のクロック遷移で CE が High、L と CLR が Low の場合、値が次の高位ビットの位置にシフトされ、新しい値が Q0 にロードされます (例 : SLI → Q0、Q0 → Q1、Q1 → Q2)。

最後の Q 出力を次の段の SLI 入力に接続し、クロック、CE、L、CLR を並列に接続すると、複数のレジスタをカスケード接続できます。

電力を供給すると、レジスタは非同期にクリアされ、出力が Low になります。

論理表

入力						出力	
CLR	L	CE	SLI	Dn : D0	C	Q0	Qz : Q1
1	X	X	X	X	X	0	0
0	1	X	X	Dn : D0	↑	D0	Dn
0	0	1	SLI	X	↑	SLI	qn-1
0	0	0	X	X	X	変化なし	変化なし
z = ビット幅 -1							
qn-1 = アクティブなクロック エッジの 1 セットアップ タイム前の対応する出力の値							

デザインの入力方法

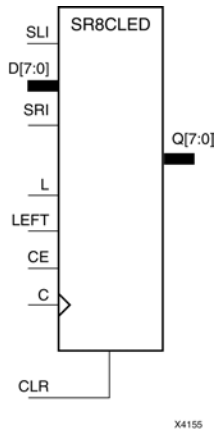
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

SR8CLED

マクロ : 8-Bit Shift Register with Clock Enable and Asynchronous Clear



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

このデザイン エLEMENTはシフトレジスタで、シフト レフト シリアル入力 (SLI)、シフト ライト シリアル入力 (SRI)、パラレル 入力 (D)、パラレル出力 (Q) に加え、クロック イネーブル (CE)、ロード イネーブル (L)、シフト レフト/ライト (LEFT)、非同期クリア (CLR) の 4 つの制御入力があります。CE と L が Low の場合、クロック遷移は無視されます。CLR が High になると、ほかのすべての入力は無視され、出力 (Q) が Low にリセットされます。

L が High で CLR が Low の場合、クロック (C) が Low から High に切り替わる時に、D 入力の値が対応する Q ビットにロードされます。CE が High で L および CLR が Low の場合、LEFT 入力の値に応じて、レジスタの値は高位ビットまたは下位ビットにシフトされます。LEFT が High の場合は、クロックが Low から High に切り替わる時に SLI の値が Q0 にロードされ、次の Low から High へのクロック遷移で高位ビットにシフトされます (例 : Q0 → Q1、Q1 → Q2)。LEFT が Low の場合は、クロックが Low から High に切り替わる時に SRI の値が最後の Q にロードされ、次のクロック遷移で右方向にシフトされます。論理表にすべての入力条件に対する Q 出力の値を示します。

電力を供給すると、レジスタは非同期にクリアされ、出力が Low になります。

論理表

入力								出力		
CLR	L	CE	LEFT	SLI	SRI	D7 : D0	C	Q0	Q7	Q6 : Q1
1	X	X	X	X	X	X	X	0	0	0
0	1	X	X	X	X	D7 : D0	↑	D0	D7	Dn
0	0	0	X	X	X	X	X	変化なし	変化なし	変化なし
0	0	1	1	SLI	X	X	↑	SLI	q6	qn-1
0	0	1	0	X	SRI	X	↑	q1	SRI	qn+1
qqn-1 または qn+1 = アクティブなクロック エッジの 1 セットアップ タイム前の対応する出力の値										

デザインの入力方法

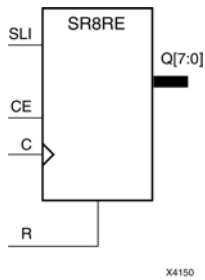
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

SR8RE

マクロ : 8-Bit Serial-In Parallel-Out Shift Register with Clock Enable and Synchronous Reset



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

このデザイン エLEMENTはシフトレジスタで、シフトレフトシリアル入力 (SLI)、パラレル出力 (Qn)、クロック イネーブル (CE)、同期リセット入力 (R) があります。R 入力が高になると、ほかのすべての入力は無視され、クロック (C) が Low から High に切り替わる時に出力 (Q) が Low にリセットされます。

CE が High で R が Low の場合、クロック (C) が Low から High に切り替わる時に SLI の値がシフトレジスタの第 1 ビットにロードされ、Q0 に出力されます。次にクロックが Low から High に切り替わる時に CE が High で R が Low の場合、値が次の高位ビットの位置にシフトされ、新しい値が Q0 にロードされます (例: SLI → Q0、Q0 → Q1、Q1 → Q2)。CE が Low の場合は、クロック遷移は無視されます。

最後の Q 出力を次の段の SLI 入力に接続し、クロック、CE、R を並列に接続すると、複数のレジスタをカスケード接続できます。

電力を供給すると、レジスタは非同期にクリアされ、出力が Low になります。

論理表

入力				出力	
R	CE	SLI	C	Q0	Qz : Q1
1	X	X	↑	0	0
0	0	X	X	変化なし	変化なし
0	1	SLI	↑	SLI	qn-1
z = ビット幅 -1					
qn-1 = アクティブなクロック エッジの 1 セットアップ タイム前の対応する出力の値					

デザインの入力方法

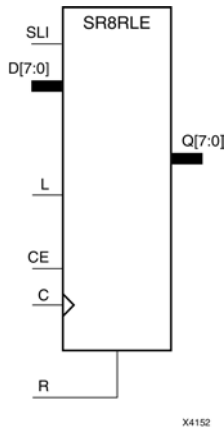
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

SR8RLE

マクロ : 8-Bit Loadable Serial/Parallel-In Parallel-Out Shift Register with Clock Enable and Synchronous Reset



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

このデザイン エLEMENTはシフトレジスタで、シフトレフトシリアル入力 (SLI)、パラレル入力 (D)、パラレル出力 (Q) に加え、クロックイネーブル (CE)、ロードイネーブル (L)、同期リセット (R) の 3 つの制御入力があります。L と CE が Low の場合、クロック遷移は無視されます。R が High になると、ほかのすべての入力は無視され、クロック (C) が Low から High に切り替わる時に Q が Low にリセットされます。L が High で R が Low の場合、C が Low から High に切り替わる時に、D 入力の値が対応する Q ビットにロードされます。

CE が High で L および R が Low の場合は、C が Low から High に切り替わる時に SLI 入力の値がシフトレジスタの第 1 ビットにロードされ、Q0 に出力されます。次のクロック遷移で CE が High、L と R が Low の場合、シフトレジスタの値は次の高位ビットにシフトされ、新しい値が Q0 にロードされます。

最後の Q 出力を次の段の SLI 入力に接続し、クロック、CE、L、R を並列に接続すると、複数のレジスタをカスケード接続できます。

電力を供給すると、レジスタは非同期にクリアされ、出力が Low になります。

論理表

入力						出力	
R	L	CE	SLI	Dz : D0	C	Q0	Qz : Q1
1	X	X	X	X	↑	0	0
0	1	X	X	Dz : D0	↑	D0	Dn
0	0	1	SLI	X	↑	SLI	qn-1
0	0	0	X	X	X	変化なし	変化なし

z = ビット幅 -1

qn-1 = アクティブなクロック エッジの 1 セットアップ タイム前の対応する出力の値

デザインの入力方法

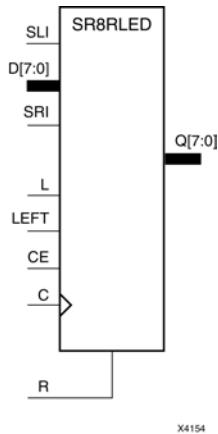
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

SR8RLED

マクロ : 8-Bit Shift Register with Clock Enable and Synchronous Reset



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

このデザイン エLEMENTはシフトレジスタで、シフトレフトシリアル入力 (SLI)、シフトライトシリアル入力 (SRI)、パラレル入力 (D)、パラレル出力 (Q) に加え、クロック イネーブル (CE)、ロード イネーブル (L)、シフトレフト/ライト (LEFT)、同期リセット (R) の 4 つの制御入力があります。CE と L が Low の場合、クロック遷移は無視されます。R が High になると、ほかのすべての入力は無視され、クロック (C) が Low から High に切り替わるときに Q が Low にリセットされます。L が High で R が Low の場合、C が Low から High に切り替わるときに、D 入力の値が対応する Q ビットにロードされます。

CE が High で L および R が Low の場合、LEFT 入力の値に応じて、レジスタの値は高位ビットまたは下位ビットにシフトされます。LEFT が High の場合は、クロックが Low から High に切り替わるときに SLI の値が Q0 にロードされ、次の Low から High へのクロック遷移で高位ビットにシフトされます (例 : Q0 → Q1、Q1 → Q2)。LEFT が Low の場合は、クロックが Low から High に切り替わるときに SRI の値が最後の Q にロードされ、次のクロック遷移で右方向にシフトされます。論理表にすべての入力条件に対する Q 出力の値を示します。

電力を供給すると、レジスタは非同期にクリアされ、出力が Low になります。

論理表

入力								出力		
R	L	CE	LEFT	SLI	SRI	D7 : D0	C	Q0	Q7	Q6 : Q1
1	X	X	X	X	X	X	↑	0	0	0
0	1	X	X	X	X	D7 : D0	↑	D0	D7	Dn
0	0	0	X	X	X	X	X	変化なし	変化なし	変化なし
0	0	1	1	SLI	X	X	↑	SLI	q6	qn-1
0	0	1	0	X	SRI	X	↑	q1	SRI	qn+1
qn-1 または qn+1 = アクティブなクロック エッジの 1 セットアップ タイム前の対応する出力の値										

デザインの入力方法

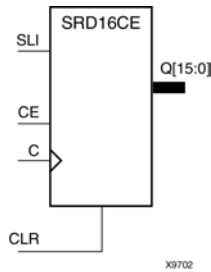
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

SRD16CE

マクロ : 16-Bit Serial-In Parallel-Out Dual Edge Triggered Shift Register with Clock Enable and Asynchronous Clear



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

概要

このデザイン エLEMENTは両エッジで動作するシフトレジスタで、シフトレフトシリアル入力 (SLI)、パラレル出力 (Q)、クロックイネーブル (CE)、非同期クリア入力 (CLR) があります。CLR 入力が高になると、ほかのすべての入力は無視され、出力 (Q) が Low にリセットされます。CE が High で CLR が Low の場合、C が Low から High または High から Low に切り替わるときに、SLI 入力の値がシフトレジスタの第 1 ビットにロードされ、Q0 に出力されます。次のクロック遷移で CE が High、CLR が Low の場合、シフトレジスタの値は次の高位ビットにシフトされ、新しい値が Q0 にロードされます。CE が Low の場合は、クロック遷移は無視されます。

最後の Q 出力を次の段の SLI 入力に接続し、クロック、CE、CLR を並列に接続すると、複数のレジスタをカスケード接続できます。

電力を供給すると、レジスタは非同期にクリアされ、出力が Low になります。

High レベルのパルスを PRLD グローバル ネットに適用すると、パワーオンの状態をシミュレーションできます。

論理表

入力				出力	
CLR	CE	SLI	C	Q0	Qz : Q1
1	X	X	X	0	0
0	0	X	X	変化なし	変化なし
0	1	1	↑	1	qn-1
0	1	1	↓	1	qn-1
0	1	0	↑	0	qn-1
0	1	0	↓	0	qn-1

z = ビット幅 -1

qn-1 = アクティブなクロック エッジの 1 セットアップ タイム前の対応する出力の値

デザインの入力方法

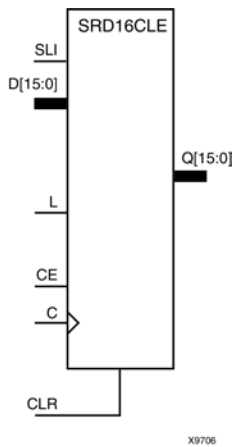
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

SRD16CLE

マクロ : 16-Bit Loadable Serial/Parallel-In Parallel-Out Dual Edge Triggered Shift Register with Clock Enable and Asynchronous Clear



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

概要

このデザイン エLEMENTは、両エッジで動作するシフトレジスタで、シフトレフトシリアル入力 (SLI)、パラレル入力 (D)、パラレル出力 (Q) に加え、クロック イネーブル (CE)、ロード イネーブル (L)、非同期クリア (CLR) の 3 つの制御入力があります。L と CE が Low の場合、クロック遷移は無視されます。CLR が High になると、ほかのすべての入力は無視され、出力 (Q) が Low にリセットされます。L が High で CLR が Low の場合、クロック (C) が Low から High または High から Low に切り替わるときに、Dn:D0 入力の値は対応する Qn:Q0 ビットにロードされます。CE が High で L と CLR が Low の場合、C が Low から High または High から Low に切り替わるときに、SLI 入力の値がシフトレジスタの第 1 ビットにロードされ、Q0 に出力されます。次のクロック遷移で CE が High、L と CLR が Low の場合、シフトレジスタの値は次の高位ビットにシフトされ、新しい値が Q0 にロードされます。

最後の Q 出力を次の段の SLI 入力に接続し、クロック、CE、L、CLR を並列に接続すると、複数のレジスタをカスケード接続できます。

電力を供給すると、レジスタは非同期にクリアされ、出力が Low になります。High レベルのパルスを PRLD グローバル ネットに適用すると、パワーオンの状態をシミュレーションできます。

論理表

入力						出力	
CLR	L	CE	SLI	Dn : D0	C	Q0	Qz : Q1
1	X	X	X	X	X	0	0
0	1	X	X	Dn : D0	↑	D0	Dn
0	1	X	X	Dn : D0	↓	D0	Dn
0	0	1	SLI	X	↑	SLI	qn-1
0	0	1	SLI	X	↓	SLI	qn-1
0	0	0	X	X	X	変化なし	変化なし
z = ビット幅 -1							
qn-1 = アクティブなクロック エッジの 1 セットアップ タイム前の対応する出力の値							

デザインの入力方法

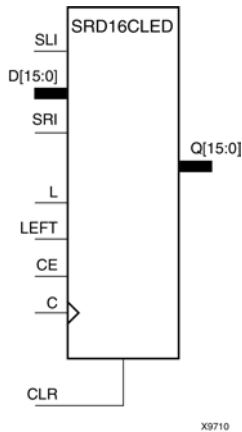
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

SRD16CLED

マクロ : 16-Bit Dual Edge Triggered Shift Register with Clock Enable and Asynchronous Clear



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

概要

このデザイン エLEMENTは両エッジで動作するシフトレジスタで、シフトレフトシリアル入力 (SLI)、シフトライトシリアル入力 (SRI)、パラレル入力 (D)、パラレル出力 (Q) に加え、クロックイネーブル (CE)、ロードイネーブル (L)、シフトレフト/ライト (LEFT)、非同期クリア (CLR) の 4 つの制御入力があります。CE と L が Low の場合、クロック遷移は無視されます。CLR が High になると、ほかのすべての入力は無視され、出力 (Q) が Low にリセットされます。L が High で CLR が Low の場合、クロック (C) が Low から High または High から Low に切り替わるときに、D 入力の値は対応する Q ビットにロードされます。CE が High で L および CLR が Low の場合、LEFT 入力の値に応じて、レジスタの値は高位ビットまたは下位ビットにシフトされます。LEFT が High の場合は、クロックが Low から High または High から Low に切り替わるときに SLI の値が Q0 にロードされ、その後のクロック遷移で高位ビットにシフトされます。LEFT が Low の場合は、クロックが Low から High または High から Low に切り替わるときに SRI の値が最後の Q にロードされ、次のクロック遷移で右方向にシフトされます。論理表にすべての入力条件に対する Q 出力の値を示します。

電力を供給すると、レジスタは非同期にクリアされ、出力が Low になります。High レベルのパルスを PRLD グローバルネットに適用すると、パワーオンの状態をシミュレーションできます。

論理表

入力								出力		
CLR	L	CE	LEFT	SLI	SRI	D15 : D0	C	Q0	Q15	Q14 : Q1
1	X	X	X	X	X	X	X	0	0	0
0	1	X	X	X	X	D15 : D0	↑	D0	D15	Dn
0	1	X	X	X	X	D15 : D0	↓	D0	D15	Dn
0	0	0	X	X	X	X	X	変化なし	変化なし	変化なし
0	0	1	1	SLI	X	X	↑	SLI	q14	qn-1
0	0	1	1	SLI	X	X	↓	SLI	q14	qn-1
0	0	1	0	X	SRI	X	↑	q1	SRI	qn+1
0	0	1	0	X	SRI	X	↓	q1	SRI	qn+1

qn-1 または qn+1 = アクティブなクロック エッジの 1 セットアップ タイム前の対応する出力の値

デザインの入力方法

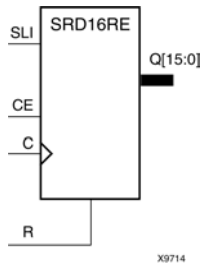
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

SRD16RE

マクロ : 16-Bit Serial-In Parallel-Out Dual Edge Triggered Shift Register with Clock Enable and Synchronous Reset



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

概要

このデザイン エLEMENTは両エッジで動作するシフトレジスタで、シフトレフトシリアル入力 (SLI)、パラレル出力 (Q)、クロック イネーブル (CE)、同期リセット入力 (R) があります。R が High になると、ほかのすべての入力は無視され、クロック (C) が Low から High または High から Low に切り替わるときに、Q が Low にリセットされます。CE が High で R が Low の場合、C が Low から High または High から Low に切り替わるときに、SLI 入力の値がシフトレジスタの第 1 ビットにロードされ、Q0 に出力されます。次のクロック遷移で CE が High、R が Low の場合、シフトレジスタの値は次の高位ビットにシフトされ、新しい値が Q0 にロードされます。CE が Low の場合は、クロック遷移は無視されます。

最後の Q 出力を次の段の SLI 入力に接続し、クロック、CE、R を並列に接続すると、複数のレジスタをカスケード接続できます。

電力を供給すると、レジスタは非同期にクリアされ、出力が Low になります。High レベルのパルスを PRLD グローバル ネットに適用すると、パワーオンの状態をシミュレーションできます。

論理表

入力				出力	
R	CE	SLI	C	Q0	Qz:Q1
1	X	X	↑	0	0
1	X	X	↓	0	0
0	0	X	X	変化なし	変化なし
0	1	1	↑	1	qn-1
0	1	1	↓	1	qn-1
0	1	0	↑	0	qn-1
0	1	0	↓	0	qn-1
z = ビット幅 -1					
qn-1 = アクティブなクロック エッジの 1 セットアップ タイム前の対応する出力の値					

デザインの入力方法

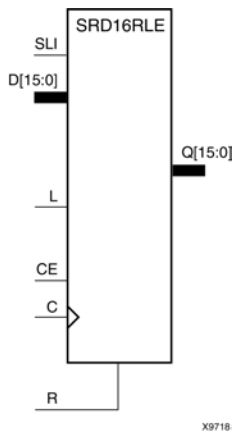
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

SRD16RLE

マクロ : 16-Bit Loadable Serial/Parallel-In Parallel-Out Dual Edge Triggered Shift Register with Clock Enable and Synchronous Reset



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

概要

このデザイン エLEMENTは、両エッジで動作するシフトレジスタで、シフトレフトシリアル入力 (SLI)、パラレル入力 (D)、パラレル出力 (Q) に加え、クロック イネーブル (CE)、ロード イネーブル (L)、同期リセット (R) の 3 つの制御入力があります。L と CE が Low の場合、クロック遷移は無視されます。R が High になると、ほかのすべての入力は無視され、クロック (C) が Low から High または High から Low に切り替わるときに、出力 (Q) が Low にリセットされます。L が High で R が Low の場合、クロックが Low から High または High から Low に切り替わるときに、D 入力の値が対応する Q ビットにロードされます。CE が High で L と R が Low の場合、C が Low から High または High から Low に切り替わるときに、SLI 入力の値がシフトレジスタの第 1 ビットにロードされ、Q0 に出力されます。次のクロック遷移で CE が High、L と R が Low の場合、シフトレジスタの値は次の高位ビットにシフトされ、新しい値が Q0 にロードされます。

最後の Q 出力を次の段の SLI 入力に接続し、クロック、CE、L、R を並列に接続すると、複数のレジスタをカスケード接続できます。

電力を供給すると、レジスタは非同期にクリアされ、出力が Low になります。High レベルのパルスを PRLD グローバル ネットに適用すると、パワーオンの状態をシミュレーションできます。

論理表

入力						出力	
R	L	CE	SLI	Dz:D0	C	Q0	Qz:Q1
1	X	X	X	X	↑	0	0
1	X	X	X	X	↓	0	0
0	1	X	X	Dz:D0	↑	D0	Dn
0	1	X	X	Dz:D0	↓	D0	Dn
0	0	1	SLI	X	↑	SLI	qn-1
0	0	1	SLI	X	↓	SLI	qn-1
0	0	0	X	X	X	変化なし	変化なし
z = ビット幅 -1							

デザインの入力方法

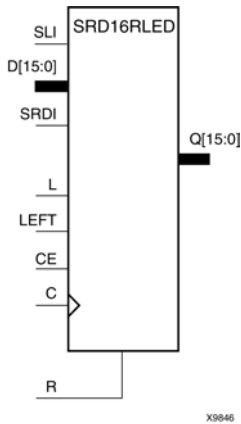
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

SRD16RLED

マクロ : 16-Bit Dual Edge Triggered Shift Register with Clock Enable and Synchronous Reset



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

概要

このデザイン エLEMENTは両エッジで動作するシフトレジスタで、シフトレフトシリアル入力 (SLI)、シフトライトシリアル入力 (SRDI)、パラレル入力 (D)、パラレル出力 (Q) に加え、クロックイネーブル (CE)、ロードイネーブル (L)、シフトレフト/ライト (LEFT)、同期リセット (R) の 4 つの制御入力があります。CE と L が Low の場合、クロック遷移は無視されます。R が High になると、ほかのすべての入力は無視され、クロック (C) が Low から High または High から Low に切り替わるたびに、出力 (Q) が Low にリセットされます。L が High で R が Low の場合、C が Low から High または High から Low に切り替わるたびに D 入力の値が対応する Q ビットにロードされます。CE が High で L および R が Low の場合、LEFT 入力の値に応じて、レジスタの値は高位ビットまたは下位ビットにシフトされます。LEFT が High の場合は、クロックが Low から High または High から Low に切り替わるたびに SLI の値が Q0 にロードされ、その後のクロック遷移で高位ビットにシフトされます (Q0 → Q1、Q1 → Q2 など)。LEFT が Low の場合は、クロックが Low から High または High から Low に切り替わるたびに SRDI の値が最後の Q0 にロードされ、次のクロック遷移で右方向にシフトされます。論理表にすべての入力条件に対する Q 出力の値を示します。

電力を供給すると、レジスタは非同期にクリアされ、出力が Low になります。High レベルのパルスを PRLD グローバルネットに適用すると、パワーオンの状態をシミュレーションできます。

論理表

入力								出力		
R	L	CE	LEFT	SLI	SRDI	D15 : D0	C	Q0	Q15	Q14 : Q1
1	X	X	X	X	X	X	↑	0	0	0
1	X	X	X	X	X	X	↓	0	0	0
0	1	X	X	X	X	D15 : D0	↑	D0	D15	Dn
0	1	X	X	X	X	D15 : D0	↓	D0	D15	Dn
0	0	0	X	X	X	X	X	変化なし	変化なし	変化なし
0	0	1	1	SLI	X	X	↑	SLI	q14	qn-1
0	0	1	1	SLI	X	X	↓	SLI	q14	qn-1
0	0	1	0	X	SRDI	X	↑	q1	SRDI	qn+1
0	0	1	0	X	SRDI	X	↓	q1	SRDI	qn+1

qn-1 または qn+1 = アクティブなクロック エッジの 1 セットアップ タイム前の対応する出力の値

デザインの入力方法

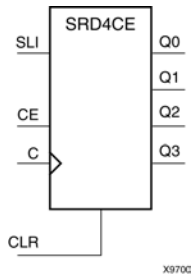
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

SRD4CE

マクロ : 4-Bit Serial-In Parallel-Out Dual Edge Triggered Shift Register with Clock Enable and Asynchronous Clear



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

概要

このデザイン エLEMENTは両エッジで動作するシフトレジスタで、シフトレフトシリアル入力 (SLI)、パラレル出力 (Q)、クロックイネーブル (CE)、非同期クリア入力 (CLR) があります。CLR 入力が高レベルになると、ほかのすべての入力は無視され、出力 (Q) が Low にリセットされます。CE が High で CLR が Low の場合、C が Low から High または High から Low に切り替わるときに、SLI 入力の値がシフトレジスタの第 1 ビットにロードされ、Q0 に出力されます。次のクロック遷移で CE が High、CLR が Low の場合、シフトレジスタの値は次の高位ビットにシフトされ、新しい値が Q0 にロードされます。CE が Low の場合は、クロック遷移は無視されます。

最後の Q 出力を次の段の SLI 入力に接続し、クロック、CE、CLR を並列に接続すると、複数のレジスタをカスケード接続できます。

電力を供給すると、レジスタは非同期にクリアされ、出力が Low になります。

High レベルのパルスを PRLD グローバル ネットに適用すると、パワーオンの状態をシミュレーションできます。

論理表

入力				出力	
CLR	CE	SLI	C	Q0	Qz : Q1
1	X	X	X	0	0
0	0	X	X	変化なし	変化なし
0	1	1	↑	1	qn-1
0	1	1	↓	1	qn-1
0	1	0	↑	0	qn-1
0	1	0	↓	0	qn-1

z = ビット幅 -1

qn-1 = アクティブなクロック エッジの 1 セットアップ タイム前の対応する出力の値

デザインの入力方法

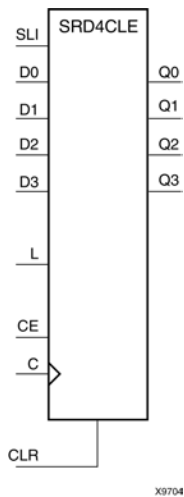
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

SRD4CLE

マクロ : 4-Bit Loadable Serial/Parallel-In Parallel-Out Dual Edge Triggered Shift Register with Clock Enable and Asynchronous Clear



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

概要

このデザイン エLEMENTは、両エッジで動作するシフトレジスタで、シフトレフトシリアル入力 (SLI)、パラレル入力 (D)、パラレル出力 (Q) に加え、クロックイネーブル (CE)、ロードイネーブル (L)、非同期クリア (CLR) の 3 つの制御入力があります。L と CE が Low の場合、クロック遷移は無視されます。CLR が High になると、ほかのすべての入力は無視され、出力 (Q) が Low にリセットされます。L が High で CLR が Low の場合、クロック (C) が Low から High または High から Low に切り替わるたびに、Dn:D0 入力の値は対応する Qn:Q0 ビットにロードされます。CE が High で L と CLR が Low の場合、C が Low から High または High から Low に切り替わるたびに、SLI 入力の値がシフトレジスタの第 1 ビットにロードされ、Q0 に出力されます。次のクロック遷移で CE が High、L と CLR が Low の場合、シフトレジスタの値は次の高位ビットにシフトされ、新しい値が Q0 にロードされます。

最後の Q 出力を次の段の SLI 入力に接続し、クロック、CE、L、CLR を並列に接続すると、複数のレジスタをカスケード接続できます。

電力を供給すると、レジスタは非同期にクリアされ、出力が Low になります。High レベルのパルスを PRLD グローバルネットに適用すると、パワーオンの状態をシミュレーションできます。

論理表

入力						出力	
CLR	L	CE	SLI	Dn : D0	C	Q0	Qz : Q1
1	X	X	X	X	X	0	0
0	1	X	X	Dn : D0	↑	D0	Dn
0	1	X	X	Dn : D0	↓	D0	Dn
0	0	1	SLI	X	↑	SLI	qn-1
0	0	1	SLI	X	↓	SLI	qn-1
0	0	0	X	X	X	変化なし	変化なし
z = ビット幅 -1							
qn-1 = アクティブなクロック エッジの 1 セットアップ タイム前の対応する出力の値							

デザインの入力方法

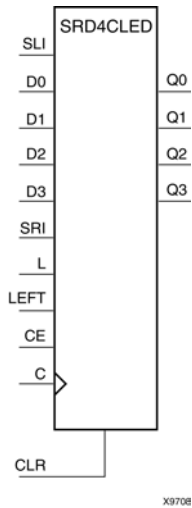
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

SRD4CLED

マクロ : 4-Bit Dual Edge Triggered Shift Register with Clock Enable and Asynchronous Clear



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

概要

このデザイン エLEMENTは両エッジで動作するシフトレジスタで、シフトレフトシリアル入力 (SLI)、シフトライトシリアル入力 (SRI)、パラレル入力 (D)、パラレル出力 (Q) に加え、クロックイネーブル (CE)、ロードイネーブル (L)、シフトレフト/ライト (LEFT)、非同期クリア (CLR) の 4 つの制御入力があります。CE と L が Low の場合、クロック遷移は無視されます。CLR が High になると、ほかのすべての入力は無視され、出力 (Q) が Low にリセットされます。L が High で CLR が Low の場合、クロック (C) が Low から High または High から Low に切り替わるときに、D 入力の値は対応する Q ビットにロードされます。CE が High で L および CLR が Low の場合、LEFT 入力の値に応じて、レジスタの値は高位ビットまたは下位ビットにシフトされます。LEFT が High の場合は、クロックが Low から High または High から Low に切り替わるときに SLI の値が Q0 にロードされ、その後のクロック遷移で高位ビットにシフトされます。LEFT が Low の場合は、クロックが Low から High または High から Low に切り替わるときに SRI の値が最後の Q にロードされ、次のクロック遷移で右方向にシフトされます。論理表にすべての入力条件に対する Q 出力の値を示します。

電力を供給すると、レジスタは非同期にクリアされ、出力が Low になります。High レベルのパルスを PRLD グローバルネットに適用すると、パワーオンの状態をシミュレーションできます。

論理表

入力								出力		
CLR	L	CE	LEFT	SLI	SRI	D3:D0	C	Q0	Q3	Q2:Q1
1	X	X	X	X	X	X	X	0	0	0
0	1	X	X	X	X	D3:D0	↑	D0	D3	Dn
0	1	X	X	X	X	D3:D0	↓	D0	D3	Dn
0	0	0	X	X	X	X	X	変化なし	変化なし	変化なし
0	0	1	1	SLI	X	X	↑	SLI	q2	qn-1
0	0	1	1	SLI	X	X	↓	SLI	q2	qn-1
0	0	1	0	X	SRI	X	↑	q1	SRI	qn+1
0	0	1	0	X	SRI	X	↓	q1	SRI	qn+1
qn-1 および qn+1 = アクティブなクロック エッジの 1 セットアップ タイム前の対応する出力の値										

デザインの入力方法

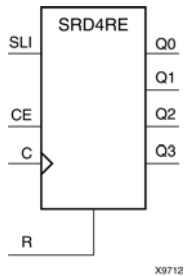
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

SRD4RE

マクロ : 4-Bit Serial-In Parallel-Out Dual Edge Triggered Shift Register with Clock Enable and Synchronous Reset



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

概要

このデザイン エLEMENTは両エッジで動作するシフトレジスタで、シフトレフトシリアル入力 (SLI)、パラレル出力 (Q)、クロック イネーブル (CE)、同期リセット入力 (R) があります。R が High になると、ほかのすべての入力は無視され、クロック (C) が Low から High または High から Low に切り替わるときに、Q が Low にリセットされます。CE が High で R が Low の場合、C が Low から High または High から Low に切り替わるときに、SLI 入力の値がシフトレジスタの第 1 ビットにロードされ、Q0 に出力されます。次のクロック遷移で CE が High、R が Low の場合、シフトレジスタの値は次の高位ビットにシフトされ、新しい値が Q0 にロードされます。CE が Low の場合は、クロック遷移は無視されます。

最後の Q 出力を次の段の SLI 入力に接続し、クロック、CE、R を並列に接続すると、複数のレジスタをカスケード接続できます。

電力を供給すると、レジスタは非同期にクリアされ、出力が Low になります。High レベルのパルスを PRLD グローバル ネットに適用すると、パワーオンの状態をシミュレーションできます。

論理表

入力				出力	
R	CE	SLI	C	Q0	Qz:Q1
1	X	X	↑	0	0
1	X	X	↓	0	0
0	0	X	X	変化なし	変化なし
0	1	1	↑	1	qn-1
0	1	1	↓	1	qn-1
0	1	0	↑	0	qn-1
0	1	0	↓	0	qn-1
z = ビット幅 -1					
qn-1 = アクティブなクロック エッジの 1 セットアップ タイム前の対応する出力の値					

デザインの入力方法

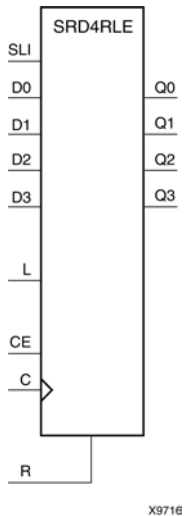
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

SRD4RLE

マクロ : 4-Bit Loadable Serial/Parallel-In Parallel-Out Dual Edge Triggered Shift Register with Clock Enable and Synchronous Reset



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

概要

このデザイン エLEMENTは、両エッジで動作するシフトレジスタで、シフトレフトシリアル入力 (SLI)、パラレル入力 (D)、パラレル出力 (Q) に加え、クロック イネーブル (CE)、ロード イネーブル (L)、同期リセット (R) の 3 つの制御入力があります。L と CE が Low の場合、クロック遷移は無視されます。R が High になると、ほかのすべての入力は無視され、クロック (C) が Low から High または High から Low に切り替わるときに、出力 (Q) が Low にリセットされます。L が High で R が Low の場合、クロックが Low から High または High から Low に切り替わるときに、D 入力の値が対応する Q ビットにロードされます。CE が High で L と R が Low の場合、C が Low から High または High から Low に切り替わるときに、SLI 入力の値がシフトレジスタの第 1 ビットにロードされ、Q0 に出力されます。次のクロック遷移で CE が High、L と R が Low の場合、シフトレジスタの値は次の高位ビットにシフトされ、新しい値が Q0 にロードされます。

最後の Q 出力を次の段の SLI 入力に接続し、クロック、CE、L、R を並列に接続すると、複数のレジスタをカスケード接続できます。

電力を供給すると、レジスタは非同期にクリアされ、出力が Low になります。High レベルのパルスを PRLD グローバルネットに適用すると、パワーオンの状態をシミュレーションできます。

論理表

入力						出力	
R	L	CE	SLI	Dz:D0	C	Q0	Qz:Q1
1	X	X	X	X	↑	0	0
1	X	X	X	X	↓	0	0
0	1	X	X	Dz:D0	↑	D0	Dn
0	1	X	X	Dz:D0	↓	D0	Dn
0	0	1	SLI	X	↑	SLI	qn-1
0	0	1	SLI	X	↓	SLI	qn-1
0	0	0	X	X	X	変化なし	変化なし
z = ビット幅 -1							

デザインの入力方法

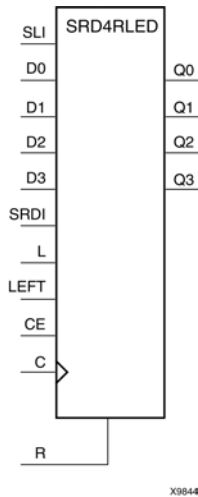
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

SRD4RLED

マクロ : 4-Bit Dual Edge Triggered Shift Register with Clock Enable and Synchronous Reset



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

概要

このデザイン エLEMENTは両エッジで動作するシフトレジスタで、シフトレフトシリアル入力 (SLI)、シフトライトシリアル入力 (SRDI)、パラレル入力 (D)、パラレル出力 (Q) に加え、クロック イネーブル (CE)、ロード イネーブル (L)、シフトレフト/ライト (LEFT)、同期リセット (R) の 4 つの制御入力があります。CE と L が Low の場合、クロック遷移は無視されます。R が High になると、ほかのすべての入力は無視され、クロック (C) が Low から High または High から Low に切り替わるたびに、出力 (Q) が Low にリセットされます。L が High で R が Low の場合、C が Low から High または High から Low に切り替わるたびに D 入力の値が対応する Q ビットにロードされます。CE が High で L および R が Low の場合、LEFT 入力の値に応じて、レジスタの値は高位ビットまたは下位ビットにシフトされます。LEFT が High の場合は、クロックが Low から High または High から Low に切り替わるたびに SLI の値が Q0 にロードされ、その後のクロック遷移で高位ビットにシフトされます (Q0 → Q1、Q1 → Q2 など)。LEFT が Low の場合は、クロックが Low から High または High から Low に切り替わるたびに SRDI の値が最後の Q0 にロードされ、次のクロック遷移で右方向にシフトされます。論理表にすべての入力条件に対する Q 出力の値を示します。

電力を供給すると、レジスタは非同期にクリアされ、出力が Low になります。High レベルのパルスを PRLD グローバルネットに適用すると、パワーオンの状態をシミュレーションできます。

論理表

入力								出力		
R	L	CE	LEFT	SLI	SRDI	D3:D0	C	Q0	Q3	Q2:Q1
1	X	X	X	X	X	X	↑	0	0	0
1	X	X	X	X	X	X	↓	0	0	0
0	1	X	X	X	X	D3 : D0	↑	D0	D3	Dn
0	1	X	X	X	X	D3 : D0	↓	D0	D3	Dn
0	0	0	X	X	X	X	X	変化なし	変化なし	変化なし
0	0	1	1	SLI	X	X	↑	SLI	q2	qn-1
0	0	1	1	SLI	X	X	↓	SLI	q2	qn-1
0	0	1	0	X	SRDI	X	↑	q1	SRDI	qn+1
0	0	1	0	X	SRDI	X	↓	q1	SRDI	qn+1

qn-1 または qn+1 = アクティブなクロック エッジの 1 セットアップ タイム前の対応する出力の値

デザインの入力方法

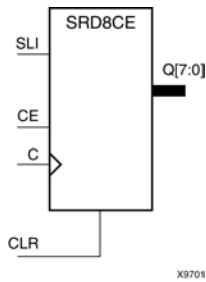
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

SRD8CE

マクロ : 8-Bit Serial-In Parallel-Out Dual Edge Triggered Shift Register with Clock Enable and Asynchronous Clear



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

概要

このデザイン エLEMENTは両エッジで動作するシフトレジスタで、シフトレフトシリアル入力 (SLI)、パラレル出力 (Q)、クロックイネーブル (CE)、非同期クリア入力 (CLR) があります。CLR 入力が高レベルになると、ほかのすべての入力は無視され、出力 (Q) が Low にリセットされます。CE が High で CLR が Low の場合、C が Low から High または High から Low に切り替わるときに、SLI 入力の値がシフトレジスタの第 1 ビットにロードされ、Q0 に出力されます。次のクロック遷移で CE が High、CLR が Low の場合、シフトレジスタの値は次の高位ビットにシフトされ、新しい値が Q0 にロードされます。CE が Low の場合は、クロック遷移は無視されます。

最後の Q 出力を次の段の SLI 入力に接続し、クロック、CE、CLR を並列に接続すると、複数のレジスタをカスケード接続できます。

電力を供給すると、レジスタは非同期にクリアされ、出力が Low になります。

High レベルのパルスを PRLD グローバル ネットに適用すると、パワーオンの状態をシミュレーションできます。

論理表

入力				出力	
CLR	CE	SLI	C	Q0	Qz : Q1
1	X	X	X	0	0
0	0	X	X	変化なし	変化なし
0	1	1	↑	1	qn-1
0	1	1	↓	1	qn-1
0	1	0	↑	0	qn-1
0	1	0	↓	0	qn-1

z = ビット幅 -1

qn-1 = アクティブなクロック エッジの 1 セットアップ タイム前の対応する出力の値

デザインの入力方法

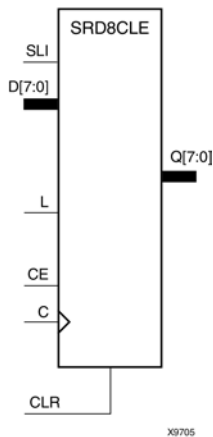
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

SRD8CLE

マクロ : 8-Bit Loadable Serial/Parallel-In Parallel-Out Dual Edge Triggered Shift Register with Clock Enable and Asynchronous Clear



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

概要

このデザイン エLEMENTは、両エッジで動作するシフトレジスタで、シフトレフトシリアル入力 (SLI)、パラレル入力 (D)、パラレル出力 (Q) に加え、クロック イネーブル (CE)、ロード イネーブル (L)、非同期クリア (CLR) の 3 つの制御入力があります。L と CE が Low の場合、クロック遷移は無視されます。CLR が High になると、ほかのすべての入力は無視され、出力 (Q) が Low にリセットされます。L が High で CLR が Low の場合、クロック (C) が Low から High または High から Low に切り替わるときに、Dn:D0 入力の値は対応する Qn:Q0 ビットにロードされます。CE が High で L と CLR が Low の場合、C が Low から High または High から Low に切り替わるときに、SLI 入力の値がシフトレジスタの第 1 ビットにロードされ、Q0 に出力されます。次のクロック遷移で CE が High、L と CLR が Low の場合、シフトレジスタの値は次の高位ビットにシフトされ、新しい値が Q0 にロードされます。

最後の Q 出力を次の段の SLI 入力に接続し、クロック、CE、L、CLR を並列に接続すると、複数のレジスタをカスケード接続できます。

電力を供給すると、レジスタは非同期にクリアされ、出力が Low になります。High レベルのパルスを PRLD グローバル ネットに適用すると、パワーオンの状態をシミュレーションできます。

論理表

入力						出力	
CLR	L	CE	SLI	Dn : D0	C	Q0	Qz : Q1
1	X	X	X	X	X	0	0
0	1	X	X	Dn : D0	↑	D0	Dn
0	1	X	X	Dn : D0	↓	D0	Dn
0	0	1	SLI	X	↑	SLI	qn-1
0	0	1	SLI	X	↓	SLI	qn-1
0	0	0	X	X	X	変化なし	変化なし
z = ビット幅 -1							
qn-1 = アクティブなクロック エッジの 1 セットアップ タイム前の対応する出力の値							

デザインの入力方法

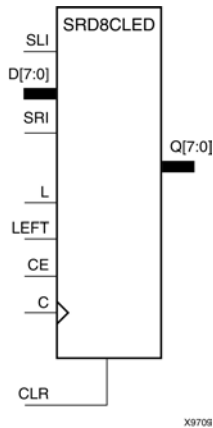
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

SRD8CLED

マクロ : 8-Bit Dual Edge Triggered Shift Register with Clock Enable and Asynchronous Clear



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

概要

このデザイン エLEMENTは両エッジで動作するシフトレジスタで、シフトレフトシリアル入力 (SLI)、シフトライトシリアル入力 (SRI)、パラレル入力 (D)、パラレル出力 (Q) に加え、クロックイネーブル (CE)、ロードイネーブル (L)、シフトレフト/ライト (LEFT)、非同期クリア (CLR) の 4 つの制御入力があります。CE と L が Low の場合、クロック遷移は無視されます。CLR が High になると、ほかのすべての入力は無視され、出力 (Q) が Low にリセットされます。L が High で CLR が Low の場合、クロック (C) が Low から High または High から Low に切り替わるときに、D 入力の値は対応する Q ビットにロードされます。CE が High で L および CLR が Low の場合、LEFT 入力の値に応じて、レジスタの値は高位ビットまたは低位ビットにシフトされます。LEFT が High の場合は、クロックが Low から High または High から Low に切り替わるときに SLI の値が Q0 にロードされ、その後のクロック遷移で高位ビットにシフトされます。LEFT が Low の場合は、クロックが Low から High または High から Low に切り替わるときに SRI の値が最後の Q にロードされ、次のクロック遷移で右方向にシフトされます。論理表にすべての入力条件に対する Q 出力の値を示します。

電力を供給すると、レジスタは非同期にクリアされ、出力が Low になります。High レベルのパルスを PRLD グローバルネットに適用すると、パワーオンの状態をシミュレーションできます。

論理表

入力								出力		
CLR	L	CE	LEFT	SLI	SRI	D7:D0	C	Q0	Q7	Q6:Q1
1	X	X	X	X	X	X	X	0	0	0
0	1	X	X	X	X	D7:D0	↑	D0	D7	Dn
0	1	X	X	X	X	D7:D0	↓	D0	D7	Dn
0	0	0	X	X	X	X	X	変化なし	変化なし	変化なし
0	0	1	1	SLI	X	X	↑	SLI	q6	qn-1
0	0	1	1	SLI	X	X	↓	SLI	q6	qn-1
0	0	1	0	X	SRI	X	↑	q1	SRI	qn+1
0	0	1	0	X	SRI	X	↓	q1	SRI	qn+1

qn-1 または qn+1 = アクティブなクロック エッジの 1 セットアップ タイム前の対応する出力の値

デザインの入力方法

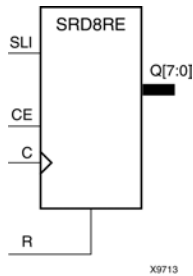
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

SRD8RE

マクロ : 8-Bit Serial-In Parallel-Out Dual Edge Triggered Shift Register with Clock Enable and Synchronous Reset



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

概要

このデザイン エLEMENTは両エッジで動作するシフトレジスタで、シフトレフトシリアル入力 (SLI)、パラレル出力 (Q)、クロックイネーブル (CE)、同期リセット入力 (R) があります。R が High になると、ほかのすべての入力は無視され、クロック (C) が Low から High または High から Low に切り替わるときに、Q が Low にリセットされます。CE が High で R が Low の場合、C が Low から High または High から Low に切り替わるときに、SLI 入力の値がシフトレジスタの第 1 ビットにロードされ、Q0 に出力されます。次のクロック遷移で CE が High、R が Low の場合、シフトレジスタの値は次の高位ビットにシフトされ、新しい値が Q0 にロードされます。CE が Low の場合は、クロック遷移は無視されます。

最後の Q 出力を次の段の SLI 入力に接続し、クロック、CE、R を並列に接続すると、複数のレジスタをカスケード接続できます。

電力を供給すると、レジスタは非同期にクリアされ、出力が Low になります。High レベルのパルスを PRLD グローバルネットに適用すると、パワーオンの状態をシミュレーションできます。

論理表

入力				出力	
R	CE	SLI	C	Q0	Qz:Q1
1	X	X	↑	0	0
1	X	X	↓	0	0
0	0	X	X	変化なし	変化なし
0	1	1	↑	1	qn-1
0	1	1	↓	1	qn-1
0	1	0	↑	0	qn-1
0	1	0	↓	0	qn-1
z = ビット幅 -1					
qn-1 = アクティブなクロック エッジの 1 セットアップ タイム前の対応する出力の値					

デザインの入力方法

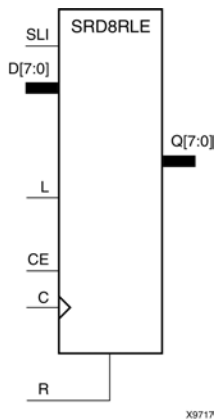
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

SRD8RLE

マクロ : 8-Bit Loadable Serial/Parallel-In Parallel-Out Dual Edge Triggered Shift Register with Clock Enable and Synchronous Reset



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

概要

このデザイン エLEMENTは、両エッジで動作するシフトレジスタで、シフトレフトシリアル入力 (SLI)、パラレル入力 (D)、パラレル出力 (Q) に加え、クロックイネーブル (CE)、ロードイネーブル (L)、同期リセット (R) の 3 つの制御入力があります。L と CE が Low の場合、クロック遷移は無視されます。R が High になると、ほかのすべての入力は無視され、クロック (C) が Low から High または High から Low に切り替わるときに、出力 (Q) が Low にリセットされます。L が High で R が Low の場合、クロックが Low から High または High から Low に切り替わるときに、D 入力の値が対応する Q ビットにロードされます。CE が High で L と R が Low の場合、C が Low から High または High から Low に切り替わるときに、SLI 入力の値がシフトレジスタの第 1 ビットにロードされ、Q0 に出力されます。次のクロック遷移で CE が High、L と R が Low の場合、シフトレジスタの値は次の高位ビットにシフトされ、新しい値が Q0 にロードされます。

最後の Q 出力を次の段の SLI 入力に接続し、クロック、CE、L、R を並列に接続すると、複数のレジスタをカスケード接続できます。

電力を供給すると、レジスタは非同期にクリアされ、出力が Low になります。High レベルのパルスで PRLD グローバルネットに適用すると、パワーオンの状態をシミュレーションできます。

論理表

入力						出力	
R	L	CE	SLI	Dz:D0	C	Q0	Qz:Q1
1	X	X	X	X	↑	0	0
1	X	X	X	X	↓	0	0
0	1	X	X	Dz:D0	↑	D0	Dn
0	1	X	X	Dz:D0	↓	D0	Dn
0	0	1	SLI	X	↑	SLI	qn-1
0	0	1	SLI	X	↓	SLI	qn-1
0	0	0	X	X	X	変化なし	変化なし
z = ビット幅 -1							

デザインの入力方法

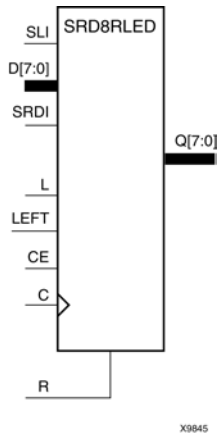
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

SRD8RLED

マクロ : 8-Bit Dual Edge Triggered Shift Register with Clock Enable and Synchronous Reset



サポートされているアーキテクチャ

このデザイン エレメントは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

概要

このデザイン エレメントは両エッジで動作するシフトレジスタで、シフトレフトシリアル入力 (SLI)、シフトライトシリアル入力 (SRDI)、パラレル入力 (D)、パラレル出力 (Q) に加え、クロック イネーブル (CE)、ロード イネーブル (L)、シフトレフト/ライト (LEFT)、同期リセット (R) の 4 つの制御入力があります。CE と L が Low の場合、クロック遷移は無視されます。R が High になると、ほかのすべての入力は無視され、クロック (C) が Low から High または High から Low に切り替わるたびに、出力 (Q) が Low にリセットされます。L が High で R が Low の場合、C が Low から High または High から Low に切り替わるたびに D 入力の値が対応する Q ビットにロードされます。CE が High で L および R が Low の場合、LEFT 入力の値に応じて、レジスタの値は高位ビットまたは下位ビットにシフトされます。LEFT が High の場合は、クロックが Low から High または High から Low に切り替わるたびに SLI の値が Q0 にロードされ、その後のクロック遷移で高位ビットにシフトされます (Q0 → Q1、Q1 → Q2 など)。LEFT が Low の場合は、クロックが Low から High または High から Low に切り替わるたびに SRDI の値が最後の Q0 にロードされ、次のクロック遷移で右方向にシフトされます。論理表にすべての入力条件に対する Q 出力の値を示します。

電力を供給すると、レジスタは非同期にクリアされ、出力が Low になります。High レベルのパルスを PRLD グローバル ネットに適用すると、パワーオンの状態をシミュレーションできます。

論理表

入力								出力		
R	L	CE	LEFT	SLI	SRDI	D7 : D0	C	Q0	Q7	Q6 : Q1
1	X	X	X	X	X	X	↑	0	0	0
1	X	X	X	X	X	X	↓	0	0	0
0	1	X	X	X	X	D7 : D0	↑	D0	D7	Dn
0	1	X	X	X	X	D7 : D0	↓	D0	D7	Dn
0	0	0	X	X	X	X	X	変化なし	変化なし	変化なし
0	0	1	1	SLI	X	X	↑	SLI	q6	qn-1
0	0	1	1	SLI	X	X	↓	SLI	q6	qn-1
0	0	1	0	X	SRDI	X	↑	q1	SRDI	qn+1
0	0	1	0	X	SRDI	X	↓	q1	SRDI	qn+1
qn-1 または qn+1 = アクティブなクロック エッジの 1 セットアップ タイム前の対応する出力の値										

デザインの入力方法

このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

VCC

プリミティブ : VCC-Connection Signal Tag



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

このデザイン エLEMENTは信号タグまたはパラメータであり、ネットや入力ファンクションを強制的に High にします。このELEMENTに接続したネットを、ほかのソースに接続することはできません。

配置配線のプロセスで VCC に接続されたネットまたは入力ファンクションが検出されると、VCC 信号でディスエーブルになるロジックは削除されます。VCC 信号は、ディスエーブルされたロジックが削除できない場合のみインプリメントされます。

デザインの入力方法

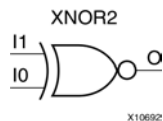
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

XNOR2

プリミティブ : 2-Input XNOR Gate with Non-Inverted Inputs



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

XNOR ファンクションには入力 が 9 個のものまでありますが、入力はすべて非反転入力です。各入力 で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

論理表

入力	出力
I0 ... Iz	O
奇数個の 1	0
偶数個の 1	1

デザインの入力方法

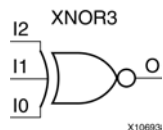
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

XNOR3

プリミティブ : 3-Input XNOR Gate with Non-Inverted Inputs



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

XNOR ファンクションには入力 が 9 個のものまでありますが、入力はすべて非反転入力です。各入力 で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

論理表

入力	出力
I0 ... Iz	O
奇数個の 1	0
偶数個の 1	1

デザインの入力方法

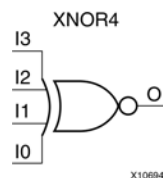
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

XNOR4

プリミティブ : 4-Input XNOR Gate with Non-Inverted Inputs



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

XNOR ファンクションには入力が 9 個のものまでありますが、入力はすべて非反転入力です。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

論理表

入力	出力
I0 ... Iz	O
奇数個の 1	0
偶数個の 1	1

デザインの入力方法

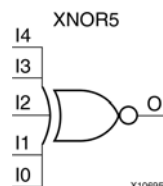
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

XNOR5

プリミティブ : 5-Input XNOR Gate with Non-Inverted Inputs



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

XNOR ファンクションには入力 が 9 個のものまでがありますが、入力はすべて非反転入力です。各入力 で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

論理表

入力	出力
I0 ... Iz	O
奇数個の 1	0
偶数個の 1	1

デザインの入力方法

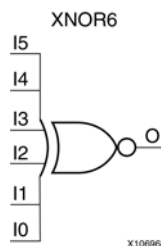
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

XNOR6

マクロ : 6-Input XNOR Gate with Non-Inverted Inputs



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

XNOR ファンクションには入力 が 9 個のものまでがありますが、入力はすべて非反転入力です。各入力 で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

論理表

入力	出力
I0 ... Iz	O
奇数個の 1	0
偶数個の 1	1

デザインの入力方法

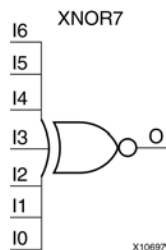
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

XNOR7

マクロ : 7-Input XNOR Gate with Non-Inverted Inputs



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

XNOR ファンクションには入力 が 9 個のものまでがありますが、入力はすべて非反転入力です。各入力 で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

論理表

入力	出力
I0 ... Iz	O
奇数個の 1	0
偶数個の 1	1

デザインの入力方法

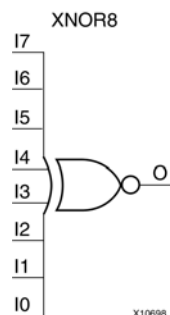
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

XNOR8

マクロ : 8-Input XNOR Gate with Non-Inverted Inputs



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

XNOR ファンクションには入力 が 9 個のものまでがありますが、入力はすべて非反転入力です。各入力 で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

論理表

入力	出力
I0 ... I7	O
奇数個の 1	0
偶数個の 1	1

デザインの入力方法

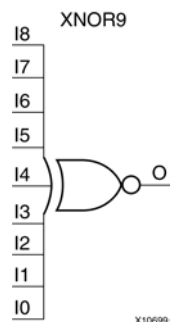
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

XNOR9

マクロ : 9-Input XNOR Gate with Non-Inverted Inputs



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

XNOR ファンクションには入力 が 9 個のものまでがありますが、入力はすべて非反転入力です。各入力 で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

論理表

入力	出力
I0 ... I _z	O
奇数個の 1	0
偶数個の 1	1

デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

XOR2

プリミティブ : 2-Input XOR Gate with Non-Inverted Inputs



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

XOR ファンクションには入力が 9 個のものまでありますが、入力はすべて非反転入力です。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

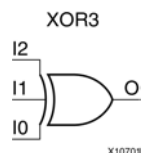
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

XOR3

プリミティブ : 3-Input XOR Gate with Non-Inverted Inputs



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

XOR ファンクションには入力 が 9 個のものまでがありますが、入力はすべて非反転入力です。各入力 で CLB リソース が使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

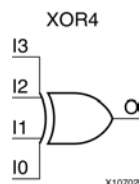
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

XOR4

プリミティブ : 4-Input XOR Gate with Non-Inverted Inputs



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

XOR ファンクションには入力 が 9 個のものまでがありますが、入力はすべて非反転入力です。各入力 で CLB リソース が使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

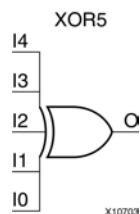
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

XOR5

プリミティブ : 5-Input XOR Gate with Non-Inverted Inputs



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

XOR ファンクションには入力 9 個のものまでがありますが、入力はすべて非反転入力です。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

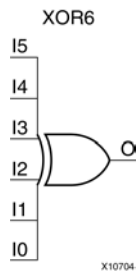
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

XOR6

マクロ : 6-Input XOR Gate with Non-Inverted Inputs



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

XOR ファンクションには入力が 9 個のものまでありますが、入力はすべて非反転入力です。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

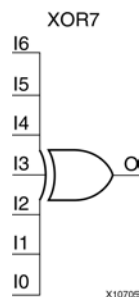
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

XOR7

マクロ : 7-Input XOR Gate with Non-Inverted Inputs



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

XOR ファンクションには入力 が 9 個のものまでがありますが、入力はすべて非反転入力です。各入力 で CLB リソース が使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

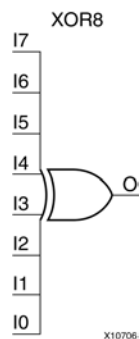
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

XOR8

マクロ : 8-Input XOR Gate with Non-Inverted Inputs



サポートされているアーキテクチャ

このデザイン エレメントは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

XOR ファンクションには入力 9 個のものまでがありますが、入力はすべて非反転入力です。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

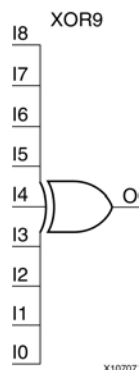
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

XOR9

マクロ : 9-Input XOR Gate with Non-Inverted Inputs



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

XOR ファンクションには入力 が 9 個のものまでがありますが、入力はすべて非反転入力です。各入力 で CLB リソース が使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート