

Spartan-3A および Spartan-3A DSP ライブラリ ガイド (回路図用)

UG614 (v11.3) 2009 年 9 月 16 日

本資料は英語版 (v11.3) を翻訳したものです。英語の更新バージョンがリリースされている場合には、最新の英語版を必ずご参照ください。

ザイリンクス商標および著作権情報



Xilinx is disclosing this user guide, manual, release note, and/or specification (the “Documentation”) to you solely for use in the development of designs to operate with Xilinx hardware devices. You may not reproduce, distribute, republish, download, display, post, or transmit the Documentation in any form or by any means including, but not limited to, electronic, mechanical, photocopying, recording, or otherwise, without the prior written consent of Xilinx. Xilinx expressly disclaims any liability arising out of your use of the Documentation. Xilinx reserves the right, at its sole discretion, to change the Documentation without notice at any time. Xilinx assumes no obligation to correct any errors contained in the Documentation, or to advise you of any corrections or updates. Xilinx expressly disclaims any liability in connection with technical support or assistance that may be provided to you in connection with the Information.

THE DOCUMENTATION IS DISCLOSED TO YOU “AS-IS” WITH NO WARRANTY OF ANY KIND. XILINX MAKES NO OTHER WARRANTIES, WHETHER EXPRESS, IMPLIED, OR STATUTORY, REGARDING THE DOCUMENTATION, INCLUDING ANY WARRANTIES OF MERCHANTABILITY, FITNESS FOR A PARTICULAR PURPOSE, OR NONINFRINGEMENT OF THIRD-PARTY RIGHTS. IN NO EVENT WILL XILINX BE LIABLE FOR ANY CONSEQUENTIAL, INDIRECT, EXEMPLARY, SPECIAL, OR INCIDENTAL DAMAGES, INCLUDING ANY LOSS OF DATA OR LOST PROFITS, ARISING FROM YOUR USE OF THE DOCUMENTATION.

© Copyright 2002–2009 Xilinx Inc. All Rights Reserved. XILINX, the Xilinx logo, the Brand Window and other designated brands included herein are trademarks of Xilinx, Inc. All other trademarks are the property of their respective owners.

目次

ザイリンクス商標および著作権情報	2
1: このマニュアルについて	45
デザイン エLEMENT	45
2: ターゲット デバイス変更後のデザイン エLEMENT	47
3: ファンクション別分類	51
4: デザイン エLEMENT	71
ACC16	72
概要	72
論理表	73
デザインの入力方法	73
詳細情報	73
ACC4	74
概要	74
論理表	75
デザインの入力方法	75
詳細情報	75
ACC8	76
概要	76
論理表	77
デザインの入力方法	77
詳細情報	77
ADD16	78
概要	78
論理表	78
デザインの入力方法	78
詳細情報	78
ADD4	79
概要	79
論理表	79
デザインの入力方法	79
詳細情報	79
ADD8	80
概要	80
論理表	80
デザインの入力方法	80
詳細情報	80
ADSU16	81
概要	81
論理表	81
デザインの入力方法	82
詳細情報	82
ADSU4	83
概要	83
論理表	83
デザインの入力方法	84
詳細情報	84
ADSU8	85
概要	85
論理表	85
デザインの入力方法	86
詳細情報	86
AND12	87
概要	87
デザインの入力方法	87
詳細情報	87

AND16	88
概要	88
デザインの入力方法	88
詳細情報	88
AND2	89
概要	89
デザインの入力方法	89
詳細情報	89
AND2B1	90
概要	90
デザインの入力方法	90
詳細情報	90
AND2B2	91
概要	91
デザインの入力方法	91
詳細情報	91
AND3	92
概要	92
デザインの入力方法	92
詳細情報	92
AND3B1	93
概要	93
デザインの入力方法	93
詳細情報	93
AND3B2	94
概要	94
デザインの入力方法	94
詳細情報	94
AND3B3	95
概要	95
デザインの入力方法	95
詳細情報	95
AND4	96
概要	96
デザインの入力方法	96
詳細情報	96
AND4B1	97
概要	97
デザインの入力方法	97
詳細情報	97
AND4B2	98
概要	98
デザインの入力方法	98
詳細情報	98
AND4B3	99
概要	99
デザインの入力方法	99
詳細情報	99
AND4B4	100
概要	100
デザインの入力方法	100
詳細情報	100
AND5	101
概要	101
デザインの入力方法	101
詳細情報	101
AND5B1	102
概要	102
デザインの入力方法	102

詳細情報	102
AND5B2	103
概要	103
デザインの入力方法	103
詳細情報	103
AND5B3	104
概要	104
デザインの入力方法	104
詳細情報	104
AND5B4	105
概要	105
デザインの入力方法	105
詳細情報	105
AND5B5	106
概要	106
デザインの入力方法	106
詳細情報	106
AND6	107
概要	107
デザインの入力方法	107
詳細情報	107
AND7	108
概要	108
デザインの入力方法	108
詳細情報	108
AND8	109
概要	109
デザインの入力方法	109
詳細情報	109
AND9	110
概要	110
デザインの入力方法	110
詳細情報	110
BRLSHFT4	111
概要	111
論理表	111
デザインの入力方法	111
詳細情報	111
BRLSHFT8	112
概要	112
論理表	112
デザインの入力方法	112
詳細情報	112
BSCAN_SPARTAN3A	113
概要	113
ポートの説明	113
デザインの入力方法	113
詳細情報	114
BUF	115
概要	115
デザインの入力方法	115
詳細情報	115
BUFCF	116
概要	116
デザインの入力方法	116
詳細情報	116
BUFG	117
概要	117
ポートの説明	117

デザインの入力方法.....	117
詳細情報	117
BUFGCE	118
概要.....	118
論理表.....	118
デザインの入力方法.....	118
詳細情報	118
BUFGCE_1	119
概要.....	119
論理表.....	119
デザインの入力方法.....	119
詳細情報	119
BUFGMUX	120
概要.....	120
論理表.....	120
ポートの説明	120
デザインの入力方法.....	120
使用可能な属性.....	120
詳細情報	121
BUFGMUX_1.....	122
概要.....	122
論理表.....	122
デザインの入力方法.....	122
詳細情報	122
CAPTURE_SPARTAN3A.....	123
概要.....	123
ポートの説明	123
デザインの入力方法.....	123
使用可能な属性.....	123
詳細情報	123
CB16CE	124
概要.....	124
論理表.....	124
デザインの入力方法.....	124
詳細情報	124
CB16CLE	125
概要.....	125
論理表.....	126
デザインの入力方法.....	126
詳細情報	126
CB16CLED	127
概要.....	127
論理表.....	127
デザインの入力方法.....	128
詳細情報	128
CB16RE	129
概要.....	129
論理表.....	129
デザインの入力方法.....	129
詳細情報	129
CB2CE	130
概要.....	130
論理表.....	130
デザインの入力方法.....	130
詳細情報	130
CB2CLE.....	131
概要.....	131
論理表.....	131
デザインの入力方法.....	131

詳細情報	132
CB2CLED.....	133
概要.....	133
論理表.....	133
デザインの入力方法.....	134
詳細情報	134
CB2RE	135
概要.....	135
論理表.....	135
デザインの入力方法.....	135
詳細情報	135
CB4CE.....	136
概要.....	136
論理表.....	136
デザインの入力方法.....	136
詳細情報	137
CB4CLE.....	138
概要.....	138
論理表.....	138
デザインの入力方法.....	139
詳細情報	139
CB4CLED.....	140
概要.....	140
論理表.....	141
デザインの入力方法.....	141
詳細情報	141
CB4RE	142
概要.....	142
論理表.....	142
デザインの入力方法.....	142
詳細情報	143
CB8CE.....	144
概要.....	144
論理表.....	144
デザインの入力方法.....	144
詳細情報	144
CB8CLE.....	145
概要.....	145
論理表.....	145
デザインの入力方法.....	145
詳細情報	146
CB8CLED.....	147
概要.....	147
論理表.....	147
デザインの入力方法.....	148
詳細情報	148
CB8RE	149
概要.....	149
論理表.....	149
デザインの入力方法.....	149
詳細情報	149
CC16CE.....	150
概要.....	150
論理表.....	150
デザインの入力方法.....	150
詳細情報	150
CC16CLE.....	151
概要.....	151
論理表.....	151

デザインの入力方法.....	151
詳細情報	152
CC16CLED.....	153
概要.....	153
論理表.....	153
デザインの入力方法.....	154
詳細情報	154
CC16RE	155
概要.....	155
論理表.....	155
デザインの入力方法.....	155
詳細情報	155
CC8CE	156
概要.....	156
論理表.....	156
デザインの入力方法.....	156
詳細情報	156
CC8CLE.....	157
概要.....	157
論理表.....	157
デザインの入力方法.....	157
詳細情報	158
CC8CLED	159
概要.....	159
論理表.....	159
デザインの入力方法.....	160
詳細情報	160
CC8RE	161
概要.....	161
論理表.....	161
デザインの入力方法.....	161
詳細情報	161
CD4CE	162
概要.....	162
論理表.....	163
デザインの入力方法.....	163
詳細情報	163
CD4CLE.....	164
概要.....	164
論理表.....	165
デザインの入力方法.....	165
詳細情報	165
CD4RE	166
概要.....	166
論理表.....	167
デザインの入力方法.....	167
詳細情報	167
CD4RLE.....	168
概要.....	168
論理表.....	169
デザインの入力方法.....	169
詳細情報	169
CJ4CE	170
概要.....	170
論理表.....	170
デザインの入力方法.....	170
詳細情報	170
CJ4RE.....	171
概要.....	171

論理表.....	171
デザインの入力方法.....	171
詳細情報	171
CJ5CE	172
概要.....	172
論理表.....	172
デザインの入力方法.....	172
詳細情報	172
CJ5RE.....	173
概要.....	173
論理表.....	173
デザインの入力方法.....	173
詳細情報	173
CJ8CE	174
概要.....	174
論理表.....	174
デザインの入力方法.....	174
詳細情報	174
CJ8RE.....	175
概要.....	175
論理表.....	175
デザインの入力方法.....	175
詳細情報	175
COMP16	176
概要.....	176
デザインの入力方法.....	176
詳細情報	176
COMP2	177
概要.....	177
デザインの入力方法.....	177
詳細情報	177
COMP4	178
概要.....	178
デザインの入力方法.....	178
詳細情報	178
COMP8	179
概要.....	179
デザインの入力方法.....	179
詳細情報	179
COMPM16.....	180
概要.....	180
論理表.....	180
デザインの入力方法.....	180
詳細情報	181
COMPM2	182
概要.....	182
論理表.....	182
デザインの入力方法.....	182
詳細情報	182
COMPM4	183
概要.....	183
論理表.....	183
デザインの入力方法.....	183
詳細情報	183
COMPM8	184
概要.....	184
論理表.....	184
デザインの入力方法.....	184
詳細情報	185

COMPMC16	186
概要.....	186
論理表.....	186
デザインの入力方法.....	186
詳細情報	187
COMPMC8	188
概要.....	188
論理表.....	188
デザインの入力方法.....	188
詳細情報	189
CR16CE	190
概要.....	190
論理表.....	190
デザインの入力方法.....	190
詳細情報	190
CR8CE	191
概要.....	191
論理表.....	191
デザインの入力方法.....	191
詳細情報	191
D2_4E	192
概要.....	192
論理表.....	192
デザインの入力方法.....	192
詳細情報	192
D3_8E	193
概要.....	193
論理表.....	193
デザインの入力方法.....	193
詳細情報	193
D4_16E	194
概要.....	194
デザインの入力方法.....	194
詳細情報	194
DCM_SP	195
概要.....	195
ポートの説明	195
デザインの入力方法.....	196
使用可能な属性.....	196
詳細情報	198
DEC_CC16.....	199
概要.....	199
論理表.....	199
デザインの入力方法.....	199
詳細情報	200
DEC_CC4	201
概要.....	201
論理表.....	201
デザインの入力方法.....	201
詳細情報	201
DEC_CC8	202
概要.....	202
論理表.....	202
デザインの入力方法.....	202
詳細情報	202
DECODE16	203
概要.....	203
論理表.....	203
デザインの入力方法.....	203

詳細情報	203
DECODE32	204
概要	204
論理表	204
デザインの入力方法	204
詳細情報	204
DECODE4	205
概要	205
論理表	205
デザインの入力方法	205
詳細情報	205
DECODE64	206
概要	206
論理表	206
デザインの入力方法	206
詳細情報	206
DECODE8	207
概要	207
論理表	207
デザインの入力方法	207
詳細情報	207
DNA_PORT	208
概要	208
ポートの説明	208
デザインの入力方法	208
使用可能な属性	209
詳細情報	209
DSP48A	210
概要	210
ポートの説明	210
デザインの入力方法	213
使用可能な属性	213
詳細情報	213
FD	214
概要	214
論理表	214
デザインの入力方法	214
使用可能な属性	214
詳細情報	214
FD_1	215
概要	215
論理表	215
デザインの入力方法	215
使用可能な属性	215
詳細情報	215
FD16CE	216
概要	216
論理表	216
デザインの入力方法	216
使用可能な属性	216
詳細情報	216
FD16RE	217
概要	217
論理表	217
デザインの入力方法	217
使用可能な属性	217
詳細情報	217
FD4CE	218
概要	218

論理表.....	218
デザインの入力方法.....	218
使用可能な属性.....	218
詳細情報	218
FD4RE	219
概要.....	219
論理表.....	219
デザインの入力方法.....	219
使用可能な属性.....	219
詳細情報	219
FD8CE	220
概要.....	220
論理表.....	220
デザインの入力方法.....	220
使用可能な属性.....	220
詳細情報	220
FD8RE	221
概要.....	221
論理表.....	221
デザインの入力方法.....	221
使用可能な属性.....	221
詳細情報	221
FDC	222
概要.....	222
論理表.....	222
デザインの入力方法.....	222
使用可能な属性.....	222
詳細情報	222
FDC_1.....	223
概要.....	223
論理表.....	223
デザインの入力方法.....	223
使用可能な属性.....	223
詳細情報	223
FDCE	224
概要.....	224
論理表.....	224
デザインの入力方法.....	224
使用可能な属性.....	224
詳細情報	224
FDCE_1.....	225
概要.....	225
論理表.....	225
デザインの入力方法.....	225
使用可能な属性.....	225
詳細情報	225
FDCP.....	226
概要.....	226
論理表.....	226
デザインの入力方法.....	226
使用可能な属性.....	226
詳細情報	226
FDCP_1.....	227
概要.....	227
論理表.....	227
デザインの入力方法.....	227
使用可能な属性.....	227
詳細情報	227
FDCPE.....	228

概要.....	228
論理表.....	228
ポートの説明.....	228
デザインの入力方法.....	229
使用可能な属性.....	229
詳細情報.....	229
FDCPE_1.....	230
概要.....	230
論理表.....	230
ポートの説明.....	230
デザインの入力方法.....	230
使用可能な属性.....	231
詳細情報.....	231
FDE.....	232
概要.....	232
論理表.....	232
デザインの入力方法.....	232
使用可能な属性.....	232
詳細情報.....	232
FDE_1.....	233
概要.....	233
論理表.....	233
デザインの入力方法.....	233
使用可能な属性.....	233
詳細情報.....	233
FDP.....	234
概要.....	234
論理表.....	234
デザインの入力方法.....	234
使用可能な属性.....	234
詳細情報.....	234
FDP_1.....	235
概要.....	235
論理表.....	235
デザインの入力方法.....	235
使用可能な属性.....	235
詳細情報.....	235
FDPE.....	236
概要.....	236
論理表.....	236
デザインの入力方法.....	236
使用可能な属性.....	236
詳細情報.....	236
FDPE_1.....	237
概要.....	237
論理表.....	237
デザインの入力方法.....	237
使用可能な属性.....	237
詳細情報.....	237
FDR.....	238
概要.....	238
論理表.....	238
デザインの入力方法.....	238
使用可能な属性.....	238
詳細情報.....	238
FDR_1.....	239
概要.....	239
論理表.....	239
デザインの入力方法.....	239

使用可能な属性.....	239
詳細情報	239
FDRE.....	240
概要.....	240
論理表.....	240
デザインの入力方法.....	240
使用可能な属性.....	240
詳細情報	240
FDRE_1	241
概要.....	241
論理表.....	241
デザインの入力方法.....	241
使用可能な属性.....	241
詳細情報	241
FDRS	242
概要.....	242
論理表.....	242
デザインの入力方法.....	242
使用可能な属性.....	242
詳細情報	242
FDRS_1	243
概要.....	243
論理表.....	243
デザインの入力方法.....	243
使用可能な属性.....	243
詳細情報	243
FDRSE	244
概要.....	244
論理表.....	244
デザインの入力方法.....	244
使用可能な属性.....	244
詳細情報	244
FDRSE_1	245
概要.....	245
論理表.....	245
デザインの入力方法.....	245
使用可能な属性.....	245
詳細情報	245
FDS	246
概要.....	246
論理表.....	246
デザインの入力方法.....	246
使用可能な属性.....	246
詳細情報	246
FDS_1	247
概要.....	247
論理表.....	247
デザインの入力方法.....	247
使用可能な属性.....	247
詳細情報	247
FDSE	248
概要.....	248
論理表.....	248
デザインの入力方法.....	248
使用可能な属性.....	248
詳細情報	248
FDSE_1	249
概要.....	249
論理表.....	249

デザインの入力方法.....	249
使用可能な属性.....	249
詳細情報	249
FJKC	250
概要.....	250
論理表.....	250
デザインの入力方法.....	250
使用可能な属性.....	250
詳細情報	250
FJKCE	251
概要.....	251
論理表.....	251
デザインの入力方法.....	251
使用可能な属性.....	251
詳細情報	251
FJKP.....	252
概要.....	252
論理表.....	252
デザインの入力方法.....	252
使用可能な属性.....	252
詳細情報	252
FJKPE.....	253
概要.....	253
論理表.....	253
デザインの入力方法.....	253
使用可能な属性.....	253
詳細情報	254
FJKRSE.....	255
概要.....	255
論理表.....	255
デザインの入力方法.....	255
使用可能な属性.....	255
詳細情報	256
FJKSRE.....	257
概要.....	257
論理表.....	257
デザインの入力方法.....	257
使用可能な属性.....	257
詳細情報	258
FTC.....	259
概要.....	259
論理表.....	259
デザインの入力方法.....	259
使用可能な属性.....	259
詳細情報	259
FTCE.....	260
概要.....	260
論理表.....	260
デザインの入力方法.....	260
使用可能な属性.....	260
詳細情報	260
FTCLE.....	261
概要.....	261
論理表.....	261
デザインの入力方法.....	261
使用可能な属性.....	261
詳細情報	262
FTCLEX.....	263
概要.....	263

論理表.....	263
デザインの入力方法.....	263
使用可能な属性.....	263
詳細情報	264
FTP	265
概要.....	265
論理表.....	265
デザインの入力方法.....	265
使用可能な属性.....	265
詳細情報	265
FTPE	266
概要.....	266
論理表.....	266
デザインの入力方法.....	266
使用可能な属性.....	266
詳細情報	266
FTPLE	267
概要.....	267
論理表.....	267
デザインの入力方法.....	267
使用可能な属性.....	267
詳細情報	268
FTRSE	269
概要.....	269
論理表.....	269
デザインの入力方法.....	269
使用可能な属性.....	269
詳細情報	269
FTRSLE	270
概要.....	270
論理表.....	270
デザインの入力方法.....	270
使用可能な属性.....	271
詳細情報	271
FTSRE	272
概要.....	272
論理表.....	272
デザインの入力方法.....	272
使用可能な属性.....	272
詳細情報	272
FTSRLE	273
概要.....	273
論理表.....	273
デザインの入力方法.....	273
使用可能な属性.....	274
詳細情報	274
GND	275
概要.....	275
デザインの入力方法.....	275
詳細情報	275
IBUF	276
概要.....	276
ポートの説明	276
デザインの入力方法.....	276
使用可能な属性.....	276
詳細情報	276
IBUF_DLY_ADJ.....	277
概要.....	277
ポートの説明	277

デザインの入力方法.....	277
使用可能な属性.....	277
詳細情報	277
IBUF16	278
概要.....	278
デザインの入力方法.....	278
使用可能な属性.....	278
詳細情報	278
IBUF4.....	279
概要.....	279
デザインの入力方法.....	279
使用可能な属性.....	279
詳細情報	279
IBUF8.....	280
概要.....	280
デザインの入力方法.....	280
使用可能な属性.....	280
詳細情報	280
IBUFDS.....	281
概要.....	281
論理表.....	281
ポートの説明	281
デザインの入力方法.....	281
使用可能な属性.....	282
詳細情報	282
IBUFDS_DLY_ADJ.....	283
概要.....	283
ポートの説明	283
デザインの入力方法.....	283
使用可能な属性.....	283
詳細情報	283
IBUFG	284
概要.....	284
ポートの説明	284
デザインの入力方法.....	284
使用可能な属性.....	284
詳細情報	284
IBUFGDS	285
概要.....	285
論理表.....	285
ポートの説明	285
デザインの入力方法.....	285
使用可能な属性.....	286
詳細情報	286
ICAP_SPARTAN3A.....	287
概要.....	287
ポートの説明	287
デザインの入力方法.....	287
詳細情報	287
IDDR2.....	288
概要.....	288
論理表.....	288
デザインの入力方法.....	288
使用可能な属性.....	289
詳細情報	289
IFD.....	290
概要.....	290
論理表.....	290
デザインの入力方法.....	290

詳細情報	290
IFD_1	291
概要	291
論理表	291
デザインの入力方法	291
詳細情報	291
IFD16	292
概要	292
論理表	292
デザインの入力方法	292
詳細情報	292
IFD4	293
概要	293
論理表	293
デザインの入力方法	293
詳細情報	293
IFD8	294
概要	294
論理表	294
デザインの入力方法	294
詳細情報	294
IFDI	295
概要	295
論理表	295
デザインの入力方法	295
詳細情報	295
IFDI1	296
概要	296
論理表	296
デザインの入力方法	296
詳細情報	296
IFDX	297
概要	297
論理表	297
デザインの入力方法	297
詳細情報	297
IFDX_1	298
概要	298
論理表	298
デザインの入力方法	298
詳細情報	298
IFDX16	299
概要	299
論理表	299
デザインの入力方法	299
詳細情報	299
IFDX4	300
概要	300
論理表	300
デザインの入力方法	300
詳細情報	300
IFDX8	301
概要	301
論理表	301
デザインの入力方法	301
詳細情報	301
IFDXI	302
概要	302
論理表	302

デザインの入力方法.....	302
詳細情報	302
IFDXI_1	303
概要.....	303
論理表.....	303
デザインの入力方法.....	303
詳細情報	303
ILD	304
概要.....	304
論理表.....	304
デザインの入力方法.....	304
詳細情報	304
ILD_1	305
概要.....	305
論理表.....	305
デザインの入力方法.....	305
詳細情報	305
ILD16.....	306
概要.....	306
論理表.....	306
デザインの入力方法.....	306
詳細情報	306
ILD4	307
概要.....	307
論理表.....	307
デザインの入力方法.....	307
詳細情報	307
ILD8	308
概要.....	308
論理表.....	308
デザインの入力方法.....	308
詳細情報	308
ILDI	309
概要.....	309
論理表.....	309
デザインの入力方法.....	309
詳細情報	309
ILDI_1	310
概要.....	310
論理表.....	310
デザインの入力方法.....	310
詳細情報	310
ILDX	311
概要.....	311
論理表.....	311
デザインの入力方法.....	311
詳細情報	311
ILDX_1	312
概要.....	312
論理表.....	312
デザインの入力方法.....	312
詳細情報	312
ILDX16	313
概要.....	313
論理表.....	313
デザインの入力方法.....	313
詳細情報	313
ILDX4	314
概要.....	314

論理表.....	314
デザインの入力方法.....	314
詳細情報	314
ILDX8.....	315
概要.....	315
論理表.....	315
デザインの入力方法.....	315
詳細情報	315
ILDXI.....	316
概要.....	316
論理表.....	316
デザインの入力方法.....	316
詳細情報	316
ILDXI_1	317
概要.....	317
論理表.....	317
デザインの入力方法.....	317
詳細情報	317
INV.....	318
概要.....	318
デザインの入力方法.....	318
詳細情報	318
INV16	319
概要.....	319
デザインの入力方法.....	319
詳細情報	319
INV4.....	320
概要.....	320
デザインの入力方法.....	320
詳細情報	320
INV8.....	321
概要.....	321
デザインの入力方法.....	321
詳細情報	321
IOBUF	322
概要.....	322
論理表.....	322
ポートの説明	322
デザインの入力方法.....	322
使用可能な属性.....	322
詳細情報	323
IOBUFDS	324
概要.....	324
論理表.....	324
ポートの説明	324
デザインの入力方法.....	324
使用可能な属性.....	324
詳細情報	325
KEEPER.....	326
概要.....	326
ポートの説明	326
デザインの入力方法.....	326
詳細情報	326
LD.....	327
概要.....	327
論理表.....	327
デザインの入力方法.....	327
使用可能な属性.....	327
詳細情報	327

LD_1	328
概要	328
論理表	328
デザインの入力方法	328
使用可能な属性	328
詳細情報	328
LD16	329
概要	329
論理表	329
デザインの入力方法	329
使用可能な属性	329
詳細情報	329
LD16CE	330
概要	330
論理表	330
デザインの入力方法	330
使用可能な属性	330
詳細情報	330
LD4	331
概要	331
論理表	331
デザインの入力方法	331
使用可能な属性	331
詳細情報	331
LD4CE	332
概要	332
論理表	332
デザインの入力方法	332
使用可能な属性	332
詳細情報	332
LD8	333
概要	333
論理表	333
デザインの入力方法	333
使用可能な属性	333
詳細情報	333
LD8CE	334
概要	334
論理表	334
デザインの入力方法	334
使用可能な属性	334
詳細情報	334
LDC	335
概要	335
論理表	335
デザインの入力方法	335
使用可能な属性	335
詳細情報	335
LDC_1	336
概要	336
論理表	336
デザインの入力方法	336
使用可能な属性	336
詳細情報	336
LDCE	337
概要	337
論理表	337
デザインの入力方法	337
使用可能な属性	337

詳細情報	337
LDCE_1	338
概要	338
論理表	338
デザインの入力方法	338
使用可能な属性	338
詳細情報	338
LDCP	339
概要	339
論理表	339
デザインの入力方法	339
使用可能な属性	339
詳細情報	339
LDCP_1	340
概要	340
論理表	340
デザインの入力方法	340
使用可能な属性	340
詳細情報	340
LDCPE	341
概要	341
論理表	341
ポートの説明	341
デザインの入力方法	342
使用可能な属性	342
詳細情報	342
LDCPE_1	343
概要	343
論理表	343
デザインの入力方法	343
使用可能な属性	343
詳細情報	343
LDE	344
概要	344
論理表	344
デザインの入力方法	344
使用可能な属性	344
詳細情報	344
LDE_1	345
概要	345
論理表	345
デザインの入力方法	345
使用可能な属性	345
詳細情報	345
LDP	346
概要	346
論理表	346
デザインの入力方法	346
使用可能な属性	346
詳細情報	346
LDP_1	347
概要	347
論理表	347
デザインの入力方法	347
使用可能な属性	347
詳細情報	347
LDPE	348
概要	348
論理表	348

デザインの入力方法.....	348
使用可能な属性.....	348
詳細情報	348
LDPE_1	349
概要.....	349
論理表.....	349
デザインの入力方法.....	349
使用可能な属性.....	349
詳細情報	349
LUT1	350
概要.....	350
論理表.....	350
デザインの入力方法.....	350
使用可能な属性.....	350
詳細情報	351
LUT1_D.....	352
概要.....	352
論理表.....	352
デザインの入力方法.....	352
使用可能な属性.....	352
詳細情報	352
LUT1_L	353
概要.....	353
論理表.....	353
デザインの入力方法.....	353
使用可能な属性.....	353
詳細情報	353
LUT2	354
概要.....	354
論理表.....	354
デザインの入力方法.....	354
使用可能な属性.....	354
詳細情報	355
LUT2_D.....	356
概要.....	356
論理表.....	356
デザインの入力方法.....	356
使用可能な属性.....	356
詳細情報	357
LUT2_L	358
概要.....	358
論理表.....	358
デザインの入力方法.....	358
使用可能な属性.....	358
詳細情報	359
LUT3	360
概要.....	360
論理表.....	360
デザインの入力方法.....	360
使用可能な属性.....	361
詳細情報	361
LUT3_D.....	362
概要.....	362
論理表.....	362
デザインの入力方法.....	362
使用可能な属性.....	363
詳細情報	363
LUT3_L	364
概要.....	364

論理表.....	364
デザインの入力方法.....	364
使用可能な属性.....	365
詳細情報	365
LUT4	366
概要.....	366
論理表.....	367
デザインの入力方法.....	367
使用可能な属性.....	367
詳細情報	367
LUT4D.....	368
概要.....	368
論理表.....	369
デザインの入力方法.....	369
使用可能な属性.....	369
詳細情報	369
LUT4L.....	370
概要.....	370
論理表.....	371
デザインの入力方法.....	371
使用可能な属性.....	371
詳細情報	371
M16_1E.....	372
概要.....	372
論理表.....	373
デザインの入力方法.....	373
詳細情報	373
M2_1.....	374
概要.....	374
論理表.....	374
デザインの入力方法.....	374
詳細情報	374
M2_1B1.....	375
概要.....	375
論理表.....	375
デザインの入力方法.....	375
詳細情報	375
M2_1B2.....	376
概要.....	376
論理表.....	376
デザインの入力方法.....	376
詳細情報	376
M2_1E.....	377
概要.....	377
論理表.....	377
デザインの入力方法.....	377
詳細情報	377
M4_1E.....	378
概要.....	378
論理表.....	378
デザインの入力方法.....	378
詳細情報	378
M8_1E.....	379
概要.....	379
論理表.....	379
デザインの入力方法.....	379
詳細情報	379
MULT_AND.....	380
概要.....	380

論理表.....	380
デザインの入力方法.....	380
詳細情報	380
MULT18X18SIO	381
概要.....	381
デザインの入力方法.....	381
使用可能な属性.....	381
詳細情報	381
MUXCY.....	382
概要.....	382
論理表.....	382
デザインの入力方法.....	382
詳細情報	382
MUXCY_D	383
概要.....	383
論理表.....	383
デザインの入力方法.....	383
詳細情報	383
MUXCY_L.....	384
概要.....	384
論理表.....	384
デザインの入力方法.....	384
詳細情報	384
MUXF5	385
概要.....	385
論理表.....	385
デザインの入力方法.....	385
詳細情報	385
MUXF5_D	386
概要.....	386
論理表.....	386
デザインの入力方法.....	386
詳細情報	386
MUXF5_L	387
概要.....	387
論理表.....	387
デザインの入力方法.....	387
詳細情報	387
MUXF6	388
概要.....	388
論理表.....	388
デザインの入力方法.....	388
詳細情報	388
MUXF6_D	389
概要.....	389
論理表.....	389
デザインの入力方法.....	389
詳細情報	389
MUXF6_L	390
概要.....	390
論理表.....	390
デザインの入力方法.....	390
詳細情報	390
MUXF7	391
概要.....	391
論理表.....	391
ポートの説明	391
デザインの入力方法.....	391
詳細情報	391

MUXF7_D	392
概要	392
論理表	392
ポートの説明	392
デザインの入力方法	392
詳細情報	392
MUXF7_L	393
概要	393
論理表	393
ポートの説明	393
デザインの入力方法	393
詳細情報	393
MUXF8	394
概要	394
論理表	394
ポートの説明	394
デザインの入力方法	394
詳細情報	394
MUXF8_D	395
概要	395
論理表	395
ポートの説明	395
デザインの入力方法	395
詳細情報	395
MUXF8_L	396
概要	396
論理表	396
ポートの説明	396
デザインの入力方法	396
詳細情報	396
NAND12	397
概要	397
デザインの入力方法	397
詳細情報	397
NAND16	398
概要	398
デザインの入力方法	398
詳細情報	398
NAND2	399
概要	399
デザインの入力方法	399
詳細情報	399
NAND2B1	400
概要	400
デザインの入力方法	400
詳細情報	400
NAND2B2	401
概要	401
デザインの入力方法	401
詳細情報	401
NAND3	402
概要	402
デザインの入力方法	402
詳細情報	402
NAND3B1	403
概要	403
デザインの入力方法	403
詳細情報	403
NAND3B2	404

概要.....	404
デザインの入力方法.....	404
詳細情報	404
NAND3B3.....	405
概要.....	405
デザインの入力方法.....	405
詳細情報	405
NAND4.....	406
概要.....	406
デザインの入力方法.....	406
詳細情報	406
NAND4B1.....	407
概要.....	407
デザインの入力方法.....	407
詳細情報	407
NAND4B2.....	408
概要.....	408
デザインの入力方法.....	408
詳細情報	408
NAND4B3.....	409
概要.....	409
デザインの入力方法.....	409
詳細情報	409
NAND4B4.....	410
概要.....	410
デザインの入力方法.....	410
詳細情報	410
NAND5.....	411
概要.....	411
デザインの入力方法.....	411
詳細情報	411
NAND5B1.....	412
概要.....	412
デザインの入力方法.....	412
詳細情報	412
NAND5B2.....	413
概要.....	413
デザインの入力方法.....	413
詳細情報	413
NAND5B3.....	414
概要.....	414
デザインの入力方法.....	414
詳細情報	414
NAND5B4.....	415
概要.....	415
デザインの入力方法.....	415
詳細情報	415
NAND5B5.....	416
概要.....	416
デザインの入力方法.....	416
詳細情報	416
NAND6.....	417
概要.....	417
デザインの入力方法.....	417
詳細情報	417
NAND7.....	418
概要.....	418
デザインの入力方法.....	418
詳細情報	418

NAND8.....	419
概要.....	419
デザインの入力方法.....	419
詳細情報	419
NAND9.....	420
概要.....	420
デザインの入力方法.....	420
詳細情報	420
NOR12.....	421
概要.....	421
デザインの入力方法.....	421
詳細情報	421
NOR16.....	422
概要.....	422
デザインの入力方法.....	422
詳細情報	422
NOR2.....	423
概要.....	423
デザインの入力方法.....	423
詳細情報	423
NOR2B1.....	424
概要.....	424
デザインの入力方法.....	424
詳細情報	424
NOR2B2.....	425
概要.....	425
デザインの入力方法.....	425
詳細情報	425
NOR3.....	426
概要.....	426
デザインの入力方法.....	426
詳細情報	426
NOR3B1.....	427
概要.....	427
デザインの入力方法.....	427
詳細情報	427
NOR3B2.....	428
概要.....	428
デザインの入力方法.....	428
詳細情報	428
NOR3B3.....	429
概要.....	429
デザインの入力方法.....	429
詳細情報	429
NOR4.....	430
概要.....	430
デザインの入力方法.....	430
詳細情報	430
NOR4B1.....	431
概要.....	431
デザインの入力方法.....	431
詳細情報	431
NOR4B2.....	432
概要.....	432
デザインの入力方法.....	432
詳細情報	432
NOR4B3.....	433
概要.....	433
デザインの入力方法.....	433

詳細情報	433
NOR4B4	434
概要	434
デザインの入力方法	434
詳細情報	434
NOR5	435
概要	435
デザインの入力方法	435
詳細情報	435
NOR5B1	436
概要	436
デザインの入力方法	436
詳細情報	436
NOR5B2	437
概要	437
デザインの入力方法	437
詳細情報	437
NOR5B3	438
概要	438
デザインの入力方法	438
詳細情報	438
NOR5B4	439
概要	439
デザインの入力方法	439
詳細情報	439
NOR5B5	440
概要	440
デザインの入力方法	440
詳細情報	440
NOR6	441
概要	441
デザインの入力方法	441
詳細情報	441
NOR7	442
概要	442
デザインの入力方法	442
詳細情報	442
NOR8	443
概要	443
デザインの入力方法	443
詳細情報	443
NOR9	444
概要	444
デザインの入力方法	444
詳細情報	444
OBUF	445
概要	445
ポートの説明	445
デザインの入力方法	445
使用可能な属性	445
詳細情報	445
OBUF16	446
概要	446
デザインの入力方法	446
使用可能な属性	446
詳細情報	446
OBUF4	447
概要	447
デザインの入力方法	447

使用可能な属性.....	447
詳細情報	447
OBUF8.....	448
概要.....	448
デザインの入力方法.....	448
使用可能な属性.....	448
詳細情報	448
OBUFDS	449
概要.....	449
論理表.....	449
ポートの説明	449
デザインの入力方法.....	449
使用可能な属性.....	449
詳細情報	449
OBUFT	450
概要.....	450
論理表.....	450
ポートの説明	450
デザインの入力方法.....	450
使用可能な属性.....	450
詳細情報	451
OBUFT16.....	452
概要.....	452
論理表.....	452
デザインの入力方法.....	452
使用可能な属性.....	452
詳細情報	452
OBUFT4	453
概要.....	453
論理表.....	453
デザインの入力方法.....	453
使用可能な属性.....	453
詳細情報	453
OBUFT8	454
概要.....	454
論理表.....	454
デザインの入力方法.....	454
使用可能な属性.....	454
詳細情報	454
OBUFTDS	455
概要.....	455
論理表.....	455
ポートの説明	455
デザインの入力方法.....	455
使用可能な属性.....	455
詳細情報	455
ODDR2	456
概要.....	456
論理表.....	456
デザインの入力方法.....	456
使用可能な属性.....	457
詳細情報	457
OFD	458
概要.....	458
論理表.....	458
デザインの入力方法.....	458
詳細情報	458
OFD_1.....	459
概要.....	459

論理表.....	459
デザインの入力方法.....	459
詳細情報	459
OFD16.....	460
概要.....	460
論理表.....	460
デザインの入力方法.....	460
詳細情報	460
OFD4.....	461
概要.....	461
論理表.....	461
デザインの入力方法.....	461
詳細情報	461
OFD8.....	462
概要.....	462
論理表.....	462
デザインの入力方法.....	462
詳細情報	462
OFDE	463
概要.....	463
論理表.....	463
デザインの入力方法.....	463
詳細情報	463
OFDE_1.....	464
概要.....	464
論理表.....	464
デザインの入力方法.....	464
詳細情報	464
OFDE16.....	465
概要.....	465
論理表.....	465
デザインの入力方法.....	465
詳細情報	465
OFDE4.....	466
概要.....	466
論理表.....	466
デザインの入力方法.....	466
詳細情報	466
OFDE8.....	467
概要.....	467
論理表.....	467
デザインの入力方法.....	467
詳細情報	467
OFDI	468
概要.....	468
論理表.....	468
デザインの入力方法.....	468
詳細情報	468
OFDI_1.....	469
概要.....	469
論理表.....	469
デザインの入力方法.....	469
詳細情報	469
OFDT	470
概要.....	470
論理表.....	470
デザインの入力方法.....	470
詳細情報	470
OFDT_1.....	471

概要.....	471
論理表.....	471
デザインの入力方法.....	471
詳細情報	471
OFDT16.....	472
概要.....	472
論理表.....	472
デザインの入力方法.....	472
詳細情報	472
OFDT4.....	473
概要.....	473
論理表.....	473
デザインの入力方法.....	473
詳細情報	473
OFDT8.....	474
概要.....	474
論理表.....	474
デザインの入力方法.....	474
詳細情報	474
OFDX.....	475
概要.....	475
論理表.....	475
デザインの入力方法.....	475
詳細情報	475
OFDX_1	476
概要.....	476
論理表.....	476
デザインの入力方法.....	476
詳細情報	476
OFDX16.....	477
概要.....	477
論理表.....	477
デザインの入力方法.....	477
詳細情報	477
OFDX4	478
概要.....	478
論理表.....	478
デザインの入力方法.....	478
詳細情報	478
OFDX8	479
概要.....	479
論理表.....	479
デザインの入力方法.....	479
詳細情報	479
OFDXI	480
概要.....	480
論理表.....	480
デザインの入力方法.....	480
詳細情報	480
OFDXI1	481
概要.....	481
論理表.....	481
デザインの入力方法.....	481
詳細情報	481
OR12	482
概要.....	482
デザインの入力方法.....	482
詳細情報	482
OR16	483

概要.....	483
デザインの入力方法.....	483
詳細情報	483
OR2.....	484
概要.....	484
デザインの入力方法.....	484
詳細情報	484
OR2B1	485
概要.....	485
デザインの入力方法.....	485
詳細情報	485
OR2B2	486
概要.....	486
デザインの入力方法.....	486
詳細情報	486
OR3.....	487
概要.....	487
デザインの入力方法.....	487
詳細情報	487
OR3B1	488
概要.....	488
デザインの入力方法.....	488
詳細情報	488
OR3B2	489
概要.....	489
デザインの入力方法.....	489
詳細情報	489
OR3B3	490
概要.....	490
デザインの入力方法.....	490
詳細情報	490
OR4.....	491
概要.....	491
デザインの入力方法.....	491
詳細情報	491
OR4B1	492
概要.....	492
デザインの入力方法.....	492
詳細情報	492
OR4B2	493
概要.....	493
デザインの入力方法.....	493
詳細情報	493
OR4B3	494
概要.....	494
デザインの入力方法.....	494
詳細情報	494
OR4B4	495
概要.....	495
デザインの入力方法.....	495
詳細情報	495
OR5.....	496
概要.....	496
デザインの入力方法.....	496
詳細情報	496
OR5B1	497
概要.....	497
デザインの入力方法.....	497
詳細情報	497

OR5B2	498
概要	498
デザインの入力方法	498
詳細情報	498
OR5B3	499
概要	499
デザインの入力方法	499
詳細情報	499
OR5B4	500
概要	500
デザインの入力方法	500
詳細情報	500
OR5B5	501
概要	501
デザインの入力方法	501
詳細情報	501
OR6	502
概要	502
デザインの入力方法	502
詳細情報	502
OR7	503
概要	503
デザインの入力方法	503
詳細情報	503
OR8	504
概要	504
デザインの入力方法	504
詳細情報	504
OR9	505
概要	505
デザインの入力方法	505
詳細情報	505
PULLDOWN	506
概要	506
ポートの説明	506
デザインの入力方法	506
詳細情報	506
PULLUP	507
概要	507
ポートの説明	507
デザインの入力方法	507
詳細情報	507
RAM16X1D	508
概要	508
論理表	508
デザインの入力方法	509
使用可能な属性	509
詳細情報	509
RAM16X1D_1	510
概要	510
論理表	510
ポートの説明	511
デザインの入力方法	511
使用可能な属性	511
詳細情報	511
RAM16X1S	512
概要	512
論理表	512
デザインの入力方法	512

使用可能な属性.....	512
詳細情報	513
RAM16X1S_1.....	514
概要.....	514
論理表.....	514
デザインの入力方法.....	514
使用可能な属性.....	514
詳細情報	515
RAM16X2S	516
概要.....	516
論理表.....	516
デザインの入力方法.....	516
使用可能な属性.....	517
詳細情報	517
RAM16X4S	518
概要.....	518
論理表.....	518
デザインの入力方法.....	518
使用可能な属性.....	518
詳細情報	519
RAM16X8S	520
概要.....	520
論理表.....	520
デザインの入力方法.....	520
使用可能な属性.....	520
詳細情報	521
RAM32X1S	522
概要.....	522
論理表.....	522
デザインの入力方法.....	522
使用可能な属性.....	522
詳細情報	523
RAM32X1S_1.....	524
概要.....	524
論理表.....	524
デザインの入力方法.....	524
使用可能な属性.....	524
詳細情報	525
RAM32X2S	526
概要.....	526
論理表.....	526
デザインの入力方法.....	526
使用可能な属性.....	527
詳細情報	527
RAM32X4S	528
概要.....	528
論理表.....	528
デザインの入力方法.....	528
使用可能な属性.....	529
詳細情報	529
RAM32X8S	530
概要.....	530
論理表.....	530
デザインの入力方法.....	530
使用可能な属性.....	531
詳細情報	531
RAM64X1S	532
概要.....	532
論理表.....	532

デザインの入力方法.....	532
使用可能な属性.....	532
詳細情報	533
RAM64X1S_1.....	534
概要.....	534
論理表.....	534
デザインの入力方法.....	534
使用可能な属性.....	534
詳細情報	535
RAM64X2S	536
概要.....	536
論理表.....	536
デザインの入力方法.....	536
使用可能な属性.....	537
詳細情報	537
RAMB16_S1.....	538
概要.....	538
論理表.....	538
初期化.....	539
デザインの入力方法.....	540
使用可能な属性.....	540
詳細情報	540
RAMB16_S1_S1	541
概要.....	541
論理表.....	542
ポートの説明	543
デザインの入力方法.....	547
使用可能な属性.....	547
詳細情報	549
RAMB16_S1_S18.....	550
概要.....	550
論理表.....	551
ポートの説明	552
デザインの入力方法.....	556
使用可能な属性.....	556
詳細情報	557
RAMB16_S1_S2	558
概要.....	558
論理表.....	558
ポートの説明	560
デザインの入力方法.....	564
使用可能な属性.....	564
詳細情報	565
RAMB16_S1_S4	566
概要.....	566
論理表.....	567
ポートの説明	568
デザインの入力方法.....	572
使用可能な属性.....	572
詳細情報	573
RAMB16_S1_S9	574
概要.....	574
論理表.....	575
ポートの説明	576
デザインの入力方法.....	580
使用可能な属性.....	580
詳細情報	581
RAMB16_S2.....	582
概要.....	582

論理表.....	582
初期化.....	583
デザインの入力方法.....	584
使用可能な属性.....	584
詳細情報.....	584
RAMB16_S2_S18.....	585
概要.....	585
論理表.....	585
ポートの説明.....	587
デザインの入力方法.....	590
使用可能な属性.....	591
詳細情報.....	592
RAMB16_S2_S2.....	593
概要.....	593
論理表.....	593
ポートの説明.....	595
デザインの入力方法.....	598
使用可能な属性.....	599
詳細情報.....	600
RAMB16_S2_S4.....	601
概要.....	601
論理表.....	601
ポートの説明.....	603
デザインの入力方法.....	606
使用可能な属性.....	607
詳細情報.....	608
RAMB16_S2_S9.....	609
概要.....	609
論理表.....	609
ポートの説明.....	611
デザインの入力方法.....	614
使用可能な属性.....	615
詳細情報.....	616
RAMB16_S4.....	617
概要.....	617
論理表.....	617
初期化.....	618
デザインの入力方法.....	619
使用可能な属性.....	619
詳細情報.....	619
RAMB16_S4_S18.....	620
概要.....	620
論理表.....	621
ポートの説明.....	622
デザインの入力方法.....	626
使用可能な属性.....	626
詳細情報.....	627
RAMB16_S4_S4.....	628
概要.....	628
論理表.....	628
ポートの説明.....	630
デザインの入力方法.....	633
使用可能な属性.....	634
詳細情報.....	635
RAMB16_S4_S9.....	636
概要.....	636
論理表.....	636
ポートの説明.....	638
デザインの入力方法.....	641

使用可能な属性.....	642
詳細情報	643
RAMB16_S9.....	644
概要.....	644
論理表.....	644
初期化.....	645
デザインの入力方法.....	646
使用可能な属性.....	646
詳細情報	646
RAMB16_S9_S9	647
概要.....	647
論理表.....	647
ポートの説明	649
デザインの入力方法.....	653
使用可能な属性.....	653
詳細情報	654
RAMB16BWE	655
概要.....	655
ポートの説明	655
デザインの入力方法.....	656
使用可能な属性.....	657
詳細情報	657
RAMB16BWE_S18	658
概要.....	658
ポートの説明	658
デザインの入力方法.....	658
使用可能な属性.....	659
詳細情報	660
RAMB16BWE_S18_S18	661
概要.....	661
ポートの説明	662
デザインの入力方法.....	662
使用可能な属性.....	663
詳細情報	664
RAMB16BWE_S18_S9.....	665
概要.....	665
ポートの説明	665
デザインの入力方法.....	665
使用可能な属性.....	666
詳細情報	667
RAMB16BWE_S36	668
概要.....	668
ポートの説明	668
デザインの入力方法.....	668
使用可能な属性.....	669
詳細情報	670
RAMB16BWE_S36_S18	671
概要.....	671
ポートの説明	672
デザインの入力方法.....	672
使用可能な属性.....	673
詳細情報	674
RAMB16BWE_S36_S36	675
概要.....	675
ポートの説明	676
デザインの入力方法.....	676
詳細情報	677
RAMB16BWE_S36_S9.....	678
概要.....	678

ポートの説明	678
デザインの入力方法	678
使用可能な属性	679
詳細情報	680
RAMB16BWER	681
概要	681
ポートの説明	681
デザインの入力方法	682
使用可能な属性	683
詳細情報	684
ROM128X1	685
概要	685
論理表	685
デザインの入力方法	685
使用可能な属性	686
詳細情報	686
ROM16X1	687
概要	687
論理表	687
デザインの入力方法	687
使用可能な属性	688
詳細情報	688
ROM256X1	689
概要	689
論理表	689
デザインの入力方法	690
使用可能な属性	690
詳細情報	690
ROM32X1	691
概要	691
論理表	691
デザインの入力方法	691
使用可能な属性	692
詳細情報	692
ROM64X1	693
概要	693
論理表	693
デザインの入力方法	693
使用可能な属性	694
詳細情報	694
SOP3	695
概要	695
デザインの入力方法	695
詳細情報	695
SOP3B1A	696
概要	696
デザインの入力方法	696
詳細情報	696
SOP3B1B	697
概要	697
デザインの入力方法	697
詳細情報	697
SOP3B2A	698
概要	698
デザインの入力方法	698
詳細情報	698
SOP3B2B	699
概要	699
デザインの入力方法	699

詳細情報	699
SOP3B3.....	700
概要.....	700
デザインの入力方法.....	700
詳細情報	700
SOP4	701
概要.....	701
デザインの入力方法.....	701
詳細情報	701
SOP4B1.....	702
概要.....	702
デザインの入力方法.....	702
詳細情報	702
SOP4B2A	703
概要.....	703
デザインの入力方法.....	703
詳細情報	703
SOP4B2B.....	704
概要.....	704
デザインの入力方法.....	704
詳細情報	704
SOP4B3.....	705
概要.....	705
デザインの入力方法.....	705
詳細情報	705
SOP4B4.....	706
概要.....	706
デザインの入力方法.....	706
詳細情報	706
SPL_ACCESS	707
概要.....	707
ポートの説明	707
デザインの入力方法.....	707
使用可能な属性.....	707
詳細情報	708
SR16CE.....	709
概要.....	709
論理表.....	709
デザインの入力方法.....	709
詳細情報	709
SR16CLE	710
概要.....	710
論理表.....	710
デザインの入力方法.....	710
詳細情報	711
SR16CLED.....	712
概要.....	712
論理表.....	712
デザインの入力方法.....	712
詳細情報	713
SR16RE	714
概要.....	714
論理表.....	714
デザインの入力方法.....	714
詳細情報	714
SR16RLE	715
概要.....	715
論理表.....	715
デザインの入力方法.....	715

詳細情報	716
SR16RLED	717
概要	717
論理表	717
デザインの入力方法	717
詳細情報	718
SR4CE	719
概要	719
論理表	719
デザインの入力方法	719
詳細情報	719
SR4CLE	720
概要	720
論理表	720
デザインの入力方法	721
詳細情報	721
SR4CLED	722
概要	722
論理表	722
デザインの入力方法	723
詳細情報	723
SR4RE	724
概要	724
論理表	724
デザインの入力方法	724
詳細情報	724
SR4RLE	725
概要	725
論理表	725
デザインの入力方法	726
詳細情報	726
SR4RLED	727
概要	727
論理表	727
デザインの入力方法	728
詳細情報	728
SR8CE	729
概要	729
論理表	729
デザインの入力方法	729
詳細情報	729
SR8CLE	730
概要	730
論理表	730
デザインの入力方法	730
詳細情報	731
SR8CLED	732
概要	732
論理表	732
デザインの入力方法	732
詳細情報	733
SR8RE	734
概要	734
論理表	734
デザインの入力方法	734
詳細情報	734
SR8RLE	735
概要	735
論理表	735

デザインの入力方法.....	735
詳細情報	736
SR8RLED.....	737
概要.....	737
論理表.....	737
デザインの入力方法.....	737
詳細情報	738
SRL16	739
概要.....	739
論理表.....	739
デザインの入力方法.....	739
使用可能な属性.....	740
詳細情報	740
SRL16_1	741
概要.....	741
論理表.....	741
デザインの入力方法.....	741
使用可能な属性.....	742
詳細情報	742
SRL16E	743
概要.....	743
論理表.....	743
ポートの説明	744
デザインの入力方法.....	744
使用可能な属性.....	744
詳細情報	744
SRL16E_1.....	745
概要.....	745
論理表.....	745
デザインの入力方法.....	745
使用可能な属性.....	746
詳細情報	746
SRLC16.....	747
概要.....	747
論理表.....	747
デザインの入力方法.....	747
使用可能な属性.....	748
詳細情報	748
SRLC16_1	749
概要.....	749
論理表.....	749
デザインの入力方法.....	749
使用可能な属性.....	749
詳細情報	750
SRLC16E.....	751
概要.....	751
論理表.....	751
デザインの入力方法.....	751
使用可能な属性.....	752
詳細情報	752
SRLC16E_1	753
概要.....	753
論理表.....	753
デザインの入力方法.....	753
使用可能な属性.....	754
詳細情報	754
STARTUP_SPARTAN3A	755
概要.....	755
ポートの説明	755

デザインの入力方法.....	755
詳細情報	755
VCC	756
概要.....	756
デザインの入力方法.....	756
詳細情報	756
XNOR2	757
概要.....	757
論理表.....	757
デザインの入力方法.....	757
詳細情報	757
XNOR3	758
概要.....	758
論理表.....	758
デザインの入力方法.....	758
詳細情報	758
XNOR4	759
概要.....	759
論理表.....	759
デザインの入力方法.....	759
詳細情報	759
XNOR5	760
概要.....	760
論理表.....	760
デザインの入力方法.....	760
詳細情報	760
XNOR6	761
概要.....	761
論理表.....	761
デザインの入力方法.....	761
詳細情報	761
XNOR7	762
概要.....	762
論理表.....	762
デザインの入力方法.....	762
詳細情報	762
XNOR8	763
概要.....	763
論理表.....	763
デザインの入力方法.....	763
詳細情報	763
XNOR9	764
概要.....	764
論理表.....	764
デザインの入力方法.....	764
詳細情報	764
XOR2.....	765
概要.....	765
デザインの入力方法.....	765
詳細情報	765
XOR3.....	766
概要.....	766
デザインの入力方法.....	766
詳細情報	766
XOR4.....	767
概要.....	767
デザインの入力方法.....	767
詳細情報	767
XOR5.....	768

概要.....	768
デザインの入力方法.....	768
詳細情報	768
XOR6.....	769
概要.....	769
デザインの入力方法.....	769
詳細情報	769
XOR7.....	770
概要.....	770
デザインの入力方法.....	770
詳細情報	770
XOR8.....	771
概要.....	771
デザインの入力方法.....	771
詳細情報	771
XOR9.....	772
概要.....	772
デザインの入力方法.....	772
詳細情報	772
XORCY.....	773
概要.....	773
論理表.....	773
デザインの入力方法.....	773
詳細情報	773
XORCY_D.....	774
概要.....	774
論理表.....	774
デザインの入力方法.....	774
詳細情報	774
XORCY_L.....	775
概要.....	775
論理表.....	775
デザインの入力方法.....	775
詳細情報	775

第 1 章

このマニュアルについて

回路図用ライブラリ ガイドは、ISE のオンライン マニュアルの 1 つです。HDL を使用して設計する場合は、HDL 用ライブラリ ガイドを参照してください。

このマニュアルには、次の内容が含まれます。

- ・ 概要
- ・ ターゲット デバイス変更後のエレメントのリスト
- ・ このアーキテクチャでサポートされるプリミティブとマクロのファンクション別リスト
- ・ 各プリミティブの詳細説明

デザイン エレメント

このバージョンのライブラリ ガイドでは、このアーキテクチャのデザイン エレメントが記載されています。デザイン エレメントはいくつかのカテゴリに分類されています。

- ・ **ターゲット デバイス変更後のエレメント**：このアーキテクチャで使用すると自動的に ISE ソフトウェア ツールにより変換される既存のデザイン エレメントです。ターゲット デバイスを変更することにより最新の回路設計技術を最大限に利用できるようになります。
- ・ **プリミティブ**：ザイリンクス ライブラリで、ロジックの基本となる最も単純なデザイン エレメント。ザイリンクスのプリミティブの例として、BUF (バッファ)、FD (D フリップフロップ) などがあります。
- ・ **マクロ**：ザイリンクス ライブラリの基本となるデザイン エレメント。デザイン エレメントのプリミティブまたはマクロから作成することができます。たとえば、FD4CE フリップフロップ マクロは 4 つの FDCE プリミティブをまとめたものです。

ザイリンクスでは、さまざまなデバイス アーキテクチャに対応した多数のデザイン エレメント (マクロおよびプリミティブ) を含むソフトウェア ライブラリを提供しています。開発システム ソフトウェアのリリースごとに、新しいデザイン エレメントが組み込まれます。このマニュアルは、そのようなアーキテクチャ固有のライブラリの 1 つです。

第 2 章

ターゲット デバイス変更後のデザイン エレメント

デザイン エレメントの中には、アーキテクチャを変更すると、最新の回路設計技術を最大限に利用できるように、ISE ソフトウェアにより自動的に変更されるものがあります。

次の表に、そのエレメントと変更後のアドバンス エレメントを示します。

元のデザイン エレメント	変更後のエレメント
BUFGCE_1	BUFGCE + INV
BUFGDLL	DCM_SP + BUFG
BUFGMUX_1	BUFGMUX + INV
BUFGP	BUFG
CAPTURE_SPARTAN3	CAPTURE_SPARTAN3a
CLKDLL	DCM_SP
CLKDLLE	DCM_SP
CLKDLLHF	DCM_SP
FD	FDCPE
FD_1	FDCPE + INV
FDC	FDCPE
FDC_1	FDCPE + INV
FDCE	FDCPE
FDCE_1	FDCPE + INV
FDCP	FDCPE
FDCP_1	FDCPE + INV
FDE	FDCPE
FDE_1	FDCPE + INV
FDPE	FDCPE
FDPE_1	FDCPE + INV
FDR	FDRSE
FDR_1	FDRSE + INV
FDRE	FDRSE
FDRE_1	FDRSE + INV

元のデザイン エLEMENT	変更後のELEMENT
FDRS	FDRSE
FDRS_1	FDRSE + INV
FDS	FDRSE
FDS_1	FDRSE + INV
FDSE	FDRSE
FDSE_1	FDRSE + INV
LD	LDCPE
LD_1	LDCPE + INV
LDC	LDCPE
LDC_1	LDCPE + INV
LDCE	LDCPE
LDCE_1	LDCPE + INV
LDE	LDCPE
LDE_1	LDCPE + INV
LDP	LDCPE
LDP_1	LDCPE + INV
LDPE	LDCPE
LDPE_1	LDCPE + INV
RAM128X1S_1	RAM128x1S + クロック上に INV
RAM16X1D_1	RAM16X1D + クロック上に INV
RAM16X1S_1	RAM16X1S + クロック上に INV
RAM16X2S	RAM16x1 X 2
RAM16X4S	RAM16x1 X 4
RAM16X8S	RAM16x1 X 8
RAM32X1D_1	RAM32X1D + クロック上に INV
RAM32X1S_1	RAM32X1S + クロック上に INV
RAM32X2S	RAM32x1S X 2
RAM32X4S	RAM32x1S X 4
RAM32X8S	RAM32x1S X 8
RAM64X1S_1	RAM64X1S + クロック上に INV
RAM64X2S	RAM64X1S X 2
RAMB16_S1_S1	RAMB16BWE
RAMB16_S1_S18	RAMB16BWE
RAMB16_S1_S2	RAMB16BWE
RAMB16_S1_S36	RAMB16BWE
RAMB16_S1_S4	RAMB16BWE
RAMB16_S1_S9	RAMB16BWE
RAMB16_S1	RAMB16BWE

元のデザイン エLEMENT	変更後のELEMENT
RAMB16_S18_S18	RAMB16BWE
RAMB16_S18_S36	RAMB16BWE
RAMB16_S18	RAMB16BWE
RAMB16_S2_S18	RAMB16BWE
RAMB16_S2_S2	RAMB16BWE
RAMB16_S2_S36	RAMB16BWE
RAMB16_S2_S4	RAMB16BWE
RAMB16_S2_S9	RAMB16BWE
RAMB16_S2	RAMB16BWE
RAMB16_S36_S36	RAMB16BWE
RAMB16_S36	RAMB16BWE
RAMB16_S4_S18	RAMB16BWE
RAMB16_S4_S36	RAMB16BWE
RAMB16_S4_S4	RAMB16BWE
RAMB16_S4_S9	RAMB16BWE
RAMB16_S4	RAMB16BWE
RAMB16_S9_S18	RAMB16BWE
RAMB16_S9_S36	RAMB16BWE
RAMB16_S9_S9	RAMB16BWE
RAMB16_S9	RAMB16BWE
RAMB4_S1_S1	RAMB16BWE
RAMB4_S1_S16	RAMB16BWE
RAMB4_S1_S2	RAMB16BWE
RAMB4_S1_S4	RAMB16BWE
RAMB4_S1_S8	RAMB16BWE
RAMB4_S1	RAMB16BWE
RAMB4_S16_S16	RAMB16BWE
RAMB4_S16	RAMB16BWE
RAMB4_S2_S16	RAMB16BWE
RAMB4_S2_S2	RAMB16BWE
RAMB4_S2_S4	RAMB16BWE
RAMB4_S2_S8	RAMB16BWE
RAMB4_S2	RAMB16BWE
RAMB4_S4_S16	RAMB16BWE
RAMB4_S4_S4	RAMB16BWE
RAMB4_S4_S8	RAMB16BWE
RAMB4_S4	RAMB16BWE
RAMB4_S8_S16	RAMB16BWE

元のデザイン エLEMENT	変更後のELEMENT
RAMB4_S8_S8	RAMB16BWE
STARTUP_SPARTAN3	STARTUP_SPARTAN3A

ファンクション別分類

このセクションでは、デバイスに含まれるデザイン エLEMENTをファンクション別に分類して示します。ELEMENT (プリミティブおよびマクロのインプリメンテーション) は、各カテゴリでアルファベット順にリストしています。

演算ファンクション	フリップフロップ	LUT
バッファ	汎用ELEMENT	メモリ
キャリー ロジック	I/O	マルチプレクサ
コンパレータ	I/O フリップフロップ	シフトレジスタ
カウンタ	I/O ラッチ	シフタ
DDR フリップフロップ	ラッチ	
デコーダ	ロジック	

演算ファンクション

デザイン ELEMENT	説明
ACC16	マクロ : 16-Bit Loadable Cascadable Accumulator with Carry-In, Carry-Out, and Synchronous Reset
ACC4	マクロ : 4-Bit Loadable Cascadable Accumulator with Carry-In, Carry-Out, and Synchronous Reset
ACC8	マクロ : 8-Bit Loadable Cascadable Accumulator with Carry-In, Carry-Out, and Synchronous Reset
ADD16	マクロ : 16-Bit Cascadable Full Adder with Carry-In, Carry-Out, and Overflow
ADD4	マクロ : 4-Bit Cascadable Full Adder with Carry-In, Carry-Out, and Overflow
ADD8	マクロ : 8-Bit Cascadable Full Adder with Carry-In, Carry-Out, and Overflow
ADSU16	マクロ : 16-Bit Cascadable Adder/Subtractor with Carry-In, Carry-Out, and Overflow
ADSU4	マクロ : 4-Bit Cascadable Adder/Subtractor with Carry-In, Carry-Out, and Overflow
ADSU8	マクロ : 8-Bit Cascadable Adder/Subtractor with Carry-In, Carry-Out, and Overflow
DSP48A	プリミティブ : Multi-Functional, Cascadable, 48-bit Output, Arithmetic Block
MULT18X18SIO	プリミティブ : 18 x 18 Cascadable Signed Multiplier with Optional Input and Output Registers, Clock Enable, and Synchronous Reset

バッファ

デザイン エLEMENT	説明
BUF	プリミティブ : General Purpose Buffer
BUFCF	プリミティブ : Fast Connect Buffer
BUFG	プリミティブ : Global Clock Buffer
BUFGCE	プリミティブ : Global Clock Buffer with Clock Enable
BUFGCE_1	プリミティブ : Global Clock Buffer with Clock Enable and Output State 1
BUFGMUX	プリミティブ : Global Clock MUX Buffer
BUFGMUX_1	プリミティブ : Global Clock MUX Buffer with Output State 1

キャリー ロジック

デザイン エLEMENT	説明
MUXCY	プリミティブ : 2-to-1 Multiplexer for Carry Logic with General Output
MUXCY_D	プリミティブ : 2-to-1 Multiplexer for Carry Logic with Dual Output
MUXCY_L	プリミティブ : 2-to-1 Multiplexer for Carry Logic with Local Output
XORCY	プリミティブ : XOR for Carry Logic with General Output
XORCY_D	プリミティブ : XOR for Carry Logic with Dual Output
XORCY_L	プリミティブ : XOR for Carry Logic with Local Output

コンパレータ

デザイン エLEMENT	説明
COMP16	マクロ : 16-Bit Identity Comparator
COMP2	マクロ : 2-Bit Identity Comparator
COMP4	マクロ : 4-Bit Identity Comparator
COMP8	マクロ : 8-Bit Identity Comparator
COMPM16	マクロ : 16-Bit Magnitude Comparator
COMPM2	マクロ : 2-Bit Magnitude Comparator
COMPM4	マクロ : 4-Bit Magnitude Comparator
COMPM8	マクロ : 8-Bit Magnitude Comparator
COMPMC16	マクロ : 16-Bit Magnitude Comparator
COMPMC8	マクロ : 8-Bit Magnitude Comparator

カウンタ

デザイン エLEMENT	説明
CB16CE	マクロ : 16-Bit Cascadable Binary Counter with Clock Enable and Asynchronous Clear

デザイン エLEMENT	説明
CB16CLE	マクロ : 16-Bit Loadable Cascadable Binary Counters with Clock Enable and Asynchronous Clear
CB16CLED	マクロ : 16-Bit Loadable Cascadable Bidirectional Binary Counters with Clock Enable and Asynchronous Clear
CB16RE	マクロ : 16-Bit Cascadable Binary Counter with Clock Enable and Synchronous Reset
CB2CE	マクロ : 2-Bit Cascadable Binary Counter with Clock Enable and Asynchronous Clear
CB2CLE	マクロ : 2-Bit Loadable Cascadable Binary Counters with Clock Enable and Asynchronous Clear
CB2CLED	マクロ : 2-Bit Loadable Cascadable Bidirectional Binary Counters with Clock Enable and Asynchronous Clear
CB2RE	マクロ : 2-Bit Cascadable Binary Counter with Clock Enable and Synchronous Reset
CB4CE	マクロ : 4-Bit Cascadable Binary Counter with Clock Enable and Asynchronous Clear
CB4CLE	マクロ : 4-Bit Loadable Cascadable Binary Counters with Clock Enable and Asynchronous Clear
CB4CLED	マクロ : 4-Bit Loadable Cascadable Bidirectional Binary Counters with Clock Enable and Asynchronous Clear
CB4RE	マクロ : 4-Bit Cascadable Binary Counter with Clock Enable and Synchronous Reset
CB8CE	マクロ : 8-Bit Cascadable Binary Counter with Clock Enable and Asynchronous Clear
CB8CLE	マクロ : 8-Bit Loadable Cascadable Binary Counters with Clock Enable and Asynchronous Clear
CB8CLED	マクロ : 8-Bit Loadable Cascadable Bidirectional Binary Counters with Clock Enable and Asynchronous Clear
CB8RE	マクロ : 8-Bit Cascadable Binary Counter with Clock Enable and Synchronous Reset
CC16CE	マクロ : 16-Bit Cascadable Binary Counter with Clock Enable and Asynchronous Clear
CC16CLE	マクロ : 16-Bit Loadable Cascadable Binary Counter with Clock Enable and Asynchronous Clear
CC16CLED	マクロ : 16-Bit Loadable Cascadable Bidirectional Binary Counter with Clock Enable and Asynchronous Clear
CC16RE	マクロ : 16-Bit Cascadable Binary Counter with Clock Enable and Synchronous Reset
CC8CE	マクロ : 8-Bit Cascadable Binary Counter with Clock Enable and Asynchronous Clear
CC8CLE	マクロ : 8-Bit Loadable Cascadable Binary Counter with Clock Enable and Asynchronous Clear
CC8CLED	マクロ : 8-Bit Loadable Cascadable Bidirectional Binary Counter with Clock Enable and Asynchronous Clear
CC8RE	マクロ : 8-Bit Cascadable Binary Counter with Clock Enable and Synchronous Reset
CD4CE	マクロ : 4-Bit Cascadable BCD Counter with Clock Enable and Asynchronous Clear
CD4CLE	マクロ : 4-Bit Loadable Cascadable BCD Counter with Clock Enable and Asynchronous Clear
CD4RE	マクロ : 4-Bit Cascadable BCD Counter with Clock Enable and Synchronous Reset
CD4RLE	マクロ : 4-Bit Loadable Cascadable BCD Counter with Clock Enable and Synchronous Reset
CJ4CE	4-Bit Johnson Counter with Clock Enable and Asynchronous Clear
CJ4RE	マクロ : 4-Bit Johnson Counter with Clock Enable and Synchronous Reset
CJ5CE	マクロ : 5-Bit Johnson Counter with Clock Enable and Asynchronous Clear

デザイン エLEMENT	説明
CJ5RE	マクロ : 5-Bit Johnson Counter with Clock Enable and Synchronous Reset
CJ8CE	マクロ : 8-Bit Johnson Counter with Clock Enable and Asynchronous Clear
CJ8RE	マクロ : 8-Bit Johnson Counter with Clock Enable and Synchronous Reset
CR16CE	マクロ : 16-Bit Negative-Edge Binary Ripple Counter with Clock Enable and Asynchronous Clear
CR8CE	マクロ : 8-Bit Negative-Edge Binary Ripple Counter with Clock Enable and Asynchronous Clear

DDR フリップフロップ

デザイン エLEMENT	説明
IDDR2	プリミティブ : Double Data Rate Input D Flip-Flop with Optional Data Alignment, Clock Enable and Programmable Synchronous or Asynchronous Set/Reset
ODDR2	プリミティブ : Dual Data Rate Output D Flip-Flop with Optional Data Alignment, Clock Enable and Programmable Synchronous or Asynchronous Set/Reset

デコーダ

デザイン エLEMENT	説明
D2_4E	マクロ : 2- to 4-Line Decoder/Demultiplexer with Enable
D3_8E	マクロ : 3- to 8-Line Decoder/Demultiplexer with Enable
D4_16E	マクロ : 4- to 16-Line Decoder/Demultiplexer with Enable
DEC_CC16	マクロ : 16-Bit Active Low Decoder
DEC_CC4	マクロ : 4-Bit Active Low Decoder
DEC_CC8	マクロ : 8-Bit Active Low Decoder
DECODE16	マクロ : 16-Bit Active-Low Decoder
DECODE32	マクロ : 32-Bit Active-Low Decoder
DECODE4	マクロ : 4-Bit Active-Low Decoder
DECODE64	マクロ : 64-Bit Active-Low Decoder
DECODE8	マクロ : 8-Bit Active-Low Decoder

フリップフロップ

デザイン エLEMENT	説明
FD	プリミティブ : D Flip-Flop
FD_1	プリミティブ : D Flip-Flop with Negative-Edge Clock
FD16CE	マクロ : 16-Bit Data Register with Clock Enable and Asynchronous Clear
FD16RE	マクロ : 16-Bit Data Register with Clock Enable and Synchronous Reset
FD4CE	マクロ : 4-Bit Data Register with Clock Enable and Asynchronous Clear
FD4RE	マクロ : 4-Bit Data Register with Clock Enable and Synchronous Reset

デザイン エLEMENT	説明
FD8CE	マクロ : 8-Bit Data Register with Clock Enable and Asynchronous Clear
FD8RE	マクロ : 8-Bit Data Register with Clock Enable and Synchronous Reset
FDC	プリミティブ : D Flip-Flop with Asynchronous Clear
FDC_1	プリミティブ : D Flip-Flop with Negative-Edge Clock and Asynchronous Clear
FDCE	プリミティブ : D Flip-Flop with Clock Enable and Asynchronous Clear
FDCE_1	プリミティブ : D Flip-Flop with Negative-Edge Clock, Clock Enable, and Asynchronous Clear
FDCP	プリミティブ : D Flip-Flop with Asynchronous Preset and Clear
FDCP_1	プリミティブ : D Flip-Flop with Negative-Edge Clock and Asynchronous Preset and Clear
FDCPE	プリミティブ : D Flip-Flop with Clock Enable and Asynchronous Preset and Clear
FDCPE_1	プリミティブ : D Flip-Flop with Negative-Edge Clock, Clock Enable, and Asynchronous Preset and Clear
FDE	プリミティブ : D Flip-Flop with Clock Enable
FDE_1	プリミティブ : D Flip-Flop with Negative-Edge Clock and Clock Enable
FDP	プリミティブ : D Flip-Flop with Asynchronous Preset
FDP_1	プリミティブ : D Flip-Flop with Negative-Edge Clock and Asynchronous Preset
FDPE	プリミティブ : D Flip-Flop with Clock Enable and Asynchronous Preset
FDPE_1	プリミティブ : D Flip-Flop with Negative-Edge Clock, Clock Enable, and Asynchronous Preset
FDR	プリミティブ : D Flip-Flop with Synchronous Reset
FDR_1	プリミティブ : D Flip-Flop with Negative-Edge Clock and Synchronous Reset
FDRE	プリミティブ : D Flip-Flop with Clock Enable and Synchronous Reset
FDRE_1	プリミティブ : D Flip-Flop with Negative-Edge Clock, Clock Enable, and Synchronous Reset
FDRS	プリミティブ : D Flip-Flop with Synchronous Reset and Set
FDRS_1	プリミティブ : D Flip-Flop with Negative-Edge Clock and Synchronous Reset and Set
FDRSE	プリミティブ : D Flip-Flop with Synchronous Reset and Set and Clock Enable
FDRSE_1	プリミティブ : D Flip-Flop with Negative-Edge Clock, Synchronous Reset and Set, and Clock Enable
FDS	プリミティブ : D Flip-Flop with Synchronous Set
FDS_1	プリミティブ : D Flip-Flop with Negative-Edge Clock and Synchronous Set
FDSE	プリミティブ : D Flip-Flop with Clock Enable and Synchronous Set
FDSE_1	プリミティブ : D Flip-Flop with Negative-Edge Clock, Clock Enable, and Synchronous Set
FJKC	マクロ : J-K Flip-Flop with Asynchronous Clear
FJKCE	マクロ : J-K Flip-Flop with Clock Enable and Asynchronous Clear
FJKP	マクロ : J-K Flip-Flop with Asynchronous Preset
FJKPE	マクロ : J-K Flip-Flop with Clock Enable and Asynchronous Preset
FJKRSE	マクロ : J-K Flip-Flop with Clock Enable and Synchronous Reset and Set
FJKSRE	マクロ : J-K Flip-Flop with Clock Enable and Synchronous Set and Reset
FTC	マクロ : Toggle Flip-Flop with Asynchronous Clear

デザイン エLEMENT	説明
FTCE	マクロ : Toggle Flip-Flop with Clock Enable and Asynchronous Clear
FTCLE	マクロ : Toggle/Loadable Flip-Flop with Clock Enable and Asynchronous Clear
FTCLEX	マクロ : Toggle/Loadable Flip-Flop with Clock Enable and Asynchronous Clear
FTP	マクロ : Toggle Flip-Flop with Asynchronous Preset
FTPE	マクロ : Toggle Flip-Flop with Clock Enable and Asynchronous Preset
FTPLE	マクロ : Toggle/Loadable Flip-Flop with Clock Enable and Asynchronous Preset
FTRSE	マクロ : Toggle Flip-Flop with Clock Enable and Synchronous Reset and Set
FTRSLE	マクロ : Toggle/Loadable Flip-Flop with Clock Enable and Synchronous Reset and Set
FTSRE	マクロ : Toggle Flip-Flop with Clock Enable and Synchronous Set and Reset
FTSRLE	マクロ : Toggle/Loadable Flip-Flop with Clock Enable and Synchronous Set and Reset

汎用ELEMENT

デザイン エLEMENT	説明
BSCAN_SPARTAN3A	プリミティブ : Spartan®-3A JTAG Boundary Scan Logic Access Circuit
CAPTURE_SPARTAN3A	プリミティブ : Spartan®-3A Register State Capture for Bitstream Readback
DCM_SP	プリミティブ : Digital Clock Manager
DNA_PORT	プリミティブ : Device DNA Data Access Port
GND	プリミティブ : Ground-Connection Signal Tag
ICAP_SPARTAN3A	プリミティブ : Internal Configuration Access Port
KEEPER	プリミティブ : KEEPER Symbol
PULLDOWN	プリミティブ : Resistor to GND for Input Pads, Open-Drain, and 3-State Outputs
PULLUP	プリミティブ : Resistor to VCC for Input PADS, Open-Drain, and 3-State Outputs
SPI_ACCESS	プリミティブ : Internal Logic Access to the Serial Peripheral Interface (SPI) PROM Data
STARTUP_SPARTAN3A	プリミティブ : Spartan®-3A Global Set/Reset, Global 3-State and Configuration Start-Up Clock Interface
VCC	プリミティブ : VCC-Connection Signal Tag

I/O

デザイン エLEMENT	説明
IBUF	プリミティブ : Input Buffer
IBUF_DLY_ADJ	プリミティブ : Dynamically Adjustable Input Delay Buffer
IBUF16	マクロ : 16-Bit Input Buffer
IBUF4	マクロ : 4-Bit Input Buffer
IBUF8	マクロ : 8-Bit Input Buffer
IBUFDS	プリミティブ : Differential Signaling Input Buffer
IBUFDS_DLY_ADJ	プリミティブ : Dynamically Adjustable Differential Input Delay Buffer
IBUFG	プリミティブ : Dedicated Input Clock Buffer
IBUFGDS	プリミティブ : Differential Signaling Dedicated Input Clock Buffer and Optional Delay
IOBUF	プリミティブ : Bi-Directional Buffer
IOBUFDS	プリミティブ : 3-State Differential Signaling I/O Buffer with Active Low Output Enable
OBUF	プリミティブ : Output Buffer
OBUF16	マクロ : 16-Bit Output Buffer
OBUF4	マクロ : 4-Bit Output Buffer
OBUF8	マクロ : 8-Bit Output Buffer
OBUFDS	プリミティブ : Differential Signaling Output Buffer
OBUFFT	プリミティブ : 3-State Output Buffer with Active Low Output Enable
OBUFFT16	マクロ : 16-Bit 3-State Output Buffer with Active Low Output Enable
OBUFFT4	マクロ : 4-Bit 3-State Output Buffers with Active-Low Output Enable
OBUFFT8	マクロ : 8-Bit 3-State Output Buffers with Active-Low Output Enable
OBUFFTDS	プリミティブ : 3-State Output Buffer with Differential Signaling, Active-Low Output Enable

I/O フリップフロップ

デザイン エLEMENT	説明
IFD	マクロ : Input D Flip-Flop
IFD_1	マクロ : Input D Flip-Flop with Inverted Clock (Asynchronous Preset)
IFD16	マクロ : 16-Bit Input D Flip-Flop
IFD4	マクロ : 4-Bit Input D Flip-Flop
IFD8	マクロ : 8-Bit Input D Flip-Flop
IFDI	マクロ : Input D Flip-Flop (Asynchronous Preset)
IFDI_1	マクロ : Input D Flip-Flop with Inverted Clock (Asynchronous Preset)
IFDX	マクロ : Input D Flip-Flop with Clock Enable
IFDX_1	マクロ : Input D Flip-Flop with Inverted Clock and Clock Enable
IFDX16	マクロ : 16-Bit Input D Flip-Flops with Clock Enable
IFDX4	マクロ : 4-Bit Input D Flip-Flop with Clock Enable

デザイン エLEMENT	説明
IFDX8	マクロ : 8-Bit Input D Flip-Flop with Clock Enable
IFDXI	マクロ : Input D Flip-Flop with Clock Enable (Asynchronous Preset)
IFDXL1	マクロ : Input D Flip-Flop with Inverted Clock and Clock Enable (Asynchronous Preset)
OFD	マクロ : Output D Flip-Flop
OFD1	マクロ : Output D Flip-Flop with Inverted Clock
OFD16	マクロ : 16-Bit Output D Flip-Flop
OFD4	マクロ : 4-Bit Output D Flip-Flop
OFD8	マクロ : 8-Bit Output D Flip-Flop
OFDE	マクロ : D Flip-Flop with Active-High Enable Output Buffers
OFDE1	マクロ : D Flip-Flop with Active-High Enable Output Buffer and Inverted Clock
OFDE16	マクロ : 16-Bit D Flip-Flop with Active-High Enable Output Buffers
OFDE4	マクロ : 4-Bit D Flip-Flop with Active-High Enable Output Buffers
OFDE8	マクロ : 8-Bit D Flip-Flop with Active-High Enable Output Buffers
OFDI	マクロ : Output D Flip-Flop (Asynchronous Preset)
OFDI1	マクロ : Output D Flip-Flop with Inverted Clock (Asynchronous Preset)
OFDT	マクロ : D Flip-Flop with Active-Low 3-State Output Buffer
OFDT1	マクロ : D Flip-Flop with Active-Low 3-State Output Buffer and Inverted Clock
OFDT16	マクロ : 16-Bit D Flip-Flop with Active-Low 3-State Output Buffers
OFDT4	マクロ : 4-Bit D Flip-Flop with Active-Low 3-State Output Buffers
OFDT8	マクロ : 8-Bit D Flip-Flop with Active-Low 3-State Output Buffers
OFDX	マクロ : Output D Flip-Flop with Clock Enable
OFDX1	マクロ : Output D Flip-Flop with Inverted Clock and Clock Enable
OFDX16	マクロ : 16-Bit Output D Flip-Flop with Clock Enable
OFDX4	マクロ : 4-Bit Output D Flip-Flop with Clock Enable
OFDX8	マクロ : 8-Bit Output D Flip-Flop with Clock Enable
OFDXI	マクロ : Output D Flip-Flop with Clock Enable (Asynchronous Preset)
OFDXL1	マクロ : Output D Flip-Flop with Inverted Clock and Clock Enable (Asynchronous Preset)

I/O ラッチ

デザイン エLEMENT	説明
ILD	マクロ : Transparent Input Data Latch
ILD_1	マクロ : Transparent Input Data Latch with Inverted Gate
ILD16	マクロ : Transparent Input Data Latch
ILD4	マクロ : Transparent Input Data Latch
ILD8	マクロ : Transparent Input Data Latch
ILDI	マクロ : Transparent Input Data Latch (Asynchronous Preset)
ILDI_1	マクロ : Transparent Input Data Latch with Inverted Gate (Asynchronous Preset)
ILDx	マクロ : Transparent Input Data Latch
ILDx_1	マクロ : Transparent Input Data Latch with Inverted Gate
ILDx16	マクロ : Transparent Input Data Latch
ILDx4	マクロ : Transparent Input Data Latch
ILDx8	マクロ : Transparent Input Data Latch
ILDxI	マクロ : Transparent Input Data Latch (Asynchronous Preset)
ILDxI_1	マクロ : Transparent Input Data Latch with Inverted Gate (Asynchronous Preset)

ラッチ

デザイン エLEMENT	説明
LD	プリミティブ : Transparent Data Latch
LD_1	プリミティブ : Transparent Data Latch with Inverted Gate
LD16	マクロ : Multiple Transparent Data Latch
LD16CE	マクロ : Transparent Data Latch with Asynchronous Clear and Gate Enable
LD4	マクロ : Multiple Transparent Data Latch
LD4CE	マクロ : Transparent Data Latch with Asynchronous Clear and Gate Enable
LD8	マクロ : Multiple Transparent Data Latch
LD8CE	マクロ : Transparent Data Latch with Asynchronous Clear and Gate Enable
LDC	プリミティブ : マクロ : Transparent Data Latch with Asynchronous Clear
LDC_1	プリミティブ : Transparent Data Latch with Asynchronous Clear and Inverted Gate
LDCE	プリミティブ : Transparent Data Latch with Asynchronous Clear and Gate Enable
LDCE_1	プリミティブ : Transparent Data Latch with Asynchronous Clear, Gate Enable, and Inverted Gate
LDCP	プリミティブ : Transparent Data Latch with Asynchronous Clear and Preset
LDCP_1	プリミティブ : Transparent Data Latch with Asynchronous Clear and Preset and Inverted Gate
LDCPE	プリミティブ : Transparent Data Latch with Asynchronous Clear and Preset and Gate Enable
LDCPE_1	プリミティブ : Transparent Data Latch with Asynchronous Clear and Preset, Gate Enable, and Inverted Gate
LDE	プリミティブ : Transparent Data Latch with Gate Enable
LDE_1	プリミティブ : Transparent Data Latch with Gate Enable and Inverted Gate
LDP	プリミティブ : マクロ : Transparent Data Latch with Asynchronous Preset
LDP_1	プリミティブ : Transparent Data Latch with Asynchronous Preset and Inverted Gate
LDPE	プリミティブ : Transparent Data Latch with Asynchronous Preset and Gate Enable
LDPE_1	プリミティブ : Transparent Data Latch with Asynchronous Preset, Gate Enable, and Inverted Gate

ロジック

デザイン エLEMENT	説明
AND12	マクロ : 12- Input AND Gate with Non-Inverted Inputs
AND16	マクロ : 16- Input AND Gate with Non-Inverted Inputs
AND2	プリミティブ : 2-Input AND Gate with Non-Inverted Inputs
AND2B1	プリミティブ : 2-Input AND Gate with 1 Inverted and 1 Non-Inverted Inputs
AND2B2	プリミティブ : 2-Input AND Gate with Inverted Inputs
AND3	プリミティブ : 3-Input AND Gate with Non-Inverted Inputs
AND3B1	プリミティブ : 3-Input AND Gate with 1 Inverted and 2 Non-Inverted Inputs
AND3B2	プリミティブ : 3-Input AND Gate with 2 Inverted and 1 Non-Inverted Inputs

デザイン エLEMENT	説明
AND3B3	プリミティブ : 3-Input AND Gate with Inverted Inputs
AND4	プリミティブ : 4-Input AND Gate with Non-Inverted Inputs
AND4B1	プリミティブ : 4-Input AND Gate with 1 Inverted and 3 Non-Inverted Inputs
AND4B2	プリミティブ : 4-Input AND Gate with 2 Inverted and 2 Non-Inverted Inputs
AND4B3	プリミティブ : 4-Input AND Gate with 3 Inverted and 1 Non-Inverted Inputs
AND4B4	プリミティブ : 4-Input AND Gate with Inverted Inputs
AND5	プリミティブ : 5-Input AND Gate with Non-Inverted Inputs
AND5B1	プリミティブ : 5-Input AND Gate with 1 Inverted and 4 Non-Inverted Inputs
AND5B2	プリミティブ : 5-Input AND Gate with 2 Inverted and 3 Non-Inverted Inputs
AND5B3	プリミティブ : 5-Input AND Gate with 3 Inverted and 2 Non-Inverted Inputs
AND5B4	プリミティブ : 5-Input AND Gate with 4 Inverted and 1 Non-Inverted Inputs
AND5B5	プリミティブ : 5-Input AND Gate with Inverted Inputs
AND6	マクロ : 6-Input AND Gate with Non-Inverted Inputs
AND7	マクロ : 7-Input AND Gate with Non-Inverted Inputs
AND8	マクロ : 8-Input AND Gate with Non-Inverted Inputs
AND9	マクロ : 9-Input AND Gate with Non-Inverted Inputs
INV	プリミティブ : Inverter
INV16	マクロ : 16 Inverters
INV4	マクロ : Four Inverters
INV8	マクロ : Eight Inverters
MULT_AND	プリミティブ : Fast Multiplier AND
NAND12	マクロ : 12- Input NAND Gate with Non-Inverted Inputs
NAND16	マクロ : 16- Input NAND Gate with Non-Inverted Inputs
NAND2	プリミティブ : 2-Input NAND Gate with Non-Inverted Inputs
NAND2B1	プリミティブ : 2-Input NAND Gate with 1 Inverted and 1 Non-Inverted Inputs
NAND2B2	プリミティブ : 2-Input NAND Gate with Inverted Inputs
NAND3	プリミティブ : 3-Input NAND Gate with Non-Inverted Inputs
NAND3B1	プリミティブ : 3-Input NAND Gate with 1 Inverted and 2 Non-Inverted Inputs
NAND3B2	プリミティブ : 3-Input NAND Gate with 2 Inverted and 1 Non-Inverted Inputs
NAND3B3	プリミティブ : 3-Input NAND Gate with Inverted Inputs
NAND4	プリミティブ : 4-Input NAND Gate with Non-Inverted Inputs
NAND4B1	プリミティブ : 4-Input NAND Gate with 1 Inverted and 3 Non-Inverted Inputs
NAND4B2	プリミティブ : 4-Input NAND Gate with 2 Inverted and 2 Non-Inverted Inputs
NAND4B3	プリミティブ : 4-Input NAND Gate with 3 Inverted and 1 Non-Inverted Inputs
NAND4B4	プリミティブ : 4-Input NAND Gate with Inverted Inputs
NAND5	プリミティブ : 5-Input NAND Gate with Non-Inverted Inputs

デザイン エLEMENT	説明
NAND5B1	プリミティブ : 5-Input NAND Gate with 1 Inverted and 4 Non-Inverted Inputs
NAND5B2	プリミティブ : 5-Input NAND Gate with 2 Inverted and 3 Non-Inverted Inputs
NAND5B3	プリミティブ : 5-Input NAND Gate with 3 Inverted and 2 Non-Inverted Inputs
NAND5B4	プリミティブ : 5-Input NAND Gate with 4 Inverted and 1 Non-Inverted Inputs
NAND5B5	プリミティブ : 5-Input NAND Gate with Inverted Inputs
NAND6	マクロ : 6-Input NAND Gate with Non-Inverted Inputs
NAND7	マクロ : 7-Input NAND Gate with Non-Inverted Inputs
NAND8	マクロ : 8-Input NAND Gate with Non-Inverted Inputs
NAND9	マクロ : 9-Input NAND Gate with Non-Inverted Inputs
NOR12	マクロ : 12-Input NOR Gate with Non-Inverted Inputs
NOR16	マクロ : 16-Input NOR Gate with Non-Inverted Inputs
NOR2	プリミティブ : 2-Input NOR Gate with Non-Inverted Inputs
NOR2B1	プリミティブ : 2-Input NOR Gate with 1 Inverted and 1 Non-Inverted Inputs
NOR2B2	プリミティブ : 2-Input NOR Gate with Inverted Inputs
NOR3	プリミティブ : 3-Input NOR Gate with Non-Inverted Inputs
NOR3B1	プリミティブ : 3-Input NOR Gate with 1 Inverted and 2 Non-Inverted Inputs
NOR3B2	プリミティブ : 3-Input NOR Gate with 2 Inverted and 1 Non-Inverted Inputs
NOR3B3	プリミティブ : 3-Input NOR Gate with Inverted Inputs
NOR4	プリミティブ : 4-Input NOR Gate with Non-Inverted Inputs
NOR4B1	プリミティブ : 4-Input NOR Gate with 1 Inverted and 3 Non-Inverted Inputs
NOR4B2	プリミティブ : 4-Input NOR Gate with 2 Inverted and 2 Non-Inverted Inputs
NOR4B3	プリミティブ : 4-Input NOR Gate with 3 Inverted and 1 Non-Inverted Inputs
NOR4B4	プリミティブ : 4-Input NOR Gate with Inverted Inputs
NOR5	プリミティブ : 5-Input NOR Gate with Non-Inverted Inputs
NOR5B1	プリミティブ : 5-Input NOR Gate with 1 Inverted and 4 Non-Inverted Inputs
NOR5B2	プリミティブ : 5-Input NOR Gate with 2 Inverted and 3 Non-Inverted Inputs
NOR5B3	プリミティブ : 5-Input NOR Gate with 3 Inverted and 2 Non-Inverted Inputs
NOR5B4	プリミティブ : 5-Input NOR Gate with 4 Inverted and 1 Non-Inverted Inputs
NOR5B5	プリミティブ : 5-Input NOR Gate with Inverted Inputs
NOR6	マクロ : 6-Input NOR Gate with Non-Inverted Inputs
NOR7	マクロ : 7-Input NOR Gate with Non-Inverted Inputs
NOR8	マクロ : 8-Input NOR Gate with Non-Inverted Inputs
NOR9	マクロ : 9-Input NOR Gate with Non-Inverted Inputs
OR12	マクロ : 12-Input OR Gate with Non-Inverted Inputs
OR16	マクロ : 16-Input OR Gate with Non-Inverted Inputs
OR2	プリミティブ : 2-Input OR Gate with Non-Inverted Inputs

デザイン エLEMENT	説明
OR2B1	プリミティブ : 2-Input OR Gate with 1 Inverted and 1 Non-Inverted Inputs
OR2B2	プリミティブ : 2-Input OR Gate with Inverted Inputs
OR3	プリミティブ : 3-Input OR Gate with Non-Inverted Inputs
OR3B1	プリミティブ : 3-Input OR Gate with 1 Inverted and 2 Non-Inverted Inputs
OR3B2	プリミティブ : 3-Input OR Gate with 2 Inverted and 1 Non-Inverted Inputs
OR3B3	プリミティブ : 3-Input OR Gate with Inverted Inputs
OR4	プリミティブ : 4-Input OR Gate with Non-Inverted Inputs
OR4B1	プリミティブ : 4-Input OR Gate with 1 Inverted and 3 Non-Inverted Inputs
OR4B2	プリミティブ : 4-Input OR Gate with 2 Inverted and 2 Non-Inverted Inputs
OR4B3	プリミティブ : 4-Input OR Gate with 3 Inverted and 1 Non-Inverted Inputs
OR4B4	プリミティブ : 4-Input OR Gate with Inverted Inputs
OR5	プリミティブ : 5-Input OR Gate with Non-Inverted Inputs
OR5B1	プリミティブ : 5-Input OR Gate with 1 Inverted and 4 Non-Inverted Inputs
OR5B2	プリミティブ : 5-Input OR Gate with 2 Inverted and 3 Non-Inverted Inputs
OR5B3	プリミティブ : 5-Input OR Gate with 3 Inverted and 2 Non-Inverted Inputs
OR5B4	プリミティブ : 5-Input OR Gate with 4 Inverted and 1 Non-Inverted Inputs
OR5B5	プリミティブ : 5-Input OR Gate with Inverted Inputs
OR6	マクロ : 6-Input OR Gate with Non-Inverted Inputs
OR7	マクロ : 7-Input OR Gate with Non-Inverted Inputs
OR8	マクロ : 8-Input OR Gate with Non-Inverted Inputs
OR9	マクロ : 9-Input OR Gate with Non-Inverted Inputs
SOP3	マクロ : 3-Input Sum of Products
SOP3B1A	マクロ : 3-Input Sum of Products with One Inverted Input (Option A)
SOP3B1B	マクロ : 3-Input Sum of Products with One Inverted Input (Option B)
SOP3B2A	マクロ : 3-Input Sum of Products with Two Inverted Inputs (Option A)
SOP3B2B	マクロ : 3-Input Sum of Products with Two Inverted Inputs (Option B)
SOP3B3	マクロ : 3-Input Sum of Products with Inverted Inputs
SOP4	マクロ : 4-Input Sum of Products
SOP4B1	マクロ : 4-Input Sum of Products with One Inverted Input
SOP4B2A	マクロ : 4-Input Sum of Products with Two Inverted Inputs (Option A)
SOP4B2B	マクロ : 4-Input Sum of Products with Two Inverted Inputs (Option B)
SOP4B3	マクロ : 4-Input Sum of Products with Three Inverted Inputs
SOP4B4	マクロ : 4-Input Sum of Products with Inverted Inputs
XNOR2	プリミティブ : 2-Input XNOR Gate with Non-Inverted Inputs
XNOR3	プリミティブ : 3-Input XNOR Gate with Non-Inverted Inputs
XNOR4	プリミティブ : 4-Input XNOR Gate with Non-Inverted Inputs

デザイン エLEMENT	説明
XNOR5	プリミティブ : 5-Input XNOR Gate with Non-Inverted Inputs
XNOR6	マクロ : 6-Input XNOR Gate with Non-Inverted Inputs
XNOR7	マクロ : 7-Input XNOR Gate with Non-Inverted Inputs
XNOR8	マクロ : 8-Input XNOR Gate with Non-Inverted Inputs
XNOR9	マクロ : 9-Input XNOR Gate with Non-Inverted Inputs
XOR2	プリミティブ : 2-Input XOR Gate with Non-Inverted Inputs
XOR3	プリミティブ : 3-Input XOR Gate with Non-Inverted Inputs
XOR4	プリミティブ : 4-Input XOR Gate with Non-Inverted Inputs
XOR5	プリミティブ : 5-Input XOR Gate with Non-Inverted Inputs
XOR6	マクロ : 6-Input XOR Gate with Non-Inverted Inputs
XOR7	マクロ : 7-Input XOR Gate with Non-Inverted Inputs
XOR8	マクロ : 8-Input XOR Gate with Non-Inverted Inputs
XOR9	マクロ : 9-Input XOR Gate with Non-Inverted Inputs

LUT

デザイン エLEMENT	説明
LUT1	プリミティブ : 1-Bit Look-Up Table with General Output
LUT1_D	プリミティブ : 1-Bit Look-Up Table with Dual Output
LUT1_L	プリミティブ : 1-Bit Look-Up Table with Local Output
LUT2	プリミティブ : 2-Bit Look-Up Table with General Output
LUT2_D	プリミティブ : 2-Bit Look-Up Table with Dual Output
LUT2_L	プリミティブ : 2-Bit Look-Up Table with Local Output
LUT3	プリミティブ : 3-Bit Look-Up Table with General Output
LUT3_D	プリミティブ : 3-Bit Look-Up Table with Dual Output
LUT3_L	プリミティブ : 3-Bit Look-Up Table with Local Output
LUT4	プリミティブ : 4-Bit Look-Up-Table with General Output
LUT4_D	プリミティブ : 4-Bit Look-Up Table with Dual Output
LUT4_L	プリミティブ : 4-Bit Look-Up Table with Local Output

メモリ

デザイン エLEMENT	説明
RAM16X1D	プリミティブ : 16-Deep by 1-Wide Static Dual Port Synchronous RAM
RAM16X1D_1	プリミティブ : 16-Deep by 1-Wide Static Dual Port Synchronous RAM with Negative-Edge Clock
RAM16X1S	プリミティブ : 16-Deep by 1-Wide Static Synchronous RAM
RAM16X1S_1	プリミティブ : 16-Deep by 1-Wide Static Synchronous RAM with Negative-Edge Clock

デザイン エLEMENT	説明
RAM16X2S	プリミティブ : 16-Deep by 2-Wide Static Synchronous RAM
RAM16X4S	プリミティブ : 16-Deep by 4-Wide Static Synchronous RAM
RAM16X8S	プリミティブ : 16-Deep by 8-Wide Static Synchronous RAM
RAM32X1S	プリミティブ : 32-Deep by 1-Wide Static Synchronous RAM
RAM32X1S_1	プリミティブ : 32-Deep by 1-Wide Static Synchronous RAM with Negative-Edge Clock
RAM32X2S	プリミティブ : 32-Deep by 2-Wide Static Synchronous RAM
RAM32X4S	プリミティブ : 32-Deep by 4-Wide Static Synchronous RAM
RAM32X8S	プリミティブ : 32-Deep by 8-Wide Static Synchronous RAM
RAM64X1S	プリミティブ : 64-Deep by 1-Wide Static Synchronous RAM
RAM64X1S_1	プリミティブ : 64-Deep by 1-Wide Static Synchronous RAM with Negative-Edge Clock
RAM64X2S	プリミティブ : 64-Deep by 2-Wide Static Synchronous RAM
RAMB16_S1	プリミティブ : 16K-bit Data and 2K-bit Parity Single-Port Synchronous Block RAM with 1-bit Port
RAMB16_S1_S1	プリミティブ : 16K-bit Data and 2K-bit Parity Dual-Port Synchronous Block RAM with 1-bit Ports
RAMB16_S1_S18	プリミティブ : 16K-bit Data and 2K-bit Parity Dual-Port Synchronous Block RAM with 1-bit and 18-bit Ports
RAMB16_S1_S2	プリミティブ : 16K-bit Data and 2K-bit Parity Dual-Port Synchronous Block RAM with 1-bit and 2-bit Ports
RAMB16_S1_S4	プリミティブ : 16K-bit Data and 2K-bit Parity Dual-Port Synchronous Block RAM with 1-bit and 4-bit Ports
RAMB16_S1_S9	プリミティブ : 16K-bit Data and 2K-bit Parity Dual-Port Synchronous Block RAM with 1-bit and 9-bit Ports
RAMB16_S2	プリミティブ : 16K-bit Data and 2K-bit Parity Single-Port Synchronous Block RAM with 2-bit Port
RAMB16_S2_S18	プリミティブ : 16K-bit Data and 2K-bit Parity Dual-Port Synchronous Block RAM with 2-bit and 18-bit Ports
RAMB16_S2_S2	プリミティブ : 16K-bit Data and 2K-bit Parity Dual-Port Synchronous Block RAM with 2-bit Ports
RAMB16_S2_S4	プリミティブ : 16K-bit Data and 2K-bit Parity Dual-Port Synchronous Block RAM with 2-bit and 4-bit Ports
RAMB16_S2_S9	プリミティブ : 16K-bit Data and 2K-bit Parity Dual-Port Synchronous Block RAM with 2-bit and 9-bit Ports
RAMB16_S4	プリミティブ : 16K-bit Data and 2K-bit Parity Single-Port Synchronous Block RAM with 4-bit Port
RAMB16_S4_S18	プリミティブ : 16K-bit Data and 2K-bit Parity Dual-Port Synchronous Block RAM with 4-bit and 18-bit Ports
RAMB16_S4_S4	プリミティブ : 16K-bit Data and 2K-bit Parity Dual-Port Synchronous Block RAM with 4-bit Ports
RAMB16_S4_S9	プリミティブ : 16K-bit Data and 2K-bit Parity Dual-Port Synchronous Block RAM with 4-bit and 9-bit Ports
RAMB16_S9	プリミティブ : 16K-bit Data and 2K-bit Parity Single-Port Synchronous Block RAM with 9-bit Port

デザイン エLEMENT	説明
RAMB16_S9_S9	プリミティブ : 16K-bit Data and 2K-bit Parity Dual-Port Synchronous Block RAM with 9-bit Ports
RAMB16BWE	プリミティブ : 16K-bit Data and 2K-bit Parity Configurable Synchronous Dual Port Block RAM
RAMB16BWE_S18	プリミティブ : 16K-bit Data and 2K-bit Parity Synchronous Single Port Block RAM with 18-bit Port
RAMB16BWE_S18_S18	プリミティブ : 16K-bit Data and 2K-bit Parity Synchronous Dual Port Block RAM with 18-bit Ports
RAMB16BWE_S18_S9	プリミティブ : 16K-bit Data and 2K-bit Parity Synchronous Dual Port Block RAM with 18-bit and 9-bit Ports
RAMB16BWE_S36	プリミティブ : 16K-bit Data and 2K-bit Parity Synchronous Single Port Block RAM with 36-bit Port
RAMB16BWE_S36_S18	プリミティブ : 16K-bit Data and 2K-bit Parity Synchronous Dual Port Block RAM with 36-bit and 18-bit Ports
RAMB16BWE_S36_S36	プリミティブ : 16K-bit Data and 2K-bit Parity Synchronous Dual Port Block RAM with 36-bit Ports
RAMB16BWE_S36_S9	プリミティブ : 16K-bit Data and 2K-bit Parity Synchronous Dual Port Block RAM with 36-bit and 9-bit Ports
RAMB16BWER	プリミティブ : 16K-bit Data and 2K-bit Parity Configurable Synchronous Dual Port Block RAM with Optional Output Registers
ROM128X1	プリミティブ : 128-Deep by 1-Wide ROM
ROM16X1	プリミティブ : 16-Deep by 1-Wide ROM
ROM256X1	プリミティブ : 256-Deep by 1-Wide ROM
ROM32X1	プリミティブ : 32-Deep by 1-Wide ROM
ROM64X1	プリミティブ : 64-Deep by 1-Wide ROM

マルチプレクサ

デザイン エLEMENT	説明
M16_1E	マクロ : 16-to-1 Multiplexer with Enable
M2_1	マクロ : 2-to-1 Multiplexer
M2_1B1	マクロ : 2-to-1 Multiplexer with D0 Inverted
M2_1B2	マクロ : 2-to-1 Multiplexer with D0 and D1 Inverted
M2_1E	マクロ : 2-to-1 Multiplexer with Enable
M4_1E	マクロ : 4-to-1 Multiplexer with Enable
M8_1E	マクロ : 8-to-1 Multiplexer with Enable
MUXF5	プリミティブ : 2-to-1 Look-Up Table Multiplexer with General Output
MUXF5_D	プリミティブ : 2-to-1 Look-Up Table Multiplexer with Dual Output
MUXF5_L	プリミティブ : 2-to-1 Look-Up Table Multiplexer with Local Output
MUXF6	プリミティブ : 2-to-1 Look-Up Table Multiplexer with General Output
MUXF6_D	プリミティブ : 2-to-1 Look-Up Table Multiplexer with Dual Output
MUXF6_L	プリミティブ : 2-to-1 Look-Up Table Multiplexer with Local Output
MUXF7	プリミティブ : 2-to-1 Look-Up Table Multiplexer with General Output
MUXF7_D	プリミティブ : 2-to-1 Look-Up Table Multiplexer with Dual Output
MUXF7_L	プリミティブ : 2-to-1 look-up table Multiplexer with Local Output
MUXF8	プリミティブ : 2-to-1 Look-Up Table Multiplexer with General Output
MUXF8_D	プリミティブ : 2-to-1 Look-Up Table Multiplexer with Dual Output
MUXF8_L	プリミティブ : 2-to-1 Look-Up Table Multiplexer with Local Output

シフトレジスタ

デザイン エLEMENT	説明
SR16CE	マクロ : 16-Bit Serial-In Parallel-Out Shift Register with Clock Enable and Asynchronous Clear
SR16CLE	マクロ : 16-Bit Loadable Serial/Parallel-In Parallel-Out Shift Register with Clock Enable and Asynchronous Clear
SR16CLED	マクロ : 16-Bit Shift Register with Clock Enable and Asynchronous Clear
SR16RE	マクロ : 16-Bit Serial-In Parallel-Out Shift Register with Clock Enable and Synchronous Reset
SR16RLE	マクロ : 16-Bit Loadable Serial/Parallel-In Parallel-Out Shift Register with Clock Enable and Synchronous Reset
SR16RLED	マクロ : 16-Bit Shift Register with Clock Enable and Synchronous Reset
SR4CE	マクロ : 4-Bit Serial-In Parallel-Out Shift Register with Clock Enable and Asynchronous Clear
SR4CLE	マクロ : 4-Bit Loadable Serial/Parallel-In Parallel-Out Shift Register with Clock Enable and Asynchronous Clear
SR4CLED	マクロ : 4-Bit Shift Register with Clock Enable and Asynchronous Clear
SR4RE	マクロ : 4-Bit Serial-In Parallel-Out Shift Register with Clock Enable and Synchronous Reset
SR4RLE	マクロ : 4-Bit Loadable Serial/Parallel-In Parallel-Out Shift Register with Clock Enable and Synchronous Reset
SR4RLED	マクロ : 4-Bit Shift Register with Clock Enable and Synchronous Reset
SR8CE	マクロ : 8-Bit Serial-In Parallel-Out Shift Register with Clock Enable and Asynchronous Clear
SR8CLE	マクロ : 8-Bit Loadable Serial/Parallel-In Parallel-Out Shift Register with Clock Enable and Asynchronous Clear
SR8CLED	マクロ : 8-Bit Shift Register with Clock Enable and Asynchronous Clear
SR8RE	マクロ : 8-Bit Serial-In Parallel-Out Shift Register with Clock Enable and Synchronous Reset
SR8RLE	マクロ : 8-Bit Loadable Serial/Parallel-In Parallel-Out Shift Register with Clock Enable and Synchronous Reset
SR8RLED	マクロ : 8-Bit Shift Register with Clock Enable and Synchronous Reset
SRL16	プリミティブ : 16-Bit Shift Register Look-Up Table (LUT)
SRL16_1	プリミティブ : 16-Bit Shift Register Look-Up Table (LUT) with Negative-Edge Clock
SRL16E	プリミティブ : 16-Bit Shift Register Look-Up Table (LUT) with Clock Enable
SRL16E_1	プリミティブ : 16-Bit Shift Register Look-Up Table (LUT) with Negative-Edge Clock and Clock Enable
SRLC16	プリミティブ : 16-Bit Shift Register Look-Up Table (LUT) with Carry
SRLC16_1	プリミティブ : 16-Bit Shift Register Look-Up Table (LUT) with Carry and Negative-Edge Clock
SRLC16E	プリミティブ : 16-Bit Shift Register Look-Up Table (LUT) with Carry and Clock Enable
SRLC16E_1	プリミティブ : 16-Bit Shift Register Look-Up Table (LUT) with Carry, Negative-Edge Clock, and Clock Enable

シフタ

デザイン エLEMENT	説明
BRLSHFT4	マクロ : 4-Bit Barrel Shifter
BRLSHFT8	マクロ : 8-Bit Barrel Shifter

デザイン エLEMENT

このセクションでは、このアーキテクチャで利用できるデザイン エLEMENTについて説明します。デザイン エLEMENTは、アルファベット順に並べられています。

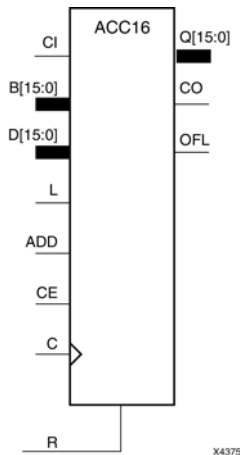
各ライブラリ エLEMENTについて、次の情報を示します。

- ・ 名称
- ・ 説明
- ・ 回路図シンボル (該当するELEMENTでのみ)
- ・ 論理表 (該当するELEMENTでのみ)
- ・ ポートの説明 (該当するELEMENTでのみ)
- ・ デザインの入力方法
- ・ 使用可能な属性 (該当するELEMENTでのみ)
- ・ その他のリソース

VHDL および Verilog のインスタンス化コードの例は、ISE ソフトウェア ([Edit] → [Language Templates]) またはこのアーキテクチャの HDL 用のライブラリ ガイドから入手できます。

ACC16

マクロ : 16-Bit Loadable Cascadable Accumulator with Carry-In, Carry-Out, and Synchronous Reset



概要

このデザイン エLEMENTは、16 ビット データレジスタの値に対して 16 ビットの符号なし 2 進数または 2 の補数ワードを加算または減算して、その結果をレジスタに保存します。レジスタには、16 ビットワードでロードできます。

ロード入力 (L) が High になると、CE が無視され、クロック (C) が Low から High に切り替わる時に D 入力の値がレジスタにロードされます。ACC16 では、入力 D15 ~ D0 の値が 16 ビットレジスタにロードされます。

このデザイン エLEMENTは、16 ビットの符号なし 2 進数または 16 ビットの 2 の補数を処理します。符号なし 2 進数が入力されると、符号なし 2 進数が出力されます。2 の補数が入力されると、2 の補数が出力されます。この 2 つの唯一の機能的な違いは、オーバーフローの認識方法にあり、オーバーフローの発生を認識するのに符号なし 2 進数ではキャリー出力 (CO) が使用され、2 の補数では OFL が使用されます。

- ・ 符号なし 2 進演算の場合、0 ~ 15 までの数を表現できます。加算モードでは、加算結果が加減算器の範囲を超えると CO がアクティブ (High) になります。減算モードでは、減算器の範囲を超えると CO がアクティブ Low のボロアウトで、Low になります。CO は、データ出力と同時にレジスタに出力されません。CO には、入力 B15 ~ B0 入力の値の加算値が常に出力されます。このため、各 ACC16 の CO を次の段の CI に接続してカスケード接続できます。符号なし 2 進数のオーバーフローは、常にアクティブ High で、ADD と CO を次のようにゲート接続すると発生させることができます。

符号なしオーバーフロー = CO XOR ADD

符号なし 2 進演算では、OFL は無視されます。

- ・ 2 の補数演算の場合、-8 ~ +7 までの数を表現できます。加算または減算の結果がこの範囲を超えると、OFL 出力が High になります。オーバーフロー (OFL) は、データ出力と同時にレジスタに出力されません。OFL には、B 入力 (B15 ~ B0) とレジスタの値の合計が常に出力されます。このため、各 ACC4 の OFL を次の段の CI に接続してカスケード接続できます。

2 の補数演算では、CO は無視されます。

同期リセット (R) は、ほかのすべての入力よりも優先され、R が High になると、クロック (C) が Low から High に切り替わる時に出力が 0 になります。クロック イネーブル (CE) が Low の場合は、C の遷移は無視されます。

電力を供給すると、このデザイン エLEMENTは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバータを追加するとアクティブ Low にできます。

論理表

入力						出力
R	L	CE	ADD	D	C	Q
1	x	x	x	x	↑	0
0	1	x	x	D _n	↑	D _n
0	0	1	1	x	↑	Q ₀ + B _n + CI
0	0	1	0	x	↑	Q ₀ - B _n - CI
0	0	0	x	x	↑	変化なし
Q ₀ : Q の以前の値 B _n : データ入力 B の値 CI : 入力 CI の値						

デザインの入力方法

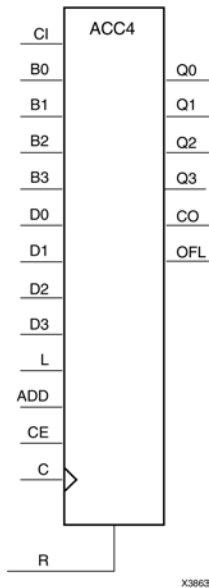
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

ACC4

マクロ : 4-Bit Loadable Cascadable Accumulator with Carry-In, Carry-Out, and Synchronous Reset



概要

このデザイン エLEMENTは、4 ビット データレジスタの値に対して 4 ビットの符号なし 2 進数または 2 の補数ワードを加算または減算して、その結果をレジスタに保存します。レジスタには、4 ビット ワードでロードできます。

ロード入力 (L) が High になると、CE が無視され、クロック (C) が Low から High に切り替わる時に D 入力の値がレジスタにロードされます。ACC4 では、入力 D3 ~ D0 の値が 4 ビットレジスタにロードされます。

このデザイン エLEMENTは、4 ビットの符号なし 2 進数または 4 ビットの 2 の補数を処理します。符号なし 2 進数が入力されると、符号なし 2 進数が出力されます。2 の補数が入力されると、2 の補数が出力されます。この 2 つの唯一の機能的な違いは、オーバーフローの認識方法にあり、オーバーフローの発生を認識するのに符号なし 2 進数ではキャリー出力 (CO) が使用され、2 の補数では OFL が使用されます。

- ・ 符号なし 2 進演算の場合、0 ~ 15 までの数を表現できます。加算モードでは、加算結果が加減算器の範囲を超えると CO がアクティブ (High) になります。減算モードでは、減算器の範囲を超えると CO がアクティブ Low のボローアウトで、Low になります。CO は、データ出力と同時にレジスタに出力されません。CO には、入力 B3 ~ B0 入力の値の加算値が常に出力されます。このため、各 ACC4 の CO を次の段の CI に接続してカスケード接続できます。符号なし 2 進数のオーバーフローは、常にアクティブ High で、ADD と CO を次のようにゲート接続すると発生させることができます。

符号なしオーバーフロー = CO XOR ADD

符号なし 2 進演算では、OFL は無視されます。

- ・ 2 の補数演算の場合、-8 ~ +7 までの数を表現できます。加算または減算の結果がこの範囲を超えると、OFL 出力が High になります。オーバーフロー (OFL) は、データ出力と同時にレジスタに出力されません。OFL には、B 入力 (B3 ~ B0) とレジスタの値の合計が常に出力されます。このため、各 ACC4 の OFL を次の段の CI に接続してカスケード接続できます。

2 の補数演算では、CO は無視されます。

同期リセット (R) は、ほかのすべての入力よりも優先され、R が High になると、クロック (C) が Low から High に切り替わる時に出力が 0 になります。クロック イネーブル (CE) が Low の場合は、C の遷移は無視されます。

電力を供給すると、このデザイン エLEMENTは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバータを追加するとアクティブ Low にできます。

論理表

入力						出力
R	L	CE	ADD	D	C	Q
1	x	x	x	x	↑	0
0	1	x	x	Dn	↑	Dn
0	0	1	1	x	↑	$Q0 + Bn + CI$
0	0	1	0	x	↑	$Q0 - Bn - CI$
0	0	0	x	x	↑	変化なし
Q0 : Q の以前の値 Bn : データ入力 B の値 CI : 入力 CI の値						

デザインの入力方法

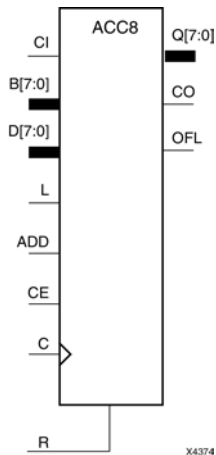
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

ACC8

マクロ : 8-Bit Loadable Cascadable Accumulator with Carry-In, Carry-Out, and Synchronous Reset



概要

このデザイン エLEMENTは、8 ビット データレジスタの値に対して 8 ビットの符号なし 2 進数または 2 の補数ワードを加算または減算して、その結果をレジスタに保存します。レジスタには、8 ビット ワードでロードできます。

ロード入力 (L) が High になると、CE が無視され、クロック (C) が Low から High に切り替わる時に D 入力の値がレジスタにロードされます。ACC8 では、入力 D7 ~ D0 の値が 8 ビットレジスタにロードされます。

このデザイン エLEMENTは、8 ビットの符号なし 2 進数または 8 ビットの 2 の補数を処理します。符号なし 2 進数が入力されると、符号なし 2 進数が出力されます。2 の補数が入力されると、2 の補数が出力されます。この 2 つの唯一の機能的な違いは、オーバーフローの認識方法にあり、オーバーフローの発生を認識するのに符号なし 2 進数ではキャリー出力 (CO) が使用され、2 の補数では OFL が使用されます。

- ・ 符号なし 2 進演算の場合、0 ~ 255 までの数を表現できます。加算モードでは、加算結果が加減算器の範囲を超えると CO がアクティブ (High) になります。減算モードでは、減算器の範囲を超えると CO がアクティブ Low のボローアウトで、Low になります。CO は、データ出力と同時にレジスタに出力されません。CO には、入力 B3 ~ B0 入力の値の加算値が常に出力されます。このため、各 ACC8 の CO を次の段の CI に接続してカスケード接続できます。符号なし 2 進数のオーバーフローは、常にアクティブ High で、ADD と CO を次のようにゲート接続すると発生させることができます。

符号なしオーバーフロー = CO XOR ADD

符号なし 2 進演算では、OFL は無視されます。

- ・ 2 の補数演算の場合、-128 ~ +127 までの数を表現できます。加算または減算の結果がこの範囲を超えると、OFL 出力が High になります。オーバーフロー (OFL) は、データ出力と同時にレジスタに出力されません。OFL には、B 入力 (B3 ~ B0) とレジスタの値の合計が常に出力されます。このため、各 ACC8 の OFL を次の段の CI に接続してカスケード接続できます。

2 の補数演算では、CO は無視されます。

同期リセット (R) は、ほかのすべての入力よりも優先され、R が High になると、クロック (C) が Low から High に切り替わる時に出力が 0 になります。クロック イネーブル (CE) が Low の場合は、C の遷移は無視されます。

電力を供給すると、このデザイン エLEMENTは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバータを追加するとアクティブ Low にできます。

論理表

入力						出力
R	L	CE	ADD	D	C	Q
1	x	x	x	x	↑	0
0	1	x	x	D _n	↑	D _n
0	0	1	1	x	↑	Q0 + B _n + CI
0	0	1	0	x	↑	Q0 - B _n - CI
0	0	0	x	x	↑	変化なし
Q0 : Q の以前の値 B _n : データ入力 B の値 CI : 入力 CI の値						

デザインの入力方法

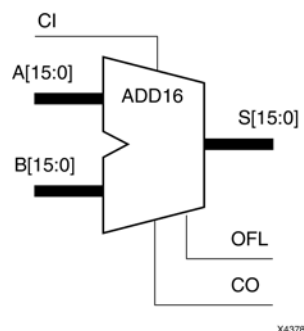
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

ADD16

マクロ : 16-Bit Cascadable Full Adder with Carry-In, Carry-Out, and Overflow



概要

このエレメントは、2 つのワードとキャリー入力 (CI) を加算して、その和とキャリー出力 (CO) またはオーバーフロー (OFL) を出力します。A15 ~ A0、B15 ~ B0、および CI が加算され、その和 S15 ~ S0 および CO (または OFL) が出力されます。

論理表

入力		出力
A	B	S
A _n	B _n	A _n + B _n + CI
CI : 入力 CI の値		

符号なし 2 進数と 2 の補数

このデザイン エLEMENT は、16 ビットの符号なし 2 進数または 16 ビットの 2 の補数を処理できます。符号なし 2 進数が入力されると、符号なし 2 進数が出力されます。2 の補数が入力されると、2 の補数が出力されます。この 2 つの唯一の機能的な違いは、オーバーフローの認識方法にあり、オーバーフローの発生を認識するのに符号なし 2 進数では CO が使用され、2 の補数では OFL が使用されます。したがって、符号なし 2 進数が入力された場合は CO 出力を確認し、2 の補数が入力された場合は OFL 出力を確認します。

符号なし 2 進演算

符号なし 2 進演算の場合、0 ~ 65535 までの数を表現できます。符号なし 2 進演算では、OFL は無視されます。

2 の補数演算

2 の補数演算の場合、-32768 から +32767 までの数を表現できます。合計値が加算器の範囲を超えると、OFL がアクティブ (High) になります。2 の補数演算では、CO は無視されます。

デザインの入力方法

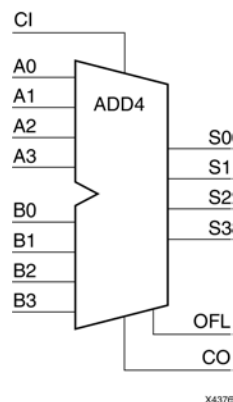
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

ADD4

マクロ : 4-Bit Cascadable Full Adder with Carry-In, Carry-Out, and Overflow



概要

このエレメントは、2 つのワードとキャリー入力 (CI) を加算して、その和とキャリー出力 (CO) またはオーバーフロー (OFL) を出力します。A3 ~ A0、B3 ~ B0、および CI が加算され、その和 S3 ~ S0 および CO (または OFL) が出力されます。

論理表

入力		出力
A	B	S
A _n	B _n	A _n + B _n + CI
CI : 入力 CI の値		

符号なし 2 進数と 2 の補数

このデザイン エLEMENT は、4 ビットの符号なし 2 進数または 4 ビットの 2 の補数を処理できます。符号なし 2 進数が入力されると、符号なし 2 進数が出力されます。2 の補数が入力されると、2 の補数が出力されます。この 2 つの唯一の機能的な違いは、オーバーフローの認識方法にあり、オーバーフローの発生を認識するのに符号なし 2 進数では CO が使用され、2 の補数では OFL が使用されます。したがって、符号なし 2 進数が入力された場合は CO 出力を確認し、2 の補数が入力された場合は OFL 出力を確認します。

符号なし 2 進演算

符号なし 2 進演算の場合、0 ~ 15 までの数を表現できます。符号なし 2 進演算では、OFL は無視されます。

2 の補数演算

2 の補数演算の場合、-8 から +7 までの数を表現できます。合計値が加算器の範囲を超えると、OFL がアクティブ (High) になります。2 の補数演算では、CO は無視されます。

デザインの入力方法

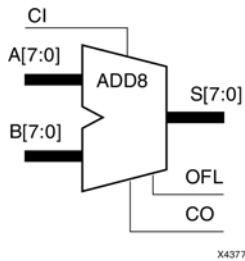
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

ADD8

マクロ : 8-Bit Cascadable Full Adder with Carry-In, Carry-Out, and Overflow



概要

このエレメントは、2 つのワードとキャリー入力 (CI) を加算して、その和とキャリー出力 (CO) またはオーバーフロー (OFL) を出力します。A7 ~ A0、B7 ~ B0、および CI が加算され、その和 S7 ~ S0 および CO (または OFL) が出力されます。

論理表

入力		出力
A	B	S
A _n	B _n	A _n + B _n + CI
CI : 入力 CI の値		

符号なし 2 進数と 2 の補数

このデザイン エLEMENT は、8 ビットの符号なし 2 進数または 8 ビットの 2 の補数を処理できます。符号なし 2 進数が入力されると、符号なし 2 進数が出力されます。2 の補数が入力されると、2 の補数が出力されます。この 2 つの唯一の機能的な違いは、オーバーフローの認識方法にあり、オーバーフローの発生を認識するのに符号なし 2 進数では CO が使用され、2 の補数では OFL が使用されます。したがって、符号なし 2 進数が入力された場合は CO 出力を確認し、2 の補数が入力された場合は OFL 出力を確認します。

符号なし 2 進演算

符号なし 2 進演算の場合、0 ~ 255 までの数を表現できます。符号なし 2 進演算では、OFL は無視されます。

2 の補数演算

2 の補数演算の場合、-128 から +127 までの数を表現できます。合計値が加算器の範囲を超えると、OFL がアクティブ (High) になります。2 の補数演算では、CO は無視されます。

デザインの入力方法

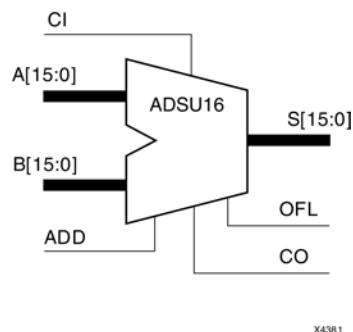
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

ADSU16

マクロ : 16-Bit Cascadable Adder/Subtractor with Carry-In, Carry-Out, and Overflow



概要

ADD が High の場合、2 つの 16 ビットワード (A15 ~ A0 と B15 ~ B0) とキャリー入力 (CI) を加算し、16 ビットの和 (S15 ~ S0) とキャリー出力 (CO) (またはオーバーフロー (OFL)) を出力します。

ADD 入力 が Low の場合、A15 ~ A0 から B15 ~ B0 を減算し、その差とキャリー出力 (CO) またはオーバーフロー (OFL) を出力します。

加算モードでは、CO と CI はアクティブ High になります。減算モードでは、CO と CI はアクティブ Low になります。OFL は、モードにかかわらず常にアクティブ High です。

論理表

入力			出力
ADD	A	B	S
1	A _n	B _n	A _n +B _n +CI*
0	A _n	B _n	A _n -B _n -CI*
CI* : ADD = 0、CI、CO アクティブ Low			
CI* : ADD = 1、CI、CO アクティブ High			

符号なし 2 進数と 2 の補数

このデザイン エLEMENT は、16 ビットの符号なし 2 進数または 16 ビットの 2 の補数を処理できます。符号なし 2 進数が入力されると、符号なし 2 進数が出力されます。2 の補数が入力されると、2 の補数が出力されます。この 2 つの唯一の機能的な違いは、オーバーフローの認識方法にあり、オーバーフローの発生を認識するのに符号なし 2 進数では CO が使用され、2 の補数では OFL が使用されます。

加減算器では、符号なし 2 進演算でも 2 の補数演算でもオーバーフローが発生します。演算結果がオーバーフローになる場合、オーバーフローが生成されます。同様に、演算結果が桁上がりする場合、キャリー出力が生成されます。

符号なし 2 進演算

符号なし 2 進演算の場合、0 ～ 65535 までの数を表現できます。加算モードでは、加算結果が加減算器の範囲を超えると CO がアクティブ (High) になります。減算モードでは、減算器の範囲を超えると CO がアクティブ Low のボローアウトで、Low になります。

符号なし 2 進数のオーバーフローは、常にアクティブ High で、ADD と CO を次のようにゲート接続すると発生させることができます。

符号なしオーバーフロー = CO XOR ADD

符号なし 2 進演算では、OFL は無視されます。

2 の補数演算

2 の補数演算の場合、-32768 から +32767 までの数を表現できます。

加算または減算の結果がこの範囲を超えると、OFL 出力が High になります。2 の補数演算では、CO は無視されます。

デザインの入力方法

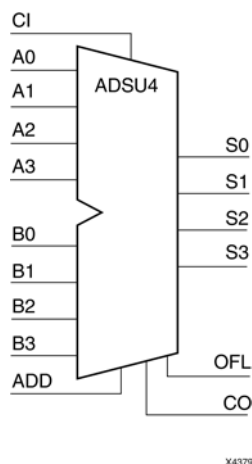
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

ADSU4

マクロ : 4-Bit Cascadable Adder/Subtractor with Carry-In, Carry-Out, and Overflow



概要

ADD が High の場合、2 つの 4 ビットワード (A3 ~ A0 と B3 ~ B0) とキャリー入力 (CI) を加算し、4 ビットの和 (S3 ~ S0) とキャリー出力 (CO) (またはオーバーフロー (OFL)) を出力します。

ADD 入力が Low の場合、A3 ~ A0 から B3 ~ B0 を減算し、4 ビットの差 (S3 ~ S0) とキャリー出力 (CO) またはオーバーフロー (OFL) を出力します。

加算モードでは、CO と CI はアクティブ High になります。減算モードでは、CO と CI はアクティブ Low になります。OFL は、モードにかかわらず常にアクティブ High です。

論理表

入力			出力
ADD	A	B	S
1	A _n	B _n	A _n + B _n + CI*
0	A _n	B _n	A _n - B _n - CI*
CI* : ADD = 0、CI、CO アクティブ Low			
CI* : ADD = 1、CI、CO アクティブ High			

符号なし 2 進数と 2 の補数

このデザイン エLEMENT は、4 ビットの符号なし 2 進数または 4 ビットの 2 の補数を処理できます。符号なし 2 進数が入力されると、符号なし 2 進数が出力されます。2 の補数が入力されると、2 の補数が出力されます。この 2 つの唯一の機能的な違いは、オーバーフローの認識方法にあり、オーバーフローの発生を認識するのに符号なし 2 進数では CO が使用され、2 の補数では OFL が使用されます。

加減算器では、符号なし 2 進演算でも 2 の補数演算でもオーバーフローが発生します。演算結果がオーバーフローになる場合、オーバーフローが生成されます。同様に、演算結果が桁上がりする場合、キャリー出力が生成されます。

符号なし 2 進演算

符号なし 2 進演算の場合、0 ~ 15 までの数を表現できます。加算モードでは、加算結果が加減算器の範囲を超えると CO がアクティブ (High) になります。減算モードでは、減算器の範囲を超えると CO がアクティブ Low のボローアウトで、Low になります。

符号なし 2 進数のオーバーフローは、常にアクティブ High で、ADD と CO を次のようにゲート接続すると発生させることができます。

符号なしオーバーフロー = CO XOR ADD

符号なし 2 進演算では、OFL は無視されます。

2 の補数演算

2 の補数演算の場合、-8 から +7 までの数を表現できます。

加算または減算の結果がこの範囲を超えると、OFL 出力が High になります。2 の補数演算では、CO は無視されます。

デザインの入力方法

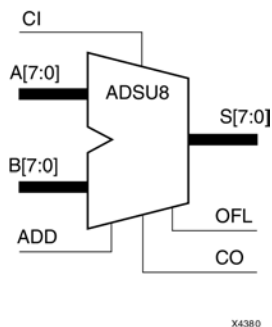
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

ADSU8

マクロ : 8-Bit Cascadable Adder/Subtractor with Carry-In, Carry-Out, and Overflow



X4380

概要

ADD が High の場合、2 つの 8 ビットワード (A7 ~ A0 と B7 ~ B0) とキャリー入力 (CI) を加算し、8 ビットの和 (S7 ~ S0) とキャリー出力 (CO) (またはオーバーフロー (OFL)) を出力します。

ADD 入力が Low の場合、A7 ~ A0 から B7 ~ B0 を減算し、8 ビットの差 (S7 ~ S0) とキャリー出力 (CO) またはオーバーフロー (OFL) を出力します。

加算モードでは、CO と CI はアクティブ High になります。減算モードでは、CO と CI はアクティブ Low になります。OFL は、モードにかかわらず常にアクティブ High です。

論理表

入力			出力
ADD	A	B	S
1	A _n	B _n	A _n + B _n + CI*
0	A _n	B _n	A _n - B _n - CI*
CI* : ADD = 0、CI、CO アクティブ Low			
CI* : ADD = 1、CI、CO アクティブ High			

符号なし 2 進数と 2 の補数

このデザイン エLEMENT は、8 ビットの符号なし 2 進数または 8 ビットの 2 の補数を処理できます。符号なし 2 進数が入力されると、符号なし 2 進数が出力されます。2 の補数が入力されると、2 の補数が出力されます。この 2 つの唯一の機能的な違いは、オーバーフローの認識方法にあり、オーバーフローの発生を認識するのに符号なし 2 進数では CO が使用され、2 の補数では OFL が使用されます。

加減算器では、符号なし 2 進演算でも 2 の補数演算でもオーバーフローが発生します。演算結果がオーバーフローになる場合、オーバーフローが生成されます。同様に、演算結果が桁上がりする場合、キャリー出力が生成されます。

符号なし 2 進演算

符号なし 2 進演算の場合、0 ~ 255 までの数を表現できます。加算モードでは、加算結果が加減算器の範囲を超えると CO がアクティブ (High) になります。減算モードでは、減算器の範囲を超えると CO がアクティブ Low のボローアウトで、Low になります。

符号なし 2 進数のオーバーフローは、常にアクティブ High で、ADD と CO を次のようにゲート接続すると発生させることができます。

符号なしオーバーフロー = CO XOR ADD

符号なし 2 進演算では、OFL は無視されます。

2 の補数演算

2 の補数演算の場合、-128 から +127 までの数を表現できます。

加算または減算の結果がこの範囲を超えると、OFL 出力が High になります。2 の補数演算では、CO は無視されます。

デザインの入力方法

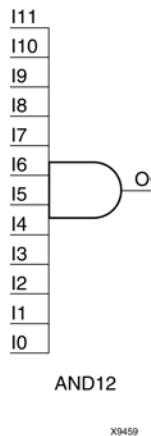
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

AND12

マクロ : 12- Input AND Gate with Non-Inverted Inputs



概要

5 入力までの AND ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の AND ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転させるには、外部インバータを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

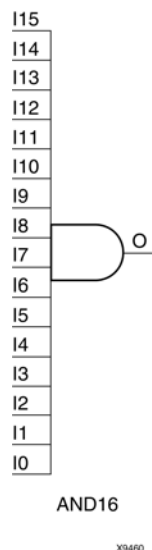
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

AND16

マクロ : 16- Input AND Gate with Non-Inverted Inputs



概要

5 入力までの AND ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の AND ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転させるには、外部インバータを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

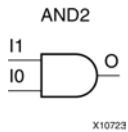
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)

AND2

プリミティブ : 2-Input AND Gate with Non-Inverted Inputs



概要

5 入力までの AND ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の AND ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転させるには、外部インバータを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

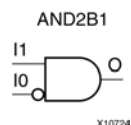
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

AND2B1

プリミティブ : 2-Input AND Gate with 1 Inverted and 1 Non-Inverted Inputs



概要

5 入力までの AND ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の AND ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転させるには、外部インバータを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

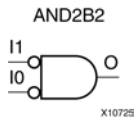
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)

AND2B2

プリミティブ : 2-Input AND Gate with Inverted Inputs



概要

5 入力までの AND ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の AND ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転させるには、外部インバータを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

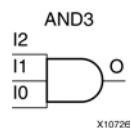
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

AND3

プリミティブ : 3-Input AND Gate with Non-Inverted Inputs



概要

5 入力までの AND ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の AND ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転させるには、外部インバータを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

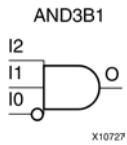
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)

AND3B1

プリミティブ : 3-Input AND Gate with 1 Inverted and 2 Non-Inverted Inputs



概要

5 入力までの AND ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の AND ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転させるには、外部インバータを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

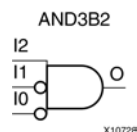
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)

AND3B2

プリミティブ : 3-Input AND Gate with 2 Inverted and 1 Non-Inverted Inputs



概要

5 入力までの AND ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の AND ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転させるには、外部インバータを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

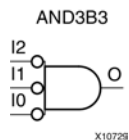
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

AND3B3

プリミティブ : 3-Input AND Gate with Inverted Inputs



概要

5 入力までの AND ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の AND ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転させるには、外部インバータを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

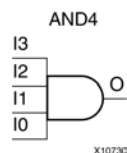
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)

AND4

プリミティブ : 4-Input AND Gate with Non-Inverted Inputs



概要

5 入力までの AND ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の AND ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転させるには、外部インバータを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

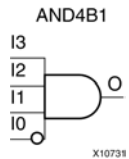
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

AND4B1

プリミティブ : 4-Input AND Gate with 1 Inverted and 3 Non-Inverted Inputs



概要

5 入力までの AND ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の AND ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転させるには、外部インバータを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

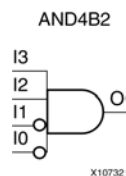
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)

AND4B2

プリミティブ : 4-Input AND Gate with 2 Inverted and 2 Non-Inverted Inputs



概要

5 入力までの AND ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の AND ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転させるには、外部インバータを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

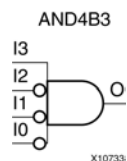
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)

AND4B3

プリミティブ : 4-Input AND Gate with 3 Inverted and 1 Non-Inverted Inputs



概要

5 入力までの AND ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の AND ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転させるには、外部インバータを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

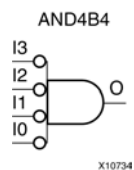
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)

AND4B4

プリミティブ : 4-Input AND Gate with Inverted Inputs



概要

5 入力までの AND ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の AND ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転させるには、外部インバータを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

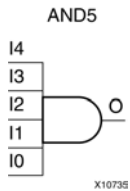
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

AND5

プリミティブ : 5-Input AND Gate with Non-Inverted Inputs



概要

5 入力までの AND ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の AND ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転させるには、外部インバータを使用します。各入力に CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

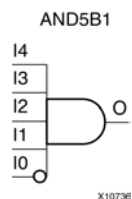
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

AND5B1

プリミティブ : 5-Input AND Gate with 1 Inverted and 4 Non-Inverted Inputs



概要

5 入力までの AND ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の AND ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転させるには、外部インバータを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

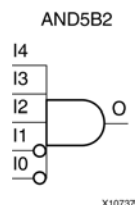
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

AND5B2

プリミティブ : 5-Input AND Gate with 2 Inverted and 3 Non-Inverted Inputs



概要

5 入力までの AND ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の AND ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転させるには、外部インバータを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

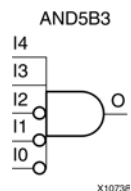
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)

AND5B3

プリミティブ : 5-Input AND Gate with 3 Inverted and 2 Non-Inverted Inputs



概要

5 入力までの AND ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の AND ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転させるには、外部インバータを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

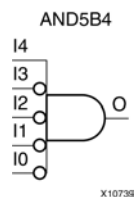
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

AND5B4

プリミティブ : 5-Input AND Gate with 4 Inverted and 1 Non-Inverted Inputs



概要

5 入力までの AND ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の AND ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転させるには、外部インバータを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

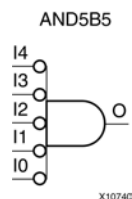
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

AND5B5

プリミティブ : 5-Input AND Gate with Inverted Inputs



概要

5 入力までの AND ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の AND ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転させるには、外部インバータを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

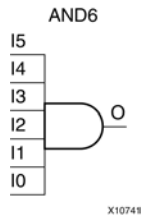
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

AND6

マクロ : 6-Input AND Gate with Non-Inverted Inputs



概要

5 入力までの AND ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の AND ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転させるには、外部インバータを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

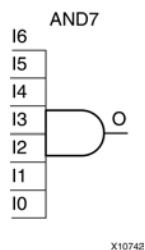
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)

AND7

マクロ : 7-Input AND Gate with Non-Inverted Inputs



概要

5 入力までの AND ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の AND ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転させるには、外部インバータを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

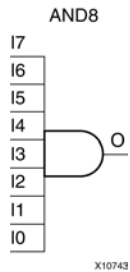
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

AND8

マクロ : 8-Input AND Gate with Non-Inverted Inputs



概要

5 入力までの AND ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の AND ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転させるには、外部インバータを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

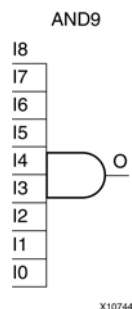
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

AND9

マクロ : 9-Input AND Gate with Non-Inverted Inputs



概要

5 入力までの AND ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の AND ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転させるには、外部インバータを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

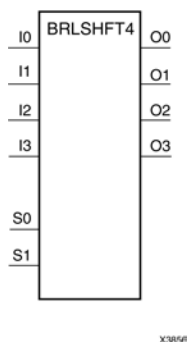
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

BRLSHFT4

マクロ : 4-Bit Barrel Shifter



概要

このデザイン エLEMENTは 4 ビットのバレル シフタで、4 つの入力 (I3 ~ I0) を 4 回までローテーションできます。制御入力 (S1 と S0) は、データをローテーションする回数 (1 ~ 4) を指定します。4 つの出力 (O3 ~ O0) には、ローテーションされたデータ入力が出力されます。

論理表

入力						出力			
S1	S0	I0	I1	I2	I3	O0	O1	O2	O3
0	0	a	b	c	d	a	b	c	d
0	1	a	b	c	d	b	c	d	a
1	0	a	b	c	d	c	d	a	b
1	1	a	b	c	d	d	a	b	c

デザインの入力方法

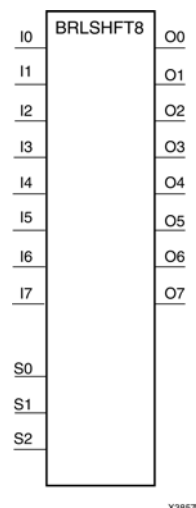
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

BRLSHFT8

マクロ : 8-Bit Barrel Shifter



概要

このデザイン エLEMENTは、8 ビットのバレル シフタで、8 つの入力 (I7 ~ I0) を 8 回までローテーションできます。制御入力 (S2 ~ S0) は、データをローテーションする回数 (1 ~ 8) を指定します。8 つの出力 (O7 ~ O0) には、ローテーションされたデータ入力が出力されます。

論理表

入力											出力							
S2	S1	S0	I0	I1	I2	I3	I4	I5	I6	I7	O0	O1	O2	O3	O4	O5	O6	O7
0	0	0	a	b	c	d	e	f	g	h	a	b	c	d	e	f	g	h
0	0	1	a	b	c	d	e	f	g	h	b	c	d	e	f	g	h	a
0	1	0	a	b	c	d	e	f	g	h	c	d	e	f	g	h	a	b
0	1	1	a	b	c	d	e	f	g	h	d	e	f	g	h	a	b	c
1	0	0	a	b	c	d	e	f	g	h	e	f	g	h	a	b	c	d
1	0	1	a	b	c	d	e	f	g	h	f	g	h	a	b	c	d	e
1	1	0	a	b	c	d	e	f	g	h	g	h	a	b	c	d	e	f
1	1	1	a	b	c	d	e	f	g	h	h	a	b	c	d	e	f	g

デザインの入力方法

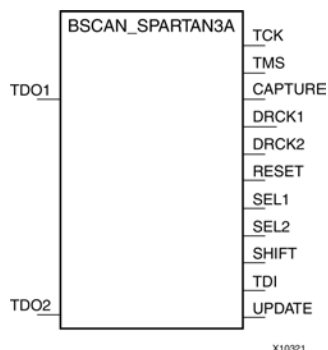
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

BSCAN_SPARTAN3A

プリミティブ : Spartan®-3A JTAG Boundary Scan Logic Access Circuit



概要

このデザイン エレメントを使用すると、JTAG バウンダリ スキャン ロジック コントローラを介して内部ロジックへアクセスできるので、内部実行デザインと FPGA の専用 JTAG ピン間の通信を可能にします。

メモ : 各アーキテクチャのバウンダリ スキャンの詳細については、データシートを参照してください。

ポートの説明

ポート名	方向	幅	機能
TDI	出力	1	FPGA の TDI 入力ピンと同じ値を出力します。
DRCK1、DRK2	出力	1	JTAG USER 命令が読み込まれるとアクティブになり、JTAG TAP コントローラが SHIFT-DR ステートになると TCK ピンと同じ値を出力します。DRK1 は USER1 ロジックに適用され、DRK2 は USER2 に適用されます。
RESET	出力	1	USER 命令が読み込まれるとアクティブになり、JTAG TAP コントローラが TEST-LOGIC-RESET ステートになると High にアサートされます。
SEL1、SEL2	出力	1	JTAG 命令レジスタに USER1 または USER2 命令が読み込まれたことを示します。UPDATE-IR ステートになるとアクティブになり、新しい命令が読み込まれるまでアクティブのままになります。
SHIFT	出力	1	USER 命令が読み込まれるとアクティブになり、JTAG TAP コントローラが SHIFT-DR ステートになると High にアサートされます。
CAPTURE	出力	1	USER 命令が読み込まれるとアクティブになり、JTAG TAP コントローラが CAPTURE-DR ステートになると High にアサートされます。
UPDATE	出力	1	USER 命令が読み込まれるとアクティブになり、JTAG TAP コントローラが UPDATE-DR ステートになると High にアサートされます。
TCK	出力	1	
TMS	出力	1	
TDO1、TDO2	入力	1	USER1 または USER2 命令が読み込まれるとアクティブになり、外部 JTAG TDO ピンにコンポーネントの TDO1 (USER1) または TDO2 (USER2) ピンへのデータ入力の値が反映されます。

デザインの入力方法

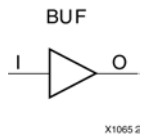
このエレメントは、回路図で使用されます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)

BUF

プリミティブ : General Purpose Buffer



概要

このデザイン エLEMENTは、汎用の非反転バッファです。

このELEMENTは不要なので、MAP によって削除されます。

デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

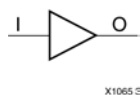
詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

BUFCF

プリミティブ : Fast Connect Buffer

BUFCF



概要

このデザイン エLEMENTは、一部の専用ロジックと LUT の出力を別の LUT の入力に直接接続するために使用する、単一の高速結合バッファです。このバッファを使用すると、CLB パックも行われます。LUT は、4 つまで 1 つのグループとして接続できます。

デザインの入力方法

このELEMENTは、回路図で使用されます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

BUFG

プリミティブ : Global Clock Buffer

BUFG



X1065.4

概要

このデザイン エLEMENTは、ファンアウトが大きいバッファで、スキューを抑えて信号を分散するために、グローバル配線リソースへの信号に接続します。BUFG は通常クロック ネットで使用されます。

ポートの説明

ポート名	タイプ	幅	機能
I	入力	1	クロック バッファ出力
O	出力	1	クロック バッファ入力

デザインの入力方法

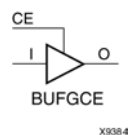
このELEMENTは、回路図で使用されます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

BUFGCE

プリミティブ : Global Clock Buffer with Clock Enable



概要

このデザイン エレメントは、クロック イネーブル付きグローバル クロック バッファです。O 出力は、クロック イネーブル (CE) が Low (非アクティブ) のときに 0 になります。CE が High になると、I 入力の値が O に出力されます。

論理表

入力		出力
I	CE	O
X	0	0
I	1	I

デザインの入力方法

このエレメントは、回路図で使用されます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)

BUFGCE_1

プリミティブ : Global Clock Buffer with Clock Enable and Output State 1



概要

このデザイン エLEMENTは、クロック イネーブル付きグローバル クロック バッファです。O 出力は、クロック イネーブル (CE) が Low (非アクティブ) のときに High (1) になります。CE が High になると、I 入力の値が O に出力されます。

論理表

入力		出力
I	CE	O
X	0	1
I	1	I

デザインの入力方法

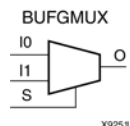
このELEMENTは、回路図で使用されます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

BUFGMUX

プリミティブ : Global Clock MUX Buffer



概要

BUFGMUX はマルチプレクサの機能を持つグローバル クロック バッファで、2 つの入力クロック (I0 および I1) のいずれかを選択できます。セレクト入力 (S) が Low の場合、I0 の信号が出力 (O) に選択されます。S が High の場合は、I1 の信号が O に選択されます。

BUFGMUX および BUFGMUX_1 では、S の値が変化した後クロックが切り替わるまでに保持される出力ステートが異なります。BUFGMUX は出力ステートが 0 に、BUFGMUX_1 は出力ステートが 1 に保持されます。

メモ : BUFGMUX では、S がトグルされると、次のアクティブ クロック エッジ (I0 または I1) まで、出力のステートが非アクティブのまま保持されます。

論理表

入力			出力
I0	I1	S	O
I0	X	0	I0
X	I1	1	I1
X	X	↑	0
X	X	↓	0

ポートの説明

ポート名	タイプ	幅	機能
I0	入力	1	クロック 0 入力
I1	入力	1	クロック 1 入力
O	出力	1	クロック MUX 出力
S	入力	1	クロック セレクト入力

デザインの入力方法

このエレメントは、回路図で使用されます。

使用可能な属性

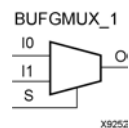
属性	タイプ	値	デフォルト	説明
CLK_SEL_TYPE	文字列	SYNC、ASYNC	SYNC	同期クロックまたは非同期クロックを指定します。
DISABLE_VALUE	文字列	HIGH、LOW	LOW	入力を切り替えるときに出力が想定するステートを指定します。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

BUFGMUX_1

プリミティブ : Global Clock MUX Buffer with Output State 1



概要

このデザイン エLEMENTは、マルチプレクサの機能を持つグローバル クロック バッファで、2 つの入力クロック (I0 および I1) のいずれかを選択できます。セレクト入力 (S) が Low の場合、I0 の信号が出力 (O) に選択されます。S が High の場合は、I1 の信号が O に選択されます。

このデザイン エLEMENTと BUFGMUX では、S の値が変化した後クロックが切り替わるまでに保持される出力ステートが異なります。BUFGMUX は出力ステートが 0 に、BUFGMUX_1 は出力ステートが 1 に保持されます。

論理表

入力			出力
I0	I1	S	O
I0	X	0	I0
X	I1	1	I1
X	X	↑	1
X	X	↓	1

デザインの入力方法

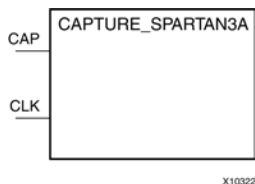
このELEMENTは、回路図で使用されます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

CAPTURE_SPARTAN3A

プリミティブ : Spartan®-3A Register State Capture for Bitstream Readback



概要

このデザイン エLEMENTは、レジスタ (フリップフロップとラッチ) 情報のキャプチャ方法およびそのタイミングを制御します。リードバック機能は、専用のコンフィギュレーション ポート命令により提供されます。このELEMENTを使用しない場合は、データはコンフィギュレーション クロックに同期してリードバックされます。レジスタ (フリップフロップとラッチ) の値のみをキャプチャできます。LUT RAM、SRL、ブロック RAM の値もリードバックされますが、キャプチャできません。

CAP 信号を High にアサートすると、次にクロックが Low から High に切り替わる時にデバイス内のレジスタがキャプチャされます。デフォルトでは、トリガ (CAP をアサートしているときの CLK の遷移) のたびにデータがキャプチャされます。リードバック処理を 1 回のデータ キャプチャだけに制限するには、このELEMENTに ONESHOT=TRUE 属性を追加します。

ポートの説明

ポート名	方向	幅	機能
CAP	入力	1	リードバック キャプチャトリガ
CLK	入力	1	リードバック キャプチャ クロック

デザインの入力方法

このELEMENTは、回路図で使用されます。

正しく動作するように、入力および出力をすべてデザインに接続します。

使用可能な属性

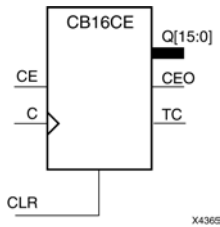
属性	タイプ	値	デフォルト	説明
ONESHOT	ブール代数	TRUE、FALSE	TRUE	CAPトリガごとに 1 回のリードバックを実行します。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

CB16CE

マクロ : 16-Bit Cascadable Binary Counter with Clock Enable and Asynchronous Clear



概要

このデザイン エLEMENTは、非同期クリア可能、カスケード可能なバイナリ カウンタです。非同期クリア (CLR) 入力が高になると、ほかのすべての入力は無視され、クロック (C) の遷移に関係なく、出力 (Q)、ターミナル カウンタ (TC)、およびクロック イネーブル出力 (CEO) が 0 になります。クロック イネーブル入力 (CE) が High の場合、クロック (C) が Low から High に切り替わるときに出力 (Q) がインクリメントされます。CE が Low の場合、クロック遷移は無視されます。すべての Q 出力が高になると、TC 出力が高になります。

1 段目の CEO 出力を次の段の CE 入力に接続し、C および CLR 入力を並列に接続すると、より大型のカウンタを作成できます。TC と CE が High になると、CEO がアクティブ (High) になります。カウンタの長さの最大値は、CE ピンと TC ピン間の伝搬遅延の合計とクロック周期の関係によって決定されます。クロック周期は、 $n(t_{CE-TC})$ より大きい必要があります。ここで、 n は段数、時間 t_{CE-TC} は各段での CE ピンと TC ピン間の伝搬遅延を表します。カウンタをカスケードする場合、CE 入力を使用するときは CEO 出力を、CE 入力を使用しないときは TC 出力を使用します。

電力を供給すると、カウンタは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバータを追加するとアクティブ Low にできます。

論理表

入力			出力		
CLR	CE	C	Q _z - Q ₀	TC	CEO
1	X	X	0	0	0
0	0	X	変化なし	変化なし	0
0	1	↑	インクリメント	TC	CEO
$z = \text{ビット幅} - 1$ $TC = Q_z \cdot Q(z-1) \cdot Q(z-2) \cdot \dots \cdot Q_0$ $CEO = TC \cdot CE$					

デザインの入力方法

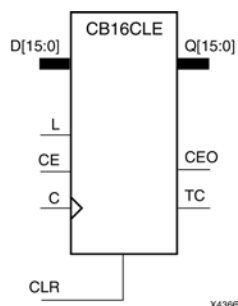
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

CB16CLE

マクロ : 16-Bit Loadable Cascadable Binary Counters with Clock Enable and Asynchronous Clear



概要

このデザイン エLEMENTは、同期、ロード可能、非同期クリア可能、カスケード可能なバイナリ カウンタです。非同期クリア (CLR) 入力が高になると、ほかのすべての入力は無視され、クロック (C) の遷移に関係なく、出力 (Q)、ターミナル カウンタ (TC)、およびクロック イネーブル出力 (CEO) が 0 になります。ロード イネーブル入力 (L) が High の場合、クロックが Low から High に切り替わるときに、クロック イネーブル (CE) の値に関係なく、入力 (D) の値がカウンタにロードされます。CE が High の場合、クロックが Low から High に切り替わるときに Q 出力がインクリメントされます。CE が Low の場合、クロック遷移は無視されます。すべての Q 出力が高になると、TC 出力が高になります。

1 段目の CEO 出力を次の段の CE 入力に接続し、C、L、および CLR 入力を並列に接続すると、より大型のカウンタを作成できます。TC と CE が High になると、CEO がアクティブ (High) になります。カウンタの長さの最大値は、CE ピンと TC ピン間の伝搬遅延の合計とクロック周期の関係によって決定されます。クロック周期は、 $n(t_{CE-TC})$ より大きい必要があります。ここで、 n は段数、時間 t_{CE-TC} は各段での CE ピンと TC ピン間の伝搬遅延を表します。カウンタをカスケードする場合、CE 入力を使用するときは CEO 出力を、CE 入力を使用しないときは TC 出力を使用します。

電力を供給すると、カウンタは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバータを追加するとアクティブ Low にできます。

論理表

入力					出力		
CLR	L	CE	C	Dz - D0	Qz - Q0	TC	CEO
1	X	X	X	X	0	0	0
0	1	X	↑	Dn	Dn	TC	CEO
0	0	0	X	X	変化なし	変化なし	0
0	0	1	↑	X	インクリメント	TC	CEO
z = ビット幅 - 1 $TC = Qz \cdot Q(z-1) \cdot Q(z-2) \cdot \dots \cdot Q0$ $CEO = TC \cdot CE$							

デザインの入力方法

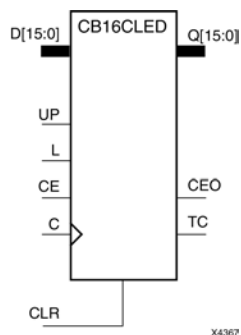
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

CB16CLED

マクロ : 16-Bit Loadable Cascadable Bidirectional Binary Counters with Clock Enable and Asynchronous Clear



概要

このデザイン エLEMENTは、同期、ロード可能、非同期クリア可能、カスケード可能な双方向バイナリ カウンタです。非同期クリア (CLR) 入力が高になると、ほかのすべての入力は無視され、クロック (C) の遷移に関係なく、出力 (Q)、ターミナル カウンタ (TC)、およびクロック イネーブル出力 (CEO) が 0 になります。ロード イネーブル入力 (L) が High の場合、クロック (C) が Low から High に切り替わるときに、クロック イネーブル (CE) の値に関係なく、入力 (D) の値がカウンタにロードされます。CE が High、UP が Low の場合、クロックが Low から High に切り替わるときに、Q 出力がデクリメントされます。CE と UP が High の場合、Q 出力がインクリメントされます。CE が Low の場合、クロック遷移は無視されます。

カウントアップする場合、すべての Q 出力と UP が High になると TC 出力が High になります。カウントダウンする場合、すべての Q 出力と UP が Low になると TC 出力が High になります。

1 段目の CEO 出力を次の段の CE 入力に接続し、C、UP、L、および CLR 入力を並列に接続すると、より大型のカウンタを作成できます。TC と CE が High になると、CEO がアクティブ (High) になります。カウンタの長さの最大値は、CE ピンと TC ピン間の伝搬遅延の合計とクロック周期の関係によって決定されます。クロック周期は、 $n(t_{CE-TC})$ より大きい必要があります。ここで、 n は段数、時間 t_{CE-TC} は各段での CE ピンと TC ピン間の伝搬遅延を表します。カウンタをカスケードする場合、CE 入力を使用するときは CEO 出力を、CE 入力を使用しないときは TC 出力を使用します。

CPLD デバイスについては、高速カスケードが可能な双方向カウンタである CB2X1、CB4X1、CB8X1、CB16X1 を参照してください。

電力を供給すると、カウンタは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバータを追加するとアクティブ Low にできます。

論理表

入力						出力		
CLR	L	CE	C	UP	Dz - D0	Qz - Q0	TC	CEO
1	X	X	X	X	X	0	0	0
0	1	X	↑	X	Dn	Dn	TC	CEO
0	0	0	X	X	X	変化なし	変化なし	0
0	0	1	↑	1	X	インクリメント	TC	CEO
0	0	1	↑	0	X	デクリメント	TC	CEO

入力						出力		
CLR	L	CE	C	UP	Dz - D0	Qz - Q0	TC	CEO
$z = \text{ビット幅} - 1$ $TC = (Qz \cdot Q(z-1) \cdot Q(z-2) \cdot \dots \cdot Q0 \cdot UP) + (Qz \cdot Q(z-1) \cdot Q(z-2) \cdot \dots \cdot Q0 \cdot UP)$ $CEO = TC \cdot CE$								

デザインの入力方法

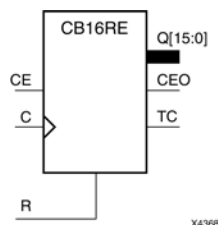
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

CB16RE

マクロ : 16-Bit Cascadable Binary Counter with Clock Enable and Synchronous Reset



概要

このデザイン エLEMENTは、同期、リセット可能、カスケード可能なバイナリ カウンタです。同期リセット入力 (R) が High になると、ほかの入力は無視され、クロック (C) が Low から High に切り替わる時に出力 (Q)、ターミナル カウンタ (TC)、およびクロック イネーブル出力 (CEO) が 0 になります。クロック イネーブル入力 (CE) が High の場合、クロック (C) が Low から High に切り替わる時に出力 (Q) がインクリメントされます。CE が Low の場合、クロック遷移は無視されます。すべての Q 出力が High になると、TC 出力が High になります。

1 段目の CEO 出力を次の段の CE 入力に接続し、C および R 入力を並列に接続すると、より大型のカウンタを作成できます。TC と CE が High になると、CEO がアクティブ (High) になります。カウンタの長さの最大値は、CE ピンと TC ピン間の伝搬遅延の合計とクロック周期の関係によって決定されます。クロック周期は、 $n(t_{CE-TC})$ より大きい必要があります。ここで、 n は段数、時間 t_{CE-TC} は各段での CE ピンと TC ピン間の伝搬遅延を表します。カウンタをカスケードする場合、CE 入力を使用するときは CEO 出力を、CE 入力を使用しないときは TC 出力を使用します。

電力を供給すると、カウンタは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバータを追加するとアクティブ Low にできます。

論理表

入力			出力		
R	CE	C	$Q_z - Q_0$	TC	CEO
1	X	↑	0	0	0
0	0	X	変化なし	変化なし	0
0	1	↑	インクリメント	TC	CEO
$z = \text{ビット幅} - 1$ $TC = Q_z \cdot Q(z-1) \cdot Q(z-2) \cdot \dots \cdot Q_0$ $CEO = TC \cdot CE$					

デザインの入力方法

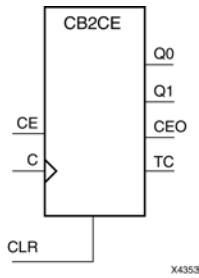
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

CB2CE

マクロ : 2-Bit Cascadable Binary Counter with Clock Enable and Asynchronous Clear



概要

このデザイン エLEMENTは、非同期クリア可能、カスケード可能なバイナリ カウンタです。非同期クリア (CLR) 入力が高になると、ほかのすべての入力は無視され、クロック (C) の遷移に関係なく、出力 (Q)、ターミナル カウンタ (TC)、およびクロック イネーブル出力 (CEO) が 0 になります。クロック イネーブル入力 (CE) が High の場合、クロック (C) が Low から High に切り替わる時に出力 (Q) がインクリメントされます。CE が Low の場合、クロック遷移は無視されます。すべての Q 出力が高になると、TC 出力が高になります。

1 段目の CEO 出力を次の段の CE 入力に接続し、C および CLR 入力を並列に接続すると、より大型のカウンタを作成できます。TC と CE が High になると、CEO がアクティブ (High) になります。カウンタの長さの最大値は、CE ピンと TC ピン間の伝搬遅延の合計とクロック周期の関係によって決定されます。クロック周期は、 $n(t_{CE-TC})$ より大きい必要があります。ここで、 n は段数、時間 t_{CE-TC} は各段での CE ピンと TC ピン間の伝搬遅延を表します。カウンタをカスケードする場合、CE 入力を使用するときは CEO 出力を、CE 入力を使用しないときは TC 出力を使用します。

電力を供給すると、カウンタは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバータを追加するとアクティブ Low にできます。

論理表

入力			出力		
CLR	CE	C	Qz - Q0	TC	CEO
1	X	X	0	0	0
0	0	X	変化なし	変化なし	0
0	1	↑	インクリメント	TC	CEO
$z = \text{ビット幅} - 1$ $TC = Q_z \cdot Q_{(z-1)} \cdot Q_{(z-2)} \cdot \dots \cdot Q_0$ $CEO = TC \cdot CE$					

デザインの入力方法

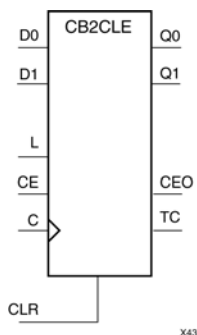
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

CB2CLE

マクロ : 2-Bit Loadable Cascadable Binary Counters with Clock Enable and Asynchronous Clear



概要

このデザイン エLEMENTは、同期、ロード可能、非同期クリア可能、カスケード可能なバイナリ カウンタです。非同期クリア (CLR) 入力が高になると、ほかのすべての入力は無視され、クロック (C) の遷移に関係なく、出力 (Q)、ターミナル カウンタ (TC)、およびクロック イネーブル出力 (CEO) が 0 になります。ロード イネーブル入力 (L) が High の場合、クロックが Low から High に切り替わるたびに、クロック イネーブル (CE) の値に関係なく、入力 (D) の値がカウンタにロードされます。CE が High の場合、クロックが Low から High に切り替わるたびに Q 出力がインクリメントされます。CE が Low の場合、クロック遷移は無視されます。すべての Q 出力が高になると、TC 出力が高になります。

1 段目の CEO 出力を次の段の CE 入力に接続し、C、L、および CLR 入力を並列に接続すると、より大型のカウンタを作成できます。TC と CE が High になると、CEO がアクティブ (High) になります。カウンタの長さの最大値は、CE ピンと TC ピン間の伝搬遅延の合計とクロック周期の関係によって決定されます。クロック周期は、 $n(t_{CE-TC})$ より大きい必要があります。ここで、 n は段数、時間 t_{CE-TC} は各段での CE ピンと TC ピン間の伝搬遅延を表します。カウンタをカスケードする場合、CE 入力を使用するときは CEO 出力を、CE 入力を使用しないときは TC 出力を使用します。

電力を供給すると、カウンタは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバータを追加するとアクティブ Low にできます。

論理表

入力					出力		
CLR	L	CE	C	D _z - D0	Q _z - Q0	TC	CEO
1	X	X	X	X	0	0	0
0	1	X	↑	D _n	D _n	TC	CEO
0	0	0	X	X	変化なし	変化なし	0
0	0	1	↑	X	インクリメント	TC	CEO
$z = \text{ビット幅} - 1$ $TC = Q_z \cdot Q_{(z-1)} \cdot Q_{(z-2)} \cdot \dots \cdot Q_0$ $CEO = TC \cdot CE$							

デザインの入力方法

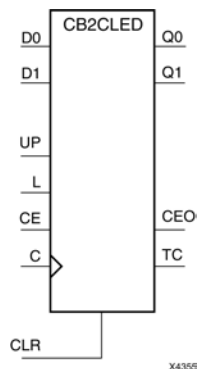
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)

CB2CLED

マクロ : 2-Bit Loadable Cascadable Bidirectional Binary Counters with Clock Enable and Asynchronous Clear



概要

このデザイン エLEMENTは、同期、ロード可能、非同期クリア可能、カスケード可能な双方向バイナリ カウンタです。非同期クリア (CLR) 入力が高レベルになると、ほかのすべての入力は無視され、クロック (C) の遷移に関係なく、出力 (Q)、ターミナル カウンタ (TC)、およびクロック イネーブル出力 (CEO) が 0 になります。ロード イネーブル入力 (L) が High の場合、クロック (C) が Low から High に切り替わる時に、クロック イネーブル (CE) の値に関係なく、入力 (D) の値がカウンタにロードされます。CE が High、UP が Low の場合、クロックが Low から High に切り替わる時に、Q 出力がデクリメントされます。CE と UP が High の場合、Q 出力がインクリメントされます。CE が Low の場合、クロック遷移は無視されます。

カウントアップする場合、すべての Q 出力と UP が High になると TC 出力が High になります。カウントダウンする場合、すべての Q 出力と UP が Low になると TC 出力が High になります。

1 段目の CEO 出力を次の段の CE 入力に接続し、C、UP、L、および CLR 入力を並列に接続すると、より大型のカウンタを作成できます。TC と CE が High になると、CEO がアクティブ (High) になります。カウンタの長さの最大値は、CE ピンと TC ピン間の伝搬遅延の合計とクロック周期の関係によって決定されます。クロック周期は、 $n(t_{CE-TC})$ より大きい必要があります。ここで、 n は段数、時間 t_{CE-TC} は各段での CE ピンと TC ピン間の伝搬遅延を表します。カウンタをカスケードする場合、CE 入力を使用するときは CEO 出力を、CE 入力を使用しないときは TC 出力を使用します。

CPLD デバイスについては、高速カスケードが可能な双方向カウンタである CB2X1、CB4X1、CB8X1、CB16X1 を参照してください。

電力を供給すると、カウンタは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバータを追加するとアクティブ Low にできます。

論理表

入力						出力		
CLR	L	CE	C	UP	Dz - D0	Qz - Q0	TC	CEO
1	X	X	X	X	X	0	0	0
0	1	X	↑	X	Dn	Dn	TC	CEO
0	0	0	X	X	X	変化なし	変化なし	0
0	0	1	↑	1	X	インクリメント	TC	CEO
0	0	1	↑	0	X	デクリメント	TC	CEO

入力						出力		
CLR	L	CE	C	UP	Dz - D0	Qz - Q0	TC	CEO
$z = \text{ビット幅} - 1$ $TC = (Qz \cdot Q(z-1) \cdot Q(z-2) \cdot \dots \cdot Q0 \cdot UP) + (Qz \cdot Q(z-1) \cdot Q(z-2) \cdot \dots \cdot Q0 \cdot UP)$ $CEO = TC \cdot CE$								

デザインの入力方法

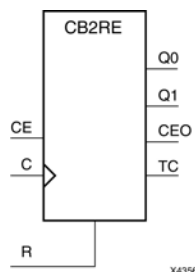
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

CB2RE

マクロ : 2-Bit Cascadable Binary Counter with Clock Enable and Synchronous Reset



概要

このデザイン エLEMENTは、同期、リセット可能、カスケード可能なバイナリ カウンタです。同期リセット入力 (R) が High になると、ほかの入力は無視され、クロック (C) が Low から High に切り替わる時に出力 (Q)、ターミナル カウンタ (TC)、およびクロック イネーブル出力 (CEO) が 0 になります。クロック イネーブル入力 (CE) が High の場合、クロック (C) が Low から High に切り替わる時に出力 (Q) がインクリメントされます。CE が Low の場合、クロック遷移は無視されます。すべての Q 出力が High になると、TC 出力が High になります。

1 段目の CEO 出力を次の段の CE 入力に接続し、C および R 入力を並列に接続すると、より大型のカウンタを作成できます。TC と CE が High になると、CEO がアクティブ (High) になります。カウンタの長さの最大値は、CE ピンと TC ピン間の伝搬遅延の合計とクロック周期の関係によって決定されます。クロック周期は、 $n(t_{CE-TC})$ より大きい必要があります。ここで、 n は段数、時間 t_{CE-TC} は各段での CE ピンと TC ピン間の伝搬遅延を表します。カウンタをカスケードする場合、CE 入力を使用するときは CEO 出力を、CE 入力を使用しないときは TC 出力を使用します。

電力を供給すると、カウンタは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバータを追加するとアクティブ Low にできます。

論理表

入力			出力		
R	CE	C	Q _z - Q ₀	TC	CEO
1	X	↑	0	0	0
0	0	X	変化なし	変化なし	0
0	1	↑	インクリメント	TC	CEO
$z = \text{ビット幅} - 1$ $TC = Q_z \cdot Q_{(z-1)} \cdot Q_{(z-2)} \cdot \dots \cdot Q_0$ $CEO = TC \cdot CE$					

デザインの入力方法

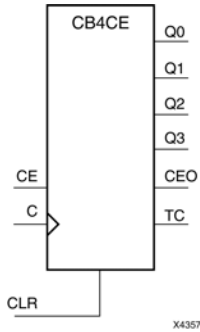
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

CB4CE

マクロ : 4-Bit Cascadable Binary Counter with Clock Enable and Asynchronous Clear



概要

このデザイン エLEMENTは、非同期クリア可能、カスケード可能なバイナリ カウンタです。非同期クリア (CLR) 入力が高になると、ほかのすべての入力は無視され、クロック (C) の遷移に関係なく、出力 (Q)、ターミナル カウンタ (TC)、およびクロック イネーブル出力 (CEO) が 0 になります。クロック イネーブル入力 (CE) が High の場合、クロック (C) が Low から High に切り替わる時に出力 (Q) がインクリメントされます。CE が Low の場合、クロック遷移は無視されます。すべての Q 出力が高になると、TC 出力が高になります。

1 段目の CEO 出力を次の段の CE 入力に接続し、C および CLR 入力を並列に接続すると、より大型のカウンタを作成できます。TC と CE が High になると、CEO がアクティブ (High) になります。カウンタの長さの最大値は、CE ピンと TC ピン間の伝搬遅延の合計とクロック周期の関係によって決定されます。クロック周期は、 $n(t_{CE-TC})$ より大きい必要があります。ここで、 n は段数、時間 t_{CE-TC} は各段での CE ピンと TC ピン間の伝搬遅延を表します。カウンタをカスケードする場合、CE 入力を使用するときは CEO 出力を、CE 入力を使用しないときは TC 出力を使用します。

電力を供給すると、カウンタは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバータを追加するとアクティブ Low にできます。

論理表

入力			出力		
CLR	CE	C	Q _z - Q ₀	TC	CEO
1	X	X	0	0	0
0	0	X	変化なし	変化なし	0
0	1	↑	インクリメント	TC	CEO

$z = \text{ビット幅} - 1$
 $TC = Q_z \cdot Q(z-1) \cdot Q(z-2) \cdot \dots \cdot Q_0$
 $CEO = TC \cdot CE$

デザインの入力方法

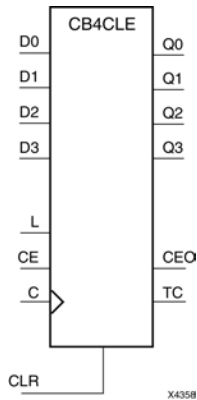
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

CB4CLE

マクロ : 4-Bit Loadable Cascadable Binary Counters with Clock Enable and Asynchronous Clear



概要

このデザイン エLEMENTは、同期、ロード可能、非同期クリア可能、カスケード可能なバイナリ カウンタです。非同期クリア (CLR) 入力が高になると、ほかのすべての入力は無視され、クロック (C) の遷移に関係なく、出力 (Q)、ターミナル カウンタ (TC)、およびクロック イネーブル出力 (CEO) が 0 になります。ロード イネーブル入力 (L) が High の場合、クロックが Low から High に切り替わるときに、クロック イネーブル (CE) の値に関係なく、入力 (D) の値がカウンタにロードされます。CE が High の場合、クロックが Low から High に切り替わるときに Q 出力がインクリメントされます。CE が Low の場合、クロック遷移は無視されます。すべての Q 出力が高になると、TC 出力が高になります。

1 段目の CEO 出力を次の段の CE 入力に接続し、C、L、および CLR 入力を並列に接続すると、より大型のカウンタを作成できます。TC と CE が High になると、CEO がアクティブ (High) になります。カウンタの長さの最大値は、CE ピンと TC ピン間の伝搬遅延の合計とクロック周期の関係によって決定されます。クロック周期は、 $n(t_{CE-TC})$ より大きい必要があります。ここで、 n は段数、時間 t_{CE-TC} は各段での CE ピンと TC ピン間の伝搬遅延を表します。カウンタをカスケードする場合、CE 入力を使用するときは CEO 出力を、CE 入力を使用しないときは TC 出力を使用します。

電力を供給すると、カウンタは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバータを追加するとアクティブ Low にできます。

論理表

入力					出力		
CLR	L	CE	C	Dz - D0	Qz - Q0	TC	CEO
1	X	X	X	X	0	0	0
0	1	X	↑	Dn	Dn	TC	CEO
0	0	0	X	X	変化なし	変化なし	0
0	0	1	↑	X	インクリメント	TC	CEO
$z = \text{ビット幅} - 1$ $TC = Qz \cdot Q(z-1) \cdot Q(z-2) \cdot \dots \cdot Q0$ $CEO = TC \cdot CE$							

デザインの入力方法

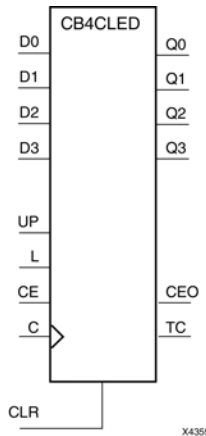
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

CB4CLED

マクロ : 4-Bit Loadable Cascadable Bidirectional Binary Counters with Clock Enable and Asynchronous Clear



概要

このデザイン エLEMENTは、同期、ロード可能、非同期クリア可能、カスケード可能な双方向バイナリ カウンタです。非同期クリア (CLR) 入力が高レベルになると、ほかのすべての入力は無視され、クロック (C) の遷移に関係なく、出力 (Q)、ターミナル カウンタ (TC)、およびクロック イネーブル出力 (CEO) が 0 になります。ロード イネーブル入力 (L) が High の場合、クロック (C) が Low から High に切り替わる時に、クロック イネーブル (CE) の値に関係なく、入力 (D) の値がカウンタにロードされます。CE が High、UP が Low の場合、クロックが Low から High に切り替わる時に、Q 出力がデクリメントされます。CE と UP が High の場合、Q 出力がインクリメントされます。CE が Low の場合、クロック遷移は無視されます。

カウントアップする場合、すべての Q 出力と UP が High になると TC 出力が High になります。カウントダウンする場合、すべての Q 出力と UP が Low になると TC 出力が High になります。

1 段目の CEO 出力を次の段の CE 入力に接続し、C、UP、L、および CLR 入力を並列に接続すると、より大型のカウンタを作成できます。TC と CE が High になると、CEO がアクティブ (High) になります。カウンタの長さの最大値は、CE ピンと TC ピン間の伝搬遅延の合計とクロック周期の関係によって決定されます。クロック周期は、 $n(t_{CE-TC})$ より大きい必要があります。ここで、 n は段数、時間 t_{CE-TC} は各段での CE ピンと TC ピン間の伝搬遅延を表します。カウンタをカスケードする場合、CE 入力を使用するときは CEO 出力を、CE 入力を使用しないときは TC 出力を使用します。

CPLD デバイスについては、高速カスケードが可能な双方向カウンタである CB2X1、CB4X1、CB8X1、CB16X1 を参照してください。

電力を供給すると、カウンタは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバータを追加するとアクティブ Low にできます。

論理表

入力						出力		
CLR	L	CE	C	UP	Dz - D0	Qz - Q0	TC	CEO
1	X	X	X	X	X	0	0	0
0	1	X	↑	X	Dn	Dn	TC	CEO
0	0	0	X	X	X	変化なし	変化なし	0
0	0	1	↑	1	X	インクリメント	TC	CEO
0	0	1	↑	0	X	デクリメント	TC	CEO
z = ビット幅 - 1 $TC = (Qz \cdot Q(z-1) \cdot Q(z-2) \cdot \dots \cdot Q0 \cdot UP) + (Qz \cdot Q(z-1) \cdot Q(z-2) \cdot \dots \cdot Q0 \cdot \overline{UP})$ $CEO = TC \cdot CE$								

デザインの入力方法

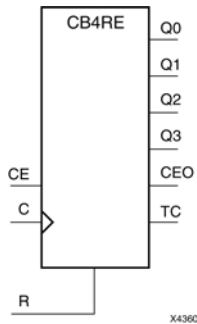
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

CB4RE

マクロ : 4-Bit Cascadable Binary Counter with Clock Enable and Synchronous Reset



概要

このデザイン エLEMENTは、同期、リセット可能、カスケード可能なバイナリ カウンタです。同期リセット入力 (R) が High になると、ほかの入力は無視され、クロック (C) が Low から High に切り替わる時に出力 (Q)、ターミナル カウンタ (TC)、およびクロック イネーブル出力 (CEO) が 0 になります。クロック イネーブル入力 (CE) が High の場合、クロック (C) が Low から High に切り替わる時に出力 (Q) がインクリメントされます。CE が Low の場合、クロック遷移は無視されます。すべての Q 出力が High になると、TC 出力が High になります。

1 段目の CEO 出力を次の段の CE 入力に接続し、C および R 入力を並列に接続すると、より大型のカウンタを作成できます。TC と CE が High になると、CEO がアクティブ (High) になります。カウンタの長さの最大値は、CE ピンと TC ピン間の伝搬遅延の合計とクロック周期の関係によって決定されます。クロック周期は、 $n(t_{CE-TC})$ より大きい必要があります。ここで、 n は段数、時間 t_{CE-TC} は各段での CE ピンと TC ピン間の伝搬遅延を表します。カウンタをカスケードする場合、CE 入力を使用するときは CEO 出力を、CE 入力を使用しないときは TC 出力を使用します。

電力を供給すると、カウンタは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバータを追加するとアクティブ Low にできます。

論理表

入力			出力		
R	CE	C	Qz - Q0	TC	CEO
1	X	↑	0	0	0
0	0	X	変化なし	変化なし	0
0	1	↑	インクリメント	TC	CEO
$z = \text{ビット幅} - 1$ $TC = Qz \cdot Q(z-1) \cdot Q(z-2) \cdot \dots \cdot Q0$ $CEO = TC \cdot CE$					

デザインの入力方法

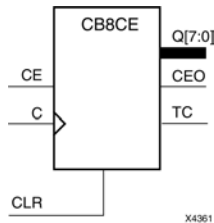
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

CB8CE

マクロ : 8-Bit Cascadable Binary Counter with Clock Enable and Asynchronous Clear



概要

このデザイン エLEMENTは、非同期クリア可能、カスケード可能なバイナリ カウンタです。非同期クリア (CLR) 入力が高になると、ほかのすべての入力は無視され、クロック (C) の遷移に関係なく、出力 (Q)、ターミナル カウンタ (TC)、およびクロック イネーブル出力 (CEO) が 0 になります。クロック イネーブル入力 (CE) が High の場合、クロック (C) が Low から High に切り替わるときに出力 (Q) がインクリメントされます。CE が Low の場合、クロック遷移は無視されます。すべての Q 出力が高になると、TC 出力が高になります。

1 段目の CEO 出力を次の段の CE 入力に接続し、C および CLR 入力を並列に接続すると、より大型のカウンタを作成できます。TC と CE が High になると、CEO がアクティブ (High) になります。カウンタの長さの最大値は、CE ピンと TC ピン間の伝搬遅延の合計とクロック周期の関係によって決定されます。クロック周期は、 $n(t_{CE-TC})$ より大きい必要があります。ここで、 n は段数、時間 t_{CE-TC} は各段での CE ピンと TC ピン間の伝搬遅延を表します。カウンタをカスケードする場合、CE 入力を使用するときは CEO 出力を、CE 入力を使用しないときは TC 出力を使用します。

電力を供給すると、カウンタは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバータを追加するとアクティブ Low にできます。

論理表

入力			出力		
CLR	CE	C	Q _z - Q ₀	TC	CEO
1	X	X	0	0	0
0	0	X	変化なし	変化なし	0
0	1	↑	インクリメント	TC	CEO

$z = \text{ビット幅} - 1$

$TC = Q_z \cdot Q_{(z-1)} \cdot Q_{(z-2)} \cdot \dots \cdot Q_0$

$CEO = TC \cdot CE$

デザインの入力方法

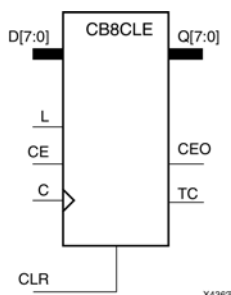
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

CB8CLE

マクロ : 8-Bit Loadable Cascadable Binary Counters with Clock Enable and Asynchronous Clear



概要

このデザイン エLEMENTは、同期、ロード可能、非同期クリア可能、カスケード可能なバイナリ カウンタです。非同期クリア (CLR) 入力が高になると、ほかのすべての入力は無視され、クロック (C) の遷移に関係なく、出力 (Q)、ターミナル カウンタ (TC)、およびクロック イネーブル出力 (CEO) が 0 になります。ロード イネーブル入力 (L) が High の場合、クロックが Low から High に切り替わるときに、クロック イネーブル (CE) の値に関係なく、入力 (D) の値がカウンタにロードされます。CE が High の場合、クロックが Low から High に切り替わるときに Q 出力がインクリメントされます。CE が Low の場合、クロック遷移は無視されます。すべての Q 出力が高になると、TC 出力が高になります。

1 段目の CEO 出力を次の段の CE 入力に接続し、C、L、および CLR 入力を並列に接続すると、より大型のカウンタを作成できます。TC と CE が High になると、CEO がアクティブ (High) になります。カウンタの長さの最大値は、CE ピンと TC ピン間の伝搬遅延の合計とクロック周期の関係によって決定されます。クロック周期は、 $n(t_{CE-TC})$ より大きい必要があります。ここで、 n は段数、時間 t_{CE-TC} は各段での CE ピンと TC ピン間の伝搬遅延を表します。カウンタをカスケードする場合、CE 入力を使用するときは CEO 出力を、CE 入力を使用しないときは TC 出力を使用します。

電力を供給すると、カウンタは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバータを追加するとアクティブ Low にできます。

論理表

入力					出力		
CLR	L	CE	C	D _z - D ₀	Q _z - Q ₀	TC	CEO
1	X	X	X	X	0	0	0
0	1	X	↑	D _n	D _n	TC	CEO
0	0	0	X	X	変化なし	変化なし	0
0	0	1	↑	X	インクリメント	TC	CEO

z = ビット幅 - 1

$TC = Q_z \cdot Q_{(z-1)} \cdot Q_{(z-2)} \cdot \dots \cdot Q_0$

$CEO = TC \cdot CE$

デザインの入力方法

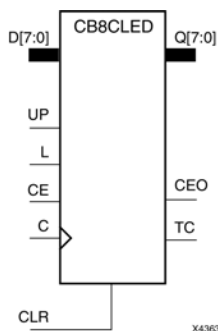
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)

CB8CLED

マクロ : 8-Bit Loadable Cascadable Bidirectional Binary Counters with Clock Enable and Asynchronous Clear



概要

このデザイン エLEMENTは、同期、ロード可能、非同期クリア可能、カスケード可能な双方向バイナリ カウンタです。非同期クリア (CLR) 入力が高になると、ほかのすべての入力は無視され、クロック (C) の遷移に関係なく、出力 (Q)、ターミナル カウンタ (TC)、およびクロック イネーブル出力 (CEO) が 0 になります。ロード イネーブル入力 (L) が High の場合、クロック (C) が Low から High に切り替わる時に、クロック イネーブル (CE) の値に関係なく、入力 (D) の値がカウンタにロードされます。CE が High、UP が Low の場合、クロックが Low から High に切り替わる時に、Q 出力がデクリメントされます。CE と UP が High の場合、Q 出力がインクリメントされます。CE が Low の場合、クロック遷移は無視されます。

カウントアップする場合、すべての Q 出力と UP が High になると TC 出力が High になります。カウントダウンする場合、すべての Q 出力と UP が Low になると TC 出力が High になります。

1 段目の CEO 出力を次の段の CE 入力に接続し、C、UP、L、および CLR 入力を並列に接続すると、より大型のカウンタを作成できます。TC と CE が High になると、CEO がアクティブ (High) になります。カウンタの長さの最大値は、CE ピンと TC ピン間の伝搬遅延の合計とクロック周期の関係によって決定されます。クロック周期は、 $n(t_{CE-TC})$ より大きい必要があります。ここで、 n は段数、時間 t_{CE-TC} は各段での CE ピンと TC ピン間の伝搬遅延を表します。カウンタをカスケードする場合、CE 入力を使用するときは CEO 出力を、CE 入力を使用しないときは TC 出力を使用します。

CPLD デバイスについては、高速カスケードが可能な双方向カウンタである CB2X1、CB4X1、CB8X1、CB16X1 を参照してください。

電力を供給すると、カウンタは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバータを追加するとアクティブ Low にできます。

論理表

入力						出力		
CLR	L	CE	C	UP	Dz - D0	Qz - Q0	TC	CEO
1	X	X	X	X	X	0	0	0
0	1	X	↑	X	Dn	Dn	TC	CEO
0	0	0	X	X	X	変化なし	変化なし	0
0	0	1	↑	1	X	インクリメント	TC	CEO
0	0	1	↑	0	X	デクリメント	TC	CEO

z = ビット幅 - 1

入力						出力		
CLR	L	CE	C	UP	Dz - D0	Qz - Q0	TC	CEO
$TC = (Qz \cdot Q(z-1) \cdot Q(z-2) \cdot \dots \cdot Q0 \cdot UP) + (Qz \cdot Q(z-1) \cdot Q(z-2) \cdot \dots \cdot Q0 \cdot UP)$								
$CEO = TC \cdot CE$								

デザインの入力方法

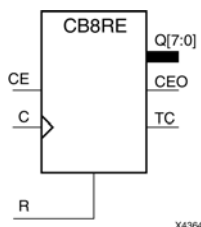
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)

CB8RE

マクロ : 8-Bit Cascadable Binary Counter with Clock Enable and Synchronous Reset



概要

このデザイン エLEMENTは、同期、リセット可能、カスケード可能なバイナリ カウンタです。同期リセット入力 (R) が High になると、ほかの入力は無視され、クロック (C) が Low から High に切り替わる時に出力 (Q)、ターミナル カウンタ (TC)、およびクロック イネーブル出力 (CEO) が 0 になります。クロック イネーブル入力 (CE) が High の場合、クロック (C) が Low から High に切り替わる時に出力 (Q) がインクリメントされます。CE が Low の場合、クロック遷移は無視されます。すべての Q 出力が High になると、TC 出力が High になります。

1 段目の CEO 出力を次の段の CE 入力に接続し、C および R 入力を並列に接続すると、より大型のカウンタを作成できます。TC と CE が High になると、CEO がアクティブ (High) になります。カウンタの長さの最大値は、CE ピンと TC ピン間の伝搬遅延の合計とクロック周期の関係によって決定されます。クロック周期は、 $n(t_{CE-TC})$ より大きい必要があります。ここで、 n は段数、時間 t_{CE-TC} は各段での CE ピンと TC ピン間の伝搬遅延を表します。カウンタをカスケードする場合、CE 入力を使用するときは CEO 出力を、CE 入力を使用しないときは TC 出力を使用します。

電力を供給すると、カウンタは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバータを追加するとアクティブ Low にできます。

論理表

入力			出力		
R	CE	C	Q _z - Q ₀	TC	CEO
1	X	↑	0	0	0
0	0	X	変化なし	変化なし	0
0	1	↑	インクリメント	TC	CEO

$z = \text{ビット幅} - 1$
 $TC = Q_z \cdot Q_{(z-1)} \cdot Q_{(z-2)} \cdot \dots \cdot Q_0$
 $CEO = TC \cdot CE$

デザインの入力方法

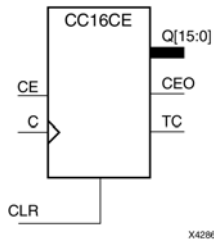
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

CC16CE

マクロ : 16-Bit Cascadable Binary Counter with Clock Enable and Asynchronous Clear



概要

このデザイン エレメントは、非同期クリア可能、カスケード可能なバイナリ カウンタです。このカウンタは、キャリー ロジックと相対ロケーション制約を使用してインプリメントされているので、ロジックが効率よく配置されます。非同期クリア入力 (CLR) が最も優先される入力で、High の場合、クロック (C) の遷移に関係なく、Q 出力、ターミナル カウント (TC)、クロック イネーブル出力 (CEO) が 0 になります。クロック イネーブル入力 (CE) が High の場合、クロック (C) が Low から High に切り替わるときに出力 (Q) がインクリメントされます。CE が Low の場合、クロック遷移は無視されます。すべての Q 出力が High になると、TC 出力が High になります。

1 段目の CEO 出力を次の段の CE 入力に接続し、C および CLR 入力を並列に接続すると、より大型のカウンタを作成できます。TC と CE が High になると、CEO がアクティブ (High) になります。カウンタの長さの最大値は、CE ピンと TC ピン間の伝搬遅延の合計とクロック周期の関係によって決定されます。クロック周期は、 $n(t_{CE-TC})$ より大きい必要があります。ここで、 n は段数、時間 t_{CE-TC} は各段での CE ピンと TC ピン間の伝搬遅延を表します。カウンタをカスケードする場合、CE 入力を使用するときは CEO 出力を、CE 入力を使用しないときは TC 出力を使用します。

電力を供給すると、カウンタは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバータを追加するとアクティブ Low にできます。

論理表

入力			出力		
CLR	CE	C	Qz - Q0	TC	CEO
1	X	X	0	0	0
0	0	X	変化なし	変化なし	0
0	1	↑	インクリメント	TC	CEO
z = ビット幅 - 1 $TC = Q_z \cdot Q_{(z-1)} \cdot Q_{(z-2)} \cdot \dots \cdot Q_0$ $CEO = TC \cdot CE$					

デザインの入力方法

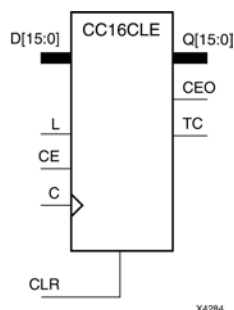
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

CC16CLE

マクロ : 16-Bit Loadable Cascadable Binary Counter with Clock Enable and Asynchronous Clear



概要

このデザイン エLEMENTは、同期、ロード可能、非同期クリア可能、カスケード可能なバイナリ カウンタです。このカウンタは、キャリー ロジックと相対ロケーション制約を使用してインプリメントされているので、ロジックが効率よく配置されます。非同期クリア入力 (CLR) が最も優先される入力で、High の場合、クロック (C) の遷移に関係なく、Q 出力、ターミナル カウント (TC)、クロック イネーブル出力 (CEO) が 0 になります。ロード イネーブル入力 (L) が High の場合、クロック (C) が Low から High に切り替わるときに、クロック イネーブル (CE) の値に関係なく、入力 (D) の値がカウンタにロードされます。CE が High の場合、クロックが Low から High に切り替わるときに Q 出力がインクリメントされます。CE が Low の場合、クロック遷移は無視されます。すべての Q 出力が High になると、TC 出力が High になります。

1 段目の CEO 出力を次の段の CE 入力に接続し、C、L、および CLR 入力を並列に接続すると、より大型のカウンタを作成できます。TC と CE が High になると、CEO がアクティブ (High) になります。カウンタの長さの最大値は、CE ピンと TC ピン間の伝搬遅延の合計とクロック周期の関係によって決定されます。クロック周期は、 $n(t_{CE-TC})$ より大きい必要があります。ここで、 n は段数、時間 t_{CE-TC} は各段での CE ピンと TC ピン間の伝搬遅延を表します。カウンタをカスケードする場合、CE 入力を使用するときは CEO 出力を、CE 入力を使用しないときは TC 出力を使用します。

電力を供給すると、カウンタは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバータを追加するとアクティブ Low にできます。

論理表

入力					出力		
CLR	L	CE	C	D _z - D ₀	Q _z - Q ₀	TC	CEO
1	X	X	X	X	0	0	0
0	1	X	↑	D _n	D _n	TC	CEO
0	0	0	X	X	変化なし	変化なし	0
0	0	1	↑	X	インクリメント	TC	CEO
z = ビット幅 - 1 $TC = Q_z \cdot Q_{(z-1)} \cdot Q_{(z-2)} \cdot \dots \cdot Q_0$ $CEO = TC \cdot CE$							

デザインの入力方法

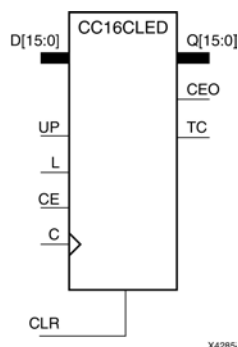
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)

CC16CLED

マクロ : 16-Bit Loadable Cascadable Bidirectional Binary Counter with Clock Enable and Asynchronous Clear



概要

このデザイン エLEMENTは、同期、ロード可能、非同期クリア可能、カスケード可能な双方向バイナリ カウンタです。このカウンタは、キャリー ロジックと相対ロケーション制約を使用してインプリメントされているので、ロジックが効率よく配置されます。非同期クリア入力 (CLR) が最も優先される入力で、High の場合、クロック (C) の遷移に関係なく、Q 出力、ターミナル カウント (TC)、クロック イネーブル出力 (CEO) が 0 になります。ロード イネーブル入力 (L) が High の場合、クロック (C) が Low から High に切り替わるときに、クロック イネーブル (CE) の値に関係なく、入力 (D) の値がカウンタにロードされます。CE が High、UP が Low の場合、クロックが Low から High に切り替わるときに、Q 出力がデクリメントされます。CE と UP が High の場合、Q 出力がインクリメントされます。CE が Low の場合、クロック遷移は無視されます。

カウントアップする場合、すべての Q 出力と UP が High になると TC 出力が High になります。カウントダウンする場合、すべての Q 出力と UP が Low になると TC 出力が High になります。

1 段目の CEO 出力を次の段の CE 入力に接続し、C、UP、L、および CLR 入力を並列に接続すると、より大型のカウンタを作成できます。TC と CE が High になると、CEO がアクティブ (High) になります。カウンタの長さの最大値は、CE ピンと TC ピン間の伝搬遅延の合計とクロック周期の関係によって決定されます。クロック周期は、 $n(t_{CE-TC})$ より大きい必要があります。ここで、 n は段数、時間 t_{CE-TC} は各段での CE ピンと TC ピン間の伝搬遅延を表します。カウンタをカスケードする場合、CE 入力を使用するときは CEO 出力を、CE 入力を使用しないときは TC 出力を使用します。

電力を供給すると、カウンタは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバータを追加するとアクティブ Low にできます。

論理表

入力						出力		
CLR	L	CE	C	UP	Dz - D0	Qz - Q0	TC	CEO
1	X	X	X	X	X	0	0	0
0	1	X	↑	X	Dn	Dn	TC	CEO
0	0	0	X	X	X	変化なし	変化なし	0
0	0	1	↑	1	X	インクリメント	TC	CEO
0	0	1	↑	0	X	デクリメント	TC	CEO
z = ビット幅 - 1 $TC = (Qz \cdot Q(z-1) \cdot Q(z-2) \cdot \dots \cdot Q0 \cdot UP) + (Qz \cdot Q(z-1) \cdot Q(z-2) \cdot \dots \cdot Q0 \cdot \overline{UP})$ $CEO = TC \cdot CE$								

デザインの入力方法

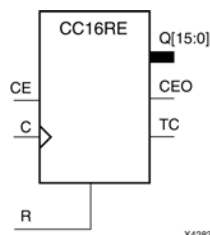
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

CC16RE

マクロ : 16-Bit Cascadable Binary Counter with Clock Enable and Synchronous Reset



概要

このデザイン エLEMENTは、同期、リセット可能、カスケード可能なバイナリカウンタです。これらのカウンタは、キャリーロジックと相対ロケーション制約を使用してインプリメントされているので、ロジックが効率よく配置されます。同期リセット入力 (R) は最も優先される入力で、R が High になると、ほかのすべての入力は無視され、クロック (C) が Low から High に切り替わるたびに、Q 出力、ターミナル カウント (TC)、クロック イネーブル出力 (CEO) が 0 になります。クロック イネーブル入力 (CE) が High の場合、クロックが Low から High に切り替わるたびに Q 出力がインクリメントされます。CE が Low の場合、クロック遷移は無視されます。すべての Q 出力と CE が High になると、TC 出力が High になります。

1 段目の CEO 出力を次の段の CE 入力に接続し、C および R 入力を並列に接続すると、より大型のカウンタを作成できます。TC と CE が High になると、CEO がアクティブ (High) になります。カウンタの長さの最大値は、CE ピンと TC ピン間の伝搬遅延の合計とクロック周期の関係によって決定されます。クロック周期は、 $n(t_{CE-TC})$ より大きい必要があります。ここで、 n は段数、時間 t_{CE-TC} は各段での CE ピンと TC ピン間の伝搬遅延を表します。カウンタをカスケードする場合、CE 入力を使用するときは CEO 出力を、CE 入力を使用しないときは TC 出力を使用します。

電力を供給すると、カウンタは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバータを追加するとアクティブ Low にできます。

論理表

入力			出力		
R	CE	C	Q _z - Q ₀	TC	CEO
1	X	↑	0	0	0
0	0	X	変化なし	変化なし	0
0	1	↑	インクリメント	TC	CEO

$z = \text{ビット幅} - 1$
 $TC = Q_z \cdot Q_{(z-1)} \cdot Q_{(z-2)} \cdot \dots \cdot Q_0$
 $CEO = TC \cdot CE$

デザインの入力方法

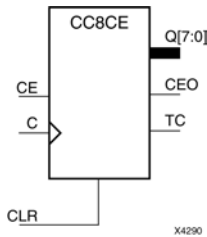
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

CC8CE

マクロ : 8-Bit Cascadable Binary Counter with Clock Enable and Asynchronous Clear



概要

このデザイン エレメントは、非同期クリア可能、カスケード可能なバイナリ カウンタです。このカウンタは、キャリー ロジックと相対ロケーション制約を使用してインプリメントされているので、ロジックが効率よく配置されます。非同期クリア入力 (CLR) が最も優先される入力で、High の場合、クロック (C) の遷移に関係なく、Q 出力、ターミナル カウント (TC)、クロック イネーブル出力 (CEO) が 0 になります。クロック イネーブル入力 (CE) が High の場合、クロック (C) が Low から High に切り替わるときに出力 (Q) がインクリメントされます。CE が Low の場合、クロック遷移は無視されます。すべての Q 出力が High になると、TC 出力が High になります。

1 段目の CEO 出力を次の段の CE 入力に接続し、C および CLR 入力を並列に接続すると、より大型のカウンタを作成できます。TC と CE が High になると、CEO がアクティブ (High) になります。カウンタの長さの最大値は、CE ピンと TC ピン間の伝搬遅延の合計とクロック周期の関係によって決定されます。クロック周期は、 $n(t_{CE-TC})$ より大きい必要があります。ここで、 n は段数、時間 t_{CE-TC} は各段での CE ピンと TC ピン間の伝搬遅延を表します。カウンタをカスケードする場合、CE 入力を使用するときは CEO 出力を、CE 入力を使用しないときは TC 出力を使用します。

電力を供給すると、カウンタは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバータを追加するとアクティブ Low にできます。

論理表

入力			出力		
CLR	CE	C	Q _z - Q ₀	TC	CEO
1	X	X	0	0	0
0	0	X	変化なし	変化なし	0
0	1	↑	インクリメント	TC	CEO
$z = \text{ビット幅} - 1$ $TC = Q_z \cdot Q_{(z-1)} \cdot Q_{(z-2)} \cdot \dots \cdot Q_0$ $CEO = TC \cdot CE$					

デザインの入力方法

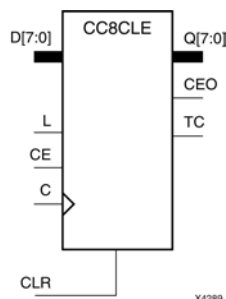
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

CC8CLE

マクロ : 8-Bit Loadable Cascadable Binary Counter with Clock Enable and Asynchronous Clear



概要

このデザイン エLEMENTは、同期、ロード可能、非同期クリア可能、カスケード可能なバイナリ カウンタです。このカウンタは、キャリー ロジックと相対ロケーション制約を使用してインプリメントされているので、ロジックが効率よく配置されます。非同期クリア入力 (CLR) が最も優先される入力で、High の場合、クロック (C) の遷移に関係なく、Q 出力、ターミナル カウント (TC)、クロック イネーブル出力 (CEO) が 0 になります。ロード イネーブル入力 (L) が High の場合、クロック (C) が Low から High に切り替わるときに、クロック イネーブル (CE) の値に関係なく、入力 (D) の値がカウンタにロードされます。CE が High の場合、クロックが Low から High に切り替わるときに Q 出力がインクリメントされます。CE が Low の場合、クロック遷移は無視されます。すべての Q 出力が High になると、TC 出力が High になります。

1 段目の CEO 出力を次の段の CE 入力に接続し、C、L、および CLR 入力を並列に接続すると、より大型のカウンタを作成できます。TC と CE が High になると、CEO がアクティブ (High) になります。カウンタの長さの最大値は、CE ピンと TC ピン間の伝搬遅延の合計とクロック周期の関係によって決定されます。クロック周期は、 $n(t_{CE-TC})$ より大きい必要があります。ここで、 n は段数、時間 t_{CE-TC} は各段での CE ピンと TC ピン間の伝搬遅延を表します。カウンタをカスケードする場合、CE 入力を使用するときは CEO 出力を、CE 入力を使用しないときは TC 出力を使用します。

電力を供給すると、カウンタは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバータを追加するとアクティブ Low にできます。

論理表

入力					出力		
CLR	L	CE	C	D _z - D ₀	Q _z - Q ₀	TC	CEO
1	X	X	X	X	0	0	0
0	1	X	↑	D _n	D _n	TC	CEO
0	0	0	X	X	変化なし	変化なし	0
0	0	1	↑	X	インクリメント	TC	CEO

$z = \text{ビット幅} - 1$
 $TC = Q_z \cdot Q_{(z-1)} \cdot Q_{(z-2)} \cdot \dots \cdot Q_0$
 $CEO = TC \cdot CE$

デザインの入力方法

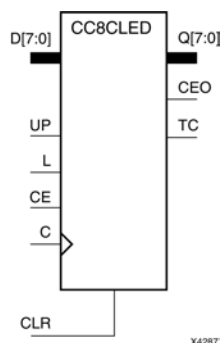
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)

CC8CLED

マクロ : 8-Bit Loadable Cascadable Bidirectional Binary Counter with Clock Enable and Asynchronous Clear



概要

このデザイン エLEMENTは、同期、ロード可能、非同期クリア可能、カスケード可能な双方向バイナリ カウンタです。このカウンタは、キャリー ロジックと相対ロケーション制約を使用してインプリメントされているので、ロジックが効率よく配置されます。非同期クリア入力 (CLR) が最も優先される入力で、High の場合、クロック (C) の遷移に関係なく、Q 出力、ターミナル カウント (TC)、クロック イネーブル出力 (CEO) が 0 になります。ロード イネーブル入力 (L) が High の場合、クロック (C) が Low から High に切り替わる時に、クロック イネーブル (CE) の値に関係なく、入力 (D) の値がカウンタにロードされます。CE が High、UP が Low の場合、クロックが Low から High に切り替わる時に、Q 出力がデクリメントされます。CE と UP が High の場合、Q 出力がインクリメントされます。CE が Low の場合、クロック遷移は無視されます。

カウントアップする場合、すべての Q 出力と UP が High になると TC 出力が High になります。カウントダウンする場合、すべての Q 出力と UP が Low になると TC 出力が High になります。

1 段目の CEO 出力を次の段の CE 入力に接続し、C、UP、L、および CLR 入力を並列に接続すると、より大型のカウンタを作成できます。TC と CE が High になると、CEO がアクティブ (High) になります。カウンタの長さの最大値は、CE ピンと TC ピン間の伝搬遅延の合計とクロック周期の関係によって決定されます。クロック周期は、 $n(t_{CE-TC})$ より大きい必要があります。ここで、 n は段数、時間 t_{CE-TC} は各段での CE ピンと TC ピン間の伝搬遅延を表します。カウンタをカスケードする場合、CE 入力を使用するときは CEO 出力を、CE 入力を使用しないときは TC 出力を使用します。

電力を供給すると、カウンタは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバータを追加するとアクティブ Low にできます。

論理表

入力						出力		
CLR	L	CE	C	UP	Dz - D0	Qz - Q0	TC	CEO
1	X	X	X	X	X	0	0	0
0	1	X	↑	X	Dn	Dn	TC	CEO
0	0	0	X	X	X	変化なし	変化なし	0
0	0	1	↑	1	X	インクリメント	TC	CEO
0	0	1	↑	0	X	デクリメント	TC	CEO
$z = \text{ビット幅} - 1$ $TC = (Qz \cdot Q(z-1) \cdot Q(z-2) \cdot \dots \cdot Q0 \cdot UP) + (Qz \cdot Q(z-1) \cdot Q(z-2) \cdot \dots \cdot Q0 \cdot \overline{UP})$ $CEO = TC \cdot CE$								

デザインの入力方法

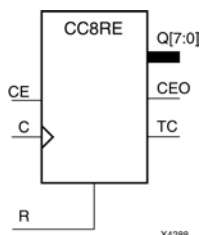
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

CC8RE

マクロ : 8-Bit Cascadable Binary Counter with Clock Enable and Synchronous Reset



概要

このデザイン エLEMENTは、同期、リセット可能、カスケード可能なバイナリカウンタです。これらのカウンタは、キャリーロジックと相対ロケーション制約を使用してインプリメントされているので、ロジックが効率よく配置されます。同期リセット入力 (R) は最も優先される入力で、R が High になると、ほかのすべての入力は無視され、クロック (C) が Low から High に切り替わるたびに、Q 出力、ターミナル カウント (TC)、クロック イネーブル出力 (CEO) が 0 になります。クロック イネーブル入力 (CE) が High の場合、クロックが Low から High に切り替わるたびに Q 出力がインクリメントされます。CE が Low の場合、クロック遷移は無視されます。すべての Q 出力と CE が High になると、TC 出力が High になります。

1 段目の CEO 出力を次の段の CE 入力に接続し、C および R 入力を並列に接続すると、より大型のカウンタを作成できます。TC と CE が High になると、CEO がアクティブ (High) になります。カウンタの長さの最大値は、CE ピンと TC ピン間の伝搬遅延の合計とクロック周期の関係によって決定されます。クロック周期は、 $n(t_{CE-TC})$ より大きい必要があります。ここで、 n は段数、時間 t_{CE-TC} は各段での CE ピンと TC ピン間の伝搬遅延を表します。カウンタをカスケードする場合、CE 入力を使用するときは CEO 出力を、CE 入力を使用しないときは TC 出力を使用します。

電力を供給すると、カウンタは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバータを追加するとアクティブ Low にできます。

論理表

入力			出力		
R	CE	C	Q _z - Q ₀	TC	CEO
1	X	↑	0	0	0
0	0	X	変化なし	変化なし	0
0	1	↑	インクリメント	TC	CEO
$z = \text{ビット幅} - 1$ $TC = Q_z \cdot Q_{(z-1)} \cdot Q_{(z-2)} \cdot \dots \cdot Q_0$ $CEO = TC \cdot CE$					

デザインの入力方法

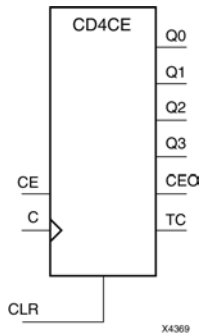
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

CD4CE

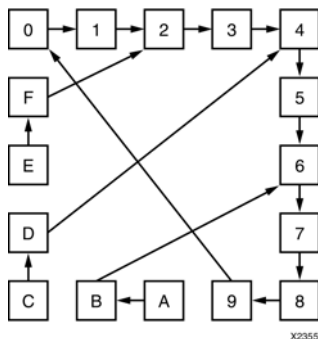
マクロ : 4-Bit Cascadable BCD Counter with Clock Enable and Asynchronous Clear



概要

CD4CE は、4 ビットの非同期、クリア可能、カスケード可能な 2 進法 10 進法 (BCD) のカウンタです。非同期クリア入力 (CLR) が最も優先される入力で、High の場合、クロック (C) の遷移に関係なく、Q 出力、ターミナル カウント (TC)、クロック イネーブル出力 (CEO) が 0 になります。クロック イネーブル (CE) が High の場合、クロック (C) が Low から High に切り替わる時に Q 出力がインクリメントされます。CE が Low の場合、クロック遷移は無視されます。Q3 と Q0 が High、Q2 と Q1 が Low になると、TC 出力が High になります。

次のステート ダイアグラムに示すように、カウンタは 6 通りの無効状態から 2 クロック サイクル以内に通常のカウントシーケンスに復帰します。



1 段目の CEO 出力を次の段の CE 入力に接続し、C および CLR 入力を並列に接続すると、より大型のカウンタを作成できます。TC と CE が High になると、CEO がアクティブ (High) になります。カウンタの長さの最大値は、CE ピンと TC ピン間の伝搬遅延の合計とクロック周期の関係によって決定されます。クロック周期は、 $n(t_{CE-TC})$ より大きい必要があります。ここで、 n は段数、時間 t_{CE-TC} は各段での CE ピンと TC ピン間の伝搬遅延を表します。カウンタをカスケードする場合、CE 入力を使用するときは CEO 出力を、CE 入力を使用しないときは TC 出力を使用します。

電力を供給すると、カウンタは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバータを追加するとアクティブ Low にできます。

論理表

入力			出力					
CLR	CE	C	Q3	Q2	Q1	Q0	TC	CEO
1	X	X	0	0	0	0	0	0
0	1	↑	インクリメント	インクリメント	インクリメント	インクリメント	TC	CEO
0	0	X	変化なし	変化なし	変化なし	変化なし	TC	0
0	1	X	1	0	0	1	1	1
TC = Q3·!Q2·!Q1·Q0								
CEO = TC·CE								

デザインの入力方法

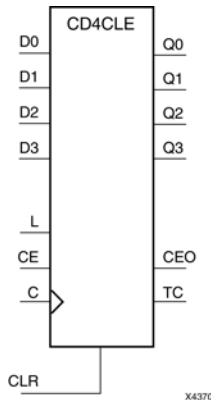
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

CD4CLE

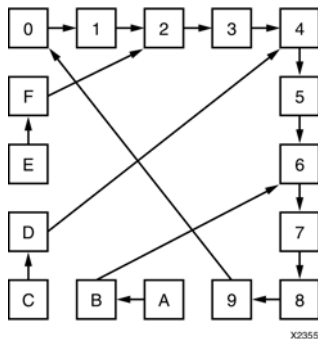
マクロ : 4-Bit Loadable Cascadable BCD Counter with Clock Enable and Asynchronous Clear



概要

CD4CLE は、4 ビットの同期ロード可能、非同期クリア可能、カスケード可能なバイナリ カウンタです。非同期クリア入力 (CLR) が最も優先される入力で、High の場合、クロック (C) の遷移に関係なく、Q 出力、ターミナル カウント (TC)、クロック イネーブル出力 (CEO) が 0 になります。ロード イネーブル入力 (L) が High の場合、クロック (C) が Low から High に切り替わるときに D 入力の値がカウンタにロードされます。クロック イネーブル入力 (CE) が High の場合、クロックが Low から High に切り替わるときに Q 出力がインクリメントされます。CE が Low の場合、クロック遷移は無視されます。Q3 と Q0 が High、Q2 と Q1 が Low になると、TC 出力が High になります。

次のステート ダイアグラムに示すように、カウンタは 6 通りの無効状態から 2 クロック サイクル以内に通常のカウントシーケンスに復帰します。



1 段目の CEO 出力を次の段の CE 入力に接続し、C、L、および CLR 入力を並列に接続すると、より大型のカウンタを作成できます。TC と CE が High になると、CEO がアクティブ (High) になります。カウンタの長さの最大値は、CE ピンと TC ピン間の伝搬遅延の合計とクロック周期の関係によって決定されます。クロック周期は、 $n(t_{CE-TC})$ より大きい必要があります。ここで、 n は段数、時間 t_{CE-TC} は各段での CE ピンと TC ピン間の伝搬遅延を表します。カウンタをカスケードする場合、CE 入力を使用するときは CEO 出力を、CE 入力を使用しないときは TC 出力を使用します。

電力を供給すると、カウンタは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバータを追加するとアクティブ Low にできます。

論理表

入力					出力					
CLR	L	CE	D3 : D0	C	Q3	Q2	Q1	Q0	TC	CEO
1	X	X	X	X	0	0	0	0	0	0
0	1	X	D3 : D0	↑	D3	D2	D1	D0	TC	CEO
0	0	1	X	↑	インクリメント	インクリメント	インクリメント	インクリメント	TC	CEO
0	0	0	X	X	変化なし	変化なし	変化なし	変化なし	TC	0
0	0	1	X	X	1	0	0	1	1	1
TC = Q3·!Q2·!Q1·Q0										
CEO = TC·CE										

デザインの入力方法

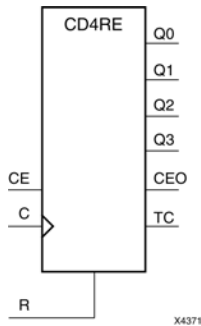
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

CD4RE

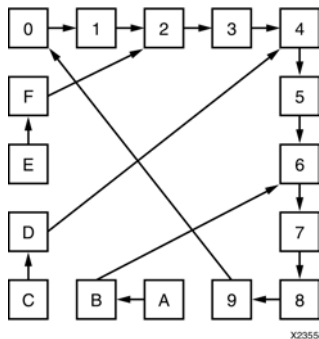
マクロ : 4-Bit Cascadable BCD Counter with Clock Enable and Synchronous Reset



概要

CD4RE は、4 ビットの同期、リセット可能、カスケード可能な 2 進法 10 進法 (BCD) のカウンタです。同期リセット入力 (R) は最も優先される入力であり、R が High になるとほかのすべての入力は無視され、クロック (C) が Low から High に切り替わるたびに、Q 出力、ターミナル カウント (TC)、クロック イネーブル出力 (CEO) が 0 になります。クロック イネーブル入力 (CE) が High の場合、クロックが Low から High に切り替わるたびに Q 出力がインクリメントされます。CE が Low の場合、クロック遷移は無視されます。Q3 と Q0 が High、Q2 と Q1 が Low になると、TC 出力が High になります。

次のステート ダイアグラムに示すように、カウンタは 6 通りの無効状態から 2 クロック サイクル以内に通常のカウントシーケンスに復帰します。



1 段目の CEO 出力を次の段の CE 入力に接続し、C および R 入力を並列に接続すると、より大型のカウンタを作成できます。TC と CE が High になると、CEO がアクティブ (High) になります。カウンタの長さの最大値は、CE ピンと TC ピン間の伝搬遅延の合計とクロック周期の関係によって決定されます。クロック周期は、 $n(t_{CE-TC})$ より大きい必要があります。ここで、 n は段数、時間 t_{CE-TC} は各段での CE ピンと TC ピン間の伝搬遅延を表します。カウンタをカスケードする場合、CE 入力を使用するときは CEO 出力を、CE 入力を使用しないときは TC 出力を使用します。

電力を供給すると、カウンタは非同期的にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバータを追加するとアクティブ Low にできます。

論理表

入力			出力					
R	CE	C	Q3	Q2	Q1	Q0	TC	CEO
1	X	↑	0	0	0	0	0	0
0	1	↑	インクリメント	インクリメント	インクリメント	インクリメント	TC	CEO
0	0	X	変化なし	変化なし	変化なし	変化なし	TC	0
0	1	X	1	0	0	1	1	1
TC = Q3·!Q2·!Q1·Q0								
CEO = TC·CE								

デザインの入力方法

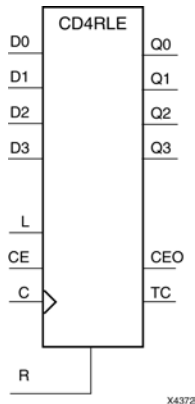
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)

CD4RLE

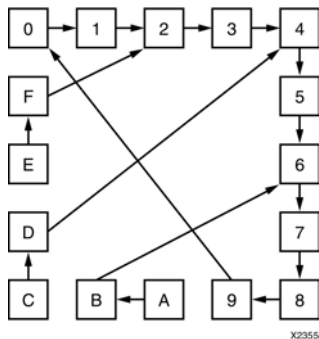
マクロ : 4-Bit Loadable Cascadable BCD Counter with Clock Enable and Synchronous Reset



概要

CD4RLE は、4 ビットの同期、ロード可能、リセット可能な 2 進法 10 進法 (BCD) カウンタです。同期リセット入力 (R) は最も優先される入力で、R が High になると、ほかのすべての入力は無視され、クロックが Low から High に切り替わるたびに、Q 出力、ターミナル カウント (TC)、クロック イネーブル出力 (CEO) が 0 になります。ロード イネーブル入力 (L) が High の場合、クロック (C) が Low から High に切り替わるたびに D 入力の値がカウンタにロードされます。クロック イネーブル入力 (CE) が High の場合、クロックが Low から High に切り替わるたびに Q 出力がインクリメントされます。CE が Low の場合、クロック遷移は無視されます。Q3 と Q0 が High、Q2 と Q1 が Low になると、TC 出力が High になります。

次のステート ダイアグラムに示すように、カウンタは 6 通りの無効状態から 2 クロック サイクル以内に通常のカウントシーケンスに復帰します。



1 段目の CEO 出力を次の段の CE 入力に接続し、C、L、および R 入力を並列に接続すると、より大型のカウンタを作成できます。TC と CE が High になると、CEO がアクティブ (High) になります。カウンタの長さの最大値は、CE ピンと TC ピン間の伝搬遅延の合計とクロック周期の関係によって決定されます。クロック周期は、 $n(t_{CE-TC})$ より大きい必要があります。ここで、 n は段数、時間 t_{CE-TC} は各段での CE ピンと TC ピン間の伝搬遅延を表します。カウンタをカスケードする場合、CE 入力を使用するときは CEO 出力を、CE 入力を使用しないときは TC 出力を使用します。

電力を供給すると、カウンタは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバータを追加するとアクティブ Low にできます。

論理表

入力					出力					
R	L	CE	D3 : D0	C	Q3	Q2	Q1	Q0	TC	CEO
1	X	X	X	↑	0	0	0	0	0	0
0	1	X	D3 : D0	↑	D3	D	D	D0	TC	CEO
0	0	1	X	↑	インクリメント	インクリメント	インクリメント	インクリメント	TC	CEO
0	0	0	X	X	変化なし	変化なし	変化なし	変化なし	TC	0
0	0	1	X	X	1	0	0	1	1	1
TC = Q3·!Q2·!Q1·Q0										
CEO = TC·CE										

デザインの入力方法

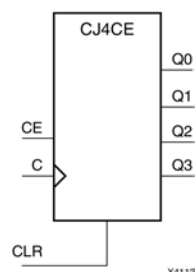
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

CJ4CE

4-Bit Johnson Counter with Clock Enable and Asynchronous Clear



概要

このデザイン エLEMENTは、クリア可能なジョンソン/シフト カウンタです。非同期クリア (CLR) 入力が高になると、ほかのすべての入力は無視され、クロック (C) の遷移に関係なく、出力 (Q) が 0 になります。クロック イネーブル入力 (CE) が High の場合、クロックが Low から High に切り替わる時にカウンタがインクリメント (Q0 → Q1、Q1 → Q2 のようにシフト) します。CE が Low の場合、クロック遷移は無視されます。

このデザイン エLEMENTでは、Q3 の出力が反転されて入力 Q0 にフィードバックされ、連続したカウント処理が行われます。

電力を供給すると、カウンタは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバータを追加するとアクティブ Low にできます。

論理表

入力			出力	
CLR	CE	C	Q0	Q1 - Q3
1	X	X	0	0
0	0	X	変化なし	変化なし
0	1	↑	!q3	q0 - q2
q = アクティブなクロック エッジの 1 セットアップ タイム前の対応する出力の値				

デザインの入力方法

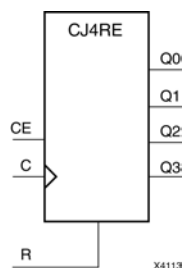
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

CJ4RE

マクロ : 4-Bit Johnson Counter with Clock Enable and Synchronous Reset



概要

このデザイン エLEMENTは、リセット可能なジョンソン/シフト カウンタです。同期 R が High になると、ほかのすべての入力は無視され、クロック (C) が Low から High に切り替わる時に出力が 0 になります。クロック イネーブル入力 (CE) が High の場合、クロックが Low から High に切り替わる時にカウンタがインクリメント (Q0 → Q1、Q1 → Q2 のようにシフト) します。CE が Low の場合、クロック遷移は無視されます。

このデザイン エLEMENTでは、Q3 の出力が反転されて入力 Q0 にフィードバックされ、連続したカウント処理が行われます。

電力を供給すると、カウンタは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバータを追加するとアクティブ Low にできます。

論理表

入力			出力	
R	CE	C	Q0	Q1 - Q3
1	X	↑	0	0
0	0	X	変化なし	変化なし
0	1	↑	!q3	q0 - q2
q = アクティブなクロック エッジの 1 セットアップ タイム前の対応する出力の値				

デザインの入力方法

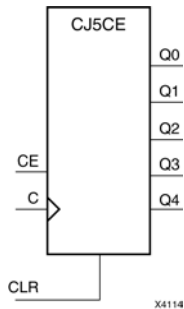
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

CJ5CE

マクロ : 5-Bit Johnson Counter with Clock Enable and Asynchronous Clear



概要

このデザイン エLEMENTは、クリア可能なジョンソン/シフト カウンタです。非同期クリア (CLR) 入力が高になると、ほかのすべての入力は無視され、クロック (C) の遷移に関係なく、出力 (Q) が 0 になります。クロック イネーブル入力 (CE) が High の場合、クロックが Low から High に切り替わる時にカウンタがインクリメント (Q0 → Q1、Q1 → Q2 のようにシフト) します。CE が Low の場合、クロック遷移は無視されます。

このデザイン エLEMENTでは、Q4 の出力が反転されて入力 Q0 にフィードバックされ、連続したカウント処理が行われます。

電力を供給すると、カウンタは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバータを追加するとアクティブ Low にできます。

論理表

入力			出力	
CLR	CE	C	Q0	Q1 - Q4
1	X	X	0	0
0	0	X	変化なし	変化なし
0	1	↑	!q4	q0 - q3
q = アクティブなクロック エッジの 1 セットアップ タイム前の対応する出力の値				

デザインの入力方法

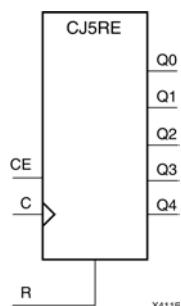
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

CJ5RE

マクロ : 5-Bit Johnson Counter with Clock Enable and Synchronous Reset



概要

このデザイン エLEMENTは、リセット可能なジョンソン/シフト カウンタです。同期 R が High になると、ほかのすべての入力は無視され、クロック (C) が Low から High に切り替わる時に出力が 0 になります。クロック イネーブル入力 (CE) が High の場合、クロックが Low から High に切り替わる時にカウンタがインクリメント (Q0 → Q1、Q1 → Q2 のようにシフト) します。CE が Low の場合、クロック遷移は無視されます。

このデザイン エLEMENTでは、Q4 の出力が反転されて入力 Q0 にフィードバックされ、連続したカウント処理が行われます。

電力を供給すると、カウンタは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバータを追加するとアクティブ Low にできます。

論理表

入力			出力	
R	CE	C	Q0	Q1 - Q4
1	X	↑	0	0
0	0	X	変化なし	変化なし
0	1	↑	!q4	q0 - q3
q = アクティブなクロック エッジの 1 セットアップ タイム前の対応する出力の値				

デザインの入力方法

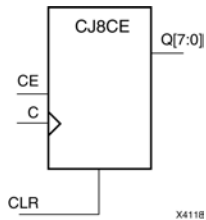
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

CJ8CE

マクロ : 8-Bit Johnson Counter with Clock Enable and Asynchronous Clear



概要

このデザイン エLEMENTは、クリア可能なジョンソン/シフト カウンタです。非同期クリア (CLR) 入力が高になると、ほかのすべての入力は無視され、クロック (C) の遷移に関係なく、出力 (Q) が 0 になります。クロック イネーブル入力 (CE) が High の場合、クロックが Low から High に切り替わるときにカウンタがインクリメント (Q0 → Q1、Q1 → Q2 のようにシフト) します。CE が Low の場合、クロック遷移は無視されます。

このデザイン エLEMENTでは、Q7 の出力が反転されて入力 Q0 にフィードバックされ、連続したカウント処理が行われます。

電力を供給すると、カウンタは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバータを追加するとアクティブ Low にできます。

論理表

入力			出力	
CLR	CE	C	Q0	Q1 - Q8
1	X	X	0	0
0	0	X	変化なし	変化なし
0	1	↑	!q7	q0 - q7
q = アクティブなクロック エッジの 1 セットアップ タイム前の対応する出力の値				

デザインの入力方法

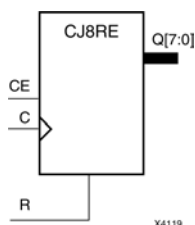
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

CJ8RE

マクロ : 8-Bit Johnson Counter with Clock Enable and Synchronous Reset



概要

このデザイン エLEMENTは、リセット可能なジョンソン/シフト カウンタです。同期 R が High になると、ほかのすべての入力は無視され、クロック (C) が Low から High に切り替わる時に出力が 0 になります。クロック イネーブル入力 (CE) が High の場合、クロックが Low から High に切り替わる時にカウンタがインクリメント (Q0 → Q1、Q1 → Q2 のようにシフト) します。CE が Low の場合、クロック遷移は無視されます。

このデザイン エLEMENTでは、Q7 の出力が反転されて入力 Q0 にフィードバックされ、連続したカウント処理が行われます。

電力を供給すると、カウンタは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバータを追加するとアクティブ Low にできます。

論理表

入力			出力	
R	CE	C	Q0	Q1 - Q7
1	X	↑	0	0
0	0	X	変化なし	変化なし
0	1	↑	!q7	q0 - q6
q = アクティブなクロック エッジの 1 セットアップ タイム前の対応する出力の値				

デザインの入力方法

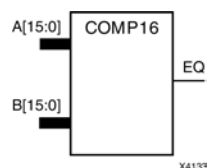
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

COMP16

マクロ : 16-Bit Identity Comparator



概要

このデザイン エLEMENTは、16 ビットのアイデンティティ コンパレータです。イコール出力 (EQ) は、A15 ~ A0 および B15 ~ B0 の 2 つのワードが等しいと High になります。

2 つのワードが等しいかどうかは、各ビットを比較して判断されます。各ワードの対応するビットのいずれかに等しくないものがある場合、EQ 出力は Low になります。

デザインの入力方法

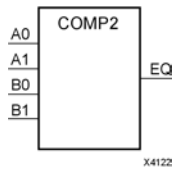
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

COMP2

マクロ : 2-Bit Identity Comparator



概要

このデザイン エLEMENTは、2 ビットのアイデンティティコンパレータです。イコール出力 (EQ) は、A1 ~ A0 および B1 ~ B0 の 2 つのワードが等しいと High になります。

2 つのワードが等しいかどうかは、各ビットを比較して判断されます。各ワードの対応するビットのいずれかに等しくないものがある場合、EQ 出力は Low になります。

デザインの入力方法

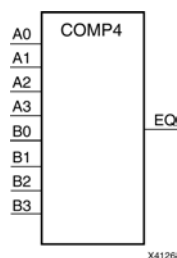
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

COMP4

マクロ : 4-Bit Identity Comparator



概要

このデザイン エLEMENTは、4 ビットのアイデンティティ コンパレータです。イコール出力 (EQ) は、A3 ~ A0 および B3 ~ B0 の 2 つのワードが等しいと High になります。

2 つのワードが等しいかどうかは、各ビットを比較して判断されます。各ワードの対応するビットのいずれかに等しくないものがある場合、EQ 出力は Low になります。

デザインの入力方法

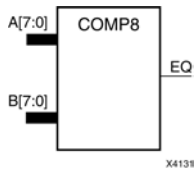
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

COMP8

マクロ : 8-Bit Identity Comparator



概要

このデザイン エLEMENTは、8 ビットのアイデンティティコンパレータです。イコール出力 (EQ) は、A7 ~ A0 および B7 ~ B0 の 2 つのワードが等しいと High になります。

2 つのワードが等しいかどうかは、各ビットを比較して判断されます。各ワードの対応するビットのいずれかに等しくないものがある場合、EQ 出力は Low になります。

デザインの入力方法

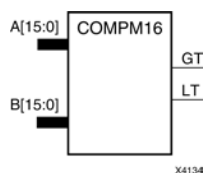
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

COMP16

マクロ : 16-Bit Magnitude Comparator



概要

このデザイン エLEMENTは 16 ビットのマグニチュード コンパレータであり、2 つの正の 2 進重み付きワード A15 ~ A0 と B15 ~ B0 を比較します。この場合、A15 と B15 が最上位ビットです。

大なり出力 (GT) は $A > B$ のとき High になり、小なり出力 (LT) は $A < B$ のとき High になります。2 つのワードが等しいときは、GT と LT の両方が Low になります。このマクロで等価性を調べるには、両方の出力を NOR ゲートで比較します。

論理表

入力								出力	
A7、B7	A6、B6	A5、B5	A4、B4	A3、B3	A2、B2	A1、B1	A0、B0	GT	LT
A7>B7	X	X	X	X	X	X	X	1	0
A7<B7	X	X	X	X	X	X	X	0	1
A7=B7	A6>B6	X	X	X	X	X	X	1	0
A7=B7	A6<B6	X	X	X	X	X	X	0	1
A7=B7	A6=B6	A5>B5	X	X	X	X	X	1	0
A7=B7	A6=B6	A5<B5	X	X	X	X	X	0	1
A7=B7	A6=B6	A5=B5	A4>B4	X	X	X	X	1	0
A7=B7	A6=B6	A5=B5	A4<B4	X	X	X	X	0	1
A7=B7	A6=B6	A5=B5	A4=B4	A3>B3	X	X	X	1	0
A7=B7	A6=B6	A5=B5	A4=B4	A3<B3	X	X	X	0	1
A7=B7	A6=B6	A5=B5	A4=B4	A3=B3	A2>B2	X	X	1	0
A7=B7	A6=B6	A5=B5	A4=B4	A3=B3	A2<B2	X	X	0	1
A7=B7	A6=B6	A5=B5	A4=B4	A3=B3	A2=B2	A1>B1	X	1	0
A7=B7	A6=B6	A5=B5	A4=B4	A3=B3	A2=B2	A1<B1	X	0	1
A7=B7	A6=B6	A5=B5	A4=B4	A3=B3	A2=B2	A1=B1	A0>B0	1	0
A7=B7	A6=B6	A5=B5	A4=B4	A3=B3	A2=B2	A1=B1	A0<B0	0	1
A7=B7	A6=B6	A5=B5	A4=B4	A3=B3	A2=B2	A1=B1	A0=B0	0	0

デザインの入力方法

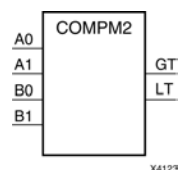
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

COMPM2

マクロ : 2-Bit Magnitude Comparator



概要

このデザイン エLEMENTは 2 ビットのマグニチュード コンパレータであり、2 つの正の 2 進重み付きワード A1 ~ A0 と B1 ~ B0 を比較します。この場合、A1 と B1 が最上位ビットです。

大なり出力 (GT) は $A > B$ のとき High になり、小なり出力 (LT) は $A < B$ のとき High になります。2 つのワードが等しいときは、GT と LT の両方が Low になります。このマクロで等価性を調べるには、両方の出力を NOR ゲートで比較します。

論理表

入力				出力	
A1	B1	A0	B0	GT	LT
0	0	0	0	0	0
0	0	1	0	1	0
0	0	0	1	0	1
0	0	1	1	0	0
1	1	0	0	0	0
1	1	1	0	1	0
1	1	0	1	0	1
1	1	1	1	0	0
1	0	X	X	1	0
0	1	X	X	0	1

デザインの入力方法

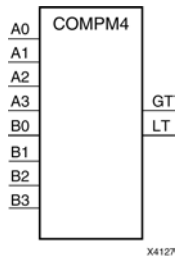
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

COMPM4

マクロ : 4-Bit Magnitude Comparator



概要

このデザイン エLEMENTは 4 ビットのマグニチュード コンパレータであり、2 つの正の 2 進重み付きワード A3 ~ A0 と B3 ~ B0 を比較します。この場合、A3 と B3 が最上位ビットです。

大なり出力 (GT) は $A > B$ のとき High になり、小なり出力 (LT) は $A < B$ のとき High になります。2 つのワードが等しいときは、GT と LT の両方が Low になります。このマクロで等価性を調べるには、両方の出力を NOR ゲートで比較します。

論理表

入力				出力	
A3、B3	A2、B2	A1、B1	A0、B0	GT	LT
$A3 > B3$	X	X	X	1	0
$A3 < B3$	X	X	X	0	1
$A3 = B3$	$A2 > B2$	X	X	1	0
$A3 = B3$	$A2 < B2$	X	X	0	1
$A3 = B3$	$A2 = B2$	$A1 > B1$	X	1	0
$A3 = B3$	$A2 = B2$	$A1 < B1$	X	0	1
$A3 = B3$	$A2 = B2$	$A1 = B1$	$A0 > B0$	1	0
$A3 = B3$	$A2 = B2$	$A1 = B1$	$A0 < B0$	0	1
$A3 = B3$	$A2 = B2$	$A1 = B1$	$A0 = B0$	0	0

デザインの入力方法

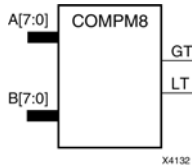
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

COMP8

マクロ : 8-Bit Magnitude Comparator



概要

このデザイン エLEMENTは 8 ビットのマグニチュード コンパレータであり、2 つの正の 2 進重み付きワード A7 ~ A0 と B7 ~ B0 を比較します。この場合、A7 と B7 が最上位ビットです。

大なり出力 (GT) は $A > B$ のとき High になり、小なり出力 (LT) は $A < B$ のとき High になります。2 つのワードが等しいときは、GT と LT の両方が Low になります。このマクロで等価性を調べるには、両方の出力を NOR ゲートで比較します。

論理表

入力								出力	
A7、B7	A6、B6	A5、B5	A4、B4	A3、B3	A2、B2	A1、B1	A0、B0	GT	LT
A7>B7	X	X	X	X	X	X	X	1	0
A7<B7	X	X	X	X	X	X	X	0	1
A7=B7	A6>B6	X	X	X	X	X	X	1	0
A7=B7	A6<B6	X	X	X	X	X	X	0	1
A7=B7	A6=B6	A5>B5	X	X	X	X	X	1	0
A7=B7	A6=B6	A5<B5	X	X	X	X	X	0	1
A7=B7	A6=B6	A5=B5	A4>B4	X	X	X	X	1	0
A7=B7	A6=B6	A5=B5	A4<B4	X	X	X	X	0	1
A7=B7	A6=B6	A5=B5	A4=B4	A3>B3	X	X	X	1	0
A7=B7	A6=B6	A5=B5	A4=B4	A3<B3	X	X	X	0	1
A7=B7	A6=B6	A5=B5	A4=B4	A3=B3	A2>B2	X	X	1	0
A7=B7	A6=B6	A5=B5	A4=B4	A3=B3	A2<B2	X	X	0	1
A7=B7	A6=B6	A5=B5	A4=B4	A3=B3	A2=B2	A1>B1	X	1	0
A7=B7	A6=B6	A5=B5	A4=B4	A3=B3	A2=B2	A1<B1	X	0	1
A7=B7	A6=B6	A5=B5	A4=B4	A3=B3	A2=B2	A1=B1	A0>B0	1	0
A7=B7	A6=B6	A5=B5	A4=B4	A3=B3	A2=B2	A1=B1	A0<B0	0	1
A7=B7	A6=B6	A5=B5	A4=B4	A3=B3	A2=B2	A1=B1	A0=B0	0	0

デザインの入力方法

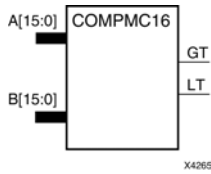
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

COMP16

マクロ : 16-Bit Magnitude Comparator



概要

このデザイン エLEMENTは 16 ビットのマグニチュード コンパレータであり、2 つの正の 2 進重み付きワード A15 ~ A0 と B15 ~ B0 を比較します。この場合、A15 と B15 が最上位ビットです。

このコンパレータは、キャリー ロジックと相対ロケーション制約を使用してインプリメントされているので、ロジックが効率よく配置されます。

大なり出力 (GT) は $A > B$ のとき High になり、小なり出力 (LT) は $A < B$ のとき High になります。2 つのワードが等しいときは、GT と LT の両方が Low になります。このマクロで等価性を調べるには、両方の出力を NOR ゲートに接続します。

論理表

入力								出力	
A7、B7	A6、B6	A5、B5	A4、B4	A3、B3	A2、B2	A1、B1	A0、B0	GT	LT
A7>B7	X	X	X	X	X	X	X	1	0
A7<B7	X	X	X	X	X	X	X	0	1
A7=B7	A6>B6	X	X	X	X	X	X	1	0
A7=B7	A6<B6	X	X	X	X	X	X	0	1
A7=B7	A6=B6	A5>B5	X	X	X	X	X	1	0
A7=B7	A6=B6	A5<B5	X	X	X	X	X	0	1
A7=B7	A6=B6	A5=B5	A4>B4	X	X	X	X	1	0
A7=B7	A6=B6	A5=B5	A4<B4	X	X	X	X	0	1
A7=B7	A6=B6	A5=B5	A4=B4	A3>B3	X	X	X	1	0
A7=B7	A6=B6	A5=B5	A4=B4	A3<B3	X	X	X	0	1
A7=B7	A6=B6	A5=B5	A4=B4	A3=B3	A2>B2	X	X	1	0
A7=B7	A6=B6	A5=B5	A4=B4	A3=B3	A2<B2	X	X	0	1
A7=B7	A6=B6	A5=B5	A4=B4	A3=B3	A2=B2	A1>B1	X	1	0
A7=B7	A6=B6	A5=B5	A4=B4	A3=B3	A2=B2	A1<B1	X	0	1
A7=B7	A6=B6	A5=B5	A4=B4	A3=B3	A2=B2	A1=B1	A0>B0	1	0
A7=B7	A6=B6	A5=B5	A4=B4	A3=B3	A2=B2	A1=B1	A0<B0	0	1
A7=B7	A6=B6	A5=B5	A4=B4	A3=B3	A2=B2	A1=B1	A0=B0	0	0

デザインの入力方法

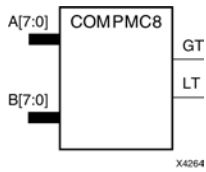
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

COMP8

マクロ : 8-Bit Magnitude Comparator



概要

このデザイン エLEMENTは 8 ビットのマグニチュード コンパレータであり、2 つの正の 2 進重み付きワード A7 ~ A0 と B7 ~ B0 を比較します。この場合、A7 と B7 が最上位ビットです。

このコンパレータは、キャリー ロジックと相対ロケーション制約を使用してインプリメントされているので、ロジックが効率よく配置されます。

大なり出力 (GT) は $A > B$ のとき High になり、小なり出力 (LT) は $A < B$ のとき High になります。2 つのワードが等しいときは、GT と LT の両方が Low になります。このマクロで等価性を調べるには、両方の出力を NOR ゲートに接続します。

論理表

入力								出力	
A7、B7	A6、B6	A5、B5	A4、B4	A3、B3	A2、B2	A1、B1	A0、B0	GT	LT
A7>B7	X	X	X	X	X	X	X	1	0
A7<B7	X	X	X	X	X	X	X	0	1
A7=B7	A6>B6	X	X	X	X	X	X	1	0
A7=B7	A6<B6	X	X	X	X	X	X	0	1
A7=B7	A6=B6	A5>B5	X	X	X	X	X	1	0
A7=B7	A6=B6	A5<B5	X	X	X	X	X	0	1
A7=B7	A6=B6	A5=B5	A4>B4	X	X	X	X	1	0
A7=B7	A6=B6	A5=B5	A4<B4	X	X	X	X	0	1
A7=B7	A6=B6	A5=B5	A4=B4	A3>B3	X	X	X	1	0
A7=B7	A6=B6	A5=B5	A4=B4	A3<B3	X	X	X	0	1
A7=B7	A6=B6	A5=B5	A4=B4	A3=B3	A2>B2	X	X	1	0
A7=B7	A6=B6	A5=B5	A4=B4	A3=B3	A2<B2	X	X	0	1
A7=B7	A6=B6	A5=B5	A4=B4	A3=B3	A2=B2	A1>B1	X	1	0
A7=B7	A6=B6	A5=B5	A4=B4	A3=B3	A2=B2	A1<B1	X	0	1
A7=B7	A6=B6	A5=B5	A4=B4	A3=B3	A2=B2	A1=B1	A0>B0	1	0
A7=B7	A6=B6	A5=B5	A4=B4	A3=B3	A2=B2	A1=B1	A0<B0	0	1
A7=B7	A6=B6	A5=B5	A4=B4	A3=B3	A2=B2	A1=B1	A0=B0	0	0

デザインの入力方法

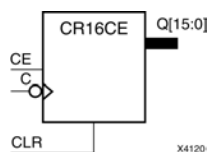
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

CR16CE

マクロ : 16-Bit Negative-Edge Binary Ripple Counter with Clock Enable and Asynchronous Clear



概要

このデザイン エLEMENTは、クロック イネーブルと非同期クリアがある、カスケード可能、クリア可能な 16 ビットのバイナリ リップル カウンタです。

1 段目の最後の Q 出力を次の段のクロック入力に接続し、CLR および CE 入力を並列に接続すると、より大型のカウンタを作成できます。クロック周期は、リップル カウンタ全体の長さの影響を受けません。クロック ピンと出力ピンの伝搬遅延は、 $n(t_c - q)$ です。ここで、 n は段数、時間 $n(t_c - q)$ は各段における C ピンと Qz ピン間の伝搬遅延を表します。

電力を供給すると、カウンタは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバータを追加するとアクティブ Low にできます。

論理表

入力			出力
CLR	CE	C	Qz : Q0
1	X	X	0
0	0	X	変化なし
0	1	↓	インクリメント
z = ビット幅 - 1			

デザインの入力方法

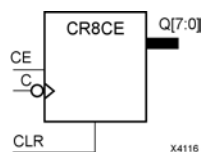
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

CR8CE

マクロ : 8-Bit Negative-Edge Binary Ripple Counter with Clock Enable and Asynchronous Clear



概要

このデザイン エLEMENTは、クロック イネーブルと非同期クリアがある、カスケード可能、クリア可能な 8 ビットのバイナリ リップル カウンタです。

非同期クリア (CLR) が High になると、ほかのすべての入力は無視され、Q 出力が 0 になります。クロック イネーブル入力 (CE) が High の場合、クロック (C) が High から Low に切り替わる時にカウンタがインクリメントします。CE が Low の場合、クロック遷移は無視されます。

1 段目の最後の Q 出力を次の段のクロック入力に接続し、CLR および CE 入力を並列に接続すると、より大型のカウンタを作成できます。クロック周期は、リップル カウンタ全体の長さの影響を受けません。クロック ピンと出力ピンの伝搬遅延は、 $n(t_C - Q)$ です。ここで、 n は段数、時間 $n(t_C - Q)$ は各段における C ピンと Qz ピン間の伝搬遅延を表します。

電力を供給すると、カウンタは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバータを追加するとアクティブ Low にできます。

論理表

入力			出力
CLR	CE	C	Qz : Q0
1	X	X	0
0	0	X	変化なし
0	1	↓	インクリメント
z = ビット幅 - 1			

デザインの入力方法

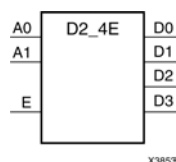
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

D2_4E

マクロ : 2- to 4-Line Decoder/Demultiplexer with Enable



概要

このデザイン エレメントは、デコーダ/デマルチプレクサです。イネーブル (E) 入力が高の場合、2 ビットのバイナリ アドレス (A1 ~ A0) 入力に応じて 4 つのアクティブ High の出力 (D3 ~ D0) のいずれかが High になります。それ以外の出力は、Low になります。E 入力が高の場合は、すべての出力が Low になります。デマルチプレクサ アプリケーションでは、E 入力が入力値になります。

論理表

入力			出力			
A1	A0	E	D3	D2	D1	D0
X	X	0	0	0	0	0
0	0	1	0	0	0	1
0	1	1	0	0	1	0
1	0	1	0	1	0	0
1	1	1	1	0	0	0

デザインの入力方法

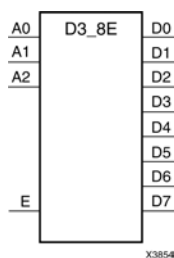
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

D3_8E

マクロ : 3- to 8-Line Decoder/Demultiplexer with Enable



概要

D3_8E デコーダ/デマルチプレクサのイネーブル (E) 入力が高の場合、3 ビットのバイナリアドレス (A2 ~ A0) 入力によって 8 つのアクティブ High の出力 (D7 ~ D0) のいずれかが High になります。それ以外の出力は、Low になります。E 入力が高の場合は、すべての出力が Low になります。デマルチプレクサ アプリケーションでは、E 入力が入力値になります。

論理表

入力				出力							
A2	A1	A0	E	D7	D6	D5	D4	D3	D2	D1	D0
X	X	X	0	0	0	0	0	0	0	0	0
0	0	0	1	0	0	0	0	0	0	0	1
0	0	1	1	0	0	0	0	0	0	1	0
0	1	0	1	0	0	0	0	0	1	0	0
0	1	1	1	0	0	0	0	1	0	0	0
1	0	0	1	0	0	0	1	0	0	0	0
1	0	1	1	0	0	1	0	0	0	0	0
1	1	0	1	0	1	0	0	0	0	0	0
1	1	1	1	1	0	0	0	0	0	0	0

デザインの入力方法

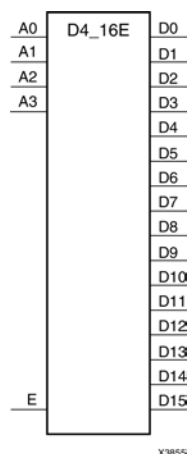
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

D4_16E

マクロ : 4- to 16-Line Decoder/Demultiplexer with Enable



概要

このデザイン エLEMENTは、デコーダ/デマルチプレクサです。D4_16E デコーダ/デマルチプレクサのイネーブル (E) 入力が High になると、4 ビットのバイナリ アドレス (A3 ~ A0) 入力に応じて 16 のアクティブ High の出力 (D15 ~ D0) のいずれかが High になります。それ以外の出力は、Low になります。E 入力が Low の場合は、すべての出力が Low になります。デマルチプレクサ アプリケーションでは、E 入力が入力値になります。

デザインの入力方法

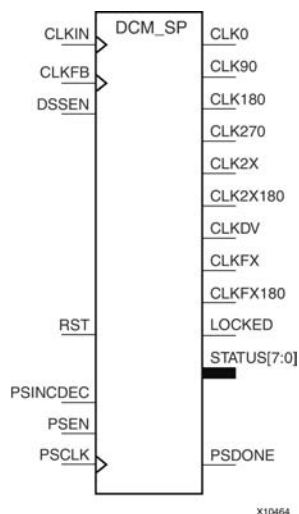
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

DCM_SP

プリミティブ : Digital Clock Manager



概要

このデザイン エLEMENTは、さまざまな機能を備えたデジタル クロック マネージャで、クロック遅延ロック ループ (DLL)、デジタル周波数合成 (DFS)、デジタル位相シフト (DPS) といった機能をインプリメントできます。DCM_SP は、オンチップおよびオフチップからのクロック遅延をなくしたり、データ キャプチャを向上するためにクロック位相をシフトしたり、異なる周波数のクロックを生成させる場合などに便利です。

ポートの説明

ポート名	タイプ	幅	機能
CLKDV	出力	1	CLK0 を分周したクロック。分周値はプログラム可能です。
CLKFB	入力	1	DCM へのフィードバック クロック入力。フィードバック入力は DFS を単独で使用する場合以外で必要です。CLKFB のソースは DCM の CLK0 または CLK2X にする必要があります。
CLKFX	出力	1	デジタル周波数合成 (DFS) 出力
CLKFX180	出力	1	CLKFX クロックが 180 度シフトされたクロック
CLKIN	入力	1	DCM のクロック入力
CLK0	出力	1	CLKIN と同じ周波数で、0 度位相シフトしたクロック
CLK2X	出力	1	CLKIN 周波数クロックを 2 倍したクロック、CLK0 と同相
CLK2X180	出力	1	CLK2X クロックが 180 度位相シフトされたクロック
CLK90	出力	1	CLKIN と同じ周波数で、90 度位相シフトしたクロック
CLK180	出力	1	CLKIN と同じ周波数で、180 度位相シフトしたクロック
CLK270	出力	1	CLKIN と同じ周波数で、180 度位相シフトしたクロック
LOCKED	出力	1	DCM がロックしたことを示す信号
PSCLK	入力	1	位相シフトクロック入力。DCM 位相シフトのソース クロックを供給します。

ポート名	タイプ	幅	機能
PSDONE	出力	1	可変位相シフトが完了したことを示す出力信号
PSEN	入力	1	可変位相シフト イネーブル信号、PSCLK と同相
PSINCDEC	入力	1	位相シフト インクリメント/デクリメント (PSINCDEC) 入力信号は、PSCLK と同相である必要があります。この信号は、位相シフト係数をインクリメント/デクリメントするために使用します。信号が High の場合はインクリメント、Low の場合はデクリメントされます。
RST	入力	1	DCM 回路をリセットします。RST 信号は、アクティブ High の非同期リセットです。
STATUS[7:0]	出力	8	ステータス出力バスにより DCM のステータスが示されます。 <ul style="list-style-type: none"> STATUS[0] : 可変位相シフト オーバーフロー STATUS[1] : CLKIN の停止 STATUS[2] : CLKFX または CLKFX180 の停止 STATUS[7] : CLKFB の停止 STATUS[6:3] : 予約

デザインの入力方法

このエレメントは、回路図で使用されます。

使用可能な属性

属性	タイプ	値	デフォルト	説明
CLKDV_DIVIDE	1 上位ビット FLOAT	2.0、1.5、2.5、3.0、 3.5、4.0、4.5、5.0、 5.5、6.0、6.5、7.0、 7.5、8.0、9.0、10.0、 11.0、12.0、13.0、 14.0、15.0、16.0	2.0	CLKDLL、CLKDLLE、CLKDLLHF、 DCM_SP のクロック分周器 (CLKDV 出力) の分周比を指定
CLK_FEEDBACK	文字列	1X、2X、NONE	1X	DCM フィードバック モードを定義します。 <ul style="list-style-type: none"> 1X : CLK0 をフィードバックにします。 2X : CLK2X をフィードバックにします。
CLKFX_DIVIDE	整数	1 ~ 32	1	CLKFX 出力の分周比を指定
CLKFX_MULTIPLY	整数	2 ~ 32	4	CLKFX 出力の通倍比を指定
CLKIN_DIVIDE_BY_2	ブール代数	FALSE、TRUE	FALSE	CLKIN を 2 で分周
CLKIN_PERIOD	文字列	0 ビット文字列	10.0	CLKIN 入力への入力周期を指定 (ns)

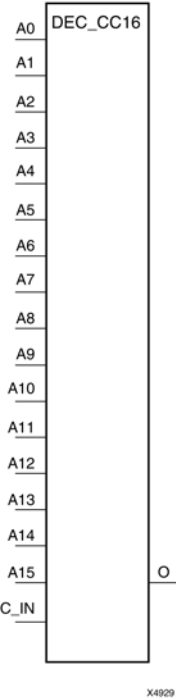
属性	タイプ	値	デフォルト	説明
CLKOUT_PHASE_SHIFT	文字列	NONE、FIXED、VARIABLE	NONE	位相シフト モードを指定 <ul style="list-style-type: none"> ・ NONE : 位相シフト機能なし。設定されている値は反映されません。 ・ FIXED : DCM の出力は CLKIN から決まった位相だけシフトされたものになります。値は PHASE_SHIFT 属性で指定されます。 ・ VARIABLE : DCM 出力が CLKIN に相対して正および負の範囲にシフトできます。開始値は PHASE_SHIFT 属性で指定されます。
DESKEW_ADJUST	文字列	SYSTEM_SYNCHRONOUS、SOURCE_SYNCHRONOUS	SYSTEM_SYNCHRONOUS	DCM_SP クロック出力と FPGA のクロック入力ピン間のクロック遅延の配分に影響するコンフィギュレーションビットを設定
DLL_FREQUENCY_MODE	文字列	LOW、HIGH	LOW	AUTO モードでは DLL により自動的に周波数が検索され、DLL が LOW モードまたは HIGH モードで動作するかが決定されます。AUTO モードはレガシ属性です。HIGH および LOW が影響しないようなとき、常に AUTO モードが使用されます。
DSS_MODE	文字列	NONE、SPREAD_2、SPREAD_4、SPREAD_6、SPREAD_8	NONE	出力クロックの周波数拡散を指定します。 <ul style="list-style-type: none"> ・ NONE : デフォルト。拡散係数が指定されていません。デジタル スペクトラム拡散はディスエーブルにされています。 ・ SPREAD_2 : 現時点のクロック周期 +/- 50ps のクロック周期を作成します。 ・ SPREAD_4 : 現時点のクロック周期 +/- 100ps のクロック周期を作成します。 ・ SPREAD_6 : 現時点のクロック周期 +/- 150ps のクロック周期を作成します。 ・ SPREAD_8 : 現時点のクロック周期 +/- 200ps のクロック周期を作成します。 SPREAD_# の数値が増えると、拡散は累積的に追加されます。たとえば、SPREAD_2 と指定すると、入力クロック周波数 +/- 50ps の 2 つのクロック周波数が追加されます。SPREAD_4 と指定すると、さらに +/- 100ps の 2 つのクロック周波数が追加されます。
DUTY_CYCLE_CORRECTION	ブール代数	TRUE、FALSE	TRUE	CLK0、CLK90、CLK180、CLK270 の各出力のデューティ サイクルを修正
PHASE_SHIFT	整数	-255 ~ 255	0	固定位相シフトを -255 ~ 255 の値に定義
STARTUP_WAIT	ブール代数	FALSE、TRUE	FALSE	DCM がロックされるまでコンフィギュレーション DONE を遅らせます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)

DEC_CC16

マクロ : 16-Bit Active Low Decoder



概要

このデザイン エLEMENTは、多入力デコーダ ファンクションを作成するために使用される 16 ビットのデコーダで、ルックアップ テーブル (LUT) で駆動される CY_MUX エLEMENTをカスケードしてインプリメントされます。C_IN ピンは、前段のデコードの出力 (O) によってのみ駆動されます。1 つ以上の入力 (A) が Low になると、出力が Low になります。すべての A 入力と C_IN 入力が High になると、出力が High になります。入力にインバータを追加すると、パターンをデコードできます。

論理表

入力					出力
A0	A1	...	Az	C_IN	O
1	1	1	1	1	1
X	X	X	X	0	0
0	X	X	X	X	0
X	0	X	X	X	0
X	X	X	0	X	0
DEC_CC4 の場合 z = 3、DEC_CC8 の場合 z = 7、DEC_CC16 の場合 z = 15					

デザインの入力方法

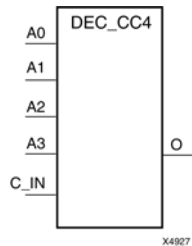
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)

DEC_CC4

マクロ : 4-Bit Active Low Decoder



概要

このデザイン エLEMENTは、多入力デコーダ ファンクションを作成するために使用される 4 ビットのデコーダで、ルックアップ テーブル (LUT) で駆動される CY_MUX ELEMENTをカスケードしてインプリメントされます。C_IN ピンは、前段のデコードの出力 (O) によってのみ駆動されます。1 つ以上の入力 (A) が Low になると、出力が Low になります。すべての A 入力と C_IN 入力が High になると、出力が High になります。入力にインバータを追加すると、パターンをデコードできます。

論理表

入力					出力
A0	A1	...	Az	C_IN	O
1	1	1	1	1	1
X	X	X	X	0	0
0	X	X	X	X	0
X	0	X	X	X	0
X	X	X	0	X	0

DEC_CC4 の場合 z = 3、DEC_CC8 の場合 z = 7、DEC_CC16 の場合 z = 15

デザインの入力方法

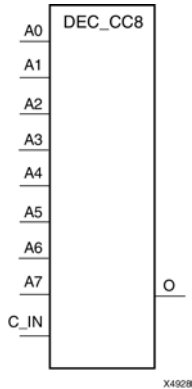
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

DEC_CC8

マクロ : 8-Bit Active Low Decoder



概要

このデザイン エLEMENTは、多入力デコーダ ファンクションを作成するために使用される 8 ビットのデコーダで、ルックアップ テーブル (LUT) で駆動される CY_MUX ELEMENTをカスケードしてインプリメントされます。C_IN ピンは、前段のデコードの出力 (O) によってのみ駆動されます。1 つ以上の入力 (A) が Low になると、出力が Low になります。すべての A 入力と C_IN 入力が High になると、出力が High になります。入力にインバータを追加すると、パターンをデコードできます。

論理表

入力					出力
A0	A1	...	Az	C_IN	O
1	1	1	1	1	1
X	X	X	X	0	0
0	X	X	X	X	0
X	0	X	X	X	0
X	X	X	0	X	0
DEC_CC4 の場合 z = 3、DEC_CC8 の場合 z = 7、DEC_CC16 の場合 z = 15					

デザインの入力方法

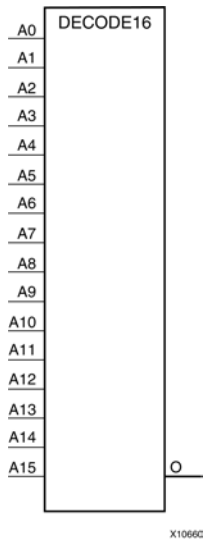
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

DECODE16

マクロ : 16-Bit Active-Low Decoder



概要

このデザイン エLEMENTは、4 ビットのアクティブ Low デコーダで、LUT と MUXCY を組み合わせてインプリメントされます。

論理表

入力				出力*
A0	A1	...	Az	O
1	1	1	1	1
0	X	X	X	0
X	0	X	X	0
X	X	X	0	0

z = ビット幅 -1

* 高駆動電流を達成するには、プルアップ抵抗を出力に接続する必要があります。

デザインの入力方法

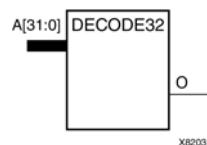
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

DECODE32

マクロ : 32-Bit Active-Low Decoder



概要

このデザイン エLEMENTは、32 ビットのアクティブ Low デコーダで、LUT と MUXCY を組み合わせてインプリメントされます。

論理表

入力				出力
A0	A1	...	Az	O
1	1	1	1	1
0	X	X	X	0
X	0	X	X	0
X	X	X	0	0
DECODE32 の場合 $z = 31$ 、DECODE64 の場合 $z = 63$				

デザインの入力方法

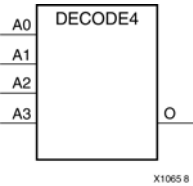
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

DECODE4

マクロ : 4-Bit Active-Low Decoder



概要

このデザイン エレメントは、4 ビットのアクティブ Low デコーダで、LUT と MUXCY を組み合わせてインプリメントされます。

論理表

入力				出力*
A0	A1	...	Az	O
1	1	1	1	1
0	X	X	X	0
X	0	X	X	0
X	X	X	0	0
z = ビット幅 -1				
* 高駆動電流を達成するには、プルアップ抵抗を出力に接続する必要があります。				

デザインの入力方法

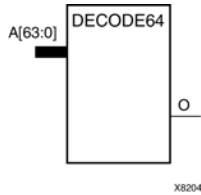
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)

DECODE64

マクロ : 64-Bit Active-Low Decoder



概要

このデザイン エLEMENTは、64 ビットのアクティブ Low デコーダで、LUT と MUXCY を組み合わせてインプリメントされます。

論理表

入力				出力
A0	A1	...	Az	O
1	1	1	1	1
0	X	X	X	0
X	0	X	X	0
X	X	X	0	0
DECODE32 の場合 z = 31、DECODE64 の場合 z = 63				

デザインの入力方法

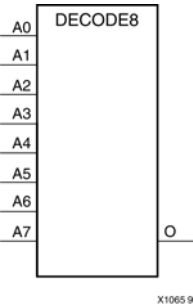
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

DECODE8

マクロ : 8-Bit Active-Low Decoder



概要

このデザイン エLEMENTは、8 ビットのアクティブ Low デコーダで、LUT と MUXCY を組み合わせてインプリメントされます。

論理表

入力				出力*
A0	A1	...	Az	O
1	1	1	1	1
0	X	X	X	0
X	0	X	X	0
X	X	X	0	0

z = ビット幅 -1

* 高駆動電流を達成するには、プルアップ抵抗を出力に接続する必要があります。

デザインの入力方法

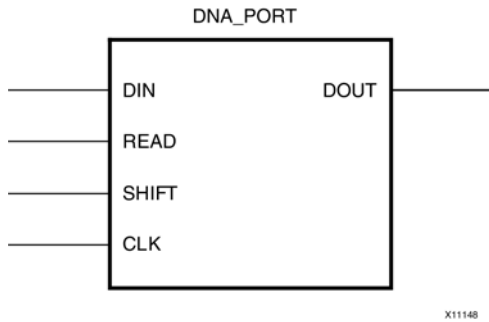
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

DNA_PORT

プリミティブ : Device DNA Data Access Port



概要

DNA_PORT を使用すると専用のシフトレジスタにアクセスできます。このシフトレジスタにはデバイスの Device DNA データビット (重複しない ID) が読み込まれます。このコンポーネントを使用すると、DNA データビットがシフトアウトできるだけでなく、補足データビットを含めたり、DNA データをロールオーバー (シフトアウト後の DNA データの反復) することもできます。このコンポーネントは主に FPGA ビットストリームの不正なコピー防止用に、ほかの回路と合わせて使用されます。

ポートの説明

ポート名	タイプ	幅	機能
CLK	入力	1	シフトレジスタへの入力クロック
DIN	入力	1	シフトレジスタへのユーザー データ入力
DOUT	出力	1	シリアル シフト出力レジスタ
READ	入力	1	シフトレジスタの同期ロード
SHIFT	入力	1	アクティブ High のシフトイネーブル入力

デザインの入力方法

このエレメントは、回路図で使用されます。

正しく動作するように、入力および出力をすべてデザインに接続します。

Device DNA データにアクセスするにはまず、アクティブ High の READ 信号を 1 クロック サイクル間 High にしてシフトレジスタを読み込む必要があります。シフトレジスタが読み込まれると、アクティブ High の SHIFT 入力がイネーブルになり、DOUT 出力ポートからデータが取り込まれ、データが同期シフトアウトします。追加のデータがある場合は、適切なロジックを DIN ポートに接続すると、57 ビットのシフトレジスタの終わりに追加できます。DNA データをロールオーバーする場合は、DOUT ポートを直接 DIN ポートに接続し、57 ビットのシフト操作の後で同じデータがシフトアウトされるようにします。追加データが必要ない場合は、DIN ポートを論理値 0 に固定できます。属性 SIM_DNA_VALUE はオプションで、DNA データシーケンスをシミュレーションするように設定できます。デフォルトでは、シミュレーションモデルの Device DNA データビットはすべて 0 です。

使用可能な属性

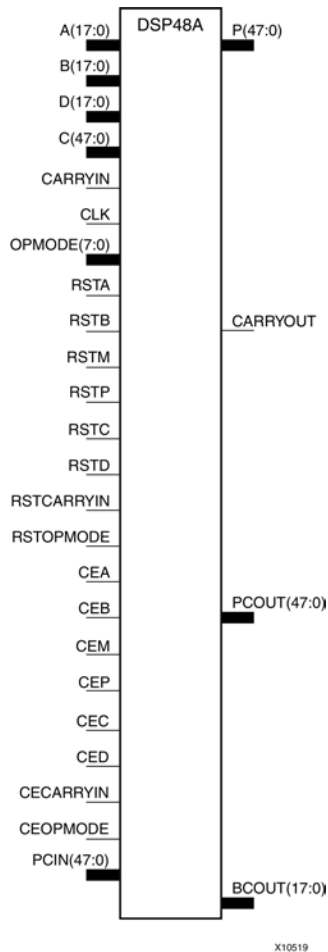
属性	タイプ	値	デフォルト	説明
SIM_DNA_VALUE	16 進数	57'h00000000 0000000 ~ 57'h1fffffffff	57'h00000000 0000000	シミュレーションに使用する DNA 値を指定 (実際の値は使用デバイス特有)

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)

DSP48A

プリミティブ : Multi-Functional, Cascadable, 48-bit Output, Arithmetic Block



概要

DSP48A は、柔軟性が高い多用途のハード IP ブロックで、多くの DSP アルゴリズムで見られる小型で高速な演算処理を作成できます。このブロックでは、コンフィギュレーション可能な 18 ビットの加減算器に、18 X 18 符号付き乗算器、48 ビットの加減/アキュムレータが順に付けられています。このブロックには、コンフィギュレーション可能なパイプラインレジスタが数個含まれているため、追加されるレイテンシをトレードオフにする高速クロックを実現できます。OpMode ピンでは、ブロック操作を 1 クロック サイクルから次サイクルに変更でき、デザインに含まれる複数の演算ファンクションに 1 つのブロックを使用できます。さらに、複数の MSPI ブロックをカスケード接続して大型の乗算および加算ファンクションを作成できます。

ポートの説明

ポート名	方向	幅	機能
データ ポート			
A	入力	18	OPMODE[1:0] の値に従い乗算器または後置加減算器に送られる 18 ビット データ入力
B	入力	18	OPMODE[3:0] の値に従い乗算器、前置加減算器、または後置加減算器に送られる 18 ビット データ入力

ポート名	方向	幅	機能
C	入力	48	後置加減算器への 48 ビット入力
D	入力	18	前置加減算器への 18 ビット入力
CARRYIN	入力	1	後置加減算器への外部キャリー入力。別の DSP48A ブロックの CARRYOUT ピンにのみ接続します。
P	出力	48	プライマリ データ出力
CARRYOUT	出力	1	後置加減算器の外部キャリー出力信号。別の DSP48A ブロックの CARRYIN ピンにのみ接続します。
制御入力			
CLK	入力	1	DSP48A クロック
OPMODE	入力	8	DSP48A の演算処理を選択する制御入力
OPMODE[1:0]			後置加減算器への X 入力のソースを指定します。 <ul style="list-style-type: none"> 0 : すべてゼロを配置します (後置加減算器をディスエーブルにします)。 1 : POUT 出力信号を使用します。 2 : 連結された D、B、A 入力信号を使用します。 3 : 乗算器の積項を使用します。
OPMODE[3:2]			後置加減算器への Y 入力のソースを指定します。 <ul style="list-style-type: none"> 0 : すべてゼロを配置します (後置加減算器をディスエーブルにし、乗算器の積項を POUT に伝搬します)。 1 : PCIN を使用します。 2 : POUT ポート (アキュムレータ) を使用します。 3 : C ポートを使用します。
OPMODE[4]			前置加減算器を使用するように指定します。 <ul style="list-style-type: none"> 0 : 乗算器の前で B および D ポートに前置加減算器の加算または減算値を使用します。 1 : 前置加算器をバイパスして、ポート B のデータを直接乗算器に送ります。
OPMODE[5]			キャリー入力の値を後置加算器に送ります。これは CARRYINSEL = OPMODE5 のときにのみ適用されます。
OPMODE[6]			前置加減算器が加算器なのか減算器なのかを指定します。 <ul style="list-style-type: none"> 0 : 加算を実行します。 1 : 減算を実行します。
OPMODE[7]			後置加減算器が加算器なのか減算器なのかを指定します。 <ul style="list-style-type: none"> 0 : 加算を実行します。 1 : 減算を実行します。
リセット/クロック イネーブル入力			
RSTA	入力	1	A ポートレジスタ (AREG=1 または 2) のアクティブ High のリセットで、使用しない場合は論理値を 0 にします。このリセットは、RSTTYPE 属性の値に従い同期または非同期にコンフィギュレーションできます。

ポート名	方向	幅	機能
RSTB	入力	1	B ポートレジスタ (BREG!=NONE) のアクティブ High のリセットで、使用しない場合は論理値を 0 にします。このリセットは、RSTTYPE 属性の値に従い同期または非同期にコンフィギュレーションできます。
RSTC	入力	1	C ポートレジスタ (CREG=1) のアクティブ High のリセットで、使用しない場合は論理値を 0 にします。このリセットは、RSTTYPE 属性の値に従い同期または非同期にコンフィギュレーションできます。
RSTD	入力	1	D ポートレジスタ (DREG=1) のアクティブ High のリセットで、使用しない場合は論理値を 0 にします。このリセットは、RSTTYPE 属性の値に従い同期または非同期にコンフィギュレーションできます。
RSTM	入力	1	乗算レジスタ (MREG=1) のアクティブ High のリセットで、使用しない場合は論理値を 0 にします。このリセットは、RSTTYPE 属性の値に従い同期または非同期にコンフィギュレーションできます。
RSTP	入力	1	P 出力レジスタ (PREG=1) のアクティブ High のリセットで、使用しない場合は論理値を 0 にします。このリセットは、RSTTYPE 属性の値に従い同期または非同期にコンフィギュレーションできます。
RSTCARRYIN	入力	1	キャリー入力レジスタ (CARRYINREG=1) のアクティブ High のリセットで、使用しない場合は論理値を 0 にします。このリセットは、RSTTYPE 属性の値に従い同期または非同期にコンフィギュレーションできます。
RSTOPMODE	入力	1	OPMODE レジスタ (OPMODEREG=1) のアクティブ High のリセットで、使用しない場合は論理値を 0 にします。このリセットは、RSTTYPE 属性の値に従い同期または非同期にコンフィギュレーションできます。
CEA	入力	1	A ポートレジスタ (A0REG=1 または A1REG=1) のアクティブ High のクロック イネーブルで、使用しない場合と使用しない場合と A0REG=1 または A1REG=1 の場合は論理値を 1 に、A0REG=0 または A1REG=0 の場合は論理値を 0 にします。
CEB	入力	1	B ポートレジスタ (B0REG=1 または B1REG=1) のアクティブ High のクロック イネーブルで、使用しない場合や B0REG=1 または B1REG=1 の場合は、論理値を 1 にします。B0REG=0 または B1REG=0 の場合は論理値を 0 にします。
CEC	入力	1	C ポートレジスタ (CREG=1) のアクティブ High のクロック イネーブルで、使用しない場合と CREG=1 の場合は論理値を 1 に、CREG=0 の場合は論理値を 0 にします。
CED	入力	1	D ポートレジスタ (DREG=1) のアクティブ High のクロック イネーブルで、使用しない場合と DREG=1 の場合は論理値を 1 に、DREG=0 の場合は論理値を 0 にします。
CEM	入力	1	乗算レジスタ (MREG=1) のアクティブ High のクロック イネーブルで、使用しない場合と MREG=1 の場合は論理値を 1 に、MREG=0 の場合は論理値を 0 にします。
CEP	入力	1	出力ポートレジスタ (PREG=1) のアクティブ High のクロック イネーブルで、使用しない場合と PREG=1 の場合は論理値を 1 に、PREG=0 の場合は論理値を 0 にします。
CECARRYIN	入力	1	キャリー入力レジスタ (CARRYINREG=1) のアクティブ High のクロック イネーブルで、使用しない場合と CARRYINREG=1 の場合は論理値を 1 に、CARRYINREG=0 の場合は論理値を 0 にします。
CEOPMODE	入力	1	OPMODE 入力レジスタ (OPMODEREG=1) のクロック イネーブルで、使用しない場合と OPMODEREG=1 の場合は論理値を 1 に、OPMODEREG=0 の場合は論理値を 0 にします。
カスケード ポート			
PCIN	入力	48	ポート P のカスケード入力、カスケード接続されている上位の DSP48A の PCOUT に接続します。使用しない場合は、ポートをすべてゼロにします。
PCOUT	出力	48	ポート P のカスケード出力で、カスケード接続されている下位の DSP48A の PCIN に接続します。使用しない場合は未接続にします。
BCOUT	出力	18	ポート B のカスケード出力で、カスケード接続されている下位の DSP48A の B ポートに接続します。使用しない場合は未接続にします。

デザインの入力方法

このELEMENTは、回路図で使用されます。

使用可能な属性

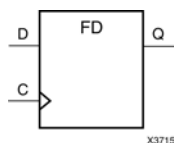
属性	タイプ	値	デフォルト	説明
A0REG	整数	0、1	0	1 段目の A 入力にレジスタを付けるかを指定します。
A1REG	整数	0、1	1	2 段目の A 入力にレジスタを付けるかを指定します。
B0REG	整数	0、1	0	1 段目の B 入力にレジスタを付けるかを指定します。
B1REG	整数	0、1	1	2 段目の B 入力にレジスタを付けるかを指定します。
CARRYINREG	整数	0、1	1	CARRYIN 入力にレジスタを付けるかを指定します。 CARRYINSEL 属性が CARRYIN に設定されており CARRYIN が使用されているときのみ使用します。
CARRYINSEL	文字列	CARRYIN、 OPMODE5	CARRYIN	後置加減算器のキャリー入力信号を別の DSP48A の CARRYOUT ピンに接続されている CARRYIN ピンから送 るか、OPMODE[5] 入力を使用して FPGA から直接制御 するか指定します。
CREG	整数	0、1	1	C 入力にレジスタを付けるかを指定します。
DREG	整数	0、1	1	D 入力にレジスタを付けるかを指定します。
MREG	整数	0、1	1	乗算器の段にレジスタを付けるかを指定します。イネー ブル = 1/ディスエーブル = 0
OPMODEREG	整数	0、1	1	OPMODE 入力にレジスタを付けるかを指定します。
PREG	整数	0、1	1	C 入力にレジスタを付けるかを指定します。
RSTTYPE	文字列	ASYNC、SYNC	SYNC	リセットすべてを同期リセットにするか非同期リセットにす るか指定します。タイミングの向上と回路の安定性の点 から、非同期リセットが必要でない限り常に SYNC に設 定してください。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

FD

Primitive: D Flip-Flop



概要

このデザイン エLEMENTは、データ入力 (D) とデータ出力 (Q) がある D フリップフロップです。D 入力の値は、クロック (C) が Low から High に切り替わるときにフリップフロップにロードされます。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット / リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバータを追加するとアクティブ Low にできます。

論理表

入力		出力
D	C	Q
0	↑	0
1	↑	1

デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

使用可能な属性

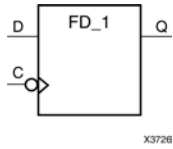
属性	タイプ	値	デフォルト	説明
INIT	2 進数	0、1	0	コンフィギュレーション後の Q 出力の初期値を指定

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

FD_1

プリミティブ : D Flip-Flop with Negative-Edge Clock



概要

このデザイン エLEMENTは、データ入力 (D) とデータ出力 (Q) がある単一の D フリップフロップです。D 入力の値は、クロック (C) が High から Low に切り替わる時にフリップフロップにロードされます。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット / リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバータを追加するとアクティブ Low にできます。

論理表

入力		出力
D	C	Q
0	↓	0
1	↓	1

デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

使用可能な属性

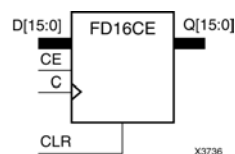
属性	タイプ	値	デフォルト	説明
INIT	2 進数	0、1	0	コンフィギュレーション後の Q 出力の初期値を指定

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

FD16CE

マクロ : 16-Bit Data Register with Clock Enable and Asynchronous Clear



概要

このデザイン エLEMENTは、クロック イネーブルと非同期クリアがある 16 ビットのデータレジスタです。クロック イネーブル (CE) が High、非同期クリア (CLR) が Low の場合、クロック (C) が Low から High に切り替わる時にデータ入力 (D) の値がデータ出力 (Q) に送られます。CLR が High になると、ほかの入力はすべて無視され、出力 (Q) が Low にリセットされます。CE が Low の場合、クロック遷移は無視されます。

電力を供給すると、レジスタは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバータを追加するとアクティブ Low にできます。

論理表

入力				出力
CLR	CE	Dz : D0	C	Qz : Q0
1	X	X	X	0
0	0	X	X	変化なし
0	1	Dn	↑	Dn
z = ビット幅 - 1				

デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

使用可能な属性

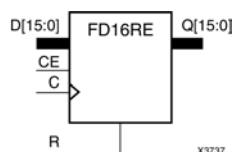
属性	タイプ	値	デフォルト	説明
INIT	2 進数	16 ビット値	すべてゼロ	コンフィギュレーション後の Q 出力の初期値を指定

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

FD16RE

マクロ : 16-Bit Data Register with Clock Enable and Synchronous Reset



概要

このデザイン エLEMENTは、16 ビットのデータレジスタです。クロック イネーブル入力 (CE) が High、同期リセット入力 (R) が Low の場合、クロック (C) が Low から High に切り替わるときに入力 (D) の値が対応する出力 (Q) に送られます。R が High になると、ほかの入力はすべて無視され、クロックが Low から High に切り替わるときに出力 (Q) の値が Low にリセットされます。CE が Low の場合、クロック遷移は無視されます。

電力を供給すると、レジスタは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバータを追加するとアクティブ Low にできます。

論理表

入力				出力
R	CE	Dz : D0	C	Qz : Q0
1	X	X	↑	0
0	0	X	X	変化なし
0	1	Dn	↑	Dn
z = ビット幅 - 1				

デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

使用可能な属性

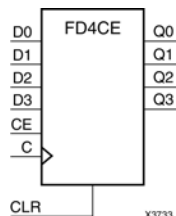
属性	タイプ	値	デフォルト	説明
INIT	2 進数	16 ビット値	すべてゼロ	コンフィギュレーション後の Q 出力の初期値を指定

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

FD4CE

マクロ : 4-Bit Data Register with Clock Enable and Asynchronous Clear



概要

このデザイン エLEMENTは、クロック イネーブルと非同期クリアがある 4 ビットのデータレジスタです。クロック イネーブル (CE) が High、非同期クリア (CLR) が Low の場合、クロック (C) が Low から High に切り替わるときにデータ入力 (D) の値がデータ出力 (Q) に送られます。CLR が High になると、ほかの入力はすべて無視され、出力 (Q) が Low にリセットされます。CE が Low の場合、クロック遷移は無視されます。

電力を供給すると、レジスタは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバータを追加するとアクティブ Low にできます。

論理表

入力				出力
CLR	CE	Dz : D0	C	Qz : Q0
1	X	X	X	0
0	0	X	X	変化なし
0	1	Dn	↑	Dn
z = ビット幅 - 1				

デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

使用可能な属性

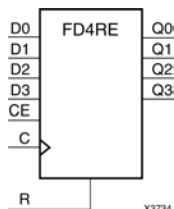
属性	タイプ	値	デフォルト	説明
INIT	2 進数	4 ビット値	すべてゼロ	コンフィギュレーション後の Q 出力の初期値を指定

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

FD4RE

マクロ : 4-Bit Data Register with Clock Enable and Synchronous Reset



概要

このデザイン エLEMENTは、4 ビットのデータレジスタです。クロック イネーブル入力 (CE) が High、同期リセット入力 (R) が Low の場合、クロック (C) が Low から High に切り替わるときに入力 (D) の値が対応する出力 (Q) に送られます。R が High になると、ほかの入力はすべて無視され、クロックが Low から High に切り替わるときに出力 (Q) の値が Low にリセットされます。CE が Low の場合、クロック遷移は無視されます。

電力を供給すると、レジスタは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバータを追加するとアクティブ Low にできます。

論理表

入力				出力
R	CE	Dz : D0	C	Qz : Q0
1	X	X	↑	0
0	0	X	X	変化なし
0	1	Dn	↑	Dn
z = ビット幅 - 1				

デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

使用可能な属性

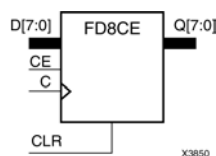
属性	タイプ	値	デフォルト	説明
INIT	2 進数	4 ビット値	すべてゼロ	コンフィギュレーション後の Q 出力の初期値を指定

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

FD8CE

マクロ : 8-Bit Data Register with Clock Enable and Asynchronous Clear



概要

このデザイン エLEMENTは、クロック イネーブルと非同期クリアがある 8 ビットのデータレジスタです。クロック イネーブル (CE) が High、非同期クリア (CLR) が Low の場合、クロック (C) が Low から High に切り替わるときにデータ入力 (D) の値がデータ出力 (Q) に送られます。CLR が High になると、ほかの入力はすべて無視され、出力 (Q) が Low にリセットされます。CE が Low の場合、クロック遷移は無視されます。

電力を供給すると、レジスタは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバータを追加するとアクティブ Low にできます。

論理表

入力				出力
CLR	CE	Dz : D0	C	Qz : Q0
1	X	X	X	0
0	0	X	X	変化なし
0	1	Dn	↑	Dn
z = ビット幅 - 1				

デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

使用可能な属性

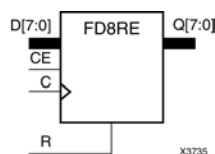
属性	タイプ	値	デフォルト	説明
INIT	2 進数	8 ビット値	すべてゼロ	コンフィギュレーション後の Q 出力の初期値を指定

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

FD8RE

マクロ : 8-Bit Data Register with Clock Enable and Synchronous Reset



概要

このデザイン エLEMENTは、8 ビットのデータレジスタです。クロック イネーブル入力 (CE) が High、同期リセット入力 (R) が Low の場合、クロック (C) が Low から High に切り替わるときに入力 (D) の値が対応する出力 (Q) に送られます。R が High になると、ほかの入力はすべて無視され、クロックが Low から High に切り替わるときに出力 (Q) の値が Low にリセットされます。CE が Low の場合、クロック遷移は無視されます。

電力を供給すると、レジスタは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバータを追加するとアクティブ Low にできます。

論理表

入力				出力
R	CE	Dz : D0	C	Qz : Q0
1	X	X	↑	0
0	0	X	X	変化なし
0	1	Dn	↑	Dn
z = ビット幅 - 1				

デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

使用可能な属性

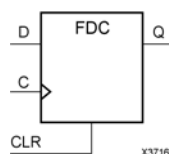
属性	タイプ	値	デフォルト	説明
INIT	2 進数	8 ビット値	すべてゼロ	コンフィギュレーション後の Q 出力の初期値を指定

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

FDC

Primitive: D Flip-Flop with Asynchronous Clear



概要

このデザイン エLEMENTは、データ入力 (D)、非同期クリア入力 (CLR)、データ出力 (Q) がある単一の D フリップフロップです。非同期 CLR が High になると、ほかのすべての入力は無視され、Q 出力が Low になります。CLR が Low の場合、クロックが Low から High に切り替わるときに D 入力の値がフリップフロップにロードされます。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット / リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバータを追加するとアクティブ Low にできます。

論理表

入力			出力
CLR	D	C	Q
1	X	X	0
0	D	↑	D

デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

使用可能な属性

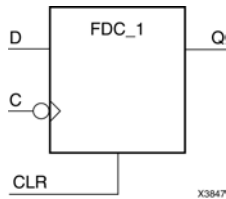
属性	タイプ	値	デフォルト	説明
INIT	2 進数	0、1	0	コンフィギュレーション後の Q 出力の初期値を指定

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

FDC_1

プリミティブ : D Flip-Flop with Negative-Edge Clock and Asynchronous Clear



概要

FDC_1 は、入力 (D)、非同期クリア入力 (CLR)、出力 (Q) がある単一の D タイプ フリップフロップです。非同期 CLR が High になると、ほかのすべての入力は無視され、Q 出力が Low になります。D 入力の値は、クロック (C) が High から Low に切り替わるときにフリップフロップにロードされます。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット / リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバータを追加するとアクティブ Low にできます。

論理表

入力			出力
CLR	D	C	Q
1	X	X	0
0	D	↓	D

デザインの入力方法

このエレメントは、回路図でのみ使用できます。

使用可能な属性

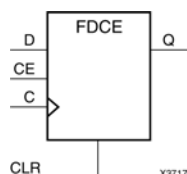
属性	タイプ	値	デフォルト	説明
INIT	2 進数	0、1	0	コンフィギュレーション後の Q 出力の初期値を指定

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

FDCE

プリミティブ : D Flip-Flop with Clock Enable and Asynchronous Clear



概要

このデザイン エLEMENTは、クロック イネーブルと非同期クリアがある単一の D タイプ フリップフロップです。クロック イネーブル (CE) が High、非同期クリア (CLR) が Low の場合、クロック (C) が Low から High に切り替わるときにデータ入力 (D) の値がデータ出力 (Q) に送られます。CLR が High になると、ほかのすべての入力は無視され、出力 (Q) の値が Low にリセットされます。CE が Low の場合、クロック遷移は無視されます。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット / リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバータを追加するとアクティブ Low にできます。

論理表

入力				出力
CLR	CE	D	C	Q
1	X	X	X	0
0	0	X	X	変化なし
0	1	D	↑	D

デザインの入力方法

このELEMENTは、回路図で使用されます。

使用可能な属性

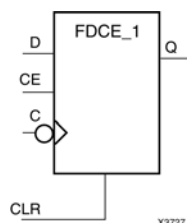
属性	タイプ	値	デフォルト	説明
INIT	2 進数	0	0	コンフィギュレーション後の Q 出力の初期値を指定。 Spartan®-6 デバイスでは、INIT 値とセットまたはリセットの極性を常に一致させる必要があります。FDCE の場合、INIT 値は 0 である必要があります。1 に設定する場合は、この動作を表す非同期回路を作成する必要がありますが、ザイリンクスでは推奨されていません。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

FDCE_1

プリミティブ : D Flip-Flop with Negative-Edge Clock, Clock Enable, and Asynchronous Clear



概要

このデザイン エLEMENTは、データ (D)、クロック イネーブル (CE)、非同期クリア (CLR) の各入力とデータ出力 (Q) のある単一の D タイプ フリップフロップです。非同期 CLR が High になると、ほかのすべての入力は無視され、Q 出力が Low になります。CLR が Low、CE が High の場合、クロック (C) が High から Low に切り替わるときに D 入力の値がフリップフロップにロードされます。CE が Low の場合、クロック遷移は無視されます。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット / リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバータを追加するとアクティブ Low にできます。

論理表

入力				出力
CLR	CE	D	C	Q
1	X	X	X	0
0	0	X	X	変化なし
0	1	D	↓	D

デザインの入力方法

このELEMENTは、回路図で使用されます。

使用可能な属性

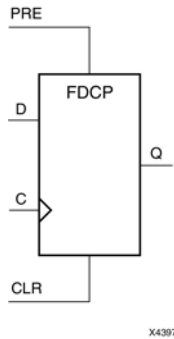
属性	タイプ	値	デフォルト	説明
INIT	2 進数	0、1	0	コンフィギュレーション後の Q 出力の初期値を指定

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

FDCC

プリミティブ : D Flip-Flop with Asynchronous Preset and Clear



概要

このデザイン エLEMENTは、データ (D)、非同期プリセット (PRE)、クリア (CLR) の各入力とデータ出力 (Q) がある単一の D タイプ フリップフロップです。非同期 PRE が High になると、Q 出力が High にセットされます。CLR が High になると、出力が Low にリセットされます。PRE と CLR が Low の場合、クロック (C) が Low から High に切り替わる時に D 入力の値がフリップフロップにロードされます。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット / リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバータを追加するとアクティブ Low にできます。

論理表

入力				出力
CLR	PRE	D	C	Q
1	X	X	X	0
0	1	X	X	1
0	0	D	↑	D

デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

使用可能な属性

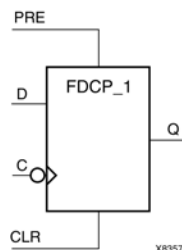
属性	タイプ	値	デフォルト	説明
INIT	2 進数	0、1	0	コンフィギュレーション後の Q 出力の初期値を指定

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

FDCEP_1

プリミティブ : D Flip-Flop with Negative-Edge Clock and Asynchronous Preset and Clear



概要

このデザイン エLEMENTは、データ (D)、非同期プリセット (PRE)、クリア (CLR) の各入力とデータ出力 (Q) がある単一の D タイプ フリップフロップです。非同期 PRE が High になると、Q 出力が High にセットされます。CLR が High になると、出力が Low にリセットされます。PRE と CLR が Low の場合、クロック (C) が High から Low に切り替わる時に D 入力の値がフリップフロップにロードされます。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット / リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバータを追加するとアクティブ Low にできます。

論理表

入力				出力
CLR	PRE	D	C	Q
1	X	X	X	0
0	1	X	X	1
0	0	0	↓	0
0	0	1	↓	1

デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

使用可能な属性

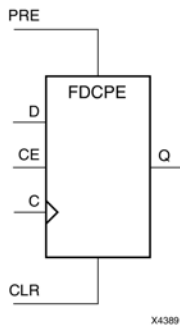
属性	タイプ	値	デフォルト	説明
INIT	2 進数	0、1	0	コンフィギュレーション後の Q 出力の初期値を指定

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

FDCPE

プリミティブ : D Flip-Flop with Clock Enable and Asynchronous Preset and Clear



概要

このデザイン エLEMENTは、データ (D)、クロック イネーブル (CE)、非同期プリセット (PRE)、非同期クリア (CLR) の各入力とデータ出力 (Q) がある単一の D タイプ フリップフロップです。非同期 PRE が High になると Q 出力が High にセットされ、CLR が High になると出力が Low にリセットされます (CLR 入力 が PRE 入力よりも優先される)。PRE と CLR が Low で CE が High の場合、クロック (C) が Low から High に切り替わるときに D 入力の値がフリップフロップにロードされます。CE が Low の場合クロック遷移は無視され、以前の値が保持されます。FDCPE は通常、スライスまたは IOB レジスタとしてインプリメントされます。

FPGA では電源が投入されると、INIT 属性を使用して指定した初期値に設定されます。GSR (グローバル セット/リセット) をアサートすると、INIT で指定した初期値に非同期で設定されます。

メモ : 非同期のセットおよびリセットの使用がサポートされていますが、これらの使用は通常お勧めしません。非同期信号を使用するとタイミングの問題が検出および制御しにくく、またロジックの最適化に悪影響を及ぼし、同期セットまたはリセットを使用した場合に比べて消費電力が大きくなる場合があります。

論理表

入力					出力
CLR	PRE	CE	D	C	Q
1	X	X	X	X	0
0	1	X	X	X	1
0	0	0	X	X	変化なし
0	0	1	D	↑	D

ポートの説明

ポート名	方向	幅	機能
Q	出力	1	データ出力
C	入力	1	クロック入力
CE	入力	1	クロック イネーブル入力
CLR	入力	1	非同期クリア入力
D	入力	1	データ入力
PRE	入力	1	非同期セット入力

デザインの入力方法

このELEMENTは、回路図で使用されます。

使用可能な属性

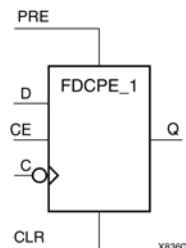
属性	タイプ	値	デフォルト	説明
INIT	2 進数	0、1	0	コンフィギュレーション後および GSR 入力時の Q 出力の初期値を指定

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

FDCPE_1

プリミティブ : D Flip-Flop with Negative-Edge Clock, Clock Enable, and Asynchronous Preset and Clear



概要

FDCPE_1 は、データ (D)、クロック イネーブル (CE)、非同期プリセット (PRE)、非同期クリア (CLR) の各入力とデータ出力 (Q) がある単一の D フリップフロップです。非同期 PRE が High になると、Q 出力が High にセットされます。CLR が High になると、出力が Low にリセットされます。PRE と CLR が Low で CE が High の場合、クロック (C) が High から Low に切り替わるたびに D 入力の値がフリップフロップにロードされます。CE が Low の場合、クロック遷移は無視されます。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット / リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバータを追加するとアクティブ Low にできます。

論理表

入力					出力
CLR	PRE	CE	D	C	Q
1	X	X	X	X	0
0	1	X	X	X	1
0	0	0	X	X	変化なし
0	0	1	D	↓	D

ポートの説明

ポート名	方向	幅	機能
Q	出力	1	データ出力
C	入力	1	クロック入力
CE	入力	1	クロック イネーブル入力
CLR	入力	1	非同期クリア入力
D	入力	1	データ入力
PRE	入力	1	非同期セット入力

デザインの入力方法

このエレメントは、回路図で使用されます。

使用可能な属性

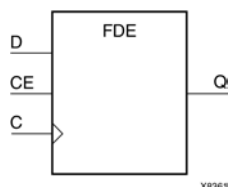
属性	タイプ	値	デフォルト	説明
INIT	2 進数	0、1	0	コンフィギュレーション後の Q 出力の初期値を指定

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

FDE

プリミティブ : D Flip-Flop with Clock Enable



概要

このデザイン エLEMENTは、データ入力 (D)、クロック イネーブル (CE)、データ出力 (Q) がある単一の D フリップフロップです。クロック イネーブルが High の場合、クロック (C) が Low から High に切り替わるときに D 入力の値がフリップフロップにロードされます。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット / リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバータを追加するとアクティブ Low にできます。

論理表

入力			出力
CE	D	C	Q
0	X	X	変化なし
1	0	↑	0
1	1	↑	1

デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

使用可能な属性

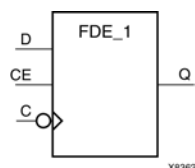
属性	タイプ	値	デフォルト	説明
INIT	2 進数	0、1	0	コンフィギュレーション後の Q 出力の初期値を指定

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

FDE_1

プリミティブ : D Flip-Flop with Negative-Edge Clock and Clock Enable



概要

このデザイン エLEMENTは、データ入力 (D)、クロック イネーブル (CE)、データ出力 (Q) がある単一の D フリップフロップです。クロック イネーブルが High の場合、クロック (C) が High から Low に切り替わるときに D 入力の値がフリップフロップにロードされます。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット / リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバータを追加するとアクティブ Low にできます。

論理表

入力			出力
CE	D	C	Q
0	X	X	変化なし
1	0	↓	0
1	1	↓	1

デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

使用可能な属性

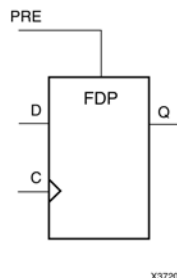
属性	タイプ	値	デフォルト	説明
INIT	2 進数	0、1	0	コンフィギュレーション後の Q 出力の初期値を指定

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

FDP

Primitive: D Flip-Flop with Asynchronous Preset



概要

このデザイン エLEMENTは、データ (D)、非同期プリセット (PRE) の各入力とデータ出力 (Q) がある単一の D フリップフロップです。非同期 PRE が High になると、ほかのすべての入力は無視され、Q 出力が High にプリセットされます。PRE が Low の場合、クロック (C) が Low から High に切り替わるときに D 入力の値がフリップフロップにロードされます。

FPGA では、電力を供給すると、フリップフロップは非同期にプリセットされ、出力が High になります。グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバータを追加するとアクティブ Low にできます。

論理表

入力			出力
PRE	C	D	Q
1	X	X	1
0	↑	D	D

デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

使用可能な属性

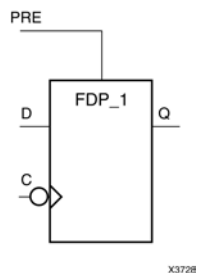
属性	タイプ	値	デフォルト	説明
INIT	2 進数	0、1	1	コンフィギュレーション後の Q 出力の初期値を指定

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

FDP_1

プリミティブ : D Flip-Flop with Negative-Edge Clock and Asynchronous Preset



概要

このデザイン エLEMENTは、データ (D)、非同期プリセット (PRE) の各入力とデータ出力 (Q) がある単一の D フリップフロップです。非同期 PRE が High になると、ほかのすべての入力は無視され、Q 出力が High にプリセットされます。PRE が Low の場合、クロック (C) が High から Low に切り替わるときに D 入力の値がフリップフロップにロードされます。

電力を供給すると、フリップフロップは非同期にプリセットされ、出力が High になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバータを追加するとアクティブ Low にできます。

論理表

入力			出力
PRE	C	D	Q
1	X	X	1
0	↓	D	D

デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

使用可能な属性

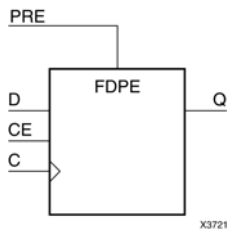
属性	タイプ	値	デフォルト	説明
INIT	2 進数	0、1	1	コンフィギュレーション後の Q 出力の初期値を指定

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

FDPE

プリミティブ : D Flip-Flop with Clock Enable and Asynchronous Preset



概要

このデザイン エLEMENTは、データ (D)、クロック イネーブル (CE)、非同期プリセット (PRE) の各入力とデータ出力 (Q) がある単一の D フリップフロップです。非同期の PRE が High になると、ほかのすべての入力は無視され、Q 出力が High にセットされます。PRE が Low、CE が High の場合、クロック (C) が Low から High に切り替わる時に D 入力の値がフリップフロップにロードされます。CE が Low の場合、クロック遷移は無視されます。

FPGA では、電力を供給すると、フリップフロップは非同期にプリセットされ、出力が High になります。グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバータを追加するとアクティブ Low にできます。

論理表

入力				出力
PRE	CE	D	C	Q
1	X	X	X	1
0	0	X	X	変化なし
0	1	D	↑	D

デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

使用可能な属性

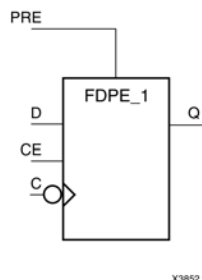
属性	タイプ	値	デフォルト	説明
INIT	2 進数	1	1	コンフィギュレーション後の Q 出力の初期値を指定。 Spartan®-6 デバイスでは、INIT 値とセットまたはリセットの極性を常に一致させる必要があります。FDPE の場合、INIT 値は 1 である必要があります。0 に設定する場合は、この動作を表す非同期回路を作成する必要がありますが、ザイリンクスでは推奨されていません。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

FDPE_1

プリミティブ : D Flip-Flop with Negative-Edge Clock, Clock Enable, and Asynchronous Preset



概要

このデザイン エLEMENTは、データ (D)、クロック イネーブル (CE)、非同期プリセット (PRE) の各入力とデータ出力 (Q) がある単一の D フリップフロップです。非同期の PRE が High になると、ほかのすべての入力は無視され、Q 出力が High にセットされます。PRE が Low、CE が High の場合、クロック (C) が High から Low に切り替わるときに D 入力の値がフリップフロップにロードされます。CE が Low の場合、クロック遷移は無視されます。

FPGA では、電力を供給すると、フリップフロップは非同期にプリセットされ、出力が High になります。グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバータを追加するとアクティブ Low にできます。

論理表

入力				出力
PRE	CE	D	C	Q
1	X	X	X	1
0	0	X	X	変化なし
0	1	D	↓	D

デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

使用可能な属性

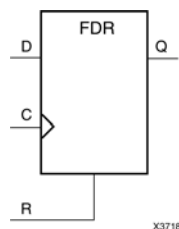
属性	タイプ	値	デフォルト	説明
INIT	2 進数	0、1	1	コンフィギュレーション後の Q 出力の初期値を指定

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

FDR

Primitive: D Flip-Flop with Synchronous Reset



概要

このデザイン エLEMENTは、データ (D)、同期リセット (R) の各入力とデータ出力 (Q) がある単一の D タイプ フリップフロップです。同期リセット入力 (R) が High になると、ほかの入力は無視され、クロック (C) が Low から High に切り替わるときに出力 (Q) が Low にリセットされます。R が Low の場合、クロックが Low から High に切り替わるときに D 入力の値がフリップフロップにロードされます。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット / リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバータを追加するとアクティブ Low にできます。

論理表

入力			出力
R	D	C	Q
1	X	↑	0
0	D	↑	D

デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

使用可能な属性

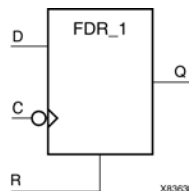
属性	タイプ	値	デフォルト	説明
INIT	2 進数	0、1	0	コンフィギュレーション後の Q 出力の初期値を指定

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

FDR_1

プリミティブ : D Flip-Flop with Negative-Edge Clock and Synchronous Reset



概要

このデザイン エLEMENTは、データ (D)、同期リセット (R) の各入力とデータ出力 (Q) がある単一の D タイプ フリップフロップです。同期リセット入力 (R) が High になると、ほかの入力は無視され、クロック (C) が High から Low に切り替わる時に出力 (Q) が Low にリセットされます。R が Low の場合、クロック (C) が High から Low に切り替わる時に D 入力の値がフリップフロップにロードされます。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット / リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバータを追加するとアクティブ Low にできます。

論理表

入力			出力
R	D	C	Q
1	X	↓	0
0	D	↓	D

デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

使用可能な属性

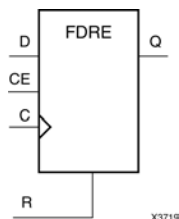
属性	タイプ	値	デフォルト	説明
INIT	2 進数	0、1	0	コンフィギュレーション後の Q 出力の初期値を指定。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

FDRE

Primitive: D Flip-Flop with Clock Enable and Synchronous Reset



概要

このデザイン エLEMENTは、データ (D)、クロック イネーブル (CE)、同期リセット (R) の各入力とデータ出力 (Q) がある単一の D タイプ フリップフロップです。同期リセット入力 (R) が High になると、ほかの入力は無視され、クロック (C) が Low から High に切り替わる時に出力 (Q) が Low にリセットされます。R が Low、CE が High の場合、クロックが Low から High に切り替わる時に D 入力の値がフリップフロップにロードされます。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット / リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバータを追加するとアクティブ Low にできます。

論理表

入力				出力
R	CE	D	C	Q
1	X	X	↑	0
0	0	X	X	変化なし
0	1	D	↑	D

デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

使用可能な属性

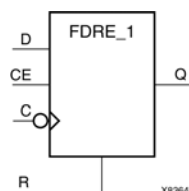
属性	タイプ	値	デフォルト	説明
INIT	2 進数	0	0	コンフィギュレーション後の Q 出力の初期値を指定 Spartan®-6 デバイスでは、INIT 値とセットまたはリセットの極性を常に一致させる必要があります。FDRE の場合、INIT 値を 0 に設定する必要があります。1 に設定すると余分なロジックが挿入されます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

FDRE_1

プリミティブ : D Flip-Flop with Negative-Clock Edge, Clock Enable, and Synchronous Reset



概要

FDRE_1 は、データ (D)、クロック イネーブル (CE)、同期リセット (R) の各入力とデータ出力 (Q) がある単一の D タイプ フリップフロップです。同期リセット入力 (R) が High になると、ほかの入力は無視され、クロック (C) が High から Low に切り替わるときに出力 (Q) が Low にリセットされます。R が Low で CE が High の場合、クロック (C) が High から Low に切り替わるときに D 入力の値がフリップフロップにロードされます。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット / リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバータを追加するとアクティブ Low にできます。

論理表

入力				出力
R	CE	D	C	Q
1	X	X	↓	0
0	0	X	X	変化なし
0	1	D	↓	D

デザインの入力方法

このエレメントは、回路図でのみ使用できます。

使用可能な属性

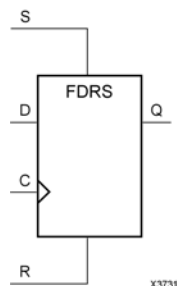
属性	タイプ	値	デフォルト	説明
INIT	2 進数	0、1	0	コンフィギュレーション後の Q 出力の初期値を指定。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

FDRS

Primitive: D Flip-Flop with Synchronous Reset and Set



概要

FDRS は、データ (D)、同期セット (S)、同期リセット (R) の各入力とデータ出力 (Q) がある単一の D タイプ フリップフロップです。同期リセット入力 (R) が High になると、ほかの入力は無視され、クロック (C) が Low から High に切り替わる時に出力 (Q) が Low にリセットされます (リセットがセットよりも優先される)。S が High、R が Low の場合、クロックが Low から High に切り替わる時にフリップフロップがセットされ、出力が High になります。R と S が Low の場合、クロックが Low から High に切り替わる時に D 入力の値がフリップフロップにロードされます。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバータを追加するとアクティブ Low にできます。

論理表

入力				出力
R	S	D	C	Q
1	X	X	↓	0
0	1	X	↓	1
0	0	D	↓	D

デザインの入力方法

このエレメントは、回路図でのみ使用できます。

使用可能な属性

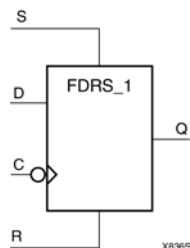
属性	タイプ	値	デフォルト	説明
INIT	2 進数	0、1	0	コンフィギュレーション後の Q 出力の初期値を指定

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

FDRS_1

プリミティブ : D Flip-Flop with Negative-Clock Edge and Synchronous Reset and Set



概要

FDRS_1 は、データ (D)、同期セット (S)、同期リセット (R) の各入力とデータ出力 (Q) がある単一の D タイプ フリップフロップです。同期リセット入力 (R) が High になると、ほかの入力は無視され、クロック (C) が Low から High に切り替わるときに出力 (Q) が Low にリセットされます (リセットがセットよりも優先される)。S が High、R が Low の場合、クロックが High から Low に切り替わるときにフリップフロップがセットされ、出力が High になります。R と S が Low の場合、クロックが High から Low に切り替わるときに D 入力の値がフリップフロップにロードされます。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバータを追加するとアクティブ Low にできます。

論理表

入力				出力
R	S	D	C	Q
1	X	X	↓	0
0	1	X	↓	1
0	0	D	↓	D

デザインの入力方法

このエレメントは、回路図でのみ使用できます。

使用可能な属性

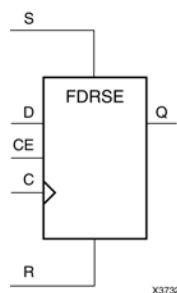
属性	タイプ	値	デフォルト	説明
INIT	2 進数	0、1	0	コンフィギュレーション後の Q 出力の初期値を指定

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

FDRSE

Primitive: D Flip-Flop with Synchronous Reset and Set and Clock Enable



概要

FDRSE は、同期リセット (R)、同期セット (S)、クロック イネーブル (CE) の各入力とデータ出力 (Q) がある単一の D タイプ フリップフロップです。同期リセット入力 (R) が High になると、ほかの入力は無視され、クロック (C) が Low から High に切り替わるときに出力 (Q) が Low にリセットされます (リセットがセットよりも優先される)。セット入力 (S) が High、R が Low の場合、クロック (C) が Low から High に切り替わるときにフリップフロップがセットされ、出力が High になります。R と S が Low、CE が High の場合、クロックが Low から High に切り替わるときに D 入力の値がフリップフロップにロードされます。

電源が投入されると、INIT 属性を使用して指定した初期値に設定されます。GSR (グローバル セット/リセット) をアサートすると、INIT で指定した初期値に非同期で設定されます。

論理表

入力					出力
R	S	CE	D	C	Q
1	X	X	X	↑	0
0	1	X	X	↑	1
0	0	0	X	X	変化なし
0	0	1	1	↑	1
0	0	1	0	↑	0

デザインの入力方法

このエレメントは、回路図で使用されます。

使用可能な属性

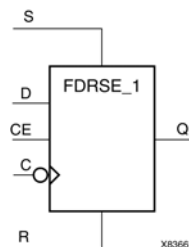
属性	タイプ	値	デフォルト	説明
INIT	2 進数	0、1	0	コンフィギュレーション後および GSR 入力時の Q 出力の初期値を指定

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

FDRSE_1

プリミティブ : D Flip-Flop with Negative-Clock Edge, Synchronous Reset and Set, and Clock Enable



概要

FDRSE_1 は、同期リセット (R)、同期セット (S)、クロック イネーブル (CE) の各入力とデータ出力 (Q) がある単一の D タイプ フリップフロップです。同期リセット入力 (R) が High になると、ほかの入力は無視され、クロック (C) が High から Low に切り替わるときに、出力 (Q) が Low にリセットされます (リセットがセットよりも優先される)。S が High、R が Low の場合、クロック (C) が High から Low に切り替わるときにフリップフロップがセットされ、出力が High になります。R と S が Low で CE が High の場合、クロックが High から Low に切り替わるときに D 入力の値がフリップフロップにロードされます。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット / リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバータを追加するとアクティブ Low にできます。

論理表

入力					出力
R	S	CE	D	C	Q
1	X	X	X	↓	0
0	1	X	X	↓	1
0	0	0	X	X	変化なし
0	0	1	D	↓	D

デザインの入力方法

このエレメントは、回路図で使用されます。

使用可能な属性

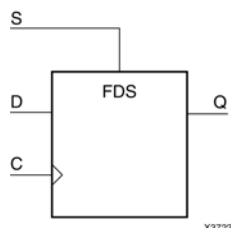
属性	タイプ	値	デフォルト	説明
INIT	2 進数	0、1	0	コンフィギュレーション後および GSR 入力時の Q 出力の初期値を指定

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

FDS

プリミティブ : D Flip-Flop with Synchronous Set



概要

FDS は、データ (D)、同期セット (S) の各入力とデータ出力 (Q) がある単一の D タイプ フリップフロップです。同期セット入力が高レベルになると、クロック (C) が Low から High に切り替わる時に Q 出力が高レベルにセットされます。S が Low の場合、クロック (C) が Low から High に切り替わる時に D 入力の値がフリップフロップにロードされます。

FPGA では、電力を供給すると、フリップフロップは非同期にプリセットされ、出力が高レベルになります。グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバータを追加するとアクティブ Low にできます。

論理表

入力			出力
S	D	C	Q
1	X	↑	1
0	D	↑	D

デザインの入力方法

このエレメントは、回路図でのみ使用できます。

使用可能な属性

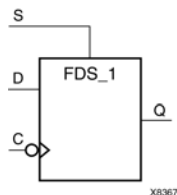
属性	タイプ	値	デフォルト	説明
INIT	2 進数	0、1	1	コンフィギュレーション後の Q 出力の初期値を指定。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

FDS_1

プリミティブ : D Flip-Flop with Negative-Edge Clock and Synchronous Set



概要

FDS は、データ (D)、同期セット (S) の各入力とデータ出力 (Q) がある単一の D タイプ フリップフロップです。同期セット入力が高レベルになると、クロック (C) が Low から High に切り替わる時に Q 出力が高レベルにセットされます。S が Low の場合、クロック (C) が Low から High に切り替わる時に D 入力の値がフリップフロップにロードされます。

電力を供給すると、フリップフロップは非同期にプリセットされ、出力が高レベルになります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバータを追加するとアクティブ Low にできます。

論理表

入力			出力
S	D	C	Q
1	X	↓	1
0	D	↓	D

デザインの入力方法

このエレメントは、回路図でのみ使用できます。

使用可能な属性

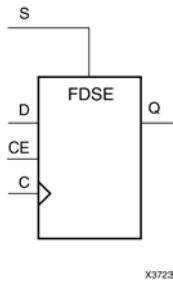
属性	タイプ	値	デフォルト	説明
INIT	2 進数	0、1	1	コンフィギュレーション後の Q 出力の初期値を指定

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

FDSE

プリミティブ : D Flip-Flop with Clock Enable and Synchronous Set



概要

FDSE は、データ (D)、クロック イネーブル (CE)、同期セット (S) の各入力とデータ出力 (Q) がある単一の D タイプ フリップフロップです。同期セット (S) 入力が高になると、クロック イネーブル (CE) 入力は無視され、クロック (C) が Low から High に切り替わるときに Q 出力が高にセットされます。S が Low、CE が High の場合、クロック (C) が Low から High に切り替わるときに D 入力の値がフリップフロップにロードされます。

FPGA では、電力を供給すると、フリップフロップは非同期にプリセットされ、出力が高になります。グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバータを追加するとアクティブ Low にできます。

論理表

入力				出力
S	CE	D	C	Q
1	X	X	↑	1
0	0	X	X	変化なし
0	1	D	↑	D

デザインの入力方法

このエレメントは、回路図でのみ使用できます。

使用可能な属性

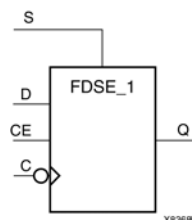
属性	タイプ	値	デフォルト	説明
INIT	2 進数	1	1	コンフィギュレーション後の Q 出力の初期値を指定。 Spartan®-6 デバイスでは、INIT 値とセットまたはリセットの極性を常に一致させる必要があります。FDSE の場合、INIT 値を 1 に設定する必要があります。0 に設定すると余分なロジックが挿入されます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

FDSE_1

プリミティブ : D Flip-Flop with Negative-Edge Clock, Clock Enable, and Synchronous Set



概要

FDSE_1 は、データ (D)、クロック イネーブル (CE)、同期セット (S) の各入力とデータ出力 (Q) がある単一の D フリップフロップです。同期セット (S) 入力が High になると、クロック イネーブル (CE) 入力は無視され、クロック (C) が High から Low に切り替わるときに Q 出力が High にセットされます。S が Low、CE が High の場合、クロック (C) が High から Low に切り替わるときに D 入力の値がフリップフロップにロードされます。

電力を供給すると、フリップフロップは非同期にプリセットされ、出力が High になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバータを追加するとアクティブ Low にできます。

論理表

入力				出力
S	CE	D	C	Q
1	X	X	↓	1
0	0	X	X	変化なし
0	1	D	↓	D

デザインの入力方法

このエレメントは、回路図でのみ使用できます。

使用可能な属性

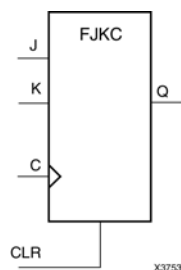
属性	タイプ	値	デフォルト	説明
INIT	2 進数	0、1	1	コンフィギュレーション後の Q 出力の初期値を指定

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

FJKC

マクロ : J-K Flip-Flop with Asynchronous Clear



概要

このデザイン エLEMENTは、J、K、非同期クリア (CLR) の各入力とデータ出力 (Q) がある単一の J-K タイプ フリップフロップです。非同期クリア入力 (CLR) が High になると、ほかのすべての入力は無視され、Q 出力が Low にリセットされます。CLR が Low になると、次の論理表に示すように、クロックが Low から High に切り替わるときに、J および K 入力の値に応じて出力の値が変化します。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバータを追加するとアクティブ Low にできます。

論理表

入力				出力
CLR	J	K	C	Q
1	X	X	X	0
0	0	0	↑	変化なし
0	0	1	↑	0
0	1	0	↑	1
0	1	1	↑	トグル

デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

使用可能な属性

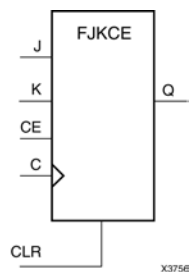
属性	タイプ	値	デフォルト	説明
INIT	2 進数	0、1	0	コンフィギュレーション後の Q 出力の初期値を指定

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

FJKCE

マクロ : J-K Flip-Flop with Clock Enable and Asynchronous Clear



概要

このデザイン エLEMENTは、J、K、クロック イネーブル (CE)、非同期クリア (CLR) の各入力とデータ出力 (Q) がある単一の J-K タイプ フリップフロップです。非同期クリア (CLR) が High になると、ほかのすべての入力は無視され、Q 出力が Low にリセットされます。CLR が Low、CE が High の場合、次の論理表に示すように、クロックが Low から High に切り替わるときに、J および K 入力の値に応じて Q の値が変化します。CE が Low の場合、クロック遷移は無視されます。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット / リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバータを追加するとアクティブ Low にできます。

論理表

入力					出力
CLR	CE	J	K	C	Q
1	X	X	X	X	0
0	0	X	X	X	変化なし
0	1	0	0	X	変化なし
0	1	0	1	↑	0
0	1	1	0	↑	1
0	1	1	1	↑	トグル

デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

使用可能な属性

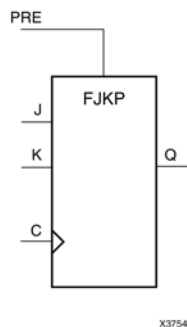
属性	タイプ	値	デフォルト	説明
INIT	2 進数	0、1	0	コンフィギュレーション後の Q 出力の初期値を指定

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

FJKP

マクロ : J-K Flip-Flop with Asynchronous Preset



概要

このデザイン エLEMENTは、J、K、非同期プリセット (PRE) の各入力とデータ出力 (Q) がある単一の J-K フリップフロップです。非同期プリセット入力 (PRE) が High になると、ほかのすべての入力は無視され、Q 出力が High にセットされます。PRE が Low の場合、次の論理表に示すように、クロックが Low から High に切り替わるときに、J および K 入力の値に応じて Q の値が変化します。

FPGA では、電力を供給すると、フリップフロップは非同期にプリセットされ、出力が High になります。グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバータを追加するとアクティブ Low にできます。

論理表

入力				出力
PRE	J	K	C	Q
1	X	X	X	1
0	0	0	X	変化なし
0	0	1	↑	0
0	1	0	↑	1
0	1	1	↑	トグル

デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

使用可能な属性

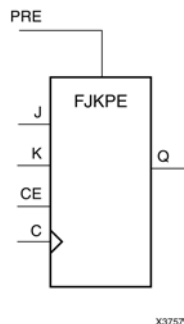
属性	タイプ	値	デフォルト	説明
INIT	2 進数	0、1	1	コンフィギュレーション後の Q 出力の初期値を指定

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

FJKPE

マクロ : J-K Flip-Flop with Clock Enable and Asynchronous Preset



概要

このデザイン エLEMENTは、J、K、クロック イネーブル (CE)、非同期プリセット (PRE) の各入力とデータ出力 (Q) がある単一の J-K フリップフロップです。非同期プリセット (PRE) が High になると、ほかのすべての入力は無視され、Q 出力が High にセットされます。PRE が Low、CE が High の場合、次の論理表に示すように、クロック (C) が Low から High に切り替わるときに、J および K 入力の値に応じて Q 出力の値が変化します。CE が Low の場合、クロック遷移は無視されます。

FPGA では、電力を供給すると、フリップフロップは非同期にプリセットされ、出力が High になります。グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバータを追加するとアクティブ Low にできます。

論理表

入力					出力
PRE	CE	J	K	C	Q
1	X	X	X	X	1
0	0	X	X	X	変化なし
0	1	0	0	X	変化なし
0	1	0	1	↑	0
0	1	1	0	↑	1
0	1	1	1	↑	トグル

デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

使用可能な属性

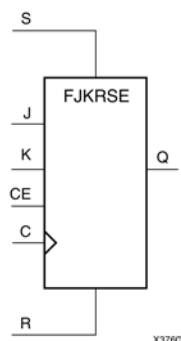
属性	タイプ	値	デフォルト	説明
INIT	2 進数	0、1	1	コンフィギュレーション後の Q 出力の初期値を指定

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)

FJKRSE

マクロ : J-K Flip-Flop with Clock Enable and Synchronous Reset and Set



概要

このデザイン エLEMENTは、J、K、同期リセット (R)、同期セット (S)、クロック イネーブル (CE) の各入力とデータ出力 (Q) がある単一の J-K フリップフロップです。同期リセット (R) が High になると、ほかのすべての入力は無視され、クロック (C) が Low から High に切り替わるときに Q が Low にリセットされます。同期セット (S) が High、R が Low の場合、Q 出力が High にセットされます。R と S が Low、CE が High の場合、次の論理表に示すように、クロック (C) が Low から High に切り替わるときに、J および K 入力の値に応じて Q 出力が変化します。CE が Low の場合、クロック遷移は無視されます。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット / リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバータを追加するとアクティブ Low にできます。

論理表

入力						出力
R	S	CE	J	K	C	Q
1	X	X	X	X	↑	0
0	1	X	X	X	↑	1
0	0	0	X	X	X	変化なし
0	0	1	0	0	X	変化なし
0	0	1	0	1	↑	0
0	0	1	1	0	↑	1
0	0	1	1	0	↑	1
0	0	1	1	1	↑	トグル

デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

使用可能な属性

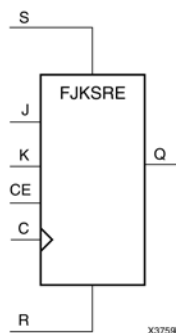
属性	タイプ	値	デフォルト	説明
INIT	2 進数	0、1	0	コンフィギュレーション後の Q 出力の初期値を指定

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)

FJKSRE

マクロ : J-K Flip-Flop with Clock Enable and Synchronous Set and Reset



概要

このデザイン エLEMENTは、J、K、同期セット (S)、同期リセット (R)、クロック イネーブル (CE) の各入力とデータ出力 (Q) がある単一の J-K タイプ フリップフロップです。同期セット (S) が High になると、ほかのすべての入力は無視され、クロック (C) が Low から High に切り替わるときに Q が High にセットされます。同期リセット (R) が High、S が Low の場合、出力 Q が Low にリセットされます。S と R が Low、CE が High の場合、次の論理表に示すように、クロック (C) が Low から High に切り替わるときに、J および K 入力の値に応じて Q 出力が変化します。CE が Low の場合、クロック 遷移は無視されます。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット / リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバータを追加するとアクティブ Low にできます。

論理表

入力						出力
S	R	CE	J	K	C	Q
1	X	X	X	X	↑	1
0	1	X	X	X	↑	0
0	0	0	X	X	X	変化なし
0	0	1	0	0	X	変化なし
0	0	1	0	1	↑	0
0	0	1	1	0	↑	1
0	0	1	1	1	↑	トグル

デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

使用可能な属性

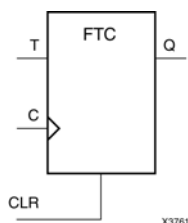
属性	タイプ	値	デフォルト	説明
INIT	2 進数	0、1	1	コンフィギュレーション後の Q 出力の初期値を指定

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)

FTC

マクロ : Toggle Flip-Flop with Asynchronous Clear



概要

このデザイン エLEMENTは、リセット可能な同期トグル フリップフロップです。非同期クリア入力 (CLR) が High になると、ほかのすべての入力は無視され、出力 (Q) が Low にリセットされます。トグル イネーブル入力 (T) が High、CLR が Low の場合、クロックが Low から High に切り替わるときに Q 出力がトグルし、値が変化します。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット / リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバータを追加するとアクティブ Low にできます。

論理表

入力			出力
CLR	T	C	Q
1	X	X	0
0	0	X	変化なし
0	1	↑	トグル

デザインの入力方法

このELEMENTは、CPLD を使用しているときはインスタンスエートできますが、FPGA を使用しているときはインスタンスエートできません。

使用可能な属性

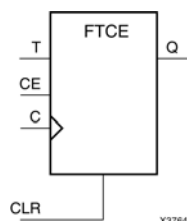
属性	タイプ	値	デフォルト	説明
INIT	2 進数	0、1	0	コンフィギュレーション後の Q 出力の初期値を指定

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

FTCE

マクロ : Toggle Flip-Flop with Clock Enable and Asynchronous Clear



概要

このデザイン エLEMENTは、トグル イネーブル、クロック イネーブル、非同期クリアがあるトグル フリップフロップです。非同期クリア入力 (CLR) が High になると、ほかのすべての入力は無視され、出力 (Q) の値が Low にリセットされます。CLR が Low、トグル イネーブル (T) とクロック イネーブル (CE) が High の場合、クロック (C) が Low から High に切り替わるときに Q 出力がトグルし、値が変化します。CE が Low の場合、クロック遷移は無視されます。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット / リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバータを追加するとアクティブ Low にできます。

論理表

入力				出力
CLR	CE	T	C	Q
1	X	X	X	0
0	0	X	X	変化なし
0	1	0	X	変化なし
0	1	1	↑	トグル

デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

使用可能な属性

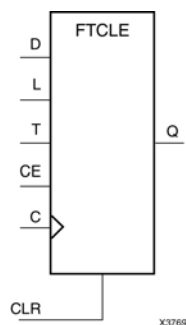
属性	タイプ	値	デフォルト	説明
INIT	2 進数	0、1	0	コンフィギュレーション後の Q 出力の初期値を指定

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

FTCLE

マクロ : Toggle/Loadable Flip-Flop with Clock Enable and Asynchronous Clear



概要

このデザイン エLEMENTは、トグル イネーブル、クロック イネーブル、非同期クリアがあるロード可能なトグル フリップフロップです。非同期クリア入力 (CLR) が High になると、ほかのすべての入力は無視され、出力 Q が Low にリセットされます。ロード イネーブル入力 (L) が High、CLR が Low の場合、クロック イネーブル (CE) は無視され、クロック (C) が Low から High に切り替わるときに、データ入力 (D) の値がフリップフロップにロードされます。トグル イネーブル (T) と CE が High、L と CLR が Low の場合、クロックが Low から High に切り替わるときに、出力 Q がトグルし、値が変化します。CE が Low の場合、クロック遷移は無視されます。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバータを追加するとアクティブ Low にできます。

論理表

入力						出力
CLR	L	CE	T	D	C	Q
1	X	X	X	X	X	0
0	1	X	X	D	↑	D
0	0	0	X	X	X	変化なし
0	0	1	0	X	X	変化なし
0	0	1	1	X	↑	トグル

デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

使用可能な属性

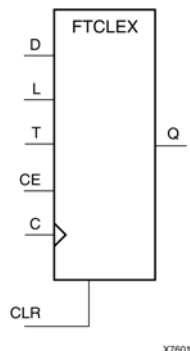
属性	タイプ	値	デフォルト	説明
INIT	2 進数	0、1	0	コンフィギュレーション後の Q 出力の初期値を指定

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)

FTCLEX

マクロ : Toggle/Loadable Flip-Flop with Clock Enable and Asynchronous Clear



概要

このデザイン エLEMENTは、トグル イネーブル、クロック イネーブル、非同期クリアがあるロード可能なトグル フリップフロップです。非同期クリア入力 (CLR) が High になると、ほかのすべての入力は無視され、出力 Q が Low にリセットされます。ロード イネーブル入力 (L) と CE が High、CLR が Low の場合、クロック (C) が Low から High に切り替わる時に、入力 (D) の値がフリップフロップにロードされます。トグル イネーブル (T) と CE が High、L と CLR が Low の場合、クロックが Low から High に切り替わる時に、出力 Q がトグルし、値が変化します。CE が Low の場合、クロック遷移は無視されます。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット / リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバータを追加するとアクティブ Low にできます。

論理表

入力						出力
CLR	L	CE	T	D	C	Q
1	X	X	X	X	X	0
0	1	X	X	D	↑	D
0	0	0	X	X	X	変化なし
0	0	1	0	X	X	変化なし
0	0	1	1	X	↑	トグル

デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

使用可能な属性

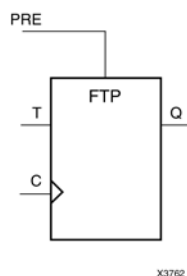
属性	タイプ	値	デフォルト	説明
INIT	2 進数	0、1	0	コンフィギュレーション後の Q 出力の初期値を指定

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

FTP

マクロ : Toggle Flip-Flop with Asynchronous Preset



概要

このデザイン エLEMENTは、トグル イネーブルと非同期プリセットがあるトグル フリップフロップです。非同期プリセット入力 (PRE) が High になると、ほかのすべての入力は無視され、出力 Q が High にセットされます。トグル イネーブル入力 (T) が High、PRE が Low の場合、クロック (C) が Low から High に切り替わる時に出力 Q がトグルし、値が変化します。

FPGA では、電力を供給すると、フリップフロップは非同期にプリセットされ、出力が High になります。グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバータを追加するとアクティブ Low にできます。

論理表

入力			出力
PRE	T	C	Q
1	X	X	1
0	0	X	変化なし
0	1	↑	トグル

デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

使用可能な属性

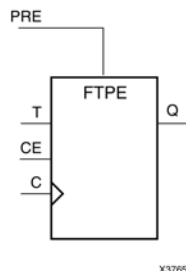
属性	タイプ	値	デフォルト	説明
INIT	2 進数	0、1	1	コンフィギュレーション後の Q 出力の初期値を指定

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

FTPE

マクロ : Toggle Flip-Flop with Clock Enable and Asynchronous Preset



概要

このデザイン エレメントは、トグル イネーブル、クロック イネーブル、非同期プリセットがあるトグル フリップフロップです。非同期プリセット入力 (PRE) が High になると、ほかのすべての入力は無視され、出力 Q が High にセットされます。トグル イネーブル入力 (T) とクロック イネーブル入力 (CE) が High、PRE が Low の場合、クロックが Low から High に切り替わる時に出力 Q がトグルし、値が変化します。CE が Low の場合、クロック遷移は無視されます。

FPGA では、電力を供給すると、フリップフロップは非同期にプリセットされ、出力が High になります。グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバータを追加するとアクティブ Low にできます。

論理表

入力				出力
PRE	CE	T	C	Q
1	X	X	X	1
0	0	X	X	変化なし
0	1	0	X	変化なし
0	1	1	↑	トグル

デザインの入力方法

このエレメントは、回路図でのみ使用できます。

使用可能な属性

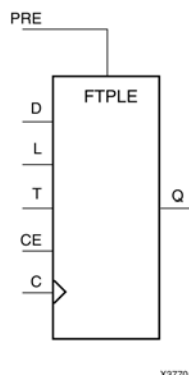
属性	タイプ	値	デフォルト	説明
INIT	2 進数	0、1	1	コンフィギュレーション後の Q 出力の初期値を指定

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

FTPLE

マクロ : Toggle/Loadable Flip-Flop with Clock Enable and Asynchronous Preset



概要

このデザイン エLEMENTは、トグル イネーブル、クロック イネーブル、非同期プリセットがあるロード可能なトグル フリップフロップです。非同期プリセット入力 (PRE) が High になると、ほかのすべての入力は無視され、出力 Q が High にセットされます。ロード イネーブル入力 (L) が High、PRE が Low の場合、クロック イネーブル (CE) は無視され、クロックが Low から High に切り替わる時に、D の値がフリップフロップにロードされます。L と PRE が Low、トグル イネーブル入力 (T) と CE が High の場合、クロックが Low から High に切り替わる時に出力 Q がトグルし、値が変化します。CE が Low の場合、クロック遷移は無視されます。

FPGA では、電力を供給すると、フリップフロップは非同期にプリセットされ、出力が High になります。グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバータを追加するとアクティブ Low にできます。

論理表

入力						出力
PRE	L	CE	T	D	C	Q
1	X	X	X	X	X	1
0	1	X	X	D	↑	D
0	0	0	X	X	X	変化なし
0	0	1	0	X	X	変化なし
0	0	1	1	X	↑	トグル

デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

使用可能な属性

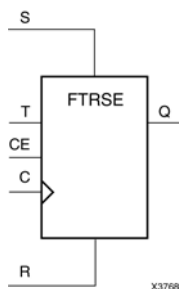
属性	タイプ	値	デフォルト	説明
INIT	2 進数	0、1	1	コンフィギュレーション後の Q 出力の初期値を指定

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

FTRSE

マクロ : Toggle Flip-Flop with Clock Enable and Synchronous Reset and Set



概要

このデザイン エLEMENTは、トグル イネーブル、クロック イネーブル、同期セット、同期リセットがあるトグル フリップフロップです。同期リセット入力 (R) が High になると、ほかのすべての入力は無視され、クロック (C) が Low から High に切り替わるときに、出力 (Q) の値が Low にリセットされます。R が Low、同期セット入力 (S) が High の場合、クロック イネーブル入力 (CE) は無視され、クロック (C) が Low から High に切り替わるときに、出力 Q が High にセットされます (リセットがセットよりも優先される)。トグル イネーブル入力 (T) と CE が High、S と R が Low の場合、クロック (C) が Low から High に切り替わるときに出力 Q がトグルし、値が変化します。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット / リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバータを追加するとアクティブ Low にできます。

論理表

入力					出力
R	S	CE	T	C	Q
1	X	X	X	↑	0
0	1	X	X	↑	1
0	0	0	X	X	変化なし
0	0	1	0	X	変化なし
0	0	1	1	↑	トグル

デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

使用可能な属性

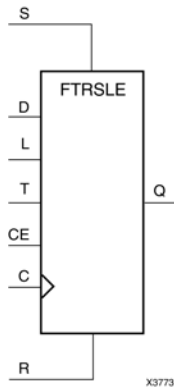
属性	タイプ	値	デフォルト	説明
INIT	2 進数	0、1	0	コンフィギュレーション後の Q 出力の初期値を指定

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

FTRSLE

マクロ : Toggle/Loadable Flip-Flop with Clock Enable and Synchronous Reset and Set



概要

このデザイン エLEMENTは、トグル イネーブル、クロック イネーブル、同期セット、同期リセットがあるロード可能なトグル フリップフロップです。同期リセット入力 (R) が High になると、ほかのすべての入力は無視され、クロック (C) が Low から High に切り替わる時に、出力 (Q) が Low にリセットされます (リセットがセットよりも優先される)。R が Low、同期セット入力 (S) が High の場合、クロック イネーブル入力 (CE) は無視され、クロック (C) が Low から High に切り替わる時に、出力 Q が High にセットされます。R と S が Low、ロード イネーブル入力 (L) が High の場合、CE は無視され、クロック (C) が Low から High に切り替わる時に、データ入力 (D) の値がフリップフロップにロードされます。R、S、L が Low、CE とトグル イネーブル (T) が High の場合、クロック (C) が Low から High に切り替わる時に出力 Q がトグル し、値が変化します。CE が Low の場合、クロック遷移は無視されます。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット / リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバータを追加するとアクティブ Low にできます。

論理表

入力							出力
R	S	L	CE	T	D	C	Q
1	0	X	X	X	X	↑	0
0	1	X	X	X	X	↑	1
0	0	1	X	X	1	↑	1
0	0	1	X	X	0	↑	0
0	0	0	0	X	X	X	変化なし
0	0	0	1	0	X	X	変化なし
0	0	0	1	1	X	↑	トグル

デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

使用可能な属性

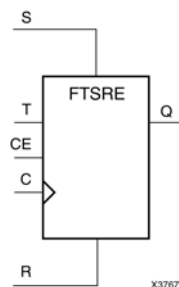
属性	タイプ	値	デフォルト	説明
INIT	2 進数	0、1	0	コンフィギュレーション後の Q 出力の初期値を指定

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)

FTSRE

マクロ : Toggle Flip-Flop with Clock Enable and Synchronous Set and Reset



概要

このデザイン エLEMENTは、トグル イネーブル、クロック イネーブル、同期セット、同期リセットがあるトグル フリップフロップです。同期セット入力 (S) が High になると、ほかのすべての入力は無視され、クロック (C) が Low から High に切り替わるときに、データ出力 (Q) が High にセットされます (セットがリセットよりも優先される)。同期リセット (R) が High、S が Low の場合、クロック イネーブル入力 (CE) は無視され、クロック (C) が Low から High に切り替わるときに、出力 Q が Low にリセットされます。トグル イネーブル入力 (T) と CE が High、S と R が Low の場合、クロック (C) が Low から High に切り替わるときに出力 Q がトグルし、値が変化します。CE が Low の場合、クロック遷移は無視されます。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット / リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバータを追加するとアクティブ Low にできます。

論理表

入力					出力
S	R	CE	T	C	Q
1	X	X	X	↑	1
0	1	X	X	↑	0
0	0	0	X	X	変化なし
0	0	1	0	X	変化なし
0	0	1	1	↑	トグル

デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

使用可能な属性

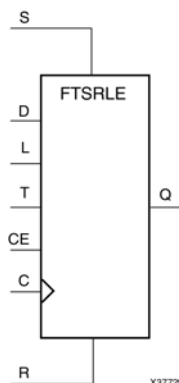
属性	タイプ	値	デフォルト	説明
INIT	2 進数	0、1	1	コンフィギュレーション後の Q 出力の初期値を指定

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

FTSRLE

マクロ : Toggle/Loadable Flip-Flop with Clock Enable and Synchronous Set and Reset



概要

このデザイン エLEMENTは、トグル イネーブル、クロック イネーブル、同期セット、同期リセットがあるロード可能なトグル フリップフロップです。同期セット入力 (S) が High になると、ほかのすべての入力は無視され、クロック (C) が Low から High に切り替わるときに、データ出力 (Q) が High にセットされます (セットがリセットよりも優先される)。同期リセット (R) が High、S が Low の場合、クロック イネーブル入力 (CE) は無視され、クロック (C) が Low から High に切り替わるときに、出力 Q が Low にリセットされます。ロード イネーブル入力 (L) が High、S と R が Low の場合、CE は無視され、クロックが Low から High に切り替わるときに、入力 (D) の値がフリップフロップにロードされます。トグル イネーブル入力 (T) と CE が High、S、R、L が Low の場合、クロック (C) が Low から High に切り替わるときに出力 Q がトグルし、値が変化します。CE が Low の場合、クロック遷移は無視されます。

FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバータを追加するとアクティブ Low にできます。

論理表

入力							出力
S	R	L	CE	T	D	C	Q
1	X	X	X	X	X	↑	1
0	1	X	X	X	X	↑	0
0	0	1	X	X	1	↑	1
0	0	1	X	X	0	↑	0
0	0	0	0	X	X	X	変化なし
0	0	0	1	0	X	X	変化なし
0	0	0	1	1	X	↑	トグル

デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

使用可能な属性

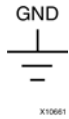
属性	タイプ	値	デフォルト	説明
INIT	2 進数	0、1	1	コンフィギュレーション後の Q 出力の初期値を指定

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)

GND

プリミティブ : Ground-Connection Signal Tag



概要

GND 信号タグは、ネットまたは入力ファンクションの論理レベルを Low にします。GND に接続されたネットは、ほかのソースに接続できません。

ロジックトリム ソフトウェアまたはフィタでは、GND に接続されたネットまたは入力ファンクションがあると、GND 信号でディスエーブルになるロジックが削除されます。ディスエーブルになるロジックを削除できない場合のみ、GND 信号がインプリメントされます。

デザインの入力方法

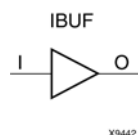
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

IBUF

プリミティブ : Input Buffer



概要

このデザイン エLEMENTは、最上位の入力ポートまたは入出力ポートに接続されている信号に自動的に挿入されます。このバッファは通常、合成ツールで推論しますが、必要に応じてインスタンスエートすることも可能です。インスタンスエートするには、入力ポート (I) を関連する最上位の入力ポートまたは入出力ポートに接続し、出力ポート (O) をそのポートをソースとする FPGA ロジックに接続します。必要なジェネリック マップ (VHDL) またはパラメータ値代入 (Verilog) に変更を加えて、コンポーネントのデフォルトのビヘイビアを変更します。

ポートの説明

ポート名	方向	幅	機能
O	出力	1	バッファの出力
I	入力	1	バッファの入力

デザインの入力方法

このELEMENTは、回路図で使用されます。

このELEMENTは通常、デザインの最上位入力ポートに対して推論されます。通常はソースコードで指定する必要はありませんが、必要に応じてインスタンスエートできます。このコンポーネントをインスタンスエートするには、該当するライブラリ ガイドに含まれるインスタンスエーション コードを最上位エンティティ/モジュールに挿入します。デザイン階層を保つために、すべての I/O コンポーネントを必ずデザインの最上位に配置してください。I ポートをデザインの最上位入力ポートに、O ポートをこの入力供給されるロジックに直接接続します。generic/default 値を設定し、バッファのビヘイビアを適切に設定してください。

使用可能な属性

属性	タイプ	値	デフォルト	説明
IBUF_DELAY_VALUE	文字列	0 ~ 16	0	IOB 外のレジスタを介さないパスに追加する遅延を指定
IFD_DELAY_VALUE	文字列	AUTO、0 ~ 8	AUTO	IOB 内のレジスタを介するパスに追加する遅延を指定
IOSTANDARD	文字列	データシートを参照	DEFAULT	I/O 規格をELEMENTに割り当て

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

IBUF_DLY_ADJ

プリミティブ : Dynamically Adjustable Input Delay Buffer

IBUF_DLY_AD J



概要

このデザイン エLEMENTは調整可能な遅延ELEMENTを含む入力バッファで、FPGA への入力信号の遅延を動的に変更できるようにします。この機能は、FPGA への高速入力データをプロセス、電圧、温度の変化に対して調整する場合に特に便利です。このコンポーネントには 3 ビットのセレクト バスがあり、入力信号に 8 個の遅延値を追加できます。また、遅延オフセットを設定することも可能で、遅延調整値を連続する 16 個の遅延値の上位 8 個にするか下位 8 個にするかを指定できます。

遅延量およびこのコンポーネントの詳細な使用法は、「詳細情報」を参照してください。

ポートの説明

ポート名	方向	幅	機能
O	出力	1	バッファの遅延された出力
I	入力	1	差動入力データ (正)
IB	入力	1	差動入力データ (負)
S	入力	3	ダイナミック遅延調整のセレクト ライン

デザインの入力方法

このELEMENTは、回路図で使用されます。

使用可能な属性

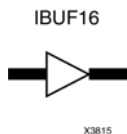
属性	タイプ	値	デフォルト	説明
DELAY_OFFSET	文字列	OFF、ON	OFF	IBUFDS_DLY_ADJ を OFF に設定すると、下位の遅延値が使用されます。この設定は、必要な追加遅延が小さい場合に使用します。ON に設定すると、上位の (大きい) 遅延値が使用されます。この設定は、必要な追加遅延が大きい場合に使用します。
IOSTANDARD	文字列	データシートを参照	DEFAULT	I/O 規格をELEMENTに割り当て

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

IBUF16

マクロ : 16-Bit Input Buffer



概要

IBUF は、チップに入力される信号から内部回路を分離します。このデザイン エLEMENTは I/O ブロック (IOB) に含まれており、I/O の I/O 規格を指定できます。通常シングルエンドのデータ入力ピンまたは双方向ピンに使用されます。

デザインの入力方法

このELEMENTは、回路図で使用されます。

このELEMENTは通常、デザインの最上位入力ポートに対して推論されます。通常はソースコードで指定する必要はありませんが、必要に応じてインスタンス化できます。このコンポーネントをインスタンス化するには、該当するライブラリ ガイドに含まれるインスタンス化コードを最上位エンティティ/モジュールに挿入します。デザイン階層を保つために、すべての I/O コンポーネントを必ずデザインの最上位に配置してください。I ポートをデザインの最上位入力ポートに、O ポートをこの入力 that 供給されるロジックに直接接続します。generic/defparam 値を設定し、バッファのビヘイビアを適切に設定してください。

使用可能な属性

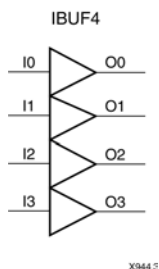
属性	タイプ	値	デフォルト	説明
IBUF_DELAY_VALUE	文字列	0 ~ 16	0	IOB 外のレジスタを介さないパスに追加する遅延を指定
IFD_DELAY_VALUE	文字列	AUTO、0 ~ 8	AUTO	IOB 内のレジスタを介するパスに追加する遅延を指定
IOSTANDARD	文字列	データシートを参照	DEFAULT	I/O 規格をELEMENTに割り当て

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

IBUF4

マクロ : 4-Bit Input Buffer



概要

IBUF は、チップに入力される信号から内部回路を分離します。このデザイン エLEMENT は I/O ブロック (IOB) に含まれており、I/O の I/O 規格を指定できます。通常シングルエンドのデータ入力ピンまたは双方向ピンに使用されます。

デザインの入力方法

このELEMENT は、回路図で使用されます。

このELEMENT は通常、デザインの最上位入力ポートに対して推論されます。通常はソース コードで指定する必要はありませんが、必要に応じてインスタンス化できます。このコンポーネントをインスタンス化するには、該当するライブラリ ガイドに含まれるインスタンス化コードを最上位エンティティ/モジュールに挿入します。デザイン階層を保つために、すべての I/O コンポーネントを必ずデザインの最上位に配置してください。I ポートをデザインの最上位入力ポートに、O ポートをこの入力供給されるロジックに直接接続します。generic/defparam 値を設定し、バッファのビヘイビアを適切に設定してください。

使用可能な属性

属性	タイプ	値	デフォルト	説明
IBUF_DELAY_VALUE	文字列	0 ~ 16	0	IOB 外のレジスタを介さないパスに追加する遅延を指定
IFD_DELAY_VALUE	文字列	AUTO、0 ~ 8	AUTO	IOB 内のレジスタを介するパスに追加する遅延を指定
IOSTANDARD	文字列	データシートを参照	DEFAULT	I/O 規格をELEMENT に割り当て

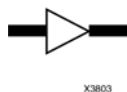
詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

IBUF8

マクロ : 8-Bit Input Buffer

IBUF8



概要

IBUF は、チップに入力される信号から内部回路を分離します。このデザイン エレメントは I/O ブロック (IOB) に含まれており、I/O の I/O 規格を指定できます。通常シングルエンドのデータ入力ピンまたは双方向ピンに使用されます。

デザインの入力方法

このエレメントは、回路図で使用されます。

このエレメントは通常、デザインの最上位入力ポートに対して推論されます。通常はソースコードで指定する必要はありませんが、必要に応じてインスタンスシートできます。このコンポーネントをインスタンスシートするには、該当するライブラリ ガイドに含まれるインスタンスエーション コードを最上位エンティティ/モジュールに挿入します。デザイン階層を保つために、すべての I/O コンポーネントを必ずデザインの最上位に配置してください。I ポートをデザインの最上位入力ポートに、O ポートをこの入力 that 供給されるロジックに直接接続します。generic/defparam 値を設定し、バッファのビヘイビアを適切に設定してください。

使用可能な属性

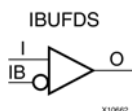
属性	タイプ	値	デフォルト	説明
IBUF_DELAY_VALUE	文字列	0 ~ 16	0	IOB 外のレジスタを介さないパスに追加する遅延を指定
IFD_DELAY_VALUE	文字列	AUTO、0 ~ 8	AUTO	IOB 内のレジスタを介するパスに追加する遅延を指定
IOSTANDARD	文字列	データシートを参照	DEFAULT	I/O 規格をエレメントに割り当て

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

IBUFDS

プリミティブ : Differential Signaling Input Buffer



概要

このデザイン エレメントは、低電圧差動信号を使用する入力バッファです。IBUFDS では、デザイン レベルのインターフェイス信号は、一方がマスタで、もう一方がスレーブとなる 2 つの異なるポート (I、IB) で表されます。マスタとスレーブは MYNET_P と MYNET_N のように、同じ論理信号の反対の状態を示します。オプションで、プログラム可能な差動終端機能を使用すると、シグナル インテグリティが向上し、外部コンポーネントの数を減らすことができます。

論理表

入力		出力
I	IB	O
0	0	変化なし
0	1	0
1	0	1
1	1	変化なし

ポートの説明

ポート名	タイプ	幅	機能
I	入力	1	Diff_p バッファの入力
IB	入力	1	Diff_p バッファの入力
O	出力	1	バッファの出力

デザインの入力方法

このエレメントは、回路図で使用されます。

デザイン階層を保つために、すべての I/O コンポーネントを必ずデザインの最上位に配置してください。I ポートを直接デザインの最上位のマスタとなる入力ポートに、IB ポートを最上位のスレーブとなる入力ポートに、O ポートをこの入力 that 供給されるロジックに接続します。generic/defparam 値を設定し、バッファのビヘイビアを適切に設定してください。

使用可能な属性

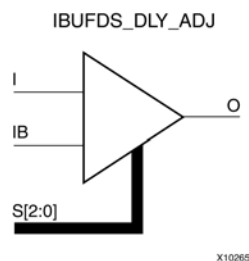
属性	タイプ	値	デフォルト	説明
DIFF_TERM	ブール 代数	TRUE、FALSE	FALSE	ビルトインの差動終端抵抗をイネーブル
IBUF_DELAY_ VALUE	文字列	0 ~ 16	0	IOB 外のレジスタを介さないパスに追加する遅延を指定
IFD_DELAY_ VALUE	文字列	AUTO、 0 ~ 8	AUTO	IOB 内のレジスタを介するパスに追加する遅延を指定
IOSTANDARD	文字列	データシートを参照	DEFAULT	I/O 規格をエレメントに割り当て

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

IBUFDS_DLY_ADJ

プリミティブ : Dynamically Adjustable Differential Input Delay Buffer



概要

このデザイン エLEMENTは調整可能な遅延ELEMENTを含む差動入力バッファで、FPGA への入力信号の遅延を動的に変更できるようにします。この機能は、FPGA への高速入力データをプロセス、電圧、温度の変化に対して調整する場合に特に便利です。このコンポーネントには 3 ビットのセレクト バスがあり、入力信号に 8 個の遅延値を追加できます。また、遅延オフセットを設定することも可能で、遅延調整値を連続する 16 個の遅延値の上位 8 個にするか下位 8 個にするかを指定できます。

ポートの説明

ポート名	方向	幅	機能
O	出力	1	バッファの遅延された出力
I	入力	1	差動入力データ (正)
IB	入力	1	差動入力データ (負)
S	入力	3	ダイナミック遅延調整のセレクト ライン

デザインの入力方法

使用可能な属性

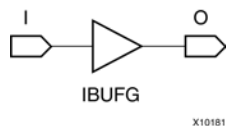
属性	タイプ	値	デフォルト	説明
DELAY_OFFSET	文字列	OFF、ON	OFF	OFF に設定すると、下位の遅延値が使用されます。この設定は、必要な追加遅延が小さい場合に使用します。ON に設定すると、上位の (大きい) 遅延値が使用されます。この設定は、必要な追加遅延が大きい場合に使用します。
DIFF_TERM	ブール代数	TRUE、FALSE	FALSE	内部差動終端をイネーブルにするかディスエーブルにするかを指定
IOSTANDARD	文字列	データシートを参照	DEFAULT	I/O 規格をELEMENTに割り当て

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

IBUFG

プリミティブ : Dedicated Input Clock Buffer



概要

IBUFG は、FPGA への入力クロックをグローバル クロック配線リソースに接続するために使用する専用入力です。DCM_SP および BUFG への専用接続となり、デバイスのクロック遅延とジッタが最小限に抑えられます。IBUFG の入力は、グローバル クロックピンでのみ駆動できます。IBUFG の出力は、DCM_SP、BUFG、または指定したロジックの CLKIN を駆動できます。

ポートの説明

ポート名	方向	幅	機能
O	出力	1	クロック バッファ出力
I	入力	1	クロック バッファ入力

デザインの入力方法

このエレメントは、回路図で使用されます。

使用可能な属性

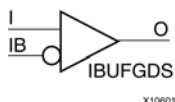
属性	タイプ	値	デフォルト	説明
IBUF_DELAY_VALUE	文字列	0 ~ 16	0	IOB からのレジスタを介さないパスに追加する遅延を指定
IOSTANDARD	文字列	データシートを参照	DEFAULT	I/O 規格をエレメントに割り当て

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

IBUFGDS

プリミティブ : Differential Signaling Dedicated Input Clock Buffer and Optional Delay



概要

このデザイン エLEMENT は、クロック バッファ (BUFG) または DCM に接続するための専用の差動信号入力バッファです。IBUFGDS では、デザイン レベルのインターフェイス信号は、一方が「マスタ」で、もう一方が「スレーブ」となる 2 つの異なるポート (I, IB) で表されます。マスタとスレーブは MYNET_P と MYNET_N のように、同じ論理信号の反対の状態を示します。オプションで、プログラム可能な差動終端機能を使用すると、シグナル インテグリティが向上し、外部コンポーネントの数を減らすことができます。デバイスへの入力データの取り込みには、プログラマブル遅延を使用することもできます。

論理表

入力		出力
I	IB	O
0	0	変化なし
0	1	0
1	0	1
1	1	変化なし

ポートの説明

ポート名	方向	幅	機能
O	出力	1	クロック バッファ出力
IB	入力	1	Diff_n クロック バッファの入力
I	入力	1	Diff_p クロック バッファの入力

デザインの入力方法

このELEMENTは、回路図で使用されます。

デザイン階層を保つために、すべての I/O コンポーネントを必ずデザインの最上位に配置してください。I ポートを直接デザインの最上位のマスタとなる入力ポートに、IB ポートを最上位のスレーブとなる入力ポートに、O ポートをこの入力をソースとする DCM、BUFG、またはロジックに接続してください。一部の合成ツールでは、IBUFG を FPGA のクロックリソースに接続すると、必要に応じて BUFG が自動的に推論されます。generic/defparam 値を設定し、バッファのビヘイビアを適切に設定してください。

使用可能な属性

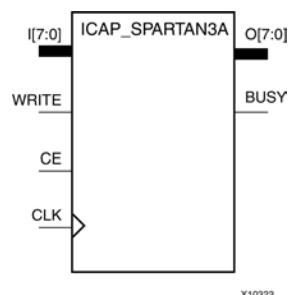
属性	タイプ	値	デフォルト	説明
DIFF_TERM	ブール 代数	TRUE、FALSE	FALSE	ビルトインの差動終端抵抗をイネーブル
IBUF_DELAY_ VALUE	文字列	0 ~ 16	0	IOB からのレジスタを介さないパスに追加する遅延を指定
IOSTANDARD	文字列	データシートを参照	DEFAULT	I/O 規格をエレメントに割り当て

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)

ICAP_SPARTAN3A

プリミティブ : Internal Configuration Access Port



概要

このデザイン エLEMENTからは、FPGA ファブリックから FPGA のコンフィギュレーション機能にアクセスできます。このコンポーネントの主な用途は、FPGA デバイスでのマルチブート制御です。このコンポーネントを使用すると、FPGA アレイのコンフィギュレーション ロジックにコマンドおよびデータを書き込んだり、コンフィギュレーション ロジックからデータを読み出したりすることができます。このファンクションを正しく使用しないと FPGA の機能および信頼性に悪影響を与えるため、機能を完全に理解した上で使用してください。

ポートの説明

ポート名	方向	幅	機能
O	出力	8	コンフィギュレーション データ出力バス
Busy	出力	8	Busy 出力
I	入力	8	コンフィギュレーション データ入力バス
WRITE	入力	8	アクティブ Low のライト入力
CE	入力	8	アクティブ Low のイネーブル入力
CLK	入力	8	クロック入力

デザインの入力方法

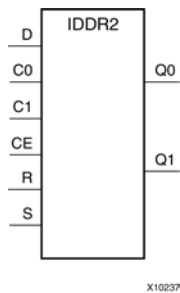
このELEMENTは、回路図で使用されます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

IDDR2

プリミティブ : Double Data Rate Input D Flip-Flop with Optional Data Alignment, Clock Enable and Programmable Synchronous or Asynchronous Set/Reset



概要

このデザイン エLEMENTは、ザイリンクス FPGA で外部デュアル データレート (DDR) 信号を受信するための専用入力レジスタです。C0 と C1 の 2 つのクロックを使用してコンポーネントに接続されるので、C0 および C1 の両方の立ち上がりエッジでデータが取り込まれます。IDDR2 は、レジスタの動作を停止するために使用できるアクティブ High のクロック イネーブル (CE) ポート、対応するクロックに同期または非同期になるよう設定できるセット/リセット ポートを備えています。また、オプションの調整機能を使用すると、コンポーネントへの両方の出力データ ポートを 1 つのクロックに揃えることができます。

論理表

入力						出力	
S	R	CE	D	C0	C1	Q0	Q1
1	X	X	X	X	X	INIT_Q0	INIT_Q1
0	1	X	X	X	X	not INIT_Q0	not INIT_Q1
0	0	0	X	X	X	変化なし	変化なし
0	0	1	D	↑	X	D	変化なし
0	0	1	D	X	↑	変化なし	D
セット/リセットは SRTYPE 値で同期に設定可能							

デザインの入力方法

このELEMENTは、回路図で使用されます。

デフォルトの動作を変更するには、ジェネリック マップ (VHDL) またはパラメータ値代入 (Verilog) を使用して、インスタンス化されたコンポーネントの一部として属性を変更します。IDDR2 は、入力バッファが推論されるデザインの最上位入力ポートに接続するか、インスタンス化された IBUF、IOBUF、IBUFDS、または IOBUFDS のいずれかに直接接続できます。このコンポーネントのすべての入力と出力は、接続しておく必要があります。

使用可能な属性

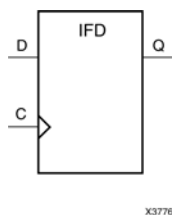
属性	タイプ	値	デフォルト	説明
DDR_ALIGNMENT	文字列	NONE、C0、C1	NONE	DDR レジスタの出力アライメントを設定 <ul style="list-style-type: none"> ・ NONE : 対応する C0 または C1 の立ち上がりエッジのすぐ後で、Q0 および Q1 にデータが出力されます。 ・ C0 : Q0 と Q1 両方のデータが C0 クロックの立ち上がりエッジに同期します。 ・ C1 : Q0 と Q1 両方のデータが C1 クロックの立ち上がりエッジに同期します。
INIT_Q0	整数	0、1	0	Q0 出力の初期値を 0 または 1 に設定
INIT_Q1	整数	0、1	0	Q1 出力の初期値を 0 または 1 に設定
SRTYPE	文字列	SYNC、ASYNC	SYNC	セット/リセットを SYNC または ASYNC に設定

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

IFD

マクロ : Input D Flip-Flop



概要

このエレメントは D フリップフロップで、I/O ブロック (IOB) に含まれています。フリップフロップの入力 (D) は、IBUF を使用せずに IPAD または IOPAD に接続されます。入力 D からはデータが入力され、チップへのデータ入力同期化されます。入力 D の値は、クロック (C) が Low から High に切り替わるときに、フリップフロップにロードされ、出力 (Q) に出力されます。クロック入力、内部ロジックまたは別の外部ピンによって駆動できます。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット / リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバータを追加するとアクティブ Low にできます。

論理表

入力		出力
D	C	Q
D	↑	D

デザインの入力方法

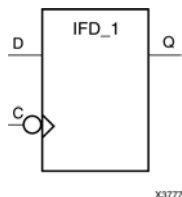
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

IFD_1

マクロ : Input D Flip-Flop with Inverted Clock (Asynchronous Preset)



概要

このデザイン エLEMENTは D フリップフロップで、I/O ブロック (IOB) に含まれています。フリップフロップの入力 (D) は、IPAD または IOPAD に接続されます。また、入力 D からはデータが入力され、チップへのデータ入力が同期化されます。入力 D の値は、クロック (C) が High から Low に切り替わる時に、フリップフロップにロードされ、出力 (Q) に出力されます。クロック入力、内部ロジックまたは別の外部ピンによって駆動できます。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット / リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバータを追加するとアクティブ Low にできます。

論理表

入力		出力
D	C	Q
0	↓	0
1	↓	1

デザインの入力方法

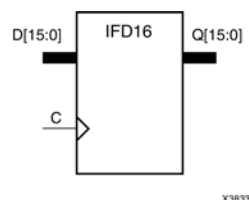
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

IFD16

マクロ : 16-Bit Input D Flip-Flop



概要

このエレメントは D フリップフロップで、I/O ブロック (IOB) に含まれています。フリップフロップの入力 (D) は、IBUF を使用せずに IPAD または IOPAD に接続されます。入力 D からはデータが入力され、チップへのデータ入力同期化されます。入力 D の値は、クロック (C) が Low から High に切り替わる時に、フリップフロップにロードされ、出力 (Q) に出力されます。クロック入力は、内部ロジックまたは別の外部ピンによって駆動できます。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット / リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバータを追加するとアクティブ Low にできます。

論理表

入力		出力
D	C	Q
D	↑	D

デザインの入力方法

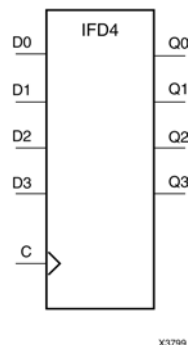
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

IFD4

マクロ : 4-Bit Input D Flip-Flop



概要

このエレメントは D フリップフロップで、I/O ブロック (IOB) に含まれています。フリップフロップの入力 (D) は、IBUF を使用せずに IPAD または IOPAD に接続されます。入力 D からはデータが入力され、チップへのデータ入力同期化されます。入力 D の値は、クロック (C) が Low から High に切り替わる時に、フリップフロップにロードされ、出力 (Q) に出力されます。クロック入力、内部ロジックまたは別の外部ピンによって駆動できます。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット / リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバータを追加するとアクティブ Low にできます。

論理表

入力		出力
D	C	Q
D	↑	D

デザインの入力方法

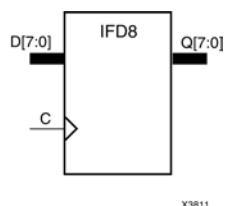
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

IFD8

マクロ : 8-Bit Input D Flip-Flop



概要

このエレメントは D フリップフロップで、I/O ブロック (IOB) に含まれています。フリップフロップの入力 (D) は、IBUF を使用せずに IPAD または IOPAD に接続されます。入力 D からはデータが入力され、チップへのデータ入力同期化されます。入力 D の値は、クロック (C) が Low から High に切り替わるときに、フリップフロップにロードされ、出力 (Q) に出力されます。クロック入力、内部ロジックまたは別の外部ピンによって駆動できます。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット / リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバータを追加するとアクティブ Low にできます。

論理表

入力		出力
D	C	Q
D	↑	D

デザインの入力方法

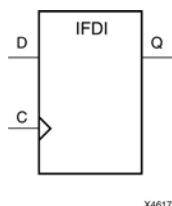
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

IFDI

マクロ : Input D Flip-Flop (Asynchronous Preset)



概要

このデザイン エLEMENTは D フリップフロップで、I/O ブロック (IOB) に含まれています。フリップフロップの入力 (D) は、IPAD または IOPAD に接続されます。入力 D からはデータが入力され、チップへのデータ入力同期化されます。入力 D の値は、クロック (C) が Low から High に切り替わる時に、フリップフロップにロードされ、出力 (Q) に出力されます。クロック入力、内部ロジックまたは別の外部ピンによって駆動できます。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット / リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバータを追加するとアクティブ Low にできます。

論理表

入力		出力
D	C	Q
D	↑	D

デザインの入力方法

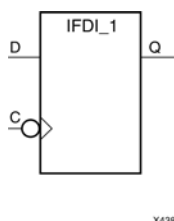
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

IFDI_1

マクロ : Input D Flip-Flop with Inverted Clock (Asynchronous Preset)



概要

このデザイン エLEMENTは D フリップフロップで、I/O ブロック (IOB) に含まれています。フリップフロップの入力 (D) は、IPAD または IOPAD に接続されます。入力 D からはデータが入力され、チップへのデータ入力が同期化されます。入力 D の値は、クロック (C) が High から Low に切り替わるときにフリップフロップにロードされ、出力 (Q) に出力されます。クロック入力、内部ロジックまたは別の外部ピンによって駆動できます。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット / リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバータを追加するとアクティブ Low にできます。

論理表

入力		出力
D	C	Q
0	↓	D

デザインの入力方法

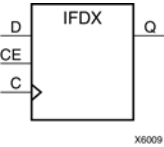
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

IFDX

マクロ : Input D Flip-Flop with Clock Enable



概要

このELEMENTは D フリップフロップで、I/O ブロック (IOB) に含まれています。フリップフロップの入力 (D) は、IBUF を使用せずに IPAD または IOPAD に接続されます。入力 D からはデータが入力され、チップへのデータ入力同期化されます。CE が High になっていると、入力 D の値は、クロック (C) が Low から High に切り替わる時にフリップフロップにロードされ、出力 (Q) に出力されます。クロック入力、内部ロジックまたは別の外部ピンによって駆動できます。クロック イネーブル (CE) が Low のときには、フリップフロップの出力は変化しません。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット / リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバータを追加するとアクティブ Low にできます。

論理表

入力			出力
CE	D	C	Q
1	D	↑	D
0	X	X	変化なし

デザインの入力方法

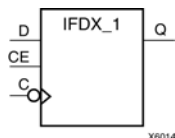
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

IFDX_1

マクロ : Input D Flip-Flop with Inverted Clock and Clock Enable



概要

このデザイン エLEMENTは D フリップフロップで、I/O ブロック (IOB) に含まれています。フリップフロップの入力 (D) は、IPAD または IOPAD に接続されます。また、入力 D からはデータが入力され、チップへのデータ入力同期化されます。CE が High になっていると、入力 D の値は、クロック (C) が High から Low に切り替わる時にフリップフロップにロードされ、出力 (Q) に出力されます。クロック入力は、内部ロジックまたは別の外部ピンによって駆動できます。クロックイネーブル (CE) が Low のときには、出力 (Q) は変化しません。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット / リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバータを追加するとアクティブ Low にできます。

論理表

入力			出力
CE	D	C	Q
1	D	↓	D
0	X	X	変化なし

デザインの入力方法

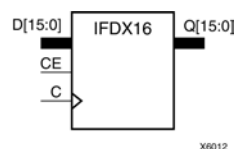
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

IFDX16

マクロ : 16-Bit Input D Flip-Flops with Clock Enable



概要

このエレメントは D フリップフロップで、I/O ブロック (IOB) に含まれています。フリップフロップの入力 (D) は、IBUF を使用せずに IPAD または IOPAD に接続されます。入力 D からはデータが入力され、チップへのデータ入力同期化されます。CE が High になっていると、入力 D の値は、クロック (C) が Low から High に切り替わる時にフリップフロップにロードされ、出力 (Q) に出力されます。クロック入力、内部ロジックまたは別の外部ピンによって駆動できます。クロック イネーブル (CE) が Low のときには、フリップフロップの出力は変化しません。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット / リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバータを追加するとアクティブ Low にできます。

論理表

入力			出力
CE	D	C	Q
1	D	↑	D
0	X	X	変化なし

デザインの入力方法

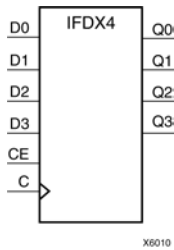
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

IFDX4

マクロ : 4-Bit Input D Flip-Flop with Clock Enable



概要

このエレメントは D フリップフロップで、I/O ブロック (IOB) に含まれています。フリップフロップの入力 (D) は、IBUF を使用せずに IPAD または IOPAD に接続されます。入力 D からはデータが入力され、チップへのデータ入力同期化されます。CE が High になっていると、入力 D の値は、クロック (C) が Low から High に切り替わる時にフリップフロップにロードされ、出力 (Q) に出力されます。クロック入力、内部ロジックまたは別の外部ピンによって駆動できます。クロック イネーブル (CE) が Low のときには、フリップフロップの出力は変化しません。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット / リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバータを追加するとアクティブ Low にできます。

論理表

入力			出力
CE	D	C	Q
1	D	↑	D
0	X	X	変化なし

デザインの入力方法

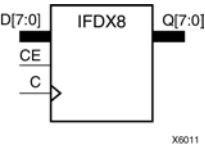
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

IFDX8

マクロ : 8-Bit Input D Flip-Flop with Clock Enable



概要

このELEMENTは D フリップフロップで、I/O ブロック (IOB) に含まれています。フリップフロップの入力 (D) は、IBUF を使用せずに IPAD または IOPAD に接続されます。入力 D からはデータが入力され、チップへのデータ入力同期化されます。CE が High になっていると、入力 D の値は、クロック (C) が Low から High に切り替わる時にフリップフロップにロードされ、出力 (Q) に出力されます。クロック入力、内部ロジックまたは別の外部ピンによって駆動できます。クロック イネーブル (CE) が Low のときには、フリップフロップの出力は変化しません。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット / リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバータを追加するとアクティブ Low にできます。

論理表

入力			出力
CE	D	C	Q
1	D	↑	D
0	X	X	変化なし

デザインの入力方法

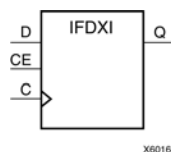
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

IFDXI

マクロ : Input D Flip-Flop with Clock Enable (Asynchronous Preset)



概要

このデザイン エLEMENTは D フリップフロップで、I/O ブロック (IOB) に含まれています。フリップフロップの入力 (D) は、IPAD または IOPAD に接続されます。入力 D からはデータが入力され、チップへのデータ入力同期化されます。CE が High になっていると、入力 D の値は、クロック (C) が Low から High に切り替わる時にフリップフロップにロードされ、出力 (Q) に出力されます。クロック入力は、内部ロジックまたは別の外部ピンによって駆動できます。クロック イネーブル (CE) が Low のときには、出力 (Q) は変化しません。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット / リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバータを追加するとアクティブ Low にできます。

論理表

入力			出力
CE	D	C	Q
1	D	↑	D
0	X	X	変化なし

デザインの入力方法

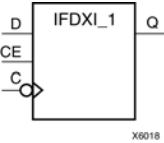
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

IFDXI_1

マクロ : Input D Flip-Flop with Inverted Clock and Clock Enable (Asynchronous Preset)



概要

このデザイン エLEMENTは D フリップフロップで、I/O ブロック (IOB) に含まれています。フリップフロップの入力 (D) は、IPAD または IOPAD に接続されます。入力 D からはデータが入力され、チップへのデータ入力同期化されます。CE が High になっていると、入力 D の値は、クロック (C) が High から Low に切り替わる時にフリップフロップにロードされ、出力 (Q) に出力されます。クロック入力、内部ロジックまたは別の外部ピンによって駆動できます。クロック イネーブル (CE) が Low のときには、出力 (Q) は変化しません。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット / リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバータを追加するとアクティブ Low にできます。

論理表

入力			出力
CE	D	C	Q
1	D	↓	D
0	X	X	変化なし

デザインの入力方法

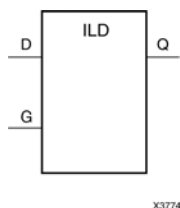
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

ILD

マクロ : Transparent Input Data Latch



概要

このデザイン エLEMENTは単一の透過データラッチで、チップに入力されるデータを一時的に保持します。このラッチは、I/O ブロック (IOB) に含まれます。ラッチ入力 (D) は、IBUF を使用せずに IPAD または IOPAD に接続されます。ゲート入力 (G) が High になると、入力 (D) のデータが出力 (Q) に出力されます。入力 D のデータは、G が High から Low に切り替わるときにラッチに格納されます。

電力を供給すると、ラッチは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバータを追加するとアクティブ Low にできます。

論理表

入力		出力
G	D	Q
1	D	D
0	X	変化なし
↓	D	D

デザインの入力方法

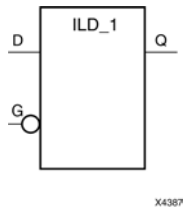
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

ILD_1

マクロ : Transparent Input Data Latch with Inverted Gate



X4387

概要

このデザイン エLEMENTは透過データラッチであり、チップに入力されるデータを一時的に保持します。ゲート入力 (G) が Low になると、入力 (D) の値が出力 (Q) に出力されます。入力 D の値は、G が Low から High に切り替わる時にラッチに格納されます。

電力を供給すると、ラッチは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバータを追加するとアクティブ Low にできます。

論理表

入力		出力
G	D	Q
0	D	D
1	X	変化なし
↑	D	D

デザインの入力方法

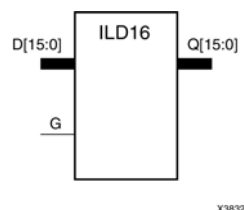
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

ILD16

マクロ : Transparent Input Data Latch



概要

このデザイン エLEMENTは複数の透過データ ラッチで、チップに入力されるデータを一時的に保持します。ILD ラッチは、I/O ブロック (IOB) に含まれています。ラッチ入力 (D) は、IBUF を使用せずに IPAD または IOPAD に接続されます。ゲート入力 (G) が High になると、入力 (D) の値が出力 (Q) に出力されます。入力 D の値は、G が High から Low に切り替わるときにラッチに格納されます。

電力を供給すると、ラッチは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバータを追加するとアクティブ Low にできます。

論理表

入力		出力
G	D	Q
1	Dn	Dn
0	X	変化なし
↓	Dn	Dn

デザインの入力方法

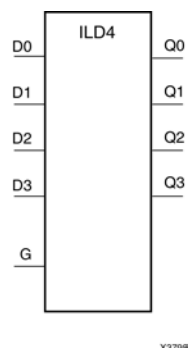
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

ILD4

マクロ : Transparent Input Data Latch



概要

このデザイン エLEMENTは複数の透過データラッチで、チップに入力されるデータを一時的に保持します。ILD ラッチは、I/O ブロック (IOB) に含まれています。ラッチ入力 (D) は、IBUF を使用せずに IPAD または IOPAD に接続されます。ゲート入力 (G) が High になると、入力 (D) の値が出力 (Q) に出力されます。入力 D の値は、G が High から Low に切り替わるときにラッチに格納されます。

電力を供給すると、ラッチは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバータを追加するとアクティブ Low にできます。

論理表

入力		出力
G	D	Q
1	Dn	Dn
0	X	変化なし
↓	Dn	Dn

デザインの入力方法

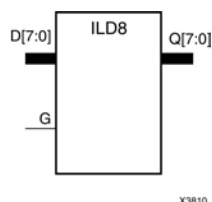
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

ILD8

マクロ : Transparent Input Data Latch



概要

このデザイン エLEMENTは複数の透過データ ラッチで、チップに入力されるデータを一時的に保持します。ILD ラッチは、I/O ブロック (IOB) に含まれています。ラッチ入力 (D) は、IBUF を使用せずに IPAD または IOPAD に接続されます。ゲート入力 (G) が High になると、入力 (D) の値が出力 (Q) に出力されます。入力 D の値は、G が High から Low に切り替わるときにラッチに格納されます。

電力を供給すると、ラッチは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバータを追加するとアクティブ Low にできます。

論理表

入力		出力
G	D	Q
1	Dn	Dn
0	X	変化なし
↓	Dn	Dn

デザインの入力方法

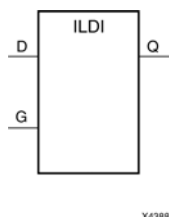
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

ILDI

マクロ : Transparent Input Data Latch (Asynchronous Preset)



概要

このデザイン エLEMENTは透過データラッチであり、チップに入力されるデータを一時的に保持します。ゲート入力 (G) が High になると、入力 (D) のデータが出力 (Q) に出力されます。入力 D のデータは、G が High から Low に切り替わるときにラッチに格納されます。

ILDI は、入力フリップフロップのマスタラッチです。入力フリップフロップからは、クロック信号のレベルに対応する出力とクロック信号のエッジに対応する出力という 2 つの異なる出力が使用できます。同じ入力フリップフロップから両方の出力を使用する場合、透過 High ラッチ (ILDI) は立ち下がりエッジでトリガされるフリップフロップ (IFDL1) に対応します。同様に、透過 Low ラッチ (ILDI1) は立ち上がりエッジでトリガされるフリップフロップ (IFDI) に対応します。

電力が供給されると、ラッチは非同期にプリセットされ、出力が High になります。

FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバータを追加するとアクティブ Low にできます。

論理表

入力		出力
G	D	Q
1	D	D
0	X	D
↓	D	D

デザインの入力方法

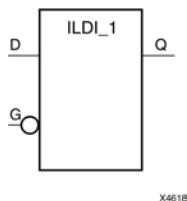
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

ILDI_1

マクロ : Transparent Input Data Latch with Inverted Gate (Asynchronous Preset)



概要

このデザイン エLEMENTは透過データラッチであり、チップに入力されるデータを一時的に保持します。ゲート入力 (G) が Low になると、入力 (D) の値が出力 (Q) に出力されます。入力 D の値は、G が Low から High に切り替わるときにラッチに格納されます。

電力が供給されると、ラッチは非同期にプリセットされ、出力が High になります。

FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバータを追加するとアクティブ Low にできます。

論理表

入力		出力
G	D	Q
0	1	1
0	0	0
1	X	変化なし
↑	D	D

デザインの入力方法

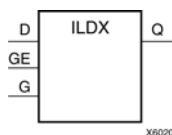
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

ILDX

マクロ : Transparent Input Data Latch



概要

このデザイン エLEMENTは単一または複数の透過データ ラッチであり、チップに入力されるデータを一時的に保持します。ラッチ入力 (D) は、IBUF を使用せずに IPAD または IOPAD に接続されます。

ILDX は、入力フリップフロップのマスタ ラッチです。入力フリップフロップからは、クロック信号のレベルに対応する出力とクロック信号のエッジに対応する出力という 2 つの出力が使用できます。同じ入力フリップフロップから両方の出力を使用する場合、透過 High ラッチ (ILDX) は立ち下がりエッジでトリガされるフリップフロップ (IFDX_1) に対応します。同様に、透過 Low ラッチ (ILDX_1) は立ち上がりエッジでトリガされるフリップフロップ (IFDX) に対応します。

電力を供給すると、ラッチは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバータを追加するとアクティブ Low にできます。

論理表

入力			出力
GE	G	D	Q
0	X	X	変化なし
1	0	X	変化なし
1	1	1	1
1	1	0	0
1	↓	D	D

デザインの入力方法

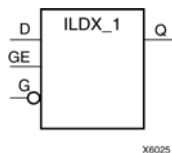
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

ILDX_1

マクロ : Transparent Input Data Latch with Inverted Gate



概要

このデザイン エLEMENTは透過データラッチであり、チップに入力されるデータを一時的に保持します。ゲート入力 (G) が Low になると、入力 (D) の値が出力 (Q) に出力されます。入力 D の値は、G が Low から High に切り替わる時にラッチに格納されます。

電力を供給すると、ラッチは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバータを追加するとアクティブ Low にできます。

論理表

入力			出力
GE	G	D	Q
0	X	X	変化なし
1	1	X	変化なし
1	0	1	1
1	0	0	0
1	↑	D	D

デザインの入力方法

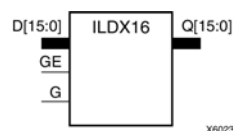
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

ILDX16

マクロ : Transparent Input Data Latch



概要

このデザイン エLEMENTは単一または複数の透過データ ラッチであり、チップに入力されるデータを一時的に保持します。ラッチ入力 (D) は、IBUF を使用せずに IPAD または IOPAD に接続されます。

ILDX は、入力フリップフロップのマスタ ラッチです。入力フリップフロップからは、クロック信号のレベルに対応する出力とクロック信号のエッジに対応する出力という 2 つの出力が使用できます。同じ入力フリップフロップから両方の出力を使用する場合、透過 High ラッチ (ILDX) は立ち下がりエッジでトリガされるフリップフロップ (IFDX_1) に対応します。同様に、透過 Low ラッチ (ILDX_1) は立ち上がりエッジでトリガされるフリップフロップ (IFDX) に対応します。

電力を供給すると、ラッチは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバータを追加するとアクティブ Low にできます。

論理表

入力			出力
GE	G	D	Q
0	X	X	変化なし
1	0	X	変化なし
1	1	Dn	Dn

デザインの入力方法

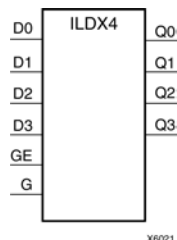
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

ILDX4

マクロ : Transparent Input Data Latch



概要

このデザイン エLEMENTは単一または複数の透過データラッチであり、チップに入力されるデータを一時的に保持します。ラッチ入力 (D) は、IBUF を使用せずに IPAD または IOPAD に接続されます。

ILDX は、入力フリップフロップのマスタラッチです。入力フリップフロップからは、クロック信号のレベルに対応する出力とクロック信号のエッジに対応する出力という 2 つの出力が使用できます。同じ入力フリップフロップから両方の出力を使用する場合、透過 High ラッチ (ILDX) は立ち下がりエッジでトリガされるフリップフロップ (IFDX_1) に対応します。同様に、透過 Low ラッチ (ILDX_1) は立ち上がりエッジでトリガされるフリップフロップ (IFDX) に対応します。

電力を供給すると、ラッチは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバータを追加するとアクティブ Low にできます。

論理表

入力			出力
GE	G	D	Q
0	X	X	変化なし
1	0	X	変化なし
1	1	1	1
1	1	0	0
1	↓	D	D

デザインの入力方法

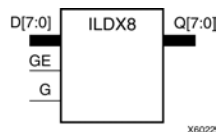
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

ILDX8

マクロ : Transparent Input Data Latch



概要

このデザイン エLEMENTは単一または複数の透過データ ラッチであり、チップに入力されるデータを一時的に保持します。ラッチ入力 (D) は、IBUF を使用せずに IPAD または IOPAD に接続されます。

ILDX は、入力フリップフロップのマスタ ラッチです。入力フリップフロップからは、クロック信号のレベルに対応する出力とクロック信号のエッジに対応する出力という 2 つの出力が使用できます。同じ入力フリップフロップから両方の出力を使用する場合、透過 High ラッチ (ILDX) は立ち下がりエッジでトリガされるフリップフロップ (IFDX_1) に対応します。同様に、透過 Low ラッチ (ILDX_1) は立ち上がりエッジでトリガされるフリップフロップ (IFDX) に対応します。

電力を供給すると、ラッチは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバータを追加するとアクティブ Low にできます。

論理表

入力			出力
GE	G	D	Q
0	X	X	変化なし
1	0	X	変化なし
1	1	Dn	Dn

デザインの入力方法

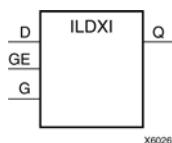
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

ILDXI

マクロ : Transparent Input Data Latch (Asynchronous Preset)



概要

このデザイン エLEMENTは透過データ ラッチであり、チップに入力されるデータを一時的に保持します。ゲート入力 (G) が High になると、入力 (D) のデータが出力 (Q) に出力されます。入力 D のデータは、G が High から Low に切り替わるときにラッチに格納されます。

ILDXI は、入力フリップフロップのマスタ ラッチです。入力フリップフロップからは、クロック信号のレベルに対応する出力とクロック信号のエッジに対応する出力という 2 つの出力が使用できます。同じ入力フリップフロップから両方の出力を使用する場合、透過 High ラッチ (ILDXI) は立ち下がりエッジでトリガされるフリップフロップ (IFDXI_1) に対応します。同様に、透過 Low ラッチ (ILDXI_1) は立ち上がりエッジでトリガされるフリップフロップ (IFDXI) に対応します。

電力が供給されると、ラッチは非同期にプリセットされ、出力が High になります。

FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバータを追加するとアクティブ Low にできます。

論理表

入力			出力
GE	G	D	Q
0	X	X	変化なし
1	0	X	変化なし
1	1	D	D
1	↓	D	D

デザインの入力方法

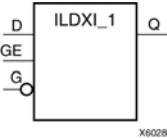
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

ILDXI_1

マクロ : Transparent Input Data Latch with Inverted Gate (Asynchronous Preset)



概要

このデザイン エLEMENTは透過データ ラッチであり、チップに入力されるデータを一時的に保持します。

電力が供給されると、ラッチは非同期にプリセットされ、出力が High になります。

FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバータを追加するとアクティブ Low にできます。

論理表

入力			出力
GE	G	D	Q
0	X	X	変化なし
1	1	X	変化なし
1	0	D	D
1	↑	D	D

デザインの入力方法

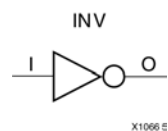
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

INV

プリミティブ : Inverter



概要

このデザイン エLEMENTは、回路図で信号を反転する単一のインバータです。

デザインの入力方法

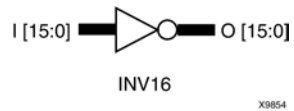
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

INV16

マクロ : 16 Inverters



概要

このデザイン エLEMENTは、回路図で信号を反転する複数のインバータです。

デザインの入力方法

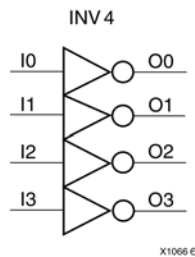
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

INV4

マクロ : Four Inverters



概要

このデザイン エLEMENTは、回路図で信号を反転する複数のインバータです。

デザインの入力方法

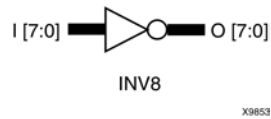
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

INV8

マクロ : Eight Inverters



概要

このデザイン エLEMENTは、回路図で信号を反転する複数のインバータです。

デザインの入力方法

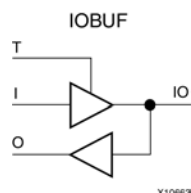
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

IOBUF

プリミティブ : Bi-Directional Buffer



概要

このデザイン エLEMENTは双方向でシングルエンドの I/O バッファで、内部ロジックを外部双方向ピンに接続する場合に使用します。

論理表

入力		双方向	出力
T	I	I/O	O
1	X	Z	X
0	1	1	1
0	0	0	0

ポートの説明

ポート名	方向	幅	機能
O	出力	1	バッファの出力
I/O	入出力	1	バッファの入出力
I	入力	1	バッファの入力
T	入力	1	トライステート イネーブル入力

デザインの入力方法

このELEMENTは、回路図で使用されます。

使用可能な属性

属性	タイプ	値	デフォルト	説明
DRIVE	整数	2、4、6、8、12、16、24	12	I/O 規格として LVTTTL、LVCMOS12、LVCMOS15、LVCMOS18、LVCMOS25 または LVCMOS33 を使用する SelectIO™ バッファの出力の駆動電流 (mA) を選択
IBUF_DELAY_VALUE	文字列	0 ~ 16	0	IOB からのレジスタを介さないパスに追加する遅延を指定
IFD_DELAY_VALUE	文字列	AUTO、0 ~ 8	AUTO	IOB 内のレジスタを介するパスに追加する遅延を指定

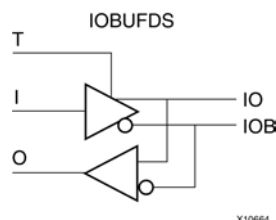
属性	タイプ	値	デフォルト	説明
IOSTANDARD	文字列	データシートを参照	DEFAULT	I/O 規格をELEMENTに割り当て
SLEW	文字列	SLOW、FAST、 QUIETIO	SLOW	出力の立ち上がり時間と立ち下がり時間を 設定 この属性の最適な設定方法は、デー タシートを参照してください。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

IOBUFDS

プリミティブ : 3-State Differential Signaling I/O Buffer with Active Low Output Enable



概要

このデザイン エLEMENTは、低電圧差動信号を使用する双方向バッファです。IOBUFDS では、デザイン レベルのインターフェイス信号は、一方が「マスタ」で、もう一方が「スレーブ」となる 2 つの異なるポート (IO、IOB) で表されます。マスタとスレーブは MYNET_P と MYNET_N のように、同じ論理信号の反対の状態を示します。オプションで、プログラム可能な差動終端機能を使用すると、シグナル インテグリティが向上し、外部コンポーネントの数を減らすことができます。デバイスへの入力データの取り込みには、プログラマブル遅延を使用することもできます。

論理表

入力		双方向		出力
I	T	I/O	IOB	O
X	1	Z	Z	変化なし
0	0	0	1	0
1	0	1	0	1

ポートの説明

ポート名	方向	幅	機能
O	出力	1	バッファの出力
I/O	入出力	1	Diff_p 入出力
IOB	入出力	1	Diff_n 入出力
I	入力	1	バッファの入力
T	入力	1	トリステート イネーブル入力

デザインの入力方法

このELEMENTは、回路図で使用されます。

使用可能な属性

属性	タイプ	値	デフォルト	説明
IBUF_DELAY_VALUE	文字列	0 ~ 16	0	IOB からのレジスタを介さないパスに追加する遅延を指定
IFD_DELAY_VALUE	文字列	AUTO、0 ~ 8	AUTO	IOB 内のレジスタを介するパスに追加する遅延を指定
IOSTANDARD	文字列	データシートを参照	DEFAULT	I/O 規格をELEMENTに割り当て

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

KEEPER

プリミティブ : KEEPER Symbol



概要

このデザイン エLEMENTは、双方向出力ピンに接続されるネットの値を保持するウィークキーパ ELEMENTです。たとえば、ネットに対して論理値 1 を駆動すると、KEEPER はそのネットにウィーク/抵抗値 1 を駆動します。その後、ネットドライバがトライステートになっても、KEEPER はウィーク/抵抗値 1 を駆動し続けます。

ポートの説明

属性	方向	幅	機能
O	出力	1 ビット	キーパ出力

デザインの入力方法

このELEMENTは、回路図で使用されます。

このELEMENTは、最上位の回路図ファイルで次のネットに接続できます。

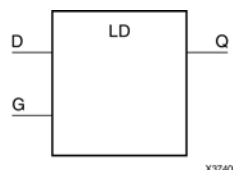
- ・ 入力 I/O マーカーに接続されたネット
- ・ 出力 I/O マーカーおよび OBUFT のようなトライステートにできる I/O ELEMENTの両方に接続されたネット

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

LD

プリミティブ : Transparent Data Latch



概要

LD は透過データ ラッチです。ゲート イネーブル入力 (G) が High の場合、データ出力 (Q) にデータ入力 (D) の値が出力されます。D 入力の値は、G が High から Low に切り替わるときにラッチ内に格納されます。Q 出力の値は、G が Low の間は変化しません。

電力を供給すると、ラッチは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバータを追加するとアクティブ Low にできます。

論理表

入力		出力
G	D	Q
1	D	D
0	X	変化なし
↓	D	D

デザインの入力方法

このエレメントは、回路図でのみ使用できます。

使用可能な属性

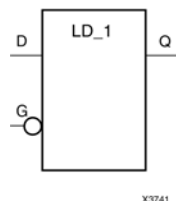
属性	タイプ	値	デフォルト	説明
INIT	2 進数	0、1	0	コンフィギュレーション後の Q 出力の初期値を指定

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

LD_1

プリミティブ : Transparent Data Latch with Inverted Gate



概要

このデザイン エLEMENTは、反転ゲート (G) 付き透過データ ラッチです。ゲート (G) 入力 が Low の場合、データ出力 (Q) にデータ入力 (D) の値が出力されます。D 入力の値は、G が Low から High に切り替わる時にラッチ内に格納されます。Q 出力の値は、G が High の間は変化しません。

電力を供給すると、ラッチは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバータを追加するとアクティブ Low にできます。

論理表

入力		出力
G	D	Q
0	D	D
1	X	変化なし
↑	D	D

デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

使用可能な属性

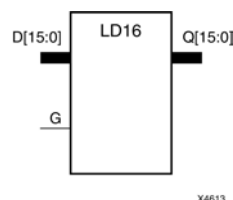
属性	タイプ	値	デフォルト	説明
INIT	2 進数	0、1	0	コンフィギュレーション後の Q 出力の初期値を指定

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

LD16

マクロ : Multiple Transparent Data Latch



概要

このデザイン エLEMENTは透過データ ラッチ 16 個で構成されており、共通のゲート イネーブル (G) が 1 つあります。ゲート イネーブル入力 (G) が High の場合、データ出力 (Q) にデータ入力 (D) の値が出力されます。D 入力の値は、G が High から Low に切り替わるときにラッチ内に格納されます。Q 出力の値は、G が Low の間は変化しません。

電力を供給すると、ラッチは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバータを追加するとアクティブ Low にできます。

論理表

入力		出力
G	D	Q
1	Dn	Dn
0	X	変化なし
↓	Dn	Dn

デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

使用可能な属性

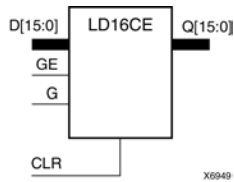
属性	タイプ	値	デフォルト	説明
INIT	2 進数	16 ビット値	すべてゼロ	コンフィギュレーション後の Q 出力の初期値を指定

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

LD16CE

マクロ : Transparent Data Latch with Asynchronous Clear and Gate Enable



概要

このデザイン エレメントは 16 個の透過データ ラッチで構成されており、非同期クリア (CLR) とゲート イネーブル (GE) があります。非同期クリア入力 (CLR) が High になると、ほかの入力は無視され、データ出力 (Q) が Low にリセットされます。ゲート入力 (G) およびゲート イネーブル (GE) が High で CLR が Low の場合、Q にデータ入力 (D) の値が出力されます。GE が Low の場合、D の値は不定値になります。D 入力の値は、G が High から Low に切り替わる時にラッチ内に格納されます。Q 出力の値は、G または GE が Low の間に変化しません。

電力を供給すると、ラッチは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバータを追加するとアクティブ Low にできます。

論理表

入力				出力
CLR	GE	G	Dn	Qn
1	X	X	X	0
0	0	X	X	変化なし
0	1	1	Dn	Dn
0	1	0	X	変化なし
0	1	↓	Dn	Dn

デザインの入力方法

このエレメントは、回路図でのみ使用できます。

使用可能な属性

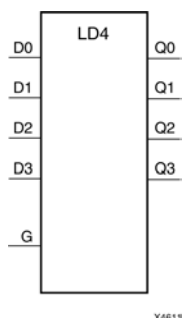
属性	タイプ	値	デフォルト	説明
INIT	2 進数	16 ビット値	すべてでゼロ	コンフィギュレーション後の Q 出力の初期値を指定

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

LD4

マクロ : Multiple Transparent Data Latch



概要

このデザイン エLEMENTは透過データ ラッチ 4 個で構成されており、共通のゲート イネーブル (G) が 1 つあります。ゲート イネーブル入力 (G) が High の場合、データ出力 (Q) にデータ入力 (D) の値が出力されます。D 入力の値は、G が High から Low に切り替わるときにラッチ内に格納されます。Q 出力の値は、G が Low の間は変化しません。

電力を供給すると、ラッチは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバータを追加するとアクティブ Low にできます。

論理表

入力		出力
G	D	Q
1	Dn	Dn
0	X	変化なし
↓	Dn	Dn

デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

使用可能な属性

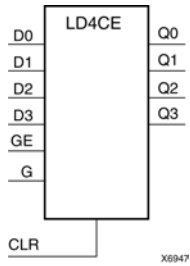
属性	タイプ	値	デフォルト	説明
INIT	2 進数	4 ビット値	すべてゼロ	コンフィギュレーション後の Q 出力の初期値を指定

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

LD4CE

マクロ : Transparent Data Latch with Asynchronous Clear and Gate Enable



概要

このデザイン エLEMENTは 4 個の透過データ ラッチで構成されており、非同期クリア (CLR) とゲート イネーブル (GE) があります。非同期クリア入力 (CLR) が High になると、ほかの入力は無視され、データ出力 (Q) が Low にリセットされます。ゲート入力 (G) およびゲート イネーブル (GE) が High で CLR が Low の場合、Q にデータ入力 (D) の値が出力されます。GE が Low の場合、D の値は不定値になります。D 入力の値は、G が High から Low に切り替わるときにラッチ内に格納されます。Q 出力の値は、G または GE が Low の間は変化しません。

電力を供給すると、ラッチは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバータを追加するとアクティブ Low にできます。

論理表

入力				出力
CLR	GE	G	Dn	Qn
1	X	X	X	0
0	0	X	X	変化なし
0	1	1	Dn	Dn
0	1	0	X	変化なし
0	1	↓	Dn	Dn

デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

使用可能な属性

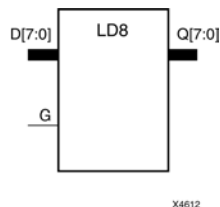
属性	タイプ	値	デフォルト	説明
INIT	2 進数	4 ビット値	すべてゼロ	コンフィギュレーション後の Q 出力の初期値を指定

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

LD8

マクロ : Multiple Transparent Data Latch



概要

このデザイン エLEMENTは透過データ ラッチ 8 個で構成されており、共通のゲート イネーブル (G) が 1 つあります。ゲート イネーブル入力 (G) が High の場合、データ出力 (Q) にデータ入力 (D) の値が出力されます。D 入力の値は、G が High から Low に切り替わるときにラッチ内に格納されます。Q 出力の値は、G が Low の間は変化しません。

電力を供給すると、ラッチは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバータを追加するとアクティブ Low にできます。

論理表

入力		出力
G	D	Q
1	Dn	Dn
0	X	変化なし
↓	Dn	Dn

デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

使用可能な属性

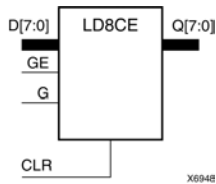
属性	タイプ	値	デフォルト	説明
INIT	2 進数	8 ビット値	すべてゼロ	コンフィギュレーション後の Q 出力の初期値を指定

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

LD8CE

マクロ : Transparent Data Latch with Asynchronous Clear and Gate Enable



概要

このデザイン エLEMENTは 8 個の透過データ ラッチで構成されており、非同期クリア (CLR) とゲート イネーブル (GE) があります。非同期クリア入力 (CLR) が High になると、ほかの入力は無視され、データ出力 (Q) が Low にリセットされます。ゲート入力 (G) およびゲート イネーブル (GE) が High で CLR が Low の場合、Q にデータ入力 (D) の値が出力されます。GE が Low の場合、D の値は不定値になります。D 入力の値は、G が High から Low に切り替わるときにラッチ内に格納されます。Q 出力の値は、G または GE が Low の間は変化しません。

電力を供給すると、ラッチは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバータを追加するとアクティブ Low にできます。

論理表

入力				出力
CLR	GE	G	Dn	Qn
1	X	X	X	0
0	0	X	X	変化なし
0	1	1	Dn	Dn
0	1	0	X	変化なし
0	1	↓	Dn	Dn

デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

使用可能な属性

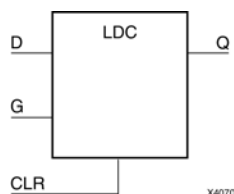
属性	タイプ	値	デフォルト	説明
INIT	2 進数	8 ビット値	すべてゼロ	コンフィギュレーション後の Q 出力の初期値を指定

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

LDC

プリミティブ : マクロ : Transparent Data Latch with Asynchronous Clear



概要

このデザイン エLEMENTは、非同期クリア (CLR) がある透過データラッチです。非同期クリア入力 (CLR) が High になると、ほかの入力は無視され、データ出力 (Q) が Low にリセットされます。ゲート イネーブル入力 (G) が High で CLR が Low の場合、Q にデータ入力 (D) の値が出力されます。D 入力の値は、G が High から Low に切り替わる時にラッチ内に格納されます。Q 出力の値は、G が Low の間は変化しません。

電力を供給すると、ラッチは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバータを追加するとアクティブ Low にできます。

論理表

入力			出力
CLR	G	D	Q
1	X	X	0
0	1	D	D
0	0	X	変化なし
0	↓	D	D

デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

使用可能な属性

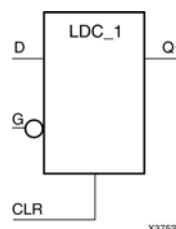
属性	タイプ	値	デフォルト	説明
INIT	2 進数	0、1	0	コンフィギュレーション後の Q 出力の初期値を指定

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

LDC_1

プリミティブ : Transparent Data Latch with Asynchronous Clear and Inverted Gate



概要

このデザイン エLEMENTは、非同期クリア (CLR) および反転ゲート (G) 付き透過データラッチです。CLR が High になると、ほかの入力 (D、G) は無視され、データ出力 (Q) が Low にリセットされます。ゲート (G) 入力および CLR が Low の場合、Q にデータ入力 (D) の値が出力されます。D 入力の値は、G が Low から High に切り替わる時にラッチ内に格納されます。Q 出力の値は、G が High の間は変化しません。

電力を供給すると、ラッチは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバータを追加するとアクティブ Low にできます。

論理表

入力			出力
CLR	G	D	Q
1	X	X	0
0	0	D	D
0	1	X	変化なし
0	↑	D	D

デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

使用可能な属性

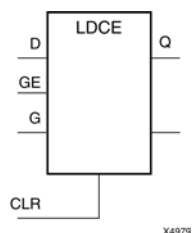
属性	タイプ	値	デフォルト	説明
INIT	2 進数	0、1	0	コンフィギュレーション後の Q 出力の初期値を指定

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

LDCE

プリミティブ : Transparent Data Latch with Asynchronous Clear and Gate Enable



概要

このデザイン エLEMENTは、非同期クリア (CLR) およびゲート イネーブル (GE) 付き透過データ ラッチです。非同期クリア入力 (CLR) が High になると、ほかの入力は無視され、データ出力 (Q) が Low にリセットされます。ゲート入力 (G) およびゲート イネーブル (GE) が High で、CLR が Low のとき、Q にはデータ入力 (D) が使用されます。GE が Low の場合、D の値は不定値になります。D 入力の値は、G が High から Low に切り替わるときにラッチ内に格納されます。Q 出力の値は、G または GE が Low の間は変化しません。

電力を供給すると、ラッチは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバータを追加するとアクティブ Low にできます。

論理表

入力				出力
CLR	GE	G	D	Q
1	X	X	X	0
0	0	X	X	変化なし
0	1	1	D	D
0	1	0	X	変化なし
0	1	↓	D	D

デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

使用可能な属性

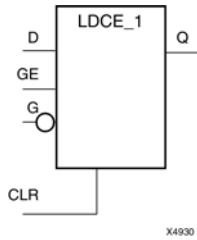
属性	タイプ	値	デフォルト	説明
INIT	2 進数	0、1	0	コンフィギュレーション後の Q 出力の初期値を指定

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

LDCE_1

プリミティブ : Transparent Data Latch with Asynchronous Clear, Gate Enable, and Inverted Gate



概要

このデザイン エLEMENTは、非同期クリア (CLR)、ゲート イネーブル (GE)、反転ゲート (G) 付きの透過データ ラッチです。非同期クリア入力 (CLR) が High になると、ほかの入力は無視され、データ出力 (Q) が Low にリセットされます。G および CLR が Low、GE が High のとき、Q にはデータ入力 (D) が使用されます。D 入力の値は、G が Low から High に切り替わるときにラッチ内に格納されます。Q 出力の値は、G が High または GE が Low の間は変化しません。

電力を供給すると、ラッチは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバータを追加するとアクティブ Low にできます。

論理表

入力				出力
CLR	GE	G	D	Q
1	X	X	X	0
0	0	X	X	変化なし
0	1	0	D	D
0	1	1	X	変化なし
0	1	↑	D	D

デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

使用可能な属性

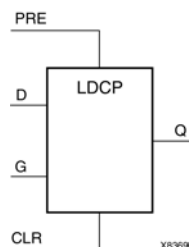
属性	タイプ	値	デフォルト	説明
INIT	2 進数	0、1	0	コンフィギュレーション後の Q 出力の初期値を指定

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

LDCP

プリミティブ : Transparent Data Latch with Asynchronous Clear and Preset



概要

このデザイン エLEMENTは、データ入力 (D)、非同期クリア入力 (CLR)、プリセット入力 (PRE) がある透過データ ラッチです。CLR が High になると、ほかの入力は無視され、データ出力 (Q) が Low にリセットされます。PRE が High、CLR が Low の場合、データ出力 (Q) は High にプリセットされます。ゲート入力 (G) が High で CLR と PRE が Low の場合、Q にデータ入力 (D) の値が出力されます。D 入力の値は、G が High から Low に切り替わるときにラッチ内に格納されます。Q 出力の値は、G が Low の間は変化しません。

電力を供給すると、ラッチは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバータを追加するとアクティブ Low にできます。

論理表

入力				出力
CLR	PRE	G	D	Q
1	X	X	X	0
0	1	X	X	1
0	0	1	D	D
0	0	0	X	変化なし
0	0	↓	D	D

デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

使用可能な属性

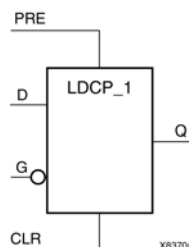
属性	タイプ	値	デフォルト	説明
INIT	整数	0、1	0	電源投入時または Q ポートに対する GSR のアサート時の初期値を指定

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

LDCP_1

プリミティブ : Transparent Data Latch with Asynchronous Clear and Preset and Inverted Gate



概要

このデザイン エLEMENTは、データ (D)、非同期クリア (CLR)、プリセット (PRE)、反転ゲート (G) がある透過データ ラッチです。CLR が High になると、ほかの入力は無視され、データ出力 (Q) が Low にリセットされます。PRE が High、CLR が Low の場合、データ出力 (Q) は High にプリセットされます。ゲート入力 (G)、CLR、PRE が Low の場合、Q にデータ入力 (D) の値が出力されます。D 入力の値は、G が Low から High に切り替わるときにラッチ内に格納されます。Q 出力の値は、G が High の間は変化しません。

電力を供給すると、ラッチは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバータを追加するとアクティブ Low にできます。

論理表

入力				出力
CLR	PRE	G	D	Q
1	X	X	X	0
0	1	X	X	1
0	0	0	D	D
0	0	1	X	変化なし
0	0	↑	D	D

デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

使用可能な属性

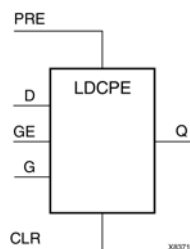
属性	タイプ	値	デフォルト	説明
INIT	整数	0、1	0	電源投入時または Q ポートに対する GSR のアサート時の初期値を指定

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

LDCPE

プリミティブ : Transparent Data Latch with Asynchronous Clear and Preset and Gate Enable



概要

このデザイン エLEMENTは、データ (D)、非同期クリア (CLR)、非同期プリセット (PRE)、ゲート イネーブル (GE) がある透過データ ラッチです。CLR が High になると、ほかの入力は無視され、データ出力 (Q) が Low にリセットされます。PRE が High、CLR が Low の場合、データ出力 (Q) は High にプリセットされます。ゲート入力 (G) と GE が High で CLR と PRE が Low の場合、Q にはデータ入力 (D) が使用されます。D 入力の値は、G が High から Low に切り替わるときにラッチ内に格納されます。Q 出力の値は、G または GE が Low の間は変化しません。

電力を供給すると、ラッチは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバータを追加するとアクティブ Low にできます。

論理表

入力					出力
CLR	PRE	GE	G	D	Q
1	X	X	X	X	0
0	1	X	X	X	1
0	0	0	X	X	変化なし
0	0	1	1	0	0
0	0	1	1	1	1
0	0	1	0	X	変化なし
0	0	1	↓	D	D

ポートの説明

ポート名	方向	幅	機能
Q	出力	1	データ出力
CLR	入力	1	非同期クリア/リセット入力
D	入力	1	データ入力
G	入力	1	ゲート入力
GE	入力	1	ゲート イネーブル入力
PRE	入力	1	非同期プリセット/セット入力

デザインの入力方法

このエレメントは、回路図で使用されます。

使用可能な属性

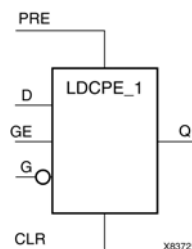
属性	タイプ	値	デフォルト	説明
INIT	整数	0、1	0	コンフィギュレーション後の Q 出力の初期値を指定

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

LDCPE_1

プリミティブ : Transparent Data Latch with Asynchronous Clear and Preset, Gate Enable, and Inverted Gate



概要

このデザイン エLEMENTは、データ (D)、非同期クリア (CLR)、非同期プリセット (PRE)、ゲート イネーブル (GE)、反転ゲート (G) がある透過データ ラッチです。CLR が High になると、ほかの入力は無視され、データ出力 (Q) が Low にリセットされます。PRE が High、CLR が Low の場合、データ出力 (Q) は High にプリセットされます。GE が High で、G、CLR、PRE が Low の場合、Q にデータ入力 (D) の値が出力されます。D 入力の値は、G が Low から High に切り替わるときにラッチ内に格納されます。Q 出力の値は、G が High または GE が Low の間に変化しません。

電力を供給すると、ラッチは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバータを追加するとアクティブ Low にできます。

論理表

入力					出力
CLR	PRE	GE	G	D	Q
1	X	X	X	X	0
0	1	X	X	X	1
0	0	0	X	X	変化なし
0	0	1	0	D	D
0	0	1	1	X	変化なし
0	0	1	↑	D	D

デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

使用可能な属性

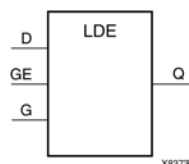
属性	タイプ	値	デフォルト	説明
INIT	整数	0、1	0	電源投入時または Q ポートに対する GSR のアサート時の初期値を指定

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

LDE

プリミティブ : Transparent Data Latch with Gate Enable



概要

このデザイン エLEMENTは、データ入力 (D) とゲート イネーブル入力 (GE) がある透過データ ラッチです。ゲート入力 (G) とゲート イネーブル (GE) が High の場合、Q 出力にはデータ入力 (D) の値が出力されます。D 入力の値は、G が High から Low に切り替わるときにラッチ内に格納されます。Q 出力の値は、G または GE が Low の間は変化しません。

電力を供給すると、ラッチは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバータを追加するとアクティブ Low にできます。

論理表

入力			出力
GE	G	D	Q
0	X	X	変化なし
1	1	D	D
1	0	X	変化なし
1	↓	D	D

デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

使用可能な属性

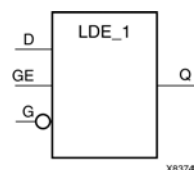
属性	タイプ	値	デフォルト	説明
INIT	2 進数	0, 1	0	電源投入時または Q ポートに対する GSR のアサート時の初期値を指定

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

LDE_1

プリミティブ : Transparent Data Latch with Gate Enable and Inverted Gate



概要

このデザイン エLEMENTは、データ入力 (D) とゲート イネーブル入力 (GE)、反転ゲート (G) がある透過データ ラッチです。G が Low で GE が High の場合、Q 出力にはデータ入力 (D) の値が出力されます。D 入力の値は、G が Low から High に切り替わるときにラッチ内に格納されます。Q 出力の値は、G が High または GE が Low の間は変化しません。

電力を供給すると、ラッチは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバータを追加するとアクティブ Low にできます。

論理表

入力			出力
GE	G	D	Q
0	X	X	変化なし
1	0	D	D
1	1	X	変化なし
1	↑	D	D

デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

使用可能な属性

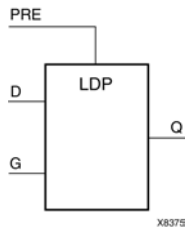
属性	タイプ	値	デフォルト	説明
INIT	2 進数	0、1	0	電源投入時または Q ポートに対する GSR のアサート時の初期値を指定

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

LDP

プリミティブ : マクロ : Transparent Data Latch with Asynchronous Preset



概要

このデザイン エLEMENTは、非同期プリセット (PRE) がある透過データ ラッチです。PRE が High になると、ほかの入力は無視され、データ出力 (Q) が High にプリセットされます。ゲート入力 (G) が High で PRE が Low の場合、Q にはデータ入力 (D) の値が出力されます。D 入力の値は、G が High から Low に切り替わるときにラッチ内に格納されます。Q 出力の値は、G が Low の間は変化しません。

電力が供給されると、ラッチは非同期にプリセットされ、出力が High になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバータを追加するとアクティブ Low にできます。

論理表

入力			出力
PRE	G	D	Q
1	X	X	1
0	1	0	0
0	1	1	1
0	0	X	変化なし
0	↓	D	D

デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

使用可能な属性

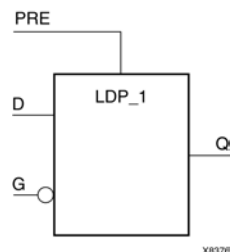
属性	タイプ	値	デフォルト	説明
INIT	2 進数	0、1	1	電源投入時または Q ポートに対する GSR のアサート時の初期値を指定

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

LDP_1

プリミティブ : Transparent Data Latch with Asynchronous Preset and Inverted Gate



概要

このデザイン エLEMENTは、非同期プリセット (PRE)、反転ゲート (G) がある透過データ ラッチです。PRE が High になると、ほかの入力は無視され、データ出力 (Q) が High にプリセットされます。G と PRE が Low の場合、Q にはデータ入力 (D) の値が出力されます。D 入力の値は、G が Low から High に切り替わるときにラッチ内に格納されます。Q 出力の値は、G が High の間は変化しません。

電力が供給されると、ラッチは非同期にプリセットされ、出力が High になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバータを追加するとアクティブ Low にできます。

論理表

入力			出力
PRE	G	D	Q
1	X	X	1
0	0	D	D
0	1	X	変化なし
0	↑	D	D

デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

使用可能な属性

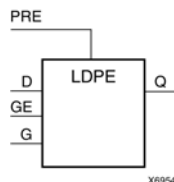
属性	タイプ	値	デフォルト	説明
INIT	2 進数	0、1	1	電源投入時または Q ポートに対する GSR のアサート時の初期値を指定

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

LDPE

プリミティブ : Transparent Data Latch with Asynchronous Preset and Gate Enable



概要

このデザイン エLEMENTは、非同期プリセット (PRE) およびゲート イネーブル (GE) 付き透過データ ラッチです。PRE が High になると、ほかの入力は無視され、データ出力 (Q) が High にプリセットされます。ゲート入力 (G) およびゲート イネーブル (GE) が High の場合、Q にデータ入力 (D) の値が出力されます。D 入力の値は、G が High から Low に切り替わるときにラッチ内に格納されます。Q 出力の値は、G または GE が Low の間は変化しません。

電力が供給されると、ラッチは非同期にプリセットされ、出力が High になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバータを追加するとアクティブ Low にできます。

論理表

入力				出力
PRE	GE	G	D	Q
1	X	X	X	1
0	0	X	X	変化なし
0	1	1	D	D
0	1	0	X	変化なし
0	1	↓	D	D

デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

使用可能な属性

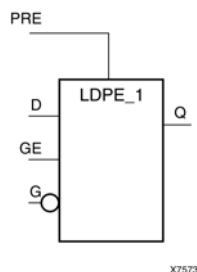
属性	タイプ	値	デフォルト	説明
INIT	2 進数	0、1	1	電源投入時または Q ポートに対する GSR のアサート時の初期値を指定

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

LDPE_1

プリミティブ : Transparent Data Latch with Asynchronous Preset, Gate Enable, and Inverted Gate



概要

このデザイン エLEMENTは、非同期プリセット (PRE)、ゲート イネーブル (GE)、反転ゲート (G) 付きの透過データ ラッチです。PRE が High になると、ほかの入力は無視され、データ出力 (Q) が High にプリセットされます。G および PRE が Low で、GE が High の場合、Q にデータ入力 (D) の値が出力されます。D 入力の値は、G が Low から High に切り替わる時にラッチ内に格納されます。Q 出力の値は、G が High または GE が Low の間は変化しません。

電力が供給されると、ラッチは非同期にプリセットされ、出力が High になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバータを追加するとアクティブ Low にできます。

論理表

入力				出力
PRE	GE	G	D	Q
1	X	X	X	1
0	0	X	X	変化なし
0	1	0	D	D
0	1	1	X	変化なし
0	1	↑	D	D

デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

使用可能な属性

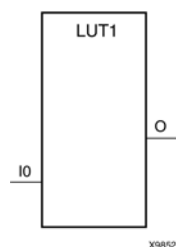
属性	タイプ	値	デフォルト	説明
INIT	2 進数	0、1	1	電源投入時または Q ポートに対する GSR のアサート時の初期値を指定

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

LUT1

プリミティブ : 1-Bit Look-Up Table with General Output



概要

このデザイン エLEMENTは一般出力 (O) を持つ 1 ビットのルックアップ テーブル (LUT) です。

LUT のファンクションを設定するため、INIT 属性を使用して、各入力値に対する出力値を 16 進数で指定する必要があります。このELEMENTは、バッファまたはインバータの機能を果たします。これらのELEMENTは基本ブロックで、各 CLB スライスに 2 つ、各 CLB に 4 つずつあります。LUT には複数のバリエーションがあり、異なるタイミング モデルでレイアウト前のタイミング予測をより正確に行う必要がある場合に使用できます。

FPGA LUT プリミティブでは、INIT パラメータで論理値が設定されます。デフォルトは 0 で、入力値にかかわらず出力を 0 に駆動します (グラウンドとして機能)。ただし多くの場合、LUT プリミティブのロジック ファンクションを指定するために、新しい INIT の値を決定する必要があります。LUT の値を指定する方法には、次の 2 つがあります。

論理表を使用する方法 : LUT の INIT 値を決定する一般的な方法。バイナリの論理表にすべての入力をリストして出力のロジック値を指定し、これらの出力値から、初期値を作成します。

論理式を使用する方法 : リストされた真理値表の値に対応する LUT の各入力にパラメータを定義し、パラメータを元にロジックの論理式を生成します。概念を理解してしまえばこの方法の方が簡単で、前出の方法のようにパラメータの指定にコードを使用する必要がありません。

論理表

入力	出力
I0	O
0	INIT[0]
1	INIT[1]
INIT = INIT 属性に割り当てられた 2 進数値	

デザインの入力方法

このELEMENTは、回路図で使用されます。

使用可能な属性

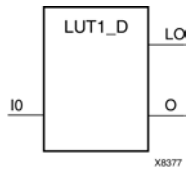
属性	タイプ	値	デフォルト	説明
INIT	16 進数	2 ビット値	すべてゼロ	ルックアップ テーブルの初期値を指定

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

LUT1_D

プリミティブ : 1-Bit Look-Up Table with Dual Output



概要

このデザイン エLEMENTは 1 ビットのルックアップ テーブル (LUT) で、同じ機能を持つ O および LO という 2 つの出力があります。このELEMENTはバッファまたはインバータの機能を果たします。

出力 O は一般的なインターコネクトです。LO 出力は同じ CLB スライス内の別の出力、または高速バッファに接続します。LUT のファンクションを設定するため、INIT 属性を使用して、各入力値に対する出力値を 16 進数で指定する必要があります。

FPGA LUT プリミティブでは、INIT パラメータで論理値が設定されます。デフォルトは 0 で、入力値にかかわらず出力を 0 に駆動します (グラウンドとして機能)。ただし多くの場合、LUT プリミティブのロジック ファンクションを指定するために、新しい INIT の値を決定する必要があります。LUT の値を指定する方法には、次の 2 つがあります。

論理表を使用する方法 : LUT の INIT 値を決定する一般的な方法。バイナリの論理表にすべての入力をリストして出力のロジック値を指定し、これらの出力値から、初期値を作成します。

論理式を使用する方法 : リストされた真理値表の値に対応する LUT の各入力にパラメータを定義し、パラメータを元にロジックの論理式を生成します。概念を理解してしまえばこの方法の方が簡単で、前出の方法のようにパラメータの指定にコードを使用する必要がありません。

論理表

入力	出力	
IO	O	LO
0	INIT[0]	INIT[0]
1	INIT[1]	INIT[1]
INIT = INIT 属性に割り当てられた 2 進数値		

デザインの入力方法

このELEMENTは、回路図で使用されます。

使用可能な属性

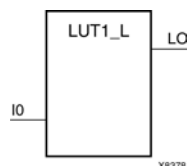
属性	タイプ	値	デフォルト	説明
INIT	16 進数	2 ビット値	すべてゼロ	ルックアップ テーブルの初期値を指定

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

LUT1_L

プリミティブ : 1-Bit Look-Up Table with Local Output



概要

このデザイン エLEMENT は、1 ビットのルックアップ テーブル (LUT) で、同じ CLB スライス内にある別の出力および高速バッファへの接続に使用するローカル出力 (LO) があります。このELEMENTはバッファまたはインバータの機能を果たします。

LUT のファンクションを設定するため、INIT 属性を使用して、各入力値に対する出力値を 16 進数で指定する必要があります。

FPGA LUT プリミティブでは、INIT パラメータで論理値が設定されます。デフォルトは 0 で、入力値にかかわらず出力を 0 に駆動します (グラウンドとして機能)。ただし多くの場合、LUT プリミティブのロジック ファンクションを指定するために、新しい INIT の値を決定する必要があります。LUT の値を指定する方法には、次の 2 つがあります。

論理表を使用する方法 : LUT の INIT 値を決定する一般的な方法。バイナリの論理表にすべての入力をリストして出力のロジック値を指定し、これらの出力値から、初期値を作成します。

論理式を使用する方法 : リストされた真理値表の値に対応する LUT の各入力にパラメータを定義し、パラメータを元にロジックの論理式を生成します。概念を理解してしまえばこの方法の方が簡単で、前出の方法のようにパラメータの指定にコードを使用する必要がありません。

論理表

入力	出力
IO	LO
0	INIT[0]
1	INIT[1]
INIT = INIT 属性に割り当てられた 2 進数値	

デザインの入力方法

このELEMENTは、回路図で使用されます。

使用可能な属性

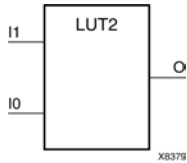
属性	タイプ	値	デフォルト	説明
INIT	16 進数	2 ビット値	すべてゼロ	ルックアップ テーブルの初期値を指定

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

LUT2

プリミティブ : 2-Bit Look-Up Table with General Output



概要

このデザイン エLEMENTは一般出力 (O) を持つ 2 ビットのルックアップ テーブル (LUT) です。

LUT のファンクションを設定するため、INIT 属性を使用して、各入力値に対する出力値を 16 進数で指定する必要があります。このELEMENTは、バッファまたはインバータの機能を果たします。これらのELEMENTは基本ブロックで、各 CLB スライスに 2 つ、各 CLB に 4 つずつあります。LUT には複数のバリエーションがあり、異なるタイミング モデルでレイアウト前のタイミング予測をより正確に行う必要がある場合に使用できます。

FPGA LUT プリミティブでは、INIT パラメータで論理値が設定されます。デフォルトは 0 で、入力値にかかわらず出力を 0 に駆動します (グラウンドとして機能)。ただし多くの場合、LUT プリミティブのロジック ファンクションを指定するために、新しい INIT の値を決定する必要があります。LUT の値を指定する方法には、次の 2 つがあります。

論理表を使用する方法 : LUT の INIT 値を決定する一般的な方法。バイナリの論理表にすべての入力をリストして出力のロジック値を指定し、これらの出力値から、初期値を作成します。

論理式を使用する方法 : リストされた真理値表の値に対応する LUT の各入力にパラメータを定義し、パラメータを元にロジックの論理式を生成します。概念を理解してしまえばこの方法の方が簡単で、前出の方法のようにパラメータの指定にコードを使用する必要がありません。

論理表

入力		出力
I1	I0	O
0	0	INIT[0]
0	1	INIT[1]
1	0	INIT[2]
1	1	INIT[3]
INIT = INIT 属性で指定された 16 進数値を 2 進数で表した値		

デザインの入力方法

このELEMENTは、回路図で使用されます。

使用可能な属性

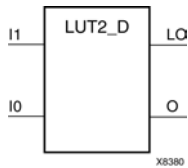
属性	タイプ	値	デフォルト	説明
INIT	16 進数	4 ビット値	すべてゼロ	ルックアップ テーブルの初期値を指定

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

LUT2_D

プリミティブ : 2-Bit Look-Up Table with Dual Output



概要

このデザイン エLEMENTは 2 ビットのルックアップ テーブル (LUT) で、同じ機能を持つ O および LO という 2 つの出力があります。

出力 O は一般的なインターコネクトです。LO 出力は同じ CLB スライス内の別の出力、または高速バッファに接続します。LUT のファンクションを設定するため、INIT 属性を使用して、各入力値に対する出力値を 16 進数で指定する必要があります。

FPGA LUT プリミティブでは、INIT パラメータで論理値が設定されます。デフォルトは 0 で、入力値にかかわらず出力を 0 に駆動します (グラウンドとして機能)。ただし多くの場合、LUT プリミティブのロジック ファンクションを指定するために、新しい INIT の値を決定する必要があります。LUT の値を指定する方法には、次の 2 つがあります。

論理表を使用する方法 : LUT の INIT 値を決定する一般的な方法。バイナリの論理表にすべての入力をリストして出力のロジック値を指定し、これらの出力値から、初期値を作成します。

論理式を使用する方法 : リストされた真理値表の値に対応する LUT の各入力にパラメータを定義し、パラメータを元にロジックの論理式を生成します。概念を理解してしまえばこの方法の方が簡単で、前出の方法のようにパラメータの指定にコードを使用する必要がありません。

論理表

入力		出力	
I1	I0	O	LO
0	0	INIT[0]	INIT[0]
0	1	INIT[1]	INIT[1]
1	0	INIT[2]	INIT[2]
1	1	INIT[3]	INIT[3]
INIT = INIT 属性で指定された 16 進数値を 2 進数で表した値			

デザインの入力方法

このELEMENTは、回路図で使用されます。

使用可能な属性

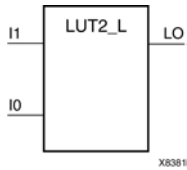
属性	タイプ	値	デフォルト	説明
INIT	16 進数	4 ビット値	すべてゼロ	ルックアップ テーブルの初期値を指定

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

LUT2_L

プリミティブ : 2-Bit Look-Up Table with Local Output



概要

このデザイン エLEMENT は、2 ビットのルックアップ テーブル (LUT) で、同じ CLB スライス内にある別の出力および高速バッファへの接続に使用するローカル出力 (LO) があります。このELEMENTはバッファまたはインバータの機能を果たします。

LUT のファンクションを設定するため、INIT 属性を使用して、各入力値に対する出力値を 16 進数で指定する必要があります。

FPGA LUT プリミティブでは、INIT パラメータで論理値が設定されます。デフォルトは 0 で、入力値にかかわらず出力を 0 に駆動します (グラウンドとして機能)。ただし多くの場合、LUT プリミティブのロジック ファンクションを指定するために、新しい INIT の値を決定する必要があります。LUT の値を指定する方法には、次の 2 つがあります。

論理表を使用する方法 : LUT の INIT 値を決定する一般的な方法。バイナリの論理表にすべての入力をリストして出力のロジック値を指定し、これらの出力値から、初期値を作成します。

論理式を使用する方法 : リストされた真理値表の値に対応する LUT の各入力にパラメータを定義し、パラメータを元にロジックの論理式を生成します。概念を理解してしまえばこの方法の方が簡単で、前出の方法のようにパラメータの指定にコードを使用する必要がありません。

論理表

入力		出力
I1	I0	LO
0	0	INIT[0]
0	1	INIT[1]
1	0	INIT[2]
1	1	INIT[3]
INIT = INIT 属性で指定された 16 進数値を 2 進数で表した値		

デザインの入力方法

このELEMENTは、回路図で使用されます。

使用可能な属性

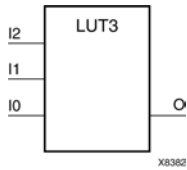
属性	タイプ	値	デフォルト	説明
INIT	16 進数	4 ビット値	すべてゼロ	ルックアップ テーブルの初期値を指定

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

LUT3

プリミティブ : 3-Bit Look-Up Table with General Output



概要

このデザイン エLEMENTは一般出力 (O) を持つ 3 ビットのルックアップ テーブル (LUT) です。LUT のファンクションを設定するため、INIT 属性を使用して、各入力値に対する出力値を 16 進数で指定する必要があります。

LUT のファンクションを設定するため、INIT 属性を使用して、各入力値に対する出力値を 16 進数で指定する必要があります。このELEMENTは、バッファまたはインバータの機能を果たします。これらのELEMENTは基本ブロックで、各 CLB スライスに 2 つ、各 CLB に 4 つずつあります。LUT には複数のバリエーションがあり、異なるタイミング モデルでレイアウト前のタイミング予測をより正確に行う必要がある場合に使用できます。

FPGA LUT プリミティブでは、INIT パラメータで論理値が設定されます。デフォルトは 0 で、入力値にかかわらず出力を 0 に駆動します (グラウンドとして機能)。ただし多くの場合、LUT プリミティブのロジック ファンクションを指定するために、新しい INIT の値を決定する必要があります。LUT の値を指定する方法には、次の 2 つがあります。

論理表を使用する方法 : LUT の INIT 値を決定する一般的な方法。バイナリの論理表にすべての入力をリストして出力のロジック値を指定し、これらの出力値から、初期値を作成します。

論理式を使用する方法 : リストされた真理値表の値に対応する LUT の各入力にパラメータを定義し、パラメータを元にロジックの論理式を生成します。概念を理解してしまえばこの方法の方が簡単で、前出の方法のようにパラメータの指定にコードを使用する必要がありません。

論理表

入力			出力
I2	I1	I0	O
0	0	0	INIT[0]
0	0	1	INIT[1]
0	1	0	INIT[2]
0	1	1	INIT[3]
1	0	0	INIT[4]
1	0	1	INIT[5]
1	1	0	INIT[6]
1	1	1	INIT[7]
INIT = INIT 属性で指定された 16 進数値を 2 進数で表した値			

デザインの入力方法

このELEMENTは、回路図で使用されます。

使用可能な属性

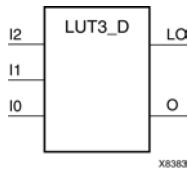
属性	タイプ	値	デフォルト	説明
INIT	16 進数	8 ビット値	すべてゼロ	ルックアップ テーブルの初期値を指定

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)

LUT3_D

プリミティブ : 3-Bit Look-Up Table with Dual Output



概要

このデザイン エLEMENTは 3 ビットのルックアップ テーブル (LUT) で、同じ機能を持つ O および LO という 2 つの出力があります。

出力 O は一般的なインターコネクトです。LO 出力は同じ CLB スライス内の別の出力、または高速バッファに接続します。LUT のファンクションを設定するため、INIT 属性を使用して、各入力値に対する出力値を 16 進数で指定する必要があります。

FPGA LUT プリミティブでは、INIT パラメータで論理値が設定されます。デフォルトは 0 で、入力値にかかわらず出力を 0 に駆動します (グラウンドとして機能)。ただし多くの場合、LUT プリミティブのロジック ファンクションを指定するために、新しい INIT の値を決定する必要があります。LUT の値を指定する方法には、次の 2 つがあります。

論理表を使用する方法 : LUT の INIT 値を決定する一般的な方法。バイナリの論理表にすべての入力をリストして出力のロジック値を指定し、これらの出力値から、初期値を作成します。

論理式を使用する方法 : リストされた真理値表の値に対応する LUT の各入力にパラメータを定義し、パラメータを元にロジックの論理式を生成します。概念を理解してしまえばこの方法の方が簡単で、前出の方法のようにパラメータの指定にコードを使用する必要がありません。

論理表

入力			出力	
I2	I1	I0	O	LO
0	0	0	INIT[0]	INIT[0]
0	0	1	INIT[1]	INIT[1]
0	1	0	INIT[2]	INIT[2]
0	1	1	INIT[3]	INIT[3]
1	0	0	INIT[4]	INIT[4]
1	0	1	INIT[5]	INIT[5]
1	1	0	INIT[6]	INIT[6]
1	1	1	INIT[7]	INIT[7]
INIT = INIT 属性で指定された 16 進数値を 2 進数で表した値				

デザインの入力方法

このELEMENTは、回路図で使用されます。

使用可能な属性

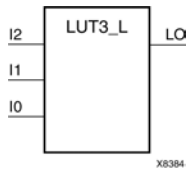
属性	タイプ	値	デフォルト	説明
INIT	16 進数	8 ビット値	すべてゼロ	ルックアップ テーブルの初期値を指定

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

LUT3_L

プリミティブ : 3-Bit Look-Up Table with Local Output



概要

このデザイン エLEMENT は、3 ビットのルックアップ テーブル (LUT) で、同じ CLB スライス内にある別の出力および高速バッファへの接続に使用するローカル出力 (LO) があります。このELEMENTはバッファまたはインバータの機能を果たします。

LUT のファンクションを設定するため、INIT 属性を使用して、各入力値に対する出力値を 16 進数で指定する必要があります。

FPGA LUT プリミティブでは、INIT パラメータで論理値が設定されます。デフォルトは 0 で、入力値にかかわらず出力を 0 に駆動します (グラウンドとして機能)。ただし多くの場合、LUT プリミティブのロジック ファンクションを指定するために、新しい INIT の値を決定する必要があります。LUT の値を指定する方法には、次の 2 つがあります。

論理表を使用する方法 : LUT の INIT 値を決定する一般的な方法。バイナリの論理表にすべての入力をリストして出力のロジック値を指定し、これらの出力値から、初期値を作成します。

論理式を使用する方法 : リストされた真理値表の値に対応する LUT の各入力にパラメータを定義し、パラメータを元にロジックの論理式を生成します。概念を理解してしまえばこの方法の方が簡単で、前出の方法のようにパラメータの指定にコードを使用する必要がありません。

論理表

入力			出力
I2	I1	I0	LO
0	0	0	INIT[0]
0	0	1	INIT[1]
0	1	0	INIT[2]
0	1	1	INIT[3]
1	0	0	INIT[4]
1	0	1	INIT[5]
1	1	0	INIT[6]
1	1	1	INIT[7]
INIT = INIT 属性で指定された 16 進数値を 2 進数で表した値			

デザインの入力方法

このELEMENTは、回路図で使用されます。

使用可能な属性

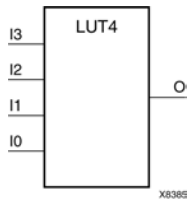
属性	タイプ	値	デフォルト	説明
INIT	16 進数	8 ビット値	すべてゼロ	ルックアップ テーブルの初期値を指定

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

LUT4

プリミティブ : 4-Bit Look-Up-Table with General Output



概要

このデザイン エLEMENTは一般出力 (O) を持つ 4 ビットのルックアップ テーブル (LUT) です。

LUT のファンクションを設定するため、INIT 属性を使用して、各入力値に対する出力値を 16 進数で指定する必要があります。このELEMENTは、バッファまたはインバータの機能を果たします。これらのELEMENTは基本ブロックで、各 CLB スライスに 2 つ、各 CLB に 4 つずつあります。LUT には複数のバリエーションがあり、異なるタイミング モデルでレイアウト前のタイミング予測をより正確に行う必要がある場合に使用できます。

FPGA LUT プリミティブでは、INIT パラメータで論理値が設定されます。デフォルトは 0 で、入力値にかかわらず出力を 0 に駆動します (グラウンドとして機能)。ただし多くの場合、LUT プリミティブのロジック ファンクションを指定するために、新しい INIT の値を決定する必要があります。LUT の値を指定する方法には、次の 2 つがあります。

論理表を使用する方法 : LUT の INIT 値を決定する一般的な方法。バイナリの論理表にすべての入力をリストして出力のロジック値を指定し、これらの出力値から、初期値を作成します。

論理式を使用する方法 : リストされた真理値表の値に対応する LUT の各入力にパラメータを定義し、パラメータを元にロジックの論理式を生成します。概念を理解してしまえばこの方法の方が簡単で、前出の方法のようにパラメータの指定にコードを使用する必要がありません。

論理表

入力				出力
I3	I2	I1	I0	O
0	0	0	0	INIT[0]
0	0	0	1	INIT[1]
0	0	1	0	INIT[2]
0	0	1	1	INIT[3]
0	1	0	0	INIT[4]
0	1	0	1	INIT[5]
0	1	1	0	INIT[6]
0	1	1	1	INIT[7]
1	0	0	0	INIT[8]
1	0	0	1	INIT[9]
1	0	1	0	INIT[10]
1	0	1	1	INIT[11]
1	1	0	0	INIT[12]
1	1	0	1	INIT[13]
1	1	1	0	INIT[14]
1	1	1	1	INIT[15]
INIT = INIT 属性で指定された 16 進数値を 2 進数で表した値				

デザインの入力方法

このエレメントは、回路図で使用されます。

使用可能な属性

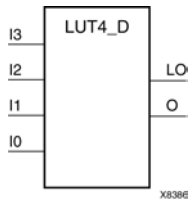
属性	タイプ	値	デフォルト	説明
INIT	16 進数	16 ビット値	すべてゼロ	ルックアップ テーブルの初期値を指定

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

LUT4_D

プリミティブ : 4-Bit Look-Up Table with Dual Output



概要

このデザイン エLEMENTは 4 ビットのルックアップ テーブル (LUT) で、同じ機能を持つ O および LO という 2 つの出力があります。

出力 O は一般的なインターコネクトです。LO 出力は同じ CLB スライス内の別の出力、または高速バッファに接続します。LUT のファンクションを設定するため、INIT 属性を使用して、各入力値に対する出力値を 16 進数で指定する必要があります。

FPGA LUT プリミティブでは、INIT パラメータで論理値が設定されます。デフォルトは 0 で、入力値にかかわらず出力を 0 に駆動します (グラウンドとして機能)。ただし多くの場合、LUT プリミティブのロジック ファンクションを指定するために、新しい INIT の値を決定する必要があります。LUT の値を指定する方法には、次の 2 つがあります。

論理表を使用する方法 : LUT の INIT 値を決定する一般的な方法。バイナリの論理表にすべての入力をリストして出力のロジック値を指定し、これらの出力値から、初期値を作成します。

論理式を使用する方法 : リストされた真理値表の値に対応する LUT の各入力にパラメータを定義し、パラメータを元にロジックの論理式を生成します。概念を理解してしまえばこの方法の方が簡単で、前出の方法のようにパラメータの指定にコードを使用する必要がありません。

論理表

入力				出力	
I3	I2	I1	I0	O	LO
0	0	0	0	INIT[0]	INIT[0]
0	0	0	1	INIT[1]	INIT[1]
0	0	1	0	INIT[2]	INIT[2]
0	0	1	1	INIT[3]	INIT[3]
0	1	0	0	INIT[4]	INIT[4]
0	1	0	1	INIT[5]	INIT[5]
0	1	1	0	INIT[6]	INIT[6]
0	1	1	1	INIT[7]	INIT[7]
1	0	0	0	INIT[8]	INIT[8]
1	0	0	1	INIT[9]	INIT[9]
1	0	1	0	INIT[10]	INIT[10]
1	0	1	1	INIT[11]	INIT[11]
1	1	0	0	INIT[12]	INIT[12]
1	1	0	1	INIT[13]	INIT[13]
1	1	1	0	INIT[14]	INIT[14]
1	1	1	1	INIT[15]	INIT[15]
INIT = INIT 属性で指定された 16 進数値を 2 進数で表した値					

デザインの入力方法

このエレメントは、回路図で使用されます。

使用可能な属性

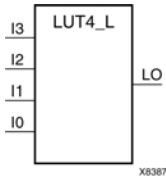
属性	タイプ	値	デフォルト	説明
INIT	16 進数	16 ビット値	すべてゼロ	ルックアップ テーブルの初期値を指定

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

LUT4_L

プリミティブ : 4-Bit Look-Up Table with Local Output



概要

このデザイン エLEMENT は、4 ビットのルックアップ テーブル (LUT) で、同じ CLB スライス内にある別の出力および高速バッファへの接続に使用するローカル出力 (LO) があります。このELEMENTはバッファまたはインバータの機能を果たします。

LUT のファンクションを設定するため、INIT 属性を使用して、各入力値に対する出力値を 16 進数で指定する必要があります。

FPGA LUT プリミティブでは、INIT パラメータで論理値が設定されます。デフォルトは 0 で、入力値にかかわらず出力を 0 に駆動します (グラウンドとして機能)。ただし多くの場合、LUT プリミティブのロジック ファンクションを指定するために、新しい INIT の値を決定する必要があります。LUT の値を指定する方法には、次の 2 つがあります。

論理表を使用する方法 : LUT の INIT 値を決定する一般的な方法。バイナリの論理表にすべての入力をリストして出力のロジック値を指定し、これらの出力値から、初期値を作成します。

論理式を使用する方法 : リストされた真理値表の値に対応する LUT の各入力にパラメータを定義し、パラメータを元にロジックの論理式を生成します。概念を理解してしまえばこの方法の方が簡単で、前出の方法のようにパラメータの指定にコードを使用する必要がありません。

論理表

入力				出力
I3	I2	I1	I0	LO
0	0	0	0	INIT[0]
0	0	0	1	INIT[1]
0	0	1	0	INIT[2]
0	0	1	1	INIT[3]
0	1	0	0	INIT[4]
0	1	0	1	INIT[5]
0	1	1	0	INIT[6]
0	1	1	1	INIT[7]
1	0	0	0	INIT[8]
1	0	0	1	INIT[9]
1	0	1	0	INIT[10]
1	0	1	1	INIT[11]
1	1	0	0	INIT[12]
1	1	0	1	INIT[13]
1	1	1	0	INIT[14]
1	1	1	1	INIT[15]

INIT = INIT 属性で指定された 16 進数値を 2 進数で表した値

デザインの入力方法

このエレメントは、回路図で使用されます。

使用可能な属性

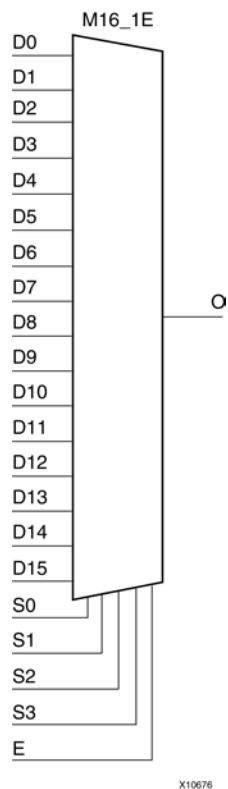
属性	タイプ	値	デフォルト	説明
INIT	16 進数	16 ビット値	すべてゼロ	ルックアップ テーブルの初期値を指定

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

M16_1E

マクロ : 16-to-1 Multiplexer with Enable



概要

このデザイン エLEMENTは、イネーブル付き 16:1 マルチプレクサです。イネーブル入力 (E) が High の場合、セレクト入力 (S3 ~ S0) の値に応じて、16 個の入力 (D15 ~ D0) のうち 1 つのデータビットが選択されます。出力 (O) には、次の論理表に示すように、選択された入力の値が出力されます。E が Low の場合、出力は Low になります。

論理表

入力						出力
E	S3	S2	S1	S0	D15 ~ D0	O
0	X	X	X	X	X	0
1	0	0	0	0	D0	D0
1	0	0	0	1	D1	D1
1	0	0	1	0	D2	D2
1	0	0	1	1	D3	D3
.
.
.
1	1	1	0	0	D12	D12
1	1	1	0	1	D13	D13
1	1	1	1	0	D14	D14
1	1	1	1	1	D15	D15

デザインの入力方法

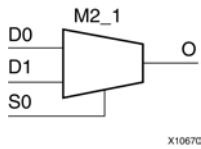
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

M2_1

マクロ : 2-to-1 Multiplexer



概要

このデザイン エLEMENTは、セレクト入力 (S0) の値に応じて、2 つの入力 (D1 または D0) のうち 1 つのデータビットを選択します。出力 (O) には、選択された入力の値が出力されます。S0 が Low の場合は D0 が選択され、High の場合は D1 が選択されます。

論理表

入力			出力
S0	D1	D0	O
1	D1	X	D1
0	X	D0	D0

デザインの入力方法

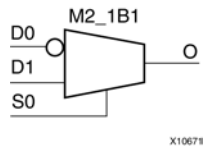
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

M2_1B1

マクロ : 2-to-1 Multiplexer with D0 Inverted



概要

このデザイン エLEMENTは、セレクト入力 (S0) の値に応じて、2 つの入力 (D1 または D0) のうち 1 つのデータビットを選択します。S0 が Low の場合は O に D0 の反転値が出力され、S0 が High の場合は D1 の値が出力されます。

論理表

入力			出力
S0	D1	D0	O
1	1	X	1
1	0	X	0
0	X	1	0
0	X	0	1

デザインの入力方法

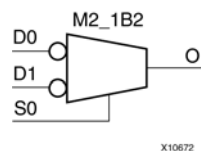
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

M2_1B2

マクロ : 2-to-1 Multiplexer with D0 and D1 Inverted



概要

このデザイン エLEMENTは、セレクト入力 (S0) の値に応じて、2 つの入力 (D1 または D0) のうち 1 つのデータビットを選択します。S0 が Low の場合は O に D0 の反転値が出力され、S0 が High の場合は D1 の反転値が出力されます。

論理表

入力			出力
S0	D1	D0	O
1	1	X	0
1	0	X	1
0	X	1	0
0	X	0	1

デザインの入力方法

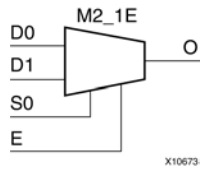
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

M2_1E

マクロ : 2-to-1 Multiplexer with Enable



概要

このデザイン エLEMENTは、イネーブル付き 2:1 マルチプレクサです。イネーブル入力 (E) が High の場合、セレクト入力 (S0) の値に応じて、2 つの入力 (D1 または D0) のうち 1 つのデータ ビットが選択されます。S0 が Low の場合は D0 が選択され、High の場合は D1 が選択されます。E が Low の場合、出力は Low になります。

論理表

入力				出力
E	S0	D1	D0	O
0	X	X	X	0
1	0	X	1	1
1	0	X	0	0
1	1	1	X	1
1	1	0	X	0

デザインの入力方法

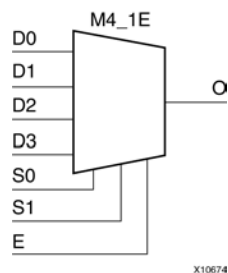
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

M4_1E

マクロ : 4-to-1 Multiplexer with Enable



概要

このデザイン エLEMENTは、イネーブル付き 4:1 マルチプレクサです。イネーブル入力 (E) が High の場合、セレクト入力 (S1 ~ S0) の値に応じて、4 つの入力 (D3、D2、D1、D0) のうち 1 つのデータビットが選択されます。出力 (O) には、次の論理表に示すように、選択された入力の値が出力されます。E が Low の場合、出力は Low になります。

論理表

入力							出力
E	S1	S0	D0	D1	D2	D3	O
0	X	X	X	X	X	X	0
1	0	0	D0	X	X	X	D0
1	0	1	X	D1	X	X	D1
1	1	0	X	X	D2	X	D2
1	1	1	X	X	X	D3	D3

デザインの入力方法

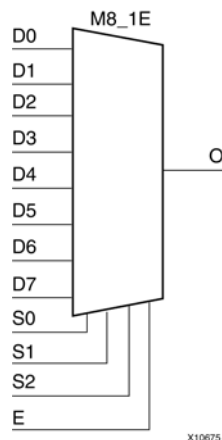
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

M8_1E

マクロ : 8-to-1 Multiplexer with Enable



概要

このデザイン エLEMENTは、イネーブル付き 8:1 マルチプレクサです。イネーブル入力 (E) が High の場合、セレクト入力 (S2 ~ S0) の値に応じて、8 つの入力 (D7 ~ D0) のうち 1 つのデータビットが選択されます。出力 (O) には、次の論理表に示すように、選択された入力の値が出力されます。E が Low の場合、出力は Low になります。

論理表

入力					出力
E	S2	S1	S0	D7 - D0	O
0	X	X	X	X	0
1	0	0	0	D0	D0
1	0	0	1	D1	D1
1	0	1	0	D2	D2
1	0	1	1	D3	D3
1	1	0	0	D4	D4
1	1	0	1	D5	D5
1	1	1	0	D6	D6
1	1	1	1	D7	D7

デザインの入力方法

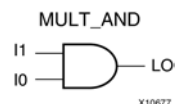
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

MULT_AND

プリミティブ : Fast Multiplier AND



概要

このデザイン エLEMENTはスライス内にある AND コンポーネントです。このスライスでは 2 つの入力が 4 入力 LUT と共有され、出力がキャリー ロジックに駆動しています。この追加のロジックはその他の目的にも使用できますが、高速で小型の乗算器の作成に特に有用です。I1 および I0 入力は、対応する LUT の I1 および I0 入力に接続する必要があります。LO 出力は、対応する MUXCY、MUXCY_D、または MUXCY_L の DI 入力に接続する必要があります。

論理表

入力		出力
I1	I0	LO
0	0	0
0	1	0
1	0	0
1	1	1

デザインの入力方法

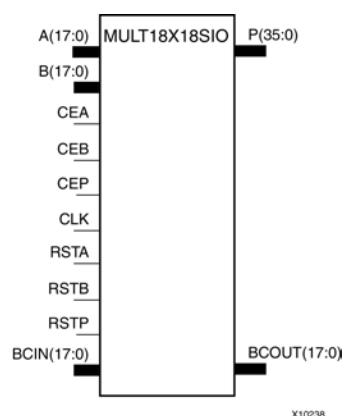
このELEMENTは、回路図で使用されます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

MULT18X18SIO

プリミティブ : 18 x 18 Cascadable Signed Multiplier with Optional Input and Output Registers, Clock Enable, and Synchronous Reset



概要

このデザイン エLEMENTは、36 ビット出力、18 X 18 ビット入力専用の符号付き乗算器です。AREG、BREG、PREG 属性をすべて 0 に設定すると、非同期の乗算が実行されます。逆に属性をすべて 1 に設定すると、異なるレイテンシとパフォーマンス特性で同期の乗算が実行されます。同期乗算器を使用する場合、乗算器のレジスタ バンクの各セットに対してアクティブ High のクロック イネーブル (CEA、CEB、CEP) と同期リセット (RSTA、RSTB、RSTP) が使用されます。BCIN ポートと BCOUT ポートに B_INPUT 属性を使用して MULT18X18SIO をカスケード接続すると、より大型の乗算ファンクションを作成できます。

デザインの入力方法

このELEMENTは、回路図で使用されます。

使用可能な属性

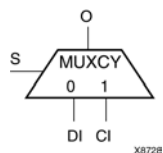
属性	タイプ	値	デフォルト	説明
AREG	整数	0、1	1	A ポートで入力レジスタを使用するかどうかを指定します。0 の場合はレジスタが使用されず、1 の場合はレジスタが使用されます。
BREG	整数	0、1	1	B ポートで入力レジスタを使用するかどうかを指定します。0 の場合はレジスタが使用されず、1 の場合はレジスタが使用されます。
B_INPUT	文字列	DIRECT、CASCADE	DIRECT	B ポートが FPGA に接続されている (DIRECT) か、別の MULT18X18SIO の BCOUT ポートに接続されているかを指定します。
PREG	整数	0、1	1	乗算器の出力レジスタを使用するかどうかを指定します。0 の場合はレジスタが使用されず、1 の場合はレジスタが使用されます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

MUXCY

プリミティブ : 2-to-1 Multiplexer for Carry Logic with General Output



概要

スライスの直接入力 (DI) は、MUXCY の DI 入力に接続します。LC のキャリー入力 (CI) は、MUXCY の CI 入力に接続します。セレクト入力 (S) は、ルックアップ テーブル (LUT) の出力で駆動し、MUX ファンクションとしてコンフィギュレーションします。キャリー出力 (O) には選択された入力の値が出力され、各 LC のキャリー出力ファンクションをインプリメントします。S が Low の場合は DI が選択され、High の場合は CI が選択されます。

このほか、ローカル出力を持つ MUXCY_D および MUXCY_L があり、異なるタイミング モデルでレイアウト前のタイミング予測をより正確に行う必要がある場合に使用できます。

論理表

入力			出力
S	DI	CI	O
0	1	X	1
0	0	X	0
1	X	1	1
1	X	0	0

デザインの入力方法

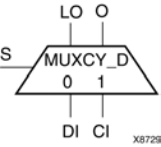
このエレメントは、回路図で使用されます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

MUXCY_D

プリミティブ : 2-to-1 Multiplexer for Carry Logic with Dual Output



概要

このデザイン エLEMENTは、1 ビットの高速キャリー伝搬ファンクションをインプリメントするために使用します。このようなファンクションは、1 つのロジック セル (LC) に 1 つずつインプリメントできるので、1 つの CLB に合計 4 ビットをインプリメントできます。LC の直接入力 (DI) は MUXCY_D の DI 入力に接続し、LC のキャリー入力 (CI) は MUXCY_D の CI 入力に接続します。セレクト入力 (S) は、ルックアップ テーブル (LUT) の出力で駆動し、XOR ファンクションとしてコンフィギュレーションします。キャリー出力 (O と LO) には選択された入力の値が出力され、各 LC のキャリー出力ファンクションをインプリメントします。S が Low の場合は DI が選択され、High の場合は CI が選択されます。

出力 O と LO は、機能的に同じです。出力 O は一般的なインターコネクトです。「MUXCY」および「MUXCY_L」も参照してください。

論理表

入力			出力	
S	DI	CI	O	LO
0	1	X	1	1
0	0	X	0	0
1	X	1	1	1
1	X	0	0	0

デザインの入力方法

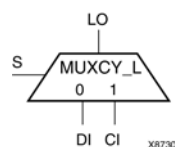
このELEMENTは、回路図で使用されます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

MUXCY_L

プリミティブ : 2-to-1 Multiplexer for Carry Logic with Local Output



概要

このデザイン エLEMENTは、1 ビットの高速キャリー伝搬ファンクションをインプリメントするために使用します。このようなファンクションは、1 つのロジック セル (LC) に 1 つずつインプリメントできるので、1 つの CLB に合計 4 ビットをインプリメントできます。LC の直接入力 (DI) は MUXCY_L の DI 入力に接続し、LC のキャリー入力 (CI) は MUXCY_L の CI 入力に接続します。セレクト入力 (S) は、ルックアップ テーブル (LUT) の出力で駆動し、XOR ファンクションとしてコンフィギュレーションします。キャリー出力 (LO) には選択された入力の値が出力され、各 LC のキャリー出力ファンクションをインプリメントします。S が Low の場合は DI が選択され、High の場合は CI が選択されます。

「MUXCY」および「MUXCY_D」も参照してください。

論理表

入力			出力
S	DI	CI	LO
0	1	X	1
0	0	X	0
1	X	1	1
1	X	0	0

デザインの入力方法

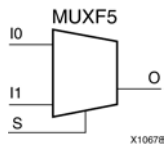
このELEMENTは、回路図で使用されます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

MUXF5

プリミティブ : 2-to-1 Look-Up Table Multiplexer with General Output



概要

このデザイン エLEMENTは、ルックアップ テーブルと組み合わせて、5 ファンクションのルックアップ テーブルまたは 4:1 マルチプレクサを作成するためのマルチプレクサ ファンクションを、CLB スライス を 1 つ使用してインプリメントします。I0 および I1 入力には、2 つのルックアップ テーブルのローカル出力 (LO) を接続します。セレクト入力 (S) は、どの内部ネットでも駆動できます。S が Low の場合は I0 が選択され、High の場合は I1 が選択されます。

このほか、ローカル出力を持つ MUXF5_D および MUXF5_L があり、異なるタイミング モデルでレイアウト前のタイミング 予測をより正確に行う必要がある場合に使用できます。

論理表

入力			出力
S	I0	I1	O
0	1	X	1
0	0	X	0
1	X	1	1
1	X	0	0

デザインの入力方法

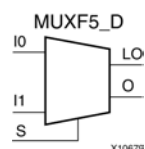
このELEMENTは、回路図で使用されます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

MUXF5_D

プリミティブ : 2-to-1 Look-Up Table Multiplexer with Dual Output



概要

このデザイン エLEMENTは、ルックアップ テーブルと組み合わせて、5 ファンクションのルックアップ テーブルまたは 4:1 マルチプレクサを作成するためのマルチプレクサ ファンクションを、CLB スライス を 1 つ使用してインプリメントします。I0 および I1 入力には、2 つのルックアップ テーブルのローカル出力 (LO) を接続します。セレクト入力 (S) は、どの内部ネットでも駆動できます。S が Low の場合は I0 が選択され、High の場合は I1 が選択されます。

出力 O と LO は、機能的に同じです。出力 O は一般的なインターコネクトです。LO 出力は、同じ CLB スライス内にある別の入力との接続に使用します。「MUXF5」および「MUXF5_L」も参照してください。

論理表

入力			出力	
S	I0	I1	O	LO
0	1	X	1	1
0	0	X	0	0
1	X	1	1	1
1	X	0	0	0

デザインの入力方法

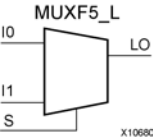
このELEMENTは、回路図で使用されます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

MUXF5_L

プリミティブ : 2-to-1 Look-Up Table Multiplexer with Local Output



概要

このデザイン エLEMENTは、ルックアップ テーブルと組み合わせて、5 ファンクションのルックアップ テーブルまたは 4:1 マルチプレクサを作成するためのマルチプレクサ ファンクションを、CLB スライス を 1 つ使用してインプリメントします。I0 および I1 入力には、2 つのルックアップ テーブルのローカル出力 (LO) を接続します。セレクト入力 (S) は、どの内部ネットでも駆動できます。S が Low の場合は I0 が選択され、High の場合は I1 が選択されます。

LO 出力は、同じ CLB スライス内にある別の入力との接続に使用します。

「MUXF5」および「MUXF5_D」も参照してください。

論理表

入力			出力
S	I0	I1	LO
0	1	X	1
0	0	X	0
1	X	1	1
1	X	0	0

デザインの入力方法

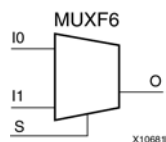
このELEMENTは、回路図で使用されます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

MUXF6

プリミティブ : 2-to-1 Look-Up Table Multiplexer with General Output



概要

このデザイン エLEMENTは、対応する 4 つのルックアップ テーブルと 2 つの MUXF5 を組み合わせて、6 ファンクションのルックアップ テーブルまたは 8:1 マルチプレクサを作成するためのマルチプレクサ ファンクションを、スライス 2 つにインプリメントします。I0 および I1 入力には、同じ CLB 内にある 2 つの MUXF5 のローカル出力 (LO) を接続します。セレクト入力 (S) は、どの内部ネットでも駆動できます。S が Low の場合は I0 が選択され、High の場合は I1 が選択されます。

このほか、ローカル出力を持つ MUXF6_D および MUXF6_L があり、異なるタイミング モデルでレイアウト前のタイミング予測をより正確に行う必要がある場合に使用できます。

論理表

入力			出力
S	I0	I1	O
0	1	X	1
0	0	X	0
1	X	1	1
1	X	0	0

デザインの入力方法

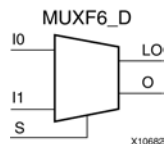
このELEMENTは、回路図で使用されます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

MUXF6_D

プリミティブ : 2-to-1 Look-Up Table Multiplexer with Dual Output



概要

このデザイン エLEMENTは、対応する 4 つのルックアップ テーブルと 2 つの MUXF5 を組み合わせて、6 ファンクションのルックアップ テーブルまたは 8:1 マルチプレクサを作成するためのマルチプレクサ ファンクションを、スライス 2 つにインプリメントします。I0 および I1 入力には、同じ CLB 内にある 2 つの MUXF5 のローカル出力 (LO) を接続します。セレクト入力 (S) は、どの内部ネットでも駆動できます。S が Low の場合は I0 が選択され、High の場合は I1 が選択されます。

出力 O と LO は、機能的に同じです。出力 O は一般的なインターコネクトです。LO 出力は、同じ CLB スライス内にある別の入力との接続に使用します。

論理表

入力			出力	
S	I0	I1	O	LO
0	1	X	1	1
0	0	X	0	0
1	X	1	1	1
1	X	0	0	0

デザインの入力方法

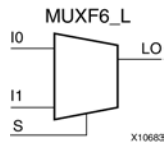
このELEMENTは、回路図で使用されます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

MUXF6_L

プリミティブ : 2-to-1 Look-Up Table Multiplexer with Local Output



概要

このデザイン エLEMENTは、対応する 4 つのルックアップ テーブルと 2 つの MUXF5 を組み合わせて、6 ファンクションのルックアップ テーブルまたは 8:1 マルチプレクサを作成するためのマルチプレクサ ファンクションをインプリメントします。I0 および I1 入力には、同じ CLB 内にある 2 つの MUXF5 のローカル出力 (LO) を接続します。セレクト入力 (S) は、どの内部ネットでも駆動できます。S が Low の場合は I0 が選択され、High の場合は I1 が選択されます。

LO 出力は、同じ CLB スライス内にある別の入力との接続に使用します。

論理表

入力			出力
S	I0	I1	LO
0	1	X	1
0	0	X	0
1	X	1	1
1	X	0	0

デザインの入力方法

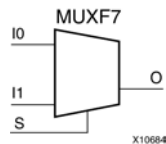
このELEMENTは、回路図で使用されます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

MUXF7

プリミティブ : 2-to-1 Look-Up Table Multiplexer with General Output



概要

このデザイン エLEMENTは、対応するルックアップ テーブルと組み合わせて、7 ファンクションのルックアップ テーブルまたは 8:1 マルチプレクサを作成するためのマルチプレクサ ファンクションをインプリメントします。I0 および I1 入力には、MUXF6 のローカル出力 (LO) を接続します。セレクト入力 (S) は、どの内部ネットでも駆動できます。S が Low の場合は I0 が選択され、High の場合は I1 が選択されます。

このほか、ローカル出力を持つ MUXF7_D および MUXF7_L があり、異なるタイミング モデルでレイアウト前のタイミング予測をより正確に行う必要がある場合に使用できます。

論理表

入力			出力
S	I0	I1	O
0	I0	X	I0
1	X	I1	I1
X	0	0	0
X	1	1	1

ポートの説明

ポート名	方向	幅	機能
O	出力	1	汎用配線への MUX の出力
I0	入力	1	入力 (MUXF6 LO 出力に接続)
I1	入力	1	入力 (MUXF6 LO 出力に接続)
S	入力	1	MUX への入力セレクト

デザインの入力方法

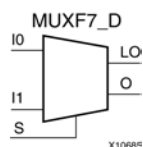
このELEMENTは、回路図で使用されます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

MUXF7_D

プリミティブ : 2-to-1 Look-Up Table Multiplexer with Dual Output



概要

このデザイン エLEMENTは、対応するルックアップ テーブルと組み合わせて、7 ファンクションのルックアップ テーブルまたは 16:1 マルチプレクサを作成するためのマルチプレクサ ファンクションをインプリメントします。I0 および I1 入力には、MUXF6 のローカル出力 (LO) を接続します。セレクト入力 (S) は、どの内部ネットでも駆動できます。S が Low の場合は I0 が選択され、High の場合は I1 が選択されます。

出力 O と LO は、機能的に同じです。出力 O は一般的なインターコネクトです。LO 出力は、同じ CLB スライス内にある別の入力との接続に使用します。

論理表

入力			出力	
S	I0	I1	O	LO
0	I0	X	I0	I0
1	X	I1	I1	I1
X	0	0	0	0
X	1	1	1	1

ポートの説明

ポート名	方向	幅	機能
O	出力	1	汎用配線への MUX の出力
LO	出力	1	ローカル配線への MUX の出力
I0	入力	1	入力 (MUXF6 LO 出力に接続)
I1	入力	1	入力 (MUXF6 LO 出力に接続)
S	入力	1	MUX への入力セレクト

デザインの入力方法

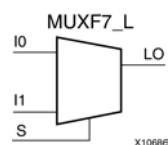
このELEMENTは、回路図で使用されます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

MUXF7_L

プリミティブ : 2-to-1 look-up table Multiplexer with Local Output



概要

このデザイン エLEMENTは、対応するルックアップ テーブルと組み合わせて、7 ファンクションのルックアップ テーブルまたは 16:1 マルチプレクサを作成するためのマルチプレクサ ファンクションをインプリメントします。I0 および I1 入力には、MUXF6 のローカル出力 (LO) を接続します。セレクト入力 (S) は、どの内部ネットでも駆動できます。S が Low の場合は I0 が選択され、High の場合は I1 が選択されます。

LO 出力は、同じ CLB スライス内にある別の入力との接続に使用します。

論理表

入力			出力
S	I0	I1	LO
0	I0	X	I0
1	X	I1	I1
X	0	0	0
X	1	1	1

ポートの説明

ポート名	方向	幅	機能
LO	出力	1	ローカル配線への MUX の出力
I0	入力	1	入力
I1	入力	1	入力
S	入力	1	MUX への入力セレクト

デザインの入力方法

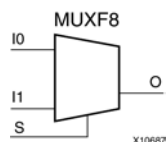
このELEMENTは、回路図で使用されます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

MUXF8

プリミティブ : 2-to-1 Look-Up Table Multiplexer with General Output



概要

このデザイン エLEMENTは、対応するルックアップ テーブルと MUXF5、MUXF6、および MUXF7 を組み合わせて、8 ファンクションのルックアップ テーブルまたは 16:1 マルチプレクサを作成するためのマルチプレクサ ファンクションを、CLB 2 個 (スライス 8 個) にインプリメントします。I0 および I1 入力には、MUXF7 のローカル出力 (LO) を接続します。セレクト入力 (S) は、どの内部ネットでも駆動できます。S が Low の場合は I0 が選択され、High の場合は I1 が選択されます。

論理表

入力			出力
S	I0	I1	O
0	I0	X	I0
1	X	I1	I1
X	0	0	0
X	1	1	1

ポートの説明

ポート名	方向	幅	機能
O	出力	1	汎用配線への MUX の出力
I0	入力	1	入力 (MUXF7 LO 出力に接続)
I1	入力	1	入力 (MUXF7 LO 出力に接続)
S	入力	1	MUX への入力セレクト

デザインの入力方法

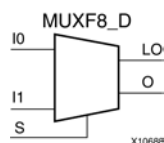
このELEMENTは、回路図で使用されます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

MUXF8_D

プリミティブ : 2-to-1 Look-Up Table Multiplexer with Dual Output



概要

このデザイン エLEMENTは、対応するルックアップ テーブル 4 つと MUXF8 を 2 つ組み合わせて、8 ファンクションのルックアップ テーブルまたは 32:1 マルチプレクサを作成するためのマルチプレクサ ファンクションを、CLB 2 個 (スライス 8 個) にインプリメントします。I0 および I1 入力には、MUXF7 のローカル出力 (LO) を接続します。セレクト入力 (S) は、どの内部ネットでも駆動できます。S が Low の場合は I0 が選択され、High の場合は I1 が選択されます。

出力 O と LO は、機能的に同じです。出力 O は一般的なインターコネクトです。LO 出力は、同じ CLB スライス内にある別の入力との接続に使用します。

論理表

入力			出力	
S	I0	I1	O	LO
0	I0	X	I0	I0
1	X	I1	I1	I1
X	0	0	0	0
X	1	1	1	1

ポートの説明

ポート名	方向	幅	機能
O	出力	1	汎用配線への MUX の出力
LO	出力	1	ローカル配線への MUX の出力
I0	入力	1	入力 (MUXF7 LO 出力に接続)
I1	入力	1	入力 (MUXF7 LO 出力に接続)
S	入力	1	MUX への入力セレクト

デザインの入力方法

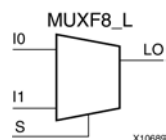
このELEMENTは、回路図で使用されます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

MUXF8_L

プリミティブ : 2-to-1 Look-Up Table Multiplexer with Local Output



概要

このデザイン エLEMENTは、対応するルックアップ テーブル 4 つと MUXF8 を 2 つ組み合わせて、8 ファンクションのルックアップ テーブルまたは 32:1 マルチプレクサを作成するためのマルチプレクサ ファンクションを、CLB 2 個 (スライス 8 個) にインプリメントします。I0 および I1 入力には、MUXF7 のローカル出力 (LO) を接続します。セレクト入力 (S) は、どの内部ネットでも駆動できます。S が Low の場合は I0 が選択され、High の場合は I1 が選択されます。

LO 出力は、同じ CLB スライス内にある別の入力との接続に使用します。

論理表

入力			出力
S	I0	I1	LO
0	I0	X	I0
1	X	I1	I1
X	0	0	0
X	1	1	1

ポートの説明

ポート名	方向	幅	機能
LO	出力	1	ローカル配線への MUX の出力
I0	入力	1	入力 (MUXF7 LO 出力に接続)
I1	入力	1	入力 (MUXF7 LO 出力に接続)
S	入力	1	MUX への入力セレクト

デザインの入力方法

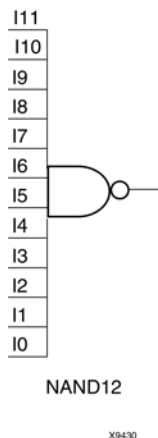
このELEMENTは、回路図で使用されます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

NAND12

マクロ : 12- Input NAND Gate with Non-Inverted Inputs



概要

5 入力までの NAND ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NAND ファンクションには、非反転入力のみが使用されています。入力を反転するには、外部インバータを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

デザインの入力方法

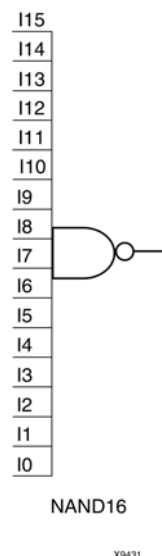
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

NAND16

マクロ : 16- Input NAND Gate with Non-Inverted Inputs



概要

5 入力までの NAND ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NAND ファンクションには、非反転入力のみが使用されています。入力を反転するには、外部インバータを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

デザインの入力方法

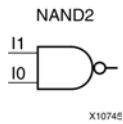
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)

NAND2

プリミティブ : 2-Input NAND Gate with Non-Inverted Inputs



概要

5 入力までの NAND ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NAND ファンクションには、非反転入力のみが使用されています。入力を反転するには、外部インバータを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

デザインの入力方法

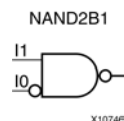
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

NAND2B1

プリミティブ : 2-Input NAND Gate with 1 Inverted and 1 Non-Inverted Inputs



概要

5 入力までの NAND ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NAND ファンクションには、非反転入力のみが使用されています。入力を反転するには、外部インバータを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

デザインの入力方法

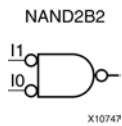
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)

NAND2B2

プリミティブ : 2-Input NAND Gate with Inverted Inputs



概要

5 入力までの NAND ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NAND ファンクションには、非反転入力のみが使用されています。入力を反転するには、外部インバータを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

デザインの入力方法

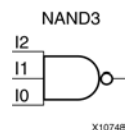
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

NAND3

プリミティブ : 3-Input NAND Gate with Non-Inverted Inputs



概要

5 入力までの NAND ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NAND ファンクションには、非反転入力のみが使用されています。入力を反転するには、外部インバータを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

デザインの入力方法

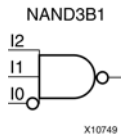
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

NAND3B1

プリミティブ : 3-Input NAND Gate with 1 Inverted and 2 Non-Inverted Inputs



概要

5 入力までの NAND ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NAND ファンクションには、非反転入力のみが使用されています。入力を反転するには、外部インバータを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

デザインの入力方法

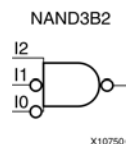
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

NAND3B2

プリミティブ : 3-Input NAND Gate with 2 Inverted and 1 Non-Inverted Inputs



概要

5 入力までの NAND ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NAND ファンクションには、非反転入力のみが使用されています。入力を反転するには、外部インバータを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

デザインの入力方法

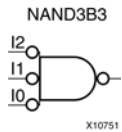
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)

NAND3B3

プリミティブ : 3-Input NAND Gate with Inverted Inputs



概要

5 入力までの NAND ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NAND ファンクションには、非反転入力のみが使用されています。入力を反転するには、外部インバータを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

デザインの入力方法

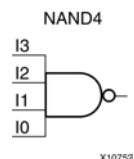
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

NAND4

プリミティブ : 4-Input NAND Gate with Non-Inverted Inputs



概要

5 入力までの NAND ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NAND ファンクションには、非反転入力のみが使用されています。入力を反転するには、外部インバータを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

デザインの入力方法

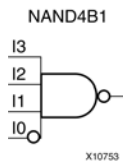
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)

NAND4B1

プリミティブ : 4-Input NAND Gate with 1 Inverted and 3 Non-Inverted Inputs



概要

5 入力までの NAND ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NAND ファンクションには、非反転入力のみが使用されています。入力を反転するには、外部インバータを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

デザインの入力方法

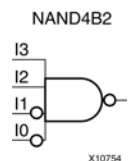
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

NAND4B2

プリミティブ : 4-Input NAND Gate with 2 Inverted and 2 Non-Inverted Inputs



概要

5 入力までの NAND ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NAND ファンクションには、非反転入力のみが使用されています。入力を反転するには、外部インバータを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

デザインの入力方法

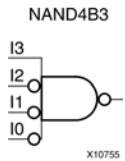
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)

NAND4B3

プリミティブ : 4-Input NAND Gate with 3 Inverted and 1 Non-Inverted Inputs



概要

5 入力までの NAND ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NAND ファンクションには、非反転入力のみが使用されています。入力を反転するには、外部インバータを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

デザインの入力方法

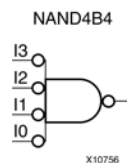
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

NAND4B4

プリミティブ : 4-Input NAND Gate with Inverted Inputs



概要

5 入力までの NAND ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NAND ファンクションには、非反転入力のみが使用されています。入力を反転するには、外部インバータを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

デザインの入力方法

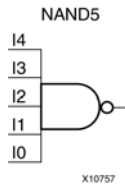
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)

NAND5

プリミティブ : 5-Input NAND Gate with Non-Inverted Inputs



概要

5 入力までの NAND ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NAND ファンクションには、非反転入力のみが使用されています。入力を反転するには、外部インバータを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

デザインの入力方法

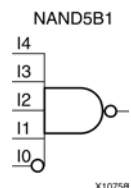
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)

NAND5B1

プリミティブ : 5-Input NAND Gate with 1 Inverted and 4 Non-Inverted Inputs



概要

5 入力までの NAND ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NAND ファンクションには、非反転入力のみが使用されています。入力を反転するには、外部インバータを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

デザインの入力方法

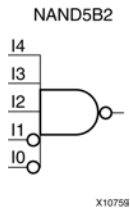
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

NAND5B2

プリミティブ : 5-Input NAND Gate with 2 Inverted and 3 Non-Inverted Inputs



概要

5 入力までの NAND ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NAND ファンクションには、非反転入力のみが使用されています。入力を反転するには、外部インバータを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

デザインの入力方法

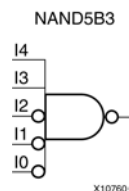
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

NAND5B3

プリミティブ : 5-Input NAND Gate with 3 Inverted and 2 Non-Inverted Inputs



概要

5 入力までの NAND ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NAND ファンクションには、非反転入力のみが使用されています。入力を反転するには、外部インバータを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

デザインの入力方法

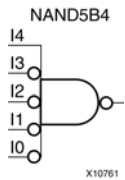
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)

NAND5B4

プリミティブ : 5-Input NAND Gate with 4 Inverted and 1 Non-Inverted Inputs



概要

5 入力までの NAND ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NAND ファンクションには、非反転入力のみが使用されています。入力を反転するには、外部インバータを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

デザインの入力方法

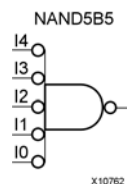
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

NAND5B5

プリミティブ : 5-Input NAND Gate with Inverted Inputs



概要

5 入力までの NAND ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NAND ファンクションには、非反転入力のみが使用されています。入力を反転するには、外部インバータを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

デザインの入力方法

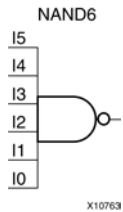
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)

NAND6

マクロ : 6-Input NAND Gate with Non-Inverted Inputs



概要

5 入力までの NAND ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NAND ファンクションには、非反転入力のみが使用されています。入力を反転するには、外部インバータを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

デザインの入力方法

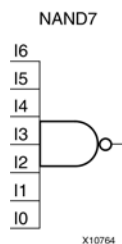
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

NAND7

マクロ : 7-Input NAND Gate with Non-Inverted Inputs



概要

5 入力までの NAND ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NAND ファンクションには、非反転入力のみが使用されています。入力を反転するには、外部インバータを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

デザインの入力方法

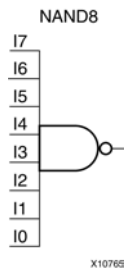
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

NAND8

マクロ : 8-Input NAND Gate with Non-Inverted Inputs



概要

5 入力までの NAND ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NAND ファンクションには、非反転入力のみが使用されています。入力を反転するには、外部インバータを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

デザインの入力方法

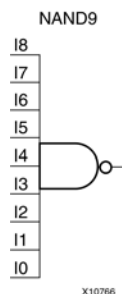
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)

NAND9

マクロ : 9-Input NAND Gate with Non-Inverted Inputs



概要

5 入力までの NAND ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NAND ファンクションには、非反転入力のみが使用されています。入力を反転するには、外部インバータを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

デザインの入力方法

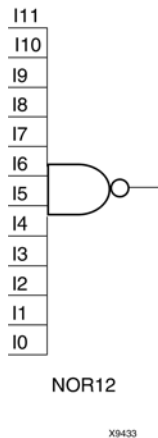
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

NOR12

マクロ : 12-Input NOR Gate with Non-Inverted Inputs



概要

5 入力までの NOR ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NOR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバータを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

デザインの入力方法

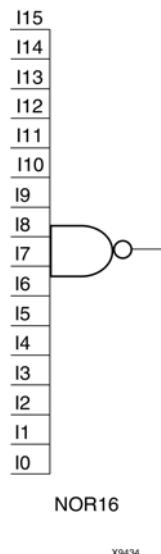
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)

NOR16

マクロ : 16-Input NOR Gate with Non-Inverted Inputs



概要

5 入力までの NOR ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NOR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバータを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

デザインの入力方法

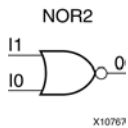
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)

NOR2

プリミティブ : 2-Input NOR Gate with Non-Inverted Inputs



概要

5 入力までの NOR ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NOR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバータを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

デザインの入力方法

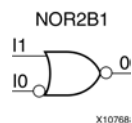
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

NOR2B1

プリミティブ : 2-Input NOR Gate with 1 Inverted and 1 Non-Inverted Inputs



概要

5 入力までの NOR ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NOR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバータを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

デザインの入力方法

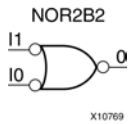
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)

NOR2B2

プリミティブ : 2-Input NOR Gate with Inverted Inputs



概要

5 入力までの NOR ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NOR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバータを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

デザインの入力方法

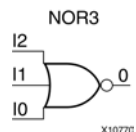
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

NOR3

プリミティブ : 3-Input NOR Gate with Non-Inverted Inputs



概要

5 入力までの NOR ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NOR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバータを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

デザインの入力方法

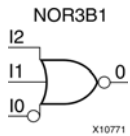
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

NOR3B1

プリミティブ : 3-Input NOR Gate with 1 Inverted and 2 Non-Inverted Inputs



概要

5 入力までの NOR ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NOR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバータを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

デザインの入力方法

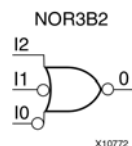
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)

NOR3B2

プリミティブ : 3-Input NOR Gate with 2 Inverted and 1 Non-Inverted Inputs



概要

5 入力までの NOR ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NOR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバータを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

デザインの入力方法

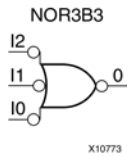
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)

NOR3B3

プリミティブ : 3-Input NOR Gate with Inverted Inputs



概要

5 入力までの NOR ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NOR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバータを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

デザインの入力方法

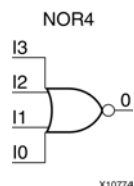
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

NOR4

プリミティブ : 4-Input NOR Gate with Non-Inverted Inputs



概要

5 入力までの NOR ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NOR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバータを使用します。各入力に 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

デザインの入力方法

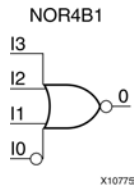
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

NOR4B1

プリミティブ : 4-Input NOR Gate with 1 Inverted and 3 Non-Inverted Inputs



概要

5 入力までの NOR ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NOR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバータを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

デザインの入力方法

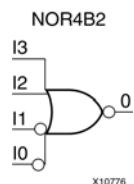
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

NOR4B2

プリミティブ : 4-Input NOR Gate with 2 Inverted and 2 Non-Inverted Inputs



概要

5 入力までの NOR ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NOR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバータを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

デザインの入力方法

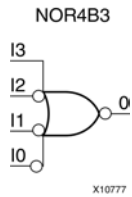
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)

NOR4B3

プリミティブ : 4-Input NOR Gate with 3 Inverted and 1 Non-Inverted Inputs



概要

5 入力までの NOR ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NOR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバータを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

デザインの入力方法

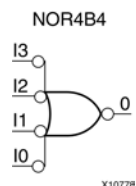
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)

NOR4B4

プリミティブ : 4-Input NOR Gate with Inverted Inputs



概要

5 入力までの NOR ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NOR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバータを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

デザインの入力方法

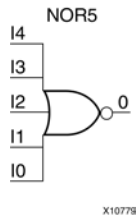
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)

NOR5

プリミティブ : 5-Input NOR Gate with Non-Inverted Inputs



概要

5 入力までの NOR ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NOR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバータを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

デザインの入力方法

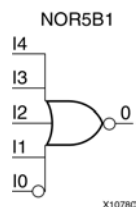
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)

NOR5B1

プリミティブ : 5-Input NOR Gate with 1 Inverted and 4 Non-Inverted Inputs



概要

5 入力までの NOR ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NOR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバータを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

デザインの入力方法

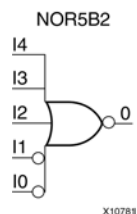
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)

NOR5B2

プリミティブ : 5-Input NOR Gate with 2 Inverted and 3 Non-Inverted Inputs



概要

5 入力までの NOR ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NOR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバータを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

デザインの入力方法

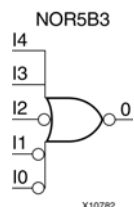
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

NOR5B3

プリミティブ : 5-Input NOR Gate with 3 Inverted and 2 Non-Inverted Inputs



概要

5 入力までの NOR ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NOR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバータを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

デザインの入力方法

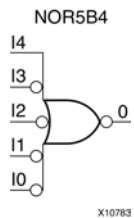
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)

NOR5B4

プリミティブ : 5-Input NOR Gate with 4 Inverted and 1 Non-Inverted Inputs



概要

5 入力までの NOR ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NOR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバータを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

デザインの入力方法

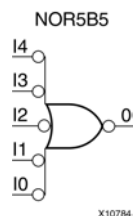
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

NOR5B5

プリミティブ : 5-Input NOR Gate with Inverted Inputs



概要

5 入力までの NOR ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NOR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバータを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

デザインの入力方法

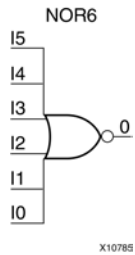
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

NOR6

マクロ : 6-Input NOR Gate with Non-Inverted Inputs



概要

5 入力までの NOR ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NOR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバータを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

デザインの入力方法

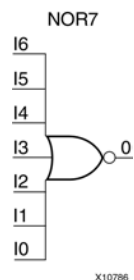
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)

NOR7

マクロ : 7-Input NOR Gate with Non-Inverted Inputs



概要

5 入力までの NOR ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NOR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバータを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

デザインの入力方法

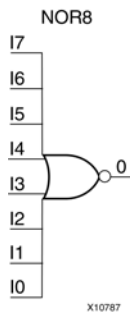
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

NOR8

マクロ : 8-Input NOR Gate with Non-Inverted Inputs



概要

5 入力までの NOR ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NOR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバータを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

デザインの入力方法

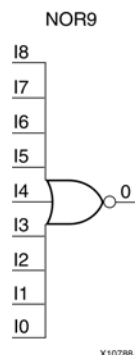
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

NOR9

マクロ : 9-Input NOR Gate with Non-Inverted Inputs



概要

5 入力までの NOR ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NOR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバータを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

デザインの入力方法

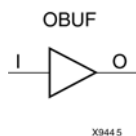
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)

OBUF

プリミティブ : Output Buffer



概要

このデザイン エLEMENTは単純な出力バッファで、出力信号を、トライステートでない FPGA デバイス ピンに駆動するために使用します。デザインのすべての出力ポートに OBUF、OBUFT、OBUFDS、OBUFTDS のいずれかを接続する必要があります。

このELEMENTは内部回路を外部から分離し、チップから出力する信号の駆動電流を供給します。I/O ブロック (IOB) 内にあります。出力 (O) は、OPAD または IOPAD に接続されます。このELEMENTでは、LVTTTL 規格が使用され、DRIVE 制約と SLOW または FAST 制約を使用して駆動電流とスルー レートを選択できます。デフォルトでは、DRIVE=12mA、スルー レートは SLOW に設定されています。

ポートの説明

ポート名	方向	幅	機能
O	出力	1	最上位出力ポートに直接接続される OBUF の出力
I	入力	1	OBUF の入力。出力ポートを駆動するロジックに接続

デザインの入力方法

このELEMENTは、回路図で使用されます。

使用可能な属性

属性	タイプ	値	デフォルト	説明
DRIVE	整数	2、4、6、8、12、16、24	12	出力の駆動電流を指定します。許容範囲で最も低い値を使用してください。
IOSTANDARD	文字列	データシートを参照	DEFAULT	I/O 規格をELEMENTに割り当て
SLEW	文字列	SLOW、FAST	SLOW	出力ドライバのスルー レートを指定。この属性の最適な設定方法は、データシートを参照してください。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

OBUF16

マクロ : 16-Bit Output Buffer

OBUF16



X0051

概要

このデザイン エLEMENTは、複数の出力バッファです。

このELEMENTは内部回路を外部から分離し、チップから出力する信号の駆動電流を供給します。I/O ブロック (IOB) 内にあります。出力 (O) は、OPAD または IOPAD に接続されます。このELEMENTでは、LVTTL 規格が使用され、DRIVE 制約と SLOW または FAST 制約を使用して駆動電流とスルー レートを選択できます。デフォルトでは、DRIVE=12mA、スルー レートは SLOW に設定されています。

デザインの入力方法

このELEMENTは、回路図で使用されます。

使用可能な属性

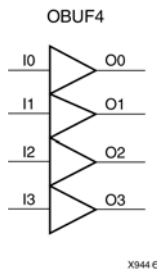
属性	タイプ	値	デフォルト	説明
DRIVE	整数	2、4、6、8、12、16、24	12	出力の駆動電流を指定します。許容範囲で最も低い値を使用してください。
IOSTANDARD	文字列	データシートを参照	DEFAULT	I/O 規格をELEMENTに割り当て
SLEW	文字列	SLOW、FAST	SLOW	出力ドライバのスルー レートを指定。この属性の最適な設定方法は、データシートを参照してください。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

OBUF4

マクロ : 4-Bit Output Buffer



概要

このデザイン エLEMENTは、複数の出力バッファです。

このELEMENTは内部回路を外部から分離し、チップから出力する信号の駆動電流を供給します。I/O ブロック (IOB) 内にあります。出力 (O) は、OPAD または IOPAD に接続されます。このELEMENTでは、LVTTL 規格が使用され、DRIVE 制約と SLOW または FAST 制約を使用して駆動電流とスルー レートを選択できます。デフォルトでは、DRIVE=12mA、スルー レートは SLOW に設定されています。

デザインの入力方法

このELEMENTは、回路図で使用されます。

使用可能な属性

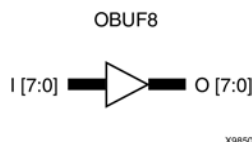
属性	タイプ	値	デフォルト	説明
DRIVE	整数	2、4、6、8、12、16、24	12	出力の駆動電流を指定します。許容範囲で最も低い値を使用してください。
IOSTANDARD	文字列	データシートを参照	DEFAULT	I/O 規格をELEMENTに割り当て
SLEW	文字列	SLOW、FAST	SLOW	出力ドライバのスルー レートを指定。この属性の最適な設定方法は、データシートを参照してください。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

OBUF8

マクロ : 8-Bit Output Buffer



概要

このデザイン エLEMENTは、複数の出力バッファです。

このELEMENTは内部回路を外部から分離し、チップから出力する信号の駆動電流を供給します。I/O ブロック (IOB) 内にあります。出力 (O) は、OPAD または IOPAD に接続されます。このELEMENTでは、LVTTL 規格が使用され、DRIVE 制約と SLOW または FAST 制約を使用して駆動電流とスルー レートを選択できます。デフォルトでは、DRIVE=12mA、スルー レートは SLOW に設定されています。

デザインの入力方法

このELEMENTは、回路図で使用されます。

使用可能な属性

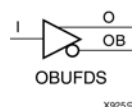
属性	タイプ	値	デフォルト	説明
DRIVE	整数	2、4、6、8、12、16、24	12	出力の駆動電流を指定します。許容範囲で最も低い値を使用してください。
IOSTANDARD	文字列	データシートを参照	DEFAULT	I/O 規格をELEMENTに割り当て
SLEW	文字列	SLOW、FAST	SLOW	出力ドライバのスルー レートを指定。この属性の最適な設定方法は、データシートを参照してください。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

OBUFDS

プリミティブ : Differential Signaling Output Buffer



概要

このデザイン エLEMENTは、低電圧の差動信号 (1.8V CMOS) をサポートする単一の出力バッファです。内部回路を外部から分離し、チップから出力する信号の駆動電流を供給します。出力には 2 つの異なるポート (O および OB) があり、これらのポートをそれぞれ「マスタ」、「スレーブ」と呼びます。マスタとスレーブは MYNET と MYNETB のように、同じ論理信号の反対の状態を示します。

論理表

入力	出力	
I	O	OB
0	0	1
1	1	0

ポートの説明

ポート名	方向	幅	機能
O	出力	1	Diff_p 出力 (最上位ポートに直接接続)
OB	出力	1	Diff_n 出力 (最上位ポートに直接接続)
I	入力	1	バッファの入力

デザインの入力方法

このELEMENTは、回路図で使用されます。

使用可能な属性

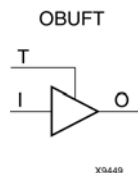
属性	タイプ	値	デフォルト	説明
IOSTANDARD	文字列	データシートを参照	DEFAULT	I/O 規格をELEMENTに割り当て

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

OBUFT

プリミティブ : 3-State Output Buffer with Active Low Output Enable



概要

このデザイン エLEMENTは、入力 (I)、出力 (O)、アクティブ Low 出力イネーブル (T) を持つ単一のトリステート出力バッファです。このELEMENTでは、LVTTL 規格が使用され、DRIVE 制約と SLOW または FAST 制約を使用して駆動電流とスルー レートを選択できます。デフォルトでは、DRIVE=12mA、スルー レートは SLOW に設定されています。

T が Low の場合、バッファに入力された値が対応する出力に送られます。T が High の場合は、出力がハイ インピーダンス (オフまたは Z ステート) になります。OBUFT は、双方向 I/O を作成するなど、トリステート機能にシングルエンド出力を使用する必要がある場合に使用します。

論理表

入力		出力
T	I	O
1	X	Z
0	I	f

ポートの説明

ポート名	方向	幅	機能
O	出力	1	バッファ出力 (最上位ポートに直接接続)
I	入力	1	バッファの入力
T	入力	1	トリステート イネーブル入力

デザインの入力方法

このELEMENTは、回路図で使用されます。

使用可能な属性

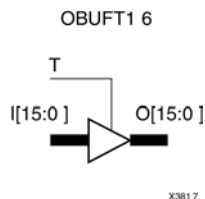
属性	タイプ	値	デフォルト	説明
DRIVE	整数	2、4、6、8、12、16、24	12	出力の駆動電流を指定します。許容範囲で最も低い値を使用してください。
IOSTANDARD	文字列	データシートを参照	DEFAULT	I/O 規格をELEMENTに割り当て
SLEW	文字列	SLOW、FAST	SLOW	出力ドライバのスルー レートを指定。この属性の最適な設定方法は、データシートを参照してください。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

OBUFT16

マクロ : 16-Bit 3-State Output Buffer with Active Low Output Enable



概要

このデザイン エLEMENTは、入力 (I)、出力 (O)、アクティブ Low 出力イネーブル (T) を持つ複数のトリステート出力バッファです。このELEMENTでは、LVTTTL 規格が使用され、DRIVE 制約と SLOW または FAST 制約を使用して駆動電流とスルー レートを選択できます。デフォルトでは、DRIVE=12mA、スルー レートは SLOW に設定されています。

T が Low の場合、バッファに入力された値が対応する出力に送られます。T が High の場合は、出力がハイ インピーダンス (オフまたは Z ステート) になります。OBUFT は、双方向 I/O を作成するなど、トリステート機能にシングルエンド出力を使用する必要がある場合に使用します。

論理表

入力		出力
T	I	O
1	X	Z
0	I	f

デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

使用可能な属性

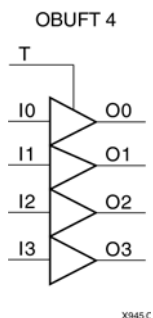
属性	タイプ	値	デフォルト	説明
DRIVE	整数	2、4、6、8、12、16、24	12	出力の駆動電流を指定します。許容範囲で最も低い値を使用してください。
IOSTANDARD	文字列	データシートを参照	DEFAULT	I/O 規格をELEMENTに割り当て
SLEW	文字列	SLOW、FAST	SLOW	出力ドライバのスルー レートを指定。この属性の最適な設定方法は、データシートを参照してください。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

OBUFT4

マクロ : 4-Bit 3-State Output Buffers with Active-Low Output Enable



概要

このデザイン エLEMENTは、入力 (I)、出力 (O)、アクティブ Low 出力イネーブル (T) を持つ複数のトライステート出力バッファです。このELEMENTでは、LVTTL 規格が使用され、DRIVE 制約と SLOW または FAST 制約を使用して駆動電流とスルー レートを選択できます。デフォルトでは、DRIVE=12mA、スルー レートは SLOW に設定されています。

T が Low の場合、バッファに入力された値が対応する出力に送られます。T が High の場合は、出力がハイ インピーダンス (オフまたは Z ステート) になります。OBUFT は、双方向 I/O を作成するなど、トライステート機能にシングルエンド出力を使用する必要がある場合に使用します。

論理表

入力		出力
T	I	O
1	X	Z
0	I	f

デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

使用可能な属性

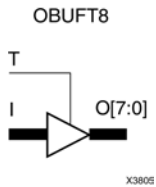
属性	タイプ	値	デフォルト	説明
DRIVE	整数	2、4、6、8、12、16、24	12	出力の駆動電流を指定します。許容範囲で最も低い値を使用してください。
IOSTANDARD	文字列	データシートを参照	DEFAULT	I/O 規格をELEMENTに割り当て
SLEW	文字列	SLOW、FAST	SLOW	出力ドライバのスルー レートを指定。この属性の最適な設定方法は、データシートを参照してください。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

OBUFT8

マクロ : 8-Bit 3-State Output Buffers with Active-Low Output Enable



概要

このデザイン エLEMENTは、入力 (I)、出力 (O)、アクティブ Low 出力イネーブル (T) を持つ複数のトリステート出力バッファです。このELEMENTでは、LVTTTL 規格が使用され、DRIVE 制約と SLOW または FAST 制約を使用して駆動電流とスルー レートを選択できます。デフォルトでは、DRIVE=12mA、スルー レートは SLOW に設定されています。

T が Low の場合、バッファに入力された値が対応する出力に送られます。T が High の場合は、出力がハイ インピーダンス (オフまたは Z ステート) になります。OBUFT は、双方向 I/O を作成するなど、トリステート機能にシングルエンド出力を使用する必要がある場合に使用します。

論理表

入力		出力
T	I	O
1	X	Z
0	I	f

デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

使用可能な属性

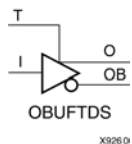
属性	タイプ	値	デフォルト	説明
DRIVE	整数	2、4、6、8、12、16、24	12	出力の駆動電流を指定します。許容範囲で最も低い値を使用してください。
IOSTANDARD	文字列	データシートを参照	DEFAULT	I/O 規格をELEMENTに割り当て
SLEW	文字列	SLOW、FAST	SLOW	出力ドライバのスルー レートを指定。この属性の最適な設定方法は、データシートを参照してください。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

OBUFTDS

プリミティブ : 3-State Output Buffer with Differential Signaling, Active-Low Output Enable



概要

このデザイン エLEMENTは、低電圧差動信号を使用する出力バッファです。OBUFTDS では、デザイン レベルのインターフェイス信号は、一方が「マスタ」で、もう一方が「スレーブ」となる 2 つの異なるポート (O、OB) で表されます。マスタとスレーブは MYNET_P と MYNET_N のように、同じ論理信号の反対の状態を示します。

論理表

入力		出力	
I	T	O	OB
X	1	Z	Z
0	0	0	1
1	0	1	0

ポートの説明

ポート名	方向	幅	機能
O	出力	1	Diff_p 出力 (最上位ポートに直接接続)
OB	出力	1	Diff_n 出力 (最上位ポートに直接接続)
I	入力	1	バッファの入力
T	入力	1	トライステート イネーブル入力

デザインの入力方法

このELEMENTは、回路図で使用されます。

使用可能な属性

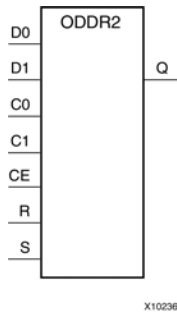
属性	タイプ	値	デフォルト	説明
IOSTANDARD	文字列	データシートを参照	DEFAULT	I/O 規格をELEMENTに割り当て

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

ODDR2

プリミティブ : Dual Data Rate Output D Flip-Flop with Optional Data Alignment, Clock Enable and Programmable Synchronous or Asynchronous Set/Reset



概要

このデザイン エLEMENTは、出力ダブル データ レート (DDR) レジスタで、FPGA から出力されるダブル データ レート信号を生成するために使用します。ODDR2 は、C0 と C1 の 2 つのクロックを使用してコンポーネントに接続されるので、C0 および C1 の両方の立ち上がりエッジでデータが出力されます。ODDR2 は、レジスタの動作を停止するために使用できるアクティブ High のクロック イネーブル (CE) ポート、対応するクロックに同期または非同期になるよう設定できるセット/リセット ポートを備えています。ODDR2 には、1 クロックで取り込まれたデータを 2 クロックで出力するオプションの調整機能があります。

論理表

入力							出力
S	R	CE	D0	D1	C0	C1	O
1	X	X	X	X	X	X	1
0	1	X	X	X	X	X	not INIT
0	0	0	X	X	X	X	変化なし
0	0	1	D0	X	↑	X	D0
0	0	1	X	D1	X	↑	D1

セット/リセットは SRTYPE 値で同期に設定可能

デザインの入力方法

このELEMENTは、回路図で使用されます。

使用可能な属性

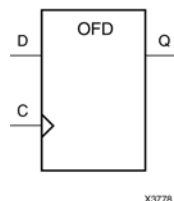
属性	タイプ	値	デフォルト	説明
DDR_ALIGNMENT	文字列	NONE、C0、C1	NONE	DDR レジスタの入力キャプチャ ビヘイビアを設定します。NONE に設定すると、C0 クロックが Low から High に切り替わる時は D0 入力に、C1 クロックが Low から High に切り替わる時は D1 に データを入力します。C0 では、D0 と D1 両方への入力が C0 クロックの立ち上がりエッジに同期します。C1 では、D0 と D1 両方への入力が C1 クロックの立ち上がりエッジに同期します。
INIT	整数	0、1	0	Q0 出力の初期値を 0 または 1 に設定
SRTYPE	文字列	SYNC、ASYNC	SYNC	セット/リセットを SYNC または ASYNC に設定

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)

OFD

マクロ : Output D Flip-Flop



概要

このデザイン エLEMENTは単一出力の D フリップフロップです。

出力は、OPAD または IOPAD に接続されます。D 入力の値は、クロック (C) が Low から High に切り替わる時にフリップフロップにロードされ、Q に出力されます。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット / リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバータを追加するとアクティブ Low にできます。

論理表

入力		出力
D	C	Q
D	↑	D

デザインの入力方法

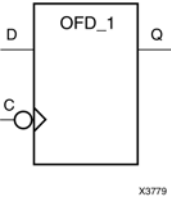
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

OFD_1

マクロ : Output D Flip-Flop with Inverted Clock



概要

このデザイン エLEMENTは、I/O ブロック (IOB) に含まれます。D フリップフロップの出力 (Q) は、OPAD または IOPAD に接続されます。D 入力の値は、クロック (C) が High から Low に切り替わるときにフリップフロップ内にロードされ、Q に出力されます。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット / リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバータを追加するとアクティブ Low にできます。

論理表

入力		出力
D	C	Q
D	↓	D

デザインの入力方法

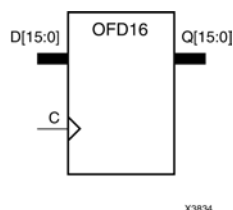
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

OFD16

マクロ : 16-Bit Output D Flip-Flop



概要

このデザイン エLEMENTは複数出力の D フリップフロップです。

出力は、OPAD または IOPAD に接続されます。D 入力の値は、クロック (C) が Low から High に切り替わる時にフリップフロップにロードされ、Q に出力されます。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット / リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバータを追加するとアクティブ Low にできます。

論理表

入力		出力
D	C	Q
D	↑	D

デザインの入力方法

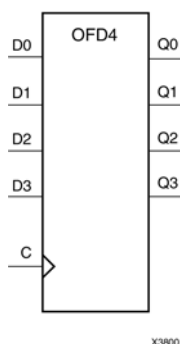
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

OFD4

マクロ : 4-Bit Output D Flip-Flop



概要

このデザイン エLEMENTは複数出力の D フリップフロップです。

出力は、OPAD または IOPAD に接続されます。D 入力の値は、クロック (C) が Low から High に切り替わる時にフリップフロップにロードされ、Q に出力されます。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット / リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバータを追加するとアクティブ Low にできます。

論理表

入力		出力
D	C	Q
D	↑	D

デザインの入力方法

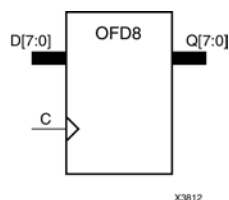
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

OFD8

マクロ : 8-Bit Output D Flip-Flop



概要

このデザイン エLEMENTは複数出力の D フリップフロップです。

出力は、OPAD または IOPAD に接続されます。D 入力の値は、クロック (C) が Low から High に切り替わる時にフリップフロップにロードされ、Q に出力されます。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット / リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバータを追加するとアクティブ Low にできます。

論理表

入力		出力
D	C	Q
D	↑	D

デザインの入力方法

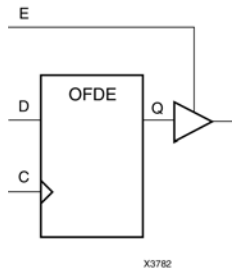
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

OFDE

マクロ : D Flip-Flop with Active-High Enable Output Buffers



概要

このデザイン エLEMENTは単一の D フリップフロップで、出力はトリステート バッファでイネーブル制御されます。フリップフロップの出力 (Q) は、出力バッファ (OBUFE) の入力に接続されます。OBUFE の出力は、OPAD または IOPAD に接続されます。入力 (D) の値は、クロック (C) が Low から High に切り替わるときにフリップフロップにロードされます。アクティブ High のイネーブル入力 (E) が High の場合、フリップフロップの出力 (Q) の値は OBUFE の O に出力されます。E が Low になると、出力はハイ インピーダンス (Z ステートまたはオフ) になります。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット / リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバータを追加するとアクティブ Low にできます。

論理表

入力			出力
E	D	C	O
0	X	X	Z
1	Dn	↑	Dn

デザインの入力方法

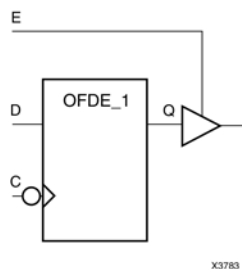
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

OFDE_1

マクロ : D Flip-Flop with Active-High Enable Output Buffer and Inverted Clock



概要

このデザイン エLEMENTとその出力バッファは、I/O ブロック (IOB) に含まれます。フリップフロップの出力 (Q) は、出力バッファまたは OBUFE の入力に接続されます。OBUFE の出力は、OPAD または IOPAD に接続されます。入力 (D) の値は、クロック (C) が High から Low に切り替わるときにフリップフロップにロードされます。アクティブ High のイネーブル入力 (E) が High の場合、フリップフロップの出力 (Q) の値は OBUFT の O に出力されます。E が Low になると、出力はハイ インピーダンス (Z ステートまたはオフ) になります。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット / リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバータを追加するとアクティブ Low にできます。

論理表

入力			出力
E	D	C	O
0	X	X	Z
1	D	↓	D

デザインの入力方法

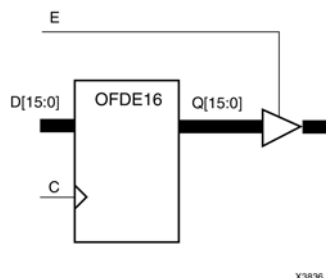
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

OFDE16

マクロ : 16-Bit D Flip-Flop with Active-High Enable Output Buffers



概要

このデザイン エLEMENTは複数の D フリップフロップで、出力はトリステート バッファでイネーブル制御されます。フリップフロップの出力 (Q) は、出力バッファ (OBUFE) の入力に接続されます。OBUFE の出力 (O) は、OPAD または IOPAD に接続されます。入力 (D) の値は、クロック (C) が Low から High に切り替わる時にフリップフロップにロードされます。アクティブ High のイネーブル入力 (E) が High のとき、フリップフロップの出力 (Q) の値が OBUFE の O に出力されます。E が Low になると、出力はハイ インピーダンス (Z ステートまたはオフ) になります。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット / リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバータを追加するとアクティブ Low にできます。

論理表

入力			出力
E	D	C	O
0	X	X	Z
1	Dn	↑	Dn

デザインの入力方法

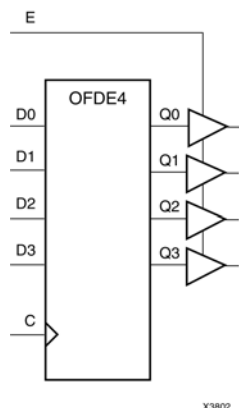
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

OFDE4

マクロ : 4-Bit D Flip-Flop with Active-High Enable Output Buffers



概要

このデザイン エLEMENTは複数の D フリップフロップで、出力はトリステート バッファでイネーブル制御されます。フリップフロップの出力 (Q) は、出力バッファ (OBUFE) の入力に接続されます。OBUFE の出力 (O) は、OPAD または IOPAD に接続されます。入力 (D) の値は、クロック (C) が Low から High に切り替わるときにフリップフロップにロードされます。アクティブ High のイネーブル入力 (E) が High のとき、フリップフロップの出力 (Q) の値が OBUFE の O に出力されます。E が Low になると、出力はハイ インピーダンス (Z ステートまたはオフ) になります。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット / リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバータを追加するとアクティブ Low にできます。

論理表

入力			出力
E	D	C	O
0	X	X	Z
1	Dn	↑	Dn

デザインの入力方法

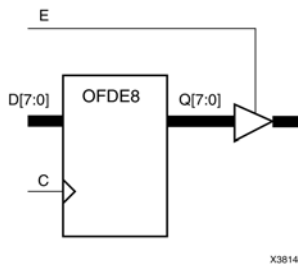
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

OFDE8

マクロ : 8-Bit D Flip-Flop with Active-High Enable Output Buffers



概要

このデザイン エLEMENTは複数の D フリップフロップで、出力はトリステート バッファでイネーブル制御されます。フリップフロップの出力 (Q) は、出力バッファ (OBUFE) の入力に接続されます。OBUFE の出力 (O) は、OPAD または IOPAD に接続されます。入力 (D) の値は、クロック (C) が Low から High に切り替わるときにフリップフロップにロードされます。アクティブ High のイネーブル入力 (E) が High のとき、フリップフロップの出力 (Q) の値が OBUFE の O に出力されます。E が Low になると、出力はハイ インピーダンス (Z ステートまたはオフ) になります。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット / リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバータを追加するとアクティブ Low にできます。

論理表

入力			出力
E	D	C	O
0	X	X	Z
1	Dn	↑	Dn

デザインの入力方法

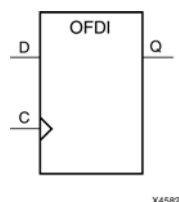
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

OFDI

マクロ : Output D Flip-Flop (Asynchronous Preset)



概要

このデザイン エLEMENTは、I/O ブロック (IOB) に含まれます。D フリップフロップの出力 (Q) は、OPAD または IOPAD に接続されます。D 入力の値は、クロック (C) が Low から High に切り替わる時にフリップフロップにロードされ、Q に出力されます。

電力を供給すると、フリップフロップは非同期にプリセットされ、出力が High になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバータを追加するとアクティブ Low にできます。

論理表

入力		出力
D	C	Q
D	↑	D

デザインの入力方法

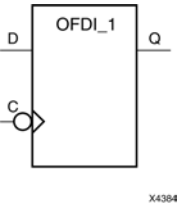
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

OFDI_1

マクロ : Output D Flip-Flop with Inverted Clock (Asynchronous Preset)



概要

このデザイン エLEMENTは、I/O ブロック (IOB) 内に配置されます。D フリップフロップの出力 (Q) は、OPAD または IOPAD に接続されます。D 入力の値は、クロック (C) が High から Low に切り替わる時にフリップフロップ内にロードされ、Q に出力されます。

電力を供給すると、フリップフロップは非同期にプリセットされ、出力が High になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバータを追加するとアクティブ Low にできます。

論理表

入力		出力
D	C	Q
D	↓	D

デザインの入力方法

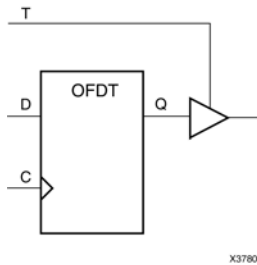
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

OFDT

マクロ : D Flip-Flop with Active-Low 3-State Output Buffer



概要

このデザイン エLEMENTは単一の D フリップフロップで、出力はトリステート バッファでイネーブル制御されます。

フリップフロップの出力 (Q) は、出力バッファ (OBUFT) の入力に接続されます。OBUFT の出力 (O) は、OPAD または IOPAD に接続されます。入力 (D) の値は、クロック (C) が Low から High に切り替わるときにフリップフロップにロードされます。アクティブ Low のイネーブル入力 (T) が Low のとき、フリップフロップの出力 (Q) の値が O に出力されます。T が High になると、出力はハイ インピーダンス (オフ) になります。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット / リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバータを追加するとアクティブ Low にできます。

論理表

入力			出力
T	D	C	O
1	X	X	Z
0	D	↑	D

デザインの入力方法

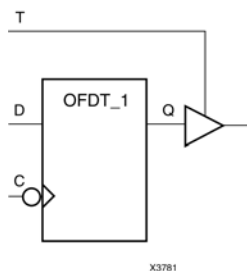
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

OFDT_1

マクロ : D Flip-Flop with Active-Low 3-State Output Buffer and Inverted Clock



概要

このデザイン エLEMENTとその出力バッファは、I/O ブロック (IOB) に含まれます。フリップフロップの出力 (Q) は、出力バッファ (OBUFT) の入力に接続されます。OBUFT の出力は、OPAD または IOPAD に接続されます。入力 (D) の値は、クロック (C) が High から Low に切り替わるときにフリップフロップにロードされます。アクティブ Low のイネーブル入力 (T) が Low のとき、フリップフロップの出力 (Q) の値が 0 に出力されます。T が High になると、出力はハイインピーダンス (オフ) になります。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット / リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバータを追加するとアクティブ Low にできます。

論理表

入力			出力
T	D	C	O
1	X	X	Z
0	D	↓	D

デザインの入力方法

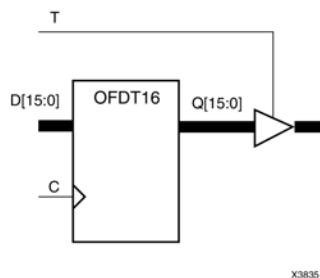
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

OFDT16

マクロ : 16-Bit D Flip-Flop with Active-Low 3-State Output Buffers



概要

このデザイン エLEMENTは複数の D フリップフロップで、出力はトリステート バッファでイネーブル制御されます。

フリップフロップの出力 (Q) は、出力バッファ (OBUFT) の入力に接続されます。OBUFT の出力 (O) は、OPAD または IOPAD に接続されます。入力 (D) の値は、クロック (C) が Low から High に切り替わるときにフリップフロップにロードされます。アクティブ Low のイネーブル入力 (T) が Low のとき、フリップフロップの出力 (Q) の値が O に出力されます。T が High になると、出力はハイ インピーダンス (オフ) になります。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット / リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバータを追加するとアクティブ Low にできます。

論理表

入力			出力
T	D	C	O
1	X	X	Z
0	D	↑	D

デザインの入力方法

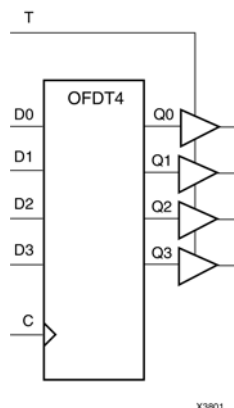
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

OFDT4

マクロ : 4-Bit D Flip-Flop with Active-Low 3-State Output Buffers



概要

このデザイン エLEMENTは複数の D フリップフロップで、出力はトリステート バッファでイネーブル制御されます。

フリップフロップの出力 (Q) は、出力バッファ (OBUFT) の入力に接続されます。OBUFT の出力 (O) は、OPAD または IOPAD に接続されます。入力 (D) の値は、クロック (C) が Low から High に切り替わる時にフリップフロップにロードされます。アクティブ Low のイネーブル入力 (T) が Low のとき、フリップフロップの出力 (Q) の値が O に出力されます。T が High になると、出力はハイ インピーダンス (オフ) になります。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット / リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバータを追加するとアクティブ Low にできます。

論理表

入力			出力
T	D	C	O
1	X	X	Z
0	D	↑	D

デザインの入力方法

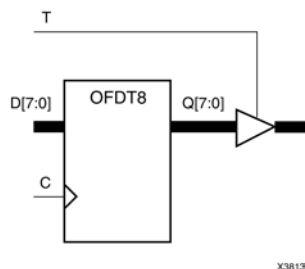
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

OFDT8

マクロ : 8-Bit D Flip-Flop with Active-Low 3-State Output Buffers



概要

このデザイン エLEMENTは複数の D フリップフロップで、出力はトリステート バッファでイネーブル制御されます。

フリップフロップの出力 (Q) は、出力バッファ (OBUFT) の入力に接続されます。OBUFT の出力 (O) は、OPAD または IOPAD に接続されます。入力 (D) の値は、クロック (C) が Low から High に切り替わるときにフリップフロップにロードされます。アクティブ Low のイネーブル入力 (T) が Low のとき、フリップフロップの出力 (Q) の値が 0 に出力されます。T が High になると、出力はハイ インピーダンス (オフ) になります。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット / リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバータを追加するとアクティブ Low にできます。

論理表

入力			出力
T	D	C	O
1	X	X	Z
0	D	↑	D

デザインの入力方法

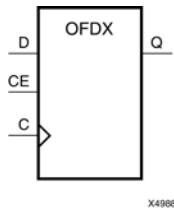
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

OFDX

マクロ : Output D Flip-Flop with Clock Enable



概要

このデザイン エLEMENTは単一出力の D フリップフロップです。Q 出力は、OPAD または IOPAD に接続されます。D 入力の値は、クロック (C) が Low から High に切り替わるときにフリップフロップ内にロードされ、Q に出力されます。クロック イネーブル (CE) が Low のときには、出力は変化しません。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット / リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバータを追加するとアクティブ Low にできます。

論理表

入力			出力
CE	D	C	Q
1	Dn	↑	Dn
0	X	X	変化なし

デザインの入力方法

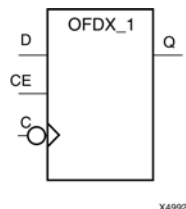
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

OFDX_1

マクロ : Output D Flip-Flop with Inverted Clock and Clock Enable



概要

このデザイン エLEMENTは、I/O ブロック (IOB) に含まれます。D フリップフロップの出力 (Q) は、OPAD または IOPAD に接続されます。D 入力の値は、クロック (C) が High から Low に切り替わるときにフリップフロップ内にロードされ、Q に出力されます。クロック イネーブル (CE) が Low のときには、出力 (Q) は変化しません。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット / リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバータを追加するとアクティブ Low にできます。

論理表

入力			出力
CE	D	C	Q
1	D	↓	D
0	X	X	変化なし

デザインの入力方法

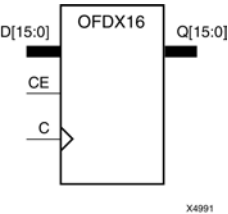
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

OFDX16

マクロ : 16-Bit Output D Flip-Flop with Clock Enable



概要

このデザイン エLEMENTは複数出力の D フリップフロップです。Q 出力は、OPAD または IOPAD に接続されます。D 入力値は、クロック (C) が Low から High に切り替わる時にフリップフロップ内にロードされ、Q に出力されます。クロック イネーブル (CE) が Low のときには、出力は変化しません。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット / リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバータを追加するとアクティブ Low にできます。

論理表

入力			出力
CE	D	C	Q
1	Dn	↑	Dn
0	X	X	変化なし

デザインの入力方法

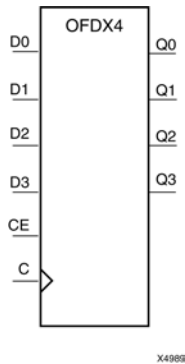
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

OFDX4

マクロ : 4-Bit Output D Flip-Flop with Clock Enable



概要

このデザイン エLEMENTは複数出力の D フリップフロップです。Q 出力は、OPAD または IOPAD に接続されます。D 入力の値は、クロック (C) が Low から High に切り替わるときにフリップフロップ内にロードされ、Q に出力されます。クロック イネーブル (CE) が Low のときには、出力は変化しません。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット / リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバータを追加するとアクティブ Low にできます。

論理表

入力			出力
CE	D	C	Q
1	Dn	↑	Dn
0	X	X	変化なし

デザインの入力方法

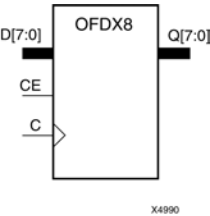
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

OFDX8

マクロ : 8-Bit Output D Flip-Flop with Clock Enable



概要

このデザイン エLEMENTは複数出力の D フリップフロップです。Q 出力は、OPAD または IOPAD に接続されます。D 入力の値は、クロック (C) が Low から High に切り替わるときにフリップフロップ内にロードされ、Q に出力されます。クロック イネーブル (CE) が Low のときには、出力は変化しません。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット / リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバータを追加するとアクティブ Low にできます。

論理表

入力			出力
CE	D	C	Q
1	Dn	↑	Dn
0	X	X	変化なし

デザインの入力方法

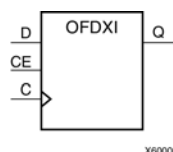
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

OFDXI

マクロ : Output D Flip-Flop with Clock Enable (Asynchronous Preset)



概要

このデザイン エLEMENTは、I/O ブロック (IOB) に含まれます。D フリップフロップの出力 (Q) は、OPAD または IOPAD に接続されます。D 入力の値は、クロック (C) が Low から High に切り替わるときにフリップフロップにロードされ、Q に出力されます。クロック イネーブル (CE) が Low のときには、出力は変化しません。

電力を供給すると、フリップフロップは非同期にプリセットされ、出力が High になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバータを追加するとアクティブ Low にできます。

論理表

入力			出力
CE	D	C	Q
1	D	↑	D
0	X	X	変化なし

デザインの入力方法

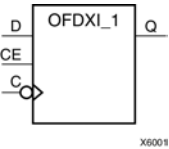
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

OFDXI_1

マクロ : Output D Flip-Flop with Inverted Clock and Clock Enable (Asynchronous Preset)



概要

このデザイン エLEMENTは、I/O ブロック (IOB) に含まれます。D フリップフロップの出力 (Q) は、OPAD または IOPAD に接続されます。D 入力の値は、クロック (C) が High から Low に切り替わるときにフリップフロップ内にロードされ、Q に出力されます。クロック イネーブル (CE) が Low のときには、出力 (Q) は変化しません。

電力を供給すると、フリップフロップは非同期にプリセットされ、出力が High になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバータを追加するとアクティブ Low にできます。

論理表

入力			出力
CE	D	C	Q
1	D	↓	D
0	X	X	変化なし

デザインの入力方法

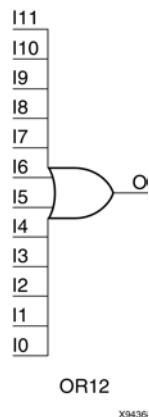
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

OR12

マクロ : 12-Input OR Gate with Non-Inverted Inputs



概要

5 入力までの OR ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の OR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバータを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

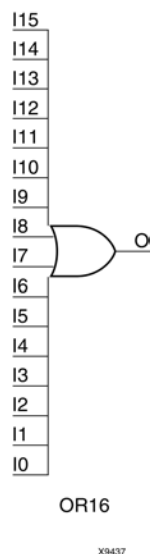
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

OR16

マクロ : 16-Input OR Gate with Non-Inverted Inputs



概要

5 入力までの OR ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の OR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバータを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

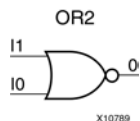
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)

OR2

プリミティブ : 2-Input OR Gate with Non-Inverted Inputs



概要

5 入力までの OR ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の OR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバータを使用します。各入力に CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

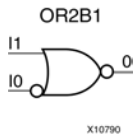
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

OR2B1

プリミティブ : 2-Input OR Gate with 1 Inverted and 1 Non-Inverted Inputs



概要

5 入力までの OR ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の OR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバータを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

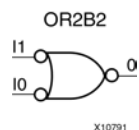
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)

OR2B2

プリミティブ : 2-Input OR Gate with Inverted Inputs



概要

5 入力までの OR ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の OR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバータを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

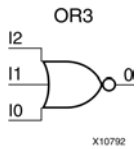
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)

OR3

プリミティブ : 3-Input OR Gate with Non-Inverted Inputs



概要

5 入力までの OR ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の OR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバータを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

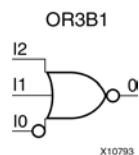
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

OR3B1

プリミティブ : 3-Input OR Gate with 1 Inverted and 2 Non-Inverted Inputs



概要

5 入力までの OR ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の OR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバータを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

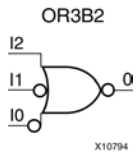
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)

OR3B2

プリミティブ : 3-Input OR Gate with 2 Inverted and 1 Non-Inverted Inputs



概要

5 入力までの OR ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の OR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバータを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

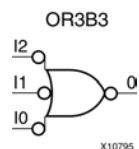
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

OR3B3

プリミティブ : 3-Input OR Gate with Inverted Inputs



概要

5 入力までの OR ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の OR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバータを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

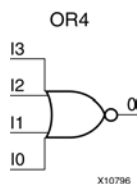
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

OR4

プリミティブ : 4-Input OR Gate with Non-Inverted Inputs



概要

5 入力までの OR ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の OR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバータを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

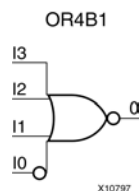
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)

OR4B1

プリミティブ : 4-Input OR Gate with 1 Inverted and 3 Non-Inverted Inputs



概要

5 入力までの OR ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の OR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバータを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

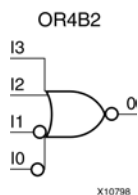
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)

OR4B2

プリミティブ : 4-Input OR Gate with 2 Inverted and 2 Non-Inverted Inputs



概要

5 入力までの OR ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の OR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバータを使用します。各入力に CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

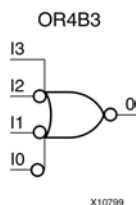
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

OR4B3

プリミティブ : 4-Input OR Gate with 3 Inverted and 1 Non-Inverted Inputs



概要

5 入力までの OR ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の OR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバータを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

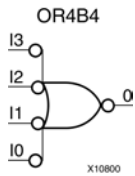
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

OR4B4

プリミティブ : 4-Input OR Gate with Inverted Inputs



概要

5 入力までの OR ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の OR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバータを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

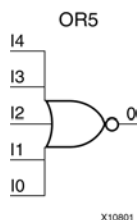
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)

OR5

プリミティブ : 5-Input OR Gate with Non-Inverted Inputs



概要

5 入力までの OR ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の OR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバータを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

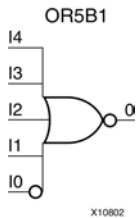
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)

OR5B1

プリミティブ : 5-Input OR Gate with 1 Inverted and 4 Non-Inverted Inputs



概要

5 入力までの OR ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の OR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバータを使用します。各入力に CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

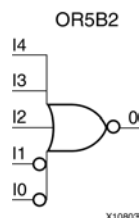
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

OR5B2

プリミティブ : 5-Input OR Gate with 2 Inverted and 3 Non-Inverted Inputs



概要

5 入力までの OR ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の OR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバータを使用します。各入力に CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

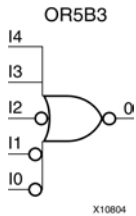
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

OR5B3

プリミティブ : 5-Input OR Gate with 3 Inverted and 2 Non-Inverted Inputs



概要

5 入力までの OR ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の OR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバータを使用します。各入力に CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

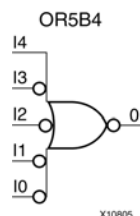
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

OR5B4

プリミティブ : 5-Input OR Gate with 4 Inverted and 1 Non-Inverted Inputs



概要

5 入力までの OR ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の OR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバータを使用します。各入力に CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

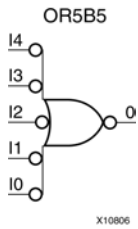
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

OR5B5

プリミティブ : 5-Input OR Gate with Inverted Inputs



概要

5 入力までの OR ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の OR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバータを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

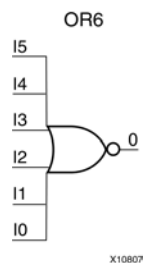
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

OR6

マクロ : 6-Input OR Gate with Non-Inverted Inputs



概要

5 入力までの OR ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の OR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバータを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

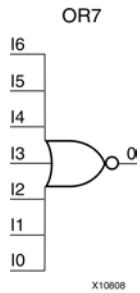
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

OR7

マクロ : 7-Input OR Gate with Non-Inverted Inputs



概要

5 入力までの OR ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の OR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバータを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

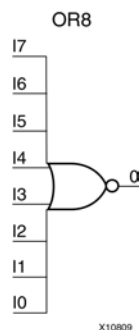
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

OR8

マクロ : 8-Input OR Gate with Non-Inverted Inputs



概要

5 入力までの OR ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の OR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバータを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

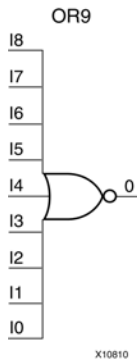
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)

OR9

マクロ : 9-Input OR Gate with Non-Inverted Inputs



概要

5 入力までの OR ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の OR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバータを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

このエレメントは、回路図でのみ使用できます。

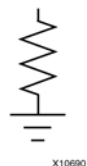
詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

PULLDOWN

プリミティブ : Resistor to GND for Input Pads, Open-Drain, and 3-State Outputs

PULLDOWN



概要

この抵抗エレメントは、入力、出力、双方向のパッドに接続し、フロートする可能性のあるノードのロジックレベルを Low にします。

ポートの説明

ポート名	方向	幅	機能
O	出力	1	プルダウン出力 (最上位ポートに直接接続)

デザインの入力方法

このエレメントは、回路図で使用されます。

このエレメントは、最上位の回路図ファイルで次のネットに接続できます。

- ・ 入力 I/O マーカーに接続されたネット
- ・ 出力 I/O マーカーおよび OBUFT のようなトライステートにできる I/O エLEMENTの両方に接続されたネット

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

PULLUP

プリミティブ : Resistor to VCC for Input PADs, Open-Drain, and 3-State Outputs



概要

このデザイン エLEMENTは、1 つの入力、トライステート出力、または双方向ポートが内部または外部ソースで駆動されないときに、値、weak High で駆動できます。このELEMENTは、すべてのドライバが使用されていないときにオープンドレイン ELEMENTおよびマクロのロジック レベルを 1 (High) にします。

ポートの説明

ポート名	方向	幅	機能
O	出力	1	プルアップ出力 (最上位ポートに直接接続)

デザインの入力方法

このELEMENTは、回路図で使用されます。

このELEMENTは、最上位の回路図ファイルで次のネットに接続できます。

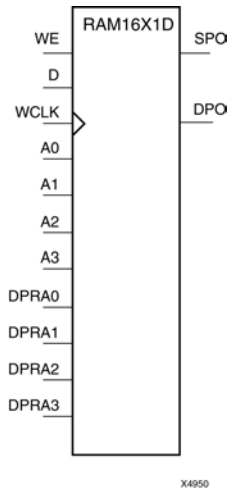
- ・ 入力 I/O マーカーに接続されたネット
- ・ 出力 I/O マーカーおよび OBUFT のようなトライステートにできる I/O ELEMENTの両方に接続されたネット

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

RAM16X1D

プリミティブ : 16-Deep by 1-Wide Static Dual Port Synchronous RAM



概要

このエレメントは 16 ワード X 1 ビットのデュアル ポート SRAM で、同期書き込み機能を備えています。デバイスには、読み出しアドレス (DPRA3 ~ DPRA0) と書き込みアドレス (A3 ~ A0) の 2 種類のアドレスポートがあります。この 2 種類のアドレスポートは非同期です。読み出しアドレスによって出力ピン (DPO) に出力される値が指定され、書き込みアドレスによって書き込みを行う位置が指定されます。ライト イネーブル (WE) が Low の場合、ライト クロック (WCLK) の遷移は無視され、RAM に格納されている値は変化しません。

WE が High の場合、WCLK が Low から High に切り替わるときに、データ入力 (D) の値が 4 ビットの書き込みアドレスで選択されたワードにロードされます。書き込みを正しく行うには、WCLK が Low から High に切り替わる前に、書き込みアドレスとデータ入力の値を安定させる必要があります。WCLK はデフォルトではアクティブ High ですが、インバータを使用してアクティブ Low にすることもできます。WCLK の入力ネットに配置されたインバータは、RAM ブロック内に組み込まれます。

SPO 出力には、A3 ~ A0 で指定されたメモリ セルの値が出力されます。DPO 出力には、DPRA3 ~ DPRA0 で指定されたメモリ セルの値が出力されます。

メモ : 書き込み処理は、読み出しアドレスポートのアドレスには影響されません。

INIT 属性を使用すると、RAM を直接初期化できます。値は、INIT=ABAC のように、16 進数で指定してください。INIT 属性を指定しない場合は、RAM は 0 に初期化されます。

論理表

モード選択を次の論理表に示します。

入力			出力	
WE (モード)	WCLK	D	SPO	DPO
0 (読み出し)	X	X	data_a	data_d
1 (読み出し)	0	X	data_a	data_d
1 (読み出し)	1	X	data_a	data_d
1 (書き込み)	↑	D	D	data_d
1 (読み出し)	↓	X	data_a	data_d
data_a = A3 ~ A0 で指定されたワード				
data_d = DPRA3 ~ DPRA0 で指定されたワード				

デザインの入力方法

このエレメントは、回路図で使用されます。

使用可能な属性

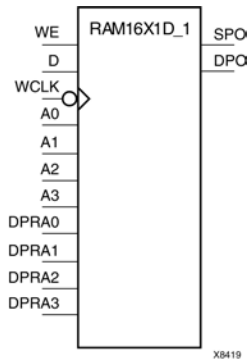
属性	タイプ	値	デフォルト	説明
INIT	16 進数	16 ビット値	すべてゼロ	RAM、レジスタ、LUT の初期値を指定

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

RAM16X1D_1

プリミティブ : 16-Deep by 1-Wide Static Dual Port Synchronous RAM with Negative-Edge Clock



概要

このエレメントは、クロックのネガティブ エッジで動作する 16 ワード X 1 ビットのデュアル ポート SRAM で、同期書き込み機能を備えています。デバイスには、読み出しアドレス (DPRA3 ~ DPRA0) と書き込みアドレス (A3 ~ A0) の独立した 2 種類のアドレス ポートがあります。この 2 種類のアドレス ポートは非同期です。読み出しアドレスによって出力ピン (DPO) に出力される値が指定され、書き込みアドレスによって書き込みを行う位置が指定されます。

ライト イネーブル (WE) が Low の場合、ライト クロック (WCLK) の遷移は無視され、RAM に格納されている値は変化しません。WE が High の場合、WCLK が High から Low に切り替わるときに、4 ビットの書き込みアドレスで選択されているワードにデータ入力 (D) の値がロードされます。書き込みを正しく行うには、WCLK が High から Low に切り替わる前に、書き込みアドレスとデータ入力の値を安定させる必要があります。WCLK はデフォルトではアクティブ High ですが、インバータを使用してアクティブ Low にすることもできます。WCLK の入力ネットに配置されたインバータは、RAM ブロック内に組み込まれます。

INIT 属性を使用すると、コンフィギュレーション中に RAM16X1D_1 を初期化できます。

SPO 出力には、A3 ~ A0 で指定されたメモリ セルの値が出力されます。DPO 出力には、DPRA3 ~ DPRA0 で指定されたメモリ セルの値が出力されます。

メモ : 書き込み処理は、読み出しアドレス ポートのアドレスには影響されません。

論理表

モード選択を次の論理表に示します。

入力			出力	
WE (モード)	WCLK	D	SPO	DPO
0 (読み出し)	X	X	data_a	data_d
1 (読み出し)	0	X	data_a	data_d
1 (読み出し)	1	X	data_a	data_d
1 (書き込み)	↓	D	D	data_d
1 (読み出し)	↑	X	data_a	data_d
data_a = A3 ~ A0 で指定されたワード				
data_d = DPRA3 ~ DPRA0 で指定されたワード				

ポートの説明

ポート名	方向	幅	機能
DPO	出力	1	読み出し専用 1 ビット データ出力
SPO	出力	1	読み出し/書き込み 1 ビット データ出力
A0	入力	1	読み出し/書き込み address[0] 入力
A1	入力	1	読み出し/書き込み address[1] 入力
A2	入力	1	読み出し/書き込み address[2] 入力
A3	入力	1	読み出し/書き込み address[3] 入力
D	入力	1	書き込み 1 ビット データ入力
DPRA0	入力	1	読み出し専用 address[0] 入力
DPRA1	入力	1	読み出し専用 address[1] 入力
DPRA2	入力	1	読み出し専用 address[2] 入力
DPRA3	入力	1	読み出し専用 address[3] 入力
WCLK	入力	1	書き込みクロック入力
WE	入力	1	書き込みイネーブル入力

デザインの入力方法

このエレメントは、回路図で使用されます。

使用可能な属性

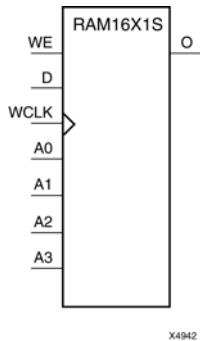
属性	タイプ	値	デフォルト	説明
INIT	16 進数	16 ビット値	すべてゼロ	RAM、レジスタ、LUT の初期値を指定

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

RAM16X1S

プリミティブ : 16-Deep by 1-Wide Static Synchronous RAM



概要

このエレメントは 16 ワード X 1 ビットの SRAM で、同期書き込み機能を備えています。ライト イネーブル (WE) が Low の場合、ライト クロック (WCLK) の遷移は無視され、RAM に格納されている値は変化しません。WE が High になると、WCLK が Low から High に切り替わる時に、データ入力 (D) の値が 4 ビットのアドレス (A3 ~ A0) で選択されたワードにロードされます。WCLK はデフォルトではアクティブ High ですが、インバータを使用してアクティブ Low にすることもできます。WCLK の入力ネットに配置されたインバータは、RAM ブロック内に組み込まれます。

出力ピン (O) に出力される値は、アドレス ピンで指定された RAM 内の位置に格納されている値です。INIT 属性を使用すると、コンフィギュレーション中に RAM16X1S を初期化できます。

論理表

入力			出力
WE (モード)	WCLK	D	O
0 (読み出し)	X	X	データ
1 (読み出し)	0	X	データ
1 (読み出し)	1	X	データ
1 (書き込み)	↑	D	D
1 (読み出し)	↓	X	データ
データ = A3 ~ A0 で指定されたワード			

デザインの入力方法

このエレメントは、回路図で使用されます。

使用可能な属性

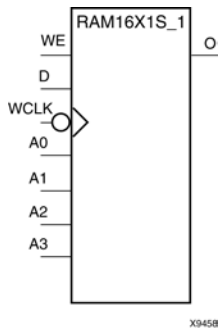
属性	タイプ	値	デフォルト	説明
INIT	16 進数	16 ビット値	すべてゼロ	RAM の初期値を指定

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

RAM16X1S_1

プリミティブ : 16-Deep by 1-Wide Static Synchronous RAM with Negative-Edge Clock



概要

このエレメントはクロックの立ち下がりエッジで動作する 16 ワード X 1 ビットの SRAM で、同期書き込み機能を備えています。ライト イネーブル (WE) が Low の場合、ライト クロック (WCLK) の遷移は無視され、RAM に格納されている値は変化しません。WE が High の場合、WCLK が High から Low に切り替わるときに、データ入力 (D) の値が 4 ビットのアドレス (A3 ~ A0) で選択されたワードにロードされます。書き込みを正しく行うには、WCLK が High から Low に切り替わる前に、書き込みアドレスとデータ入力の値を安定させる必要があります。WCLK はデフォルトではアクティブ Low ですが、インバータを使用してアクティブ High にすることもできます。WCLK の入力ネットに配置されたインバータは、RAM ブロック内に組み込まれます。

出力ピン (O) に出力される値は、アドレス ピンで指定された RAM 内の位置に格納されている値です。

INIT 属性を使用すると、コンフィギュレーション中にこのエレメントを初期化できます。

論理表

入力			出力
WE (モード)	WCLK	D	O
0 (読み出し)	X	X	データ
1 (読み出し)	0	X	データ
1 (読み出し)	1	X	データ
1 (書き込み)	↓	D	D
1 (読み出し)	↑	X	データ
データ = A3 ~ A0 で指定されたワード			

デザインの入力方法

このエレメントは、回路図で使用されます。

使用可能な属性

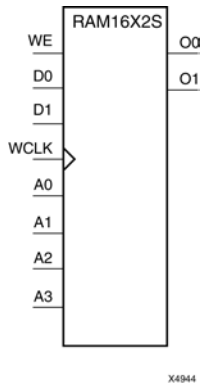
属性	タイプ	値	デフォルト	説明
INIT	16 進数	16 ビット値	すべてゼロ	RAM の初期値を指定

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

RAM16X2S

プリミティブ : 16-Deep by 2-Wide Static Synchronous RAM



概要

このエレメントは 16 ワード X 2 ビットの SRAM で、同期書き込み機能を備えています。ライト イネーブル (WE) が Low の場合、ライト クロック (WCLK) の遷移は無視され、RAM に格納されている値は変化しません。WE が High の場合、WCLK が Low から High に切り替わるときに、入力 (D1 ~ D0) の値が 4 ビットのアドレス (A3 ~ A0) で選択されたワードにロードされます。書き込みを正しく行うには、WCLK が Low から High に切り替わる前に、書き込みアドレスとデータ入力の値を安定させる必要があります。WCLK はデフォルトではアクティブ High ですが、インバータを使用してアクティブ Low にすることもできます。WCLK の入力ネットに配置されたインバータは、RAM ブロック内に組み込まれます。

出力ピン (O1 ~ O0) に出力される値は、アドレスピンで指定された RAM 内の位置に格納されている値です。

INIT_xx 属性を使用すると、の RAM の初期値を指定できます。INIT_00 は出力 (O0) に対応する RAM のセルを初期化し、INIT_01 は出力 (O1) に対応するセルを初期化します。たとえば、RAM16X2S インスタンスは、INIT_00 および INIT_01 にそれぞれ 4 つの 16 進数値を指定して初期化します。RAM16X8S インスタンスは、INIT_00 ~ INIT_07 の 8 個の属性にそれぞれ 4 個の 16 進数値を指定して初期化します。RAM64X2S インスタンスは、INIT_00 および INIT_01 にそれぞれ 16 個の 16 進数値を指定して初期化します。

Virtex-4 デバイス以外では、このエレメントの初期値を直接指定することはできません。

論理表

入力			出力
WE (モード)	WCLK	D1 ~ D0	O1 ~ O0
0 (読み出し)	X	X	データ
1 (読み出し)	0	X	データ
1 (読み出し)	1	X	データ
1 (書き込み)	↑	D1 ~ D0	D1 ~ D0
1 (読み出し)	↓	X	データ
データ = A3 ~ A0 で指定されたワード			

デザインの入力方法

このエレメントは、回路図で使用されます。

使用可能な属性

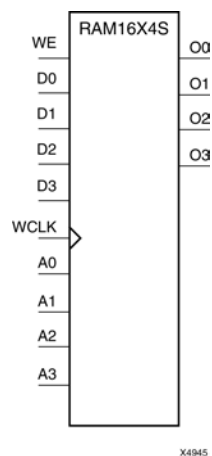
属性	タイプ	値	デフォルト	説明
INIT_00 ~ INIT_01	16 進数	16 ビット値	すべてゼロ	RAM、レジスタ、LUT の初期値を指定

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)

RAM16X4S

プリミティブ : 16-Deep by 4-Wide Static Synchronous RAM



概要

このエレメントは 16 ワード X 4 ビットの SRAM で、同期書き込み機能を備えています。ライト イネーブル (WE) が Low の場合、ライト クロック (WCLK) の遷移は無視され、RAM に格納されている値は変化しません。WE が High になると、WCLK が Low から High に切り替わるときに、入力 (D3 ~ D0) の値が 4 ビットのアドレス (A3 ~ A0) で選択されたワードにロードされます。書き込みを正しく行うには、WCLK が Low から High に切り替わる前に、書き込みアドレスとデータ入力の値を安定させる必要があります。WCLK はデフォルトではアクティブ High ですが、インバータを使用してアクティブ Low にすることもできます。WCLK の入力ネットに配置されたインバータは、RAM ブロック内に組み込まれます。

出力ピン (O3 ~ O0) に出力される値は、アドレスピンで指定された RAM 内の位置に格納されている値です。

論理表

入力			出力
WE (モード)	WCLK	D3:D0	O3:O0
0 (読み出し)	X	X	データ
1 (読み出し)	0	X	データ
1 (読み出し)	1	X	データ
1 (書き込み)	↑	D3:D0	D3:D0
1 (読み出し)	↓	X	データ
データ = A3 ~ A0 で指定されたワード			

デザインの入力方法

このエレメントは、回路図で使用されます。

使用可能な属性

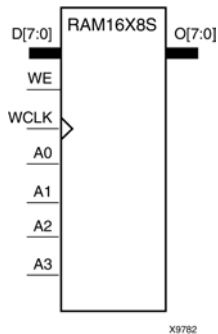
属性	タイプ	値	デフォルト	説明
INIT_00 ~ INIT_03	16 進数	16 ビット値	すべてゼロ	RAM の初期値を指定

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

RAM16X8S

プリミティブ : 16-Deep by 8-Wide Static Synchronous RAM



概要

このエレメントは 16 ワード X 8 ビットの SRAM で、同期書き込み機能を備えています。ライト イネーブル (WE) が Low の場合、ライト クロック (WCLK) の遷移は無視され、RAM に格納されている値は変化しません。WE が High になると、WCLK が Low から High に切り替わるときに、入力 (D7 ~ D0) の値が 4 ビットのアドレス (A3 ~ A0) で選択されたワードにロードされます。書き込みを正しく行うには、WCLK が Low から High に切り替わる前に、書き込みアドレスとデータ入力の値を安定させる必要があります。WCLK はデフォルトではアクティブ High ですが、インバータを使用してアクティブ Low にすることもできます。WCLK の入力ネットに配置されたインバータは、RAM ブロック内に組み込まれます。

出力ピン (O7 ~ O0) に出力される値は、アドレス ピンで指定された RAM 内の位置に格納されている値です。

論理表

入力			出力
WE (モード)	WCLK	D7:D0	O7:O0
0 (読み出し)	X	X	データ
1 (読み出し)	0	X	データ
1 (読み出し)	1	X	データ
1 (書き込み)	↑	D7:D0	D7:D0
1 (読み出し)	↓	X	データ
データ = A3 ~ A0 で指定されたワード			

デザインの入力方法

このエレメントは、回路図で使用されます。

使用可能な属性

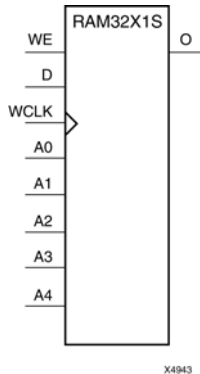
属性	タイプ	値	デフォルト	説明
INIT_00 ~ INIT_07	16 進数	16 ビット値	すべてゼロ	RAM、レジスタ、LUT の初期値を指定

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

RAM32X1S

プリミティブ : 32-Deep by 1-Wide Static Synchronous RAM



概要

このデザイン エLEMENTは 32 ワード X 1 ビットの SRAM で、同期書き込み機能を備えています。ライト イネーブル (WE) が Low の場合、ライト クロック (WCLK) の遷移は無視され、RAM に格納されている値は変化しません。WE が High になると、WCLK が Low から High に切り替わるときに、データ入力 (D) の値が 5 ビットのアドレス (A4 ~ A0) で選択されたワードにロードされます。書き込みを正しく行うには、WCLK が Low から High に切り替わる前に、書き込みアドレスとデータ入力の値を安定させる必要があります。WCLK はデフォルトではアクティブ High ですが、インバータを使用してアクティブ Low にすることもできます。WCLK の入力ネットに配置されたインバータは、RAM ブロック内に組み込まれます。

出力ピン (O) に出力される値は、アドレス ピンで指定された RAM 内の位置に格納されている値です。INIT 属性を使用すると、コンフィギュレーション中に RAM32X1S を初期化できます。

論理表

入力			出力
WE (モード)	WCLK	D	O
0 (読み出し)	X	X	データ
1 (読み出し)	0	X	データ
1 (読み出し)	1	X	データ
1 (書き込み)	↓	D	D
1 (読み出し)	↑	X	データ

デザインの入力方法

このELEMENTは、回路図で使用されます。

使用可能な属性

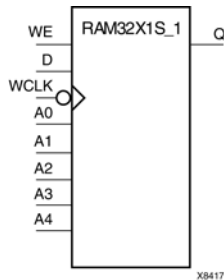
属性	タイプ	値	デフォルト	説明
INIT	16 進数	32 ビット値	すべてゼロ	RAM の初期値を指定

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

RAM32X1S_1

プリミティブ : 32-Deep by 1-Wide Static Synchronous RAM with Negative-Edge Clock



概要

このデザイン エLEMENTは 32 ワード X 1 ビットの SRAM で、同期書き込み機能を備えています。ライト イネーブル (WE) が Low の場合、ライト クロック (WCLK) の遷移は無視され、RAM に格納されている値は変化しません。WE が High になると、WCLK が High から Low に切り替わるときに、データ入力 (D) の値が 5 ビットのアドレス (A4 ~ A0) で選択されたワードにロードされます。書き込みを正しく行うには、WCLK が High から Low に切り替わる前に、書き込みアドレスとデータ入力の値を安定させる必要があります。WCLK はデフォルトではアクティブ Low ですが、インバータを使用してアクティブ High にすることもできます。WCLK の入力ネットに配置されたインバータは、RAM ブロック内に組み込まれます。

出力ピン (O) に出力される値は、アドレス ピンで指定された RAM 内の位置に格納されている値です。INIT 属性を使用すると、コンフィギュレーション中に RAM32X1S_1 を初期化できます。

論理表

入力			出力
WE (モード)	WCLK	D	O
0 (読み出し)	X	X	データ
1 (読み出し)	0	X	データ
1 (読み出し)	1	X	データ
1 (書き込み)	↓	D	D
1 (読み出し)	↑	X	データ
データ = A4 ~ A0 で指定されたワード			

デザインの入力方法

このELEMENTは、回路図で使用されます。

使用可能な属性

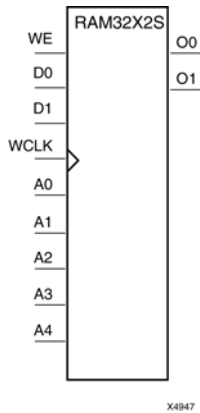
属性	タイプ	値	デフォルト	説明
INIT	16 進数	32 ビット値	0	RAM、レジスタ、LUT の初期値を指定

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

RAM32X2S

プリミティブ : 32-Deep by 2-Wide Static Synchronous RAM



概要

このデザイン エLEMENTは 32 ワード X 2 ビットの SRAM で、同期書き込み機能を備えています。ライト イネーブル (WE) が Low の場合、ライト クロック (WCLK) の遷移は無視され、RAM に格納されている値は変化しません。WE が High になると、WCLK が Low から High に切り替わるときに、入力 (D1 ~ D0) の値が 5 ビットのアドレス (A4 ~ A0) で選択されたワードにロードされます。書き込みを正しく行うには、WCLK が Low から High に切り替わる前に、書き込みアドレスとデータ入力の値を安定させる必要があります。WCLK はデフォルトではアクティブ High ですが、インバータを使用してアクティブ Low にすることもできます。WCLK の入力ネットに配置されたインバータは、RAM ブロック内に組み込まれます。出力ピン (O1 ~ O0) に出力される値は、アドレス ピンで指定された RAM 内の位置に格納されている値です。

INIT_00 および INIT_01 属性を使用して RAM32X2S の初期値を指定できます。

論理表

入力			出力
WE (モード)	WCLK	D	O0-O1
0 (読み出し)	X	X	データ
1 (読み出し)	0	X	データ
1 (読み出し)	1	X	データ
1 (書き込み)	↑	D1:D0	D1:D0
1 (読み出し)	↓	X	データ
データ = A4 ~ A0 で指定されたワード			

デザインの入力方法

このELEMENTは、回路図で使用されます。

使用可能な属性

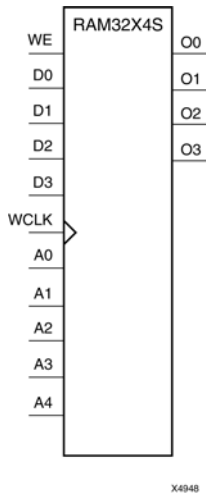
属性	タイプ	値	デフォルト	説明
INIT_00	16 進数	32 ビット値	すべてゼロ	RAM の初期値を指定
INIT_01	16 進数	32 ビット値	すべてゼロ	RAM の初期値を指定

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)

RAM32X4S

プリミティブ : 32-Deep by 4-Wide Static Synchronous RAM



概要

このデザイン エLEMENTは 32 ワード X 4 ビットの SRAM で、同期書き込み機能を備えています。ライト イネーブル (WE) が Low の場合、ライト クロック (WCLK) の遷移は無視され、RAM に格納されている値は変化しません。WE が High になると、WCLK が Low から High に切り替わるときに、入力 (D3 ~ D0) の値が 5 ビットのアドレス (A4 ~ A0) で選択されたワードにロードされます。書き込みを正しく行うには、WCLK が Low から High に切り替わる前に、書き込みアドレスとデータ入力の値を安定させる必要があります。WCLK はデフォルトではアクティブ High ですが、インバータを使用してアクティブ Low にすることもできます。WCLK の入力ネットに配置されたインバータは、RAM ブロック内に組み込まれます。

出力ピン (O3 ~ O0) に出力される値は、アドレス ピンで指定された RAM 内の位置に格納されている値です。

論理表

入力			出力
WE	WCLK	D3 - D0	O3 - O0
0 (読み出し)	X	X	データ
1 (読み出し)	0	X	データ
1 (読み出し)	1	X	データ
1 (書き込み)	↑	D3:D0	D3:D0
1 (読み出し)	↓	X	データ
データ = A4 ~ A0 で指定されたワード			

デザインの入力方法

このELEMENTは、回路図で使用されます。

使用可能な属性

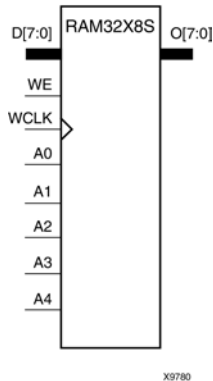
属性	タイプ	値	デフォルト	説明
INIT_00	16 進数	32 ビット値	すべてゼロ	RAM の初期値を指定
INIT_01	16 進数	32 ビット値	すべてゼロ	ROM、RAM、レジスタ、ルックアップ テーブルの初期値を指定
INIT_02	16 進数	32 ビット値	すべてゼロ	ROM、RAM、レジスタ、ルックアップ テーブルの初期値を指定
INIT_03	16 進数	32 ビット値	すべてゼロ	ROM、RAM、レジスタ、ルックアップ テーブルの初期値を指定

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

RAM32X8S

プリミティブ : 32-Deep by 8-Wide Static Synchronous RAM



概要

このデザイン エLEMENTは 32 ワード X 8 ビットの SRAM で、同期書き込み機能を備えています。ライト イネーブル (WE) が Low の場合、ライト クロック (WCLK) の遷移は無視され、RAM に格納されている値は変化しません。WE が High になると、WCLK が Low から High に切り替わるときに、入力 (D7 ~ D0) の値が 5 ビットのアドレス (A4 ~ A0) で選択されたワードにロードされます。書き込みを正しく行うには、WCLK が Low から High に切り替わる前に、書き込みアドレスとデータ入力の値を安定させる必要があります。WCLK はデフォルトではアクティブ High ですが、インバータを使用してアクティブ Low にすることもできます。WCLK の入力ネットに配置されたインバータは、RAM ブロック内に組み込まれます。

出力ピン (O7 ~ O0) に出力される値は、アドレス ピンで指定された RAM 内の位置に格納されている値です。

論理表

入力			出力
WE (モード)	WCLK	D7:D0	O7:O0
0 (読み出し)	X	X	データ
1 (読み出し)	0	X	データ
1 (読み出し)	1	X	データ
1 (書き込み)	↑	D7:D0	D7:D0
1 (読み出し)	↓	X	データ
データ = A4 ~ A0 で指定されたワード			

デザインの入力方法

このELEMENTは、回路図で使用されます。

使用可能な属性

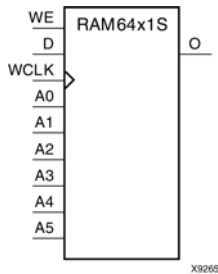
属性	タイプ	値	デフォルト	説明
INIT_00	16 進数	32 ビット値	すべてゼロ	RAM の初期値を指定
INIT_01	16 進数	32 ビット値	すべてゼロ	ROM、RAM、レジスタ、ルックアップ テーブルの初期値を指定
INIT_02	16 進数	32 ビット値	すべてゼロ	ROM、RAM、レジスタ、ルックアップ テーブルの初期値を指定
INIT_03	16 進数	32 ビット値	すべてゼロ	ROM、RAM、レジスタ、ルックアップ テーブルの初期値を指定
INIT_04	16 進数	32 ビット値	すべてゼロ	ROM、RAM、レジスタ、ルックアップ テーブルの初期値を指定
INIT_05	16 進数	32 ビット値	すべてゼロ	ROM、RAM、レジスタ、ルックアップ テーブルの初期値を指定
INIT_06	16 進数	32 ビット値	すべてゼロ	RAM の初期値を指定
INIT_07	16 進数	32 ビット値	すべてゼロ	RAM の初期値を指定

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

RAM64X1S

プリミティブ : 64-Deep by 1-Wide Static Synchronous RAM



概要

このデザイン エLEMENTは 64 ワード X 1 ビットの SRAM で、同期書き込み機能を備えています。ライト イネーブル (WE) が Low の場合、ライト クロック (WCLK) の遷移は無視され、RAM に格納されている値は変化しません。WE が High になると、WCLK が Low から High に切り替わるときに、データ入力 (D) の値が 6 ビットのアドレス (A5 ~ A0) で選択されたワードにロードされます。WCLK はデフォルトではアクティブ High ですが、インバータを使用してアクティブ Low にすることもできます。WCLK の入力ネットに配置されたインバータは、RAM ブロック内に組み込まれます。

出力ピン (O) に出力される値は、アドレス ピンで指定された RAM 内の位置に格納されている値です。

INIT 属性を使用すると、コンフィギュレーション中にこのELEMENTを初期化できます。

論理表

モード選択を次の論理表に示します。

入力			出力
WE (モード)	WCLK	D	O
0 (読み出し)	X	X	データ
1 (読み出し)	0	X	データ
1 (読み出し)	1	X	データ
1 (書き込み)	↑	D	D
1 (読み出し)	↓	X	データ
データ = A5 ~ A0 で指定されたワード			

デザインの入力方法

このELEMENTは、回路図で使用されます。

使用可能な属性

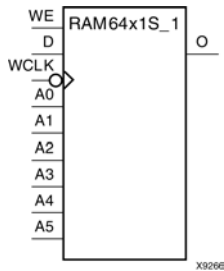
属性	タイプ	値	デフォルト	説明
INIT	16 進数	64 ビット値	すべてゼロ	ROM、RAM、レジスタ、LUT の初期値を指定

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

RAM64X1S_1

プリミティブ : 64-Deep by 1-Wide Static Synchronous RAM with Negative-Edge Clock



概要

このデザイン エLEMENTは 64 ワード X 1 ビットの SRAM で、同期書き込み機能を備えています。ライト イネーブル (WE) が Low の場合、ライト クロック (WCLK) の遷移は無視され、RAM に格納されている値は変化しません。WE が High になると、WCLK が High から Low に切り替わるときに、データ入力 (D) の値が 6 ビットのアドレス (A5 ~ A0) で選択されたワードにロードされます。書き込みを正しく行うには、WCLK が High から Low に切り替わる前に、書き込みアドレスとデータ入力の値を安定させる必要があります。WCLK はデフォルトではアクティブ Low ですが、インバータを使用してアクティブ High にすることもできます。WCLK の入力ネットに配置されたインバータは、RAM ブロック内に組み込まれます。

出力ピン (O) に出力される値は、アドレスピンで指定された RAM 内の位置に格納されている値です。

INIT 属性を使用すると、コンフィギュレーション中にこのELEMENTを初期化できます。

論理表

入力			出力
WE (モード)	WCLK	D	O
0 (読み出し)	X	X	データ
1 (読み出し)	0	X	データ
1 (読み出し)	1	X	データ
1 (書き込み)	↓	D	D
1 (読み出し)	↑	X	データ
データ = A5 ~ A0 で指定されたワード			

デザインの入力方法

このELEMENTは、回路図で使用されます。

使用可能な属性

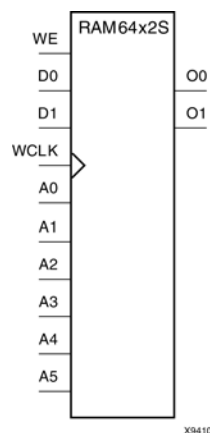
属性	タイプ	値	デフォルト	説明
INIT	16 進数	64 ビット値	すべてゼロ	ROM、RAM、レジスタ、LUT の初期値を指定

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

RAM64X2S

プリミティブ : 64-Deep by 2-Wide Static Synchronous RAM



概要

このデザイン エLEMENTは 64 ワード X 2 ビットの SRAM で、同期書き込み機能を備えています。ライト イネーブル (WE) が Low の場合、ライト クロック (WCLK) の遷移は無視され、RAM に格納されている値は変化しません。WE が High になると、WCLK が Low から High に切り替わるときに、入力 (D1 ~ D0) の値が 6 ビットのアドレス (A5 ~ A0) で選択されたワードにロードされます。書き込みを正しく行うには、WCLK が Low から High に切り替わる前に、書き込みアドレスとデータ入力の値を安定させる必要があります。WCLK はデフォルトではアクティブ High ですが、インバータを使用してアクティブ Low にすることもできます。WCLK の入力ネットに配置されたインバータは、RAM ブロック内に組み込まれます。

出力ピン (O1 ~ O0) に出力される値は、アドレス ピンで指定された RAM 内の位置に格納されている値です。INIT_00 および INIT_01 属性を使用してこのデザイン エLEMENTの初期値を指定できます。

論理表

入力			出力
WE (モード)	WCLK	D0 : D1	O0 : O1
0 (読み出し)	X	X	データ
1 (読み出し)	0	X	データ
1 (読み出し)	1	X	データ
1 (書き込み)	↑	D1 : D0	D1 : D0
1 (読み出し)	↓	X	データ
データ = A5 ~ A0 で指定されたワード			

デザインの入力方法

このELEMENTは、回路図で使用されます。

使用可能な属性

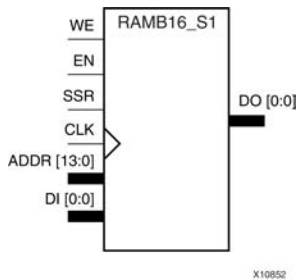
属性	タイプ	値	デフォルト	説明
INIT_00	16 進数	64 ビット値	すべてゼロ	RAM、レジスタ、LUT の初期値を指定
INIT_01	16 進数	64 ビット値	すべてゼロ	RAM、レジスタ、LUT の初期値を指定

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

RAMB16_S1

プリミティブ : 16K-bit Data and 2K-bit Parity Single-Port Synchronous Block RAM with 1-bit Port



概要

このデザイン エLEMENTは、同期書き込み機能を備えた専用 RAM ブロックです。ブロック RAM のポートには 16384 ビットのデータ メモリがあります。セルの構成を、次の表に示します。

データ セル		パリティ セル				
ワード数	幅	ワード数	幅	アドレス バス	データ バス	パリティ バス
16384	1	–	–	(13:0)	(0:0)	–

イネーブル ピン ENA は、ポート A の読み出し、書き込み、リセットを制御します。ENA が Low の場合、データは書き込まれず、出力 (DOA および DOPA) は変化しません。ENA とリセット (SSRA) が High の場合、クロック (CLKA) が Low から High に切り替わる時に DOA および DOPA が SRVAL_A にセットされます。ライト イネーブル (WEA) も High の場合は、DIA および DIPA の値が RAM に書き込まれます。ENA が High で RSTA および WEA が Low の場合、クロックが Low から High に切り替わる時に、RAM アドレス (ADDR_A) に格納されているデータが出力されます。SSRA が Low で ENA と WEA が High の場合、クロックが Low から High に切り替わる時に、書き込みアドレス (ADDR_A) で選択されているワードにデータ入力 (DIA および DIPA) の値がロードされます。データ出力 (DOA および DOPA) に出力される値は書き込みモードによって異なります。書き込みモードは、デフォルトでは WRITE_MODE=WRITE_FIRST に設定されています。

前述の説明では、制御ピン (ENA、WEA、RSTA、CLKA、ENB、WEB、RSTB、CLKB) がアクティブ High であると想定していますが、ポートにインバータを配置してアクティブ Low にすることもできます。RAMB16 のポートに配置したインバータはブロック内に組み込まれるので、CLB リソースは使用されません。

論理表

入力								出力			
GSR	EN	SSR	WE	CLK	ADDR	DI	DIP	DO	DOP	RAM の内容	
										データRAM	パリティ RAM
1	X	X	X	X	X	X	X	INIT	INIT	変化なし	変化なし
0	0	X	X	X	X	X	X	変化なし	変化なし	変化なし	変化なし
0	1	1	0	↑	X	X	X	SRVAL	SRVAL	変化なし	変化なし
0	1	1	1	↑	addr	data	pdata	SRVAL	SRVAL	RAM(addr) =>data	RAM(addr) =>pdata

入力								出力			
GSR	EN	SSR	WE	CLK	ADDR	DI	DIP	DO	DOP	RAM の内容	
										データRAM	パリティRAM
0	1	0	0	↑	addr	X	X	RAM(addr)	RAM(addr)	変化なし	変化なし
0	1	0	1	↑	addr	data	pdata	変化なし(1)、 RAM(addr)(2)、 data(3)	変化なし(1)、 RAM(addr)(2)、 pdata(3)	RAM(addr) =>data	RAM(addr) =>pdata

GSR=グローバル セット リセット信号
 INIT = データ メモリ用に INIT 属性で設定された値。デフォルトはすべて 0 です。
 SRVAL = SRVAL 属性で設定された SSR のアサート後の値
 addr = RAM アドレス
 RAM(addr) = アドレス ADDR の RAM の内容
 data = RAM の入力データ
 pdata = RAM のパリティ データ
 (1) WRITE_MODE=NO_CHANGE
 (2) WRITE_MODE=READ_FIRST
 (3) WRITE_MODE=WRITE_FIRST

初期化

メモリ内容の初期化

INIT_{xx} 属性を使用すると、デバイスのコンフィギュレーション中に RAMB16 のメモリの内容を初期化できます。各 RAMB16 の初期値は、64 種類の初期化属性 (INIT₀₀ ~ INIT_{3F}) で指定します。各属性は、64 の 16 進数値から成り、合計 16384 ビットを指定できます。

INITP_{xx} 属性を使用すると、デバイスのコンフィギュレーションまたはアサート中にパリティ メモリを初期化できます。9、18、36 ビット幅にコンフィギュレーションされたポートのパリティ メモリの初期値は、8 個の初期化属性 (INITP₀₀ ~ INITP₀₇) で指定します。各属性は 64 個の 16 進数値から成り、合計 2048 ビットを指定できます。

INIT_{xx} または INITP_{xx} 属性を指定しない場合は、そのアドレスの値は 0 に設定されます。属性を一部だけ指定すると、上位ビットが 0 になります。

出力レジスタの初期化

Spartan®-3A および上記のデバイスの場合、電源投入時に出力レジスタの各ビットを 0 または 1 に初期化できます。また、セット/リセットをアサートした後の値を、電源投入時の初期値とは異なる値に設定できます。シングル ポート RAMB16 の出力レジスタの初期化に使用する属性には、INIT と SRVAL の 2 種類があります。INIT 属性は、電源投入時の出力レジスタの値を指定します。SRVAL 属性は、SSR (セット/リセット) 入力をアサートしたときの値を指定します。

INIT および SRVAL 属性は、初期化値を、出力ポートの各ビットを 1 ビット含む 16 進数文字列として指定します。たとえば、ポート幅が 1 の RAMB16_S1 の場合、出力レジスタは 1 ビットなので、INIT および SRVAL には 1 または 0 を指定します。ポート幅が 4 の RAMB16_S4 の場合は、出力レジスタが 4 ビットなので、0 ~ F の 16 進数値を指定します。

パリティ ビットを含むポートでは、出力レジスタのパリティ部分は、INIT または SRVAL の値の上位ビットで指定します。

書き込みモードの選択

WRITE_MODE 属性は、RAMB16 メモリおよび出力の内容を制御します。デフォルトでは、WRITE_MODE は WRITE_FIRST に設定されています。この場合、入力値がメモリに書き込まれた後にその値が出力されます。WRITE_MODE を READ_FIRST に設定すると、メモリの内容が出力された後、入力値がメモリに書き込まれます。WRITE_MODE を NO_CHANGE に設定すると、入力値はメモリに書き込まれますが、出力の値は変化しません。

デザインの入力方法

このエレメントは、回路図で使用されます。

使用可能な属性

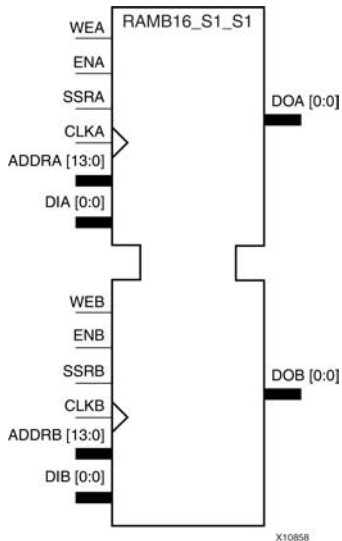
属性	タイプ	値	デフォルト	説明
INIT	2 進数/ 16 進数	任意の値	すべてゼロ	コンフィギュレーション後の DO 出力ポートの初期値を指定。ビット幅は、RAM の A ポートまたは B ポートの幅によって決まります。
INIT_00 ~ INIT_3F	2 進数/ 16 進数	任意の値	すべてゼロ	RAM 配列のデータ部分の初期値を指定
INITP_00 ~ INITP_07	2 進数/ 16 進数	任意の値	すべてゼロ	RAM 配列のパリティ部分の初期値を指定
SRVAL	2 進数/ 16 進数	任意の値	すべてゼロ	SSR ピンをアサートすると、DO 出力ポートがセット (1) またはリセット(0) に設定されるよう指定できます。ビット幅は、RAM の A ポートまたは B ポートの幅によって決まります。
WRITE_MODE	文字列	WRITE_FIRST、 READ_FIRST、 NO_CHANGE	WRITE_FIRST	書き込みコマンドが DO ポートで実行されるときポートの動作を指定します。WRITE_FIRST に設定すると、値がポートに書き込まれてから出力されます。READ_FIRST に設定すると、新たに値が書き込まれる前に、RAM の以前の値が出力ポートに出力されます。NO_CHANGE に設定すると、出力ポートの以前の値が維持され、出力ポートの値が変化しません。RAM のポートから値を読み出さない場合は、このモードに設定することをお勧めします。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

RAMB16_S1_S1

プリミティブ : 16K-bit Data and 2K-bit Parity Dual-Port Synchronous Block RAM with 1-bit Ports



概要

このデザイン エLEMENTは、同期書き込み機能を備えた、デュアル ポートの専用 RAM ブロックです。各ブロック RAM のポートには 16384 ビットのデータ メモリがあります。ポート幅が 9、18、36 ビットにコンフィギュレーションされたポートには、さらに 2048 ビットのパリティ メモリがあります。各ポートは、同じ 16384 個のデータ メモリ セルに独立してアクセスします。各ポートのデータ幅は、それぞれ個別に設定できます。このELEMENTのポートおよびセルの構成は「ポートの説明」の表に示されています。

論理表

真理値表 A

入力								出力			
GSR	ENA	SSRA	WEA	CLKA	ADDRA	DIA	DIPA	DOA	DOPA	RAM の内容	
										データRAM	パリティ RAM
1	X	X	X	X	X	X	X	INIT_A	INIT_A	変化なし	変化なし
0	0	X	X	X	X	X	X	変化なし	変化なし	変化なし	変化なし
0	1	1	0	↑	X	X	X	SRVAL_A	SRVAL_A	変化なし	変化なし
0	1	1	1	↑	addr	data	pdata	SRVAL_A	SRVAL_A	RAM(addr) =>data	RAM(addr) =>pdata
0	1	0	0	↑	addr	X	X	RAM(addr)	RAM(addr)	変化なし	変化なし
0	1	0	1	↑	addr	data	pdata	変化なし(1)、 RAM(addr)(2)、 data(3)	変化なし(1)、 RAM(addr)(2)、 pdata(3)	RAM(addr) =>data	RAM(addr) =>pdata

GSR = グローバル セットリセット信号

INIT_A = 出力レジスタ用に INIT_A 属性で設定された値。デフォルトはすべて 0 です。

SRVAL_A = レジスタの値

addr = RAM アドレス

RAM(addr) = アドレス ADDR の RAM の内容

data = RAM の入力データ

pdata = RAM のパリティ データ

1WRITE_MODE_A=NO_CHANGE

2WRITE_MODE_A=READ_FIRST

3WRITE_MODE_A=WRITE_FIRST

真理値表 B

入力								出力			
GSR	ENB	SSRB	WEB	CLKB	ADDRB	DIB	DIPB	DOB	DOPB	RAM の内容	
										データRAM	パリティ RAM
1	X	X	X	X	X	X	X	INIT_B	INIT_B	変化なし	変化なし
0	0	X	X	X	X	X	X	変化なし	変化なし	変化なし	変化なし
0	1	1	0	↑	X	X	X	SRVAL_B	SRVAL_B	変化なし	変化なし
0	1	1	1	↑	addr	data	pdata	SRVAL_B	SRVAL_B	RAM(addr) =>data	RAM(addr) =>pdata
0	1	0	0	↑	addr	X	X	RAM(addr)	RAM(addr)	変化なし	変化なし
0	1	0	1	↑	addr	data	pdata	変化なし 1、 RAM(addr) => data、data3	変化なし 1、 RAM(addr) => data、pdata3	RAM(addr) =>data	RAM(addr) =>pdata

入力								出力		
GSR	ENB	SSRB	WEB	CLKB	ADDRB	DIB	DIPB	DOB	DOPB	RAM の内容
										データRAM パリティRAM
<p>GSR = グローバル セットリセット信号</p> <p>INIT_B = 出力レジスタ用に INIT_B 属性で設定された値。デフォルトはすべて 0 です。</p> <p>SRVAL_B = レジスタの値</p> <p>addr = RAM アドレス</p> <p>RAM(addr) = アドレス ADDR の RAM の内容</p> <p>data = RAM の入力データ</p> <p>pdata = RAM のパリティ データ</p> <p>1WRITE_MODE_B=NO_CHANGE</p> <p>2WRITE_MODE_B=READ_FIRST</p> <p>3WRITE_MODE_B=WRITE_FIRST</p>										

ポートの説明

ポート A						ポート B				
デザイン エレメント	データ セル (a)	パリティ セル (a)	アドレス バス	データ バス	パリティ バス	データ セル (a)	パリティ セル (a)	アドレス バス	データ バス	パリティ バス
RAMB16_S1_S1	16384 x 1	-	(13:0)	(0:0)	-	16384 x 1	-	(13:0)	(0:0)	-
(a) ワード数 X 幅										

各ポートは、それぞれのクロックに完全に同期します。ポート A の各データ入力ピン (DIA) のセットアップ タイム、およびデータ出力バス (DOA) の clock-to-out タイムは、CLKA を基準とします。ポート B の各データ入力ピン (DIB) のセットアップ タイム、およびデータ出力バス (DOB) の clock-to-out タイムは、CLKB を基準とします。イネーブル ピン ENA は、ポート A の読み出し、書き込み、リセットを制御します。ENA が Low の場合、データは書き込まれず、出力 (DOA および DOPA) は変化しません。ENA とリセット (SSRA) が High の場合、クロック (CLKA) が Low から High に切り替わるときに DOA および DOPA が SRVAL_A にセットされます。ライト イネーブル (WEA) も High の場合は、DIA および DIPA の値が RAM に書き込まれます。ENA が High で RSTA および WEA が Low の場合、クロックが Low から High に切り替わるときに、RAM アドレス (ADDRA) に格納されているデータが出力されます。SSRA が Low で ENA と WEA が High の場合、クロックが Low から High に切り替わるときに、書き込みアドレス (ADDRA) で選択されているワードにデータ入力 (DIA および DIPA) の値がロードされます。データ出力 (DOA および DOPA) に出力される値は書き込みモードによって異なります。書き込みモードは、デフォルトでは WRITE_MODE=WRITE_FIRST に設定されています。

イネーブルピン ENB は、ポート B の読み出し、書き込み、リセットを制御します。ENB が Low の場合、データは書き込まれず、出力 (DOB および DOPB) は変化しません。ENB とリセット (SSRB) が High の場合、クロック (CLKB) が Low から High に切り替わるときに、DOB および DOPB が SRVAL_B にセットされます。ライト イネーブル (WEB) も High の場合は、DIB および DIPB の値が RAM に書き込まれます。ENB が High で RSTB と WEB が Low の場合、クロックが Low から High に切り替わるときに RAM アドレス (ADDRB) に格納されているデータが出力されます。SSRB が Low で ENB と WEB が High の場合、クロックが Low から High に切り替わるときに、書き込みアドレス (ADDRB) で選択されているワードにデータ入力 (DIB および DIPB) の値がロードされます。データ出力 (DOB および DOPB) に出力される値は書き込みモードによって異なります。書き込みモードは、デフォルトでは WRITE_MODE=WRITE_FIRST に設定されています。前述の説明では、制御ピン (ENA、WEA、RSTA、CLKA、ENB、WEB、RSTB、CLKB) がアクティブ High であると想定していますが、ポートにインバータを配置してアクティブ Low にすることもできます。RAMB16 のポートに配置したインバータはブロック内に組み込まれるので、CLB リソースは使用されません。

アドレス マッピング

各ポートは、ポートの幅によって異なるアドレス指定方法を使用して、同じ 18432 個のメモリセルにアクセスします。「データ用のポートアドレス マップ」に示すように、すべてのポート幅で 16384 個のメモリセルをデータの格納に使用できます。9、18、および 36 ビット幅のポートには、「パリティ用のポートアドレス マップ」に示すように、2408 個のパリティメモリセルもあります。特定のポート幅での物理的な RAM の位置は、次の式によって決定されます。

$$\text{Start} = ((\text{ADDR port} + 1) * (\text{Widthport})) - 1$$

$$\text{End} = (\text{ADDRport}) * (\text{Widthport})$$

次の表に、各ポート幅のアドレス マップを示します。

データ用のポートアドレス マップ

データ 幅	ポートのデータ アドレス																																			
1	16384	<--	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
2	8192	<--	15		14		13		12		11		10		9		8		7		6		5		4		3		2		1		0			
4	4096	<--	7				6				5				4				3				2				1				0					
8	2048	<--	3								2								1								0									
16	1024	<--	1																0																	
32	512	<--	0																																	

パリティ用のポートアドレス マップ

パリティ幅	ポートのパリティ アドレス															
1	2048	<-----	3					2					1			0
2	1024	<-----	1										0			
4	512	<-----	0													

デュアル ポート RAMB16 のメモリ内容の初期化

INIT_xx 属性を使用すると、デバイスのコンフィギュレーション中に RAMB16 のメモリの内容を初期化できます。各 RAMB16_Sm_Sn の初期値は、64 種類の初期化属性 (INIT_00 ~ INIT_3F) で指定します。各属性は、64 の 16 進数値から成り、合計 16384 ビットを指定できます。

INITP_xx 属性を使用すると、デバイスのコンフィギュレーションまたはアサート中にパリティ メモリを初期化できます。9、18、36 ビット幅にコンフィギュレーションされたポートのパリティ メモリの初期値は、8 個の初期化属性 (INITP_00 ~ INITP_07) で指定します。各属性は 64 個の 16 進数値から成り、合計 2048 ビットを指定できます。

INIT_xx または INITP_xx 属性を指定しない場合は、そのアドレスの値は 0 に設定されます。属性を一部だけ指定すると、上位ビットが 0 になります。

デュアル ポート RAMB16 の出力レジスタの初期化

Spartan®-3A および上記のデバイスの場合、電源投入時 (GSR が High のとき) に出力レジスタの各ビットを 0 または 1 に初期化できます。また、セット/リセットをアサートした後の値を、電源投入時の初期値とは異なる値に設定できます。デュアル ポート RAMB16 の出力レジスタを初期化する属性には、INIT_A、INIT_B、SRVAL_A、SRVAL_B の 4 種類があります。INIT_A 属性は電源投入時のポート A の出力レジスタの初期値を指定し、INIT_B 属性は電源投入時のポート B の出力レジスタの初期値を指定します。SRVAL_A 属性はポート A で SSRA (セット/リセット) 入力をアサートしたときの初期値を指定し、SRVAL_B 属性はポート B で SSRB (セット/リセット) 入力をアサートしたときの初期値を指定します。

INIT_A、INIT_B、SRVAL_A、SRVAL_B 属性は、16 進数で指定します。この初期値はポート幅によって異なります。たとえば、ポート A の幅が 1、ポート B の幅が 4 の RAMB16_S1_S4 の場合、ポート A の出力レジスタは 1 ビットなので、INIT_A または SRVAL_A には 1 か 0 しか指定できません。ポート B の出力レジスタは 4 ビットなので、INIT_B または SRVAL_B に 0 ~ F の 16 進数値を指定できます。

パリティビットを含むポートでは、出力レジスタのパリティ部分は、INIT_A、INIT_B、SRVAL_A、SRVAL_B の値の上位ビットで指定します。

INIT および SRVAL 属性を指定しない場合は、デフォルトで 0 に初期化されます。

書き込みモードの選択

WRITE_MODE_A 属性は、デュアル ポート RAMB16 のポート A のメモリおよび出力の内容を制御し、WRITE_MODE_B 属性は、ポート B のメモリおよび出力の内容を制御します。デフォルトでは、WRITE_MODE_A と WRITE_MODE_B は両方とも WRITE_FIRST に設定されています。この場合、入力値がメモリに書き込まれた後にその値が出力されます。READ_FIRST に設定すると、メモリの内容が出力された後、入力値がメモリに書き込まれます。NO_CHANGE に設定すると、入力値はメモリに書き込まれますが、出力の値は変化しません。ポート A とポート B で同じメモリセルに読み出し/書き込みを行おうとした場合の競合の解決方法については、「ポート A とポート B が競合する場合の対処方法」を参照してください。

ポート A とポート B が競合する場合の対処方法

Spartan-3A ブロック SelectRAM™ は、完全なデュアル ポート RAM で、2 つのポートが同時に同じメモリセルにアクセスできます。ただし、一方のポートがあるメモリセルに書き込みを行っている場合は、もう一方のポートで clock-to-clock セットアップ タイム内に、そのメモリセルに対して書き込みまたは読み出しを実行しないようにする必要があります。

次の表に、デュアル ポート RAMB16 で競合が発生した場合の動作を、WRITE_MODE_A と WRITE_MODE_B の設定別に示します。

WRITE_MODE_A=NO_CHANGE、WRITE_MODE_B=NO_CHANGE の場合

WEA	WEB	CLKA	CLKB	DIA	DIB	DIPA	DIPB	DOA	DOB	DOPA	DOPB	データ RAM	パリティ RAM
0	0	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	変化 なし	変化 なし
1	0	↑	↑	DIA	DIB	DIPA	DIPB	変化 なし	X	変化 なし	X	DIA	DIPA
0	1	↑	↑	DIA	DIB	DIPA	DIPB	X	変化 なし	X	変化 なし	DIB	DIPB
1	1	↑	↑	DIA	DIB	DIPA	DIPB	変化 なし	変化 なし	変化 なし	変化 なし	X	X

WRITE_MODE_A=READ_FIRST、WRITE_MODE_B=READ_FIRST の場合

WEA	WEB	CLKA	CLKB	DIA	DIB	DIPA	DIPB	DOA	DOB	DOPA	DOPB	データ RAM	パリティ RAM
0	0	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	変化 なし	変化 なし
1	0	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	DIA	DIPA
0	1	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	DIB	DIPB
1	1	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	X	X

WRITE_MODE_A=WRITE_FIRST、WRITE_MODE_B=WRITE_FIRST の場合

WEA	WEB	CLKA	CLKB	DIA	DIB	DIPA	DIPB	DOA	DOB	DOPA	DOPB	データ RAM	パリティ RAM
0	0	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	変化 なし	変化 なし
1	0	↑	↑	DIA	DIB	DIPA	DIPB	DIA	X	DIPA	X	DIA	DIPA
0	1	↑	↑	DIA	DIB	DIPA	DIPB	X	DIB	X	DIPB	DIB	DIPB
1	1	↑	↑	DIA	DIB	DIPA	DIPB	X	X	X	X	X	X

WRITE_MODE_A=NO_CHANGE、WRITE_MODE_B=READ_FIRST の場合

WEA	WEB	CLKA	CLKB	DIA	DIB	DIPA	DIPB	DOA	DOB	DOPA	DOPB	データ RAM	パリティ RAM
0	0	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	変化 なし	変化 なし
1	0	↑	↑	DIA	DIB	DIPA	DIPB	変化 なし	X	変化 なし	X	DIA	DIPA

WEA	WEB	CLKA	CLKB	DIA	DIB	DIPA	DIPB	DOA	DOB	DOPA	DOPB	データ RAM	パリティ RAM
0	1	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	DIB	DIPB
1	1	↑	↑	DIA	DIB	DIPA	DIPB	変化 なし	X	変化 なし	X	DIB	DIPB

WRITE_MODE_A=NO_CHANGE、WRITE_MODE_B=WRITE_FIRST の場合

WEA	WEB	CLKA	CLKB	DIA	DIB	DIPA	DIPB	DOA	DOB	DOPA	DOPB	データ RAM	パリティ RAM
0	0	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	変化 なし	変化 なし
1	0	↑	↑	DIA	DIB	DIPA	DIPB	変化 なし	X	変化 なし	X	DIA	DIPA
0	1	↑	↑	DIA	DIB	DIPA	DIPB	X	DIB	X	DIPB	DIB	DIPB
1	1	↑	↑	DIA	DIB	DIPA	DIPB	変化 なし	X	変化 なし	X	X	X

WRITE_MODE_A=READ_FIRST および WRITE_MODE_B=WRITE_FIRST

WEA	WEB	CLKA	CLKB	DIA	DIB	DIPA	DIPB	DOA	DOB	DOPA	DOPB	データ RAM	パリティ RAM
0	0	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	変化 なし	変化 なし
1	0	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	DIA	DIPA
0	1	↑	↑	DIA	DIB	DIPA	DIPB	X	DIB	X	DIPB	DIB	DIPB
1	1	↑	↑	DIA	DIB	DIPA	DIPB	X	DIB	X	DIPB	DIA	DIPA

デザインの入力方法

このエレメントは、回路図で使用されます。

使用可能な属性

属性	タイプ	値	デフォルト	説明
INIT_00 ~ INIT_3F	2 進数/ 16 進数	任意の値	すべてゼロ	RAM 配列のデータ部分の初期値を指定
INIT_A	2 進数/ 16 進数	任意の値	すべてゼロ	コンフィギュレーション後の DOA/DOB 出力ポートの初期値を指定。ビット幅は、RAM の A ポートまたは B ポートの幅によって決まります。
INIT_B	2 進数/ 16 進数	任意の値	すべてゼロ	コンフィギュレーション後の DOA/DOB 出力ポートの初期値を指定。ビット幅は、RAM の A ポートまたは B ポートの幅によって決まります。

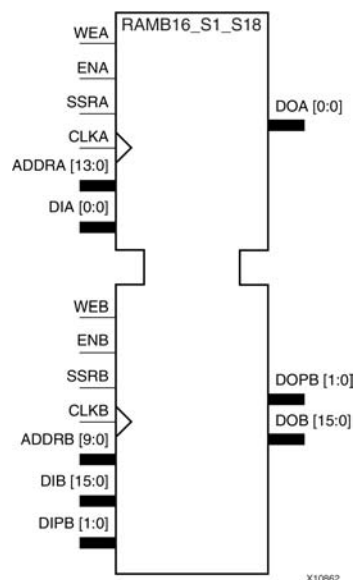
属性	タイプ	値	デフォルト	説明
INITP_00 ~ INITP_07	2 進数/ 16 進数	任意の値	すべてゼロ	RAM 配列のパリティ部分の初期値を指定
SIM_COLLISION_ CHECK	文字列	ALL、 WARNING_ ONLY、 GENERATE_X_ ONLY、または NONE	ALL	<p>メモリの競合が発生した場合にシミュレーションの動作を変更できます。詳細は次のとおりです。</p> <ul style="list-style-type: none"> ALL に設定すると、警告メッセージが出力され、関連する出力およびメモリの値が不定 (X) になります。 WARNING_ONLY に設定すると、警告メッセージのみが出力され、関連する出力およびメモリの値はそのまま保持されます。 GENERATE_X_ONLY に設定すると、警告メッセージは出力されず、関連する出力およびメモリの値が不定 (X) になります。 NONE に設定すると、警告メッセージは出力されず、関連する出力およびメモリの値はそのまま保持されます。 <p>メモ: ALL 以外の値に設定すると、シミュレーション中にデザインの問題を認識できなくなるため、この値を変更する場合は注意が必要です。詳細は、『合成/シミュレーション デザイン ガイド』を参照してください。</p>
SRVAL_A	2 進数/ 16 進数	任意の値	すべてゼロ	RSTA ピンをアサートすると、DOA/DOB 出力ポートがセット (1) またはリセット(0) に設定されるよう指定できます。ビット幅は、RAM の A ポートの幅によって決まります。
SRVAL_B	2 進数/ 16 進数	任意の値	すべてゼロ	RSTB ピンをアサートすると、DOA/DOB 出力ポートがセット (1) またはリセット(0) に設定されるよう指定できます。ビット幅は、RAM の B ポートの幅によって決まります。
WRITE_MODE_A	文字列	WRITE_FIRST、 READ_FIRST、 NO_CHANGE	WRITE_ FIRST	書き込みコマンドが DOA/DOB ポートで実行されるときポートの動作を指定します。WRITE_FIRST に設定すると、値がポートに書き込まれてから出力されます。READ_FIRST に設定すると、新たに値が書き込まれる前に、RAM の以前の値が出力ポートに出力されます。NO_CHANGE に設定すると、出力ポートの以前の値が維持され、出力ポートの値が変化しません。RAM のポートから値を読み出さない場合は、このモードに設定することをお勧めします。
WRITE_MODE_B	文字列	WRITE_FIRST、 READ_FIRST、 NO_CHANGE	WRITE_ FIRST	書き込みコマンドが DOA/DOB ポートで実行されるときポートの動作を指定します。WRITE_FIRST に設定すると、値がポートに書き込まれてから出力されます。READ_FIRST に設定すると、新たに値が書き込まれる前に、RAM の以前の値が出力ポートに出力されます。NO_CHANGE に設定すると、出力ポートの以前の値が維持され、出力ポートの値が変化しません。RAM のポートから値を読み出さない場合は、このモードに設定することをお勧めします。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

RAMB16_S1_S18

プリミティブ : 16K-bit Data and 2K-bit Parity Dual-Port Synchronous Block RAM with 1-bit and 18-bit Ports



概要

このデザイン エLEMENTは、同期書き込み機能を備えた、デュアル ポートの専用 RAM ブロックです。各ブロック RAM のポートには 16384 ビットのデータ メモリがあります。ポート幅が 9、18、36 ビットにコンフィギュレーションされたポートには、さらに 2048 ビットのパリティ メモリがあります。各ポートは、同じ 16384 個のデータ メモリ セルに独立してアクセスします。各ポートのデータ幅は、それぞれ個別に設定できます。このELEMENTのポートおよびセルの構成は「ポートの説明」の表に示されています。

論理表

真理値表 A

入力								出力			
GSR	ENA	SSRA	WEA	CLKA	ADDRA	DIA	DIPA	DOA	DOPA	RAM の内容	
										データRAM	パリティ RAM
1	X	X	X	X	X	X	X	INIT_A	INIT_A	変化なし	変化なし
0	0	X	X	X	X	X	X	変化なし	変化なし	変化なし	変化なし
0	1	1	0	↑	X	X	X	SRVAL_A	SRVAL_A	変化なし	変化なし
0	1	1	1	↑	addr	data	pdata	SRVAL_A	SRVAL_A	RAM(addr) =>data	RAM(addr) =>pdata
0	1	0	0	↑	addr	X	X	RAM(addr)	RAM(addr)	変化なし	変化なし
0	1	0	1	↑	addr	data	pdata	変化なし(1)、 RAM(addr)(2)、 data(3)	変化なし(1)、 RAM(addr)(2)、 pdata(3)	RAM(addr) =>data	RAM(addr) =>pdata

GSR = グローバル セットリセット信号
 INIT_A = 出力レジスタ用に INIT_A 属性で設定された値。デフォルトはすべて 0 です。
 SRVAL_A = レジスタの値
 addr = RAM アドレス
 RAM(addr) = アドレス ADDR の RAM の内容
 data = RAM の入力データ
 pdata = RAM のパリティ データ
 1WRITE_MODE_A=NO_CHANGE
 2WRITE_MODE_A=READ_FIRST
 3WRITE_MODE_A=WRITE_FIRST

真理値表 B

入力								出力			
GSR	ENB	SSRB	WEB	CLKB	ADDRB	DIB	DIPB	DOB	DOPB	RAM の内容	
										データRAM	パリティ RAM
1	X	X	X	X	X	X	X	INIT_B	INIT_B	変化なし	変化なし
0	0	X	X	X	X	X	X	変化なし	変化なし	変化なし	変化なし
0	1	1	0	↑	X	X	X	SRVAL_B	SRVAL_B	変化なし	変化なし
0	1	1	1	↑	addr	data	pdata	SRVAL_B	SRVAL_B	RAM(addr) =>data	RAM(addr) =>pdata
0	1	0	0	↑	addr	X	X	RAM(addr)	RAM(addr)	変化なし	変化なし
0	1	0	1	↑	addr	data	pdata	変化なし 1、 RAM(addr) => data、data3	変化なし 1、 RAM(addr) => data、pdata3	RAM(addr) =>data	RAM(addr) =>pdata

入力								出力		
GSR	ENB	SSRB	WEB	CLKB	ADDRB	DIB	DIPB	DOB	DOPB	RAM の内容
									データRAM	パリティ RAM
<p>GSR = グローバル セットリセット信号</p> <p>INIT_B = 出力レジスタ用に INIT_B 属性で設定された値。デフォルトはすべて 0 です。</p> <p>SRVAL_B = レジスタの値</p> <p>addr = RAM アドレス</p> <p>RAM(addr) = アドレス ADDR の RAM の内容</p> <p>data = RAM の入力データ</p> <p>pdata = RAM のパリティ データ</p> <p>1WRITE_MODE_B=NO_CHANGE</p> <p>2WRITE_MODE_B=READ_FIRST</p> <p>3WRITE_MODE_B=WRITE_FIRST</p>										

ポートの説明

ポート A						ポート B				
デザイン エレメント	データ セル (a)	パリティ セル (a)	アドレス バス	データ バス	パリティ バス	データ セル (a)	パリティ セル (a)	アドレス バス	データ バス	パリティ バス
RAMB16_S1_S18	16384 x 1	—	(13:0)	(0:0)	—	1024 x 16	1024 x 2	(9:0)	(15:0)	(1:0)
(a) ワード数 X 幅										

各ポートは、それぞれのクロックに完全に同期します。ポート A の各データ入力ピン (DIA) のセットアップ タイム、およびデータ出力バス (DOA) の clock-to-out タイムは、CLKA を基準とします。ポート B の各データ入力ピン (DIB) のセットアップ タイム、およびデータ出力バス (DOB) の clock-to-out タイムは、CLKB を基準とします。イネーブルピン ENA は、ポート A の読み出し、書き込み、リセットを制御します。ENA が Low の場合、データは書き込まれず、出力 (DOA および DOPA) は変化しません。ENA とリセット (SSRA) が High の場合、クロック (CLKA) が Low から High に切り替わるときに DOA および DOPA が SRVAL_A にセットされます。ライト イネーブル (WEA) も High の場合は、DIA および DIPA の値が RAM に書き込まれます。ENA が High で RSTA および WEA が Low の場合、クロックが Low から High に切り替わるときに、RAM アドレス (ADDR_A) に格納されているデータが出力されます。SSRA が Low で ENA と WEA が High の場合、クロックが Low から High に切り替わるときに、書き込みアドレス (ADDR_A) で選択されているワードにデータ入力 (DIA および DIPA) の値がロードされます。データ出力 (DOA および DOPA) に出力される値は書き込みモードによって異なります。書き込みモードは、デフォルトでは WRITE_MODE=WRITE_FIRST に設定されています。

イネーブルピン ENB は、ポート B の読み出し、書き込み、リセットを制御します。ENB が Low の場合、データは書き込まれず、出力 (DOB および DOPB) は変化しません。ENB とリセット (SSRB) が High の場合、クロック (CLKB) が Low から High に切り替わるときに、DOB および DOPB が SRVAL_B にセットされます。ライト イネーブル (WEB) も High の場合は、DIB および DIPB の値が RAM に書き込まれます。ENB が High で RSTB と WEB が Low の場合、クロックが Low から High に切り替わるときに RAM アドレス (ADDRB) に格納されているデータが出力されます。SSRB が Low で ENB と WEB が High の場合、クロックが Low から High に切り替わるときに、書き込みアドレス (ADDRB) で選択されているワードにデータ入力 (DIB および DIPB) の値がロードされます。データ出力 (DOB および DOPB) に出力される値は書き込みモードによって異なります。書き込みモードは、デフォルトでは WRITE_MODE=WRITE_FIRST に設定されています。前述の説明では、制御ピン (ENA、WEA、RSTA、CLKA、ENB、WEB、RSTB、CLKB) がアクティブ High であると想定していますが、ポートにインバータを配置してアクティブ Low にすることもできます。RAMB16 のポートに配置したインバータはブロック内に組み込まれるので、CLB リソースは使用されません。

アドレス マッピング

各ポートは、ポートの幅によって異なるアドレス指定方法を使用して、同じ 18432 個のメモリセルにアクセスします。「データ用のポートアドレス マップ」に示すように、すべてのポート幅で 16384 個のメモリセルをデータの格納に使用できます。9、18、および 36 ビット幅のポートには、「パリティ用のポートアドレス マップ」に示すように、2408 個のパリティメモリセルもあります。特定のポート幅での物理的な RAM の位置は、次の式によって決定されます。

$$\text{Start} = ((\text{ADDR port} + 1) * (\text{Widthport})) - 1$$

$$\text{End} = (\text{ADDRport}) * (\text{Widthport})$$

次の表に、各ポート幅のアドレス マップを示します。

データ用のポートアドレス マップ

データ幅	ポートのデータ アドレス																																			
1	16384	<--	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
2	8192	<--	15		14		13		12		11		10		9		8		7		6		5		4		3		2		1		0			
4	4096	<--	7				6				5				4				3				2				1				0					
8	2048	<--	3								2								1								0									
16	1024	<--	1																0																	
32	512	<--	0																																	

パリティ用のポートアドレス マップ

パリティ幅	ポートのパリティ アドレス														
1	2048	<-----	3				2				1				0
2	1024	<-----	1								0				
4	512	<-----	0												

デュアル ポート RAMB16 のメモリ内容の初期化

INIT_xx 属性を使用すると、デバイスのコンフィギュレーション中に RAMB16 のメモリの内容を初期化できます。各 RAMB16_Sm_Sn の初期値は、64 種類の初期化属性 (INIT_00 ~ INIT_3F) で指定します。各属性は、64 の 16 進数値から成り、合計 16384 ビットを指定できます。

INITP_xx 属性を使用すると、デバイスのコンフィギュレーションまたはアサート中にパリティメモリを初期化できます。9、18、36 ビット幅にコンフィギュレーションされたポートのパリティメモリの初期値は、8 個の初期化属性 (INITP_00 ~ INITP_07) で指定します。各属性は 64 個の 16 進数値から成り、合計 2048 ビットを指定できます。

INIT_xx または INITP_xx 属性を指定しない場合は、そのアドレスの値は 0 に設定されます。属性を一部だけ指定すると、上位ビットが 0 になります。

デュアル ポート RAMB16 の出力レジスタの初期化

Spartan®-3A および上記のデバイスの場合、電源投入時 (GSR が High のとき) に出力レジスタの各ビットを 0 または 1 に初期化できます。また、セット/リセットをアサートした後の値を、電源投入時の初期値とは異なる値に設定できます。デュアル ポート RAMB16 の出力レジスタを初期化する属性には、INIT_A、INIT_B、SRVAL_A、SRVAL_B の 4 種類があります。INIT_A 属性は電源投入時のポート A の出力レジスタの初期値を指定し、INIT_B 属性は電源投入時のポート B の出力レジスタの初期値を指定します。SRVAL_A 属性はポート A で SSR (セット/リセット) 入力のアサートしたときの初期値を指定し、SRVAL_B 属性はポート B で SSRB (セット/リセット) 入力のアサートしたときの初期値を指定します。

INIT_A、INIT_B、SRVAL_A、SRVAL_B 属性は、16 進数で指定します。この初期値はポート幅によって異なります。たとえば、ポート A の幅が 1、ポート B の幅が 4 の RAMB16_S1_S4 の場合、ポート A の出力レジスタは 1 ビットなので、INIT_A または SRVAL_A には 1 か 0 しか指定できません。ポート B の出力レジスタは 4 ビットなので、INIT_B または SRVAL_B に 0 ~ F の 16 進数値を指定できます。

パリティビットを含むポートでは、出力レジスタのパリティ部分は、INIT_A、INIT_B、SRVAL_A、SRVAL_B の値の上位ビットで指定します。

INIT および SRVAL 属性を指定しない場合は、デフォルトで 0 に初期化されます。

書き込みモードの選択

WRITE_MODE_A 属性は、デュアル ポート RAMB16 のポート A のメモリおよび出力の内容を制御し、WRITE_MODE_B 属性は、ポート B のメモリおよび出力の内容を制御します。デフォルトでは、WRITE_MODE_A と WRITE_MODE_B は両方とも WRITE_FIRST に設定されています。この場合、入力値がメモリに書き込まれた後にその値が出力されます。READ_FIRST に設定すると、メモリの内容が出力された後、入力値がメモリに書き込まれます。NO_CHANGE に設定すると、入力値はメモリに書き込まれますが、出力の値は変化しません。ポート A とポート B で同じメモリセルに読み出し/書き込みを行おうとした場合の競合の解決方法については、「ポート A とポート B が競合する場合の対処方法」を参照してください。

ポート A とポート B が競合する場合の対処方法

Spartan-3A ブロック SelectRAM™ は、完全なデュアル ポート RAM で、2 つのポートが同時に同じメモリセルにアクセスできます。ただし、一方のポートがあるメモリセルに書き込みを行っている場合は、もう一方のポートで clock-to-clock セットアップ タイム内に、そのメモリセルに対して書き込みまたは読み出しを実行しないようにする必要があります。

次の表に、デュアル ポート RAMB16 で競合が発生した場合の動作を、WRITE_MODE_A と WRITE_MODE_B の設定別に示します。

WRITE_MODE_A=NO_CHANGE、WRITE_MODE_B=NO_CHANGE の場合

WEA	WEB	CLKA	CLKB	DIA	DIB	DIPA	DIPB	DOA	DOB	DOPA	DOPB	データ RAM	パリ ティ RAM
0	0	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	変化 なし	変化 なし
1	0	↑	↑	DIA	DIB	DIPA	DIPB	変化 なし	X	変化 なし	X	DIA	DIPA
0	1	↑	↑	DIA	DIB	DIPA	DIPB	X	変化 なし	X	変化 なし	DIB	DIPB
1	1	↑	↑	DIA	DIB	DIPA	DIPB	変化 なし	変化 なし	変化 なし	変化 なし	X	X

WRITE_MODE_A=READ_FIRST、WRITE_MODE_B=READ_FIRST の場合

WEA	WEB	CLKA	CLKB	DIA	DIB	DIPA	DIPB	DOA	DOB	DOPA	DOPB	データ RAM	パ リ ティ RAM
0	0	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	変化 なし	変化 なし
1	0	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	DIA	DIPA
0	1	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	DIB	DIPB
1	1	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	X	X

WRITE_MODE_A=WRITE_FIRST、WRITE_MODE_B=WRITE_FIRST の場合

WEA	WEB	CLKA	CLKB	DIA	DIB	DIPA	DIPB	DOA	DOB	DOPA	DOPB	データ RAM	パ リ ティ RAM
0	0	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	変化 なし	変化 なし
1	0	↑	↑	DIA	DIB	DIPA	DIPB	DIA	X	DIPA	X	DIA	DIPA
0	1	↑	↑	DIA	DIB	DIPA	DIPB	X	DIB	X	DIPB	DIB	DIPB
1	1	↑	↑	DIA	DIB	DIPA	DIPB	X	X	X	X	X	X

WRITE_MODE_A=NO_CHANGE、WRITE_MODE_B=READ_FIRST の場合

WEA	WEB	CLKA	CLKB	DIA	DIB	DIPA	DIPB	DOA	DOB	DOPA	DOPB	データ RAM	パ リ ティ RAM
0	0	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	変化 なし	変化 なし
1	0	↑	↑	DIA	DIB	DIPA	DIPB	変化 なし	X	変化 なし	X	DIA	DIPA
0	1	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	DIB	DIPB
1	1	↑	↑	DIA	DIB	DIPA	DIPB	変化 なし	X	変化 なし	X	DIB	DIPB

WRITE_MODE_A=NO_CHANGE、WRITE_MODE_B=WRITE_FIRST の場合

WEA	WEB	CLKA	CLKB	DIA	DIB	DIPA	DIPB	DOA	DOB	DOPA	DOPB	データ RAM	パ リ ティ RAM
0	0	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	変化 なし	変化 なし
1	0	↑	↑	DIA	DIB	DIPA	DIPB	変化 なし	X	変化 なし	X	DIA	DIPA
0	1	↑	↑	DIA	DIB	DIPA	DIPB	X	DIB	X	DIPB	DIB	DIPB
1	1	↑	↑	DIA	DIB	DIPA	DIPB	変化 なし	X	変化 なし	X	X	X

WRITE_MODE_A=READ_FIRST および WRITE_MODE_B=WRITE_FIRST

WEA	WEB	CLKA	CLKB	DIA	DIB	DIPA	DIPB	DOA	DOB	DOPA	DOPB	データ RAM	パリティ RAM
0	0	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	変化 なし	変化 なし
1	0	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	DIA	DIPA
0	1	↑	↑	DIA	DIB	DIPA	DIPB	X	DIB	X	DIPB	DIB	DIPB
1	1	↑	↑	DIA	DIB	DIPA	DIPB	X	DIB	X	DIPB	DIA	DIPA

デザインの入力方法

このエレメントは、回路図で使用されます。

使用可能な属性

属性	タイプ	値	デフォルト	説明
INIT_00 ~ INIT_3F	2 進数/ 16 進数	任意の値	すべてゼロ	RAM 配列のデータ部分の初期値を指定
INIT_A	2 進数/ 16 進数	任意の値	すべてゼロ	コンフィギュレーション後の DOA/DOB 出力ポートの初期値を指定。ビット幅は、RAM の A ポートまたは B ポートの幅によって決まります。
INIT_B	2 進数/ 16 進数	任意の値	すべてゼロ	コンフィギュレーション後の DOA/DOB 出力ポートの初期値を指定。ビット幅は、RAM の A ポートまたは B ポートの幅によって決まります。
INITP_00 ~ INITP_07	2 進数/ 16 進数	任意の値	すべてゼロ	RAM 配列のパリティ部分の初期値を指定
SIM_COLLISION_ CHECK	文字列	ALL、 WARNING_ ONLY、 GENERATE_ X_ONLY、 NONE	ALL	<p>メモリの競合が発生した場合にシミュレーションの動作を変更できます。詳細は次のとおりです。</p> <ul style="list-style-type: none"> ALL に設定すると、警告メッセージが出力され、関連する出力およびメモリの値が不定 (X) になります。 WARNING_ONLY に設定すると、警告メッセージのみが出力され、関連する出力およびメモリの値はそのまま保持されます。 GENERATE_X_ONLY に設定すると、警告メッセージは出力されず、関連する出力およびメモリの値が不定 (X) になります。 NONE に設定すると、警告メッセージは出力されず、関連する出力およびメモリの値はそのまま保持されます。 <p>メモ: ALL 以外の値に設定すると、シミュレーション中にデザインの問題を認識できなくなるため、この値を変更する場合は注意が必要です。詳細は、『合成/シミュレーション デザイン ガイド』を参照してください。</p>

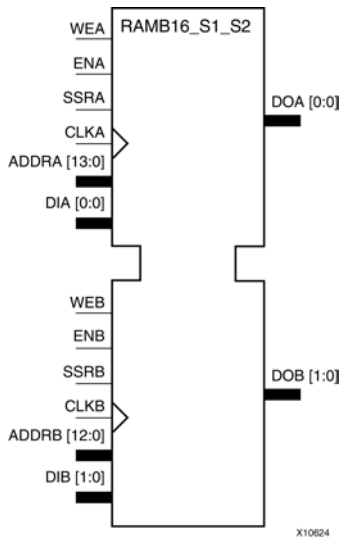
属性	タイプ	値	デフォルト	説明
SRVAL_A	2 進数/ 16 進数	任意の値	すべてゼロ	RSTA ピンをアサートすると、DOA/DOB 出力ポートがセット (1) またはリセット(0) に設定されるよう指定できます。ビット幅は、RAM の A ポートの幅によって決まります。
SRVAL_B	2 進数/ 16 進数	任意の値	すべてゼロ	RSTB ピンをアサートすると、DOA/DOB 出力ポートがセット (1) またはリセット(0) に設定されるよう指定できます。ビット幅は、RAM の B ポートの幅によって決まります。
WRITE_MODE_A	文字列	WRITE_FIRST、 READ_FIRST、 NO_CHANGE	WRITE_FIRST	書き込みコマンドが DOA/DOB ポートで実行される時のポートの動作を指定します。WRITE_FIRST に設定すると、値がポートに書き込まれてから出力されます。READ_FIRST に設定すると、新たに値が書き込まれる前に、RAM の以前の値が出力ポートに出力されます。NO_CHANGE に設定すると、出力ポートの以前の値が維持され、出力ポートの値が変化しません。RAM のポートから値を読み出さない場合は、このモードに設定することをお勧めします。
WRITE_MODE_B	文字列	WRITE_FIRST、 READ_FIRST、 NO_CHANGE	WRITE_FIRST	書き込みコマンドが DOA/DOB ポートで実行される時のポートの動作を指定します。WRITE_FIRST に設定すると、値がポートに書き込まれてから出力されます。READ_FIRST に設定すると、新たに値が書き込まれる前に、RAM の以前の値が出力ポートに出力されます。NO_CHANGE に設定すると、出力ポートの以前の値が維持され、出力ポートの値が変化しません。RAM のポートから値を読み出さない場合は、このモードに設定することをお勧めします。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

RAMB16_S1_S2

プリミティブ : 16K-bit Data and 2K-bit Parity Dual-Port Synchronous Block RAM with 1-bit and 2-bit Ports



概要

このデザイン エレメントは、同期書き込み機能を備えた、デュアル ポートの専用 RAM ブロックです。各ブロック RAM のポートには 16384 ビットのデータ メモリがあります。ポート幅が 9、18、36 ビットにコンフィギュレーションされたポートには、さらに 2048 ビットのパリティ メモリがあります。各ポートは、同じ 16384 個のデータ メモリ セルに独立してアクセスします。各ポートのデータ幅は、それぞれ個別に設定できます。このエレメントのポートおよびセルの構成は「ポートの説明」の表に示されています。

論理表

真理値表 A

入力								出力			
GSR	ENA	SSRA	WEA	CLKA	ADDRA	DIA	DIPA	DOA	DOPA	RAM の内容	
										データ RAM	パリティ RAM
1	X	X	X	X	X	X	X	INIT_A	INIT_A	変化なし	変化なし
0	0	X	X	X	X	X	X	変化なし	変化なし	変化なし	変化なし
0	1	1	0	↑	X	X	X	SRVAL_A	SRVAL_A	変化なし	変化なし
0	1	1	1	↑	addr	data	pdata	SRVAL_A	SRVAL_A	RAM(addr) =>data	RAM(addr) =>pdata
0	1	0	0	↑	addr	X	X	RAM(addr)	RAM(addr)	変化なし	変化なし
0	1	0	1	↑	addr	data	pdata	変化なし(1)、 RAM(addr)(2)、 data(3)	変化なし(1)、 RAM(addr)(2)、 pdata(3)	RAM(addr) =>data	RAM(addr) =>pdata

GSR = グローバル セット リセット 信号

INIT_A = 出力レジスタ用に INIT_A 属性で設定された値。デフォルトはすべて 0 です。

SRVAL_A = レジスタの値

入力								出力		
GSR	ENA	SSRA	WEA	CLKA	ADDRA	DIA	DIPA	DOA	DOPA	RAM の内容
										データRAM パリティ RAM
addr = RAM アドレス RAM(addr) = アドレス ADDR の RAM の内容 data = RAM の入力データ pdata = RAM のパリティ データ 1WRITE_MODE_A=NO_CHANGE 2WRITE_MODE_A=READ_FIRST 3WRITE_MODE_A=WRITE_FIRST										

真理値表 B

入力								出力			
GSR	ENB	SSRB	WEB	CLKB	ADDRB	DIB	DIPB	DOB	DOPB	RAM の内容	
										データRAM	パリティ RAM
1	X	X	X	X	X	X	X	INIT_B	INIT_B	変化なし	変化なし
0	0	X	X	X	X	X	X	変化なし	変化なし	変化なし	変化なし
0	1	1	0	↑	X	X	X	SRVAL_B	SRVAL_B	変化なし	変化なし
0	1	1	1	↑	addr	data	pdata	SRVAL_B	SRVAL_B	RAM(addr) =>data	RAM(addr) =>pdata
0	1	0	0	↑	addr	X	X	RAM(addr)	RAM(addr)	変化なし	変化なし
0	1	0	1	↑	addr	data	pdata	変化なし 1、 RAM(addr) => data、data3	変化なし 1、 RAM(addr) => data、pdata3	RAM(addr) =>data	RAM(addr) =>pdata
GSR = グローバル セットリセット信号 INIT_B = 出力レジスタ用に INIT_B 属性で設定された値。デフォルトはすべて 0 です。 SRVAL_B = レジスタの値 addr = RAM アドレス RAM(addr) = アドレス ADDR の RAM の内容 data = RAM の入力データ pdata = RAM のパリティ データ 1WRITE_MODE_B=NO_CHANGE 2WRITE_MODE_B=READ_FIRST 3WRITE_MODE_B=WRITE_FIRST											

ポートの説明

ポート A						ポート B				
デザイン エレメント	データ セ ル (a)	パリティ セル (a)	アドレス バス	データ バス	パリティ バス	データ セル (a)	パリティ セル (a)	アドレス バス	データ バス	パリティ バス
RAMB16_S1_S2	16384 x 1	-	(13:0)	(0:0)	-	8192 x 2	-	(12:0)	(1:0)	-
(a) ワード数 X 幅										

各ポートは、それぞれのクロックに完全に同期します。ポート A の各データ入力ピン (DIA) のセットアップ タイム、およびデータ出力バス (DOA) の clock-to-out タイムは、CLKA を基準とします。ポート B の各データ入力ピン (DIB) のセットアップ タイム、およびデータ出力バス (DOB) の clock-to-out タイムは、CLKB を基準とします。イネーブル ピン ENA は、ポート A の読み出し、書き込み、リセットを制御します。ENA が Low の場合、データは書き込まれず、出力 (DOA および DOPA) は変化しません。ENA とリセット (SSRA) が High の場合、クロック (CLKA) が Low から High に切り替わるときに DOA および DOPA が SRVAL_A にセットされます。ライト イネーブル (WEA) も High の場合は、DIA および DIPA の値が RAM に書き込まれます。ENA が High で RSTA および WEA が Low の場合、クロックが Low から High に切り替わるときに、RAM アドレス (ADDR_A) に格納されているデータが出力されます。SSRA が Low で ENA と WEA が High の場合、クロックが Low から High に切り替わるときに、書き込みアドレス (ADDR_A) で選択されているワードにデータ入力 (DIA および DIPA) の値がロードされます。データ出力 (DOA および DOPA) に出力される値は書き込みモードによって異なります。書き込みモードは、デフォルトでは WRITE_MODE=WRITE_FIRST に設定されています。

イネーブル ピン ENB は、ポート B の読み出し、書き込み、リセットを制御します。ENB が Low の場合、データは書き込まれず、出力 (DOB および DOPB) は変化しません。ENB とリセット (SSRB) が High の場合、クロック (CLKB) が Low から High に切り替わるときに、DOB および DOPB が SRVAL_B にセットされます。ライト イネーブル (WEB) も High の場合は、DIB および DIPB の値が RAM に書き込まれます。ENB が High で RSTB と WEB が Low の場合、クロックが Low から High に切り替わるときに RAM アドレス (ADDRB) に格納されているデータが出力されます。SSRB が Low で ENB と WEB が High の場合、クロックが Low から High に切り替わるときに、書き込みアドレス (ADDRB) で選択されているワードにデータ入力 (DIB および DIPB) の値がロードされます。データ出力 (DOB および DOPB) に出力される値は書き込みモードによって異なります。書き込みモードは、デフォルトでは WRITE_MODE=WRITE_FIRST に設定されています。前述の説明では、制御ピン (ENA、WEA、RSTA、CLKA、ENB、WEB、RSTB、CLKB) がアクティブ High であると想定していますが、ポートにインバータを配置してアクティブ Low にすることもできます。RAMB16 のポートに配置したインバータはブロック内に組み込まれるので、CLB リソースは使用されません。

アドレス マップ

各ポートは、ポートの幅によって異なるアドレス指定方法を使用して、同じ 18432 個のメモリ セルにアクセスします。「データ用のポート アドレス マップ」に示すように、すべてのポート幅で 16384 個のメモリ セルをデータの格納に使用できます。9、18、および 36 ビット幅のポートには、「パリティ用のポート アドレス マップ」に示すように、2408 個のパリティ メモリ セルもあります。特定のポート幅での物理的な RAM の位置は、次の式によって決定されます。

$$\text{Start} = ((\text{ADDR_port} + 1) * (\text{Widthport})) - 1$$

$$\text{End} = (\text{ADDRport}) * (\text{Widthport})$$

次の表に、各ポート幅のアドレス マップを示します。

データ用のポート アドレス マップ

データ幅	ポートのデータ アドレス																																		
1	16384	<---	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
2	8192	<---	15		14		13		12		11		10		9		8		7		6		5		4		3		2		1		0		
4	4096	<---	7				6				5				4				3				2				1				0				
8	2048	<---	3								2								1								0								
16	1024	<---	1																0																
32	512	<---	0																																

パリティ用のポート アドレス マップ

パリティ幅	ポートのパリティ アドレス															
1	2048	<----- 3						2						1		0
2	1024	<----- 1												0		
4	512	<----- 0														

デュアル ポート RAMB16 のメモリ内容の初期化

INIT_xx 属性を使用すると、デバイスのコンフィギュレーション中に RAMB16 のメモリの内容を初期化できます。各 RAMB16_Sm_Sn の初期値は、64 種類の初期化属性 (INIT_00 ~ INIT_3F) で指定します。各属性は、64 の 16 進数値から成り、合計 16384 ビットを指定できます。

INITP_xx 属性を使用すると、デバイスのコンフィギュレーションまたはアサート中にパリティメモリを初期化できます。9、18、36 ビット幅にコンフィギュレーションされたポートのパリティメモリの初期値は、8 個の初期化属性 (INITP_00 ~ INITP_07) で指定します。各属性は 64 個の 16 進数値から成り、合計 2048 ビットを指定できます。

INIT_xx または INITP_xx 属性を指定しない場合は、そのアドレスの値は 0 に設定されます。属性を一部だけ指定すると、上位ビットが 0 になります。

デュアル ポート RAMB16 の出力レジスタの初期化

Spartan-3A の場合、電源投入時 (GSR が High のとき) に出力レジスタの各ビットを 0 または 1 に初期化できます。また、セット/リセットをアサートした後の値を、電源投入時の初期値とは異なる値に設定できます。デュアル ポート RAMB16 の出力レジスタを初期化する属性には、INIT_A、INIT_B、SRVAL_A、SRVAL_B の 4 種類があります。INIT_A 属性は電源投入時のポート A の出力レジスタの初期値を指定し、INIT_B 属性は電源投入時のポート B の出力レジスタの初期値を指定します。SRVAL_A 属性はポート A で SSRA (セット/リセット) 入力をアサートしたときの初期値を指定し、SRVAL_B 属性はポート B で SSRB (セット/リセット) 入力をアサートしたときの初期値を指定します。

INIT_A、INIT_B、SRVAL_A、SRVAL_B 属性は、16 進数で指定します。この初期値はポート幅によって異なります。たとえば、ポート A の幅が 1、ポート B の幅が 4 の RAMB16_S1_S4 の場合、ポート A の出力レジスタは 1 ビットなので、INIT_A または SRVAL_A には 1 か 0 しか指定できません。ポート B の出力レジスタは 4 ビットなので、INIT_B または SRVAL_B に 0 ~ F の 16 進数値を指定できます。

パリティビットを含むポートでは、出力レジスタのパリティ部分は、INIT_A、INIT_B、SRVAL_A、SRVAL_B の値の上位ビットで指定します。

INIT および SRVAL 属性を指定しない場合は、デフォルトで 0 に初期化されます。

書き込みモードの選択

WRITE_MODE_A 属性は、デュアル ポート RAMB16 のポート A のメモリおよび出力の内容を制御し、WRITE_MODE_B 属性は、ポート B のメモリおよび出力の内容を制御します。デフォルトでは、WRITE_MODE_A と WRITE_MODE_B は両方とも WRITE_FIRST に設定されています。この場合、入力値がメモリに書き込まれた後にその値が出力されます。READ_FIRST に設定すると、メモリの内容が出力された後、入力値がメモリに書き込まれます。NO_CHANGE に設定すると、入力値はメモリに書き込まれますが、出力の値は変化しません。ポート A とポート B で同じメモリセルに読み出し/書き込みを行おうとした場合の競合の解決方法については、「ポート A とポート B が競合する場合の対処方法」を参照してください。

ポート A とポート B が競合する場合の対処方法

Spartan-3A ブロックの SelectRAM は、完全なデュアル ポート RAM で、2 つのポートが同時に同じメモリセルにアクセスできます。ただし、一方のポートがあるメモリセルに書き込みを行っている場合は、もう一方のポートで clock-to-clock セットアップ タイム内に、そのメモリセルに対して書き込みまたは読み出しを実行しないようにする必要があります。

次の表に、デュアル ポート RAMB16 で競合が発生した場合の動作を、WRITE_MODE_A と WRITE_MODE_B の設定別に示します。

WRITE_MODE_A=NO_CHANGE、WRITE_MODE_B=NO_CHANGE の場合

WEA	WEB	CLKA	CLKB	DIA	DIB	DIPA	DIPB	DOA	DOB	DOPA	DOPB	データ RAM	パリティ RAM
0	0	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	変化 なし	変化 なし
1	0	↑	↑	DIA	DIB	DIPA	DIPB	変化 なし	X	変化 なし	X	DIA	DIPA
0	1	↑	↑	DIA	DIB	DIPA	DIPB	X	変化 なし	X	変化 なし	DIB	DIPB
1	1	↑	↑	DIA	DIB	DIPA	DIPB	変化 なし	変化 なし	変化 なし	変化 なし	X	X

WRITE_MODE_A=READ_FIRST、WRITE_MODE_B=READ_FIRST の場合

WEA	WEB	CLKA	CLKB	DIA	DIB	DIPA	DIPB	DOA	DOB	DOPA	DOPB	データ RAM	パリティ RAM
0	0	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	変化 なし	変化 なし
1	0	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	DIA	DIPA
0	1	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	DIB	DIPB
1	1	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	X	X

WRITE_MODE_A=WRITE_FIRST、WRITE_MODE_B=WRITE_FIRST の場合

WEA	WEB	CLKA	CLKB	DIA	DIB	DIPA	DIPB	DOA	DOB	DOPA	DOPB	データ RAM	パリティ RAM
0	0	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	変化 なし	変化 なし
1	0	↑	↑	DIA	DIB	DIPA	DIPB	DIA	X	DIPA	X	DIA	DIPA
0	1	↑	↑	DIA	DIB	DIPA	DIPB	X	DIB	X	DIPB	DIB	DIPB
1	1	↑	↑	DIA	DIB	DIPA	DIPB	X	X	X	X	X	X

WRITE_MODE_A=NO_CHANGE、WRITE_MODE_B=READ_FIRST の場合

WEA	WEB	CLKA	CLKB	DIA	DIB	DIPA	DIPB	DOA	DOB	DOPA	DOPB	データ RAM	パリティ RAM
0	0	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	変化 なし	変化 なし
1	0	↑	↑	DIA	DIB	DIPA	DIPB	変化 なし	X	変化 なし	X	DIA	DIPA
0	1	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	DIB	DIPB
1	1	↑	↑	DIA	DIB	DIPA	DIPB	変化 なし	X	変化 なし	X	DIB	DIPB

WRITE_MODE_A=NO_CHANGE、WRITE_MODE_B=WRITE_FIRST の場合

WEA	WEB	CLKA	CLKB	DIA	DIB	DIPA	DIPB	DOA	DOB	DOPA	DOPB	データ RAM	パリティ RAM
0	0	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	変化 なし	変化 なし
1	0	↑	↑	DIA	DIB	DIPA	DIPB	変化 なし	X	変化 なし	X	DIA	DIPA
0	1	↑	↑	DIA	DIB	DIPA	DIPB	X	DIB	X	DIPB	DIB	DIPB
1	1	↑	↑	DIA	DIB	DIPA	DIPB	変化 なし	X	変化 なし	X	X	X

WRITE_MODE_A=READ_FIRST および WRITE_MODE_B=WRITE_FIRST

WEA	WEB	CLKA	CLKB	DIA	DIB	DIPA	DIPB	DOA	DOB	DOPA	DOPB	データ RAM	パリティ RAM
0	0	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	変化 なし	変化 なし
1	0	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	DIA	DIPA
0	1	↑	↑	DIA	DIB	DIPA	DIPB	X	DIB	X	DIPB	DIB	DIPB
1	1	↑	↑	DIA	DIB	DIPA	DIPB	X	DIB	X	DIPB	DIA	DIPA

デザインの入力方法

このエレメントは、回路図で使用されます。

使用可能な属性

属性	タイプ	値	デフォルト	説明
INIT_00 ~ INIT_3F	2 進数/ 16 進数	任意の値	すべてゼロ	RAM 配列のデータ部分の初期値を指定
INIT_A	2 進数/ 16 進数	任意の値	すべてゼロ	コンフィギュレーション後の DOA/DOB 出力ポートの初期値を指定。ビット幅は、RAM の A ポートまたは B ポートの幅によって決まります。
INIT_B	2 進数/ 16 進数	任意の値	すべてゼロ	コンフィギュレーション後の DOA/DOB 出力ポートの初期値を指定。ビット幅は、RAM の A ポートまたは B ポートの幅によって決まります。
INITP_00 ~ INITP_07	2 進数/ 16 進数	任意の値	すべてゼロ	RAM 配列のパリティ部分の初期値を指定
SIM_COLLISION_ CHECK	文字列	ALL、 WARNING_ ONLY、 GENERATE_X_ ONLY、または NONE	ALL	<p>メモリの競合が発生した場合にシミュレーションの動作を変更できます。詳細は次のとおりです。</p> <ul style="list-style-type: none"> ALL に設定すると、警告メッセージが出力され、関連する出力およびメモリの値が不定 (X) になります。 WARNING_ONLY に設定すると、警告メッセージのみが出力され、関連する出力およびメモリの値はそのまま保持されます。 GENERATE_X_ONLY に設定すると、警告メッセージは出力されず、関連する出力およびメモリの値が不定 (X) になります。 NONE に設定すると、警告メッセージは出力されず、関連する出力およびメモリの値はそのまま保持されます。 <p>メモ: ALL 以外の値に設定すると、シミュレーション中にデザインの問題を認識できなくなるため、この値を変更する場合は注意が必要です。詳細は、『合成/シミュレーション デザイン ガイド』を参照してください。</p>
SRVAL_A	2 進数/ 16 進数	任意の値	すべてゼロ	RSTA ピンをアサートすると、DOA/DOB 出力ポートがセット (1) またはリセット (0) に設定されるよう指定できます。ビット幅は、RAM の A ポートの幅によって決まります。
SRVAL_B	2 進数/ 16 進数	任意の値	すべてゼロ	RSTB ピンをアサートすると、DOA/DOB 出力ポートがセット (1) またはリセット (0) に設定されるよう指定できます。ビット幅は、RAM の B ポートの幅によって決まります。

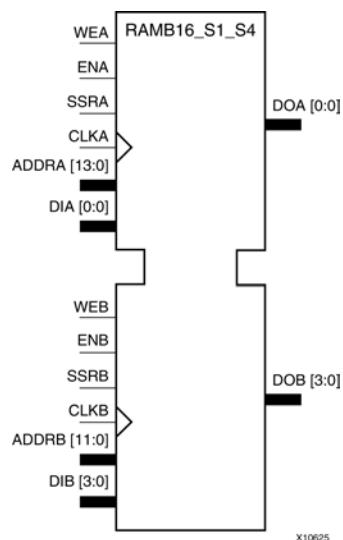
属性	タイプ	値	デフォルト	説明
WRITE_MODE_A	文字列	WRITE_FIRST、 READ_FIRST、 NO_CHANGE	WRITE_ FIRST	書き込みコマンドが DOA/DOB ポートで実行される ときのポートの動作を指定します。WRITE_FIRST に 設定すると、値がポートに書き込まれてから出力さ れます。READ_FIRST に設定すると、新たに値が書 き込まれる前に、RAM の以前の値が出力ポートに 出力されます。NO_CHANGE に設定すると、出力 ポートの以前の値が維持され、出力ポートの値が変 化しません。RAM のポートから値を読み出さない 場合は、このモードに設定することをお勧めします。
WRITE_MODE_B	文字列	WRITE_FIRST、 READ_FIRST、 NO_CHANGE	WRITE_ FIRST	書き込みコマンドが DOA/DOB ポートで実行される ときのポートの動作を指定します。WRITE_FIRST に 設定すると、値がポートに書き込まれてから出力さ れます。READ_FIRST に設定すると、新たに値が書 き込まれる前に、RAM の以前の値が出力ポートに 出力されます。NO_CHANGE に設定すると、出力 ポートの以前の値が維持され、出力ポートの値が変 化しません。RAM のポートから値を読み出さない 場合は、このモードに設定することをお勧めします。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

RAMB16_S1_S4

プリミティブ : 16K-bit Data and 2K-bit Parity Dual-Port Synchronous Block RAM with 1-bit and 4-bit Ports



概要

このデザイン エLEMENTは、同期書き込み機能を備えた、デュアル ポートの専用 RAM ブロックです。各ブロック RAM のポートには 16384 ビットのデータ メモリがあります。ポート幅が 9、18、36 ビットにコンフィギュレーションされたポートには、さらに 2048 ビットのパリティ メモリがあります。各ポートは、同じ 16384 個のデータ メモリ セルに独立してアクセスします。各ポートのデータ幅は、それぞれ個別に設定できます。このELEMENTのポートおよびセルの構成は「ポートの説明」の表に示されています。

論理表

真理値表 A

入力								出力			
GSR	ENA	SSRA	WEA	CLKA	ADDRA	DIA	DIPA	DOA	DOPA	RAM の内容	
										データRAM	パリティ RAM
1	X	X	X	X	X	X	X	INIT_A	INIT_A	変化なし	変化なし
0	0	X	X	X	X	X	X	変化なし	変化なし	変化なし	変化なし
0	1	1	0	↑	X	X	X	SRVAL_A	SRVAL_A	変化なし	変化なし
0	1	1	1	↑	addr	data	pdata	SRVAL_A	SRVAL_A	RAM(addr) =>data	RAM(addr) =>pdata
0	1	0	0	↑	addr	X	X	RAM(addr)	RAM(addr)	変化なし	変化なし
0	1	0	1	↑	addr	data	pdata	変化なし(1)、 RAM(addr)(2)、 data(3)	変化なし(1)、 RAM(addr)(2)、 pdata(3)	RAM(addr) =>data	RAM(addr) =>pdata

GSR = グローバル セットリセット信号
 INIT_A = 出力レジスタ用に INIT_A 属性で設定された値。デフォルトはすべて 0 です。
 SRVAL_A = レジスタの値
 addr = RAM アドレス
 RAM(addr) = アドレス ADDR の RAM の内容
 data = RAM の入力データ
 pdata = RAM のパリティ データ
 1WRITE_MODE_A=NO_CHANGE
 2WRITE_MODE_A=READ_FIRST
 3WRITE_MODE_A=WRITE_FIRST

真理値表 B

入力								出力			
GSR	ENB	SSRB	WEB	CLKB	ADDRB	DIB	DIPB	DOB	DOPB	RAM の内容	
										データRAM	パリティ RAM
1	X	X	X	X	X	X	X	INIT_B	INIT_B	変化なし	変化なし
0	0	X	X	X	X	X	X	変化なし	変化なし	変化なし	変化なし
0	1	1	0	↑	X	X	X	SRVAL_B	SRVAL_B	変化なし	変化なし
0	1	1	1	↑	addr	data	pdata	SRVAL_B	SRVAL_B	RAM(addr) =>data	RAM(addr) =>pdata
0	1	0	0	↑	addr	X	X	RAM(addr)	RAM(addr)	変化なし	変化なし
0	1	0	1	↑	addr	data	pdata	変化なし 1、 RAM(addr) => data、data3	変化なし 1、 RAM(addr) => data、pdata3	RAM(addr) =>data	RAM(addr) =>pdata

入力								出力		
GSR	ENB	SSRB	WEB	CLKB	ADDRB	DIB	DIPB	DOB	DOPB	RAM の内容
									データRAM	パリティ RAM
<p>GSR = グローバル セットリセット信号</p> <p>INIT_B = 出力レジスタ用に INIT_B 属性で設定された値。デフォルトはすべて 0 です。</p> <p>SRVAL_B = レジスタの値</p> <p>addr = RAM アドレス</p> <p>RAM(addr) = アドレス ADDR の RAM の内容</p> <p>data = RAM の入力データ</p> <p>pdata = RAM のパリティ データ</p> <p>1WRITE_MODE_B=NO_CHANGE</p> <p>2WRITE_MODE_B=READ_FIRST</p> <p>3WRITE_MODE_B=WRITE_FIRST</p>										

ポートの説明

ポート A						ポート B				
デザイン エレメント	データ セル (a)	パリティ セル (a)	アドレス バス	データ バス	パリティ バス	データ セル (a)	パリティ セル (a)	アドレス バス	データ バス	パリティ バス
RAMB16_S1_S4	16384 x 1	—	(13:0)	(0:0)	—	4096 x 4	—	(11:0)	(3:0)	—
(a) ワード数 X 幅										

各ポートは、それぞれのクロックに完全に同期します。ポート A の各データ入力ピン (DIA) のセットアップ タイム、およびデータ出力バス (DOA) の clock-to-out タイムは、CLKA を基準とします。ポート B の各データ入力ピン (DIB) のセットアップ タイム、およびデータ出力バス (DOB) の clock-to-out タイムは、CLKB を基準とします。イネーブル ピン ENA は、ポート A の読み出し、書き込み、リセットを制御します。ENA が Low の場合、データは書き込まれず、出力 (DOA および DOPA) は変化しません。ENA とリセット (SSRA) が High の場合、クロック (CLKA) が Low から High に切り替わるときに DOA および DOPA が SRVAL_A にセットされます。ライト イネーブル (WEA) も High の場合は、DIA および DIPA の値が RAM に書き込まれます。ENA が High で RSTA および WEA が Low の場合、クロックが Low から High に切り替わるときに、RAM アドレス (ADDRA) に格納されているデータが出力されます。SSRA が Low で ENA と WEA が High の場合、クロックが Low から High に切り替わるときに、書き込みアドレス (ADDRA) で選択されているワードにデータ入力 (DIA および DIPA) の値がロードされます。データ出力 (DOA および DOPA) に出力される値は書き込みモードによって異なります。書き込みモードは、デフォルトでは WRITE_MODE=WRITE_FIRST に設定されています。

イネーブルピン ENB は、ポート B の読み出し、書き込み、リセットを制御します。ENB が Low の場合、データは書き込まれず、出力 (DOB および DOPB) は変化しません。ENB とリセット (SSRB) が High の場合、クロック (CLKB) が Low から High に切り替わるときに、DOB および DOPB が SRVAL_B にセットされます。ライト イネーブル (WEB) も High の場合は、DIB および DIPB の値が RAM に書き込まれます。ENB が High で RSTB と WEB が Low の場合、クロックが Low から High に切り替わるときに RAM アドレス (ADDRB) に格納されているデータが出力されます。SSRB が Low で ENB と WEB が High の場合、クロックが Low から High に切り替わるときに、書き込みアドレス (ADDRB) で選択されているワードにデータ入力 (DIB および DIPB) の値がロードされます。データ出力 (DOB および DOPB) に出力される値は書き込みモードによって異なります。書き込みモードは、デフォルトでは WRITE_MODE=WRITE_FIRST に設定されています。前述の説明では、制御ピン (ENA、WEA、RSTA、CLKA、ENB、WEB、RSTB、CLKB) がアクティブ High であると想定していますが、ポートにインバータを配置してアクティブ Low にすることもできます。RAMB16 のポートに配置したインバータはブロック内に組み込まれるので、CLB リソースは使用されません。

アドレス マップ

各ポートは、ポートの幅によって異なるアドレス指定方法を使用して、同じ 18432 個のメモリセルにアクセスします。「データ用のポートアドレスマップ」に示すように、すべてのポート幅で 16384 個のメモリセルをデータの格納に使用できます。9、18、および 36 ビット幅のポートには、「パリティ用のポートアドレスマップ」に示すように、2408 個のパリティメモリセルもあります。特定のポート幅での物理的な RAM の位置は、次の式によって決定されます。

$$\text{Start} = ((\text{ADDR port} + 1) * (\text{Widthport})) - 1$$

$$\text{End} = (\text{ADDRport}) * (\text{Widthport})$$

次の表に、各ポート幅のアドレスマップを示します。

データ用のポートアドレスマップ

データ幅	ポートのデータ アドレス																																			
1	16384	<←	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
2	8192	<←	15		14		13		12		11		10		9		8		7		6		5		4		3		2		1		0			
4	4096	<←	7				6				5				4				3				2				1				0					
8	2048	<←	3								2								1								0									
16	1024	<←	1																0																	
32	512	<←	0																																	

パリティ用のポートアドレスマップ

パリティ幅	ポートのパリティ アドレス															
1	2048	<----- 3				2				1					0	
2	1024	<----- 1								0						
4	512	<----- 0														

デュアルポート RAMB16 のメモリ内容の初期化

INIT_xx 属性を使用すると、デバイスのコンフィギュレーション中に RAMB16 のメモリの内容を初期化できます。各 RAMB16_Sm_Sn の初期値は、64 種類の初期化属性 (INIT_00 ~ INIT_3F) で指定します。各属性は、64 の 16 進数値から成り、合計 16384 ビットを指定できます。

INITP_xx 属性を使用すると、デバイスのコンフィギュレーションまたはアサート中にパリティメモリを初期化できます。9、18、36 ビット幅にコンフィギュレーションされたポートのパリティメモリの初期値は、8 個の初期化属性 (INITP_00 ~ INITP_07) で指定します。各属性は 64 個の 16 進数値から成り、合計 2048 ビットを指定できます。

INIT_{xx} または INITP_{xx} 属性を指定しない場合は、そのアドレスの値は 0 に設定されます。属性を一部だけ指定すると、上位ビットが 0 になります。

デュアル ポート RAMB16 の出力レジスタの初期化

Spartan®-3A および上記のデバイスの場合、電源投入時 (GSR が High のとき) に出力レジスタの各ビットを 0 または 1 に初期化できます。また、セット/リセットをアサートした後の値を、電源投入時の初期値とは異なる値に設定できます。デュアル ポート RAMB16 の出力レジスタを初期化する属性には、INIT_A、INIT_B、SRVAL_A、SRVAL_B の 4 種類があります。INIT_A 属性は電源投入時のポート A の出力レジスタの初期値を指定し、INIT_B 属性は電源投入時のポート B の出力レジスタの初期値を指定します。SRVAL_A 属性はポート A で SSR (セット/リセット) 入力のアサートしたときの初期値を指定し、SRVAL_B 属性はポート B で SSRB (セット/リセット) 入力のアサートしたときの初期値を指定します。

INIT_A、INIT_B、SRVAL_A、SRVAL_B 属性は、16 進数で指定します。この初期値はポート幅によって異なります。たとえば、ポート A の幅が 1、ポート B の幅が 4 の RAMB16_S1_S4 の場合、ポート A の出力レジスタは 1 ビットなので、INIT_A または SRVAL_A には 1 か 0 しか指定できません。ポート B の出力レジスタは 4 ビットなので、INIT_B または SRVAL_B に 0 ~ F の 16 進数値を指定できます。

パリティビットを含むポートでは、出力レジスタのパリティ部分は、INIT_A、INIT_B、SRVAL_A、SRVAL_B の値の上位ビットで指定します。

INIT および SRVAL 属性を指定しない場合は、デフォルトで 0 に初期化されます。

書き込みモードの選択

WRITE_MODE_A 属性は、デュアル ポート RAMB16 のポート A のメモリおよび出力の内容を制御し、WRITE_MODE_B 属性は、ポート B のメモリおよび出力の内容を制御します。デフォルトでは、WRITE_MODE_A と WRITE_MODE_B は両方とも WRITE_FIRST に設定されています。この場合、入力値がメモリに書き込まれた後にその値が出力されます。READ_FIRST に設定すると、メモリの内容が出力された後、入力値がメモリに書き込まれます。NO_CHANGE に設定すると、入力値はメモリに書き込まれますが、出力の値は変化しません。ポート A とポート B で同じメモリセルに読み出し/書き込みを行おうとした場合の競合の解決方法については、「ポート A とポート B が競合する場合の対処方法」を参照してください。

ポート A とポート B が競合する場合の対処方法

Spartan-3A ブロック SelectRAM™ は、完全なデュアル ポート RAM で、2 つのポートが同時に同じメモリセルにアクセスできます。ただし、一方のポートがあるメモリセルに書き込みを行っている場合は、もう一方のポートで clock-to-clock セットアップ タイム内に、そのメモリセルに対して書き込みまたは読み出しを実行しないようにする必要があります。

次の表に、デュアル ポート RAMB16 で競合が発生した場合の動作を、WRITE_MODE_A と WRITE_MODE_B の設定別に示します。

WRITE_MODE_A=NO_CHANGE、WRITE_MODE_B=NO_CHANGE の場合

WEA	WEB	CLKA	CLKB	DIA	DIB	DIPA	DIPB	DOA	DOB	DOPA	DOPB	データ RAM	パリ ティ RAM
0	0	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	変化 なし	変化 なし
1	0	↑	↑	DIA	DIB	DIPA	DIPB	変化 なし	X	変化 なし	X	DIA	DIPA
0	1	↑	↑	DIA	DIB	DIPA	DIPB	X	変化 なし	X	変化 なし	DIB	DIPB
1	1	↑	↑	DIA	DIB	DIPA	DIPB	変化 なし	変化 なし	変化 なし	変化 なし	X	X

WRITE_MODE_A=READ_FIRST、WRITE_MODE_B=READ_FIRST の場合

WEA	WEB	CLKA	CLKB	DIA	DIB	DIPA	DIPB	DOA	DOB	DOPA	DOPB	データ RAM	パリティ RAM
0	0	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	変化 なし	変化 なし
1	0	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	DIA	DIPA
0	1	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	DIB	DIPB
1	1	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	X	X

WRITE_MODE_A=WRITE_FIRST、WRITE_MODE_B=WRITE_FIRST の場合

WEA	WEB	CLKA	CLKB	DIA	DIB	DIPA	DIPB	DOA	DOB	DOPA	DOPB	データ RAM	パリティ RAM
0	0	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	変化 なし	変化 なし
1	0	↑	↑	DIA	DIB	DIPA	DIPB	DIA	X	DIPA	X	DIA	DIPA
0	1	↑	↑	DIA	DIB	DIPA	DIPB	X	DIB	X	DIPB	DIB	DIPB
1	1	↑	↑	DIA	DIB	DIPA	DIPB	X	X	X	X	X	X

WRITE_MODE_A=NO_CHANGE、WRITE_MODE_B=READ_FIRST の場合

WEA	WEB	CLKA	CLKB	DIA	DIB	DIPA	DIPB	DOA	DOB	DOPA	DOPB	データ RAM	パリティ RAM
0	0	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	変化 なし	変化 なし
1	0	↑	↑	DIA	DIB	DIPA	DIPB	変化 なし	X	変化 なし	X	DIA	DIPA
0	1	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	DIB	DIPB
1	1	↑	↑	DIA	DIB	DIPA	DIPB	変化 なし	X	変化 なし	X	DIB	DIPB

WRITE_MODE_A=NO_CHANGE、WRITE_MODE_B=WRITE_FIRST の場合

WEA	WEB	CLKA	CLKB	DIA	DIB	DIPA	DIPB	DOA	DOB	DOPA	DOPB	データ RAM	パリティ RAM
0	0	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	変化 なし	変化 なし
1	0	↑	↑	DIA	DIB	DIPA	DIPB	変化 なし	X	変化 なし	X	DIA	DIPA
0	1	↑	↑	DIA	DIB	DIPA	DIPB	X	DIB	X	DIPB	DIB	DIPB
1	1	↑	↑	DIA	DIB	DIPA	DIPB	変化 なし	X	変化 なし	X	X	X

WRITE_MODE_A=READ_FIRST および WRITE_MODE_B=WRITE_FIRST

WEA	WEB	CLKA	CLKB	DIA	DIB	DIPA	DIPB	DOA	DOB	DOPA	DOPB	データ RAM	パリティ RAM
0	0	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	変化 なし	変化 なし
1	0	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	DIA	DIPA
0	1	↑	↑	DIA	DIB	DIPA	DIPB	X	DIB	X	DIPB	DIB	DIPB
1	1	↑	↑	DIA	DIB	DIPA	DIPB	X	DIB	X	DIPB	DIA	DIPA

デザインの入力方法

このエレメントは、回路図で使用されます。

使用可能な属性

属性	タイプ	値	デフォルト	説明
INIT_00 ~ INIT_3F	2 進数/ 16 進数	任意の値	すべてゼロ	RAM 配列のデータ部分の初期値を指定
INIT_A	2 進数/ 16 進数	任意の値	すべてゼロ	コンフィギュレーション後の DOA/DOB 出力ポートの初期値を指定。ビット幅は、RAM の A ポートまたは B ポートの幅によって決まります。
INIT_B	2 進数/ 16 進数	任意の値	すべてゼロ	コンフィギュレーション後の DOA/DOB 出力ポートの初期値を指定。ビット幅は、RAM の A ポートまたは B ポートの幅によって決まります。
INITP_00 ~ INITP_07	2 進数/ 16 進数	任意の値	すべてゼロ	RAM 配列のパリティ部分の初期値を指定
SIM_COLLISION_CHECK	文字列	ALL、 WARNING_ONLY、 GENERATE_X_ONLY、 NONE	ALL	<p>メモリの競合が発生した場合にシミュレーションの動作を変更できます。詳細は次のとおりです。</p> <ul style="list-style-type: none"> ・ ALL に設定すると、警告メッセージが出力され、関連する出力およびメモリの値が不定 (X) になります。 ・ WARNING_ONLY に設定すると、警告メッセージのみが出力され、関連する出力およびメモリの値はそのまま保持されます。 ・ GENERATE_X_ONLY に設定すると、警告メッセージは出力されず、関連する出力およびメモリの値が不定 (X) になります。 ・ NONE に設定すると、警告メッセージは出力されず、関連する出力およびメモリの値はそのまま保持されます。

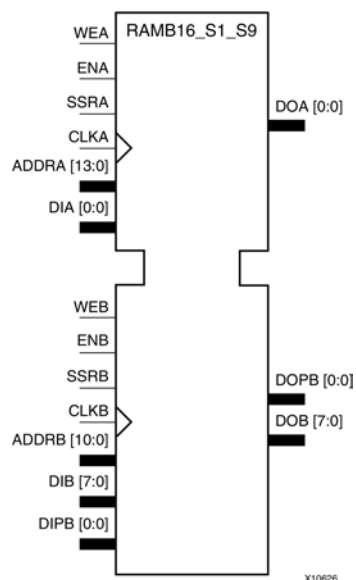
属性	タイプ	値	デフォルト	説明
				メモ : ALL 以外の値に設定すると、シミュレーション中にデザインの問題を認識できなくなるため、この値を変更する場合は注意が必要です。詳細は、『合成/シミュレーション デザイン ガイド』を参照してください。
SRVAL_A	2 進数/ 16 進数	任意の値	すべてゼロ	RSTA ピンをアサートすると、DOA/DOB 出力ポートがセット (1) またはリセット(0) に設定されるよう指定できます。ビット幅は、RAM の A ポートの幅によって決まります。
SRVAL_B	2 進数/ 16 進数	任意の値	すべてゼロ	RSTB ピンをアサートすると、DOA/DOB 出力ポートがセット (1) またはリセット(0) に設定されるよう指定できます。ビット幅は、RAM の B ポートの幅によって決まります。
WRITE_MODE_A	文字列	WRITE_FIRST、 READ_FIRST、 NO_CHANGE	WRITE_FIRST	書き込みコマンドが DOA/DOB ポートで実行されるときポートの動作を指定します。WRITE_FIRST に設定すると、値がポートに書き込まれてから出力されます。READ_FIRST に設定すると、新たに値が書き込まれる前に、RAM の以前の値が出力ポートに出力されます。NO_CHANGE に設定すると、出力ポートの以前の値が維持され、出力ポートの値が変化しません。RAM のポートから値を読み出さない場合は、このモードに設定することをお勧めします。
WRITE_MODE_B	文字列	WRITE_FIRST、 READ_FIRST、 NO_CHANGE	WRITE_FIRST	書き込みコマンドが DOA/DOB ポートで実行されるときポートの動作を指定します。WRITE_FIRST に設定すると、値がポートに書き込まれてから出力されます。READ_FIRST に設定すると、新たに値が書き込まれる前に、RAM の以前の値が出力ポートに出力されます。NO_CHANGE に設定すると、出力ポートの以前の値が維持され、出力ポートの値が変化しません。RAM のポートから値を読み出さない場合は、このモードに設定することをお勧めします。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

RAMB16_S1_S9

プリミティブ : 16K-bit Data and 2K-bit Parity Dual-Port Synchronous Block RAM with 1-bit and 9-bit Ports



概要

このデザイン エレメントは、同期書き込み機能を備えた、デュアル ポートの専用 RAM ブロックです。各ブロック RAM のポートには 16384 ビットのデータ メモリがあります。ポート幅が 9、18、36 ビットにコンフィギュレーションされたポートには、さらに 2048 ビットのパリティ メモリがあります。各ポートは、同じ 16384 個のデータ メモリ セルに独立してアクセスします。各ポートのデータ幅は、それぞれ個別に設定できます。このエレメントのポートおよびセルの構成は「ポートの説明」の表に示されています。

論理表

真理値表 A

入力								出力			
GSR	ENA	SSRA	WEA	CLKA	ADDRA	DIA	DIPA	DOA	DOPA	RAM の内容	
										データRAM	パリティ RAM
1	X	X	X	X	X	X	X	INIT_A	INIT_A	変化なし	変化なし
0	0	X	X	X	X	X	X	変化なし	変化なし	変化なし	変化なし
0	1	1	0	↑	X	X	X	SRVAL_A	SRVAL_A	変化なし	変化なし
0	1	1	1	↑	addr	data	pdata	SRVAL_A	SRVAL_A	RAM(addr) =>data	RAM(addr) =>pdata
0	1	0	0	↑	addr	X	X	RAM(addr)	RAM(addr)	変化なし	変化なし
0	1	0	1	↑	addr	data	pdata	変化なし(1)、 RAM(addr)(2)、 data(3)	変化なし(1)、 RAM(addr)(2)、 pdata(3)	RAM(addr) =>data	RAM(addr) =>pdata

GSR = グローバル セットリセット信号
 INIT_A = 出力レジスタ用に INIT_A 属性で設定された値。デフォルトはすべて 0 です。
 SRVAL_A = レジスタの値
 addr = RAM アドレス
 RAM(addr) = アドレス ADDR の RAM の内容
 data = RAM の入力データ
 pdata = RAM のパリティ データ
 1WRITE_MODE_A=NO_CHANGE
 2WRITE_MODE_A=READ_FIRST
 3WRITE_MODE_A=WRITE_FIRST

真理値表 B

入力								出力			
GSR	ENB	SSRB	WEB	CLKB	ADDRB	DIB	DIPB	DOB	DOPB	RAM の内容	
										データRAM	パリティ RAM
1	X	X	X	X	X	X	X	INIT_B	INIT_B	変化なし	変化なし
0	0	X	X	X	X	X	X	変化なし	変化なし	変化なし	変化なし
0	1	1	0	↑	X	X	X	SRVAL_B	SRVAL_B	変化なし	変化なし
0	1	1	1	↑	addr	data	pdata	SRVAL_B	SRVAL_B	RAM(addr) =>data	RAM(addr) =>pdata
0	1	0	0	↑	addr	X	X	RAM(addr)	RAM(addr)	変化なし	変化なし
0	1	0	1	↑	addr	data	pdata	変化なし 1、 RAM(addr) => data、data3	変化なし 1、 RAM(addr) => data、pdata3	RAM(addr) =>data	RAM(addr) =>pdata

入力								出力		
GSR	ENB	SSRB	WEB	CLKB	ADDRB	DIB	DIPB	DOB	DOPB	RAM の内容
									データRAM	パリティ RAM
<p>GSR = グローバル セットリセット信号</p> <p>INIT_B = 出力レジスタ用に INIT_B 属性で設定された値。デフォルトはすべて 0 です。</p> <p>SRVAL_B = レジスタの値</p> <p>addr = RAM アドレス</p> <p>RAM(addr) = アドレス ADDR の RAM の内容</p> <p>data = RAM の入力データ</p> <p>pdata = RAM のパリティ データ</p> <p>1WRITE_MODE_B=NO_CHANGE</p> <p>2WRITE_MODE_B=READ_FIRST</p> <p>3WRITE_MODE_B=WRITE_FIRST</p>										

ポートの説明

ポート A						ポート B				
デザイン エレメント	データ セル (a)	パリティ セル (a)	アドレス バス	データ バス	パリティ バス	データ セル (a)	パリティ セル (a)	アドレス バス	データ バス	パリティ バス
RAMB16_S1_S9	16384 x 1	—	(13:0)	(0:0)	—	2048 x 8	2048 x 1	(10:0)	(7:0)	(0:0)
(a) ワード数 X 幅										

各ポートは、それぞれのクロックに完全に同期します。ポート A の各データ入力ピン (DIA) のセットアップ タイム、およびデータ出力バス (DOA) の clock-to-out タイムは、CLKA を基準とします。ポート B の各データ入力ピン (DIB) のセットアップ タイム、およびデータ出力バス (DOB) の clock-to-out タイムは、CLKB を基準とします。イネーブル ピン ENA は、ポート A の読み出し、書き込み、リセットを制御します。ENA が Low の場合、データは書き込まれず、出力 (DOA および DOPA) は変化しません。ENA とリセット (SSRA) が High の場合、クロック (CLKA) が Low から High に切り替わるときに DOA および DOPA が SRVAL_A にセットされます。ライト イネーブル (WEA) も High の場合は、DIA および DIPA の値が RAM に書き込まれます。ENA が High で RSTA および WEA が Low の場合、クロックが Low から High に切り替わるときに、RAM アドレス (ADDR) に格納されているデータが出力されます。SSRA が Low で ENA と WEA が High の場合、クロックが Low から High に切り替わるときに、書き込みアドレス (ADDR) で選択されているワードにデータ入力 (DIA および DIPA) の値がロードされます。データ出力 (DOA および DOPA) に出力される値は書き込みモードによって異なります。書き込みモードは、デフォルトでは WRITE_MODE=WRITE_FIRST に設定されています。

イネーブルピン ENB は、ポート B の読み出し、書き込み、リセットを制御します。ENB が Low の場合、データは書き込まれず、出力 (DOB および DOPB) は変化しません。ENB とリセット (SSRB) が High の場合、クロック (CLKB) が Low から High に切り替わるときに、DOB および DOPB が SRVAL_B にセットされます。ライト イネーブル (WEB) も High の場合は、DIB および DIPB の値が RAM に書き込まれます。ENB が High で RSTB と WEB が Low の場合、クロックが Low から High に切り替わるときに RAM アドレス (ADDRB) に格納されているデータが出力されます。SSRB が Low で ENB と WEB が High の場合、クロックが Low から High に切り替わるときに、書き込みアドレス (ADDRB) で選択されているワードにデータ入力 (DIB および DIPB) の値がロードされます。データ出力 (DOB および DOPB) に出力される値は書き込みモードによって異なります。書き込みモードは、デフォルトでは WRITE_MODE=WRITE_FIRST に設定されています。前述の説明では、制御ピン (ENA、WEA、RSTA、CLKA、ENB、WEB、RSTB、CLKB) がアクティブ High であると想定していますが、ポートにインバータを配置してアクティブ Low にすることもできます。RAMB16 のポートに配置したインバータはブロック内に組み込まれるので、CLB リソースは使用されません。

アドレス マッピング

各ポートは、ポートの幅によって異なるアドレス指定方法を使用して、同じ 18432 個のメモリセルにアクセスします。「データ用のポートアドレス マップ」に示すように、すべてのポート幅で 16384 個のメモリセルをデータの格納に使用できます。9、18、および 36 ビット幅のポートには、「パリティ用のポートアドレス マップ」に示すように、2408 個のパリティメモリセルもあります。特定のポート幅での物理的な RAM の位置は、次の式によって決定されます。

$$\text{Start} = ((\text{ADDR_port} + 1) * (\text{Widthport})) - 1$$

$$\text{End} = (\text{ADDRport}) * (\text{Widthport})$$

次の表に、各ポート幅のアドレス マップを示します。

データ用のポートアドレス マップ

データ幅	ポートのデータ アドレス																																		
1	16384	<←	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
2	8192	<←	15		14		13		12		11		10		9		8		7		6		5		4		3		2		1		0		
4	4096	<←	7				6				5				4				3				2				1				0				
8	2048	<←	3								2								1								0								
16	1024	<←	1																0																
32	512	<←	0																																

パリティ用のポートアドレス マップ

パリティ幅	ポートのパリティ アドレス															
1	2048	<-----	3				2				1					0
2	1024	<-----	1								0					
4	512	<-----	0													

デュアル ポート RAMB16 のメモリ内容の初期化

INIT_xx 属性を使用すると、デバイスのコンフィギュレーション中に RAMB16 のメモリの内容を初期化できます。各 RAMB16_Sm_Sn の初期値は、64 種類の初期化属性 (INIT_00 ~ INIT_3F) で指定します。各属性は、64 の 16 進数値から成り、合計 16384 ビットを指定できます。

INITP_xx 属性を使用すると、デバイスのコンフィギュレーションまたはアサート中にパリティメモリを初期化できます。9、18、36 ビット幅にコンフィギュレーションされたポートのパリティメモリの初期値は、8 個の初期化属性 (INITP_00 ~ INITP_07) で指定します。各属性は 64 個の 16 進数値から成り、合計 2048 ビットを指定できます。

INIT_xx または INITP_xx 属性を指定しない場合は、そのアドレスの値は 0 に設定されます。属性を一部だけ指定すると、上位ビットが 0 になります。

デュアル ポート RAMB16 の出力レジスタの初期化

Spartan®-3A の場合、電源投入時 (GSR が High のとき) に出力レジスタの各ビットを 0 または 1 に初期化できます。また、セット/リセットをアサートした後の値を、電源投入時の初期値とは異なる値に設定できます。デュアル ポート RAMB16 の出力レジスタを初期化する属性には、INIT_A、INIT_B、SRVAL_A、SRVAL_B の 4 種類があります。INIT_A 属性は電源投入時のポート A の出力レジスタの初期値を指定し、INIT_B 属性は電源投入時のポート B の出力レジスタの初期値を指定します。SRVAL_A 属性はポート A で SSRA (セット/リセット) 入力のアサートしたときの初期値を指定し、SRVAL_B 属性はポート B で SSRB (セット/リセット) 入力のアサートしたときの初期値を指定します。

INIT_A、INIT_B、SRVAL_A、SRVAL_B 属性は、16 進数で指定します。この初期値はポート幅によって異なります。たとえば、ポート A の幅が 1、ポート B の幅が 4 の RAMB16_S1_S4 の場合、ポート A の出力レジスタは 1 ビットなので、INIT_A または SRVAL_A には 1 か 0 しか指定できません。ポート B の出力レジスタは 4 ビットなので、INIT_B または SRVAL_B に 0 ~ F の 16 進数値を指定できます。

パリティビットを含むポートでは、出力レジスタのパリティ部分は、INIT_A、INIT_B、SRVAL_A、SRVAL_B の値の上位ビットで指定します。

INIT および SRVAL 属性を指定しない場合は、デフォルトで 0 に初期化されます。

書き込みモードの選択

WRITE_MODE_A 属性は、デュアル ポート RAMB16 のポート A のメモリおよび出力の内容を制御し、WRITE_MODE_B 属性は、ポート B のメモリおよび出力の内容を制御します。デフォルトでは、WRITE_MODE_A と WRITE_MODE_B は両方とも WRITE_FIRST に設定されています。この場合、入力値がメモリに書き込まれた後にその値が出力されます。READ_FIRST に設定すると、メモリの内容が出力された後、入力値がメモリに書き込まれます。NO_CHANGE に設定すると、入力値はメモリに書き込まれますが、出力の値は変化しません。ポート A とポート B で同じメモリセルに読み出し/書き込みを行おうとした場合の競合の解決方法については、「ポート A とポート B が競合する場合の対処方法」を参照してください。

ポート A とポート B が競合する場合の対処方法

Spartan-3A ブロックの SelectRAM™ は、完全なデュアル ポート RAM で、2 つのポートが同時に同じメモリセルにアクセスできます。ただし、一方のポートがあるメモリセルに書き込みを行っている場合は、もう一方のポートで clock-to-clock セットアップ タイム内に、そのメモリセルに対して書き込みまたは読み出しを実行しないようにする必要があります。

次の表に、デュアル ポート RAMB16 で競合が発生した場合の動作を、WRITE_MODE_A と WRITE_MODE_B の設定別に示します。

WRITE_MODE_A=NO_CHANGE、WRITE_MODE_B=NO_CHANGE の場合

WEA	WEB	CLKA	CLKB	DIA	DIB	DIPA	DIPB	DOA	DOB	DOPA	DOPB	データ RAM	パリ ティ RAM
0	0	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	変化 なし	変化 なし
1	0	↑	↑	DIA	DIB	DIPA	DIPB	変化 なし	X	変化 なし	X	DIA	DIPA
0	1	↑	↑	DIA	DIB	DIPA	DIPB	X	変化 なし	X	変化 なし	DIB	DIPB
1	1	↑	↑	DIA	DIB	DIPA	DIPB	変化 なし	変化 なし	変化 なし	変化 なし	X	X

WRITE_MODE_A=READ_FIRST、WRITE_MODE_B=READ_FIRST の場合

WEA	WEB	CLKA	CLKB	DIA	DIB	DIPA	DIPB	DOA	DOB	DOPA	DOPB	データ RAM	パリティ RAM
0	0	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	変化 なし	変化 なし
1	0	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	DIA	DIPA
0	1	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	DIB	DIPB
1	1	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	X	X

WRITE_MODE_A=WRITE_FIRST、WRITE_MODE_B=WRITE_FIRST の場合

WEA	WEB	CLKA	CLKB	DIA	DIB	DIPA	DIPB	DOA	DOB	DOPA	DOPB	データ RAM	パリティ RAM
0	0	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	変化 なし	変化 なし
1	0	↑	↑	DIA	DIB	DIPA	DIPB	DIA	X	DIPA	X	DIA	DIPA
0	1	↑	↑	DIA	DIB	DIPA	DIPB	X	DIB	X	DIPB	DIB	DIPB
1	1	↑	↑	DIA	DIB	DIPA	DIPB	X	X	X	X	X	X

WRITE_MODE_A=NO_CHANGE、WRITE_MODE_B=READ_FIRST の場合

WEA	WEB	CLKA	CLKB	DIA	DIB	DIPA	DIPB	DOA	DOB	DOPA	DOPB	データ RAM	パリティ RAM
0	0	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	変化 なし	変化 なし
1	0	↑	↑	DIA	DIB	DIPA	DIPB	変化 なし	X	変化 なし	X	DIA	DIPA
0	1	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	DIB	DIPB
1	1	↑	↑	DIA	DIB	DIPA	DIPB	変化 なし	X	変化 なし	X	DIB	DIPB

WRITE_MODE_A=NO_CHANGE、WRITE_MODE_B=WRITE_FIRST の場合

WEA	WEB	CLKA	CLKB	DIA	DIB	DIPA	DIPB	DOA	DOB	DOPA	DOPB	データ RAM	パリティ RAM
0	0	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	変化 なし	変化 なし
1	0	↑	↑	DIA	DIB	DIPA	DIPB	変化 なし	X	変化 なし	X	DIA	DIPA
0	1	↑	↑	DIA	DIB	DIPA	DIPB	X	DIB	X	DIPB	DIB	DIPB
1	1	↑	↑	DIA	DIB	DIPA	DIPB	変化 なし	X	変化 なし	X	X	X

WRITE_MODE_A=READ_FIRST および WRITE_MODE_B=WRITE_FIRST

WEA	WEB	CLKA	CLKB	DIA	DIB	DIPA	DIPB	DOA	DOB	DOPA	DOPB	データ RAM	パリティ RAM
0	0	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	変化 なし	変化 なし
1	0	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	DIA	DIPA
0	1	↑	↑	DIA	DIB	DIPA	DIPB	X	DIB	X	DIPB	DIB	DIPB
1	1	↑	↑	DIA	DIB	DIPA	DIPB	X	DIB	X	DIPB	DIA	DIPA

デザインの入力方法

このエレメントは、回路図で使用されます。

使用可能な属性

属性	タイプ	値	デフォルト	説明
INIT_00 ~ INIT_3F	2 進数/ 16 進数	任意の値	すべてゼロ	RAM 配列のデータ部分の初期値を指定
INIT_A	2 進数/ 16 進数	任意の値	すべてゼロ	コンフィギュレーション後の DOA/DOB 出力ポートの初期値を指定。ビット幅は、RAM の A ポートまたは B ポートの幅によって決まります。
INIT_B	2 進数/ 16 進数	任意の値	すべてゼロ	コンフィギュレーション後の DOA/DOB 出力ポートの初期値を指定。ビット幅は、RAM の A ポートまたは B ポートの幅によって決まります。
INITP_00 ~ INITP_07	2 進数/ 16 進数	任意の値	すべてゼロ	RAM 配列のパリティ部分の初期値を指定
SIM_COLLISION_ CHECK	文字列	ALL、 WARNING_ ONLY、 GENERATE_X_ ONLY、または NONE	ALL	<p>メモリの競合が発生した場合にシミュレーションの動作を変更できます。詳細は次のとおりです。</p> <ul style="list-style-type: none"> ALL に設定すると、警告メッセージが出力され、関連する出力およびメモリの値が不定 (X) になります。 WARNING_ONLY に設定すると、警告メッセージのみが出力され、関連する出力およびメモリの値はそのまま保持されます。 GENERATE_X_ONLY に設定すると、警告メッセージは出力されず、関連する出力およびメモリの値が不定 (X) になります。 NONE に設定すると、警告メッセージは出力されず、関連する出力およびメモリの値はそのまま保持されます。 <p>メモ: ALL 以外の値に設定すると、シミュレーション中にデザインの問題を認識できなくなるため、この値を変更する場合は注意が必要です。詳細は、『合成/シミュレーション デザイン ガイド』を参照してください。</p>

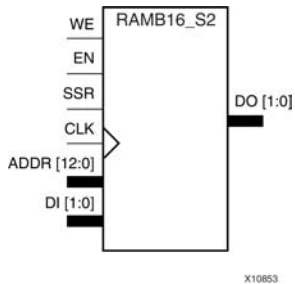
属性	タイプ	値	デフォルト	説明
SRVAL_A	2 進数/ 16 進数	任意の値	すべてゼロ	RSTA ピンをアサートすると、DOA/DOB 出力ポートがセット (1) またはリセット(0) に設定されるよう指定できます。ビット幅は、RAM の A ポートの幅によって決まります。
SRVAL_B	2 進数/ 16 進数	任意の値	すべてゼロ	RSTB ピンをアサートすると、DOA/DOB 出力ポートがセット (1) またはリセット(0) に設定されるよう指定できます。ビット幅は、RAM の B ポートの幅によって決まります。
WRITE_MODE_A	文字列	WRITE_FIRST、 READ_FIRST、 NO_CHANGE	WRITE_FIRST	書き込みコマンドが DOA/DOB ポートで実行されるときポートの動作を指定します。WRITE_FIRST に設定すると、値がポートに書き込まれてから出力されます。READ_FIRST に設定すると、新たに値が書き込まれる前に、RAM の以前の値が出力ポートに出力されます。NO_CHANGE に設定すると、出力ポートの以前の値が維持され、出力ポートの値が変化しません。RAM のポートから値を読み出さない場合は、このモードに設定することをお勧めします。
WRITE_MODE_B	文字列	WRITE_FIRST、 READ_FIRST、 NO_CHANGE	WRITE_FIRST	書き込みコマンドが DOA/DOB ポートで実行されるときポートの動作を指定します。WRITE_FIRST に設定すると、値がポートに書き込まれてから出力されます。READ_FIRST に設定すると、新たに値が書き込まれる前に、RAM の以前の値が出力ポートに出力されます。NO_CHANGE に設定すると、出力ポートの以前の値が維持され、出力ポートの値が変化しません。RAM のポートから値を読み出さない場合は、このモードに設定することをお勧めします。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)

RAMB16_S2

プリミティブ : 16K-bit Data and 2K-bit Parity Single-Port Synchronous Block RAM with 2-bit Port



概要

このデザイン エLEMENTは、同期書き込み機能を備えた専用 RAM ブロックです。ブロック RAM のポートには 16384 ビットのデータ メモリがあります。セルの構成を、次の表に示します。

データ セル		パリティ セル				
ワード数	幅	ワード数	幅	アドレス バス	データ バス	パリティ バス
8192	2	-	-	(12:0)	(1:0)	-

イネーブル ピン ENA は、ポート A の読み出し、書き込み、リセットを制御します。ENA が Low の場合、データは書き込まれず、出力 (DOA および DOPA) は変化しません。ENA とリセット (SSRA) が High の場合、クロック (CLKA) が Low から High に切り替わる時に DOA および DOPA が SRVAL_A にセットされます。ライト イネーブル (WEA) も High の場合は、DIA および DIPA の値が RAM に書き込まれます。ENA が High で RSTA および WEA が Low の場合、クロックが Low から High に切り替わる時に、RAM アドレス (ADDR_A) に格納されているデータが出力されます。SSRA が Low で ENA と WEA が High の場合、クロックが Low から High に切り替わる時に、書き込みアドレス (ADDR_A) で選択されているワードにデータ入力 (DIA および DIPA) の値がロードされます。データ出力 (DOA および DOPA) に出力される値は書き込みモードによって異なります。書き込みモードは、デフォルトでは WRITE_MODE=WRITE_FIRST に設定されています。

前述の説明では、制御ピン (ENA、WEA、RSTA、CLKA、ENB、WEB、RSTB、CLKB) がアクティブ High であると想定していますが、ポートにインバータを配置してアクティブ Low にすることもできます。RAMB16 のポートに配置したインバータはブロック内に組み込まれるので、CLB リソースは使用されません。

論理表

入力								出力			
GSR	EN	SSR	WE	CLK	ADDR	DI	DIP	DO	DOP	RAM の内容	
										データRAM	パリティRAM
1	X	X	X	X	X	X	X	INIT	INIT	変化なし	変化なし
0	0	X	X	X	X	X	X	変化なし	変化なし	変化なし	変化なし
0	1	1	0	↑	X	X	X	SRVAL	SRVAL	変化なし	変化なし
0	1	1	1	↑	addr	data	pdata	SRVAL	SRVAL	RAM(addr) =>data	RAM(addr) =>pdata

入力								出力			
GSR	EN	SSR	WE	CLK	ADDR	DI	DIP	DO	DOP	RAM の内容	
										データRAM	パリティRAM
0	1	0	0	↑	addr	X	X	RAM(addr)	RAM(addr)	変化なし	変化なし
0	1	0	1	↑	addr	data	pdata	変化なし(1)、 RAM(addr)(2)、 data(3)	変化なし(1)、 RAM(addr)(2)、 pdata(3)	RAM(addr) =>data	RAM(addr) =>pdata

GSR=グローバル セット リセット信号
 INIT = データ メモリ用に INIT 属性で設定された値。デフォルトはすべて 0 です。
 SRVAL = SRVAL 属性で設定された SSR のアサート後の値
 addr = RAM アドレス
 RAM(addr) = アドレス ADDR の RAM の内容
 data = RAM の入力データ
 pdata = RAM のパリティ データ
 (1) WRITE_MODE=NO_CHANGE
 (2) WRITE_MODE=READ_FIRST
 (3) WRITE_MODE=WRITE_FIRST

初期化

メモリ内容の初期化

INIT_{xx} 属性を使用すると、デバイスのコンフィギュレーション中に RAMB16 のメモリの内容を初期化できます。各 RAMB16 の初期値は、64 種類の初期化属性 (INIT₀₀ ~ INIT_{3F}) で指定します。各属性は、64 の 16 進数値から成り、合計 16384 ビットを指定できます。

INITP_{xx} 属性を使用すると、デバイスのコンフィギュレーションまたはアサート中にパリティ メモリを初期化できます。9、18、36 ビット幅にコンフィギュレーションされたポートのパリティ メモリの初期値は、8 個の初期化属性 (INITP₀₀ ~ INITP₀₇) で指定します。各属性は 64 個の 16 進数値から成り、合計 2048 ビットを指定できます。

INIT_{xx} または INITP_{xx} 属性を指定しない場合は、そのアドレスの値は 0 に設定されます。属性を一部だけ指定すると、上位ビットが 0 になります。

出力レジスタの初期化

Spartan®-3A および上記のデバイスの場合、電源投入時に出力レジスタの各ビットを 0 または 1 に初期化できます。また、セット/リセットをアサートした後の値を、電源投入時の初期値とは異なる値に設定できます。シングル ポート RAMB16 の出力レジスタの初期化に使用する属性には、INIT と SRVAL の 2 種類があります。INIT 属性は、電源投入時の出力レジスタの値を指定します。SRVAL 属性は、SSR (セット/リセット) 入力をアサートしたときの値を指定します。

INIT および SRVAL 属性は、初期化値を、出力ポートの各ビットを 1 ビット含む 16 進数文字列として指定します。たとえば、ポート幅が 1 の RAMB16_S1 の場合、出力レジスタは 1 ビットなので、INIT および SRVAL には 1 または 0 を指定します。ポート幅が 4 の RAMB16_S4 の場合は、出力レジスタが 4 ビットなので、0 ~ F の 16 進数値を指定します。

パリティ ビットを含むポートでは、出力レジスタのパリティ部分は、INIT または SRVAL の値の上位ビットで指定します。

書き込みモードの選択

WRITE_MODE 属性は、RAMB16 メモリおよび出力の内容を制御します。デフォルトでは、WRITE_MODE は WRITE_FIRST に設定されています。この場合、入力値がメモリに書き込まれた後にその値が出力されます。WRITE_MODE を READ_FIRST に設定すると、メモリの内容が出力された後、入力値がメモリに書き込まれます。WRITE_MODE を NO_CHANGE に設定すると、入力値はメモリに書き込まれますが、出力の値は変化しません。

デザインの入力方法

このエレメントは、回路図で使用されます。

使用可能な属性

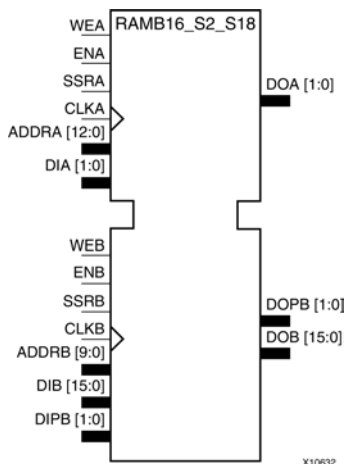
属性	タイプ	値	デフォルト	説明
INIT	2 進数/ 16 進数	任意の値	すべてゼロ	コンフィギュレーション後の DO 出力ポートの初期値を指定。ビット幅は、RAM の A ポートまたは B ポートの幅によって決まります。
INIT_00 ~ INIT_3F	2 進数/ 16 進数	任意の値	すべてゼロ	RAM 配列のデータ部分の初期値を指定
INITP_00 ~ INITP_07	2 進数/ 16 進数	任意の値	すべてゼロ	RAM 配列のパリティ部分の初期値を指定
SRVAL	2 進数/ 16 進数	任意の値	すべてゼロ	SSR ピンをアサートすると、DO 出力ポートがセット (1) またはリセット(0) に設定されるよう指定できます。ビット幅は、RAM の A ポートまたは B ポートの幅によって決まります。
WRITE_MODE	文字列	WRITE_FIRST、 READ_FIRST、 NO_CHANGE	WRITE_FIRST	書き込みコマンドが DO ポートで実行されるときポートの動作を指定します。WRITE_FIRST に設定すると、値がポートに書き込まれてから出力されます。READ_FIRST に設定すると、新たに値が書き込まれる前に、RAM の以前の値が出力ポートに出力されます。NO_CHANGE に設定すると、出力ポートの以前の値が維持され、出力ポートの値が変化しません。RAM のポートから値を読み出さない場合は、このモードに設定することをお勧めします。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

RAMB16_S2_S18

プリミティブ : 16K-bit Data and 2K-bit Parity Dual-Port Synchronous Block RAM with 2-bit and 18-bit Ports



概要

このデザイン エLEMENTは、同期書き込み機能を備えた、デュアル ポートの専用 RAM ブロックです。各ブロック RAM のポートには 16384 ビットのデータ メモリがあります。ポート幅が 9、18、36 ビットにコンフィギュレーションされたポートには、さらに 2048 ビットのパリティ メモリがあります。各ポートは、同じ 16384 個のデータ メモリ セルに独立してアクセスします。各ポートのデータ幅は、それぞれ個別に設定できます。このELEMENTのポートおよびセルの構成は「ポートの説明」の表に示されています。

論理表

真理値表 A

入力								出力			
GSR	ENA	SSRA	WEA	CLKA	ADDRa	DIA	DIPA	DOA	DOPA	RAM の内容	
										データRAM	パリティ RAM
1	X	X	X	X	X	X	X	INIT_A	INIT_A	変化なし	変化なし
0	0	X	X	X	X	X	X	変化なし	変化なし	変化なし	変化なし
0	1	1	0	↑	X	X	X	SRVAL_A	SRVAL_A	変化なし	変化なし
0	1	1	1	↑	addr	data	pdata	SRVAL_A	SRVAL_A	RAM(addr) =>data	RAM(addr) =>pdata
0	1	0	0	↑	addr	X	X	RAM(addr)	RAM(addr)	変化なし	変化なし
0	1	0	1	↑	addr	data	pdata	変化なし(1)、 RAM(addr)(2)、 data(3)	変化なし(1)、 RAM(addr)(2)、 pdata(3)	RAM(addr) =>data	RAM(addr) =>pdata

GSR = グローバル セットリセット信号

INIT_A = 出力レジスタ用に INIT_A 属性で設定された値。デフォルトはすべて 0 です。

SRVAL_A = レジスタの値

addr = RAM アドレス

RAM(addr) = アドレス ADDR の RAM の内容

入力								出力		
GSR	ENA	SSRA	WEA	CLKA	ADDRA	DIA	DIPA	DOA	DOPA	RAM の内容
										データRAM パリティ RAM
data = RAM の入力データ pdata = RAM のパリティ データ 1WRITE_MODE_A=NO_CHANGE 2WRITE_MODE_A=READ_FIRST 3WRITE_MODE_A=WRITE_FIRST										

真理値表 B

入力								出力			
GSR	ENB	SSRB	WEB	CLKB	ADDRB	DIB	DIPB	DOB	DOPB	RAM の内容	
										データRAM	パリティ RAM
1	X	X	X	X	X	X	X	INIT_B	INIT_B	変化なし	変化なし
0	0	X	X	X	X	X	X	変化なし	変化なし	変化なし	変化なし
0	1	1	0	↑	X	X	X	SRVAL_B	SRVAL_B	変化なし	変化なし
0	1	1	1	↑	addr	data	pdata	SRVAL_B	SRVAL_B	RAM(addr) =>data	RAM(addr) =>pdata
0	1	0	0	↑	addr	X	X	RAM(addr)	RAM(addr)	変化なし	変化なし
0	1	0	1	↑	addr	data	pdata	変化なし 1、 RAM(addr) => data、data3	変化なし 1、 RAM(addr) => data、pdata3	RAM(addr) =>data	RAM(addr) =>pdata
GSR = グローバル セットリセット信号 INIT_B = 出力レジスタ用に INIT_B 属性で設定された値。デフォルトはすべて 0 です。 SRVAL_B = レジスタの値 addr = RAM アドレス RAM(addr) = アドレス ADDR の RAM の内容 data = RAM の入力データ pdata = RAM のパリティ データ 1WRITE_MODE_B=NO_CHANGE 2WRITE_MODE_B=READ_FIRST 3WRITE_MODE_B=WRITE_FIRST											

ポートの説明

ポート A						ポート B				
デザイン エレメント	データ セル (a)	パリティ セル (a)	アドレス バス	データ バス	パリティ バス	データ セル (a)	パリティ セル (a)	アドレス バス	データ バス	パリティ バス
RAMB16_S2_S18	8192 x 2	–	(12:0)	(1:0)	–	1024 x 16	1024 x 2	(9:0)	(15:0)	(1:0)
(a) ワード数 X 幅										

各ポートは、それぞれのクロックに完全に同期します。ポート A の各データ入力ピン (DIA) のセットアップ タイム、およびデータ出力バス (DOA) の clock-to-out タイムは、CLKA を基準とします。ポート B の各データ入力ピン (DIB) のセットアップ タイム、およびデータ出力バス (DOB) の clock-to-out タイムは、CLKB を基準とします。イネーブル ピン ENA は、ポート A の読み出し、書き込み、リセットを制御します。ENA が Low の場合、データは書き込まれず、出力 (DOA および DOPA) は変化しません。ENA とリセット (SSRA) が High の場合、クロック (CLKA) が Low から High に切り替わる時に DOA および DOPA が SRVAL_A にセットされます。ライト イネーブル (WEA) も High の場合は、DIA および DIPA の値が RAM に書き込まれます。ENA が High で RSTA および WEA が Low の場合、クロックが Low から High に切り替わる時に、RAM アドレス (ADDR_A) に格納されているデータが出力されます。SSRA が Low で ENA と WEA が High の場合、クロックが Low から High に切り替わる時に、書き込みアドレス (ADDR_A) で選択されているワードにデータ入力 (DIA および DIPA) の値がロードされます。データ出力 (DOA および DOPA) に出力される値は書き込みモードによって異なります。書き込みモードは、デフォルトでは WRITE_MODE=WRITE_FIRST に設定されています。

イネーブル ピン ENB は、ポート B の読み出し、書き込み、リセットを制御します。ENB が Low の場合、データは書き込まれず、出力 (DOB および DOPB) は変化しません。ENB とリセット (SSRB) が High の場合、クロック (CLKB) が Low から High に切り替わる時に、DOB および DOPB が SRVAL_B にセットされます。ライト イネーブル (WEB) も High の場合は、DIB および DIPB の値が RAM に書き込まれます。ENB が High で RSTB と WEB が Low の場合、クロックが Low から High に切り替わる時に RAM アドレス (ADDRB) に格納されているデータが出力されます。SSRB が Low で ENB と WEB が High の場合、クロックが Low から High に切り替わる時に、書き込みアドレス (ADDRB) で選択されているワードにデータ入力 (DIB および DIPB) の値がロードされます。データ出力 (DOB および DOPB) に出力される値は書き込みモードによって異なります。書き込みモードは、デフォルトでは WRITE_MODE=WRITE_FIRST に設定されています。前述の説明では、制御ピン (ENA、WEA、RSTA、CLKA、ENB、WEB、RSTB、CLKB) がアクティブ High であると想定していますが、ポートにインバータを配置してアクティブ Low にすることもできます。RAMB16 のポートに配置したインバータはブロック内に組み込まれるので、CLB リソースは使用されません。

アドレス マップ

各ポートは、ポートの幅によって異なるアドレス指定方法を使用して、同じ 18432 個のメモリ セルにアクセスします。「データ用のポート アドレス マップ」に示すように、すべてのポート幅で 16384 個のメモリ セルをデータの格納に使用できます。9、18、および 36 ビット幅のポートには、「パリティ用のポート アドレス マップ」に示すように、2408 個のパリティメモリセルもあります。特定のポート幅での物理的な RAM の位置は、次の式によって決定されます。

$$\text{Start} = ((\text{ADDR_port} + 1) * (\text{Widthport})) - 1$$

$$\text{End} = (\text{ADDRport}) * (\text{Widthport})$$

次の表に、各ポート幅のアドレス マップを示します。

データ用のポート アドレス マップ

データ 幅	ポートのデータ アドレス																																	
1	16384	<--	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
2	8192	<--	15	14		13	12	11		10	9		8		7		6		5		4		3		2		1		0					
4	4096	<--	7			6			5			4			3			2				1				0								
8	2048	<--	3						2						1									0										
16	1024	<--	1												0																			
32	512	<--	0																															

パリティ用のポート アドレス マップ

パリティ幅	ポートのパリティ アドレス														
1	2048	<-----	3					2					1		0
2	1024	<-----	1										0		
4	512	<-----	0												

デュアル ポート RAMB16 のメモリ内容の初期化

INIT_xx 属性を使用すると、デバイスのコンフィギュレーション中に RAMB16 のメモリの内容を初期化できます。各 RAMB16_Sm_Sn の初期値は、64 種類の初期化属性 (INIT_00 ~ INIT_3F) で指定します。各属性は、64 の 16 進数値から成り、合計 16384 ビットを指定できます。

INITP_xx 属性を使用すると、デバイスのコンフィギュレーションまたはアサート中にパリティメモリを初期化できます。9、18、36 ビット幅にコンフィギュレーションされたポートのパリティメモリの初期値は、8 個の初期化属性 (INITP_00 ~ INITP_07) で指定します。各属性は 64 個の 16 進数値から成り、合計 2048 ビットを指定できます。

INIT_xx または INITP_xx 属性を指定しない場合は、そのアドレスの値は 0 に設定されます。属性を一部だけ指定すると、上位ビットが 0 になります。

デュアル ポート RAMB16 の出力レジスタの初期化

Spartan®-3A および上記のデバイスの場合、電源投入時 (GSR が High のとき) に出力レジスタの各ビットを 0 または 1 に初期化できます。また、セット/リセットをアサートした後の値を、電源投入時の初期値とは異なる値に設定できます。デュアル ポート RAMB16 の出力レジスタを初期化する属性には、INIT_A、INIT_B、SRVAL_A、SRVAL_B の 4 種類があります。INIT_A 属性は電源投入時のポート A の出力レジスタの初期値を指定し、INIT_B 属性は電源投入時のポート B の出力レジスタの初期値を指定します。SRVAL_A 属性はポート A で SSRA (セット/リセット) 入力をアサートしたときの初期値を指定し、SRVAL_B 属性はポート B で SSRB (セット/リセット) 入力をアサートしたときの初期値を指定します。

INIT_A、INIT_B、SRVAL_A、SRVAL_B 属性は、16 進数で指定します。この初期値はポート幅によって異なります。たとえば、ポート A の幅が 1、ポート B の幅が 4 の RAMB16_S1_S4 の場合、ポート A の出力レジスタは 1 ビットなので、INIT_A または SRVAL_A には 1 か 0 しか指定できません。ポート B の出力レジスタは 4 ビットなので、INIT_B または SRVAL_B に 0 ~ F の 16 進数値を指定できます。

パリティビットを含むポートでは、出力レジスタのパリティ部分は、INIT_A、INIT_B、SRVAL_A、SRVAL_B の値の上位ビットで指定します。

INIT および SRVAL 属性を指定しない場合は、デフォルトで 0 に初期化されます。

書き込みモードの選択

WRITE_MODE_A 属性は、デュアル ポート RAMB16 のポート A のメモリおよび出力の内容を制御し、WRITE_MODE_B 属性は、ポート B のメモリおよび出力の内容を制御します。デフォルトでは、WRITE_MODE_A と WRITE_MODE_B は両方とも WRITE_FIRST に設定されています。この場合、入力値がメモリに書き込まれた後にその値が出力されます。READ_FIRST に設定すると、メモリの内容が出力された後、入力値がメモリに書き込まれます。NO_CHANGE に設定すると、入力値はメモリに書き込まれますが、出力の値は変化しません。ポート A とポート B で同じメモリセルに読み出し/書き込みを行おうとした場合の競合の解決方法については、「ポート A とポート B が競合する場合の対処方法」を参照してください。

ポート A とポート B が競合する場合の対処方法

Spartan-3A ブロックの SelectIO™ は、完全なデュアル ポート RAM で、2 つのポートが同時に同じメモリセルにアクセスできます。ただし、一方のポートがあるメモリセルに書き込みを行っている場合は、もう一方のポートで clock-to-clock セットアップ タイム内に、そのメモリセルに対して書き込みまたは読み出しを実行しないようにする必要があります。

次の表に、デュアル ポート RAMB16 で競合が発生した場合の動作を、WRITE_MODE_A と WRITE_MODE_B の設定別に示します。

WRITE_MODE_A=NO_CHANGE、WRITE_MODE_B=NO_CHANGE の場合

WEA	WEB	CLKA	CLKB	DIA	DIB	DIPA	DIPB	DOA	DOB	DOPA	DOPB	データ RAM	パリティ RAM
0	0	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	変化 なし	変化 なし
1	0	↑	↑	DIA	DIB	DIPA	DIPB	変化 なし	X	変化 なし	X	DIA	DIPA
0	1	↑	↑	DIA	DIB	DIPA	DIPB	X	変化 なし	X	変化 なし	DIB	DIPB
1	1	↑	↑	DIA	DIB	DIPA	DIPB	変化 なし	変化 なし	変化 なし	変化 なし	X	X

WRITE_MODE_A=READ_FIRST、WRITE_MODE_B=READ_FIRST の場合

WEA	WEB	CLKA	CLKB	DIA	DIB	DIPA	DIPB	DOA	DOB	DOPA	DOPB	データ RAM	パリティ RAM
0	0	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	変化 なし	変化 なし
1	0	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	DIA	DIPA
0	1	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	DIB	DIPB
1	1	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	X	X

WRITE_MODE_A=WRITE_FIRST、WRITE_MODE_B=WRITE_FIRST の場合

WEA	WEB	CLKA	CLKB	DIA	DIB	DIPA	DIPB	DOA	DOB	DOPA	DOPB	データ RAM	パリティ RAM
0	0	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	変化 なし	変化 なし
1	0	↑	↑	DIA	DIB	DIPA	DIPB	DIA	X	DIPA	X	DIA	DIPA
0	1	↑	↑	DIA	DIB	DIPA	DIPB	X	DIB	X	DIPB	DIB	DIPB
1	1	↑	↑	DIA	DIB	DIPA	DIPB	X	X	X	X	X	X

WRITE_MODE_A=NO_CHANGE、WRITE_MODE_B=READ_FIRST の場合

WEA	WEB	CLKA	CLKB	DIA	DIB	DIPA	DIPB	DOA	DOB	DOPA	DOPB	データ RAM	パリティ RAM
0	0	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	変化 なし	変化 なし
1	0	↑	↑	DIA	DIB	DIPA	DIPB	変化 なし	X	変化 なし	X	DIA	DIPA
0	1	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	DIB	DIPB
1	1	↑	↑	DIA	DIB	DIPA	DIPB	変化 なし	X	変化 なし	X	DIB	DIPB

WRITE_MODE_A=NO_CHANGE、WRITE_MODE_B=WRITE_FIRST の場合

WEA	WEB	CLKA	CLKB	DIA	DIB	DIPA	DIPB	DOA	DOB	DOPA	DOPB	データ RAM	パリティ RAM
0	0	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	変化 なし	変化 なし
1	0	↑	↑	DIA	DIB	DIPA	DIPB	変化 なし	X	変化 なし	X	DIA	DIPA
0	1	↑	↑	DIA	DIB	DIPA	DIPB	X	DIB	X	DIPB	DIB	DIPB
1	1	↑	↑	DIA	DIB	DIPA	DIPB	変化 なし	X	変化 なし	X	X	X

WRITE_MODE_A=READ_FIRST および WRITE_MODE_B=WRITE_FIRST

WEA	WEB	CLKA	CLKB	DIA	DIB	DIPA	DIPB	DOA	DOB	DOPA	DOPB	データ RAM	パリティ RAM
0	0	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	変化 なし	変化 なし
1	0	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	DIA	DIPA
0	1	↑	↑	DIA	DIB	DIPA	DIPB	X	DIB	X	DIPB	DIB	DIPB
1	1	↑	↑	DIA	DIB	DIPA	DIPB	X	DIB	X	DIPB	DIA	DIPA

デザインの入力方法

このエレメントは、回路図で使用されます。

使用可能な属性

属性	タイプ	値	デフォルト	説明
INIT_00 ~ INIT_3F	2 進数/ 16 進数	任意の値	すべてゼロ	RAM 配列のデータ部分の初期値を指定
INIT_A	2 進数/ 16 進数	任意の値	すべてゼロ	コンフィギュレーション後の DOA/DOB 出力ポートの初期値を指定。ビット幅は、RAM の A ポートまたは B ポートの幅によって決まります。
INIT_B	2 進数/ 16 進数	任意の値	すべてゼロ	コンフィギュレーション後の DOA/DOB 出力ポートの初期値を指定。ビット幅は、RAM の A ポートまたは B ポートの幅によって決まります。
INITP_00 ~ INITP_07	2 進数/ 16 進数	任意の値	すべてゼロ	RAM 配列のパリティ部分の初期値を指定
SIM_COLLISION_ CHECK	文字列	ALL、 WARNING_ ONLY、 GENERATE_X_ ONLY、または NONE	ALL	<p>メモリの競合が発生した場合にシミュレーションの動作を変更できます。詳細は次のとおりです。</p> <ul style="list-style-type: none"> ALL に設定すると、警告メッセージが出力され、関連する出力およびメモリの値が不定 (X) になります。 WARNING_ONLY に設定すると、警告メッセージのみが出力され、関連する出力およびメモリの値はそのまま保持されます。 GENERATE_X_ONLY に設定すると、警告メッセージは出力されず、関連する出力およびメモリの値が不定 (X) になります。 NONE に設定すると、警告メッセージは出力されず、関連する出力およびメモリの値はそのまま保持されます。 <p>メモ: ALL 以外の値に設定すると、シミュレーション中にデザインの問題を認識できなくなるため、この値を変更する場合は注意が必要です。詳細は、『合成/シミュレーション デザイン ガイド』を参照してください。</p>
SRVAL_A	2 進数/ 16 進数	任意の値	すべてゼロ	RSTA ピンをアサートすると、DOA/DOB 出力ポートがセット (1) またはリセット(0) に設定されるよう指定できます。ビット幅は、RAM の A ポートの幅によって決まります。
SRVAL_B	2 進数/ 16 進数	任意の値	すべてゼロ	RSTB ピンをアサートすると、DOA/DOB 出力ポートがセット (1) またはリセット(0) に設定されるよう指定できます。ビット幅は、RAM の B ポートの幅によって決まります。
WRITE_MODE_A	文字列	WRITE_FIRST、 READ_FIRST、 NO_CHANGE	WRITE_ FIRST	書き込みコマンドが DOA/DOB ポートで実行される時のポートの動作を指定します。WRITE_FIRST に設定すると、値がポートに書き込まれてから出力されます。READ_FIRST に設定すると、新たに値が書き込まれる前に、RAM の以前の値が出力ポートに出力されます。NO_CHANGE に設定すると、出力ポートの以前の値が維持され、出力ポートの値が変化しません。RAM のポートから値を読み出さない場合は、このモードに設定することをお勧めします。

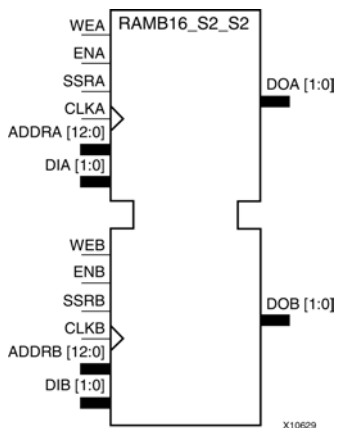
属性	タイプ	値	デフォルト	説明
WRITE_MODE_B	文字列	WRITE_FIRST、 READ_FIRST、 NO_CHANGE	WRITE_ FIRST	書き込みコマンドが DOA/DOB ポートで実行されるときのパートの動作を指定します。WRITE_FIRST に設定すると、値がポートに書き込まれてから出力されます。READ_FIRST に設定すると、新たに値が書き込まれる前に、RAM の以前の値が出力ポートに出力されます。NO_CHANGE に設定すると、出力ポートの以前の値が維持され、出力ポートの値が変化しません。RAM のポートから値を読み出さない場合は、このモードに設定することをお勧めします。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

RAMB16_S2_S2

プリミティブ : 16K-bit Data and 2K-bit Parity Dual-Port Synchronous Block RAM with 2-bit Ports



概要

このデザイン エLEMENTは、同期書き込み機能を備えた、デュアル ポートの専用 RAM ブロックです。各ブロック RAM のポートには 16384 ビットのデータ メモリがあります。ポート幅が 9、18、36 ビットにコンフィギュレーションされたポートには、さらに 2048 ビットのパリティ メモリがあります。各ポートは、同じ 16384 個のデータ メモリ セルに独立してアクセスします。各ポートのデータ幅は、それぞれ個別に設定できます。このELEMENTのポートおよびセルの構成は「ポートの説明」の表に示されています。

論理表

真理値表 A

入力								出力			
GSR	ENA	SSRA	WEA	CLKA	ADDRa	DIA	DIPA	DOA	DOPA	RAM の内容	
										データRAM	パリティ RAM
1	X	X	X	X	X	X	X	INIT_A	INIT_A	変化なし	変化なし
0	0	X	X	X	X	X	X	変化なし	変化なし	変化なし	変化なし
0	1	1	0	↑	X	X	X	SRVAL_A	SRVAL_A	変化なし	変化なし
0	1	1	1	↑	addr	data	pdata	SRVAL_A	SRVAL_A	RAM(addr) =>data	RAM(addr) =>pdata
0	1	0	0	↑	addr	X	X	RAM(addr)	RAM(addr)	変化なし	変化なし
0	1	0	1	↑	addr	data	pdata	変化なし(1)、 RAM(addr)(2)、 data(3)	変化なし(1)、 RAM(addr)(2)、 pdata(3)	RAM(addr) =>data	RAM(addr) =>pdata

GSR = グローバル セットリセット信号

INIT_A = 出力レジスタ用に INIT_A 属性で設定された値。デフォルトはすべて 0 です。

SRVAL_A = レジスタの値

addr = RAM アドレス

RAM(addr) = アドレス ADDR の RAM の内容

入力								出力		
GSR	ENA	SSRA	WEA	CLKA	ADDRA	DIA	DIPA	DOA	DOPA	RAM の内容
										データRAM パリティ RAM
data = RAM の入力データ pdata = RAM のパリティ データ 1WRITE_MODE_A=NO_CHANGE 2WRITE_MODE_A=READ_FIRST 3WRITE_MODE_A=WRITE_FIRST										

真理値表 B

入力								出力			
GSR	ENB	SSRB	WEB	CLKB	ADDRB	DIB	DIPB	DOB	DOPB	RAM の内容	
										データRAM	パリティ RAM
1	X	X	X	X	X	X	X	INIT_B	INIT_B	変化なし	変化なし
0	0	X	X	X	X	X	X	変化なし	変化なし	変化なし	変化なし
0	1	1	0	↑	X	X	X	SRVAL_B	SRVAL_B	変化なし	変化なし
0	1	1	1	↑	addr	data	pdata	SRVAL_B	SRVAL_B	RAM(addr) =>data	RAM(addr) =>pdata
0	1	0	0	↑	addr	X	X	RAM(addr)	RAM(addr)	変化なし	変化なし
0	1	0	1	↑	addr	data	pdata	変化なし 1、 RAM(addr) => data、data3	変化なし 1、 RAM(addr) => data、pdata3	RAM(addr) =>data	RAM(addr) =>pdata
GSR = グローバル セットリセット信号 INIT_B = 出力レジスタ用に INIT_B 属性で設定された値。デフォルトはすべて 0 です。 SRVAL_B = レジスタの値 addr = RAM アドレス RAM(addr) = アドレス ADDR の RAM の内容 data = RAM の入力データ pdata = RAM のパリティ データ 1WRITE_MODE_B=NO_CHANGE 2WRITE_MODE_B=READ_FIRST 3WRITE_MODE_B=WRITE_FIRST											

ポートの説明

ポート A						ポート B				
デザイン エレメント	データ セル (a)	パリティ セル (a)	アドレス バス	データ バス	パリティ バス	データ セル (a)	パリティ セル (a)	アドレス バス	データ バス	パリティ バス
RAMB16_S2_S2	8192 x 2	-	(12:0)	(1:0)	-	8192 x 2	-	(12:0)	(1:0)	-
(a) ワード数 X 幅										

各ポートは、それぞれのクロックに完全に同期します。ポート A の各データ入力ピン (DIA) のセットアップ タイム、およびデータ出力バス (DOA) の clock-to-out タイムは、CLKA を基準とします。ポート B の各データ入力ピン (DIB) のセットアップ タイム、およびデータ出力バス (DOB) の clock-to-out タイムは、CLKB を基準とします。イネーブルピン ENA は、ポート A の読み出し、書き込み、リセットを制御します。ENA が Low の場合、データは書き込まれず、出力 (DOA および DOPA) は変化しません。ENA とリセット (SSRA) が High の場合、クロック (CLKA) が Low から High に切り替わるときに DOA および DOPA が SRVAL_A にセットされます。ライト イネーブル (WEA) も High の場合は、DIA および DIPA の値が RAM に書き込まれます。ENA が High で RSTA および WEA が Low の場合、クロックが Low から High に切り替わるときに、RAM アドレス (ADDR_A) に格納されているデータが出力されます。SSRA が Low で ENA と WEA が High の場合、クロックが Low から High に切り替わるときに、書き込みアドレス (ADDR_A) で選択されているワードにデータ入力 (DIA および DIPA) の値がロードされます。データ出力 (DOA および DOPA) に出力される値は書き込みモードによって異なります。書き込みモードは、デフォルトでは WRITE_MODE=WRITE_FIRST に設定されています。

イネーブルピン ENB は、ポート B の読み出し、書き込み、リセットを制御します。ENB が Low の場合、データは書き込まれず、出力 (DOB および DOPB) は変化しません。ENB とリセット (SSRB) が High の場合、クロック (CLKB) が Low から High に切り替わるときに、DOB および DOPB が SRVAL_B にセットされます。ライト イネーブル (WEB) も High の場合は、DIB および DIPB の値が RAM に書き込まれます。ENB が High で RSTB と WEB が Low の場合、クロックが Low から High に切り替わるときに RAM アドレス (ADDRB) に格納されているデータが出力されます。SSRB が Low で ENB と WEB が High の場合、クロックが Low から High に切り替わるときに、書き込みアドレス (ADDRB) で選択されているワードにデータ入力 (DIB および DIPB) の値がロードされます。データ出力 (DOB および DOPB) に出力される値は書き込みモードによって異なります。書き込みモードは、デフォルトでは WRITE_MODE=WRITE_FIRST に設定されています。前述の説明では、制御ピン (ENA、WEA、RSTA、CLKA、ENB、WEB、RSTB、CLKB) がアクティブ High であると想定していますが、ポートにインバータを配置してアクティブ Low にすることもできます。RAMB16 のポートに配置したインバータはブロック内に組み込まれるので、CLB リソースは使用されません。

アドレス マップ

各ポートは、ポートの幅によって異なるアドレス指定方法を使用して、同じ 18432 個のメモリ セルにアクセスします。「データ用のポート アドレス マップ」に示すように、すべてのポート幅で 16384 個のメモリ セルをデータの格納に使用できます。9、18、および 36 ビット幅のポートには、「パリティ用のポート アドレス マップ」に示すように、2408 個のパリティメモリセルもあります。特定のポート幅での物理的な RAM の位置は、次の式によって決定されます。

$$\text{Start} = ((\text{ADDR_port} + 1) * (\text{Widthport})) - 1$$

$$\text{End} = (\text{ADDRport}) * (\text{Widthport})$$

次の表に、各ポート幅のアドレス マップを示します。

データ用のポート アドレス マップ

データ 幅	ポートのデータ アドレス																																		
1	16384	<--	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
2	8192	<--	15		14		13		12		11		10		9		8		7		6		5		4		3		2		1		0		
4	4096	<--	7				6					5				4				3				2				1				0			
8	2048	<--	3									2								1								0							
16	1024	<--	1																	0															
32	512	<--	0																																

パリティ用のポート アドレス マップ

パリティ幅	ポートのパリティ アドレス														
1	2048	<-----	3				2				1				0
2	1024	<-----	1							0					
4	512	<-----	0												

デュアル ポート RAMB16 のメモリ内容の初期化

INIT_xx 属性を使用すると、デバイスのコンフィギュレーション中に RAMB16 のメモリの内容を初期化できます。各 RAMB16_Sm_Sn の初期値は、64 種類の初期化属性 (INIT_00 ~ INIT_3F) で指定します。各属性は、64 の 16 進数値から成り、合計 16384 ビットを指定できます。

INITP_xx 属性を使用すると、デバイスのコンフィギュレーションまたはアサート中にパリティメモリを初期化できます。9、18、36 ビット幅にコンフィギュレーションされたポートのパリティメモリの初期値は、8 個の初期化属性 (INITP_00 ~ INITP_07) で指定します。各属性は 64 個の 16 進数値から成り、合計 2048 ビットを指定できます。

INIT_xx または INITP_xx 属性を指定しない場合は、そのアドレスの値は 0 に設定されます。属性を一部だけ指定すると、上位ビットが 0 になります。

デュアル ポート RAMB16 の出力レジスタの初期化

Spartan®-3A および上記のデバイスの場合、電源投入時 (GSR が High のとき) に出力レジスタの各ビットを 0 または 1 に初期化できます。また、セット/リセットをアサートした後の値を、電源投入時の初期値とは異なる値に設定できます。デュアル ポート RAMB16 の出力レジスタを初期化する属性には、INIT_A、INIT_B、SRVAL_A、SRVAL_B の 4 種類があります。INIT_A 属性は電源投入時のポート A の出力レジスタの初期値を指定し、INIT_B 属性は電源投入時のポート B の出力レジスタの初期値を指定します。SRVAL_A 属性はポート A で SSRA (セット/リセット) 入力をアサートしたときの初期値を指定し、SRVAL_B 属性はポート B で SSRB (セット/リセット) 入力をアサートしたときの初期値を指定します。

INIT_A、INIT_B、SRVAL_A、SRVAL_B 属性は、16 進数で指定します。この初期値はポート幅によって異なります。たとえば、ポート A の幅が 1、ポート B の幅が 4 の RAMB16_S1_S4 の場合、ポート A の出力レジスタは 1 ビットなので、INIT_A または SRVAL_A には 1 か 0 しか指定できません。ポート B の出力レジスタは 4 ビットなので、INIT_B または SRVAL_B に 0 ~ F の 16 進数値を指定できます。

パリティビットを含むポートでは、出力レジスタのパリティ部分は、INIT_A、INIT_B、SRVAL_A、SRVAL_B の値の上位ビットで指定します。

INIT および SRVAL 属性を指定しない場合は、デフォルトで 0 に初期化されます。

書き込みモードの選択

WRITE_MODE_A 属性は、デュアル ポート RAMB16 のポート A のメモリおよび出力の内容を制御し、WRITE_MODE_B 属性は、ポート B のメモリおよび出力の内容を制御します。デフォルトでは、WRITE_MODE_A と WRITE_MODE_B は両方とも WRITE_FIRST に設定されています。この場合、入力値がメモリに書き込まれた後にその値が出力されます。READ_FIRST に設定すると、メモリの内容が出力された後、入力値がメモリに書き込まれます。NO_CHANGE に設定すると、入力値はメモリに書き込まれますが、出力の値は変化しません。ポート A とポート B で同じメモリセルに読み出し/書き込みを行おうとした場合の競合の解決方法については、「ポート A とポート B が競合する場合の対処方法」を参照してください。

ポート A とポート B が競合する場合の対処方法

Spartan-3A ブロックの SelectRAM™ は、完全なデュアル ポート RAM で、2 つのポートが同時に同じメモリセルにアクセスできます。ただし、一方のポートがあるメモリセルに書き込みを行っている場合は、もう一方のポートで clock-to-clock セットアップ タイム内に、そのメモリセルに対して書き込みまたは読み出しを実行しないようにする必要があります。

次の表に、デュアル ポート RAMB16 で競合が発生した場合の動作を、WRITE_MODE_A と WRITE_MODE_B の設定別に示します。

WRITE_MODE_A=NO_CHANGE、WRITE_MODE_B=NO_CHANGE の場合

WEA	WEB	CLKA	CLKB	DIA	DIB	DIPA	DIPB	DOA	DOB	DOPA	DOPB	データ RAM	パリティ RAM
0	0	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	変化なし	変化なし
1	0	↑	↑	DIA	DIB	DIPA	DIPB	変化なし	X	変化なし	X	DIA	DIPA
0	1	↑	↑	DIA	DIB	DIPA	DIPB	X	変化なし	X	変化なし	DIB	DIPB
1	1	↑	↑	DIA	DIB	DIPA	DIPB	変化なし	変化なし	変化なし	変化なし	X	X

WRITE_MODE_A=READ_FIRST、WRITE_MODE_B=READ_FIRST の場合

WEA	WEB	CLKA	CLKB	DIA	DIB	DIPA	DIPB	DOA	DOB	DOPA	DOPB	データ RAM	パリティ RAM
0	0	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	変化なし	変化なし
1	0	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	DIA	DIPA
0	1	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	DIB	DIPB
1	1	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	X	X

WRITE_MODE_A=WRITE_FIRST、WRITE_MODE_B=WRITE_FIRST の場合

WEA	WEB	CLKA	CLKB	DIA	DIB	DIPA	DIPB	DOA	DOB	DOPA	DOPB	データ RAM	パリティ RAM
0	0	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	変化なし	変化なし
1	0	↑	↑	DIA	DIB	DIPA	DIPB	DIA	X	DIPA	X	DIA	DIPA
0	1	↑	↑	DIA	DIB	DIPA	DIPB	X	DIB	X	DIPB	DIB	DIPB
1	1	↑	↑	DIA	DIB	DIPA	DIPB	X	X	X	X	X	X

WRITE_MODE_A=NO_CHANGE、WRITE_MODE_B=READ_FIRST の場合

WEA	WEB	CLKA	CLKB	DIA	DIB	DIPA	DIPB	DOA	DOB	DOPA	DOPB	データ RAM	パリティ RAM
0	0	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	変化なし	変化なし
1	0	↑	↑	DIA	DIB	DIPA	DIPB	変化なし	X	変化なし	X	DIA	DIPA
0	1	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	DIB	DIPB
1	1	↑	↑	DIA	DIB	DIPA	DIPB	変化なし	X	変化なし	X	DIB	DIPB

WRITE_MODE_A=NO_CHANGE、WRITE_MODE_B=WRITE_FIRST の場合

WEA	WEB	CLKA	CLKB	DIA	DIB	DIPA	DIPB	DOA	DOB	DOPA	DOPB	データ RAM	パリティ RAM
0	0	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	変化なし	変化なし
1	0	↑	↑	DIA	DIB	DIPA	DIPB	変化なし	X	変化なし	X	DIA	DIPA
0	1	↑	↑	DIA	DIB	DIPA	DIPB	X	DIB	X	DIPB	DIB	DIPB
1	1	↑	↑	DIA	DIB	DIPA	DIPB	変化なし	X	変化なし	X	X	X

WRITE_MODE_A=READ_FIRST および WRITE_MODE_B=WRITE_FIRST の場合

WEA	WEB	CLKA	CLKB	DIA	DIB	DIPA	DIPB	DOA	DOB	DOPA	DOPB	データ RAM	パリティ RAM
0	0	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	変化なし	変化なし
1	0	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	DIA	DIPA
0	1	↑	↑	DIA	DIB	DIPA	DIPB	X	DIB	X	DIPB	DIB	DIPB
1	1	↑	↑	DIA	DIB	DIPA	DIPB	X	DIB	X	DIPB	DIA	DIPA

デザインの入力方法

このエレメントは、回路図で使用されます。

使用可能な属性

属性	タイプ	値	デフォルト	説明
INIT_00 ~ INIT_3F	2 進数/ 16 進数	任意の値	すべてゼロ	RAM 配列のデータ部分の初期値を指定
INIT_A	2 進数/ 16 進数	任意の値	すべてゼロ	コンフィギュレーション後の DOA/DOB 出力ポートの初期値を指定。ビット幅は、RAM の A ポートまたは B ポートの幅によって決まります。
INIT_B	2 進数/ 16 進数	任意の値	すべてゼロ	コンフィギュレーション後の DOA/DOB 出力ポートの初期値を指定。ビット幅は、RAM の A ポートまたは B ポートの幅によって決まります。
INITP_00 ~ INITP_07	2 進数/ 16 進数	任意の値	すべてゼロ	RAM 配列のパリティ部分の初期値を指定
SIM_COLLISION_CHECK	文字列	ALL、 WARNING_ONLY、 GENERATE_X_ONLY、または NONE	ALL	<p>メモリの競合が発生した場合にシミュレーションの動作を変更できます。詳細は次のとおりです。</p> <ul style="list-style-type: none"> ・ ALL に設定すると、警告メッセージが出力され、関連する出力およびメモリの値が不定 (X) になります。 ・ WARNING_ONLY に設定すると、警告メッセージのみが出力され、関連する出力およびメモリの値はそのまま保持されます。 ・ GENERATE_X_ONLY に設定すると、警告メッセージは出力されず、関連する出力およびメモリの値が不定 (X) になります。 ・ NONE に設定すると、警告メッセージは出力されず、関連する出力およびメモリの値はそのまま保持されます。 <p>メモ : ALL 以外の値に設定すると、シミュレーション中にデザインの問題を認識できなくなるため、この値を変更する場合は注意が必要です。詳細は、『合成/シミュレーション デザイン ガイド』を参照してください。</p>
SRVAL_A	2 進数/ 16 進数	任意の値	すべてゼロ	RSTA ピンをアサートすると、DOA/DOB 出力ポートがセット (1) またはリセット (0) に設定されるよう指定できます。ビット幅は、RAM の A ポートの幅によって決まります。
SRVAL_B	2 進数/ 16 進数	任意の値	すべてゼロ	RSTB ピンをアサートすると、DOA/DOB 出力ポートがセット (1) またはリセット (0) に設定されるよう指定できます。ビット幅は、RAM の B ポートの幅によって決まります。

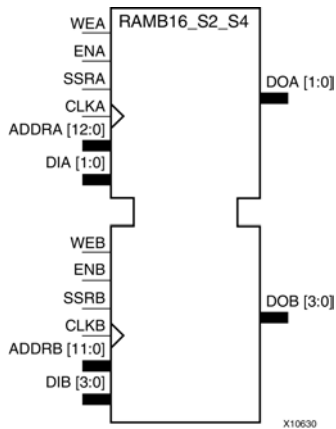
属性	タイプ	値	デフォルト	説明
WRITE_MODE_A	文字列	WRITE_FIRST、 READ_FIRST、 NO_CHANGE	WRITE_FIRST	書き込みコマンドが DOA/DOB ポートで実行されるときポートの動作を指定します。WRITE_FIRST に設定すると、値がポートに書き込まれてから出力されます。READ_FIRST に設定すると、新たに値が書き込まれる前に、RAM の以前の値が出力ポートに出力されます。NO_CHANGE に設定すると、出力ポートの以前の値が維持され、出力ポートの値が変化しません。RAM のポートから値を読み出さない場合は、このモードに設定することをお勧めします。
WRITE_MODE_B	文字列	WRITE_FIRST、 READ_FIRST、 NO_CHANGE	WRITE_FIRST	書き込みコマンドが DOA/DOB ポートで実行されるときポートの動作を指定します。WRITE_FIRST に設定すると、値がポートに書き込まれてから出力されます。READ_FIRST に設定すると、新たに値が書き込まれる前に、RAM の以前の値が出力ポートに出力されます。NO_CHANGE に設定すると、出力ポートの以前の値が維持され、出力ポートの値が変化しません。RAM のポートから値を読み出さない場合は、このモードに設定することをお勧めします。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

RAMB16_S2_S4

プリミティブ : 16K-bit Data and 2K-bit Parity Dual-Port Synchronous Block RAM with 2-bit and 4-bit Ports



概要

このデザイン エLEMENTは、同期書き込み機能を備えた、デュアル ポートの専用 RAM ブロックです。各ブロック RAM のポートには 16384 ビットのデータ メモリがあります。ポート幅が 9、18、36 ビットにコンフィギュレーションされたポートには、さらに 2048 ビットのパリティ メモリがあります。各ポートは、同じ 16384 個のデータ メモリ セルに独立してアクセスします。各ポートのデータ幅は、それぞれ個別に設定できます。このELEMENTのポートおよびセルの構成は「ポートの説明」の表に示されています。

論理表

真理値表 A

入力								出力			
GSR	ENA	SSRA	WEA	CLKA	ADDRA	DIA	DIPA	DOA	DOPA	RAM の内容	
										データRAM	パリティ RAM
1	X	X	X	X	X	X	X	INIT_A	INIT_A	変化なし	変化なし
0	0	X	X	X	X	X	X	変化なし	変化なし	変化なし	変化なし
0	1	1	0	↑	X	X	X	SRVAL_A	SRVAL_A	変化なし	変化なし
0	1	1	1	↑	addr	data	pdata	SRVAL_A	SRVAL_A	RAM(addr) =>data	RAM(addr) =>pdata
0	1	0	0	↑	addr	X	X	RAM(addr)	RAM(addr)	変化なし	変化なし
0	1	0	1	↑	addr	data	pdata	変化なし(1)、 RAM(addr)(2)、 data(3)	変化なし(1)、 RAM(addr)(2)、 pdata(3)	RAM(addr) =>data	RAM(addr) =>pdata

GSR = グローバル セットリセット信号

INIT_A = 出力レジスタ用に INIT_A 属性で設定された値。デフォルトはすべて 0 です。

SRVAL_A = レジスタの値

addr = RAM アドレス

RAM(addr) = アドレス ADDR の RAM の内容

入力								出力			
GSR	ENA	SSRA	WEA	CLKA	ADDRA	DIA	DIPA	DOA	DOPA	RAM の内容	
										データRAM	パリティ RAM
data = RAM の入力データ pdata = RAM のパリティ データ 1WRITE_MODE_A=NO_CHANGE 2WRITE_MODE_A=READ_FIRST 3WRITE_MODE_A=WRITE_FIRST											

真理値表 B

入力								出力			
GSR	ENB	SSRB	WEB	CLKB	ADDRB	DIB	DIPB	DOB	DOPB	RAM の内容	
										データRAM	パリティ RAM
1	X	X	X	X	X	X	X	INIT_B	INIT_B	変化なし	変化なし
0	0	X	X	X	X	X	X	変化なし	変化なし	変化なし	変化なし
0	1	1	0	↑	X	X	X	SRVAL_B	SRVAL_B	変化なし	変化なし
0	1	1	1	↑	addr	data	pdata	SRVAL_B	SRVAL_B	RAM(addr) =>data	RAM(addr) =>pdata
0	1	0	0	↑	addr	X	X	RAM(addr)	RAM(addr)	変化なし	変化なし
0	1	0	1	↑	addr	data	pdata	変化なし 1、 RAM(addr) => data、data3	変化なし 1、 RAM(addr) => data、pdata3	RAM(addr) =>data	RAM(addr) =>pdata

GSR = グローバル セットリセット信号
INIT_B = 出力レジスタ用に INIT_B 属性で設定された値。デフォルトはすべて 0 です。
SRVAL_B = レジスタの値
addr = RAM アドレス
RAM(addr) = アドレス ADDR の RAM の内容
data = RAM の入力データ
pdata = RAM のパリティ データ
1WRITE_MODE_B=NO_CHANGE
2WRITE_MODE_B=READ_FIRST
3WRITE_MODE_B=WRITE_FIRST

ポートの説明

ポート A						ポート B				
デザイン エレメント	データ セル (a)	パリティ セル (a)	アドレス バス	データ バス	パリティ バス	データ セル (a)	パリティ セル (a)	アドレス バス	データ バス	パリティ バス
RAMB16_S2_S4	8192 x 2	-	(12:0)	(1:0)	-	4096 x 4	-	(11:0)	(3:0)	-
(a) ワード数 X 幅										

各ポートは、それぞれのクロックに完全に同期します。ポート A の各データ入力ピン (DIA) のセットアップ タイム、およびデータ出力バス (DOA) の clock-to-out タイムは、CLKA を基準とします。ポート B の各データ入力ピン (DIB) のセットアップ タイム、およびデータ出力バス (DOB) の clock-to-out タイムは、CLKB を基準とします。イネーブルピン ENA は、ポート A の読み出し、書き込み、リセットを制御します。ENA が Low の場合、データは書き込まれず、出力 (DOA および DOPA) は変化しません。ENA とリセット (SSRA) が High の場合、クロック (CLKA) が Low から High に切り替わる時に DOA および DOPA が SRVAL_A にセットされます。ライト イネーブル (WEA) も High の場合は、DIA および DIPA の値が RAM に書き込まれます。ENA が High で RSTA および WEA が Low の場合、クロックが Low から High に切り替わる時に、RAM アドレス (ADDR_A) に格納されているデータが出力されます。SSRA が Low で ENA と WEA が High の場合、クロックが Low から High に切り替わる時に、書き込みアドレス (ADDR_A) で選択されているワードにデータ入力 (DIA および DIPA) の値がロードされます。データ出力 (DOA および DOPA) に出力される値は書き込みモードによって異なります。書き込みモードは、デフォルトでは WRITE_MODE=WRITE_FIRST に設定されています。

イネーブルピン ENB は、ポート B の読み出し、書き込み、リセットを制御します。ENB が Low の場合、データは書き込まれず、出力 (DOB および DOPB) は変化しません。ENB とリセット (SSRB) が High の場合、クロック (CLKB) が Low から High に切り替わる時に、DOB および DOPB が SRVAL_B にセットされます。ライト イネーブル (WEB) も High の場合は、DIB および DIPB の値が RAM に書き込まれます。ENB が High で RSTB と WEB が Low の場合、クロックが Low から High に切り替わる時に RAM アドレス (ADDRB) に格納されているデータが出力されます。SSRB が Low で ENB と WEB が High の場合、クロックが Low から High に切り替わる時に、書き込みアドレス (ADDRB) で選択されているワードにデータ入力 (DIB および DIPB) の値がロードされます。データ出力 (DOB および DOPB) に出力される値は書き込みモードによって異なります。書き込みモードは、デフォルトでは WRITE_MODE=WRITE_FIRST に設定されています。前述の説明では、制御ピン (ENA、WEA、RSTA、CLKA、ENB、WEB、RSTB、CLKB) がアクティブ High であると想定していますが、ポートにインバータを配置してアクティブ Low にすることもできます。RAMB16 のポートに配置したインバータはブロック内に組み込まれるので、CLB リソースは使用されません。

アドレス マップ

各ポートは、ポートの幅によって異なるアドレス指定方法を使用して、同じ 18432 個のメモリセルにアクセスします。「データ用のポート アドレス マップ」に示すように、すべてのポート幅で 16384 個のメモリセルをデータの格納に使用できます。9、18、および 36 ビット幅のポートには、「パリティ用のポート アドレス マップ」に示すように、2408 個のパリティメモリセルもあります。特定のポート幅での物理的な RAM の位置は、次の式によって決定されます。

$$\text{Start} = ((\text{ADDR_port} + 1) * (\text{Widthport})) - 1$$

$$\text{End} = (\text{ADDRport}) * (\text{Widthport})$$

次の表に、各ポート幅のアドレス マップを示します。

データ用のポート アドレス マップ

データ幅	ポートのデータ アドレス																																		
1	16384	<--	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
2	8192	<--	15		14		13		12		11		10		9		8		7		6		5		4		3		2		1		0		
4	4096	<--	7				6				5				4				3				2				1				0				
8	2048	<--	3								2								1								0								
16	1024	<--	1																0																
32	512	<--	0																																

パリティ用のポート アドレス マップ

パリティ幅	ポートのパリティ アドレス														
1	2048	<-----	3				2				1				0
2	1024	<-----	1							0					
4	512	<-----	0												

デュアル ポート RAMB16 のメモリ内容の初期化

INIT_xx 属性を使用すると、デバイスのコンフィギュレーション中に RAMB16 のメモリの内容を初期化できます。各 RAMB16_Sm_Sn の初期値は、64 種類の初期化属性 (INIT_00 ~ INIT_3F) で指定します。各属性は、64 の 16 進数値から成り、合計 16384 ビットを指定できます。

INITP_xx 属性を使用すると、デバイスのコンフィギュレーションまたはアサート中にパリティ メモリを初期化できます。9、18、36 ビット幅にコンフィギュレーションされたポートのパリティ メモリの初期値は、8 個の初期化属性 (INITP_00 ~ INITP_07) で指定します。各属性は 64 個の 16 進数値から成り、合計 2048 ビットを指定できます。

INIT_xx または INITP_xx 属性を指定しない場合は、そのアドレスの値は 0 に設定されます。属性を一部だけ指定すると、上位ビットが 0 になります。

デュアル ポート RAMB16 の出力レジスタの初期化

Spartan®-3A および上記のデバイスの場合、電源投入時 (GSR が High のとき) に出力レジスタの各ビットを 0 または 1 に初期化できます。また、セット/リセットをアサートした後の値を、電源投入時の初期値とは異なる値に設定できます。デュアル ポート RAMB16 の出力レジスタを初期化する属性には、INIT_A、INIT_B、SRVAL_A、SRVAL_B の 4 種類があります。INIT_A 属性は電源投入時のポート A の出力レジスタの初期値を指定し、INIT_B 属性は電源投入時のポート B の出力レジスタの初期値を指定します。SRVAL_A 属性はポート A で SSRA (セット/リセット) 入力をアサートしたときの初期値を指定し、SRVAL_B 属性はポート B で SSRB (セット/リセット) 入力をアサートしたときの初期値を指定します。

INIT_A、INIT_B、SRVAL_A、SRVAL_B 属性は、16 進数で指定します。この初期値はポート幅によって異なります。たとえば、ポート A の幅が 1、ポート B の幅が 4 の RAMB16_S1_S4 の場合、ポート A の出力レジスタは 1 ビットなので、INIT_A または SRVAL_A には 1 か 0 しか指定できません。ポート B の出力レジスタは 4 ビットなので、INIT_B または SRVAL_B に 0 ~ F の 16 進数値を指定できます。

パリティビットを含むポートでは、出力レジスタのパリティ部分は、INIT_A、INIT_B、SRVAL_A、SRVAL_B の値の上位ビットで指定します。

INIT および SRVAL 属性を指定しない場合は、デフォルトで 0 に初期化されます。

書き込みモードの選択

WRITE_MODE_A 属性は、デュアル ポート RAMB16 のポート A のメモリおよび出力の内容を制御し、WRITE_MODE_B 属性は、ポート B のメモリおよび出力の内容を制御します。デフォルトでは、WRITE_MODE_A と WRITE_MODE_B は両方とも WRITE_FIRST に設定されています。この場合、入力値がメモリに書き込まれた後にその値が出力されます。READ_FIRST に設定すると、メモリの内容が出力された後、入力値がメモリに書き込まれます。NO_CHANGE に設定すると、入力値はメモリに書き込まれますが、出力の値は変化しません。ポート A とポート B で同じメモリセルに読み出し/書き込みを行おうとした場合の競合の解決方法については、「ポート A とポート B が競合する場合の対処方法」を参照してください。

ポート A とポート B が競合する場合の対処方法

Spartan-3A ブロックの SelectRAM™ は、完全なデュアル ポート RAM で、2 つのポートが同時に同じメモリセルにアクセスできます。ただし、一方のポートがあるメモリセルに書き込みを行っている場合は、もう一方のポートで clock-to-clock セットアップ タイム内に、そのメモリセルに対して書き込みまたは読み出しを実行しないようにする必要があります。

次の表に、デュアル ポート RAMB16 で競合が発生した場合の動作を、WRITE_MODE_A と WRITE_MODE_B の設定別に示します。

WRITE_MODE_A=NO_CHANGE、WRITE_MODE_B=NO_CHANGE の場合

WEA	WEB	CLKA	CLKB	DIA	DIB	DIPA	DIPB	DOA	DOB	DOPA	DOPB	データ RAM	パリティ RAM
0	0	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	変化なし	変化なし
1	0	↑	↑	DIA	DIB	DIPA	DIPB	変化なし	X	変化なし	X	DIA	DIPA
0	1	↑	↑	DIA	DIB	DIPA	DIPB	X	変化なし	X	変化なし	DIB	DIPB
1	1	↑	↑	DIA	DIB	DIPA	DIPB	変化なし	変化なし	変化なし	変化なし	X	X

WRITE_MODE_A=READ_FIRST、WRITE_MODE_B=READ_FIRST の場合

WEA	WEB	CLKA	CLKB	DIA	DIB	DIPA	DIPB	DOA	DOB	DOPA	DOPB	データ RAM	パリティ RAM
0	0	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	変化なし	変化なし
1	0	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	DIA	DIPA
0	1	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	DIB	DIPB
1	1	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	X	X

WRITE_MODE_A=WRITE_FIRST、WRITE_MODE_B=WRITE_FIRST の場合

WEA	WEB	CLKA	CLKB	DIA	DIB	DIPA	DIPB	DOA	DOB	DOPA	DOPB	データ RAM	パリティ RAM
0	0	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	変化 なし	変化 なし
1	0	↑	↑	DIA	DIB	DIPA	DIPB	DIA	X	DIPA	X	DIA	DIPA
0	1	↑	↑	DIA	DIB	DIPA	DIPB	X	DIB	X	DIPB	DIB	DIPB
1	1	↑	↑	DIA	DIB	DIPA	DIPB	X	X	X	X	X	X

WRITE_MODE_A=NO_CHANGE、WRITE_MODE_B=READ_FIRST の場合

WEA	WEB	CLKA	CLKB	DIA	DIB	DIPA	DIPB	DOA	DOB	DOPA	DOPB	データ RAM	パリティ RAM
0	0	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	変化 なし	変化 なし
1	0	↑	↑	DIA	DIB	DIPA	DIPB	変化 なし	X	変化 なし	X	DIA	DIPA
0	1	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	DIB	DIPB
1	1	↑	↑	DIA	DIB	DIPA	DIPB	変化 なし	X	変化 なし	X	DIB	DIPB

WRITE_MODE_A=NO_CHANGE、WRITE_MODE_B=WRITE_FIRST の場合

WEA	WEB	CLKA	CLKB	DIA	DIB	DIPA	DIPB	DOA	DOB	DOPA	DOPB	データ RAM	パリティ RAM
0	0	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	変化 なし	変化 なし
1	0	↑	↑	DIA	DIB	DIPA	DIPB	変化 なし	X	変化 なし	X	DIA	DIPA
0	1	↑	↑	DIA	DIB	DIPA	DIPB	X	DIB	X	DIPB	DIB	DIPB
1	1	↑	↑	DIA	DIB	DIPA	DIPB	変化 なし	X	変化 なし	X	X	X

WRITE_MODE_A=READ_FIRST および WRITE_MODE_B=WRITE_FIRST の場合

WEA	WEB	CLKA	CLKB	DIA	DIB	DIPA	DIPB	DOA	DOB	DOPA	DOPB	データ RAM	パリティ RAM
0	0	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	変化 なし	変化 なし
1	0	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	DIA	DIPA
0	1	↑	↑	DIA	DIB	DIPA	DIPB	X	DIB	X	DIPB	DIB	DIPB
1	1	↑	↑	DIA	DIB	DIPA	DIPB	X	DIB	X	DIPB	DIA	DIPA

デザインの入力方法

このエレメントは、回路図で使用されます。

使用可能な属性

属性	タイプ	値	デフォルト	説明
INIT_00 ~ INIT_3F	2 進数/ 16 進数	任意の値	すべてゼロ	RAM 配列のデータ部分の初期値を指定
INIT_A	2 進数/ 16 進数	任意の値	すべてゼロ	コンフィギュレーション後の DOA/DOB 出力ポートの初期値を指定。ビット幅は、RAM の A ポートまたは B ポートの幅によって決まります。
INIT_B	2 進数/ 16 進数	任意の値	すべてゼロ	コンフィギュレーション後の DOA/DOB 出力ポートの初期値を指定。ビット幅は、RAM の A ポートまたは B ポートの幅によって決まります。
INITP_00 ~ INITP_07	2 進数/ 16 進数	任意の値	すべてゼロ	RAM 配列のパリティ部分の初期値を指定
SIM_COLLISION_CHECK	文字列	ALL、NONE、 WARNING、 GENERATE_X_ONLY	ALL	<p>メモリの競合が発生した場合にシミュレーションの動作を変更できます。詳細は次のとおりです。</p> <ul style="list-style-type: none"> ・ ALL に設定すると、警告メッセージが出力され、関連する出力およびメモリの値が不定 (X) になります。 ・ WARNING_ONLY に設定すると、警告メッセージのみが出力され、関連する出力およびメモリの値はそのまま保持されます。 ・ GENERATE_X_ONLY に設定すると、警告メッセージは出力されず、関連する出力およびメモリの値が不定 (X) になります。 ・ NONE に設定すると、警告メッセージは出力されず、関連する出力およびメモリの値はそのまま保持されます。 <p>メモ: ALL 以外の値に設定すると、シミュレーション中にデザインの問題を認識できなくなるため、この値を変更する場合は注意が必要です。詳細は、『合成/シミュレーション デザイン ガイド』を参照してください。</p>
SRVAL_A	2 進数/ 16 進数	任意の値	すべてゼロ	RSTA ピンをアサートすると、DOA/DOB 出力ポートがセット (1) またはリセット(0) に設定されるよう指定できます。ビット幅は、RAM の A ポートの幅によって決まります。
SRVAL_B	2 進数/ 16 進数	任意の値	すべてゼロ	RSTB ピンをアサートすると、DOA/DOB 出力ポートがセット (1) またはリセット(0) に設定されるよう指定できます。ビット幅は、RAM の B ポートの幅によって決まります。
WRITE_MODE_A	文字列	WRITE_FIRST、 READ_FIRST、 NO_CHANGE	WRITE_FIRST	書き込みコマンドが DOA/DOB ポートで実行されるときポートの動作を指定します。WRITE_FIRST に設定すると、値がポートに書き込まれてから出力されます。READ_FIRST に設定すると、新たに値が書き込まれる前に、RAM の以前の値が出力ポートに出力されます。NO_CHANGE に設定すると、出力ポートの以前の値が維持され、出力ポートの値が変化しません。RAM のポートから値を読み出さない場合は、このモードに設定することをお勧めします。

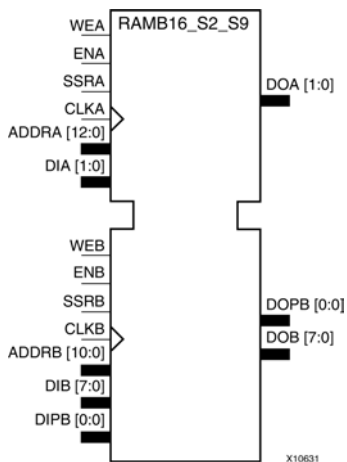
属性	タイプ	値	デフォルト	説明
WRITE_MODE_B	文字列	WRITE_FIRST、 READ_FIRST、 NO_CHANGE	WRITE_ FIRST	書き込みコマンドが DOA/DOB ポートで実行されるときポートの動作を指定します。WRITE_FIRST に設定すると、値がポートに書き込まれてから出力されます。READ_FIRST に設定すると、新たに値が書き込まれる前に、RAM の以前の値が出力ポートに出力されます。NO_CHANGE に設定すると、出力ポートの以前の値が維持され、出力ポートの値が変化しません。RAM のポートから値を読み出さない場合は、このモードに設定することをお勧めします。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)

RAMB16_S2_S9

プリミティブ : 16K-bit Data and 2K-bit Parity Dual-Port Synchronous Block RAM with 2-bit and 9-bit Ports



概要

このデザイン エLEMENTは、同期書き込み機能を備えた、デュアル ポートの専用 RAM ブロックです。各ブロック RAM のポートには 16384 ビットのデータ メモリがあります。ポート幅が 9、18、36 ビットにコンフィギュレーションされたポートには、さらに 2048 ビットのパリティ メモリがあります。各ポートは、同じ 16384 個のデータ メモリ セルに独立してアクセスします。各ポートのデータ幅は、それぞれ個別に設定できます。このELEMENTのポートおよびセルの構成は「ポートの説明」の表に示されています。

論理表

真理値表 A

入力								出力			
GSR	ENA	SSRA	WEA	CLKA	ADDRA	DIA	DIPA	DOA	DOPA	RAM の内容	
										データRAM	パリティ RAM
1	X	X	X	X	X	X	X	INIT_A	INIT_A	変化なし	変化なし
0	0	X	X	X	X	X	X	変化なし	変化なし	変化なし	変化なし
0	1	1	0	↑	X	X	X	SRVAL_A	SRVAL_A	変化なし	変化なし
0	1	1	1	↑	addr	data	pdata	SRVAL_A	SRVAL_A	RAM(addr) =>data	RAM(addr) =>pdata
0	1	0	0	↑	addr	X	X	RAM(addr)	RAM(addr)	変化なし	変化なし
0	1	0	1	↑	addr	data	pdata	変化なし(1)、 RAM(addr)(2)、 data(3)	変化なし(1)、 RAM(addr)(2)、 pdata(3)	RAM(addr) =>data	RAM(addr) =>pdata

GSR = グローバル セットリセット信号

INIT_A = 出力レジスタ用に INIT_A 属性で設定された値。デフォルトはすべて 0 です。

SRVAL_A = レジスタの値

addr = RAM アドレス

RAM(addr) = アドレス ADDR の RAM の内容

入力								出力		
GSR	ENA	SSRA	WEA	CLKA	ADDRA	DIA	DIPA	DOA	DOPA	RAM の内容
										データRAM パリティ RAM
data = RAM の入力データ pdata = RAM のパリティ データ 1WRITE_MODE_A=NO_CHANGE 2WRITE_MODE_A=READ_FIRST 3WRITE_MODE_A=WRITE_FIRST										

真理値表 B

入力								出力			
GSR	ENB	SSRB	WEB	CLKB	ADDRB	DIB	DIPB	DOB	DOPB	RAM の内容	
										データRAM	パリティ RAM
1	X	X	X	X	X	X	X	INIT_B	INIT_B	変化なし	変化なし
0	0	X	X	X	X	X	X	変化なし	変化なし	変化なし	変化なし
0	1	1	0	↑	X	X	X	SRVAL_B	SRVAL_B	変化なし	変化なし
0	1	1	1	↑	addr	data	pdata	SRVAL_B	SRVAL_B	RAM(addr) =>data	RAM(addr) =>pdata
0	1	0	0	↑	addr	X	X	RAM(addr)	RAM(addr)	変化なし	変化なし
0	1	0	1	↑	addr	data	pdata	変化なし 1、 RAM(addr) => data、data3	変化なし 1、 RAM(addr) => data、pdata3	RAM(addr) =>data	RAM(addr) =>pdata
GSR = グローバル セットリセット信号 INIT_B = 出力レジスタ用に INIT_B 属性で設定された値。デフォルトはすべて 0 です。 SRVAL_B = レジスタの値 addr = RAM アドレス RAM(addr) = アドレス ADDR の RAM の内容 data = RAM の入力データ pdata = RAM のパリティ データ 1WRITE_MODE_B=NO_CHANGE 2WRITE_MODE_B=READ_FIRST 3WRITE_MODE_B=WRITE_FIRST											

ポートの説明

ポート A						ポート B				
デザイン エレメント	データ セル (a)	パリティ セル (a)	アドレス バス	データ バス	パリティ バス	データ セル (a)	パリティ セル (a)	アドレス バス	データ バス	パリティ バス
RAMB16_S2_S9	8192 x 2	-	(12:0)	(1:0)	-	2048 x 8	2048 x 1	(10:0)	(7:0)	(0:0)
(a) ワード数 X 幅										

各ポートは、それぞれのクロックに完全に同期します。ポート A の各データ入力ピン (DIA) のセットアップ タイム、およびデータ出力バス (DOA) の clock-to-out タイムは、CLKA を基準とします。ポート B の各データ入力ピン (DIB) のセットアップ タイム、およびデータ出力バス (DOB) の clock-to-out タイムは、CLKB を基準とします。イネーブルピン ENA は、ポート A の読み出し、書き込み、リセットを制御します。ENA が Low の場合、データは書き込まれず、出力 (DOA および DOPA) は変化しません。ENA とリセット (SSRA) が High の場合、クロック (CLKA) が Low から High に切り替わるときに DOA および DOPA が SRVAL_A にセットされます。ライト イネーブル (WEA) も High の場合は、DIA および DIPA の値が RAM に書き込まれます。ENA が High で RSTA および WEA が Low の場合、クロックが Low から High に切り替わるときに、RAM アドレス (ADDR_A) に格納されているデータが出力されます。SSRA が Low で ENA と WEA が High の場合、クロックが Low から High に切り替わるときに、書き込みアドレス (ADDR_A) で選択されているワードにデータ入力 (DIA および DIPA) の値がロードされます。データ出力 (DOA および DOPA) に出力される値は書き込みモードによって異なります。書き込みモードは、デフォルトでは WRITE_MODE=WRITE_FIRST に設定されています。

イネーブルピン ENB は、ポート B の読み出し、書き込み、リセットを制御します。ENB が Low の場合、データは書き込まれず、出力 (DOB および DOPB) は変化しません。ENB とリセット (SSRB) が High の場合、クロック (CLKB) が Low から High に切り替わるときに、DOB および DOPB が SRVAL_B にセットされます。ライト イネーブル (WEB) も High の場合は、DIB および DIPB の値が RAM に書き込まれます。ENB が High で RSTB と WEB が Low の場合、クロックが Low から High に切り替わるときに RAM アドレス (ADDRB) に格納されているデータが出力されます。SSRB が Low で ENB と WEB が High の場合、クロックが Low から High に切り替わるときに、書き込みアドレス (ADDRB) で選択されているワードにデータ入力 (DIB および DIPB) の値がロードされます。データ出力 (DOB および DOPB) に出力される値は書き込みモードによって異なります。書き込みモードは、デフォルトでは WRITE_MODE=WRITE_FIRST に設定されています。前述の説明では、制御ピン (ENA、WEA、RSTA、CLKA、ENB、WEB、RSTB、CLKB) がアクティブ High であると想定していますが、ポートにインバータを配置してアクティブ Low にすることもできます。RAMB16 のポートに配置したインバータはブロック内に組み込まれるので、CLB リソースは使用されません。

アドレス マップ

各ポートは、ポートの幅によって異なるアドレス指定方法を使用して、同じ 18432 個のメモリセルにアクセスします。「データ用のポート アドレス マップ」に示すように、すべてのポート幅で 16384 個のメモリセルをデータの格納に使用できます。9、18、および 36 ビット幅のポートには、「パリティ用のポート アドレス マップ」に示すように、2408 個のパリティメモリセルもあります。特定のポート幅での物理的な RAM の位置は、次の式によって決定されます。

$$\text{Start} = ((\text{ADDR_port} + 1) * (\text{Widthport})) - 1$$

$$\text{End} = (\text{ADDRport}) * (\text{Widthport})$$

次の表に、各ポート幅のアドレス マップを示します。

データ用のポート アドレス マップ

データ幅	ポートのデータ アドレス																																		
1	16384	<--	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
2	8192	<--	15		14		13		12		11		10		9		8		7		6		5		4		3		2		1		0		
4	4096	<--	7				6				5				4				3				2				1				0				
8	2048	<--	3								2								1								0								
16	1024	<--	1																0																
32	512	<--	0																																

パリティ用のポート アドレス マップ

パリティ幅	ポートのパリティ アドレス															
1	2048	<-----	3				2				1					0
2	1024	<-----	1								0					
4	512	<-----	0													

デュアル ポート RAMB16 のメモリ内容の初期化

INIT_xx 属性を使用すると、デバイスのコンフィギュレーション中に RAMB16 のメモリの内容を初期化できます。各 RAMB16_Sm_Sn の初期値は、64 種類の初期化属性 (INIT_00 ~ INIT_3F) で指定します。各属性は、64 の 16 進数値から成り、合計 16384 ビットを指定できます。

INITP_xx 属性を使用すると、デバイスのコンフィギュレーションまたはアサート中にパリティメモリを初期化できます。9、18、36 ビット幅にコンフィギュレーションされたポートのパリティメモリの初期値は、8 個の初期化属性 (INITP_00 ~ INITP_07) で指定します。各属性は 64 個の 16 進数値から成り、合計 2048 ビットを指定できます。

INIT_xx または INITP_xx 属性を指定しない場合は、そのアドレスの値は 0 に設定されます。属性を一部だけ指定すると、上位ビットが 0 になります。

デュアル ポート RAMB16 の出力レジスタの初期化

Spartan®-3A および上記のデバイスの場合、電源投入時 (GSR が High のとき) に出力レジスタの各ビットを 0 または 1 に初期化できます。また、セット/リセットをアサートした後の値を、電源投入時の初期値とは異なる値に設定できます。デュアル ポート RAMB16 の出力レジスタを初期化する属性には、INIT_A、INIT_B、SRVAL_A、SRVAL_B の 4 種類があります。INIT_A 属性は電源投入時のポート A の出力レジスタの初期値を指定し、INIT_B 属性は電源投入時のポート B の出力レジスタの初期値を指定します。SRVAL_A 属性はポート A で SSRA (セット/リセット) 入力をアサートしたときの初期値を指定し、SRVAL_B 属性はポート B で SSRB (セット/リセット) 入力をアサートしたときの初期値を指定します。

INIT_A、INIT_B、SRVAL_A、SRVAL_B 属性は、16 進数で指定します。この初期値はポート幅によって異なります。たとえば、ポート A の幅が 1、ポート B の幅が 4 の RAMB16_S1_S4 の場合、ポート A の出力レジスタは 1 ビットなので、INIT_A または SRVAL_A には 1 か 0 しか指定できません。ポート B の出力レジスタは 4 ビットなので、INIT_B または SRVAL_B に 0 ~ F の 16 進数値を指定できます。

パリティビットを含むポートでは、出力レジスタのパリティ部分は、INIT_A、INIT_B、SRVAL_A、SRVAL_B の値の上位ビットで指定します。

INIT および SRVAL 属性を指定しない場合は、デフォルトで 0 に初期化されます。

書き込みモードの選択

WRITE_MODE_A 属性は、デュアル ポート RAMB16 のポート A のメモリおよび出力の内容を制御し、WRITE_MODE_B 属性は、ポート B のメモリおよび出力の内容を制御します。デフォルトでは、WRITE_MODE_A と WRITE_MODE_B は両方とも WRITE_FIRST に設定されています。この場合、入力値がメモリに書き込まれた後にその値が出力されます。READ_FIRST に設定すると、メモリの内容が出力された後、入力値がメモリに書き込まれます。NO_CHANGE に設定すると、入力値はメモリに書き込まれますが、出力の値は変化しません。ポート A とポート B で同じメモリセルに読み出し/書き込みを行おうとした場合の競合の解決方法については、「ポート A とポート B が競合する場合の対処方法」を参照してください。

ポート A とポート B が競合する場合の対処方法

Spartan®-3A ブロックの SelectRAM™ は、完全なデュアル ポート RAM で、2 つのポートが同時に同じメモリセルにアクセスできます。ただし、一方のポートがあるメモリセルに書き込みを行っている場合は、もう一方のポートで clock-to-clock セットアップ タイム内に、そのメモリセルに対して書き込みまたは読み出しを実行しないようにする必要があります。

次の表に、デュアル ポート RAMB16 で競合が発生した場合の動作を、WRITE_MODE_A と WRITE_MODE_B の設定別に示します。

WRITE_MODE_A=NO_CHANGE、WRITE_MODE_B=NO_CHANGE の場合

WEA	WEB	CLKA	CLKB	DIA	DIB	DIPA	DIPB	DOA	DOB	DOPA	DOPB	データ RAM	パリティ RAM
0	0	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	変化なし	変化なし
1	0	↑	↑	DIA	DIB	DIPA	DIPB	変化なし	X	変化なし	X	DIA	DIPA
0	1	↑	↑	DIA	DIB	DIPA	DIPB	X	変化なし	X	変化なし	DIB	DIPB
1	1	↑	↑	DIA	DIB	DIPA	DIPB	変化なし	変化なし	変化なし	変化なし	X	X

WRITE_MODE_A=READ_FIRST、WRITE_MODE_B=READ_FIRST の場合

WEA	WEB	CLKA	CLKB	DIA	DIB	DIPA	DIPB	DOA	DOB	DOPA	DOPB	データ RAM	パリティ RAM
0	0	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	変化なし	変化なし
1	0	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	DIA	DIPA
0	1	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	DIB	DIPB
1	1	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	X	X

WRITE_MODE_A=WRITE_FIRST、WRITE_MODE_B=WRITE_FIRST の場合

WEA	WEB	CLKA	CLKB	DIA	DIB	DIPA	DIPB	DOA	DOB	DOPA	DOPB	データ RAM	パリティ RAM
0	0	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	変化 なし	変化 なし
1	0	↑	↑	DIA	DIB	DIPA	DIPB	DIA	X	DIPA	X	DIA	DIPA
0	1	↑	↑	DIA	DIB	DIPA	DIPB	X	DIB	X	DIPB	DIB	DIPB
1	1	↑	↑	DIA	DIB	DIPA	DIPB	X	X	X	X	X	X

WRITE_MODE_A=NO_CHANGE、WRITE_MODE_B=READ_FIRST の場合

WEA	WEB	CLKA	CLKB	DIA	DIB	DIPA	DIPB	DOA	DOB	DOPA	DOPB	データ RAM	パリティ RAM
0	0	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	変化 なし	変化 なし
1	0	↑	↑	DIA	DIB	DIPA	DIPB	変化 なし	X	変化 なし	X	DIA	DIPA
0	1	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	DIB	DIPB
1	1	↑	↑	DIA	DIB	DIPA	DIPB	変化 なし	X	変化 なし	X	DIB	DIPB

WRITE_MODE_A=NO_CHANGE、WRITE_MODE_B=WRITE_FIRST の場合

WEA	WEB	CLKA	CLKB	DIA	DIB	DIPA	DIPB	DOA	DOB	DOPA	DOPB	データ RAM	パリティ RAM
0	0	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	変化 なし	変化 なし
1	0	↑	↑	DIA	DIB	DIPA	DIPB	変化 なし	X	変化 なし	X	DIA	DIPA
0	1	↑	↑	DIA	DIB	DIPA	DIPB	X	DIB	X	DIPB	DIB	DIPB
1	1	↑	↑	DIA	DIB	DIPA	DIPB	変化 なし	X	変化 なし	X	X	X

WRITE_MODE_A=READ_FIRST および WRITE_MODE_B=WRITE_FIRST の場合

WEA	WEB	CLKA	CLKB	DIA	DIB	DIPA	DIPB	DOA	DOB	DOPA	DOPB	データ RAM	パリティ RAM
0	0	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	変化 なし	変化 なし
1	0	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	DIA	DIPA
0	1	↑	↑	DIA	DIB	DIPA	DIPB	X	DIB	X	DIPB	DIB	DIPB
1	1	↑	↑	DIA	DIB	DIPA	DIPB	X	DIB	X	DIPB	DIA	DIPA

デザインの入力方法

このエレメントは、回路図で使用されます。

使用可能な属性

属性	タイプ	値	デフォルト	説明
INIT_00 ~ INIT_3F	2 進数/ 16 進数	任意の値	すべてゼロ	RAM 配列のデータ部分の初期値を指定
INIT_A	2 進数/ 16 進数	任意の値	すべてゼロ	コンフィギュレーション後の DOA/DOB 出力ポートの初期値を指定。ビット幅は、RAM の A ポートまたは B ポートの幅によって決まります。
INIT_B	2 進数/ 16 進数	任意の値	すべてゼロ	コンフィギュレーション後の DOA/DOB 出力ポートの初期値を指定。ビット幅は、RAM の A ポートまたは B ポートの幅によって決まります。
INITP_00 ~ INITP_07	2 進数/ 16 進数	任意の値	すべてゼロ	RAM 配列のパリティ部分の初期値を指定
SIM_COLLISION_CHECK	文字列	ALL、NONE、WARNING、GENERATE_X_ONLY	ALL	RAM の 2 つのポートから 1 つのアドレスに対して同時に書き込み/読み出しが実行されるというデータの競合が発生した場合の、シミュレーションの動作を指定します。デフォルトの ALL に設定すると、コンソールに警告メッセージが出力され、不定値を表す X が生成されます。可能な限りこの設定を使用してください。WARNING に設定すると、警告メッセージのみが出力されます。GENERATE_X_ONLY に設定すると、不定値を表す X が生成されますが、コンソールには何も出力されません。NONE に設定すると、エラーが無視されます。競合が発生したときのデータを確認する場合は、この属性のみを変更することをお勧めします。
SRVAL_A	2 進数/ 16 進数	任意の値	すべてゼロ	RSTA ピンをアサートすると、DOA/DOB 出力ポートがセット (1) またはリセット(0) に設定されるよう指定できます。ビット幅は、RAM の A ポートの幅によって決まります。
SRVAL_B	2 進数/ 16 進数	任意の値	すべてゼロ	RSTB ピンをアサートすると、DOA/DOB 出力ポートがセット (1) またはリセット(0) に設定されるよう指定できます。ビット幅は、RAM の B ポートの幅によって決まります。
WRITE_MODE_A	文字列	WRITE_FIRST、READ_FIRST、NO_CHANGE	WRITE_FIRST	書き込みコマンドが DOA/DOB ポートで実行されるときポートの動作を指定します。WRITE_FIRST に設定すると、値がポートに書き込まれてから出力されます。READ_FIRST に設定すると、新たに値が書き込まれる前に、RAM の以前の値が出力ポートに出力されます。NO_CHANGE に設定すると、出力ポートの以前の値が維持され、出力ポートの値が変化しません。RAM のポートから値を読み出さない場合は、このモードに設定することをお勧めします。

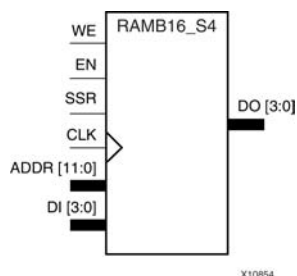
属性	タイプ	値	デフォルト	説明
WRITE_MODE_B	文字列	WRITE_FIRST、 READ_FIRST、 NO_CHANGE	WRITE_ FIRST	書き込みコマンドが DOA/DOB ポートで実行されるときのポートの動作を指定します。WRITE_FIRST に設定すると、値がポートに書き込まれてから出力されます。READ_FIRST に設定すると、新たに値が書き込まれる前に、RAM の以前の値が出力ポートに出力されます。NO_CHANGE に設定すると、出力ポートの以前の値が維持され、出力ポートの値が変化しません。RAM のポートから値を読み出さない場合は、このモードに設定することをお勧めします。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)

RAMB16_S4

プリミティブ : 16K-bit Data and 2K-bit Parity Single-Port Synchronous Block RAM with 4-bit Port



概要

このデザイン エLEMENTは、同期書き込み機能を備えた専用 RAM ブロックです。ブロック RAM のポートには 16384 ビットのデータ メモリがあります。セルの構成を、次の表に示します。

データ セル		パリティ セル				
ワード数	幅	ワード数	幅	アドレス バス	データ バス	パリティ バス
4096	4	–	–	(11:0)	(3:0)	–

イネーブル ピン ENA は、ポート A の読み出し、書き込み、リセットを制御します。ENA が Low の場合、データは書き込まれず、出力 (DOA および DOPA) は変化しません。ENA とリセット (SSRA) が High の場合、クロック (CLKA) が Low から High に切り替わる時に DOA および DOPA が SRVAL_A にセットされます。ライト イネーブル (WEA) も High の場合は、DIA および DIP A の値が RAM に書き込まれます。ENA が High で RSTA および WEA が Low の場合、クロックが Low から High に切り替わる時に、RAM アドレス (ADDR A) に格納されているデータが出力されます。SSRA が Low で ENA と WEA が High の場合、クロックが Low から High に切り替わる時に、書き込みアドレス (ADDR A) で選択されているワードにデータ入力 (DIA および DIP A) の値がロードされます。データ出力 (DOA および DOPA) に出力される値は書き込みモードによって異なります。書き込みモードは、デフォルトでは WRITE_MODE=WRITE_FIRST に設定されています。

前述の説明では、制御ピン (ENA、WEA、RSTA、CLKA、ENB、WEB、RSTB、CLKB) がアクティブ High であると想定していますが、ポートにインバータを配置してアクティブ Low にすることもできます。RAMB16 のポートに配置したインバータはブロック内に組み込まれるので、CLB リソースは使用されません。

論理表

入力								出力			
GSR	EN	SSR	WE	CLK	ADDR	DI	DIP	DO	DOP	RAM の内容	
										データRAM	パリティ RAM
1	X	X	X	X	X	X	X	INIT	INIT	変化なし	変化なし
0	0	X	X	X	X	X	X	変化なし	変化なし	変化なし	変化なし
0	1	1	0	↑	X	X	X	SRVAL	SRVAL	変化なし	変化なし
0	1	1	1	↑	addr	data	pdata	SRVAL	SRVAL	RAM(addr) =>data	RAM(addr) =>pdata

入力								出力			
GSR	EN	SSR	WE	CLK	ADDR	DI	DIP	DO	DOP	RAM の内容	
										データRAM	パリティRAM
0	1	0	0	↑	addr	X	X	RAM(addr)	RAM(addr)	変化なし	変化なし
0	1	0	1	↑	addr	data	pdata	変化なし(1)、 RAM(addr)(2)、 data(3)	変化なし(1)、 RAM(addr)(2)、 pdata(3)	RAM(addr) =>data	RAM(addr) =>pdata

GSR=グローバル セット リセット信号

INIT = データ メモリ用に INIT 属性で設定された値。デフォルトはすべて 0 です。

SRVAL = SRVAL 属性で設定された SSR のアサート後の値

addr = RAM アドレス

RAM(addr) = アドレス ADDR の RAM の内容

data = RAM の入力データ

pdata = RAM のパリティ データ

(1) WRITE_MODE=NO_CHANGE

(2) WRITE_MODE=READ_FIRST

(3) WRITE_MODE=WRITE_FIRST

初期化

メモリ内容の初期化

INIT_{xx} 属性を使用すると、デバイスのコンフィギュレーション中に RAMB16 のメモリの内容を初期化できます。各 RAMB16 の初期値は、64 種類の初期化属性 (INIT₀₀ ~ INIT_{3F}) で指定します。各属性は、64 の 16 進数値から成り、合計 16384 ビットを指定できます。

INITP_{xx} 属性を使用すると、デバイスのコンフィギュレーションまたはアサート中にパリティ メモリを初期化できます。9、18、36 ビット幅にコンフィギュレーションされたポートのパリティ メモリの初期値は、8 個の初期化属性 (INITP₀₀ ~ INITP₀₇) で指定します。各属性は 64 個の 16 進数値から成り、合計 2048 ビットを指定できます。

INIT_{xx} または INITP_{xx} 属性を指定しない場合は、そのアドレスの値は 0 に設定されます。属性を一部だけ指定すると、上位ビットが 0 になります。

出力レジスタの初期化

Spartan®-3A および上記のデバイスの場合、電源投入時に出力レジスタの各ビットを 0 または 1 に初期化できます。また、セット/リセットをアサートした後の値を、電源投入時の初期値とは異なる値に設定できます。シングル ポート RAMB16 の出力レジスタの初期化に使用する属性には、INIT と SRVAL の 2 種類があります。INIT 属性は、電源投入時の出力レジスタの値を指定します。SRVAL 属性は、SSR (セット/リセット) 入力をアサートしたときの値を指定します。

INIT および SRVAL 属性は、初期化値を、出力ポートの各ビットを 1 ビット含む 16 進数文字列として指定します。たとえば、ポート幅が 1 の RAMB16_S1 の場合、出力レジスタは 1 ビットなので、INIT および SRVAL には 1 または 0 を指定します。ポート幅が 4 の RAMB16_S4 の場合は、出力レジスタが 4 ビットなので、0 ~ F の 16 進数値を指定します。

パリティ ビットを含むポートでは、出力レジスタのパリティ部分は、INIT または SRVAL の値の上位ビットで指定します。

書き込みモードの選択

WRITE_MODE 属性は、RAMB16 メモリおよび出力の内容を制御します。デフォルトでは、WRITE_MODE は WRITE_FIRST に設定されています。この場合、入力値がメモリに書き込まれた後にその値が出力されます。WRITE_MODE を READ_FIRST に設定すると、メモリの内容が出力された後、入力値がメモリに書き込まれます。WRITE_MODE を NO_CHANGE に設定すると、入力値はメモリに書き込まれますが、出力の値は変化しません。

デザインの入力方法

このエレメントは、回路図で使用されます。

使用可能な属性

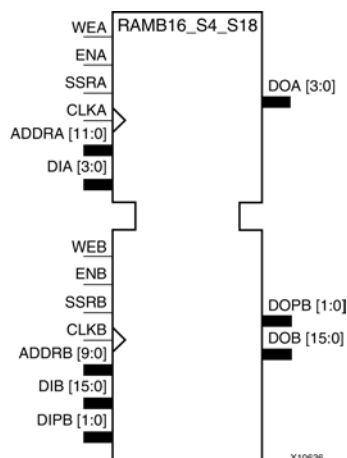
属性	タイプ	値	デフォルト	説明
INIT	2 進数/ 16 進数	任意の値	すべてゼロ	コンフィギュレーション後の DO 出力ポートの初期値を指定。ビット幅は、RAM の A ポートまたは B ポートの幅によって決まります。
INIT_00 ~ INIT_3F	2 進数/ 16 進数	任意の値	すべてゼロ	RAM 配列のデータ部分の初期値を指定
INITP_00 ~ INITP_07	2 進数/ 16 進数	任意の値	すべてゼロ	RAM 配列のパリティ部分の初期値を指定
SRVAL	2 進数/ 16 進数	任意の値	すべてゼロ	SSR ピンをアサートすると、DO 出力ポートがセット (1) またはリセット(0) に設定されるよう指定できます。ビット幅は、RAM の A ポートまたは B ポートの幅によって決まります。
WRITE_MODE	文字列	WRITE_FIRST、 READ_FIRST、 NO_CHANGE	WRITE_FIRST	書き込みコマンドが DO ポートで実行されるときポートの動作を指定します。WRITE_FIRST に設定すると、値がポートに書き込まれてから出力されます。READ_FIRST に設定すると、新たに値が書き込まれる前に、RAM の以前の値が出力ポートに出力されます。NO_CHANGE に設定すると、出力ポートの以前の値が維持され、出力ポートの値が変化しません。RAM のポートから値を読み出さない場合は、このモードに設定することをお勧めします。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

RAMB16_S4_S18

プリミティブ : 16K-bit Data and 2K-bit Parity Dual-Port Synchronous Block RAM with 4-bit and 18-bit Ports



概要

このデザイン エLEMENTは、同期書き込み機能を備えた、デュアル ポートの専用 RAM ブロックです。各ブロック RAM のポートには 16384 ビットのデータ メモリがあります。ポート幅が 9、18、36 ビットにコンフィギュレーションされたポートには、さらに 2048 ビットのパリティ メモリがあります。各ポートは、同じ 16384 個のデータ メモリ セルに独立してアクセスします。各ポートのデータ幅は、それぞれ個別に設定できます。このELEMENTのポートおよびセルの構成は「ポートの説明」の表に示されています。

論理表

真理値表 A

入力								出力			
GSR	ENA	SSRA	WEA	CLKA	ADDRA	DIA	DIPA	DOA	DOPA	RAM の内容	
										データRAM	パリティ RAM
1	X	X	X	X	X	X	X	INIT_A	INIT_A	変化なし	変化なし
0	0	X	X	X	X	X	X	変化なし	変化なし	変化なし	変化なし
0	1	1	0	↑	X	X	X	SRVAL_A	SRVAL_A	変化なし	変化なし
0	1	1	1	↑	addr	data	pdata	SRVAL_A	SRVAL_A	RAM(addr) =>data	RAM(addr) =>pdata
0	1	0	0	↑	addr	X	X	RAM(addr)	RAM(addr)	変化なし	変化なし
0	1	0	1	↑	addr	data	pdata	変化なし(1)、 RAM(addr)(2)、 data(3)	変化なし(1)、 RAM(addr)(2)、 pdata(3)	RAM(addr) =>data	RAM(addr) =>pdata

GSR = グローバル セットリセット信号
 INIT_A = 出力レジスタ用に INIT_A 属性で設定された値。デフォルトはすべて 0 です。
 SRVAL_A = レジスタの値
 addr = RAM アドレス
 RAM(addr) = アドレス ADDR の RAM の内容
 data = RAM の入力データ
 pdata = RAM のパリティ データ
 1WRITE_MODE_A=NO_CHANGE
 2WRITE_MODE_A=READ_FIRST
 3WRITE_MODE_A=WRITE_FIRST

真理値表 B

入力								出力			
GSR	ENB	SSRB	WEB	CLKB	ADDRB	DIB	DIPB	DOB	DOPB	RAM の内容	
										データRAM	パリティ RAM
1	X	X	X	X	X	X	X	INIT_B	INIT_B	変化なし	変化なし
0	0	X	X	X	X	X	X	変化なし	変化なし	変化なし	変化なし
0	1	1	0	↑	X	X	X	SRVAL_B	SRVAL_B	変化なし	変化なし
0	1	1	1	↑	addr	data	pdata	SRVAL_B	SRVAL_B	RAM(addr) =>data	RAM(addr) =>pdata
0	1	0	0	↑	addr	X	X	RAM(addr)	RAM(addr)	変化なし	変化なし
0	1	0	1	↑	addr	data	pdata	変化なし 1、 RAM(addr) => data、data3	変化なし 1、 RAM(addr) => data、pdata3	RAM(addr) =>data	RAM(addr) =>pdata

入力								出力		
GSR	ENB	SSRB	WEB	CLKB	ADDRB	DIB	DIPB	DOB	DOPB	RAM の内容
									データRAM	パリティRAM
<p>GSR = グローバル セットリセット信号</p> <p>INIT_B = 出力レジスタ用に INIT_B 属性で設定された値。デフォルトはすべて 0 です。</p> <p>SRVAL_B = レジスタの値</p> <p>addr = RAM アドレス</p> <p>RAM(addr) = アドレス ADDR の RAM の内容</p> <p>data = RAM の入力データ</p> <p>pdata = RAM のパリティ データ</p> <p>1WRITE_MODE_B=NO_CHANGE</p> <p>2WRITE_MODE_B=READ_FIRST</p> <p>3WRITE_MODE_B=WRITE_FIRST</p>										

ポートの説明

ポート A						ポート B				
デザイン エレメント	データ セル (a)	パリティ セル (a)	アドレス バス	データ バス	パリティ バス	データ セル (a)	パリティ セル (a)	アドレス バス	データ バス	パリティ バス
RAMB16_S4_S18	4096 x 4	—	(11:0)	(3:0)	—	1024 x 16	1024 x 2	(9:0)	(15:0)	(1:0)
(a) ワード数 X 幅										

各ポートは、それぞれのクロックに完全に同期します。ポート A の各データ入力ピン (DIA) のセットアップ タイム、およびデータ出力バス (DOA) の clock-to-out タイムは、CLKA を基準とします。ポート B の各データ入力ピン (DIB) のセットアップ タイム、およびデータ出力バス (DOB) の clock-to-out タイムは、CLKB を基準とします。イネーブル ピン ENA は、ポート A の読み出し、書き込み、リセットを制御します。ENA が Low の場合、データは書き込まれず、出力 (DOA および DOPA) は変化しません。ENA とリセット (SSRA) が High の場合、クロック (CLKA) が Low から High に切り替わるときに DOA および DOPA が SRVAL_A にセットされます。ライト イネーブル (WEA) も High の場合は、DIA および DIPA の値が RAM に書き込まれます。ENA が High で RSTA および WEA が Low の場合、クロックが Low から High に切り替わるときに、RAM アドレス (ADDRA) に格納されているデータが出力されます。SSRA が Low で ENA と WEA が High の場合、クロックが Low から High に切り替わるときに、書き込みアドレス (ADDRA) で選択されているワードにデータ入力 (DIA および DIPA) の値がロードされます。データ出力 (DOA および DOPA) に出力される値は書き込みモードによって異なります。書き込みモードは、デフォルトでは WRITE_MODE=WRITE_FIRST に設定されています。

イネーブルピン ENB は、ポート B の読み出し、書き込み、リセットを制御します。ENB が Low の場合、データは書き込まれず、出力 (DOB および DOPB) は変化しません。ENB とリセット (SSRB) が High の場合、クロック (CLKB) が Low から High に切り替わるときに、DOB および DOPB が SRVAL_B にセットされます。ライト イネーブル (WEB) も High の場合は、DIB および DIPB の値が RAM に書き込まれます。ENB が High で RSTB と WEB が Low の場合、クロックが Low から High に切り替わるときに RAM アドレス (ADDRB) に格納されているデータが出力されます。SSRB が Low で ENB と WEB が High の場合、クロックが Low から High に切り替わるときに、書き込みアドレス (ADDRB) で選択されているワードにデータ入力 (DIB および DIPB) の値がロードされます。データ出力 (DOB および DOPB) に出力される値は書き込みモードによって異なります。書き込みモードは、デフォルトでは WRITE_MODE=WRITE_FIRST に設定されています。前述の説明では、制御ピン (ENA、WEA、RSTA、CLKA、ENB、WEB、RSTB、CLKB) がアクティブ High であると想定していますが、ポートにインバータを配置してアクティブ Low にすることもできます。RAMB16 のポートに配置したインバータはブロック内に組み込まれるので、CLB リソースは使用されません。

アドレス マッピング

各ポートは、ポートの幅によって異なるアドレス指定方法を使用して、同じ 18432 個のメモリセルにアクセスします。「データ用のポート アドレス マップ」に示すように、すべてのポート幅で 16384 個のメモリセルをデータの格納に使用できます。9、18、および 36 ビット幅のポートには、「パリティ用のポート アドレス マップ」に示すように、2408 個のパリティメモリセルもあります。特定のポート幅での物理的な RAM の位置は、次の式によって決定されます。

$$\text{Start} = ((\text{ADDR port} + 1) * (\text{Widthport})) - 1$$

$$\text{End} = (\text{ADDRport}) * (\text{Widthport})$$

データ用のポート アドレス マップ

データ幅	ポートのデータ アドレス																																		
1	16384	<--	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
2	8192	<--	15		14		13		12		11		10		9		8		7		6		5		4		3		2		1		0		
4	4096	<--	7				6				5				4				3				2				1				0				
8	2048	<--	3								2								1								0								
16	1024	<--	1																0																
32	512	<--	0																																

パリティ用のポート アドレス マップ

パリティ幅	ポートのパリティ アドレス														
1	2048	<-----	3				2				1				0
2	1024	<-----	1								0				
4	512	<-----	0												

デュアル ポート RAMB16 のメモリ内容の初期化

INIT_xx 属性を使用すると、デバイスのコンフィギュレーション中に RAMB16 のメモリの内容を初期化できます。各 RAMB16.Sm_Sn の初期値は、64 種類の初期化属性 (INIT_00 ~ INIT_3F) で指定します。各属性は、64 の 16 進数値から成り、合計 16384 ビットを指定できます。

INITP_xx 属性を使用すると、デバイスのコンフィギュレーションまたはアサート中にパリティメモリを初期化できます。9、18、36 ビット幅にコンフィギュレーションされたポートのパリティメモリの初期値は、8 個の初期化属性 (INITP_00 ~ INITP_07) で指定します。各属性は 64 個の 16 進数値から成り、合計 2048 ビットを指定できます。

INIT_xx または INITP_xx 属性を指定しない場合は、そのアドレスの値は 0 に設定されます。属性を一部だけ指定すると、上位ビットが 0 になります。

デュアル ポート RAMB16 の出力レジスタの初期化

Spartan®-3A および上記のデバイスの場合、電源投入時 (GSR が High のとき) に出力レジスタの各ビットを 0 または 1 に初期化できます。また、セット/リセットをアサートした後の値を、電源投入時の初期値とは異なる値に設定できます。デュアル ポート RAMB16 の出力レジスタを初期化する属性には、INIT_A、INIT_B、SRVAL_A、SRVAL_B の 4 種類があります。INIT_A 属性は電源投入時のポート A の出力レジスタの初期値を指定し、INIT_B 属性は電源投入時のポート B の出力レジスタの初期値を指定します。SRVAL_A 属性はポート A で SSRA (セット/リセット) 入力のアサートしたときの初期値を指定し、SRVAL_B 属性はポート B で SSRB (セット/リセット) 入力のアサートしたときの初期値を指定します。

INIT_A、INIT_B、SRVAL_A、SRVAL_B 属性は、16 進数で指定します。この初期値はポート幅によって異なります。たとえば、ポート A の幅が 1、ポート B の幅が 4 の RAMB16_S1_S4 の場合、ポート A の出力レジスタは 1 ビットなので、INIT_A または SRVAL_A には 1 か 0 しか指定できません。ポート B の出力レジスタは 4 ビットなので、INIT_B または SRVAL_B に 0 ~ F の 16 進数値を指定できます。

パリティビットを含むポートでは、出力レジスタのパリティ部分は、INIT_A、INIT_B、SRVAL_A、SRVAL_B の値の上位ビットで指定します。

INIT および SRVAL 属性を指定しない場合は、デフォルトで 0 に初期化されます。

書き込みモードの選択

WRITE_MODE_A 属性は、デュアル ポート RAMB16 のポート A のメモリおよび出力の内容を制御し、WRITE_MODE_B 属性は、ポート B のメモリおよび出力の内容を制御します。デフォルトでは、WRITE_MODE_A と WRITE_MODE_B は両方とも WRITE_FIRST に設定されています。この場合、入力値がメモリに書き込まれた後にその値が出力されます。READ_FIRST に設定すると、メモリの内容が出力された後、入力値がメモリに書き込まれます。NO_CHANGE に設定すると、入力値はメモリに書き込まれますが、出力の値は変化しません。ポート A とポート B で同じメモリセルに読み出し/書き込みを行おうとした場合の競合の解決方法については、「ポート A とポート B が競合する場合の対処方法」を参照してください。

ポート A とポート B が競合する場合の対処方法

Spartan-3A ブロック SelectRAM™ は、完全なデュアル ポート RAM で、2 つのポートが同時に同じメモリセルにアクセスできます。ただし、一方のポートがあるメモリセルに書き込みを行っている場合は、もう一方のポートで clock-to-clock セットアップ タイム内に、そのメモリセルに対して書き込みまたは読み出しを実行しないようにする必要があります。

次の表に、デュアル ポート RAMB16 で競合が発生した場合の動作を、WRITE_MODE_A と WRITE_MODE_B の設定別に示します。

次の表に、各ポート幅のアドレス マップを示します。

WRITE_MODE_A=NO_CHANGE、WRITE_MODE_B=NO_CHANGE の場合

WEA	WEB	CLKA	CLKB	DIA	DIB	DIPA	DIPB	DOA	DOB	DOPA	DOPB	データ RAM	パリティ RAM
0	0	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	変化 なし	変化 なし
1	0	↑	↑	DIA	DIB	DIPA	DIPB	変化 なし	X	変化 なし	X	DIA	DIPA
0	1	↑	↑	DIA	DIB	DIPA	DIPB	X	変化 なし	X	変化 なし	DIB	DIPB
1	1	↑	↑	DIA	DIB	DIPA	DIPB	変化 なし	変化 なし	変化 なし	変化 なし	X	X

WRITE_MODE_A=READ_FIRST、WRITE_MODE_B=READ_FIRST の場合

WEA	WEB	CLKA	CLKB	DIA	DIB	DIPA	DIPB	DOA	DOB	DOPA	DOPB	データ RAM	パリティ RAM
0	0	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	変化 なし	変化 なし
1	0	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	DIA	DIPA
0	1	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	DIB	DIPB
1	1	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	X	X

WRITE_MODE_A=WRITE_FIRST、WRITE_MODE_B=WRITE_FIRST の場合

WEA	WEB	CLKA	CLKB	DIA	DIB	DIPA	DIPB	DOA	DOB	DOPA	DOPB	データ RAM	パリティ RAM
0	0	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	変化 なし	変化 なし
1	0	↑	↑	DIA	DIB	DIPA	DIPB	DIA	X	DIPA	X	DIA	DIPA
0	1	↑	↑	DIA	DIB	DIPA	DIPB	X	DIB	X	DIPB	DIB	DIPB
1	1	↑	↑	DIA	DIB	DIPA	DIPB	X	X	X	X	X	X

WRITE_MODE_A=NO_CHANGE、WRITE_MODE_B=READ_FIRST の場合

WEA	WEB	CLKA	CLKB	DIA	DIB	DIPA	DIPB	DOA	DOB	DOPA	DOPB	データ RAM	パリティ RAM
0	0	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	変化 なし	変化 なし
1	0	↑	↑	DIA	DIB	DIPA	DIPB	変化 なし	X	変化 なし	X	DIA	DIPA
0	1	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	DIB	DIPB
1	1	↑	↑	DIA	DIB	DIPA	DIPB	変化 なし	X	変化 なし	X	DIB	DIPB

WRITE_MODE_A=NO_CHANGE、WRITE_MODE_B=WRITE_FIRST の場合

WEA	WEB	CLKA	CLKB	DIA	DIB	DIPA	DIPB	DOA	DOB	DOPA	DOPB	データ RAM	パリティ RAM
0	0	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	変化 なし	変化 なし
1	0	↑	↑	DIA	DIB	DIPA	DIPB	変化 なし	X	変化 なし	X	DIA	DIPA
0	1	↑	↑	DIA	DIB	DIPA	DIPB	X	DIB	X	DIPB	DIB	DIPB
1	1	↑	↑	DIA	DIB	DIPA	DIPB	変化 なし	X	変化 なし	X	X	X

WRITE_MODE_A=READ_FIRST および WRITE_MODE_B=WRITE_FIRST

WEA	WEB	CLKA	CLKB	DIA	DIB	DIPA	DIPB	DOA	DOB	DOPA	DOPB	データ RAM	パリティ RAM
0	0	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	変化 なし	変化 なし
1	0	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	DIA	DIPA
0	1	↑	↑	DIA	DIB	DIPA	DIPB	X	DIB	X	DIPB	DIB	DIPB
1	1	↑	↑	DIA	DIB	DIPA	DIPB	X	DIB	X	DIPB	DIA	DIPA

デザインの入力方法

このエレメントは、回路図で使用されます。

使用可能な属性

属性	タイプ	値	デフォルト	説明
INIT_00 ~ INIT_3F	2 進数/ 16 進数	任意の値	すべてゼロ	RAM 配列のデータ部分の初期値を指定
INIT_A	2 進数/ 16 進数	任意の値	すべてゼロ	コンフィギュレーション後の DOA/DOB 出力ポートの初期値を指定。ビット幅は、RAM の A ポートまたは B ポートの幅によって決まります。
INIT_B	2 進数/ 16 進数	任意の値	すべてゼロ	コンフィギュレーション後の DOA/DOB 出力ポートの初期値を指定。ビット幅は、RAM の A ポートまたは B ポートの幅によって決まります。
INITP_00 ~ INITP_07	2 進数/ 16 進数	任意の値	すべてゼロ	RAM 配列のパリティ部分の初期値を指定

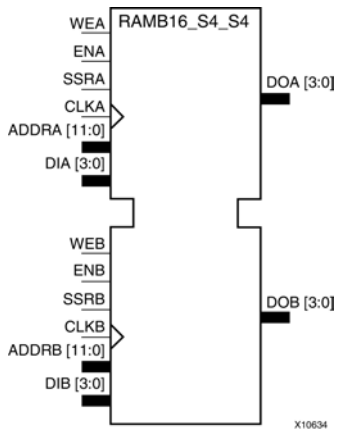
属性	タイプ	値	デフォルト	説明
SIM_COLLISION_CHECK	文字列	ALL、WARNING_ONLY、GENERATE_X_ONLY、または NONE	ALL	<p>メモリの競合が発生した場合にシミュレーションの動作を変更できます。詳細は次のとおりです。</p> <ul style="list-style-type: none"> ALL に設定すると、警告メッセージが出力され、関連する出力およびメモリの値が不定 (X) になります。 WARNING_ONLY に設定すると、警告メッセージのみが出力され、関連する出力およびメモリの値はそのまま保持されます。 GENERATE_X_ONLY に設定すると、警告メッセージは出力されず、関連する出力およびメモリの値が不定 (X) になります。 NONE に設定すると、警告メッセージは出力されず、関連する出力およびメモリの値はそのまま保持されます。 <p>メモ: ALL 以外の値に設定すると、シミュレーション中にデザインの問題を認識できなくなるため、この値を変更する場合は注意が必要です。詳細は、『合成/シミュレーション デザイン ガイド』を参照してください。</p>
SRVAL_A	2 進数/ 16 進数	任意の値	すべてゼロ	RSTA ピンをアサートすると、DOA/DOB 出力ポートがセット (1) またはリセット(0) に設定されるよう指定できます。ビット幅は、RAM の A ポートの幅によって決まります。
SRVAL_B	2 進数/ 16 進数	任意の値	すべてゼロ	RSTB ピンをアサートすると、DOA/DOB 出力ポートがセット (1) またはリセット(0) に設定されるよう指定できます。ビット幅は、RAM の B ポートの幅によって決まります。
WRITE_MODE_A	文字列	WRITE_FIRST、READ_FIRST、NO_CHANGE	WRITE_FIRST	書き込みコマンドが DOA/DOB ポートで実行される際のポートの動作を指定します。WRITE_FIRST に設定すると、値がポートに書き込まれてから出力されます。READ_FIRST に設定すると、新たに値が書き込まれる前に、RAM の以前の値が出力ポートに出力されます。NO_CHANGE に設定すると、出力ポートの以前の値が維持され、出力ポートの値が変化しません。RAM のポートから値を読み出さない場合は、このモードに設定することをお勧めします。
WRITE_MODE_B	文字列	WRITE_FIRST、READ_FIRST、NO_CHANGE	WRITE_FIRST	書き込みコマンドが DOA/DOB ポートで実行される際のポートの動作を指定します。WRITE_FIRST に設定すると、値がポートに書き込まれてから出力されます。READ_FIRST に設定すると、新たに値が書き込まれる前に、RAM の以前の値が出力ポートに出力されます。NO_CHANGE に設定すると、出力ポートの以前の値が維持され、出力ポートの値が変化しません。RAM のポートから値を読み出さない場合は、このモードに設定することをお勧めします。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

RAMB16_S4_S4

プリミティブ : 16K-bit Data and 2K-bit Parity Dual-Port Synchronous Block RAM with 4-bit Ports



概要

このデザイン エLEMENTは、同期書き込み機能を備えた、デュアル ポートの専用 RAM ブロックです。各ブロック RAM のポートには 16384 ビットのデータ メモリがあります。ポート幅が 9、18、36 ビットにコンフィギュレーションされたポートには、さらに 2048 ビットのパリティ メモリがあります。各ポートは、同じ 16384 個のデータ メモリ セルに独立してアクセスします。各ポートのデータ幅は、それぞれ個別に設定できます。このELEMENTのポートおよびセルの構成は「ポートの説明」の表に示されています。

論理表

真理値表 A

入力								出力			
GSR	ENA	SSRA	WEA	CLKA	ADDR	DIA	DIPA	DOA	DOPA	RAM の内容	
										データRAM	パリティ RAM
1	X	X	X	X	X	X	X	INIT_A	INIT_A	変化なし	変化なし
0	0	X	X	X	X	X	X	変化なし	変化なし	変化なし	変化なし
0	1	1	0	↑	X	X	X	SRVAL_A	SRVAL_A	変化なし	変化なし
0	1	1	1	↑	addr	data	pdata	SRVAL_A	SRVAL_A	RAM(addr) =>data	RAM(addr) =>pdata
0	1	0	0	↑	addr	X	X	RAM(addr)	RAM(addr)	変化なし	変化なし
0	1	0	1	↑	addr	data	pdata	変化なし(1)、 RAM(addr)(2)、 data(3)	変化なし(1)、 RAM(addr)(2)、 pdata(3)	RAM(addr) =>data	RAM(addr) =>pdata

GSR = グローバル セットリセット信号

INIT_A = 出力レジスタ用に INIT_A 属性で設定された値。デフォルトはすべて 0 です。

SRVAL_A = レジスタの値

addr = RAM アドレス

RAM(addr) = アドレス ADDR の RAM の内容

入力								出力			
GSR	ENA	SSRA	WEA	CLKA	ADDRA	DIA	DIPA	DOA	DOPA	RAM の内容	
										データRAM	パリティ RAM
data = RAM の入力データ pdata = RAM のパリティ データ 1WRITE_MODE_A=NO_CHANGE 2WRITE_MODE_A=READ_FIRST 3WRITE_MODE_A=WRITE_FIRST											

真理値表 B

入力								出力			
GSR	ENB	SSRB	WEB	CLKB	ADDRB	DIB	DIPB	DOB	DOPB	RAM の内容	
										データRAM	パリティ RAM
1	X	X	X	X	X	X	X	INIT_B	INIT_B	変化なし	変化なし
0	0	X	X	X	X	X	X	変化なし	変化なし	変化なし	変化なし
0	1	1	0	↑	X	X	X	SRVAL_B	SRVAL_B	変化なし	変化なし
0	1	1	1	↑	addr	data	pdata	SRVAL_B	SRVAL_B	RAM(addr) =>data	RAM(addr) =>pdata
0	1	0	0	↑	addr	X	X	RAM(addr)	RAM(addr)	変化なし	変化なし
0	1	0	1	↑	addr	data	pdata	変化なし 1、 RAM(addr) => data、data3	変化なし 1、 RAM(addr) => data、pdata3	RAM(addr) =>data	RAM(addr) =>pdata

GSR = グローバル セットリセット信号
INIT_B = 出力レジスタ用に INIT_B 属性で設定された値。デフォルトはすべて 0 です。
SRVAL_B = レジスタの値
addr = RAM アドレス
RAM(addr) = アドレス ADDR の RAM の内容
data = RAM の入力データ
pdata = RAM のパリティ データ
1WRITE_MODE_B=NO_CHANGE
2WRITE_MODE_B=READ_FIRST
3WRITE_MODE_B=WRITE_FIRST

ポートの説明

ポート A						ポート B				
デザイン エレメント	データ セル (a)	パリティ セル (a)	アドレス バス	データ バス	パリティ バス	データ セル (a)	パリティ セル (a)	アドレス バス	データ バス	パリティ バス
RAMB16_S4_S4	4096 x 4	-	(11:0)	(3:0)	-	4096 x 4	-	(11:0)	(3:0)	-
(a) ワード数 X 幅										

各ポートは、それぞれのクロックに完全に同期します。ポート A の各データ入力ピン (DIA) のセットアップ タイム、およびデータ出力バス (DOA) の clock-to-out タイムは、CLKA を基準とします。ポート B の各データ入力ピン (DIB) のセットアップ タイム、およびデータ出力バス (DOB) の clock-to-out タイムは、CLKB を基準とします。イネーブルピン ENA は、ポート A の読み出し、書き込み、リセットを制御します。ENA が Low の場合、データは書き込まれず、出力 (DOA および DOPA) は変化しません。ENA とリセット (SSRA) が High の場合、クロック (CLKA) が Low から High に切り替わる時に DOA および DOPA が SRVAL_A にセットされます。ライト イネーブル (WEA) も High の場合は、DIA および DIPA の値が RAM に書き込まれます。ENA が High で RSTA および WEA が Low の場合、クロックが Low から High に切り替わる時に、RAM アドレス (ADDR_A) に格納されているデータが出力されます。SSRA が Low で ENA と WEA が High の場合、クロックが Low から High に切り替わる時に、書き込みアドレス (ADDR_A) で選択されているワードにデータ入力 (DIA および DIPA) の値がロードされます。データ出力 (DOA および DOPA) に出力される値は書き込みモードによって異なります。書き込みモードは、デフォルトでは WRITE_MODE=WRITE_FIRST に設定されています。

イネーブルピン ENB は、ポート B の読み出し、書き込み、リセットを制御します。ENB が Low の場合、データは書き込まれず、出力 (DOB および DOPB) は変化しません。ENB とリセット (SSRB) が High の場合、クロック (CLKB) が Low から High に切り替わる時に、DOB および DOPB が SRVAL_B にセットされます。ライト イネーブル (WEB) も High の場合は、DIB および DIPB の値が RAM に書き込まれます。ENB が High で RSTB と WEB が Low の場合、クロックが Low から High に切り替わる時に RAM アドレス (ADDRB) に格納されているデータが出力されます。SSRB が Low で ENB と WEB が High の場合、クロックが Low から High に切り替わる時に、書き込みアドレス (ADDRB) で選択されているワードにデータ入力 (DIB および DIPB) の値がロードされます。データ出力 (DOB および DOPB) に出力される値は書き込みモードによって異なります。書き込みモードは、デフォルトでは WRITE_MODE=WRITE_FIRST に設定されています。前述の説明では、制御ピン (ENA、WEA、RSTA、CLKA、ENB、WEB、RSTB、CLKB) がアクティブ High であると想定していますが、ポートにインバータを配置してアクティブ Low にすることもできます。RAMB16 のポートに配置したインバータはブロック内に組み込まれるので、CLB リソースは使用されません。

アドレス マップ

各ポートは、ポートの幅によって異なるアドレス指定方法を使用して、同じ 18432 個のメモリセルにアクセスします。「データ用のポート アドレス マップ」に示すように、すべてのポート幅で 16384 個のメモリセルをデータの格納に使用できます。9、18、および 36 ビット幅のポートには、「パリティ用のポート アドレス マップ」に示すように、2408 個のパリティメモリセルもあります。特定のポート幅での物理的な RAM の位置は、次の式によって決定されます。

$$\text{Start} = ((\text{ADDR_port} + 1) * (\text{Widthport})) - 1$$

$$\text{End} = (\text{ADDRport}) * (\text{Widthport})$$

各ポート幅のアドレス マップは次の表のようになっています。

データ用のポート アドレス マップ

データ幅	ポートのデータ アドレス																																		
1	16384	<--	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
2	8192	<--	15		14		13		12		11		10		9		8		7		6		5		4		3		2		1		0		
4	4096	<--	7			6				5				4				3				2				1				0					
8	2048	<--	3							2								1								0									
16	1024	<--	1															0																	
32	512	<--	0																																

パリティ用のポート アドレス マップ

パリティ幅	ポートのパリティ アドレス															
1	2048	<-----	3				2				1					0
2	1024	<-----	1								0					
4	512	<-----	0													

デュアル ポート RAMB16 のメモリ内容の初期化

INIT_xx 属性を使用すると、デバイスのコンフィギュレーション中に RAMB16 のメモリの内容を初期化できます。各 RAMB16_Sm_Sn の初期値は、64 種類の初期化属性 (INIT_00 ~ INIT_3F) で指定します。各属性は、64 の 16 進数値から成り、合計 16384 ビットを指定できます。

INITP_xx 属性を使用すると、デバイスのコンフィギュレーションまたはアサート中にパリティメモリを初期化できます。9、18、36 ビット幅にコンフィギュレーションされたポートのパリティメモリの初期値は、8 個の初期化属性 (INITP_00 ~ INITP_07) で指定します。各属性は 64 個の 16 進数値から成り、合計 2048 ビットを指定できます。

INIT_xx または INITP_xx 属性を指定しない場合は、そのアドレスの値は 0 に設定されます。属性を一部だけ指定すると、上位ビットが 0 になります。

デュアル ポート RAMB16 の出力レジスタの初期化

Spartan®-3A および上記のデバイスの場合、電源投入時 (GSR が High のとき) に出力レジスタの各ビットを 0 または 1 に初期化できます。また、セット/リセットをアサートした後の値を、電源投入時の初期値とは異なる値に設定できます。デュアル ポート RAMB16 の出力レジスタを初期化する属性には、INIT_A、INIT_B、SRVAL_A、SRVAL_B の 4 種類があります。INIT_A 属性は電源投入時のポート A の出力レジスタの初期値を指定し、INIT_B 属性は電源投入時のポート B の出力レジスタの初期値を指定します。SRVAL_A 属性はポート A で SSRA (セット/リセット) 入力をアサートしたときの初期値を指定し、SRVAL_B 属性はポート B で SSRB (セット/リセット) 入力をアサートしたときの初期値を指定します。

INIT_A、INIT_B、SRVAL_A、SRVAL_B 属性は、16 進数で指定します。この初期値はポート幅によって異なります。たとえば、ポート A の幅が 1、ポート B の幅が 4 の RAMB16_S1_S4 の場合、ポート A の出力レジスタは 1 ビットなので、INIT_A または SRVAL_A には 1 か 0 しか指定できません。ポート B の出力レジスタは 4 ビットなので、INIT_B または SRVAL_B に 0 ~ F の 16 進数値を指定できます。

パリティビットを含むポートでは、出力レジスタのパリティ部分は、INIT_A、INIT_B、SRVAL_A、SRVAL_B の値の上位ビットで指定します。

INIT および SRVAL 属性を指定しない場合は、デフォルトで 0 に初期化されます。

書き込みモードの選択

WRITE_MODE_A 属性は、デュアル ポート RAMB16 のポート A のメモリおよび出力の内容を制御し、WRITE_MODE_B 属性は、ポート B のメモリおよび出力の内容を制御します。デフォルトでは、WRITE_MODE_A と WRITE_MODE_B は両方とも WRITE_FIRST に設定されています。この場合、入力値がメモリに書き込まれた後にその値が出力されます。READ_FIRST に設定すると、メモリの内容が出力された後、入力値がメモリに書き込まれます。NO_CHANGE に設定すると、入力値はメモリに書き込まれますが、出力の値は変化しません。ポート A とポート B で同じメモリセルに読み出し/書き込みを行おうとした場合の競合の解決方法については、「ポート A とポート B が競合する場合の対処方法」を参照してください。

ポート A とポート B が競合する場合の対処方法

Spartan-3A ブロックの SelectRAM™ は、完全なデュアル ポート RAM で、2 つのポートが同時に同じメモリセルにアクセスできます。ただし、一方のポートがあるメモリセルに書き込みを行っている場合は、もう一方のポートで clock-to-clock セットアップ タイム内に、そのメモリセルに対して書き込みまたは読み出しを実行しないようにする必要があります。

次の表に、デュアル ポート RAMB16 で競合が発生した場合の動作を、WRITE_MODE_A と WRITE_MODE_B の設定別に示します。

WRITE_MODE_A=NO_CHANGE、WRITE_MODE_B=NO_CHANGE の場合

WEA	WEB	CLKA	CLKB	DIA	DIB	DIPA	DIPB	DOA	DOB	DOPA	DOPB	データ RAM	パリティ RAM
0	0	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	変化なし	変化なし
1	0	↑	↑	DIA	DIB	DIPA	DIPB	変化なし	X	変化なし	X	DIA	DIPA
0	1	↑	↑	DIA	DIB	DIPA	DIPB	X	変化なし	X	変化なし	DIB	DIPB
1	1	↑	↑	DIA	DIB	DIPA	DIPB	変化なし	変化なし	変化なし	変化なし	X	X

WRITE_MODE_A=READ_FIRST、WRITE_MODE_B=READ_FIRST の場合

WEA	WEB	CLKA	CLKB	DIA	DIB	DIPA	DIPB	DOA	DOB	DOPA	DOPB	データ RAM	パリティ RAM
0	0	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	変化なし	変化なし
1	0	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	DIA	DIPA
0	1	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	DIB	DIPB
1	1	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	X	X

WRITE_MODE_A=WRITE_FIRST、WRITE_MODE_B=WRITE_FIRST の場合

WEA	WEB	CLKA	CLKB	DIA	DIB	DIPA	DIPB	DOA	DOB	DOPA	DOPB	データ RAM	パリティ RAM
0	0	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	変化 なし	変化 なし
1	0	↑	↑	DIA	DIB	DIPA	DIPB	DIA	X	DIPA	X	DIA	DIPA
0	1	↑	↑	DIA	DIB	DIPA	DIPB	X	DIB	X	DIPB	DIB	DIPB
1	1	↑	↑	DIA	DIB	DIPA	DIPB	X	X	X	X	X	X

WRITE_MODE_A=NO_CHANGE、WRITE_MODE_B=READ_FIRST の場合

WEA	WEB	CLKA	CLKB	DIA	DIB	DIPA	DIPB	DOA	DOB	DOPA	DOPB	データ RAM	パリティ RAM
0	0	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	変化 なし	変化 なし
1	0	↑	↑	DIA	DIB	DIPA	DIPB	変化 なし	X	変化 なし	X	DIA	DIPA
0	1	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	DIB	DIPB
1	1	↑	↑	DIA	DIB	DIPA	DIPB	変化 なし	X	変化 なし	X	DIB	DIPB

WRITE_MODE_A=NO_CHANGE、WRITE_MODE_B=WRITE_FIRST の場合

WEA	WEB	CLKA	CLKB	DIA	DIB	DIPA	DIPB	DOA	DOB	DOPA	DOPB	データ RAM	パリティ RAM
0	0	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	変化 なし	変化 なし
1	0	↑	↑	DIA	DIB	DIPA	DIPB	変化 なし	X	変化 なし	X	DIA	DIPA
0	1	↑	↑	DIA	DIB	DIPA	DIPB	X	DIB	X	DIPB	DIB	DIPB
1	1	↑	↑	DIA	DIB	DIPA	DIPB	変化 なし	X	変化 なし	X	X	X

WRITE_MODE_A=READ_FIRST および WRITE_MODE_B=WRITE_FIRST の場合

WEA	WEB	CLKA	CLKB	DIA	DIB	DIPA	DIPB	DOA	DOB	DOPA	DOPB	データ RAM	パリティ RAM
0	0	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	変化 なし	変化 なし
1	0	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	DIA	DIPA
0	1	↑	↑	DIA	DIB	DIPA	DIPB	X	DIB	X	DIPB	DIB	DIPB
1	1	↑	↑	DIA	DIB	DIPA	DIPB	X	DIB	X	DIPB	DIA	DIPA

デザインの入力方法

このエレメントは、回路図で使用されます。

使用可能な属性

属性	タイプ	値	デフォルト	説明
INIT_00 ~ INIT_3F	2 進数/ 16 進数	任意の値	すべてゼロ	RAM 配列のデータ部分の初期値を指定
INIT_A	2 進数/ 16 進数	任意の値	すべてゼロ	コンフィギュレーション後の DOA/DOB 出力ポートの初期値を指定。ビット幅は、RAM の A ポートまたは B ポートの幅によって決まります。
INIT_B	2 進数/ 16 進数	任意の値	すべてゼロ	コンフィギュレーション後の DOA/DOB 出力ポートの初期値を指定。ビット幅は、RAM の A ポートまたは B ポートの幅によって決まります。
INITP_00 ~ INITP_07	2 進数/ 16 進数	任意の値	すべてゼロ	RAM 配列のパリティ部分の初期値を指定
SIM_COLLISION_ CHECK	文字列	ALL、 WARNING_ ONLY、 GENERATE_X_ ONLY、または NONE	ALL	<p>メモリの競合が発生した場合にシミュレーションの動作を変更できます。詳細は次のとおりです。</p> <ul style="list-style-type: none"> ・ ALL に設定すると、警告メッセージが出力され、関連する出力およびメモリの値が不定 (X) になります。 ・ WARNING_ONLY に設定すると、警告メッセージのみが出力され、関連する出力およびメモリの値はそのまま保持されます。 ・ GENERATE_X_ONLY に設定すると、警告メッセージは出力されず、関連する出力およびメモリの値が不定 (X) になります。 ・ NONE に設定すると、警告メッセージは出力されず、関連する出力およびメモリの値はそのまま保持されます。 <p>メモ: ALL 以外の値に設定すると、シミュレーション中にデザインの問題を認識できなくなるため、この値を変更する場合は注意が必要です。詳細は、『合成/シミュレーション デザイン ガイド』を参照してください。</p>
SRVAL_A	2 進数/ 16 進数	任意の値	すべてゼロ	RSTA ピンをアサートすると、DOA/DOB 出力ポートがセット (1) またはリセット(0) に設定されるよう指定できます。ビット幅は、RAM の A ポートの幅によって決まります。
SRVAL_B	2 進数/ 16 進数	任意の値	すべてゼロ	RSTB ピンをアサートすると、DOA/DOB 出力ポートがセット (1) またはリセット(0) に設定されるよう指定できます。ビット幅は、RAM の B ポートの幅によって決まります。
WRITE_MODE_A	文字列	WRITE_FIRST、 READ_FIRST、 NO_CHANGE	WRITE_ FIRST	書き込みコマンドが DOA/DOB ポートで実行される際のポートの動作を指定します。WRITE_FIRST に設定すると、値がポートに書き込まれてから出力されます。READ_FIRST に設定すると、新たに値が書き込まれる前に、RAM の以前の値が出力ポートに出力されます。NO_CHANGE に設定すると、出力ポートの以前の値が維持され、出力ポートの値が変化しません。RAM のポートから値を読み出さない場合は、このモードに設定することをお勧めします。

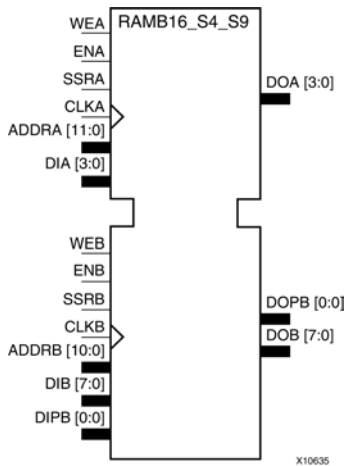
属性	タイプ	値	デフォルト	説明
WRITE_MODE_B	文字列	WRITE_FIRST、 READ_FIRST、 NO_CHANGE	WRITE_ FIRST	書き込みコマンドが DOA/DOB ポートで実行されるときポートの動作を指定します。WRITE_FIRST に設定すると、値がポートに書き込まれてから出力されます。READ_FIRST に設定すると、新たに値が書き込まれる前に、RAM の以前の値が出力ポートに出力されます。NO_CHANGE に設定すると、出力ポートの以前の値が維持され、出力ポートの値が変化しません。RAM のポートから値を読み出さない場合は、このモードに設定することをお勧めします。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

RAMB16_S4_S9

プリミティブ : 16K-bit Data and 2K-bit Parity Dual-Port Synchronous Block RAM with 4-bit and 9-bit Ports



概要

このデザイン エレメントは、同期書き込み機能を備えた、デュアル ポートの専用 RAM ブロックです。各ブロック RAM のポートには 16384 ビットのデータ メモリがあります。ポート幅が 9、18、36 ビットにコンフィギュレーションされたポートには、さらに 2048 ビットのパリティ メモリがあります。各ポートは、同じ 16384 個のデータ メモリ セルに独立してアクセスします。各ポートのデータ幅は、それぞれ個別に設定できます。このエレメントのポートおよびセルの構成は「ポートの説明」の表に示されています。

論理表

真理値表 A

入力								出力			
GSR	ENA	SSRA	WEA	CLKA	ADDR	DIA	DIPA	DOA	DOPA	RAM の内容	
										データRAM	パリティ RAM
1	X	X	X	X	X	X	X	INIT_A	INIT_A	変化なし	変化なし
0	0	X	X	X	X	X	X	変化なし	変化なし	変化なし	変化なし
0	1	1	0	↑	X	X	X	SRVAL_A	SRVAL_A	変化なし	変化なし
0	1	1	1	↑	addr	data	pdata	SRVAL_A	SRVAL_A	RAM(addr) =>data	RAM(addr) =>pdata
0	1	0	0	↑	addr	X	X	RAM(addr)	RAM(addr)	変化なし	変化なし
0	1	0	1	↑	addr	data	pdata	変化なし(1)、 RAM(addr)(2)、 data(3)	変化なし(1)、 RAM(addr)(2)、 pdata(3)	RAM(addr) =>data	RAM(addr) =>pdata

GSR = グローバル セットリセット信号

INIT_A = 出力レジスタ用に INIT_A 属性で設定された値。デフォルトはすべて 0 です。

SRVAL_A = レジスタの値

addr = RAM アドレス

RAM(addr) = アドレス ADDR の RAM の内容

入力								出力			
GSR	ENA	SSRA	WEA	CLKA	ADDRA	DIA	DIPA	DOA	DOPA	RAM の内容	
										データRAM	パリティ RAM
data = RAM の入力データ pdata = RAM のパリティ データ 1WRITE_MODE_A=NO_CHANGE 2WRITE_MODE_A=READ_FIRST 3WRITE_MODE_A=WRITE_FIRST											

真理値表 B

入力								出力			
GSR	ENB	SSRB	WEB	CLKB	ADDRB	DIB	DIPB	DOB	DOPB	RAM の内容	
										データRAM	パリティ RAM
1	X	X	X	X	X	X	X	INIT_B	INIT_B	変化なし	変化なし
0	0	X	X	X	X	X	X	変化なし	変化なし	変化なし	変化なし
0	1	1	0	↑	X	X	X	SRVAL_B	SRVAL_B	変化なし	変化なし
0	1	1	1	↑	addr	data	pdata	SRVAL_B	SRVAL_B	RAM(addr) =>data	RAM(addr) =>pdata
0	1	0	0	↑	addr	X	X	RAM(addr)	RAM(addr)	変化なし	変化なし
0	1	0	1	↑	addr	data	pdata	変化なし 1、 RAM(addr) => data、data3	変化なし 1、 RAM(addr) => data、pdata3	RAM(addr) =>data	RAM(addr) =>pdata

GSR = グローバル セットリセット信号
INIT_B = 出力レジスタ用に INIT_B 属性で設定された値。デフォルトはすべて 0 です。
SRVAL_B = レジスタの値
addr = RAM アドレス
RAM(addr) = アドレス ADDR の RAM の内容
data = RAM の入力データ
pdata = RAM のパリティ データ
1WRITE_MODE_B=NO_CHANGE
2WRITE_MODE_B=READ_FIRST
3WRITE_MODE_B=WRITE_FIRST

ポートの説明

ポート A						ポート B				
デザイン エレメント	データ セル (a)	パリティ セル (a)	アドレス バス	データ バス	パリティ バス	データ セル (a)	パリティ セル (a)	アドレス バス	データ バス	パリティ バス
RAMB16_S4_S9	4096 x 4	-	(11:0)	(3:0)	-	2048 x 8	2048 x 1	(10:0)	(7:0)	(0:0)
(a) ワード数 X 幅										

各ポートは、それぞれのクロックに完全に同期します。ポート A の各データ入力ピン (DIA) のセットアップ タイム、およびデータ出力バス (DOA) の clock-to-out タイムは、CLKA を基準とします。ポート B の各データ入力ピン (DIB) のセットアップ タイム、およびデータ出力バス (DOB) の clock-to-out タイムは、CLKB を基準とします。イネーブルピン ENA は、ポート A の読み出し、書き込み、リセットを制御します。ENA が Low の場合、データは書き込まれず、出力 (DOA および DOPA) は変化しません。ENA とリセット (SSRA) が High の場合、クロック (CLKA) が Low から High に切り替わるときに DOA および DOPA が SRVAL_A にセットされます。ライト イネーブル (WEA) も High の場合は、DIA および DIPA の値が RAM に書き込まれます。ENA が High で RSTA および WEA が Low の場合、クロックが Low から High に切り替わるときに、RAM アドレス (ADDR_A) に格納されているデータが出力されます。SSRA が Low で ENA と WEA が High の場合、クロックが Low から High に切り替わるときに、書き込みアドレス (ADDR_A) で選択されているワードにデータ入力 (DIA および DIPA) の値がロードされます。データ出力 (DOA および DOPA) に出力される値は書き込みモードによって異なります。書き込みモードは、デフォルトでは WRITE_MODE=WRITE_FIRST に設定されています。

イネーブルピン ENB は、ポート B の読み出し、書き込み、リセットを制御します。ENB が Low の場合、データは書き込まれず、出力 (DOB および DOPB) は変化しません。ENB とリセット (SSRB) が High の場合、クロック (CLKB) が Low から High に切り替わるときに、DOB および DOPB が SRVAL_B にセットされます。ライト イネーブル (WEB) も High の場合は、DIB および DIPB の値が RAM に書き込まれます。ENB が High で RSTB と WEB が Low の場合、クロックが Low から High に切り替わるときに RAM アドレス (ADDRB) に格納されているデータが出力されます。SSRB が Low で ENB と WEB が High の場合、クロックが Low から High に切り替わるときに、書き込みアドレス (ADDRB) で選択されているワードにデータ入力 (DIB および DIPB) の値がロードされます。データ出力 (DOB および DOPB) に出力される値は書き込みモードによって異なります。書き込みモードは、デフォルトでは WRITE_MODE=WRITE_FIRST に設定されています。前述の説明では、制御ピン (ENA、WEA、RSTA、CLKA、ENB、WEB、RSTB、CLKB) がアクティブ High であると想定していますが、ポートにインバータを配置してアクティブ Low にすることもできます。RAMB16 のポートに配置したインバータはブロック内に組み込まれるので、CLB リソースは使用されません。

アドレス マップ

各ポートは、ポートの幅によって異なるアドレス指定方法を使用して、同じ 18432 個のメモリセルにアクセスします。「データ用のポート アドレス マップ」に示すように、すべてのポート幅で 16384 個のメモリセルをデータの格納に使用できます。9、18、および 36 ビット幅のポートには、「パリティ用のポート アドレス マップ」に示すように、2408 個のパリティメモリセルもあります。特定のポート幅での物理的な RAM の位置は、次の式によって決定されます。

$$\text{Start} = ((\text{ADDR_port} + 1) * (\text{Widthport})) - 1$$

$$\text{End} = (\text{ADDRport}) * (\text{Widthport})$$

次の表に、各ポート幅のアドレス マップを示します。

データ用のポート アドレス マップ

データ幅	ポートのデータ アドレス																																		
1	16384	<--	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
2	8192	<--	15		14		13		12		11		10		9		8		7		6		5		4		3		2		1		0		
4	4096	<--	7				6				5				4				3				2				1				0				
8	2048	<--	3								2								1								0								
16	1024	<--	1																0																
32	512	<--	0																																

パリティ用のポート アドレス マップ

パリティ幅	ポートのパリティ アドレス														
1	2048	<-----	3				2				1				0
2	1024	<-----	1								0				
4	512	<-----	0												

デュアル ポート RAMB16 のメモリ内容の初期化

INIT_xx 属性を使用すると、デバイスのコンフィギュレーション中に RAMB16 のメモリの内容を初期化できます。各 RAMB16_Sm_Sn の初期値は、64 種類の初期化属性 (INIT_00 ~ INIT_3F) で指定します。各属性は、64 の 16 進数値から成り、合計 16384 ビットを指定できます。

INITP_xx 属性を使用すると、デバイスのコンフィギュレーションまたはアサート中にパリティメモリを初期化できます。9、18、36 ビット幅にコンフィギュレーションされたポートのパリティメモリの初期値は、8 個の初期化属性 (INITP_00 ~ INITP_07) で指定します。各属性は 64 個の 16 進数値から成り、合計 2048 ビットを指定できます。

INIT_xx または INITP_xx 属性を指定しない場合は、そのアドレスの値は 0 に設定されます。属性を一部だけ指定すると、上位ビットが 0 になります。

デュアル ポート RAMB16 の出力レジスタの初期化

Spartan®-3A および上記のデバイスの場合、電源投入時 (GSR が High のとき) に出力レジスタの各ビットを 0 または 1 に初期化できます。また、セット/リセットをアサートした後の値を、電源投入時の初期値とは異なる値に設定できます。デュアル ポート RAMB16 の出力レジスタを初期化する属性には、INIT_A、INIT_B、SRVAL_A、SRVAL_B の 4 種類があります。INIT_A 属性は電源投入時のポート A の出力レジスタの初期値を指定し、INIT_B 属性は電源投入時のポート B の出力レジスタの初期値を指定します。SRVAL_A 属性はポート A で SSRA (セット/リセット) 入力をアサートしたときの初期値を指定し、SRVAL_B 属性はポート B で SSRB (セット/リセット) 入力をアサートしたときの初期値を指定します。

INIT_A、INIT_B、SRVAL_A、SRVAL_B 属性は、16 進数で指定します。この初期値はポート幅によって異なります。たとえば、ポート A の幅が 1、ポート B の幅が 4 の RAMB16_S1_S4 の場合、ポート A の出力レジスタは 1 ビットなので、INIT_A または SRVAL_A には 1 か 0 しか指定できません。ポート B の出力レジスタは 4 ビットなので、INIT_B または SRVAL_B に 0 ~ F の 16 進数値を指定できます。

パリティビットを含むポートでは、出力レジスタのパリティ部分は、INIT_A、INIT_B、SRVAL_A、SRVAL_B の値の上位ビットで指定します。

INIT および SRVAL 属性を指定しない場合は、デフォルトで 0 に初期化されます。

書き込みモードの選択

WRITE_MODE_A 属性は、デュアル ポート RAMB16 のポート A のメモリおよび出力の内容を制御し、WRITE_MODE_B 属性は、ポート B のメモリおよび出力の内容を制御します。デフォルトでは、WRITE_MODE_A と WRITE_MODE_B は両方とも WRITE_FIRST に設定されています。この場合、入力値がメモリに書き込まれた後にその値が出力されます。READ_FIRST に設定すると、メモリの内容が出力された後、入力値がメモリに書き込まれます。NO_CHANGE に設定すると、入力値はメモリに書き込まれますが、出力の値は変化しません。ポート A とポート B で同じメモリセルに読み出し/書き込みを行おうとした場合の競合の解決方法については、「ポート A とポート B が競合する場合の対処方法」を参照してください。

ポート A とポート B が競合する場合の対処方法

Spartan-3A ブロックの SelectRAM™ は、完全なデュアル ポート RAM で、2 つのポートが同時に同じメモリセルにアクセスできます。ただし、一方のポートがあるメモリセルに書き込みを行っている場合は、もう一方のポートで clock-to-clock セットアップ タイム内に、そのメモリセルに対して書き込みまたは読み出しを実行しないようにする必要があります。

次の表に、デュアル ポート RAMB16 で競合が発生した場合の動作を、WRITE_MODE_A と WRITE_MODE_B の設定別に示します。

WRITE_MODE_A=NO_CHANGE、WRITE_MODE_B=NO_CHANGE の場合

WEA	WEB	CLKA	CLKB	DIA	DIB	DIPA	DIPB	DOA	DOB	DOPA	DOPB	データ RAM	パ リ ティ RAM
0	0	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	変化 なし	変化 なし
1	0	↑	↑	DIA	DIB	DIPA	DIPB	変化 なし	X	変化 なし	X	DIA	DIPA
0	1	↑	↑	DIA	DIB	DIPA	DIPB	X	変化 なし	X	変化 なし	DIB	DIPB
1	1	↑	↑	DIA	DIB	DIPA	DIPB	変化 なし	変化 なし	変化 なし	変化 なし	X	X

WRITE_MODE_A=READ_FIRST、WRITE_MODE_B=READ_FIRST の場合

WEA	WEB	CLKA	CLKB	DIA	DIB	DIPA	DIPB	DOA	DOB	DOPA	DOPB	データ RAM	パ リ ティ RAM
0	0	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	変化 なし	変化 なし
1	0	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	DIA	DIPA
0	1	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	DIB	DIPB
1	1	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	X	X

WRITE_MODE_A=WRITE_FIRST、WRITE_MODE_B=WRITE_FIRST の場合

WEA	WEB	CLKA	CLKB	DIA	DIB	DIPA	DIPB	DOA	DOB	DOPA	DOPB	データ RAM	パリティ RAM
0	0	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	変化なし	変化なし
1	0	↑	↑	DIA	DIB	DIPA	DIPB	DIA	X	DIPA	X	DIA	DIPA
0	1	↑	↑	DIA	DIB	DIPA	DIPB	X	DIB	X	DIPB	DIB	DIPB
1	1	↑	↑	DIA	DIB	DIPA	DIPB	X	X	X	X	X	X

WRITE_MODE_A=NO_CHANGE、WRITE_MODE_B=READ_FIRST の場合

WEA	WEB	CLKA	CLKB	DIA	DIB	DIPA	DIPB	DOA	DOB	DOPA	DOPB	データ RAM	パリティ RAM
0	0	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	変化なし	変化なし
1	0	↑	↑	DIA	DIB	DIPA	DIPB	変化なし	X	変化なし	X	DIA	DIPA
0	1	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	DIB	DIPB
1	1	↑	↑	DIA	DIB	DIPA	DIPB	変化なし	X	変化なし	X	DIB	DIPB

WRITE_MODE_A=NO_CHANGE、WRITE_MODE_B=WRITE_FIRST の場合

WEA	WEB	CLKA	CLKB	DIA	DIB	DIPA	DIPB	DOA	DOB	DOPA	DOPB	データ RAM	パリティ RAM
0	0	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	変化なし	変化なし
1	0	↑	↑	DIA	DIB	DIPA	DIPB	変化なし	X	変化なし	X	DIA	DIPA
0	1	↑	↑	DIA	DIB	DIPA	DIPB	X	DIB	X	DIPB	DIB	DIPB
1	1	↑	↑	DIA	DIB	DIPA	DIPB	変化なし	X	変化なし	X	X	X

WRITE_MODE_A=READ_FIRST および WRITE_MODE_B=WRITE_FIRST の場合

WEA	WEB	CLKA	CLKB	DIA	DIB	DIPA	DIPB	DOA	DOB	DOPA	DOPB	データ RAM	パリティ RAM
0	0	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	変化なし	変化なし
1	0	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	DIA	DIPA
0	1	↑	↑	DIA	DIB	DIPA	DIPB	X	DIB	X	DIPB	DIB	DIPB
1	1	↑	↑	DIA	DIB	DIPA	DIPB	X	DIB	X	DIPB	DIA	DIPA

デザインの入力方法

このエレメントは、回路図で使用されます。

使用可能な属性

属性	タイプ	値	デフォルト	説明
INIT_00 ~ INIT_3F	2 進数/ 16 進数	任意の値	すべてゼロ	RAM 配列のデータ部分の初期値を指定
INIT_A	2 進数/ 16 進数	任意の値	すべてゼロ	コンフィギュレーション後の DOA/DOB 出力ポートの初期値を指定。ビット幅は、RAM の A ポートまたは B ポートの幅によって決まります。
INIT_B	2 進数/ 16 進数	任意の値	すべてゼロ	コンフィギュレーション後の DOA/DOB 出力ポートの初期値を指定。ビット幅は、RAM の A ポートまたは B ポートの幅によって決まります。
INITP_00 ~ INITP_07	2 進数/ 16 進数	任意の値	すべてゼロ	RAM 配列のパリティ部分の初期値を指定
SIM_COLLISION_ CHECK	文字列	ALL、 WARNING_ ONLY、 GENERATE_X_ ONLY、または NONE	ALL	<p>メモリの競合が発生した場合にシミュレーションの動作を変更できます。詳細は次のとおりです。</p> <ul style="list-style-type: none"> ・ ALL に設定すると、警告メッセージが出力され、関連する出力およびメモリの値が不定 (X) になります。 ・ WARNING_ONLY に設定すると、警告メッセージのみが出力され、関連する出力およびメモリの値はそのまま保持されます。 ・ GENERATE_X_ONLY に設定すると、警告メッセージは出力されず、関連する出力およびメモリの値が不定 (X) になります。 ・ NONE に設定すると、警告メッセージは出力されず、関連する出力およびメモリの値はそのまま保持されます。 <p>メモ: ALL 以外の値に設定すると、シミュレーション中にデザインの問題を認識できなくなるため、この値を変更する場合は注意が必要です。詳細は、『合成/シミュレーション デザイン ガイド』を参照してください。</p>
SRVAL_A	2 進数/ 16 進数	任意の値	すべてゼロ	RSTA ピンをアサートすると、DOA/DOB 出力ポートがセット (1) またはリセット(0) に設定されるよう指定できます。ビット幅は、RAM の A ポートの幅によって決まります。
SRVAL_B	2 進数/ 16 進数	任意の値	すべてゼロ	RSTB ピンをアサートすると、DOA/DOB 出力ポートがセット (1) またはリセット(0) に設定されるよう指定できます。ビット幅は、RAM の B ポートの幅によって決まります。
WRITE_MODE_A	文字列	WRITE_FIRST、 READ_FIRST、 NO_CHANGE	WRITE_ FIRST	書き込みコマンドが DOA/DOB ポートで実行されるときポートの動作を指定します。WRITE_FIRST に設定すると、値がポートに書き込まれてから出力されます。READ_FIRST に設定すると、新たに値が書き込まれる前に、RAM の以前の値が出力ポートに出力されます。NO_CHANGE に設定すると、出力ポートの以前の値が維持され、出力ポートの値が変化しません。RAM のポートから値を読み出さない場合は、このモードに設定することをお勧めします。

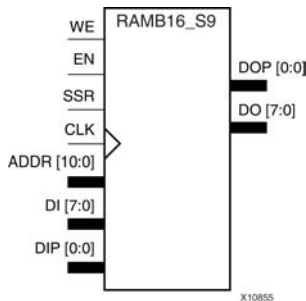
属性	タイプ	値	デフォルト	説明
WRITE_MODE_B	文字列	WRITE_FIRST、 READ_FIRST、 NO_CHANGE	WRITE_ FIRST	書き込みコマンドが DOA/DOB ポートで実行されるときポートの動作を指定します。WRITE_FIRST に設定すると、値がポートに書き込まれてから出力されます。READ_FIRST に設定すると、新たに値が書き込まれる前に、RAM の以前の値が出力ポートに出力されます。NO_CHANGE に設定すると、出力ポートの以前の値が維持され、出力ポートの値が変化しません。RAM のポートから値を読み出さない場合は、このモードに設定することをお勧めします。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

RAMB16_S9

プリミティブ : 16K-bit Data and 2K-bit Parity Single-Port Synchronous Block RAM with 9-bit Port



概要

このデザイン エLEMENTは、同期書き込み機能を備えた専用 RAM ブロックです。ブロック RAM のポートには 16384 ビットのデータ メモリがあります。セルの構成を、次の表に示します。

データ セル		パリティ セル				
ワード数	幅	ワード数	幅	アドレス バス	データ バス	パリティ バス
2048	8	2048	1	(10:0)	(7:0)	(0:0)

イネーブル ピン ENA は、ポート A の読み出し、書き込み、リセットを制御します。ENA が Low の場合、データは書き込まれず、出力 (DOA および DOPA) は変化しません。ENA とリセット (SSRA) が High の場合、クロック (CLKA) が Low から High に切り替わる時に DOA および DOPA が SRVAL_A にセットされます。ライト イネーブル (WEA) も High の場合は、DIA および DIP A の値が RAM に書き込まれます。ENA が High で RSTA および WEA が Low の場合、クロックが Low から High に切り替わる時に、RAM アドレス (ADDR A) に格納されているデータが出力されます。SSRA が Low で ENA と WEA が High の場合、クロックが Low から High に切り替わる時に、書き込みアドレス (ADDR A) で選択されているワードにデータ入力 (DIA および DIP A) の値がロードされます。データ出力 (DOA および DOPA) に出力される値は書き込みモードによって異なります。書き込みモードは、デフォルトでは WRITE_MODE=WRITE_FIRST に設定されています。

前述の説明では、制御ピン (ENA、WEA、RSTA、CLKA、ENB、WEB、RSTB、CLKB) がアクティブ High であると想定していますが、ポートにインバータを配置してアクティブ Low にすることもできます。RAMB16 のポートに配置したインバータはブロック内に組み込まれるので、CLB リソースは使用されません。

論理表

入力								出力			
GSR	EN	SSR	WE	CLK	ADDR	DI	DIP	DO	DOP	RAM の内容	
										データRAM	パリティRAM
1	X	X	X	X	X	X	X	INIT	INIT	変化なし	変化なし
0	0	X	X	X	X	X	X	変化なし	変化なし	変化なし	変化なし
0	1	1	0	↑	X	X	X	SRVAL	SRVAL	変化なし	変化なし
0	1	1	1	↑	addr	data	pdata	SRVAL	SRVAL	RAM(addr) =>data	RAM(addr) =>pdata

入力								出力			
GSR	EN	SSR	WE	CLK	ADDR	DI	DIP	DO	DOP	RAM の内容	
										データRAM	パリティRAM
0	1	0	0	↑	addr	X	X	RAM(addr)	RAM(addr)	変化なし	変化なし
0	1	0	1	↑	addr	data	pdata	変化なし(1)、 RAM(addr)(2)、 data(3)	変化なし(1)、 RAM(addr)(2)、 pdata(3)	RAM(addr) =>data	RAM(addr) =>pdata

GSR=グローバル セット リセット信号

INIT = データ メモリ用に INIT 属性で設定された値。デフォルトはすべて 0 です。

SRVAL = SRVAL 属性で設定された SSR のアサート後の値

addr = RAM アドレス

RAM(addr) = アドレス ADDR の RAM の内容

data = RAM の入力データ

pdata = RAM のパリティ データ

(1) WRITE_MODE=NO_CHANGE

(2) WRITE_MODE=READ_FIRST

(3) WRITE_MODE=WRITE_FIRST

初期化

メモリ内容の初期化

INIT_{xx} 属性を使用すると、デバイスのコンフィギュレーション中に RAMB16 のメモリの内容を初期化できます。各 RAMB16 の初期値は、64 種類の初期化属性 (INIT₀₀ ~ INIT_{3F}) で指定します。各属性は、64 の 16 進数値から成り、合計 16384 ビットを指定できます。

INITP_{xx} 属性を使用すると、デバイスのコンフィギュレーションまたはアサート中にパリティ メモリを初期化できます。9、18、36 ビット幅にコンフィギュレーションされたポートのパリティ メモリの初期値は、8 個の初期化属性 (INITP₀₀ ~ INITP₀₇) で指定します。各属性は 64 個の 16 進数値から成り、合計 2048 ビットを指定できます。

INIT_{xx} または INITP_{xx} 属性を指定しない場合は、そのアドレスの値は 0 に設定されます。属性を一部だけ指定すると、上位ビットが 0 になります。

出力レジスタの初期化

Spartan®-3A および上記のデバイスの場合、電源投入時に出力レジスタの各ビットを 0 または 1 に初期化できます。また、セット/リセットをアサートした後の値を、電源投入時の初期値とは異なる値に設定できます。シングル ポート RAMB16 の出力レジスタの初期化に使用する属性には、INIT と SRVAL の 2 種類があります。INIT 属性は、電源投入時の出力レジスタの値を指定します。SRVAL 属性は、SSR (セット/リセット) 入力をアサートしたときの値を指定します。

INIT および SRVAL 属性は、初期化値を、出力ポートの各ビットを 1 ビット含む 16 進数文字列として指定します。たとえば、ポート幅が 1 の RAMB16_S1 の場合、出力レジスタは 1 ビットなので、INIT および SRVAL には 1 または 0 を指定します。ポート幅が 4 の RAMB16_S4 の場合は、出力レジスタが 4 ビットなので、0 ~ F の 16 進数値を指定します。

パリティ ビットを含むポートでは、出力レジスタのパリティ部分は、INIT または SRVAL の値の上位ビットで指定します。

書き込みモードの選択

WRITE_MODE 属性は、RAMB16 メモリおよび出力の内容を制御します。デフォルトでは、WRITE_MODE は WRITE_FIRST に設定されています。この場合、入力値がメモリに書き込まれた後にその値が出力されます。WRITE_MODE を READ_FIRST に設定すると、メモリの内容が出力された後、入力値がメモリに書き込まれます。WRITE_MODE を NO_CHANGE に設定すると、入力値はメモリに書き込まれますが、出力の値は変化しません。

デザインの入力方法

このエレメントは、回路図で使用されます。

使用可能な属性

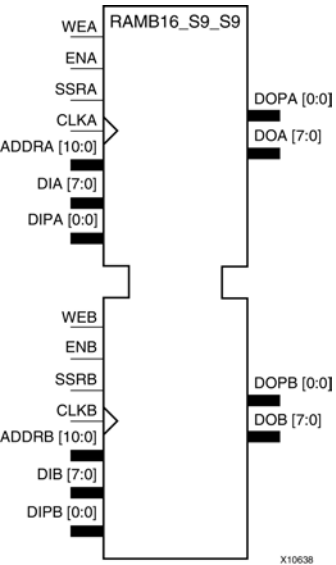
属性	タイプ	値	デフォルト	説明
INIT	2 進数/ 16 進数	任意の値	すべてゼロ	コンフィギュレーション後の DO 出力ポートの初期値を指定。ビット幅は、RAM の A ポートまたは B ポートの幅によって決まります。
INIT_00 ~ INIT_3F	2 進数/ 16 進数	任意の値	すべてゼロ	RAM 配列のデータ部分の初期値を指定
INITP_00 ~ INITP_07	2 進数/ 16 進数	任意の値	すべてゼロ	RAM 配列のパリティ部分の初期値を指定
SRVAL	2 進数/ 16 進数	任意の値	すべてゼロ	SSR ピンをアサートすると、DO 出力ポートがセット (1) またはリセット(0) に設定されるよう指定できます。ビット幅は、RAM の A ポートまたは B ポートの幅によって決まります。
WRITE_MODE	文字列	WRITE_FIRST、 READ_FIRST、 NO_CHANGE	WRITE_FIRST	書き込みコマンドが DO ポートで実行されるときポートの動作を指定します。WRITE_FIRST に設定すると、値がポートに書き込まれてから出力されます。READ_FIRST に設定すると、新たに値が書き込まれる前に、RAM の以前の値が出力ポートに出力されます。NO_CHANGE に設定すると、出力ポートの以前の値が維持され、出力ポートの値が変化しません。RAM のポートから値を読み出さない場合は、このモードに設定することをお勧めします。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

RAMB16_S9_S9

プリミティブ : 16K-bit Data and 2K-bit Parity Dual-Port Synchronous Block RAM with 9-bit Ports



概要

このデザイン エLEMENTは、同期書き込み機能を備えた、デュアル ポートの専用 RAM ブロックです。各ブロック RAM のポートには 16384 ビットのデータ メモリがあります。ポート幅が 9、18、36 ビットにコンフィギュレーションされたポート には、さらに 2048 ビットのパリティ メモリがあります。各ポートは、同じ 16384 個のデータ メモリ セルに独立してアクセ スします。各ポートのデータ幅は、それぞれ個別に設定できます。このELEMENTのポートおよびセルの構成は「ポート の説明」の表に示されています。

論理表

真理値表 A

入力								出力			
GSR	ENA	SSRA	WEA	CLKA	ADDRA	DIA	DIPA	DOA	DOPA	RAM の内容	
										データRAM	パリティ RAM
1	X	X	X	X	X	X	X	INIT_A	INIT_A	変化なし	変化なし
0	0	X	X	X	X	X	X	変化なし	変化なし	変化なし	変化なし
0	1	1	0	↑	X	X	X	SRVAL_A	SRVAL_A	変化なし	変化なし
0	1	1	1	↑	addr	data	pdata	SRVAL_A	SRVAL_A	RAM(addr) =>data	RAM(addr) =>pdata
0	1	0	0	↑	addr	X	X	RAM(addr)	RAM(addr)	変化なし	変化なし
0	1	0	1	↑	addr	data	pdata	変化なし(1)、 RAM(addr)(2)、 data(3)	変化なし(1)、 RAM(addr)(2)、 pdata(3)	RAM(addr) =>data	RAM(addr) =>pdata
GSR = グローバル セットリセット信号											
INIT_A = 出力レジスタ用に INIT_A 属性で設定された値。デフォルトはすべて 0 です。											

入力								出力			
GSR	ENA	SSRA	WEA	CLKA	ADDRA	DIA	DIPA	DOA	DOPA	RAM の内容	
										データRAM	パリティ RAM
SRVAL_A = レジスタの値 addr = RAM アドレス RAM(addr) = アドレス ADDR の RAM の内容 data = RAM の入力データ pdata = RAM のパリティ データ 1WRITE_MODE_A=NO_CHANGE 2WRITE_MODE_A=READ_FIRST 3WRITE_MODE_A=WRITE_FIRST											

真理値表 B

入力								出力			
GSR	ENB	SSRB	WEB	CLKB	ADDRB	DIB	DIPB	DOB	DOPB	RAM の内容	
										データRAM	パリティ RAM
1	X	X	X	X	X	X	X	INIT_B	INIT_B	変化なし	変化なし
0	0	X	X	X	X	X	X	変化なし	変化なし	変化なし	変化なし
0	1	1	0	↑	X	X	X	SRVAL_B	SRVAL_B	変化なし	変化なし
0	1	1	1	↑	addr	data	pdata	SRVAL_B	SRVAL_B	RAM(addr) =>data	RAM(addr) =>pdata
0	1	0	0	↑	addr	X	X	RAM(addr)	RAM(addr)	変化なし	変化なし
0	1	0	1	↑	addr	data	pdata	変化なし 1、 RAM(addr) => data、data3	変化なし 1、 RAM(addr) => data、pdata3	RAM(addr) =>data	RAM(addr) =>pdata
GSR = グローバル セットリセット信号 INIT_B = 出力レジスタ用に INIT_B 属性で設定された値。デフォルトはすべて 0 です。 SRVAL_B = レジスタの値 addr = RAM アドレス RAM(addr) = アドレス ADDR の RAM の内容 data = RAM の入力データ pdata = RAM のパリティ データ 1WRITE_MODE_B=NO_CHANGE 2WRITE_MODE_B=READ_FIRST 3WRITE_MODE_B=WRITE_FIRST											

ポートの説明

ポート A						ポート B				
デザイン エレメント	データ セル (a)	パリティ セル (a)	アドレス バス	データ バス	パリティ バス	データ セル (a)	パリティ セル (a)	アドレス バス	データ バス	パリティ バス
RAMB16_S9_S9	2048 x 8	2048 x 1	(10:0)	(7:0)	(0:0)	2048 x 8	2048 x 1	(10:0)	(7:0)	(0:0)
(a) ワード数 X 幅										

各ポートは、それぞれのクロックに完全に同期します。ポート A の各データ入力ピン (DIA) のセットアップ タイム、およびデータ出力バス (DOA) の clock-to-out タイムは、CLKA を基準とします。ポート B の各データ入力ピン (DIB) のセットアップ タイム、およびデータ出力バス (DOB) の clock-to-out タイムは、CLKB を基準とします。イネーブルピン ENA は、ポート A の読み出し、書き込み、リセットを制御します。ENA が Low の場合、データは書き込まれず、出力 (DOA および DOPA) は変化しません。ENA とリセット (SSRA) が High の場合、クロック (CLKA) が Low から High に切り替わるたびに DOA および DOPA が SRVAL_A にセットされます。ライト イネーブル (WEA) も High の場合は、DIA および DIPA の値が RAM に書き込まれます。ENA が High で RSTA および WEA が Low の場合、クロックが Low から High に切り替わるたびに、RAM アドレス (ADDR_A) に格納されているデータが出力されます。SSRA が Low で ENA と WEA が High の場合、クロックが Low から High に切り替わるたびに、書き込みアドレス (ADDR_A) で選択されているワードにデータ入力 (DIA および DIPA) の値がロードされます。データ出力 (DOA および DOPA) に出力される値は書き込みモードによって異なります。書き込みモードは、デフォルトでは WRITE_MODE=WRITE_FIRST に設定されています。

イネーブルピン ENB は、ポート B の読み出し、書き込み、リセットを制御します。ENB が Low の場合、データは書き込まれず、出力 (DOB および DOPB) は変化しません。ENB とリセット (SSRB) が High の場合、クロック (CLKB) が Low から High に切り替わるたびに、DOB および DOPB が SRVAL_B にセットされます。ライト イネーブル (WEB) も High の場合は、DIB および DIPB の値が RAM に書き込まれます。ENB が High で RSTB と WEB が Low の場合、クロックが Low から High に切り替わるたびに RAM アドレス (ADDRB) に格納されているデータが出力されます。SSRB が Low で ENB と WEB が High の場合、クロックが Low から High に切り替わるたびに、書き込みアドレス (ADDRB) で選択されているワードにデータ入力 (DIB および DIPB) の値がロードされます。データ出力 (DOB および DOPB) に出力される値は書き込みモードによって異なります。書き込みモードは、デフォルトでは WRITE_MODE=WRITE_FIRST に設定されています。前述の説明では、制御ピン (ENA、WEA、RSTA、CLKA、ENB、WEB、RSTB、CLKB) がアクティブ High であると想定していますが、ポートにインバータを配置してアクティブ Low にすることもできます。RAMB16 のポートに配置したインバータはブロック内に組み込まれるので、CLB リソースは使用されません。

アドレス マップ

各ポートは、ポートの幅によって異なるアドレス指定方法を使用して、同じ 18432 個のメモリセルにアクセスします。「データ用のポート アドレス マップ」に示すように、すべてのポート幅で 16384 個のメモリセルをデータの格納に使用できます。9、18、および 36 ビット幅のポートには、「パリティ用のポート アドレス マップ」に示すように、2408 個のパリティメモリセルもあります。特定のポート幅での物理的な RAM の位置は、次の式によって決定されます。

$$\text{Start} = ((\text{ADDR_port} + 1) * (\text{Widthport})) - 1$$

$$\text{End} = (\text{ADDRport}) * (\text{Widthport})$$

次の表に、デュアルポート RAMB16 で競合が発生した場合の動作を、WRITE_MODE_A と WRITE_MODE_B の設定別に示します。

次の表に、各ポート幅のアドレス マップを示します。

データ用のポート アドレス マップ

データ 幅	ポートのデータ アドレス																																		
1	16384	<--	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
2	8192	<--	15		14		13		12		11		10		9		8		7		6		5		4		3		2		1		0		
4	4096	<--	7				6				5				4				3				2				1				0				
8	2048	<--	3								2								1								0								
16	1024	<--	1																0																
32	512	<--	0																																

パリティ用のポート アドレス マップ

パリティ幅	ポートのパリティ アドレス															
1	2048	<-----	3				2				1					0
2	1024	<-----	1								0					
4	512	<-----	0													

デュアル ポート RAMB16 のメモリ内容の初期化

INIT_xx 属性を使用すると、デバイスのコンフィギュレーション中に RAMB16 のメモリの内容を初期化できます。各 RAMB16_Sm_Sn の初期値は、64 種類の初期化属性 (INIT_00 ~ INIT_3F) で指定します。各属性は、64 の 16 進数値から成り、合計 16384 ビットを指定できます。

INITP_xx 属性を使用すると、デバイスのコンフィギュレーションまたはアサート中にパリティ メモリを初期化できます。9、18、36 ビット幅にコンフィギュレーションされたポートのパリティ メモリの初期値は、8 個の初期化属性 (INITP_00 ~ INITP_07) で指定します。各属性は 64 個の 16 進数値から成り、合計 2048 ビットを指定できます。

INIT_xx または INITP_xx 属性を指定しない場合は、そのアドレスの値は 0 に設定されます。属性を一部だけ指定すると、上位ビットが 0 になります。

デュアル ポート RAMB16 の出力レジスタの初期化

Spartan®-3A および上記のデバイスの場合、電源投入時 (GSR が High のとき) に出力レジスタの各ビットを 0 または 1 に初期化できます。また、セット/リセットをアサートした後の値を、電源投入時の初期値とは異なる値に設定できます。デュアル ポート RAMB16 の出力レジスタを初期化する属性には、INIT_A、INIT_B、SRVAL_A、SRVAL_B の 4 種類があります。INIT_A 属性は電源投入時のポート A の出力レジスタの初期値を指定し、INIT_B 属性は電源投入時のポート B の出力レジスタの初期値を指定します。SRVAL_A 属性はポート A で SSRA (セット/リセット) 入力をアサートしたときの初期値を指定し、SRVAL_B 属性はポート B で SSRB (セット/リセット) 入力をアサートしたときの初期値を指定します。

INIT_A、INIT_B、SRVAL_A、SRVAL_B 属性は、16 進数で指定します。この初期値はポート幅によって異なります。たとえば、ポート A の幅が 1、ポート B の幅が 4 の RAMB16_S1_S4 の場合、ポート A の出力レジスタは 1 ビットなので、INIT_A または SRVAL_A には 1 か 0 しか指定できません。ポート B の出力レジスタは 4 ビットなので、INIT_B または SRVAL_B に 0 ~ F の 16 進数値を指定できます。

パリティビットを含むポートでは、出力レジスタのパリティ部分は、INIT_A、INIT_B、SRVAL_A、SRVAL_B の値の上位ビットで指定します。

INIT および SRVAL 属性を指定しない場合は、デフォルトで 0 に初期化されます。

書き込みモードの選択

WRITE_MODE_A 属性は、デュアル ポート RAMB16 のポート A のメモリおよび出力の内容を制御し、WRITE_MODE_B 属性は、ポート B のメモリおよび出力の内容を制御します。デフォルトでは、WRITE_MODE_A と WRITE_MODE_B は両方とも WRITE_FIRST に設定されています。この場合、入力値がメモリに書き込まれた後にその値が出力されます。READ_FIRST に設定すると、メモリの内容が出力された後、入力値がメモリに書き込まれます。NO_CHANGE に設定すると、入力値はメモリに書き込まれますが、出力の値は変化しません。ポート A とポート B で同じメモリセルに読み出し/書き込みを行おうとした場合の競合の解決方法については、「ポート A とポート B が競合する場合の対処方法」を参照してください。

ポート A とポート B が競合する場合の対処方法

Spartan-3A ブロック SelectRAM™ は、完全なデュアル ポート RAM で、2 つのポートが同時に同じメモリセルにアクセスできます。ただし、一方のポートがあるメモリセルに書き込みを行っている場合は、もう一方のポートで clock-to-clock セットアップ タイム内に、そのメモリセルに対して書き込みまたは読み出しを実行しないようにする必要があります。

次の表に、デュアル ポート RAMB16 で競合が発生した場合の動作を、WRITE_MODE_A と WRITE_MODE_B の設定別に示します。

WRITE_MODE_A=NO_CHANGE、WRITE_MODE_B=NO_CHANGE の場合

WEA	WEB	CLKA	CLKB	DIA	DIB	DIPA	DIPB	DOA	DOB	DOPA	DOPB	データ RAM	パリティ RAM
0	0	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	変化なし	変化なし
1	0	↑	↑	DIA	DIB	DIPA	DIPB	変化なし	X	変化なし	X	DIA	DIPA
0	1	↑	↑	DIA	DIB	DIPA	DIPB	X	変化なし	X	変化なし	DIB	DIPB
1	1	↑	↑	DIA	DIB	DIPA	DIPB	変化なし	変化なし	変化なし	変化なし	X	X

WRITE_MODE_A=READ_FIRST、WRITE_MODE_B=READ_FIRST の場合

WEA	WEB	CLKA	CLKB	DIA	DIB	DIPA	DIPB	DOA	DOB	DOPA	DOPB	データ RAM	パリティ RAM
0	0	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	変化なし	変化なし
1	0	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	DIA	DIPA
0	1	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	DIB	DIPB
1	1	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	X	X

WRITE_MODE_A=WRITE_FIRST、WRITE_MODE_B=WRITE_FIRST の場合

WEA	WEB	CLKA	CLKB	DIA	DIB	DIPA	DIPB	DOA	DOB	DOPA	DOPB	データ RAM	パリティ RAM
0	0	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	変化 なし	変化 なし
1	0	↑	↑	DIA	DIB	DIPA	DIPB	DIA	X	DIPA	X	DIA	DIPA
0	1	↑	↑	DIA	DIB	DIPA	DIPB	X	DIB	X	DIPB	DIB	DIPB
1	1	↑	↑	DIA	DIB	DIPA	DIPB	X	X	X	X	X	X

WRITE_MODE_A=NO_CHANGE、WRITE_MODE_B=READ_FIRST の場合

WEA	WEB	CLKA	CLKB	DIA	DIB	DIPA	DIPB	DOA	DOB	DOPA	DOPB	データ RAM	パリティ RAM
0	0	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	変化 なし	変化 なし
1	0	↑	↑	DIA	DIB	DIPA	DIPB	変化 なし	X	変化 なし	X	DIA	DIPA
0	1	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	DIB	DIPB
1	1	↑	↑	DIA	DIB	DIPA	DIPB	変化 なし	X	変化 なし	X	DIB	DIPB

WRITE_MODE_A=NO_CHANGE、WRITE_MODE_B=WRITE_FIRST の場合

WEA	WEB	CLKA	CLKB	DIA	DIB	DIPA	DIPB	DOA	DOB	DOPA	DOPB	データ RAM	パリティ RAM
0	0	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	変化 なし	変化 なし
1	0	↑	↑	DIA	DIB	DIPA	DIPB	変化 なし	X	変化 なし	X	DIA	DIPA
0	1	↑	↑	DIA	DIB	DIPA	DIPB	X	DIB	X	DIPB	DIB	DIPB
1	1	↑	↑	DIA	DIB	DIPA	DIPB	変化 なし	X	変化 なし	X	X	X

WRITE_MODE_A=READ_FIRST および WRITE_MODE_B=WRITE_FIRST

WEA	WEB	CLKA	CLKB	DIA	DIB	DIPA	DIPB	DOA	DOB	DOPA	DOPB	データ RAM	パリティ RAM
0	0	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	変化 なし	変化 なし
1	0	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	DIA	DIPA
0	1	↑	↑	DIA	DIB	DIPA	DIPB	X	DIB	X	DIPB	DIB	DIPB
1	1	↑	↑	DIA	DIB	DIPA	DIPB	X	DIB	X	DIPB	DIA	DIPA

デザインの入力方法

このエレメントは、回路図で使用されます。

使用可能な属性

属性	タイプ	値	デフォルト	説明
INIT_00 ~ INIT_3F	2 進数/ 16 進数	任意の値	すべてゼロ	RAM 配列のデータ部分の初期値を指定
INIT_A	2 進数/ 16 進数	任意の値	すべてゼロ	コンフィギュレーション後の DOA/DOB 出力ポートの初期値を指定。ビット幅は、RAM の A ポートまたは B ポートの幅によって決まります。
INIT_B	2 進数/ 16 進数	任意の値	すべてゼロ	コンフィギュレーション後の DOA/DOB 出力ポートの初期値を指定。ビット幅は、RAM の A ポートまたは B ポートの幅によって決まります。
INITP_00 ~ INITP_07	2 進数/ 16 進数	任意の値	すべてゼロ	RAM 配列のパリティ部分の初期値を指定
SIM_COLLISION_ CHECK	文字列	ALL、 WARNING_ ONLY、 GENERATE_X_ ONLY、または NONE	ALL	<p>メモリの競合が発生した場合にシミュレーションの動作を変更できます。詳細は次のとおりです。</p> <ul style="list-style-type: none"> ALL に設定すると、警告メッセージが出力され、関連する出力およびメモリの値が不定 (X) になります。 WARNING_ONLY に設定すると、警告メッセージのみが出力され、関連する出力およびメモリの値はそのまま保持されます。 GENERATE_X_ONLY に設定すると、警告メッセージは出力されず、関連する出力およびメモリの値が不定 (X) になります。 NONE に設定すると、警告メッセージは出力されず、関連する出力およびメモリの値はそのまま保持されます。 <p>メモ: ALL 以外の値に設定すると、シミュレーション中にデザインの問題を認識できなくなるため、この値を変更する場合は注意が必要です。詳細は、『合成/シミュレーション デザイン ガイド』を参照してください。</p>
SRVAL_A	2 進数/ 16 進数	任意の値	すべてゼロ	RSTA ピンをアサートすると、DOA/DOB 出力ポートがセット (1) またはリセット (0) に設定されるよう指定できます。ビット幅は、RAM の A ポートの幅によって決まります。
SRVAL_B	2 進数/ 16 進数	任意の値	すべてゼロ	RSTB ピンをアサートすると、DOA/DOB 出力ポートがセット (1) またはリセット (0) に設定されるよう指定できます。ビット幅は、RAM の B ポートの幅によって決まります。

属性	タイプ	値	デフォルト	説明
WRITE_MODE_A	文字列	WRITE_FIRST、 READ_FIRST、 NO_CHANGE	WRITE_ FIRST	書き込みコマンドが DOA/DOB ポートで実行されるときポートの動作を指定します。WRITE_FIRST に設定すると、値がポートに書き込まれてから出力されます。READ_FIRST に設定すると、新たに値が書き込まれる前に、RAM の以前の値が出力ポートに出力されます。NO_CHANGE に設定すると、出力ポートの以前の値が維持され、出力ポートの値が変化しません。RAM のポートから値を読み出さない場合は、このモードに設定することをお勧めします。
WRITE_MODE_B	文字列	WRITE_FIRST、 READ_FIRST、 NO_CHANGE	WRITE_ FIRST	書き込みコマンドが DOA/DOB ポートで実行されるときポートの動作を指定します。WRITE_FIRST に設定すると、値がポートに書き込まれてから出力されます。READ_FIRST に設定すると、新たに値が書き込まれる前に、RAM の以前の値が出力ポートに出力されます。NO_CHANGE に設定すると、出力ポートの以前の値が維持され、出力ポートの値が変化しません。RAM のポートから値を読み出さない場合は、このモードに設定することをお勧めします。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

RAMB16BWE

プリミティブ : 16K-bit Data and 2K-bit Parity Configurable Synchronous Dual Port Block RAM



概要

このデザイン エLEMENTは、1 ビット X 16K ワード ~ 36 ビット X 512 ワードのシングル ポート RAM またはデュアル ポート RAM としてコンフィギュレーションできます。コンポーネントに供給されるクロックに完全に同期して、読み出しと書き込みが同時に実行されます。ただし、ポート A とポート B は互いに独立しており、同じメモリアレイにアクセスする間は非同期になります。データ幅の広いモードでコンフィギュレーションすれば、バイト イネーブル書き込み操作が可能です。このブロック RAM には、大量のオンチップ データを高速かつ柔軟に格納できます。

ポートの説明

ポート名	方向	幅	機能
DOA, DOB	出力	32	ポート A/B のデータ出力バス
DOPA, DOPB	出力	4	ポート A/B のパリティ出力バス
DIA, DIB	入力	32	ポート A/B のデータ入力バス
DIPA, DIPB	入力	4	ポート A/B のパリティ入力バス
ADDRA, ADDRb	入力	14	ポート A/B のアドレス入力バス。MSB は常に ADDRA/B ですが、LSB は DATA_WIDTH_A/B の設定によって決まります。

ポート名	方向	幅	機能
WEA、WEB	入力	4	ポート A/B のバイト幅ライト イネーブル
ENA、ENB	入力	1	ポート A/B のイネーブル
SSRA、SSRB	入力	1	ポート A/B の出力レジスタの同期リセット
CLKA、CLKB	入力	1	ポート A/B のクロック入力

デザインの入力方法

このエレメントは、回路図で使用されます。

このエレメントは、標準の RTL 記述で RAM のビヘイビアを記述することにより、ほとんどの合成ツールで推論できます。詳細は、合成ツールのマニュアルを参照してください。または、CORE Generator™ でもこの RAMB のマクロを作成できます。直接インスタンスエートして、このコンポーネントのインプリメンテーションまたは配置を細かく制御することも可能です。このコンポーネントをインスタンスエートするには ISE® で HDL テンプレートを使用するか、または次のインスタンスエーション テンプレートをコードに貼り付けます。必要な入力はすべて適切な信号に接続してください。CLKA/CLKB クロック信号をアクティブ クロックに、SSRA/SSRB リセット信号を論理値 0 または適切なリセット信号に接続する必要があります。ENA/ENB は、論理値 1 または適切な RAM ポート イネーブル信号のいずれかに接続します。これらの信号に必要な接続は DATA_WIDTH の設定により変わるため、次の表で、必要なデータ入力、データ出力、ライト イネーブル、アドレスの接続情報を確認してください。ほかの出力信号はすべて接続しないままでもかまいません。使用されていない入力信号は論理値 0 に接続してください。

次の表に、ポート A またはポート B の DATA_WIDTH の値と、それに必要な入力接続と出力接続を示します。

DATA_WIDTH 値	DI、DIP 接続	ADDR 接続	WE 接続	DO、DOP 接続
1	DI[0]	ADDR[13:0]	WE[3:0] をシングル ユーザー WE 信号に接続	DO[0]
2	DI[1:0]	ADDR[13:1]	WE[3:0] をシングル ユーザー WE 信号に接続	DO[1:0]
4	DI[3:0]	ADDR[13:2]	WE[3:0] をシングル ユーザー WE 信号に接続	DO[3:0]
9	DI[7:0]、DIP[0]	ADDR[13:3]	WE[3:0] をシングル ユーザー WE 信号に接続	DO[7:0]、DOP[0]
18	DI[15:0]、DIP[1:0]	ADDR[13:4]	WE[0] および WE[2] をユーザー WE[0] に、WE[1] および WE[3] をユーザー WE[1] に接続	DO[15:0]、DOP[1:0]
36	DI[31:0]、DIP[3:0]	ADDR[13:5]	各 WE[3:0] 信号を関連したバイト ライト イネーブルに接続	DO[31:0]、DOP[3:0]

バイト イネーブル操作が必要なければ、代わりに RAMB16_Sm_Sn デザイン エLEMENTをインスタンスエートできます。また、新しいマクロ RAMB16BWE_Sm_Sn を使用すると、バイト イネーブル操作を実行するこの RAM のインスタンスエーションを簡単に実行できます。これらのコンポーネントのいずれかが使用されていれば、ソフトウェアで自動的に、適切にコンフィギュレーションされた RAMB16BWE コンポーネントに変更されます。

使用可能な属性

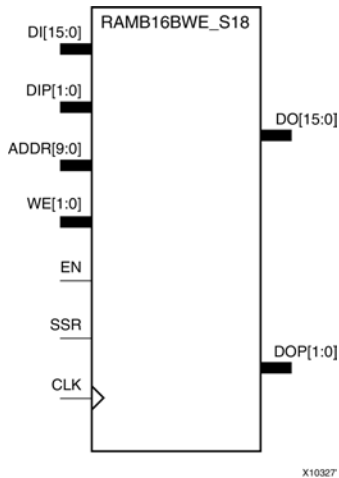
属性	タイプ	値	デフォルト	説明
DATA_WIDTH_A、 DATA_WIDTH_B	整数	0、1、2、4、9、18、 36	0	ポート A および B のデータ幅を指定
INIT_A、 INIT_B	16 進数	36 ビット値	すべてゼロ	コンフィギュレーション後のポート B の出力の初期値を指定します。
SIM_COLLISION_ CHECK	文字列	ALL、 WARNING_ ONLY、 GENERATE_X_ ONLY、または NONE	ALL	<p>メモリの競合が発生した場合にシミュレーションの動作を変更できます。詳細は次のとおりです。</p> <ul style="list-style-type: none"> ALL に設定すると、警告メッセージが出力され、関連する出力およびメモリの値が不定 (X) になります。 WARNING_ONLY に設定すると、警告メッセージのみが出力され、関連する出力およびメモリの値はそのまま保持されます。 GENERATE_X_ONLY に設定すると、警告メッセージは出力されず、関連する出力およびメモリの値が不定 (X) になります。 NONE に設定すると、警告メッセージは出力されず、関連する出力およびメモリの値はそのまま保持されます。 <p>メモ: ALL 以外の値に設定すると、シミュレーション中にデザインの問題を認識できなくなるため、この値を変更する場合は注意が必要です。詳細は、『合成/シミュレーション デザイン ガイド』を参照してください。</p>
SRVAL_A、 SRVAL_B	16 進数	36 ビット値	すべてゼロ	同期リセット信号 (SSRB) がアサートされたときのポート B の出力値を指定します。
WRITE_MODE_A、 WRITE_MODE_B	文字列	WRITE_FIRST、 READ_FIRST、 NO_CHANGE	WRITE_ FIRST	<p>書き込みが実行されるときポートの動作を指定します。</p> <ul style="list-style-type: none"> WRITE_FIRST に設定すると、書き込まれた値が出力ポートに出力されます。 READ_FIRST に設定すると、そのメモリ ロケーションに直前に格納されていた値が出力ポートに出力されます。 NO_CHANGE に設定すると、出力ポートから直前に出力された値が保持されます。
INIT_00 ~ INIT_3F	16 進数	256 ビット値	すべてゼロ	16kb のデータ メモリ アレイの初期値を指定
INITP_00 ~ INITP_07	16 進数	256 ビット値	すべてゼロ	2kb のパリティ データ メモリ アレイの初期値を指定

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

RAMB16BWE_S18

プリミティブ : 16K-bit Data and 2K-bit Parity Synchronous Single Port Block RAM with 18-bit Port



概要

このデザイン エLEMENTは、1 ビット X 16K ワード ~ 36 ビット X 512 ワードのシングル ポート RAM またはデュアル ポート RAM としてコンフィギュレーションできます。コンポーネントに供給されるクロックに完全に同期して、読み出しと書き込みが同時に実行されます。ただし、ポート A とポート B は互いに独立しており、同じメモリ アレイにアクセスする間は非同期になります。データ幅の広いモードでコンフィギュレーションすれば、バイト イネーブル書き込み操作が可能です。このブロック RAM には、大量のオンチップ データを高速かつ柔軟に格納できます。

ポートの説明

ポート名	方向	幅	機能
DOA、DOB	出力	32	ポート A/B のデータ出力バス
DOPA、DOPB	出力	4	ポート A/B のパリティ出力バス
DIA、DIB	入力	32	ポート A/B のデータ入力バス
DIPA、DIPB	入力	4	ポート A/B のパリティ入力バス
ADDRA、ADDRB	入力	14	ポート A/B のアドレス入力バス。MSB は常に ADDRA/B ですが、LSB は DATA_WIDTH_A/B の設定によって決まります。
WEA、WEB	入力	4	ポート A/B のバイト幅ライト イネーブル
ENA、ENB	入力	1	ポート A/B のイネーブル
SSRA、SSRB	入力	1	ポート A/B の出力レジスタの同期リセット
CLKA、CLKB	入力	1	ポート A/B のクロック入力

デザインの入力方法

このELEMENTは、回路図で使用されます。

このELEMENTは、標準の RTL 記述で RAM のビヘイビアを記述することにより、ほとんどの合成ツールで推論できます。詳細は、合成ツールのマニュアルを参照してください。または、CORE Generator™ でもこの RAMB のマクロを作成できます。直接インスタンスエートして、このコンポーネントのインプリメンテーションまたは配置を細かく制御することも可能です。このコンポーネントをインスタンスエートするには ISE® で HDL テンプレートを使用するか、または次のインスタンスエーション テンプレートをコードに貼り付けます。必要な入力はすべて適切な信号に接続してください。CLKA/CLKB クロック信号をアクティブ クロックに、SSRA/SSRB リセット信号を論理値 0 または適切なリセット信号に接続する必要があります。ENA/ENB は、論理値 1 または適切な RAM ポート イネーブル信号のいずれかに接続します。これらの信号に必要な接続は DATA_WIDTH の設定により変わるため、次の表で、必要なデータ入力、データ出力、ライト イネーブル、アドレスの接続情報を確認してください。ほかの出力信号はすべて接続しないままでかまいません。使用されていない入力信号は論理値 0 に接続してください。

次の表に、ポート A またはポート B の DATA_WIDTH の値と、それに必要な入力接続と出力接続を示します。

DATA_WIDTH 値	DI、DIP 接続	ADDR 接続	WE 接続	DO、DOP 接続
1	DI[0]	ADDR[13:0]	WE[3:0] をシングル ユーザー WE 信号に接続	DO[0]
2	DI[1:0]	ADDR[13:1]	WE[3:0] をシングル ユーザー WE 信号に接続	DO[1:0]
4	DI[3:0]	ADDR[13:2]	WE[3:0] をシングル ユーザー WE 信号に接続	DO[3:0]
9	DI[7:0]、DIP[0]	ADDR[13:3]	WE[3:0] をシングル ユーザー WE 信号に接続	DO[7:0]、DOP[0]
18	DI[15:0]、DIP[1:0]	ADDR[13:4]	WE[0] および WE[2] をユーザー WE[0] に、WE[1] および WE[3] をユーザー WE[1] に接続	DO[15:0]、DOP[1:0]
36	DI[31:0]、DIP[3:0]	ADDR[13:5]	各 WE[3:0] 信号を関連したバイト ライト イネーブルに接続	DO[31:0]、DOP[3:0]

バイト イネーブル操作が必要なければ、代わりに RAMB16_Sm_Sn デザイン ELEMENTをインスタンスエートできます。また、新しいマクロ RAMB16BWE_Sm_Sn を使用すると、バイト イネーブル操作を実行するこの RAM のインスタンスエーションを簡単に実行できます。これらのコンポーネントのいずれかが使用されていれば、ソフトウェアで自動的に、適切にコンフィギュレーションされた RAMB16BWE コンポーネントに変更されます。

使用可能な属性

属性	タイプ	値	デフォルト	説明
DATA_WIDTH_A、 DATA_WIDTH_B	整数	0、1、2、4、9、18、 36	0	ポート A および B のデータ幅を指定
INIT_A、 INIT_B	16 進数	36 ビット値	すべてゼロ	コンフィギュレーション後のポート B の出力の初期値を指定します。
SIM_COLLISION_ CHECK	文字列	ALL、 WARNING_ ONLY、 GENERATE_X_ ONLY、または NONE	ALL	メモリの競合が発生した場合にシミュレーションの動作を変更できます。詳細は次のとおりです。 ・ ALL に設定すると、警告メッセージが出力され、関連する出力およびメモリの値が不定 (X) になります。

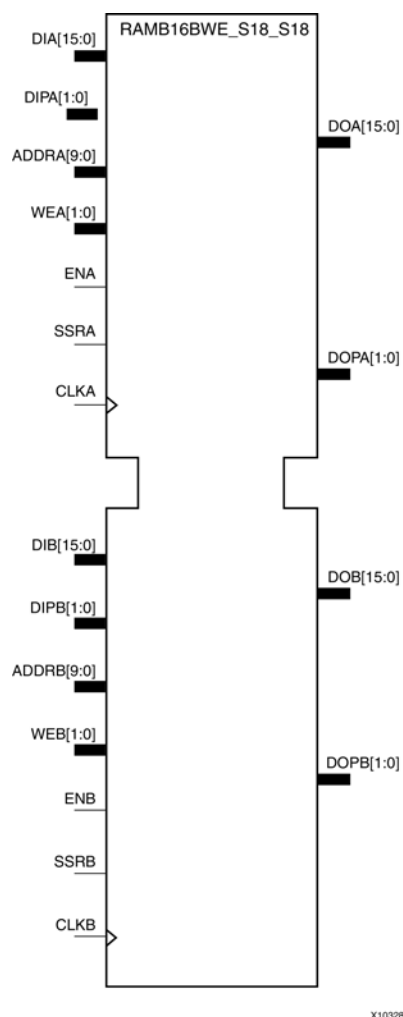
属性	タイプ	値	デフォルト	説明
				<ul style="list-style-type: none"> ・ WARNING_ONLY に設定すると、警告メッセージのみが出力され、関連する出力およびメモリの値はそのまま保持されます。 ・ GENERATE_X_ONLY に設定すると、警告メッセージは出力されず、関連する出力およびメモリの値が不定 (X) になります。 ・ NONE に設定すると、警告メッセージは出力されず、関連する出力およびメモリの値はそのまま保持されます。 <p>メモ : ALL 以外の値に設定すると、シミュレーション中にデザインの問題を認識できなくなるため、この値を変更する場合は注意が必要です。詳細は、『合成/シミュレーション デザイン ガイド』を参照してください。</p>
SRVAL_A、 SRVAL_B	16 進数	36 ビット値	すべてゼロ	同期リセット信号 (SSRB) がアサートされたときのポート B の出力値を指定します。
WRITE_MODE_A、 WRITE_MODE_B	文字列	WRITE_FIRST、 READ_FIRST、 NO_CHANGE	WRITE_FIRST	<p>書き込みが実行されるときのポートの動作を指定します。</p> <ul style="list-style-type: none"> ・ WRITE_FIRST に設定すると、書き込まれた値が出力ポートに出力されます。 ・ READ_FIRST に設定すると、そのメモリ ロケーションに直前に格納されていた値が出力ポートに出力されます。 ・ NO_CHANGE に設定すると、出力ポートから直前に出力された値が保持されます。
INIT_00 ~ INIT_3F	16 進数	256 ビット値	すべてゼロ	16kb のデータ メモリ アレイの初期値を指定
INITP_00 ~ INITP_07	16 進数	256 ビット値	すべてゼロ	2kb のパリティ データ メモリ アレイの初期値を指定

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

RAMB16BWE_S18_S18

プリミティブ : 16K-bit Data and 2K-bit Parity Synchronous Dual Port Block RAM with 18-bit Ports



概要

このデザイン エLEMENTは、1 ビット X 16K ワード ~ 36 ビット X 512 ワードのシングル ポート RAM またはデュアル ポート RAM としてコンフィギュレーションできます。コンポーネントに供給されるクロックに完全に同期して、読み出しと書き込みが同時に実行されます。ただし、ポート A とポート B は互いに独立しており、同じメモリ アレイにアクセスする間は非同期になります。データ幅の広いモードでコンフィギュレーションすれば、バイト イネーブル書き込み操作が可能です。このブロック RAM には、大量のオンチップ データを高速かつ柔軟に格納できます。

ポートの説明

ポート名	方向	幅	機能
DOA、DOB	出力	32	ポート A/B のデータ出力バス
DOPA、DOPB	出力	4	ポート A/B のパリティ出力バス
DIA、DIB	入力	32	ポート A/B のデータ入力バス
DIPA、DIPB	入力	4	ポート A/B のパリティ入力バス
ADDRA、ADDRB	入力	14	ポート A/B のアドレス入力バス。MSB は常に ADDRA/B ですが、LSB は DATA_WIDTH_A/B の設定によって決まります。
WEA、WEB	入力	4	ポート A/B のバイト幅ライト イネーブル
ENA、ENB	入力	1	ポート A/B のイネーブル
SSRA、SSRB	入力	1	ポート A/B の出力レジスタの同期リセット
CLKA、CLKB	入力	1	ポート A/B のクロック入力

デザインの入力方法

このエレメントは、回路図で使用されます。

このエレメントは、標準の RTL 記述で RAM のビヘイビアを記述することにより、ほとんどの合成ツールで推論できます。詳細は、合成ツールのマニュアルを参照してください。または、CORE Generator™ でもこの RAMB のマクロを作成できます。直接インスタンスエートして、このコンポーネントのインプリメンテーションまたは配置を細かく制御することも可能です。このコンポーネントをインスタンスエートするには ISE® で HDL テンプレートを使用するか、または次のインスタンスエーション テンプレートをコードに貼り付けます。必要な入力はすべて適切な信号に接続してください。CLKA/CLKB クロック信号をアクティブ クロックに、SSRA/SSRB リセット信号を論理値 0 または適切なリセット信号に接続する必要があります。ENA/ENB は、論理値 1 または適切な RAM ポート イネーブル信号のいずれかに接続します。これらの信号に必要な接続は DATA_WIDTH の設定により変わるため、次の表で、必要なデータ入力、データ出力、ライト イネーブル、アドレスの接続情報を確認してください。ほかの出力信号はすべて接続しないままかまいません。使用されていない入力信号は論理値 0 に接続してください。

次の表に、ポート A またはポート B の DATA_WIDTH の値と、それに必要な入力接続と出力接続を示します。

DATA_WIDTH 値	DI、DIP 接続	ADDR 接続	WE 接続	DO、DOP 接続
1	DI[0]	ADDR[13:0]	WE[3:0] をシングル ユーザー WE 信号に接続	DO[0]
2	DI[1:0]	ADDR[13:1]	WE[3:0] をシングル ユーザー WE 信号に接続	DO[1:0]
4	DI[3:0]	ADDR[13:2]	WE[3:0] をシングル ユーザー WE 信号に接続	DO[3:0]
9	DI[7:0]、DIP[0]	ADDR[13:3]	WE[3:0] をシングル ユーザー WE 信号に接続	DO[7:0]、DOP[0]
18	DI[15:0]、DIP[1:0]	ADDR[13:4]	WE[0] および WE[2] をユーザー WE[0] に、WE[1] および WE[3] をユーザー WE[1] に接続	DO[15:0]、DOP[1:0]

DATA_WIDTH 値	DI、DIP 接続	ADDR 接続	WE 接続	DO、DOP 接続
36	DI[31:0]、DIP[3:0]	ADDR[13:5]	各 WE[3:0] 信号を関連したバイト ライト イネーブルに接続	DO[31:0]、DOP[3:0]

バイト イネーブル操作が必要なければ、代わりに RAMB16_Sm_Sn デザイン エLEMENTをインスタンス化できます。また、新しいマクロ RAMB16BWE_Sm_Sn を使用すると、バイト イネーブル操作を実行するこの RAM のインスタンス化を簡単に実行できます。これらのコンポーネントのいずれかが使用されていれば、ソフトウェアで自動的に、適切にコンフィギュレーションされた RAMB16BWE コンポーネントに変更されます。

使用可能な属性

属性	タイプ	値	デフォルト	説明
DATA_WIDTH_A、 DATA_WIDTH_B	整数	0、1、2、4、9、18、 36	0	ポート A および B のデータ幅を指定
INIT_A、 INIT_B	16 進数	36 ビット値	すべてゼロ	コンフィギュレーション後のポート B の出力の初期値を指定します。
SIM_COLLISION_ CHECK	文字列	ALL、 WARNING_ ONLY、 GENERATE_X_ ONLY、または NONE	ALL	<p>メモリの競合が発生した場合にシミュレーションの動作を変更できます。詳細は次のとおりです。</p> <ul style="list-style-type: none"> ・ ALL に設定すると、警告メッセージが出力され、関連する出力およびメモリの値が不定 (X) になります。 ・ WARNING_ONLY に設定すると、警告メッセージのみが出力され、関連する出力およびメモリの値はそのまま保持されます。 ・ GENERATE_X_ONLY に設定すると、警告メッセージは出力されず、関連する出力およびメモリの値が不定 (X) になります。 ・ NONE に設定すると、警告メッセージは出力されず、関連する出力およびメモリの値はそのまま保持されます。 <p>メモ: ALL 以外の値に設定すると、シミュレーション中にデザインの問題を認識できなくなるため、この値を変更する場合は注意が必要です。詳細は、『合成/シミュレーション デザイン ガイド』を参照してください。</p>
SRVAL_A、 SRVAL_B	16 進数	36 ビット値	すべてゼロ	同期リセット信号 (SSRB) がアサートされたときのポート B の出力値を指定します。
WRITE_MODE_A、 WRITE_MODE_B	文字列	WRITE_FIRST、 READ_FIRST、 NO_CHANGE	WRITE_ FIRST	<p>書き込みが実行されるときポートの動作を指定します。</p> <ul style="list-style-type: none"> ・ WRITE_FIRST に設定すると、書き込まれた値が出力ポートに出力されます。 ・ READ_FIRST に設定すると、そのメモリ ロケーションに直前に格納されていた値が出力ポートに出力されます。

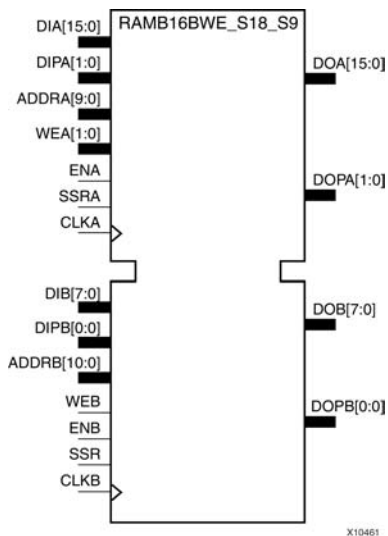
属性	タイプ	値	デフォルト	説明
				・ NO_CHANGE に設定すると、出力ポートから直前に出力された値が保持されます。
INIT_00 ~ INIT_3F	16 進数	256 ビット値	すべてゼロ	16kb のデータ メモリ アレイの初期値を指定
INITP_00 ~ INITP_07	16 進数	256 ビット値	すべてゼロ	2kb のパリティ データ メモリ アレイの初期値を指定

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)

RAMB16BWE_S18_S9

プリミティブ : 16K-bit Data and 2K-bit Parity Synchronous Dual Port Block RAM with 18-bit and 9-bit Ports



概要

このデザイン エLEMENTは、1 ビット X 16K ワード ~ 36 ビット X 512 ワードのシングル ポート RAM またはデュアル ポート RAM としてコンフィギュレーションできます。コンポーネントに供給されるクロックに完全に同期して、読み出しと書き込みが同時に実行されます。ただし、ポート A とポート B は互いに独立しており、同じメモリ アレイにアクセスする間は非同期になります。データ幅の広いモードでコンフィギュレーションすれば、バイト イネーブル書き込み操作が可能です。このブロック RAM には、大量のオンチップ データを高速かつ柔軟に格納できます。

ポートの説明

ポート名	方向	幅	機能
DOA, DOB	出力	32	ポート A/B のデータ出力バス
DOPA, DOPB	出力	4	ポート A/B のパリティ出力バス
DIA, DIB	入力	32	ポート A/B のデータ入力バス
DIPA, DIPB	入力	4	ポート A/B のパリティ入力バス
ADDRA, ADDRb	入力	14	ポート A/B のアドレス入力バス。MSB は常に ADDRA/B ですが、LSB は DATA_WIDTH_A/B の設定によって決まります。
WEA, WEB	入力	4	ポート A/B のバイト幅ライト イネーブル
ENA, ENB	入力	1	ポート A/B のイネーブル
SSRA, SSRb	入力	1	ポート A/B の出力レジスタの同期リセット
CLKA, CLKB	入力	1	ポート A/B のクロック入力

デザインの入力方法

このELEMENTは、回路図で使用されます。

このエレメントは、標準の RTL 記述で RAM のビヘイビアを記述することにより、ほとんどの合成ツールで推論できます。詳細は、合成ツールのマニュアルを参照してください。または、CORE Generator™ でもこの RAMB のマクロを作成できます。直接インスタンスエートして、このコンポーネントのインプリメンテーションまたは配置を細かく制御することも可能です。このコンポーネントをインスタンスエートするには ISE® で HDL テンプレートを使用するか、または次のインスタンスエーション テンプレートをコードに貼り付けます。必要な入力はすべて適切な信号に接続してください。CLKA/CLKB クロック信号をアクティブ クロックに、SSRA/SSRB リセット信号を論理値 0 または適切なリセット信号に接続する必要があります。ENA/ENB は、論理値 1 または適切な RAM ポート イネーブル信号のいずれかに接続します。これらの信号に必要な接続は DATA_WIDTH の設定により変わるため、次の表で、必要なデータ入力、データ出力、ライト イネーブル、アドレスの接続情報を確認してください。ほかの出力信号はすべて接続しないままでかまいません。使用されていない入力信号は論理値 0 に接続してください。

次の表に、ポート A またはポート B の DATA_WIDTH の値と、それに必要な入力接続と出力接続を示します。

DATA_WIDTH 値	DI、DIP 接続	ADDR 接続	WE 接続	DO、DOP 接続
1	DI[0]	ADDR[13:0]	WE[3:0] をシングル ユーザー WE 信号に接続	DO[0]
2	DI[1:0]	ADDR[13:1]	WE[3:0] をシングル ユーザー WE 信号に接続	DO[1:0]
4	DI[3:0]	ADDR[13:2]	WE[3:0] をシングル ユーザー WE 信号に接続	DO[3:0]
9	DI[7:0]、DIP[0]	ADDR[13:3]	WE[3:0] をシングル ユーザー WE 信号に接続	DO[7:0]、DOP[0]
18	DI[15:0]、DIP[1:0]	ADDR[13:4]	WE[0] および WE[2] をユーザー WE[0] に、WE[1] および WE[3] をユーザー WE[1] に接続	DO[15:0]、DOP[1:0]
36	DI[31:0]、DIP[3:0]	ADDR[13:5]	各 WE[3:0] 信号を関連したバイト ライト イネーブルに接続	DO[31:0]、DOP[3:0]

バイト イネーブル操作が必要なければ、代わりに RAMB16_Sm_Sn デザイン エLEMENTをインスタンスエートできます。また、新しいマクロ RAMB16BWE_Sm_Sn を使用すると、バイト イネーブル操作を実行するこの RAM のインスタンスエーションを簡単に実行できます。これらのコンポーネントのいずれかが使用されていれば、ソフトウェアで自動的に、適切にコンフィギュレーションされた RAMB16BWE コンポーネントに変更されます。

使用可能な属性

属性	タイプ	値	デフォルト	説明
DATA_WIDTH_A、 DATA_WIDTH_B	整数	0、1、2、4、9、18、 36	0	ポート A および B のデータ幅を指定
INIT_A、 INIT_B	16 進数	36 ビット値	すべてゼロ	コンフィギュレーション後のポート B の出力の初期値を指定します。
SIM_COLLISION_ CHECK	文字列	ALL、 WARNING_ ONLY、 GENERATE_X_ ONLY、または NONE	ALL	メモリの競合が発生した場合にシミュレーションの動作を変更できます。詳細は次のとおりです。 ・ ALL に設定すると、警告メッセージが出力され、関連する出力およびメモリの値が不定 (X) になります。

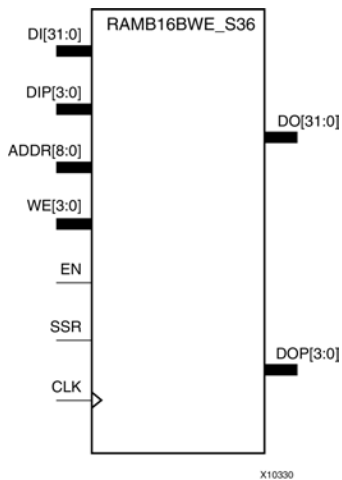
属性	タイプ	値	デフォルト	説明
				<ul style="list-style-type: none"> ・ WARNING_ONLY に設定すると、警告メッセージのみが出力され、関連する出力およびメモリの値はそのまま保持されます。 ・ GENERATE_X_ONLY に設定すると、警告メッセージは出力されず、関連する出力およびメモリの値が不定 (X) になります。 ・ NONE に設定すると、警告メッセージは出力されず、関連する出力およびメモリの値はそのまま保持されます。 <p>メモ : ALL 以外の値に設定すると、シミュレーション中にデザインの問題を認識できなくなるため、この値を変更する場合は注意が必要です。詳細は、『合成/シミュレーション デザイン ガイド』を参照してください。</p>
SRVAL_A、 SRVAL_B	16 進数	36 ビット値	すべてゼロ	同期リセット信号 (SSRB) がアサートされたときのポート B の出力値を指定します。
WRITE_MODE_A、 WRITE_MODE_B	文字列	WRITE_FIRST、 READ_FIRST、 NO_CHANGE	WRITE_FIRST	<p>書き込みが実行されるときのポートの動作を指定します。</p> <ul style="list-style-type: none"> ・ WRITE_FIRST に設定すると、書き込まれた値が出力ポートに出力されます。 ・ READ_FIRST に設定すると、そのメモリ ロケーションに直前に格納されていた値が出力ポートに出力されます。 ・ NO_CHANGE に設定すると、出力ポートから直前に出力された値が保持されます。
INIT_00 ~ INIT_3F	16 進数	256 ビット値	すべてゼロ	16kb のデータ メモリ アレイの初期値を指定
INITP_00 ~ INITP_07	16 進数	256 ビット値	すべてゼロ	2kb のパリティ データ メモリ アレイの初期値を指定

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

RAMB16BWE_S36

プリミティブ : 16K-bit Data and 2K-bit Parity Synchronous Single Port Block RAM with 36-Bit Port



概要

このデザイン エLEMENTは、1 ビット X 16K ワード～ 36 ビット X 512 ワードのシングル ポート RAM またはデュアル ポート RAM としてコンフィギュレーションできます。コンポーネントに供給されるクロックに完全に同期して、読み出しと書き込みが同時に実行されます。ただし、ポート A とポート B は互いに独立しており、同じメモリ アレイにアクセスする間は非同期になります。データ幅の広いモードでコンフィギュレーションすれば、バイト イネーブル書き込み操作が可能です。このブロック RAM には、大量のオンチップ データを高速かつ柔軟に格納できます。

ポートの説明

ポート名	方向	幅	機能
DOA、DOB	出力	32	ポート A/B のデータ出力バス
DOPA、DOPB	出力	4	ポート A/B のパリティ出力バス
DIA、DIB	入力	32	ポート A/B のデータ入力バス
DIPA、DIPB	入力	4	ポート A/B のパリティ入力バス
ADDRA、ADDRB	入力	14	ポート A/B のアドレス入力バス。MSB は常に ADDRA/B ですが、LSB は DATA_WIDTH_A/B の設定によって決まります。
WEA、WEB	入力	4	ポート A/B のバイト幅ライト イネーブル
ENA、ENB	入力	1	ポート A/B のイネーブル
SSRA、SSRB	入力	1	ポート A/B の出力レジスタの同期リセット
CLKA、CLKB	入力	1	ポート A/B のクロック入力

デザインの入力方法

このELEMENTは、回路図で使用されます。

このELEMENTは、標準の RTL 記述で RAM のビヘイビアを記述することにより、ほとんどの合成ツールで推論できます。詳細は、合成ツールのマニュアルを参照してください。または、CORE Generator™ でもこの RAMB のマクロを作成できます。直接インスタンスエートして、このコンポーネントのインプリメンテーションまたは配置を細かく制御することも可能です。このコンポーネントをインスタンスエートするには ISE® で HDL テンプレートを使用するか、または次のインスタンスエーション テンプレートをコードに貼り付けます。必要な入力はすべて適切な信号に接続してください。CLKA/CLKB クロック信号をアクティブ クロックに、SSRA/SSRB リセット信号を論理値 0 または適切なリセット信号に接続する必要があります。ENA/ENB は、論理値 1 または適切な RAM ポート イネーブル信号のいずれかに接続します。これらの信号に必要な接続は DATA_WIDTH の設定により変わるため、次の表で、必要なデータ入力、データ出力、ライト イネーブル、アドレスの接続情報を確認してください。ほかの出力信号はすべて接続しないままでかまいません。使用されていない入力信号は論理値 0 に接続してください。

次の表に、ポート A またはポート B の DATA_WIDTH の値と、それに必要な入力接続と出力接続を示します。

DATA_WIDTH 値	DI、DIP 接続	ADDR 接続	WE 接続	DO、DOP 接続
1	DI[0]	ADDR[13:0]	WE[3:0] をシングル ユーザー WE 信号に接続	DO[0]
2	DI[1:0]	ADDR[13:1]	WE[3:0] をシングル ユーザー WE 信号に接続	DO[1:0]
4	DI[3:0]	ADDR[13:2]	WE[3:0] をシングル ユーザー WE 信号に接続	DO[3:0]
9	DI[7:0]、DIP[0]	ADDR[13:3]	WE[3:0] をシングル ユーザー WE 信号に接続	DO[7:0]、DOP[0]
18	DI[15:0]、DIP[1:0]	ADDR[13:4]	WE[0] および WE[2] をユーザー WE[0] に、WE[1] および WE[3] をユーザー WE[1] に接続	DO[15:0]、DOP[1:0]
36	DI[31:0]、DIP[3:0]	ADDR[13:5]	各 WE[3:0] 信号を関連したバイト ライト イネーブルに接続	DO[31:0]、DOP[3:0]

バイト イネーブル操作が必要なければ、代わりに RAMB16_Sm_Sn デザイン ELEMENTをインスタンスエートできます。また、新しいマクロ RAMB16BWE_Sm_Sn を使用すると、バイト イネーブル操作を実行するこの RAM のインスタンスエーションを簡単に実行できます。これらのコンポーネントのいずれかが使用されていれば、ソフトウェアで自動的に、適切にコンフィギュレーションされた RAMB16BWE コンポーネントに変更されます。

使用可能な属性

属性	タイプ	値	デフォルト	説明
DATA_WIDTH_A、 DATA_WIDTH_B	整数	0、1、2、4、9、18、 36	0	ポート A および B のデータ幅を指定
INIT_A、 INIT_B	16 進数	36 ビット値	すべてゼロ	コンフィギュレーション後のポート B の出力の初期値を指定します。
SIM_COLLISION_ CHECK	文字列	ALL、 WARNING_ ONLY、 GENERATE_X_ ONLY、または NONE	ALL	メモリの競合が発生した場合にシミュレーションの動作を変更できます。詳細は次のとおりです。 ・ ALL に設定すると、警告メッセージが出力され、関連する出力およびメモリの値が不定 (X) になります。

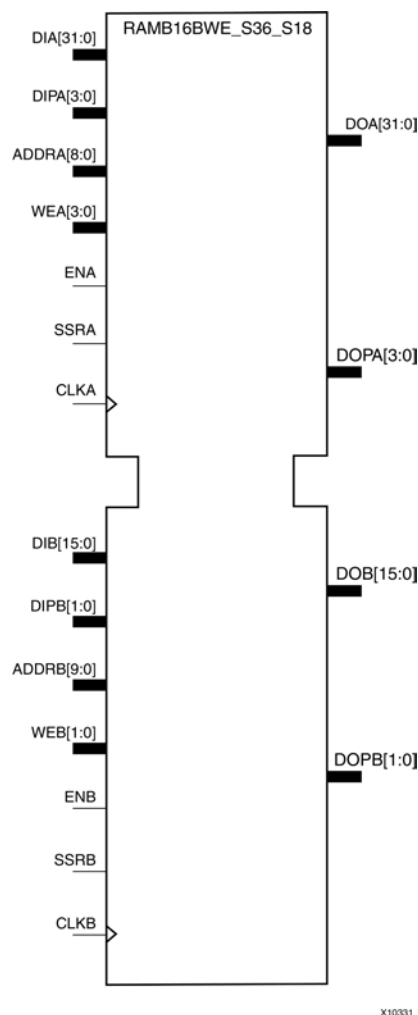
属性	タイプ	値	デフォルト	説明
				<ul style="list-style-type: none"> ・ WARNING_ONLY に設定すると、警告メッセージのみが出力され、関連する出力およびメモリの値はそのまま保持されます。 ・ GENERATE_X_ONLY に設定すると、警告メッセージは出力されず、関連する出力およびメモリの値が不定 (X) になります。 ・ NONE に設定すると、警告メッセージは出力されず、関連する出力およびメモリの値はそのまま保持されます。 <p>メモ : ALL 以外の値に設定すると、シミュレーション中にデザインの問題を認識できなくなるため、この値を変更する場合は注意が必要です。詳細は、『合成/シミュレーション デザイン ガイド』を参照してください。</p>
SRVAL_A、 SRVAL_B	16 進数	36 ビット値	すべてゼロ	同期リセット信号 (SSRB) がアサートされたときのポート B の出力値を指定します。
WRITE_MODE_A、 WRITE_MODE_B	文字列	WRITE_FIRST、 READ_FIRST、 NO_CHANGE	WRITE_FIRST	<p>書き込みが実行されるときポートの動作を指定します。</p> <ul style="list-style-type: none"> ・ WRITE_FIRST に設定すると、書き込まれた値が出力ポートに出力されます。 ・ READ_FIRST に設定すると、そのメモリ ロケーションに直前に格納されていた値が出力ポートに出力されます。 ・ NO_CHANGE に設定すると、出力ポートから直前に出力された値が保持されます。
INIT_00 ~ INIT_3F	16 進数	256 ビット値	すべてゼロ	16kb のデータ メモリ アレイの初期値を指定
INITP_00 ~ INITP_07	16 進数	256 ビット値	すべてゼロ	2kb のパリティ データ メモリ アレイの初期値を指定

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

RAMB16BWE_S36_S18

プリミティブ : 16K-bit Data and 2K-bit Parity Synchronous Dual Port Block RAM with 36-bit and 18-bit Ports



概要

このデザイン エLEMENTは、1 ビット X 16K ワード ~ 36 ビット X 512 ワードのシングル ポート RAM またはデュアル ポート RAM としてコンフィギュレーションできます。コンポーネントに供給されるクロックに完全に同期して、読み出しと書き込みが同時に実行されます。ただし、ポート A とポート B は互いに独立しており、同じメモリアレイにアクセスする間は非同期になります。データ幅の広いモードでコンフィギュレーションすれば、バイト イネーブル書き込み操作が可能です。このブロック RAM には、大量のオンチップ データを高速かつ柔軟に格納できます。

ポートの説明

ポート名	方向	幅	機能
DOA、DOB	出力	32	ポート A/B のデータ出力バス
DOPA、DOPB	出力	4	ポート A/B のパリティ出力バス
DIA、DIB	入力	32	ポート A/B のデータ入力バス
DIPA、DIPB	入力	4	ポート A/B のパリティ入力バス
ADDRA、ADDRB	入力	14	ポート A/B のアドレス入力バス。MSB は常に ADDRA/B ですが、LSB は DATA_WIDTH_A/B の設定によって決まります。
WEA、WEB	入力	4	ポート A/B のバイト幅ライト イネーブル
ENA、ENB	入力	1	ポート A/B のイネーブル
SSRA、SSRB	入力	1	ポート A/B の出力レジスタの同期リセット
CLKA、CLKB	入力	1	ポート A/B のクロック入力

デザインの入力方法

このエレメントは、回路図で使用されます。

このエレメントは、標準の RTL 記述で RAM のビヘイビアを記述することにより、ほとんどの合成ツールで推論できます。詳細は、合成ツールのマニュアルを参照してください。または、CORE Generator™ でもこの RAMB のマクロを作成できます。直接インスタンスエートして、このコンポーネントのインプリメンテーションまたは配置を細かく制御することも可能です。このコンポーネントをインスタンスエートするには ISE® で HDL テンプレートを使用するか、または次のインスタンスエーション テンプレートをコードに貼り付けます。必要な入力はすべて適切な信号に接続してください。CLKA/CLKB クロック信号をアクティブ クロックに、SSRA/SSRB リセット信号を論理値 0 または適切なリセット信号に接続する必要があります。ENA/ENB は、論理値 1 または適切な RAM ポート イネーブル信号のいずれかに接続します。これらの信号に必要な接続は DATA_WIDTH の設定により変わるため、次の表で、必要なデータ入力、データ出力、ライト イネーブル、アドレスの接続情報を確認してください。ほかの出力信号はすべて接続しないままかまいません。使用されていない入力信号は論理値 0 に接続してください。

次の表に、ポート A またはポート B の DATA_WIDTH の値と、それに必要な入力接続と出力接続を示します。

DATA_WIDTH 値	DI、DIP 接続	ADDR 接続	WE 接続	DO、DOP 接続
1	DI[0]	ADDR[13:0]	WE[3:0] をシングル ユーザー WE 信号に接続	DO[0]
2	DI[1:0]	ADDR[13:1]	WE[3:0] をシングル ユーザー WE 信号に接続	DO[1:0]
4	DI[3:0]	ADDR[13:2]	WE[3:0] をシングル ユーザー WE 信号に接続	DO[3:0]
9	DI[7:0]、DIP[0]	ADDR[13:3]	WE[3:0] をシングル ユーザー WE 信号に接続	DO[7:0]、DOP[0]
18	DI[15:0]、DIP[1:0]	ADDR[13:4]	WE[0] および WE[2] をユーザー WE[0] に、WE[1] および WE[3] をユーザー WE[1] に接続	DO[15:0]、DOP[1:0]

DATA_WIDTH 値	DI、DIP 接続	ADDR 接続	WE 接続	DO、DOP 接続
36	DI[31:0]、DIP[3:0]	ADDR[13:5]	各 WE[3:0] 信号を関連したバイト ライト イネーブルに接続	DO[31:0]、DOP[3:0]

バイト イネーブル操作が必要なければ、代わりに RAMB16_Sm_Sn デザイン エLEMENTをインスタンス化できます。また、新しいマクロ RAMB16BWE_Sm_Sn を使用すると、バイト イネーブル操作を実行するこの RAM のインスタンス化を簡単に実行できます。これらのコンポーネントのいずれかが使用されていれば、ソフトウェアで自動的に、適切にコンフィギュレーションされた RAMB16BWE コンポーネントに変更されます。

使用可能な属性

属性	タイプ	値	デフォルト	説明
DATA_WIDTH_A、 DATA_WIDTH_B	整数	0、1、2、4、9、18、 36	0	ポート A および B のデータ幅を指定
INIT_A、 INIT_B	16 進数	36 ビット値	すべてゼロ	コンフィギュレーション後のポート B の出力の初期値を指定します。
SIM_COLLISION_ CHECK	文字列	ALL、 WARNING_ ONLY、 GENERATE_X_ ONLY、または NONE	ALL	<p>メモリの競合が発生した場合にシミュレーションの動作を変更できます。詳細は次のとおりです。</p> <ul style="list-style-type: none"> ・ ALL に設定すると、警告メッセージが出力され、関連する出力およびメモリの値が不定 (X) になります。 ・ WARNING_ONLY に設定すると、警告メッセージのみが出力され、関連する出力およびメモリの値はそのまま保持されます。 ・ GENERATE_X_ONLY に設定すると、警告メッセージは出力されず、関連する出力およびメモリの値が不定 (X) になります。 ・ NONE に設定すると、警告メッセージは出力されず、関連する出力およびメモリの値はそのまま保持されます。 <p>メモ: ALL 以外の値に設定すると、シミュレーション中にデザインの問題を認識できなくなるため、この値を変更する場合は注意が必要です。詳細は、『合成/シミュレーション デザイン ガイド』を参照してください。</p>
SRVAL_A、 SRVAL_B	16 進数	36 ビット値	すべてゼロ	同期リセット信号 (SSRB) がアサートされたときのポート B の出力値を指定します。
WRITE_MODE_A、 WRITE_MODE_B	文字列	WRITE_FIRST、 READ_FIRST、 NO_CHANGE	WRITE_ FIRST	<p>書き込みが実行されるときポートの動作を指定します。</p> <ul style="list-style-type: none"> ・ WRITE_FIRST に設定すると、書き込まれた値が出力ポートに出力されます。 ・ READ_FIRST に設定すると、そのメモリ ロケーションに直前に格納されていた値が出力ポートに出力されます。

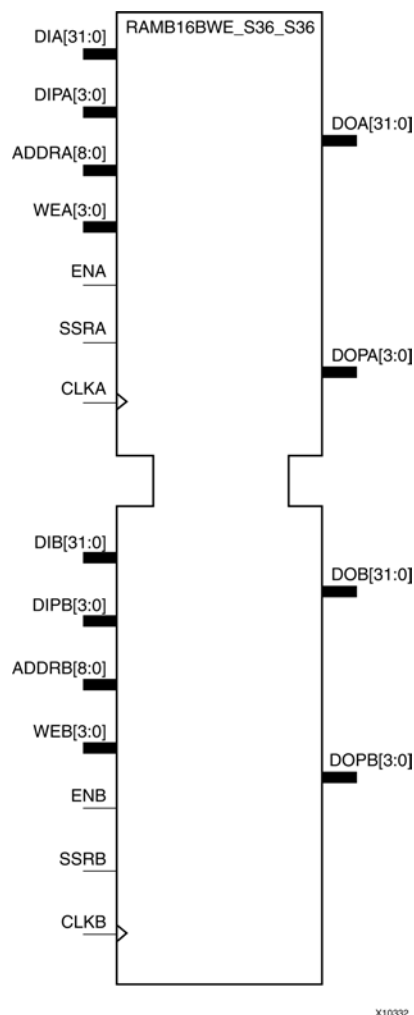
属性	タイプ	値	デフォルト	説明
				・ NO_CHANGE に設定すると、出力ポートから直前に出力された値が保持されます。
INIT_00 ~ INIT_3F	16 進数	256 ビット値	すべてゼロ	16kb のデータ メモリ アレイの初期値を指定
INITP_00 ~ INITP_07	16 進数	256 ビット値	すべてゼロ	2kb のパリティ データ メモリ アレイの初期値を指定

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

RAMB16BWE_S36_S36

プリミティブ : 16K-bit Data and 2K-bit Parity Synchronous Dual Port Block RAM with 36-bit Ports



概要

このデザイン エLEMENTは、1 ビット X 16K ワード ~ 36 ビット X 512 ワードのシングル ポート RAM またはデュアル ポート RAM としてコンフィギュレーションできます。コンポーネントに供給されるクロックに完全に同期して、読み出しと書き込みが同時に実行されます。ただし、ポート A とポート B は互いに独立しており、同じメモリ アレイにアクセスする間は非同期になります。データ幅の広いモードでコンフィギュレーションすれば、バイト イネーブル書き込み操作が可能です。このブロック RAM には、大量のオンチップ データを高速かつ柔軟に格納できます。

ポートの説明

ポート名	方向	幅	機能
DOA、DOB	出力	32	ポート A/B のデータ出力バス
DOPA、DOPB	出力	4	ポート A/B のパリティ出力バス
DIA、DIB	入力	32	ポート A/B のデータ入力バス
DIPA、DIPB	入力	4	ポート A/B のパリティ入力バス
ADDRA、ADDRB	入力	14	ポート A/B のアドレス入力バス。MSB は常に ADDRA/B ですが、LSB は DATA_WIDTH_A/B の設定によって決まります。
WEA、WEB	入力	4	ポート A/B のバイト幅ライト イネーブル
ENA、ENB	入力	1	ポート A/B のイネーブル
SSRA、SSRB	入力	1	ポート A/B の出力レジスタの同期リセット
CLKA、CLKB	入力	1	ポート A/B のクロック入力

デザインの入力方法

このエレメントは、回路図で使用されます。

このエレメントは、標準の RTL 記述で RAM のビヘイビアを記述することにより、ほとんどの合成ツールで推論できます。詳細は、合成ツールのマニュアルを参照してください。または、CORE Generator™ でもこの RAMB のマクロを作成できます。直接インスタンスエートして、このコンポーネントのインプリメンテーションまたは配置を細かく制御することも可能です。このコンポーネントをインスタンスエートするには ISE® で HDL テンプレートを使用するか、または次のインスタンスエーション テンプレートをコードに貼り付けます。必要な入力はすべて適切な信号に接続してください。CLKA/CLKB クロック信号をアクティブ クロックに、SSRA/SSRB リセット信号を論理値 0 または適切なリセット信号に接続する必要があります。ENA/ENB は、論理値 1 または適切な RAM ポート イネーブル信号のいずれかに接続します。これらの信号に必要な接続は DATA_WIDTH の設定により変わるため、次の表で、必要なデータ入力、データ出力、ライト イネーブル、アドレスの接続情報を確認してください。ほかの出力信号はすべて接続しないままかまいません。使用されていない入力信号は論理値 0 に接続してください。

次の表に、ポート A またはポート B の DATA_WIDTH の値と、それに必要な入力接続と出力接続を示します。

DATA_WIDTH 値	DI、DIP 接続	ADDR 接続	WE 接続	DO、DOP 接続
1	DI[0]	ADDR[13:0]	WE[3:0] をシングル ユーザー WE 信号に接続	DO[0]
2	DI[1:0]	ADDR[13:1]	WE[3:0] をシングル ユーザー WE 信号に接続	DO[1:0]
4	DI[3:0]	ADDR[13:2]	WE[3:0] をシングル ユーザー WE 信号に接続	DO[3:0]
9	DI[7:0]、DIP[0]	ADDR[13:3]	WE[3:0] をシングル ユーザー WE 信号に接続	DO[7:0]、DOP[0]
18	DI[15:0]、DIP[1:0]	ADDR[13:4]	WE[0] および WE[2] をユーザー WE[0] に、WE[1] および WE[3] をユーザー WE[1] に接続	DO[15:0]、DOP[1:0]

DATA_WIDTH 値	DI、DIP 接続	ADDR 接続	WE 接続	DO、DOP 接続
36	DI[31:0]、DIP[3:0]	ADDR[13:5]	各 WE[3:0] 信号を関連したバイト ライト イネーブルに接続	DO[31:0]、DOP[3:0]

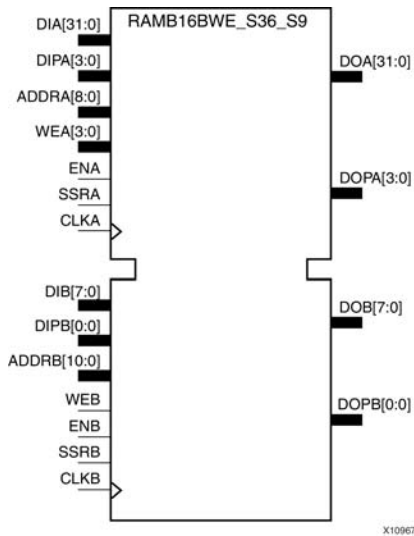
バイト イネーブル操作が必要なければ、代わりに RAMB16_Sm_Sn デザイン エLEMENTをインスタンス化できます。また、新しいマクロ RAMB16BWE_Sm_Sn を使用すると、バイト イネーブル操作を実行するこの RAM のインスタンス化を簡単に実行できます。これらのコンポーネントのいずれかが使用されていれば、ソフトウェアで自動的に、適切にコンフィギュレーションされた RAMB16BWE コンポーネントに変更されます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

RAMB16BWE_S36_S9

プリミティブ : 16K-bit Data and 2K-bit Parity Synchronous Dual Port Block RAM with 36-bit and 9-bit Ports



概要

このデザイン エLEMENTは、1 ビット X 16K ワード ~ 36 ビット X 512 ワードのシングル ポート RAM またはデュアル ポート RAM としてコンフィギュレーションできます。コンポーネントに供給されるクロックに完全に同期して、読み出しと書き込みが同時に実行されます。ただし、ポート A とポート B は互いに独立しており、同じメモリアレイにアクセスする間は非同期になります。データ幅の広いモードでコンフィギュレーションすれば、バイト イネーブル書き込み操作が可能です。このブロック RAM には、大量のオンチップ データを高速かつ柔軟に格納できます。

ポートの説明

ポート名	方向	幅	機能
DOA, DOB	出力	32	ポート A/B のデータ出力バス
DOPA, DOPB	出力	4	ポート A/B のパリティ出力バス
DIA, DIB	入力	32	ポート A/B のデータ入力バス
DIPA, DIPB	入力	4	ポート A/B のパリティ入力バス
ADDRA, ADDR[10:0]	入力	14	ポート A/B のアドレス入力バス。MSB は常に ADDRA/B ですが、LSB は DATA_WIDTH_A/B の設定によって決まります。
WEA, WEB	入力	4	ポート A/B のバイト幅ライト イネーブル
ENA, ENB	入力	1	ポート A/B のイネーブル
SSRA, SSRB	入力	1	ポート A/B の出力レジスタの同期リセット
CLKA, CLKB	入力	1	ポート A/B のクロック入力

デザインの入力方法

このELEMENTは、回路図で使用されます。

このエレメントは、標準の RTL 記述で RAM のビヘイビアを記述することにより、ほとんどの合成ツールで推論できます。詳細は、合成ツールのマニュアルを参照してください。または、CORE Generator™ でもこの RAMB のマクロを作成できます。直接インスタンスエートして、このコンポーネントのインプリメンテーションまたは配置を細かく制御することも可能です。このコンポーネントをインスタンスエートするには ISE® で HDL テンプレートを使用するか、または次のインスタンスエーション テンプレートをコードに貼り付けます。必要な入力はすべて適切な信号に接続してください。CLKA/CLKB クロック信号をアクティブ クロックに、SSRA/SSRB リセット信号を論理値 0 または適切なリセット信号に接続する必要があります。ENA/ENB は、論理値 1 または適切な RAM ポート イネーブル信号のいずれかに接続します。これらの信号に必要な接続は DATA_WIDTH の設定により変わるため、次の表で、必要なデータ入力、データ出力、ライト イネーブル、アドレスの接続情報を確認してください。ほかの出力信号はすべて接続しないままでかまいません。使用されていない入力信号は論理値 0 に接続してください。

次の表に、ポート A またはポート B の DATA_WIDTH の値と、それに必要な入力接続と出力接続を示します。

DATA_WIDTH 値	DI、DIP 接続	ADDR 接続	WE 接続	DO、DOP 接続
1	DI[0]	ADDR[13:0]	WE[3:0] をシングル ユーザー WE 信号に接続	DO[0]
2	DI[1:0]	ADDR[13:1]	WE[3:0] をシングル ユーザー WE 信号に接続	DO[1:0]
4	DI[3:0]	ADDR[13:2]	WE[3:0] をシングル ユーザー WE 信号に接続	DO[3:0]
9	DI[7:0]、DIP[0]	ADDR[13:3]	WE[3:0] をシングル ユーザー WE 信号に接続	DO[7:0]、DOP[0]
18	DI[15:0]、DIP[1:0]	ADDR[13:4]	WE[0] および WE[2] をユーザー WE[0] に、WE[1] および WE[3] をユーザー WE[1] に接続	DO[15:0]、DOP[1:0]
36	DI[31:0]、DIP[3:0]	ADDR[13:5]	各 WE[3:0] 信号を関連したバイト ライト イネーブルに接続	DO[31:0]、DOP[3:0]

バイト イネーブル操作が必要なければ、代わりに RAMB16_Sm_Sn デザイン エLEMENTをインスタンスエートできます。また、新しいマクロ RAMB16BWE_Sm_Sn を使用すると、バイト イネーブル操作を実行するこの RAM のインスタンスエーションを簡単に実行できます。これらのコンポーネントのいずれかが使用されていれば、ソフトウェアで自動的に、適切にコンフィギュレーションされた RAMB16BWE コンポーネントに変更されます。

使用可能な属性

属性	タイプ	値	デフォルト	説明
DATA_WIDTH_A、 DATA_WIDTH_B	整数	0、1、2、4、9、18、 36	0	ポート A および B のデータ幅を指定
INIT_A、 INIT_B	16 進数	36 ビット値	すべてゼロ	コンフィギュレーション後のポート B の出力の初期値を指定します。
SIM_COLLISION_ CHECK	文字列	ALL、 WARNING_ ONLY、 GENERATE_X_ ONLY、または NONE	ALL	メモリの競合が発生した場合にシミュレーションの動作を変更できます。詳細は次のとおりです。 ・ ALL に設定すると、警告メッセージが出力され、関連する出力およびメモリの値が不定 (X) になります。

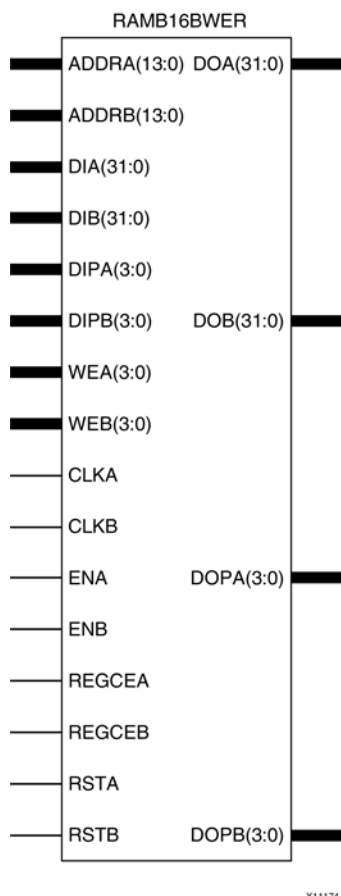
属性	タイプ	値	デフォルト	説明
				<ul style="list-style-type: none"> ・ WARNING_ONLY に設定すると、警告メッセージのみが出力され、関連する出力およびメモリの値はそのまま保持されます。 ・ GENERATE_X_ONLY に設定すると、警告メッセージは出力されず、関連する出力およびメモリの値が不定 (X) になります。 ・ NONE に設定すると、警告メッセージは出力されず、関連する出力およびメモリの値はそのまま保持されます。 <p>メモ : ALL 以外の値に設定すると、シミュレーション中にデザインの問題を認識できなくなるため、この値を変更する場合は注意が必要です。詳細は、『合成/シミュレーション デザイン ガイド』を参照してください。</p>
SRVAL_A、 SRVAL_B	16 進数	36 ビット値	すべてゼロ	同期リセット信号 (SSRB) がアサートされたときのポート B の出力値を指定します。
WRITE_MODE_A、 WRITE_MODE_B	文字列	WRITE_FIRST、 READ_FIRST、 NO_CHANGE	WRITE_FIRST	<p>書き込みが実行されるときポートの動作を指定します。</p> <ul style="list-style-type: none"> ・ WRITE_FIRST に設定すると、書き込まれた値が出力ポートに出力されます。 ・ READ_FIRST に設定すると、そのメモリ ロケーションに直前に格納されていた値が出力ポートに出力されます。 ・ NO_CHANGE に設定すると、出力ポートから直前に出力された値が保持されます。
INIT_00 ~ INIT_3F	16 進数	256 ビット値	すべてゼロ	16kb のデータ メモリ アレイの初期値を指定
INITP_00 ~ INITP_07	16 進数	256 ビット値	すべてゼロ	2kb のパリティ データ メモリ アレイの初期値を指定

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

RAMB16BWER

プリミティブ : 16K-bit Data and 2K-bit Parity Configurable Synchronous Dual Port Block RAM with Optional Output Registers



X11174

概要

複数のブロックRAMメモリが含まれていますが、これは汎用 16kb データ + 2kb パリティ RAM/ROM メモリとしてコンフィギュレーションできます。これらのブロック RAM には、大量のオンチップ データを高速かつ柔軟に格納できます。このコンポーネントは、1 ビット X 16K ワード ~ 36 ビット X 512 ワードのシングル ポート RAM またはデュアル ポート RAM としてコンフィギュレーションできます。コンポーネントに供給されるクロックに完全に同期して、読み出しと書き込みが同時に実行されます。ただし、ポート A とポート B は互いに独立しており、同じメモリアレイにアクセスする間は非同期になります。データ幅の広いモードでコンフィギュレーションすれば、バイト イネーブル書き込み操作が可能です。この RAM には、コンフィギュレーション可能な出力レジスタもあり、読み出し操作中 1 クロック サイクルのレイテンシが発生するときに RAM の clock-to-out タイムを向上させることができます。

ポートの説明

次の表に、ポート A またはポート B の DATA_WIDTH の値と、それに必要な入力接続と出力接続を示します。

DATA_WIDTH 値	DI、DIP 接続	ADDR 接続	WE 接続
1	DI[0]	ADDR[13:0]	WE[3:0] をシングル ユーザー WE 信号に接続
2	DI[1:0]	ADDR[13:1]	WE[3:0] をシングル ユーザー WE 信号に接続
4	DI[3:0]	ADDR[13:2]	WE[3:0] をシングル ユーザー WE 信号に接続
9	DI[7:0]、DIP[0]	ADDR[13:3]	WE[3:0] をシングル ユーザー WE 信号に接続
18	DI[15:0]、DIP[1:0]	ADDR[13:4]	WE[0] および WE[2] をユーザー WE[0] に、WE[1] および WE[3] をユーザー WE[1] に接続
36	DI[31:0]、DIP[3:0]	ADDR[13:5]	各 WE[3:0] 信号を関連したバイトライト イネーブルに接続

出力レジスタが必要ない場合は、代わりに古い RAMB16_Sm_Sn および RAMB16BWER_Sm_Sn エLEMENTをインスタンスエートできます。これらのコンポーネントのいずれかが使用されていれば、ソフトウェアで自動的に、適切にコンフィギュレーションされた RAMB16BWE エLEMENTに変更されます。

ポート名	方向	幅	機能
DOA、DOB	出力	32	ポート A/B のデータ出力バス
DOPA、DOPB	出力	4	ポート A/B のパリティ出力バス
DIA、DIB	入力	32	ポート A/B のデータ入力バス
DIPA、DIPB	入力	4	ポート A/B のパリティ入力バス
ADDRA、ADDRB	入力	14	ポート A/B のアドレス入力バス。MSB は常に ADDRA/B[13] ですが、LSB は DATA_WIDTH_A/B の設定によって決まります。
WEA、WEB	入力	4	ポート A/B のバイト幅ライト イネーブル
ENA、ENB	入力	1	ポート A/B のイネーブル
REGCEA、REGCEB	入力	1	出力レジスタ クロック イネーブル
RSTA、RSTB	入力	1	ポート A/B の出力レジスタのセット/リセット。このリセットは、RSTTYPE 属性の値に従い同期または非同期にコンフィギュレーションできます。
CLKA、CLKB	入力	1	ポート A/B のクロック入力

デザインの入力方法

このELEMENTは、回路図で使用されます。

必要な入力はすべて適切な信号に接続してください。CLKA/CLKB クロック信号をアクティブ クロックに、RSTA/RSTB リセット信号を論理値 0 または適切なリセット信号に接続する必要があります。ENA/ENB は、論理値 1 または適切な RAM ポート イネーブル信号のいずれかに接続します。REGCEA および REGCEB は、対応する DOA_REG または DOB_REG 属性が 1 に設定されている場合、適切な出力レジスタのクロック イネーブルまたは論理値 1 に接続する必要があります。DOA_REG が 0 に設定されている場合は、REGCEA および REGCEB を論理値 0 に設定する必要があります。

これらの信号に必要な接続は DATA_WIDTH の設定により変わるため、上記のポートの表で、必要なデータ入力、データ出力、ライト イネーブル、アドレスの接続情報を確認してください。ほかの出力信号はすべて接続しないままでもかまいません。使用されていない入力信号は論理値 0 に接続してください。

使用可能な属性

属性	タイプ	値	デフォルト	説明
DATA_WIDTH_A	整数	0、1、2、4、9、18、36	0	ポート A のデータ幅を指定
DATA_WIDTH_B	整数	0、1、2、4、9、18、36	0	ポート B のデータ幅を指定
DOA_REG	整数	0、1	0	RAM の出力レジスタを使用するか、バイパス接続するか指定します。
DOB_REG	整数	0、1	0	RAM の出力レジスタを使用するか、バイパス接続するか指定します。
INIT_A	16 進数	36'h000000000 ~ 36'h68719476735	すべてゼロ	コンフィギュレーション後のポート A の出力の初期値を指定します。
INIT_B	16 進数	36'h000000000 ~ 36'h68719476735	すべてゼロ	コンフィギュレーション後のポート B の出力の初期値を指定します。
INIT_FILE	文字列	0 ビット文字列	NONE	ブロック RAM の初期値を指定するためのファイル名を指定します。
INIT_00 ~ INIT_3F	16 進数	256 ビット値	すべてゼロ	16kb のデータ メモリ アレイの初期内容を指定します。
INITP_00 ~ INITP_07	16 進数	256 ビット値	すべてゼロ	2kb のパリティ メモリ アレイの初期内容を指定します。
RSTTYPE	文字列	SYNC、ASYN	SYNC	リセット、同期、または非同期を指定します。
SIM_COLLISION_CHECK	文字列	ALL、 GENERATE_X_ONLY、 WARNING_ONLY、 NONE	ALL	<p>メモリの競合が発生した場合にシミュレーションの動作を変更できます。</p> <ul style="list-style-type: none"> ALL に設定すると、警告メッセージが出力され、関連する出力およびメモリの値が不定 (X) になります。 WARNING_ONLY に設定すると、警告メッセージのみが出力され、関連する出力およびメモリの値はそのまま保持されます。 GENERATE_X_ONLY に設定すると、警告メッセージは出力されず、関連する出力およびメモリの値が不定 (X) になります。 NONE に設定すると、警告メッセージは出力されず、関連する出力およびメモリの値はそのまま保持されます。 <p>メモ: ALL 以外の値に設定すると、シミュレーション中にデザインの問題を認識できなくなるため、この値を変更する場合は注意が必要です。</p>
SRVAL_A	16 進数	36'h000000000 ~ 36'h68719476735	すべてゼロ	リセット信号 (RSTA) がアサートされたときのポート A の出力値を指定
SRVAL_B	16 進数	36'h000000000 ~ 36'h68719476735	すべてゼロ	リセット信号 (RSTB) がアサートされたときのポート B の出力値を指定します。

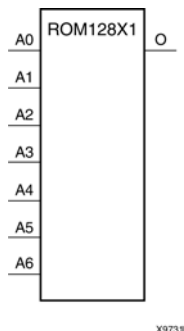
属性	タイプ	値	デフォルト	説明
WRITE_MODE_A	文字列	WRITE_FIRST、 READ_FIRST、 NO_CHANGE	WRITE_FIRST	ポート A の出力ビヘイビアを指定します。 <ul style="list-style-type: none">WRITE_FIRST に設定すると、書き込まれた値が出力ポートに出力されます。READ_FIRST に設定すると、そのメモリロケーションに直前に格納されていた値が出力ポートに出力されます。NO_CHANGE に設定すると、出力ポートから直前に出力された値が保持されます。
WRITE_MODE_B	文字列	WRITE_FIRST、 READ_FIRST、 NO_CHANGE	WRITE_FIRST	ポート B の出力ビヘイビアを指定します。 <ul style="list-style-type: none">WRITE_FIRST に設定すると、書き込まれた値が出力ポートに出力されます。READ_FIRST に設定すると、そのメモリロケーションに直前に格納されていた値が出力ポートに出力されます。NO_CHANGE に設定すると、出力ポートから直前に出力された値が保持されます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)

ROM128X1

プリミティブ : 128-Deep by 1-Wide ROM



概要

このデザイン エLEMENTは 128 ワード X 1 ビットの ROM です。データ出力 (O) には、7 ビットのアドレス (A6 ~ A0) で選択されたワードが出力されます。ROM は、コンフィギュレーションの際に INIT=value で指定した値に初期化されます。初期値は 32 桁の 16 進数で、ROM には最上位ビット A=FH から最下位ビット A=0H の順に書き込まれます。INIT=value を指定しないと、エラーになります。

論理表

入力				出力
I0	I1	I2	I3	O
0	0	0	0	INIT(0)
0	0	0	1	INIT(1)
0	0	1	0	INIT(2)
0	0	1	1	INIT(3)
0	1	0	0	INIT(4)
0	1	0	1	INIT(5)
0	1	1	0	INIT(6)
0	1	1	1	INIT(7)
1	0	0	0	INIT(8)
1	0	0	1	INIT(9)
1	0	1	0	INIT(10)
1	0	1	1	INIT(11)
1	1	0	0	INIT(12)
1	1	0	1	INIT(13)
1	1	1	0	INIT(14)
1	1	1	1	INIT(15)

デザインの入力方法

このELEMENTは、回路図で使用されます。

使用可能な属性

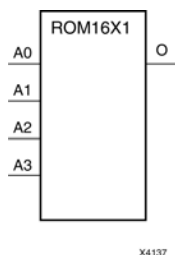
属性	タイプ	値	デフォルト	説明
INIT	16 進数	128 ビット値	すべてゼロ	ROM の値を指定

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

ROM16X1

プリミティブ : 16-Deep by 1-Wide ROM



概要

このデザイン エLEMENTは 16 ワード X 1 ビットの ROM です。データ出力 (O) には、4 ビットのアドレス (A3 ~ A0) で選択されたワードが出力されます。ROM は、コンフィギュレーションの際に INIT=value で指定した値に初期化されます。初期値は 4 桁の 16 進数で、ROM には最上位ビット A=FH から最下位ビット A=0H の順に書き込まれます。たとえば、INIT=10A7 と指定すると、「0001 0000 1010 0111」というデータストリームが生成されます。INIT=value を指定しないと、エラーになります。

論理表

入力				出力
I0	I1	I2	I3	O
0	0	0	0	INIT(0)
0	0	0	1	INIT(1)
0	0	1	0	INIT(2)
0	0	1	1	INIT(3)
0	1	0	0	INIT(4)
0	1	0	1	INIT(5)
0	1	1	0	INIT(6)
0	1	1	1	INIT(7)
1	0	0	0	INIT(8)
1	0	0	1	INIT(9)
1	0	1	0	INIT(10)
1	0	1	1	INIT(11)
1	1	0	0	INIT(12)
1	1	0	1	INIT(13)
1	1	1	0	INIT(14)
1	1	1	1	INIT(15)

デザインの入力方法

このELEMENTは、回路図で使用されます。

使用可能な属性

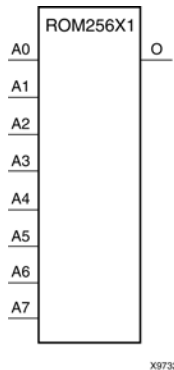
属性	タイプ	値	デフォルト	説明
INIT	16 進数	16 ビット値	すべてゼロ	ROM の値を指定

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

ROM256X1

プリミティブ : 256-Deep by 1-Wide ROM



概要

このデザイン エLEMENTは 256 ワード X 1 ビットの ROM です。データ出力 (O) には、8 ビットのアドレス (A7 ~ A0) で選択されたワードが出力されます。ROM は、コンフィギュレーションの際に INIT=value で指定した値に初期化されます。初期値は 64 桁の 16 進数で、ROM には最上位ビット A=FH から最下位ビット A=0H の順に書き込まれます。

INIT=value を指定しないと、エラーになります。

論理表

入力				出力
I0	I1	I2	I3	O
0	0	0	0	INIT(0)
0	0	0	1	INIT(1)
0	0	1	0	INIT(2)
0	0	1	1	INIT(3)
0	1	0	0	INIT(4)
0	1	0	1	INIT(5)
0	1	1	0	INIT(6)
0	1	1	1	INIT(7)
1	0	0	0	INIT(8)
1	0	0	1	INIT(9)
1	0	1	0	INIT(10)
1	0	1	1	INIT(11)
1	1	0	0	INIT(12)
1	1	0	1	INIT(13)
1	1	1	0	INIT(14)
1	1	1	1	INIT(15)

デザインの入力方法

このELEMENTは、回路図で使用されます。

使用可能な属性

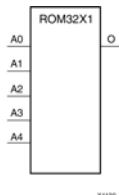
属性	タイプ	値	デフォルト	説明
INIT	16 進数	256 ビット値	すべてゼロ	ROM の値を指定

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

ROM32X1

プリミティブ : 32-Deep by 1-Wide ROM



概要

このデザイン エLEMENTは 32 ワード X 1 ビットの ROM です。データ出力 (O) には、5 ビットのアドレス (A4 ~ A0) で選択されたワードが出力されます。ROM は、コンフィギュレーションの際に INIT=value で指定した値に初期化されます。初期値は 8 桁の 16 進数で、ROM には最上位ビット A=1FH から最下位ビット A=00H の順に書き込まれます。

たとえば、INIT=10A78F39 と指定すると、次のデータストリームが生成されます。0001 0000 1010 0111 1000 1111 0011 1001. INIT=value を指定しないと、エラーになります。

論理表

入力				出力
I0	I1	I2	I3	O
0	0	0	0	INIT(0)
0	0	0	1	INIT(1)
0	0	1	0	INIT(2)
0	0	1	1	INIT(3)
0	1	0	0	INIT(4)
0	1	0	1	INIT(5)
0	1	1	0	INIT(6)
0	1	1	1	INIT(7)
1	0	0	0	INIT(8)
1	0	0	1	INIT(9)
1	0	1	0	INIT(10)
1	0	1	1	INIT(11)
1	1	0	0	INIT(12)
1	1	0	1	INIT(13)
1	1	1	0	INIT(14)
1	1	1	1	INIT(15)

デザインの入力方法

このELEMENTは、回路図で使用されます。

使用可能な属性

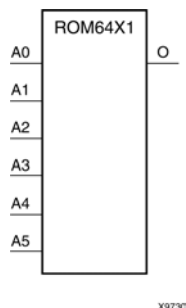
属性	タイプ	値	デフォルト	説明
INIT	16 進数	32 ビット値	すべてゼロ	ROM の値を指定

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

ROM64X1

プリミティブ : 64-Deep by 1-Wide ROM



概要

このデザイン エLEMENTは 64 ワード X 1 ビットの ROM です。データ出力 (O) には、6 ビットのアドレス (A5 ~ A0) で選択されたワードが出力されます。ROM は、コンフィギュレーションの際に INIT=value で指定した値に初期化されます。初期値は 16 桁の 16 進数で、ROM には最上位ビット A=FH から最下位ビット A=0H の順に書き込まれます。INIT=value を指定しないと、エラーになります。

論理表

入力				出力
I0	I1	I2	I3	O
0	0	0	0	INIT(0)
0	0	0	1	INIT(1)
0	0	1	0	INIT(2)
0	0	1	1	INIT(3)
0	1	0	0	INIT(4)
0	1	0	1	INIT(5)
0	1	1	0	INIT(6)
0	1	1	1	INIT(7)
1	0	0	0	INIT(8)
1	0	0	1	INIT(9)
1	0	1	0	INIT(10)
1	0	1	1	INIT(11)
1	1	0	0	INIT(12)
1	1	0	1	INIT(13)
1	1	1	0	INIT(14)
1	1	1	1	INIT(15)

デザインの入力方法

このELEMENTは、回路図で使用されます。

使用可能な属性

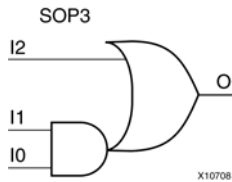
属性	タイプ	値	デフォルト	説明
INIT	16 進数	64 ビット値	すべてゼロ	ROM の値を指定

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

SOP3

マクロ : 3-Input Sum of Products



概要

このデザイン エLEMENTは 3 入力の積和 (SOP) マクロで、1 個の AND 出力と 1 個の直接入力を OR ゲートに入力した共通ロジック ファンクションです。反転入力と非反転入力をさまざまに組み合わせたものがあります。

デザインの入力方法

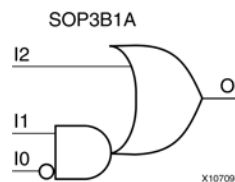
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

SOP3B1A

マクロ : 3-Input Sum of Products with One Inverted Input (Option A)



概要

このデザイン エLEMENTは 3 入力の積和 (SOP) マクロで、1 個の AND 出力と 1 個の直接入力を OR ゲートに入力した共通ロジック ファンクションです。反転入力と非反転入力をさまざまに組み合わせたものがあります。

デザインの入力方法

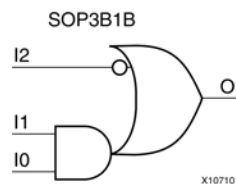
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

SOP3B1B

マクロ : 3-Input Sum of Products with One Inverted Input (Option B)



概要

このデザイン エLEMENTは 3 入力の積和 (SOP) マクロで、1 個の AND 出力と 1 個の直接入力を OR ゲートに入力した共通ロジック ファンクションです。反転入力と非反転入力をさまざまに組み合わせたものがあります。

デザインの入力方法

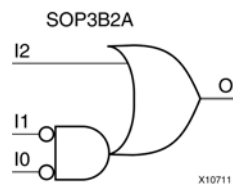
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

SOP3B2A

マクロ : 3-Input Sum of Products with Two Inverted Inputs (Option A)



概要

このデザイン エLEMENTは 3 入力の積和 (SOP) マクロで、1 個の AND 出力と 1 個の直接入力を OR ゲートに入力した共通ロジック ファンクションです。反転入力と非反転入力をさまざまに組み合わせたものがあります。

デザインの入力方法

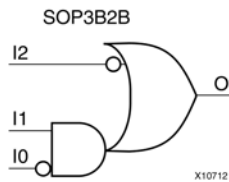
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

SOP3B2B

マクロ : 3-Input Sum of Products with Two Inverted Inputs (Option B)



概要

このデザイン エLEMENTは 3 入力の積和 (SOP) マクロで、1 個の AND 出力と 1 個の直接入力を OR ゲートに入力した共通ロジック ファンクションです。反転入力と非反転入力をさまざまに組み合わせたものがあります。

デザインの入力方法

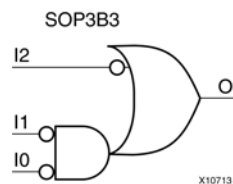
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

SOP3B3

マクロ : 3-Input Sum of Products with Inverted Inputs



概要

このデザイン エLEMENTは 3 入力の積和 (SOP) マクロで、1 個の AND 出力と 1 個の直接入力を OR ゲートに入力した共通ロジック ファンクションです。反転入力と非反転入力をさまざまに組み合わせたものがあります。

デザインの入力方法

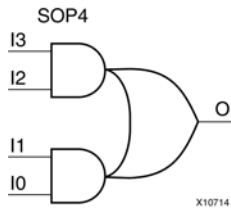
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

SOP4

マクロ : 4-Input Sum of Products



概要

このデザイン エLEMENTは 4 入力の積和 (SOP) マクロで、2 個の AND 出力を OR ゲートに入力した共通ロジック ファンクションです。反転入力と非反転入力をさまざまに組み合わせたものがあります。

デザインの入力方法

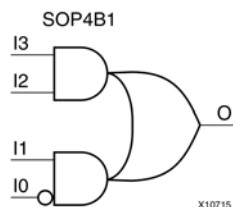
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

SOP4B1

マクロ : 4-Input Sum of Products with One Inverted Input



概要

このデザイン エLEMENTは 4 入力の積和 (SOP) マクロで、2 個の AND 出力を OR ゲートに入力した共通ロジック ファンクションです。反転入力と非反転入力をさまざまに組み合わせたものがあります。

デザインの入力方法

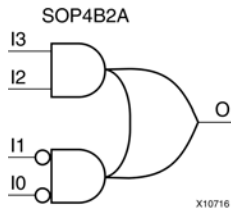
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

SOP4B2A

マクロ : 4-Input Sum of Products with Two Inverted Inputs (Option A)



概要

このデザイン エLEMENTは 4 入力の積和 (SOP) マクロで、2 個の AND 出力を OR ゲートに入力した共通ロジック ファンクションです。反転入力と非反転入力をさまざまに組み合わせたものがあります。

デザインの入力方法

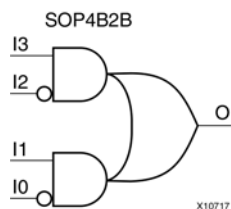
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

SOP4B2B

マクロ : 4-Input Sum of Products with Two Inverted Inputs (Option B)



概要

このデザイン エLEMENTは 4 入力の積和 (SOP) マクロで、2 個の AND 出力を OR ゲートに入力した共通ロジック ファンクションです。反転入力と非反転入力をさまざまに組み合わせたものがあります。

デザインの入力方法

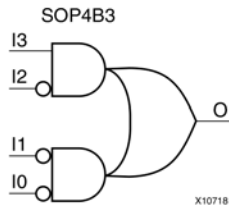
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

SOP4B3

マクロ : 4-Input Sum of Products with Three Inverted Inputs



概要

このデザイン エLEMENTは 4 入力の積和 (SOP) マクロで、2 個の AND 出力を OR ゲートに入力した共通ロジック ファンクションです。反転入力と非反転入力をさまざまに組み合わせたものがあります。

デザインの入力方法

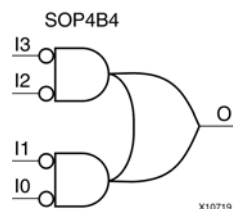
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

SOP4B4

マクロ : 4-Input Sum of Products with Inverted Inputs



概要

このデザイン エLEMENTは 4 入力の積和 (SOP) マクロで、2 個の AND 出力を OR ゲートに入力した共通ロジック ファンクションです。反転入力と非反転入力をさまざまに組み合わせたものがあります。

デザインの入力方法

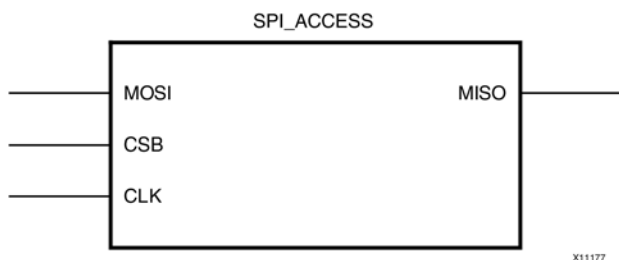
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

SPI_ACCESS

プリミティブ : Internal Logic Access to the Serial Peripheral Interface (SPI) PROM Data



概要

このデザイン エLEMENTを使用すると、FPGA の内部ロジックから SPI シリアル プロトコルを介して、デバイスに含まれているインシステム フラッシュ (ISF) メモリに接続できます。

ポートの説明

ポート名	方向	幅	機能
MISO	出力	1	ISF メモリのシリアル出力データ
MOSI	入力	1	ISF メモリへのシリアル入力命令/データ
CSB	入力	1	ISF メモリ イネーブル
CLK	入力	1	ISF メモリ クロック

デザインの入力方法

このELEMENTは、回路図で使用されます。

使用可能な属性

属性	タイプ	値	デフォルト	説明
SIM_DEVICE	文字列	3S50AN、3S200AN、3S400AN、3S700AN、3S1400AN	UNSPECIFIED	適切なサイズの ISF メモリが使用されるようにターゲット デバイスを指定します。この属性は必ず設定する必要があります。
SIM_USER_ID	16 進数	64 ビット値	0xFF	ISF メモリに対しプログラムされている、セキュリティレジスタ内のユーザー ID を指定します。
SIM_MEM_FILE	文字列	指定されたファイル名およびディレクトリ名	NONE	ISF メモリの初期化メモリの内容を含む HEX ファイルをオプションで指定します。
SIM_FACTORY_ID	16 進数	64 ビット値	0xFF	シミュレーションに使用する、セキュリティレジスタ内の重複しない識別子の値を指定 (実際の HW 値はデバイスに特定の値)
SIM_DELAY_TYPE	文字列	ACCURATE、SCALED	SCALED	シミュレーションの速度を上げるため、一部のタイミング遅延を減少させます。 ・ ACCURATE を指定した場合、タイミングと遅延はデータシートの仕様どおりです。

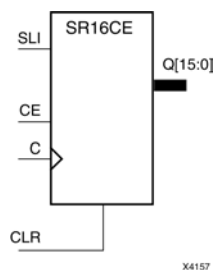
属性	タイプ	値	デフォルト	説明
				・ SCALED を指定すると、シミュレーションの速度を上げるためにタイミング値を減少させますが、ビヘイビアには影響はありません。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)

SR16CE

マクロ : 16-Bit Serial-In Parallel-Out Shift Register with Clock Enable and Asynchronous Clear



概要

このデザイン エLEMENTはシフトレジスタで、シフト レフト シリアル入力 (SLI)、パラレル出力 (Q)、クロック イネーブル (CE)、非同期クリア入力 (CLR) があります。CLR 入力が高レベルになると、ほかのすべての入力は無視され、出力 (Q) が Low にリセットされます。CE が High で CLR が Low の場合、クロック (C) が Low から High に切り替わるときに SLI 入力の値がシフトレジスタの第 1 ビットにロードされ、Q0 に出力されます。次にクロックが Low から High に切り替わるときに CE が High で CLR が Low の場合、値が次の高位ビットの位置にシフトされ、新しい値が Q0 にロードされます (例 : SLI → Q0, Q0 → Q1, Q1 → Q2)。CE が Low の場合は、クロック遷移は無視されます。

最後の Q 出力を次の段の SLI 入力に接続し、クロック、CE、CLR を並列に接続すると、複数のレジスタをカスケード接続できます。

電力を供給すると、レジスタは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバータを追加するとアクティブ Low にできます。

論理表

入力				出力	
CLR	CE	SLI	C	Q0	Qz : Q1
1	X	X	X	0	0
0	0	X	X	変化なし	変化なし
0	1	SLI	↑	SLI	qn-1

z = ビット幅 - 1

qn-1 = アクティブなクロック エッジの 1 セットアップ タイム前の対応する出力の値

デザインの入力方法

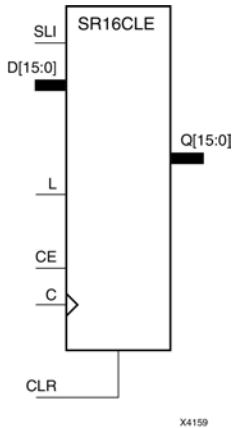
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

SR16CLE

マクロ : 16-Bit Loadable Serial/Parallel-In Parallel-Out Shift Register with Clock Enable and Asynchronous Clear



概要

このデザイン エLEMENTはシフトレジスタで、シフトレフトシリアル入力 (SLI)、パラレル入力 (D)、パラレル出力 (Q) に加え、クロック イネーブル (CE)、ロード イネーブル (L)、非同期クリア (CLR) の 3 つの制御入力があります。L と CE が Low の場合、クロック遷移は無視されます。CLR が High になると、ほかのすべての入力は無視され、出力 (Q) が Low にリセットされます。L が High で CLR が Low の場合、クロック (C) が Low から High に切り替わるときに、Dn ~ D0 入力の値は対応する Qn ~ Q0 ビットにロードされます。

CE が High で L および CLR が Low の場合、C が Low から High に切り替わるときに、SLI 入力の値がシフトレジスタの第 1 ビットにロードされ、Q0 に出力されます。次のクロック遷移で CE が High、L と CLR が Low の場合、値が次の高位ビットの位置にシフトされ、新しい値が Q0 にロードされます (例: SLI → Q0、Q0 → Q1、Q1 → Q2)。

最後の Q 出力を次の段の SLI 入力に接続し、クロック、CE、L、CLR を並列に接続すると、複数のレジスタをカスケード接続できます。

電力を供給すると、レジスタは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバータを追加するとアクティブ Low にできます。

論理表

入力						出力	
CLR	L	CE	SLI	Dn : D0	C	Q0	Qz : Q1
1	X	X	X	X	X	0	0
0	1	X	X	Dn : D0	↑	D0	Dn
0	0	1	SLI	X	↑	SLI	qn-1
0	0	0	X	X	X	変化なし	変化なし

z = ビット幅 -1

qn-1 = アクティブなクロック エッジの 1 セットアップ タイム前の対応する出力の値

デザインの入力方法

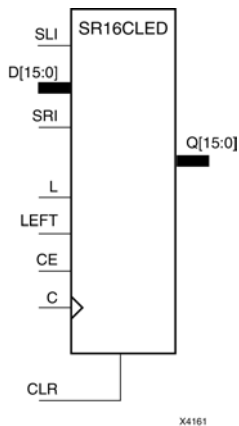
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

SR16CLED

マクロ : 16-Bit Shift Register with Clock Enable and Asynchronous Clear



概要

このデザイン エLEMENTはシフトレジスタで、シフト レフト シリアル入力 (SLI)、シフト ライト シリアル入力 (SRI)、パラレル 入力 (D)、パラレル出力 (Q) に加え、クロック イネーブル (CE)、ロード イネーブル (L)、シフト レフト/ライト (LEFT)、非同期クリア (CLR) の 4 つの制御入力があります。CE と L が Low の場合、クロック遷移は無視されます。CLR が High になると、ほかのすべての入力は無視され、出力 (Q) が Low にリセットされます。

L が High で CLR が Low の場合、クロック (C) が Low から High に切り替わるときに、D 入力の値が対応する Q ビットにロードされます。CE が High で L および CLR が Low の場合、LEFT 入力の値に応じて、レジスタの値は高位ビットまたは下位ビットにシフトされます。LEFT が High の場合は、クロックが Low から High に切り替わるときに SLI の値が Q0 にロードされ、次の Low から High へのクロック遷移で高位ビットにシフトされます (例 : Q0 → Q1、Q1 → Q2)。LEFT が Low の場合は、クロックが Low から High に切り替わるときに SRI の値が最後の Q にロードされ、次のクロック遷移で右方向にシフトされます。論理表にすべての入力条件に対する Q 出力の値を示します。

電力を供給すると、レジスタは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバータを追加するとアクティブ Low にできます。

論理表

入力								出力		
CLR	L	CE	LEFT	SLI	SRI	D15 : D0	C	Q0	Q15	Q14 : Q1
1	X	X	X	X	X	X	X	0	0	0
0	1	X	X	X	X	D15 : D0	↑	D0	D15	Dn
0	0	0	X	X	X	X	X	変化なし	変化なし	変化なし
0	0	1	1	SLI	X	X	↑	SLI	q14	qn-1
0	0	1	0	X	SRI	X	↑	q1	SRI	qn+1
qn-1 または qn+1 = アクティブなクロック エッジの 1 セットアップ タイム前の対応する出力の値										

デザインの入力方法

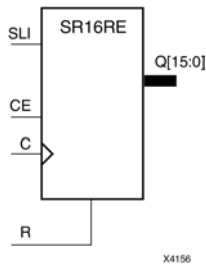
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

SR16RE

マクロ : 16-Bit Serial-In Parallel-Out Shift Register with Clock Enable and Synchronous Reset



概要

このデザイン エLEMENTはシフトレジスタで、シフトレフトシリアル入力 (SLI)、パラレル出力 (Qn)、クロック イネーブル (CE)、同期リセット入力 (R) があります。R 入力が高レベルになると、ほかのすべての入力は無視され、クロック (C) が Low から High に切り替わる時に出力 (Q) が Low にリセットされます。

CE が High で R が Low の場合、クロック (C) が Low から High に切り替わる時に SLI の値がシフトレジスタの第 1 ビットにロードされ、Q0 に出力されます。次にクロックが Low から High に切り替わる時に CE が High で R が Low の場合、値が次の高位ビットの位置にシフトされ、新しい値が Q0 にロードされます (例 : SLI → Q0、Q0 → Q1、Q1 → Q2)。CE が Low の場合は、クロック遷移は無視されます。

最後の Q 出力を次の段の SLI 入力に接続し、クロック、CE、R を並列に接続すると、複数のレジスタをカスケード接続できます。

電力を供給すると、レジスタは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバータを追加するとアクティブ Low にできます。

論理表

入力				出力	
R	CE	SLI	C	Q0	Qz : Q1
1	X	X	↑	0	0
0	0	X	X	変化なし	変化なし
0	1	SLI	↑	SLI	qn-1
z = ビット幅 -1					
qn-1 = アクティブなクロック エッジの 1 セットアップ タイム前の対応する出力の値					

デザインの入力方法

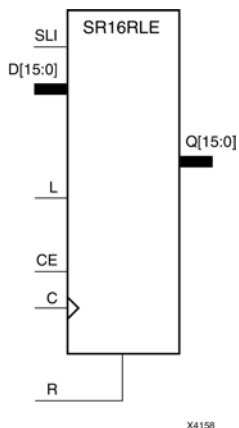
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

SR16RLE

マクロ : 16-Bit Loadable Serial/Parallel-In Parallel-Out Shift Register with Clock Enable and Synchronous Reset



概要

このデザイン エLEMENTはシフトレジスタで、シフト レフト シリアル入力 (SLI)、パラレル入力 (D)、パラレル出力 (Q) に加え、クロック イネーブル (CE)、ロード イネーブル (L)、同期リセット (R) の 3 つの制御入力があります。L と CE が Low の場合、クロック遷移は無視されます。R が High になると、ほかのすべての入力は無視され、クロック (C) が Low から High に切り替わるときに Q が Low にリセットされます。L が High で R が Low の場合、C が Low から High に切り替わるときに、D 入力の値が対応する Q ビットにロードされます。

CE が High で L および R が Low の場合は、C が Low から High に切り替わるときに SLI 入力の値がシフトレジスタの第 1 ビットにロードされ、Q0 に出力されます。次のクロック遷移で CE が High、L と R が Low の場合、シフトレジスタの値は次の高位ビットにシフトされ、新しい値が Q0 にロードされます。

最後の Q 出力を次の段の SLI 入力に接続し、クロック、CE、L、R を並列に接続すると、複数のレジスタをカスケード接続できます。

電力を供給すると、レジスタは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバータを追加するとアクティブ Low にできます。

論理表

入力						出力	
R	L	CE	SLI	Dz : D0	C	Q0	Qz : Q1
1	X	X	X	X	↑	0	0
0	1	X	X	Dz : D0	↑	D0	Dn
0	0	1	SLI	X	↑	SLI	qn-1
0	0	0	X	X	X	変化なし	変化なし

z = ビット幅 -1

qn-1 = アクティブなクロック エッジの 1 セットアップ タイム前の対応する出力の値

デザインの入力方法

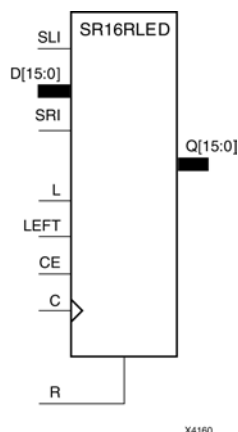
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)

SR16RLED

マクロ : 16-Bit Shift Register with Clock Enable and Synchronous Reset



概要

このデザイン エLEMENTはシフトレジスタで、シフトレフトシリアル入力 (SLI)、シフトライトシリアル入力 (SRI)、パラレル入力 (D)、パラレル出力 (Q) に加え、クロック イネーブル (CE)、ロード イネーブル (L)、シフトレフト/ライト (LEFT)、同期リセット (R) の 4 つの制御入力があります。CE と L が Low の場合、クロック遷移は無視されます。R が High になると、ほかのすべての入力は無視され、クロック (C) が Low から High に切り替わるときに Q が Low にリセットされます。L が High で R が Low の場合、C が Low から High に切り替わるときに、D 入力の値が対応する Q ビットにロードされます。

CE が High で L および R が Low の場合、LEFT 入力の値に応じて、レジスタの値は高位ビットまたは下位ビットにシフトされます。LEFT が High の場合は、クロックが Low から High に切り替わるときに SLI の値が Q0 にロードされ、次の Low から High へのクロック遷移で高位ビットにシフトされます (例 : Q0 → Q1, Q1 → Q2)。LEFT が Low の場合は、クロックが Low から High に切り替わるときに SRI の値が最後の Q にロードされ、次のクロック遷移で右方向にシフトされます。論理表にすべての入力条件に対する Q 出力の値を示します。

電力を供給すると、レジスタは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバータを追加するとアクティブ Low にできます。

論理表

入力								出力		
R	L	CE	LEFT	SLI	SRI	D15:D0	C	Q0	Q15	Q14:Q1
1	X	X	X	X	X	X	↑	0	0	0
0	1	X	X	X	X	D15:D0	↑	D0	D15	Dn
0	0	0	X	X	X	X	X	変化なし	変化なし	変化なし
0	0	1	1	SLI	X	X	↑	SLI	q14	qn-1
0	0	1	0	X	SRI	X	↑	q1	SRI	qn+1
qn-1 または qn+1 = アクティブなクロック エッジの 1 セットアップ タイム前の対応する出力の値										

デザインの入力方法

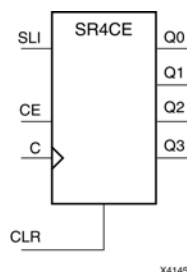
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

SR4CE

マクロ : 4-Bit Serial-In Parallel-Out Shift Register with Clock Enable and Asynchronous Clear



概要

このデザイン エLEMENTはシフトレジスタで、シフト レフト シリアル入力 (SLI)、パラレル出力 (Q)、クロック イネーブル (CE)、非同期クリア入力 (CLR) があります。CLR 入力が高レベルになると、ほかのすべての入力は無視され、出力 (Q) が Low にリセットされます。CE が High で CLR が Low の場合、クロック (C) が Low から High に切り替わるたびに SLI 入力の値がシフトレジスタの第 1 ビットにロードされ、Q0 に出力されます。次にクロックが Low から High に切り替わるたびに CE が High で CLR が Low の場合、値が次の高位ビットの位置にシフトされ、新しい値が Q0 にロードされます (例 : SLI → Q0、Q0 → Q1、Q1 → Q2)。CE が Low の場合は、クロック遷移は無視されます。

最後の Q 出力を次の段の SLI 入力に接続し、クロック、CE、CLR を並列に接続すると、複数のレジスタをカスケード接続できます。

電力を供給すると、レジスタは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバータを追加するとアクティブ Low にできます。

論理表

入力				出力	
CLR	CE	SLI	C	Q0	Qz : Q1
1	X	X	X	0	0
0	0	X	X	変化なし	変化なし
0	1	SLI	↑	SLI	qn-1
z = ビット幅 - 1					
qn-1 = アクティブなクロック エッジの 1 セットアップ タイム前の対応する出力の値					

デザインの入力方法

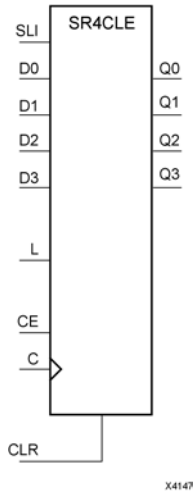
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

SR4CLE

マクロ : 4-Bit Loadable Serial/Parallel-In Parallel-Out Shift Register with Clock Enable and Asynchronous Clear



概要

このデザイン エLEMENTはシフトレジスタで、シフトレフトシリアル入力 (SLI)、パラレル入力 (D)、パラレル出力 (Q) に加え、クロック イネーブル (CE)、ロード イネーブル (L)、非同期クリア (CLR) の 3 つの制御入力があります。L と CE が Low の場合、クロック遷移は無視されます。CLR が High になると、ほかのすべての入力は無視され、出力 (Q) が Low にリセットされます。L が High で CLR が Low の場合、クロック (C) が Low から High に切り替わるときに、Dn ~ D0 入力の値は対応する Qn ~ Q0 ビットにロードされます。

CE が High で L および CLR が Low の場合、C が Low から High に切り替わるときに、SLI 入力の値がシフトレジスタの第 1 ビットにロードされ、Q0 に出力されます。次のクロック遷移で CE が High、L と CLR が Low の場合、値が次の高位ビットの位置にシフトされ、新しい値が Q0 にロードされます (例: SLI → Q0、Q0 → Q1、Q1 → Q2)。

最後の Q 出力を次の段の SLI 入力に接続し、クロック、CE、L、CLR を並列に接続すると、複数のレジスタをカスケード接続できます。

電力を供給すると、レジスタは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバータを追加するとアクティブ Low にできます。

論理表

入力						出力	
CLR	L	CE	SLI	Dn : D0	C	Q0	Qz : Q1
1	X	X	X	X	X	0	0
0	1	X	X	Dn : D0	↑	D0	Dn
0	0	1	SLI	X	↑	SLI	qn-1
0	0	0	X	X	X	変化なし	変化なし
z = ビット幅 -1							
qn-1 = アクティブなクロック エッジの 1 セットアップ タイム前の対応する出力の値							

デザインの入力方法

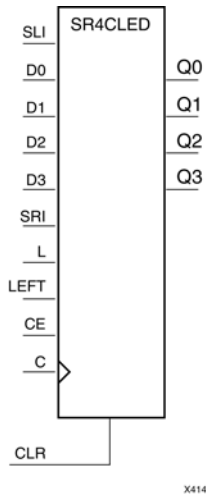
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

SR4CLED

マクロ : 4-Bit Shift Register with Clock Enable and Asynchronous Clear



概要

このデザイン エLEMENTはシフトレジスタで、シフト レフト シリアル入力 (SLI)、シフト ライト シリアル入力 (SRI)、パラレル 入力 (D)、パラレル出力 (Q) に加え、クロック イネーブル (CE)、ロード イネーブル (L)、シフト レフト/ライト (LEFT)、非 同期クリア (CLR) の 4 つの制御入力があります。CE と L が Low の場合、クロック遷移は無視されます。CLR が High になると、ほかのすべての入力は無視され、出力 (Q) が Low にリセットされます。

L が High で CLR が Low の場合、クロック (C) が Low から High に切り替わるときに、D 入力の値が対応する Q ビット にロードされます。CE が High で L および CLR が Low の場合、LEFT 入力の値に応じて、レジスタの値は高位ビット または下位ビットにシフトされます。LEFT が High の場合は、クロックが Low から High に切り替わるときに SLI の値 が Q0 にロードされ、次の Low から High へのクロック遷移で高位ビットにシフトされます (例 : Q0 → Q1、Q1 → Q2)。LEFT が Low の場合は、クロックが Low から High に切り替わるときに SRI の値が最後の Q にロードされ、次のクロック 遷移で右方向にシフトされます。論理表にすべての入力条件に対する Q 出力の値を示します。

電力を供給すると、レジスタは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバータを追加するとアクティブ Low にできます。

論理表

入力								出力		
CLR	L	CE	LEFT	SLI	SRI	D3 : D0	C	Q0	Q3	Q2 : Q1
1	X	X	X	X	X	X	X	0	0	0
0	1	X	X	X	X	D3:D0	↑	D0	D3	Dn
0	0	0	X	X	X	X	X	変化なし	変化なし	変化なし
0	0	1	1	SLI	X	X	↑	SLI	q2	qn-1
0	0	1	0	X	SRI	X	↑	q1	SRI	qn+1
qn-1 および qn+1 = アクティブなクロック エッジの 1 セットアップ タイム前の対応する出力の値										

デザインの入力方法

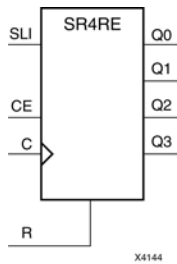
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

SR4RE

マクロ : 4-Bit Serial-In Parallel-Out Shift Register with Clock Enable and Synchronous Reset



概要

このデザイン エLEMENTはシフトレジスタで、シフトレフトシリアル入力 (SLI)、パラレル出力 (Qn)、クロック イネーブル (CE)、同期リセット入力 (R) があります。R 入力が高レベルになると、ほかのすべての入力は無視され、クロック (C) が Low から High に切り替わるときに出力 (Q) が Low にリセットされます。

CE が High で R が Low の場合、クロック (C) が Low から High に切り替わるときに SLI の値がシフトレジスタの第 1 ビットにロードされ、Q0 に出力されます。次にクロックが Low から High に切り替わるときに CE が High で R が Low の場合、値が次の高位ビットの位置にシフトされ、新しい値が Q0 にロードされます (例: SLI → Q0、Q0 → Q1、Q1 → Q2)。CE が Low の場合は、クロック遷移は無視されます。

最後の Q 出力を次の段の SLI 入力に接続し、クロック、CE、R を並列に接続すると、複数のレジスタをカスケード接続できます。

電力を供給すると、レジスタは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバータを追加するとアクティブ Low にできます。

論理表

入力				出力	
R	CE	SLI	C	Q0	Qz : Q1
1	X	X	↑	0	0
0	0	X	X	変化なし	変化なし
0	1	SLI	↑	SLI	qn-1
z = ビット幅 -1					
qn-1 = アクティブなクロック エッジの 1 セットアップ タイム前の対応する出力の値					

デザインの入力方法

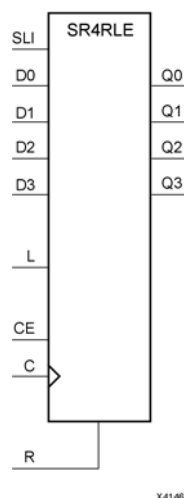
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

SR4RLE

マクロ : 4-Bit Loadable Serial/Parallel-In Parallel-Out Shift Register with Clock Enable and Synchronous Reset



概要

このデザイン エLEMENTはシフトレジスタで、シフトレフトシリアル入力 (SLI)、パラレル入力 (D)、パラレル出力 (Q) に加え、クロック イネーブル (CE)、ロード イネーブル (L)、同期リセット (R) の 3 つの制御入力があります。L と CE が Low の場合、クロック遷移は無視されます。R が High になると、ほかのすべての入力は無視され、クロック (C) が Low から High に切り替わるときに Q が Low にリセットされます。L が High で R が Low の場合、C が Low から High に切り替わる時に、D 入力の値が対応する Q ビットにロードされます。

CE が High で L および R が Low の場合は、C が Low から High に切り替わる時に SLI 入力の値がシフトレジスタの第 1 ビットにロードされ、Q0 に出力されます。次のクロック遷移で CE が High、L と R が Low の場合、シフトレジスタの値は次の高位ビットにシフトされ、新しい値が Q0 にロードされます。

最後の Q 出力を次の段の SLI 入力に接続し、クロック、CE、L、R を並列に接続すると、複数のレジスタをカスケード接続できます。

電力を供給すると、レジスタは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバータを追加するとアクティブ Low にできます。

論理表

入力						出力	
R	L	CE	SLI	Dz : D0	C	Q0	Qz : Q1
1	X	X	X	X	↑	0	0
0	1	X	X	Dz : D0	↑	D0	Dn
0	0	1	SLI	X	↑	SLI	qn-1
0	0	0	X	X	X	変化なし	変化なし
z = ビット幅 -1							
qn-1 = アクティブなクロック エッジの 1 セットアップ タイム前の対応する出力の値							

デザインの入力方法

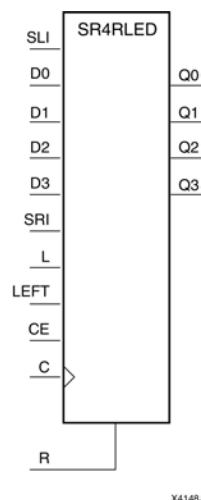
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

SR4RLED

マクロ : 4-Bit Shift Register with Clock Enable and Synchronous Reset



概要

このデザイン エLEMENTはシフトレジスタで、シフト レフト シリアル入力 (SLI)、シフト ライト シリアル入力 (SRI)、パラレル 入力 (D)、パラレル出力 (Q) に加え、クロック イネーブル (CE)、ロード イネーブル (L)、シフト レフト/ライト (LEFT)、同期 リセット (R) の 4 つの制御入力があります。CE と L が Low の場合、クロック遷移は無視されます。R が High になると、ほかのすべての入力は無視され、クロック (C) が Low から High に切り替わるときに Q が Low にリセットされます。L が High で R が Low の場合、C が Low から High に切り替わるときに、D 入力の値が対応する Q ビットにロードされます。

CE が High で L および R が Low の場合、LEFT 入力の値に応じて、レジスタの値は高位ビットまたは下位ビットにシフトされます。LEFT が High の場合は、クロックが Low から High に切り替わるときに SLI の値が Q0 にロードされ、次の Low から High へのクロック遷移で高位ビットにシフトされます (例 : Q0 → Q1、Q1 → Q2)。LEFT が Low の場合は、クロックが Low から High に切り替わるときに SRI の値が最後の Q にロードされ、次のクロック遷移で右方向にシフトされます。論理表にすべての入力条件に対する Q 出力の値を示します。

電力を供給すると、レジスタは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバータを追加するとアクティブ Low にできます。

論理表

入力								出力		
R	L	CE	LEFT	SLI	SRI	D3 : D0	C	Q0	Q3	Q2 : Q1
1	X	X	X	X	X	X	↑	0	0	0
0	1	X	X	X	X	D3 : D0	↑	D0	D3	Dn
0	0	0	X	X	X	X	X	変化なし	変化なし	変化なし
0	0	1	1	SLI	X	X	↑	SLI	q2	qn-1
0	0	1	0	X	SRI	X	↑	q1	SRI	qn+1
qn-1 または qn+1 = アクティブなクロック エッジの 1 セットアップ タイム前の対応する出力の値										

デザインの入力方法

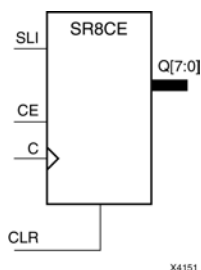
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

SR8CE

マクロ : 8-Bit Serial-In Parallel-Out Shift Register with Clock Enable and Asynchronous Clear



概要

このデザイン エLEMENTはシフトレジスタで、シフト レフト シリアル入力 (SLI)、パラレル出力 (Q)、クロック イネーブル (CE)、非同期クリア入力 (CLR) があります。CLR 入力が高レベルになると、ほかのすべての入力は無視され、出力 (Q) が Low にリセットされます。CE が High で CLR が Low の場合、クロック (C) が Low から High に切り替わるたびに SLI 入力の値がシフトレジスタの第 1 ビットにロードされ、Q0 に出力されます。次にクロックが Low から High に切り替わるたびに CE が High で CLR が Low の場合、値が次の高位ビットの位置にシフトされ、新しい値が Q0 にロードされます (例 : SLI → Q0, Q0 → Q1, Q1 → Q2)。CE が Low の場合は、クロック遷移は無視されます。

最後の Q 出力を次の段の SLI 入力に接続し、クロック、CE、CLR を並列に接続すると、複数のレジスタをカスケード接続できます。

電力を供給すると、レジスタは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバータを追加するとアクティブ Low にできます。

論理表

入力				出力	
CLR	CE	SLI	C	Q0	Qz : Q1
1	X	X	X	0	0
0	0	X	X	変化なし	変化なし
0	1	SLI	↑	SLI	qn-1

z = ビット幅 - 1

qn-1 = アクティブなクロック エッジの 1 セットアップ タイム前の対応する出力の値

デザインの入力方法

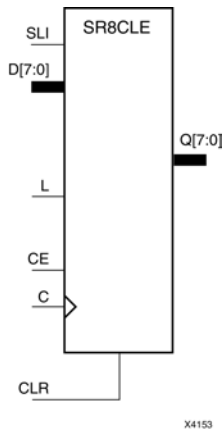
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

SR8CLE

マクロ : 8-Bit Loadable Serial/Parallel-In Parallel-Out Shift Register with Clock Enable and Asynchronous Clear



概要

このデザイン エLEMENTはシフトレジスタで、シフトレフトシリアル入力 (SLI)、パラレル入力 (D)、パラレル出力 (Q) に加え、クロック イネーブル (CE)、ロード イネーブル (L)、非同期クリア (CLR) の 3 つの制御入力があります。L と CE が Low の場合、クロック遷移は無視されます。CLR が High になると、ほかのすべての入力は無視され、出力 (Q) が Low にリセットされます。L が High で CLR が Low の場合、クロック (C) が Low から High に切り替わるときに、Dn ~ D0 入力の値は対応する Qn ~ Q0 ビットにロードされます。

CE が High で L および CLR が Low の場合、C が Low から High に切り替わるときに、SLI 入力の値がシフトレジスタの第 1 ビットにロードされ、Q0 に出力されます。次のクロック遷移で CE が High、L と CLR が Low の場合、値が次の高位ビットの位置にシフトされ、新しい値が Q0 にロードされます (例: SLI → Q0、Q0 → Q1、Q1 → Q2)。

最後の Q 出力を次の段の SLI 入力に接続し、クロック、CE、L、CLR を並列に接続すると、複数のレジスタをカスケード接続できます。

電力を供給すると、レジスタは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバータを追加するとアクティブ Low にできます。

論理表

入力						出力	
CLR	L	CE	SLI	Dn : D0	C	Q0	Qz : Q1
1	X	X	X	X	X	0	0
0	1	X	X	Dn : D0	↑	D0	Dn
0	0	1	SLI	X	↑	SLI	qn-1
0	0	0	X	X	X	変化なし	変化なし

z = ビット幅 -1

qn-1 = アクティブなクロック エッジの 1 セットアップ タイム前の対応する出力の値

デザインの入力方法

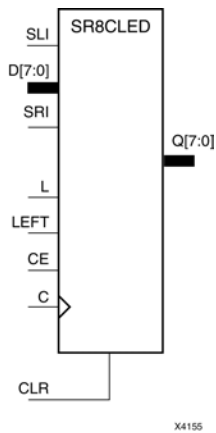
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

SR8CLED

マクロ : 8-Bit Shift Register with Clock Enable and Asynchronous Clear



概要

このデザイン エLEMENTはシフトレジスタで、シフトレフトシリアル入力 (SLI)、シフトライトシリアル入力 (SRI)、パラレル入力 (D)、パラレル出力 (Q) に加え、クロックイネーブル (CE)、ロードイネーブル (L)、シフトレフト/ライト (LEFT)、非同期クリア (CLR) の 4 つの制御入力があります。CE と L が Low の場合、クロック遷移は無視されます。CLR が High になると、ほかのすべての入力は無視され、出力 (Q) が Low にリセットされます。

L が High で CLR が Low の場合、クロック (C) が Low から High に切り替わるときに、D 入力の値が対応する Q ビットにロードされます。CE が High で L および CLR が Low の場合、LEFT 入力の値に応じて、レジスタの値は高位ビットまたは下位ビットにシフトされます。LEFT が High の場合は、クロックが Low から High に切り替わるときに SLI の値が Q0 にロードされ、次の Low から High へのクロック遷移で高位ビットにシフトされます (例: Q0 → Q1、Q1 → Q2)。LEFT が Low の場合は、クロックが Low から High に切り替わるときに SRI の値が最後の Q にロードされ、次のクロック遷移で右方向にシフトされます。論理表にすべての入力条件に対する Q 出力の値を示します。

電力を供給すると、レジスタは非同期にクリアされ、出力が Low になります。FPGA では、グローバルセット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバータを追加するとアクティブ Low にできます。

論理表

入力								出力		
CLR	L	CE	LEFT	SLI	SRI	D7 : D0	C	Q0	Q7	Q6 : Q1
1	X	X	X	X	X	X	X	0	0	0
0	1	X	X	X	X	D7 : D0	↑	D0	D7	Dn
0	0	0	X	X	X	X	X	変化なし	変化なし	変化なし
0	0	1	1	SLI	X	X	↑	SLI	q6	qn-1
0	0	1	0	X	SRI	X	↑	q1	SRI	qn+1
qn-1 または qn+1 = アクティブなクロック エッジの 1 セットアップ タイム前の対応する出力の値										

デザインの入力方法

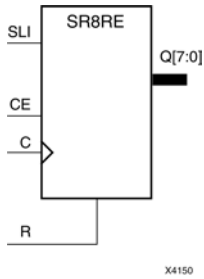
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

SR8RE

マクロ : 8-Bit Serial-In Parallel-Out Shift Register with Clock Enable and Synchronous Reset



概要

このデザイン エLEMENTはシフトレジスタで、シフトレフトシリアル入力 (SLI)、パラレル出力 (Qn)、クロック イネーブル (CE)、同期リセット入力 (R) があります。R 入力が高レベルになると、ほかのすべての入力は無視され、クロック (C) が Low から High に切り替わるときに出力 (Q) が Low にリセットされます。

CE が High で R が Low の場合、クロック (C) が Low から High に切り替わるときに SLI の値がシフトレジスタの第 1 ビットにロードされ、Q0 に出力されます。次にクロックが Low から High に切り替わるときに CE が High で R が Low の場合、値が次の高位ビットの位置にシフトされ、新しい値が Q0 にロードされます (例: SLI → Q0、Q0 → Q1、Q1 → Q2)。CE が Low の場合は、クロック遷移は無視されます。

最後の Q 出力を次の段の SLI 入力に接続し、クロック、CE、R を並列に接続すると、複数のレジスタをカスケード接続できます。

電力を供給すると、レジスタは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバータを追加するとアクティブ Low にできます。

論理表

入力				出力	
R	CE	SLI	C	Q0	Qz : Q1
1	X	X	↑	0	0
0	0	X	X	変化なし	変化なし
0	1	SLI	↑	SLI	qn-1
z = ビット幅 -1					
qn-1 = アクティブなクロック エッジの 1 セットアップ タイム前の対応する出力の値					

デザインの入力方法

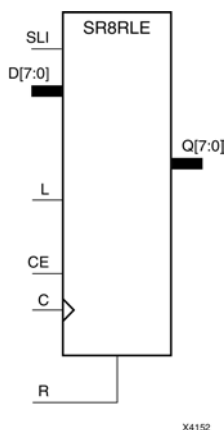
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

SR8RLE

マクロ : 8-Bit Loadable Serial/Parallel-In Parallel-Out Shift Register with Clock Enable and Synchronous Reset



概要

このデザイン エLEMENTはシフトレジスタで、シフト レフト シリアル入力 (SLI)、パラレル入力 (D)、パラレル出力 (Q) に加え、クロック イネーブル (CE)、ロード イネーブル (L)、同期リセット (R) の 3 つの制御入力があります。L と CE が Low の場合、クロック遷移は無視されます。R が High になると、ほかのすべての入力は無視され、クロック (C) が Low から High に切り替わるときに Q が Low にリセットされます。L が High で R が Low の場合、C が Low から High に切り替わるときに、D 入力の値が対応する Q ビットにロードされます。

CE が High で L および R が Low の場合は、C が Low から High に切り替わるときに SLI 入力の値がシフトレジスタの第 1 ビットにロードされ、Q0 に出力されます。次のクロック遷移で CE が High、L と R が Low の場合、シフトレジスタの値は次の高位ビットにシフトされ、新しい値が Q0 にロードされます。

最後の Q 出力を次の段の SLI 入力に接続し、クロック、CE、L、R を並列に接続すると、複数のレジスタをカスケード接続できます。

電力を供給すると、レジスタは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバータを追加するとアクティブ Low にできます。

論理表

入力						出力	
R	L	CE	SLI	Dz : D0	C	Q0	Qz : Q1
1	X	X	X	X	↑	0	0
0	1	X	X	Dz : D0	↑	D0	Dn
0	0	1	SLI	X	↑	SLI	qn-1
0	0	0	X	X	X	変化なし	変化なし

z = ビット幅 -1

qn-1 = アクティブなクロック エッジの 1 セットアップ タイム前の対応する出力の値

デザインの入力方法

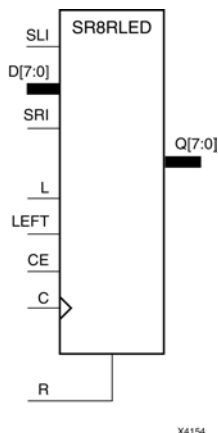
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)

SR8RLED

マクロ : 8-Bit Shift Register with Clock Enable and Synchronous Reset



概要

このデザイン エLEMENTはシフトレジスタで、シフトレフトシリアル入力 (SLI)、シフトライトシリアル入力 (SRI)、パラレル入力 (D)、パラレル出力 (Q) に加え、クロック イネーブル (CE)、ロード イネーブル (L)、シフトレフト/ライト (LEFT)、同期リセット (R) の 4 つの制御入力があります。CE と L が Low の場合、クロック遷移は無視されます。R が High になると、ほかのすべての入力は無視され、クロック (C) が Low から High に切り替わるときに Q が Low にリセットされます。L が High で R が Low の場合、C が Low から High に切り替わるときに、D 入力の値が対応する Q ビットにロードされます。

CE が High で L および R が Low の場合、LEFT 入力の値に応じて、レジスタの値は高位ビットまたは下位ビットにシフトされます。LEFT が High の場合は、クロックが Low から High に切り替わるときに SLI の値が Q0 にロードされ、次の Low から High へのクロック遷移で高位ビットにシフトされます (例 : Q0 → Q1、Q1 → Q2)。LEFT が Low の場合は、クロックが Low から High に切り替わるときに SRI の値が最後の Q にロードされ、次のクロック遷移で右方向にシフトされます。論理表にすべての入力条件に対する Q 出力の値を示します。

電力を供給すると、レジスタは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバータを追加するとアクティブ Low にできます。

論理表

入力								出力		
R	L	CE	LEFT	SLI	SRI	D7 : D0	C	Q0	Q7	Q6 : Q1
1	X	X	X	X	X	X	↑	0	0	0
0	1	X	X	X	X	D7 : D0	↑	D0	D7	Dn
0	0	0	X	X	X	X	X	変化なし	変化なし	変化なし
0	0	1	1	SLI	X	X	↑	SLI	q6	qn-1
0	0	1	0	X	SRI	X	↑	q1	SRI	qn+1
qn-1 または qn+1 = アクティブなクロック エッジの 1 セットアップ タイム前の対応する出力の値										

デザインの入力方法

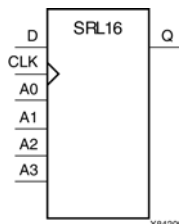
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)

SRL16

プリミティブ : 16-Bit Shift Register Look-Up Table (LUT)



概要

このデザイン エLEMENTは、シフトレジスタ ルックアップ テーブル (LUT) です。シフトレジスタの長さは、入力 A3、A2、A1、A0 の値によって決定されます。

シフトレジスタの長さは、固定することも、変動させることもできます。

- ・ **固定長のシフトレジスタを作成するには :** 入力 A3 ~ A0 の値を一定の値にします。シフトレジスタは 1 ~ 16 ビットの長さに設定できます。アドレス入力の値によるシフトレジスタの長さは、長さ = $(8 \times A3) + (4 \times A2) + (2 \times A1) + A0 + 1$ という式で算出できます。A3、A2、A1、A0 がすべてゼロの場合 (0000) はシフトレジスタの長さは 1 ビットになり、すべて 1 の場合 (1111) は 16 ビットになります。
- ・ **シフトレジスタ長を動的に変化させるには :** 入力 A3 ~ A0 の値を変化させます。たとえば、A2、A1、A0 がすべて 1 の場合 (111) に A3 を 1 から 0 に切り替えると、シフトレジスタの長さは 16 ビットから 8 ビットに変化します。内部的には、シフトレジスタの長さは常に 16 ビットで、どのビットの値が出力されるかは入力 A3 ~ A0 の値によって決定されます。

シフトレジスタ LUT の初期値を指定するには、INIT 属性に 4 桁の 16 進数を割り当てます。一番左の桁が最上位ビットになります。INIT の値を指定しない場合は、シフトレジスタ LUT の内容はコンフィギュレーション中にゼロ (0000) にクリアされます。

クロック (CLK) が Low から High に切り替わるときに、D の値がシフトレジスタの第 1 ビットにロードされます。次にクロックが Low から High に切り替わると、シフトレジスタの値は次の高位ビットにシフトされ、新しい値がロードされます。アドレス入力の値によってシフトレジスタの長さが決まり、Q にその値が出力されます。

論理表

入力			出力
Am	CLK	D	Q
Am	X	X	Q(Am)
Am	↑	D	Q(Am - 1)
m = 0、1、2、3			

デザインの入力方法

このELEMENTは、回路図で使用されます。

使用可能な属性

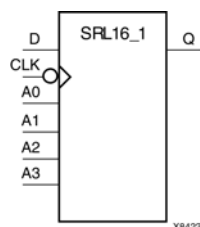
属性	タイプ	値	デフォルト	説明
INIT	16 進数	16 ビット値	すべてゼロ	コンフィギュレーション後の Q 出力の初期値を指定

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

SRL16_1

プリミティブ : 16-Bit Shift Register Look-Up Table (LUT) with Negative-Edge Clock



概要

このデザイン エLEMENTは、シフトレジスタ ルックアップ テーブル (LUT) です。シフトレジスタの長さは、入力 A3、A2、A1、A0 の値によって決定されます。

シフトレジスタの長さは、固定することも、変動させることもできます。

- 固定長のシフトレジスタを作成するには :** 入力 A3 ~ A0 の値を一定の値にします。シフトレジスタは 1 ~ 16 ビットの長さに設定できます。アドレス入力の値によるシフトレジスタの長さは、長さ = $(8 \times A3) + (4 \times A2) + (2 \times A1) + A0 + 1$ という式で算出できます。A3、A2、A1、A0 がすべてゼロの場合 (0000) はシフトレジスタの長さは 1 ビットになり、すべて 1 の場合 (1111) は 16 ビットになります。
- シフトレジスタ長を動的に変化させるには :** 入力 A3 ~ A0 の値を変化させます。たとえば、A2、A1、A0 がすべて 1 の場合 (111) に A3 を 1 から 0 に切り替えると、シフトレジスタの長さは 16 ビットから 8 ビットに変化します。内部的には、シフトレジスタの長さは常に 16 ビットで、どのビットの値が出力されるかは入力 A3 ~ A0 の値によって決定されます。

シフトレジスタ LUT の初期値を指定するには、INIT 属性に 4 桁の 16 進数を割り当てます。一番左の桁が最上位ビットになります。INIT の値を指定しない場合は、シフトレジスタ LUT の内容はコンフィギュレーション中にゼロ (0000) にクリアされます。

クロック (CLK) が High から Low に切り替わるときに、D の値がシフトレジスタの第 1 ビットにロードされます。次にクロックが High から Low に切り替わると、シフトレジスタの値は次の高位ビットにシフトされ、新しい値がロードされます。アドレス入力の値によってシフトレジスタの長さが決まり、Q にその値が出力されます。

論理表

入力			出力
Am	CLK	D	Q
Am	X	X	Q(Am)
Am	↓	D	Q(Am - 1)
m = 0、1、2、3			

デザインの入力方法

このELEMENTは、回路図で使用されます。

使用可能な属性

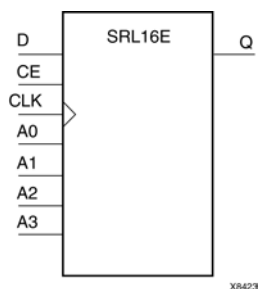
属性	タイプ	値	デフォルト	説明
INIT	16 進数	16 ビット値	すべてゼロ	コンフィギュレーション後の Q 出力の初期値を指定

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

SRL16E

プリミティブ : 16-Bit Shift Register Look-Up Table (LUT) with Clock Enable



概要

このデザイン エLEMENTは、シフトレジスタ ルックアップ テーブル (LUT) です。シフトレジスタの長さは、入力 A3、A2、A1、A0 の値によって決定されます。

シフトレジスタの長さは、固定することも、変動させることもできます。

- ・ **固定長のシフトレジスタを作成するには :** 入力 A3 ~ A0 の値を一定の値にします。シフトレジスタは 1 ~ 16 ビットの長さに設定できます。アドレス入力の値によるシフトレジスタの長さは、長さ = $(8 \times A3) + (4 \times A2) + (2 \times A1) + A0 + 1$ という式で算出できます。A3、A2、A1、A0 がすべてゼロの場合 (0000) はシフトレジスタの長さは 1 ビットになり、すべて 1 の場合 (1111) は 16 ビットになります。
- ・ **シフトレジスタ長を動的に変化させるには :** 入力 A3 ~ A0 の値を変化させます。たとえば、A2、A1、A0 がすべて 1 の場合 (111) に A3 を 1 から 0 に切り替えると、シフトレジスタの長さは 16 ビットから 8 ビットに変化します。内部的には、シフトレジスタの長さは常に 16 ビットで、どのビットの値が出力されるかは入力 A3 ~ A0 の値によって決定されます。

シフトレジスタ LUT の初期値を指定するには、INIT 属性に 4 桁の 16 進数を割り当てます。一番左の桁が最上位ビットになります。INIT の値を指定しない場合は、シフトレジスタ LUT の内容はコンフィギュレーション中にゼロ (0000) にクリアされます。

CE が High の場合、クロック (CLK) が Low から High に切り替わるときに、D の値がシフトレジスタの第 1 ビットにロードされます。次にクロックが Low から High に切り替わるときに CE が High の場合、シフトレジスタの値は次の高位ビットにシフトされ、新しい値がロードされます。アドレス入力の値によってシフトレジスタの長さが決まり、Q にその値が出力されます。CE が Low の場合、クロック遷移は無視されます。

論理表

入力				出力
Am	CE	CLK	D	Q
Am	0	X	X	Q(Am)
Am	1	↑	D	Q(Am - 1)
m = 0、1、2、3				

ポートの説明

ポート名	方向	幅	機能
Q	出力	1	シフトレジスタ データ出力
D	入力	1	シフトレジスタ データ入力
CLK	入力	1	クロック
CE	入力	1	アクティブ High のクロック イネーブル
A	入力	4	SRL のワード数のダイナミック選択 ・ A=0000 ==> 1 ビット シフト長 ・ A=1111 ==> 16 ビット シフト長

デザインの入力方法

このエレメントは、回路図で使用されます。

使用可能な属性

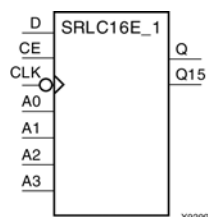
属性	タイプ	値	デフォルト	説明
INIT	16 進数	16 ビット値	すべてゼロ	コンフィギュレーション後のシフトレジスタと出力の初期値を指定

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

SRL16E_1

プリミティブ : 16-Bit Shift Register Look-Up Table (LUT) with Negative-Edge Clock and Clock Enable



概要

このデザイン エLEMENTは、クロック イネーブル (CE) があるシフトレジスタ ルックアップ テーブル (LUT) で、クロックの立ち下がりエッジで動作します。シフトレジスタの長さは、入力 A3、A2、A1、A0 の値によって決定されます。

シフトレジスタの長さは、固定することも、変動させることもできます。

- ・ **固定長のシフトレジスタを作成するには :** 入力 A3 ~ A0 の値を一定の値にします。シフトレジスタは 1 ~ 16 ビットの長さに設定できます。アドレス入力の値によるシフトレジスタの長さは、長さ = $(8 \times A3) + (4 \times A2) + (2 \times A1) + A0 + 1$ という式で算出できます。A3、A2、A1、A0 がすべてゼロの場合 (0000) はシフトレジスタの長さは 1 ビットになり、すべて 1 の場合 (1111) は 16 ビットになります。
- ・ **シフトレジスタ長を動的に変化させるには :** 入力 A3 ~ A0 の値を変化させます。たとえば、A2、A1、A0 がすべて 1 の場合 (111) に A3 を 1 から 0 に切り替えると、シフトレジスタの長さは 16 ビットから 8 ビットに変化します。内部的には、シフトレジスタの長さは常に 16 ビットで、どのビットの値が出力されるかは入力 A3 ~ A0 の値によって決定されます。

シフトレジスタ LUT の初期値を指定するには、INIT 属性に 4 桁の 16 進数を割り当てます。一番左の桁が最上位ビットになります。INIT の値を指定しない場合は、シフトレジスタ LUT の内容はコンフィギュレーション中にゼロ (0000) にクリアされます。

CE が High の場合、クロック (CLK) が High から Low に切り替わるときに、D の値がシフトレジスタの第 1 ビットにロードされます。次にクロックが High から Low に切り替わるときに CE が High の場合、シフトレジスタの値は次の高位ビットにシフトされ、新しい値がロードされます。アドレス入力の値によってシフトレジスタの長さが決まり、Q にその値が出力されます。CE が Low の場合、クロック遷移は無視されます。

論理表

入力				出力
Am	CE	CLK	D	Q
Am	0	X	X	Q(Am)
Am	1	↓	D	Q(Am - 1)
m = 0、1、2、3				

デザインの入力方法

このELEMENTは、回路図で使用されます。

使用可能な属性

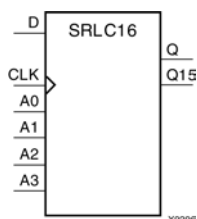
属性	タイプ	値	デフォルト	説明
INIT	16 進数	16 ビット値	すべてゼロ	コンフィギュレーション後のシフトレジスタと出力の初期値を指定

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)

SRLC16

プリミティブ : 16-Bit Shift Register Look-Up Table (LUT) with Carry



概要

このデザイン エLEMENTは、キャリーがあるシフトレジスタ ルックアップ テーブル (LUT) です。シフトレジスタの長さは、入力 A3、A2、A1、A0 の値によって決定されます。

シフトレジスタの長さは、固定することも、変動させることもできます。

- ・ **固定長のシフトレジスタを作成するには :** 入力 A3 ~ A0 の値を一定の値にします。シフトレジスタは 1 ~ 16 ビットの長さに設定できます。アドレス入力の値によるシフトレジスタの長さは、長さ = $(8 \times A3) + (4 \times A2) + (2 \times A1) + A0 + 1$ という式で算出できます。A3、A2、A1、A0 がすべてゼロの場合 (0000) はシフトレジスタの長さは 1 ビットになり、すべて 1 の場合 (1111) は 16 ビットになります。
- ・ **シフトレジスタ長を動的に変化させるには :** 入力 A3 ~ A0 の値を変化させます。たとえば、A2、A1、A0 がすべて 1 の場合 (111) に A3 を 1 から 0 に切り替えると、シフトレジスタの長さは 16 ビットから 8 ビットに変化します。内部的には、シフトレジスタの長さは常に 16 ビットで、どのビットの値が出力されるかは入力 A3 ~ A0 の値によって決定されます。

シフトレジスタ LUT の初期値を指定するには、INIT 属性に 4 桁の 16 進数を割り当てます。一番左の桁が最上位ビットになります。INIT の値を指定しない場合は、シフトレジスタ LUT の内容はコンフィギュレーション中にゼロ (0000) にクリアされます。

クロック (CLK) が Low から High に切り替わるときに、D の値がシフトレジスタの第 1 ビットにロードされます。次にクロックが Low から High に切り替わると、シフトレジスタの値は次の高位ビットにシフトされ、新しい値がロードされます。アドレス入力の値によってシフトレジスタの長さが決まり、Q にその値が出力されます。

メモ : Q15 の出力を使用すると、複数のシフトレジスタ LUT をカスケード接続でき、より大きなシフトレジスタを作成できます。

論理表

入力			出力
Am	CLK	D	Q
Am	X	X	Q(Am)
Am	↑	D	Q(Am - 1)
m = 0、1、2、3			

デザインの入力方法

このELEMENTは、回路図で使用されます。

使用可能な属性

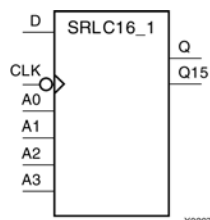
属性	タイプ	値	デフォルト	説明
INIT	16 進数	16 ビット値	すべてゼロ	コンフィギュレーション後のシフトレジスタと出力の初期値を指定

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

SRLC16_1

プリミティブ : 16-Bit Shift Register Look-Up Table (LUT) with Carry and Negative-Edge Clock



概要

このデザイン エLEMENTは、キャリーがあるシフトレジスタ ルックアップ テーブル (LUT) で、クロックの立ち下がりエッジで動作します。シフトレジスタの長さは、入力 A3、A2、A1、A0 の値によって決定されます。

シフトレジスタの長さは、固定することも、変動させることもできます。

- ・ **固定長のシフトレジスタを作成するには :** 入力 A3 ~ A0 の値を一定の値にします。シフトレジスタは 1 ~ 16 ビットの長さに設定できます。アドレス入力の値によるシフトレジスタの長さは、長さ = $(8 \times A3) + (4 \times A2) + (2 \times A1) + A0 + 1$ という式で算出できます。A3、A2、A1、A0 がすべてゼロの場合 (0000) はシフトレジスタの長さは 1 ビットになり、すべて 1 の場合 (1111) は 16 ビットになります。
- ・ **シフトレジスタ長を動的に変化させるには :** 入力 A3 ~ A0 の値を変化させます。たとえば、A2、A1、A0 がすべて 1 の場合 (111) に A3 を 1 から 0 に切り替えると、シフトレジスタの長さは 16 ビットから 8 ビットに変化します。内部的には、シフトレジスタの長さは常に 16 ビットで、どのビットの値が出力されるかは入力 A3 ~ A0 の値によって決定されます。

シフトレジスタ LUT の初期値を指定するには、INIT 属性に 4 桁の 16 進数を割り当てます。一番左の桁が最上位ビットになります。INIT の値を指定しない場合は、シフトレジスタ LUT の内容はコンフィギュレーション中にゼロ (0000) にクリアされます。

メモ : Q15 の出力を使用すると、複数のシフトレジスタ LUT をカスケード接続でき、より大きなシフトレジスタを作成できます。

論理表

入力			出力	
A _m	CLK	D	Q	Q15
A _m	X	X	Q(A _m)	変化なし
A _m	↓	D	Q(A _m - 1)	Q14
m = 0、1、2、3				

デザインの入力方法

このELEMENTは、回路図で使用されます。

使用可能な属性

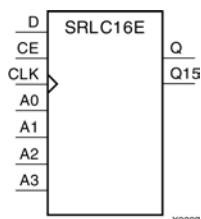
属性	タイプ	値	デフォルト	説明
INIT	16 進数	16 ビット値	すべてゼロ	コンフィギュレーション後のシフトレジスタと出力の初期値を指定

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

SRLC16E

プリミティブ : 16-Bit Shift Register Look-Up Table (LUT) with Carry and Clock Enable



概要

このデザイン エLEMENTは、キャリーとクロック イネーブルがあるシフトレジスタ ルックアップ テーブル (LUT) です。シフトレジスタの長さは、入力 A3、A2、A1、A0 の値によって決定されます。

シフトレジスタの長さは、固定することも、変動させることもできます。

- ・ **固定長のシフトレジスタを作成するには** : 入力 A3 ~ A0 の値を一定の値にします。シフトレジスタは 1 ~ 16 ビットの長さに設定できます。アドレス入力の値によるシフトレジスタの長さは、長さ = $(8 \times A3) + (4 \times A2) + (2 \times A1) + A0 + 1$ という式で算出できます。A3、A2、A1、A0 がすべてゼロの場合 (0000) はシフトレジスタの長さは 1 ビットになり、すべて 1 の場合 (1111) は 16 ビットになります。
- ・ **シフトレジスタ長を動的に変化させるには** : 入力 A3 ~ A0 の値を変化させます。たとえば、A2、A1、A0 がすべて 1 の場合 (111) に A3 を 1 から 0 に切り替えると、シフトレジスタの長さは 16 ビットから 8 ビットに変化します。内部的には、シフトレジスタの長さは常に 16 ビットで、どのビットの値が出力されるかは入力 A3 ~ A0 の値によって決定されます。

シフトレジスタ LUT の初期値を指定するには、INIT 属性に 4 桁の 16 進数を割り当てます。一番左の桁が最上位ビットになります。INIT の値を指定しない場合は、シフトレジスタ LUT の内容はコンフィギュレーション中にゼロ (0000) にクリアされます。

クロック (CLK) が Low から High に切り替わるときに、D の値がシフトレジスタの第 1 ビットにロードされます。次にクロックが Low から High に切り替わるときに CE が High の場合、シフトレジスタの値は次の高位ビットにシフトされ、新しいデータがロードされます。アドレス入力の値によってシフトレジスタの長さが決まり、Q にその値が出力されます。

メモ : Q15 の出力を使用すると、複数のシフトレジスタ LUT をカスケード接続でき、より大きなシフトレジスタを作成できます。

論理表

入力				出力	
Am	CLK	CE	D	Q	Q15
Am	X	0	X	Q(Am)	Q(15)
Am	X	1	X	Q(Am)	Q(15)
Am	↑	1	D	Q(Am - 1)	Q15
m = 0、1、2、3					

デザインの入力方法

このELEMENTは、回路図で使用されます。

使用可能な属性

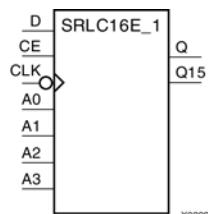
属性	タイプ	値	デフォルト	説明
INIT	16 進数	16 ビット値	すべてゼロ	コンフィギュレーション後のシフトレジスタと出力の初期値を指定

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)

SRLC16E_1

プリミティブ : 16-Bit Shift Register Look-Up Table (LUT) with Carry, Negative-Edge Clock, and Clock Enable



概要

このデザイン エLEMENTは、キャリーおよびクロック イネーブルがあるシフトレジスタ ルックアップ テーブル (LUT) で、クロックの立ち下がりがエッジで動作します。シフトレジスタの長さは、入力 A3、A2、A1、A0 の値によって決定されます。

シフトレジスタの長さは、固定することも、変動させることもできます。

- ・ **固定長のシフトレジスタを作成するには :** 入力 A3 ~ A0 の値を一定の値にします。シフトレジスタは 1 ~ 16 ビットの長さに設定できます。アドレス入力の値によるシフトレジスタの長さは、長さ = $(8 \times A3) + (4 \times A2) + (2 \times A1) + A0 + 1$ という式で算出できます。A3、A2、A1、A0 がすべてゼロの場合 (0000) はシフトレジスタの長さは 1 ビットになり、すべて 1 の場合 (1111) は 16 ビットになります。
- ・ **シフトレジスタ長を動的に変化させるには :** 入力 A3 ~ A0 の値を変化させます。たとえば、A2、A1、A0 がすべて 1 の場合 (111) に A3 を 1 から 0 に切り替えると、シフトレジスタの長さは 16 ビットから 8 ビットに変化します。内部的には、シフトレジスタの長さは常に 16 ビットで、どのビットの値が出力されるかは入力 A3 ~ A0 の値によって決定されます。

シフトレジスタ LUT の初期値を指定するには、INIT 属性に 4 桁の 16 進数を割り当てます。一番左の桁が最上位ビットになります。INIT の値を指定しない場合は、シフトレジスタ LUT の内容はコンフィギュレーション中にゼロ (0000) にクリアされます。

CE が High の場合、クロック (CLK) が High から Low に切り替わるときに、D の値がシフトレジスタの第 1 ビットにロードされます。次にクロックが High から Low に切り替わるときに CE が High の場合、シフトレジスタの値は次の高位ビットにシフトされ、新しい値がロードされます。アドレス入力の値によってシフトレジスタの長さが決まり、Q にその値が出力されます。

メモ : Q15 の出力を使用すると、複数のシフトレジスタ LUT をカスケード接続でき、より大きなシフトレジスタを作成できます。

論理表

入力				出力	
Am	CE	CLK	D	Q	Q15
Am	0	X	X	Q(Am)	変化なし
Am	1	X	X	Q(Am)	変化なし
Am	1	↓	D	Q(Am-1)	Q14
m = 0、1、2、3					

デザインの入力方法

このELEMENTは、回路図で使用されます。

使用可能な属性

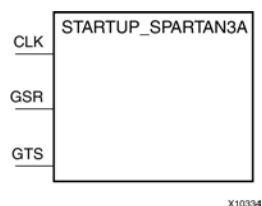
属性	タイプ	値	デフォルト	説明
INIT	16 進数	16 ビット値	すべてゼロ	コンフィギュレーション後のシフトレジスタと出力の初期値を指定

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

STARTUP_SPARTAN3A

プリミティブ : Spartan®-3A Global Set/Reset, Global 3-State and Configuration Start-Up Clock Interface



概要

このデザイン エLEMENTは、デバイス ピンおよびグローバル セット/リセット (GSR) 信号へのロジックにインターフェイスするため、または専用配線のために使用します。また、デバイスのコンフィギュレーションの終了時に、スタートアップ シーケンスに別のクロックを指定することもできます。

ポートの説明

ポート名	方向	幅	機能
GSR	入力	1	グローバル セット /リセット (GSR) 配線への入力接続
GTS	入力	1	グローバル トライステート (GTS) 配線への入力接続
CLK	入力	1	コンフィギュレーション スタートアップ シーケンス クロック (GSR) 配線への入力接続

デザインの入力方法

このELEMENTは、回路図で使用されます。

専用の GSR 回路はソース ピンまたはロジックを GSR ピンに接続すれば使用できますが、このコンポーネントの GSR 回路の使用には、特別の注意が必要です。GSR ネットのスキューは確定できないので、セット/リセット信号の一般配線を使用して、配線遅延とスキューをデザインのタイミング解析の一部として計算できるようにするか、クロック サイクルのリリース時にスキューが回路の動作を邪魔しないような回避策をとってください。

同様に、専用のグローバル トライステートが使用される場合は、適切なソース ピンまたはロジックをこのプリミティブの GTS 入力ピンに接続します。コンフィギュレーションのスタートアップ シーケンスのクロックを指定するには、デザインからのクロックをこのデザイン ELEMENTの CLK ピンに接続します。

詳細情報

- [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- [Spartan-3A FPGA ファミリー データシート](#)

VCC

プリミティブ : VCC-Connection Signal Tag



概要

このデザイン エLEMENTは信号タグまたはパラメータであり、ネットや入力ファンクションを強制的に High にします。このELEMENTに接続したネットを、ほかのソースに接続することはできません。

配置配線のプロセスで VCC に接続されたネットまたは入力ファンクションが検出されると、VCC 信号でディスエーブルになるロジックは削除されます。VCC 信号は、ディスエーブルされたロジックが削除できない場合のみインプリメントされます。

デザインの入力方法

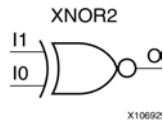
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

XNOR2

プリミティブ : 2-Input XNOR Gate with Non-Inverted Inputs



概要

XNOR ファンクションには入力が 9 個のものまでありますが、入力はすべて非反転入力です。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

論理表

入力	出力
I0 ... Iz	O
奇数個の 1	0
偶数個の 1	1

デザインの入力方法

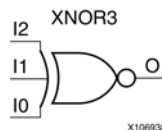
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

XNOR3

プリミティブ : 3-Input XNOR Gate with Non-Inverted Inputs



概要

XNOR ファンクションには入力が 9 個のものまでありますが、入力はすべて非反転入力です。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

論理表

入力	出力
I0 ... I2	O
奇数個の 1	0
偶数個の 1	1

デザインの入力方法

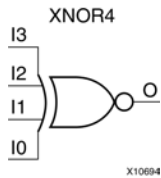
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)

XNOR4

プリミティブ : 4-Input XNOR Gate with Non-Inverted Inputs



概要

XNOR ファンクションには入力 が 9 個のものまでありますが、入力はすべて非反転入力です。各入力 で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

論理表

入力	出力
I0 ... Iz	O
奇数個の 1	0
偶数個の 1	1

デザインの入力方法

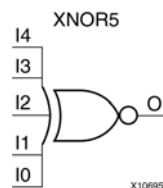
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

XNOR5

プリミティブ : 5-Input XNOR Gate with Non-Inverted Inputs



概要

XNOR ファンクションには入力 が 9 個のものまでがありますが、入力はすべて非反転入力です。各入力 で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

論理表

入力	出力
I0 ... Iz	O
奇数個の 1	0
偶数個の 1	1

デザインの入力方法

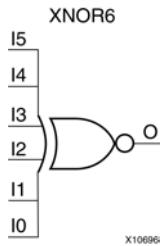
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

XNOR6

マクロ : 6-Input XNOR Gate with Non-Inverted Inputs



概要

XNOR ファンクションには入力が 9 個のものまでありますが、入力はすべて非反転入力です。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

論理表

入力	出力
I0 ... Iz	O
奇数個の 1	0
偶数個の 1	1

デザインの入力方法

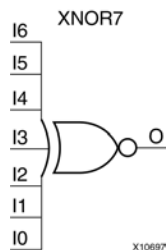
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)

XNOR7

マクロ : 7-Input XNOR Gate with Non-Inverted Inputs



概要

XNOR ファンクションには入力 が 9 個のものまでありますが、入力はすべて非反転入力です。各入力 で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

論理表

入力	出力
I0 ... I _z	O
奇数個の 1	0
偶数個の 1	1

デザインの入力方法

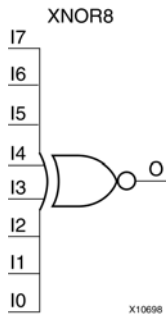
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

XNOR8

マクロ : 8-Input XNOR Gate with Non-Inverted Inputs



概要

XNOR ファンクションには入力 が 9 個のものまでありますが、入力はすべて非反転入力です。各入力 で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

論理表

入力	出力
I0 ... Iz	O
奇数個の 1	0
偶数個の 1	1

デザインの入力方法

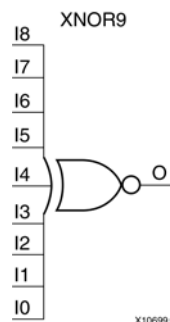
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

XNOR9

マクロ : 9-Input XNOR Gate with Non-Inverted Inputs



概要

XNOR ファンクションには入力が 9 個のものまでありますが、入力はすべて非反転入力です。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

論理表

入力	出力
I0 ... I _z	O
奇数個の 1	0
偶数個の 1	1

デザインの入力方法

このエレメントは、回路図でのみ使用できます。

詳細情報

- [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- [Spartan-3A FPGA ファミリ データシート](#)

XOR2

プリミティブ : 2-Input XOR Gate with Non-Inverted Inputs



概要

XOR ファンクションには入力が 9 個のものまでありますが、入力はすべて非反転入力です。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

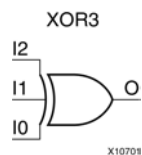
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)

XOR3

プリミティブ : 3-Input XOR Gate with Non-Inverted Inputs



概要

XOR ファンクションには入力 9 個のものまでありますが、入力はすべて非反転入力です。各入力に CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

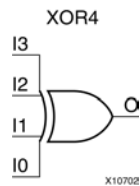
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

XOR4

プリミティブ : 4-Input XOR Gate with Non-Inverted Inputs



概要

XOR ファンクションには入力が 9 個のものまでありますが、入力はすべて非反転入力です。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

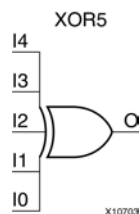
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

XOR5

プリミティブ : 5-Input XOR Gate with Non-Inverted Inputs



概要

XOR ファンクションには入力が 9 個のものまでありますが、入力はすべて非反転入力です。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

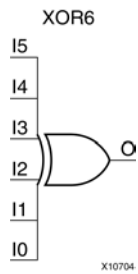
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)

XOR6

マクロ : 6-Input XOR Gate with Non-Inverted Inputs



概要

XOR ファンクションには入力 9 個のものまでがありますが、入力はすべて非反転入力です。各入力に CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

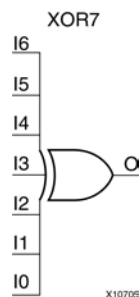
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

XOR7

マクロ : 7-Input XOR Gate with Non-Inverted Inputs



概要

XOR ファンクションには入力 9 個のものまでがありますが、入力はすべて非反転入力です。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

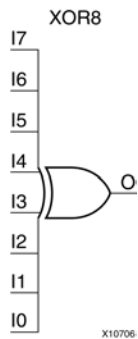
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

XOR8

マクロ : 8-Input XOR Gate with Non-Inverted Inputs



概要

XOR ファンクションには入力 9 個のものまでがありますが、入力はすべて非反転入力です。各入力に CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

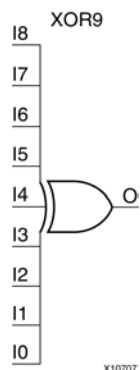
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

XOR9

マクロ : 9-Input XOR Gate with Non-Inverted Inputs



概要

XOR ファンクションには入力 9 個のものまでがありますが、入力はすべて非反転入力です。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

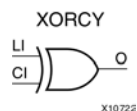
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

XORCY

プリミティブ : XOR for Carry Logic with General Output



概要

このデザイン エLEMENTは、一般出力 (O) のある特殊な XOR ゲートで、高速で小型の演算ファンクションを生成するために使用します。このプリミティブは、スライスのキャリーチェーン ロジック内の専用 XOR ファンクションで、演算ファンクション (加算または除算) または多入力ロジック ファンクション (多入力 AND または OR ゲート) を高速かつ効率的に作成できます。

論理表

入力		出力
LI	CI	O
0	0	0
0	1	1
1	0	1
1	1	0

デザインの入力方法

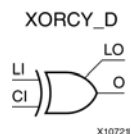
このELEMENTは、回路図で使用されます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

XORCY_D

プリミティブ : XOR for Carry Logic with Dual Output



概要

このデザイン エLEMENTは、一般出力 (O) とローカル出力 (LO) のある特殊な XOR ゲートで、高速で小型の演算ファンクションを生成するために使用します。

論理表

入力		出力
LI	CI	O および LO
0	0	0
0	1	1
1	0	1
1	1	0

デザインの入力方法

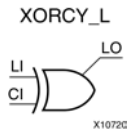
このELEMENTは、回路図で使用されます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)

XORCY_L

プリミティブ : XOR for Carry Logic with Local Output



概要

このデザイン エLEMENTは、ローカル出力 (LO) のある特殊な XOR ゲートで、高速で小型の演算ファンクションを生成するために使用します。

論理表

入力		出力
LI	CI	LO
0	0	0
0	1	1
1	0	1
1	1	0

デザインの入力方法

このELEMENTは、回路図で使用されます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)