

Spartan-6 ライブラリ ガイド（回路図用）

UG616 (v11.4) 2009 年 12 月 2 日

ザイリンクス商標および著作権情報



Xilinx is disclosing this user guide, manual, release note, and/or specification (the “Documentation”) to you solely for use in the development of designs to operate with Xilinx hardware devices. You may not reproduce, distribute, republish, download, display, post, or transmit the Documentation in any form or by any means including, but not limited to, electronic, mechanical, photocopying, recording, or otherwise, without the prior written consent of Xilinx. Xilinx expressly disclaims any liability arising out of your use of the Documentation. Xilinx reserves the right, at its sole discretion, to change the Documentation without notice at any time. Xilinx assumes no obligation to correct any errors contained in the Documentation, or to advise you of any corrections or updates. Xilinx expressly disclaims any liability in connection with technical support or assistance that may be provided to you in connection with the Information.

THE DOCUMENTATION IS DISCLOSED TO YOU “AS-IS” WITH NO WARRANTY OF ANY KIND. XILINX MAKES NO OTHER WARRANTIES, WHETHER EXPRESS, IMPLIED, OR STATUTORY, REGARDING THE DOCUMENTATION, INCLUDING ANY WARRANTIES OF MERCHANTABILITY, FITNESS FOR A PARTICULAR PURPOSE, OR NONINFRINGEMENT OF THIRD-PARTY RIGHTS. IN NO EVENT WILL XILINX BE LIABLE FOR ANY CONSEQUENTIAL, INDIRECT, EXEMPLARY, SPECIAL, OR INCIDENTAL DAMAGES, INCLUDING ANY LOSS OF DATA OR LOST PROFITS, ARISING FROM YOUR USE OF THE DOCUMENTATION.

© Copyright 2002–2009 Xilinx Inc. All Rights Reserved. XILINX, the Xilinx logo, the Brand Window and other designated brands included herein are trademarks of Xilinx, Inc. All other trademarks are the property of their respective owners. The PowerPC name and logo are registered trademarks of IBM Corp., and used under license. All other trademarks are the property of their respective owners.

本資料は英語版 (v.11.4) を翻訳したもので、内容に相違が生じる場合には原文を優先します。
資料によっては英語版の更新に対応していないものがあります。
日本語版は参考用としてご使用の上、最新情報につきましては、必ず最新英語版をご参照ください。

目次

| | |
|------------------------|----|
| ザイリンクス商標および著作権情報 | 2 |
| 1: このマニュアルについて | 53 |
| デザイン エLEMENT | 53 |
| 2: ファンクション別分類 | 55 |
| 3: デザイン エLEMENT | 75 |
| ACC16 | 76 |
| サポートされているアーキテクチャ | 76 |
| 概要 | 76 |
| 論理表 | 77 |
| デザインの入力方法 | 77 |
| 詳細情報 | 78 |
| ACC4 | 79 |
| サポートされているアーキテクチャ | 79 |
| 概要 | 79 |
| 論理表 | 80 |
| デザインの入力方法 | 80 |
| 詳細情報 | 81 |
| ACC8 | 82 |
| サポートされているアーキテクチャ | 82 |
| 概要 | 82 |
| 論理表 | 83 |
| デザインの入力方法 | 83 |
| 詳細情報 | 84 |
| ADD16 | 85 |
| サポートされているアーキテクチャ | 85 |
| 概要 | 85 |
| 論理表 | 85 |
| デザインの入力方法 | 86 |
| 詳細情報 | 86 |
| ADD4 | 87 |
| サポートされているアーキテクチャ | 87 |
| 概要 | 87 |
| 論理表 | 87 |
| デザインの入力方法 | 88 |
| 詳細情報 | 88 |
| ADD8 | 89 |
| サポートされているアーキテクチャ | 89 |
| 概要 | 89 |
| 論理表 | 89 |
| デザインの入力方法 | 90 |
| 詳細情報 | 90 |
| ADSU16 | 91 |
| サポートされているアーキテクチャ | 91 |
| 概要 | 91 |
| 論理表 | 91 |
| デザインの入力方法 | 93 |
| 詳細情報 | 93 |
| ADSU4 | 94 |
| サポートされているアーキテクチャ | 94 |
| 概要 | 94 |
| 論理表 | 95 |
| デザインの入力方法 | 95 |
| 詳細情報 | 96 |
| ADSU8 | 97 |
| サポートされているアーキテクチャ | 97 |

| | |
|-----------------------|-----|
| 概要..... | 97 |
| 論理表..... | 97 |
| デザインの入力方法..... | 98 |
| 詳細情報..... | 98 |
| AND12..... | 99 |
| サポートされているアーキテクチャ..... | 99 |
| 概要..... | 99 |
| デザインの入力方法..... | 99 |
| 詳細情報..... | 100 |
| AND16..... | 101 |
| サポートされているアーキテクチャ..... | 101 |
| 概要..... | 101 |
| デザインの入力方法..... | 101 |
| 詳細情報..... | 102 |
| AND2..... | 103 |
| サポートされているアーキテクチャ..... | 103 |
| 概要..... | 103 |
| デザインの入力方法..... | 103 |
| 詳細情報..... | 104 |
| AND2B1..... | 105 |
| サポートされているアーキテクチャ..... | 105 |
| 概要..... | 105 |
| デザインの入力方法..... | 105 |
| 詳細情報..... | 106 |
| AND2B1L..... | 107 |
| サポートされているアーキテクチャ..... | 107 |
| 概要..... | 107 |
| 論理表..... | 107 |
| ポートの説明..... | 107 |
| デザインの入力方法..... | 107 |
| 詳細情報..... | 108 |
| AND2B2..... | 109 |
| サポートされているアーキテクチャ..... | 109 |
| 概要..... | 109 |
| デザインの入力方法..... | 109 |
| 詳細情報..... | 110 |
| AND3..... | 111 |
| サポートされているアーキテクチャ..... | 111 |
| 概要..... | 111 |
| デザインの入力方法..... | 111 |
| 詳細情報..... | 112 |
| AND3B1..... | 113 |
| サポートされているアーキテクチャ..... | 113 |
| 概要..... | 113 |
| デザインの入力方法..... | 113 |
| 詳細情報..... | 114 |
| AND3B2..... | 115 |
| サポートされているアーキテクチャ..... | 115 |
| 概要..... | 115 |
| デザインの入力方法..... | 115 |
| 詳細情報..... | 116 |
| AND3B3..... | 117 |
| サポートされているアーキテクチャ..... | 117 |
| 概要..... | 117 |
| デザインの入力方法..... | 117 |
| 詳細情報..... | 118 |
| AND4..... | 119 |
| サポートされているアーキテクチャ..... | 119 |
| 概要..... | 119 |

| | |
|-----------------------|-----|
| デザインの入力方法..... | 119 |
| 詳細情報 | 120 |
| AND4B1 | 121 |
| サポートされているアーキテクチャ..... | 121 |
| 概要..... | 121 |
| デザインの入力方法..... | 121 |
| 詳細情報 | 122 |
| AND4B2 | 123 |
| サポートされているアーキテクチャ..... | 123 |
| 概要..... | 123 |
| デザインの入力方法..... | 123 |
| 詳細情報 | 124 |
| AND4B3 | 125 |
| サポートされているアーキテクチャ..... | 125 |
| 概要..... | 125 |
| デザインの入力方法..... | 125 |
| 詳細情報 | 126 |
| AND4B4 | 127 |
| サポートされているアーキテクチャ..... | 127 |
| 概要..... | 127 |
| デザインの入力方法..... | 127 |
| 詳細情報 | 128 |
| AND5..... | 129 |
| サポートされているアーキテクチャ..... | 129 |
| 概要..... | 129 |
| デザインの入力方法..... | 129 |
| 詳細情報 | 130 |
| AND5B1 | 131 |
| サポートされているアーキテクチャ..... | 131 |
| 概要..... | 131 |
| デザインの入力方法..... | 131 |
| 詳細情報 | 132 |
| AND5B2 | 133 |
| サポートされているアーキテクチャ..... | 133 |
| 概要..... | 133 |
| デザインの入力方法..... | 133 |
| 詳細情報 | 134 |
| AND5B3 | 135 |
| サポートされているアーキテクチャ..... | 135 |
| 概要..... | 135 |
| デザインの入力方法..... | 135 |
| 詳細情報 | 136 |
| AND5B4 | 137 |
| サポートされているアーキテクチャ..... | 137 |
| 概要..... | 137 |
| デザインの入力方法..... | 137 |
| 詳細情報 | 138 |
| AND5B5 | 139 |
| サポートされているアーキテクチャ..... | 139 |
| 概要..... | 139 |
| デザインの入力方法..... | 139 |
| 詳細情報 | 140 |
| AND6..... | 141 |
| サポートされているアーキテクチャ..... | 141 |
| 概要..... | 141 |
| デザインの入力方法..... | 141 |
| 詳細情報 | 142 |
| AND7..... | 143 |
| サポートされているアーキテクチャ..... | 143 |

| | |
|-----------------------|-----|
| 概要..... | 143 |
| デザインの入力方法..... | 143 |
| 詳細情報 | 144 |
| AND8..... | 145 |
| サポートされているアーキテクチャ..... | 145 |
| 概要..... | 145 |
| デザインの入力方法..... | 145 |
| 詳細情報 | 146 |
| AND9..... | 147 |
| サポートされているアーキテクチャ..... | 147 |
| 概要..... | 147 |
| デザインの入力方法..... | 147 |
| 詳細情報 | 148 |
| BRLSHFT4 | 149 |
| サポートされているアーキテクチャ..... | 149 |
| 概要..... | 149 |
| 論理表..... | 149 |
| デザインの入力方法..... | 149 |
| 詳細情報 | 150 |
| BRLSHFT8 | 151 |
| サポートされているアーキテクチャ..... | 151 |
| 概要..... | 151 |
| 論理表..... | 152 |
| デザインの入力方法..... | 152 |
| 詳細情報 | 152 |
| BSCAN_SPARTAN6 | 153 |
| サポートされているアーキテクチャ..... | 153 |
| 概要..... | 153 |
| ポートの説明 | 154 |
| デザインの入力方法..... | 154 |
| 使用可能な属性..... | 154 |
| 詳細情報 | 155 |
| BUF..... | 156 |
| サポートされているアーキテクチャ..... | 156 |
| 概要..... | 156 |
| デザインの入力方法..... | 156 |
| 詳細情報 | 157 |
| BUFCF | 158 |
| サポートされているアーキテクチャ..... | 158 |
| 概要..... | 158 |
| デザインの入力方法..... | 158 |
| 詳細情報 | 159 |
| BUFG | 160 |
| サポートされているアーキテクチャ..... | 160 |
| 概要..... | 160 |
| ポートの説明 | 160 |
| デザインの入力方法..... | 160 |
| 詳細情報 | 161 |
| BUFGCE | 162 |
| サポートされているアーキテクチャ..... | 162 |
| 概要..... | 162 |
| 論理表..... | 162 |
| デザインの入力方法..... | 162 |
| 詳細情報 | 163 |
| BUFGCE_1 | 164 |
| サポートされているアーキテクチャ..... | 164 |
| 概要..... | 164 |
| 論理表..... | 164 |
| デザインの入力方法..... | 164 |

| | |
|-----------------------|-----|
| 詳細情報 | 165 |
| BUFGMUX | 166 |
| サポートされているアーキテクチャ..... | 166 |
| 概要..... | 166 |
| 論理表..... | 166 |
| ポートの説明 | 166 |
| デザインの入力方法..... | 167 |
| 使用可能な属性..... | 167 |
| 詳細情報 | 168 |
| BUFGMUX_1..... | 169 |
| サポートされているアーキテクチャ..... | 169 |
| 概要..... | 169 |
| 論理表..... | 169 |
| デザインの入力方法..... | 169 |
| 詳細情報 | 170 |
| BUFH | 171 |
| サポートされているアーキテクチャ..... | 171 |
| 概要..... | 171 |
| ポートの説明 | 171 |
| デザインの入力方法..... | 171 |
| 詳細情報 | 172 |
| BUFIO2..... | 173 |
| サポートされているアーキテクチャ..... | 173 |
| 概要..... | 173 |
| ポートの説明 | 173 |
| デザインの入力方法..... | 173 |
| 使用可能な属性..... | 173 |
| 詳細情報 | 174 |
| BUFIO2_CLK..... | 175 |
| サポートされているアーキテクチャ..... | 175 |
| 概要..... | 175 |
| デザインの入力方法..... | 175 |
| 詳細情報 | 175 |
| BUFIO2_FB..... | 176 |
| サポートされているアーキテクチャ..... | 176 |
| 概要..... | 176 |
| ポートの説明 | 176 |
| デザインの入力方法..... | 176 |
| 使用可能な属性..... | 176 |
| 詳細情報 | 177 |
| BUFPLL | 178 |
| サポートされているアーキテクチャ..... | 178 |
| 概要..... | 178 |
| ポートの説明 | 178 |
| デザインの入力方法..... | 178 |
| 使用可能な属性..... | 178 |
| 詳細情報 | 179 |
| CARRY4..... | 180 |
| サポートされているアーキテクチャ..... | 180 |
| 概要..... | 180 |
| ポートの説明 | 180 |
| デザインの入力方法..... | 181 |
| 詳細情報 | 181 |
| CB16CE..... | 182 |
| サポートされているアーキテクチャ..... | 182 |
| 概要..... | 182 |
| 論理表..... | 183 |
| デザインの入力方法..... | 183 |
| 詳細情報 | 183 |

| | |
|-----------------------|-----|
| CB16CLE | 184 |
| サポートされているアーキテクチャ..... | 184 |
| 概要..... | 184 |
| 論理表..... | 185 |
| デザインの入力方法..... | 185 |
| 詳細情報 | 185 |
| CB16CLED | 186 |
| サポートされているアーキテクチャ..... | 186 |
| 概要..... | 186 |
| 論理表..... | 187 |
| デザインの入力方法..... | 187 |
| 詳細情報 | 187 |
| CB16RE | 188 |
| サポートされているアーキテクチャ..... | 188 |
| 概要..... | 188 |
| 論理表..... | 189 |
| デザインの入力方法..... | 189 |
| 詳細情報 | 189 |
| CB2CE..... | 190 |
| サポートされているアーキテクチャ..... | 190 |
| 概要..... | 190 |
| 論理表..... | 191 |
| デザインの入力方法..... | 191 |
| 詳細情報 | 191 |
| CB2CLE..... | 192 |
| サポートされているアーキテクチャ..... | 192 |
| 概要..... | 192 |
| 論理表..... | 193 |
| デザインの入力方法..... | 193 |
| 詳細情報 | 193 |
| CB2CLED..... | 194 |
| サポートされているアーキテクチャ..... | 194 |
| 概要..... | 194 |
| 論理表..... | 195 |
| デザインの入力方法..... | 195 |
| 詳細情報 | 195 |
| CB2RE | 196 |
| サポートされているアーキテクチャ..... | 196 |
| 概要..... | 196 |
| 論理表..... | 197 |
| デザインの入力方法..... | 197 |
| 詳細情報 | 197 |
| CB4CE..... | 198 |
| サポートされているアーキテクチャ..... | 198 |
| 概要..... | 198 |
| 論理表..... | 199 |
| デザインの入力方法..... | 199 |
| 詳細情報 | 199 |
| CB4CLE..... | 200 |
| サポートされているアーキテクチャ..... | 200 |
| 概要..... | 200 |
| 論理表..... | 201 |
| デザインの入力方法..... | 201 |
| 詳細情報 | 201 |
| CB4CLED..... | 202 |
| サポートされているアーキテクチャ..... | 202 |
| 概要..... | 202 |
| 論理表..... | 203 |
| デザインの入力方法..... | 203 |

| | |
|-----------------------|-----|
| 詳細情報 | 203 |
| CB4RE | 204 |
| サポートされているアーキテクチャ..... | 204 |
| 概要..... | 204 |
| 論理表..... | 205 |
| デザインの入力方法..... | 205 |
| 詳細情報 | 205 |
| CB8CE..... | 206 |
| サポートされているアーキテクチャ..... | 206 |
| 概要..... | 206 |
| 論理表..... | 207 |
| デザインの入力方法..... | 207 |
| 詳細情報 | 207 |
| CB8CLE..... | 208 |
| サポートされているアーキテクチャ..... | 208 |
| 概要..... | 208 |
| 論理表..... | 209 |
| デザインの入力方法..... | 209 |
| 詳細情報 | 209 |
| CB8CLED..... | 210 |
| サポートされているアーキテクチャ..... | 210 |
| 概要..... | 210 |
| 論理表..... | 211 |
| デザインの入力方法..... | 211 |
| 詳細情報 | 211 |
| CB8RE | 212 |
| サポートされているアーキテクチャ..... | 212 |
| 概要..... | 212 |
| 論理表..... | 213 |
| デザインの入力方法..... | 213 |
| 詳細情報 | 213 |
| CC16CE..... | 214 |
| サポートされているアーキテクチャ..... | 214 |
| 概要..... | 214 |
| 論理表..... | 215 |
| デザインの入力方法..... | 215 |
| 詳細情報 | 215 |
| CC16CLE..... | 216 |
| サポートされているアーキテクチャ..... | 216 |
| 概要..... | 216 |
| 論理表..... | 217 |
| デザインの入力方法..... | 217 |
| 詳細情報 | 217 |
| CC16CLED..... | 218 |
| サポートされているアーキテクチャ..... | 218 |
| 概要..... | 218 |
| 論理表..... | 219 |
| デザインの入力方法..... | 219 |
| 詳細情報 | 219 |
| CC16RE | 220 |
| サポートされているアーキテクチャ..... | 220 |
| 概要..... | 220 |
| 論理表..... | 221 |
| デザインの入力方法..... | 221 |
| 詳細情報 | 221 |
| CC8CE | 222 |
| サポートされているアーキテクチャ..... | 222 |
| 概要..... | 222 |
| 論理表..... | 223 |

| | |
|-----------------------|-----|
| デザインの入力方法..... | 223 |
| 詳細情報 | 223 |
| CC8CLE..... | 224 |
| サポートされているアーキテクチャ..... | 224 |
| 概要..... | 224 |
| 論理表..... | 225 |
| デザインの入力方法..... | 225 |
| 詳細情報 | 225 |
| CC8CLED | 226 |
| サポートされているアーキテクチャ..... | 226 |
| 概要..... | 226 |
| 論理表..... | 227 |
| デザインの入力方法..... | 227 |
| 詳細情報 | 227 |
| CC8RE..... | 228 |
| サポートされているアーキテクチャ..... | 228 |
| 概要..... | 228 |
| 論理表..... | 229 |
| デザインの入力方法..... | 229 |
| 詳細情報 | 229 |
| CD4CE | 230 |
| サポートされているアーキテクチャ..... | 230 |
| 概要..... | 230 |
| 論理表..... | 231 |
| デザインの入力方法..... | 231 |
| 詳細情報 | 232 |
| CD4CLE..... | 233 |
| サポートされているアーキテクチャ..... | 233 |
| 概要..... | 233 |
| 論理表..... | 234 |
| デザインの入力方法..... | 234 |
| 詳細情報 | 235 |
| CD4RE | 236 |
| サポートされているアーキテクチャ..... | 236 |
| 概要..... | 236 |
| 論理表..... | 237 |
| デザインの入力方法..... | 237 |
| 詳細情報 | 237 |
| CD4RLE | 238 |
| サポートされているアーキテクチャ..... | 238 |
| 概要..... | 238 |
| 論理表..... | 239 |
| デザインの入力方法..... | 239 |
| 詳細情報 | 240 |
| CFGLUT5 | 241 |
| サポートされているアーキテクチャ..... | 241 |
| 概要..... | 241 |
| ポートの説明 | 241 |
| デザインの入力方法..... | 242 |
| 使用可能な属性..... | 242 |
| 詳細情報 | 243 |
| CJ4CE | 244 |
| サポートされているアーキテクチャ..... | 244 |
| 概要..... | 244 |
| 論理表..... | 245 |
| デザインの入力方法..... | 245 |
| 詳細情報 | 245 |
| CJ4RE..... | 246 |
| サポートされているアーキテクチャ..... | 246 |

| | |
|-----------------------|-----|
| 概要..... | 246 |
| 論理表..... | 247 |
| デザインの入力方法..... | 247 |
| 詳細情報 | 247 |
| CJ5CE | 248 |
| サポートされているアーキテクチャ..... | 248 |
| 概要..... | 248 |
| 論理表..... | 249 |
| デザインの入力方法..... | 249 |
| 詳細情報 | 249 |
| CJ5RE..... | 250 |
| サポートされているアーキテクチャ..... | 250 |
| 概要..... | 250 |
| 論理表..... | 251 |
| デザインの入力方法..... | 251 |
| 詳細情報 | 251 |
| CJ8CE | 252 |
| サポートされているアーキテクチャ..... | 252 |
| 概要..... | 252 |
| 論理表..... | 252 |
| デザインの入力方法..... | 253 |
| 詳細情報 | 253 |
| CJ8RE..... | 254 |
| サポートされているアーキテクチャ..... | 254 |
| 概要..... | 254 |
| 論理表..... | 254 |
| デザインの入力方法..... | 255 |
| 詳細情報 | 255 |
| COMP16 | 256 |
| サポートされているアーキテクチャ..... | 256 |
| 概要..... | 256 |
| デザインの入力方法..... | 256 |
| 詳細情報 | 257 |
| COMP2 | 258 |
| サポートされているアーキテクチャ..... | 258 |
| 概要..... | 258 |
| デザインの入力方法..... | 258 |
| 詳細情報 | 259 |
| COMP4 | 260 |
| サポートされているアーキテクチャ..... | 260 |
| 概要..... | 260 |
| デザインの入力方法..... | 260 |
| 詳細情報 | 261 |
| COMP8..... | 262 |
| サポートされているアーキテクチャ..... | 262 |
| 概要..... | 262 |
| デザインの入力方法..... | 262 |
| 詳細情報 | 263 |
| COMPM16..... | 264 |
| サポートされているアーキテクチャ..... | 264 |
| 概要..... | 264 |
| 論理表..... | 265 |
| デザインの入力方法..... | 265 |
| 詳細情報 | 265 |
| COMPM2 | 266 |
| サポートされているアーキテクチャ..... | 266 |
| 概要..... | 266 |
| 論理表..... | 266 |
| デザインの入力方法..... | 267 |

| | |
|-----------------------|-----|
| 詳細情報 | 267 |
| COMPM4 | 268 |
| サポートされているアーキテクチャ..... | 268 |
| 概要..... | 268 |
| 論理表..... | 269 |
| デザインの入力方法..... | 269 |
| 詳細情報 | 269 |
| COMPM8 | 270 |
| サポートされているアーキテクチャ..... | 270 |
| 概要..... | 270 |
| 論理表..... | 271 |
| デザインの入力方法..... | 271 |
| 詳細情報 | 271 |
| COMPMC16 | 272 |
| サポートされているアーキテクチャ..... | 272 |
| 概要..... | 272 |
| 論理表..... | 273 |
| デザインの入力方法..... | 273 |
| 詳細情報 | 273 |
| COMPMC8 | 274 |
| サポートされているアーキテクチャ..... | 274 |
| 概要..... | 274 |
| 論理表..... | 275 |
| デザインの入力方法..... | 275 |
| 詳細情報 | 275 |
| CR16CE | 276 |
| サポートされているアーキテクチャ..... | 276 |
| 概要..... | 276 |
| 論理表..... | 276 |
| デザインの入力方法..... | 277 |
| 詳細情報 | 277 |
| CR8CE..... | 278 |
| サポートされているアーキテクチャ..... | 278 |
| 概要..... | 278 |
| 論理表..... | 278 |
| デザインの入力方法..... | 279 |
| 詳細情報 | 279 |
| D2_4E | 280 |
| サポートされているアーキテクチャ..... | 280 |
| 概要..... | 280 |
| 論理表..... | 280 |
| デザインの入力方法..... | 280 |
| 詳細情報 | 281 |
| D3_8E | 282 |
| サポートされているアーキテクチャ..... | 282 |
| 概要..... | 282 |
| 論理表..... | 282 |
| デザインの入力方法..... | 283 |
| 詳細情報 | 283 |
| D4_16E..... | 284 |
| サポートされているアーキテクチャ..... | 284 |
| 概要..... | 284 |
| デザインの入力方法..... | 284 |
| 詳細情報 | 285 |
| DCM_CLKGEN..... | 286 |
| サポートされているアーキテクチャ..... | 286 |
| 概要..... | 286 |
| ポートの説明 | 286 |
| デザインの入力方法..... | 287 |

| | |
|-----------------------|-----|
| 使用可能な属性..... | 287 |
| 詳細情報 | 289 |
| DCM_SP | 290 |
| サポートされているアーキテクチャ..... | 290 |
| 概要..... | 290 |
| ポートの説明 | 290 |
| デザインの入力方法..... | 291 |
| 使用可能な属性..... | 291 |
| 詳細情報 | 295 |
| DEC_CC16..... | 296 |
| サポートされているアーキテクチャ..... | 296 |
| 概要..... | 296 |
| 論理表..... | 297 |
| デザインの入力方法..... | 297 |
| 詳細情報 | 297 |
| DEC_CC4 | 298 |
| サポートされているアーキテクチャ..... | 298 |
| 概要..... | 298 |
| 論理表..... | 298 |
| デザインの入力方法..... | 298 |
| 詳細情報 | 299 |
| DEC_CC8 | 300 |
| サポートされているアーキテクチャ..... | 300 |
| 概要..... | 300 |
| 論理表..... | 300 |
| デザインの入力方法..... | 301 |
| 詳細情報 | 301 |
| DECODE16 | 302 |
| サポートされているアーキテクチャ..... | 302 |
| 概要..... | 302 |
| 論理表..... | 302 |
| デザインの入力方法..... | 302 |
| 詳細情報 | 303 |
| DECODE32 | 304 |
| サポートされているアーキテクチャ..... | 304 |
| 概要..... | 304 |
| 論理表..... | 304 |
| デザインの入力方法..... | 304 |
| 詳細情報 | 305 |
| DECODE4 | 306 |
| サポートされているアーキテクチャ..... | 306 |
| 概要..... | 306 |
| 論理表..... | 306 |
| デザインの入力方法..... | 306 |
| 詳細情報 | 307 |
| DECODE64 | 308 |
| サポートされているアーキテクチャ..... | 308 |
| 概要..... | 308 |
| 論理表..... | 308 |
| デザインの入力方法..... | 308 |
| 詳細情報 | 309 |
| DECODE8 | 310 |
| サポートされているアーキテクチャ..... | 310 |
| 概要..... | 310 |
| 論理表..... | 310 |
| デザインの入力方法..... | 310 |
| 詳細情報 | 311 |
| DNA_PORT | 312 |
| サポートされているアーキテクチャ..... | 312 |

| | |
|-----------------------|-----|
| 概要..... | 312 |
| ポートの説明 | 312 |
| デザインの入力方法..... | 312 |
| 使用可能な属性..... | 313 |
| 詳細情報 | 313 |
| DSP48A1 | 314 |
| サポートされているアーキテクチャ..... | 314 |
| 概要..... | 315 |
| ポートの説明 | 315 |
| デザインの入力方法..... | 317 |
| 使用可能な属性..... | 317 |
| 詳細情報 | 319 |
| FD..... | 320 |
| サポートされているアーキテクチャ..... | 320 |
| 概要..... | 320 |
| 論理表..... | 320 |
| デザインの入力方法..... | 320 |
| 使用可能な属性..... | 320 |
| 詳細情報 | 321 |
| FD_1 | 322 |
| サポートされているアーキテクチャ..... | 322 |
| 概要..... | 322 |
| 論理表..... | 322 |
| デザインの入力方法..... | 322 |
| 使用可能な属性..... | 322 |
| 詳細情報 | 323 |
| FD16CE | 324 |
| サポートされているアーキテクチャ..... | 324 |
| 概要..... | 324 |
| 論理表..... | 324 |
| デザインの入力方法..... | 324 |
| 使用可能な属性..... | 325 |
| 詳細情報 | 325 |
| FD16RE..... | 326 |
| サポートされているアーキテクチャ..... | 326 |
| 概要..... | 326 |
| 論理表..... | 326 |
| デザインの入力方法..... | 326 |
| 使用可能な属性..... | 327 |
| 詳細情報 | 327 |
| FD4CE..... | 328 |
| サポートされているアーキテクチャ..... | 328 |
| 概要..... | 328 |
| 論理表..... | 328 |
| デザインの入力方法..... | 329 |
| 使用可能な属性..... | 329 |
| 詳細情報 | 329 |
| FD4RE | 330 |
| サポートされているアーキテクチャ..... | 330 |
| 概要..... | 330 |
| 論理表..... | 330 |
| デザインの入力方法..... | 331 |
| 使用可能な属性..... | 331 |
| 詳細情報 | 331 |
| FD8CE..... | 332 |
| サポートされているアーキテクチャ..... | 332 |
| 概要..... | 332 |
| 論理表..... | 332 |
| デザインの入力方法..... | 332 |

| | |
|-----------------------|-----|
| 使用可能な属性..... | 333 |
| 詳細情報 | 333 |
| FD8RE | 334 |
| サポートされているアーキテクチャ..... | 334 |
| 概要..... | 334 |
| 論理表..... | 334 |
| デザインの入力方法..... | 334 |
| 使用可能な属性..... | 335 |
| 詳細情報 | 335 |
| FDC | 336 |
| サポートされているアーキテクチャ..... | 336 |
| 概要..... | 336 |
| 論理表..... | 336 |
| デザインの入力方法..... | 336 |
| 使用可能な属性..... | 337 |
| 詳細情報 | 337 |
| FDC_1..... | 338 |
| サポートされているアーキテクチャ..... | 338 |
| 概要..... | 338 |
| 論理表..... | 338 |
| デザインの入力方法..... | 338 |
| 使用可能な属性..... | 339 |
| 詳細情報 | 339 |
| FDCE | 340 |
| サポートされているアーキテクチャ..... | 340 |
| 概要..... | 340 |
| 論理表..... | 340 |
| デザインの入力方法..... | 341 |
| 使用可能な属性..... | 341 |
| 詳細情報 | 342 |
| FDCE_1..... | 343 |
| サポートされているアーキテクチャ..... | 343 |
| 概要..... | 343 |
| 論理表..... | 343 |
| デザインの入力方法..... | 344 |
| 使用可能な属性..... | 344 |
| 詳細情報 | 345 |
| FDE | 346 |
| サポートされているアーキテクチャ..... | 346 |
| 概要..... | 346 |
| 論理表..... | 346 |
| デザインの入力方法..... | 346 |
| 使用可能な属性..... | 346 |
| 詳細情報 | 347 |
| FDE_1..... | 348 |
| サポートされているアーキテクチャ..... | 348 |
| 概要..... | 348 |
| 論理表..... | 348 |
| デザインの入力方法..... | 348 |
| 使用可能な属性..... | 348 |
| 詳細情報 | 349 |
| FDP | 350 |
| サポートされているアーキテクチャ..... | 350 |
| 概要..... | 350 |
| 論理表..... | 350 |
| デザインの入力方法..... | 351 |
| 使用可能な属性..... | 351 |
| 詳細情報 | 351 |
| FDP_1 | 352 |

| | |
|-----------------------|-----|
| サポートされているアーキテクチャ..... | 352 |
| 概要..... | 352 |
| 論理表..... | 352 |
| デザインの入力方法..... | 352 |
| 使用可能な属性..... | 353 |
| 詳細情報 | 353 |
| FDPE..... | 354 |
| サポートされているアーキテクチャ..... | 354 |
| 概要..... | 354 |
| 論理表..... | 354 |
| デザインの入力方法..... | 355 |
| 使用可能な属性..... | 355 |
| 詳細情報 | 355 |
| FDPE_1 | 356 |
| サポートされているアーキテクチャ..... | 356 |
| 概要..... | 356 |
| 論理表..... | 356 |
| デザインの入力方法..... | 356 |
| 使用可能な属性..... | 357 |
| 詳細情報 | 357 |
| FDR..... | 358 |
| サポートされているアーキテクチャ..... | 358 |
| 概要..... | 358 |
| 論理表..... | 358 |
| デザインの入力方法..... | 358 |
| 使用可能な属性..... | 359 |
| 詳細情報 | 359 |
| FDR_1 | 360 |
| サポートされているアーキテクチャ..... | 360 |
| 概要..... | 360 |
| 論理表..... | 360 |
| デザインの入力方法..... | 360 |
| 使用可能な属性..... | 360 |
| 詳細情報 | 361 |
| FDRE..... | 362 |
| サポートされているアーキテクチャ..... | 362 |
| 概要..... | 362 |
| 論理表..... | 362 |
| デザインの入力方法..... | 363 |
| 使用可能な属性..... | 363 |
| 詳細情報 | 363 |
| FDRE_1 | 364 |
| サポートされているアーキテクチャ..... | 364 |
| 概要..... | 364 |
| 論理表..... | 364 |
| デザインの入力方法..... | 364 |
| 使用可能な属性..... | 365 |
| 詳細情報 | 365 |
| FDS | 366 |
| サポートされているアーキテクチャ..... | 366 |
| 概要..... | 366 |
| 論理表..... | 366 |
| デザインの入力方法..... | 367 |
| 使用可能な属性..... | 367 |
| 詳細情報 | 367 |
| FDS_1 | 368 |
| サポートされているアーキテクチャ..... | 368 |
| 概要..... | 368 |
| 論理表..... | 368 |

| | |
|-----------------------|-----|
| デザインの入力方法..... | 368 |
| 使用可能な属性..... | 369 |
| 詳細情報 | 369 |
| FDSE | 370 |
| サポートされているアーキテクチャ..... | 370 |
| 概要..... | 370 |
| 論理表..... | 370 |
| デザインの入力方法..... | 371 |
| 使用可能な属性..... | 371 |
| 詳細情報 | 371 |
| FDSE_1 | 372 |
| サポートされているアーキテクチャ..... | 372 |
| 概要..... | 372 |
| 論理表..... | 372 |
| デザインの入力方法..... | 372 |
| 使用可能な属性..... | 373 |
| 詳細情報 | 373 |
| FJKC | 374 |
| サポートされているアーキテクチャ..... | 374 |
| 概要..... | 374 |
| 論理表..... | 375 |
| デザインの入力方法..... | 375 |
| 使用可能な属性..... | 375 |
| 詳細情報 | 375 |
| FJKCE | 376 |
| サポートされているアーキテクチャ..... | 376 |
| 概要..... | 376 |
| 論理表..... | 377 |
| デザインの入力方法..... | 377 |
| 使用可能な属性..... | 377 |
| 詳細情報 | 377 |
| FJKP | 378 |
| サポートされているアーキテクチャ..... | 378 |
| 概要..... | 378 |
| 論理表..... | 379 |
| デザインの入力方法..... | 379 |
| 使用可能な属性..... | 379 |
| 詳細情報 | 379 |
| FJKPE | 380 |
| サポートされているアーキテクチャ..... | 380 |
| 概要..... | 380 |
| 論理表..... | 381 |
| デザインの入力方法..... | 381 |
| 使用可能な属性..... | 381 |
| 詳細情報 | 381 |
| FJKRSE | 382 |
| サポートされているアーキテクチャ..... | 382 |
| 概要..... | 382 |
| 論理表..... | 383 |
| デザインの入力方法..... | 383 |
| 使用可能な属性..... | 383 |
| 詳細情報 | 383 |
| FJKSRE | 384 |
| サポートされているアーキテクチャ..... | 384 |
| 概要..... | 384 |
| 論理表..... | 385 |
| デザインの入力方法..... | 385 |
| 使用可能な属性..... | 385 |
| 詳細情報 | 385 |

| | |
|------------------|-----|
| FTC | 386 |
| サポートされているアーキテクチャ | 386 |
| 概要 | 386 |
| 論理表 | 386 |
| デザインの入力方法 | 387 |
| 使用可能な属性 | 387 |
| 詳細情報 | 387 |
| FTCE | 388 |
| サポートされているアーキテクチャ | 388 |
| 概要 | 388 |
| 論理表 | 388 |
| デザインの入力方法 | 389 |
| 使用可能な属性 | 389 |
| 詳細情報 | 389 |
| FTCLE | 390 |
| サポートされているアーキテクチャ | 390 |
| 概要 | 390 |
| 論理表 | 391 |
| デザインの入力方法 | 391 |
| 使用可能な属性 | 391 |
| 詳細情報 | 391 |
| FTCLEX | 392 |
| サポートされているアーキテクチャ | 392 |
| 概要 | 392 |
| 論理表 | 393 |
| デザインの入力方法 | 393 |
| 使用可能な属性 | 393 |
| 詳細情報 | 393 |
| FTP | 394 |
| サポートされているアーキテクチャ | 394 |
| 概要 | 394 |
| 論理表 | 394 |
| デザインの入力方法 | 395 |
| 使用可能な属性 | 395 |
| 詳細情報 | 395 |
| FTPE | 396 |
| サポートされているアーキテクチャ | 396 |
| 概要 | 396 |
| 論理表 | 396 |
| デザインの入力方法 | 397 |
| 使用可能な属性 | 397 |
| 詳細情報 | 397 |
| FTPLE | 398 |
| サポートされているアーキテクチャ | 398 |
| 概要 | 398 |
| 論理表 | 399 |
| デザインの入力方法 | 399 |
| 使用可能な属性 | 399 |
| 詳細情報 | 399 |
| FTRSE | 400 |
| サポートされているアーキテクチャ | 400 |
| 概要 | 400 |
| 論理表 | 401 |
| デザインの入力方法 | 401 |
| 使用可能な属性 | 401 |
| 詳細情報 | 401 |
| FTRSLE | 402 |
| サポートされているアーキテクチャ | 402 |
| 概要 | 402 |

| | |
|-----------------------|-----|
| 論理表..... | 403 |
| デザインの入力方法..... | 403 |
| 使用可能な属性..... | 403 |
| 詳細情報 | 403 |
| FTSRE | 404 |
| サポートされているアーキテクチャ..... | 404 |
| 概要..... | 404 |
| 論理表..... | 405 |
| デザインの入力方法..... | 405 |
| 使用可能な属性..... | 405 |
| 詳細情報 | 405 |
| FTSRLE | 406 |
| サポートされているアーキテクチャ..... | 406 |
| 概要..... | 406 |
| 論理表..... | 407 |
| デザインの入力方法..... | 407 |
| 使用可能な属性..... | 407 |
| 詳細情報 | 407 |
| GND | 408 |
| サポートされているアーキテクチャ..... | 408 |
| 概要..... | 408 |
| デザインの入力方法..... | 408 |
| 詳細情報 | 409 |
| GTPA1_DUAL | 410 |
| サポートされているアーキテクチャ..... | 410 |
| 概要..... | 411 |
| デザインの入力方法..... | 411 |
| 詳細情報 | 411 |
| IBUF..... | 412 |
| サポートされているアーキテクチャ..... | 412 |
| 概要..... | 412 |
| ポートの説明 | 412 |
| デザインの入力方法..... | 412 |
| 使用可能な属性..... | 413 |
| 詳細情報 | 414 |
| IBUF16 | 415 |
| サポートされているアーキテクチャ..... | 415 |
| 概要..... | 415 |
| デザインの入力方法..... | 415 |
| 使用可能な属性..... | 416 |
| 詳細情報 | 416 |
| IBUF4 | 417 |
| サポートされているアーキテクチャ..... | 417 |
| 概要..... | 417 |
| デザインの入力方法..... | 417 |
| 使用可能な属性..... | 418 |
| 詳細情報 | 418 |
| IBUF8 | 419 |
| サポートされているアーキテクチャ..... | 419 |
| 概要..... | 419 |
| デザインの入力方法..... | 419 |
| 使用可能な属性..... | 420 |
| 詳細情報 | 420 |
| IBUFDS | 421 |
| サポートされているアーキテクチャ..... | 421 |
| 概要..... | 421 |
| 論理表..... | 421 |
| ポートの説明 | 421 |
| デザインの入力方法..... | 422 |

| | |
|-----------------------|-----|
| 使用可能な属性..... | 422 |
| 詳細情報 | 423 |
| IBUFDS_DLY_ADJ | 424 |
| サポートされているアーキテクチャ..... | 424 |
| 概要..... | 424 |
| ポートの説明 | 424 |
| デザインの入力方法..... | 424 |
| 使用可能な属性..... | 425 |
| 詳細情報 | 426 |
| IBUFG | 427 |
| サポートされているアーキテクチャ..... | 427 |
| 概要..... | 427 |
| ポートの説明 | 427 |
| デザインの入力方法..... | 427 |
| 使用可能な属性..... | 428 |
| 詳細情報 | 429 |
| IBUFGDS | 430 |
| サポートされているアーキテクチャ..... | 430 |
| 概要..... | 430 |
| 論理表..... | 430 |
| ポートの説明 | 430 |
| デザインの入力方法..... | 431 |
| 使用可能な属性..... | 431 |
| 詳細情報 | 432 |
| ICAP_SPARTAN6 | 433 |
| サポートされているアーキテクチャ..... | 433 |
| 概要..... | 433 |
| ポートの説明 | 433 |
| デザインの入力方法..... | 433 |
| 詳細情報 | 434 |
| IDDR2..... | 435 |
| サポートされているアーキテクチャ..... | 435 |
| 概要..... | 435 |
| 論理表..... | 435 |
| デザインの入力方法..... | 436 |
| 使用可能な属性..... | 436 |
| 詳細情報 | 437 |
| IFD..... | 438 |
| サポートされているアーキテクチャ..... | 438 |
| 概要..... | 438 |
| 論理表..... | 438 |
| デザインの入力方法..... | 438 |
| 詳細情報 | 439 |
| IFD_1 | 440 |
| サポートされているアーキテクチャ..... | 440 |
| 概要..... | 440 |
| 論理表..... | 440 |
| デザインの入力方法..... | 440 |
| 詳細情報 | 441 |
| IFD16 | 442 |
| サポートされているアーキテクチャ..... | 442 |
| 概要..... | 442 |
| 論理表..... | 442 |
| デザインの入力方法..... | 442 |
| 詳細情報 | 443 |
| IFD4..... | 444 |
| サポートされているアーキテクチャ..... | 444 |
| 概要..... | 444 |
| 論理表..... | 444 |

| | |
|-----------------------|-----|
| デザインの入力方法..... | 444 |
| 詳細情報 | 445 |
| IFD8 | 446 |
| サポートされているアーキテクチャ..... | 446 |
| 概要..... | 446 |
| 論理表..... | 446 |
| デザインの入力方法..... | 446 |
| 詳細情報 | 447 |
| IFDI | 448 |
| サポートされているアーキテクチャ..... | 448 |
| 概要..... | 448 |
| 論理表..... | 448 |
| デザインの入力方法..... | 448 |
| 詳細情報 | 449 |
| IFDI_1 | 450 |
| サポートされているアーキテクチャ..... | 450 |
| 概要..... | 450 |
| 論理表..... | 450 |
| デザインの入力方法..... | 450 |
| 詳細情報 | 451 |
| IFDX..... | 452 |
| サポートされているアーキテクチャ..... | 452 |
| 概要..... | 452 |
| 論理表..... | 452 |
| デザインの入力方法..... | 452 |
| 詳細情報 | 453 |
| IFDX_1 | 454 |
| サポートされているアーキテクチャ..... | 454 |
| 概要..... | 454 |
| 論理表..... | 454 |
| デザインの入力方法..... | 454 |
| 詳細情報 | 455 |
| IFDX16 | 456 |
| サポートされているアーキテクチャ..... | 456 |
| 概要..... | 456 |
| 論理表..... | 456 |
| デザインの入力方法..... | 456 |
| 詳細情報 | 457 |
| IFDX4 | 458 |
| サポートされているアーキテクチャ..... | 458 |
| 概要..... | 458 |
| 論理表..... | 458 |
| デザインの入力方法..... | 458 |
| 詳細情報 | 459 |
| IFDX8 | 460 |
| サポートされているアーキテクチャ..... | 460 |
| 概要..... | 460 |
| 論理表..... | 460 |
| デザインの入力方法..... | 460 |
| 詳細情報 | 461 |
| IFDXI | 462 |
| サポートされているアーキテクチャ..... | 462 |
| 概要..... | 462 |
| 論理表..... | 462 |
| デザインの入力方法..... | 462 |
| 詳細情報 | 463 |
| IFDXI_1 | 464 |
| サポートされているアーキテクチャ..... | 464 |
| 概要..... | 464 |

| | |
|-----------------------|-----|
| 論理表..... | 464 |
| デザインの入力方法..... | 464 |
| 詳細情報 | 465 |
| ILD..... | 466 |
| サポートされているアーキテクチャ..... | 466 |
| 概要..... | 466 |
| 論理表..... | 466 |
| デザインの入力方法..... | 466 |
| 詳細情報 | 467 |
| ILD_1 | 468 |
| サポートされているアーキテクチャ..... | 468 |
| 概要..... | 468 |
| 論理表..... | 468 |
| デザインの入力方法..... | 468 |
| 詳細情報 | 469 |
| ILD16..... | 470 |
| サポートされているアーキテクチャ..... | 470 |
| 概要..... | 470 |
| 論理表..... | 470 |
| デザインの入力方法..... | 470 |
| 詳細情報 | 471 |
| ILD4 | 472 |
| サポートされているアーキテクチャ..... | 472 |
| 概要..... | 472 |
| 論理表..... | 472 |
| デザインの入力方法..... | 473 |
| 詳細情報 | 473 |
| ILD8 | 474 |
| サポートされているアーキテクチャ..... | 474 |
| 概要..... | 474 |
| 論理表..... | 474 |
| デザインの入力方法..... | 474 |
| 詳細情報 | 475 |
| ILDI..... | 476 |
| サポートされているアーキテクチャ..... | 476 |
| 概要..... | 476 |
| 論理表..... | 476 |
| デザインの入力方法..... | 477 |
| 詳細情報 | 477 |
| ILDI_1 | 478 |
| サポートされているアーキテクチャ..... | 478 |
| 概要..... | 478 |
| 論理表..... | 478 |
| デザインの入力方法..... | 478 |
| 詳細情報 | 479 |
| ILDX..... | 480 |
| サポートされているアーキテクチャ..... | 480 |
| 概要..... | 480 |
| 論理表..... | 480 |
| デザインの入力方法..... | 480 |
| 詳細情報 | 481 |
| ILDX_1 | 482 |
| サポートされているアーキテクチャ..... | 482 |
| 概要..... | 482 |
| 論理表..... | 482 |
| デザインの入力方法..... | 482 |
| 詳細情報 | 483 |
| ILDX16 | 484 |
| サポートされているアーキテクチャ..... | 484 |

| | |
|-----------------------|-----|
| 概要..... | 484 |
| 論理表..... | 484 |
| デザインの入力方法..... | 484 |
| 詳細情報 | 485 |
| ILDX4..... | 486 |
| サポートされているアーキテクチャ..... | 486 |
| 概要..... | 486 |
| 論理表..... | 486 |
| デザインの入力方法..... | 486 |
| 詳細情報 | 487 |
| ILDX8..... | 488 |
| サポートされているアーキテクチャ..... | 488 |
| 概要..... | 488 |
| 論理表..... | 488 |
| デザインの入力方法..... | 488 |
| 詳細情報 | 489 |
| ILDXI..... | 490 |
| サポートされているアーキテクチャ..... | 490 |
| 概要..... | 490 |
| 論理表..... | 490 |
| デザインの入力方法..... | 491 |
| 詳細情報 | 491 |
| ILDXI1..... | 492 |
| サポートされているアーキテクチャ..... | 492 |
| 概要..... | 492 |
| 論理表..... | 492 |
| デザインの入力方法..... | 492 |
| 詳細情報 | 493 |
| INV..... | 494 |
| サポートされているアーキテクチャ..... | 494 |
| 概要..... | 494 |
| デザインの入力方法..... | 494 |
| 詳細情報 | 495 |
| INV16..... | 496 |
| サポートされているアーキテクチャ..... | 496 |
| 概要..... | 496 |
| デザインの入力方法..... | 496 |
| 詳細情報 | 497 |
| INV4..... | 498 |
| サポートされているアーキテクチャ..... | 498 |
| 概要..... | 498 |
| デザインの入力方法..... | 498 |
| 詳細情報 | 499 |
| INV8..... | 500 |
| サポートされているアーキテクチャ..... | 500 |
| 概要..... | 500 |
| デザインの入力方法..... | 500 |
| 詳細情報 | 501 |
| IOBUF..... | 502 |
| サポートされているアーキテクチャ..... | 502 |
| 概要..... | 502 |
| 論理表..... | 502 |
| ポートの説明 | 502 |
| デザインの入力方法..... | 503 |
| 使用可能な属性..... | 503 |
| 詳細情報 | 504 |
| IOBUFDS..... | 505 |
| サポートされているアーキテクチャ..... | 505 |
| 概要..... | 505 |

| | |
|-----------------------|-----|
| 論理表..... | 505 |
| ポートの説明 | 505 |
| デザインの入力方法..... | 506 |
| 使用可能な属性..... | 506 |
| 詳細情報 | 507 |
| IODELAY2 | 508 |
| サポートされているアーキテクチャ..... | 508 |
| 概要..... | 508 |
| ポートの説明 | 508 |
| デザインの入力方法..... | 509 |
| 使用可能な属性..... | 509 |
| 詳細情報 | 512 |
| IODRP2..... | 513 |
| サポートされているアーキテクチャ..... | 513 |
| 概要..... | 513 |
| 詳細情報 | 513 |
| ISERDES2 | 514 |
| サポートされているアーキテクチャ..... | 514 |
| 概要..... | 514 |
| ポートの説明 | 515 |
| デザインの入力方法..... | 516 |
| 使用可能な属性..... | 516 |
| 詳細情報 | 518 |
| KEEPER | 519 |
| サポートされているアーキテクチャ..... | 519 |
| 概要..... | 519 |
| ポートの説明 | 519 |
| デザインの入力方法..... | 519 |
| 詳細情報 | 520 |
| LD | 521 |
| サポートされているアーキテクチャ..... | 521 |
| 概要..... | 521 |
| 論理表..... | 521 |
| デザインの入力方法..... | 521 |
| 使用可能な属性..... | 522 |
| 詳細情報 | 522 |
| LD_1 | 523 |
| サポートされているアーキテクチャ..... | 523 |
| 概要..... | 523 |
| 論理表..... | 523 |
| デザインの入力方法..... | 523 |
| 使用可能な属性..... | 523 |
| 詳細情報 | 524 |
| LD16 | 525 |
| サポートされているアーキテクチャ..... | 525 |
| 概要..... | 525 |
| 論理表..... | 525 |
| デザインの入力方法..... | 525 |
| 使用可能な属性..... | 526 |
| 詳細情報 | 526 |
| LD16CE | 527 |
| サポートされているアーキテクチャ..... | 527 |
| 概要..... | 527 |
| 論理表..... | 527 |
| デザインの入力方法..... | 527 |
| 使用可能な属性..... | 528 |
| 詳細情報 | 528 |
| LD4 | 529 |
| サポートされているアーキテクチャ..... | 529 |

| | |
|-----------------------|-----|
| 概要..... | 529 |
| 論理表..... | 529 |
| デザインの入力方法..... | 530 |
| 使用可能な属性..... | 530 |
| 詳細情報 | 530 |
| LD4CE..... | 531 |
| サポートされているアーキテクチャ..... | 531 |
| 概要..... | 531 |
| 論理表..... | 531 |
| デザインの入力方法..... | 532 |
| 使用可能な属性..... | 532 |
| 詳細情報 | 532 |
| LD8..... | 533 |
| サポートされているアーキテクチャ..... | 533 |
| 概要..... | 533 |
| 論理表..... | 533 |
| デザインの入力方法..... | 533 |
| 使用可能な属性..... | 534 |
| 詳細情報 | 534 |
| LD8CE..... | 535 |
| サポートされているアーキテクチャ..... | 535 |
| 概要..... | 535 |
| 論理表..... | 535 |
| デザインの入力方法..... | 535 |
| 使用可能な属性..... | 536 |
| 詳細情報 | 536 |
| LDC..... | 537 |
| サポートされているアーキテクチャ..... | 537 |
| 概要..... | 537 |
| 論理表..... | 537 |
| デザインの入力方法..... | 538 |
| 使用可能な属性..... | 538 |
| 詳細情報 | 538 |
| LDC_1..... | 539 |
| サポートされているアーキテクチャ..... | 539 |
| 概要..... | 539 |
| 論理表..... | 539 |
| デザインの入力方法..... | 539 |
| 使用可能な属性..... | 540 |
| 詳細情報 | 540 |
| LDCE..... | 541 |
| サポートされているアーキテクチャ..... | 541 |
| 概要..... | 541 |
| 論理表..... | 541 |
| デザインの入力方法..... | 542 |
| 使用可能な属性..... | 542 |
| 詳細情報 | 542 |
| LDCE_1..... | 543 |
| サポートされているアーキテクチャ..... | 543 |
| 概要..... | 543 |
| 論理表..... | 543 |
| デザインの入力方法..... | 543 |
| 使用可能な属性..... | 544 |
| 詳細情報 | 544 |
| LDE..... | 545 |
| サポートされているアーキテクチャ..... | 545 |
| 概要..... | 545 |
| 論理表..... | 545 |
| デザインの入力方法..... | 545 |

| | |
|-----------------------|-----|
| 使用可能な属性..... | 546 |
| 詳細情報 | 546 |
| LDE_1 | 547 |
| サポートされているアーキテクチャ..... | 547 |
| 概要..... | 547 |
| 論理表..... | 547 |
| デザインの入力方法..... | 547 |
| 使用可能な属性..... | 548 |
| 詳細情報 | 548 |
| LDP | 549 |
| サポートされているアーキテクチャ..... | 549 |
| 概要..... | 549 |
| 論理表..... | 549 |
| デザインの入力方法..... | 550 |
| 使用可能な属性..... | 550 |
| 詳細情報 | 550 |
| LDP_1 | 551 |
| サポートされているアーキテクチャ..... | 551 |
| 概要..... | 551 |
| 論理表..... | 551 |
| デザインの入力方法..... | 551 |
| 使用可能な属性..... | 552 |
| 詳細情報 | 552 |
| LDPE | 553 |
| サポートされているアーキテクチャ..... | 553 |
| 概要..... | 553 |
| 論理表..... | 553 |
| デザインの入力方法..... | 553 |
| 使用可能な属性..... | 553 |
| 詳細情報 | 554 |
| LDPE_1 | 555 |
| サポートされているアーキテクチャ..... | 555 |
| 概要..... | 555 |
| 論理表..... | 555 |
| デザインの入力方法..... | 555 |
| 使用可能な属性..... | 556 |
| 詳細情報 | 556 |
| LUT1 | 557 |
| サポートされているアーキテクチャ..... | 557 |
| 概要..... | 557 |
| 論理表..... | 557 |
| デザインの入力方法..... | 558 |
| 使用可能な属性..... | 558 |
| 詳細情報 | 559 |
| LUT1_D | 560 |
| サポートされているアーキテクチャ..... | 560 |
| 概要..... | 560 |
| 論理表..... | 560 |
| デザインの入力方法..... | 561 |
| 使用可能な属性..... | 561 |
| 詳細情報 | 562 |
| LUT1_L | 563 |
| サポートされているアーキテクチャ..... | 563 |
| 概要..... | 563 |
| 論理表..... | 563 |
| デザインの入力方法..... | 564 |
| 使用可能な属性..... | 564 |
| 詳細情報 | 565 |
| LUT2 | 566 |

| | |
|-----------------------|-----|
| サポートされているアーキテクチャ..... | 566 |
| 概要..... | 566 |
| 論理表..... | 566 |
| デザインの入力方法..... | 567 |
| 使用可能な属性..... | 567 |
| 詳細情報 | 568 |
| LUT2_D..... | 569 |
| サポートされているアーキテクチャ..... | 569 |
| 概要..... | 569 |
| 論理表..... | 569 |
| デザインの入力方法..... | 570 |
| 使用可能な属性..... | 570 |
| 詳細情報 | 571 |
| LUT2_L..... | 572 |
| サポートされているアーキテクチャ..... | 572 |
| 概要..... | 572 |
| 論理表..... | 572 |
| デザインの入力方法..... | 573 |
| 使用可能な属性..... | 573 |
| 詳細情報 | 574 |
| LUT3..... | 575 |
| サポートされているアーキテクチャ..... | 575 |
| 概要..... | 575 |
| 論理表..... | 576 |
| デザインの入力方法..... | 576 |
| 使用可能な属性..... | 576 |
| 詳細情報 | 577 |
| LUT3_D..... | 578 |
| サポートされているアーキテクチャ..... | 578 |
| 概要..... | 578 |
| 論理表..... | 579 |
| デザインの入力方法..... | 579 |
| 使用可能な属性..... | 579 |
| 詳細情報 | 580 |
| LUT3_L..... | 581 |
| サポートされているアーキテクチャ..... | 581 |
| 概要..... | 581 |
| 論理表..... | 582 |
| デザインの入力方法..... | 582 |
| 使用可能な属性..... | 582 |
| 詳細情報 | 583 |
| LUT4..... | 584 |
| サポートされているアーキテクチャ..... | 584 |
| 概要..... | 584 |
| 論理表..... | 585 |
| デザインの入力方法..... | 585 |
| 使用可能な属性..... | 585 |
| 詳細情報 | 586 |
| LUT4_D..... | 587 |
| サポートされているアーキテクチャ..... | 587 |
| 概要..... | 587 |
| 論理表..... | 588 |
| デザインの入力方法..... | 588 |
| 使用可能な属性..... | 588 |
| 詳細情報 | 590 |
| LUT4_L..... | 591 |
| サポートされているアーキテクチャ..... | 591 |
| 概要..... | 591 |
| 論理表..... | 592 |

| | |
|-----------------------|-----|
| デザインの入力方法..... | 592 |
| 使用可能な属性..... | 592 |
| 詳細情報 | 593 |
| LUT5 | 594 |
| サポートされているアーキテクチャ..... | 594 |
| 概要..... | 594 |
| 論理表..... | 595 |
| ポートの説明 | 596 |
| デザインの入力方法..... | 596 |
| 使用可能な属性..... | 596 |
| 詳細情報 | 597 |
| LUT5_D..... | 598 |
| サポートされているアーキテクチャ..... | 598 |
| 概要..... | 598 |
| 論理表..... | 599 |
| ポートの説明 | 600 |
| デザインの入力方法..... | 600 |
| 使用可能な属性..... | 600 |
| 詳細情報 | 601 |
| LUT5_L..... | 602 |
| サポートされているアーキテクチャ..... | 602 |
| 概要..... | 602 |
| 論理表..... | 603 |
| ポートの説明 | 604 |
| デザインの入力方法..... | 604 |
| 使用可能な属性..... | 604 |
| 詳細情報 | 605 |
| LUT6 | 606 |
| サポートされているアーキテクチャ..... | 606 |
| 概要..... | 606 |
| 論理表..... | 607 |
| ポートの説明 | 608 |
| デザインの入力方法..... | 609 |
| 使用可能な属性..... | 609 |
| 詳細情報 | 610 |
| LUT6_2 | 611 |
| サポートされているアーキテクチャ..... | 611 |
| 概要..... | 611 |
| 論理表..... | 612 |
| ポートの説明 | 613 |
| デザインの入力方法..... | 614 |
| 使用可能な属性..... | 614 |
| 詳細情報 | 615 |
| LUT6_D..... | 616 |
| サポートされているアーキテクチャ..... | 616 |
| 概要..... | 616 |
| 論理表..... | 617 |
| ポートの説明 | 619 |
| デザインの入力方法..... | 619 |
| 使用可能な属性..... | 619 |
| 詳細情報 | 620 |
| LUT6_L..... | 621 |
| サポートされているアーキテクチャ..... | 621 |
| 概要..... | 621 |
| 論理表..... | 622 |
| ポートの説明 | 623 |
| デザインの入力方法..... | 624 |
| 使用可能な属性..... | 624 |
| 詳細情報 | 625 |

| | |
|-----------------------|-----|
| M16_1E | 626 |
| サポートされているアーキテクチャ..... | 626 |
| 概要..... | 626 |
| 論理表..... | 627 |
| デザインの入力方法..... | 627 |
| 詳細情報 | 627 |
| M2_1 | 628 |
| サポートされているアーキテクチャ..... | 628 |
| 概要..... | 628 |
| 論理表..... | 628 |
| デザインの入力方法..... | 628 |
| 詳細情報 | 629 |
| M2_1B1 | 630 |
| サポートされているアーキテクチャ..... | 630 |
| 概要..... | 630 |
| 論理表..... | 630 |
| デザインの入力方法..... | 630 |
| 詳細情報 | 631 |
| M2_1B2 | 632 |
| サポートされているアーキテクチャ..... | 632 |
| 概要..... | 632 |
| 論理表..... | 632 |
| デザインの入力方法..... | 632 |
| 詳細情報 | 633 |
| M2_1E | 634 |
| サポートされているアーキテクチャ..... | 634 |
| 概要..... | 634 |
| 論理表..... | 634 |
| デザインの入力方法..... | 634 |
| 詳細情報 | 635 |
| M4_1E | 636 |
| サポートされているアーキテクチャ..... | 636 |
| 概要..... | 636 |
| 論理表..... | 636 |
| デザインの入力方法..... | 636 |
| 詳細情報 | 637 |
| M8_1E | 638 |
| サポートされているアーキテクチャ..... | 638 |
| 概要..... | 638 |
| 論理表..... | 639 |
| デザインの入力方法..... | 639 |
| 詳細情報 | 639 |
| MULT_AND | 640 |
| サポートされているアーキテクチャ..... | 640 |
| 概要..... | 640 |
| 論理表..... | 640 |
| デザインの入力方法..... | 640 |
| 詳細情報 | 641 |
| MULT18X18SIO | 642 |
| サポートされているアーキテクチャ..... | 642 |
| 概要..... | 642 |
| デザインの入力方法..... | 642 |
| 使用可能な属性..... | 643 |
| 詳細情報 | 644 |
| MUXCY..... | 645 |
| サポートされているアーキテクチャ..... | 645 |
| 概要..... | 645 |
| 論理表..... | 645 |
| デザインの入力方法..... | 645 |

| | |
|-----------------------|-----|
| 詳細情報 | 646 |
| MUXCY_D | 647 |
| サポートされているアーキテクチャ..... | 647 |
| 概要..... | 647 |
| 論理表..... | 647 |
| デザインの入力方法..... | 647 |
| 詳細情報 | 648 |
| MUXCY_L..... | 649 |
| サポートされているアーキテクチャ..... | 649 |
| 概要..... | 649 |
| 論理表..... | 649 |
| デザインの入力方法..... | 649 |
| 詳細情報 | 650 |
| MUXF5 | 651 |
| サポートされているアーキテクチャ..... | 651 |
| 概要..... | 651 |
| 論理表..... | 651 |
| デザインの入力方法..... | 651 |
| 詳細情報 | 652 |
| MUXF5_D | 653 |
| サポートされているアーキテクチャ..... | 653 |
| 概要..... | 653 |
| 論理表..... | 653 |
| デザインの入力方法..... | 653 |
| 詳細情報 | 654 |
| MUXF5_L | 655 |
| サポートされているアーキテクチャ..... | 655 |
| 概要..... | 655 |
| 論理表..... | 655 |
| デザインの入力方法..... | 655 |
| 詳細情報 | 656 |
| MUXF6 | 657 |
| サポートされているアーキテクチャ..... | 657 |
| 概要..... | 657 |
| 論理表..... | 657 |
| デザインの入力方法..... | 657 |
| 詳細情報 | 658 |
| MUXF6_D | 659 |
| サポートされているアーキテクチャ..... | 659 |
| 概要..... | 659 |
| 論理表..... | 659 |
| デザインの入力方法..... | 659 |
| 詳細情報 | 660 |
| MUXF6_L | 661 |
| サポートされているアーキテクチャ..... | 661 |
| 概要..... | 661 |
| 論理表..... | 661 |
| デザインの入力方法..... | 661 |
| 詳細情報 | 662 |
| MUXF7 | 663 |
| サポートされているアーキテクチャ..... | 663 |
| 概要..... | 663 |
| 論理表..... | 663 |
| ポートの説明 | 663 |
| デザインの入力方法..... | 664 |
| 詳細情報 | 665 |
| MUXF7_D | 666 |
| サポートされているアーキテクチャ..... | 666 |
| 概要..... | 666 |

| | |
|-----------------------|-----|
| 論理表..... | 666 |
| ポートの説明 | 666 |
| デザインの入力方法..... | 667 |
| 詳細情報 | 668 |
| MUXF7L | 669 |
| サポートされているアーキテクチャ..... | 669 |
| 概要..... | 669 |
| 論理表..... | 669 |
| ポートの説明 | 669 |
| デザインの入力方法..... | 670 |
| 詳細情報 | 671 |
| MUXF8 | 672 |
| サポートされているアーキテクチャ..... | 672 |
| 概要..... | 672 |
| 論理表..... | 672 |
| ポートの説明 | 672 |
| デザインの入力方法..... | 673 |
| 詳細情報 | 674 |
| MUXF8_D | 675 |
| サポートされているアーキテクチャ..... | 675 |
| 概要..... | 675 |
| 論理表..... | 675 |
| ポートの説明 | 675 |
| デザインの入力方法..... | 676 |
| 詳細情報 | 677 |
| MUXF8_L | 678 |
| サポートされているアーキテクチャ..... | 678 |
| 概要..... | 678 |
| 論理表..... | 678 |
| ポートの説明 | 678 |
| デザインの入力方法..... | 679 |
| 詳細情報 | 680 |
| NAND12..... | 681 |
| サポートされているアーキテクチャ..... | 681 |
| 概要..... | 681 |
| デザインの入力方法..... | 681 |
| 詳細情報 | 682 |
| NAND16..... | 683 |
| サポートされているアーキテクチャ..... | 683 |
| 概要..... | 683 |
| デザインの入力方法..... | 683 |
| 詳細情報 | 684 |
| NAND2..... | 685 |
| サポートされているアーキテクチャ..... | 685 |
| 概要..... | 685 |
| デザインの入力方法..... | 685 |
| 詳細情報 | 686 |
| NAND2B1..... | 687 |
| サポートされているアーキテクチャ..... | 687 |
| 概要..... | 687 |
| デザインの入力方法..... | 687 |
| 詳細情報 | 688 |
| NAND2B2..... | 689 |
| サポートされているアーキテクチャ..... | 689 |
| 概要..... | 689 |
| デザインの入力方法..... | 689 |
| 詳細情報 | 690 |
| NAND3..... | 691 |
| サポートされているアーキテクチャ..... | 691 |

| | |
|-----------------------|-----|
| 概要..... | 691 |
| デザインの入力方法..... | 691 |
| 詳細情報 | 692 |
| NAND3B1 | 693 |
| サポートされているアーキテクチャ..... | 693 |
| 概要..... | 693 |
| デザインの入力方法..... | 693 |
| 詳細情報 | 694 |
| NAND3B2..... | 695 |
| サポートされているアーキテクチャ..... | 695 |
| 概要..... | 695 |
| デザインの入力方法..... | 695 |
| 詳細情報 | 696 |
| NAND3B3..... | 697 |
| サポートされているアーキテクチャ..... | 697 |
| 概要..... | 697 |
| デザインの入力方法..... | 697 |
| 詳細情報 | 698 |
| NAND4..... | 699 |
| サポートされているアーキテクチャ..... | 699 |
| 概要..... | 699 |
| デザインの入力方法..... | 699 |
| 詳細情報 | 700 |
| NAND4B1 | 701 |
| サポートされているアーキテクチャ..... | 701 |
| 概要..... | 701 |
| デザインの入力方法..... | 701 |
| 詳細情報 | 702 |
| NAND4B2..... | 703 |
| サポートされているアーキテクチャ..... | 703 |
| 概要..... | 703 |
| デザインの入力方法..... | 703 |
| 詳細情報 | 704 |
| NAND4B3..... | 705 |
| サポートされているアーキテクチャ..... | 705 |
| 概要..... | 705 |
| デザインの入力方法..... | 705 |
| 詳細情報 | 706 |
| NAND4B4..... | 707 |
| サポートされているアーキテクチャ..... | 707 |
| 概要..... | 707 |
| デザインの入力方法..... | 707 |
| 詳細情報 | 708 |
| NAND5..... | 709 |
| サポートされているアーキテクチャ..... | 709 |
| 概要..... | 709 |
| デザインの入力方法..... | 709 |
| 詳細情報 | 710 |
| NAND5B1..... | 711 |
| サポートされているアーキテクチャ..... | 711 |
| 概要..... | 711 |
| デザインの入力方法..... | 711 |
| 詳細情報 | 712 |
| NAND5B2..... | 713 |
| サポートされているアーキテクチャ..... | 713 |
| 概要..... | 713 |
| デザインの入力方法..... | 713 |
| 詳細情報 | 714 |
| NAND5B3..... | 715 |

| | |
|-----------------------|-----|
| サポートされているアーキテクチャ..... | 715 |
| 概要..... | 715 |
| デザインの入力方法..... | 715 |
| 詳細情報..... | 716 |
| NAND5B4..... | 717 |
| サポートされているアーキテクチャ..... | 717 |
| 概要..... | 717 |
| デザインの入力方法..... | 717 |
| 詳細情報..... | 718 |
| NAND5B5..... | 719 |
| サポートされているアーキテクチャ..... | 719 |
| 概要..... | 719 |
| デザインの入力方法..... | 719 |
| 詳細情報..... | 720 |
| NAND6..... | 721 |
| サポートされているアーキテクチャ..... | 721 |
| 概要..... | 721 |
| デザインの入力方法..... | 721 |
| 詳細情報..... | 722 |
| NAND7..... | 723 |
| サポートされているアーキテクチャ..... | 723 |
| 概要..... | 723 |
| デザインの入力方法..... | 723 |
| 詳細情報..... | 724 |
| NAND8..... | 725 |
| サポートされているアーキテクチャ..... | 725 |
| 概要..... | 725 |
| デザインの入力方法..... | 725 |
| 詳細情報..... | 726 |
| NAND9..... | 727 |
| サポートされているアーキテクチャ..... | 727 |
| 概要..... | 727 |
| デザインの入力方法..... | 727 |
| 詳細情報..... | 728 |
| NOR12..... | 729 |
| サポートされているアーキテクチャ..... | 729 |
| 概要..... | 729 |
| デザインの入力方法..... | 729 |
| 詳細情報..... | 730 |
| NOR16..... | 731 |
| サポートされているアーキテクチャ..... | 731 |
| 概要..... | 731 |
| デザインの入力方法..... | 731 |
| 詳細情報..... | 732 |
| NOR2..... | 733 |
| サポートされているアーキテクチャ..... | 733 |
| 概要..... | 733 |
| デザインの入力方法..... | 733 |
| 詳細情報..... | 734 |
| NOR2B1..... | 735 |
| サポートされているアーキテクチャ..... | 735 |
| 概要..... | 735 |
| デザインの入力方法..... | 735 |
| 詳細情報..... | 736 |
| NOR2B2..... | 737 |
| サポートされているアーキテクチャ..... | 737 |
| 概要..... | 737 |
| デザインの入力方法..... | 737 |
| 詳細情報..... | 738 |

| | |
|-----------------------|-----|
| NOR3..... | 739 |
| サポートされているアーキテクチャ..... | 739 |
| 概要..... | 739 |
| デザインの入力方法..... | 739 |
| 詳細情報 | 740 |
| NOR3B1..... | 741 |
| サポートされているアーキテクチャ..... | 741 |
| 概要..... | 741 |
| デザインの入力方法..... | 741 |
| 詳細情報 | 742 |
| NOR3B2..... | 743 |
| サポートされているアーキテクチャ..... | 743 |
| 概要..... | 743 |
| デザインの入力方法..... | 743 |
| 詳細情報 | 744 |
| NOR3B3..... | 745 |
| サポートされているアーキテクチャ..... | 745 |
| 概要..... | 745 |
| デザインの入力方法..... | 745 |
| 詳細情報 | 746 |
| NOR4..... | 747 |
| サポートされているアーキテクチャ..... | 747 |
| 概要..... | 747 |
| デザインの入力方法..... | 747 |
| 詳細情報 | 748 |
| NOR4B1..... | 749 |
| サポートされているアーキテクチャ..... | 749 |
| 概要..... | 749 |
| デザインの入力方法..... | 749 |
| 詳細情報 | 750 |
| NOR4B2..... | 751 |
| サポートされているアーキテクチャ..... | 751 |
| 概要..... | 751 |
| デザインの入力方法..... | 751 |
| 詳細情報 | 752 |
| NOR4B3..... | 753 |
| サポートされているアーキテクチャ..... | 753 |
| 概要..... | 753 |
| デザインの入力方法..... | 753 |
| 詳細情報 | 754 |
| NOR4B4..... | 755 |
| サポートされているアーキテクチャ..... | 755 |
| 概要..... | 755 |
| デザインの入力方法..... | 755 |
| 詳細情報 | 756 |
| NOR5..... | 757 |
| サポートされているアーキテクチャ..... | 757 |
| 概要..... | 757 |
| デザインの入力方法..... | 757 |
| 詳細情報 | 758 |
| NOR5B1..... | 759 |
| サポートされているアーキテクチャ..... | 759 |
| 概要..... | 759 |
| デザインの入力方法..... | 759 |
| 詳細情報 | 760 |
| NOR5B2..... | 761 |
| サポートされているアーキテクチャ..... | 761 |
| 概要..... | 761 |
| デザインの入力方法..... | 761 |

| | |
|------------------------|-----|
| 詳細情報 | 762 |
| NOR5B3 | 763 |
| サポートされているアーキテクチャ | 763 |
| 概要 | 763 |
| デザインの入力方法 | 763 |
| 詳細情報 | 764 |
| NOR5B4 | 765 |
| サポートされているアーキテクチャ | 765 |
| 概要 | 765 |
| デザインの入力方法 | 765 |
| 詳細情報 | 766 |
| NOR5B5 | 767 |
| サポートされているアーキテクチャ | 767 |
| 概要 | 767 |
| デザインの入力方法 | 767 |
| 詳細情報 | 768 |
| NOR6 | 769 |
| サポートされているアーキテクチャ | 769 |
| 概要 | 769 |
| デザインの入力方法 | 769 |
| 詳細情報 | 770 |
| NOR7 | 771 |
| サポートされているアーキテクチャ | 771 |
| 概要 | 771 |
| デザインの入力方法 | 771 |
| 詳細情報 | 772 |
| NOR8 | 773 |
| サポートされているアーキテクチャ | 773 |
| 概要 | 773 |
| デザインの入力方法 | 773 |
| 詳細情報 | 774 |
| NOR9 | 775 |
| サポートされているアーキテクチャ | 775 |
| 概要 | 775 |
| デザインの入力方法 | 775 |
| 詳細情報 | 776 |
| OBUF | 777 |
| サポートされているアーキテクチャ | 777 |
| 概要 | 777 |
| ポートの説明 | 777 |
| デザインの入力方法 | 777 |
| 使用可能な属性 | 778 |
| 詳細情報 | 779 |
| OBUF16 | 780 |
| サポートされているアーキテクチャ | 780 |
| 概要 | 780 |
| デザインの入力方法 | 780 |
| 使用可能な属性 | 781 |
| 詳細情報 | 781 |
| OBUF4 | 782 |
| サポートされているアーキテクチャ | 782 |
| 概要 | 782 |
| デザインの入力方法 | 782 |
| 使用可能な属性 | 783 |
| 詳細情報 | 783 |
| OBUF8 | 784 |
| サポートされているアーキテクチャ | 784 |
| 概要 | 784 |
| デザインの入力方法 | 784 |

| | |
|-----------------------|-----|
| 使用可能な属性..... | 785 |
| 詳細情報 | 785 |
| OBUFDS | 786 |
| サポートされているアーキテクチャ..... | 786 |
| 概要..... | 786 |
| 論理表..... | 786 |
| ポートの説明 | 786 |
| デザインの入力方法..... | 786 |
| 使用可能な属性..... | 787 |
| 詳細情報 | 788 |
| OBUFT | 789 |
| サポートされているアーキテクチャ..... | 789 |
| 概要..... | 789 |
| 論理表..... | 789 |
| ポートの説明 | 789 |
| デザインの入力方法..... | 790 |
| 使用可能な属性..... | 790 |
| 詳細情報 | 791 |
| OBUFT16..... | 792 |
| サポートされているアーキテクチャ..... | 792 |
| 概要..... | 792 |
| 論理表..... | 792 |
| デザインの入力方法..... | 792 |
| 使用可能な属性..... | 793 |
| 詳細情報 | 793 |
| OBUFT4 | 794 |
| サポートされているアーキテクチャ..... | 794 |
| 概要..... | 794 |
| 論理表..... | 794 |
| デザインの入力方法..... | 794 |
| 使用可能な属性..... | 795 |
| 詳細情報 | 795 |
| OBUFT8 | 796 |
| サポートされているアーキテクチャ..... | 796 |
| 概要..... | 796 |
| 論理表..... | 796 |
| デザインの入力方法..... | 796 |
| 使用可能な属性..... | 797 |
| 詳細情報 | 797 |
| OBUFTDS | 798 |
| サポートされているアーキテクチャ..... | 798 |
| 概要..... | 798 |
| 論理表..... | 798 |
| ポートの説明 | 798 |
| デザインの入力方法..... | 799 |
| 使用可能な属性..... | 799 |
| 詳細情報 | 800 |
| ODDR2 | 801 |
| サポートされているアーキテクチャ..... | 801 |
| 概要..... | 801 |
| 論理表..... | 801 |
| デザインの入力方法..... | 802 |
| 使用可能な属性..... | 802 |
| 詳細情報 | 803 |
| OFD | 804 |
| サポートされているアーキテクチャ..... | 804 |
| 概要..... | 804 |
| 論理表..... | 804 |
| デザインの入力方法..... | 804 |

| | |
|-----------------------|-----|
| 詳細情報 | 805 |
| OFD1..... | 806 |
| サポートされているアーキテクチャ..... | 806 |
| 概要..... | 806 |
| 論理表..... | 806 |
| デザインの入力方法..... | 806 |
| 詳細情報 | 807 |
| OFD16..... | 808 |
| サポートされているアーキテクチャ..... | 808 |
| 概要..... | 808 |
| 論理表..... | 808 |
| デザインの入力方法..... | 808 |
| 詳細情報 | 809 |
| OFD4..... | 810 |
| サポートされているアーキテクチャ..... | 810 |
| 概要..... | 810 |
| 論理表..... | 810 |
| デザインの入力方法..... | 810 |
| 詳細情報 | 811 |
| OFD8..... | 812 |
| サポートされているアーキテクチャ..... | 812 |
| 概要..... | 812 |
| 論理表..... | 812 |
| デザインの入力方法..... | 812 |
| 詳細情報 | 813 |
| OFDE..... | 814 |
| サポートされているアーキテクチャ..... | 814 |
| 概要..... | 814 |
| 論理表..... | 814 |
| デザインの入力方法..... | 814 |
| 詳細情報 | 815 |
| OFDE1..... | 816 |
| サポートされているアーキテクチャ..... | 816 |
| 概要..... | 816 |
| 論理表..... | 816 |
| デザインの入力方法..... | 816 |
| 詳細情報 | 817 |
| OFDE16..... | 818 |
| サポートされているアーキテクチャ..... | 818 |
| 概要..... | 818 |
| 論理表..... | 818 |
| デザインの入力方法..... | 818 |
| 詳細情報 | 819 |
| OFDE4..... | 820 |
| サポートされているアーキテクチャ..... | 820 |
| 概要..... | 820 |
| 論理表..... | 820 |
| デザインの入力方法..... | 821 |
| 詳細情報 | 821 |
| OFDE8..... | 822 |
| サポートされているアーキテクチャ..... | 822 |
| 概要..... | 822 |
| 論理表..... | 822 |
| デザインの入力方法..... | 822 |
| 詳細情報 | 823 |
| OFDI | 824 |
| サポートされているアーキテクチャ..... | 824 |
| 概要..... | 824 |
| 論理表..... | 824 |

| | |
|-----------------------|-----|
| デザインの入力方法..... | 824 |
| 詳細情報 | 825 |
| OFDI1..... | 826 |
| サポートされているアーキテクチャ..... | 826 |
| 概要..... | 826 |
| 論理表..... | 826 |
| デザインの入力方法..... | 826 |
| 詳細情報 | 827 |
| OFDT..... | 828 |
| サポートされているアーキテクチャ..... | 828 |
| 概要..... | 828 |
| 論理表..... | 828 |
| デザインの入力方法..... | 828 |
| 詳細情報 | 829 |
| OFDT1..... | 830 |
| サポートされているアーキテクチャ..... | 830 |
| 概要..... | 830 |
| 論理表..... | 830 |
| デザインの入力方法..... | 830 |
| 詳細情報 | 831 |
| OFDT16..... | 832 |
| サポートされているアーキテクチャ..... | 832 |
| 概要..... | 832 |
| 論理表..... | 832 |
| デザインの入力方法..... | 832 |
| 詳細情報 | 833 |
| OFDT4..... | 834 |
| サポートされているアーキテクチャ..... | 834 |
| 概要..... | 834 |
| 論理表..... | 834 |
| デザインの入力方法..... | 835 |
| 詳細情報 | 835 |
| OFDT8..... | 836 |
| サポートされているアーキテクチャ..... | 836 |
| 概要..... | 836 |
| 論理表..... | 836 |
| デザインの入力方法..... | 836 |
| 詳細情報 | 837 |
| OFDX..... | 838 |
| サポートされているアーキテクチャ..... | 838 |
| 概要..... | 838 |
| 論理表..... | 838 |
| デザインの入力方法..... | 838 |
| 詳細情報 | 839 |
| OFDX1..... | 840 |
| サポートされているアーキテクチャ..... | 840 |
| 概要..... | 840 |
| 論理表..... | 840 |
| デザインの入力方法..... | 840 |
| 詳細情報 | 841 |
| OFDX16..... | 842 |
| サポートされているアーキテクチャ..... | 842 |
| 概要..... | 842 |
| 論理表..... | 842 |
| デザインの入力方法..... | 842 |
| 詳細情報 | 843 |
| OFDX4..... | 844 |
| サポートされているアーキテクチャ..... | 844 |
| 概要..... | 844 |

| | |
|-----------------------|-----|
| 論理表..... | 844 |
| デザインの入力方法..... | 844 |
| 詳細情報 | 845 |
| OFDX8 | 846 |
| サポートされているアーキテクチャ..... | 846 |
| 概要..... | 846 |
| 論理表..... | 846 |
| デザインの入力方法..... | 846 |
| 詳細情報 | 847 |
| OFDXI | 848 |
| サポートされているアーキテクチャ..... | 848 |
| 概要..... | 848 |
| 論理表..... | 848 |
| デザインの入力方法..... | 848 |
| 詳細情報 | 849 |
| OFDXI1 | 850 |
| サポートされているアーキテクチャ..... | 850 |
| 概要..... | 850 |
| 論理表..... | 850 |
| デザインの入力方法..... | 850 |
| 詳細情報 | 851 |
| OR12 | 852 |
| サポートされているアーキテクチャ..... | 852 |
| 概要..... | 852 |
| デザインの入力方法..... | 852 |
| 詳細情報 | 853 |
| OR16 | 854 |
| サポートされているアーキテクチャ..... | 854 |
| 概要..... | 854 |
| デザインの入力方法..... | 854 |
| 詳細情報 | 855 |
| OR2 | 856 |
| サポートされているアーキテクチャ..... | 856 |
| 概要..... | 856 |
| デザインの入力方法..... | 856 |
| 詳細情報 | 857 |
| OR2B1 | 858 |
| サポートされているアーキテクチャ..... | 858 |
| 概要..... | 858 |
| デザインの入力方法..... | 858 |
| 詳細情報 | 859 |
| OR2B2 | 860 |
| サポートされているアーキテクチャ..... | 860 |
| 概要..... | 860 |
| デザインの入力方法..... | 860 |
| 詳細情報 | 861 |
| OR2L | 862 |
| サポートされているアーキテクチャ..... | 862 |
| 概要..... | 862 |
| 論理表..... | 862 |
| ポートの説明 | 862 |
| デザインの入力方法..... | 862 |
| 詳細情報 | 863 |
| OR3 | 864 |
| サポートされているアーキテクチャ..... | 864 |
| 概要..... | 864 |
| デザインの入力方法..... | 864 |
| 詳細情報 | 865 |
| OR3B1 | 866 |

| | |
|-----------------------|-----|
| サポートされているアーキテクチャ..... | 866 |
| 概要..... | 866 |
| デザインの入力方法..... | 866 |
| 詳細情報..... | 867 |
| OR3B2..... | 868 |
| サポートされているアーキテクチャ..... | 868 |
| 概要..... | 868 |
| デザインの入力方法..... | 868 |
| 詳細情報..... | 869 |
| OR3B3..... | 870 |
| サポートされているアーキテクチャ..... | 870 |
| 概要..... | 870 |
| デザインの入力方法..... | 870 |
| 詳細情報..... | 871 |
| OR4..... | 872 |
| サポートされているアーキテクチャ..... | 872 |
| 概要..... | 872 |
| デザインの入力方法..... | 872 |
| 詳細情報..... | 873 |
| OR4B1..... | 874 |
| サポートされているアーキテクチャ..... | 874 |
| 概要..... | 874 |
| デザインの入力方法..... | 874 |
| 詳細情報..... | 875 |
| OR4B2..... | 876 |
| サポートされているアーキテクチャ..... | 876 |
| 概要..... | 876 |
| デザインの入力方法..... | 876 |
| 詳細情報..... | 877 |
| OR4B3..... | 878 |
| サポートされているアーキテクチャ..... | 878 |
| 概要..... | 878 |
| デザインの入力方法..... | 878 |
| 詳細情報..... | 879 |
| OR4B4..... | 880 |
| サポートされているアーキテクチャ..... | 880 |
| 概要..... | 880 |
| デザインの入力方法..... | 880 |
| 詳細情報..... | 881 |
| OR5..... | 882 |
| サポートされているアーキテクチャ..... | 882 |
| 概要..... | 882 |
| デザインの入力方法..... | 882 |
| 詳細情報..... | 883 |
| OR5B1..... | 884 |
| サポートされているアーキテクチャ..... | 884 |
| 概要..... | 884 |
| デザインの入力方法..... | 884 |
| 詳細情報..... | 885 |
| OR5B2..... | 886 |
| サポートされているアーキテクチャ..... | 886 |
| 概要..... | 886 |
| デザインの入力方法..... | 886 |
| 詳細情報..... | 887 |
| OR5B3..... | 888 |
| サポートされているアーキテクチャ..... | 888 |
| 概要..... | 888 |
| デザインの入力方法..... | 888 |
| 詳細情報..... | 889 |

| | |
|-------------------------|-----|
| OR5B4 | 890 |
| サポートされているアーキテクチャ..... | 890 |
| 概要..... | 890 |
| デザインの入力方法..... | 890 |
| 詳細情報 | 891 |
| OR5B5 | 892 |
| サポートされているアーキテクチャ..... | 892 |
| 概要..... | 892 |
| デザインの入力方法..... | 892 |
| 詳細情報 | 893 |
| OR6..... | 894 |
| サポートされているアーキテクチャ..... | 894 |
| 概要..... | 894 |
| デザインの入力方法..... | 894 |
| 詳細情報 | 895 |
| OR7 | 896 |
| サポートされているアーキテクチャ..... | 896 |
| 概要..... | 896 |
| デザインの入力方法..... | 896 |
| 詳細情報 | 897 |
| OR8..... | 898 |
| サポートされているアーキテクチャ..... | 898 |
| 概要..... | 898 |
| デザインの入力方法..... | 898 |
| 詳細情報 | 899 |
| OR9 | 900 |
| サポートされているアーキテクチャ..... | 900 |
| 概要..... | 900 |
| デザインの入力方法..... | 900 |
| 詳細情報 | 901 |
| OSERDES2 | 902 |
| サポートされているアーキテクチャ..... | 902 |
| 概要..... | 902 |
| ポートの説明 | 903 |
| デザインの入力方法..... | 903 |
| 使用可能な属性..... | 904 |
| 詳細情報 | 907 |
| PCIE_A1 | 908 |
| サポートされているアーキテクチャ..... | 908 |
| 概要..... | 909 |
| デザインの入力方法..... | 909 |
| 詳細情報 | 909 |
| PLL_BASE | 910 |
| サポートされているアーキテクチャ..... | 910 |
| 概要..... | 910 |
| ポートの説明 | 910 |
| デザインの入力方法..... | 911 |
| 使用可能な属性..... | 911 |
| 詳細情報 | 914 |
| POST_CRC_INTERNAL | 915 |
| サポートされているアーキテクチャ..... | 915 |
| 概要..... | 915 |
| ポートの説明 | 915 |
| デザインの入力方法..... | 915 |
| 詳細情報 | 916 |
| PULLDOWN | 917 |
| サポートされているアーキテクチャ..... | 917 |
| 概要..... | 917 |
| ポートの説明 | 917 |

| | |
|-----------------------|-----|
| デザインの入力方法..... | 917 |
| 詳細情報 | 918 |
| PULLUP | 919 |
| サポートされているアーキテクチャ..... | 919 |
| 概要..... | 919 |
| ポートの説明 | 919 |
| デザインの入力方法..... | 919 |
| 詳細情報 | 920 |
| RAM128X1D | 921 |
| サポートされているアーキテクチャ..... | 921 |
| 概要..... | 921 |
| ポートの説明 | 921 |
| デザインの入力方法..... | 922 |
| 使用可能な属性..... | 922 |
| 詳細情報 | 923 |
| RAM16X1D | 924 |
| サポートされているアーキテクチャ..... | 924 |
| 概要..... | 924 |
| 論理表..... | 925 |
| デザインの入力方法..... | 925 |
| 使用可能な属性..... | 925 |
| 詳細情報 | 927 |
| RAM16X1D_1 | 928 |
| サポートされているアーキテクチャ..... | 928 |
| 概要..... | 928 |
| 論理表..... | 928 |
| ポートの説明 | 929 |
| デザインの入力方法..... | 929 |
| 使用可能な属性..... | 929 |
| 詳細情報 | 931 |
| RAM16X1S | 932 |
| サポートされているアーキテクチャ..... | 932 |
| 概要..... | 932 |
| 論理表..... | 932 |
| デザインの入力方法..... | 933 |
| 使用可能な属性..... | 933 |
| 詳細情報 | 934 |
| RAM16X1S_1..... | 935 |
| サポートされているアーキテクチャ..... | 935 |
| 概要..... | 935 |
| 論理表..... | 936 |
| デザインの入力方法..... | 936 |
| 使用可能な属性..... | 936 |
| 詳細情報 | 937 |
| RAM16X2S | 938 |
| サポートされているアーキテクチャ..... | 938 |
| 概要..... | 938 |
| 論理表..... | 939 |
| デザインの入力方法..... | 939 |
| 使用可能な属性..... | 939 |
| 詳細情報 | 940 |
| RAM16X4S | 941 |
| サポートされているアーキテクチャ..... | 941 |
| 概要..... | 941 |
| 論理表..... | 942 |
| デザインの入力方法..... | 942 |
| 使用可能な属性..... | 942 |
| 詳細情報 | 944 |
| RAM16X8S | 945 |

| | |
|-----------------------|-----|
| サポートされているアーキテクチャ..... | 945 |
| 概要..... | 945 |
| 論理表..... | 945 |
| デザインの入力方法..... | 946 |
| 使用可能な属性..... | 946 |
| 詳細情報..... | 947 |
| RAM256X1S..... | 948 |
| サポートされているアーキテクチャ..... | 948 |
| 概要..... | 948 |
| ポートの説明..... | 948 |
| デザインの入力方法..... | 948 |
| 使用可能な属性..... | 949 |
| 詳細情報..... | 950 |
| RAM32M..... | 951 |
| サポートされているアーキテクチャ..... | 951 |
| 概要..... | 951 |
| ポートの説明..... | 952 |
| デザインの入力方法..... | 952 |
| 使用可能な属性..... | 953 |
| 詳細情報..... | 954 |
| RAM32X1S..... | 955 |
| サポートされているアーキテクチャ..... | 955 |
| 概要..... | 955 |
| 論理表..... | 956 |
| デザインの入力方法..... | 956 |
| 使用可能な属性..... | 956 |
| 詳細情報..... | 957 |
| RAM32X1S.1..... | 958 |
| サポートされているアーキテクチャ..... | 958 |
| 概要..... | 958 |
| 論理表..... | 958 |
| デザインの入力方法..... | 959 |
| 使用可能な属性..... | 959 |
| 詳細情報..... | 960 |
| RAM32X2S..... | 961 |
| サポートされているアーキテクチャ..... | 961 |
| 概要..... | 961 |
| 論理表..... | 962 |
| デザインの入力方法..... | 962 |
| 使用可能な属性..... | 962 |
| 詳細情報..... | 964 |
| RAM32X4S..... | 965 |
| サポートされているアーキテクチャ..... | 965 |
| 概要..... | 965 |
| 論理表..... | 966 |
| デザインの入力方法..... | 966 |
| 使用可能な属性..... | 966 |
| 詳細情報..... | 968 |
| RAM32X8S..... | 969 |
| サポートされているアーキテクチャ..... | 969 |
| 概要..... | 969 |
| 論理表..... | 970 |
| デザインの入力方法..... | 970 |
| 使用可能な属性..... | 970 |
| 詳細情報..... | 972 |
| RAM64M..... | 973 |
| サポートされているアーキテクチャ..... | 973 |
| 概要..... | 973 |
| ポートの説明..... | 974 |

| | |
|-----------------------|------|
| デザインの入力方法..... | 974 |
| 使用可能な属性..... | 975 |
| 詳細情報 | 976 |
| RAM64X1D | 977 |
| サポートされているアーキテクチャ..... | 977 |
| 概要..... | 977 |
| 論理表..... | 978 |
| デザインの入力方法..... | 978 |
| 使用可能な属性..... | 978 |
| 詳細情報 | 979 |
| RAM64X1S | 980 |
| サポートされているアーキテクチャ..... | 980 |
| 概要..... | 980 |
| 論理表..... | 980 |
| デザインの入力方法..... | 981 |
| 使用可能な属性..... | 981 |
| 詳細情報 | 982 |
| RAM64X1S.1 | 983 |
| サポートされているアーキテクチャ..... | 983 |
| 概要..... | 983 |
| 論理表..... | 983 |
| デザインの入力方法..... | 984 |
| 使用可能な属性..... | 984 |
| 詳細情報 | 985 |
| RAM64X2S | 986 |
| サポートされているアーキテクチャ..... | 986 |
| 概要..... | 986 |
| 論理表..... | 987 |
| デザインの入力方法..... | 987 |
| 使用可能な属性..... | 987 |
| 詳細情報 | 989 |
| RAMB16BWER | 990 |
| サポートされているアーキテクチャ..... | 990 |
| 概要..... | 990 |
| ポートの説明 | 991 |
| デザインの入力方法..... | 991 |
| 使用可能な属性..... | 993 |
| 詳細情報 | 994 |
| RAMB8BWER..... | 995 |
| サポートされているアーキテクチャ..... | 995 |
| 概要..... | 995 |
| ポートの説明 | 995 |
| デザインの入力方法..... | 997 |
| 使用可能な属性..... | 997 |
| 詳細情報 | 1002 |
| ROM128X1 | 1003 |
| サポートされているアーキテクチャ..... | 1003 |
| 概要..... | 1003 |
| 論理表..... | 1004 |
| デザインの入力方法..... | 1004 |
| 使用可能な属性..... | 1004 |
| 詳細情報 | 1006 |
| ROM16X1 | 1007 |
| サポートされているアーキテクチャ..... | 1007 |
| 概要..... | 1007 |
| 論理表..... | 1008 |
| デザインの入力方法..... | 1008 |
| 使用可能な属性..... | 1008 |
| 詳細情報 | 1009 |

| | |
|-----------------------|------|
| ROM256X1 | 1010 |
| サポートされているアーキテクチャ..... | 1010 |
| 概要..... | 1010 |
| 論理表..... | 1011 |
| デザインの入力方法..... | 1011 |
| 使用可能な属性..... | 1011 |
| 詳細情報 | 1013 |
| ROM32X1..... | 1014 |
| サポートされているアーキテクチャ..... | 1014 |
| 概要..... | 1014 |
| 論理表..... | 1015 |
| デザインの入力方法..... | 1015 |
| 使用可能な属性..... | 1015 |
| 詳細情報 | 1016 |
| ROM64X1..... | 1017 |
| サポートされているアーキテクチャ..... | 1017 |
| 概要..... | 1017 |
| 論理表..... | 1018 |
| デザインの入力方法..... | 1018 |
| 使用可能な属性..... | 1018 |
| 詳細情報 | 1020 |
| SOP3 | 1021 |
| サポートされているアーキテクチャ..... | 1021 |
| 概要..... | 1021 |
| デザインの入力方法..... | 1021 |
| 詳細情報 | 1022 |
| SOP3B1A | 1023 |
| サポートされているアーキテクチャ..... | 1023 |
| 概要..... | 1023 |
| デザインの入力方法..... | 1023 |
| 詳細情報 | 1024 |
| SOP3B1B..... | 1025 |
| サポートされているアーキテクチャ..... | 1025 |
| 概要..... | 1025 |
| デザインの入力方法..... | 1025 |
| 詳細情報 | 1026 |
| SOP3B2A | 1027 |
| サポートされているアーキテクチャ..... | 1027 |
| 概要..... | 1027 |
| デザインの入力方法..... | 1027 |
| 詳細情報 | 1028 |
| SOP3B2B..... | 1029 |
| サポートされているアーキテクチャ..... | 1029 |
| 概要..... | 1029 |
| デザインの入力方法..... | 1029 |
| 詳細情報 | 1030 |
| SOP3B3..... | 1031 |
| サポートされているアーキテクチャ..... | 1031 |
| 概要..... | 1031 |
| デザインの入力方法..... | 1031 |
| 詳細情報 | 1032 |
| SOP4 | 1033 |
| サポートされているアーキテクチャ..... | 1033 |
| 概要..... | 1033 |
| デザインの入力方法..... | 1033 |
| 詳細情報 | 1034 |
| SOP4B1..... | 1035 |
| サポートされているアーキテクチャ..... | 1035 |
| 概要..... | 1035 |

| | |
|-----------------------|------|
| デザインの入力方法..... | 1035 |
| 詳細情報 | 1036 |
| SOP4B2A | 1037 |
| サポートされているアーキテクチャ..... | 1037 |
| 概要..... | 1037 |
| デザインの入力方法..... | 1037 |
| 詳細情報 | 1038 |
| SOP4B2B..... | 1039 |
| サポートされているアーキテクチャ..... | 1039 |
| 概要..... | 1039 |
| デザインの入力方法..... | 1039 |
| 詳細情報 | 1040 |
| SOP4B3..... | 1041 |
| サポートされているアーキテクチャ..... | 1041 |
| 概要..... | 1041 |
| デザインの入力方法..... | 1041 |
| 詳細情報 | 1042 |
| SOP4B4..... | 1043 |
| サポートされているアーキテクチャ..... | 1043 |
| 概要..... | 1043 |
| デザインの入力方法..... | 1043 |
| 詳細情報 | 1044 |
| SPL_ACCESS | 1045 |
| サポートされているアーキテクチャ..... | 1045 |
| 概要..... | 1045 |
| ポートの説明 | 1045 |
| デザインの入力方法..... | 1045 |
| 使用可能な属性..... | 1046 |
| 詳細情報 | 1047 |
| SR16CE..... | 1048 |
| サポートされているアーキテクチャ..... | 1048 |
| 概要..... | 1048 |
| 論理表..... | 1049 |
| デザインの入力方法..... | 1049 |
| 詳細情報 | 1049 |
| SR16CLE | 1050 |
| サポートされているアーキテクチャ..... | 1050 |
| 概要..... | 1050 |
| 論理表..... | 1051 |
| デザインの入力方法..... | 1051 |
| 詳細情報 | 1051 |
| SR16CLED..... | 1052 |
| サポートされているアーキテクチャ..... | 1052 |
| 概要..... | 1052 |
| 論理表..... | 1053 |
| デザインの入力方法..... | 1053 |
| 詳細情報 | 1053 |
| SR16RE | 1054 |
| サポートされているアーキテクチャ..... | 1054 |
| 概要..... | 1054 |
| 論理表..... | 1055 |
| デザインの入力方法..... | 1055 |
| 詳細情報 | 1055 |
| SR16RLE | 1056 |
| サポートされているアーキテクチャ..... | 1056 |
| 概要..... | 1056 |
| 論理表..... | 1057 |
| デザインの入力方法..... | 1057 |
| 詳細情報 | 1057 |

| | |
|-----------------------|------|
| SR16RLED | 1058 |
| サポートされているアーキテクチャ..... | 1058 |
| 概要..... | 1058 |
| 論理表..... | 1059 |
| デザインの入力方法..... | 1059 |
| 詳細情報 | 1059 |
| SR4CE | 1060 |
| サポートされているアーキテクチャ..... | 1060 |
| 概要..... | 1060 |
| 論理表..... | 1061 |
| デザインの入力方法..... | 1061 |
| 詳細情報 | 1061 |
| SR4CLE..... | 1062 |
| サポートされているアーキテクチャ..... | 1062 |
| 概要..... | 1062 |
| 論理表..... | 1063 |
| デザインの入力方法..... | 1063 |
| 詳細情報 | 1063 |
| SR4CLED | 1064 |
| サポートされているアーキテクチャ..... | 1064 |
| 概要..... | 1064 |
| 論理表..... | 1065 |
| デザインの入力方法..... | 1065 |
| 詳細情報 | 1065 |
| SR4RE..... | 1066 |
| サポートされているアーキテクチャ..... | 1066 |
| 概要..... | 1066 |
| 論理表..... | 1067 |
| デザインの入力方法..... | 1067 |
| 詳細情報 | 1067 |
| SR4RLE..... | 1068 |
| サポートされているアーキテクチャ..... | 1068 |
| 概要..... | 1068 |
| 論理表..... | 1069 |
| デザインの入力方法..... | 1069 |
| 詳細情報 | 1069 |
| SR4RLED..... | 1070 |
| サポートされているアーキテクチャ..... | 1070 |
| 概要..... | 1070 |
| 論理表..... | 1071 |
| デザインの入力方法..... | 1071 |
| 詳細情報 | 1071 |
| SR8CE | 1072 |
| サポートされているアーキテクチャ..... | 1072 |
| 概要..... | 1072 |
| 論理表..... | 1073 |
| デザインの入力方法..... | 1073 |
| 詳細情報 | 1073 |
| SR8CLE..... | 1074 |
| サポートされているアーキテクチャ..... | 1074 |
| 概要..... | 1074 |
| 論理表..... | 1075 |
| デザインの入力方法..... | 1075 |
| 詳細情報 | 1075 |
| SR8CLED | 1076 |
| サポートされているアーキテクチャ..... | 1076 |
| 概要..... | 1076 |
| 論理表..... | 1077 |
| デザインの入力方法..... | 1077 |

| | |
|-----------------------|------|
| 詳細情報 | 1077 |
| SR8RE..... | 1078 |
| サポートされているアーキテクチャ..... | 1078 |
| 概要..... | 1078 |
| 論理表..... | 1079 |
| デザインの入力方法..... | 1079 |
| 詳細情報 | 1079 |
| SR8RLE..... | 1080 |
| サポートされているアーキテクチャ..... | 1080 |
| 概要..... | 1080 |
| 論理表..... | 1081 |
| デザインの入力方法..... | 1081 |
| 詳細情報 | 1081 |
| SR8RLED..... | 1082 |
| サポートされているアーキテクチャ..... | 1082 |
| 概要..... | 1082 |
| 論理表..... | 1083 |
| デザインの入力方法..... | 1083 |
| 詳細情報 | 1083 |
| SRL16 | 1084 |
| サポートされているアーキテクチャ..... | 1084 |
| 概要..... | 1084 |
| 論理表..... | 1084 |
| デザインの入力方法..... | 1085 |
| 使用可能な属性..... | 1085 |
| 詳細情報 | 1086 |
| SRL16_1 | 1087 |
| サポートされているアーキテクチャ..... | 1087 |
| 概要..... | 1087 |
| 論理表..... | 1088 |
| デザインの入力方法..... | 1088 |
| 使用可能な属性..... | 1088 |
| 詳細情報 | 1089 |
| SRL16E | 1090 |
| サポートされているアーキテクチャ..... | 1090 |
| 概要..... | 1090 |
| 論理表..... | 1091 |
| ポートの説明 | 1091 |
| デザインの入力方法..... | 1091 |
| 使用可能な属性..... | 1091 |
| 詳細情報 | 1093 |
| SRL16E_1..... | 1094 |
| サポートされているアーキテクチャ..... | 1094 |
| 概要..... | 1094 |
| 論理表..... | 1095 |
| デザインの入力方法..... | 1095 |
| 使用可能な属性..... | 1095 |
| 詳細情報 | 1096 |
| SRLC16..... | 1097 |
| サポートされているアーキテクチャ..... | 1097 |
| 概要..... | 1097 |
| 論理表..... | 1098 |
| デザインの入力方法..... | 1098 |
| 使用可能な属性..... | 1098 |
| 詳細情報 | 1099 |
| SRLC16_1 | 1100 |
| サポートされているアーキテクチャ..... | 1100 |
| 概要..... | 1100 |
| 論理表..... | 1100 |

| | |
|------------------------|------|
| デザインの入力方法..... | 1101 |
| 使用可能な属性..... | 1101 |
| 詳細情報 | 1102 |
| SRLC16E | 1103 |
| サポートされているアーキテクチャ..... | 1103 |
| 概要..... | 1103 |
| 論理表..... | 1104 |
| デザインの入力方法..... | 1104 |
| 使用可能な属性..... | 1104 |
| 詳細情報 | 1105 |
| SRLC16E.1 | 1106 |
| サポートされているアーキテクチャ..... | 1106 |
| 概要..... | 1106 |
| 論理表..... | 1107 |
| デザインの入力方法..... | 1107 |
| 使用可能な属性..... | 1107 |
| 詳細情報 | 1108 |
| SRLC32E | 1109 |
| サポートされているアーキテクチャ..... | 1109 |
| 概要..... | 1109 |
| ポートの説明 | 1110 |
| デザインの入力方法..... | 1110 |
| 使用可能な属性..... | 1110 |
| 詳細情報 | 1111 |
| STARTUP_SPARTAN6 | 1112 |
| サポートされているアーキテクチャ..... | 1112 |
| 概要..... | 1112 |
| ポートの説明 | 1112 |
| デザインの入力方法..... | 1112 |
| 詳細情報 | 1114 |
| SUSPEND_SYNC | 1115 |
| サポートされているアーキテクチャ..... | 1115 |
| 概要..... | 1115 |
| ポートの説明 | 1115 |
| デザインの入力方法..... | 1115 |
| 詳細情報 | 1116 |
| VCC | 1117 |
| サポートされているアーキテクチャ..... | 1117 |
| 概要..... | 1117 |
| デザインの入力方法..... | 1117 |
| 詳細情報 | 1118 |
| XNOR2 | 1119 |
| サポートされているアーキテクチャ..... | 1119 |
| 概要..... | 1119 |
| 論理表..... | 1119 |
| デザインの入力方法..... | 1119 |
| 詳細情報 | 1120 |
| XNOR3 | 1121 |
| サポートされているアーキテクチャ..... | 1121 |
| 概要..... | 1121 |
| 論理表..... | 1121 |
| デザインの入力方法..... | 1121 |
| 詳細情報 | 1122 |
| XNOR4 | 1123 |
| サポートされているアーキテクチャ..... | 1123 |
| 概要..... | 1123 |
| 論理表..... | 1123 |
| デザインの入力方法..... | 1123 |
| 詳細情報 | 1124 |

| | |
|-----------------------|------|
| XNOR5 | 1125 |
| サポートされているアーキテクチャ..... | 1125 |
| 概要..... | 1125 |
| 論理表..... | 1125 |
| デザインの入力方法..... | 1125 |
| 詳細情報 | 1126 |
| XNOR6 | 1127 |
| サポートされているアーキテクチャ..... | 1127 |
| 概要..... | 1127 |
| 論理表..... | 1127 |
| デザインの入力方法..... | 1127 |
| 詳細情報 | 1128 |
| XNOR7 | 1129 |
| サポートされているアーキテクチャ..... | 1129 |
| 概要..... | 1129 |
| 論理表..... | 1129 |
| デザインの入力方法..... | 1129 |
| 詳細情報 | 1130 |
| XNOR8 | 1131 |
| サポートされているアーキテクチャ..... | 1131 |
| 概要..... | 1131 |
| 論理表..... | 1131 |
| デザインの入力方法..... | 1131 |
| 詳細情報 | 1132 |
| XNOR9 | 1133 |
| サポートされているアーキテクチャ..... | 1133 |
| 概要..... | 1133 |
| 論理表..... | 1133 |
| デザインの入力方法..... | 1133 |
| 詳細情報 | 1134 |
| XOR2..... | 1135 |
| サポートされているアーキテクチャ..... | 1135 |
| 概要..... | 1135 |
| デザインの入力方法..... | 1135 |
| 詳細情報 | 1136 |
| XOR3..... | 1137 |
| サポートされているアーキテクチャ..... | 1137 |
| 概要..... | 1137 |
| デザインの入力方法..... | 1137 |
| 詳細情報 | 1138 |
| XOR4..... | 1139 |
| サポートされているアーキテクチャ..... | 1139 |
| 概要..... | 1139 |
| デザインの入力方法..... | 1139 |
| 詳細情報 | 1140 |
| XOR5..... | 1141 |
| サポートされているアーキテクチャ..... | 1141 |
| 概要..... | 1141 |
| デザインの入力方法..... | 1141 |
| 詳細情報 | 1142 |
| XOR6..... | 1143 |
| サポートされているアーキテクチャ..... | 1143 |
| 概要..... | 1143 |
| デザインの入力方法..... | 1143 |
| 詳細情報 | 1144 |
| XOR7..... | 1145 |
| サポートされているアーキテクチャ..... | 1145 |
| 概要..... | 1145 |
| デザインの入力方法..... | 1145 |

| | |
|-----------------------|------|
| 詳細情報 | 1146 |
| XOR8..... | 1147 |
| サポートされているアーキテクチャ..... | 1147 |
| 概要..... | 1147 |
| デザインの入力方法..... | 1147 |
| 詳細情報 | 1148 |
| XOR9..... | 1149 |
| サポートされているアーキテクチャ..... | 1149 |
| 概要..... | 1149 |
| デザインの入力方法..... | 1149 |
| 詳細情報 | 1150 |
| XORCY | 1151 |
| サポートされているアーキテクチャ..... | 1151 |
| 概要..... | 1151 |
| 論理表..... | 1151 |
| デザインの入力方法..... | 1151 |
| 詳細情報 | 1152 |
| XORCY_D..... | 1153 |
| サポートされているアーキテクチャ..... | 1153 |
| 概要..... | 1153 |
| 論理表..... | 1153 |
| デザインの入力方法..... | 1153 |
| 詳細情報 | 1154 |
| XORCY_L | 1155 |
| サポートされているアーキテクチャ..... | 1155 |
| 概要..... | 1155 |
| 論理表..... | 1155 |
| デザインの入力方法..... | 1155 |
| 詳細情報 | 1156 |

第 1 章

このマニュアルについて

回路図用ライブラリ ガイドは、ISE のオンライン マニュアルの 1 つです。HDL を使用して設計する場合は、HDL 用ライブラリ ガイドを参照してください。

このマニュアルには、次の内容が含まれます。

- ・ 概要
- ・ ターゲット デバイス変更後のエレメントのリスト
- ・ このアーキテクチャでサポートされるプリミティブとマクロのファンクション別リスト
- ・ 各マクロの詳細説明
- ・ 各プリミティブの詳細説明

デザイン エレメント

このバージョンのライブラリ ガイドでは、このアーキテクチャのデザイン エレメントが記載されています。デザイン エレメントはいくつかのカテゴリに分類されています。

- ・ **ターゲット デバイス変更後のエレメント**：このアーキテクチャで使用すると自動的に ISE ソフトウェア ツールにより変換される既存のデザイン エレメントです。ターゲット デバイスを変更することにより最新の回路設計技術を最大限に利用できるようになります。
- ・ **プリミティブ**：ザイリンクス ライブラリで、ロジックの基本となる最も単純なデザイン エレメント。ザイリンクスのプリミティブの例として、BUF (バッファ)、FD (D フリップフロップ) などがあります。
- ・ **マクロ**：ザイリンクス ライブラリの基本となるデザイン エレメント。デザイン エレメントのプリミティブまたはマクロから作成することができます。たとえば、FD4CE フリップフロップ マクロは 4 つの FDCE プリミティブをまとめたものです。

ザイリンクスでは、さまざまなデバイス アーキテクチャに対応した多数のデザイン エレメント (マクロおよびプリミティブ) を含むソフトウェア ライブラリを提供しています。開発システム ソフトウェアのリリースごとに、新しいデザイン エレメントが組み込まれます。このマニュアルは、そのようなアーキテクチャ固有のライブラリの 1 つです。

ファンクション別分類

このセクションでは、デバイスに含まれるデザイン エLEMENTをファンクション別に分類して示します。ELEMENT (プリミティブおよびマクロのインプリメンテーション) は、各カテゴリでアルファベット順にリストしています。

| | | |
|--------------|--------------|----------|
| アドバンス | デコーダ | ロジック |
| 演算ファンクション | フリップフロップ | LUT |
| バッファ | 汎用ELEMENT | メモリ |
| キャリー ロジック | 入力/出力ファンクション | マルチプレクサ |
| クロック リソース | I/O | シフト レジスタ |
| コンパレータ | I/O フリップフロップ | シフタ |
| カウンタ | I/O ラッチ | |
| DDR フリップフロップ | ラッチ | |

アドバンス

| デザイン ELEMENT | 説明 |
|--------------|-----------------------------------|
| GTPA1_DUAL | プリミティブ : Dual Gigabit Transceiver |
| PCIE_A1 | プリミティブ : PCI Express |

演算ファンクション

| デザイン エLEMENT | 説明 |
|--------------|---|
| ACC16 | マクロ : 16-Bit Loadable Cascadable Accumulator with Carry-In, Carry-Out, and Synchronous Reset |
| ACC4 | マクロ : 4-Bit Loadable Cascadable Accumulator with Carry-In, Carry-Out, and Synchronous Reset |
| ACC8 | マクロ : 8-Bit Loadable Cascadable Accumulator with Carry-In, Carry-Out, and Synchronous Reset |
| ADD16 | マクロ : 16-Bit Cascadable Full Adder with Carry-In, Carry-Out, and Overflow |
| ADD4 | マクロ : 4-Bit Cascadable Full Adder with Carry-In, Carry-Out, and Overflow |
| ADD8 | マクロ : 8-Bit Cascadable Full Adder with Carry-In, Carry-Out, and Overflow |
| ADSU16 | マクロ : 16-Bit Cascadable Adder/Subtractor with Carry-In, Carry-Out, and Overflow |
| ADSU4 | マクロ : 4-Bit Cascadable Adder/Subtractor with Carry-In, Carry-Out, and Overflow |
| ADSU8 | マクロ : 8-Bit Cascadable Adder/Subtractor with Carry-In, Carry-Out, and Overflow |
| DSP48A1 | プリミティブ : Multi-Functional, Cascadable, 48-bit Output, Arithmetic Block |
| MULT18X18SIO | プリミティブ : 18 x 18 Cascadable Signed Multiplier with Optional Input and Output Registers, Clock Enable, and Synchronous Reset |

バッファ

| デザイン エLEMENT | 説明 |
|--------------|---|
| BUF | プリミティブ : General Purpose Buffer |
| BUFCF | プリミティブ : Fast Connect Buffer |
| BUFG | コンビニエンス プリミティブ : Global Clock Buffer |
| BUFGCE | コンビニエンス プリミティブ : Global Clock Buffer with Clock Enable |
| BUFGCE_1 | コンビニエンス プリミティブ : Global Clock Buffer with Clock Enable and Output State 1 |
| BUFGMUX | コンビニエンス プリミティブ : Global Clock MUX Buffer |
| BUFGMUX_1 | コンビニエンス プリミティブ : Global Clock MUX Buffer with Output State 1 |

キャリー ロジック

| デザイン エLEMENT | 説明 |
|--------------|---|
| CARRY4 | プリミティブ : Fast Carry Logic with Look Ahead |
| MUXCY | プリミティブ : 2-to-1 Multiplexer for Carry Logic with General Output |
| MUXCY_D | プリミティブ : 2-to-1 Multiplexer for Carry Logic with Dual Output |
| MUXCY_L | プリミティブ : 2-to-1 Multiplexer for Carry Logic with Local Output |
| XORCY | プリミティブ : XOR for Carry Logic with General Output |
| XORCY_D | プリミティブ : XOR for Carry Logic with Dual Output |
| XORCY_L | プリミティブ : XOR for Carry Logic with Local Output |

クロック リソース

| デザイン エLEMENT | 説明 |
|--------------|---|
| BUFH | コンビニエンス プリミティブ : Clock buffer for a single clocking region |
| BUFIO2 | プリミティブ : Dual Clock Buffer and Strobe Pulse |
| BUFIO2_2CLK | プリミティブ : Dual Clock Buffer and Strobe Pulse with Differential Input |
| BUFIO2FB | プリミティブ : Feedback Clock Buffer. |
| BUFPLL | プリミティブ : PLL Buffer |
| DCM_CLKGEN | プリミティブ : Digital Clock Manager. |
| DCM_SP | プリミティブ : Digital Clock Manager |
| PLL_BASE | プリミティブ : Basic Phase Locked Loop Clock Circuit |

コンパレータ

| デザイン エLEMENT | 説明 |
|--------------|-----------------------------------|
| COMP16 | マクロ : 16-Bit Identity Comparator |
| COMP2 | マクロ : 2-Bit Identity Comparator |
| COMP4 | マクロ : 4-Bit Identity Comparator |
| COMP8 | マクロ : 8-Bit Identity Comparator |
| COMPM16 | マクロ : 16-Bit Magnitude Comparator |
| COMPM2 | マクロ : 2-Bit Magnitude Comparator |
| COMPM4 | マクロ : 4-Bit Magnitude Comparator |
| COMPM8 | マクロ : 8-Bit Magnitude Comparator |
| COMPMC16 | マクロ : 16-Bit Magnitude Comparator |
| COMPMC8 | マクロ : 8-Bit Magnitude Comparator |

カウンタ

| デザイン エLEMENT | 説明 |
|--------------|---|
| CB16CE | マクロ : 16-Bit Cascadable Binary Counter with Clock Enable and Asynchronous Clear |
| CB16CLE | マクロ : 16-Bit Loadable Cascadable Binary Counters with Clock Enable and Asynchronous Clear |
| CB16CLED | マクロ : 16-Bit Loadable Cascadable Bidirectional Binary Counters with Clock Enable and Asynchronous Clear |
| CB16RE | マクロ : 16-Bit Cascadable Binary Counter with Clock Enable and Synchronous Reset |
| CB2CE | マクロ : 2-Bit Cascadable Binary Counter with Clock Enable and Asynchronous Clear |
| CB2CLE | マクロ : 2-Bit Loadable Cascadable Binary Counters with Clock Enable and Asynchronous Clear |
| CB2CLED | マクロ : 2-Bit Loadable Cascadable Bidirectional Binary Counters with Clock Enable and Asynchronous Clear |
| CB2RE | マクロ : 2-Bit Cascadable Binary Counter with Clock Enable and Synchronous Reset |

| デザイン エLEMENT | 説明 |
|--------------|--|
| CB4CE | マクロ : 4-Bit Cascadable Binary Counter with Clock Enable and Asynchronous Clear |
| CB4CLE | マクロ : 4-Bit Loadable Cascadable Binary Counters with Clock Enable and Asynchronous Clear |
| CB4CLED | マクロ : 4-Bit Loadable Cascadable Bidirectional Binary Counters with Clock Enable and Asynchronous Clear |
| CB4RE | マクロ : 4-Bit Cascadable Binary Counter with Clock Enable and Synchronous Reset |
| CB8CE | マクロ : 8-Bit Cascadable Binary Counter with Clock Enable and Asynchronous Clear |
| CB8CLE | マクロ : 8-Bit Loadable Cascadable Binary Counters with Clock Enable and Asynchronous Clear |
| CB8CLED | マクロ : 8-Bit Loadable Cascadable Bidirectional Binary Counters with Clock Enable and Asynchronous Clear |
| CB8RE | マクロ : 8-Bit Cascadable Binary Counter with Clock Enable and Synchronous Reset |
| CC16CE | マクロ : 16-Bit Cascadable Binary Counter with Clock Enable and Asynchronous Clear |
| CC16CLE | マクロ : 16-Bit Loadable Cascadable Binary Counter with Clock Enable and Asynchronous Clear |
| CC16CLED | マクロ : 16-Bit Loadable Cascadable Bidirectional Binary Counter with Clock Enable and Asynchronous Clear |
| CC16RE | マクロ : 16-Bit Cascadable Binary Counter with Clock Enable and Synchronous Reset |
| CC8CE | マクロ : 8-Bit Cascadable Binary Counter with Clock Enable and Asynchronous Clear |
| CC8CLE | マクロ : 8-Bit Loadable Cascadable Binary Counter with Clock Enable and Asynchronous Clear |
| CC8CLED | マクロ : 8-Bit Loadable Cascadable Bidirectional Binary Counter with Clock Enable and Asynchronous Clear |
| CC8RE | マクロ : 8-Bit Cascadable Binary Counter with Clock Enable and Synchronous Reset |
| CD4CE | マクロ : 4-Bit Cascadable BCD Counter with Clock Enable and Asynchronous Clear |
| CD4CLE | マクロ : 4-Bit Loadable Cascadable BCD Counter with Clock Enable and Asynchronous Clear |
| CD4RE | マクロ : 4-Bit Cascadable BCD Counter with Clock Enable and Synchronous Reset |
| CD4RLE | マクロ : 4-Bit Loadable Cascadable BCD Counter with Clock Enable and Synchronous Reset |
| CJ4CE | 4-Bit Johnson Counter with Clock Enable and Asynchronous Clear |
| CJ4RE | マクロ : 4-Bit Johnson Counter with Clock Enable and Synchronous Reset |
| CJ5CE | マクロ : 5-Bit Johnson Counter with Clock Enable and Asynchronous Clear |
| CJ5RE | マクロ : 5-Bit Johnson Counter with Clock Enable and Synchronous Reset |
| CJ8CE | マクロ : 8-Bit Johnson Counter with Clock Enable and Asynchronous Clear |
| CJ8RE | マクロ : 8-Bit Johnson Counter with Clock Enable and Synchronous Reset |
| CR16CE | マクロ : 16-Bit Negative-Edge Binary Ripple Counter with Clock Enable and Asynchronous Clear |
| CR8CE | マクロ : 8-Bit Negative-Edge Binary Ripple Counter with Clock Enable and Asynchronous Clear |

DDR フリップフロップ

| デザイン エLEMENT | 説明 |
|--------------|---|
| IDDR2 | プリミティブ : Double Data Rate Input D Flip-Flop with Optional Data Alignment, Clock Enable and Programmable Synchronous or Asynchronous Set/Reset |
| ODDR2 | プリミティブ : Dual Data Rate Output D Flip-Flop with Optional Data Alignment, Clock Enable and Programmable Synchronous or Asynchronous Set/Reset |

デコーダ

| デザイン エLEMENT | 説明 |
|--------------|---|
| D2_4E | マクロ : 2- to 4-Line Decoder/Demultiplexer with Enable |
| D3_8E | マクロ : 3- to 8-Line Decoder/Demultiplexer with Enable |
| D4_16E | マクロ : 4- to 16-Line Decoder/Demultiplexer with Enable |
| DEC_CC16 | マクロ : 16-Bit Active Low Decoder |
| DEC_CC4 | マクロ : 4-Bit Active Low Decoder |
| DEC_CC8 | マクロ : 8-Bit Active Low Decoder |
| DECODE16 | マクロ : 16-Bit Active-Low Decoder |
| DECODE32 | マクロ : 32-Bit Active-Low Decoder |
| DECODE4 | マクロ : 4-Bit Active-Low Decoder |
| DECODE64 | マクロ : 64-Bit Active-Low Decoder |
| DECODE8 | マクロ : 8-Bit Active-Low Decoder |

フリップフロップ

| デザイン エLEMENT | 説明 |
|--------------|---|
| FD | プリミティブ : D Flip-Flop |
| FD_1 | プリミティブ : D Flip-Flop with Negative-Edge Clock |
| FD16CE | マクロ : 16-Bit Data Register with Clock Enable and Asynchronous Clear |
| FD16RE | マクロ : 16-Bit Data Register with Clock Enable and Synchronous Reset |
| FD4CE | マクロ : 4-Bit Data Register with Clock Enable and Asynchronous Clear |
| FD4RE | マクロ : 4-Bit Data Register with Clock Enable and Synchronous Reset |
| FD8CE | マクロ : 8-Bit Data Register with Clock Enable and Asynchronous Clear |
| FD8RE | マクロ : 8-Bit Data Register with Clock Enable and Synchronous Reset |
| FDC | プリミティブ : D Flip-Flop with Asynchronous Clear |
| FDC_1 | プリミティブ : D Flip-Flop with Negative-Edge Clock and Asynchronous Clear |
| FDCE | プリミティブ : D Flip-Flop with Clock Enable and Asynchronous Clear |
| FDCE_1 | プリミティブ : D Flip-Flop with Negative-Edge Clock, Clock Enable, and Asynchronous Clear |
| FDE | プリミティブ : D Flip-Flop with Clock Enable |
| FDE_1 | プリミティブ : D Flip-Flop with Negative-Edge Clock and Clock Enable |

| デザイン エLEMENT | 説明 |
|--------------|--|
| FDP | プリミティブ : D Flip-Flop with Asynchronous Preset |
| FDP_1 | プリミティブ : D Flip-Flop with Negative-Edge Clock and Asynchronous Preset |
| FDPE | プリミティブ : D Flip-Flop with Clock Enable and Asynchronous Preset |
| FDPE_1 | プリミティブ : D Flip-Flop with Negative-Edge Clock, Clock Enable, and Asynchronous Preset |
| FDR | プリミティブ : D Flip-Flop with Synchronous Reset |
| FDR_1 | プリミティブ : D Flip-Flop with Negative-Edge Clock and Synchronous Reset |
| FDRE | プリミティブ : D Flip-Flop with Clock Enable and Synchronous Reset |
| FDRE_1 | プリミティブ : D Flip-Flop with Negative-Edge Clock, Clock Enable, and Synchronous Reset |
| FDS | プリミティブ : D Flip-Flop with Synchronous Set |
| FDS_1 | プリミティブ : D Flip-Flop with Negative-Edge Clock and Synchronous Set |
| FDSE | プリミティブ : D Flip-Flop with Clock Enable and Synchronous Set |
| FDSE_1 | プリミティブ : D Flip-Flop with Negative-Edge Clock, Clock Enable, and Synchronous Set |
| FJKC | マクロ : J-K Flip-Flop with Asynchronous Clear |
| FJKCE | マクロ : J-K Flip-Flop with Clock Enable and Asynchronous Clear |
| FJKP | マクロ : J-K Flip-Flop with Asynchronous Preset |
| FJKPE | マクロ : J-K Flip-Flop with Clock Enable and Asynchronous Preset |
| FJKRSE | マクロ : J-K Flip-Flop with Clock Enable and Synchronous Reset and Set |
| FJKSRE | マクロ : J-K Flip-Flop with Clock Enable and Synchronous Set and Reset |
| FTC | マクロ : Toggle Flip-Flop with Asynchronous Clear |
| FTCE | マクロ : Toggle Flip-Flop with Clock Enable and Asynchronous Clear |
| FTCLE | マクロ : Toggle/Loadable Flip-Flop with Clock Enable and Asynchronous Clear |
| FTCLEX | マクロ : Toggle/Loadable Flip-Flop with Clock Enable and Asynchronous Clear |
| FTP | マクロ : Toggle Flip-Flop with Asynchronous Preset |
| FTPE | マクロ : Toggle Flip-Flop with Clock Enable and Asynchronous Preset |
| FTPLE | マクロ : Toggle/Loadable Flip-Flop with Clock Enable and Asynchronous Preset |
| FTRSE | マクロ : Toggle Flip-Flop with Clock Enable and Synchronous Reset and Set |
| FTRSLE | マクロ : Toggle/Loadable Flip-Flop with Clock Enable and Synchronous Reset and Set |
| FTRSRE | マクロ : Toggle Flip-Flop with Clock Enable and Synchronous Set and Reset |
| FTRSLE | マクロ : Toggle/Loadable Flip-Flop with Clock Enable and Synchronous Set and Reset |

汎用エレメント

| デザイン エレメント | 説明 |
|-------------------|---|
| BSCAN_SPARTAN6 | プリミティブ : Spartan®-6 JTAG Boundary Scan Logic Control Circuit |
| DNA_PORT | プリミティブ : Device DNA Data Access Port |
| GND | プリミティブ : Ground-Connection Signal Tag |
| ICAP_SPARTAN6 | プリミティブ : Internal Configuration Access Port |
| KEEPER | プリミティブ : KEEPER Symbol |
| POST_CRC_INTERNAL | プリミティブ : Post-configuration CRC error detection |
| PULLDOWN | プリミティブ : Resistor to GND for Input Pads, Open-Drain, and 3-State Outputs |
| PULLUP | プリミティブ : Resistor to VCC for Input PADS, Open-Drain, and 3-State Outputs |
| SPI_ACCESS | プリミティブ : Internal Logic Access to the Serial Peripheral Interface (SPI) PROM Data |
| STARTUP_SPARTAN6 | プリミティブ : Spartan®-6 Global Set/Reset, Global 3-State and Configuration Start-Up Clock Interface |
| SUSPEND_SYNC | プリミティブ : Suspend Mode Access |
| VCC | プリミティブ : VCC-Connection Signal Tag |

入力/出力ファンクション

| デザイン エレメント | 説明 |
|------------|---|
| IODELAY2 | プリミティブ : Input and Output Fixed or Variable Delay Element |
| IODRP2 | プリミティブ : I/O Control Port |
| ISERDES2 | プリミティブ : Input SERIAL/DESerializer. |
| OSERDES2 | プリミティブ : Dedicated IOB Output Serializer |

I/O

| デザイン エLEMENT | 説明 |
|----------------|--|
| IBUF | プリミティブ : Input Buffer |
| IBUF16 | マクロ : 16-Bit Input Buffer |
| IBUF4 | マクロ : 4-Bit Input Buffer |
| IBUF8 | マクロ : 8-Bit Input Buffer |
| IBUFDS | プリミティブ : Differential Signaling Input Buffer |
| IBUFDS_DLY_ADJ | プリミティブ : Dynamically Adjustable Differential Input Delay Buffer |
| IBUFG | プリミティブ : Dedicated Input Clock Buffer |
| IBUFGDS | プリミティブ : Differential Signaling Dedicated Input Clock Buffer and Optional Delay |
| IOBUF | プリミティブ : Bi-Directional Buffer |
| IOBUFDS | プリミティブ : 3-State Differential Signaling I/O Buffer with Active Low Output Enable |
| OBUF | プリミティブ : Output Buffer |
| OBUF16 | マクロ : 16-Bit Output Buffer |
| OBUF4 | マクロ : 4-Bit Output Buffer |
| OBUF8 | マクロ : 8-Bit Output Buffer |
| OBUFDS | プリミティブ : Differential Signaling Output Buffer |
| OBUFT | プリミティブ : 3-State Output Buffer with Active Low Output Enable |
| OBUFT16 | マクロ : 16-Bit 3-State Output Buffer with Active Low Output Enable |
| OBUFT4 | マクロ : 4-Bit 3-State Output Buffers with Active-Low Output Enable |
| OBUFT8 | マクロ : 8-Bit 3-State Output Buffers with Active-Low Output Enable |
| OBUFTDS | プリミティブ : 3-State Output Buffer with Differential Signaling, Active-Low Output Enable |

I/O フリップフロップ

| デザイン エLEMENT | 説明 |
|--------------|---|
| IFD | マクロ : Input D Flip-Flop |
| IFD_1 | マクロ : Input D Flip-Flop with Inverted Clock (Asynchronous Preset) |
| IFD16 | マクロ : 16-Bit Input D Flip-Flop |
| IFD4 | マクロ : 4-Bit Input D Flip-Flop |
| IFD8 | マクロ : 8-Bit Input D Flip-Flop |
| IFDI | マクロ : Input D Flip-Flop (Asynchronous Preset) |
| IFDI_1 | マクロ : Input D Flip-Flop with Inverted Clock (Asynchronous Preset) |
| IFDX | マクロ : Input D Flip-Flop with Clock Enable |
| IFDX_1 | マクロ : Input D Flip-Flop with Inverted Clock and Clock Enable |
| IFDX16 | マクロ : 16-Bit Input D Flip-Flops with Clock Enable |
| IFDX4 | マクロ : 4-Bit Input D Flip-Flop with Clock Enable |
| IFDX8 | マクロ : 8-Bit Input D Flip-Flop with Clock Enable |

| デザイン エLEMENT | 説明 |
|--------------|---|
| IFDXI | マクロ : Input D Flip-Flop with Clock Enable (Asynchronous Preset) |
| IFDXI_1 | マクロ : Input D Flip-Flop with Inverted Clock and Clock Enable (Asynchronous Preset) |
| OFD | マクロ : Output D Flip-Flop |
| OFD_1 | マクロ : Output D Flip-Flop with Inverted Clock |
| OFD16 | マクロ : 16-Bit Output D Flip-Flop |
| OFD4 | マクロ : 4-Bit Output D Flip-Flop |
| OFD8 | マクロ : 8-Bit Output D Flip-Flop |
| OFDE | マクロ : D Flip-Flop with Active-High Enable Output Buffers |
| OFDE_1 | マクロ : D Flip-Flop with Active-High Enable Output Buffer and Inverted Clock |
| OFDE16 | マクロ : 16-Bit D Flip-Flop with Active-High Enable Output Buffers |
| OFDE4 | マクロ : 4-Bit D Flip-Flop with Active-High Enable Output Buffers |
| OFDE8 | マクロ : 8-Bit D Flip-Flop with Active-High Enable Output Buffers |
| OFDI | マクロ : Output D Flip-Flop (Asynchronous Preset) |
| OFDI_1 | マクロ : Output D Flip-Flop with Inverted Clock (Asynchronous Preset) |
| OFDT | マクロ : D Flip-Flop with Active-Low 3-State Output Buffer |
| OFDT_1 | マクロ : D Flip-Flop with Active-Low 3-State Output Buffer and Inverted Clock |
| OFDT16 | マクロ : 16-Bit D Flip-Flop with Active-Low 3-State Output Buffers |
| OFDT4 | マクロ : 4-Bit D Flip-Flop with Active-Low 3-State Output Buffers |
| OFDT8 | マクロ : 8-Bit D Flip-Flop with Active-Low 3-State Output Buffers |
| OFDX | マクロ : Output D Flip-Flop with Clock Enable |
| OFDX_1 | マクロ : Output D Flip-Flop with Inverted Clock and Clock Enable |
| OFDX16 | マクロ : 16-Bit Output D Flip-Flop with Clock Enable |
| OFDX4 | マクロ : 4-Bit Output D Flip-Flop with Clock Enable |
| OFDX8 | マクロ : 8-Bit Output D Flip-Flop with Clock Enable |
| OFDXI | マクロ : Output D Flip-Flop with Clock Enable (Asynchronous Preset) |
| OFDXI_1 | マクロ : Output D Flip-Flop with Inverted Clock and Clock Enable (Asynchronous Preset) |

I/O ラッチ

| デザイン エLEMENT | 説明 |
|--------------|---|
| ILD | マクロ : Transparent Input Data Latch |
| ILD_1 | マクロ : Transparent Input Data Latch with Inverted Gate |
| ILD16 | マクロ : Transparent Input Data Latch |
| ILD4 | マクロ : Transparent Input Data Latch |
| ILD8 | マクロ : Transparent Input Data Latch |
| ILDI | マクロ : Transparent Input Data Latch (Asynchronous Preset) |
| ILDI_1 | マクロ : Transparent Input Data Latch with Inverted Gate (Asynchronous Preset) |
| ILDx | マクロ : Transparent Input Data Latch |
| ILDx_1 | マクロ : Transparent Input Data Latch with Inverted Gate |
| ILDx16 | マクロ : Transparent Input Data Latch |
| ILDx4 | マクロ : Transparent Input Data Latch |
| ILDx8 | マクロ : Transparent Input Data Latch |
| ILDxI | マクロ : Transparent Input Data Latch (Asynchronous Preset) |
| ILDxI_1 | マクロ : Transparent Input Data Latch with Inverted Gate (Asynchronous Preset) |

ラッチ

| デザイン エLEMENT | 説明 |
|--------------|--|
| LD | プリミティブ : Transparent Data Latch |
| LD_1 | プリミティブ : Transparent Data Latch with Inverted Gate |
| LD16 | マクロ : Multiple Transparent Data Latch |
| LD16CE | マクロ : Transparent Data Latch with Asynchronous Clear and Gate Enable |
| LD4 | マクロ : Multiple Transparent Data Latch |
| LD4CE | マクロ : Transparent Data Latch with Asynchronous Clear and Gate Enable |
| LD8 | マクロ : Multiple Transparent Data Latch |
| LD8CE | マクロ : Transparent Data Latch with Asynchronous Clear and Gate Enable |
| LDC | プリミティブ : マクロ : Transparent Data Latch with Asynchronous Clear |
| LDC_1 | プリミティブ : Transparent Data Latch with Asynchronous Clear and Inverted Gate |
| LDCE | プリミティブ : Transparent Data Latch with Asynchronous Clear and Gate Enable |
| LDCE_1 | プリミティブ : Transparent Data Latch with Asynchronous Clear, Gate Enable, and Inverted Gate |
| LDE | プリミティブ : Transparent Data Latch with Gate Enable |
| LDE_1 | プリミティブ : Transparent Data Latch with Gate Enable and Inverted Gate |
| LDP | プリミティブ : マクロ : Transparent Data Latch with Asynchronous Preset |
| LDP_1 | プリミティブ : Transparent Data Latch with Asynchronous Preset and Inverted Gate |
| LDPE | プリミティブ : Transparent Data Latch with Asynchronous Preset and Gate Enable |
| LDPE_1 | プリミティブ : Transparent Data Latch with Asynchronous Preset, Gate Enable, and Inverted Gate |

ロジック

| デザイン エLEMENT | 説明 |
|--------------|---|
| AND12 | マクロ : 12- Input AND Gate with Non-Inverted Inputs |
| AND16 | その他 : 16- Input AND Gate with Non-Inverted Inputs |
| AND2 | プリミティブ : 2-Input AND Gate with Non-Inverted Inputs |
| AND2B1 | プリミティブ : 2-Input AND Gate with 1 Inverted and 1 Non-Inverted Inputs |
| AND2B1L | プリミティブ : Two input AND gate implemented in place of a Slice Latch |
| AND2B2 | プリミティブ : 2-Input AND Gate with Inverted Inputs |
| AND3 | プリミティブ : 3-Input AND Gate with Non-Inverted Inputs |
| AND3B1 | プリミティブ : 3-Input AND Gate with 1 Inverted and 2 Non-Inverted Inputs |
| AND3B2 | プリミティブ : 3-Input AND Gate with 2 Inverted and 1 Non-Inverted Inputs |
| AND3B3 | プリミティブ : 3-Input AND Gate with Inverted Inputs |
| AND4 | プリミティブ : 4-Input AND Gate with Non-Inverted Inputs |
| AND4B1 | プリミティブ : 4-Input AND Gate with 1 Inverted and 3 Non-Inverted Inputs |
| AND4B2 | プリミティブ : 4-Input AND Gate with 2 Inverted and 2 Non-Inverted Inputs |

| デザイン エLEMENT | 説明 |
|--------------|--|
| AND4B3 | プリミティブ : 4-Input AND Gate with 3 Inverted and 1 Non-Inverted Inputs |
| AND4B4 | プリミティブ : 4-Input AND Gate with Inverted Inputs |
| AND5 | プリミティブ : 5-Input AND Gate with Non-Inverted Inputs |
| AND5B1 | プリミティブ : 5-Input AND Gate with 1 Inverted and 4 Non-Inverted Inputs |
| AND5B2 | プリミティブ : 5-Input AND Gate with 2 Inverted and 3 Non-Inverted Inputs |
| AND5B3 | プリミティブ : 5-Input AND Gate with 3 Inverted and 2 Non-Inverted Inputs |
| AND5B4 | プリミティブ : 5-Input AND Gate with 4 Inverted and 1 Non-Inverted Inputs |
| AND5B5 | プリミティブ : 5-Input AND Gate with Inverted Inputs |
| AND6 | マクロ : 6-Input AND Gate with Non-Inverted Inputs |
| AND7 | マクロ : 7-Input AND Gate with Non-Inverted Inputs |
| AND8 | マクロ : 8-Input AND Gate with Non-Inverted Inputs |
| AND9 | マクロ : 9-Input AND Gate with Non-Inverted Inputs |
| INV | プリミティブ : Inverter |
| INV16 | マクロ : 16 Inverters |
| INV4 | マクロ : Four Inverters |
| INV8 | マクロ : Eight Inverters |
| MULT_AND | プリミティブ : Fast Multiplier AND |
| NAND12 | マクロ : 12- Input NAND Gate with Non-Inverted Inputs |
| NAND16 | マクロ : 16- Input NAND Gate with Non-Inverted Inputs |
| NAND2 | プリミティブ : 2-Input NAND Gate with Non-Inverted Inputs |
| NAND2B1 | プリミティブ : 2-Input NAND Gate with 1 Inverted and 1 Non-Inverted Inputs |
| NAND2B2 | プリミティブ : 2-Input NAND Gate with Inverted Inputs |
| NAND3 | プリミティブ : 3-Input NAND Gate with Non-Inverted Inputs |
| NAND3B1 | プリミティブ : 3-Input NAND Gate with 1 Inverted and 2 Non-Inverted Inputs |
| NAND3B2 | プリミティブ : 3-Input NAND Gate with 2 Inverted and 1 Non-Inverted Inputs |
| NAND3B3 | プリミティブ : 3-Input NAND Gate with Inverted Inputs |
| NAND4 | プリミティブ : 4-Input NAND Gate with Non-Inverted Inputs |
| NAND4B1 | プリミティブ : 4-Input NAND Gate with 1 Inverted and 3 Non-Inverted Inputs |
| NAND4B2 | プリミティブ : 4-Input NAND Gate with 2 Inverted and 2 Non-Inverted Inputs |
| NAND4B3 | プリミティブ : 4-Input NAND Gate with 3 Inverted and 1 Non-Inverted Inputs |
| NAND4B4 | プリミティブ : 4-Input NAND Gate with Inverted Inputs |
| NAND5 | プリミティブ : 5-Input NAND Gate with Non-Inverted Inputs |
| NAND5B1 | プリミティブ : 5-Input NAND Gate with 1 Inverted and 4 Non-Inverted Inputs |
| NAND5B2 | プリミティブ : 5-Input NAND Gate with 2 Inverted and 3 Non-Inverted Inputs |
| NAND5B3 | プリミティブ : 5-Input NAND Gate with 3 Inverted and 2 Non-Inverted Inputs |
| NAND5B4 | プリミティブ : 5-Input NAND Gate with 4 Inverted and 1 Non-Inverted Inputs |

| デザイン エLEMENT | 説明 |
|--------------|---|
| NAND5B5 | プリミティブ : 5-Input NAND Gate with Inverted Inputs |
| NAND6 | マクロ : 6-Input NAND Gate with Non-Inverted Inputs |
| NAND7 | マクロ : 7-Input NAND Gate with Non-Inverted Inputs |
| NAND8 | マクロ : 8-Input NAND Gate with Non-Inverted Inputs |
| NAND9 | マクロ : 9-Input NAND Gate with Non-Inverted Inputs |
| NOR12 | マクロ : 12-Input NOR Gate with Non-Inverted Inputs |
| NOR16 | マクロ : 16-Input NOR Gate with Non-Inverted Inputs |
| NOR2 | プリミティブ : 2-Input NOR Gate with Non-Inverted Inputs |
| NOR2B1 | プリミティブ : 2-Input NOR Gate with 1 Inverted and 1 Non-Inverted Inputs |
| NOR2B2 | プリミティブ : 2-Input NOR Gate with Inverted Inputs |
| NOR3 | プリミティブ : 3-Input NOR Gate with Non-Inverted Inputs |
| NOR3B1 | プリミティブ : 3-Input NOR Gate with 1 Inverted and 2 Non-Inverted Inputs |
| NOR3B2 | プリミティブ : 3-Input NOR Gate with 2 Inverted and 1 Non-Inverted Inputs |
| NOR3B3 | プリミティブ : 3-Input NOR Gate with Inverted Inputs |
| NOR4 | プリミティブ : 4-Input NOR Gate with Non-Inverted Inputs |
| NOR4B1 | プリミティブ : 4-Input NOR Gate with 1 Inverted and 3 Non-Inverted Inputs |
| NOR4B2 | プリミティブ : 4-Input NOR Gate with 2 Inverted and 2 Non-Inverted Inputs |
| NOR4B3 | プリミティブ : 4-Input NOR Gate with 3 Inverted and 1 Non-Inverted Inputs |
| NOR4B4 | プリミティブ : 4-Input NOR Gate with Inverted Inputs |
| NOR5 | プリミティブ : 5-Input NOR Gate with Non-Inverted Inputs |
| NOR5B1 | プリミティブ : 5-Input NOR Gate with 1 Inverted and 4 Non-Inverted Inputs |
| NOR5B2 | プリミティブ : 5-Input NOR Gate with 2 Inverted and 3 Non-Inverted Inputs |
| NOR5B3 | プリミティブ : 5-Input NOR Gate with 3 Inverted and 2 Non-Inverted Inputs |
| NOR5B4 | プリミティブ : 5-Input NOR Gate with 4 Inverted and 1 Non-Inverted Inputs |
| NOR5B5 | プリミティブ : 5-Input NOR Gate with Inverted Inputs |
| NOR6 | マクロ : 6-Input NOR Gate with Non-Inverted Inputs |
| NOR7 | マクロ : 7-Input NOR Gate with Non-Inverted Inputs |
| NOR8 | マクロ : 8-Input NOR Gate with Non-Inverted Inputs |
| NOR9 | マクロ : 9-Input NOR Gate with Non-Inverted Inputs |
| OR12 | マクロ : 12-Input OR Gate with Non-Inverted Inputs |
| OR16 | マクロ : 16-Input OR Gate with Non-Inverted Inputs |
| OR2 | プリミティブ : 2-Input OR Gate with Non-Inverted Inputs |
| OR2B1 | プリミティブ : 2-Input OR Gate with 1 Inverted and 1 Non-Inverted Inputs |
| OR2B2 | プリミティブ : 2-Input OR Gate with Inverted Inputs |
| OR2L | プリミティブ : Two input OR gate implemented in place of a Slice Latch |
| OR3 | プリミティブ : 3-Input OR Gate with Non-Inverted Inputs |

| デザイン エLEMENT | 説明 |
|--------------|--|
| OR3B1 | プリミティブ : 3-Input OR Gate with 1 Inverted and 2 Non-Inverted Inputs |
| OR3B2 | プリミティブ : 3-Input OR Gate with 2 Inverted and 1 Non-Inverted Inputs |
| OR3B3 | プリミティブ : 3-Input OR Gate with Inverted Inputs |
| OR4 | プリミティブ : 4-Input OR Gate with Non-Inverted Inputs |
| OR4B1 | プリミティブ : 4-Input OR Gate with 1 Inverted and 3 Non-Inverted Inputs |
| OR4B2 | プリミティブ : 4-Input OR Gate with 2 Inverted and 2 Non-Inverted Inputs |
| OR4B3 | プリミティブ : 4-Input OR Gate with 3 Inverted and 1 Non-Inverted Inputs |
| OR4B4 | プリミティブ : 4-Input OR Gate with Inverted Inputs |
| OR5 | プリミティブ : 5-Input OR Gate with Non-Inverted Inputs |
| OR5B1 | プリミティブ : 5-Input OR Gate with 1 Inverted and 4 Non-Inverted Inputs |
| OR5B2 | プリミティブ : 5-Input OR Gate with 2 Inverted and 3 Non-Inverted Inputs |
| OR5B3 | プリミティブ : 5-Input OR Gate with 3 Inverted and 2 Non-Inverted Inputs |
| OR5B4 | プリミティブ : 5-Input OR Gate with 4 Inverted and 1 Non-Inverted Inputs |
| OR5B5 | プリミティブ : 5-Input OR Gate with Inverted Inputs |
| OR6 | マクロ : 6-Input OR Gate with Non-Inverted Inputs |
| OR7 | マクロ : 7-Input OR Gate with Non-Inverted Inputs |
| OR8 | マクロ : 8-Input OR Gate with Non-Inverted Inputs |
| OR9 | マクロ : 9-Input OR Gate with Non-Inverted Inputs |
| SOP3 | マクロ : 3-Input Sum of Products |
| SOP3B1A | マクロ : 3-Input Sum of Products with One Inverted Input (Option A) |
| SOP3B1B | マクロ : 3-Input Sum of Products with One Inverted Input (Option B) |
| SOP3B2A | マクロ : 3-Input Sum of Products with Two Inverted Inputs (Option A) |
| SOP3B2B | マクロ : 3-Input Sum of Products with Two Inverted Inputs (Option B) |
| SOP3B3 | マクロ : 3-Input Sum of Products with Inverted Inputs |
| SOP4 | マクロ : 4-Input Sum of Products |
| SOP4B1 | マクロ : 4-Input Sum of Products with One Inverted Input |
| SOP4B2A | マクロ : 4-Input Sum of Products with Two Inverted Inputs (Option A) |
| SOP4B2B | マクロ : 4-Input Sum of Products with Two Inverted Inputs (Option B) |
| SOP4B3 | マクロ : 4-Input Sum of Products with Three Inverted Inputs |
| SOP4B4 | マクロ : 4-Input Sum of Products with Inverted Inputs |
| XNOR2 | プリミティブ : 2-Input XNOR Gate with Non-Inverted Inputs |
| XNOR3 | プリミティブ : 3-Input XNOR Gate with Non-Inverted Inputs |
| XNOR4 | プリミティブ : 4-Input XNOR Gate with Non-Inverted Inputs |
| XNOR5 | プリミティブ : 5-Input XNOR Gate with Non-Inverted Inputs |
| XNOR6 | マクロ : 6-Input XNOR Gate with Non-Inverted Inputs |
| XNOR7 | マクロ : 7-Input XNOR Gate with Non-Inverted Inputs |

| デザイン エLEMENT | 説明 |
|-----------------------|--|
| XNOR8 | マクロ : 8-Input XNOR Gate with Non-Inverted Inputs |
| XNOR9 | マクロ : 9-Input XNOR Gate with Non-Inverted Inputs |
| XOR2 | プリミティブ : 2-Input XOR Gate with Non-Inverted Inputs |
| XOR3 | プリミティブ : 3-Input XOR Gate with Non-Inverted Inputs |
| XOR4 | プリミティブ : 4-Input XOR Gate with Non-Inverted Inputs |
| XOR5 | プリミティブ : 5-Input XOR Gate with Non-Inverted Inputs |
| XOR6 | マクロ : 6-Input XOR Gate with Non-Inverted Inputs |
| XOR7 | マクロ : 7-Input XOR Gate with Non-Inverted Inputs |
| XOR8 | マクロ : 8-Input XOR Gate with Non-Inverted Inputs |
| XOR9 | マクロ : 9-Input XOR Gate with Non-Inverted Inputs |

LUT

| デザイン エLEMENT | 説明 |
|-------------------------|---|
| CFGLUT5 | プリミティブ : 5-input Dynamically Reconfigurable Look-Up Table (LUT) |
| LUT1 | マクロ : 1-Bit Look-Up Table with General Output |
| LUT1_D | マクロ : 1-Bit Look-Up Table with Dual Output |
| LUT1_L | マクロ : 1-Bit Look-Up Table with Local Output |
| LUT2 | マクロ : 2-Bit Look-Up Table with General Output |
| LUT2_D | マクロ : 2-Bit Look-Up Table with Dual Output |
| LUT2_L | マクロ : 2-Bit Look-Up Table with Local Output |
| LUT3 | マクロ : 3-Bit Look-Up Table with General Output |
| LUT3_D | マクロ : 3-Bit Look-Up Table with Dual Output |
| LUT3_L | マクロ : 3-Bit Look-Up Table with Local Output |
| LUT4 | マクロ : 4-Bit Look-Up-Table with General Output |
| LUT4_D | マクロ : 4-Bit Look-Up Table with Dual Output |
| LUT4_L | マクロ : 4-Bit Look-Up Table with Local Output |
| LUT5 | プリミティブ : 5-Input Lookup Table with General Output |
| LUT5_D | プリミティブ : 5-Input Lookup Table with General and Local Outputs |
| LUT5_L | プリミティブ : 5-Input Lookup Table with Local Output |
| LUT6 | プリミティブ : 6-Input Lookup Table with General Output |
| LUT6_2 | プリミティブ : Six-input, 2-output, Look-Up Table |
| LUT6_D | プリミティブ : 6-Input Lookup Table with General and Local Outputs |
| LUT6_L | プリミティブ : 6-Input Lookup Table with Local Output |

メモリ

| デザイン エLEMENT | 説明 |
|--------------|---|
| RAM128X1D | プリミティブ : 128-Deep by 1-Wide Dual Port Random Access Memory (Select RAM) |
| RAM16X1D | プリミティブ : 16-Deep by 1-Wide Static Dual Port Synchronous RAM |
| RAM16X1D_1 | プリミティブ : 16-Deep by 1-Wide Static Dual Port Synchronous RAM with Negative-Edge Clock |
| RAM16X1S | プリミティブ : 16-Deep by 1-Wide Static Synchronous RAM |
| RAM16X1S_1 | プリミティブ : 16-Deep by 1-Wide Static Synchronous RAM with Negative-Edge Clock |
| RAM16X2S | プリミティブ : 16-Deep by 2-Wide Static Synchronous RAM |
| RAM16X4S | プリミティブ : 16-Deep by 4-Wide Static Synchronous RAM |
| RAM16X8S | プリミティブ : 16-Deep by 8-Wide Static Synchronous RAM |
| RAM256X1S | プリミティブ : 256-Deep by 1-Wide Random Access Memory (Select RAM) |
| RAM32M | プリミティブ : 32-Deep by 8-bit Wide Multi Port Random Access Memory (Select RAM) |
| RAM32X1S | プリミティブ : 32-Deep by 1-Wide Static Synchronous RAM |
| RAM32X1S_1 | プリミティブ : 32-Deep by 1-Wide Static Synchronous RAM with Negative-Edge Clock |
| RAM32X2S | プリミティブ : 32-Deep by 2-Wide Static Synchronous RAM |
| RAM32X4S | プリミティブ : 32-Deep by 4-Wide Static Synchronous RAM |
| RAM32X8S | プリミティブ : 32-Deep by 8-Wide Static Synchronous RAM |
| RAM64M | プリミティブ : 64-Deep by 4-bit Wide Multi Port Random Access Memory (Select RAM) |
| RAM64X1D | プリミティブ : 64-Deep by 1-Wide Dual Port Static Synchronous RAM |
| RAM64X1S | プリミティブ : 64-Deep by 1-Wide Static Synchronous RAM |
| RAM64X1S_1 | プリミティブ : 64-Deep by 1-Wide Static Synchronous RAM with Negative-Edge Clock |
| RAM64X2S | プリミティブ : 64-Deep by 2-Wide Static Synchronous RAM |
| RAMB16BWER | プリミティブ : 16K-bit Data and 2K-bit Parity Configurable Synchronous Dual Port Block RAM with Optional Output Registers |
| RAMB8BWER | プリミティブ : 8K-bit Data and 1K-bit Parity Configurable Synchronous Dual Port Block RAM with Optional Output Registers |
| ROM128X1 | プリミティブ : 128-Deep by 1-Wide ROM |
| ROM16X1 | プリミティブ : 16-Deep by 1-Wide ROM |
| ROM256X1 | プリミティブ : 256-Deep by 1-Wide ROM |
| ROM32X1 | プリミティブ : 32-Deep by 1-Wide ROM |
| ROM64X1 | プリミティブ : 64-Deep by 1-Wide ROM |

マルチプレクサ

| デザイン エLEMENT | 説明 |
|--------------|---|
| M16_1E | マクロ : 16-to-1 Multiplexer with Enable |
| M2_1 | マクロ : 2-to-1 Multiplexer |
| M2_1B1 | マクロ : 2-to-1 Multiplexer with D0 Inverted |
| M2_1B2 | マクロ : 2-to-1 Multiplexer with D0 and D1 Inverted |
| M2_1E | マクロ : 2-to-1 Multiplexer with Enable |
| M4_1E | マクロ : 4-to-1 Multiplexer with Enable |
| M8_1E | マクロ : 8-to-1 Multiplexer with Enable |
| MUXF5 | プリミティブ : 2-to-1 Look-Up Table Multiplexer with General Output |
| MUXF5_D | プリミティブ : 2-to-1 Look-Up Table Multiplexer with Dual Output |
| MUXF5_L | プリミティブ : 2-to-1 Look-Up Table Multiplexer with Local Output |
| MUXF6 | プリミティブ : 2-to-1 Look-Up Table Multiplexer with General Output |
| MUXF6_D | プリミティブ : 2-to-1 Look-Up Table Multiplexer with Dual Output |
| MUXF6_L | プリミティブ : 2-to-1 Look-Up Table Multiplexer with Local Output |
| MUXF7 | プリミティブ : 2-to-1 Look-Up Table Multiplexer with General Output |
| MUXF7_D | プリミティブ : 2-to-1 Look-Up Table Multiplexer with Dual Output |
| MUXF7_L | プリミティブ : 2-to-1 look-up table Multiplexer with Local Output |
| MUXF8 | プリミティブ : 2-to-1 Look-Up Table Multiplexer with General Output |
| MUXF8_D | プリミティブ : 2-to-1 Look-Up Table Multiplexer with Dual Output |
| MUXF8_L | プリミティブ : 2-to-1 Look-Up Table Multiplexer with Local Output |

シフトレジスタ

| デザイン エLEMENT | 説明 |
|--------------|---|
| SR16CE | マクロ : 16-Bit Serial-In Parallel-Out Shift Register with Clock Enable and Asynchronous Clear |
| SR16CLE | マクロ : 16-Bit Loadable Serial/Parallel-In Parallel-Out Shift Register with Clock Enable and Asynchronous Clear |
| SR16CLED | マクロ : 16-Bit Shift Register with Clock Enable and Asynchronous Clear |
| SR16RE | マクロ : 16-Bit Serial-In Parallel-Out Shift Register with Clock Enable and Synchronous Reset |
| SR16RLE | マクロ : 16-Bit Loadable Serial/Parallel-In Parallel-Out Shift Register with Clock Enable and Synchronous Reset |
| SR16RLED | マクロ : 16-Bit Shift Register with Clock Enable and Synchronous Reset |
| SR4CE | マクロ : 4-Bit Serial-In Parallel-Out Shift Register with Clock Enable and Asynchronous Clear |
| SR4CLE | マクロ : 4-Bit Loadable Serial/Parallel-In Parallel-Out Shift Register with Clock Enable and Asynchronous Clear |
| SR4CLED | マクロ : 4-Bit Shift Register with Clock Enable and Asynchronous Clear |
| SR4RE | マクロ : 4-Bit Serial-In Parallel-Out Shift Register with Clock Enable and Synchronous Reset |
| SR4RLE | マクロ : 4-Bit Loadable Serial/Parallel-In Parallel-Out Shift Register with Clock Enable and Synchronous Reset |
| SR4RLED | マクロ : 4-Bit Shift Register with Clock Enable and Synchronous Reset |
| SR8CE | マクロ : 8-Bit Serial-In Parallel-Out Shift Register with Clock Enable and Asynchronous Clear |
| SR8CLE | マクロ : 8-Bit Loadable Serial/Parallel-In Parallel-Out Shift Register with Clock Enable and Asynchronous Clear |
| SR8CLED | マクロ : 8-Bit Shift Register with Clock Enable and Asynchronous Clear |
| SR8RE | マクロ : 8-Bit Serial-In Parallel-Out Shift Register with Clock Enable and Synchronous Reset |
| SR8RLE | マクロ : 8-Bit Loadable Serial/Parallel-In Parallel-Out Shift Register with Clock Enable and Synchronous Reset |
| SR8RLED | マクロ : 8-Bit Shift Register with Clock Enable and Synchronous Reset |
| SRL16 | プリミティブ : 16-Bit Shift Register Look-Up Table (LUT) |
| SRL16_1 | プリミティブ : 16-Bit Shift Register Look-Up Table (LUT) with Negative-Edge Clock |
| SRL16E | プリミティブ : 16-Bit Shift Register Look-Up Table (LUT) with Clock Enable |
| SRL16E_1 | プリミティブ : 16-Bit Shift Register Look-Up Table (LUT) with Negative-Edge Clock and Clock Enable |
| SRLC16 | プリミティブ : 16-Bit Shift Register Look-Up Table (LUT) with Carry |
| SRLC16_1 | プリミティブ : 16-Bit Shift Register Look-Up Table (LUT) with Carry and Negative-Edge Clock |
| SRLC16E | プリミティブ : 16-Bit Shift Register Look-Up Table (LUT) with Carry and Clock Enable |
| SRLC16E_1 | プリミティブ : 16-Bit Shift Register Look-Up Table (LUT) with Carry, Negative-Edge Clock, and Clock Enable |
| SRLC32E | プリミティブ : 32 Clock Cycle, Variable Length Shift Register Look-Up Table (LUT) with Clock Enable |

シフタ

| デザイン エLEMENT | 説明 |
|--------------------------|----------------------------|
| BRLSHFT4 | マクロ : 4-Bit Barrel Shifter |
| BRLSHFT8 | マクロ : 8-Bit Barrel Shifter |

デザイン エLEMENT

このセクションでは、このアーキテクチャで利用できるデザイン エLEMENTについて説明します。デザイン エLEMENTは、アルファベット順に並べられています。

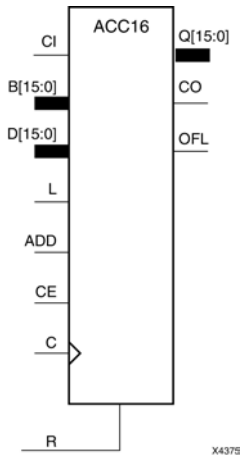
各ライブラリ エLEMENTについて、次の情報を示します。

- ・ 名称
- ・ 説明
- ・ 回路図シンボル (該当するELEMENTでのみ)
- ・ 論理表 (該当するELEMENTでのみ)
- ・ ポートの説明 (該当するELEMENTでのみ)
- ・ デザインの入力方法
- ・ 使用可能な属性 (該当するELEMENTでのみ)
- ・ その他のリソース

VHDL および Verilog のインスタンス化コードの例は、ISE ソフトウェア ([Edit] → [Language Templates]) またはこのアーキテクチャの HDL 用のライブラリ ガイドから入手できます。

ACC16

マクロ : 16-Bit Loadable Cascadable Accumulator with Carry-In, Carry-Out, and Synchronous Reset



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6
- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

このデザイン エLEMENTは、16 ビット データレジスタの値に対して 16 ビットの符号なし 2 進数または 2 の補数ワードを加算または減算して、その結果をレジスタに保存します。レジスタには、16 ビット ワードでロードできます。

ロード入力 (L) が High になると、CE が無視され、クロック (C) が Low から High に切り替わる時に D 入力の値がレジスタにロードされます。ACC16 では、入力 D15 ~ D0 の値が 16 ビットレジスタにロードされます。

このデザイン エLEMENTは、16 ビットの符号なし 2 進数または 16 ビットの 2 の補数処理します。符号なし 2 進数が入力されると、符号なし 2 進数が出力されます。2 の補数が入力されると、2 の補数が出力されます。この 2 つの唯一の機能的な違いは、オーバーフローの認識方法にあり、オーバーフローの発生を認識するのに符号なし 2 進数ではキャリー出力 (CO) が使用され、2 の補数では OFL が使用されます。

- 符号なし 2 進演算の場合、0 ~ 15 までの数を表現できます。加算モードでは、加算結果が加減算器の範囲を超えると CO がアクティブ (High) になります。減算モードでは、減算器の範囲を超えると CO がアクティブ Low のボロアウトで、Low になります。CO は、データ出力と同時にレジスタに出力されません。CO には、入力 B15 ~ B0 入力の値の加算値が常に出力されます。このため、各 ACC16 の CO を次の段の CI に接続してカスケード接続できます。符号なし 2 進数のオーバーフローは、常にアクティブ High で、ADD と CO を次のようにゲート接続すると発生させることができます。

符号なしオーバーフロー = CO XOR ADD

符号なし 2 進演算では、OFL は無視されます。

- 2 の補数演算の場合、-8 ~ +7 までの数を表現できます。加算または減算の結果がこの範囲を超えると、OFL 出力が High になります。オーバーフロー (OFL) は、データ出力と同時にレジスタに出力されません。OFL には、B 入力 (B15 ~ B0) とレジスタの値の合計が常に出力されます。このため、各 ACC4 の OFL を次の段の CI に接続してカスケード接続できます。

2 の補数演算では、CO は無視されます。

同期リセット (R) は、ほかのすべての入力よりも優先され、R が High になると、クロック (C) が Low から High に切り替わるときに出力が 0 になります。クロック イネーブル (CE) が Low の場合は、C の遷移は無視されます。

電力を供給すると、このデザイン エLEMENTは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバータを追加するとアクティブ Low になります。

論理表

| 入力 | | | | | | 出力 |
|--|---|----|-----|----|---|--------------|
| R | L | CE | ADD | D | C | Q |
| 1 | x | x | x | x | ↑ | 0 |
| 0 | 1 | x | x | Dn | ↑ | Dn |
| 0 | 0 | 1 | 1 | x | ↑ | Q0 + Bn + CI |
| 0 | 0 | 1 | 0 | x | ↑ | Q0 - Bn - CI |
| 0 | 0 | 0 | x | x | ↑ | 変化なし |
| Q0 : Q の以前の値 Bn : データ入力 B の値 CI : 入力 CI の値 | | | | | | |

デザインの入力方法

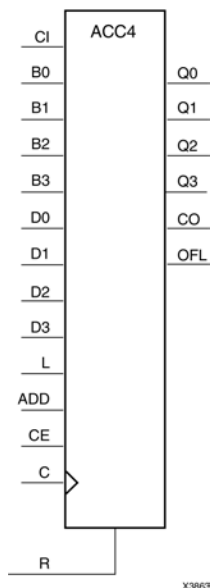
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリ データシート](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリ データシート](#)
- ・ [Spartan-3E FPGA ファミリ データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

ACC4

マクロ : 4-Bit Loadable Cascadable Accumulator with Carry-In, Carry-Out, and Synchronous Reset



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6
- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

このデザイン エLEMENTは、4 ビット データレジスタの値に対して 4 ビットの符号なし 2 進数または 2 の補数ワードを加算または減算して、その結果をレジスタに保存します。レジスタには、4 ビット ワードでロードできます。

ロード入力 (L) が High になると、CE が無視され、クロック (C) が Low から High に切り替わる時に D 入力の値がレジスタにロードされます。ACC4 では、入力 D3 ~ D0 の値が 4 ビット レジスタにロードされます。

このデザイン エLEMENTは、4 ビットの符号なし 2 進数または 4 ビットの 2 の補数処理します。符号なし 2 進数が入力されると、符号なし 2 進数が出力されます。2 の補数が入力されると、2 の補数が出力されます。この 2 つの唯一の機能的な違いは、オーバーフローの認識方法にあり、オーバーフローの発生を認識するのに符号なし 2 進数ではキャリー出力 (CO) が使用され、2 の補数では OFL が使用されます。

- 符号なし 2 進演算の場合、0 ～ 15 までの数を表現できます。加算モードでは、加算結果が加減算器の範囲を超えると CO がアクティブ (High) になります。減算モードでは、減算器の範囲を超えると CO がアクティブ Low のボローアウトで、Low になります。CO は、データ出力と同時にレジスタに出力されません。CO には、入力 B3 ～ B0 入力の値の加算値が常に出力されます。このため、各 ACC4 の CO を次の段の CI に接続してカスケード接続できます。符号なし 2 進数のオーバーフローは、常にアクティブ High で、ADD と CO を次のようにゲート接続すると発生させることができます。

符号なしオーバーフロー = CO XOR ADD

符号なし 2 進演算では、OFL は無視されます。

- 2 の補数演算の場合、-8 ～ +7 までの数を表現できます。加算または減算の結果がこの範囲を超えると、OFL 出力が High になります。オーバーフロー (OFL) は、データ出力と同時にレジスタに出力されません。OFL には、B 入力 (B3 ～ B0) とレジスタの値の合計が常に出力されます。このため、各 ACC4 の OFL を次の段の CI に接続してカスケード接続できます。

2 の補数演算では、CO は無視されます。

同期リセット (R) は、ほかのすべての入力よりも優先され、R が High になると、クロック (C) が Low から High に切り替わるときに出力が 0 になります。クロック イネーブル (CE) が Low の場合は、C の遷移は無視されます。

電力を供給すると、このデザイン エLEMENTは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバータを追加するとアクティブ Low になります。

論理表

| 入力 | | | | | | 出力 |
|----|---|----|-----|----|---|--------------|
| R | L | CE | ADD | D | C | Q |
| 1 | x | x | x | x | ↑ | 0 |
| 0 | 1 | x | x | Dn | ↑ | Dn |
| 0 | 0 | 1 | 1 | x | ↑ | Q0 + Bn + CI |
| 0 | 0 | 1 | 0 | x | ↑ | Q0 - Bn - CI |
| 0 | 0 | 0 | x | x | ↑ | 変化なし |

Q0 : Q の以前の値
Bn : データ入力 B の値
CI : 入力 CI の値

デザインの入力方法

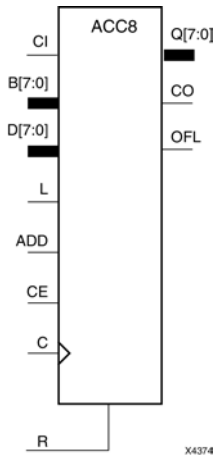
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリ データシート](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリ データシート](#)
- ・ [Spartan-3E FPGA ファミリ データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

ACC8

マクロ : 8-Bit Loadable Cascadable Accumulator with Carry-In, Carry-Out, and Synchronous Reset



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6
- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

このデザイン エLEMENTは、8 ビット データレジスタの値に対して 8 ビットの符号なし 2 進数または 2 の補数ワードを加算または減算して、その結果をレジスタに保存します。レジスタには、8 ビットワードでロードできます。

ロード入力 (L) が High になると、CE が無視され、クロック (C) が Low から High に切り替わる時に D 入力の値がレジスタにロードされます。ACC8 では、入力 D7 ~ D0 の値が 8 ビットレジスタにロードされます。

このデザイン エLEMENTは、8 ビットの符号なし 2 進数または 8 ビットの 2 の補数処理します。符号なし 2 進数が入力されると、符号なし 2 進数が出力されます。2 の補数が入力されると、2 の補数が出力されます。この 2 つの唯一の機能的な違いは、オーバーフローの認識方法にあり、オーバーフローの発生を認識するのに符号なし 2 進数ではキャリー出力 (CO) が使用され、2 の補数では OFL が使用されます。

- ・ 符号なし 2 進演算の場合、0 ~ 255 までの数を表現できます。加算モードでは、加算結果が加減算器の範囲を超えると CO がアクティブ (High) になります。減算モードでは、減算器の範囲を超えると CO がアクティブ Low のボローアウトで、Low になります。CO は、データ出力と同時にレジスタに出力されません。CO には、入力 B3 ~ B0 入力の値の加算値が常に出力されます。このため、各 ACC8 の CO を次の段の CI に接続してカスケード接続できます。符号なし 2 進数のオーバーフローは、常にアクティブ High で、ADD と CO を次のようにゲート接続すると発生させることができます。

符号なしオーバーフロー = CO XOR ADD

符号なし 2 進演算では、OFL は無視されます。

- ・ 2 の補数演算の場合、-128 ~ +127 までの数を表現できます。加算または減算の結果がこの範囲を超えると、OFL 出力が High になります。オーバーフロー (OFL) は、データ出力と同時にレジスタに出力されません。OFL には、B 入力 (B3 ~ B0) とレジスタの値の合計が常に出力されます。このため、各 ACC8 の OFL を次の段の CI に接続してカスケード接続できます。

2 の補数演算では、CO は無視されます。

同期リセット (R) は、ほかのすべての入力よりも優先され、R が High になると、クロック (C) が Low から High に切り替わるときに出力が 0 になります。クロック イネーブル (CE) が Low の場合は、C の遷移は無視されます。

電力を供給すると、このデザイン エLEMENTは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバータを追加するとアクティブ Low になります。

論理表

| 入力 | | | | | | 出力 |
|----|---|----|-----|----|---|--------------|
| R | L | CE | ADD | D | C | Q |
| 1 | x | x | x | x | ↑ | 0 |
| 0 | 1 | x | x | Dn | ↑ | Dn |
| 0 | 0 | 1 | 1 | x | ↑ | Q0 + Bn + CI |
| 0 | 0 | 1 | 0 | x | ↑ | Q0 - Bn - CI |
| 0 | 0 | 0 | x | x | ↑ | 変化なし |

Q0 : Q の以前の値
Bn : データ入力 B の値
CI : 入力 CI の値

デザインの入力方法

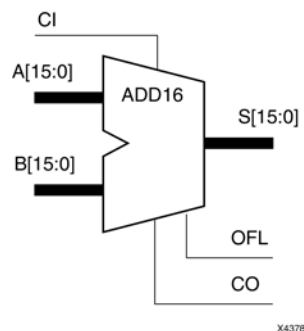
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリー データシート](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリー データシート](#)
- ・ [Spartan-3E FPGA ファミリー データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

ADD16

マクロ : 16-Bit Cascadable Full Adder with Carry-In, Carry-Out, and Overflow



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6
- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

このELEMENTは、2 つのワードとキャリー入力 (CI) を加算して、その和とキャリー出力 (CO) またはオーバーフロー (OFL) を出力します。A15 ~ A0、B15 ~ B0、および CI が加算され、その和 S15 ~ S0 および CO (または OFL) が出力されます。

論理表

| 入力 | | 出力 |
|----------------|----------------|--------------------------------------|
| A | B | S |
| A _n | B _n | A _n + B _n + CI |
| CI : 入力 CI の値 | | |

符号なし 2 進数と 2 の補数

このデザイン ELEMENTは、16 ビットの符号なし 2 進数または 16 ビットの 2 の補数を処理できます。符号なし 2 進数が入力されると、符号なし 2 進数が出力されます。2 の補数が入力されると、2 の補数が出力されます。この 2 つの唯一の機能的な違いは、オーバーフローの認識方法にあり、オーバーフローの発生を認識するのに符号なし 2 進数では CO が使用され、2 の補数では OFL が使用されます。したがって、符号なし 2 進数が入力された場合は CO 出力を確認し、2 の補数が入力された場合は OFL 出力を確認します。

符号なし 2 進演算

符号なし 2 進演算の場合、0 ~ 65535 までの数を表現できます。符号なし 2 進演算では、OFL は無視されます。

2 の補数演算

2 の補数演算の場合、-32768 から +32767 までの数を表現できます。合計値が加算器の範囲を超えると、OFL がアクティブ (High) になります。2 の補数演算では、CO は無視されます。

デザインの入力方法

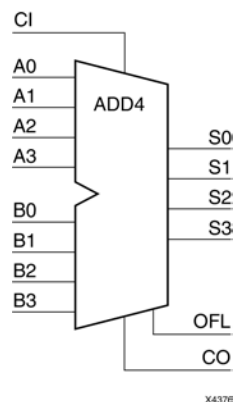
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリ データシート](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリ データシート](#)
- ・ [Spartan-3E FPGA ファミリ データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

ADD4

マクロ : 4-Bit Cascadable Full Adder with Carry-In, Carry-Out, and Overflow



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6
- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

このELEMENTは、2 つのワードとキャリー入力 (CI) を加算して、その和とキャリー出力 (CO) またはオーバーフロー (OFL) を出力します。A3 ~ A0、B3 ~ B0、および CI が加算され、その和 S3 ~ S0 および CO (または OFL) が出力されます。

論理表

| 入力 | | 出力 |
|----------------|----------------|--------------------------------------|
| A | B | S |
| A _n | B _n | A _n + B _n + CI |
| CI : 入力 CI の値 | | |

符号なし 2 進数と 2 の補数

このデザイン エLEMENTは、4 ビットの符号なし 2 進数または 4 ビットの 2 の補数処理できます。符号なし 2 進数が入力されると、符号なし 2 進数が出力されます。2 の補数が入力されると、2 の補数が出力されます。この 2 つの唯一の機能的な違いは、オーバーフローの認識方法にあり、オーバーフローの発生を認識するのに符号なし 2 進数では CO が使用され、2 の補数では OFL が使用されます。したがって、符号なし 2 進数が入力された場合は CO 出力を確認し、2 の補数が入力された場合は OFL 出力を確認します。

符号なし 2 進演算

符号なし 2 進演算の場合、0 ~ 15 までの数を表現できます。符号なし 2 進演算では、OFL は無視されます。

2 の補数演算

2 の補数演算の場合、-8 から +7 までの数を表現できます。合計値が加算器の範囲を超えると、OFL がアクティブ (High) になります。2 の補数演算では、CO は無視されます。

デザインの入力方法

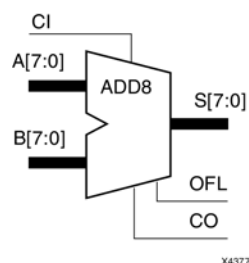
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリー データシート](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリー データシート](#)
- ・ [Spartan-3E FPGA ファミリー データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

ADD8

マクロ : 8-Bit Cascadable Full Adder with Carry-In, Carry-Out, and Overflow



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6
- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

このELEMENTは、2 つのワードとキャリー入力 (CI) を加算して、その和とキャリー出力 (CO) またはオーバーフロー (OFL) を出力します。A7 ~ A0、B7 ~ B0、および CI が加算され、その和 S7 ~ S0 および CO (または OFL) が出力されます。

論理表

| 入力 | | 出力 |
|----------------|----------------|--------------------------------------|
| A | B | S |
| A _n | B _n | A _n + B _n + CI |
| CI : 入力 CI の値 | | |

符号なし 2 進数と 2 の補数

このデザイン ELEMENTは、8 ビットの符号なし 2 進数または 8 ビットの 2 の補数を処理できます。符号なし 2 進数が入力されると、符号なし 2 進数が出力されます。2 の補数が入力されると、2 の補数が出力されます。この 2 つの唯一の機能的な違いは、オーバーフローの認識方法にあり、オーバーフローの発生を認識するのに符号なし 2 進数では CO が使用され、2 の補数では OFL が使用されます。したがって、符号なし 2 進数が入力された場合は CO 出力を確認し、2 の補数が入力された場合は OFL 出力を確認します。

符号なし 2 進演算

符号なし 2 進演算の場合、0 ~ 255 までの数を表現できます。符号なし 2 進演算では、OFL は無視されます。

2 の補数演算

2 の補数演算の場合、-128 から +127 までの数を表現できます。合計値が加算器の範囲を超えると、OFL がアクティブ (High) になります。2 の補数演算では、CO は無視されます。

デザインの入力方法

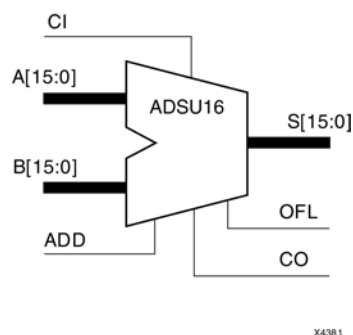
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリー データシート](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリー データシート](#)
- ・ [Spartan-3E FPGA ファミリー データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

ADSU16

マクロ : 16-Bit Cascadable Adder/Subtractor with Carry-In, Carry-Out, and Overflow



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6
- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

ADD が High の場合、2 つの 16 ビットワード (A15 ~ A0 と B15 ~ B0) とキャリー入力 (CI) を加算し、16 ビットの和 (S15 ~ S0) とキャリー出力 (CO) (またはオーバーフロー (OFL)) を出力します。

ADD 入力 Low の場合、A15 ~ A0 から B15 ~ B0 を減算し、その差とキャリー出力 (CO) またはオーバーフロー (OFL) を出力します。

加算モードでは、CO と CI はアクティブ High になります。減算モードでは、CO と CI はアクティブ Low になります。OFL は、モードにかかわらず常にアクティブ High です。

論理表

| 入力 | | | 出力 |
|--------------------------------|----------------|----------------|-------------------------------------|
| ADD | A | B | S |
| 1 | A _n | B _n | A _n +B _n +CI* |
| 0 | A _n | B _n | A _n -B _n -CI* |
| CI* : ADD = 0、CI、CO アクティブ Low | | | |
| CI* : ADD = 1、CI、CO アクティブ High | | | |

符号なし 2 進数と 2 の補数

このデザイン エLEMENTは、16 ビットの符号なし 2 進数または 16 ビットの 2 の補数を処理できます。符号なし 2 進数が入力されると、符号なし 2 進数が出力されます。2 の補数が入力されると、2 の補数が出力されます。この 2 つの唯一の機能的な違いは、オーバーフローの認識方法にあり、オーバーフローの発生を認識するのに符号なし 2 進数では CO が使用され、2 の補数では OFL が使用されます。

加減算器では、符号なし 2 進演算でも 2 の補数演算でもオーバーフローが発生します。演算結果がオーバーフローになる場合、オーバーフローが生成されます。同様に、演算結果が桁上がりする場合、キャリー出力が生成されます。

符号なし 2 進演算

符号なし 2 進演算の場合、0 ～ 65535 までの数を表現できます。加算モードでは、加算結果が加減算器の範囲を超えると CO がアクティブ (High) になります。減算モードでは、減算器の範囲を超えると CO がアクティブ Low のボローアウトで、Low になります。

符号なし 2 進数のオーバーフローは、常にアクティブ High で、ADD と CO を次のようにゲート接続すると発生させることができます。

符号なしオーバーフロー = CO XOR ADD

符号なし 2 進演算では、OFL は無視されます。

2 の補数演算

2 の補数演算の場合、-32768 から +32767 までの数を表現できます。

加算または減算の結果がこの範囲を超えると、OFL 出力が High になります。2 の補数演算では、CO は無視されます。

デザインの入力方法

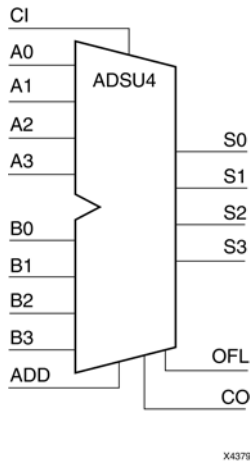
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリー データシート](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)
- ・ [Spartan-3AN FPGA インシステムフラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリー データシート](#)
- ・ [Spartan-3E FPGA ファミリー データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート: DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート: DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

ADSU4

マクロ : 4-Bit Cascadable Adder/Subtractor with Carry-In, Carry-Out, and Overflow



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6
- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

ADD が High の場合、2 つの 4 ビットワード (A3 ~ A0 と B3 ~ B0) とキャリー入力 (CI) を加算し、4 ビットの和 (S3 ~ S0) とキャリー出力 (CO) (またはオーバーフロー (OFL)) を出力します。

ADD 入力が Low の場合、A3 ~ A0 から B3 ~ B0 を減算し、4 ビットの差 (S3 ~ S0) とキャリー出力 (CO) またはオーバーフロー (OFL) を出力します。

加算モードでは、CO と CI はアクティブ High になります。減算モードでは、CO と CI はアクティブ Low になります。OFL は、モードにかかわらず常にアクティブ High です。

論理表

| 入力 | | | 出力 |
|--------------------------------|-------|-------|--------------------|
| ADD | A | B | S |
| 1 | A_n | B_n | $A_n + B_n + CI^*$ |
| 0 | A_n | B_n | $A_n - B_n - CI^*$ |
| CI* : ADD = 0、CI、CO アクティブ Low | | | |
| CI* : ADD = 1、CI、CO アクティブ High | | | |

符号なし 2 進数と 2 の補数

このデザイン エLEMENTは、4 ビットの符号なし 2 進数または 4 ビットの 2 の補数を処理できます。符号なし 2 進数が入力されると、符号なし 2 進数が出力されます。2 の補数が入力されると、2 の補数が出力されます。この 2 つの唯一の機能的な違いは、オーバーフローの認識方法にあり、オーバーフローの発生を認識するのに符号なし 2 進数では CO が使用され、2 の補数では OFL が使用されます。

加減算器では、符号なし 2 進演算でも 2 の補数演算でもオーバーフローが発生します。演算結果がオーバーフローになる場合、オーバーフローが生成されます。同様に、演算結果が桁上がりする場合、キャリー出力が生成されます。

符号なし 2 進演算

符号なし 2 進演算の場合、0 ～ 15 までの数を表現できます。加算モードでは、加算結果が加減算器の範囲を超えると CO がアクティブ (High) になります。減算モードでは、減算器の範囲を超えると CO がアクティブ Low のボローアウトで、Low になります。

符号なし 2 進数のオーバーフローは、常にアクティブ High で、ADD と CO を次のようにゲート接続すると発生させることができます。

符号なしオーバーフロー = CO XOR ADD

符号なし 2 進演算では、OFL は無視されます。

2 の補数演算

2 の補数演算の場合、-8 から +7 までの数を表現できます。

加算または減算の結果がこの範囲を超えると、OFL 出力が High になります。2 の補数演算では、CO は無視されます。

デザインの入力方法

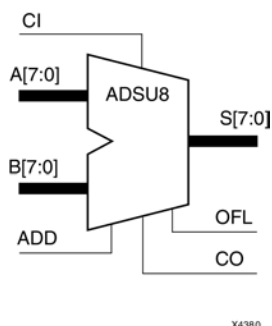
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリ データシート](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリ データシート](#)
- ・ [Spartan-3E FPGA ファミリ データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

ADSU8

マクロ : 8-Bit Cascadable Adder/Subtractor with Carry-In, Carry-Out, and Overflow



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6
- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

ADD が High の場合、2 つの 8 ビットワード (A7 ~ A0 と B7 ~ B0) とキャリー入力 (CI) を加算し、8 ビットの和 (S7 ~ S0) とキャリー出力 (CO) (またはオーバーフロー (OFL)) を出力します。

ADD 入力 Low の場合、A7 ~ A0 から B7 ~ B0 を減算し、8 ビットの差 (S7 ~ S0) とキャリー出力 (CO) またはオーバーフロー (OFL) を出力します。

加算モードでは、CO と CI はアクティブ High になります。減算モードでは、CO と CI はアクティブ Low になります。OFL は、モードにかかわらず常にアクティブ High です。

論理表

| 入力 | | | 出力 |
|--------------------------------|----------------|----------------|---------------------------------------|
| ADD | A | B | S |
| 1 | A _n | B _n | A _n + B _n + CI* |
| 0 | A _n | B _n | A _n - B _n - CI* |
| CI* : ADD = 0、CI、CO アクティブ Low | | | |
| CI* : ADD = 1、CI、CO アクティブ High | | | |

符号なし 2 進数と 2 の補数

このデザイン エLEMENTは、8 ビットの符号なし 2 進数または 8 ビットの 2 の補数を処理できます。符号なし 2 進数が入力されると、符号なし 2 進数が出力されます。2 の補数が入力されると、2 の補数が出力されます。この 2 つの唯一の機能的な違いは、オーバーフローの認識方法にあり、オーバーフローの発生を認識するのに符号なし 2 進数では CO が使用され、2 の補数では OFL が使用されます。

加減算器では、符号なし 2 進演算でも 2 の補数演算でもオーバーフローが発生します。演算結果がオーバーフローになる場合、オーバーフローが生成されます。同様に、演算結果が桁上がりする場合、キャリー出力が生成されます。

符号なし 2 進演算

符号なし 2 進演算の場合、0 ~ 255 までの数を表現できます。加算モードでは、加算結果が加減算器の範囲を超えると CO がアクティブ (High) になります。減算モードでは、減算器の範囲を超えると CO がアクティブ Low のボローアウトで、Low になります。

符号なし 2 進数のオーバーフローは、常にアクティブ High で、ADD と CO を次のようにゲート接続すると発生させることができます。

符号なしオーバーフロー = CO XOR ADD

符号なし 2 進演算では、OFL は無視されます。

2 の補数演算

2 の補数演算の場合、-128 から +127 までの数を表現できます。

加算または減算の結果がこの範囲を超えると、OFL 出力が High になります。2 の補数演算では、CO は無視されます。

デザインの入力方法

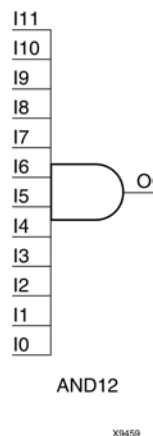
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリー データシート](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリー データシート](#)
- ・ [Spartan-3E FPGA ファミリー データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート: DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート: DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

AND12

マクロ : 12- Input AND Gate with Non-Inverted Inputs



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6

概要

5 入力までの AND ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の AND ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転させるには、外部インバータを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

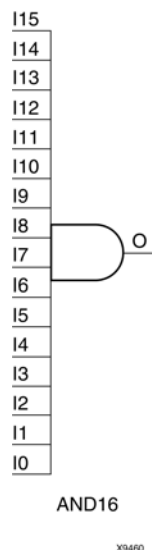
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリ データシート](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリ データシート](#)
- ・ [Spartan-3E FPGA ファミリ データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

AND16

マクロ : 16- Input AND Gate with Non-Inverted Inputs



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6

概要

5 入力までの AND ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の AND ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転させるには、外部インバータを使用します。各入力に CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

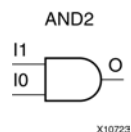
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリ データシート](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリ データシート](#)
- ・ [Spartan-3E FPGA ファミリ データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

AND2

プリミティブ : 2-Input AND Gate with Non-Inverted Inputs



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6
- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

5 入力までの AND ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の AND ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転させるには、外部インバータを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

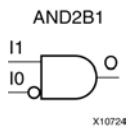
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリ データシート](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリ データシート](#)
- ・ [Spartan-3E FPGA ファミリ データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

AND2B1

プリミティブ : 2-Input AND Gate with 1 Inverted and 1 Non-Inverted Inputs



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6
- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

5 入力までの AND ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の AND ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転させるには、外部インバータを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

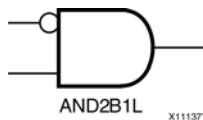
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリ データシート](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリ データシート](#)
- ・ [Spartan-3E FPGA ファミリ データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

AND2B1L

プリミティブ : Two input AND gate implemented in place of a Slice Latch



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-6
- ・ Virtex®-6

概要

このデザイン エLEMENTでは、コンフィギュレーション可能なスライス ラッチで 1 入力反転される 2 入力 AND ゲートのファンクションが使用されます。このELEMENTを使用すると、ロジックのレジスタ/ラッチ リソース数をトレードオフにすることで、ロジックレベルを削減して、デバイスのロジック集積度を高めることができます。このELEMENTはレジスタのパックおよび集積度に影響を与えるので注意してください。AND2B1L または OR2L ELEMENTをスライスに指定すると、残りのレジスタおよびラッチが使用できなくなります。

論理表

| 入力 | | 出力 |
|----|-----|----|
| DI | SRI | O |
| 0 | 0 | 0 |
| 0 | 1 | 0 |
| 1 | 0 | 1 |
| 1 | 1 | 0 |

ポートの説明

| ポート名 | タイプ | 幅 | 機能 |
|------|-----|---|--|
| O | 出力 | 1 | AND ゲートの出力 |
| DI | 入力 | 1 | 同じスライスにあるソース LUT に通常接続されるアクティブ High の入力 |
| SRI | 入力 | 1 | 通常スライス外からソースされるアクティブ Low の入力 メモ : 複数の AND2B1L または OR2B1L を 1 つのスライスにパックするには、この入力に共通の信号を接続する必要があります。 |

デザインの入力方法

| | |
|--------------------------|----|
| インスタンス化 | 推奨 |
| 推論 | 不可 |
| CORE Generator™ およびウィザード | 不可 |
| マクロのサポート | 不可 |

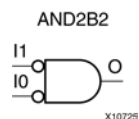
このELEMENTは、回路図で使用されます。

詳細情報

- ・ [Spartan-6 FPGA SelectIO リソース ユーザー ガイド](#)
- ・ [Spartan-6 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

AND2B2

プリミティブ : 2-Input AND Gate with Inverted Inputs



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6
- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

5 入力までの AND ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の AND ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転させるには、外部インバータを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

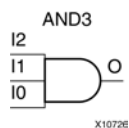
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリ データシート](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリ データシート](#)
- ・ [Spartan-3E FPGA ファミリ データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

AND3

プリミティブ : 3-Input AND Gate with Non-Inverted Inputs



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6
- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

5 入力までの AND ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の AND ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転させるには、外部インバータを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

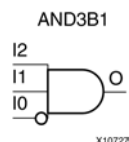
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリ データシート](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリ データシート](#)
- ・ [Spartan-3E FPGA ファミリ データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

AND3B1

プリミティブ : 3-Input AND Gate with 1 Inverted and 2 Non-Inverted Inputs



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6
- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

5 入力までの AND ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の AND ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転させるには、外部インバータを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

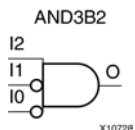
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリ データシート](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリ データシート](#)
- ・ [Spartan-3E FPGA ファミリ データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

AND3B2

プリミティブ : 3-Input AND Gate with 2 Inverted and 1 Non-Inverted Inputs



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6
- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

5 入力までの AND ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の AND ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転させるには、外部インバータを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

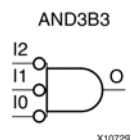
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリ データシート](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリ データシート](#)
- ・ [Spartan-3E FPGA ファミリ データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

AND3B3

プリミティブ : 3-Input AND Gate with Inverted Inputs



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6
- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

5 入力までの AND ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の AND ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転させるには、外部インバータを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

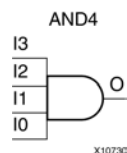
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリ データシート](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリ データシート](#)
- ・ [Spartan-3E FPGA ファミリ データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

AND4

プリミティブ : 4-Input AND Gate with Non-Inverted Inputs



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6
- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

5 入力までの AND ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の AND ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転させるには、外部インバータを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

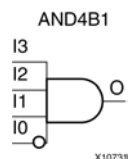
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリ データシート](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリ データシート](#)
- ・ [Spartan-3E FPGA ファミリ データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

AND4B1

プリミティブ : 4-Input AND Gate with 1 Inverted and 3 Non-Inverted Inputs



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6
- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

5 入力までの AND ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の AND ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転させるには、外部インバータを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

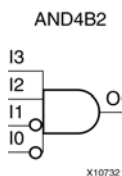
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリ データシート](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリ データシート](#)
- ・ [Spartan-3E FPGA ファミリ データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

AND4B2

プリミティブ : 4-Input AND Gate with 2 Inverted and 2 Non-Inverted Inputs



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6
- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

5 入力までの AND ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の AND ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転させるには、外部インバータを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

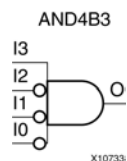
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリ データシート](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリ データシート](#)
- ・ [Spartan-3E FPGA ファミリ データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

AND4B3

プリミティブ : 4-Input AND Gate with 3 Inverted and 1 Non-Inverted Inputs



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6
- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

5 入力までの AND ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の AND ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転させるには、外部インバータを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

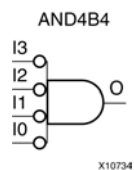
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリ データシート](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリ データシート](#)
- ・ [Spartan-3E FPGA ファミリ データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

AND4B4

プリミティブ : 4-Input AND Gate with Inverted Inputs



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6
- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

5 入力までの AND ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の AND ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転させるには、外部インバータを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

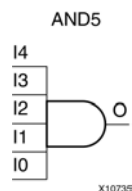
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリ データシート](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリ データシート](#)
- ・ [Spartan-3E FPGA ファミリ データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

AND5

プリミティブ : 5-Input AND Gate with Non-Inverted Inputs



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6
- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

5 入力までの AND ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の AND ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転させるには、外部インバータを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

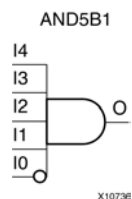
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリ データシート](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリ データシート](#)
- ・ [Spartan-3E FPGA ファミリ データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

AND5B1

プリミティブ : 5-Input AND Gate with 1 Inverted and 4 Non-Inverted Inputs



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6
- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

5 入力までの AND ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の AND ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転させるには、外部インバータを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

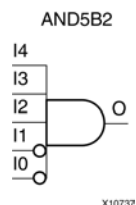
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリ データシート](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリ データシート](#)
- ・ [Spartan-3E FPGA ファミリ データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

AND5B2

プリミティブ : 5-Input AND Gate with 2 Inverted and 3 Non-Inverted Inputs



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6
- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

5 入力までの AND ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の AND ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転させるには、外部インバータを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

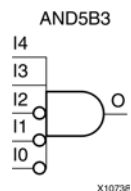
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリ データシート](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリ データシート](#)
- ・ [Spartan-3E FPGA ファミリ データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

AND5B3

プリミティブ : 5-Input AND Gate with 3 Inverted and 2 Non-Inverted Inputs



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6
- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

5 入力までの AND ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の AND ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転させるには、外部インバータを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

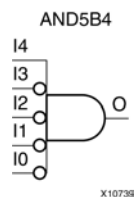
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリ データシート](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリ データシート](#)
- ・ [Spartan-3E FPGA ファミリ データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

AND5B4

プリミティブ : 5-Input AND Gate with 4 Inverted and 1 Non-Inverted Inputs



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6
- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

5 入力までの AND ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の AND ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転させるには、外部インバータを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

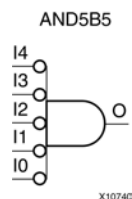
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリ データシート](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリ データシート](#)
- ・ [Spartan-3E FPGA ファミリ データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

AND5B5

プリミティブ : 5-Input AND Gate with Inverted Inputs



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6
- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

5 入力までの AND ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の AND ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転させるには、外部インバータを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

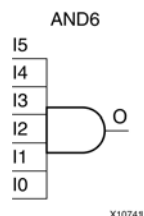
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリ データシート](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリ データシート](#)
- ・ [Spartan-3E FPGA ファミリ データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

AND6

マクロ : 6-Input AND Gate with Non-Inverted Inputs



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6
- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

5 入力までの AND ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の AND ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転させるには、外部インバータを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

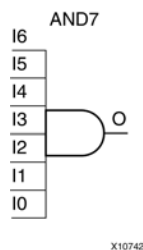
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリ データシート](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリ データシート](#)
- ・ [Spartan-3E FPGA ファミリ データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

AND7

マクロ : 7-Input AND Gate with Non-Inverted Inputs



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6
- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

5 入力までの AND ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の AND ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転させるには、外部インバータを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

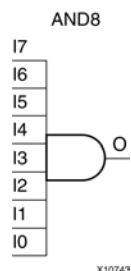
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリ データシート](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリ データシート](#)
- ・ [Spartan-3E FPGA ファミリ データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

AND8

マクロ : 8-Input AND Gate with Non-Inverted Inputs



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6
- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

5 入力までの AND ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の AND ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転させるには、外部インバータを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

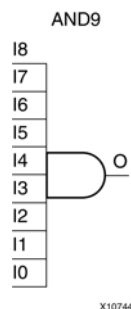
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリ データシート](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリ データシート](#)
- ・ [Spartan-3E FPGA ファミリ データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

AND9

マクロ : 9-Input AND Gate with Non-Inverted Inputs



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6
- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

5 入力までの AND ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の AND ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転させるには、外部インバータを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

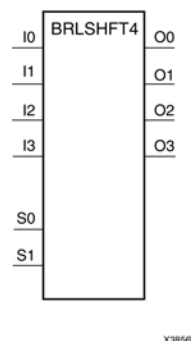
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリ データシート](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリ データシート](#)
- ・ [Spartan-3E FPGA ファミリ データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

BRLSHFT4

マクロ : 4-Bit Barrel Shifter



X3856

サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6
- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

このデザイン エLEMENTは 4 ビットのバレル シフタで、4 つの入力 (I3 ~ I0) を 4 回までローテーションできます。制御入力 (S1 と S0) は、データをローテーションする回数 (1 ~ 4) を指定します。4 つの出力 (O3 ~ O0) には、ローテーションされたデータ入力が出力されます。

論理表

| 入力 | | | | | | 出力 | | | |
|----|----|----|----|----|----|----|----|----|----|
| S1 | S0 | I0 | I1 | I2 | I3 | O0 | O1 | O2 | O3 |
| 0 | 0 | a | b | c | d | a | b | c | d |
| 0 | 1 | a | b | c | d | b | c | d | a |
| 1 | 0 | a | b | c | d | c | d | a | b |
| 1 | 1 | a | b | c | d | d | a | b | c |

デザインの入力方法

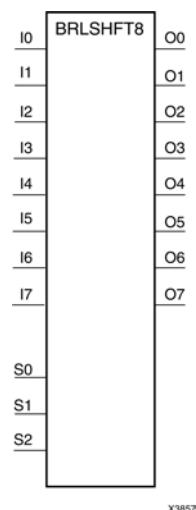
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリ データシート](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリ データシート](#)
- ・ [Spartan-3E FPGA ファミリ データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

BRLSHFT8

マクロ : 8-Bit Barrel Shifter



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6
- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

このデザイン エLEMENTは、8 ビットのバレル シフタで、8 つの入力 (I7 ~ I0) を 8 回までローテーションできます。制御入力 (S2 ~ S0) は、データをローテーションする回数 (1 ~ 8) を指定します。8 つの出力 (O7 ~ O0) には、ローテーションされたデータ入力が出力されます。

論理表

| 入力 | | | | | | | | | | | 出力 | | | | | | | |
|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|
| S2 | S1 | S0 | I0 | I1 | I2 | I3 | I4 | I5 | I6 | I7 | O0 | O1 | O2 | O3 | O4 | O5 | O6 | O7 |
| 0 | 0 | 0 | a | b | c | d | e | f | g | h | a | b | c | d | e | f | g | h |
| 0 | 0 | 1 | a | b | c | d | e | f | g | h | b | c | d | e | f | g | h | a |
| 0 | 1 | 0 | a | b | c | d | e | f | g | h | c | d | e | f | g | h | a | b |
| 0 | 1 | 1 | a | b | c | d | e | f | g | h | d | e | f | g | h | a | b | c |
| 1 | 0 | 0 | a | b | c | d | e | f | g | h | e | f | g | h | a | b | c | d |
| 1 | 0 | 1 | a | b | c | d | e | f | g | h | f | g | h | a | b | c | d | e |
| 1 | 1 | 0 | a | b | c | d | e | f | g | h | g | h | a | b | c | d | e | f |
| 1 | 1 | 1 | a | b | c | d | e | f | g | h | h | a | b | c | d | e | f | g |

デザインの入力方法

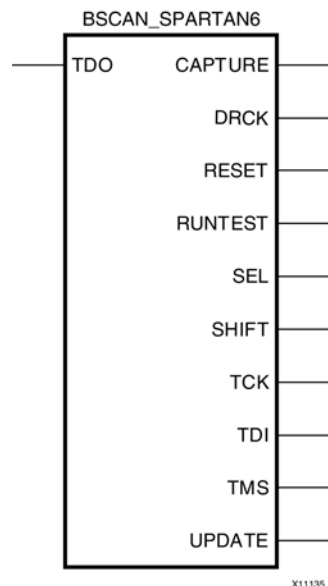
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリー データシート](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリー データシート](#)
- ・ [Spartan-3E FPGA ファミリー データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

BSCAN_SPARTAN6

プリミティブ : Spartan®-6 JTAG Boundary Scan Logic Control Circuit



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

Spartan®-6

概要

このデザイン エLEMENTを使用すると、JTAG バウンダリ スキャン ロジック コントローラを介して内部ロジックへアクセスできるので、内部実行デザインと FPGA の専用 JTAG ピン間の通信を可能にします。

このデザイン エLEMENTの各インスタンスでは、JTAG_CHAIN 属性の設定に従い、JTAG USER 命令 1 つ (USER1 から USER4 まで) が処理されます。USER 命令の 4 つすべてを処理するには、ELEMENTを 4 つインスタンス化し JTAG_CHAIN 属性を設定します。

ポートの説明

| ポート名 | タイプ | 幅 | 機能 |
|---------|-----|---|---|
| CAPTURE | 出力 | 1 | USER 命令が読み込まれるとアクティブになり、JTAG TAP コントローラが CAPTURE-DR ステートになると High にアサートされます。 |
| DRCK | 出力 | 1 | JTAG_CHAIN によって割り当てられた JTAG USER 命令が読み込まれるとアクティブになり、JTAG TAP コントローラが SHIFT-DR ステートまたは CAPTURE-DR ステートになると TCK ピンと同じ値を出力します。 |
| RESET | 出力 | 1 | USER 命令が読み込まれるとアクティブになり、JTAG TAP コントローラが TEST-LOGIC-RESET ステートになると High にアサートされます。 |
| RUNTEST | 出力 | 1 | JTAG が Run Test/Idle ステートであることを示します。 |
| SEL | 出力 | 1 | JTAG 命令レジスタに USER 命令が読み込まれたことを示します。UPDATE-IR ステートになるとアクティブになり、新しい命令が読み込まれるまでアクティブのままになります。 |
| SHIFT | 出力 | 1 | USER 命令が読み込まれるとアクティブになり、JTAG TAP コントローラが SHIFT-DR ステートになると High にアサートされます。 |
| TCK | 出力 | 1 | FPGA の TCK 入力ピンの値 |
| TDI | 出力 | 1 | TDI ピンと同じ値を出力します。 |
| TMS | 出力 | 1 | FPGA の TMS 入力ピンの値 |
| UPDATE | 出力 | 1 | USER 命令が読み込まれるとアクティブになり、JTAG TAP コントローラが UPDATE-DR ステートになると High にアサートされます。 |
| TDO | 入力 | 1 | USER 命令が読み込まれるとアクティブになり、外部 JTAG TDO ピンには、マクロの TDO ピンへのデータ入力の値が示されます。 |

デザインの入力方法

| | |
|--------------------------|----|
| インスタンス化 | 推奨 |
| 推論 | 不可 |
| CORE Generator™ およびウィザード | 不可 |
| マクロのサポート | 不可 |

このエレメントは、回路図で使用されます。

使用可能な属性

| 属性 | タイプ | 値 | デフォルト | 説明 |
|------------|-----|---------|-------|---|
| JTAG_CHAIN | 整数 | 1、2、3、4 | 1 | エレメントのインスタンスで処理可能な JTAG USER 命令数を設定します。 |

VHDL 記述 (インスタンスレーション)

次の 2 つの構文が存在しない場合はコピーし、エンティティ宣言の前に貼り付けます。

```
Library UNISIM;
use UNISIM.vcomponents.all;

-- BSCAN_SPARTAN6: Spartan-6 JTAG Boundary-Scan Logic Access
--           Spartan-6
-- Xilinx HDL Libraries Guide, version 11.2

BSCAN_SPARTAN6_inst : BSCAN_SPARTAN6
generic map (
    JTAG_CHAIN => 1 -- Chain number.
)
port map (
    CAPTURE => CAPTURE, -- 1-bit Scan Data Register Capture instruction.
    DRCK => DRCK,        -- 1-bit Scan Clock instruction. DRCK is a gated version of TCTCK, it toggles during
                        -- the CAPTUREDR and SHIFTR states.

    RESET => RESET,      -- 1-bit Scan register reset instruction.
    RUNTEST => RUNTEST,   -- 1-bit Asserted when TAP controller is in Run Test Idle state. Make sure is the
                        -- same name as BSCAN primitive used in Spartan products.

    SEL => SEL,           -- 1-bit Scan mode Select instruction.
    SHIFT => SHIFT,       -- 1-bit Scan Chain Shift instruction.
    TCK => TCK,           -- 1-bit Scan Clock. Fabric connection to TAP Clock pin.
    TDI => TDI,           -- 1-bit Scan Chain Output. Mirror of TDI input pin to FPGA.
    TMS => TMS,           -- 1-bit Test Mode Select. Fabric connection to TAP.
    UPDATE => UPDATE,     -- 1-bit Scan Register Update instruction.
    TDO => TDO            -- 1-bit Scan Chain Input.
);

-- End of BSCAN_SPARTAN6_inst instantiation
```

Verilog 記述 (インスタンスレーション)

```
// BSCAN_SPARTAN6: Spartan-6 JTAG Boundary-Scan Logic Access
//           Spartan-6
// Xilinx HDL Language Template, version 11.1

BSCAN_SPARTAN6 #(
    .JTAG_CHAIN(1) // Chain number.
)
BSCAN_SPARTAN6_inst (
    .CAPTURE(CAPTURE), // 1-bit Scan Data Register Capture instruction.
    .DRCK(DRCK),        // 1-bit Scan Clock instruction. DRCK is a gated version of TCTCK, it toggles during
                        // the CAPTUREDR and SHIFTR states.

    .RESET(RESET),      // 1-bit Scan register reset instruction.
    .RUNTEST(RUNTEST),  // 1-bit Asserted when TAP controller is in Run Test Idle state. Make sure is the same
                        // name as BSCAN primitive used in Spartan products.

    .SEL(SEL),          // 1-bit Scan mode Select instruction.
    .SHIFT(SHIFT),       // 1-bit Scan Chain Shift instruction.
    .TCK(TCK),          // 1-bit Scan Clock. Fabric connection to TAP Clock pin.
    .TDI(TDI),          // 1-bit Scan Chain Output. Mirror of TDI input pin to FPGA.
    .TMS(TMS),          // 1-bit Test Mode Select. Fabric connection to TAP.
    .UPDATE(UPDATE),    // 1-bit Scan Register Update instruction.
    .TDO(TDO)           // 1-bit Scan Chain Input.
);

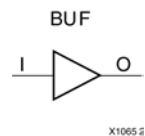
// End of BSCAN_SPARTAN6_inst instantiation
```

詳細情報

- [Spartan-6 FPGA コンフィギュレーション ユーザー ガイド](#)
- [Spartan-6 FPGA データシート: DC 特性およびスイッチ特性](#)

BUF

プリミティブ : General Purpose Buffer



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6
- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

このデザイン エLEMENTは、汎用の非反転バッファです。

このELEMENTは不要なので、MAP によって削除されます。

デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

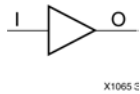
詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリ データシート](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリ データシート](#)
- ・ [Spartan-3E FPGA ファミリ データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

BUFCF

プリミティブ : Fast Connect Buffer

BUFCF



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6

概要

このデザイン エLEMENTは、一部の専用ロジックと LUT の出力を別の LUT の入力に直接接続するために使用する、単一の高速結合バッファです。このバッファを使用すると、CLB パックも行われます。LUT は、4 つまで 1 つのグループとして接続できます。

デザインの入力方法

| | |
|--------------------------|----|
| インスタンス化 | 推奨 |
| 推論 | 不可 |
| CORE Generator™ およびウィザード | 不可 |
| マクロのサポート | 不可 |

このELEMENTは、回路図で使用されます。

VHDL 記述 (インスタンスエーション)

次の 2 つの構文が存在しない場合はコピーし、エンティティ宣言の前に貼り付けます。

```
Library UNISIM;
use UNISIM.vcomponents.all;

-- BUFCF: Fast connect buffer used to connect the outputs of the LUTs
--         and some dedicated logic directly to the input of another LUT.
--         For use with all FPGAs.
-- Xilinx HDL Libraries Guide, version 11.2

BUFCF_inst: BUFCF (
port map (
    O => O, -- Connect to the output of a LUT
    I => I  -- Connect to the input of a LUT
);

-- End of BUFCF_inst instantiation
```

Verilog 記述 (インスタンスエーション)

```
// BUFCF: Fast connect buffer used to connect the outputs of the LUTs
//         and some dedicated logic directly to the input of another LUT.
//         For use with all FPGAs.
// Xilinx HDL Libraries Guide, version 11.2

BUFCF BUFCF_inst (
    .O(O), // Connect to the output of a LUT
    .I(I)  // Connect to the input of a LUT
);

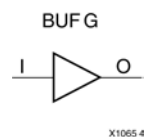
// End of BUFCF_inst instantiation
```

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリー データシート](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリー データシート](#)
- ・ [Spartan-3E FPGA ファミリー データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート: DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート: DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

BUFG

プリミティブ : Global Clock Buffer



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6
- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

このデザイン エLEMENTは、ファンアウトが大きいバッファで、スキューを抑えて信号を分散するために、グローバル配線リソースへの信号に接続します。BUFG は通常クロック ネットで使用されます。

ポートの説明

| ポート名 | タイプ | 幅 | 機能 |
|------|-----|---|-------------|
| I | 入力 | 1 | クロック バッファ出力 |
| O | 出力 | 1 | クロック バッファ入力 |

デザインの入力方法

| | |
|--------------------------|----|
| インスタンス化 | 可 |
| 推論 | 推奨 |
| CORE Generator™ およびウィザード | 不可 |
| マクロのサポート | 不可 |

このELEMENTは、回路図で使用されます。

VHDL 記述 (インスタンスレーション)

次の 2 つの構文が存在しない場合はコピーし、エンティティ宣言の前に貼り付けます。

```
Library UNISIM;
use UNISIM.vcomponents.all;

-- BUFG: Global Clock Buffer
--      Virtex-6
-- Xilinx HDL Libraries Guide, version 11.2

BUFG_inst : BUFG
generic map (
)
port map (
  O => O, -- 1-bit Clock buffer output
  I => I  -- 1-bit Clock buffer input
);

-- End of BUFG_inst instantiation
```

Verilog 記述 (インスタンスレーション)

```
// BUFG: Global Clock Buffer (source by an internal signal)
//      All FPGAs
// Xilinx HDL Libraries Guide, version 11.2

BUFG BUFG_inst (
  .O(O),      // Clock buffer output
  .I(I)       // Clock buffer input
);

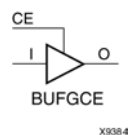
// End of BUFG_inst instantiation
```

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリー データシート](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)
- ・ [Spartan-3E FPGA ファミリー データシート](#)
- ・ [Spartan-6 FPGA クロック リソース ユーザー ガイド](#)
- ・ [Spartan-6 FPGA データシート: DC 特性およびスイッチ特性](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート: DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート: DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当する EDK 資料](#)

BUFGCE

プリミティブ : Global Clock Buffer with Clock Enable



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6

概要

このデザイン エLEMENTは、クロック イネーブル付きグローバル クロック バッファです。O 出力は、クロック イネーブル (CE) が Low (非アクティブ) のときに 0 になります。CE が High になると、I 入力の値が O に出力されます。

論理表

| 入力 | | 出力 |
|----|----|----|
| I | CE | O |
| X | 0 | 0 |
| I | 1 | I |

デザインの入力方法

| | |
|--------------------------|----|
| インスタンス化 | 可 |
| 推論 | 推奨 |
| CORE Generator™ およびウィザード | 不可 |
| マクロのサポート | 不可 |

このELEMENTは、回路図で使用されます。

VHDL 記述 (インスタンス化)

次の 2 つの構文が存在しない場合はコピーし、エンティティ宣言の前に貼り付けます。

```
Library UNISIM;
use UNISIM.vcomponents.all;

-- BUFGCE: Global Clock Buffer with Clock Enable (active high)
--      Virtex4/5/6, Spartan-3/3E/3A/6
-- Xilinx HDL Libraries Guide, version 11.2

BUFGCE_inst : BUFGCE
port map (
    O => O,    -- Clock buffer output
    CE => CE,  -- Clock enable input
    I => I     -- Clock buffer input
);

-- End of BUFGCE_inst instantiation
```

Verilog 記述 (インスタンス化)

```
// BUFGCE: Global Clock Buffer with Clock Enable (active high)
//      Virtex-4/5/6, Spartan-3/3E/3A/6
// Xilinx HDL Libraries Guide, version 11.2

BUFGCE BUFGCE_inst (
    .O(O),    // Clock buffer output
    .CE(CE),  // Clock enable input
    .I(I)     // Clock buffer input
);

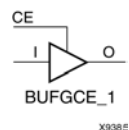
// End of BUFGCE_inst instantiation
```

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリー データシート](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)
- ・ [Spartan-3E FPGA ファミリー データシート](#)
- ・ [Spartan-6 FPGA クロック リソース ユーザー ガイド](#)
- ・ [Spartan-6 FPGA データシート: DC 特性およびスイッチ特性](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート: DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート: DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

BUFGCE_1

プリミティブ : Global Clock Buffer with Clock Enable and Output State 1



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6

概要

このデザイン エLEMENTは、クロック イネーブル付きグローバル クロック バッファです。O 出力は、クロック イネーブル (CE) が Low (非アクティブ) のときに High (1) になります。CE が High になると、I 入力の値が O に出力されます。

論理表

| 入力 | | 出力 |
|----|----|----|
| I | CE | O |
| X | 0 | 1 |
| I | 1 | I |

デザインの入力方法

| | |
|--------------------------|----|
| インスタンス化 | 可 |
| 推論 | 推奨 |
| CORE Generator™ およびウィザード | 不可 |
| マクロのサポート | 不可 |

このELEMENTは、回路図で使用されます。

VHDL 記述 (インスタンス化)

次の 2 つの構文が存在しない場合はコピーし、エンティティ宣言の前に貼り付けます。

```
Library UNISIM;
use UNISIM.vcomponents.all;

-- BUFGCE_1: Global Clock Buffer with Clock Enable (active low)
--           Virtex-4/5/6, Spartan-3/3E/3A/6
-- Xilinx HDL Libraries Guide, version 11.2

BUFGCE_1_inst : BUFGCE_1
port map (
    O => O,    -- Clock buffer output
    CE => CE,   -- Clock enable input
    I => I      -- Clock buffer input
);

-- End of BUFGCE_1_inst instantiation
```

Verilog 記述 (インスタンス化)

```
// BUFGCE_1: Global Clock Buffer with Clock Enable (active low)
//           Virtex-4/5/6, Spartan-3/3E/3A/6
// Xilinx HDL Libraries Guide, version 11.2

BUFGCE_1 BUFGCE_1_inst (
    .O(O),    // Clock buffer output
    .CE(CE),  // Clock enable input
    .I(I)     // Clock buffer input
);

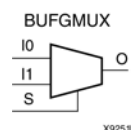
// End of BUFGCE_1_inst instantiation
```

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリー データシート](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)
- ・ [Spartan-3E FPGA ファミリー データシート](#)
- ・ [Spartan-6 FPGA クロック リソース ユーザー ガイド](#)
- ・ [Spartan-6 FPGA データシート: DC 特性およびスイッチ特性](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート: DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート: DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

BUFGMUX

プリミティブ : Global Clock MUX Buffer



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5

概要

BUFGMUX はマルチプレクサの機能を持つグローバル クロック バッファで、2 つの入力クロック (I0 および I1) のいずれかを選択できます。セレクト入力 (S) が Low の場合、I0 の信号が出力 (O) に選択されます。S が High の場合は、I1 の信号が O に選択されます。

BUFGMUX および BUFGMUX_1 では、S の値が変化した後クロックが切り替わるまでに保持される出力ステートが異なります。BUFGMUX は出力ステートが 0 に、BUFGMUX_1 は出力ステートが 1 に保持されます。

メモ : BUFGMUX では、S がトグルされると、次のアクティブ クロック エッジ (I0 または I1) まで、出力のステートが非アクティブのまま保持されます。

論理表

| 入力 | | | 出力 |
|----|----|---|----|
| I0 | I1 | S | O |
| I0 | X | 0 | I0 |
| X | I1 | 1 | I1 |
| X | X | ↑ | 0 |
| X | X | ↓ | 0 |

ポートの説明

| ポート名 | タイプ | 幅 | 機能 |
|------|-----|---|-------------|
| I0 | 入力 | 1 | クロック 0 入力 |
| I1 | 入力 | 1 | クロック 1 入力 |
| O | 出力 | 1 | クロック MUX 出力 |
| S | 入力 | 1 | クロック セレクト入力 |

デザインの入力方法

| | |
|--------------------------|----|
| インスタンス化 | 可 |
| 推論 | 推奨 |
| CORE Generator™ およびウィザード | 不可 |
| マクロのサポート | 不可 |

このELEMENTは、回路図で使用されます。

使用可能な属性

| 属性 | タイプ | 値 | デフォルト | 説明 |
|---------------|-----|------------|-------|-------------------------------|
| CLK_SEL_TYPE | 文字列 | SYNC、ASYNC | SYNC | 同期クロックまたは非同期クロックを指定します。 |
| DISABLE_VALUE | 文字列 | HIGH、LOW | LOW | 入力を切り替えるときに出力が想定するステートを指定します。 |

VHDL 記述 (インスタンス化)

次の 2 つの構文が存在しない場合はコピーし、エンティティ宣言の前に貼り付けます。

```
Library UNISIM;
use UNISIM.vcomponents.all;

-- BUFGMUX: Global Clock MUX Buffer
--           Spartan-6
-- Xilinx HDL Libraries Guide, version 11.2

BUFGMUX_inst : BUFGMUX
generic map (
    CLK_SEL_TYPE => "SYNC",
)
port map (
    O => O,    -- 1-bit Clock MUX output
    I0 => I0,  -- 1-bit Clock0 input
    I1 => I1,  -- 1-bit Clock1 input
    S => S     -- 1-bit Clock select input
);

-- End of BUFGMUX_inst instantiation
```

Verilog 記述 (インスタンス化)

```
// BUFGMUX: Global Clock Buffer 2-to-1 MUX
//           Spartan-3/3E/3A/6
// Xilinx HDL Libraries Guide, version 11.2

BUFGMUX BUFGMUX_inst (
    .O(O),    // Clock MUX output
    .I0(I0),  // Clock0 input
    .I1(I1),  // Clock1 input
    .S(S)     // Clock select input
);

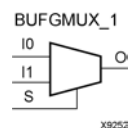
// End of BUFGMUX_inst instantiation
```

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリ データシート](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)
- ・ [Spartan-3E FPGA ファミリ データシート](#)
- ・ [Spartan-6 FPGA クロック リソース ユーザー ガイド](#)
- ・ [Spartan-6 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)

BUFGMUX_1

プリミティブ : Global Clock MUX Buffer with Output State 1



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5

概要

このデザイン エLEMENTは、マルチプレクサの機能を持つグローバル クロック バッファで、2 つの入力クロック (I0 および I1) のいずれかを選択できます。セレクト入力 (S) が Low の場合、I0 の信号が出力 (O) に選択されます。S が High の場合は、I1 の信号が O に選択されます。

このデザイン エLEMENTと BUFGMUX では、S の値が変化した後クロックが切り替わるまでに保持される出力ステートが異なります。BUFGMUX は出力ステートが 0 に、BUFGMUX_1 は出力ステートが 1 に保持されます。

論理表

| 入力 | | | 出力 |
|----|----|---|----|
| I0 | I1 | S | O |
| I0 | X | 0 | I0 |
| X | I1 | 1 | I1 |
| X | X | ↑ | 1 |
| X | X | ↓ | 1 |

デザインの入力方法

| | |
|--------------------------|----|
| インスタンス化 | 可 |
| 推論 | 推奨 |
| CORE Generator™ およびウィザード | 不可 |
| マクロのサポート | 不可 |

このELEMENTは、回路図で使用されます。

VHDL 記述 (インスタンスレーション)

次の 2 つの構文が存在しない場合はコピーし、エンティティ宣言の前に貼り付けます。

```
Library UNISIM;
use UNISIM.vcomponents.all;

-- BUFGMUX_1: Global Clock Buffer 2-to-1 MUX (inverted select)
--           Spartan-3/3E/3A/6
-- Xilinx HDL Libraries Guide, version 11.2

BUFGMUX_1_inst : BUFGMUX_1
port map (
    O => O,      -- Clock MUX output
    I0 => I0,     -- Clock0 input
    I1 => I1,     -- Clock1 input
    S => S       -- Clock select input
);

-- End of BUFGMUX_1_inst instantiation
```

Verilog 記述 (インスタンスレーション)

```
// BUFGMUX_1: Global Clock Buffer 2-to-1 MUX (inverted select)
//           Spartan-3/3E/3A/6
// Xilinx HDL Libraries Guide, version 11.2

BUFGMUX_1 BUFGMUX_1_inst (
    .O(O),       // Clock MUX output
    .I0(I0),     // Clock0 input
    .I1(I1),     // Clock1 input
    .S(S)        // Clock select input
);

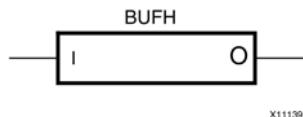
// End of BUFGMUX_1_inst instantiation
```

詳細情報

- [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- [Spartan-3 FPGA ファミリー データシート](#)
- [Spartan-3A FPGA ファミリー データシート](#)
- [Spartan-3E FPGA ファミリー データシート](#)
- [Spartan-6 FPGA クロック リソース ユーザー ガイド](#)
- [Spartan-6 FPGA データシート : DC 特性およびスイッチ特性](#)
- [Virtex-4 FPGA ユーザー ガイド](#)
- [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- [Virtex-5 FPGA ユーザー ガイド](#)
- [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)

BUFH

コンビニエンス プリミティブ : Clock buffer for a single clocking region



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

Virtex®-6

概要

インスタンス化で HCLK クロック バッファ リソースを使用するための機能を提供します。

ポートの説明

| ポート名 | タイプ | 幅 | 機能 |
|------|-----|---|--------|
| I | 入力 | 1 | クロック入力 |
| O | 出力 | 1 | クロック出力 |

デザインの入力方法

| | |
|--------------------------|----|
| インスタンス化 | 可 |
| 推論 | 不可 |
| CORE Generator™ およびウィザード | 不可 |
| マクロのサポート | 不可 |

このELEMENTは、回路図で使用されます。

VHDL 記述 (インスタンス化)

```
-- BUFH: (Clock buffer for a single clocking region)
--      Spartan-6
-- Xilinx HDL Libraries Guide, version 11.4

BUFH_inst : BUFH
generic map (
)
port map (
  O => O, -- 1-bit Clock Output
  I => I  -- 1-bit Clock Input
);

-- End of BUFH_inst instantiation
```

Verilog 記述 (インスタンス化)

```
// BUFH: Clock buffer for a single clocking region
//      Virtex-6
// Xilinx HDL Language Template, version 11.4

BUFH BUFH_inst (
    .O(0), // 1-bit The output to the BUFH
    .I(1)  // 1-bit The input to the BUFH
);

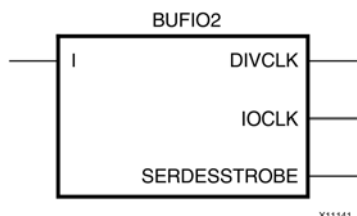
// End of BUFH_inst instantiation
```

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリー データシート](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリー データシート](#)
- ・ [Spartan-3E FPGA ファミリー データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート: DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート: DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

BUFIO2

プリミティブ : Dual Clock Buffer and Strobe Pulse



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

Spartan®-6

概要

このプリミティブでは、1つのクロック入力から2つのクロック出力およびストロブ パルスを生成します。IOCLK 出力は、入力クロックにバッファが付いたものです。DIVCLK 出力の周期およびデューティ サイクルは、属性設定によって異なります。DIVIDE_BYPASS が TRUE に設定されると、DIVCLK 出力は入力にバッファが付けられたものになり、SERDESSTROBE 出力が 1 に駆動されます。DIVIDE_BYPASS が FALSE に設定されると、DIVCLK および SERDESSTROBE 出力は 属性の設定に従って入力クロックが分周されたものになります。

ポートの説明

| ポート名 | タイプ | 幅 | 機能 |
|--------------|-----|---|--------------------------|
| DIVCLK | 出力 | 1 | 分周クロック |
| I | 入力 | 1 | クロック入力 |
| IOCLK | 出力 | 1 | クロック出力 |
| SERDESSTROBE | 出力 | 1 | SERDES ストロブ (クロック イネーブル) |

デザインの入力方法

| | |
|--------------------------|----|
| インスタンス化 | 推奨 |
| 推論 | 不可 |
| CORE Generator™ およびウィザード | 不可 |
| マクロのサポート | 不可 |

このELEMENTは、回路図で使用されます。

使用可能な属性

| 属性 | タイプ | 値 | デフォルト | 説明 |
|---------------|-------|-----------------|-------|---|
| DIVIDE | 10 進数 | 1、2、3、4、5、6、7、8 | 1 | DIVCLK 分周器の分周値を設定します。 |
| DIVIDE_BYPASS | ブール代数 | TRUE、FALSE | TRUE | DIVCLK のソースを分周器 (FALSE) または分周器をバイパスして I 入力 (TRUE) にします。 |

VHDL 記述 (インスタンスレーション)

```
-- BUFIO2: Dual Clock Buffer and Strobe Pulse
--           Spartan-6
-- Xilinx HDL Libraries Guide, version 11.2

BUFIO2_inst : BUFIO2
generic map (
    DIVIDE => 1,                -- Set the DIVCLK divider divide-by value.
    DIVIDE_BYPASS => TRUE,      -- DIVCLK output sourced from Divider (FALSE) or from I input, bypassing Divider
                                -- (TRUE).
    I_INVERT => FALSE,
    USE_DOUBLER => FALSE
)
port map (
    DIVCLK => DIVCLK,           -- 1-bit Output divided clock
    IOCLK => IOCLK,             -- 1-bit Output clock
    SERDESSTROBE => SERDESSTROBE, -- 1-bit Output SERDES strobe (Clock Enable)
    I => I                      -- 1-bit Clock input
);

-- End of BUFIO2_inst instantiation
```

Verilog 記述 (インスタンスレーション)

```
// BUFIO2: Dual Clock Buffer and Strobe Pulse
//           Spartan-6
// Xilinx HDL Language Template, version 11.1

BUFIO2 #(
    .DIVIDE(1),                // Set the DIVCLK divider divide-by value.
    .DIVIDE_BYPASS("TRUE"),    // DIVCLK output sourced from Divider (FALSE) or from I input, bypassing Divider
                                // (TRUE).
    .I_INVERT("FALSE"),
    .USE_DOUBLER("FALSE")
)
BUFIO2_inst (
    .DIVCLK(DIVCLK),           // 1-bit Output divided clock
    .IOCLK(IOCLK),             // 1-bit Output clock
    .SERDESSTROBE(SERDESSTROBE), // 1-bit Output SERDES strobe (Clock Enable)
    .I(I)                      // 1-bit Clock input
);

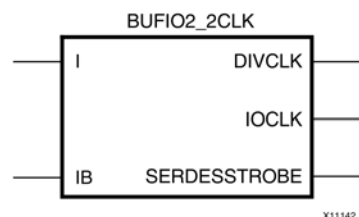
// End of BUFIO2_inst instantiation
```

詳細情報

- ・ [Spartan-6 FPGA クロック リソース ユーザー ガイド](#)
- ・ [Spartan-6 FPGA データシート : DC 特性およびスイッチ特性](#)

BUFIO2_2CLK

プリミティブ : Dual Clock Buffer and Strobe Pulse with Differential Input



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

Spartan®-6

概要

このデザイン エLEMENTは デュアル データレート (DDR) IO クロッキングが必要なときに BUFIO 2 エLEMENTと組み合わせて使用されます。このELEMENTは、入力/出力シリアライザ ブロックの SERDES ストロブ信号、必要な IO DDR クロックの 1 つ、およびグローバル バッファ、PLL、または DCM に転送するための分周クロック信号を生成するために使用されます。2 番目の BUFIO2 では、もう 1 つの DDR IO クロックが生成されます。

BUFIO2_2CLK は通常、反転入力および非反転入力と同じ信号に接続されているときに、USE_DOUBLE 属性が TRUE に設定されている BUFIO2 に置き換えることができます。ただし、差動入力クロックが入力遅延と共に必要な場合は例外です。この場合は、P 入力信号が入力遅延ELEMENTを介して BUFIO2_2CLK の非反転入力 (I) に適用され、N 入力信号が差動入力の遅延ELEMENTを介して反転入力 (IB) に適用されます。

デザインの入力方法

このELEMENTをインスタンス化するには、MIG またはこのELEMENTを含む関連コアを使用します。このELEMENTは直接インスタンス化しないでください。

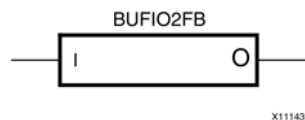
このELEMENTは、回路図で使用されます。

詳細情報

- ・ [Spartan-6 FPGA クロック リソース ユーザー ガイド](#)
- ・ [Spartan-6 FPGA データシート : DC 特性およびスイッチ特性](#)

BUFIO2FB

プリミティブ : Feedback Clock Buffer.



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

Spartan®-6

概要

このデザイン エLEMENTは、出力の遅延を決定する属性を持つ単純なバッファです。DIVIDE_BYPASS を TRUE に設定すると、遅延は BUFIO2 のバイパス遅延と同一になります。FALSE に設定すると、遅延は BUFIO2 と BUFIO2FB 出力の位相が揃えられるように BUFIO2 DIVCLK 出力と類似した値になります。

ポートの説明

| ポート名 | タイプ | 幅 | 機能 |
|------|-----|---|----------------|
| I | 入力 | 1 | 入力フィードバック クロック |
| O | 出力 | 1 | 出力フィードバック クロック |

デザインの入力方法

| | |
|--------------------------|----|
| インスタンス化 | 推奨 |
| 推論 | 不可 |
| CORE Generator™ およびウィザード | 不可 |
| マクロのサポート | 不可 |

このELEMENTは、回路図で使用されます。

使用可能な属性

| 属性 | タイプ | 値 | デフォルト | 説明 |
|---------------|-------|------------|-------|---|
| DIVIDE_BYPASS | ブール代数 | TRUE、FALSE | TRUE | DIVCLK のソースを分周器 (FALSE) または分周器をバイパスして I 入力 (TRUE) にします。FALSE の場合は、CLKDIV DIVIDE も 1 に設定する必要があります。 |

VHDL 記述 (インスタンスレーション)

```
-- BUFIO2FB: Feedback Clock Buffer
--           Spartan-6
-- Xilinx HDL Libraries Guide, version 11.2

BUFIO2FB_inst : BUFIO2FB
generic map (
    DIVIDE_BYPASS => TRUE    -- DIVCLK output sourced from Divider (FALSE) or from I input, bypassing Divider
                           -- (TRUE) Note: if FALSE, also need to set CLKDIV DIVIDE value to 1.
)
port map (
    O => O, -- 1-bit Output feedback clock
    I => I  -- 1-bit Feedback clock input
);

-- End of BUFIO2FB_inst instantiation
```

Verilog 記述 (インスタンスレーション)

```
// BUFIO2FB: Feedback Clock Buffer
//           Spartan-6
// Xilinx HDL Language Template, version 11.1

BUFIO2FB #(
    .DIVIDE_BYPASS("TRUE") // DIVCLK output sourced from Divider (FALSE) or from I input, bypassing Divider
                          // (TRUE) Note: if FALSE, also need to set CLKDIV DIVIDE value to 1.
)
BUFIO2FB_inst (
    .O(O), // 1-bit Output feedback clock
    .I(I)  // 1-bit Feedback clock input
);

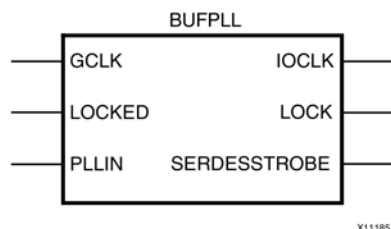
// End of BUFIO2FB_inst instantiation
```

詳細情報

- ・ [Spartan-6 FPGA クロック リソース ユーザー ガイド](#)
- ・ [Spartan-6 FPGA データシート : DC 特性およびスイッチ特性](#)

BUFPLL

プリミティブ : PLL Buffer



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

Spartan®-6

概要

このデザイン エLEMENTは、SERDES クロックおよびストロブ パルスを生成し、また PLL の LOCKED 出力を GCLK、SERDES ストロブ、および PLL クロックと揃えるためにするために高速 IO 配線で使用されます。IOCLK 出力は、入力クロックにバッファが付いたものです。LOCK 出力はどのクロックにも揃えられていません。LOCKED 出力の機能は PLL のロック信号と同じですが、PLL がロックして BUFPLL で SERDESSTROBE 信号が適切に揃えられるまで High にならない点が異なります。

ポートの説明

| ポート名 | タイプ | 幅 | 機能 |
|--------------|-----|---|--------------------------|
| GCLK | 入力 | 1 | GCLK クロック入力 |
| IOCLK | 出力 | 1 | PLL クロック出力 |
| LOCK | 出力 | 1 | 同期化された LOCK 出力 |
| LOCKED | 入力 | 1 | PLL から入力される LOCKED 通知 |
| PLLIN | 入力 | 1 | PLL クロック入力 |
| SERDESSTROBE | 出力 | 1 | SERDES ストロブ (クロック イネーブル) |

デザインの入力方法

| | |
|--------------------------|----|
| インスタンス化 | 推奨 |
| 推論 | 不可 |
| CORE Generator™ およびウィザード | 不可 |
| マクロのサポート | 不可 |

このELEMENTは、回路図で使用されます。

使用可能な属性

| 属性 | タイプ | 値 | デフォルト | 説明 |
|--------|-----|-----------------|-------|--|
| DIVIDE | 整数 | 1、2、3、4、5、6、7、8 | 1 | SERDESSTROBE の対する PLLIN 分周器の分周値を設定します。 |

VHDL 記述 (インスタンスレーション)

```
-- BUFPLL: (MISSING DESCRIPTION)
--          Spartan-6
-- Xilinx HDL Libraries Guide, version 11.2

BUFPLL_inst : BUFPLL
generic map (
    DIVIDE => 1 -- Set the PLLIN divider divide-by value for SERDESSTROBE.
)
port map (
    IOCLK => IOCLK,           -- 1-bit Output PLL clock
    LOCK => LOCK,             -- 1-bit Synchronized LOCK output
    SERDESSTROBE => SERDESSTROBE, -- 1-bit Output SERDES strobe (clock enable)
    GCLK => GCLK,             -- 1-bit GCLK clock input
    LOCKED => LOCKED,         -- 1-bit LOCKED sign from PLL input
    PLLIN => PLLIN            -- 1-bit PLL clock input
);

-- End of BUFPLL_inst instantiation
```

Verilog 記述 (インスタンスレーション)

```
// BUFPLL: (MISSING DESCRIPTION)
//          Spartan-6
// Xilinx HDL Language Template, version 11.1

BUFPLL #(
    .DIVIDE(1) // Set the PLLIN divider divide-by value for SERDESSTROBE.
)
BUFPLL_inst (
    .IOCLK(IOCLK),           // 1-bit Output PLL clock
    .LOCK(LOCK),             // 1-bit Synchronized LOCK output
    .SERDESSTROBE(SERDESSTROBE), // 1-bit Output SERDES strobe (clock enable)
    .GCLK(GCLK),             // 1-bit GCLK clock input
    .LOCKED(LOCKED),         // 1-bit LOCKED sign from PLL input
    .PLLIN(PLLIN)            // 1-bit PLL clock input
);

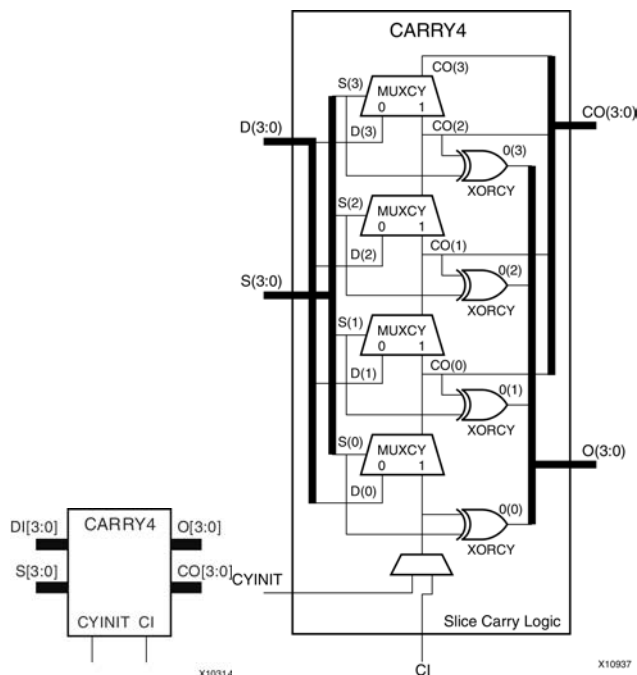
// End of BUFPLL_inst instantiation
```

詳細情報

- ・ [Spartan-6 FPGA クロック リソース ユーザー ガイド](#)
- ・ [Spartan-6 FPGA データシート : DC 特性およびスイッチ特性](#)

CARRY4

プリミティブ : Fast Carry Logic with Look Ahead



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- Spartan®-6
- Virtex®-5
- Virtex-6

概要

このデザイン エLEMENTは、スライスの高速キャリー ロジックです。キャリー チェーンには MUX および XOR がそれぞれ 4 個含まれています。これらの MUX および XOR はさらに複雑なファンクションを形成するために、専用配線を介してスライス内のその他のロジック (LUT) に接続されます。高速キャリー ロジックは、加算器、カウンタ、減算器、加減算器などの演算ファンクションの構築に加え、幅広のコンパレータ、アドレス デコーダ、ロジック ゲート (AND、OR、XOR など) などのその他のロジック ファンクションに使用できます。

ポートの説明

| ポート名 | 方向 | 幅 | 機能 |
|--------|----|---|----------------------------|
| O | 出力 | 4 | キャリー チェーン XOR の通常のデータ出力ポート |
| CO | 出力 | 4 | キャリー チェーンの各段のキャリー出力ポート |
| DI | 入力 | 4 | キャリー MUX のデータ入力 |
| S | 入力 | 4 | キャリー MUX のセレクト入力 |
| CYINIT | 入力 | 1 | キャリー初期化入力ポート |
| CI | 入力 | 1 | キャリー カスケード入力ポート |

デザインの入力方法

| | |
|--------------------------|----|
| インスタンス化 | 可 |
| 推論 | 推奨 |
| CORE Generator™ およびウィザード | 不可 |
| マクロのサポート | 不可 |

このエレメントは、回路図で使用されます。

VHDL 記述 (インスタンス化)

次の 2 つの構文が存在しない場合はコピーし、エンティティ宣言の前に貼り付けます。

```
Library UNISIM;
use UNISIM.vcomponents.all;

-- CARRY4: Fast Carry Logic Component
--      Virtex-5/6, Spartan-6
-- Xilinx HDL Libraries Guide, version 11.2

CARRY4_inst : CARRY4
port map (
    CO => CO,           -- 4-bit carry out
    O => O,             -- 4-bit carry chain XOR data out
    CI => CI,           -- 1-bit carry cascade input
    CYINIT => CYINIT,   -- 1-bit carry initialization
    DI => DI,           -- 4-bit carry-MUX data in
    S => S,             -- 4-bit carry-MUX select input
);

-- End of CARRY4_inst instantiation
```

Verilog 記述 (インスタンス化)

```
// CARRY4: Fast Carry Logic Component
//      Virtex-5, Virtex-5, Spartan-6
// Xilinx HDL Libraries Guide, version 11.2

CARRY4 CARRY4_inst (
    .CO(CO),           // 4-bit carry out
    .O(O),             // 4-bit carry chain XOR data out
    .CI(CI),           // 1-bit carry cascade input
    .CYINIT(CYINIT),   // 1-bit carry initialization
    .DI(DI),           // 4-bit carry-MUX data in
    .S(S),             // 4-bit carry-MUX select input
);

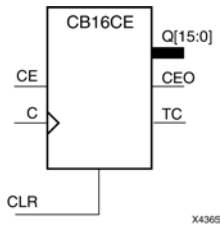
// End of CARRY4_inst instantiation
```

詳細情報

- ・ [Spartan-6 FPGA コンフィギュラブル ロジック ブロック ユーザー ガイド](#)
- ・ [Spartan-6 FPGA データシート: DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート: DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

CB16CE

マクロ : 16-Bit Cascadable Binary Counter with Clock Enable and Asynchronous Clear



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- Spartan®-3
- Spartan-3A
- Spartan-3E
- Spartan-6
- Virtex®-4
- Virtex-5
- Virtex-6
- XC9500
- CoolRunner™ XPLA3
- CoolRunner-II

概要

このデザイン エLEMENTは、非同期クリア可能、カスケード可能なバイナリ カウンタです。非同期クリア (CLR) 入力が高になると、ほかのすべての入力は無視され、クロック (C) の遷移に関係なく、出力 (Q)、ターミナル カウンタ (TC)、およびクロック イネーブル出力 (CEO) が 0 になります。クロック イネーブル入力 (CE) が High の場合、クロック (C) が Low から High に切り替わるときに出力 (Q) がインクリメントされます。CE が Low の場合、クロック遷移は無視されます。すべての Q 出力が高になると、TC 出力が高になります。

1 段目の CEO 出力を次の段の CE 入力に接続し、C および CLR 入力を並列に接続すると、より大型のカウンタを作成できます。TC と CE が High になると、CEO がアクティブ (High) になります。カウンタの長さの最大値は、CE ピンと TC ピン間の伝搬遅延の合計とクロック周期の関係によって決定されます。クロック周期は、 $n(t_{CE-TC})$ より大きい必要があります。ここで、 n は段数、時間 t_{CE-TC} は各段での CE ピンと TC ピン間の伝搬遅延を表します。カウンタをカスケードする場合、CE 入力を使用するときは CEO 出力を、CE 入力を使用しないときは TC 出力を使用します。

電力を供給すると、カウンタは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスで PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバータを追加するとアクティブ Low にできます。

論理表

| 入力 | | | 出力 | | |
|---|----|---|---------|------|-----|
| CLR | CE | C | Qz - Q0 | TC | CEO |
| 1 | X | X | 0 | 0 | 0 |
| 0 | 0 | X | 変化なし | 変化なし | 0 |
| 0 | 1 | ↑ | インクリメント | TC | CEO |
| z = ビット幅 - 1 $TC = Qz \cdot Q(z-1) \cdot Q(z-2) \cdot \dots \cdot Q0$ $CEO = TC \cdot CE$ | | | | | |

デザインの入力方法

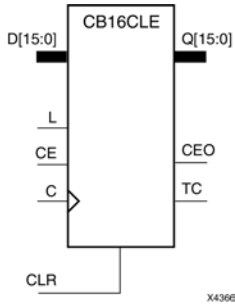
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリ データシート](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリ データシート](#)
- ・ [Spartan-3E FPGA ファミリ データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

CB16CLE

マクロ : 16-Bit Loadable Cascadable Binary Counters with Clock Enable and Asynchronous Clear



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6
- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

このデザイン エLEMENTは、同期、ロード可能、非同期クリア可能、カスケード可能なバイナリカウンタです。非同期クリア (CLR) 入力が高になると、ほかのすべての入力は無視され、クロック (C) の遷移に関係なく、出力 (Q)、ターミナルカウンタ (TC)、およびクロックイネーブル出力 (CEO) が 0 になります。ロードイネーブル入力 (L) が High の場合、クロックが Low から High に切り替わるときに、クロックイネーブル (CE) の値に関係なく、入力 (D) の値がカウンタにロードされます。CE が High の場合、クロックが Low から High に切り替わるときに Q 出力がインクリメントされます。CE が Low の場合、クロック遷移は無視されます。すべての Q 出力が高になると、TC 出力が高になります。

1 段目の CEO 出力を次の段の CE 入力に接続し、C、L、および CLR 入力を並列に接続すると、より大型のカウンタを作成できます。TC と CE が High になると、CEO がアクティブ (High) になります。カウンタの長さの最大値は、CE ピンと TC ピン間の伝搬遅延の合計とクロック周期の関係によって決定されます。クロック周期は、 $n(t_{CE-TC})$ より大きい必要があります。ここで、 n は段数、時間 t_{CE-TC} は各段での CE ピンと TC ピン間の伝搬遅延を表します。カウンタをカスケードする場合、CE 入力を使用するときは CEO 出力を、CE 入力を使用しないときは TC 出力を使用します。

電力を供給すると、カウンタは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを実用グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。FPGA では、グローバルセット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバータを追加するとアクティブ Low にできます。

論理表

| 入力 | | | | | 出力 | | |
|---|---|----|---|---------|---------|------|-----|
| CLR | L | CE | C | Dz - D0 | Qz - Q0 | TC | CEO |
| 1 | X | X | X | X | 0 | 0 | 0 |
| 0 | 1 | X | ↑ | Dn | Dn | TC | CEO |
| 0 | 0 | 0 | X | X | 変化なし | 変化なし | 0 |
| 0 | 0 | 1 | ↑ | X | インクリメント | TC | CEO |
| z = ビット幅 - 1 $TC = Qz \cdot Q(z-1) \cdot Q(z-2) \cdot \dots \cdot Q0$ $CEO = TC \cdot CE$ | | | | | | | |

デザインの入力方法

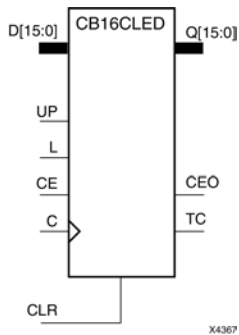
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリ データシート](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリ データシート](#)
- ・ [Spartan-3E FPGA ファミリ データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

CB16CLED

マクロ : 16-Bit Loadable Cascadable Bidirectional Binary Counters with Clock Enable and Asynchronous Clear



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6
- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

このデザイン エLEMENTは、同期、ロード可能、非同期クリア可能、カスケード可能な双方向バイナリ カウンタです。非同期クリア (CLR) 入力が高レベルになると、ほかのすべての入力は無視され、クロック (C) の遷移に関係なく、出力 (Q)、ターミナル カウンタ (TC)、およびクロック イネーブル出力 (CEO) が 0 になります。ロード イネーブル入力 (L) が High の場合、クロック (C) が Low から High に切り替わる時に、クロック イネーブル (CE) の値に関係なく、入力 (D) の値がカウンタにロードされます。CE が High、UP が Low の場合、クロックが Low から High に切り替わる時に、Q 出力がデクリメントされます。CE と UP が High の場合、Q 出力がインクリメントされます。CE が Low の場合、クロック遷移は無視されます。

カウントアップする場合、すべての Q 出力と UP が High になると TC 出力が High になります。カウントダウンする場合、すべての Q 出力と UP が Low になると TC 出力が High になります。

1 段目の CEO 出力を次の段の CE 入力に接続し、C、UP、L、および CLR 入力を並列に接続すると、より大型のカウンタを作成できます。TC と CE が High になると、CEO がアクティブ (High) になります。カウンタの長さの最大値は、CE ピンと TC ピン間の伝搬遅延の合計とクロック周期の関係によって決定されます。クロック周期は、 $n(t_{CE-TC})$ より大きい必要があります。ここで、 n は段数、時間 t_{CE-TC} は各段での CE ピンと TC ピン間の伝搬遅延を表します。カウンタをカスケードする場合、CE 入力を使用するときは CEO 出力を、CE 入力を使用しないときは TC 出力を使用します。

CPLD デバイスについては、高速カスケードが可能な双方向カウンタである CB2X1、CB4X1、CB8X1、CB16X1 を参照してください。

電力を供給すると、カウンタは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバータを追加するとアクティブ Low にできます。

論理表

| 入力 | | | | | | 出力 | | |
|---|---|----|---|----|---------|---------|------|-----|
| CLR | L | CE | C | UP | Dz - D0 | Qz - Q0 | TC | CEO |
| 1 | X | X | X | X | X | 0 | 0 | 0 |
| 0 | 1 | X | ↑ | X | Dn | Dn | TC | CEO |
| 0 | 0 | 0 | X | X | X | 変化なし | 変化なし | 0 |
| 0 | 0 | 1 | ↑ | 1 | X | インクリメント | TC | CEO |
| 0 | 0 | 1 | ↑ | 0 | X | デクリメント | TC | CEO |
| z = ビット幅 - 1 $TC = (Qz \cdot Q(z-1) \cdot Q(z-2) \cdot \dots \cdot Q0 \cdot UP) + (Qz \cdot Q(z-1) \cdot Q(z-2) \cdot \dots \cdot Q0 \cdot \overline{UP})$ $CEO = TC \cdot CE$ | | | | | | | | |

デザインの入力方法

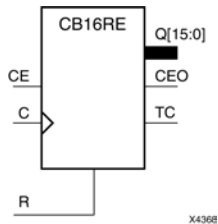
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリー データシート](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリー データシート](#)
- ・ [Spartan-3E FPGA ファミリー データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート: DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート: DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

CB16RE

マクロ : 16-Bit Cascadable Binary Counter with Clock Enable and Synchronous Reset



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- Spartan®-3
- Spartan-3A
- Spartan-3E
- Spartan-6
- Virtex®-4
- Virtex-5
- Virtex-6
- XC9500
- CoolRunner™ XPLA3
- CoolRunner-II

概要

このデザイン エLEMENTは、同期、リセット可能、カスケード可能なバイナリ カウンタです。同期リセット入力 (R) が High になると、ほかの入力は無視され、クロック (C) が Low から High に切り替わる時に出力 (Q)、ターミナル カウンタ (TC)、およびクロック イネーブル出力 (CEO) が 0 になります。クロック イネーブル入力 (CE) が High の場合、クロック (C) が Low から High に切り替わる時に出力 (Q) がインクリメントされます。CE が Low の場合、クロック遷移は無視されます。すべての Q 出力が High になると、TC 出力が High になります。

1 段目の CEO 出力を次の段の CE 入力に接続し、C および R 入力を並列に接続すると、より大型のカウンタを作成できます。TC と CE が High になると、CEO がアクティブ (High) になります。カウンタの長さの最大値は、CE ピンと TC ピン間の伝搬遅延の合計とクロック周期の関係によって決定されます。クロック周期は、 $n(t_{CE-TC})$ より大きい必要があります。ここで、 n は段数、時間 t_{CE-TC} は各段での CE ピンと TC ピン間の伝搬遅延を表します。カウンタをカスケードする場合、CE 入力を使用するときは CEO 出力を、CE 入力を使用しないときは TC 出力を使用します。

電力を供給すると、カウンタは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスで PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバータを追加するとアクティブ Low にできます。

論理表

| 入力 | | | 出力 | | |
|---|----|---|---------|------|-----|
| R | CE | C | Qz - Q0 | TC | CEO |
| 1 | X | ↑ | 0 | 0 | 0 |
| 0 | 0 | X | 変化なし | 変化なし | 0 |
| 0 | 1 | ↑ | インクリメント | TC | CEO |
| z = ビット幅 - 1 $TC = Qz \cdot Q(z-1) \cdot Q(z-2) \cdot \dots \cdot Q0$ $CEO = TC \cdot CE$ | | | | | |

デザインの入力方法

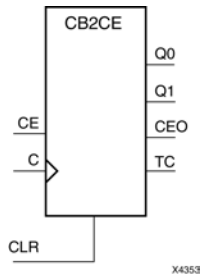
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリ データシート](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリ データシート](#)
- ・ [Spartan-3E FPGA ファミリ データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート: DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート: DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

CB2CE

マクロ : 2-Bit Cascadable Binary Counter with Clock Enable and Asynchronous Clear



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6
- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

このデザイン エLEMENTは、非同期クリア可能、カスケード可能なバイナリ カウンタです。非同期クリア (CLR) 入力が High になると、ほかのすべての入力は無視され、クロック (C) の遷移に関係なく、出力 (Q)、ターミナル カウンタ (TC)、およびクロック イネーブル出力 (CEO) が 0 になります。クロック イネーブル入力 (CE) が High の場合、クロック (C) が Low から High に切り替わるときに出力 (Q) がインクリメントされます。CE が Low の場合、クロック遷移は無視されます。すべての Q 出力が High になると、TC 出力が High になります。

1 段目の CEO 出力を次の段の CE 入力に接続し、C および CLR 入力を並列に接続すると、より大型のカウンタを作成できます。TC と CE が High になると、CEO がアクティブ (High) になります。カウンタの長さの最大値は、CE ピンと TC ピン間の伝搬遅延の合計とクロック周期の関係によって決定されます。クロック周期は、 $n(t_{CE-TC})$ より大きい必要があります。ここで、 n は段数、時間 t_{CE-TC} は各段での CE ピンと TC ピン間の伝搬遅延を表します。カウンタをカスケードする場合、CE 入力を使用するときは CEO 出力を、CE 入力を使用しないときは TC 出力を使用します。

電力を供給すると、カウンタは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバータを追加するとアクティブ Low にできます。

論理表

| 入力 | | | 出力 | | |
|---|----|---|---------|------|-----|
| CLR | CE | C | Qz - Q0 | TC | CEO |
| 1 | X | X | 0 | 0 | 0 |
| 0 | 0 | X | 変化なし | 変化なし | 0 |
| 0 | 1 | ↑ | インクリメント | TC | CEO |
| z = ビット幅 - 1 $TC = Qz \cdot Q(z-1) \cdot Q(z-2) \cdot \dots \cdot Q0$ $CEO = TC \cdot CE$ | | | | | |

デザインの入力方法

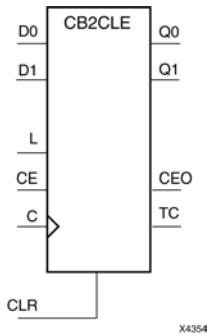
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリ データシート](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリ データシート](#)
- ・ [Spartan-3E FPGA ファミリ データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

CB2CLE

マクロ : 2-Bit Loadable Cascadable Binary Counters with Clock Enable and Asynchronous Clear



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6
- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

このデザイン エLEMENTは、同期、ロード可能、非同期クリア可能、カスケード可能なバイナリ カウンタです。非同期クリア (CLR) 入力が高になると、ほかのすべての入力は無視され、クロック (C) の遷移に関係なく、出力 (Q)、ターミナル カウンタ (TC)、およびクロック イネーブル出力 (CEO) が 0 になります。ロード イネーブル入力 (L) が High の場合、クロックが Low から High に切り替わるときに、クロック イネーブル (CE) の値に関係なく、入力 (D) の値がカウンタにロードされます。CE が High の場合、クロックが Low から High に切り替わるときに Q 出力がインクリメントされます。CE が Low の場合、クロック遷移は無視されます。すべての Q 出力が高になると、TC 出力が高になります。

1 段目の CEO 出力を次の段の CE 入力に接続し、C、L、および CLR 入力を並列に接続すると、より大型のカウンタを作成できます。TC と CE が High になると、CEO がアクティブ (High) になります。カウンタの長さの最大値は、CE ピンと TC ピン間の伝搬遅延の合計とクロック周期の関係によって決定されます。クロック周期は、 $n(t_{CE-TC})$ より大きい必要があります。ここで、 n は段数、時間 t_{CE-TC} は各段での CE ピンと TC ピン間の伝搬遅延を表します。カウンタをカスケードする場合、CE 入力を使用するときは CEO 出力を、CE 入力を使用しないときは TC 出力を使用します。

電力を供給すると、カウンタは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを実用 グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバータを追加するとアクティブ Low にできます。

論理表

| 入力 | | | | | 出力 | | |
|---|---|----|---|---------|---------|------|-----|
| CLR | L | CE | C | Dz - D0 | Qz - Q0 | TC | CEO |
| 1 | X | X | X | X | 0 | 0 | 0 |
| 0 | 1 | X | ↑ | Dn | Dn | TC | CEO |
| 0 | 0 | 0 | X | X | 変化なし | 変化なし | 0 |
| 0 | 0 | 1 | ↑ | X | インクリメント | TC | CEO |
| z = ビット幅 - 1 $TC = Qz \cdot Q(z-1) \cdot Q(z-2) \cdot \dots \cdot Q0$ $CEO = TC \cdot CE$ | | | | | | | |

デザインの入力方法

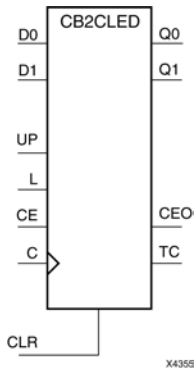
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリ データシート](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリ データシート](#)
- ・ [Spartan-3E FPGA ファミリ データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

CB2CLED

マクロ : 2-Bit Loadable Cascadable Bidirectional Binary Counters with Clock Enable and Asynchronous Clear



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6
- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

このデザイン エLEMENTは、同期、ロード可能、非同期クリア可能、カスケード可能な双方向バイナリ カウンタです。非同期クリア (CLR) 入力が高になると、ほかのすべての入力は無視され、クロック (C) の遷移に関係なく、出力 (Q)、ターミナル カウンタ (TC)、およびクロック イネーブル出力 (CEO) が 0 になります。ロード イネーブル入力 (L) が High の場合、クロック (C) が Low から High に切り替わる時に、クロック イネーブル (CE) の値に関係なく、入力 (D) の値がカウンタにロードされます。CE が High、UP が Low の場合、クロックが Low から High に切り替わる時に、Q 出力がデクリメントされます。CE と UP が High の場合、Q 出力がインクリメントされます。CE が Low の場合、クロック遷移は無視されます。

カウントアップする場合、すべての Q 出力と UP が High になると TC 出力が High になります。カウントダウンする場合、すべての Q 出力と UP が Low になると TC 出力が High になります。

1 段目の CEO 出力を次の段の CE 入力に接続し、C、UP、L、および CLR 入力を並列に接続すると、より大型のカウンタを作成できます。TC と CE が High になると、CEO がアクティブ (High) になります。カウンタの長さの最大値は、CE ピンと TC ピン間の伝搬遅延の合計とクロック周期の関係によって決定されます。クロック周期は、 $n(t_{CE-TC})$ より大きい必要があります。ここで、 n は段数、時間 t_{CE-TC} は各段での CE ピンと TC ピン間の伝搬遅延を表します。カウンタをカスケードする場合、CE 入力を使用するときは CEO 出力を、CE 入力を使用しないときは TC 出力を使用します。

CPLD デバイスについては、高速カスケードが可能な双方向カウンタである CB2X1、CB4X1、CB8X1、CB16X1 を参照してください。

電力を供給すると、カウンタは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバータを追加するとアクティブ Low にできます。

論理表

| 入力 | | | | | | 出力 | | |
|-----|---|----|---|----|---------|---------|------|-----|
| CLR | L | CE | C | UP | Dz - D0 | Qz - Q0 | TC | CEO |
| 1 | X | X | X | X | X | 0 | 0 | 0 |
| 0 | 1 | X | ↑ | X | Dn | Dn | TC | CEO |
| 0 | 0 | 0 | X | X | X | 変化なし | 変化なし | 0 |
| 0 | 0 | 1 | ↑ | 1 | X | インクリメント | TC | CEO |
| 0 | 0 | 1 | ↑ | 0 | X | デクリメント | TC | CEO |

$z = \text{ビット幅} - 1$

$TC = (Qz \cdot Q(z-1) \cdot Q(z-2) \cdot \dots \cdot Q0 \cdot UP) + (Qz \cdot Q(z-1) \cdot Q(z-2) \cdot \dots \cdot Q0 \cdot UP)$

$CEO = TC \cdot CE$

デザインの入力方法

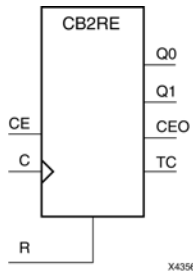
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリー データシート](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリー データシート](#)
- ・ [Spartan-3E FPGA ファミリー データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

CB2RE

マクロ : 2-Bit Cascadable Binary Counter with Clock Enable and Synchronous Reset



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- Spartan®-3
- Spartan-3A
- Spartan-3E
- Spartan-6
- Virtex®-4
- Virtex-5
- Virtex-6
- XC9500
- CoolRunner™ XPLA3
- CoolRunner-II

概要

このデザイン エLEMENTは、同期、リセット可能、カスケード可能なバイナリカウンタです。同期リセット入力 (R) が High になると、ほかの入力は無視され、クロック (C) が Low から High に切り替わる時に出力 (Q)、ターミナル カウンタ (TC)、およびクロック イネーブル出力 (CEO) が 0 になります。クロック イネーブル入力 (CE) が High の場合、クロック (C) が Low から High に切り替わる時に出力 (Q) がインクリメントされます。CE が Low の場合、クロック遷移は無視されます。すべての Q 出力が High になると、TC 出力が High になります。

1 段目の CEO 出力を次の段の CE 入力に接続し、C および R 入力を並列に接続すると、より大型のカウンタを作成できます。TC と CE が High になると、CEO がアクティブ (High) になります。カウンタの長さの最大値は、CE ピンと TC ピン間の伝搬遅延の合計とクロック周期の関係によって決定されます。クロック周期は、 $n(t_{CE-TC})$ より大きい必要があります。ここで、 n は段数、時間 t_{CE-TC} は各段での CE ピンと TC ピン間の伝搬遅延を表します。カウンタをカスケードする場合、CE 入力を使用するときは CEO 出力を、CE 入力を使用しないときは TC 出力を使用します。

電力を供給すると、カウンタは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバータを追加するとアクティブ Low にできます。

論理表

| 入力 | | | 出力 | | |
|---|----|---|---------|------|-----|
| R | CE | C | Qz - Q0 | TC | CEO |
| 1 | X | ↑ | 0 | 0 | 0 |
| 0 | 0 | X | 変化なし | 変化なし | 0 |
| 0 | 1 | ↑ | インクリメント | TC | CEO |
| z = ビット幅 - 1 $TC = Qz \cdot Q(z-1) \cdot Q(z-2) \cdot \dots \cdot Q0$ $CEO = TC \cdot CE$ | | | | | |

デザインの入力方法

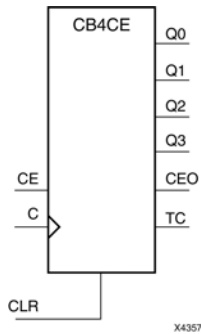
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリ データシート](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリ データシート](#)
- ・ [Spartan-3E FPGA ファミリ データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート: DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート: DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

CB4CE

マクロ : 4-Bit Cascadable Binary Counter with Clock Enable and Asynchronous Clear



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6
- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

このデザイン エLEMENTは、非同期クリア可能、カスケード可能なバイナリ カウンタです。非同期クリア (CLR) 入力が高になると、ほかのすべての入力は無視され、クロック (C) の遷移に関係なく、出力 (Q)、ターミナル カウンタ (TC)、およびクロック イネーブル出力 (CEO) が 0 になります。クロック イネーブル入力 (CE) が High の場合、クロック (C) が Low から High に切り替わる時に出力 (Q) がインクリメントされます。CE が Low の場合、クロック遷移は無視されます。すべての Q 出力が高になると、TC 出力が高になります。

1 段目の CEO 出力を次の段の CE 入力に接続し、C および CLR 入力を並列に接続すると、より大型のカウンタを作成できます。TC と CE が High になると、CEO がアクティブ (High) になります。カウンタの長さの最大値は、CE ピンと TC ピン間の伝搬遅延の合計とクロック周期の関係によって決定されます。クロック周期は、 $n(t_{CE-TC})$ より大きい必要があります。ここで、 n は段数、時間 t_{CE-TC} は各段での CE ピンと TC ピン間の伝搬遅延を表します。カウンタをカスケードする場合、CE 入力を使用するときは CEO 出力を、CE 入力を使用しないときは TC 出力を使用します。

電力を供給すると、カウンタは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスで PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバータを追加するとアクティブ Low にできます。

論理表

| 入力 | | | 出力 | | |
|---|----|---|---------|------|-----|
| CLR | CE | C | Qz - Q0 | TC | CEO |
| 1 | X | X | 0 | 0 | 0 |
| 0 | 0 | X | 変化なし | 変化なし | 0 |
| 0 | 1 | ↑ | インクリメント | TC | CEO |
| z = ビット幅 - 1 $TC = Qz \cdot Q(z-1) \cdot Q(z-2) \cdot \dots \cdot Q0$ $CEO = TC \cdot CE$ | | | | | |

デザインの入力方法

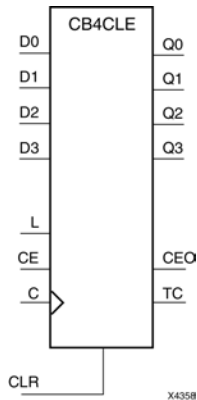
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリ データシート](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリ データシート](#)
- ・ [Spartan-3E FPGA ファミリ データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

CB4CLE

マクロ : 4-Bit Loadable Cascadable Binary Counters with Clock Enable and Asynchronous Clear



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6
- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

このデザイン ELEMENTは、同期、ロード可能、非同期クリア可能、カスケード可能なバイナリカウンタです。非同期クリア (CLR) 入力が高になると、ほかのすべての入力は無視され、クロック (C) の遷移に関係なく、出力 (Q)、ターミナルカウンタ (TC)、およびクロックイネーブル出力 (CEO) が 0 になります。ロードイネーブル入力 (L) が High の場合、クロックが Low から High に切り替わるたびに、クロックイネーブル (CE) の値に関係なく、入力 (D) の値がカウンタにロードされます。CE が High の場合、クロックが Low から High に切り替わるたびに Q 出力がインクリメントされます。CE が Low の場合、クロック遷移は無視されます。すべての Q 出力が高になると、TC 出力が高になります。

1 段目の CEO 出力を次の段の CE 入力に接続し、C、L、および CLR 入力を並列に接続すると、より大型のカウンタを作成できます。TC と CE が High になると、CEO がアクティブ (High) になります。カウンタの長さの最大値は、CE ピンと TC ピン間の伝搬遅延の合計とクロック周期の関係によって決定されます。クロック周期は、 $n(t_{CE-TC})$ より大きい必要があります。ここで、 n は段数、時間 t_{CE-TC} は各段での CE ピンと TC ピン間の伝搬遅延を表します。カウンタをカスケードする場合、CE 入力を使用するときは CEO 出力を、CE 入力を使用しないときは TC 出力を使用します。

電力を供給すると、カウンタは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを実用グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。FPGA では、グローバルセット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバータを追加するとアクティブ Low にできます。

論理表

| 入力 | | | | | 出力 | | |
|---|---|----|---|---------|---------|------|-----|
| CLR | L | CE | C | Dz - D0 | Qz - Q0 | TC | CEO |
| 1 | X | X | X | X | 0 | 0 | 0 |
| 0 | 1 | X | ↑ | Dn | Dn | TC | CEO |
| 0 | 0 | 0 | X | X | 変化なし | 変化なし | 0 |
| 0 | 0 | 1 | ↑ | X | インクリメント | TC | CEO |
| z = ビット幅 - 1 $TC = Qz \cdot Q(z-1) \cdot Q(z-2) \cdot \dots \cdot Q0$ $CEO = TC \cdot CE$ | | | | | | | |

デザインの入力方法

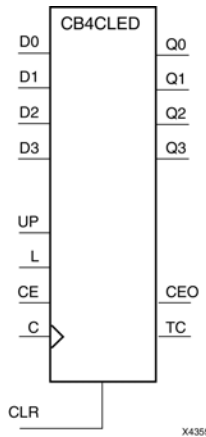
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリ データシート](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリ データシート](#)
- ・ [Spartan-3E FPGA ファミリ データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

CB4CLED

マクロ : 4-Bit Loadable Cascadable Bidirectional Binary Counters with Clock Enable and Asynchronous Clear



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6
- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

このデザイン エLEMENTは、同期、ロード可能、非同期クリア可能、カスケード可能な双方向バイナリ カウンタです。非同期クリア (CLR) 入力が高になると、ほかのすべての入力は無視され、クロック (C) の遷移に関係なく、出力 (Q)、ターミナル カウンタ (TC)、およびクロック イネーブル出力 (CEO) が 0 になります。ロード イネーブル入力 (L) が High の場合、クロック (C) が Low から High に切り替わる時に、クロック イネーブル (CE) の値に関係なく、入力 (D) の値がカウンタにロードされます。CE が High、UP が Low の場合、クロックが Low から High に切り替わる時に、Q 出力がデクリメントされます。CE と UP が High の場合、Q 出力がインクリメントされます。CE が Low の場合、クロック遷移は無視されます。

カウント アップする場合、すべての Q 出力と UP が High になると TC 出力が High になります。カウント ダウンする場合、すべての Q 出力と UP が Low になると TC 出力が High になります。

1 段目の CEO 出力を次の段の CE 入力に接続し、C、UP、L、および CLR 入力を並列に接続すると、より大型のカウンタを作成できます。TC と CE が High になると、CEO がアクティブ (High) になります。カウンタの長さの最大値は、CE ピンと TC ピン間の伝搬遅延の合計とクロック周期の関係によって決定されます。クロック周期は、 $n(t_{CE-TC})$ より大きい必要があります。ここで、 n は段数、時間 t_{CE-TC} は各段での CE ピンと TC ピン間の伝搬遅延を表します。カウンタをカスケードする場合、CE 入力を使用するときは CEO 出力を、CE 入力を使用しないときは TC 出力を使用します。

CPLD デバイスについては、高速カスケードが可能な双方向カウンタである CB2X1、CB4X1、CB8X1、CB16X1 を参照してください。

電力を供給すると、カウンタは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバータを追加するとアクティブ Low にできます。

論理表

| 入力 | | | | | | 出力 | | |
|-----|---|----|---|----|---------|---------|------|-----|
| CLR | L | CE | C | UP | Dz - D0 | Qz - Q0 | TC | CEO |
| 1 | X | X | X | X | X | 0 | 0 | 0 |
| 0 | 1 | X | ↑ | X | Dn | Dn | TC | CEO |
| 0 | 0 | 0 | X | X | X | 変化なし | 変化なし | 0 |
| 0 | 0 | 1 | ↑ | 1 | X | インクリメント | TC | CEO |
| 0 | 0 | 1 | ↑ | 0 | X | デクリメント | TC | CEO |

z = ビット幅 - 1

$$TC = (Qz \cdot Q(z-1) \cdot Q(z-2) \cdot \dots \cdot Q0 \cdot UP) + (Qz \cdot Q(z-1) \cdot Q(z-2) \cdot \dots \cdot Q0 \cdot \overline{UP})$$

$$CEO = TC \cdot CE$$

デザインの入力方法

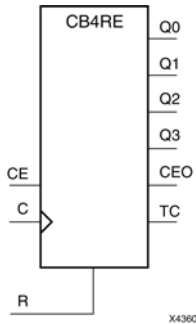
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリー データシート](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリー データシート](#)
- ・ [Spartan-3E FPGA ファミリー データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

CB4RE

マクロ : 4-Bit Cascadable Binary Counter with Clock Enable and Synchronous Reset



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- Spartan®-3
- Spartan-3A
- Spartan-3E
- Spartan-6
- Virtex®-4
- Virtex-5
- Virtex-6
- XC9500
- CoolRunner™ XPLA3
- CoolRunner-II

概要

このデザイン エLEMENTは、同期、リセット可能、カスケード可能なバイナリ カウンタです。同期リセット入力 (R) が High になると、ほかの入力は無視され、クロック (C) が Low から High に切り替わる時に出力 (Q)、ターミナル カウンタ (TC)、およびクロック イネーブル出力 (CEO) が 0 になります。クロック イネーブル入力 (CE) が High の場合、クロック (C) が Low から High に切り替わる時に出力 (Q) がインクリメントされます。CE が Low の場合、クロック遷移は無視されます。すべての Q 出力が High になると、TC 出力が High になります。

1 段目の CEO 出力を次の段の CE 入力に接続し、C および R 入力を並列に接続すると、より大型のカウンタを作成できます。TC と CE が High になると、CEO がアクティブ (High) になります。カウンタの長さの最大値は、CE ピンと TC ピン間の伝搬遅延の合計とクロック周期の関係によって決定されます。クロック周期は、 $n(t_{CE-TC})$ より大きい必要があります。ここで、 n は段数、時間 t_{CE-TC} は各段での CE ピンと TC ピン間の伝搬遅延を表します。カウンタをカスケードする場合、CE 入力を使用するときは CEO 出力を、CE 入力を使用しないときは TC 出力を使用します。

電力を供給すると、カウンタは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバータを追加するとアクティブ Low にできます。

論理表

| 入力 | | | 出力 | | |
|---|----|---|---------|------|-----|
| R | CE | C | Qz - Q0 | TC | CEO |
| 1 | X | ↑ | 0 | 0 | 0 |
| 0 | 0 | X | 変化なし | 変化なし | 0 |
| 0 | 1 | ↑ | インクリメント | TC | CEO |
| z = ビット幅 - 1 $TC = Qz \cdot Q(z-1) \cdot Q(z-2) \cdot \dots \cdot Q0$ $CEO = TC \cdot CE$ | | | | | |

デザインの入力方法

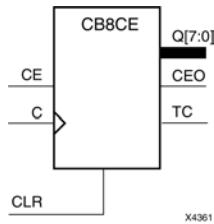
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリ データシート](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリ データシート](#)
- ・ [Spartan-3E FPGA ファミリ データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート: DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート: DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

CB8CE

マクロ : 8-Bit Cascadable Binary Counter with Clock Enable and Asynchronous Clear



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6
- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

このデザイン エLEMENTは、非同期クリア可能、カスケード可能なバイナリ カウンタです。非同期クリア (CLR) 入力が高レベルになると、ほかのすべての入力は無視され、クロック (C) の遷移に関係なく、出力 (Q)、ターミナル カウンタ (TC)、およびクロック イネーブル出力 (CEO) が 0 になります。クロック イネーブル入力 (CE) が High の場合、クロック (C) が Low から High に切り替わるときに出力 (Q) がインクリメントされます。CE が Low の場合、クロック遷移は無視されます。すべての Q 出力が高レベルになると、TC 出力が高レベルになります。

1 段目の CEO 出力を次の段の CE 入力に接続し、C および CLR 入力を並列に接続すると、より大型のカウンタを作成できます。TC と CE が High になると、CEO がアクティブ (High) になります。カウンタの長さの最大値は、CE ピンと TC ピン間の伝搬遅延の合計とクロック周期の関係によって決定されます。クロック周期は、 $n(t_{CE-TC})$ より大きい必要があります。ここで、 n は段数、時間 t_{CE-TC} は各段での CE ピンと TC ピン間の伝搬遅延を表します。カウンタをカスケードする場合、CE 入力を使用するときは CEO 出力を、CE 入力を使用しないときは TC 出力を使用します。

電力を供給すると、カウンタは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスで PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバータを追加するとアクティブ Low にできます。

論理表

| 入力 | | | 出力 | | |
|---|----|---|---------|------|-----|
| CLR | CE | C | Qz - Q0 | TC | CEO |
| 1 | X | X | 0 | 0 | 0 |
| 0 | 0 | X | 変化なし | 変化なし | 0 |
| 0 | 1 | ↑ | インクリメント | TC | CEO |
| z = ビット幅 - 1 $TC = Qz \cdot Q(z-1) \cdot Q(z-2) \cdot \dots \cdot Q0$ $CEO = TC \cdot CE$ | | | | | |

デザインの入力方法

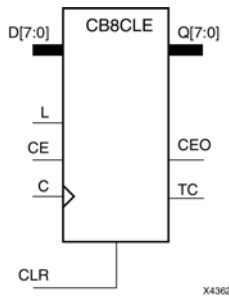
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリ データシート](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリ データシート](#)
- ・ [Spartan-3E FPGA ファミリ データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

CB8CLE

マクロ : 8-Bit Loadable Cascadable Binary Counters with Clock Enable and Asynchronous Clear



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6
- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

このデザイン エLEMENTは、同期、ロード可能、非同期クリア可能、カスケード可能なバイナリカウンタです。非同期クリア (CLR) 入力が高になると、ほかのすべての入力は無視され、クロック (C) の遷移に関係なく、出力 (Q)、ターミナルカウンタ (TC)、およびクロックイネーブル出力 (CEO) が 0 になります。ロードイネーブル入力 (L) が High の場合、クロックが Low から High に切り替わるときに、クロックイネーブル (CE) の値に関係なく、入力 (D) の値がカウンタにロードされます。CE が High の場合、クロックが Low から High に切り替わるときに Q 出力がインクリメントされます。CE が Low の場合、クロック遷移は無視されます。すべての Q 出力が高になると、TC 出力が高になります。

1 段目の CEO 出力を次の段の CE 入力に接続し、C、L、および CLR 入力を並列に接続すると、より大型のカウンタを作成できます。TC と CE が High になると、CEO がアクティブ (High) になります。カウンタの長さの最大値は、CE ピンと TC ピン間の伝搬遅延の合計とクロック周期の関係によって決定されます。クロック周期は、 $n(t_{CE-TC})$ より大きい必要があります。ここで、 n は段数、時間 t_{CE-TC} は各段での CE ピンと TC ピン間の伝搬遅延を表します。カウンタをカスケードする場合、CE 入力を使用するときは CEO 出力を、CE 入力を使用しないときは TC 出力を使用します。

電力を供給すると、カウンタは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。FPGA では、グローバルセット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバータを追加するとアクティブ Low にできます。

論理表

| 入力 | | | | | 出力 | | |
|---|---|----|---|---------|---------|------|-----|
| CLR | L | CE | C | Dz - D0 | Qz - Q0 | TC | CEO |
| 1 | X | X | X | X | 0 | 0 | 0 |
| 0 | 1 | X | ↑ | Dn | Dn | TC | CEO |
| 0 | 0 | 0 | X | X | 変化なし | 変化なし | 0 |
| 0 | 0 | 1 | ↑ | X | インクリメント | TC | CEO |
| z = ビット幅 - 1 $TC = Qz \cdot Q(z-1) \cdot Q(z-2) \cdot \dots \cdot Q0$ $CEO = TC \cdot CE$ | | | | | | | |

デザインの入力方法

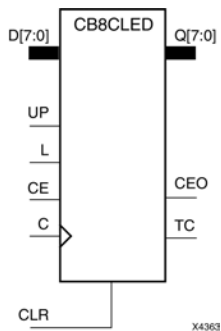
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリ データシート](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリ データシート](#)
- ・ [Spartan-3E FPGA ファミリ データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

CB8CLED

マクロ : 8-Bit Loadable Cascadable Bidirectional Binary Counters with Clock Enable and Asynchronous Clear



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6
- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

このデザイン エLEMENTは、同期、ロード可能、非同期クリア可能、カスケード可能な双方向バイナリ カウンタです。非同期クリア (CLR) 入力が高になると、ほかのすべての入力は無視され、クロック (C) の遷移に関係なく、出力 (Q)、ターミナル カウンタ (TC)、およびクロック イネーブル出力 (CEO) が 0 になります。ロード イネーブル入力 (L) が High の場合、クロック (C) が Low から High に切り替わる時に、クロック イネーブル (CE) の値に関係なく、入力 (D) の値がカウンタにロードされます。CE が High、UP が Low の場合、クロックが Low から High に切り替わる時に、Q 出力がデクリメントされます。CE と UP が High の場合、Q 出力がインクリメントされます。CE が Low の場合、クロック遷移は無視されます。

カウントアップする場合、すべての Q 出力と UP が High になると TC 出力が High になります。カウントダウンする場合、すべての Q 出力と UP が Low になると TC 出力が High になります。

1 段目の CEO 出力を次の段の CE 入力に接続し、C、UP、L、および CLR 入力を並列に接続すると、より大型のカウンタを作成できます。TC と CE が High になると、CEO がアクティブ (High) になります。カウンタの長さの最大値は、CE ピンと TC ピン間の伝搬遅延の合計とクロック周期の関係によって決定されます。クロック周期は、 $n(t_{CE-TC})$ より大きい必要があります。ここで、 n は段数、時間 t_{CE-TC} は各段での CE ピンと TC ピン間の伝搬遅延を表します。カウンタをカスケードする場合、CE 入力を使用するときは CEO 出力を、CE 入力を使用しないときは TC 出力を使用します。

CPLD デバイスについては、高速カスケードが可能な双方向カウンタである CB2X1、CB4X1、CB8X1、CB16X1 を参照してください。

電力を供給すると、カウンタは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバータを追加するとアクティブ Low にできます。

論理表

| 入力 | | | | | | 出力 | | |
|-----|---|----|---|----|---------|---------|------|-----|
| CLR | L | CE | C | UP | Dz - D0 | Qz - Q0 | TC | CEO |
| 1 | X | X | X | X | X | 0 | 0 | 0 |
| 0 | 1 | X | ↑ | X | Dn | Dn | TC | CEO |
| 0 | 0 | 0 | X | X | X | 変化なし | 変化なし | 0 |
| 0 | 0 | 1 | ↑ | 1 | X | インクリメント | TC | CEO |
| 0 | 0 | 1 | ↑ | 0 | X | デクリメント | TC | CEO |

z = ビット幅 - 1

$$TC = (Qz \cdot Q(z-1) \cdot Q(z-2) \cdot \dots \cdot Q0 \cdot UP) + (Qz \cdot Q(z-1) \cdot Q(z-2) \cdot \dots \cdot Q0 \cdot \overline{UP})$$

$$CEO = TC \cdot CE$$

デザインの入力方法

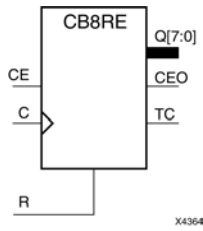
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリー データシート](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリー データシート](#)
- ・ [Spartan-3E FPGA ファミリー データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート: DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート: DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

CB8RE

マクロ : 8-Bit Cascadable Binary Counter with Clock Enable and Synchronous Reset



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6
- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

このデザイン エLEMENTは、同期、リセット可能、カスケード可能なバイナリ カウンタです。同期リセット入力 (R) が High になると、ほかの入力は無視され、クロック (C) が Low から High に切り替わる時に出力 (Q)、ターミナル カウンタ (TC)、およびクロック イネーブル出力 (CEO) が 0 になります。クロック イネーブル入力 (CE) が High の場合、クロック (C) が Low から High に切り替わる時に出力 (Q) がインクリメントされます。CE が Low の場合、クロック遷移は無視されます。すべての Q 出力が High になると、TC 出力が High になります。

1 段目の CEO 出力を次の段の CE 入力に接続し、C および R 入力を並列に接続すると、より大型のカウンタを作成できます。TC と CE が High になると、CEO がアクティブ (High) になります。カウンタの長さの最大値は、CE ピンと TC ピン間の伝搬遅延の合計とクロック周期の関係によって決定されます。クロック周期は、 $n(t_{CE-TC})$ より大きい必要があります。ここで、 n は段数、時間 t_{CE-TC} は各段での CE ピンと TC ピン間の伝搬遅延を表します。カウンタをカスケードする場合、CE 入力を使用するときは CEO 出力を、CE 入力を使用しないときは TC 出力を使用します。

電力を供給すると、カウンタは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスで PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバータを追加するとアクティブ Low にできます。

論理表

| 入力 | | | 出力 | | |
|---|----|---|---------|------|-----|
| R | CE | C | Qz - Q0 | TC | CEO |
| 1 | X | ↑ | 0 | 0 | 0 |
| 0 | 0 | X | 変化なし | 変化なし | 0 |
| 0 | 1 | ↑ | インクリメント | TC | CEO |
| z = ビット幅 - 1 $TC = Qz \cdot Q(z-1) \cdot Q(z-2) \cdot \dots \cdot Q0$ $CEO = TC \cdot CE$ | | | | | |

デザインの入力方法

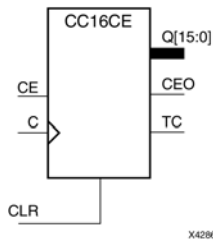
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリ データシート](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリ データシート](#)
- ・ [Spartan-3E FPGA ファミリ データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート: DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート: DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

CC16CE

マクロ : 16-Bit Cascadable Binary Counter with Clock Enable and Asynchronous Clear



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6

概要

このデザイン エLEMENTは、非同期クリア可能、カスケード可能なバイナリ カウンタです。このカウンタは、キャリー ロジックと相対ロケーション制約を使用してインプリメントされているので、ロジックが効率よく配置されます。非同期クリア入力 (CLR) が最も優先される入力で、High の場合、クロック (C) の遷移に関係なく、Q 出力、ターミナル カウント (TC)、クロック イネーブル出力 (CEO) が 0 になります。クロック イネーブル入力 (CE) が High の場合、クロック (C) が Low から High に切り替わるときに出力 (Q) がインクリメントされます。CE が Low の場合、クロック遷移は無視されます。すべての Q 出力が High になると、TC 出力が High になります。

1 段目の CEO 出力を次の段の CE 入力に接続し、C および CLR 入力を並列に接続すると、より大型のカウンタを作成できます。TC と CE が High になると、CEO がアクティブ (High) になります。カウンタの長さの最大値は、CE ピンと TC ピン間の伝搬遅延の合計とクロック周期の関係によって決定されます。クロック周期は、 $n(t_{CE-TC})$ より大きい必要があります。ここで、 n は段数、時間 t_{CE-TC} は各段での CE ピンと TC ピン間の伝搬遅延を表します。カウンタをカスケードする場合、CE 入力を使用するときは CEO 出力を、CE 入力を使用しないときは TC 出力を使用します。

電力を供給すると、カウンタは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバータを追加するとアクティブ Low にできます。

論理表

| 入力 | | | 出力 | | |
|---|----|---|---------|------|-----|
| CLR | CE | C | Qz - Q0 | TC | CEO |
| 1 | X | X | 0 | 0 | 0 |
| 0 | 0 | X | 変化なし | 変化なし | 0 |
| 0 | 1 | ↑ | インクリメント | TC | CEO |
| z = ビット幅 - 1 $TC = Qz \cdot Q(z-1) \cdot Q(z-2) \cdot \dots \cdot Q0$ $CEO = TC \cdot CE$ | | | | | |

デザインの入力方法

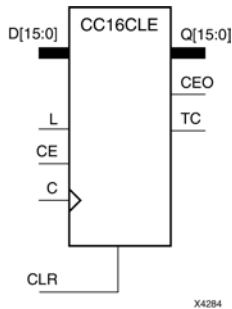
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリ データシート](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリ データシート](#)
- ・ [Spartan-3E FPGA ファミリ データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

CC16CLE

マクロ : 16-Bit Loadable Cascadable Binary Counter with Clock Enable and Asynchronous Clear



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6

概要

このデザイン エLEMENTは、同期、ロード可能、非同期クリア可能、カスケード可能なバイナリ カウンタです。このカウンタは、キャリー ロジックと相対ロケーション制約を使用してインプリメントされているので、ロジックが効率よく配置されます。非同期クリア入力 (CLR) が最も優先される入力で、High の場合、クロック (C) の遷移に関係なく、Q 出力、ターミナル カウント (TC)、クロック イネーブル出力 (CEO) が 0 になります。ロード イネーブル入力 (L) が High の場合、クロック (C) が Low から High に切り替わるときに、クロック イネーブル (CE) の値に関係なく、入力 (D) の値がカウンタにロードされます。CE が High の場合、クロックが Low から High に切り替わるときに Q 出力がインクリメントされます。CE が Low の場合、クロック遷移は無視されます。すべての Q 出力が High になると、TC 出力が High になります。

1 段目の CEO 出力を次の段の CE 入力に接続し、C、L、および CLR 入力を並列に接続すると、より大型のカウンタを作成できます。TC と CE が High になると、CEO がアクティブ (High) になります。カウンタの長さの最大値は、CE ピンと TC ピン間の伝搬遅延の合計とクロック周期の関係によって決定されます。クロック周期は、 $n(t_{CE-TC})$ より大きい必要があります。ここで、 n は段数、時間 t_{CE-TC} は各段での CE ピンと TC ピン間の伝搬遅延を表します。カウンタをカスケードする場合、CE 入力を使用するときは CEO 出力を、CE 入力を使用しないときは TC 出力を使用します。

電力を供給すると、カウンタは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバータを追加するとアクティブ Low にできます。

論理表

| 入力 | | | | | 出力 | | |
|---|---|----|---|---------|---------|------|-----|
| CLR | L | CE | C | Dz - D0 | Qz - Q0 | TC | CEO |
| 1 | X | X | X | X | 0 | 0 | 0 |
| 0 | 1 | X | ↑ | Dn | Dn | TC | CEO |
| 0 | 0 | 0 | X | X | 変化なし | 変化なし | 0 |
| 0 | 0 | 1 | ↑ | X | インクリメント | TC | CEO |
| z = ビット幅 - 1 $TC = Qz \cdot Q(z-1) \cdot Q(z-2) \cdot \dots \cdot Q0$ $CEO = TC \cdot CE$ | | | | | | | |

デザインの入力方法

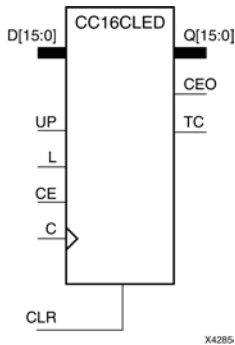
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリ データシート](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリ データシート](#)
- ・ [Spartan-3E FPGA ファミリ データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

CC16CLED

マクロ : 16-Bit Loadable Cascadable Bidirectional Binary Counter with Clock Enable and Asynchronous Clear



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6

概要

このデザイン エLEMENTは、同期、ロード可能、非同期クリア可能、カスケード可能な双方向バイナリ カウンタです。このカウンタは、キャリー ロジックと相対ロケーション制約を使用してインプリメントされているので、ロジックが効率よく配置されます。非同期クリア入力 (CLR) が最も優先される入力で、High の場合、クロック (C) の遷移に関係なく、Q 出力、ターミナル カウント (TC)、クロック イネーブル出力 (CEO) が 0 になります。ロード イネーブル入力 (L) が High の場合、クロック (C) が Low から High に切り替わる時に、クロック イネーブル (CE) の値に関係なく、入力 (D) の値がカウンタにロードされます。CE が High、UP が Low の場合、クロックが Low から High に切り替わる時に、Q 出力がデクリメントされます。CE と UP が High の場合、Q 出力がインクリメントされます。CE が Low の場合、クロック遷移は無視されます。

カウント アップする場合、すべての Q 出力と UP が High になると TC 出力が High になります。カウント ダウンする場合、すべての Q 出力と UP が Low になると TC 出力が High になります。

1 段目の CEO 出力を次の段の CE 入力に接続し、C、UP、L、および CLR 入力を並列に接続すると、より大型のカウンタを作成できます。TC と CE が High になると、CEO がアクティブ (High) になります。カウンタの長さの最大値は、CE ピンと TC ピン間の伝搬遅延の合計とクロック周期の関係によって決定されます。クロック周期は、 $n(t_{CE-TC})$ より大きい必要があります。ここで、 n は段数、時間 t_{CE-TC} は各段での CE ピンと TC ピン間の伝搬遅延を表します。カウンタをカスケードする場合、CE 入力を使用するときは CEO 出力を、CE 入力を使用しないときは TC 出力を使用します。

電力を供給すると、カウンタは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバータを追加するとアクティブ Low にできます。

論理表

| 入力 | | | | | | 出力 | | |
|---|---|----|---|----|---------|---------|------|-----|
| CLR | L | CE | C | UP | Dz - D0 | Qz - Q0 | TC | CEO |
| 1 | X | X | X | X | X | 0 | 0 | 0 |
| 0 | 1 | X | ↑ | X | Dn | Dn | TC | CEO |
| 0 | 0 | 0 | X | X | X | 変化なし | 変化なし | 0 |
| 0 | 0 | 1 | ↑ | 1 | X | インクリメント | TC | CEO |
| 0 | 0 | 1 | ↑ | 0 | X | デクリメント | TC | CEO |
| z = ビット幅 - 1 $TC = (Qz \cdot Q(z-1) \cdot Q(z-2) \cdot \dots \cdot Q0 \cdot UP) + (Qz \cdot Q(z-1) \cdot Q(z-2) \cdot \dots \cdot Q0 \cdot \overline{UP})$ $CEO = TC \cdot CE$ | | | | | | | | |

デザインの入力方法

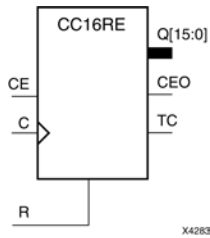
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリー データシート](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリー データシート](#)
- ・ [Spartan-3E FPGA ファミリー データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

CC16RE

マクロ : 16-Bit Cascadable Binary Counter with Clock Enable and Synchronous Reset



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6

概要

このデザイン エLEMENTは、同期、リセット可能、カスケード可能なバイナリカウンタです。これらのカウンタは、キャリーロジックと相対ロケーション制約を使用してインプリメントされているので、ロジックが効率よく配置されます。同期リセット入力 (R) は最も優先される入力で、R が High になると、ほかのすべての入力は無視され、クロック (C) が Low から High に切り替わるときに、Q 出力、ターミナル カウント (TC)、クロック イネーブル出力 (CEO) が 0 になります。クロック イネーブル入力 (CE) が High の場合、クロックが Low から High に切り替わるときに Q 出力がインクリメントされます。CE が Low の場合、クロック遷移は無視されます。すべての Q 出力と CE が High になると、TC 出力が High になります。

1 段目の CEO 出力を次の段の CE 入力に接続し、C および R 入力を並列に接続すると、より大型のカウンタを作成できます。TC と CE が High になると、CEO がアクティブ (High) になります。カウンタの長さの最大値は、CE ピンと TC ピン間の伝搬遅延の合計とクロック周期の関係によって決定されます。クロック周期は、 $n(t_{CE-TC})$ より大きい必要があります。ここで、 n は段数、時間 t_{CE-TC} は各段での CE ピンと TC ピン間の伝搬遅延を表します。カウンタをカスケードする場合、CE 入力を使用するときは CEO 出力を、CE 入力を使用しないときは TC 出力を使用します。

電力を供給すると、カウンタは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバータを追加するとアクティブ Low にできます。

論理表

| 入力 | | | 出力 | | |
|---|----|---|---------|------|-----|
| R | CE | C | Qz - Q0 | TC | CEO |
| 1 | X | ↑ | 0 | 0 | 0 |
| 0 | 0 | X | 変化なし | 変化なし | 0 |
| 0 | 1 | ↑ | インクリメント | TC | CEO |
| z = ビット幅 - 1 $TC = Qz \cdot Q(z-1) \cdot Q(z-2) \cdot \dots \cdot Q0$ $CEO = TC \cdot CE$ | | | | | |

デザインの入力方法

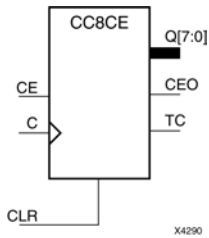
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリ データシート](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリ データシート](#)
- ・ [Spartan-3E FPGA ファミリ データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート: DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート: DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

CC8CE

マクロ : 8-Bit Cascadable Binary Counter with Clock Enable and Asynchronous Clear



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6

概要

このデザイン エLEMENTは、非同期クリア可能、カスケード可能なバイナリ カウンタです。このカウンタは、キャリー ロジックと相対ロケーション制約を使用してインプリメントされているので、ロジックが効率よく配置されます。非同期クリア入力 (CLR) が最も優先される入力で、High の場合、クロック (C) の遷移に関係なく、Q 出力、ターミナル カウント (TC)、クロック イネーブル出力 (CEO) が 0 になります。クロック イネーブル入力 (CE) が High の場合、クロック (C) が Low から High に切り替わるときに出力 (Q) がインクリメントされます。CE が Low の場合、クロック遷移は無視されます。すべての Q 出力が High になると、TC 出力が High になります。

1 段目の CEO 出力を次の段の CE 入力に接続し、C および CLR 入力を並列に接続すると、より大型のカウンタを作成できます。TC と CE が High になると、CEO がアクティブ (High) になります。カウンタの長さの最大値は、CE ピンと TC ピン間の伝搬遅延の合計とクロック周期の関係によって決定されます。クロック周期は、 $n(t_{CE-TC})$ より大きい必要があります。ここで、 n は段数、時間 t_{CE-TC} は各段での CE ピンと TC ピン間の伝搬遅延を表します。カウンタをカスケードする場合、CE 入力を使用するときは CEO 出力を、CE 入力を使用しないときは TC 出力を使用します。

電力を供給すると、カウンタは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバータを追加するとアクティブ Low にできます。

論理表

| 入力 | | | 出力 | | |
|---|----|---|---------|------|-----|
| CLR | CE | C | Qz - Q0 | TC | CEO |
| 1 | X | X | 0 | 0 | 0 |
| 0 | 0 | X | 変化なし | 変化なし | 0 |
| 0 | 1 | ↑ | インクリメント | TC | CEO |
| z = ビット幅 - 1 $TC = Qz \cdot Q(z-1) \cdot Q(z-2) \cdot \dots \cdot Q0$ $CEO = TC \cdot CE$ | | | | | |

デザインの入力方法

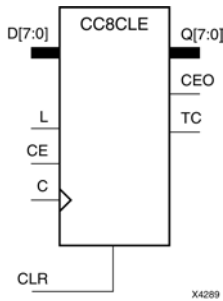
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリ データシート](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリ データシート](#)
- ・ [Spartan-3E FPGA ファミリ データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

CC8CLE

マクロ : 8-Bit Loadable Cascadable Binary Counter with Clock Enable and Asynchronous Clear



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6

概要

このデザイン エLEMENTは、同期、ロード可能、非同期クリア可能、カスケード可能なバイナリ カウンタです。このカウンタは、キャリー ロジックと相対ロケーション制約を使用してインプリメントされているので、ロジックが効率よく配置されます。非同期クリア入力 (CLR) が最も優先される入力で、High の場合、クロック (C) の遷移に関係なく、Q 出力、ターミナル カウント (TC)、クロック イネーブル出力 (CEO) が 0 になります。ロード イネーブル入力 (L) が High の場合、クロック (C) が Low から High に切り替わるときに、クロック イネーブル (CE) の値に関係なく、入力 (D) の値がカウンタにロードされます。CE が High の場合、クロックが Low から High に切り替わるときに Q 出力がインクリメントされます。CE が Low の場合、クロック遷移は無視されます。すべての Q 出力が High になると、TC 出力が High になります。

1 段目の CEO 出力を次の段の CE 入力に接続し、C、L、および CLR 入力を並列に接続すると、より大型のカウンタを作成できます。TC と CE が High になると、CEO がアクティブ (High) になります。カウンタの長さの最大値は、CE ピンと TC ピン間の伝搬遅延の合計とクロック周期の関係によって決定されます。クロック周期は、 $n(t_{CE-TC})$ より大きい必要があります。ここで、 n は段数、時間 t_{CE-TC} は各段での CE ピンと TC ピン間の伝搬遅延を表します。カウンタをカスケードする場合、CE 入力を使用するときは CEO 出力を、CE 入力を使用しないときは TC 出力を使用します。

電力を供給すると、カウンタは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバータを追加するとアクティブ Low にできます。

論理表

| 入力 | | | | | 出力 | | |
|---|---|----|---|---------|---------|------|-----|
| CLR | L | CE | C | Dz - D0 | Qz - Q0 | TC | CEO |
| 1 | X | X | X | X | 0 | 0 | 0 |
| 0 | 1 | X | ↑ | Dn | Dn | TC | CEO |
| 0 | 0 | 0 | X | X | 変化なし | 変化なし | 0 |
| 0 | 0 | 1 | ↑ | X | インクリメント | TC | CEO |
| z = ビット幅 - 1 $TC = Qz \cdot Q(z-1) \cdot Q(z-2) \cdot \dots \cdot Q0$ $CEO = TC \cdot CE$ | | | | | | | |

デザインの入力方法

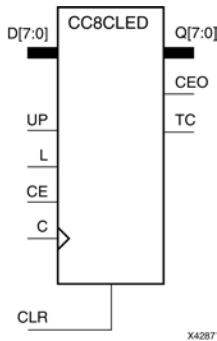
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリ データシート](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリ データシート](#)
- ・ [Spartan-3E FPGA ファミリ データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

CC8CLED

マクロ : 8-Bit Loadable Cascadable Bidirectional Binary Counter with Clock Enable and Asynchronous Clear



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6

概要

このデザイン エLEMENTは、同期、ロード可能、非同期クリア可能、カスケード可能な双方向バイナリ カウンタです。このカウンタは、キャリー ロジックと相対ロケーション制約を使用してインプリメントされているので、ロジックが効率よく配置されます。非同期クリア入力 (CLR) が最も優先される入力で、High の場合、クロック (C) の遷移に関係なく、Q 出力、ターミナル カウント (TC)、クロック イネーブル出力 (CEO) が 0 になります。ロード イネーブル入力 (L) が High の場合、クロック (C) が Low から High に切り替わる時に、クロック イネーブル (CE) の値に関係なく、入力 (D) の値がカウンタにロードされます。CE が High、UP が Low の場合、クロックが Low から High に切り替わる時に、Q 出力がデクリメントされます。CE と UP が High の場合、Q 出力がインクリメントされます。CE が Low の場合、クロック遷移は無視されます。

カウントアップする場合、すべての Q 出力と UP が High になると TC 出力が High になります。カウントダウンする場合、すべての Q 出力と UP が Low になると TC 出力が High になります。

1 段目の CEO 出力を次の段の CE 入力に接続し、C、UP、L、および CLR 入力を並列に接続すると、より大型のカウンタを作成できます。TC と CE が High になると、CEO がアクティブ (High) になります。カウンタの長さの最大値は、CE ピンと TC ピン間の伝搬遅延の合計とクロック周期の関係によって決定されます。クロック周期は、 $n(t_{CE-TC})$ より大きい必要があります。ここで、 n は段数、時間 t_{CE-TC} は各段での CE ピンと TC ピン間の伝搬遅延を表します。カウンタをカスケードする場合、CE 入力を使用するときは CEO 出力を、CE 入力を使用しないときは TC 出力を使用します。

電力を供給すると、カウンタは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバータを追加するとアクティブ Low にできます。

論理表

| 入力 | | | | | | 出力 | | |
|---|---|----|---|----|---------|---------|------|-----|
| CLR | L | CE | C | UP | Dz - D0 | Qz - Q0 | TC | CEO |
| 1 | X | X | X | X | X | 0 | 0 | 0 |
| 0 | 1 | X | ↑ | X | Dn | Dn | TC | CEO |
| 0 | 0 | 0 | X | X | X | 変化なし | 変化なし | 0 |
| 0 | 0 | 1 | ↑ | 1 | X | インクリメント | TC | CEO |
| 0 | 0 | 1 | ↑ | 0 | X | デクリメント | TC | CEO |
| z = ビット幅 - 1 $TC = (Qz \cdot Q(z-1) \cdot Q(z-2) \cdot \dots \cdot Q0 \cdot UP) + (Qz \cdot Q(z-1) \cdot Q(z-2) \cdot \dots \cdot Q0 \cdot \overline{UP})$ $CEO = TC \cdot CE$ | | | | | | | | |

デザインの入力方法

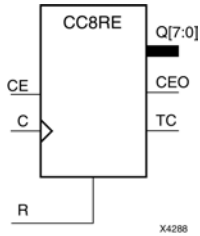
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリー データシート](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリー データシート](#)
- ・ [Spartan-3E FPGA ファミリー データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

CC8RE

マクロ : 8-Bit Cascadable Binary Counter with Clock Enable and Synchronous Reset



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6

概要

このデザイン エLEMENTは、同期、リセット可能、カスケード可能なバイナリカウンタです。これらのカウンタは、キャリーロジックと相対ロケーション制約を使用してインプリメントされているので、ロジックが効率よく配置されます。同期リセット入力 (R) は最も優先される入力で、R が High になると、ほかのすべての入力は無視され、クロック (C) が Low から High に切り替わるときに、Q 出力、ターミナル カウント (TC)、クロック イネーブル出力 (CEO) が 0 になります。クロック イネーブル入力 (CE) が High の場合、クロックが Low から High に切り替わるときに Q 出力がインクリメントされます。CE が Low の場合、クロック遷移は無視されます。すべての Q 出力と CE が High になると、TC 出力が High になります。

1 段目の CEO 出力を次の段の CE 入力に接続し、C および R 入力を並列に接続すると、より大型のカウンタを作成できます。TC と CE が High になると、CEO がアクティブ (High) になります。カウンタの長さの最大値は、CE ピンと TC ピン間の伝搬遅延の合計とクロック周期の関係によって決定されます。クロック周期は、 $n(t_{CE-TC})$ より大きい必要があります。ここで、 n は段数、時間 t_{CE-TC} は各段での CE ピンと TC ピン間の伝搬遅延を表します。カウンタをカスケードする場合、CE 入力を使用するときは CEO 出力を、CE 入力を使用しないときは TC 出力を使用します。

電力を供給すると、カウンタは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバータを追加するとアクティブ Low にできます。

論理表

| 入力 | | | 出力 | | |
|---|----|---|---------|------|-----|
| R | CE | C | Qz - Q0 | TC | CEO |
| 1 | X | ↑ | 0 | 0 | 0 |
| 0 | 0 | X | 変化なし | 変化なし | 0 |
| 0 | 1 | ↑ | インクリメント | TC | CEO |
| z = ビット幅 - 1 $TC = Qz \cdot Q(z-1) \cdot Q(z-2) \cdot \dots \cdot Q0$ $CEO = TC \cdot CE$ | | | | | |

デザインの入力方法

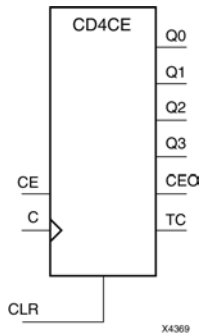
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリ データシート](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリ データシート](#)
- ・ [Spartan-3E FPGA ファミリ データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート: DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート: DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

CD4CE

マクロ : 4-Bit Cascadable BCD Counter with Clock Enable and Asynchronous Clear



サポートされているアーキテクチャ

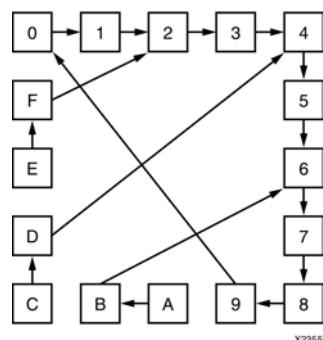
このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6
- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

CD4CE は、4 ビットの非同期、クリア可能、カスケード可能な 2 進化 10 進法 (BCD) のカウンタです。非同期クリア入力 (CLR) が最も優先される入力で、High の場合、クロック (C) の遷移に関係なく、Q 出力、ターミナル カウント (TC)、クロック イネーブル出力 (CEO) が 0 になります。クロック イネーブル (CE) が High の場合、クロック (C) が Low から High に切り替わるときに Q 出力がインクリメントされます。CE が Low の場合、クロック遷移は無視されます。Q3 と Q0 が High、Q2 と Q1 が Low になると、TC 出力が High になります。

次のステート ダイアグラムに示すように、カウンタは 6 通りの無効状態から 2 クロック サイクル以内に通常のカウントシーケンスに復帰します。



1 段目の CEO 出力を次の段の CE 入力に接続し、C および CLR 入力を並列に接続すると、より大型のカウンタを作成できます。TC と CE が High になると、CEO がアクティブ (High) になります。カウンタの長さの最大値は、CE ピンと TC ピン間の伝搬遅延の合計とクロック周期の関係によって決定されます。クロック周期は、 $n(t_{CE-TC})$ より大きい必要があります。ここで、 n は段数、時間 t_{CE-TC} は各段での CE ピンと TC ピン間の伝搬遅延を表します。カウンタをカスケードする場合、CE 入力を使用するときは CEO 出力を、CE 入力を使用しないときは TC 出力を使用します。

電力を供給すると、カウンタは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバータを追加するとアクティブ Low にできます。

論理表

| 入力 | | | 出力 | | | | | |
|--------------------|----|---|---------|---------|---------|---------|----|-----|
| CLR | CE | C | Q3 | Q2 | Q1 | Q0 | TC | CEO |
| 1 | X | X | 0 | 0 | 0 | 0 | 0 | 0 |
| 0 | 1 | ↑ | インクリメント | インクリメント | インクリメント | インクリメント | TC | CEO |
| 0 | 0 | X | 変化なし | 変化なし | 変化なし | 変化なし | TC | 0 |
| 0 | 1 | X | 1 | 0 | 0 | 1 | 1 | 1 |
| TC = Q3·!Q2·!Q1·Q0 | | | | | | | | |
| CEO = TC·CE | | | | | | | | |

デザインの入力方法

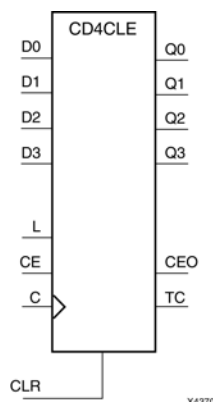
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリ データシート](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリ データシート](#)
- ・ [Spartan-3E FPGA ファミリ データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

CD4CLE

マクロ : 4-Bit Loadable Cascadable BCD Counter with Clock Enable and Asynchronous Clear



サポートされているアーキテクチャ

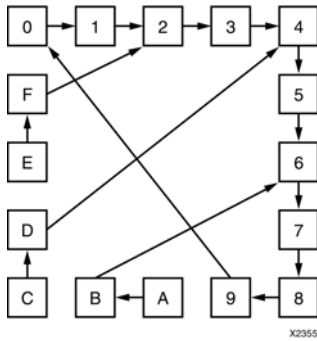
このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6
- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

CD4CLE は、4 ビットの同期ロード可能、非同期クリア可能、カスケード可能なバイナリ カウンタです。非同期クリア入力 (CLR) が最も優先される入力で、High の場合、クロック (C) の遷移に関係なく、Q 出力、ターミナル カウント (TC)、クロック イネーブル出力 (CEO) が 0 になります。ロード イネーブル入力 (L) が High の場合、クロック (C) が Low から High に切り替わる時に D 入力の値がカウンタにロードされます。クロック イネーブル入力 (CE) が High の場合、クロックが Low から High に切り替わる時に Q 出力がインクリメントされます。CE が Low の場合、クロック遷移は無視されます。Q3 と Q0 が High、Q2 と Q1 が Low になると、TC 出力が High になります。

次のステート ダイアグラムに示すように、カウンタは 6 通りの無効状態から 2 クロック サイクル以内に通常のカウントシーケンスに復帰します。



1 段目の CEO 出力を次の段の CE 入力に接続し、C、L、および CLR 入力を並列に接続すると、より大型のカウンタを作成できます。TC と CE が High になると、CEO がアクティブ (High) になります。カウンタの長さの最大値は、CE ピンと TC ピン間の伝搬遅延の合計とクロック周期の関係によって決定されます。クロック周期は、 $n(t_{CE-TC})$ より大きい必要があります。ここで、 n は段数、時間 t_{CE-TC} は各段での CE ピンと TC ピン間の伝搬遅延を表します。カウンタをカスケードする場合、CE 入力を使用するときは CEO 出力を、CE 入力を使用しないときは TC 出力を使用します。

電力を供給すると、カウンタは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバータを追加するとアクティブ Low にできます。

論理表

| 入力 | | | | | 出力 | | | | | |
|--------------------|---|----|---------|---|---------|---------|---------|---------|----|-----|
| CLR | L | CE | D3 : D0 | C | Q3 | Q2 | Q1 | Q0 | TC | CEO |
| 1 | X | X | X | X | 0 | 0 | 0 | 0 | 0 | 0 |
| 0 | 1 | X | D3 : D0 | ↑ | D3 | D2 | D1 | D0 | TC | CEO |
| 0 | 0 | 1 | X | ↑ | インクリメント | インクリメント | インクリメント | インクリメント | TC | CEO |
| 0 | 0 | 0 | X | X | 変化なし | 変化なし | 変化なし | 変化なし | TC | 0 |
| 0 | 0 | 1 | X | X | 1 | 0 | 0 | 1 | 1 | 1 |
| TC = Q3·!Q2·!Q1·Q0 | | | | | | | | | | |
| CEO = TC·CE | | | | | | | | | | |

デザインの入力方法

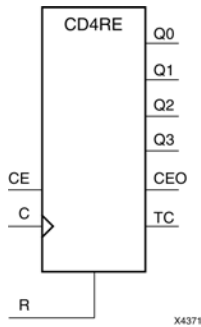
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリ データシート](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリ データシート](#)
- ・ [Spartan-3E FPGA ファミリ データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

CD4RE

マクロ : 4-Bit Cascadable BCD Counter with Clock Enable and Synchronous Reset



サポートされているアーキテクチャ

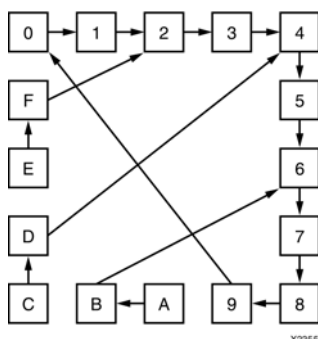
このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6
- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

CD4RE は、4 ビットの同期、リセット可能、カスケード可能な 2 進法 10 進法 (BCD) のカウンタです。同期リセット入力 (R) は最も優先される入力であり、R が High になるとほかのすべての入力は無視され、クロック (C) が Low から High に切り替わるたびに、Q 出力、ターミナル カウント (TC)、クロック イネーブル出力 (CEO) が 0 になります。クロック イネーブル入力 (CE) が High の場合、クロックが Low から High に切り替わるたびに Q 出力がインクリメントされます。CE が Low の場合、クロック遷移は無視されます。Q3 と Q0 が High、Q2 と Q1 が Low になると、TC 出力が High になります。

次のステート ダイアグラムに示すように、カウンタは 6 通りの無効状態から 2 クロック サイクル以内に通常のカウントシーケンスに復帰します。



1 段目の CEO 出力を次の段の CE 入力に接続し、C および R 入力を並列に接続すると、より大型のカウンタを作成できます。TC と CE が High になると、CEO がアクティブ (High) になります。カウンタの長さの最大値は、CE ピンと TC ピン間の伝搬遅延の合計とクロック周期の関係によって決定されます。クロック周期は、 $n(t_{CE-TC})$ より大きい必要があります。ここで、 n は段数、時間 t_{CE-TC} は各段での CE ピンと TC ピン間の伝搬遅延を表します。カウンタをカスケードする場合、CE 入力を使用するときは CEO 出力を、CE 入力を使用しないときは TC 出力を使用します。

電力を供給すると、カウンタは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバータを追加するとアクティブ Low にできます。

論理表

| 入力 | | | 出力 | | | | | |
|------------------|----|---|---------|---------|---------|---------|----|-----|
| R | CE | C | Q3 | Q2 | Q1 | Q0 | TC | CEO |
| 1 | X | ↑ | 0 | 0 | 0 | 0 | 0 | 0 |
| 0 | 1 | ↑ | インクリメント | インクリメント | インクリメント | インクリメント | TC | CEO |
| 0 | 0 | X | 変化なし | 変化なし | 変化なし | 変化なし | TC | 0 |
| 0 | 1 | X | 1 | 0 | 0 | 1 | 1 | 1 |
| TC = Q3!Q2!Q1!Q0 | | | | | | | | |
| CEO = TC • CE | | | | | | | | |

デザインの入力方法

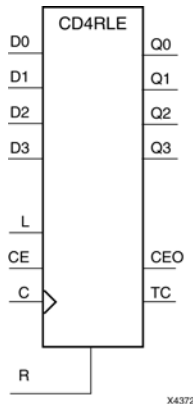
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリー データシート](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリー データシート](#)
- ・ [Spartan-3E FPGA ファミリー データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

CD4RLE

マクロ : 4-Bit Loadable Cascadable BCD Counter with Clock Enable and Synchronous Reset



サポートされているアーキテクチャ

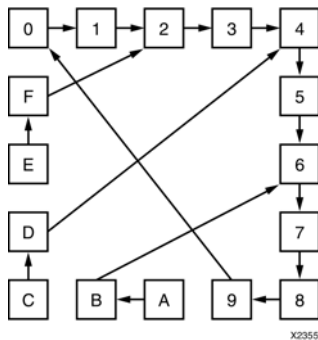
このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6
- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

CD4RLE は、4 ビットの同期、ロード可能、リセット可能な 2 進法 10 進法 (BCD) カウンタです。同期リセット入力 (R) は最も優先される入力で、R が High になると、ほかのすべての入力は無視され、クロックが Low から High に切り替わるときに、Q 出力、ターミナル カウント (TC)、クロック イネーブル出力 (CEO) が 0 になります。ロード イネーブル入力 (L) が High の場合、クロック (C) が Low から High に切り替わるときに D 入力の値がカウンタにロードされます。クロック イネーブル入力 (CE) が High の場合、クロックが Low から High に切り替わるときに Q 出力がインクリメントされます。CE が Low の場合、クロック遷移は無視されます。Q3 と Q0 が High、Q2 と Q1 が Low になると、TC 出力が High になります。

次のステート ダイアグラムに示すように、カウンタは 6 通りの無効状態から 2 クロック サイクル以内に通常のカウントシーケンスに復帰します。



1 段目の CEO 出力を次の段の CE 入力に接続し、C、L、および R 入力を並列に接続すると、より大型のカウンタを作成できます。TC と CE が High になると、CEO がアクティブ (High) になります。カウンタの長さの最大値は、CE ピンと TC ピン間の伝搬遅延の合計とクロック周期の関係によって決定されます。クロック周期は、 $n(t_{CE-TC})$ より大きい必要があります。ここで、 n は段数、時間 t_{CE-TC} は各段での CE ピンと TC ピン間の伝搬遅延を表します。カウンタをカスケードする場合、CE 入力を使用するときは CEO 出力を、CE 入力を使用しないときは TC 出力を使用します。

電力を供給すると、カウンタは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバータを追加するとアクティブ Low にできます。

論理表

| 入力 | | | | | 出力 | | | | | |
|--------------------|---|----|---------|---|---------|---------|---------|---------|----|-----|
| R | L | CE | D3 : D0 | C | Q3 | Q2 | Q1 | Q0 | TC | CEO |
| 1 | X | X | X | ↑ | 0 | 0 | 0 | 0 | 0 | 0 |
| 0 | 1 | X | D3 : D0 | ↑ | D3 | D | D | D0 | TC | CEO |
| 0 | 0 | 1 | X | ↑ | インクリメント | インクリメント | インクリメント | インクリメント | TC | CEO |
| 0 | 0 | 0 | X | X | 変化なし | 変化なし | 変化なし | 変化なし | TC | 0 |
| 0 | 0 | 1 | X | X | 1 | 0 | 0 | 1 | 1 | 1 |
| TC = Q3·!Q2·!Q1·Q0 | | | | | | | | | | |
| CEO = TC·CE | | | | | | | | | | |

デザインの入力方法

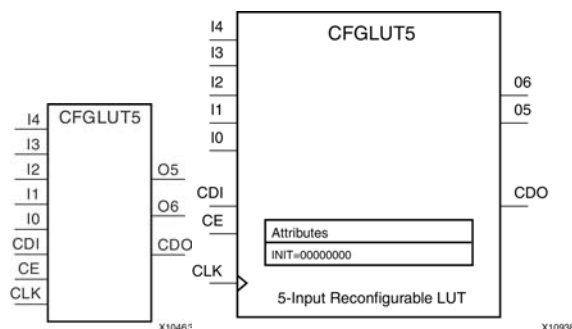
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリ データシート](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリ データシート](#)
- ・ [Spartan-3E FPGA ファミリ データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

CFGLUT5

プリミティブ : 5-input Dynamically Reconfigurable Look-Up Table (LUT)



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-6
- ・ Virtex®-5
- ・ Virtex-6

概要

このデザイン エLEMENTは、ランタイムのダイナミック リコンフィギュレーションが可能な 5 入力ルックアップ テーブル (LUT) で、回路の動作中に LUT のロジック ファンクションを変更できます。CDI ピンを使用すると、クロックに同期して新しい INIT 値がシリアルにシフトされ、ロジック ファンクションが変更されます。O6 出力ピンでは、LUT に読み込まれた現在の INIT 値と現在選択されている I0 ~ I4 の入力ピンに基づいてロジック ファンクションが生成されます。オプションで O5 出力と O6 出力を使用して、同じ入力を共有する 4 入力ファンクションを 2 つ作成するか、または 5 入力ファンクション 1 つとその 5 入力ロジックのサブセットを使用する 4 入力ファンクションを作成できます (下の表を参照)。このELEMENTには、1 つのスライスに含まれる 6 入力 LUT 4 個のうちの 1 つが含まれます。

このELEMENTをカスケード接続する場合は、CDO ピンを次のELEMENTの CDI ピンに接続することで、1 つのシリアルチェーンのデータ (LUT ごとに 32 ビット) で複数のELEMENTをリコンフィギュレーションできます。

ポートの説明

| ポート名 | 方向 | 幅 | 機能 |
|----------------|----|---|--|
| O6 | 出力 | 1 | 5 入力 LUT 出力 |
| O5 | 出力 | 1 | 4 入力 LUT 出力 |
| I0、I1、I2、I3、I4 | 入力 | 1 | LUT 入力 |
| CDO | 出力 | 1 | リコンフィギュレーション データのカスケード出力 (オプションで後続の LUT の CDI 入力に接続) |
| CDI | 入力 | 1 | リコンフィギュレーション データ シリアル入力 |
| CLK | 入力 | 1 | リコンフィギュレーション クロック |
| CE | 入力 | 1 | アクティブ High リコンフィギュレーション クロック イネーブル |

デザインの入力方法

| | |
|--------------------------|----|
| インスタンス化 | 推奨 |
| 推論 | 不可 |
| CORE Generator™ およびウィザード | 不可 |
| マクロのサポート | 不可 |

このエレメントは、回路図で使用されます。

- ・ CLK 入力をリコンフィギュレーション データを供給するのに使用するクロック ソースに接続します。
- ・ CDI 入力をリコンフィギュレーション データのソースに接続します。
- ・ CE ピンを LUT のリコンフィギュレーションをイネーブルまたはディスエーブルにするには、アクティブ High のロジックに接続します。
- ・ I4 ~ I0 ピンを論理式のソース入力に接続します。ロジック ファンクションは、O6 および O5 から出力されます。
- ・ このエレメントをカスケード接続する場合は、CDO ピンを次のエレメントの CDI ピンに接続することで、1 つのシリアル チェーンのデータで複数のエレメントをリコンフィギュレーションできます。

INIT 属性をこのデザイン エLEMENT に設定して、LUT の初期ロジック ファンクションを指定する必要があります。新しい INIT 値は、チェーンに含まれる LUT に 32 ビットずつシフトさせることで、回路の作動中いつでも読み込むことができます。O6 および O5 の出力値は、新しい 32 ビットの INIT 値が LUT に入力されるまで無視します。LUT のロジック ファンクションは、新しい INIT 値が LUT にシフトされるときに変化します。データは MSB (INIT[31]) から順に LSB (INIT[0]) までシフトされる必要があります。

次の表に示すように、O6 および O5 の論理値は、現在の INIT 値に基づいています。

| I4 I3 I2 I1 I0 | O6 値 | O5 値 |
|----------------|----------|----------|
| 1 1 1 1 1 | INIT[31] | INIT[15] |
| 1 1 1 1 0 | INIT[30] | INIT[14] |
| ... | ... | ... |
| 1 0 0 0 1 | INIT[17] | INIT[1] |
| 1 0 0 0 0 | INIT[16] | INIT[0] |
| 0 1 1 1 1 | INIT[15] | INIT[15] |
| 0 1 1 1 0 | INIT[14] | INIT[14] |
| ... | ... | ... |
| 0 0 0 0 1 | INIT[1] | INIT[1] |
| 0 0 0 0 0 | INIT[0] | INIT[0] |

たとえば INIT 値が FFFF8000 の場合は、次の論理式を表します。

- ・ O6 = I4 または (I3、I2、I1、および I0)
- ・ O5 = I3、I2、I1、および I0

入力を共有するが機能は異なる 2 つの 4 入力 LUT として使用するには、I4 信号の論理値を 1 にします。INIT[31:16] が O6 出力の論理値に、INIT [15:0] の値が O5 出力の論理値に適用されます。

使用可能な属性

| 属性 | タイプ | 値 | デフォルト | 説明 |
|------|-------|---------|-------|--------------------|
| INIT | 16 進数 | 32 ビット値 | すべてゼロ | このエレメントの初期値を指定します。 |

VHDL 記述 (インスタンス化)

次の 2 つの構文が存在しない場合はコピーし、エンティティ宣言の前に貼り付けます。

```
Library UNISIM;
use UNISIM.vcomponents.all;

-- CFGLUT5: Reconfigurable 5-input LUT
--           Virtex-5/6, Spartan-6
-- Xilinx HDL Libraries Guide, version 11.2

CFGLUT5_inst : CFGLUT5
generic map (
    INT => X"00000000")
port map (
    CDO => CDO, -- Reconfiguration cascade output
    O5 => O5,   -- 4-LUT output
    O6 => O6,   -- 5-LUT output
    CDI => CDI, -- Reconfiguration data input
    CE  => CE,  -- Reconfiguration enable input
    CLK => CLK, -- Clock input
    I0  => I0,  -- Logic data input
    I1  => I1,  -- Logic data input
    I2  => I2,  -- Logic data input
    I3  => I3,  -- Logic data input
    I4  => I4,  -- Logic data input
);

-- End of CFGLUT5_inst instantiation
```

Verilog 記述 (インスタンス化)

```
// CFGLUT5: Reconfigurable 5-input LUT
//           Virtex-5, Virtex-5, Spartan-6
// Xilinx HDL Libraries Guide, version 11.2

CFGLUT5 #(
    .INIT(32'h00000000) // Specify initial LUT contents
) CFGLUT5_inst (
    .CDO(CDO), // Reconfiguration cascade output
    .O5(O5),   // 4-LUT output
    .O6(O6),   // 5-LUT output
    .CDI(CDI), // Reconfiguration data input
    .CE(CE),   // Reconfiguration enable input
    .CLK(CLK), // Clock input
    .I0(I0),   // Logic data input
    .I1(I1),   // Logic data input
    .I2(I2),   // Logic data input
    .I3(I3),   // Logic data input
    .I4(I4),   // Logic data input
);

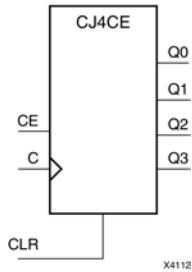
// End of CFGLUT5_inst instantiation
```

詳細情報

- ・ [Spartan-6 FPGA コンフィギュラブル ロジック ブロック ユーザー ガイド](#)
- ・ [Spartan-6 FPGA データシート: DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート: DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

CJ4CE

4-Bit Johnson Counter with Clock Enable and Asynchronous Clear



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6
- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

このデザイン エLEMENTは、クリア可能なジョンソン/シフト カウンタです。非同期クリア (CLR) 入力が高になると、ほかのすべての入力は無視され、クロック (C) の遷移に関係なく、出力 (Q) が 0 になります。クロック イネーブル入力 (CE) が High の場合、クロックが Low から High に切り替わる時にカウンタがインクリメント (Q0 → Q1、Q1 → Q2 のようにシフト) します。CE が Low の場合、クロック遷移は無視されます。

このデザイン エLEMENTでは、Q3 の出力が反転されて入力 Q0 にフィードバックされ、連続したカウント処理が行われます。

電力を供給すると、カウンタは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバータを追加するとアクティブ Low にできます。

論理表

| 入力 | | | 出力 | |
|--|----|---|------|---------|
| CLR | CE | C | Q0 | Q1 - Q3 |
| 1 | X | X | 0 | 0 |
| 0 | 0 | X | 変化なし | 変化なし |
| 0 | 1 | ↑ | !q3 | q0 - q2 |
| q = アクティブなクロック エッジの 1 セットアップ タイム前の対応する出力の値 | | | | |

デザインの入力方法

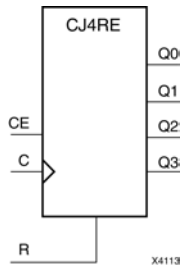
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリー データシート](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリー データシート](#)
- ・ [Spartan-3E FPGA ファミリー データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

CJ4RE

マクロ : 4-Bit Johnson Counter with Clock Enable and Synchronous Reset



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6
- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

このデザイン エLEMENTは、リセット可能なジョンソン/シフトカウンタです。同期 R が High になると、ほかのすべての入力は無視され、クロック (C) が Low から High に切り替わる時に出力が 0 になります。クロック イネーブル入力 (CE) が High の場合、クロックが Low から High に切り替わる時にカウンタがインクリメント (Q0 → Q1、Q1 → Q2 のようにシフト) します。CE が Low の場合、クロック遷移は無視されます。

このデザイン エLEMENTでは、Q3 の出力が反転されて入力 Q0 にフィードバックされ、連続したカウント処理が行われます。

電力を供給すると、カウンタは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバータを追加するとアクティブ Low にできます。

論理表

| 入力 | | | 出力 | |
|--|----|---|------|---------|
| R | CE | C | Q0 | Q1 - Q3 |
| 1 | X | ↑ | 0 | 0 |
| 0 | 0 | X | 変化なし | 変化なし |
| 0 | 1 | ↑ | !q3 | q0 - q2 |
| q = アクティブなクロック エッジの 1 セットアップ タイム前の対応する出力の値 | | | | |

デザインの入力方法

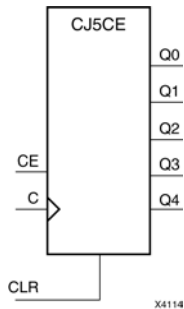
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリー データシート](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリー データシート](#)
- ・ [Spartan-3E FPGA ファミリー データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

CJ5CE

マクロ : 5-Bit Johnson Counter with Clock Enable and Asynchronous Clear



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6
- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

このデザイン エLEMENTは、クリア可能なジョンソン/シフト カウンタです。非同期クリア (CLR) 入力が高になると、ほかのすべての入力は無視され、クロック (C) の遷移に関係なく、出力 (Q) が 0 になります。クロック イネーブル入力 (CE) が High の場合、クロックが Low から High に切り替わる時にカウンタがインクリメント (Q0 → Q1、Q1 → Q2 のようにシフト) します。CE が Low の場合、クロック遷移は無視されます。

このデザイン エLEMENTでは、Q4 の出力が反転されて入力 Q0 にフィードバックされ、連続したカウント処理が行われます。

電力を供給すると、カウンタは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバータを追加するとアクティブ Low にできます。

論理表

| 入力 | | | 出力 | |
|--|----|---|------|---------|
| CLR | CE | C | Q0 | Q1 - Q4 |
| 1 | X | X | 0 | 0 |
| 0 | 0 | X | 変化なし | 変化なし |
| 0 | 1 | ↑ | !q4 | q0 - q3 |
| q = アクティブなクロック エッジの 1 セットアップ タイム前の対応する出力の値 | | | | |

デザインの入力方法

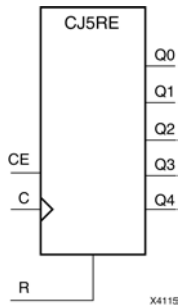
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリー データシート](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリー データシート](#)
- ・ [Spartan-3E FPGA ファミリー データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

CJ5RE

マクロ : 5-Bit Johnson Counter with Clock Enable and Synchronous Reset



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6
- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

このデザイン エLEMENTは、リセット可能なジョンソン/シフト カウンタです。同期 R が High になると、ほかのすべての入力は無視され、クロック (C) が Low から High に切り替わるときに出力が 0 になります。クロック イネーブル入力 (CE) が High の場合、クロックが Low から High に切り替わるときにカウンタがインクリメント (Q0 → Q1、Q1 → Q2 のようにシフト) します。CE が Low の場合、クロック遷移は無視されます。

このデザイン エLEMENTでは、Q4 の出力が反転されて入力 Q0 にフィードバックされ、連続したカウント処理が行われます。

電力を供給すると、カウンタは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバータを追加するとアクティブ Low にできます。

論理表

| 入力 | | | 出力 | |
|--|----|---|------|---------|
| R | CE | C | Q0 | Q1 - Q4 |
| 1 | X | ↑ | 0 | 0 |
| 0 | 0 | X | 変化なし | 変化なし |
| 0 | 1 | ↑ | !q4 | q0 - q3 |
| q = アクティブなクロック エッジの 1 セットアップ タイム前の対応する出力の値 | | | | |

デザインの入力方法

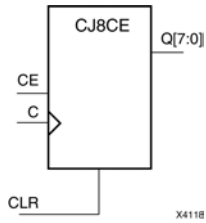
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリー データシート](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリー データシート](#)
- ・ [Spartan-3E FPGA ファミリー データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

CJ8CE

マクロ : 8-Bit Johnson Counter with Clock Enable and Asynchronous Clear



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6
- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

このデザイン エLEMENTは、クリア可能なジョンソン/シフト カウンタです。非同期クリア (CLR) 入力が高になると、ほかのすべての入力は無視され、クロック (C) の遷移に関係なく、出力 (Q) が 0 になります。クロック イネーブル入力 (CE) が High の場合、クロックが Low から High に切り替わるときにカウンタがインクリメント (Q0 → Q1、Q1 → Q2 のようにシフト) します。CE が Low の場合、クロック遷移は無視されます。

このデザイン エLEMENTでは、Q7 の出力が反転されて入力 Q0 にフィードバックされ、連続したカウント処理が行われます。

電力を供給すると、カウンタは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバータを追加するとアクティブ Low にできます。

論理表

| 入力 | | | 出力 | |
|--|----|---|------|---------|
| CLR | CE | C | Q0 | Q1 - Q8 |
| 1 | X | X | 0 | 0 |
| 0 | 0 | X | 変化なし | 変化なし |
| 0 | 1 | ↑ | !q7 | q0 - q7 |
| q = アクティブなクロック エッジの 1 セットアップ タイム前の対応する出力の値 | | | | |

デザインの入力方法

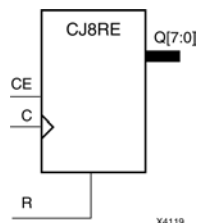
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリー データシート](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリー データシート](#)
- ・ [Spartan-3E FPGA ファミリー データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

CJ8RE

マクロ : 8-Bit Johnson Counter with Clock Enable and Synchronous Reset



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- Spartan®-3
- Spartan-3A
- Spartan-3E
- Spartan-6
- Virtex®-4
- Virtex-5
- Virtex-6
- XC9500
- CoolRunner™ XPLA3
- CoolRunner-II

概要

このデザイン エLEMENTは、リセット可能なジョンソン/シフト カウンタです。同期 R が High になると、ほかのすべての入力は無視され、クロック (C) が Low から High に切り替わる時に出力が 0 になります。クロック イネーブル入力 (CE) が High の場合、クロックが Low から High に切り替わる時にカウンタがインクリメント (Q0 → Q1、Q1 → Q2 のようにシフト) します。CE が Low の場合、クロック遷移は無視されます。

このデザイン エLEMENTでは、Q7 の出力が反転されて入力 Q0 にフィードバックされ、連続したカウント処理が行われます。

電力を供給すると、カウンタは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバータを追加するとアクティブ Low にできます。

論理表

| 入力 | | | 出力 | |
|--|----|---|------|---------|
| R | CE | C | Q0 | Q1 - Q7 |
| 1 | X | ↑ | 0 | 0 |
| 0 | 0 | X | 変化なし | 変化なし |
| 0 | 1 | ↑ | !q7 | q0 - q6 |
| q = アクティブなクロック エッジの 1 セットアップ タイム前の対応する出力の値 | | | | |

デザインの入力方法

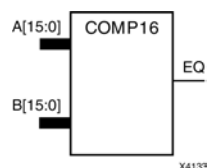
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリー データシート](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリー データシート](#)
- ・ [Spartan-3E FPGA ファミリー データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

COMP16

マクロ : 16-Bit Identity Comparator



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6
- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

このデザイン エLEMENTは、16 ビットのアイデンティティ コンパレータです。イコール出力 (EQ) は、A15 ~ A0 および B15 ~ B0 の 2 つのワードが等しいと High になります。

2 つのワードが等しいかどうかは、各ビットを比較して判断されます。各ワードの対応するビットのいずれかに等しくないものがある場合、EQ 出力は Low になります。

デザインの入力方法

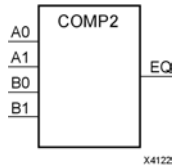
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリ データシート](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリ データシート](#)
- ・ [Spartan-3E FPGA ファミリ データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

COMP2

マクロ : 2-Bit Identity Comparator



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6
- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

このデザイン エLEMENTは、2 ビットのアイデンティティ コンパレータです。イコール出力 (EQ) は、A1 ~ A0 および B1 ~ B0 の 2 つのワードが等しいと High になります。

2 つのワードが等しいかどうかは、各ビットを比較して判断されます。各ワードの対応するビットのいずれかに等しくないものがある場合、EQ 出力は Low になります。

デザインの入力方法

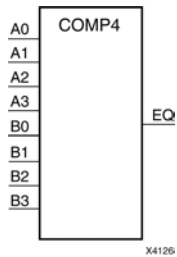
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリ データシート](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリ データシート](#)
- ・ [Spartan-3E FPGA ファミリ データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

COMP4

マクロ : 4-Bit Identity Comparator



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6
- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

このデザイン エLEMENTは、4 ビットのアイデンティティ コンパレータです。イコール出力 (EQ) は、A3 ~ A0 および B3 ~ B0 の 2 つのワードが等しいと High になります。

2 つのワードが等しいかどうかは、各ビットを比較して判断されます。各ワードの対応するビットのいずれかに等しくないものがある場合、EQ 出力は Low になります。

デザインの入力方法

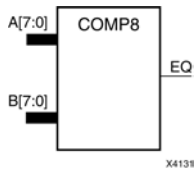
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリ データシート](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリ データシート](#)
- ・ [Spartan-3E FPGA ファミリ データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

COMP8

マクロ : 8-Bit Identity Comparator



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6
- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

このデザイン エLEMENTは、8 ビットのアイデンティティ コンパレータです。イコール出力 (EQ) は、A7 ~ A0 および B7 ~ B0 の 2 つのワードが等しいと High になります。

2 つのワードが等しいかどうかは、各ビットを比較して判断されます。各ワードの対応するビットのいずれかに等しくないものがある場合、EQ 出力は Low になります。

デザインの入力方法

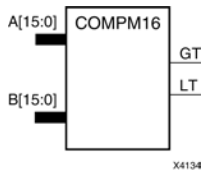
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリ データシート](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリ データシート](#)
- ・ [Spartan-3E FPGA ファミリ データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

COMPM16

マクロ : 16-Bit Magnitude Comparator



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6
- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

このデザイン エLEMENTは 16 ビットのマグニチュード コンパレータであり、2 つの正の 2 進重み付きワード A15 ~ A0 と B15 ~ B0 を比較します。この場合、A15 と B15 が最上位ビットです。

大なり出力 (GT) は $A > B$ のとき High になり、小なり出力 (LT) は $A < B$ のとき High になります。2 つのワードが等しいときは、GT と LT の両方が Low になります。このマクロで等価性を調べるには、両方の出力を NOR ゲートで比較します。

論理表

| 入力 | | | | | | | | 出力 | |
|-------|-------|-------|-------|-------|-------|-------|-------|----|----|
| A7、B7 | A6、B6 | A5、B5 | A4、B4 | A3、B3 | A2、B2 | A1、B1 | A0、B0 | GT | LT |
| A7>B7 | X | X | X | X | X | X | X | 1 | 0 |
| A7<B7 | X | X | X | X | X | X | X | 0 | 1 |
| A7=B7 | A6>B6 | X | X | X | X | X | X | 1 | 0 |
| A7=B7 | A6<B6 | X | X | X | X | X | X | 0 | 1 |
| A7=B7 | A6=B6 | A5>B5 | X | X | X | X | X | 1 | 0 |
| A7=B7 | A6=B6 | A5<B5 | X | X | X | X | X | 0 | 1 |
| A7=B7 | A6=B6 | A5=B5 | A4>B4 | X | X | X | X | 1 | 0 |
| A7=B7 | A6=B6 | A5=B5 | A4<B4 | X | X | X | X | 0 | 1 |
| A7=B7 | A6=B6 | A5=B5 | A4=B4 | A3>B3 | X | X | X | 1 | 0 |
| A7=B7 | A6=B6 | A5=B5 | A4=B4 | A3<B3 | X | X | X | 0 | 1 |
| A7=B7 | A6=B6 | A5=B5 | A4=B4 | A3=B3 | A2>B2 | X | X | 1 | 0 |
| A7=B7 | A6=B6 | A5=B5 | A4=B4 | A3=B3 | A2<B2 | X | X | 0 | 1 |
| A7=B7 | A6=B6 | A5=B5 | A4=B4 | A3=B3 | A2=B2 | A1>B1 | X | 1 | 0 |
| A7=B7 | A6=B6 | A5=B5 | A4=B4 | A3=B3 | A2=B2 | A1<B1 | X | 0 | 1 |
| A7=B7 | A6=B6 | A5=B5 | A4=B4 | A3=B3 | A2=B2 | A1=B1 | A0>B0 | 1 | 0 |
| A7=B7 | A6=B6 | A5=B5 | A4=B4 | A3=B3 | A2=B2 | A1=B1 | A0<B0 | 0 | 1 |
| A7=B7 | A6=B6 | A5=B5 | A4=B4 | A3=B3 | A2=B2 | A1=B1 | A0=B0 | 0 | 0 |

デザインの入力方法

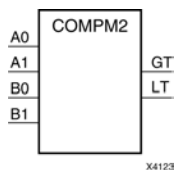
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリー データシート](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリー データシート](#)
- ・ [Spartan-3E FPGA ファミリー データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

COMPM2

マクロ : 2-Bit Magnitude Comparator



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6
- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

このデザイン エLEMENTは 2 ビットのマグニチュード コンパレータであり、2 つの正の 2 進重み付きワード A1 ~ A0 と B1 ~ B0 を比較します。この場合、A1 と B1 が最上位ビットです。

大なり出力 (GT) は $A > B$ のとき High になり、小なり出力 (LT) は $A < B$ のとき High になります。2 つのワードが等しいときは、GT と LT の両方が Low になります。このマクロで等価性を調べるには、両方の出力を NOR ゲートで比較します。

論理表

| 入力 | | | | 出力 | |
|----|----|----|----|----|----|
| A1 | B1 | A0 | B0 | GT | LT |
| 0 | 0 | 0 | 0 | 0 | 0 |
| 0 | 0 | 1 | 0 | 1 | 0 |
| 0 | 0 | 0 | 1 | 0 | 1 |
| 0 | 0 | 1 | 1 | 0 | 0 |
| 1 | 1 | 0 | 0 | 0 | 0 |
| 1 | 1 | 1 | 0 | 1 | 0 |
| 1 | 1 | 0 | 1 | 0 | 1 |
| 1 | 1 | 1 | 1 | 0 | 0 |
| 1 | 0 | X | X | 1 | 0 |
| 0 | 1 | X | X | 0 | 1 |

デザインの入力方法

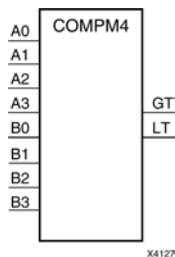
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリー データシート](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリー データシート](#)
- ・ [Spartan-3E FPGA ファミリー データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

COMPM4

マクロ : 4-Bit Magnitude Comparator



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6
- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

このデザイン エLEMENTは 4 ビットのマグニチュード コンパレータであり、2 つの正の 2 進重み付きワード A3 ~ A0 と B3 ~ B0 を比較します。この場合、A3 と B3 が最上位ビットです。

大なり出力 (GT) は $A > B$ のとき High になり、小なり出力 (LT) は $A < B$ のとき High になります。2 つのワードが等しいときは、GT と LT の両方が Low になります。このマクロで等価性を調べるには、両方の出力を NOR ゲートで比較します。

論理表

| 入力 | | | | 出力 | |
|-------|-------|-------|-------|----|----|
| A3、B3 | A2、B2 | A1、B1 | A0、B0 | GT | LT |
| A3>B3 | X | X | X | 1 | 0 |
| A3<B3 | X | X | X | 0 | 1 |
| A3=B3 | A2>B2 | X | X | 1 | 0 |
| A3=B3 | A2<B2 | X | X | 0 | 1 |
| A3=B3 | A2=B2 | A1>B1 | X | 1 | 0 |
| A3=B3 | A2=B2 | A1<B1 | X | 0 | 1 |
| A3=B3 | A2=A2 | A1=B1 | A0>B0 | 1 | 0 |
| A3=B3 | A2=B2 | A1=B1 | A0<B0 | 0 | 1 |
| A3=B3 | A2=B2 | A1=B1 | A0=B0 | 0 | 0 |

デザインの入力方法

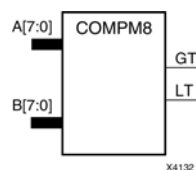
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリー データシート](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリー データシート](#)
- ・ [Spartan-3E FPGA ファミリー データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

COMPM8

マクロ : 8-Bit Magnitude Comparator



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6
- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

このデザイン エLEMENTは 8 ビットのマグニチュード コンパレータであり、2 つの正の 2 進重み付きワード A7 ~ A0 と B7 ~ B0 を比較します。この場合、A7 と B7 が最上位ビットです。

大なり出力 (GT) は $A > B$ のとき High になり、小なり出力 (LT) は $A < B$ のとき High になります。2 つのワードが等しいときは、GT と LT の両方が Low になります。このマクロで等価性を調べるには、両方の出力を NOR ゲートで比較します。

論理表

| 入力 | | | | | | | | 出力 | |
|-------|-------|-------|-------|-------|-------|-------|-------|----|----|
| A7、B7 | A6、B6 | A5、B5 | A4、B4 | A3、B3 | A2、B2 | A1、B1 | A0、B0 | GT | LT |
| A7>B7 | X | X | X | X | X | X | X | 1 | 0 |
| A7<B7 | X | X | X | X | X | X | X | 0 | 1 |
| A7=B7 | A6>B6 | X | X | X | X | X | X | 1 | 0 |
| A7=B7 | A6<B6 | X | X | X | X | X | X | 0 | 1 |
| A7=B7 | A6=B6 | A5>B5 | X | X | X | X | X | 1 | 0 |
| A7=B7 | A6=B6 | A5<B5 | X | X | X | X | X | 0 | 1 |
| A7=B7 | A6=B6 | A5=B5 | A4>B4 | X | X | X | X | 1 | 0 |
| A7=B7 | A6=B6 | A5=B5 | A4<B4 | X | X | X | X | 0 | 1 |
| A7=B7 | A6=B6 | A5=B5 | A4=B4 | A3>B3 | X | X | X | 1 | 0 |
| A7=B7 | A6=B6 | A5=B5 | A4=B4 | A3<B3 | X | X | X | 0 | 1 |
| A7=B7 | A6=B6 | A5=B5 | A4=B4 | A3=B3 | A2>B2 | X | X | 1 | 0 |
| A7=B7 | A6=B6 | A5=B5 | A4=B4 | A3=B3 | A2<B2 | X | X | 0 | 1 |
| A7=B7 | A6=B6 | A5=B5 | A4=B4 | A3=B3 | A2=B2 | A1>B1 | X | 1 | 0 |
| A7=B7 | A6=B6 | A5=B5 | A4=B4 | A3=B3 | A2=B2 | A1<B1 | X | 0 | 1 |
| A7=B7 | A6=B6 | A5=B5 | A4=B4 | A3=B3 | A2=B2 | A1=B1 | A0>B0 | 1 | 0 |
| A7=B7 | A6=B6 | A5=B5 | A4=B4 | A3=B3 | A2=B2 | A1=B1 | A0<B0 | 0 | 1 |
| A7=B7 | A6=B6 | A5=B5 | A4=B4 | A3=B3 | A2=B2 | A1=B1 | A0=B0 | 0 | 0 |

デザインの入力方法

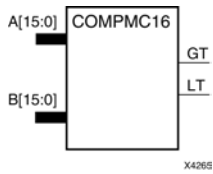
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリー データシート](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリー データシート](#)
- ・ [Spartan-3E FPGA ファミリー データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

COMPMC16

マクロ : 16-Bit Magnitude Comparator



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6

概要

このデザイン エLEMENTは 16 ビットのマグニチュード コンパレータであり、2 つの正の 2 進重み付きワード A15 ~ A0 と B15 ~ B0 を比較します。この場合、A15 と B15 が最上位ビットです。

このコンパレータは、キャリー ロジックと相対ロケーション制約を使用してインプリメントされているので、ロジックが効率よく配置されます。

大なり出力 (GT) は $A > B$ のとき High になり、小なり出力 (LT) は $A < B$ のとき High になります。2 つのワードが等しいときは、GT と LT の両方が Low になります。このマクロで等価性を調べるには、両方の出力を NOR ゲートに接続します。

論理表

| 入力 | | | | | | | | 出力 | |
|-------|-------|-------|-------|-------|-------|-------|-------|----|----|
| A7、B7 | A6、B6 | A5、B5 | A4、B4 | A3、B3 | A2、B2 | A1、B1 | A0、B0 | GT | LT |
| A7>B7 | X | X | X | X | X | X | X | 1 | 0 |
| A7<B7 | X | X | X | X | X | X | X | 0 | 1 |
| A7=B7 | A6>B6 | X | X | X | X | X | X | 1 | 0 |
| A7=B7 | A6<B6 | X | X | X | X | X | X | 0 | 1 |
| A7=B7 | A6=B6 | A5>B5 | X | X | X | X | X | 1 | 0 |
| A7=B7 | A6=B6 | A5<B5 | X | X | X | X | X | 0 | 1 |
| A7=B7 | A6=B6 | A5=B5 | A4>B4 | X | X | X | X | 1 | 0 |
| A7=B7 | A6=B6 | A5=B5 | A4<B4 | X | X | X | X | 0 | 1 |
| A7=B7 | A6=B6 | A5=B5 | A4=B4 | A3>B3 | X | X | X | 1 | 0 |
| A7=B7 | A6=B6 | A5=B5 | A4=B4 | A3<B3 | X | X | X | 0 | 1 |
| A7=B7 | A6=B6 | A5=B5 | A4=B4 | A3=B3 | A2>B2 | X | X | 1 | 0 |
| A7=B7 | A6=B6 | A5=B5 | A4=B4 | A3=B3 | A2<B2 | X | X | 0 | 1 |
| A7=B7 | A6=B6 | A5=B5 | A4=B4 | A3=B3 | A2=B2 | A1>B1 | X | 1 | 0 |
| A7=B7 | A6=B6 | A5=B5 | A4=B4 | A3=B3 | A2=B2 | A1<B1 | X | 0 | 1 |
| A7=B7 | A6=B6 | A5=B5 | A4=B4 | A3=B3 | A2=B2 | A1=B1 | A0>B0 | 1 | 0 |
| A7=B7 | A6=B6 | A5=B5 | A4=B4 | A3=B3 | A2=B2 | A1=B1 | A0<B0 | 0 | 1 |
| A7=B7 | A6=B6 | A5=B5 | A4=B4 | A3=B3 | A2=B2 | A1=B1 | A0=B0 | 0 | 0 |

デザインの入力方法

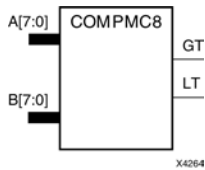
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリー データシート](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリー データシート](#)
- ・ [Spartan-3E FPGA ファミリー データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

COMPMC8

マクロ : 8-Bit Magnitude Comparator



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6
- ・ XC9500

概要

このデザイン エLEMENTは 8 ビットのマグニチュード コンパレータであり、2 つの正の 2 進重み付きワード A7 ~ A0 と B7 ~ B0 を比較します。この場合、A7 と B7 が最上位ビットです。

このコンパレータは、キャリー ロジックと相対ロケーション制約を使用してインプリメントされているので、ロジックが効率よく配置されます。

大なり出力 (GT) は $A > B$ のとき High になり、小なり出力 (LT) は $A < B$ のとき High になります。2 つのワードが等しいときは、GT と LT の両方が Low になります。このマクロで等価性を調べるには、両方の出力を NOR ゲートに接続します。

論理表

| 入力 | | | | | | | | 出力 | |
|-------|-------|-------|-------|-------|-------|-------|-------|----|----|
| A7、B7 | A6、B6 | A5、B5 | A4、B4 | A3、B3 | A2、B2 | A1、B1 | A0、B0 | GT | LT |
| A7>B7 | X | X | X | X | X | X | X | 1 | 0 |
| A7<B7 | X | X | X | X | X | X | X | 0 | 1 |
| A7=B7 | A6>B6 | X | X | X | X | X | X | 1 | 0 |
| A7=B7 | A6<B6 | X | X | X | X | X | X | 0 | 1 |
| A7=B7 | A6=B6 | A5>B5 | X | X | X | X | X | 1 | 0 |
| A7=B7 | A6=B6 | A5<B5 | X | X | X | X | X | 0 | 1 |
| A7=B7 | A6=B6 | A5=B5 | A4>B4 | X | X | X | X | 1 | 0 |
| A7=B7 | A6=B6 | A5=B5 | A4<B4 | X | X | X | X | 0 | 1 |
| A7=B7 | A6=B6 | A5=B5 | A4=B4 | A3>B3 | X | X | X | 1 | 0 |
| A7=B7 | A6=B6 | A5=B5 | A4=B4 | A3<B3 | X | X | X | 0 | 1 |
| A7=B7 | A6=B6 | A5=B5 | A4=B4 | A3=B3 | A2>B2 | X | X | 1 | 0 |
| A7=B7 | A6=B6 | A5=B5 | A4=B4 | A3=B3 | A2<B2 | X | X | 0 | 1 |
| A7=B7 | A6=B6 | A5=B5 | A4=B4 | A3=B3 | A2=B2 | A1>B1 | X | 1 | 0 |
| A7=B7 | A6=B6 | A5=B5 | A4=B4 | A3=B3 | A2=B2 | A1<B1 | X | 0 | 1 |
| A7=B7 | A6=B6 | A5=B5 | A4=B4 | A3=B3 | A2=B2 | A1=B1 | A0>B0 | 1 | 0 |
| A7=B7 | A6=B6 | A5=B5 | A4=B4 | A3=B3 | A2=B2 | A1=B1 | A0<B0 | 0 | 1 |
| A7=B7 | A6=B6 | A5=B5 | A4=B4 | A3=B3 | A2=B2 | A1=B1 | A0=B0 | 0 | 0 |

デザインの入力方法

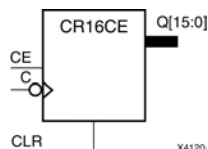
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリー データシート](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリー データシート](#)
- ・ [Spartan-3E FPGA ファミリー データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

CR16CE

マクロ : 16-Bit Negative-Edge Binary Ripple Counter with Clock Enable and Asynchronous Clear



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6
- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

このデザイン エLEMENTは、クロック イネーブルと非同期クリアがある、カスケード可能、クリア可能な 16 ビットのバイナリ リップル カウンタです。

1 段目の最後の Q 出力を次の段のクロック入力に接続し、CLR および CE 入力を並列に接続すると、より大型のカウンタを作成できます。クロック周期は、リップル カウンタ全体の長さの影響を受けません。クロック ピンと出力ピンの伝搬遅延は、 $n(t_c - q)$ です。ここで、 n は段数、時間 $n(t_c - q)$ は各段における C ピンと Qz ピン間の伝搬遅延を表します。

電力を供給すると、カウンタは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバータを追加するとアクティブ Low にできます。

論理表

| 入力 | | | 出力 |
|--------------|----|---|---------|
| CLR | CE | C | Qz : Q0 |
| 1 | X | X | 0 |
| 0 | 0 | X | 変化なし |
| 0 | 1 | ↓ | インクリメント |
| z = ビット幅 - 1 | | | |

デザインの入力方法

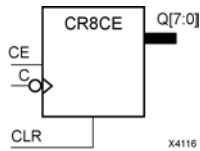
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリー データシート](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリー データシート](#)
- ・ [Spartan-3E FPGA ファミリー データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

CR8CE

マクロ : 8-Bit Negative-Edge Binary Ripple Counter with Clock Enable and Asynchronous Clear



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6
- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

このデザイン エLEMENTは、クロック イネーブルと非同期クリアがある、カスケード可能、クリア可能な 8 ビットのバイナリ リップル カウンタです。

非同期クリア (CLR) が High になると、ほかのすべての入力は無視され、Q 出力が 0 になります。クロック イネーブル入力 (CE) が High の場合、クロック (C) が High から Low に切り替わるときにカウンタがインクリメントします。CE が Low の場合、クロック遷移は無視されます。

1 段目の最後の Q 出力を次の段のクロック入力に接続し、CLR および CE 入力を並列に接続すると、より大型のカウンタを作成できます。クロック周期は、リップル カウンタ全体の長さの影響を受けません。クロック ピンと出力ピンの伝搬遅延は、 $n(t_c - q)$ です。ここで、 n は段数、時間 $n(t_c - q)$ は各段における C ピンと Q_z ピン間の伝搬遅延を表します。

電力を供給すると、カウンタは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバータを追加するとアクティブ Low にできます。

論理表

| 入力 | | | 出力 |
|--------------|----|---|---------|
| CLR | CE | C | Qz : Q0 |
| 1 | X | X | 0 |
| 0 | 0 | X | 変化なし |
| 0 | 1 | ↓ | インクリメント |
| z = ビット幅 - 1 | | | |

デザインの入力方法

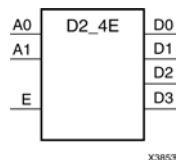
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリー データシート](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリー データシート](#)
- ・ [Spartan-3E FPGA ファミリー データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

D2_4E

マクロ : 2- to 4-Line Decoder/Demultiplexer with Enable



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6
- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

このデザイン エLEMENTは、デコーダ/デマルチプレクサです。イネーブル (E) 入力が高の場合、2 ビットのバイナリ アドレス (A1 ~ A0) 入力に応じて 4 つのアクティブ High の出力 (D3 ~ D0) のいずれかが High になります。それ以外の出力は、Low になります。E 入力が高の場合は、すべての出力が Low になります。デマルチプレクサ アプリケーションでは、E 入力が入力値になります。

論理表

| 入力 | | | 出力 | | | |
|----|----|---|----|----|----|----|
| A1 | A0 | E | D3 | D2 | D1 | D0 |
| X | X | 0 | 0 | 0 | 0 | 0 |
| 0 | 0 | 1 | 0 | 0 | 0 | 1 |
| 0 | 1 | 1 | 0 | 0 | 1 | 0 |
| 1 | 0 | 1 | 0 | 1 | 0 | 0 |
| 1 | 1 | 1 | 1 | 0 | 0 | 0 |

デザインの入力方法

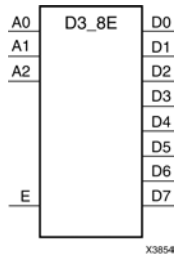
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリ データシート](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリ データシート](#)
- ・ [Spartan-3E FPGA ファミリ データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

D3_8E

マクロ : 3- to 8-Line Decoder/Demultiplexer with Enable



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6
- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

D3_8E デコーダ/デマルチプレクサのイネーブル (E) 入力が高の場合、3 ビットのバイナリ アドレス (A2 ~ A0) 入力によって 8 つのアクティブ High の出力 (D7 ~ D0) のいずれかが High になります。それ以外の出力は、Low になります。E 入力が高の場合は、すべての出力が Low になります。デマルチプレクサ アプリケーションでは、E 入力が入力値になります。

論理表

| 入力 | | | | 出力 | | | | | | | |
|----|----|----|---|----|----|----|----|----|----|----|----|
| A2 | A1 | A0 | E | D7 | D6 | D5 | D4 | D3 | D2 | D1 | D0 |
| X | X | X | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 0 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 |
| 0 | 0 | 1 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 |
| 0 | 1 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 0 |
| 0 | 1 | 1 | 1 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 0 |
| 1 | 0 | 0 | 1 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 0 |
| 1 | 0 | 1 | 1 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | 0 |
| 1 | 1 | 0 | 1 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 0 |
| 1 | 1 | 1 | 1 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

デザインの入力方法

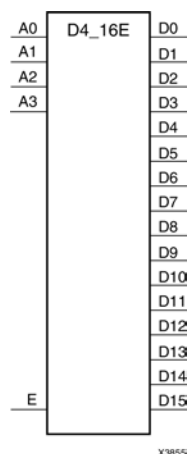
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリー データシート](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリー データシート](#)
- ・ [Spartan-3E FPGA ファミリー データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

D4_16E

マクロ : 4- to 16-Line Decoder/Demultiplexer with Enable



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6
- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

このデザイン エLEMENTは、デコーダ/デマルチプレクサです。D4_16E デコーダ/デマルチプレクサのイネーブル (E) 入力が高になると、4 ビットのバイナリ アドレス (A3 ~ A0) 入力に応じて 16 のアクティブ High の出力 (D15 ~ D0) のいずれかが High になります。それ以外の出力は、Low になります。E 入力が高の場合は、すべての出力が Low になります。デマルチプレクサ アプリケーションでは、E 入力が入力値になります。

デザインの入力方法

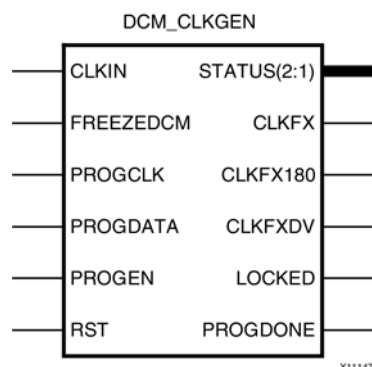
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリ データシート](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリ データシート](#)
- ・ [Spartan-3E FPGA ファミリ データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

DCM_CLKGEN

プリミティブ : Digital Clock Manager.



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

Spartan®-6

概要

Spartan®-6 デバイスには、8 ~ 10 個の DCM がデバイス中央列に PLL と共に配置されています。DCM (デジタル クロック マネージャ) では、柔軟性のある、完全なクロック周波数制御が供給され、クロック ネットワーク デスキュー、周波数合成、および位相シフトを含むアドバンス クロック機能を使用できます。

ポートの説明

| ポート名 | タイプ | 幅 | 機能 |
|-----------|-----|---|--|
| CLKFX | 出力 | 1 | 生成された出力クロック |
| CLKFXDV | 出力 | 1 | CLKFXDV_DIV 属性の分周値により分周された出力クロック。 メモ : CLKFX および CLKFXDV の位相は揃えられません。 |
| CLKFX180 | 出力 | 1 | CLKFX から 180 度位相がシフトされた出力クロック |
| CLKIN | 入力 | 1 | DCM にソース クロックを供給します。 フリーランニング オシレータ モードの場合は、DCM がロックしてフリーズしたら動作クロックの接続を解除することができます。その他のモードでは、フリーランニング クロックを供給し続ける必要があります。 |
| FREEZEDCM | 入力 | 1 | CLKIN 入力失われたときのタップ調整の変動を防ぎます。 |
| LOCKED | 出力 | 1 | DCM 操作が開始可能であることを示す DCM の同期出力 |
| PROGCLK | 入力 | 1 | M および/または D リコンフィギュレーションのクロック入力 |
| PROGDATA | 入力 | 1 | DCM の M (通倍) および/または D (分周) 値の再プログラム用データを供給するシリアル データ入力。この入力は、PROGCLK 入力に同期させる必要があります。 |
| PROGDONE | 出力 | 1 | M または D 値の再プログラミングが正しく完了したことを示すアクティブ High 出力 |
| PROGEN | 入力 | 1 | M/D 値を再プログラムする アクティブ High のイネーブル入力。この入力は、PROGCLK 入力に同期させる必要があります。 |

| ポート名 | タイプ | 幅 | 機能 |
|-------------|-----|---|---|
| RST | 入力 | 1 | DCM 回路をリセットします。RST 信号は、アクティブ High の非同期リセットです。RST 信号をアサートすると、すべての DCM 出力 (LOCKED 信号、ステータス信号、出力クロック) がソースクロックの 4 サイクル以内に Low になります。リセットは非同期であるため、ディアサート中にクロックの最後のサイクルが短いパルスになったり、デューティ サイクルが崩れたり、クロック間のスキューが調整される可能性があります。このため、デバイスをリコンフィギュレーションする場合や入力周波数を変更する場合は、RST ピンを使用する必要があります。RST 信号をディアサートすると、次の CLKIN サイクルに同期してクロックをロック状態にするプロセスが開始します。DCM がリセット後に正しくロックされるようにするには、CLKIN 信号が供給され、3 クロック サイクル以上安定するまで RST 信号をディアサートしておく必要があります。どのデザインでも、クロックが安定するまで DCM をリセットに保持する必要があります。コンフィギュレーションでは、GWE が解除されるまで DCM は自動的にリセット状態に保持されます。GSR が解除されたときにクロックが安定していれば、コンフィギュレーション後に DCM をリセットする必要はありません。 |
| STATUS[2:1] | 出力 | 2 | クロック ステータス出力 <ul style="list-style-type: none"> STATUS[1] : CLKIN の停止 STATUS[2] : CLKFX または CLKFX180 の停止 |

デザインの入力方法

| | |
|--------------------------|----|
| インスタンス化 | 可 |
| 推論 | 不可 |
| CORE Generator™ およびウィザード | 推奨 |
| マクロのサポート | 不可 |

このエレメントは、回路図で使用されます。

使用可能な属性

| 属性 | タイプ | 値 | デフォルト | 説明 |
|-------------------|--------------|--------------------|-----------|---|
| CLKFX_DIVIDE | 整数 | 1 ~ 256 | 1 | この値と入力周波数および CLKFX_MULTIPLY の値を組み合わせ、CLKFX および CLKFX180 の出力周波数が決定されます。 |
| CLKFXDV_DIVIDE | 整数 | 2、4、8、16、32 | 2 | CLKFXDV の分周値を指定します。 |
| CLKFX_MD_MAX | 3 上位ビット浮動小数点 | 0 ~ 256.000 | 0.000 | DCM_CLKGEN を変数 M および D 値で使用する、スタティック タイミング解析中に使用する M と D の最大比率を指定します。 |
| CLKFX_MULTIPLY | 整数 | 2 ~ 256 | 4 | この値と入力周波数および CLKFX_DIVIDE の値を組み合わせ、CLKFX および CLKFX180 の出力周波数が決定されます。 |
| CLKIN_PERIOD | 文字列 | 0 ビット文字列 | 10.0 | CLKFX/CLKFX180 出力のために DCM の調整を補助しロックにかかる時間を短縮するために使用するソースクロックの周期を指定します。 |
| DFS_BANDWIDTH | 文字列 | OPTIMIZED、HIGH、LOW | OPTIMIZED | プロセス、電圧、温度 (PVT) に対する DCM の周波数調整バンド幅を指定します。 |
| PROG_MD_BANDWIDTH | 文字列 | OPTIMIZED、HIGH、LOW | OPTIMIZED | M および D 値のプログラミング変更に対する DCM の周波数調整バンド幅を指定します。 |

| 属性 | タイプ | 値 | デフォルト | 説明 |
|-----------------|-------|---|-------|--|
| SPREAD_SPECTRUM | 文字列 | NONE、 CUSTOM、 LOW_EMISSION、 24_DOWN_SPREAD、 VIDEO_LINK_75、 CENTER_SPREAD、 VIDEO_LINK_90、 CENTER_SPREAD | NONE | スペクトラム拡散でサポートされるモードを指定します。周波数ホッピングを実現するには、適切な IP と共に使用する必要があります。 |
| STARTUP_WAIT | ブール代数 | FALSE、TRUE | FALSE | コンフィギュレーション DONE 信号を DCM LOCKED 信号が High になるまで遅らせます。 |

VHDL 記述 (インスタンスーション)

```
-- DCM_CLKGEN: Digital Clock Manager
--           Spartan-6
-- Xilinx HDL Libraries Guide, version 11.2

DCM_CLKGEN_inst : DCM_CLKGEN
generic map (
    CLKFXDV_DIVIDE => 2,          -- Specifies divide value for CLKFXDV.
    CLKFX_DIVIDE   => 1,          -- This value in conjunction with the input frequency and
                                -- CLKFX_MULTIPLY value determine the resultant output frequency for
                                -- the CLKFX and CLKFX180 outputs.
    CLKFX_MD_MAX   => 0.0,        -- When using the DCM_CLKGEN with variable M and D values, this would
                                -- specify the maximum ratio of M and D used during static timing
                                -- analysis to ensure proper timing of the DCM output.
    CLKFX_MULTIPLY => 4,          -- This value in conjunction with the input frequency and CLKFX_DIVIDE
                                -- value determine the resultant output frequency for the CLKFX and
                                -- CLKFX180 outputs.
    CLKIN_PERIOD   => "10.0",     -- This attribute specifies the source clock period which is used to
                                -- help the DCM adjust for the optimum CLKFX/CLKFX180 outputs and also
                                -- result in faster locking time.
    DFS_BANDWIDTH  => "OPTIMIZED", -- Specifies the frequency adjust bandwidth of the DCM due to PVT
    PROG_MD_BANDWIDTH => "OPTIMIZED", -- Specifies the frequency adjust bandwidth of the DCM due to change of
                                -- programming of the M and/o D values.
    SPREAD_SPECTRUM => "NONE",    -- Specify a supported mode for Spread Spectrum. Must be used in
                                -- conjunction with the appropriate IP in order to fully realize the
                                -- frequency hopping.
    STARTUP_WAIT   => FALSE       -- Delays configuration DONE signal until DCM LOCKED signal goes high.
)
port map (
    CLKFX      => CLKFX,          -- 1-bit Generated output clock.
    CLKFX180   => CLKFX180,      -- 1-bit Generated output clock 180 degree out of phase from CLKFX.
    CLKFXDV    => CLKFXDV,       -- 1-bit Divided output clock, Divide value derived from CLKFXDV_DIV attribute.
                                -- There is no phase alignment between CLKFX and CLKFXDV.
    LOCKED     => LOCKED,        -- 1-bit Synchronous output from the DCM that provides the user with an
                                -- indication the DCM is ready for operation.
    PROGDONE   => PROGDONE,      -- 1-bit Active high output to indicate the successful re-programming of an M
                                -- and/or D value.
    STATUS     => STATUS,        -- 2-bit Clock Status lines.
    CLKIN      => CLKIN,         -- 1-bit The source clock (CLKIN) input pin provides the source clock to the DCM.
                                -- In the case of Free-running oscillator mode, running clock needs to be
                                -- connected until DCM is locked and DCM is frozen, then clock can be removed. In
                                -- the other modes, a free running clock needs to be provided and remain.
    FREEZEDCM  => FREEZEDCM,     -- 1-bit Prevents tap adjustment drift in the event of a lost CLKIN input
    PROGCLK    => PROGCLK,       -- 1-bit Clock input for M and/or D reconfiguration.
    PROGDATA   => PROGDATA,     -- 1-bit Serial data input to supply information for the reprogramming of M
                                -- and/or D values of the DCM. This input must be applied synchronous to the
                                -- PROGCLK input.
    PROGEN     => PROGEN,        -- 1-bit Active high enable input for the reprogramming of M/D values. This input
                                -- must be applied synchronous to the PROGCLK input.
    RST        => RST            -- 1-bit Reset pin
)
```

```
);
-- End of DCM_CLKGEN_inst instantiation
```

Verilog 記述 (インスタンス化)

```
// DCM_CLKGEN: Digital Clock Manager
//          Spartan-6
// Xilinx HDL Language Template, version 11.1

DCM_CLKGEN #(
    .CLKFXDV_DIVIDE(2),           // Specifies divide value for CLKFXDV.
    .CLKFX_DIVIDE(1),            // This value in conjunction with the input frequency and CLKFX_MULTIPLY
                                // value determine the resultant output frequency for the CLKFX and
                                // CLKFX180 outputs.
    .CLKFX_MD_MAX(0.0),          // When using the DCM_CLKGEN with variable M and D values, this would
                                // specify the maximum ratio of M and D used during static timing
                                // analysis to ensure proper timing of the DCM output.
    .CLKFX_MULTIPLY(4),          // This value in conjunction with the input frequency and CLKFX_DIVIDE
                                // value determine the resultant output frequency for the CLKFX and
                                // CLKFX180 outputs.
    .CLKIN_PERIOD("10.0"),       // This attribute specifies the source clock period which is used to
                                // help the DCM adjust for the optimum CLKFX/CLKFX180 outputs and also
                                // result in faster locking time.
    .STARTUP_WAIT("FALSE")       // Delays configuration DONE signal until DCM LOCKED signal goes high.
)
DCM_CLKGEN_inst (
    .CLKFX(CLKFX),               // 1-bit Generated output clock.
    .CLKFX180(CLKFX180),         // 1-bit Generated output clock 180 degree out of phase from CLKFX.
    .CLKFXDV(CLKFXDV),           // 1-bit Divided output clock, Divide value derived from CLKFXDV_DIV attribute.
                                // There is no phase alignment between CLKFX and CLKFXDV.

    .LOCKED(LOCKED),             // 1-bit Synchronous output from the DCM that provides the user with an indication
                                // the DCM is ready for operation.

    .PROGDONE(PROGDONE),         // 1-bit Active high output to indicate the successful re-programming of an M
                                // and/or D value.

    .STATUS(STATUS),            // 2-bit Clock Status lines.
    .CLKIN(CLKIN),              // 1-bit The source clock (CLKIN) input pin provides the source clock to the DCM.
                                // In the case of Free-running oscillator mode, running clock needs to be
                                // connected until DCM is locked and DCM is frozen, then clock can be removed. In
                                // the other modes, a free running clock needs to be provided and remain.

    .FREEZEDCM(FREEZEDCM),      // 1-bit Prevents tap adjustment drift in the event of a lost CLKIN input
    .PROGCLK(PROGCLK),          // 1-bit Clock input for M and/or D reconfiguration.
    .PROGDATA(PROGDATA),        // 1-bit Serial data input to supply information for the reprogramming of M and/or
                                // D values of the DCM. This input must be applied synchronous to the PROGCLK
                                // input.

    .PROGEN(PROGEN),            // 1-bit Active high enable input for the reprogramming of M/D values. This input
                                // must be applied synchronous to the PROGCLK input.

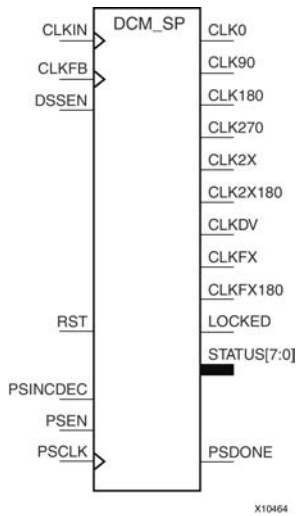
    .RST(RST)                   // 1-bit Reset pin
);
// End of DCM_CLKGEN_inst instantiation
```

詳細情報

- ・ [Spartan-6 FPGA クロック リソース ユーザー ガイド](#)
- ・ [Spartan-6 FPGA データシート : DC 特性およびスイッチ特性](#)

DCM_SP

プリミティブ : Digital Clock Manager



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- Spartan®-3
- Spartan-3A
- Spartan-3E
- Spartan-6

概要

このデザイン エLEMENTは、さまざまな機能を備えたデジタル クロック マネージャで、クロック遅延ロック ループ (DLL)、デジタル周波数合成 (DFS)、デジタル位相シフト (DPS) といった機能をインプリメントできます。DCM_SP は、オンチップおよびオフチップからのクロック遅延をなくしたり、データ キャプチャを向上するためにクロック位相をシフトしたり、異なる周波数のクロックを生成させる場合などに便利です。

ポートの説明

| ポート名 | タイプ | 幅 | 機能 |
|----------|-----|---|--|
| CLKDV | 出力 | 1 | CLK0 を分周したクロック。分周値はプログラム可能です。 |
| CLKFB | 入力 | 1 | DCM へのフィードバック クロック入力。フィードバック入力は DFS を単独で使用する場合以外で必要です。CLKFB のソースは DCM の CLK0 または CLK2X にする必要があります。 |
| CLKFX | 出力 | 1 | デジタル周波数合成 (DFS) 出力 |
| CLKFX180 | 出力 | 1 | CLKFX クロックが 180 度シフトされたクロック |
| CLKIN | 入力 | 1 | DCM のクロック入力 |
| CLK0 | 出力 | 1 | CLKIN と同じ周波数で、0 度位相シフトしたクロック |

| ポート名 | タイプ | 幅 | 機能 |
|-------------|-----|---|--|
| CLK2X | 出力 | 1 | CLKIN 周波数クロックを 2 倍したクロック、CLK0 と同相 |
| CLK2X180 | 出力 | 1 | CLK2X クロックが 180 度位相シフトされたクロック |
| CLK90 | 出力 | 1 | CLKIN と同じ周波数で、90 度位相シフトしたクロック |
| CLK180 | 出力 | 1 | CLKIN と同じ周波数で、180 度位相シフトしたクロック |
| CLK270 | 出力 | 1 | CLKIN と同じ周波数で、180 度位相シフトしたクロック |
| LOCKED | 出力 | 1 | DCM がロックしたことを示す信号 |
| PSCLK | 入力 | 1 | 位相シフトクロック入力。DCM 位相シフトのソースクロックを供給します。 |
| PSDONE | 出力 | 1 | 可変位相シフトが完了したことを示す出力信号 |
| PSEN | 入力 | 1 | 可変位相シフト イネーブル信号、PSCLK と同相 |
| PSINCDEC | 入力 | 1 | 位相シフト インクリメント/デクリメント (PSINCDEC) 入力信号は、PSCLK と同相である必要があります。この信号は、位相シフト係数をインクリメント/デクリメントするために使用します。信号が High の場合はインクリメント、Low の場合はデクリメントされます。 |
| RST | 入力 | 1 | DCM 回路をリセットします。RST 信号は、アクティブ High の非同期リセットです。 |
| STATUS[7:0] | 出力 | 8 | ステータス出力バスにより DCM のステータスが示されます。 <ul style="list-style-type: none"> STATUS[0] : 可変位相シフト オーバーフロー STATUS[1] : CLKIN の停止 STATUS[2] : CLKFX または CLKFX180 の停止 STATUS[7] : CLKFB の停止 STATUS[6:3] : 予約 |

デザインの入力方法

| | |
|--------------------------|----|
| インスタンス化 | 可 |
| 推論 | 不可 |
| CORE Generator™ およびウィザード | 推奨 |
| マクロのサポート | 不可 |

このエレメントは、回路図で使用されます。

使用可能な属性

| 属性 | タイプ | 値 | デフォルト | 説明 |
|--------------|------------------|--|-------|---|
| CLKDV_DIVIDE | 1 上位ビット FLOAT | 2.0、1.5、2.5、3.0、 3.5、4.0、4.5、5.0、 5.5、6.0、6.5、7.0、 7.5、8.0、9.0、10.0、 11.0、12.0、13.0、 14.0、15.0、16.0 | 2.0 | CLKDLL、CLKDLLE、CLKDLLHF、 DCM_SP のクロック分周器 (CLKDV 出力) の分周比を指定 |

| 属性 | タイプ | 値 | デフォルト | 説明 |
|--------------------|-------|--|--------------------|--|
| CLK_FEEDBACK | 文字列 | 1X、2X、NONE | 1X | DCM フィードバック モードを定義します。 ・ 1X : CLK0 をフィードバックにします。 ・ 2X : CLK2X をフィードバックにします。 |
| CLKFX_DIVIDE | 整数 | 1 ~ 32 | 1 | CLKFX 出力の分周比を指定 |
| CLKFX_MULTIPLY | 整数 | 2 ~ 32 | 4 | CLKFX 出力の通倍比を指定 |
| CLKIN_DIVIDE_BY_2 | ブール代数 | FALSE、TRUE | FALSE | CLKIN を 2 で分周 |
| CLKIN_PERIOD | 文字列 | 0 ビット文字列 | 10.0 | CLKIN 入力への入力周期を指定 (ns) |
| CLKOUT_PHASE_SHIFT | 文字列 | NONE、FIXED、VARIABLE | NONE | 位相シフト モードを指定 ・ NONE : 位相シフト機能なし。設定されている値は反映されません。 ・ FIXED : DCM の出力は CLKIN から決まった位相だけシフトされたものになります。値は PHASE_SHIFT 属性で指定されます。 ・ VARIABLE : DCM 出力が CLKIN に相対して正および負の範囲にシフトできます。開始値は PHASE_SHIFT 属性で指定されます。 |
| DESKEW_ADJUST | 文字列 | SYSTEM_SYNCHRONOUS、SOURCE_SYNCHRONOUS | SYSTEM_SYNCHRONOUS | DCM_SP クロック出力と FPGA のクロック入力ピン間のクロック遅延の配分に影響するコンフィギュレーション ビットを設定 |
| DLL_FREQUENCY_MODE | 文字列 | LOW、HIGH | LOW | AUTO モードでは DLL により自動的に周波数が検索され、DLL が LOW モードまたは HIGH モードで動作するかが決定されます。AUTO モードはレガシ属性です。HIGH および LOW が影響しないようなとき、常に AUTO モードが使用されます。 |
| DSS_MODE | 文字列 | NONE、SPREAD_2、SPREAD_4、SPREAD_6、SPREAD_8 | NONE | 出力クロックの周波数拡散を指定します。 ・ NONE : デフォルト。拡散係数が指定されていません。デジタル スペクトラム拡散はディスエーブルにされています。 ・ SPREAD_2 : 現時点のクロック周期 +/- 50ps のクロック周期を作成します。 ・ SPREAD_4 : 現時点のクロック周期 +/- 100ps のクロック周期を作成します。 ・ SPREAD_6 : 現時点のクロック周期 +/- 150ps のクロック周期を作成します。 ・ SPREAD_8 : 現時点のクロック周期 +/- 200ps のクロック周期を作成します。 SPREAD_# の数値が増えると、拡散は累積的に追加されます。たとえば、SPREAD_2 と |

| 属性 | タイプ | 値 | デフォルト | 説明 |
|-----------------------|-------|------------|-------|---|
| | | | | 指定すると、入力クロック周波数 $\pm 50\text{ps}$ の 2 つのクロック周波数が追加されます。SPREAD_4 と指定すると、さらに $\pm 100\text{ps}$ の 2 つのクロック周波数が追加されます。 |
| DUTY_CYCLE_CORRECTION | ブール代数 | TRUE、FALSE | TRUE | CLK0、CLK90、CLK180、CLK270 の各出力のデューティサイクルを修正 |
| PHASE_SHIFT | 整数 | -255 ~ 255 | 0 | 固定位相シフトを -255 ~ 255 の値に定義 |
| STARTUP_WAIT | ブール代数 | FALSE、TRUE | FALSE | DCM がロックされるまでコンフィギュレーション DONE を遅らせます。 |

VHDL 記述 (インスタンスエーション)

次の 2 つの構文が存在しない場合はコピーし、エンティティ宣言の前に貼り付けます。

```

Library UNISIM;
use UNISIM.vcomponents.all;

-- DCM_SP: Digital Clock Manager
--      Spartan-6
-- Xilinx HDL Libraries Guide, version 11.2

DCM_SP_inst : DCM_SP
generic map (
    CLKDV_DIVIDE => 2.0,
    CLKFX_DIVIDE => 1,
    CLKFX_MULTIPLY => 4,
    CLKIN_DIVIDE_BY_2 => FALSE,
    CLKIN_PERIOD => "10.0",
    CLKOUT_PHASE_SHIFT => "NONE",

    CLK_FEEDBACK => "1X",
    DESKEW_ADJUST => "SYSTEM_SYNCHRONOUS",
    DLL_FREQUENCY_MODE => "LOW",

    DSS_MODE => "NONE",
    DUTY_CYCLE_CORRECTION => TRUE,

    PHASE_SHIFT => 0,
    STARTUP_WAIT => FALSE
)
port map (
    CLK0 => CLK0,
    CLK180 => CLK180,
    CLK270 => CLK270,
    CLK2X => CLK2X,
    CLK2X180 => CLK2X180,
    CLK90 => CLK90,
    CLKDV => CLKDV,
    CLKFX => CLKFX,
    CLKFX180 => CLKFX180,
    LOCKED => LOCKED,
    PSDONE => PSDONE,
    STATUS => STATUS,
    CLKFB => CLKFB,
    -- 1-bit Same frequency as CLKIN, 0 degree phase shift.
    -- 1-bit Same frequency as CLKIN, 180 degree phase shift.
    -- 1-bit Same frequency as CLKIN, 180 degree phase shift.
    -- 1-bit Two times CLKIN frequency clock, aligned with CLK0.
    -- 1-bit 180 degree shifted version of the CLK2X clock.
    -- 1-bit Same frequency as CLKIN, 90 degree phase shift.
    -- 1-bit Divided version of CLK0. Divide value is programmable.
    -- 1-bit Digital Frequency Synthesizer output (DFS).
    -- 1-bit 180 degree shifted version of the CLKFX clock.
    -- 1-bit Signal indicating when the DCM has LOCKed.
    -- 1-bit Output signal that indicates variable phase shift is done.
    -- 8-bit DCM Status Bits
    -- 1-bit Feedback clock input to DCM. The feedback input is required unless the DFS
    -- is used stand-alone. The source of CLKFB must be CLK0 or CLK2X output from the
    -- Specifies the extent to which the CLKDLL, CLKDLLE, CLKDLLHF, or
    -- DCM_SP clock divider (CLKDV output) is to be frequency divided.
    -- Specifies the frequency divider value for the CLKFX output.
    -- Specifies the frequency multiplier value for the CLKFX output.
    -- Enables CLKIN divide by two features.
    -- Specifies the input period to the DCM_SP CLKIN input in ns.
    -- This attribute specifies the phase shift mode. NONE = No phase
    -- shift capability. Any set value has no effect. FIXED = DCM
    -- outputs are a fixed phase shift from CLKIN. Value is specified
    -- by PHASE_SHIFT attribute. VARIABLE = Allows the DCM outputs to
    -- be shifted in a positive and negative range relative to CLKIN.
    -- Starting value is specified by PHASE_SHIFT.
    -- Defines the DCM feedback mode. 1X: CLK0 as feedback 2X: CLK2X
    -- as feedback.
    -- Sets configuration bits affecting the clock delay alignment
    -- between the DCM_SP output clocks and an FPGA clock input pin.
    -- AUTO mode allows DLL to do automatic frequency search to decide
    -- whether DLL will operate in LOW or HIGH mode. This is a legacy
    -- attribute where the high and low value has no affect, it is
    -- always in auto mode.
    -- Corrects the duty cycle of the CLK0, CLK90, CLK180, and CLK270
    -- outputs.
    -- Defines the amount of fixed phase shift from -255 to 255
    -- Delays configuration DONE until DCM LOCK.

```

```

-- DCM.

CLKIN => CLKIN,      -- 1-bit Clock input for the DCM.
DSEN => DSEN,
PSCLK => PSCLK,      -- 1-bit Phase shift clock input. The PSCLK input pin provides the source clock for
-- the DCM phase shift.

PSEN => PSEN,        -- 1-bit Variable Phase Shift enable signal, synchronous with PSCLK.
PSINCDEC => PSINCDEC, -- 1-bit The phase shift increment/decrement (PSINCDEC) input signal must be
-- synchronous with PSCLK. The PSINCDEC signal is used to increment or decrement
-- the phase shift factor when PSEN is activated. The PSINCDEC is asserted HIGH for
-- increment and LOW for decrement.

RST => RST            -- 1-bit The reset input pin (RST) resets the DCM circuitry. The RST signal is an
-- active HIGH asynchronous reset.

);

-- End of DCM_SP_inst instantiation

```

Verilog 記述 (インスタンス化)

```

// DCM_SP: Digital Clock Manager Circuit
//      Spartan-3E/3A, Spartan-6
// Xilinx HDL Libraries Guide, version 11.2

DCM_SP #(
    .CLKDV_DIVIDE(2.0), // Divide by: 1.5,2.0,2.5,3.0,3.5,4.0,4.5,5.0,5.5,6.0,6.5
                        //      7.0,7.5,8.0,9.0,10.0,11.0,12.0,13.0,14.0,15.0 or 16.0
    .CLKFX_DIVIDE(1),  // Can be any integer from 1 to 32
    .CLKFX_MULTIPLY(4), // Can be any integer from 2 to 32
    .CLKIN_DIVIDE_BY_2("FALSE"), // TRUE/FALSE to enable CLKIN divide by two feature
    .CLKIN_PERIOD(0.0), // Specify period of input clock
    .CLKOUT_PHASE_SHIFT("NONE"), // Specify phase shift of NONE, FIXED or VARIABLE
    .CLK_FEEDBACK("1X"), // Specify clock feedback of NONE, 1X or 2X
    .DESKEW_ADJUST("SYSTEM_SYNCHRONOUS"), // SOURCE_SYNCHRONOUS, SYSTEM_SYNCHRONOUS or
                        // an integer from 0 to 15
    .DLL_FREQUENCY_MODE("LOW"), // HIGH or LOW frequency mode for DLL
    .DUTY_CYCLE_CORRECTION("TRUE"), // Duty cycle correction, TRUE or FALSE
    .PHASE_SHIFT(0), // Amount of fixed phase shift from -255 to 255
    .STARTUP_WAIT("FALSE") // Delay configuration DONE until DCM LOCK, TRUE/FALSE
) DCM_SP_inst (
    .CLK0(CLK0), // 0 degree DCM CLK output
    .CLK180(CLK180), // 180 degree DCM CLK output
    .CLK270(CLK270), // 270 degree DCM CLK output
    .CLK2X(CLK2X), // 2X DCM CLK output
    .CLK2X180(CLK2X180), // 2X, 180 degree DCM CLK out
    .CLK90(CLK90), // 90 degree DCM CLK output
    .CLKDV(CLKDV), // Divided DCM CLK out (CLKDV_DIVIDE)
    .CLKFX(CLKFX), // DCM CLK synthesis out (M/D)
    .CLKFX180(CLKFX180), // 180 degree CLK synthesis out
    .LOCKED(LOCKED), // DCM LOCK status output
    .PSDONE(PSDONE), // Dynamic phase adjust done output
    .STATUS(STATUS), // 8-bit DCM status bits output
    .CLKFB(CLKFB), // DCM clock feedback
    .CLKIN(CLKIN), // Clock input (from IBUFG, BUFG or DCM)
    .PSCLK(PSCLK), // Dynamic phase adjust clock input
    .PSEN(PSEN), // Dynamic phase adjust enable input
    .PSINCDEC(PSINCDEC), // Dynamic phase adjust increment/decrement
    .RST(RST) // DCM asynchronous reset input
);

// End of DCM_SP_inst instantiation

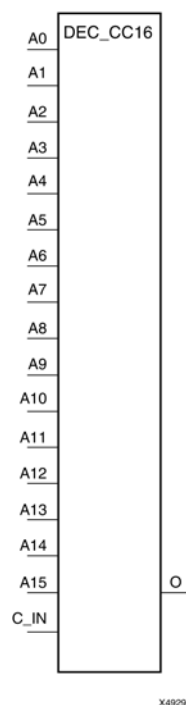
```

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリ データシート](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)
- ・ [Spartan-3E FPGA ファミリ データシート](#)
- ・ [Spartan-6 FPGA クロック リソース ユーザー ガイド](#)
- ・ [Spartan-6 FPGA データシート : DC 特性およびスイッチ特性](#)

DEC_CC16

マクロ : 16-Bit Active Low Decoder



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6

概要

このデザイン エLEMENTは、多入力デコーダ ファンクションを作成するために使用される 16 ビットのデコーダで、ルックアップ テーブル (LUT) で駆動される CY_MUX エLEMENTをカスケードしてインプリメントされます。C_IN ピンは、前段のデコードの出力 (O) によってのみ駆動されます。1 つ以上の入力 (A) が Low になると、出力が Low になります。すべての A 入力と C_IN 入力が High になると、出力が High になります。入力にインバータを追加すると、パターンをデコードできます。

論理表

| 入力 | | | | | 出力 |
|----|----|-----|----|------|----|
| A0 | A1 | ... | Az | C_IN | O |
| 1 | 1 | 1 | 1 | 1 | 1 |
| X | X | X | X | 0 | 0 |
| 0 | X | X | X | X | 0 |
| X | 0 | X | X | X | 0 |
| X | X | X | 0 | X | 0 |

DEC_CC4 の場合 $z = 3$ 、DEC_CC8 の場合 $z = 7$ 、DEC_CC16 の場合 $z = 15$

デザインの入力方法

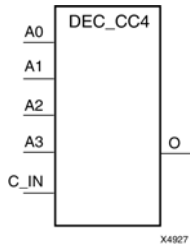
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリー データシート](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリー データシート](#)
- ・ [Spartan-3E FPGA ファミリー データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

DEC_CC4

マクロ : 4-Bit Active Low Decoder



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6

概要

このデザイン エLEMENTは、多入力デコーダ ファンクションを作成するために使用される 4 ビットのデコーダで、ルックアップ テーブル (LUT) で駆動される CY_MUX エLEMENTをカスケードしてインプリメントされます。C_IN ピンは、前段のデコードの出力 (O) によってのみ駆動されます。1 つ以上の入力 (A) が Low になると、出力が Low になります。すべての A 入力と C_IN 入力が High になると、出力が High になります。入力にインバータを追加すると、パターンをデコードできます。

論理表

| 入力 | | | | | 出力 |
|---|----|-----|----|------|----|
| A0 | A1 | ... | Az | C_IN | O |
| 1 | 1 | 1 | 1 | 1 | 1 |
| X | X | X | X | 0 | 0 |
| 0 | X | X | X | X | 0 |
| X | 0 | X | X | X | 0 |
| X | X | X | 0 | X | 0 |
| DEC_CC4 の場合 z = 3、DEC_CC8 の場合 z = 7、DEC_CC16 の場合 z = 15 | | | | | |

デザインの入力方法

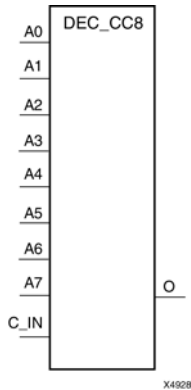
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリ データシート](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリ データシート](#)
- ・ [Spartan-3E FPGA ファミリ データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

DEC_CC8

マクロ : 8-Bit Active Low Decoder



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6

概要

このデザイン エLEMENTは、多入力デコーダ ファンクションを作成するために使用される 8 ビットのデコーダで、ルックアップ テーブル (LUT) で駆動される CY_MUX エLEMENTをカスケードしてインプリメントされます。C_IN ピンは、前段のデコードの出力 (O) によってのみ駆動されます。1 つ以上の入力 (A) が Low になると、出力が Low になります。すべての A 入力と C_IN 入力が High になると、出力が High になります。入力にインバータを追加すると、パターンをデコードできます。

論理表

| 入力 | | | | | 出力 |
|---|----|-----|----|------|----|
| A0 | A1 | ... | Az | C_IN | O |
| 1 | 1 | 1 | 1 | 1 | 1 |
| X | X | X | X | 0 | 0 |
| 0 | X | X | X | X | 0 |
| X | 0 | X | X | X | 0 |
| X | X | X | 0 | X | 0 |
| DEC_CC4 の場合 z = 3、DEC_CC8 の場合 z = 7、DEC_CC16 の場合 z = 15 | | | | | |

デザインの入力方法

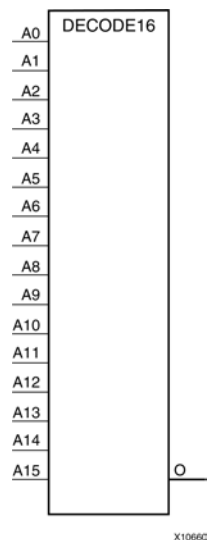
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリー データシート](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリー データシート](#)
- ・ [Spartan-3E FPGA ファミリー データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

DECODE16

マクロ : 16-Bit Active-Low Decoder



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Virtex-4

概要

このデザイン エLEMENTは、4 ビットのアクティブ Low デコーダで、LUT と MUXCY を組み合わせてインプリメントされます。

論理表

| 入力 | | | | 出力* |
|----|----|-----|----|-----|
| A0 | A1 | ... | Az | O |
| 1 | 1 | 1 | 1 | 1 |
| 0 | X | X | X | 0 |
| X | 0 | X | X | 0 |
| X | X | X | 0 | 0 |

z = ビット幅 -1

* 高駆動電流を達成するには、プルアップ抵抗を出力に接続する必要があります。

デザインの入力方法

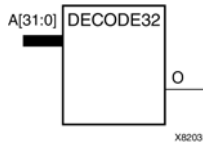
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリ データシート](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリ データシート](#)
- ・ [Spartan-3E FPGA ファミリ データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

DECODE32

マクロ : 32-Bit Active-Low Decoder



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan®-3A
- ・ Spartan®-3E
- ・ Virtex®-4

概要

このデザイン エLEMENTは、32 ビットのアクティブ Low デコーダで、LUT と MUXCY を組み合わせてインプリメントされます。

論理表

| 入力 | | | | 出力 |
|--|----|-----|----|----|
| A0 | A1 | ... | Az | O |
| 1 | 1 | 1 | 1 | 1 |
| 0 | X | X | X | 0 |
| X | 0 | X | X | 0 |
| X | X | X | 0 | 0 |
| DECODE32 の場合 $z = 31$ 、DECODE64 の場合 $z = 63$ | | | | |

デザインの入力方法

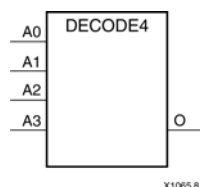
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリ データシート](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリ データシート](#)
- ・ [Spartan-3E FPGA ファミリ データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

DECODE4

マクロ : 4-Bit Active-Low Decoder



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Virtex-4

概要

このデザイン エLEMENTは、4 ビットのアクティブ Low デコーダで、LUT と MUXCY を組み合わせてインプリメントされます。

論理表

| 入力 | | | | 出力* |
|--|----|-----|----|-----|
| A0 | A1 | ... | Az | O |
| 1 | 1 | 1 | 1 | 1 |
| 0 | X | X | X | 0 |
| X | 0 | X | X | 0 |
| X | X | X | 0 | 0 |
| z = ビット幅 -1 | | | | |
| * 高駆動電流を達成するには、プルアップ抵抗を出力に接続する必要があります。 | | | | |

デザインの入力方法

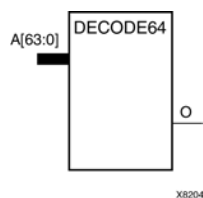
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリ データシート](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリ データシート](#)
- ・ [Spartan-3E FPGA ファミリ データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

DECODE64

マクロ : 64-Bit Active-Low Decoder



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan®-3A
- ・ Spartan®-3E
- ・ Virtex®-4

概要

このデザイン エLEMENTは、64 ビットのアクティブ Low デコーダで、LUT と MUXCY を組み合わせてインプリメントされます。

論理表

| 入力 | | | | 出力 |
|---|----|-----|----|----|
| A0 | A1 | ... | Az | O |
| 1 | 1 | 1 | 1 | 1 |
| 0 | X | X | X | 0 |
| X | 0 | X | X | 0 |
| X | X | X | 0 | 0 |
| DECODE32 の場合 z = 31、DECODE64 の場合 z = 63 | | | | |

デザインの入力方法

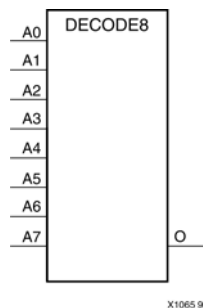
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリ データシート](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリ データシート](#)
- ・ [Spartan-3E FPGA ファミリ データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

DECODE8

マクロ : 8-Bit Active-Low Decoder



サポートされているアーキテクチャ

このデザイン エレメントは、次のアーキテクチャでのみサポートされます。

- ・ Spartan-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Virtex-4

概要

このデザイン エレメントは、8 ビットのアクティブ Low デコーダで、LUT と MUXCY を組み合わせてインプリメントされます。

論理表

| 入力 | | | | 出力* |
|--|----|-----|----|-----|
| A0 | A1 | ... | Az | O |
| 1 | 1 | 1 | 1 | 1 |
| 0 | X | X | X | 0 |
| X | 0 | X | X | 0 |
| X | X | X | 0 | 0 |
| z = ビット幅 -1 | | | | |
| * 高駆動電流を達成するには、プルアップ抵抗を出力に接続する必要があります。 | | | | |

デザインの入力方法

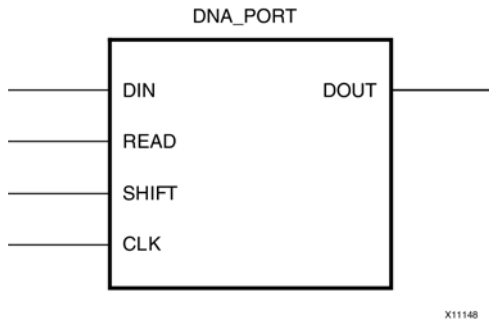
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリ データシート](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリ データシート](#)
- ・ [Spartan-3E FPGA ファミリ データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

DNA_PORT

プリミティブ : Device DNA Data Access Port



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3A
- ・ Spartan-6
- ・ Virtex®-6

概要

DNA_PORT を使用すると専用のシフトレジスタにアクセスできます。このシフトレジスタにはデバイスの Device DNA データビット (重複しない ID) が読み込まれます。このコンポーネントを使用すると、DNA データビットがシフトアウトできるだけでなく、補足データビットを含めたり、DNA データをロールオーバー (シフトアウト後の DNA データの反復) することもできます。このコンポーネントは主に FPGA ビットストリームの不正なコピー防止用に、ほかの回路と合わせて使用されます。

ポートの説明

| ポート名 | タイプ | 幅 | 機能 |
|-------|-----|---|------------------------|
| CLK | 入力 | 1 | シフトレジスタへの入力クロック |
| DIN | 入力 | 1 | シフトレジスタへのユーザー データ入力 |
| DOUT | 出力 | 1 | シリアル シフト出力レジスタ |
| READ | 入力 | 1 | シフトレジスタの同期ロード |
| SHIFT | 入力 | 1 | アクティブ High のシフトイネーブル入力 |

デザインの入力方法

| | |
|--------------------------|----|
| インスタンス化 | 可 |
| 推論 | 推奨 |
| CORE Generator™ およびウィザード | 不可 |
| マクロのサポート | 不可 |

このELEMENTは、回路図で使用されます。

正しく動作するように、入力および出力をすべてデザインに接続します。

Device DNA データにアクセスするにはまず、アクティブ High の READ 信号を 1 クロック サイクル間 High にしてシフトレジスタを読み込む必要があります。シフトレジスタが読み込まれると、アクティブ High の SHIFT 入力がいネーブルになり、DOUT 出力ポートからデータが取り込まれ、データが同期シフトアウトします。追加のデータがある場合は、適切なロジックを DIN ポートに接続すると、57 ビットのシフトレジスタの終わりに追加できます。DNA データをロールオーバーする場合は、DOUT ポートを直接 DIN ポートに接続し、57 ビットのシフト操作の後で同じデータがシフトアウトされるようにします。追加データが必要ない場合は、DIN ポートを論理値 0 に固定できます。属性 SIM_DNA_VALUE はオプションで、DNA データシーケンスをシミュレーションするように設定できます。デフォルトでは、シミュレーションモデルの Device DNA データビットはすべて 0 です。

使用可能な属性

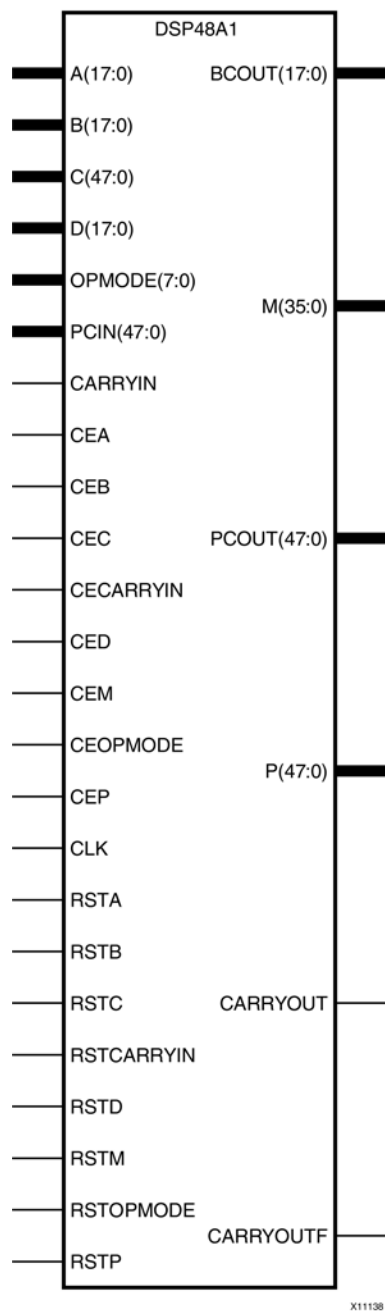
| 属性 | タイプ | 値 | デフォルト | 説明 |
|---------------|-------|---|-------------------------|---|
| SIM_DNA_VALUE | 16 進数 | 57'h00000000 0000000 ~ 57'h1fffffffff | 57'h00000000 0000000 | シミュレーションに使用する DNA 値を指定 (実際の値は使用デバイス特有) |

詳細情報

- ・ [Spartan-6 FPGA コンフィギュレーション ユーザー ガイド](#)
- ・ [Spartan-6 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリー データシート](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

DSP48A1

プリミティブ : Multi-Functional, Cascadable, 48-bit Output, Arithmetic Block



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

Spartan®-6

概要

このデザイン エLEMENTは、柔軟性が高い多用途のハード IP ブロックで、多くの DSP アルゴリズムで見られる小型で高速な演算処理を作成できます。このブロックでは、コンフィギュレーション可能な 18 ビットの加減算器に、18 X 18 符号付き乗算器、48 ビットの加減/アキュムレータが順に付けられています。このブロックには、コンフィギュレーション可能なパイプライン レジスタが数個含まれているため、追加されるレイテンシをトレードオフにする高速クロックを実現できます。OpMode ピンでは、ブロック操作を 1 クロック サイクルから次サイクルに変更でき、デザインに含まれる複数の演算ファンクションに 1 つのブロックを使用できます。さらに、複数の DSP48A1 ブロックをカスケード接続して大型の乗算および加算ファンクションを作成できます。

ポートの説明

| ポート名 | 方向 | 幅 | 機能 |
|-------------------|----|----|---|
| データ ポート | | | |
| A | 入力 | 18 | OPMODE[1:0] の値に従い乗算器または後置加減算器に送られる 18 ビット データ入力 |
| B | 入力 | 18 | OPMODE[3:0] の値に従い乗算器、前置加減算器、または後置加減算器に送られる 18 ビット データ入力 |
| C | 入力 | 48 | 後置加減算器への 48 ビット入力 |
| D | 入力 | 18 | 前置加減算器への 18 ビット入力 |
| CARRYIN | 入力 | 1 | 後置加減算器への外部キャリー入力。別の DSP48A1 ブロックの CARRYOUT ピンにのみ接続します。 |
| P | 出力 | 48 | プライマリ データ出力 |
| CARRYOUTF | 出力 | 1 | ファブリックに配線可能な後置加減算器の外部キャリー出力信号。 |
| CARRYOUT | 出力 | 1 | 後置加減算器の外部キャリー出力信号。別の DSP48A1 ブロックの CARRYIN ピンにのみ接続します。 |
| 制御入力 | | | |
| CLK | 入力 | 1 | DSP48A1 クロック |
| OPMODE | 入力 | 8 | DSP48A1 の演算処理を選択する制御入力 |
| リセット/クロック イネーブル入力 | | | |
| RSTA | 入力 | 1 | A ポートレジスタ (A0REG=1 または A1REG=1) のアクティブ High のリセットで、使用しない場合は論理値を 0 にします。このリセットは、RSTTYPE 属性の値に従い同期または非同期にコンフィギュレーションできます。 |
| RSTB | 入力 | 1 | B ポートレジスタ (B0REG=1 または B1REG=1) のアクティブ High のリセットで、使用しない場合は論理値を 0 にします。このリセットは、RSTTYPE 属性の値に従い同期または非同期にコンフィギュレーションできます。 |
| RSTC | 入力 | 1 | C ポートレジスタ (CREG=1) のアクティブ High のリセットで、使用しない場合は論理値を 0 にします。このリセットは、RSTTYPE 属性の値に従い同期または非同期にコンフィギュレーションできます。 |
| RSTD | 入力 | 1 | D ポートレジスタ (DREG=1) のアクティブ High のリセットで、使用しない場合は論理値を 0 にします。このリセットは、RSTTYPE 属性の値に従い同期または非同期にコンフィギュレーションできます。 |
| RSTM | 入力 | 1 | 乗算器レジスタ (MREG=1) のアクティブ High のリセットで、使用しない場合は論理値を 0 にします。このリセットは、RSTTYPE 属性の値に従い同期または非同期にコンフィギュレーションできます。 |

| ポート名 | 方向 | 幅 | 機能 |
|------------|----|----|---|
| RSTP | 入力 | 1 | P 出力レジスタ (PREG=1) のアクティブ High のリセットで、使用しない場合は論理値を 0 にします。このリセットは、RSTTYPE 属性の値に従い同期または非同期にコンフィギュレーションできます。 |
| RSTCARRYIN | 入力 | 1 | キャリー入力レジスタ (CARRYINREG =1) のアクティブ High のリセットで、使用しない場合は論理値を 0 にします。このリセットは、RSTTYPE 属性の値に従い同期または非同期にコンフィギュレーションできます。 |
| RSTOPMODE | 入力 | 1 | OPMODE レジスタ (OPMODEREG=1) のアクティブ High のリセットで、使用しない場合は論理値を 0 にします。このリセットは、RSTTYPE 属性の値に従い同期または非同期にコンフィギュレーションできます。 |
| CEA | 入力 | 1 | A ポートレジスタ (A0REG=1 または A1REG=1) のアクティブ High のクロック イネーブルで、使用しない場合と A0REG=1 または A1REG=1 の場合は論理値を 1 に、A0REG=0 または A1REG=0 の場合は論理値を 0 にします。 |
| CEB | 入力 | 1 | B ポートレジスタ (B0REG=1 または B1REG=1) のアクティブ High のクロック イネーブルで、使用しない場合と B0REG=1 または B1REG=1 の場合は論理値を 1 に、B0REG=0 または B1REG=0 の場合は論理値を 0 にします。 |
| CEC | 入力 | 1 | C ポートレジスタ (CREG=1) のアクティブ High のクロック イネーブルで、使用しない場合と CREG=1 の場合は論理値を 1 に、CREG=0 の場合は論理値を 0 にします。 |
| CED | 入力 | 1 | D ポートレジスタ (DREG=1) のアクティブ High のクロック イネーブルで、使用しない場合と DREG=1 の場合は論理値を 1 に、DREG=0 の場合は論理値を 0 にします。 |
| CEM | 入力 | 1 | 乗算レジスタ (MREG=1) のアクティブ High のクロック イネーブルで、使用しない場合と MREG=1 の場合は論理値を 1 に、MREG=0 の場合は論理値を 0 にします。 |
| CEP | 入力 | 1 | 出力ポートレジスタ (PREG=1) のアクティブ High のクロック イネーブルで、使用しない場合と PREG=1 の場合は論理値を 1 に、PREG=0 の場合は論理値を 0 にします。 |
| CECARRYIN | 入力 | 1 | キャリー入力レジスタ (CARRYINREG=1) のアクティブ High のクロック イネーブルで、使用しない場合と CARRYINREG=1 の場合は論理値を 1 に、CARRYINREG=0 の場合は論理値を 0 にします。 |
| CEOPMODE | 入力 | 1 | OPMODE 入力レジスタ (OPMODEREG=1) のアクティブ High のクロック イネーブルで、使用しない場合と OPMODEREG=1 の場合は論理値を 1 に、OPMODEREG=0 の場合は論理値を 0 にします。 |
| カスケード ポート | | | |
| PCIN | 入力 | 48 | ポート P のカスケード入力で、カスケード接続されている上位の DSP48A1 の PCOUT に接続します。使用しない場合は、ポートをすべてゼロにします。 |
| PCOUT | 出力 | 48 | ポート P のカスケード出力で、カスケード接続されている下位の DSP48A1 の PCIN に接続します。使用しない場合は未接続にします。 |
| BCOUT | 出力 | 18 | ポート B のカスケード出力で、カスケード接続されている下位の DSP48A1 の B ポートに接続します。使用しない場合は未接続にします。 |

デザインの入力方法

| | |
|--------------------------|----|
| インスタンス化 | 可 |
| 推論 | 推奨 |
| CORE Generator™ およびウィザード | 不可 |
| マクロのサポート | 不可 |

このELEMENTは、回路図で使用されます。

使用可能な属性

| 属性 | タイプ | 値 | デフォルト | 説明 |
|-------------|-----|-----------------|---------|---|
| A0REG | 整数 | 0、1 | 0 | 1 段目の A 入力にレジスタを付けるかを指定します。 |
| A1REG | 整数 | 1、0 | 1 | 2 段目の A 入力にレジスタを付けるかを指定します。 |
| B0REG | 整数 | 0、1 | 0 | 1 段目の B 入力にレジスタを付けるかを指定します。 |
| B1REG | 整数 | 1、0 | 1 | 2 段目の B 入力にレジスタを付けるかを指定します。 |
| CARRYINREG | 整数 | 1、0 | 1 | キャリー出力パイプラインレジスタの使用の有無を指定します。使用する場合は 1 に設定します。レジスタが付けられた出力には CARRYOUT および CARRYOUTF があります。 |
| CARRYINSEL | 文字列 | CARRYIN、OPMODE5 | OPMODE5 | 後置加減算器のキャリー入力信号を別の DSP48A1 の CARRYOUT ピンに接続されている CARRYIN ピンから送るか、OPMODE[5] 入力を使用して FPGA から直接制御するか指定します。 |
| CARRYOUTREG | 整数 | 1、0 | 1 | 出力パイプラインレジスタ。イネーブル = 1/ディスエーブル = 0 |
| CREG | 整数 | 1、0 | 1 | C 入力にレジスタを付けるかを指定します。 |
| DREG | 整数 | 1、0 | 1 | D 前置加算器入力パイプラインレジスタの使用の有無を指定します。使用する場合は 1 に設定します。 |
| MREG | 整数 | 1、0 | 1 | 乗算器の段にレジスタを付けるかを指定します。イネーブル = 1/ディスエーブル = 0 |
| OPMODEREG | 整数 | 1、0 | 1 | OPMODE 入力パイプラインレジスタの使用の有無を指定します。使用する場合は 1 に設定します。 |
| PREG | 整数 | 1、0 | 1 | C 入力にレジスタを付けるかを指定します。 |
| RSTTYPE | 文字列 | SYNC、ASYNC | SYNC | リセットすべてを同期リセットにするか非同期リセットにするかを指定します。タイミングの向上と回路の安定性の点から、非同期リセットが必要でない限り常に SYNC に設定してください。 |

VHDL 記述 (インスタンス化)

```

-- DSP48A1: Multi-Functional, Cascadable, 48-bit Output, Arithmetic Block
--          Spartan-6
-- Xilinx HDL Libraries Guide, version 11.2

DSP48A1_inst : DSP48A1
generic map (
  AOREG => 0,           -- Enable=1/disable=0 first stage A input pipeline register
  A1REG => 1,           -- Enable=1/disable=0 second stage A input pipeline register
  BOREG => 0,           -- Enable=1/disable=0 first stage B input pipeline register
  B1REG => 1,           -- Enable=1/disable=0 second stage B input pipeline register
  CARRYINREG => 1,      -- Enable=1/disable=0 CARRYIN input pipeline register
  CARRYINSEL => "OPMODE5", -- Specify carry-in source, "CARRYIN" or "OPMODE5"
  CARRYOUTREG => 1,    -- Enable=1/disable=0 CARRYOUT output pipeline register
  CREG => 1,           -- Enable=1/disable=0 C input pipeline register
  DREG => 1,           -- Enable=1/disable=0 D pre-adder input pipeline register
  MREG => 1,           -- Enable=1/disable=0 M pipeline register
  OPMODEREG => 1,      -- Enable=1/disable=0 OPMODE input pipeline registers
  PREG => 1,           -- Enable=1/disable=0 P output pipeline register
  RSTTYPE => "SYNC"    -- Specify reset type, "SYNC" or "ASYN"
)
port map (
  -- Cascade Ports: 18-bit (each) Cascade Ports
  BCOUT => BCOUT,      -- 18-bit B port cascade output
  PCOUT => PCOUT,      -- 48-bit cascade output
  -- Data Ports: 1-bit (each) Data Ports
  CARRYOUT => CARRYOUT, -- 1-bit carry output
  CARRYOUTF => CARRYOUTF, -- 1-bit fabric carry output
  M => M,              -- 36-bit fabric multiplier data output
  P => P,              -- 48-bit output
  -- Cascade Ports: 48-bit (each) Cascade Ports
  PCIN => PCIN,        -- 48-bit P cascade input
  -- Control Inputs: 1-bit (each) Control Inputs
  CLK => CLK,          -- 1-bit Clock input
  OPMODE => OPMODE,    -- 8-bit operation mode input
  -- Data Ports: 18-bit (each) Data Ports
  A => A,              -- 18-bit A data input
  B => B,              -- 18-bit B data input (can be connected to fabric or BCOUT of adjacent DSP48A1)
  C => C,              -- 48-bit C data input
  CARRYIN => CARRYIN,  -- 1-bit carry input signal
  D => D,              -- 18-bit B pre-adder data input
  -- Reset/Clock Enable Inputs: 1-bit (each) Reset/Clock Enable Inputs
  CEA => CEA,          -- 1-bit active high clock enable input for A input registers
  CEB => CEB,          -- 1-bit active high clock enable input for B input registers
  CEC => CEC,          -- 1-bit active high clock enable input for C input registers
  CECARRYIN => CECARRYIN, -- 1-bit active high clock enable input for CARRYIN registers
  CED => CED,          -- 1-bit active high clock enable input for D input registers
  CEM => CEM,          -- 1-bit active high clock enable input for multiplier registers
  CEOPMODE => CEOPMODE, -- 1-bit active high clock enable input for OPMODE registers
  CEP => CEP,          -- 1-bit active high clock enable input for P output registers
  RSTA => RSTA,        -- 1-bit reset input for A input pipeline registers
  RSTB => RSTB,        -- 1-bit reset input for B input pipeline registers
  RSTC => RSTC,        -- 1-bit reset input for C input pipeline registers
  RSTCARRYIN => RSTCARRYIN, -- 1-bit reset input for CARRYIN input pipeline registers
  RSTD => RSTD,        -- 1-bit reset input for D input pipeline registers
  RSTM => RSTM,        -- 1-bit reset input for M pipeline registers
  RSTOPMODE => RSTOPMODE, -- 1-bit reset input for OPMODE input pipeline registers
  RSTP => RSTP,        -- 1-bit reset input for P pipeline registers
);

-- End of DSP48A1_inst instantiation

```

Verilog 記述 (インスタンス化)

```
// DSP48A1: Multi-Functional, Cascadable, 48-bit Output, Arithmetic Block
//          Spartan-6
// Xilinx HDL Language Template, version 11.1

DSP48A1 #(
    .AOREG(0),           // Enable=1/disable=0 first stage A input pipeline register
    .AIREG(1),           // Enable=1/disable=0 second stage A input pipeline register
    .BOREG(0),           // Enable=1/disable=0 first stage B input pipeline register
    .BIREG(1),           // Enable=1/disable=0 second stage B input pipeline register
    .CARRYINREG(1),      // Enable=1/disable=0 CARRYIN input pipeline register
    .CARRYINSEL("OPMODE5"), // Specify carry-in source, "CARRYIN" or "OPMODE5"
    .CARRYOUTREG(1),     // Enable=1/disable=0 CARRYOUT output pipeline register
    .CREG(1),            // Enable=1/disable=0 C input pipeline register
    .DREG(1),            // Enable=1/disable=0 D pre-adder input pipeline register
    .MREG(1),            // Enable=1/disable=0 M pipeline register
    .OPMODEREG(1),       // Enable=1/disable=0 OPMODE input pipeline registers
    .PREG(1),            // Enable=1/disable=0 P output pipeline register
    .RSTTYPE("SYNC")     // Specify reset type, "SYNC" or "ASYN"
)
DSP48A1_inst (
    // Cascade Ports: 18-bit (each) Cascade Ports
    .BCOUT(BCOUT),       // 18-bit B port cascade output
    .PCOUT(PCOUT),       // 48-bit cascade output
    // Data Ports: 1-bit (each) Data Ports
    .CARRYOUT(CARRYOUT), // 1-bit carry output
    .CARRYOUTF(CARRYOUTF), // 1-bit fabric carry output
    .M(M),               // 36-bit fabric multiplier data output
    .P(P),               // 48-bit output
    // Cascade Ports: 48-bit (each) Cascade Ports
    .PCIN(PCIN),         // 48-bit P cascade input
    // Control Inputs: 1-bit (each) Control Inputs
    .CLK(CLK),           // 1-bit Clock input
    .OPMODE(OPMODE),     // 8-bit operation mode input
    // Data Ports: 18-bit (each) Data Ports
    .A(A),               // 18-bit A data input
    .B(B),               // 18-bit B data input (can be connected to fabric or BCOUT of adjacent DSP48A1)
    .C(C),               // 48-bit C data input
    .CARRYIN(CARRYIN),   // 1-bit carry input signal
    .D(D),               // 18-bit B pre-adder data input
    // Reset/Clock Enable Inputs: 1-bit (each) Reset/Clock Enable Inputs
    .CEA(CEA),           // 1-bit active high clock enable input for A input registers
    .CEB(CEB),           // 1-bit active high clock enable input for B input registers
    .CEC(CEC),           // 1-bit active high clock enable input for C input registers
    .CECARRYIN(CECARRYIN), // 1-bit active high clock enable input for CARRYIN registers
    .CED(CED),           // 1-bit active high clock enable input for D input registers
    .CEM(CEM),           // 1-bit active high clock enable input for multiplier registers
    .CEOPMODE(CEOPMODE), // 1-bit active high clock enable input for OPMODE registers
    .CEP(CEP),           // 1-bit active high clock enable input for P output registers
    .RSTA(RSTA),         // 1-bit reset input for A input pipeline registers
    .RSTB(RSTB),         // 1-bit reset input for B input pipeline registers
    .RSTC(RSTC),         // 1-bit reset input for C input pipeline registers
    .RSTCARRYIN(RSTCARRYIN), // 1-bit reset input for CARRYIN input pipeline registers
    .RSTD(RSTD),         // 1-bit reset input for D input pipeline registers
    .RSTM(RSTM),         // 1-bit reset input for M pipeline registers
    .RSTOPMODE(RSTOPMODE), // 1-bit reset input for OPMODE input pipeline registers
    .RSTP(RSTP),         // 1-bit reset input for P pipeline registers
);

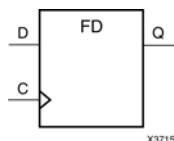
// End of DSP48A1_inst instantiation
```

詳細情報

- ・ [Spartan-6 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Spartan-6 FPGA DSP48A1 スライス ユーザー ガイド](#)

FD

Primitive: マクロ : D Flip-Flop



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6
- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

このデザイン エLEMENTは、データ入力 (D) とデータ出力 (Q) がある D フリップフロップです。D 入力の値は、クロック (C) が Low から High に切り替わるときにフリップフロップにロードされます。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバータを追加するとアクティブ Low にできます。

論理表

| 入力 | | 出力 |
|----|---|----|
| D | C | Q |
| 0 | ↑ | 0 |
| 1 | ↑ | 1 |

デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

使用可能な属性

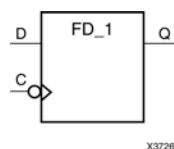
| 属性 | タイプ | 値 | デフォルト | 説明 |
|------|------|-----|-------|---------------------------|
| INIT | 2 進数 | 0、1 | 0 | コンフィギュレーション後の Q 出力の初期値を指定 |

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリ データシート](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリ データシート](#)
- ・ [Spartan-3E FPGA ファミリ データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

FD_1

プリミティブ : D Flip-Flop with Negative-Edge Clock



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6

概要

このデザイン エLEMENTは、データ入力 (D) とデータ出力 (Q) がある単一の D フリップフロップです。D 入力の値は、クロック (C) が High から Low に切り替わる時にフリップフロップにロードされます。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバータを追加するとアクティブ Low にできます。

論理表

| 入力 | | 出力 |
|----|---|----|
| D | C | Q |
| 0 | ↓ | 0 |
| 1 | ↓ | 1 |

デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

使用可能な属性

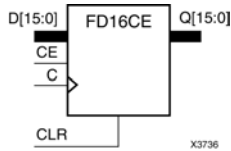
| 属性 | タイプ | 値 | デフォルト | 説明 |
|------|------|-----|-------|---------------------------|
| INIT | 2 進数 | 0、1 | 0 | コンフィギュレーション後の Q 出力の初期値を指定 |

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリ データシート](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリ データシート](#)
- ・ [Spartan-3E FPGA ファミリ データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

FD16CE

マクロ : 16-Bit Data Register with Clock Enable and Asynchronous Clear



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- Spartan®-3
- Spartan-3A
- Spartan-3E
- Spartan-6
- Virtex®-4
- Virtex-5
- Virtex-6
- XC9500
- CoolRunner™ XPLA3
- CoolRunner-II

概要

このデザイン エLEMENTは、クロック イネーブルと非同期クリアがある 16 ビットのデータレジスタです。クロック イネーブル (CE) が High、非同期クリア (CLR) が Low の場合、クロック (C) が Low から High に切り替わるときにデータ入力 (D) の値がデータ出力 (Q) に送られます。CLR が High になると、ほかの入力はすべて無視され、出力 (Q) が Low にリセットされます。CE が Low の場合、クロック遷移は無視されます。

電力を供給すると、レジスタは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバータを追加するとアクティブ Low にできます。

論理表

| 入力 | | | | 出力 |
|--------------|----|---------|---|---------|
| CLR | CE | Dz : D0 | C | Qz : Q0 |
| 1 | X | X | X | 0 |
| 0 | 0 | X | X | 変化なし |
| 0 | 1 | Dn | ↑ | Dn |
| z = ビット幅 - 1 | | | | |

デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

使用可能な属性

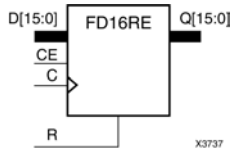
| 属性 | タイプ | 値 | デフォルト | 説明 |
|------|------|---------|-------|---------------------------|
| INIT | 2 進数 | 16 ビット値 | すべてゼロ | コンフィギュレーション後の Q 出力の初期値を指定 |

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリ データシート](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリ データシート](#)
- ・ [Spartan-3E FPGA ファミリ データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

FD16RE

マクロ : 16-Bit Data Register with Clock Enable and Synchronous Reset



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6
- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

このデザイン エLEMENTは、16 ビットのデータレジスタです。クロック イネーブル入力 (CE) が High、同期リセット入力 (R) が Low の場合、クロック (C) が Low から High に切り替わるときに入力 (D) の値が対応する出力 (Q) に送られます。R が High になると、ほかの入力はすべて無視され、クロックが Low から High に切り替わるときに出力 (Q) の値が Low にリセットされます。CE が Low の場合、クロック遷移は無視されます。

電力を供給すると、レジスタは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバータを追加するとアクティブ Low にできます。

論理表

| 入力 | | | | 出力 |
|--------------|----|---------|---|---------|
| R | CE | Dz : D0 | C | Qz : Q0 |
| 1 | X | X | ↑ | 0 |
| 0 | 0 | X | X | 変化なし |
| 0 | 1 | Dn | ↑ | Dn |
| z = ビット幅 - 1 | | | | |

デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

使用可能な属性

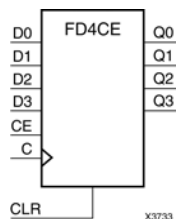
| 属性 | タイプ | 値 | デフォルト | 説明 |
|------|------|---------|-------|---------------------------|
| INIT | 2 進数 | 16 ビット値 | すべてゼロ | コンフィギュレーション後の Q 出力の初期値を指定 |

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリ データシート](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリ データシート](#)
- ・ [Spartan-3E FPGA ファミリ データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

FD4CE

マクロ : 4-Bit Data Register with Clock Enable and Asynchronous Clear



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6
- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

このデザイン エLEMENTは、クロック イネーブルと非同期クリアがある 4 ビットのデータレジスタです。クロック イネーブル (CE) が High、非同期クリア (CLR) が Low の場合、クロック (C) が Low から High に切り替わるときにデータ入力 (D) の値がデータ出力 (Q) に送られます。CLR が High になると、ほかの入力はすべて無視され、出力 (Q) が Low にリセットされます。CE が Low の場合、クロック遷移は無視されます。

電力を供給すると、レジスタは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバータを追加するとアクティブ Low にできます。

論理表

| 入力 | | | | 出力 |
|--------------|----|---------|---|---------|
| CLR | CE | Dz : D0 | C | Qz : Q0 |
| 1 | X | X | X | 0 |
| 0 | 0 | X | X | 変化なし |
| 0 | 1 | Dn | ↑ | Dn |
| z = ビット幅 - 1 | | | | |

デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

使用可能な属性

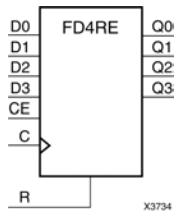
| 属性 | タイプ | 値 | デフォルト | 説明 |
|------|------|--------|-------|---------------------------|
| INIT | 2 進数 | 4 ビット値 | すべてゼロ | コンフィギュレーション後の Q 出力の初期値を指定 |

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリー データシート](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリー データシート](#)
- ・ [Spartan-3E FPGA ファミリー データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

FD4RE

マクロ : 4-Bit Data Register with Clock Enable and Synchronous Reset



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- Spartan®-3
- Spartan-3A
- Spartan-3E
- Spartan-6
- Virtex®-4
- Virtex-5
- Virtex-6
- XC9500
- CoolRunner™ XPLA3
- CoolRunner-II

概要

このデザイン エLEMENTは、4 ビットのデータレジスタです。クロック イネーブル入力 (CE) が High、同期リセット入力 (R) が Low の場合、クロック (C) が Low から High に切り替わるときに入力 (D) の値が対応する出力 (Q) に送られます。R が High になると、ほかの入力はすべて無視され、クロックが Low から High に切り替わるときに出力 (Q) の値が Low にリセットされます。CE が Low の場合、クロック遷移は無視されます。

電力を供給すると、レジスタは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスで PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバータを追加するとアクティブ Low にできます。

論理表

| 入力 | | | | 出力 |
|--------------|----|---------|---|---------|
| R | CE | Dz : D0 | C | Qz : Q0 |
| 1 | X | X | ↑ | 0 |
| 0 | 0 | X | X | 変化なし |
| 0 | 1 | Dn | ↑ | Dn |
| z = ビット幅 - 1 | | | | |

デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

使用可能な属性

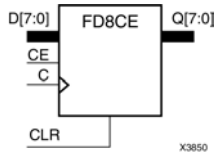
| 属性 | タイプ | 値 | デフォルト | 説明 |
|------|------|--------|-------|---------------------------|
| INIT | 2 進数 | 4 ビット値 | すべてゼロ | コンフィギュレーション後の Q 出力の初期値を指定 |

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリー データシート](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリー データシート](#)
- ・ [Spartan-3E FPGA ファミリー データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

FD8CE

マクロ : 8-Bit Data Register with Clock Enable and Asynchronous Clear



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6
- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

このデザイン エLEMENTは、クロック イネーブルと非同期クリアがある 8 ビットのデータレジスタです。クロック イネーブル (CE) が High、非同期クリア (CLR) が Low の場合、クロック (C) が Low から High に切り替わるときにデータ入力 (D) の値がデータ出力 (Q) に送られます。CLR が High になると、ほかの入力はすべて無視され、出力 (Q) が Low にリセットされます。CE が Low の場合、クロック遷移は無視されます。

電力を供給すると、レジスタは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバータを追加するとアクティブ Low にできます。

論理表

| 入力 | | | | 出力 |
|--------------|----|---------|---|---------|
| CLR | CE | Dz : D0 | C | Qz : Q0 |
| 1 | X | X | X | 0 |
| 0 | 0 | X | X | 変化なし |
| 0 | 1 | Dn | ↑ | Dn |
| z = ビット幅 - 1 | | | | |

デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

使用可能な属性

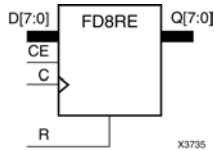
| 属性 | タイプ | 値 | デフォルト | 説明 |
|------|------|--------|-------|---------------------------|
| INIT | 2 進数 | 8 ビット値 | すべてゼロ | コンフィギュレーション後の Q 出力の初期値を指定 |

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリ データシート](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリ データシート](#)
- ・ [Spartan-3E FPGA ファミリ データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

FD8RE

マクロ : 8-Bit Data Register with Clock Enable and Synchronous Reset



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6
- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

このデザイン エLEMENTは、8 ビットのデータレジスタです。クロック イネーブル入力 (CE) が High、同期リセット入力 (R) が Low の場合、クロック (C) が Low から High に切り替わるときに入力 (D) の値が対応する出力 (Q) に送られます。R が High になると、ほかの入力はすべて無視され、クロックが Low から High に切り替わるときに出力 (Q) の値が Low にリセットされます。CE が Low の場合、クロック遷移は無視されます。

電力を供給すると、レジスタは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバータを追加するとアクティブ Low にできます。

論理表

| 入力 | | | | 出力 |
|--------------|----|---------|---|---------|
| R | CE | Dz : D0 | C | Qz : Q0 |
| 1 | X | X | ↑ | 0 |
| 0 | 0 | X | X | 変化なし |
| 0 | 1 | Dn | ↑ | Dn |
| z = ビット幅 - 1 | | | | |

デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

使用可能な属性

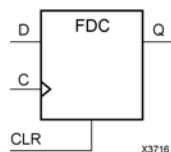
| 属性 | タイプ | 値 | デフォルト | 説明 |
|------|------|--------|-------|---------------------------|
| INIT | 2 進数 | 8 ビット値 | すべてゼロ | コンフィギュレーション後の Q 出力の初期値を指定 |

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリ データシート](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリ データシート](#)
- ・ [Spartan-3E FPGA ファミリ データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

FDC

Primitive: マクロ : D Flip-Flop with Asynchronous Clear



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6
- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

このデザイン エLEMENTは、データ入力 (D)、非同期クリア入力 (CLR)、データ出力 (Q) がある単一の D フリップフロップです。非同期 CLR が High になると、ほかのすべての入力は無視され、Q 出力が Low になります。CLR が Low の場合、クロックが Low から High に切り替わるときに D 入力の値がフリップフロップにロードされます。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバータを追加するとアクティブ Low にできます。

論理表

| 入力 | | | 出力 |
|-----|---|---|----|
| CLR | D | C | Q |
| 1 | X | X | 0 |
| 0 | D | ↑ | D |

デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

使用可能な属性

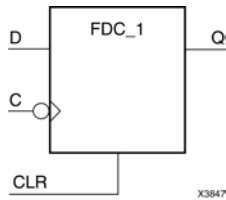
| 属性 | タイプ | 値 | デフォルト | 説明 |
|------|------|-----|-------|---------------------------|
| INIT | 2 進数 | 0、1 | 0 | コンフィギュレーション後の Q 出力の初期値を指定 |

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリー データシート](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリー データシート](#)
- ・ [Spartan-3E FPGA ファミリー データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

FDC_1

プリミティブ : D Flip-Flop with Negative-Edge Clock and Asynchronous Clear



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6
- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

FDC_1 は、入力 (D)、非同期クリア入力 (CLR)、出力 (Q) がある単一の D タイプ フリップフロップです。非同期 CLR が High になると、ほかのすべての入力は無視され、Q 出力が Low になります。D 入力の値は、クロック (C) が High から Low に切り替わる時にフリップフロップにロードされます。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスで PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバータを追加するとアクティブ Low にできます。

論理表

| 入力 | | | 出力 |
|-----|---|---|----|
| CLR | D | C | Q |
| 1 | X | X | 0 |
| 0 | D | ↓ | D |

デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

使用可能な属性

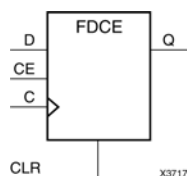
| 属性 | タイプ | 値 | デフォルト | 説明 |
|------|------|-----|-------|---------------------------|
| INIT | 2 進数 | 0、1 | 0 | コンフィギュレーション後の Q 出力の初期値を指定 |

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリ データシート](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリ データシート](#)
- ・ [Spartan-3E FPGA ファミリ データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

FDCE

プリミティブ : D Flip-Flop with Clock Enable and Asynchronous Clear



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6
- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

このデザイン エLEMENTは、クロック イネーブルと非同期クリアがある単一の D タイプ フリップフロップです。クロック イネーブル (CE) が High、非同期クリア (CLR) が Low の場合、クロック (C) が Low から High に切り替わるときにデータ入力 (D) の値がデータ出力 (Q) に送られます。CLR が High になると、ほかのすべての入力は無視され、出力 (Q) の値が Low にリセットされます。CE が Low の場合、クロック遷移は無視されます。

XC9500XL および XC9500XV デバイスの場合、クロック イネーブル入力 (CE) に接続されたロジックは、マクロセルのクロック イネーブル積項を使用してインプリメントできます。ただし、ほかのマクロセルからのフィードバックなしで、CE に使用可能な積項を 1 つ使用してロジックを完全にインプリメントできることが条件となります。クロック イネーブル積項を利用できるフリップフロップ プリミティブは、FDCE と FDPE のみです。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバータを追加するとアクティブ Low にできます。

論理表

| 入力 | | | | 出力 |
|-----|----|---|---|------|
| CLR | CE | D | C | Q |
| 1 | X | X | X | 0 |
| 0 | 0 | X | X | 変化なし |
| 0 | 1 | D | ↑ | D |

デザインの入力方法

| | |
|--------------------------|----|
| インスタンス化 | 可 |
| 推論 | 推奨 |
| CORE Generator™ およびウィザード | 不可 |
| マクロのサポート | 不可 |

このELEMENTは、回路図で使用されます。

使用可能な属性

| 属性 | タイプ | 値 | デフォルト | 説明 |
|------|------|---|-------|---|
| INIT | 2 進数 | 0 | 0 | コンフィギュレーション後の Q 出力の初期値を指定。 Spartan®-6 デバイスでは、INIT 値とセットまたはリセットの極性を常に一致させる必要があります。FDCE の場合、INIT 値は 0 である必要があります。1 に設定する場合は、この動作を表す非同期回路を作成する必要がありますが、ザイリンクスでは推奨されていません。 |

VHDL 記述 (インスタンス化)

次の 2 つの構文が存在しない場合はコピーし、エンティティ宣言の前に貼り付けます。

```
Library UNISIM;
use UNISIM.vcomponents.all;

-- FDCE: Single Data Rate D Flip-Flop with Asynchronous Clear and
--       Clock Enable (posedge clk). All families.
-- Xilinx HDL Libraries Guide, version 11.2

FDCE_inst : FDCE
generic map (
  INIT => '0') -- Initial value of register ('0' or '1')
port map (
  Q => Q,      -- Data output
  C => C,      -- Clock input
  CE => CE,    -- Clock enable input
  CLR => CLR,  -- Asynchronous clear input
  D => D      -- Data input
);

-- End of FDCE_inst instantiation
```

Verilog 記述 (インスタンス化)

```
// FDCE: Single Data Rate D Flip-Flop with Asynchronous Clear and
//       Clock Enable (posedge clk).
//       All families.
// Xilinx HDL Libraries Guide, version 11.2

FDCE #(
  .INIT(1'b0) // Initial value of register (1'b0 or 1'b1)
) FDCE_inst (
  .Q(Q),      // Data output
  .C(C),      // Clock input
  .CE(CE),    // Clock enable input
  .CLR(CLR),  // Asynchronous clear input
  .D(D)       // Data input
);
```

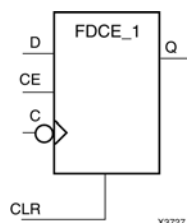
```
// End of FDCE_inst instantiation
```

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリー データシート](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)
- ・ [Spartan-3E FPGA ファミリー データシート](#)
- ・ [Spartan-6 FPGA コンフィギュラブル ロジック ブロック ユーザー ガイド](#)
- ・ [Spartan-6 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

FDCE_1

プリミティブ : D Flip-Flop with Negative-Edge Clock, Clock Enable, and Asynchronous Clear



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6

概要

このデザイン エLEMENTは、データ (D)、クロック イネーブル (CE)、非同期クリア (CLR) の各入力とデータ出力 (Q) のある単一の D タイプ フリップフロップです。非同期 CLR が High になると、ほかのすべての入力は無視され、Q 出力が Low になります。CLR が Low、CE が High の場合、クロック (C) が High から Low に切り替わるときに D 入力の値がフリップフロップにロードされます。CE が Low の場合、クロック遷移は無視されます。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスで PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバータを追加するとアクティブ Low にできます。

論理表

| 入力 | | | | 出力 |
|-----|----|---|---|------|
| CLR | CE | D | C | Q |
| 1 | X | X | X | 0 |
| 0 | 0 | X | X | 変化なし |
| 0 | 1 | D | ↓ | D |

デザインの入力方法

| | |
|--------------------------|----|
| インスタンス化 | 可 |
| 推論 | 推奨 |
| CORE Generator™ およびウィザード | 不可 |
| マクロのサポート | 不可 |

このエレメントは、回路図で使用されます。

使用可能な属性

| 属性 | タイプ | 値 | デフォルト | 説明 |
|------|------|-----|-------|---------------------------|
| INIT | 2 進数 | 0、1 | 0 | コンフィギュレーション後の Q 出力の初期値を指定 |

VHDL 記述 (インスタンス化)

次の 2 つの構文が存在しない場合はコピーし、エンティティ宣言の前に貼り付けます。

```
Library UNISIM;
use UNISIM.vcomponents.all;

-- FDCE_1: Single Data Rate D Flip-Flop with Asynchronous Clear and
--          Clock Enable (negedge clock). All families.
-- Xilinx HDL Libraries Guide, version 11.2

FDCE_1_inst : FDCE_1
generic map (
    INIT => '0') -- Initial value of register ('0' or '1')
port map (
    Q => Q,      -- Data output
    C => C,      -- Clock input
    CE => CE,    -- Clock enable input
    CLR => CLR,  -- Asynchronous clear input
    D => D      -- Data input
);

-- End of FDCE_1_inst instantiation
```

Verilog 記述 (インスタンス化)

```
// FDCE_1: Single Data Rate D Flip-Flop with Asynchronous Clear and
//          Clock Enable (negedge clock).
//          All families.
// Xilinx HDL Libraries Guide, version 11.2

FDCE_1 #(
    .INIT(1'b0) // Initial value of register (1'b0 or 1'b1)
) FDCE_1_inst (
    .Q(Q),      // Data output
    .C(C),      // Clock input
    .CE(CE),    // Clock enable input
    .CLR(CLR),  // Asynchronous clear input
    .D(D)       // Data input
);

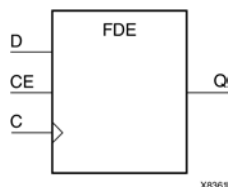
// End of FDCE_1_inst instantiation
```

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリ データシート](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリ データシート](#)
- ・ [Spartan-3E FPGA ファミリ データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

FDE

プリミティブ : D Flip-Flop with Clock Enable



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6

概要

このデザイン エLEMENTは、データ入力 (D)、クロック イネーブル (CE)、データ出力 (Q) がある単一の D フリップフロップです。クロック イネーブルが High の場合、クロック (C) が Low から High に切り替わるときに D 入力の値がフリップフロップにロードされます。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバータを追加するとアクティブ Low にできます。

論理表

| 入力 | | | 出力 |
|----|---|---|------|
| CE | D | C | Q |
| 0 | X | X | 変化なし |
| 1 | 0 | ↑ | 0 |
| 1 | 1 | ↑ | 1 |

デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

使用可能な属性

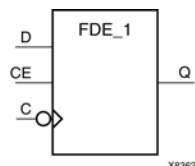
| 属性 | タイプ | 値 | デフォルト | 説明 |
|------|------|-----|-------|---------------------------|
| INIT | 2 進数 | 0、1 | 0 | コンフィギュレーション後の Q 出力の初期値を指定 |

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリ データシート](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリ データシート](#)
- ・ [Spartan-3E FPGA ファミリ データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

FDE_1

プリミティブ : D Flip-Flop with Negative-Edge Clock and Clock Enable



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6

概要

このデザイン エLEMENTは、データ入力 (D)、クロック イネーブル (CE)、データ出力 (Q) がある単一の D フリップフロップです。クロック イネーブルが High の場合、クロック (C) が High から Low に切り替わる時に D 入力の値がフリップフロップにロードされます。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバータを追加するとアクティブ Low にできます。

論理表

| 入力 | | | 出力 |
|----|---|---|------|
| CE | D | C | Q |
| 0 | X | X | 変化なし |
| 1 | 0 | ↓ | 0 |
| 1 | 1 | ↓ | 1 |

デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

使用可能な属性

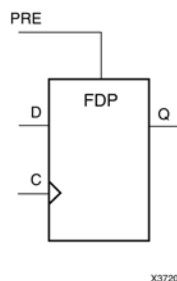
| 属性 | タイプ | 値 | デフォルト | 説明 |
|------|------|-----|-------|---------------------------|
| INIT | 2 進数 | 0、1 | 0 | コンフィギュレーション後の Q 出力の初期値を指定 |

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリ データシート](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリ データシート](#)
- ・ [Spartan-3E FPGA ファミリ データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

FDP

Primitive: Macro: D Flip-Flop with Asynchronous Preset



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6
- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

このデザイン エLEMENTは、データ (D)、非同期プリセット (PRE) の各入力とデータ出力 (Q) がある単一の D フリップフロップです。非同期 PRE が High になると、ほかのすべての入力は無視され、Q 出力が High にプリセットされます。PRE が Low の場合、クロック (C) が Low から High に切り替わるときに D 入力の値がフリップフロップにロードされます。

CPLD では、電力を供給すると、フリップフロップは非同期にクリアされ、出力が Low になります。High レベルのパルスを実際のグローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。FPGA では、電力を供給すると、フリップフロップは非同期にプリセットされ、出力が High になります。グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバータを追加するとアクティブ Low にできます。

論理表

| 入力 | | | 出力 |
|-----|---|---|----|
| PRE | C | D | Q |
| 1 | X | X | 1 |
| 0 | ↑ | D | D |

デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

使用可能な属性

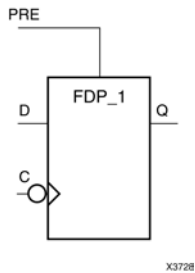
| 属性 | タイプ | 値 | デフォルト | 説明 |
|------|------|-----|-------|---------------------------|
| INIT | 2 進数 | 0、1 | 1 | コンフィギュレーション後の Q 出力の初期値を指定 |

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリー データシート](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリー データシート](#)
- ・ [Spartan-3E FPGA ファミリー データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

FDP_1

プリミティブ : D Flip-Flop with Negative-Edge Clock and Asynchronous Preset



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6

概要

このデザイン エLEMENTは、データ (D)、非同期プリセット (PRE) の各入力とデータ出力 (Q) がある単一の D フリップフロップです。非同期 PRE が High になると、ほかのすべての入力は無視され、Q 出力が High にプリセットされます。PRE が Low の場合、クロック (C) が High から Low に切り替わるときに D 入力の値がフリップフロップにロードされます。

電力を供給すると、フリップフロップは非同期にプリセットされ、出力が High になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバータを追加するとアクティブ Low にできます。

論理表

| 入力 | | | 出力 |
|-----|---|---|----|
| PRE | C | D | Q |
| 1 | X | X | 1 |
| 0 | ↓ | D | D |

デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

使用可能な属性

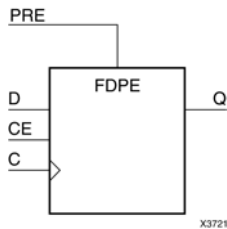
| 属性 | タイプ | 値 | デフォルト | 説明 |
|------|------|-----|-------|---------------------------|
| INIT | 2 進数 | 0、1 | 1 | コンフィギュレーション後の Q 出力の初期値を指定 |

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリー データシート](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリー データシート](#)
- ・ [Spartan-3E FPGA ファミリー データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

FDPE

プリミティブ : D Flip-Flop with Clock Enable and Asynchronous Preset



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6
- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

このデザイン エLEMENTは、データ (D)、クロック イネーブル (CE)、非同期プリセット (PRE) の各入力とデータ出力 (Q) がある単一の D フリップフロップです。非同期の PRE が High になると、ほかのすべての入力は無視され、Q 出力が High にセットされます。PRE が Low、CE が High の場合、クロック (C) が Low から High に切り替わるときに D 入力の値がフリップフロップにロードされます。CE が Low の場合、クロック遷移は無視されます。

CPLD では、電力を供給すると、フリップフロップは非同期にクリアされ、出力が Low になります。High レベルのパルスを実際の PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。FPGA では、電力を供給すると、フリップフロップは非同期にプリセットされ、出力が High になります。グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバータを追加するとアクティブ Low にできます。

論理表

| 入力 | | | | 出力 |
|-----|----|---|---|------|
| PRE | CE | D | C | Q |
| 1 | X | X | X | 1 |
| 0 | 0 | X | X | 変化なし |
| 0 | 1 | D | ↑ | D |

デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

使用可能な属性

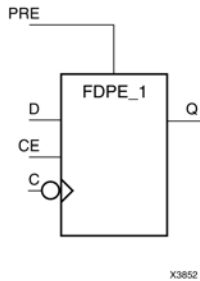
| 属性 | タイプ | 値 | デフォルト | 説明 |
|------|------|---|-------|--|
| INIT | 2 進数 | 1 | 1 | <p>コンフィギュレーション後の Q 出力の初期値を指定。</p> <p>Spartan®-6 デバイスでは、INIT 値とセットまたはリセットの極性を常に一致させる必要があります。FDPE の場合、INIT 値は 1 である必要があります。0 に設定する場合は、この動作を表す非同期回路を作成する必要がありますが、ザイリンクスでは推奨されていません。</p> |

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリー データシート](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)
- ・ [Spartan-3E FPGA ファミリー データシート](#)
- ・ [Spartan-6 FPGA コンフィギュラブル ロジック ブロック ユーザー ガイド](#)
- ・ [Spartan-6 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

FDPE_1

プリミティブ : D Flip-Flop with Negative-Edge Clock, Clock Enable, and Asynchronous Preset



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6

概要

このデザイン エLEMENTは、データ (D)、クロック イネーブル (CE)、非同期プリセット (PRE) の各入力とデータ出力 (Q) がある単一の D フリップフロップです。非同期の PRE が High になると、ほかのすべての入力は無視され、Q 出力が High にセットされます。PRE が Low、CE が High の場合、クロック (C) が High から Low に切り替わる時に D 入力の値がフリップフロップにロードされます。CE が Low の場合、クロック遷移は無視されます。

CPLD では、電力を供給すると、フリップフロップは非同期にクリアされ、出力が Low になります。High レベルのパルスで PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。FPGA では、電力を供給すると、フリップフロップは非同期にプリセットされ、出力が High になります。グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバータを追加するとアクティブ Low にできます。

論理表

| 入力 | | | | 出力 |
|-----|----|---|---|------|
| PRE | CE | D | C | Q |
| 1 | X | X | X | 1 |
| 0 | 0 | X | X | 変化なし |
| 0 | 1 | D | ↓ | D |

デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

使用可能な属性

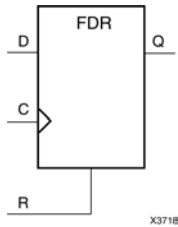
| 属性 | タイプ | 値 | デフォルト | 説明 |
|------|------|-----|-------|---------------------------|
| INIT | 2 進数 | 0、1 | 1 | コンフィギュレーション後の Q 出力の初期値を指定 |

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリ データシート](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリ データシート](#)
- ・ [Spartan-3E FPGA ファミリ データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

FDR

Primitive: マクロ : D Flip-Flop with Synchronous Reset



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6
- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

このデザイン エLEMENTは、データ (D)、同期リセット (R) の各入力とデータ出力 (Q) がある単一の D タイプ フリップフロップです。同期リセット入力 (R) が High になると、ほかの入力は無視され、クロック (C) が Low から High に切り替わるときに出力 (Q) が Low にリセットされます。R が Low の場合、クロックが Low から High に切り替わるときに D 入力の値がフリップフロップにロードされます。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスで PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバータを追加するとアクティブ Low にできます。

論理表

| 入力 | | | 出力 |
|----|---|---|----|
| R | D | C | Q |
| 1 | X | ↑ | 0 |
| 0 | D | ↑ | D |

デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

使用可能な属性

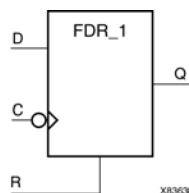
| 属性 | タイプ | 値 | デフォルト | 説明 |
|------|------|-----|-------|---------------------------|
| INIT | 2 進数 | 0、1 | 0 | コンフィギュレーション後の Q 出力の初期値を指定 |

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリー データシート](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリー データシート](#)
- ・ [Spartan-3E FPGA ファミリー データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

FDR_1

プリミティブ : D Flip-Flop with Negative-Edge Clock and Synchronous Reset



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6

概要

このデザイン エLEMENTは、データ (D)、同期リセット (R) の各入力とデータ出力 (Q) がある単一の D タイプ フリップフロップです。同期リセット入力 (R) が High になると、ほかの入力は無視され、クロック (C) が High から Low に切り替わるときに出力 (Q) が Low にリセットされます。R が Low の場合、クロック (C) が High から Low に切り替わるときに D 入力の値がフリップフロップにロードされます。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスで PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバータを追加するとアクティブ Low にできます。

論理表

| 入力 | | | 出力 |
|----|---|---|----|
| R | D | C | Q |
| 1 | X | ↓ | 0 |
| 0 | D | ↓ | D |

デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

使用可能な属性

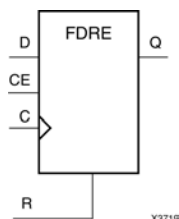
| 属性 | タイプ | 値 | デフォルト | 説明 |
|------|------|-----|-------|----------------------------|
| INIT | 2 進数 | 0、1 | 0 | コンフィギュレーション後の Q 出力の初期値を指定。 |

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリ データシート](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリ データシート](#)
- ・ [Spartan-3E FPGA ファミリ データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

FDRE

Primitive: マクロ : D Flip-Flop with Clock Enable and Synchronous Reset



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6
- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

このデザイン エLEMENTは、データ (D)、クロック イネーブル (CE)、同期リセット (R) の各入力とデータ出力 (Q) がある単一の D タイプ フリップフロップです。同期リセット入力 (R) が High になると、ほかの入力は無視され、クロック (C) が Low から High に切り替わるときに出力 (Q) が Low にリセットされます。R が Low、CE が High の場合、クロックが Low から High に切り替わるときに D 入力の値がフリップフロップにロードされます。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスで PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバータを追加するとアクティブ Low にできます。

論理表

| 入力 | | | | 出力 |
|----|----|---|---|------|
| R | CE | D | C | Q |
| 1 | X | X | ↑ | 0 |
| 0 | 0 | X | X | 変化なし |
| 0 | 1 | D | ↑ | D |

デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

使用可能な属性

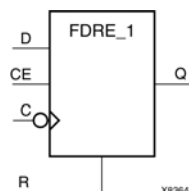
| 属性 | タイプ | 値 | デフォルト | 説明 |
|------|------|---|-------|--|
| INIT | 2 進数 | 0 | 0 | コンフィギュレーション後の Q 出力の初期値を指定 Spartan®-6 デバイスでは、INIT 値とセットまたはリセットの極性を常に一致させる必要があります。FDRE の場合、INIT 値を 0 に設定する必要があります。1 に設定すると余分なロジックが挿入されます。 |

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリー データシート](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)
- ・ [Spartan-3E FPGA ファミリー データシート](#)
- ・ [Spartan-6 FPGA コンフィギュラブル ロジック ブロック ユーザー ガイド](#)
- ・ [Spartan-6 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

FDRE_1

プリミティブ : D Flip-Flop with Negative-Clock Edge, Clock Enable, and Synchronous Reset



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6

概要

FDRE_1 は、データ (D)、クロック イネーブル (CE)、同期リセット (R) の各入力とデータ出力 (Q) がある単一の D タイプ フリップフロップです。同期リセット入力 (R) が High になると、ほかの入力は無視され、クロック (C) が High から Low に切り替わるときに出力 (Q) が Low にリセットされます。R が Low で CE が High の場合、クロック (C) が High から Low に切り替わるときに D 入力の値がフリップフロップにロードされます。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスで PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバータを追加するとアクティブ Low にできます。

論理表

| 入力 | | | | 出力 |
|----|----|---|---|------|
| R | CE | D | C | Q |
| 1 | X | X | ↓ | 0 |
| 0 | 0 | X | X | 変化なし |
| 0 | 1 | D | ↓ | D |

デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

使用可能な属性

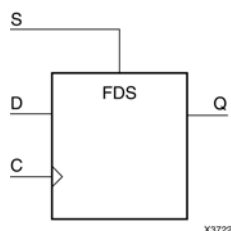
| 属性 | タイプ | 値 | デフォルト | 説明 |
|------|------|-----|-------|----------------------------|
| INIT | 2 進数 | 0、1 | 0 | コンフィギュレーション後の Q 出力の初期値を指定。 |

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリー データシート](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリー データシート](#)
- ・ [Spartan-3E FPGA ファミリー データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

FDS

プリミティブ : マクロ : D Flip-Flop with Synchronous Set



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6
- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

FDS は、データ (D)、同期セット (S) の各入力とデータ出力 (Q) がある単一の D タイプ フリップフロップです。同期セット入力が高になると、クロック (C) が Low から High に切り替わる時に Q 出力が高にセットされます。S が Low の場合、クロック (C) が Low から High に切り替わる時に D 入力の値がフリップフロップにロードされます。

CPLD では、電力を供給すると、フリップフロップは非同期にクリアされ、出力が Low になります。High レベルのパルスを実用グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。FPGA では、電力を供給すると、フリップフロップは非同期にプリセットされ、出力が高になります。グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバータを追加するとアクティブ Low にできます。

論理表

| 入力 | | | 出力 |
|----|---|---|----|
| S | D | C | Q |
| 1 | X | ↑ | 1 |
| 0 | D | ↑ | D |

デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

使用可能な属性

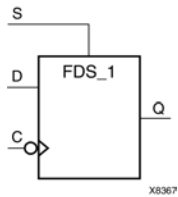
| 属性 | タイプ | 値 | デフォルト | 説明 |
|------|------|-----|-------|----------------------------|
| INIT | 2 進数 | 0、1 | 1 | コンフィギュレーション後の Q 出力の初期値を指定。 |

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリー データシート](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリー データシート](#)
- ・ [Spartan-3E FPGA ファミリー データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

FDS_1

プリミティブ : D Flip-Flop with Negative-Edge Clock and Synchronous Set



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6

概要

FDS は、データ (D)、同期セット (S) の各入力とデータ出力 (Q) がある単一の D タイプ フリップフロップです。同期セット入力が High になると、クロック (C) が Low から High に切り替わるときに Q 出力が High にセットされます。S が Low の場合、クロック (C) が Low から High に切り替わるときに D 入力の値がフリップフロップにロードされます。

電力を供給すると、フリップフロップは非同期にプリセットされ、出力が High になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバータを追加するとアクティブ Low にできます。

論理表

| 入力 | | | 出力 |
|----|---|---|----|
| S | D | C | Q |
| 1 | X | ↓ | 1 |
| 0 | D | ↓ | D |

デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

使用可能な属性

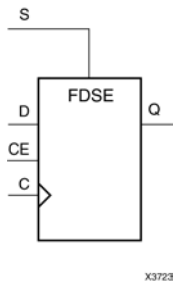
| 属性 | タイプ | 値 | デフォルト | 説明 |
|------|------|-----|-------|---------------------------|
| INIT | 2 進数 | 0、1 | 1 | コンフィギュレーション後の Q 出力の初期値を指定 |

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリ データシート](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリ データシート](#)
- ・ [Spartan-3E FPGA ファミリ データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

FDSE

プリミティブ : マクロ : D Flip-Flop with Clock Enable and Synchronous Set



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6
- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

FDSE は、データ (D)、クロック イネーブル (CE)、同期セット (S) の各入力とデータ出力 (Q) がある単一の D タイプ フリップフロップです。同期セット (S) 入力が高になると、クロック イネーブル (CE) 入力は無視され、クロック (C) が Low から High に切り替わるときに Q 出力が高にセットされます。S が Low、CE が High の場合、クロック (C) が Low から High に切り替わるときに D 入力の値がフリップフロップにロードされます。

CPLD では、電力を供給すると、フリップフロップは非同期にクリアされ、出力が Low になります。High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。FPGA では、電力を供給すると、フリップフロップは非同期にプリセットされ、出力が High になります。グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバータを追加するとアクティブ Low にできます。

論理表

| 入力 | | | | 出力 |
|----|----|---|---|------|
| S | CE | D | C | Q |
| 1 | X | X | ↑ | 1 |
| 0 | 0 | X | X | 変化なし |
| 0 | 1 | D | ↑ | D |

デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

使用可能な属性

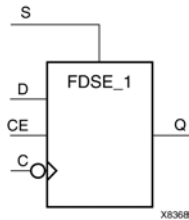
| 属性 | タイプ | 値 | デフォルト | 説明 |
|------|------|---|-------|--|
| INIT | 2 進数 | 1 | 1 | <p>コンフィギュレーション後の Q 出力の初期値を指定。</p> <p>Spartan®-6 デバイスでは、INIT 値とセットまたはリセットの極性を常に一致させる必要があります。FDSE の場合、INIT 値を 1 に設定する必要があります。0 に設定すると余分なロジックが挿入されます。</p> |

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリー データシート](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)
- ・ [Spartan-3E FPGA ファミリー データシート](#)
- ・ [Spartan-6 FPGA コンフィギャブル ロジック ブロック ユーザー ガイド](#)
- ・ [Spartan-6 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

FDSE_1

プリミティブ : D Flip-Flop with Negative-Edge Clock, Clock Enable, and Synchronous Set



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6

概要

FDSE_1 は、データ (D)、クロック イネーブル (CE)、同期セット (S) の各入力とデータ出力 (Q) がある単一の D フリップフロップです。同期セット (S) 入力が高になると、クロック イネーブル (CE) 入力は無視され、クロック (C) が High から Low に切り替わるときに Q 出力が高にセットされます。S が Low、CE が High の場合、クロック (C) が High から Low に切り替わる時に D 入力の値がフリップフロップにロードされます。

電力を供給すると、フリップフロップは非同期にプリセットされ、出力が高になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバータを追加するとアクティブ Low にできます。

論理表

| 入力 | | | | 出力 |
|----|----|---|---|------|
| S | CE | D | C | Q |
| 1 | X | X | ↓ | 1 |
| 0 | 0 | X | X | 変化なし |
| 0 | 1 | D | ↓ | D |

デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

使用可能な属性

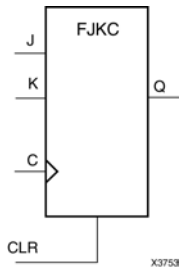
| 属性 | タイプ | 値 | デフォルト | 説明 |
|------|------|-----|-------|---------------------------|
| INIT | 2 進数 | 0、1 | 1 | コンフィギュレーション後の Q 出力の初期値を指定 |

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリー データシート](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリー データシート](#)
- ・ [Spartan-3E FPGA ファミリー データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

FJKC

マクロ : J-K Flip-Flop with Asynchronous Clear



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6
- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

このデザイン エLEMENTは、J、K、非同期クリア (CLR) の各入力とデータ出力 (Q) がある単一の J-K タイプ フリップフロップです。非同期クリア入力 (CLR) が High になると、ほかのすべての入力は無視され、Q 出力が Low にリセットされます。CLR が Low になると、次の論理表に示すように、クロックが Low から High に切り替わるときに、J および K 入力の値に応じて出力の値が変化します。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバータを追加するとアクティブ Low にできます。

論理表

| 入力 | | | | 出力 |
|-----|---|---|---|------|
| CLR | J | K | C | Q |
| 1 | X | X | X | 0 |
| 0 | 0 | 0 | ↑ | 変化なし |
| 0 | 0 | 1 | ↑ | 0 |
| 0 | 1 | 0 | ↑ | 1 |
| 0 | 1 | 1 | ↑ | トグル |

デザインの入力方法

このエレメントは、回路図でのみ使用できます。

使用可能な属性

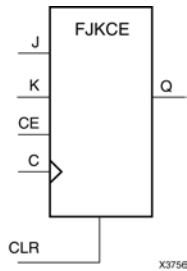
| 属性 | タイプ | 値 | デフォルト | 説明 |
|------|------|-----|-------|---------------------------|
| INIT | 2 進数 | 0、1 | 0 | コンフィギュレーション後の Q 出力の初期値を指定 |

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリー データシート](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリー データシート](#)
- ・ [Spartan-3E FPGA ファミリー データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

FJKCE

マクロ : J-K Flip-Flop with Clock Enable and Asynchronous Clear



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6
- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

このデザイン エLEMENTは、J、K、クロック イネーブル (CE)、非同期クリア (CLR) の各入力とデータ出力 (Q) がある単一の J-K タイプ フリップフロップです。非同期クリア (CLR) が High になると、ほかのすべての入力は無視され、Q 出力が Low にリセットされます。CLR が Low、CE が High の場合、次の論理表に示すように、クロックが Low から High に切り替わるたびに、J および K 入力の値に応じて Q の値が変化します。CE が Low の場合、クロック遷移は無視されます。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスで PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバータを追加するとアクティブ Low にできます。

論理表

| 入力 | | | | | 出力 |
|-----|----|---|---|---|------|
| CLR | CE | J | K | C | Q |
| 1 | X | X | X | X | 0 |
| 0 | 0 | X | X | X | 変化なし |
| 0 | 1 | 0 | 0 | X | 変化なし |
| 0 | 1 | 0 | 1 | ↑ | 0 |
| 0 | 1 | 1 | 0 | ↑ | 1 |
| 0 | 1 | 1 | 1 | ↑ | トグル |

デザインの入力方法

このエレメントは、回路図でのみ使用できます。

使用可能な属性

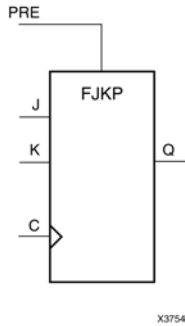
| 属性 | タイプ | 値 | デフォルト | 説明 |
|------|------|-----|-------|---------------------------|
| INIT | 2 進数 | 0、1 | 0 | コンフィギュレーション後の Q 出力の初期値を指定 |

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリ データシート](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリ データシート](#)
- ・ [Spartan-3E FPGA ファミリ データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

FJKP

マクロ : J-K Flip-Flop with Asynchronous Preset



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6
- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

このデザイン エLEMENTは、J、K、非同期プリセット (PRE) の各入力とデータ出力 (Q) がある単一の J-K フリップフロップです。非同期プリセット入力 (PRE) が High になると、ほかのすべての入力は無視され、Q 出力が High にセットされます。PRE が Low の場合、次の論理表に示すように、クロックが Low から High に切り替わるときに、J および K 入力の値に応じて Q の値が変化します。

CPLD では、電力を供給すると、フリップフロップは非同期にクリアされ、出力が Low になります。High レベルのパルスを実際のグローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。FPGA では、電力を供給すると、フリップフロップは非同期にプリセットされ、出力が High になります。グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバータを追加するとアクティブ Low にできます。

論理表

| 入力 | | | | 出力 |
|-----|---|---|---|------|
| PRE | J | K | C | Q |
| 1 | X | X | X | 1 |
| 0 | 0 | 0 | X | 変化なし |
| 0 | 0 | 1 | ↑ | 0 |
| 0 | 1 | 0 | ↑ | 1 |
| 0 | 1 | 1 | ↑ | トグル |

デザインの入力方法

このエレメントは、回路図でのみ使用できます。

使用可能な属性

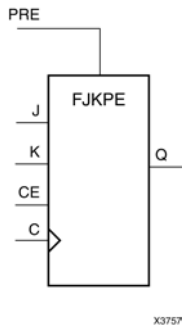
| 属性 | タイプ | 値 | デフォルト | 説明 |
|------|------|-----|-------|---------------------------|
| INIT | 2 進数 | 0、1 | 1 | コンフィギュレーション後の Q 出力の初期値を指定 |

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリー データシート](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリー データシート](#)
- ・ [Spartan-3E FPGA ファミリー データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

FJKPE

マクロ : J-K Flip-Flop with Clock Enable and Asynchronous Preset



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6
- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

このデザイン エLEMENTは、J、K、クロック イネーブル (CE)、非同期プリセット (PRE) の各入力とデータ出力 (Q) がある単一の J-K フリップフロップです。非同期プリセット (PRE) が High になると、ほかのすべての入力は無視され、Q 出力が High にセットされます。PRE が Low、CE が High の場合、次の論理表に示すように、クロック (C) が Low から High に切り替わる時に、J および K 入力の値に応じて Q 出力の値が変化します。CE が Low の場合、クロック遷移は無視されます。

CPLD では、電力を供給すると、フリップフロップは非同期にクリアされ、出力が Low になります。High レベルのパルスを実際のグローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。FPGA では、電力を供給すると、フリップフロップは非同期にプリセットされ、出力が High になります。グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバータを追加するとアクティブ Low にできます。

論理表

| 入力 | | | | | 出力 |
|-----|----|---|---|---|------|
| PRE | CE | J | K | C | Q |
| 1 | X | X | X | X | 1 |
| 0 | 0 | X | X | X | 変化なし |
| 0 | 1 | 0 | 0 | X | 変化なし |
| 0 | 1 | 0 | 1 | ↑ | 0 |
| 0 | 1 | 1 | 0 | ↑ | 1 |
| 0 | 1 | 1 | 1 | ↑ | トグル |

デザインの入力方法

このエレメントは、回路図でのみ使用できます。

使用可能な属性

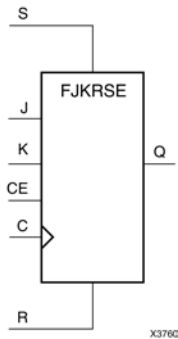
| 属性 | タイプ | 値 | デフォルト | 説明 |
|------|------|-----|-------|---------------------------|
| INIT | 2 進数 | 0、1 | 1 | コンフィギュレーション後の Q 出力の初期値を指定 |

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリ データシート](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリ データシート](#)
- ・ [Spartan-3E FPGA ファミリ データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

FJKRSE

マクロ : J-K Flip-Flop with Clock Enable and Synchronous Reset and Set



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6
- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

このデザイン エLEMENTは、J、K、同期リセット (R)、同期セット (S)、クロック イネーブル (CE) の各入力とデータ出力 (Q) がある単一の J-K フリップフロップです。同期リセット (R) が High になると、ほかのすべての入力は無視され、クロック (C) が Low から High に切り替わるときに Q が Low にリセットされます。同期セット (S) が High、R が Low の場合、Q 出力が High にセットされます。R と S が Low、CE が High の場合、次の論理表に示すように、クロック (C) が Low から High に切り替わるときに、J および K 入力の値に応じて Q 出力が変化します。CE が Low の場合、クロック遷移は無視されます。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスで PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバータを追加するとアクティブ Low にできます。

論理表

| 入力 | | | | | | 出力 |
|----|---|----|---|---|---|------|
| R | S | CE | J | K | C | Q |
| 1 | X | X | X | X | ↑ | 0 |
| 0 | 1 | X | X | X | ↑ | 1 |
| 0 | 0 | 0 | X | X | X | 変化なし |
| 0 | 0 | 1 | 0 | 0 | X | 変化なし |
| 0 | 0 | 1 | 0 | 1 | ↑ | 0 |
| 0 | 0 | 1 | 1 | 0 | ↑ | 1 |
| 0 | 0 | 1 | 1 | 0 | ↑ | 1 |
| 0 | 0 | 1 | 1 | 1 | ↑ | トグル |

デザインの入力方法

このエレメントは、回路図でのみ使用できます。

使用可能な属性

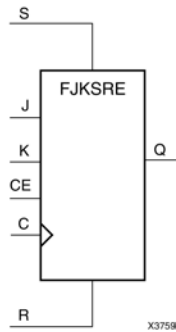
| 属性 | タイプ | 値 | デフォルト | 説明 |
|------|------|-----|-------|---------------------------|
| INIT | 2 進数 | 0、1 | 0 | コンフィギュレーション後の Q 出力の初期値を指定 |

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリー データシート](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリー データシート](#)
- ・ [Spartan-3E FPGA ファミリー データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

FJKSRE

マクロ : J-K Flip-Flop with Clock Enable and Synchronous Set and Reset



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6
- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

このデザイン エLEMENTは、J、K、同期セット (S)、同期リセット (R)、クロック イネーブル (CE) の各入力とデータ出力 (Q) がある単一の J-K タイプ フリップフロップです。同期セット (S) が High になると、ほかのすべての入力は無視され、クロック (C) が Low から High に切り替わるときに Q が High にセットされます。同期リセット (R) が High、S が Low の場合、出力 Q が Low にリセットされます。S と R が Low、CE が High の場合、次の論理表に示すように、クロック (C) が Low から High に切り替わるときに、J および K 入力の値に応じて Q 出力が変化します。CE が Low の場合、クロック 遷移は無視されます。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスで PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバータを追加するとアクティブ Low にできます。

論理表

| 入力 | | | | | | 出力 |
|----|---|----|---|---|---|------|
| S | R | CE | J | K | C | Q |
| 1 | X | X | X | X | ↑ | 1 |
| 0 | 1 | X | X | X | ↑ | 0 |
| 0 | 0 | 0 | X | X | X | 変化なし |
| 0 | 0 | 1 | 0 | 0 | X | 変化なし |
| 0 | 0 | 1 | 0 | 1 | ↑ | 0 |
| 0 | 0 | 1 | 1 | 0 | ↑ | 1 |
| 0 | 0 | 1 | 1 | 1 | ↑ | トグル |

デザインの入力方法

このエレメントは、回路図でのみ使用できます。

使用可能な属性

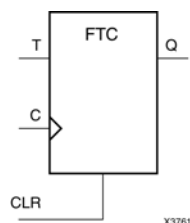
| 属性 | タイプ | 値 | デフォルト | 説明 |
|------|------|-----|-------|---------------------------|
| INIT | 2 進数 | 0、1 | 1 | コンフィギュレーション後の Q 出力の初期値を指定 |

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリー データシート](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリー データシート](#)
- ・ [Spartan-3E FPGA ファミリー データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

FTC

マクロ : Toggle Flip-Flop with Asynchronous Clear



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6
- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

このデザイン エLEMENTは、リセット可能な同期トグル フリップフロップです。非同期クリア入力 (CLR) が High になると、ほかのすべての入力は無視され、出力 (Q) が Low にリセットされます。トグル イネーブル入力 (T) が High、CLR が Low の場合、クロックが Low から High に切り替わるときに Q 出力がトグルし、値が変化します。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバータを追加するとアクティブ Low にできます。

論理表

| 入力 | | | 出力 |
|-----|---|---|------|
| CLR | T | C | Q |
| 1 | X | X | 0 |
| 0 | 0 | X | 変化なし |
| 0 | 1 | ↑ | トグル |

デザインの入力方法

このELEMENTは、CPLD を使用しているときはインスタンスエートできますが、FPGA を使用しているときはインスタンスエートできません。

使用可能な属性

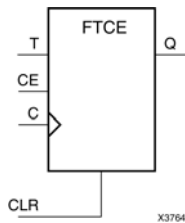
| 属性 | タイプ | 値 | デフォルト | 説明 |
|------|------|-----|-------|---------------------------|
| INIT | 2 進数 | 0、1 | 0 | コンフィギュレーション後の Q 出力の初期値を指定 |

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリー データシート](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリー データシート](#)
- ・ [Spartan-3E FPGA ファミリー データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

FTCE

マクロ : Toggle Flip-Flop with Clock Enable and Asynchronous Clear



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6
- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

このデザイン エLEMENTは、トグル イネーブル、クロック イネーブル、非同期クリアがあるトグル フリップフロップです。非同期クリア入力 (CLR) が High になると、ほかのすべての入力は無視され、出力 (Q) の値が Low にリセットされます。CLR が Low、トグル イネーブル (T) とクロック イネーブル (CE) が High の場合、クロック (C) が Low から High に切り替わるときに Q 出力がトグルし、値が変化します。CE が Low の場合、クロック遷移は無視されます。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバータを追加するとアクティブ Low にできます。

論理表

| 入力 | | | | 出力 |
|-----|----|---|---|------|
| CLR | CE | T | C | Q |
| 1 | X | X | X | 0 |
| 0 | 0 | X | X | 変化なし |
| 0 | 1 | 0 | X | 変化なし |
| 0 | 1 | 1 | ↑ | トグル |

デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

使用可能な属性

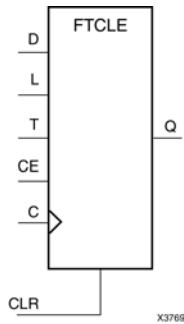
| 属性 | タイプ | 値 | デフォルト | 説明 |
|------|------|-----|-------|---------------------------|
| INIT | 2 進数 | 0、1 | 0 | コンフィギュレーション後の Q 出力の初期値を指定 |

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリー データシート](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリー データシート](#)
- ・ [Spartan-3E FPGA ファミリー データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

FTCLE

マクロ : Toggle/Loadable Flip-Flop with Clock Enable and Asynchronous Clear



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6
- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

このデザイン エLEMENTは、トグル イネーブル、クロック イネーブル、非同期クリアがあるロード可能なトグル フリップフロップです。非同期クリア入力 (CLR) が High になると、ほかのすべての入力は無視され、出力 Q が Low にリセットされます。ロード イネーブル入力 (L) が High、CLR が Low の場合、クロック イネーブル (CE) は無視され、クロック (C) が Low から High に切り替わる時に、データ入力 (D) の値がフリップフロップにロードされます。トグル イネーブル (T) と CE が High、L と CLR が Low の場合、クロックが Low から High に切り替わる時に、出力 Q がトグルし、値が変化します。CE が Low の場合、クロック遷移は無視されます。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバータを追加するとアクティブ Low にできます。

論理表

| 入力 | | | | | | 出力 |
|-----|---|----|---|---|---|------|
| CLR | L | CE | T | D | C | Q |
| 1 | X | X | X | X | X | 0 |
| 0 | 1 | X | X | D | ↑ | D |
| 0 | 0 | 0 | X | X | X | 変化なし |
| 0 | 0 | 1 | 0 | X | X | 変化なし |
| 0 | 0 | 1 | 1 | X | ↑ | トグル |

デザインの入力方法

このエレメントは、回路図でのみ使用できます。

使用可能な属性

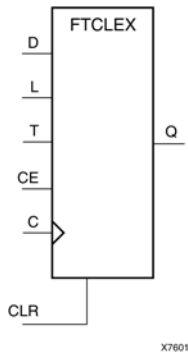
| 属性 | タイプ | 値 | デフォルト | 説明 |
|------|------|-----|-------|---------------------------|
| INIT | 2 進数 | 0、1 | 0 | コンフィギュレーション後の Q 出力の初期値を指定 |

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリー データシート](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリー データシート](#)
- ・ [Spartan-3E FPGA ファミリー データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

FTCLEX

マクロ : Toggle/Loadable Flip-Flop with Clock Enable and Asynchronous Clear



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6
- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

このデザイン エLEMENTは、トグル イネーブル、クロック イネーブル、非同期クリアがあるロード可能なトグル フリップフロップです。非同期クリア入力 (CLR) が High になると、ほかのすべての入力は無視され、出力 Q が Low にリセットされます。ロード イネーブル入力 (L) と CE が High、CLR が Low の場合、クロック (C) が Low から High に切り替わる時に、入力 (D) の値がフリップフロップにロードされます。トグル イネーブル (T) と CE が High、L と CLR が Low の場合、クロックが Low から High に切り替わる時に、出力 Q がトグルし、値が変化します。CE が Low の場合、クロック遷移は無視されます。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスで PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバータを追加するとアクティブ Low にできます。

論理表

| 入力 | | | | | | 出力 |
|-----|---|----|---|---|---|------|
| CLR | L | CE | T | D | C | Q |
| 1 | X | X | X | X | X | 0 |
| 0 | 1 | X | X | D | ↑ | D |
| 0 | 0 | 0 | X | X | X | 変化なし |
| 0 | 0 | 1 | 0 | X | X | 変化なし |
| 0 | 0 | 1 | 1 | X | ↑ | トグル |

デザインの入力方法

このエレメントは、回路図でのみ使用できます。

使用可能な属性

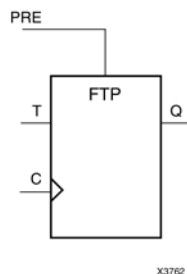
| 属性 | タイプ | 値 | デフォルト | 説明 |
|------|------|-----|-------|---------------------------|
| INIT | 2 進数 | 0、1 | 0 | コンフィギュレーション後の Q 出力の初期値を指定 |

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリー データシート](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリー データシート](#)
- ・ [Spartan-3E FPGA ファミリー データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

FTP

マクロ : Toggle Flip-Flop with Asynchronous Preset



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6
- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

このデザイン エLEMENTは、トグル イネーブルと非同期プリセットがあるトグル フリップフロップです。非同期プリセット入力 (PRE) が High になると、ほかのすべての入力は無視され、出力 Q が High にセットされます。トグル イネーブル入力 (T) が High、PRE が Low の場合、クロック (C) が Low から High に切り替わるときに出力 Q がトグルし、値が変化します。

CPLD では、電力を供給すると、フリップフロップは非同期にクリアされ、出力が Low になります。High レベルのパルスを実 PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。FPGA では、電力を供給すると、フリップフロップは非同期にプリセットされ、出力が High になります。グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバータを追加するとアクティブ Low にできます。

論理表

| 入力 | | | 出力 |
|-----|---|---|------|
| PRE | T | C | Q |
| 1 | X | X | 1 |
| 0 | 0 | X | 変化なし |
| 0 | 1 | ↑ | トグル |

デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

使用可能な属性

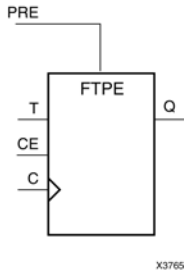
| 属性 | タイプ | 値 | デフォルト | 説明 |
|------|------|-----|-------|---------------------------|
| INIT | 2 進数 | 0、1 | 1 | コンフィギュレーション後の Q 出力の初期値を指定 |

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリー データシート](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリー データシート](#)
- ・ [Spartan-3E FPGA ファミリー データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

FTPE

マクロ : Toggle Flip-Flop with Clock Enable and Asynchronous Preset



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6
- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

このデザイン エLEMENTは、トグル イネーブル、クロック イネーブル、非同期プリセットがあるトグル フリップフロップです。非同期プリセット入力 (PRE) が High になると、ほかのすべての入力は無視され、出力 Q が High にセットされます。トグル イネーブル入力 (T) とクロック イネーブル入力 (CE) が High、PRE が Low の場合、クロックが Low から High に切り替わるときに出力 Q がトグルし、値が変化します。CE が Low の場合、クロック遷移は無視されます。

CPLD では、電力を供給すると、フリップフロップは非同期にクリアされ、出力が Low になります。High レベルのパルスで PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。FPGA では、電力を供給すると、フリップフロップは非同期にプリセットされ、出力が High になります。グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバータを追加するとアクティブ Low にできます。

論理表

| 入力 | | | | 出力 |
|-----|----|---|---|------|
| PRE | CE | T | C | Q |
| 1 | X | X | X | 1 |
| 0 | 0 | X | X | 変化なし |
| 0 | 1 | 0 | X | 変化なし |
| 0 | 1 | 1 | ↑ | トグル |

デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

使用可能な属性

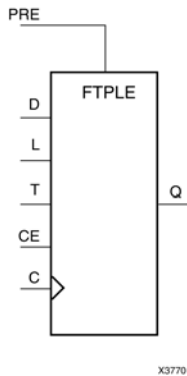
| 属性 | タイプ | 値 | デフォルト | 説明 |
|------|------|-----|-------|---------------------------|
| INIT | 2 進数 | 0、1 | 1 | コンフィギュレーション後の Q 出力の初期値を指定 |

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリー データシート](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリー データシート](#)
- ・ [Spartan-3E FPGA ファミリー データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

FTPLE

マクロ : Toggle/Loadable Flip-Flop with Clock Enable and Asynchronous Preset



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6
- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

このデザイン エLEMENTは、トグル イネーブル、クロック イネーブル、非同期プリセットがあるロード可能なトグル フリップフロップです。非同期プリセット入力 (PRE) が High になると、ほかのすべての入力は無視され、出力 Q が High にセットされます。ロード イネーブル入力 (L) が High、PRE が Low の場合、クロック イネーブル (CE) は無視され、クロックが Low から High に切り替わる時に、D の値がフリップフロップにロードされます。L と PRE が Low、トグル イネーブル入力 (T) と CE が High の場合、クロックが Low から High に切り替わる時に出力 Q がトグルし、値が変化します。CE が Low の場合、クロック遷移は無視されます。

CPLD では、電力を供給すると、フリップフロップは非同期にクリアされ、出力が Low になります。High レベルのパルスを実際の PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。FPGA では、電力を供給すると、フリップフロップは非同期にプリセットされ、出力が High になります。グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバータを追加するとアクティブ Low にできます。

論理表

| 入力 | | | | | | 出力 |
|-----|---|----|---|---|---|------|
| PRE | L | CE | T | D | C | Q |
| 1 | X | X | X | X | X | 1 |
| 0 | 1 | X | X | D | ↑ | D |
| 0 | 0 | 0 | X | X | X | 変化なし |
| 0 | 0 | 1 | 0 | X | X | 変化なし |
| 0 | 0 | 1 | 1 | X | ↑ | トグル |

デザインの入力方法

このエレメントは、回路図でのみ使用できます。

使用可能な属性

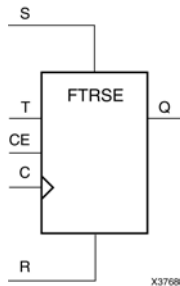
| 属性 | タイプ | 値 | デフォルト | 説明 |
|------|------|-----|-------|---------------------------|
| INIT | 2 進数 | 0、1 | 1 | コンフィギュレーション後の Q 出力の初期値を指定 |

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリー データシート](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリー データシート](#)
- ・ [Spartan-3E FPGA ファミリー データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

FTRSE

マクロ : Toggle Flip-Flop with Clock Enable and Synchronous Reset and Set



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6
- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

このデザイン エLEMENTは、トグル イネーブル、クロック イネーブル、同期セット、同期リセットがあるトグル フリップフロップです。同期リセット入力 (R) が High になると、ほかのすべての入力は無視され、クロック (C) が Low から High に切り替わるときに、出力 (Q) の値が Low にリセットされます。R が Low、同期セット入力 (S) が High の場合、クロック イネーブル入力 (CE) は無視され、クロック (C) が Low から High に切り替わるときに、出力 Q が High にセットされます (リセットがセットよりも優先される)。トグル イネーブル入力 (T) と CE が High、S と R が Low の場合、クロック (C) が Low から High に切り替わるときに出力 Q がトグルし、値が変化します。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバータを追加するとアクティブ Low にできます。

論理表

| 入力 | | | | | 出力 |
|----|---|----|---|---|------|
| R | S | CE | T | C | Q |
| 1 | X | X | X | ↑ | 0 |
| 0 | 1 | X | X | ↑ | 1 |
| 0 | 0 | 0 | X | X | 変化なし |
| 0 | 0 | 1 | 0 | X | 変化なし |
| 0 | 0 | 1 | 1 | ↑ | トグル |

デザインの入力方法

このエレメントは、回路図でのみ使用できます。

使用可能な属性

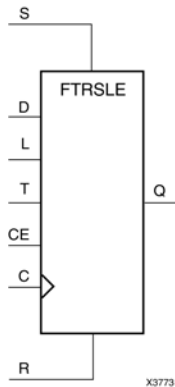
| 属性 | タイプ | 値 | デフォルト | 説明 |
|------|------|-----|-------|---------------------------|
| INIT | 2 進数 | 0、1 | 0 | コンフィギュレーション後の Q 出力の初期値を指定 |

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリー データシート](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリー データシート](#)
- ・ [Spartan-3E FPGA ファミリー データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

FTRSLE

マクロ : Toggle/Loadable Flip-Flop with Clock Enable and Synchronous Reset and Set



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6
- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

このデザイン エLEMENTは、トグル イネーブル、クロック イネーブル、同期セット、同期リセットがあるロード可能なトグル フリップフロップです。同期リセット入力 (R) が High になると、ほかのすべての入力は無視され、クロック (C) が Low から High に切り替わるときに、出力 (Q) が Low にリセットされます (リセットがセットよりも優先される)。R が Low、同期セット入力 (S) が High の場合、クロック イネーブル入力 (CE) は無視され、クロック (C) が Low から High に切り替わるときに、出力 Q が High にセットされます。R と S が Low、ロード イネーブル入力 (L) が High の場合、CE は無視され、クロック (C) が Low から High に切り替わるときに、データ入力 (D) の値がフリップフロップにロードされます。R、S、L が Low、CE とトグル イネーブル (T) が High の場合、クロック (C) が Low から High に切り替わるときに出力 Q がトグルし、値が変化します。CE が Low の場合、クロック遷移は無視されます。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバータを追加するとアクティブ Low にできます。

論理表

| 入力 | | | | | | | 出力 |
|----|---|---|----|---|---|---|------|
| R | S | L | CE | T | D | C | Q |
| 1 | 0 | X | X | X | X | ↑ | 0 |
| 0 | 1 | X | X | X | X | ↑ | 1 |
| 0 | 0 | 1 | X | X | 1 | ↑ | 1 |
| 0 | 0 | 1 | X | X | 0 | ↑ | 0 |
| 0 | 0 | 0 | 0 | X | X | X | 変化なし |
| 0 | 0 | 0 | 1 | 0 | X | X | 変化なし |
| 0 | 0 | 0 | 1 | 1 | X | ↑ | トグル |

デザインの入力方法

このエレメントは、回路図でのみ使用できます。

使用可能な属性

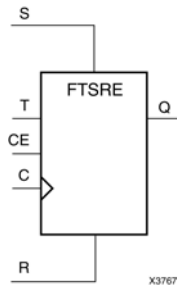
| 属性 | タイプ | 値 | デフォルト | 説明 |
|------|------|-----|-------|---------------------------|
| INIT | 2 進数 | 0、1 | 0 | コンフィギュレーション後の Q 出力の初期値を指定 |

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリー データシート](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリー データシート](#)
- ・ [Spartan-3E FPGA ファミリー データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

FTSRE

マクロ : Toggle Flip-Flop with Clock Enable and Synchronous Set and Reset



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6
- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

このデザイン エLEMENTは、トグル イネーブル、クロック イネーブル、同期セット、同期リセットがあるトグル フリップフロップです。同期セット入力 (S) が High になると、ほかのすべての入力は無視され、クロック (C) が Low から High に切り替わる時に、データ出力 (Q) が High にセットされます (セットがリセットよりも優先される)。同期リセット (R) が High、S が Low の場合、クロック イネーブル入力 (CE) は無視され、クロック (C) が Low から High に切り替わる時に、出力 Q が Low にリセットされます。トグル イネーブル入力 (T) と CE が High、S と R が Low の場合、クロック (C) が Low から High に切り替わる時に出力 Q がトグルし、値が変化します。CE が Low の場合、クロック遷移は無視されます。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスで PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバータを追加するとアクティブ Low にできます。

論理表

| 入力 | | | | | 出力 |
|----|---|----|---|---|------|
| S | R | CE | T | C | Q |
| 1 | X | X | X | ↑ | 1 |
| 0 | 1 | X | X | ↑ | 0 |
| 0 | 0 | 0 | X | X | 変化なし |
| 0 | 0 | 1 | 0 | X | 変化なし |
| 0 | 0 | 1 | 1 | ↑ | トグル |

デザインの入力方法

このエレメントは、回路図でのみ使用できます。

使用可能な属性

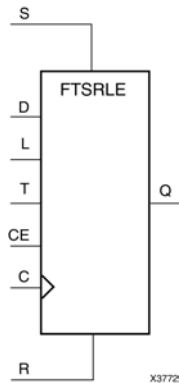
| 属性 | タイプ | 値 | デフォルト | 説明 |
|------|------|-----|-------|---------------------------|
| INIT | 2 進数 | 0、1 | 1 | コンフィギュレーション後の Q 出力の初期値を指定 |

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリー データシート](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリー データシート](#)
- ・ [Spartan-3E FPGA ファミリー データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

FTSRLE

マクロ : Toggle/Loadable Flip-Flop with Clock Enable and Synchronous Set and Reset



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- Spartan®-3
- Spartan-3A
- Spartan-3E
- Spartan-6
- Virtex®-4
- Virtex-5
- Virtex-6
- XC9500
- CoolRunner™ XPLA3
- CoolRunner-II

概要

このデザイン エLEMENTは、トグル イネーブル、クロック イネーブル、同期セット、同期リセットがあるロード可能なトグル フリップフロップです。同期セット入力 (S) が High になると、ほかのすべての入力は無視され、クロック (C) が Low から High に切り替わる時に、データ出力 (Q) が High にセットされます (セットがリセットよりも優先される)。同期リセット (R) が High、S が Low の場合、クロック イネーブル入力 (CE) は無視され、クロック (C) が Low から High に切り替わる時に、出力 Q が Low にリセットされます。ロード イネーブル入力 (L) が High、S と R が Low の場合、CE は無視され、クロックが Low から High に切り替わる時に、入力 (D) の値がフリップフロップにロードされます。トグル イネーブル入力 (T) と CE が High、S、R、L が Low の場合、クロック (C) が Low から High に切り替わる時に出力 Q がトグルし、値が変化します。CE が Low の場合、クロック遷移は無視されます。

CPLD では、High レベルのパルスを実 PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバータを追加するとアクティブ Low にできます。

論理表

| 入力 | | | | | | | 出力 |
|----|---|---|----|---|---|---|------|
| S | R | L | CE | T | D | C | Q |
| 1 | X | X | X | X | X | ↑ | 1 |
| 0 | 1 | X | X | X | X | ↑ | 0 |
| 0 | 0 | 1 | X | X | 1 | ↑ | 1 |
| 0 | 0 | 1 | X | X | 0 | ↑ | 0 |
| 0 | 0 | 0 | 0 | X | X | X | 変化なし |
| 0 | 0 | 0 | 1 | 0 | X | X | 変化なし |
| 0 | 0 | 0 | 1 | 1 | X | ↑ | トグル |

デザインの入力方法

このエレメントは、回路図でのみ使用できます。

使用可能な属性

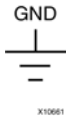
| 属性 | タイプ | 値 | デフォルト | 説明 |
|------|------|-----|-------|---------------------------|
| INIT | 2 進数 | 0、1 | 1 | コンフィギュレーション後の Q 出力の初期値を指定 |

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリー データシート](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリー データシート](#)
- ・ [Spartan-3E FPGA ファミリー データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

GND

プリミティブ : Ground-Connection Signal Tag



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6
- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

GND 信号タグは、ネットまたは入力ファンクションの論理レベルを Low にします。GND に接続されたネットは、ほかのソースに接続できません。

ロジックトリム ソフトウェアまたはフィッタでは、GND に接続されたネットまたは入力ファンクションがあると、GND 信号でディスエーブルになるロジックが削除されます。ディスエーブルになるロジックを削除できない場合のみ、GND 信号がインプリメントされます。

デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリ データシート](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリ データシート](#)
- ・ [Spartan-3E FPGA ファミリ データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

GTPA1_DUAL

プリミティブ : Dual Gigabit Transceiver

GTPA1 DUAL



X11154

サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

Spartan®-6

概要

このデザイン エLEMENTでは、効率性に優れ詳細にコンフィギュレーション可能なトランシーバである Spartan®-6 FPGA RocketIO™ GTP トランシーバが表現されます。このELEMENTの詳細は、Spartan-6 FPGA RocketIO GTP トランシーバ ユーザー ガイドを参照してください。Spartan-6 FPGA RocketIO GTX Transceiver Wizard は、GTPA1_DUAL プリミティブをインスタンス化してラッパの生成に使用されるツールです。このウィザードは、ザイリンクス CORE Generator™ ツールに含まれています。

デザインの入力方法

このELEMENTをインスタンス化するには、Spartan-6 FPGA RocketIO GTX Transceiver Wizard またはこのELEMENTを含む関連コアを使用します。このELEMENTは直接インスタンス化しないでください。

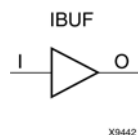
このELEMENTは、回路図で使用されます。

詳細情報

- ・ [Spartan-6 FPGA RocketIO GTP トランシーバ ユーザー ガイド](#)
- ・ [Spartan-6 FPGA データシート : DC 特性およびスイッチ特性](#)

IBUF

プリミティブ : Input Buffer



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6
- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

このデザイン エLEMENTは、最上位の入力ポートまたは入出力ポートに接続されている信号に自動的に挿入されます。このバッファは通常、合成ツールで推論しますが、必要に応じてインスタンスエートすることも可能です。インスタンスエートするには、入力ポート (I) を関連する最上位の入力ポートまたは入出力ポートに接続し、出力ポート (O) をそのポートをソースとする FPGA ロジックに接続します。必要なジェネリック マップ (VHDL) またはパラメータ値代入 (Verilog) に変更を加えて、コンポーネントのデフォルトのビヘイビアを変更します。

ポートの説明

| ポート名 | 方向 | 幅 | 機能 |
|------|----|---|---------|
| O | 出力 | 1 | バッファの出力 |
| I | 入力 | 1 | バッファの入力 |

デザインの入力方法

| | |
|--------------------------|----|
| インスタンスエーション | 可 |
| 推論 | 推奨 |
| CORE Generator™ およびウィザード | 不可 |
| マクロのサポート | 不可 |

このELEMENTは、回路図で使用されます。

このELEMENTは通常、デザインの最上位入力ポートに対して推論されます。通常はソースコードで指定する必要はありませんが、必要に応じてインスタンスエートできます。このコンポーネントをインスタンスエートするには、該当するライブラリガイドに含まれるインスタンスエーションコードを最上位エンティティ/モジュールに挿入します。デザイン階層を保つために、すべての I/O コンポーネントを必ずデザインの最上位に配置してください。I ポートをデザインの最上位入力ポートに、O ポートをこの入力 that 供給されるロジックに直接接続します。generic/defparam 値を設定し、バッファのビヘイビアを適切に設定してください。

使用可能な属性

| 属性 | タイプ | 値 | デフォルト | 説明 |
|------------------|-----|----------------------------------|-----------|---------------------------------------|
| CAPACITANCE | 文字列 | LOW、NORMAL、DONT_CARE | DONT_CARE | I/O を低いまたは通常の固有キャパシタンスと共に使用するかどうかを指定。 |
| IBUF_DELAY_VALUE | 文字列 | 0 ~ 12 0 ~ 16 | 0 | IOB 外のレジスタを介さないパスに追加する遅延を指定 |
| IFD_DELAY_VALUE | 文字列 | AUTO、 0 ~ 6 AUTO、 0 ~ 8 | AUTO | IOB 内のレジスタを介するパスに追加する遅延を指定 |
| IOSTANDARD | 文字列 | データシートを参照 | DEFAULT | I/O 規格をELEMENTに割り当て |

VHDL 記述 (インスタンスエーション)

次の 2 つの構文が存在しない場合はコピーし、エンティティ宣言の前に貼り付けます。

```
Library UNISIM;
use UNISIM.vcomponents.all;

-- IBUF: Single-ended Input Buffer
-- All devices
-- Xilinx HDL Libraries Guide, version 11.2

IBUF_inst : IBUF
generic map (
    IBUF_DELAY_VALUE => "0", -- Specify the amount of added input delay for buffer,
                             -- "0"-12" (Spartan-3E)
                             -- "0"-16" (Spartan-3A)
    IFD_DELAY_VALUE => "AUTO", -- Specify the amount of added delay for input register,
                             -- "AUTO", "0"-6" (Spartan-3E)
                             -- "AUTO", "0"-8" (Spartan-3A)
    IOSTANDARD => "DEFAULT")
port map (
    O => O, -- Buffer output
    I => I -- Buffer input (connect directly to top-level port)
);

-- End of IBUF_inst instantiation
```

Verilog 記述 (インスタンス化)

```
// IBUF: Single-ended Input Buffer
//      All devices
// Xilinx HDL Libraries Guide, version 11.2

IBUF #(
    .IBUF_DELAY_VALUE("0"),    // Specify the amount of added input delay for
                                // the buffer: "0"-"12" (Spartan-3E)
                                // "0"-"16" (Spartan-3A)
    .IFD_DELAY_VALUE("AUTO"),  // Specify the amount of added delay for input
                                // register: "AUTO", "0"-"6" (Spartan-3E)
                                // "AUTO", "0"-"8" (Spartan-3A)
    .IOSTANDARD("DEFAULT")    // Specify the input I/O standard
)IBUF_inst (
    .O(O),    // Buffer output
    .I(I)     // Buffer input (connect directly to top-level port)
);

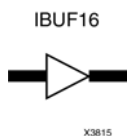
// End of IBUF_inst instantiation
```

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリー データシート](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)
- ・ [Spartan-3E FPGA ファミリー データシート](#)
- ・ [Spartan-6 FPGA SelectIO リソース ユーザー ガイド](#)
- ・ [Spartan-6 FPGA データシート: DC 特性およびスイッチ特性](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート: DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート: DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当する EDK 資料](#)

IBUF16

マクロ : 16-Bit Input Buffer



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6
- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

IBUF は、チップに入力される信号から内部回路を分離します。このデザイン エLEMENTは I/O ブロック (IOB) に含まれており、I/O の I/O 規格を指定できます。通常シングルエンドのデータ入力ピンまたは双方向ピンに使用されます。

デザインの入力方法

| | |
|--------------------------|----|
| インスタンス化 | 可 |
| 推論 | 推奨 |
| CORE Generator™ およびウィザード | 不可 |
| マクロのサポート | 不可 |

このELEMENTは、回路図で使用されます。

このELEMENTは通常、デザインの最上位入力ポートに対して推論されます。通常はソースコードで指定する必要はありませんが、必要に応じてインスタンス化できます。このコンポーネントをインスタンス化するには、該当するライブラリガイドに含まれるインスタンス化コードを最上位エンティティ/モジュールに挿入します。デザイン階層を保つために、すべての I/O コンポーネントを必ずデザインの最上位に配置してください。I ポートをデザインの最上位入力ポートに、O ポートをこの入力供給されるロジックに直接接続します。generic/defparam 値を設定し、バッファのビヘイビアを適切に設定してください。

使用可能な属性

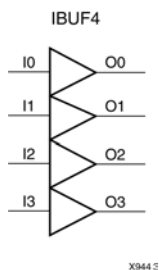
| 属性 | タイプ | 値 | デフォルト | 説明 |
|------------------|-----|----------------------------------|-----------|---------------------------------------|
| CAPACITANCE | 文字列 | LOW、NORMAL、DONT_CARE | DONT_CARE | I/O を低いまたは通常の固有キャパシタンスと共に使用するかどうかを指定。 |
| IBUF_DELAY_VALUE | 文字列 | 0 ~ 12 0 ~ 16 | 0 | IOB 外のレジスタを介さないパスに追加する遅延を指定 |
| IFD_DELAY_VALUE | 文字列 | AUTO、 0 ~ 6 AUTO、 0 ~ 8 | AUTO | IOB 内のレジスタを介するパスに追加する遅延を指定 |
| IOSTANDARD | 文字列 | データシートを参照 | DEFAULT | I/O 規格をエレメントに割り当て |

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリ データシート](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリ データシート](#)
- ・ [Spartan-3E FPGA ファミリ データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

IBUF4

マクロ : 4-Bit Input Buffer



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6
- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

IBUF は、チップに入力される信号から内部回路を分離します。このデザイン エLEMENTは I/O ブロック (IOB) に含まれており、I/O の I/O 規格を指定できます。通常シングルエンドのデータ入力ピンまたは双方向ピンに使用されます。

デザインの入力方法

| | |
|--------------------------|----|
| インスタンス化 | 可 |
| 推論 | 推奨 |
| CORE Generator™ およびウィザード | 不可 |
| マクロのサポート | 不可 |

このELEMENTは、回路図で使用されます。

このELEMENTは通常、デザインの最上位入力ポートに対して推論されます。通常はソースコードで指定する必要はありませんが、必要に応じてインスタンス化できます。このコンポーネントをインスタンス化するには、該当するライブラリ ガイドに含まれるインスタンス化コードを最上位エンティティ/モジュールに挿入します。デザイン階層を保つために、すべての I/O コンポーネントを必ずデザインの最上位に配置してください。I ポートをデザインの最上位入力ポートに、O ポートをこの入力 that 供給されるロジックに直接接続します。generic/defparam 値を設定し、バッファのビヘイビアを適切に設定してください。

使用可能な属性

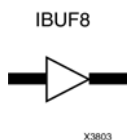
| 属性 | タイプ | 値 | デフォルト | 説明 |
|------------------|-----|----------------------------------|-----------|---------------------------------------|
| CAPACITANCE | 文字列 | LOW、NORMAL、 DONT_CARE | DONT_CARE | I/O を低いまたは通常の固有キャパシタンスと共に使用するかどうかを指定。 |
| IBUF_DELAY_VALUE | 文字列 | 0 ~ 12 0 ~ 16 | 0 | IOB 外のレジスタを介さないパスに追加する遅延を指定 |
| IFD_DELAY_VALUE | 文字列 | AUTO、 0 ~ 6 AUTO、 0 ~ 8 | AUTO | IOB 内のレジスタを介するパスに追加する遅延を指定 |
| IOSTANDARD | 文字列 | データシートを参照 | DEFAULT | I/O 規格をエレメントに割り当て |

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリー データシート](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリー データシート](#)
- ・ [Spartan-3E FPGA ファミリー データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

IBUF8

マクロ : 8-Bit Input Buffer



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6
- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

IBUF は、チップに入力される信号から内部回路を分離します。このデザイン エLEMENTは I/O ブロック (IOB) に含まれており、I/O の I/O 規格を指定できます。通常シングルエンドのデータ入力ピンまたは双方向ピンに使用されます。

デザインの入力方法

| | |
|--------------------------|----|
| インスタンス化 | 可 |
| 推論 | 推奨 |
| CORE Generator™ およびウィザード | 不可 |
| マクロのサポート | 不可 |

このELEMENTは、回路図で使用されます。

このELEMENTは通常、デザインの最上位入力ポートに対して推論されます。通常はソースコードで指定する必要はありませんが、必要に応じてインスタンス化できます。このコンポーネントをインスタンス化するには、該当するライブラリガイドに含まれるインスタンス化コードを最上位エンティティ/モジュールに挿入します。デザイン階層を保つために、すべての I/O コンポーネントを必ずデザインの最上位に配置してください。I ポートをデザインの最上位入力ポートに、O ポートをこの入力供給されるロジックに直接接続します。generic/defparam 値を設定し、バッファのビヘイビアを適切に設定してください。

使用可能な属性

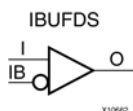
| 属性 | タイプ | 値 | デフォルト | 説明 |
|------------------|-----|----------------------------------|-----------|---------------------------------------|
| CAPACITANCE | 文字列 | LOW、NORMAL、DONT_CARE | DONT_CARE | I/O を低いまたは通常の固有キャパシタンスと共に使用するかどうかを指定。 |
| IBUF_DELAY_VALUE | 文字列 | 0 ~ 12 0 ~ 16 | 0 | IOB 外のレジスタを介さないパスに追加する遅延を指定 |
| IFD_DELAY_VALUE | 文字列 | AUTO、 0 ~ 6 AUTO、 0 ~ 8 | AUTO | IOB 内のレジスタを介するパスに追加する遅延を指定 |
| IOSTANDARD | 文字列 | データシートを参照 | DEFAULT | I/O 規格をエレメントに割り当て |

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリー データシート](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリー データシート](#)
- ・ [Spartan-3E FPGA ファミリー データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

IBUFDS

プリミティブ : Differential Signaling Input Buffer



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6

概要

このデザイン エLEMENTは、低電圧差動信号を使用する入力バッファです。IBUFDS では、デザイン レベルのインターフェイス信号は、一方がマスタで、もう一方がスレーブとなる 2 つの異なるポート (I、IB) で表されます。マスタとスレーブは MYNET_P と MYNET_N のように、同じ論理信号の反対の状態を示します。オプションで、プログラム可能な差動終端機能を使用すると、シグナル インテグリティが向上し、外部コンポーネントの数を減らすことができます。

論理表

| 入力 | | 出力 |
|----|----|------|
| I | IB | O |
| 0 | 0 | 変化なし |
| 0 | 1 | 0 |
| 1 | 0 | 1 |
| 1 | 1 | 変化なし |

ポートの説明

| ポート名 | タイプ | 幅 | 機能 |
|------|-----|---|----------------|
| I | 入力 | 1 | Diff_p バッファの入力 |
| IB | 入力 | 1 | Diff_p バッファの入力 |
| O | 出力 | 1 | バッファの出力 |

デザインの入力方法

| | |
|--------------------------|----|
| インスタンス化 | 推奨 |
| 推論 | 不可 |
| CORE Generator™ およびウィザード | 不可 |
| マクロのサポート | 不可 |

このエレメントは、回路図で使用されます。

デザイン階層を保つために、すべての I/O コンポーネントを必ずデザインの最上位に配置してください。I ポートを直接デザインの最上位のマスタとなる入力ポートに、IB ポートを最上位のスレーブとなる入力ポートに、O ポートをこの入力に供給されるロジックに接続します。generic/defparam 値を設定し、バッファのビヘイビアを適切に設定してください。

使用可能な属性

| 属性 | タイプ | 値 | デフォルト | 説明 |
|------------------|-------|----------------------------------|-----------|---------------------------------------|
| CAPACITANCE | 文字列 | LOW、NORMAL、DONT_CARE | DONT_CARE | I/O を低いまたは通常の固有キャパシタンスと共に使用するかどうかを指定。 |
| DIFF_TERM | ブール代数 | TRUE、FALSE | FALSE | ビルトインの差動終端抵抗をイネーブル |
| IBUF_DELAY_VALUE | 文字列 | 0 ~ 12 0 ~ 16 | 0 | IOB 外のレジスタを介さないパスに追加する遅延を指定 |
| IFD_DELAY_VALUE | 文字列 | AUTO、 0 ~ 6 AUTO、 0 ~ 8 | AUTO | IOB 内のレジスタを介するパスに追加する遅延を指定 |
| IOSTANDARD | 文字列 | データシートを参照 | DEFAULT | I/O 規格をエレメントに割り当て |

VHDL 記述 (インスタンス化)

次の 2 つの構文が存在しない場合はコピーし、エンティティ宣言の前に貼り付けます。

```
Library UNISIM;
use UNISIM.vcomponents.all;

-- IBUFDS: Differential Input Buffer
--      Spartan-3/3E/3A
-- Xilinx HDL Libraries Guide, version 11.2

IBUFDS_inst : IBUFDS
generic map (
  CAPACITANCE => "DONT_CARE", -- "LOW", "NORMAL", "DONT_CARE" (Virtex-4 only)
  DIFF_TERM   => FALSE, -- Differential Termination (Virtex-4/5, Spartan-3E/3A)
  IBUF_DELAY_VALUE => "0", -- Specify the amount of added input delay for buffer,
                        -- "0"-"12" (Spartan-3E)
                        -- "0"-"16" (Spartan-3A)
  IFD_DELAY_VALUE => "AUTO", -- Specify the amount of added delay for input register,
                        -- "AUTO", "0"-"6" (Spartan-3E)
                        -- "AUTO", "0"-"8" (Spartan-3A)
  IOSTANDARD  => "DEFAULT")
port map (
  O => O, -- Clock buffer output
  I => I, -- Diff_p clock buffer input (connect directly to top-level port)
  IB => IB -- Diff_n clock buffer input (connect directly to top-level port)
);

-- End of IBUFDS_inst instantiation
```

Verilog 記述 (インスタンスレーション)

```
// IBUFDS: Differential Input Buffer
//          Virtex-4/5, Spartan-3/3E/3A
// Xilinx HDL Libraries Guide, version 11.2

IBUFDS #(
    .CAPACITANCE("DONT_CARE"), // "LOW", "NORMAL", "DONT_CARE" (Virtex-4 only)
    .DIFF_TERM("FALSE"),      // Differential Termination (Virtex-4/5, Spartan-3E/3A)
    .IBUF_DELAY_VALUE("0"),   // Specify the amount of added input delay for
                                // the buffer: "0"-"12" (Spartan-3E)
                                // "0"-"16" (Spartan-3A)
    .IFD_DELAY_VALUE("AUTO"), // Specify the amount of added delay for input
                                // register: "AUTO", "0"-"6" (Spartan-3E)
                                // "AUTO", "0"-"8" (Spartan-3A)
    .IOSTANDARD("DEFAULT")    // Specify the input I/O standard
) IBUFDS_inst (
    .O(O), // Buffer output
    .I(I), // Diff_p buffer input (connect directly to top-level port)
    .IB(IB) // Diff_n buffer input (connect directly to top-level port)
);

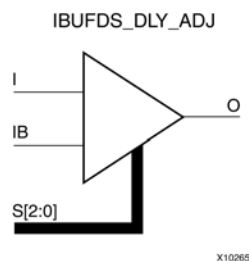
// End of IBUFDS_inst instantiation
```

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリー データシート](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)
- ・ [Spartan-3E FPGA ファミリー データシート](#)
- ・ [Spartan-6 FPGA SelectIO リソース ユーザー ガイド](#)
- ・ [Spartan-6 FPGA データシート: DC 特性およびスイッチ特性](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート: DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート: DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

IBUFDS_DLY_ADJ

プリミティブ : Dynamically Adjustable Differential Input Delay Buffer



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

Spartan®-3A

概要

このデザイン エLEMENTは調整可能な遅延ELEMENTを含む差動入力バッファで、FPGA への入力信号の遅延を動的に変更できるようにします。この機能は、FPGA への高速入力データをプロセス、電圧、温度の変化に対して調整する場合に特に便利です。このコンポーネントには 3 ビットのセレクト バスがあり、入力信号に 8 個の遅延値を追加できます。また、遅延オフセットを設定することも可能で、遅延調整値を連続する 16 個の遅延値の上位 8 個にするか下位 8 個にするかを指定できます。

ポートの説明

| ポート名 | 方向 | 幅 | 機能 |
|------|----|---|---------------------|
| O | 出力 | 1 | バッファの遅延された出力 |
| I | 入力 | 1 | 差動入力データ (正) |
| IB | 入力 | 1 | 差動入力データ (負) |
| S | 入力 | 3 | ダイナミック遅延調整のセレクト ライン |

デザインの入力方法

| | |
|--------------------------|----|
| インスタンス化 | 推奨 |
| 推論 | 不可 |
| CORE Generator™ およびウィザード | 不可 |
| マクロのサポート | 不可 |

使用可能な属性

| 属性 | タイプ | 値 | デフォルト | 説明 |
|--------------|-----------|---------------|---------|--|
| DELAY_OFFSET | 文字列 | OFF、ON | OFF | OFF に設定すると、下位の遅延値が使用されます。この設定は、必要な追加遅延が小さい場合に使用します。ON に設定すると、上位の (大きい) 遅延値が使用されます。この設定は、必要な追加遅延が大きい場合に使用します。 |
| DIFF_TERM | ブール 代数 | TRUE、FALSE | FALSE | 内部差動終端をイネーブルにするかディスエーブルにするかを指定 |
| IOSTANDARD | 文字列 | データシート を参照 | DEFAULT | I/O 規格をエレメントに割り当て |

VHDL 記述 (インスタンスエーション)

次の 2 つの構文が存在しない場合はコピーし、エンティティ宣言の前に貼り付けます。

```
Library UNISIM;
use UNISIM.vcomponents.all;

-- IBUFDS_DLY_ADJ: Differential Input Buffer
--               Spartan-3A
-- Xilinx HDL Libraries Guide, version 11.2

IBUFDS_DLY_ADJ_inst : IBUFDS_DLY_ADJ
generic map (
    DIFF_TERM => FALSE, -- Differential Termination
    DELAY_OFFSET => "OFF", -- Enable initial Delay Offset, "OFF" or "ON"
    IOSTANDARD => "DEFAULT") -- Specify the input I/O standard
port map (
    O => O, -- Buffer output
    I => I, -- Diff_p buffer input (connect directly to top-level port)
    IB => IB, -- Diff_n buffer input (connect directly to top-level port)
    S => S, -- 3-bit buffer delay select input
);

-- End of IBUFDS_DLY_ADJ_inst instantiation
```

Verilog 記述 (インスタンスエーション)

```
// IBUFDS_DLY_ADJ: Dynamically Adjustable Delay, Differential Input Buffer
//               Spartan-3A
// Xilinx HDL Libraries Guide, version 11.2

IBUFDS_DLY_ADJ #(
    .DELAY_OFFSET("OFF"), // Enable Initial Delay Offset, "OFF" or "ON"
    .DIFF_TERM("FALSE"), // Differential Termination
    .IOSTANDARD("DEFAULT") // Specify the input I/O standard
) IBUFDS_DLY_ADJ_inst (
    .O(O), // Buffer output
    .I(I), // Diff_p buffer input (connect directly to top-level port)
    .IB(IB), // Diff_n buffer input (connect directly to top-level port)
    .S(S) // 3-bit buffer delay select input
);

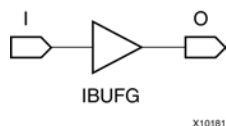
// End of IBUFDS_DLY_ADJ_inst instantiation
```

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリ データシート](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリ データシート](#)
- ・ [Spartan-3E FPGA ファミリ データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

IBUFG

プリミティブ : Dedicated Input Clock Buffer



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6
- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

IBUFG は、FPGA への入力クロックをグローバル クロック配線リソースに接続するために使用する専用入力です。DCM_SP および BUFG への専用接続となり、デバイスのクロック遅延とジッタが最小限に抑えられます。IBUFG の入力は、グローバル クロック ピンでのみ駆動できます。IBUFG の出力は、DCM_SP、BUFG、または指定したロジックの CLKIN を駆動できます。IBUFG は最上位ポートから MMCM または BUFG への専用接続となり、デバイスのクロック遅延とジッタが最小限に抑えられます。IBUFG の入力は、グローバル ケーパブル (CC) ピンまたはグローバル クロック (GC) ピンでのみ駆動できます。DCM、PLL、および BUFG への専用接続となり、デバイスのクロック遅延とジッタが最小限に抑えられます。IBUFG の入力は、グローバル クロック (GC) ピンでのみ駆動できます。

ポートの説明

| ポート名 | 方向 | 幅 | 機能 |
|------|----|---|-------------|
| O | 出力 | 1 | クロック バッファ出力 |
| I | 入力 | 1 | クロック バッファ入力 |

デザインの入力方法

| | |
|--------------------------|----|
| インスタンス化 | 可 |
| 推論 | 推奨 |
| CORE Generator™ およびウィザード | 不可 |
| マクロのサポート | 不可 |

このELEMENTは、回路図で使用されます。

使用可能な属性

| 属性 | タイプ | 値 | デフォルト | 説明 |
|------------------|-----|----------------------|-----------|---------------------------------------|
| CAPACITANCE | 文字列 | LOW、NORMAL、DONT_CARE | DONT_CARE | I/O を低いまたは通常の固有キャパシタンスと共に使用するかどうかを指定。 |
| IBUF_DELAY_VALUE | 文字列 | 0 ~ 120 ~ 16 | 0 | IOB からのレジスタを介さないパスに追加する遅延を指定 |
| IOSTANDARD | 文字列 | データシートを参照 | DEFAULT | I/O 規格をエレメントに割り当て |

VHDL 記述 (インスタンスレーション)

次の 2 つの構文が存在しない場合はコピーし、エンティティ宣言の前に貼り付けます。

```
Library UNISIM;
use UNISIM.vcomponents.all;

-- IBUFG: Global Clock Buffer (sourced by an external pin)
-- Xilinx HDL Libraries Guide, version 11.2

IBUFG_inst : IBUFG
generic map (
    IOSTANDARD => "DEFAULT")
port map (
    O => O, -- Clock buffer output
    I => I  -- Clock buffer input (connect directly to top-level port)
);

-- End of IBUFG_inst instantiation
```

Verilog 記述 (インスタンスレーション)

```
// IBUFG: Global Clock Buffer (sourced by an external pin)
// All FPGAs
// Xilinx HDL Libraries Guide, version 11.2

IBUFG #(
    .IOSTANDARD("DEFAULT"),
    .IBUF_DELAY_VALUE("0") // Specify the amount of added input delay for
                          // the buffer: "0"-"12" (Spartan-3E)
                          // "0"-"16" (Spartan-3A)
) IBUFG_inst (
    .O(O), // Clock buffer output
    .I(I)  // Clock buffer input (connect directly to top-level port)
);

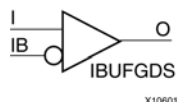
// End of IBUFG_inst instantiation
```


詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリ データシート](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)
- ・ [Spartan-3E FPGA ファミリ データシート](#)
- ・ [Spartan-6 FPGA SelectIO リソース ユーザー ガイド](#)
- ・ [Spartan-6 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当する EDK 資料](#)

IBUFGDS

プリミティブ : Differential Signaling Dedicated Input Clock Buffer and Optional Delay



サポートされているアーキテクチャ

このデザイン エレメントは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6

概要

このデザイン エレメント は、クロック バッファ (BUFG) または DCMMCM に接続するための専用の差動信号入力バッファです。IBUFGDS では、デザイン レベルのインターフェイス信号は、一方が「マスタ」で、もう一方が「スレーブ」となる 2 つの異なるポート (I, IB) で表されます。マスタとスレーブは MYNET_P と MYNET_N のように、同じ論理信号の反対の状態を示します。オプションで、プログラム可能な差動終端機能を使用すると、シグナル インテグリティが向上し、外部コンポーネントの数を減らすことができます。デバイスへの入力データの取り込みには、プログラマブル遅延を使用することもできます。

論理表

| 入力 | | 出力 |
|----|----|------|
| I | IB | O |
| 0 | 0 | 変化なし |
| 0 | 1 | 0 |
| 1 | 0 | 1 |
| 1 | 1 | 変化なし |

ポートの説明

| ポート名 | 方向 | 幅 | 機能 |
|------|----|---|---------------------|
| O | 出力 | 1 | クロック バッファ出力 |
| IB | 入力 | 1 | Diff_n クロック バッファの入力 |
| I | 入力 | 1 | Diff_p クロック バッファの入力 |

デザインの入力方法

| | |
|--------------------------|----|
| インスタンス化 | 推奨 |
| 推論 | 不可 |
| CORE Generator™ およびウィザード | 不可 |
| マクロのサポート | 不可 |

このELEMENTは、回路図で使用されます。

デザイン階層を保つために、すべての I/O コンポーネントを必ずデザインの最上位に配置してください。I ポートを直接デザインの最上位のマスタとなる入力ポートに、IB ポートを最上位のスレーブとなる入力ポートに、O ポートをこの入力をソースとする DCMMMCM、BUFG、またはロジックに接続してください。一部の合成ツールでは、IBUFG を FPGA のクロックリソースに接続すると、必要に応じて BUFG が自動的に推論されます。generic/defparam 値を設定し、バッファのビヘイビアを適切に設定してください。

使用可能な属性

| 属性 | タイプ | 値 | デフォルト | 説明 |
|------------------|-------|----------------------|-----------|---------------------------------------|
| CAPACITANCE | 文字列 | LOW、NORMAL、DONT_CARE | DONT_CARE | I/O を低いまたは通常の固有キャパシタンスと共に使用するかどうかを指定。 |
| DIFF_TERM | ブール代数 | TRUE、FALSE | FALSE | ビルトインの差動終端抵抗をイネーブル |
| IBUF_DELAY_VALUE | 文字列 | 0 ~ 120 ~ 16 | 0 | IOB からのレジスタを介さないパスに追加する遅延を指定 |
| IOSTANDARD | 文字列 | データシートを参照 | DEFAULT | I/O 規格をELEMENTに割り当て |

VHDL 記述 (インスタンス化)

次の 2 つの構文が存在しない場合はコピーし、エンティティ宣言の前に貼り付けます。

```

Library UNISIM;
use UNISIM.vcomponents.all;

-- IBUFGDS: Differential Global Clock Buffer (sourced by an external pin)
--          Virtex-4/5, Spartan-3/3E/3A
-- Xilinx HDL Libraries Guide, version 11.2

IBUFGDS_inst : IBUFGDS
generic map (
  IOSTANDARD => "DEFAULT")
port map (
  O => O, -- Clock buffer output
  I => I, -- Diff_p clock buffer input
  IB => IB -- Diff_n clock buffer input
);

-- End of IBUFGDS_inst instantiation

```

Verilog 記述 (インスタンシエーション)

```
// IBUFGDS: Differential Global Clock Buffer (sourced by an external pin)
//           Virtex-4/5, Spartan-3/3E/3A
// Xilinx HDL Libraries Guide, version 11.2

IBUFGDS #(
    .DIFF_TERM("FALSE"), // Differential Termination (Virtex-4/5, Spartan-3E/3A)
    .IOSTANDARD("DEFAULT") // Specifies the I/O standard for this buffer
    .IBUF_DELAY_VALUE("0") // Specify the amount of added input delay for
                           // the buffer: "0"-12" (Spartan-3E)
                           // "0"-16" (Spartan-3A)
) IBUFGDS_inst (
    .O(O), // Clock buffer output
    .I(I), // Diff_p clock buffer input
    .IB(IB) // Diff_n clock buffer input
);

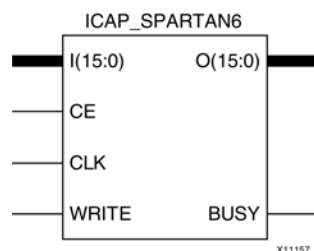
// End of IBUFGDS_inst instantiation
```

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリ データシート](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)
- ・ [Spartan-3E FPGA ファミリ データシート](#)
- ・ [Spartan-6 FPGA SelectIO リソース ユーザー ガイド](#)
- ・ [Spartan-6 FPGA データシート: DC 特性およびスイッチ特性](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート: DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート: DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

ICAP_SPARTAN6

プリミティブ : Internal Configuration Access Port



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

Spartan®-6

概要

このデザイン エLEMENTからは、FPGA ファブリックから FPGA のコンフィギュレーション機能にアクセスできます。このコンポーネントの主な用途は、FPGA デバイスでのマルチブート制御です。このコンポーネントを使用すると、FPGA アレイのコンフィギュレーション ロジックにコマンドおよびデータを書き込んだり、コンフィギュレーション ロジックからデータを読み出ししたりすることができます。このファンクションを正しく使用しないと FPGA の機能および信頼性に悪影響を与えるため、機能を完全に理解した上で使用してください。

ポートの説明

| ポート名 | タイプ | 幅 | 機能 |
|---------|-----|----|---|
| BUSY | 出力 | 1 | アクティブ High の BUSY ステータス信号。読み出し操作でのみ使用され、書き込み中は Low に保持されます。 |
| CE | 入力 | 1 | アクティブ Low のクロック イネーブル入力 |
| CLK | 入力 | 1 | クロック入力 |
| I[15:0] | 入力 | 16 | コンフィギュレーション データ入力バス |
| O[15:0] | 出力 | 16 | コンフィギュレーション データ出力バス |
| WRITE | 入力 | 1 | アクティブ Low の書き込み入力 |

デザインの入力方法

| | |
|--------------------------|----|
| インスタンス化 | 推奨 |
| 推論 | 不可 |
| CORE Generator™ およびウィザード | 不可 |
| マクロのサポート | 不可 |

このELEMENTは、回路図で使用されます。

VHDL 記述 (インスタンスレーション)

```
-- ICAP_SPARTAN6: Internal Configuration Access Port
--                      Spartan-6
-- Xilinx HDL Libraries Guide, version 11.2

ICAP_SPARTAN6_inst : ICAP_SPARTAN6
generic map (
)
port map (
    BUSY => BUSY,    -- 1-bit Busy output
    O => O,          -- 16-bit Configuration data output bus
    CE => CE,        -- 1-bit Active low clock enable input
    CLK => CLK,      -- 1-bit Clock input
    I => I,          -- 16-bit Configuration data input bus
    WRITE => WRITE   -- 1-bit Active low write input
);

-- End of ICAP_SPARTAN6_inst instantiation
```

Verilog 記述 (インスタンスレーション)

```
// ICAP_SPARTAN6: Internal Configuration Access Port
//                      Spartan-6
// Xilinx HDL Language Template, version 11.1

ICAP_SPARTAN6 ICAP_SPARTAN6_inst (
    .BUSY(BUSY),    // 1-bit Busy output
    .O(O),          // 16-bit Configuration data output bus
    .CE(CE),        // 1-bit Active low clock enable input
    .CLK(CLK),      // 1-bit Clock input
    .I(I),          // 16-bit Configuration data input bus
    .WRITE(WRITE)  // 1-bit Active low write input
);

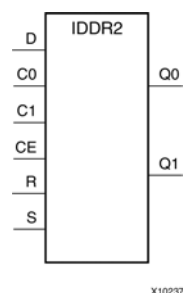
// End of ICAP_SPARTAN6_inst instantiation
```

詳細情報

- ・ [Spartan-6 FPGA コンフィギュレーション ユーザー ガイド](#)
- ・ [Spartan-6 FPGA データシート: DC 特性およびスイッチ特性](#)

IDDR2

プリミティブ : Double Data Rate Input D Flip-Flop with Optional Data Alignment, Clock Enable and Programmable Synchronous or Asynchronous Set/Reset



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6

概要

このデザイン エLEMENTは、ザイリンクス FPGA で外部デュアル データレート (DDR) 信号を受信するための専用入力レジスタです。C0 と C1 の 2 つのクロックを使用してコンポーネントに接続されるので、C0 および C1 の両方の立ち上がりエッジでデータが取り込まれます。IDDR2 は、レジスタの動作を停止するために使用できるアクティブ High のクロック イネーブル (CE) ポート、対応するクロックに同期または非同期になるよう設定できるセット/リセット ポートを備えています。また、オプションの調整機能を使用すると、コンポーネントへの両方の出力データ ポートを 1 つのクロックに揃えることができます。

論理表

| 入力 | | | | | | 出力 | |
|----------------------------|---|----|---|----|----|-------------|-------------|
| S | R | CE | D | C0 | C1 | Q0 | Q1 |
| 1 | X | X | X | X | X | INIT_Q0 | INIT_Q1 |
| 0 | 1 | X | X | X | X | not INIT_Q0 | not INIT_Q1 |
| 0 | 0 | 0 | X | X | X | 変化なし | 変化なし |
| 0 | 0 | 1 | D | ↑ | X | D | 変化なし |
| 0 | 0 | 1 | D | X | ↑ | 変化なし | D |
| セット/リセットは SRTYPE 値で同期に設定可能 | | | | | | | |

デザインの入力方法

| | |
|--------------------------|----|
| インスタンス化 | 推奨 |
| 推論 | 不可 |
| CORE Generator™ およびウィザード | 不可 |
| マクロのサポート | 不可 |

このエレメントは、回路図で使用されます。

デフォルトの動作を変更するには、ジェネリック マップ (VHDL) またはパラメータ値代入 (Verilog) を使用して、インスタンス化されたコンポーネントの一部として属性を変更します。IDDR2 は、入力バッファが推論されるデザインの最上位入力ポートに接続するか、インスタンス化された IBUF、IOBUF、IBUFDS、または IOBUFDS のいずれかに直接接続できます。このコンポーネントのすべての入力と出力は、接続しておく必要があります。

使用可能な属性

| 属性 | タイプ | 値 | デフォルト | 説明 |
|---------------|-----|------------|-------|--|
| DDR_ALIGNMENT | 文字列 | NONE、C0、C1 | NONE | DDR レジスタの出力アライメントを設定 <ul style="list-style-type: none"> NONE : 対応する C0 または C1 の立ち上がりエッジのすぐ後で、Q0 および Q1 にデータが出力されます。 C0 : Q0 と Q1 両方のデータが C0 クロックの立ち上がりエッジに同期します。 C1 : Q0 と Q1 両方のデータが C1 クロックの立ち上がりエッジに同期します。 |
| INIT_Q0 | 整数 | 0、1 | 0 | Q0 出力の初期値を 0 または 1 に設定 |
| INIT_Q1 | 整数 | 0、1 | 0 | Q1 出力の初期値を 0 または 1 に設定 |
| SRTYPE | 文字列 | SYNC、ASYNC | SYNC | セット/リセットを SYNC または ASYNC に設定 |

VHDL 記述 (インスタンス化)

次の 2 つの構文が存在しない場合はコピーし、エンティティ宣言の前に貼り付けます。

```
Library UNISIM;
use UNISIM.vcomponents.all;

-- IDDR2: Input Double Data Rate Input Register with Set, Reset
-- and Clock Enable. Spartan-3E/3A/6
-- Xilinx HDL Libraries Guide, version 11.2

IDDR2_inst : IDDR2
generic map(
  DDR_ALIGNMENT => "NONE", -- Sets output alignment to "NONE", "C0", "C1"
  INIT_Q0 => '0', -- Sets initial state of the Q0 output to '0' or '1'
  INIT_Q1 => '0', -- Sets initial state of the Q1 output to '0' or '1'
  SRTYPE => "SYNC") -- Specifies "SYNC" or "ASYNC" set/reset
port map (
  Q0 => Q0, -- 1-bit output captured with C0 clock
  Q1 => Q1, -- 1-bit output captured with C1 clock
  C0 => C0, -- 1-bit clock input
  C1 => C1, -- 1-bit clock input
  CE => CE, -- 1-bit clock enable input
  D => D, -- 1-bit data input
  R => R, -- 1-bit reset input
  S => S -- 1-bit set input
```



```
);  
  
-- End of IDDR2_inst instantiation
```

Verilog 記述 (インスタンス化)

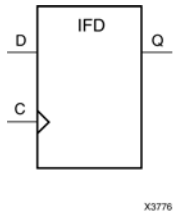
```
// IDDR2: Input Double Data Rate Input Register with Set, Reset  
//         and Clock Enable.  
//         Spartan-3E/3A/6  
// Xilinx HDL Libraries Guide, version 11.2  
  
IDDR2 #(  
    .DDR_ALIGNMENT("NONE"), // Sets output alignment to "NONE", "C0" or "C1"  
    .INIT_Q0(1'b0), // Sets initial state of the Q0 output to 1'b0 or 1'b1  
    .INIT_Q1(1'b0), // Sets initial state of the Q1 output to 1'b0 or 1'b1  
    .SRTYPE("SYNC") // Specifies "SYNC" or "ASYN" set/reset  
) IDDR2_inst (  
    .Q0(Q0), // 1-bit output captured with C0 clock  
    .Q1(Q1), // 1-bit output captured with C1 clock  
    .C0(C0), // 1-bit clock input  
    .C1(C1), // 1-bit clock input  
    .CE(CE), // 1-bit clock enable input  
    .D(D),   // 1-bit DDR data input  
    .R(R),   // 1-bit reset input  
    .S(S)    // 1-bit set input  
) ;  
  
// End of IDDR2_inst instantiation
```

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)
- ・ [Spartan-6 FPGA コンフィギュラブル ロジック ブロック ユーザー ガイド](#)
- ・ [Spartan-6 FPGA データシート : DC 特性およびスイッチ特性](#)

IFD

マクロ : Input D Flip-Flop



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6

概要

このELEMENTは D フリップフロップで、I/O ブロック (IOB) に含まれています。フリップフロップの入力 (D) は、IBUF を使用せずに IPAD または IOPAD に接続されます。入力 D からはデータが入力され、チップへのデータ入力同期化されます。入力 D の値は、クロック (C) が Low から High に切り替わるときに、フリップフロップにロードされ、出力 (Q) に出力されます。クロック入力、内部ロジックまたは別の外部ピンによって駆動できます。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバータを追加するとアクティブ Low にできます。

論理表

| 入力 | | 出力 |
|----|---|----|
| D | C | Q |
| D | ↑ | D |

デザインの入力方法

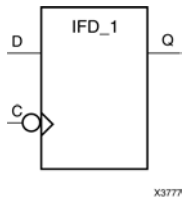
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリ データシート](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリ データシート](#)
- ・ [Spartan-3E FPGA ファミリ データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

IFD_1

マクロ : Input D Flip-Flop with Inverted Clock (Asynchronous Preset)



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6

概要

このデザイン エLEMENTは D フリップフロップで、I/O ブロック (IOB) に含まれています。フリップフロップの入力 (D) は、IPAD または IOPAD に接続されます。また、入力 D からはデータが入力され、チップへのデータ入力が同期化されます。入力 D の値は、クロック (C) が High から Low に切り替わる時に、フリップフロップにロードされ、出力 (Q) に出力されます。クロック入力、内部ロジックまたは別の外部ピンによって駆動できます。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバータを追加するとアクティブ Low にできます。

論理表

| 入力 | | 出力 |
|----|---|----|
| D | C | Q |
| 0 | ↓ | 0 |
| 1 | ↓ | 1 |

デザインの入力方法

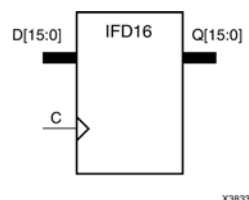
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリ データシート](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリ データシート](#)
- ・ [Spartan-3E FPGA ファミリ データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

IFD16

マクロ : 16-Bit Input D Flip-Flop



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6

概要

このELEMENTは D フリップフロップで、I/O ブロック (IOB) に含まれています。フリップフロップの入力 (D) は、IBUF を使用せずに IPAD または IOPAD に接続されます。入力 D からはデータが入力され、チップへのデータ入力同期化されます。入力 D の値は、クロック (C) が Low から High に切り替わるときに、フリップフロップにロードされ、出力 (Q) に出力されます。クロック入力、内部ロジックまたは別の外部ピンによって駆動できます。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバータを追加するとアクティブ Low にできます。

論理表

| 入力 | | 出力 |
|----|---|----|
| D | C | Q |
| D | ↑ | D |

デザインの入力方法

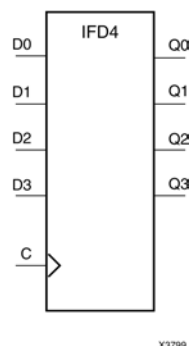
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリ データシート](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリ データシート](#)
- ・ [Spartan-3E FPGA ファミリ データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

IFD4

マクロ : 4-Bit Input D Flip-Flop



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6

概要

このELEMENTは D フリップフロップで、I/O ブロック (IOB) に含まれています。フリップフロップの入力 (D) は、IBUF を使用せずに IPAD または IOPAD に接続されます。入力 D からはデータが入力され、チップへのデータ入力同期化されます。入力 D の値は、クロック (C) が Low から High に切り替わるときに、フリップフロップにロードされ、出力 (Q) に出力されます。クロック入力、内部ロジックまたは別の外部ピンによって駆動できます。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスで PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバータを追加するとアクティブ Low にできます。

論理表

| 入力 | | 出力 |
|----|---|----|
| D | C | Q |
| D | ↑ | D |

デザインの入力方法

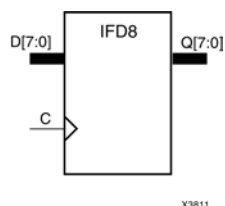
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリ データシート](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリ データシート](#)
- ・ [Spartan-3E FPGA ファミリ データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

IFD8

マクロ : 8-Bit Input D Flip-Flop



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6

概要

このELEMENTは D フリップフロップで、I/O ブロック (IOB) に含まれています。フリップフロップの入力 (D) は、IBUF を使用せずに IPAD または IOPAD に接続されます。入力 D からはデータが入力され、チップへのデータ入力同期化されます。入力 D の値は、クロック (C) が Low から High に切り替わるときに、フリップフロップにロードされ、出力 (Q) に出力されます。クロック入力は、内部ロジックまたは別の外部ピンによって駆動できます。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバータを追加するとアクティブ Low にできます。

論理表

| 入力 | | 出力 |
|----|---|----|
| D | C | Q |
| D | ↑ | D |

デザインの入力方法

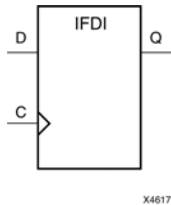
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリ データシート](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリ データシート](#)
- ・ [Spartan-3E FPGA ファミリ データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

IFDI

マクロ : Input D Flip-Flop (Asynchronous Preset)



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6

概要

このデザイン エLEMENTは D フリップフロップで、I/O ブロック (IOB) に含まれています。フリップフロップの入力 (D) は、IPAD または IOPAD に接続されます。入力 D からはデータが入力され、チップへのデータ入力が同期化されます。入力 D の値は、クロック (C) が Low から High に切り替わるときに、フリップフロップにロードされ、出力 (Q) に出力されます。クロック入力は、内部ロジックまたは別の外部ピンによって駆動できます。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバータを追加するとアクティブ Low にできます。

論理表

| 入力 | | 出力 |
|----|---|----|
| D | C | Q |
| D | ↑ | D |

デザインの入力方法

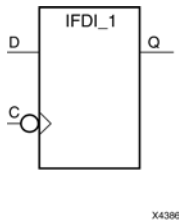
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリ データシート](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリ データシート](#)
- ・ [Spartan-3E FPGA ファミリ データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

IFDI_1

マクロ : Input D Flip-Flop with Inverted Clock (Asynchronous Preset)



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6

概要

このデザイン エLEMENTは D フリップフロップで、I/O ブロック (IOB) に含まれています。フリップフロップの入力 (D) は、IPAD または IOPAD に接続されます。入力 D からはデータが入力され、チップへのデータ入力が同期化されます。入力 D の値は、クロック (C) が High から Low に切り替わる時にフリップフロップにロードされ、出力 (Q) に出力されます。クロック入力は、内部ロジックまたは別の外部ピンによって駆動できます。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバータを追加するとアクティブ Low にできます。

論理表

| 入力 | | 出力 |
|----|---|----|
| D | C | Q |
| 0 | ↓ | D |

デザインの入力方法

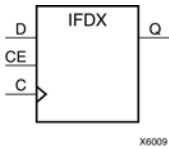
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリ データシート](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリ データシート](#)
- ・ [Spartan-3E FPGA ファミリ データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

IFDX

マクロ : Input D Flip-Flop with Clock Enable



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6

概要

このELEMENTは D フリップフロップで、I/O ブロック (IOB) に含まれています。フリップフロップの入力 (D) は、IBUF を使用せずに IPAD または IOPAD に接続されます。入力 D からはデータが入力され、チップへのデータ入力同期化されます。CE が High になっていると、入力 D の値は、クロック (C) が Low から High に切り替わる時にフリップフロップにロードされ、出力 (Q) に出力されます。クロック入力、内部ロジックまたは別の外部ピンによって駆動できます。クロック イネーブル (CE) が Low のときには、フリップフロップの出力は変化しません。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバータを追加するとアクティブ Low にできます。

論理表

| 入力 | | | 出力 |
|----|---|---|------|
| CE | D | C | Q |
| 1 | D | ↑ | D |
| 0 | X | X | 変化なし |

デザインの入力方法

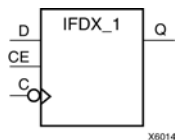
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリ データシート](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリ データシート](#)
- ・ [Spartan-3E FPGA ファミリ データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

IFDX_1

マクロ : Input D Flip-Flop with Inverted Clock and Clock Enable



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6

概要

このデザイン エLEMENTは D フリップフロップで、I/O ブロック (IOB) に含まれています。フリップフロップの入力 (D) は、IPAD または IOPAD に接続されます。また、入力 D からはデータが入力され、チップへのデータ入力が同期化されます。CE が High になっていると、入力 D の値は、クロック (C) が High から Low に切り替わる時にフリップフロップにロードされ、出力 (Q) に出力されます。クロック入力は、内部ロジックまたは別の外部ピンによって駆動できます。クロックイネーブル (CE) が Low のときには、出力 (Q) は変化しません。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスで PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバータを追加するとアクティブ Low にできます。

論理表

| 入力 | | | 出力 |
|----|---|---|------|
| CE | D | C | Q |
| 1 | D | ↓ | D |
| 0 | X | X | 変化なし |

デザインの入力方法

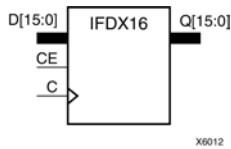
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリ データシート](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリ データシート](#)
- ・ [Spartan-3E FPGA ファミリ データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

IFDX16

マクロ : 16-Bit Input D Flip-Flops with Clock Enable



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6

概要

このELEMENTは D フリップフロップで、I/O ブロック (IOB) に含まれています。フリップフロップの入力 (D) は、IBUF を使用せずに IPAD または IOPAD に接続されます。入力 D からはデータが入力され、チップへのデータ入力同期化されます。CE が High になっていると、入力 D の値は、クロック (C) が Low から High に切り替わる時にフリップフロップにロードされ、出力 (Q) に出力されます。クロック入力、内部ロジックまたは別の外部ピンによって駆動できます。クロック イネーブル (CE) が Low のときには、フリップフロップの出力は変化しません。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバータを追加するとアクティブ Low にできます。

論理表

| 入力 | | | 出力 |
|----|---|---|------|
| CE | D | C | Q |
| 1 | D | ↑ | D |
| 0 | X | X | 変化なし |

デザインの入力方法

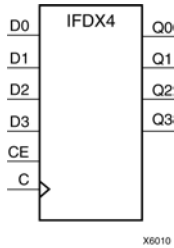
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリ データシート](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリ データシート](#)
- ・ [Spartan-3E FPGA ファミリ データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

IFDX4

マクロ : 4-Bit Input D Flip-Flop with Clock Enable



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6

概要

このELEMENTは D フリップフロップで、I/O ブロック (IOB) に含まれています。フリップフロップの入力 (D) は、IBUF を使用せずに IPAD または IOPAD に接続されます。入力 D からはデータが入力され、チップへのデータ入力同期化されます。CE が High になっていると、入力 D の値は、クロック (C) が Low から High に切り替わる時にフリップフロップにロードされ、出力 (Q) に出力されます。クロック入力は、内部ロジックまたは別の外部ピンによって駆動できます。クロック イネーブル (CE) が Low のときには、フリップフロップの出力は変化しません。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスで PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバータを追加するとアクティブ Low にできます。

論理表

| 入力 | | | 出力 |
|----|---|---|------|
| CE | D | C | Q |
| 1 | D | ↑ | D |
| 0 | X | X | 変化なし |

デザインの入力方法

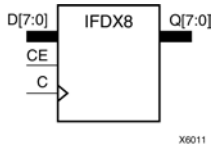
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリ データシート](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリ データシート](#)
- ・ [Spartan-3E FPGA ファミリ データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

IFDX8

マクロ : 8-Bit Input D Flip-Flop with Clock Enable



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6

概要

このELEMENTは D フリップフロップで、I/O ブロック (IOB) に含まれています。フリップフロップの入力 (D) は、IBUF を使用せずに IPAD または IOPAD に接続されます。入力 D からはデータが入力され、チップへのデータ入力同期化されます。CE が High になっていると、入力 D の値は、クロック (C) が Low から High に切り替わる時にフリップフロップにロードされ、出力 (Q) に出力されます。クロック入力、内部ロジックまたは別の外部ピンによって駆動できます。クロック イネーブル (CE) が Low のときには、フリップフロップの出力は変化しません。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバータを追加するとアクティブ Low にできます。

論理表

| 入力 | | | 出力 |
|----|---|---|------|
| CE | D | C | Q |
| 1 | D | ↑ | D |
| 0 | X | X | 変化なし |

デザインの入力方法

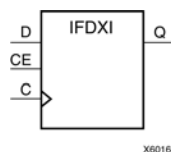
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリ データシート](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリ データシート](#)
- ・ [Spartan-3E FPGA ファミリ データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

IFDXI

マクロ : Input D Flip-Flop with Clock Enable (Asynchronous Preset)



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Virtex®-4

概要

このデザイン エLEMENTは D フリップフロップで、I/O ブロック (IOB) に含まれています。フリップフロップの入力 (D) は、IPAD または IOPAD に接続されます。入力 D からはデータが入力され、チップへのデータ入力が同期化されます。CE が High になっていると、入力 D の値は、クロック (C) が Low から High に切り替わるときにフリップフロップにロードされ、出力 (Q) に出力されます。クロック入力は、内部ロジックまたは別の外部ピンによって駆動できます。クロック イネーブル (CE) が Low のときには、出力 (Q) は変化しません。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバータを追加するとアクティブ Low にできます。

論理表

| 入力 | | | 出力 |
|----|---|---|------|
| CE | D | C | Q |
| 1 | D | ↑ | D |
| 0 | X | X | 変化なし |

デザインの入力方法

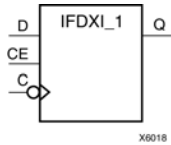
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリ データシート](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリ データシート](#)
- ・ [Spartan-3E FPGA ファミリ データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

IFDXI_1

マクロ : Input D Flip-Flop with Inverted Clock and Clock Enable (Asynchronous Preset)



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Virtex®-4
- ・ Virtex-5

概要

このデザイン エLEMENTは D フリップフロップで、I/O ブロック (IOB) に含まれています。フリップフロップの入力 (D) は、IPAD または IOPAD に接続されます。入力 D からはデータが入力され、チップへのデータ入力が同期化されます。CE が High になっていると、入力 D の値は、クロック (C) が High から Low に切り替わるときにフリップフロップにロードされ、出力 (Q) に出力されます。クロック入力は、内部ロジックまたは別の外部ピンによって駆動できます。クロック イネーブル (CE) が Low のときには、出力 (Q) は変化しません。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスで PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバータを追加するとアクティブ Low にできます。

論理表

| 入力 | | | 出力 |
|----|---|---|------|
| CE | D | C | Q |
| 1 | D | ↓ | D |
| 0 | X | X | 変化なし |

デザインの入力方法

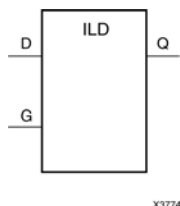
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリ データシート](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリ データシート](#)
- ・ [Spartan-3E FPGA ファミリ データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

ILD

マクロ : Transparent Input Data Latch



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6

概要

このデザイン エLEMENTは単一の透過データラッチで、チップに入力されるデータを一時的に保持します。このラッチは、I/O ブロック (IOB) に含まれます。ラッチ入力 (D) は、IBUF を使用せずに IPAD または IOPAD に接続されます。ゲート入力 (G) が High になると、入力 (D) のデータが出力 (Q) に出力されます。入力 D のデータは、G が High から Low に切り替わるときにラッチに格納されます。

電力を供給すると、ラッチは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバータを追加するとアクティブ Low にできます。

論理表

| 入力 | | 出力 |
|----|---|------|
| G | D | Q |
| 1 | D | D |
| 0 | X | 変化なし |
| ↓ | D | D |

デザインの入力方法

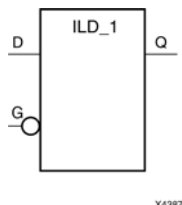
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリ データシート](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリ データシート](#)
- ・ [Spartan-3E FPGA ファミリ データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

ILD_1

マクロ : Transparent Input Data Latch with Inverted Gate



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6

概要

このデザイン エLEMENTは透過データラッチであり、チップに入力されるデータを一時的に保持します。ゲート入力 (G) が Low になると、入力 (D) の値が出力 (Q) に出力されます。入力 D の値は、G が Low から High に切り替わる時にラッチに格納されます。

電力を供給すると、ラッチは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバータを追加するとアクティブ Low にできます。

論理表

| 入力 | | 出力 |
|----|---|------|
| G | D | Q |
| 0 | D | D |
| 1 | X | 変化なし |
| ↑ | D | D |

デザインの入力方法

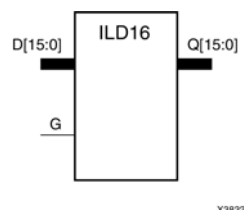
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリ データシート](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリ データシート](#)
- ・ [Spartan-3E FPGA ファミリ データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

ILD16

マクロ : Transparent Input Data Latch



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6

概要

このデザイン エLEMENTは複数の透過データラッチで、チップに入力されるデータを一時的に保持します。ILD ラッチは、I/O ブロック (IOB) に含まれています。ラッチ入力 (D) は、IBUF を使用せずに IPAD または IOPAD に接続されます。ゲート入力 (G) が High になると、入力 (D) の値が出力 (Q) に出力されます。入力 D の値は、G が High から Low に切り替わるときにラッチに格納されます。

電力を供給すると、ラッチは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバータを追加するとアクティブ Low にできます。

論理表

| 入力 | | 出力 |
|----|----|------|
| G | D | Q |
| 1 | Dn | Dn |
| 0 | X | 変化なし |
| ↓ | Dn | Dn |

デザインの入力方法

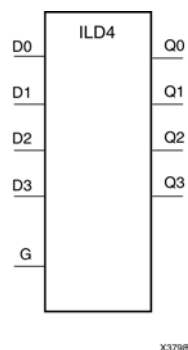
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリ データシート](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリ データシート](#)
- ・ [Spartan-3E FPGA ファミリ データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

ILD4

マクロ : Transparent Input Data Latch



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6

概要

このデザイン エLEMENTは複数の透過データラッチで、チップに入力されるデータを一時的に保持します。ILD ラッチは、I/O ブロック (IOB) に含まれています。ラッチ入力 (D) は、IBUF を使用せずに IPAD または IOPAD に接続されます。ゲート入力 (G) が High になると、入力 (D) の値が出力 (Q) に出力されます。入力 D の値は、G が High から Low に切り替わるときにラッチに格納されます。

電力を供給すると、ラッチは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバータを追加するとアクティブ Low にできます。

論理表

| 入力 | | 出力 |
|----|----|------|
| G | D | Q |
| 1 | Dn | Dn |
| 0 | X | 変化なし |
| ↓ | Dn | Dn |

デザインの入力方法

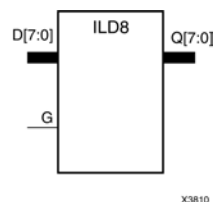
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリー データシート](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリー データシート](#)
- ・ [Spartan-3E FPGA ファミリー データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

ILD8

マクロ : Transparent Input Data Latch



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6

概要

このデザイン エLEMENTは複数の透過データ ラッチで、チップに入力されるデータを一時的に保持します。ILD ラッチは、I/O ブロック (IOB) に含まれています。ラッチ入力 (D) は、IBUF を使用せずに IPAD または IOPAD に接続されます。ゲート入力 (G) が High になると、入力 (D) の値が出力 (Q) に出力されます。入力 D の値は、G が High から Low に切り替わるときにラッチに格納されます。

電力を供給すると、ラッチは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスで PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバータを追加するとアクティブ Low にできます。

論理表

| 入力 | | 出力 |
|----|----|------|
| G | D | Q |
| 1 | Dn | Dn |
| 0 | X | 変化なし |
| ↓ | Dn | Dn |

デザインの入力方法

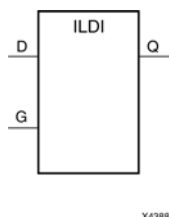
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリ データシート](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリ データシート](#)
- ・ [Spartan-3E FPGA ファミリ データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

ILDI

マクロ : Transparent Input Data Latch (Asynchronous Preset)



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6

概要

このデザイン エLEMENTは透過データ ラッチであり、チップに入力されるデータを一時的に保持します。ゲート入力 (G) が High になると、入力 (D) のデータが出力 (Q) に出力されます。入力 D のデータは、G が High から Low に切り替わるときにラッチに格納されます。

ILDI は、入力フリップフロップのマスタ ラッチです。入力フリップフロップからは、クロック信号のレベルに対応する出力とクロック信号のエッジに対応する出力という 2 つの異なる出力が使用できます。同じ入力フリップフロップから両方の出力を使用する場合、透過 High ラッチ (ILDI) は立ち下がりエッジでトリガされるフリップフロップ (IFDL1) に対応します。同様に、透過 Low ラッチ (ILDL1) は立ち上がりエッジでトリガされるフリップフロップ (IFDI) に対応します。

電力が供給されると、ラッチは非同期にプリセットされ、出力が High になります。

FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバータを追加するとアクティブ Low にできます。

論理表

| 入力 | | 出力 |
|----|---|----|
| G | D | Q |
| 1 | D | D |
| 0 | X | D |
| ↓ | D | D |

デザインの入力方法

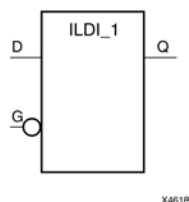
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリー データシート](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリー データシート](#)
- ・ [Spartan-3E FPGA ファミリー データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

ILDI_1

マクロ : Transparent Input Data Latch with Inverted Gate (Asynchronous Preset)



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6

概要

このデザイン エLEMENTは透過データラッチであり、チップに入力されるデータを一時的に保持します。ゲート入力 (G) が Low になると、入力 (D) の値が出力 (Q) に出力されます。入力 D の値は、G が Low から High に切り替わるときにラッチに格納されます。

電力が供給されると、ラッチは非同期にプリセットされ、出力が High になります。

FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバータを追加するとアクティブ Low にできます。

論理表

| 入力 | | 出力 |
|----|---|------|
| G | D | Q |
| 0 | 1 | 1 |
| 0 | 0 | 0 |
| 1 | X | 変化なし |
| ↑ | D | D |

デザインの入力方法

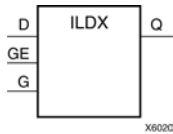
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリ データシート](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリ データシート](#)
- ・ [Spartan-3E FPGA ファミリ データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

ILDX

マクロ : Transparent Input Data Latch



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Virtex®-4

概要

このデザイン エLEMENTは単一または複数の透過データラッチであり、チップに入力されるデータを一時的に保持します。ラッチ入力 (D) は、IBUF を使用せずに IPAD または IOPAD に接続されます。

ILDX は、入力フリップフロップのマスタラッチです。入力フリップフロップからは、クロック信号のレベルに対応する出力とクロック信号のエッジに対応する出力という 2 つの出力が使用できます。同じ入力フリップフロップから両方の出力を使用する場合、透過 High ラッチ (ILDX) は立ち下がりエッジでトリガされるフリップフロップ (IFDX_1) に対応します。同様に、透過 Low ラッチ (ILDX_1) は立ち上がりエッジでトリガされるフリップフロップ (IFDX) に対応します。

電力を供給すると、ラッチは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバータを追加するとアクティブ Low にできます。

論理表

| 入力 | | | 出力 |
|----|---|---|------|
| GE | G | D | Q |
| 0 | X | X | 変化なし |
| 1 | 0 | X | 変化なし |
| 1 | 1 | 1 | 1 |
| 1 | 1 | 0 | 0 |
| 1 | ↓ | D | D |

デザインの入力方法

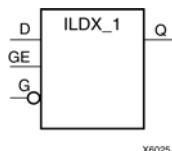
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリ データシート](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリ データシート](#)
- ・ [Spartan-3E FPGA ファミリ データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

ILDX_1

マクロ : Transparent Input Data Latch with Inverted Gate



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Virtex®-4

概要

このデザイン エLEMENTは透過データラッチであり、チップに入力されるデータを一時的に保持します。ゲート入力 (G) が Low になると、入力 (D) の値が出力 (Q) に出力されます。入力 D の値は、G が Low から High に切り替わるときにラッチに格納されます。

電力を供給すると、ラッチは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスで PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバータを追加するとアクティブ Low にできます。

論理表

| 入力 | | | 出力 |
|----|---|---|------|
| GE | G | D | Q |
| 0 | X | X | 変化なし |
| 1 | 1 | X | 変化なし |
| 1 | 0 | 1 | 1 |
| 1 | 0 | 0 | 0 |
| 1 | ↑ | D | D |

デザインの入力方法

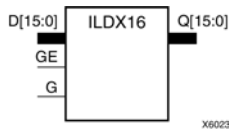
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリ データシート](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリ データシート](#)
- ・ [Spartan-3E FPGA ファミリ データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

ILDX16

マクロ : Transparent Input Data Latch



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Virtex®-4

概要

このデザイン エLEMENTは単一または複数の透過データラッチであり、チップに入力されるデータを一時的に保持します。ラッチ入力 (D) は、IBUF を使用せずに IPAD または IOPAD に接続されます。

ILDX は、入力フリップフロップのマスタラッチです。入力フリップフロップからは、クロック信号のレベルに対応する出力とクロック信号のエッジに対応する出力という 2 つの出力が使用できます。同じ入力フリップフロップから両方の出力を使用する場合、透過 High ラッチ (ILDX) は立ち下がりエッジでトリガされるフリップフロップ (IFDX_1) に対応します。同様に、透過 Low ラッチ (ILDX_1) は立ち上がりエッジでトリガされるフリップフロップ (IFDX) に対応します。

電力を供給すると、ラッチは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバータを追加するとアクティブ Low にできます。

論理表

| 入力 | | | 出力 |
|----|---|----|------|
| GE | G | D | Q |
| 0 | X | X | 変化なし |
| 1 | 0 | X | 変化なし |
| 1 | 1 | Dn | Dn |

デザインの入力方法

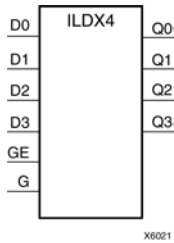
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリ データシート](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリ データシート](#)
- ・ [Spartan-3E FPGA ファミリ データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

ILDX4

マクロ : Transparent Input Data Latch



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- Spartan®-3
- Spartan-3A
- Spartan-3E
- Virtex®-4

概要

このデザイン エLEMENTは単一または複数の透過データラッチであり、チップに入力されるデータを一時的に保持します。ラッチ入力 (D) は、IBUF を使用せずに IPAD または IOPAD に接続されます。

ILDX は、入力フリップフロップのマスタラッチです。入力フリップフロップからは、クロック信号のレベルに対応する出力とクロック信号のエッジに対応する出力という 2 つの出力が使用できます。同じ入力フリップフロップから両方の出力を使用する場合、透過 High ラッチ (ILDX) は立ち下がりエッジでトリガされるフリップフロップ (IFDX_1) に対応します。同様に、透過 Low ラッチ (ILDX_1) は立ち上がりエッジでトリガされるフリップフロップ (IFDX) に対応します。

電力を供給すると、ラッチは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバータを追加するとアクティブ Low にできます。

論理表

| 入力 | | | 出力 |
|----|---|---|------|
| GE | G | D | Q |
| 0 | X | X | 変化なし |
| 1 | 0 | X | 変化なし |
| 1 | 1 | 1 | 1 |
| 1 | 1 | 0 | 0 |
| 1 | ↓ | D | D |

デザインの入力方法

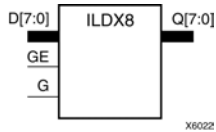
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリ データシート](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリ データシート](#)
- ・ [Spartan-3E FPGA ファミリ データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

ILDX8

マクロ : Transparent Input Data Latch



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Virtex®-4

概要

このデザイン エLEMENTは単一または複数の透過データラッチであり、チップに入力されるデータを一時的に保持します。ラッチ入力 (D) は、IBUF を使用せずに IPAD または IOPAD に接続されます。

ILDX は、入力フリップフロップのマスタラッチです。入力フリップフロップからは、クロック信号のレベルに対応する出力とクロック信号のエッジに対応する出力という 2 つの出力が使用できます。同じ入力フリップフロップから両方の出力を使用する場合、透過 High ラッチ (ILDX) は立ち下がりエッジでトリガされるフリップフロップ (IFDX_1) に対応します。同様に、透過 Low ラッチ (ILDX_1) は立ち上がりエッジでトリガされるフリップフロップ (IFDX) に対応します。

電力を供給すると、ラッチは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバータを追加するとアクティブ Low にできます。

論理表

| 入力 | | | 出力 |
|----|---|----|------|
| GE | G | D | Q |
| 0 | X | X | 変化なし |
| 1 | 0 | X | 変化なし |
| 1 | 1 | Dn | Dn |

デザインの入力方法

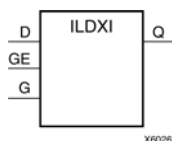
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリ データシート](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリ データシート](#)
- ・ [Spartan-3E FPGA ファミリ データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

ILDXI

マクロ : Transparent Input Data Latch (Asynchronous Preset)



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6

概要

このデザイン エLEMENTは透過データ ラッチであり、チップに入力されるデータを一時的に保持します。ゲート入力 (G) が High になると、入力 (D) のデータが出力 (Q) に出力されます。入力 D のデータは、G が High から Low に切り替わるときにラッチに格納されます。

ILDXI は、入力フリップフロップのマスタ ラッチです。入力フリップフロップからは、クロック信号のレベルに対応する出力とクロック信号のエッジに対応する出力という 2 つの出力が使用できます。同じ入力フリップフロップから両方の出力を使用する場合、透過 High ラッチ (ILDXI) は立ち下がりエッジでトリガされるフリップフロップ (IFDXI_1) に対応します。同様に、透過 Low ラッチ (ILDXI_1) は立ち上がりエッジでトリガされるフリップフロップ (IFDXI) に対応します。

電力が供給されると、ラッチは非同期にプリセットされ、出力が High になります。

FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバータを追加するとアクティブ Low にできます。

論理表

| 入力 | | | 出力 |
|----|---|---|------|
| GE | G | D | Q |
| 0 | X | X | 変化なし |
| 1 | 0 | X | 変化なし |
| 1 | 1 | D | D |
| 1 | ↓ | D | D |

デザインの入力方法

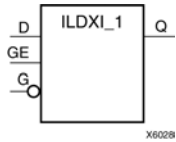
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリ データシート](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリ データシート](#)
- ・ [Spartan-3E FPGA ファミリ データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

ILDXI_1

マクロ : Transparent Input Data Latch with Inverted Gate (Asynchronous Preset)



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6

概要

このデザイン エLEMENTは透過データ ラッチであり、チップに入力されるデータを一時的に保持します。

電力が供給されると、ラッチは非同期にプリセットされ、出力が High になります。

FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバータを追加するとアクティブ Low にできます。

論理表

| 入力 | | | 出力 |
|----|---|---|------|
| GE | G | D | Q |
| 0 | X | X | 変化なし |
| 1 | 1 | X | 変化なし |
| 1 | 0 | D | D |
| 1 | ↑ | D | D |

デザインの入力方法

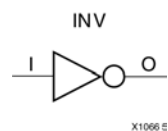
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリ データシート](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリ データシート](#)
- ・ [Spartan-3E FPGA ファミリ データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

INV

プリミティブ : Inverter



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6
- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

このデザイン エLEMENTは、回路図で信号を反転する単一のインバータです。

デザインの入力方法

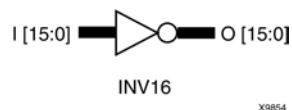
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリ データシート](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリ データシート](#)
- ・ [Spartan-3E FPGA ファミリ データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

INV16

マクロ : 16 Inverters



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6
- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

このデザイン エLEMENTは、回路図で信号を反転する複数のインバータです。

デザインの入力方法

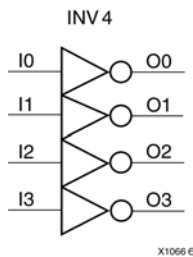
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリ データシート](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリ データシート](#)
- ・ [Spartan-3E FPGA ファミリ データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

INV4

マクロ : Four Inverters



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6
- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

このデザイン エLEMENTは、回路図で信号を反転する複数のインバータです。

デザインの入力方法

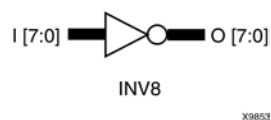
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリ データシート](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリ データシート](#)
- ・ [Spartan-3E FPGA ファミリ データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

INV8

マクロ : Eight Inverters



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6
- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

このデザイン エLEMENTは、回路図で信号を反転する複数のインバータです。

デザインの入力方法

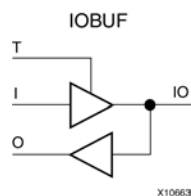
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリ データシート](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリ データシート](#)
- ・ [Spartan-3E FPGA ファミリ データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

IOBUF

プリミティブ : Bi-Directional Buffer



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6

概要

このデザイン エLEMENTは双方向でシングルエンドの I/O バッファで、内部ロジックを外部双方向ピンに接続する場合に使用します。

論理表

| 入力 | | 双方向 | 出力 |
|----|---|-----|----|
| T | I | I/O | O |
| 1 | X | Z | X |
| 0 | 1 | 1 | 1 |
| 0 | 0 | 0 | 0 |

ポートの説明

| ポート名 | 方向 | 幅 | 機能 |
|------|-----|---|-----------------|
| O | 出力 | 1 | バッファの出力 |
| I/O | 入出力 | 1 | バッファの入出力 |
| I | 入力 | 1 | バッファの入力 |
| T | 入力 | 1 | トライステート イネーブル入力 |

デザインの入力方法

| | |
|--------------------------|----|
| インスタンス化 | 可 |
| 推論 | 推奨 |
| CORE Generator™ およびウィザード | 不可 |
| マクロのサポート | 不可 |

このELEMENTは、回路図で使用されます。

使用可能な属性

| 属性 | タイプ | 値 | デフォルト | 説明 |
|------------------|-----|----------------------------------|-----------|---|
| CAPACITANCE | 文字列 | LOW、NORMAL、DONT_CARE | DONT_CARE | I/O を低いまたは通常の固有キャパシタンスと共に使用するかどうかを指定。 |
| DRIVE | 整数 | 2、4、6、8、12、16、24 | 12 | I/O 規格として LVTTTL、LVCMOS12、LVCMOS15、LVCMOS18、LVCMOS25 または LVCMOS33 を使用する SelectIO™ バッファの出力の駆動電流 (mA) を選択 |
| IBUF_DELAY_VALUE | 文字列 | 0 ~ 12 0 ~ 16 | 0 | IOB からのレジスタを介さないパスに追加する遅延を指定 |
| IFD_DELAY_VALUE | 文字列 | AUTO、 0 ~ 6 AUTO、 0 ~ 8 | AUTO | IOB 内のレジスタを介するパスに追加する遅延を指定 |
| IOSTANDARD | 文字列 | データシートを参照 | DEFAULT | I/O 規格をELEMENTに割り当て |
| SLEW | 文字列 | SLOW、FAST、QUIETIO | SLOW | 出力の立ち上がり時間と立ち下がり時間を設定 この属性の最適な設定方法は、データシートを参照してください。 |

VHDL 記述 (インスタンス化)

次の 2 つの構文が存在しない場合はコピーし、エンティティ宣言の前に貼り付けます。

```
Library UNISIM;
use UNISIM.vcomponents.all;

-- IOBUF: Single-ended Bi-directional Buffer
-- All devices
-- Xilinx HDL Libraries Guide, version 11.2

IOBUF_inst : IOBUF
generic map (
    DRIVE => 12,
    IBUF_DELAY_VALUE => "0", -- Specify the amount of added input delay for buffer,
                           -- "0"- "12" (Spartan-3E)
                           -- "0"- "16" (Spartan-3A)
    IFD_DELAY_VALUE => "AUTO", -- Specify the amount of added delay for input register,
                           -- "AUTO", "0"- "6" (Spartan-3E)
                           -- "AUTO", "0"- "8" (Spartan-3A)
    IOSTANDARD => "DEFAULT",
    SLEW => "SLOW")
port map (
    O => O,      -- Buffer output
    IO => IO,    -- Buffer inout port (connect directly to top-level port)
    I => I,      -- Buffer input
    T => T       -- 3-state enable input, high=input, low=output
);

-- End of IOBUF_inst instantiation
```

Verilog 記述 (インスタンシエーション)

```
// IOBUF: Single-ended Bi-directional Buffer
//      All devices
// Xilinx HDL Libraries Guide, version 11.2

IOBUF #(
    .DRIVE(12), // Specify the output drive strength
    .IBUF_DELAY_VALUE("0"), // Specify the amount of added input delay for the buffer,
                          // "0"-12" (Spartan-3E only), "0"-16" (Spartan-3A only)
    .IFD_DELAY_VALUE("AUTO"), // Specify the amount of added delay for input register,
                          // "AUTO", "0"-6" (Spartan-3E only), "0"-8" (Spartan-3A only)
    .IOSTANDARD("DEFAULT"), // Specify the I/O standard
    .SLEW("SLOW") // Specify the output slew rate
) IOBUF_inst (
    .O(O), // Buffer output
    .IO(IO), // Buffer inout port (connect directly to top-level port)
    .I(I), // Buffer input
    .T(T) // 3-state enable input, high=input, low=output
);

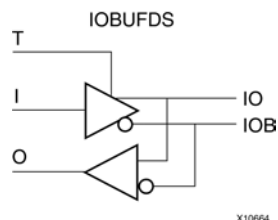
// End of IOBUF_inst instantiation
```

詳細情報

- [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- [Spartan-3 FPGA ファミリー データシート](#)
- [Spartan-3A FPGA ファミリー データシート](#)
- [Spartan-3E FPGA ファミリー データシート](#)
- [Spartan-6 FPGA SelectIO リソース ユーザー ガイド](#)
- [Spartan-6 FPGA データシート: DC 特性およびスイッチ特性](#)
- [Virtex-4 FPGA ユーザー ガイド](#)
- [Virtex-4 FPGA データシート: DC 特性およびスイッチ特性](#)
- [Virtex-5 FPGA ユーザー ガイド](#)
- [Virtex-5 FPGA データシート: DC 特性およびスイッチ特性](#)
- [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

IOBUFDS

プリミティブ : 3-State Differential Signaling I/O Buffer with Active Low Output Enable



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6

概要

このデザイン エLEMENTは、低電圧差動信号を使用する双方向バッファです。IOBUFDS では、デザイン レベルのインターフェイス信号は、一方が「マスタ」で、もう一方が「スレーブ」となる 2 つの異なるポート (IO、IOB) で表されます。マスタとスレーブは MYNET_P と MYNET_N のように、同じ論理信号の反対の状態を示します。オプションで、プログラム可能な差動終端機能を使用すると、シグナル インテグリティが向上し、外部コンポーネントの数を減らすことができます。デバイスへの入力データの取り込みには、プログラマブル遅延を使用することもできます。

論理表

| 入力 | | 双方向 | | 出力 |
|----|---|-----|-----|------|
| I | T | I/O | IOB | O |
| X | 1 | Z | Z | 変化なし |
| 0 | 0 | 0 | 1 | 0 |
| 1 | 0 | 1 | 0 | 1 |

ポートの説明

| ポート名 | 方向 | 幅 | 機能 |
|------|-----|---|-----------------|
| O | 出力 | 1 | バッファの出力 |
| I/O | 入出力 | 1 | Diff_p 入出力 |
| IOB | 入出力 | 1 | Diff_n 入出力 |
| I | 入力 | 1 | バッファの入力 |
| T | 入力 | 1 | トライステート イネーブル入力 |

デザインの入力方法

| | |
|--------------------------|----|
| インスタンス化 | 推奨 |
| 推論 | 不可 |
| CORE Generator™ およびウィザード | 不可 |
| マクロのサポート | 不可 |

このELEMENTは、回路図で使用されます。

使用可能な属性

| 属性 | タイプ | 値 | デフォルト | 説明 |
|------------------|-----|--------------------------|-----------|--------------------------------------|
| CAPACITANCE | 文字列 | LOW、NORMAL、DONT_CARE | DONT_CARE | I/O を低または通常の固有キャパシタンスと共に使用するかどうかを指定。 |
| IBUF_DELAY_VALUE | 文字列 | 0 ~ 120 ~ 16 | 0 | IOB からのレジスタを介さないパスに追加する遅延を指定 |
| IFD_DELAY_VALUE | 文字列 | AUTO、0 ~ 6 AUTO、0 ~ 8 | AUTO | IOB 内のレジスタを介するパスに追加する遅延を指定 |
| IOSTANDARD | 文字列 | データシートを参照 | DEFAULT | I/O 規格をELEMENTに割り当て |

VHDL 記述 (インスタンス化)

次の 2 つの構文が存在しない場合はコピーし、エンティティ宣言の前に貼り付けます。

```
Library UNISIM;
use UNISIM.vcomponents.all;

-- IOBUFDS: Differential Bi-directional Buffer
--           Spartan-3/3E/3A
-- Xilinx HDL Libraries Guide, version 11.2

IOBUFDS_inst : IOBUFDS
generic map (
    IBUF_DELAY_VALUE => "0", -- Specify the amount of added input delay for buffer,
                             -- "0"-12" (Spartan-3E)
                             -- "0"-16" (Spartan-3A)
    IFD_DELAY_VALUE  => "AUTO", -- Specify the amount of added delay for input register,
                             -- "AUTO", "0"-6" (Spartan-3E)
                             -- "AUTO", "0"-8" (Spartan-3A)
    IOSTANDARD       => "DEFAULT")
port map (
    O => O,      -- Buffer output
    IO => IO,    -- Diff_p inout (connect directly to top-level port)
    IOB => IOB,  -- Diff_n inout (connect directly to top-level port)
    I => I,      -- Buffer input
    T => T       -- 3-state enable input, high=input, low=output
);

-- End of IOBUFDS_inst instantiation
```

Verilog 記述 (インスタンスレーション)

```
// IOBUFDS: Differential Bi-directional Buffer
//          Virtex-4/5, Spartan-3/3E/3A
// Xilinx HDL Libraries Guide, version 11.2

IOBUFDS #(
    .IBUF_DELAY_VALUE("0"),    // Specify the amount of added input delay for the buffer,
                                // "0"-12" (Spartan-3E only), "0"-16" (Spartan-3A only)
    .IFD_DELAY_VALUE("AUTO"),  // Specify the amount of added delay for input register,
                                // "AUTO", "0"-6" (Spartan-3E only), "0"-8" (Spartan-3A only)
    .IOSTANDARD("DEFAULT")     // Specify the I/O standard
) IOBUFDS_inst (
    .O(O),        // Buffer output
    .IO(IO),      // Diff_p inout (connect directly to top-level port)
    .IOB(IOB),    // Diff_n inout (connect directly to top-level port)
    .I(I),        // Buffer input
    .T(T)         // 3-state enable input, high=input, low=output
);

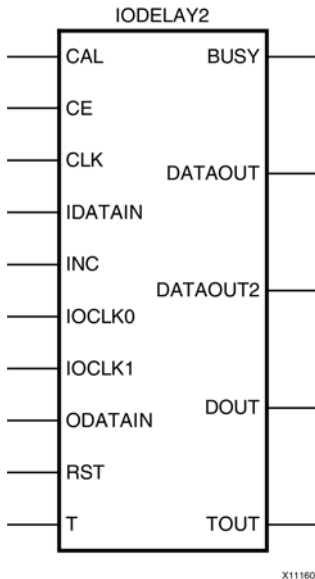
// End of IOBUFDS_inst instantiation
```

詳細情報

- [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- [Spartan-3 FPGA ファミリー データシート](#)
- [Spartan-3A FPGA ファミリー データシート](#)
- [Spartan-3E FPGA ファミリー データシート](#)
- [Spartan-6 FPGA SelectIO リソース ユーザー ガイド](#)
- [Spartan-6 FPGA データシート: DC 特性およびスイッチ特性](#)
- [Virtex-4 FPGA ユーザー ガイド](#)
- [Virtex-4 FPGA データシート: DC 特性およびスイッチ特性](#)
- [Virtex-5 FPGA ユーザー ガイド](#)
- [Virtex-5 FPGA データシート: DC 特性およびスイッチ特性](#)
- [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

IODELAY2

プリミティブ : Input and Output Fixed or Variable Delay Element



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

Spartan®-6

概要

このデザイン エLEMENTは、Spartan®-6 FPGA の入力パスに固定遅延または可変遅延を、出力パスに固定遅延を追加します。この遅延は、チップへの入力データまたはチップからの出力データのデータアライメントに便利です。出力遅延パスは、固定遅延でのみ使用できます。IODELAY は、FPGA の内部パスに一定の遅延または可変遅延を追加する場合にも使用できます。ただし、このように使用する場合、入力パス遅延または出力パス遅延に関連する I/O に使用できなくなります。

ポートの説明

| ポート名 | タイプ | 幅 | 機能 |
|---------|-----|---|--|
| BUSY | 出力 | 1 | キャリブレーションが完了したこと、または同期タップ遅延の更新が完了したことを示します。 |
| CAL | 入力 | 1 | IODELAY キャリブレーション シーケンスに入ります。このシーケンスは 8 ~ 16 クロック サイクル続きます。完了すると BUSY が Low になります。 |
| CE | 入力 | 1 | アクティブ High になるとインクリメント/デクリメントを有効にします。 |
| CLK | 入力 | 1 | グローバル クロック ネットワーク入力。FPGA ロジック インターコネクトのクロックです。 |
| DATAOUT | 出力 | 1 | ILOGIC2 または ISERDES2 サイトの D ピンへの遅延データ信号。 |

| ポート名 | タイプ | 幅 | 機能 |
|----------|-----|---|--|
| DATAOUT2 | 出力 | 1 | PCI™ アプリケーションで使用するセカンダリ遅延。 |
| DOUT | 出力 | 1 | 出力遅延として使用される場合の IOB への遅延データ信号。 |
| IDATAIN | 入力 | 1 | I/O からのデータ入力 (ポートの I/O バッファに直接接続)。 |
| INC | 入力 | 1 | インクリメント/デクリメント信号で、タップ設定の上下を 1 つずつ調節するのに使用します。 |
| IOCLK0 | 入力 | 1 | I/O クロック ネットワークからの入力。倍クロック回路が使用されていない場合のプライマリクロック入力です (DATA_RATE を参照)。反転可能。 |
| IOCLK1 | 入力 | 1 | I/O クロック ネットワークの入力。倍クロック回路が使用されている場合のみに使用されるセカンダリクロック入力です (DATA_RATE を参照)。反転可能。 |
| ODATAIN | 入力 | 1 | 出力データパスのデータ入力 (出力データソースに接続)。 |
| RST | 入力 | 1 | アクティブ High の同期リセット。遅延チェーンを IDELAY_VALUE/ODELAY_VALUE タップにリセットします。値を指定しない場合は、デフォルトは 0 です。 |
| T | 入力 | 1 | トライステート入力制御ピン。入力のみまたは内部遅延の場合は High に、出力のみの場合は Low にします。 |
| TOUT | 出力 | 1 | 出力遅延として使用される場合の IOB への遅延トライステート信号。 |

デザインの入力方法

| | |
|--------------------------|----|
| インスタンス化 | 推奨 |
| 推論 | 不可 |
| CORE Generator™ およびウィザード | 不可 |
| マクロのサポート | 不可 |

このエレメントは、回路図で使用されます。

使用可能な属性

| 属性 | タイプ | 値 | デフォルト | 説明 |
|---------------------|-----|--------------------------|------------|--|
| COUNTER_WRAP_AROUND | 文字列 | WRAPAROUND、STAY_AT_LIMIT | WRAPAROUND | 最大または最小タップ カウントを超えたときの動作を選択します。タップ設定がインクリメントなのかデクリメントなのかによって変わります。タップ カウントが常に正しい動作範囲にあることを確認します。 |
| DATA_RATE | 文字列 | SDR、DDR | SDR | シングル データ レートまたはダブル データ レートを指定します。 |

| 属性 | タイプ | 値 | デフォルト | 説明 |
|--------------|-----|---|---------|---|
| DELAY_SRC | 文字列 | IO、 IDATAIN、 ODATAIN | IO | <p>IODELAY2 入力はどこから供給されるのかを示します。</p> <ul style="list-style-type: none"> ODATAIN は、遅延ソースが OSERDES2 または OLOGIC2 の ODATAIN ピンであることを示します。 IDATAIN は、遅延ソースが入力ピンであることを示します。 IO は、T (トライステート) 入力の極性に従い、信号ソースが IDATAIN と ODATAIN との間で切り替わることを示します。 |
| IDELAY_MODE | 文字列 | NORMAL、 PCI | NORMAL | この属性を指定または変更しないでください。 |
| IDELAY_TYPE | 文字列 | DEFAULT、 DIFF_PHASE_ DETECTOR、 FIXED、VARIABLE_FROM_ HALF_MAX、 VARIABLE_FROM_ ZERO | DEFAULT | <p>遅延のタイプを選択します。</p> <ul style="list-style-type: none"> FIXED は、固定入力遅延を使用し、このブロックにクロックは適用されなくなります。 DEFAULT は、ゼロ ホールド タイムを使用します。 VARIABLE は、インクリメント/デクリメント遅延モードを使用し、キャリブレーションを有効にします。 VARIABLE_FROM_ZERO および VARIABLE_FROM_HALF_MAX は、RST ピンがアサートされたときのリセットの動作タイプを使用します。 DIFF_PHASE_DETECTOR は、オプションの位相検出器を使用するためにマスタおよびスレーブの IODELAY2 と ISERDES2 がカスケードされるモードを使用します。 |
| IDELAY_VALUE | 整数 | 0 ~ 255 | 0 | FIXED モードでは入力パス遅延のタップ数、VARIABLE モードでは初期遅延タップ値を指定します。 |

| 属性 | タイプ | 値 | デフォルト | 説明 |
|--------------------|-----|-------------------|-------|---|
| IDELAY2_VALUE | 整数 | 0 ~ 255 | 0 | セカンダリ入力遅延モードの遅延タップ値を定義します。IDELAY_MODE が PCI に設定されている場合にのみアクティブです。 |
| ODELAY_VALUE | 整数 | 0 ~ 255 | 0 | 出力パス遅延のタップ数を指定します。 |
| SERDES_MODE | 文字列 | NONE、MASTER、SLAVE | NONE | IDELAY2 が ISERDES2 と併用される場合、ISERDES2 がスタンドアロンであるか、またはカスケードされたマスタまたはスレーブであることを定義します。 |
| SIM_TAPDELAY_VALUE | 整数 | 10 ~ 90 | 75 | シミュレーションのみの属性で、標準タップ遅延をシミュレーション用に別の設定に変更することができます。 |

VHDL 記述 (インスタンスエーション)

```

-- IDELAY2: Input and Output Fixed or Variable Delay Element
--          Spartan-6
-- Xilinx HDL Libraries Guide, version 11.2

IDELAY2_inst : IDELAY2
generic map (
    COUNTER_WRAPAROUND => "WRAPAROUND", -- Sets behavior when tap count exceeds max or min, depending on
                                           -- whether tap setting is being incremented or decremented.

    DATA_RATE => "SDR",
    DELAY_SRC => "IO",
    -- ODATAIN indicates delay source is the ODATAIN pin from the OSERDES
    -- or OLOGIC. IDATAIN indicates the delay source is from the IDATAIN
    -- pin; one of the dedicated IOB (P/N) Pads. IO means that the signal
    -- source switches between IDATAIN and ODATAIN depending on the sense
    -- of the T (tristate) input.

    IDELAY2_VALUE => 0,
    -- Delay tap value for IDELAY Mode. Only used when IDELAY_MODE is set
    -- to PCI.

    IDELAY_MODE => "NORMAL",
    -- Delay Mode setting - PCI is for handling PCI/Extended Mode.
    -- Affects Input delays only.

    IDELAY_TYPE => "DEFAULT",
    -- Delay Type. VARIABLE refers to the customer calibrated delay mode.
    -- DEFAULT will utilize physical chip settings for best approximation
    -- of zero hold time programming. VARIABLE_FROM_ZERO and
    -- VARIABLE_FROM_HALF_MAX refer to the reset behavior.

    -- DIFF_PHASE_DETECTOR is a special mode where the master and slave
    -- IDELAY2s are cascaded for video application support.

    IDELAY_VALUE => 0,
    ODELAY_VALUE => 0,
    SERDES_MODE => "NONE",
    SIM_TAPDELAY_VALUE => 75
)
port map (
    BUSY => BUSY,
    DATAOUT => DATAOUT, -- 1-bit Delayed data signal to DDLY of ILOGIC2 or ISERDES2 sites.
    DATAOUT2 => DATAOUT2, -- 1-bit Delayed data signal to DDLY2 of ILOGIC2 or ISERDES2 sites.
    DOUT => DOUT,
    TOUT => TOUT,
    CAL => CAL,
    -- 1-bit Delayed Tristate signal to IOB.
    -- 1-bit Enter the IDELAY calibration sequence. This will last between 8 and 16
    -- GCLK cycles. Drives RDY HIGH when complete. Shared with DRP pin ADD(add).

    CE => CE,
    CLK => CLK,
    IDATAIN => IDATAIN,
    INC => INC,
    -- 1-bit Enable the Increment/Decrement signal.
    -- 1-bit CLK0 from INT connects to "Master" and CLK1 from INT connects to "Slave"
    -- 1-bit Data signal from IOB.
    -- 1-bit Increment / Decrement signal. Used for setting tap or delay length.
    -- 1-bit (each) Optionally Invertible IO clock network input.
    IOCLK0 => IOCLK0,
    IOCLK1 => IOCLK1,
    ODATAIN => ODATAIN,
    RST => RST,
    -- 1-bit Data input signal from OLOGIC or OSERDES.
    -- 1-bit Reset the IDELAY2 to either zero or 1/2 of total period. RST_VALUE

```

```

-- attribute controls this choice.

T => T -- 1-bit Tristate input signal from OLOGIC or OSERDES.
);

-- End of IODELAY2_inst instantiation

```

Verilog 記述 (インスタンス化)

```

// IODELAY2: Input and Output Fixed or Variable Delay Element
//      Spartan-6
// Xilinx HDL Language Template, version 11.1

IODELAY2 #(
    .COUNTER_WRAPAROUND("WRAPAROUND"), // Sets behavior when tap count exceeds max or min, depending on
                                         // whether tap setting is being incremented or decremented.

    .DATA_RATE("SDR"),
    .DELAY_SRC("IO"), // ODATAIN indicates delay source is the ODATAIN pin from the OSERDES
                     // or OLOGIC. IDATAIN indicates the delay source is from the IDATAIN
                     // pin; one of the dedicated IOB (P/N) Pads. IO means that the signal
                     // source switches between IDATAIN and ODATAIN depending on the sense
                     // of the T (tristate) input.

    .IDELAY2_VALUE(0), // Delay tap value for IDELAY Mode. Only used when IDELAY_MODE is set
                     // to PCI.

    .IDELAY_MODE("NORMAL"), // Delay Mode setting - PCI is for handling PCI/Extended Mode. Affects
                     // Input delays only.

    .IDELAY_TYPE("DEFAULT"), // Delay Type. VARIABLE refers to the customer calibrated delay mode.
                     // DEFAULT will utilize physical chip settings for best approximation
                     // of zero hold time programming. VARIABLE_FROM_ZERO and
                     // VARIABLE_FROM_HALF_MAX refer to the reset behavior.
                     // DIFF_PHASE_DETECTOR is a special mode where the master and slave
                     // IODELAY2s are cascaded for video application support.

    .IDELAY_VALUE(0), // Delay tap value for IDELAY Mode.
    .ODELAY_VALUE(0), // Delay tap value for ODELAY Mode.
    .SERDES_MODE("NONE"),
    .SIM_TAPDELAY_VALUE(75)
)
IODELAY2_inst (
    .BUSY(BUSY),
    .DATAOUT(DATAOUT), // 1-bit Delayed data signal to DDLY of ILOGIC2 or ISERDES2 sites.
    .DATAOUT2(DATAOUT2), // 1-bit Delayed data signal to DDLY2 of ILOGIC2 or ISERDES2 sites.
    .DOUT(DOUT), // 1-bit Delayed data signal to IOB.
    .TOUT(TOUT), // 1-bit Delayed Tristate signal to IOB.
    .CAL(CAL), // 1-bit Enter the IODELAY calibration sequence. This will last between 8 and 16
               // GCLK cycles. Drives RDY HIGH when complete. Shared with DRP pin ADD(add).

    .CE(CE), // 1-bit Enable the Increment/Decrement signal.
    .CLK(CLK), // 1-bit CLK0 from INT connects to "Master" and CLK1 from INT connects to "Slave"
    .IDATAIN(IDATAIN), // 1-bit Data signal from IOB.
    .INC(INC), // 1-bit Increment / Decrement signal. Used for setting tap or delay length.
    // IOCLK0 - IOCLK1: 1-bit (each) Optionally Invertible IO clock network input.
    .IOCLK0(IOCLK0),
    .IOCLK1(IOCLK1),
    .ODATAIN(ODATAIN), // 1-bit Data input signal from OLOGIC or OSERDES.
    .RST(RST), // 1-bit Reset the IODELAY2 to either zero or 1/2 of total period. RST_VALUE
               // attribute controls this choice.

    .T(T) // 1-bit Tristate input signal from OLOGIC or OSERDES.
);

// End of IODELAY2_inst instantiation

```

詳細情報

- ・ [Spartan-6 FPGA SelectIO リソース ユーザー ガイド](#)
- ・ [Spartan-6 FPGA データシート: DC 特性およびスイッチ特性](#)

IODRP2

プリミティブ : I/O Control Port

サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

Spartan®-6

概要

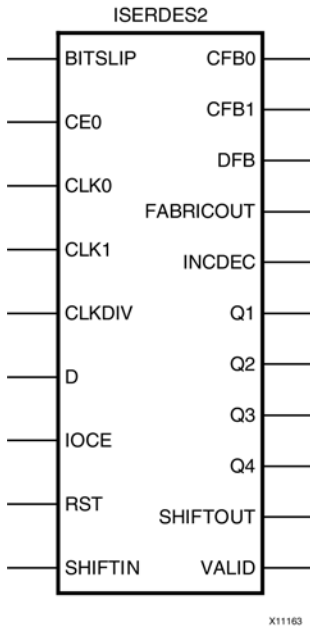
ザイリンクスではこのELEMENTの使用をサポートしていません。

詳細情報

- ・ [Spartan-6 FPGA SelectIO リソース ユーザー ガイド](#)
- ・ [Spartan-6 FPGA データシート : DC 特性およびスイッチ特性](#)

ISERDES2

プリミティブ : Input SERial/DESerializer.



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

Spartan®-6

概要

これは、入力のシリアル/パラレル データ コンバータで、高速のソース同期シリアル データを取り込みます。このコンポーネントには、クロック管理およびデータ アライメントを行うロジックが含まれており、シングル データレート (SDR) またはダブル データレート (DDR) のデータを、単一のインスタンス (MASTER) では 2 ~ 6 ビットのデータ幅に、カスケード接続された 2 つの ISERDES2 (MASTER/SLAVE) では、7 ~ 10 ビットのデータ幅にできます。このコンポーネントは、メモリ、さまざまなタイプのデータ インターフェイス アプリケーションに使用できます。また、IODELAY と共に使用して、入力シリアル データのアライメントを実行できます。DDR モードでは、データ キャプチャに 1 クロックまたは 2 クロック かかります。2 クロック モードを使用すると、パフォーマンスが向上する場合がありますが、必要なクロック リソース数および消費電力が増加し、配置配線での制限も発生する可能性があります。高速の I/O パフォーマンスが不要な場合は、1 クロック モードを使用してください。

ポートの説明

| ポート名 | タイプ | 幅 | 機能 |
|-----------|-----|---|--|
| BITSLIP | 入力 | 1 | ビットスリップを有効にします。カスケードの有無に関らず DATA_WIDTH と共に使用できます。スリップするビット数は、DATA_WIDTH で選択されている値によって決まります。 |
| CE0 | 入力 | 1 | 最終 (グローバル クロック ドリブン) レジスタのクロック イネーブル入力 |
| CFB0 | 出力 | 1 | PLL/DCM で生成されたクロックを BUFIO2FB を介して PLL/DCM にフィードバックします。 |
| CFB1 | 出力 | 1 | PLL/DCM で生成されたクロックを BUFIO2FB を介して PLL/DCM にフィードバックします (セカンダリ)。 |
| CLKDIV | 入力 | 1 | グローバル クロック ネットワーク入力。ハードウェアのクロックです。 |
| CLK0 | 入力 | 1 | I/O クロック ネットワークの入力。オプションで反転可能です。倍クロック回路が使用されていない場合に使用するプライマリクロック入力です (DATA_RATE を参照)。 |
| CLK1 | 入力 | 1 | I/O クロック ネットワークの入力。オプションで反転可能です。倍クロック回路が使用されている場合のみに使用されるセカンダリクロック入力です (DATA_RATE を参照)。 |
| D | 入力 | 1 | データ入力。IODELAY2 ブロックによる遅延の後のデータ入力です。 |
| DFB | 出力 | 1 | IODELAY2 エLEMENTで遅延した入力クロックを BUFIO2 を介して DCM、PLL、または BUFG に転送します。 |
| FABRICOUT | 出力 | 1 | FPGA ロジックで使用される非同期データ。 |
| INCDEC | 出力 | 1 | マスタ モードでの位相検出器の出力です (スレーブ モードではダミー)。受信データのサンプリングのタイミングが早かったか遅かったかを FPGA ロジックに通知します。 |
| IOCE | 入力 | 1 | BUFIO CE から派生するデータ ストローブ信号。選択されている SerDes モードでの I/O およびグローバル クロックに対し正しいタイミングでストローブ データ キャプチャが行われます。 |
| Q1 ~ Q4 | 出力 | 1 | ハードウェアへのレジスタ付き出力信号。 |
| RST | 入力 | 1 | 非同期リセットのみ。 |
| SHIFTIN | 入力 | 1 | マスタ/スレーブ I/O のカスケード入力信号。マスタおよびスレーブのサイトが、4 よりも大きい値の DATA_WIDTH と共に使用される場合に使用します。ブロックがマスタの場合、位相検出器モードで使用されるデータ入力を送信します。スレーブの場合は、パラレル データとなるシリアル データ入力を送信します。 |
| SHIFTOUT | 出力 | 1 | マスタ/スレーブ I/O のカスケード出力信号。サンプルされたデータをスレーブから送信するのに使用します。マスタ モードの場合、入力シフトレジスタの 4 段目からシリアル データをスレーブに送信します。 |
| VALID | 出力 | 1 | マスタ モードでの位相検出器の出力です (スレーブ モードではダミー)。入力データにエッジがない場合 (位相検出器で利用できる情報がない場合)、VALID 信号は Low になり、FPGA ロジックで INCDEC 信号が無視されることを示します。 |

デザインの入力方法

| | |
|--------------------------|----|
| インスタンス化 | 推奨 |
| 推論 | 不可 |
| CORE Generator™ およびウィザード | 不可 |
| マクロのサポート | 不可 |

このエレメントは、回路図で使用されます。

使用可能な属性

| 属性 | タイプ | 値 | デフォルト | 説明 |
|----------------|-------|---|------------|--|
| BITSLIP_ENABLE | ブール代数 | FALSE、TRUE | FALSE | BITSLIP 入力ピンで制御するビットスリッパ ファンクションのオン/オフを指定します。ス リッパするビット数は、DATA_WIDTH で選 択されている値によって決まります。オフの 場合は、Bitslip CE が常に、IOCE クロック イネーブルの前の I/O クロック のデフォルト 値になります。 |
| DATA_RATE | 文字列 | SDR、DDR | SDR | データレート設定。DDR クロックは別の複 数の I/O クロックまたは 1 つの I/O クロ ックによって供給されます。2 つのクロックが 供給される場合、その位相差は約 180 度で ある必要があります。 |
| DATA_WIDTH | 整数 | 1、2、3、4、5、6、7、 8 | 1 | データ幅。シリアルからパラレルへのコン バータのパラレル データ出力幅を定義しま す。2 つの ISERDES2 ブロックがカスケードさ れる場合にのみ、4 より大きい値が有効にな ります。この場合、同じ値がマスタブロックとス レーブ ブロックに適用される必要があります。 |
| INTERFACE_TYPE | 文字列 | NETWORKING、 NETWORKING_ PIPELINED、 RETIMED | NETWORKING | 操作モードを選択し、どのセットのパラレル データが FPGA ロジックに使用可能である かを決定します。 |
| SERDES_MODE | 文字列 | NONE、 MASTER、 SLAVE | NONE | 2 つの ISERDES2 ブロックがカスケードされ ている場合、ISERDES が単独で使用されて いるか、マスタまたはスレーブとして使用され ているかを示します。 |

VHDL 記述 (インスタンス化)

```
-- ISERDES2: Input SERial/DESerializer
--          Spartan-6
-- Xilinx HDL Libraries Guide, version 11.2

ISERDES2_inst : ISERDES2
generic map (
    BITSLIP_ENABLE => FALSE,          -- Enable the Bitslip functionality. Only available in NETWORKING mode.
    DATA_RATE      => "SDR",          -- The number of bits slipped is a function of the DATA_WIDTH selected.
                                         -- Single Data Rate or Double Data Rate operation. The DDR clock can be
                                         -- supplied by separate IO clocks or by a single IO clock. If two clocks
                                         -- are supplied they must be approximately 180 degrees out of phase. A
                                         -- MAX SKEW timing check should be specified.
    DATA_WIDTH     => 1,              -- Parallel data width selection.
    INTERFACE_TYPE  => "NETWORKING",  -- Memory or Networking interface type.
    SERDES_MODE     => "MASTER"       -- Specify whether the ISERDES2 is operating in master or slave modes
                                         -- when cascaded width expansion.
)
port map (
```



```

CFB0 => CFB0,          -- 1-bit For VIDEO use cases. Connects to BUFIO2FB.
CFB1 => CFB1,
DFB => DFB,            -- 1-bit For VIDEO use cases. Connects to BUFIO2.
FABRICOUT => FABRICOUT, -- 1-bit Allows signals from PAD IOBs to go to fabric unregistered and optionally
                        -- delayed.

INCDEC => INCDEC,       -- 1-bit Output of Phase Detector (Dummy in slave)
-- Q1 - Q4: 1-bit (each) Registered output to fabric.
Q1 => Q1,
Q2 => Q2,
Q3 => Q3,
Q4 => Q4,
SHIFTOUT => SHIFTOUT,  -- 1-bit Cascade out signal for Master/Slave IO. In Phase Detector mode used to
                        -- send slave sampled data.

VALID => VALID,        -- 1-bit Output of Phase Detector (Dummy in Slave). If the input data contains no
                        -- edges (no info for the phase detector to work with) the VALID signal will go
                        -- LOW to indicate that the fabric should ignore the INCDEC signal.

BITSLIP => BITSLIP,    -- 1-bit Invoke Bitflip. This can be used with any DATA_WIDTH, cascaded or not.
                        -- The amount of bitflip is fixed by the DATA_WIDTH selection.

CE0 => CE0,            -- 1-bit Clock enable input
CLK0 => CLK0,          -- 1-bit IO Clock network input. Optionally Invertible. This is the primary clock
                        -- input used when the clock doubler circuit is not engaged (see DATA_RATE
                        -- attribute).

CLK1 => CLK1,          -- 1-bit Optionally invertible IO Clock network input. Timing note: CLK1 should
                        -- be 180 degrees out of phase with CLK0.

CLKDIV => CLKDIV,      -- 1-bit Global clock network input. This is the clock for the fabric domain.
D => D,                -- 1-bit Input signal from IOB.
IOCE => IOCE,          -- 1-bit Data strobe signal derived from BUFIO CE. Strobos data capture for
                        -- NETWORKING and NETWORKING_PIPELINES alignment modes.

RST => RST,            -- 1-bit Asynchronous reset only.
SHIF TIN => SHIF TIN,  -- 1-bit Cascade in signal for Master/Slave IO. Master and Slave sites can be
                        -- used together for DATA_WIDTHs greater than 4. In Phase Detector mode used to
                        -- send slave sampled data.

);

-- End of ISERDES2_inst instantiation

```

Verilog 記述 (インスタンス化)

```
// ISERDES2: Input SERIAL/DESerializer
//          Spartan-6
// Xilinx HDL Language Template, version 11.1

ISERDES2 #(
    .BITSLIP_ENABLE("FALSE"),      // Enable the Bitflip functionality. Only available in NETWORKING mode.
    .DATA_RATE("SDR"),             // The number of bits slipped is a function of the DATA_WIDTH selected.
    .DATA_WIDTH(1),                // Single Data Rate or Double Data Rate operation. The DDR clock can be
    .INTERFACE_TYPE("NETWORKING"), // supplied by separate IO clocks or by a single IO clock. If two clocks
    .SERDES_MODE("MASTER")         // are supplied they must be approximately 180 degrees out of phase. A MAX
    // SKEW timing check should be specified.
    // Parallel data width selection.
    // Memory or Networking interface type.
    // Specify whether the ISERDES2 is operating in master or slave modes when
    // cascaded width expansion.
)
ISERDES2_inst (
    .CFB0(CFB0),                  // 1-bit For VIDEO use cases. Connects to BUFIO2FB.
    .CFB1(CFB1),
    .DFB(DFB),                    // 1-bit For VIDEO use cases. Connects to BUFIO2.
    .FABRICOUT(FABRICOUT),        // 1-bit Allows signals from PAD IOBs to go to fabric unregistered and optionally
    // delayed.

    .INCDEC(INCDEC),              // 1-bit Output of Phase Detector (Dummy in slave)
    // Q1 - Q4: 1-bit (each) Registered output to fabric.
    .Q1(Q1),
    .Q2(Q2),
    .Q3(Q3),
    .Q4(Q4),
    .SHIFTOUT(SHIFTOUT),         // 1-bit Cascade out signal for Master/Slave IO. In Phase Detector mode used to
    // send slave sampled data.

    .VALID(VALID),               // 1-bit Output of Phase Detector (Dummy in Slave). If the input data contains no
    // edges (no info for the phase detector to work with) the VALID signal will go
    // LOW to indicate that the fabric should ignore the INCDEC signal.

    .BITSLIP(BITSLIP),           // 1-bit Invoke Bitflip. This can be used with any DATA_WIDTH, cascaded or not.
    // The amount of bitflip is fixed by the DATA_WIDTH selection.

    .CE0(CE0),                   // 1-bit Clock enable input
    .CLK0(CLK0),                 // 1-bit IO Clock network input. Optionally Invertible. This is the primary clock
    // input used when the clock doubler circuit is not engaged (see DATA_RATE
    // attribute).

    .CLK1(CLK1),                 // 1-bit Optionally invertible IO Clock network input. Timing note: CLK1 should be
    // 180 degrees out of phase with CLK0.

    .CLKDIV(CLKDIV),             // 1-bit Global clock network input. This is the clock for the fabric domain.
    .D(D),                       // 1-bit Input signal from IOB.
    .IOCE(IOCE),                 // 1-bit Data strobe signal derived from BUFIO CE. Strobos data capture for
    // NETWORKING and NETWORKING_PIPELINES alignment modes.

    .RST(RST),                   // 1-bit Asynchronous reset only.
    .SHIFTIN(SHIFTIN)            // 1-bit Cascade in signal for Master/Slave IO. Master and Slave sites can be used
    // together for DATA_WIDTHS greater than 4. In Phase Detector mode used to send
    // slave sampled data.
);

// End of ISERDES2_inst instantiation
```

詳細情報

- ・ [Spartan-6 FPGA SelectIO リソース ユーザー ガイド](#)
- ・ [Spartan-6 FPGA データシート: DC 特性およびスイッチ特性](#)

KEEPER

プリミティブ : KEEPER Symbol



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex-4
- ・ Virtex-5
- ・ Virtex-6
- ・ CoolRunner™-II

概要

このデザイン エLEMENTは、双方向出力ピンに接続されるネットの値を保持するウィークキーパ エLEMENTです。たとえば、ネットに対して論理値 1 を駆動すると、KEEPER はそのネットにウィーク/抵抗値 1 を駆動します。その後、ネットドライバがトライステートになっても、KEEPER はウィーク/抵抗値 1 を駆動し続けます。

ポートの説明

| 属性 | 方向 | 幅 | 機能 |
|----|----|-------|-------|
| O | 出力 | 1 ビット | キーパ出力 |

デザインの入力方法

| | |
|--------------------------|----|
| インスタンス化 | 可 |
| 推論 | 推奨 |
| CORE Generator™ およびウィザード | 不可 |
| マクロのサポート | 不可 |

このELEMENTは、回路図で使用されます。

このELEMENTは、最上位の回路図ファイルで次のネットに接続できます。

- ・ 入力 I/O マーカーに接続されたネット
- ・ 出力 I/O マーカーおよび OBUFT のようなトライステートにできる I/O ELEMENTの両方に接続されたネット

VHDL 記述 (インスタンス化)

次の 2 つの構文が存在しない場合はコピーし、エンティティ宣言の前に貼り付けます。

```
Library UNISIM;  
use UNISIM.vcomponents.all;  
  
-- KEEPER: I/O Buffer Weak Keeper  
-- All FPGA, CoolRunner-II  
-- Xilinx HDL Libraries Guide, version 11.2  
  
KEEPER_inst : KEEPER  
port map (  
    O => O      -- Keeper output (connect directly to top-level port)  
);  
  
-- End of KEEPER_inst instantiation
```

Verilog 記述 (インスタンス化)

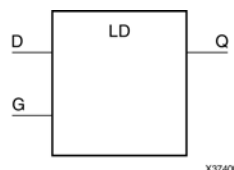
```
// KEEPER: I/O Buffer Weak Keeper  
// All FPGA, CoolRunner-II  
// Xilinx HDL Libraries Guide, version 11.2  
  
KEEPER KEEPER_inst (  
    .O(O)        // Keeper output (connect directly to top-level port)  
);  
  
// End of KEEPER_inst instantiation
```

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリー データシート](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)
- ・ [Spartan-3E FPGA ファミリー データシート](#)
- ・ [Spartan-6 FPGA SelectIO リソース ユーザー ガイド](#)
- ・ [Spartan-6 FPGA データシート: DC 特性およびスイッチ特性](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート: DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート: DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当する EDK 資料](#)

LD

プリミティブ : Transparent Data Latch



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6
- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

LD は透過データ ラッチです。ゲート イネーブル入力 (G) が High の場合、データ出力 (Q) にデータ入力 (D) の値が出力されます。D 入力の値は、G が High から Low に切り替わるときにラッチ内に格納されます。Q 出力の値は、G が Low の間は変化しません。

電力を供給すると、ラッチは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスで PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバータを追加するとアクティブ Low にできます。

論理表

| 入力 | | 出力 |
|----|---|------|
| G | D | Q |
| 1 | D | D |
| 0 | X | 変化なし |
| ↓ | D | D |

デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

使用可能な属性

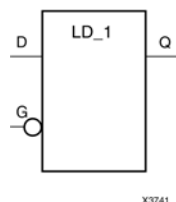
| 属性 | タイプ | 値 | デフォルト | 説明 |
|------|------|-----|-------|---------------------------|
| INIT | 2 進数 | 0、1 | 0 | コンフィギュレーション後の Q 出力の初期値を指定 |

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリ データシート](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリ データシート](#)
- ・ [Spartan-3E FPGA ファミリ データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

LD_1

プリミティブ : Transparent Data Latch with Inverted Gate



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6

概要

このデザイン エLEMENTは、反転ゲート (G) 付き透過データ ラッチです。ゲート (G) 入力 が Low の場合、データ出力 (Q) にデータ入力 (D) の値が出力されます。D 入力の値は、G が Low から High に切り替わるときにラッチ内に格納されます。Q 出力の値は、G が High の間は変化しません。

電力を供給すると、ラッチは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバータを追加するとアクティブ Low にできます。

論理表

| 入力 | | 出力 |
|----|---|------|
| G | D | Q |
| 0 | D | D |
| 1 | X | 変化なし |
| ↑ | D | D |

デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

使用可能な属性

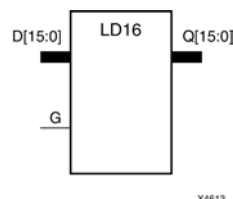
| 属性 | タイプ | 値 | デフォルト | 説明 |
|------|------|-----|-------|---------------------------|
| INIT | 2 進数 | 0、1 | 0 | コンフィギュレーション後の Q 出力の初期値を指定 |

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリ データシート](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリ データシート](#)
- ・ [Spartan-3E FPGA ファミリ データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

LD16

マクロ : Multiple Transparent Data Latch



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6
- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

このデザイン エLEMENTは透過データ ラッチ 16 個で構成されており、共通のゲート イネーブル (G) が 1 つあります。ゲート イネーブル入力 (G) が High の場合、データ出力 (Q) にデータ入力 (D) の値が出力されます。D 入力の値は、G が High から Low に切り替わるときにラッチ内に格納されます。Q 出力の値は、G が Low の間は変化しません。

電力を供給すると、ラッチは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバータを追加するとアクティブ Low にできます。

論理表

| 入力 | | 出力 |
|----|----|------|
| G | D | Q |
| 1 | Dn | Dn |
| 0 | X | 変化なし |
| ↓ | Dn | Dn |

デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

使用可能な属性

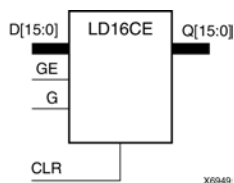
| 属性 | タイプ | 値 | デフォルト | 説明 |
|------|------|---------|-------|---------------------------|
| INIT | 2 進数 | 16 ビット値 | すべてゼロ | コンフィギュレーション後の Q 出力の初期値を指定 |

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリ データシート](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリ データシート](#)
- ・ [Spartan-3E FPGA ファミリ データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

LD16CE

マクロ : Transparent Data Latch with Asynchronous Clear and Gate Enable



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6

概要

このデザイン エLEMENTは 16 個の透過データ ラッチで構成されており、非同期クリア (CLR) とゲート イネーブル (GE) があります。非同期クリア入力 (CLR) が High になると、ほかの入力は無視され、データ出力 (Q) が Low にリセットされます。ゲート入力 (G) およびゲート イネーブル (GE) が High で CLR が Low の場合、Q にデータ入力 (D) の値が出力されます。GE が Low の場合、D の値は不定値になります。D 入力の値は、G が High から Low に切り替わる時にラッチ内に格納されます。Q 出力の値は、G または GE が Low の間は変化しません。

電力を供給すると、ラッチは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバータを追加するとアクティブ Low にできます。

論理表

| 入力 | | | | 出力 |
|-----|----|---|----|------|
| CLR | GE | G | Dn | Qn |
| 1 | X | X | X | 0 |
| 0 | 0 | X | X | 変化なし |
| 0 | 1 | 1 | Dn | Dn |
| 0 | 1 | 0 | X | 変化なし |
| 0 | 1 | ↓ | Dn | Dn |

デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

使用可能な属性

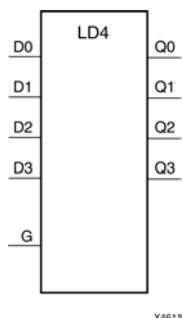
| 属性 | タイプ | 値 | デフォルト | 説明 |
|------|------|---------|-------|---------------------------|
| INIT | 2 進数 | 16 ビット値 | すべてゼロ | コンフィギュレーション後の Q 出力の初期値を指定 |

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリー データシート](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリー データシート](#)
- ・ [Spartan-3E FPGA ファミリー データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

LD4

マクロ : Multiple Transparent Data Latch



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6
- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

このデザイン エLEMENTは透過データ ラッチ 4 個で構成されており、共通のゲート イネーブル (G) が 1 つあります。ゲート イネーブル入力 (G) が High の場合、データ出力 (Q) にデータ入力 (D) の値が出力されます。D 入力の値は、G が High から Low に切り替わるときにラッチ内に格納されます。Q 出力の値は、G が Low の間は変化しません。

電力を供給すると、ラッチは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバータを追加するとアクティブ Low にできます。

論理表

| 入力 | | 出力 |
|----|----|------|
| G | D | Q |
| 1 | Dn | Dn |
| 0 | X | 変化なし |
| ↓ | Dn | Dn |

デザインの入力方法

このエレメントは、回路図でのみ使用できます。

使用可能な属性

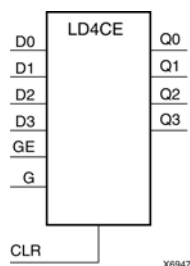
| 属性 | タイプ | 値 | デフォルト | 説明 |
|------|------|--------|-------|---------------------------|
| INIT | 2 進数 | 4 ビット値 | すべてゼロ | コンフィギュレーション後の Q 出力の初期値を指定 |

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリ データシート](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリ データシート](#)
- ・ [Spartan-3E FPGA ファミリ データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

LD4CE

マクロ : Transparent Data Latch with Asynchronous Clear and Gate Enable



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- Spartan®-3
- Spartan-3A
- Spartan-3E
- Spartan-6
- Virtex®-4
- Virtex-5
- Virtex-6

概要

このデザイン エLEMENTは 4 個の透過データ ラッチで構成されており、非同期クリア (CLR) とゲート イネーブル (GE) があります。非同期クリア入力 (CLR) が High になると、ほかの入力は無視され、データ出力 (Q) が Low にリセットされます。ゲート入力 (G) およびゲート イネーブル (GE) が High で CLR が Low の場合、Q にデータ入力 (D) の値が出力されます。GE が Low の場合、D の値は不定値になります。D 入力の値は、G が High から Low に切り替わる時にラッチ内に格納されます。Q 出力の値は、G または GE が Low の間は変化しません。

電力を供給すると、ラッチは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバータを追加するとアクティブ Low にできます。

論理表

| 入力 | | | | 出力 |
|-----|----|---|----|------|
| CLR | GE | G | Dn | Qn |
| 1 | X | X | X | 0 |
| 0 | 0 | X | X | 変化なし |
| 0 | 1 | 1 | Dn | Dn |
| 0 | 1 | 0 | X | 変化なし |
| 0 | 1 | ↓ | Dn | Dn |

デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

使用可能な属性

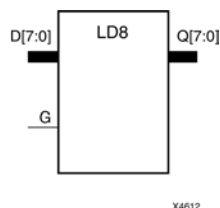
| 属性 | タイプ | 値 | デフォルト | 説明 |
|------|------|--------|-------|---------------------------|
| INIT | 2 進数 | 4 ビット値 | すべてゼロ | コンフィギュレーション後の Q 出力の初期値を指定 |

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリー データシート](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリー データシート](#)
- ・ [Spartan-3E FPGA ファミリー データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

LD8

マクロ : Multiple Transparent Data Latch



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6
- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

このデザイン エLEMENTは透過データ ラッチ 8 個で構成されており、共通のゲート イネーブル (G) が 1 つあります。ゲート イネーブル入力 (G) が High の場合、データ出力 (Q) にデータ入力 (D) の値が出力されます。D 入力の値は、G が High から Low に切り替わるときにラッチ内に格納されます。Q 出力の値は、G が Low の間は変化しません。

電力を供給すると、ラッチは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスで PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバータを追加するとアクティブ Low にできます。

論理表

| 入力 | | 出力 |
|----|----|------|
| G | D | Q |
| 1 | Dn | Dn |
| 0 | X | 変化なし |
| ↓ | Dn | Dn |

デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

使用可能な属性

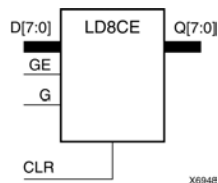
| 属性 | タイプ | 値 | デフォルト | 説明 |
|------|------|--------|-------|---------------------------|
| INIT | 2 進数 | 8 ビット値 | すべてゼロ | コンフィギュレーション後の Q 出力の初期値を指定 |

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリ データシート](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリ データシート](#)
- ・ [Spartan-3E FPGA ファミリ データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

LD8CE

マクロ : Transparent Data Latch with Asynchronous Clear and Gate Enable



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6

概要

このデザイン エLEMENTは 8 個の透過データ ラッチで構成されており、非同期クリア (CLR) とゲート イネーブル (GE) があります。非同期クリア入力 (CLR) が High になると、ほかの入力は無視され、データ出力 (Q) が Low にリセットされます。ゲート入力 (G) およびゲート イネーブル (GE) が High で CLR が Low の場合、Q にデータ入力 (D) の値が出力されます。GE が Low の場合、D の値は不定値になります。D 入力の値は、G が High から Low に切り替わるときにラッチ内に格納されます。Q 出力の値は、G または GE が Low の間は変化しません。

電力を供給すると、ラッチは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバータを追加するとアクティブ Low にできます。

論理表

| 入力 | | | | 出力 |
|-----|----|---|----|------|
| CLR | GE | G | Dn | Qn |
| 1 | X | X | X | 0 |
| 0 | 0 | X | X | 変化なし |
| 0 | 1 | 1 | Dn | Dn |
| 0 | 1 | 0 | X | 変化なし |
| 0 | 1 | ↓ | Dn | Dn |

デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

使用可能な属性

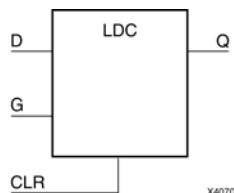
| 属性 | タイプ | 値 | デフォルト | 説明 |
|------|------|--------|-------|---------------------------|
| INIT | 2 進数 | 8 ビット値 | すべてゼロ | コンフィギュレーション後の Q 出力の初期値を指定 |

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリ データシート](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリ データシート](#)
- ・ [Spartan-3E FPGA ファミリ データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

LDC

プリミティブ : マクロ : Transparent Data Latch with Asynchronous Clear



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6
- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

このデザイン エLEMENTは、非同期クリア (CLR) がある透過データラッチです。非同期クリア入力 (CLR) が High になると、ほかの入力は無視され、データ出力 (Q) が Low にリセットされます。ゲート イネーブル入力 (G) が High で CLR が Low の場合、Q にデータ入力 (D) の値が出力されます。D 入力の値は、G が High から Low に切り替わるときにラッチ内に格納されます。Q 出力の値は、G が Low の間は変化しません。

電力を供給すると、ラッチは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバータを追加するとアクティブ Low にできます。

論理表

| 入力 | | | 出力 |
|-----|---|---|------|
| CLR | G | D | Q |
| 1 | X | X | 0 |
| 0 | 1 | D | D |
| 0 | 0 | X | 変化なし |
| 0 | ↓ | D | D |

デザインの入力方法

このエレメントは、回路図でのみ使用できます。

使用可能な属性

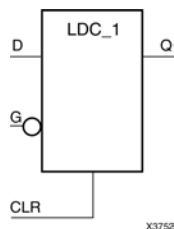
| 属性 | タイプ | 値 | デフォルト | 説明 |
|------|------|-----|-------|---------------------------|
| INIT | 2 進数 | 0、1 | 0 | コンフィギュレーション後の Q 出力の初期値を指定 |

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリ データシート](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリ データシート](#)
- ・ [Spartan-3E FPGA ファミリ データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

LDC_1

プリミティブ : Transparent Data Latch with Asynchronous Clear and Inverted Gate



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6

概要

このデザイン エLEMENTは、非同期クリア (CLR) および反転ゲート (G) 付き透過データラッチです。CLR が High になると、ほかの入力 (D、G) は無視され、データ出力 (Q) が Low にリセットされます。ゲート (G) 入力および CLR が Low の場合、Q にデータ入力 (D) の値が出力されます。D 入力の値は、G が Low から High に切り替わる時にラッチ内に格納されます。Q 出力の値は、G が High の間は変化しません。

電力を供給すると、ラッチは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバータを追加するとアクティブ Low にできます。

論理表

| 入力 | | | 出力 |
|-----|---|---|------|
| CLR | G | D | Q |
| 1 | X | X | 0 |
| 0 | 0 | D | D |
| 0 | 1 | X | 変化なし |
| 0 | ↑ | D | D |

デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

使用可能な属性

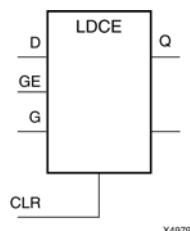
| 属性 | タイプ | 値 | デフォルト | 説明 |
|------|------|-----|-------|---------------------------|
| INIT | 2 進数 | 0、1 | 0 | コンフィギュレーション後の Q 出力の初期値を指定 |

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリ データシート](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリ データシート](#)
- ・ [Spartan-3E FPGA ファミリ データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

LDCE

プリミティブ : Transparent Data Latch with Asynchronous Clear and Gate Enable



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6

概要

このデザイン エLEMENTは、非同期クリア (CLR) およびゲートイネーブル (GE) 付き透過データラッチです。非同期クリア入力 (CLR) が High になると、ほかの入力は無視され、データ出力 (Q) が Low にリセットされます。ゲート入力 (G) およびゲートイネーブル (GE) が High で、CLR が Low のとき、Q にはデータ入力 (D) が使用されます。GE が Low の場合、D の値は不定値になります。D 入力の値は、G が High から Low に切り替わるときにラッチ内に格納されます。Q 出力の値は、G または GE が Low の間は変化しません。

電力を供給すると、ラッチは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバータを追加するとアクティブ Low にできます。

論理表

| 入力 | | | | 出力 |
|-----|----|---|---|------|
| CLR | GE | G | D | Q |
| 1 | X | X | X | 0 |
| 0 | 0 | X | X | 変化なし |
| 0 | 1 | 1 | D | D |
| 0 | 1 | 0 | X | 変化なし |
| 0 | 1 | ↓ | D | D |

デザインの入力方法

このエレメントは、回路図でのみ使用できます。

使用可能な属性

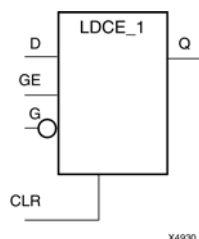
| 属性 | タイプ | 値 | デフォルト | 説明 |
|------|------|-----|-------|---------------------------|
| INIT | 2 進数 | 0、1 | 0 | コンフィギュレーション後の Q 出力の初期値を指定 |

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリ データシート](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリ データシート](#)
- ・ [Spartan-3E FPGA ファミリ データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

LDCE_1

プリミティブ : Transparent Data Latch with Asynchronous Clear, Gate Enable, and Inverted Gate



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6

概要

このデザイン エLEMENTは、非同期クリア (CLR)、ゲート イネーブル (GE)、反転ゲート (G) 付きの透過データ ラッチです。非同期クリア入力 (CLR) が High になると、ほかの入力は無視され、データ出力 (Q) が Low にリセットされます。G および CLR が Low、GE が High のとき、Q にはデータ入力 (D) が使用されます。D 入力の値は、G が Low から High に切り替わるときにラッチ内に格納されます。Q 出力の値は、G が High または GE が Low の間は変化しません。

電力を供給すると、ラッチは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスで PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバータを追加するとアクティブ Low にできます。

論理表

| 入力 | | | | 出力 |
|-----|----|---|---|------|
| CLR | GE | G | D | Q |
| 1 | X | X | X | 0 |
| 0 | 0 | X | X | 変化なし |
| 0 | 1 | 0 | D | D |
| 0 | 1 | 1 | X | 変化なし |
| 0 | 1 | ↑ | D | D |

デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

使用可能な属性

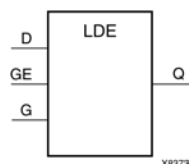
| 属性 | タイプ | 値 | デフォルト | 説明 |
|------|------|-----|-------|---------------------------|
| INIT | 2 進数 | 0、1 | 0 | コンフィギュレーション後の Q 出力の初期値を指定 |

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリー データシート](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリー データシート](#)
- ・ [Spartan-3E FPGA ファミリー データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

LDE

プリミティブ : Transparent Data Latch with Gate Enable



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6

概要

このデザイン エLEMENTは、データ入力 (D) とゲート イネーブル入力 (GE) がある透過データ ラッチです。ゲート入力 (G) とゲート イネーブル (GE) が High の場合、Q 出力にはデータ入力 (D) の値が出力されます。D 入力の値は、G が High から Low に切り替わるときにラッチ内に格納されます。Q 出力の値は、G または GE が Low の間は変化しません。

電力を供給すると、ラッチは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバータを追加するとアクティブ Low にできます。

論理表

| 入力 | | | 出力 |
|----|---|---|------|
| GE | G | D | Q |
| 0 | X | X | 変化なし |
| 1 | 1 | D | D |
| 1 | 0 | X | 変化なし |
| 1 | ↓ | D | D |

デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

使用可能な属性

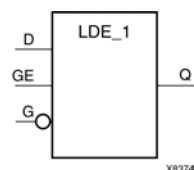
| 属性 | タイプ | 値 | デフォルト | 説明 |
|------|------|-----|-------|--------------------------------------|
| INIT | 2 進数 | 0、1 | 0 | 電源投入時または Q ポートに対する GSR のアサート時の初期値を指定 |

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリ データシート](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリ データシート](#)
- ・ [Spartan-3E FPGA ファミリ データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

LDE_1

プリミティブ : Transparent Data Latch with Gate Enable and Inverted Gate



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6

概要

このデザイン エLEMENTは、データ入力 (D) とゲート イネーブル入力 (GE)、反転ゲート (G) がある透過データ ラッチです。G が Low で GE が High の場合、Q 出力にはデータ入力 (D) の値が出力されます。D 入力の値は、G が Low から High に切り替わるときにラッチ内に格納されます。Q 出力の値は、G が High または GE が Low の間は変化しません。

電力を供給すると、ラッチは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバータを追加するとアクティブ Low にできます。

論理表

| 入力 | | | 出力 |
|----|---|---|------|
| GE | G | D | Q |
| 0 | X | X | 変化なし |
| 1 | 0 | D | D |
| 1 | 1 | X | 変化なし |
| 1 | ↑ | D | D |

デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

使用可能な属性

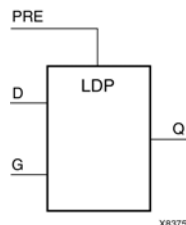
| 属性 | タイプ | 値 | デフォルト | 説明 |
|------|------|-----|-------|--------------------------------------|
| INIT | 2 進数 | 0、1 | 0 | 電源投入時または Q ポートに対する GSR のアサート時の初期値を指定 |

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリ データシート](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリ データシート](#)
- ・ [Spartan-3E FPGA ファミリ データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

LDP

プリミティブ : マクロ : Transparent Data Latch with Asynchronous Preset



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6
- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

このデザイン エLEMENTは、非同期プリセット (PRE) がある透過データ ラッチです。PRE が High になると、ほかの入力は無視され、データ出力 (Q) が High にプリセットされます。XC9500 デバイスの場合、PRE が High になると、ほかの入力は無視され、データ出力 (Q) が High にプリセットされます。CoolRunner™-II および CoolRunner™ XPLA3 の場合、PRE はゲート (G) またはデータ (D) 入力よりも優先順位が低くなり、これらの入力に影響を及ぼしません。ゲート入力 (G) が High で PRE が Low の場合、Q にはデータ入力 (D) の値が出力されます。D 入力の値は、G が High から Low に切り替わるときにラッチ内に格納されます。Q 出力の値は、G が Low の間は変化しません。

電力が供給されると、ラッチは非同期にプリセットされ、出力が High になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバータを追加するとアクティブ Low にできます。

論理表

| 入力 | | | 出力 |
|-----|---|---|------|
| PRE | G | D | Q |
| 1 | X | X | 1 |
| 0 | 1 | 0 | 0 |
| 0 | 1 | 1 | 1 |
| 0 | 0 | X | 変化なし |
| 0 | ↓ | D | D |

| 入力 | | | 出力 |
|-----|---|---|------|
| PRE | G | D | Q |
| 1 | X | X | 1 |
| 0 | 1 | 0 | 0 |
| 0 | 1 | 1 | 1 |
| 0 | 0 | X | 変化なし |
| 0 | ↓ | D | D |

デザインの入力方法

このエレメントは、回路図でのみ使用できます。

使用可能な属性

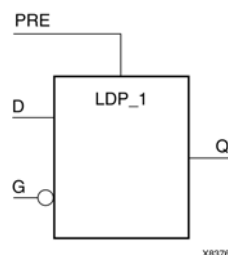
| 属性 | タイプ | 値 | デフォルト | 説明 |
|------|------|-----|-------|--------------------------------------|
| INIT | 2 進数 | 0、1 | 1 | 電源投入時または Q ポートに対する GSR のアサート時の初期値を指定 |

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリー データシート](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリー データシート](#)
- ・ [Spartan-3E FPGA ファミリー データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

LDP_1

プリミティブ : Transparent Data Latch with Asynchronous Preset and Inverted Gate



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6

概要

このデザイン エLEMENTは、非同期プリセット (PRE)、反転ゲート (G) がある透過データラッチです。PRE が High になると、ほかの入力は無視され、データ出力 (Q) が High にプリセットされます。G と PRE が Low の場合、Q にはデータ入力 (D) の値が出力されます。D 入力の値は、G が Low から High に切り替わるときにラッチ内に格納されます。Q 出力の値は、G が High の間は変化しません。

電力が供給されると、ラッチは非同期にプリセットされ、出力が High になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバータを追加するとアクティブ Low にできます。

論理表

| 入力 | | | 出力 |
|-----|---|---|------|
| PRE | G | D | Q |
| 1 | X | X | 1 |
| 0 | 0 | D | D |
| 0 | 1 | X | 変化なし |
| 0 | ↑ | D | D |

デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

使用可能な属性

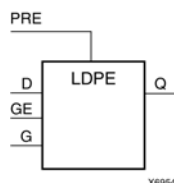
| 属性 | タイプ | 値 | デフォルト | 説明 |
|------|------|-----|-------|--------------------------------------|
| INIT | 2 進数 | 0、1 | 1 | 電源投入時または Q ポートに対する GSR のアサート時の初期値を指定 |

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリ データシート](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリ データシート](#)
- ・ [Spartan-3E FPGA ファミリ データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

LDPE

プリミティブ : Transparent Data Latch with Asynchronous Preset and Gate Enable



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Virtex-4

概要

このデザイン エLEMENTは、非同期プリセット (PRE) およびゲート イネーブル (GE) 付き透過データラッチです。PRE が High になると、ほかの入力は無視され、データ出力 (Q) が High にプリセットされます。ゲート入力 (G) およびゲート イネーブル (GE) が High の場合、Q にデータ入力 (D) の値が出力されます。D 入力の値は、G が High から Low に切り替わる時にラッチ内に格納されます。Q 出力の値は、G または GE が Low の間は変化しません。

電力が供給されると、ラッチは非同期にプリセットされ、出力が High になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバータを追加するとアクティブ Low にできます。

論理表

| 入力 | | | | 出力 |
|-----|----|---|---|------|
| PRE | GE | G | D | Q |
| 1 | X | X | X | 1 |
| 0 | 0 | X | X | 変化なし |
| 0 | 1 | 1 | D | D |
| 0 | 1 | 0 | X | 変化なし |
| 0 | 1 | ↓ | D | D |

デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

使用可能な属性

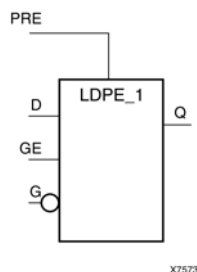
| 属性 | タイプ | 値 | デフォルト | 説明 |
|------|------|-----|-------|--------------------------------------|
| INIT | 2 進数 | 0、1 | 1 | 電源投入時または Q ポートに対する GSR のアサート時の初期値を指定 |

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリ データシート](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリ データシート](#)
- ・ [Spartan-3E FPGA ファミリ データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

LDPE_1

プリミティブ : Transparent Data Latch with Asynchronous Preset, Gate Enable, and Inverted Gate



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6

概要

このデザイン エLEMENTは、非同期プリセット (PRE)、ゲート イネーブル (GE)、反転ゲート (G) 付きの透過データ ラッチ です。PRE が High になると、ほかの入力は無視され、データ出力 (Q) が High にプリセットされます。G および PRE が Low で、GE が High の場合、Q にデータ入力 (D) の値が出力されます。D 入力の値は、G が Low から High に切り替わるときにラッチ内に格納されます。Q 出力の値は、G が High または GE が Low の間に変化しません。

電力が供給されると、ラッチは非同期にプリセットされ、出力が High になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバータを追加するとアクティブ Low にできます。

論理表

| 入力 | | | | 出力 |
|-----|----|---|---|------|
| PRE | GE | G | D | Q |
| 1 | X | X | X | 1 |
| 0 | 0 | X | X | 変化なし |
| 0 | 1 | 0 | D | D |
| 0 | 1 | 1 | X | 変化なし |
| 0 | 1 | ↑ | D | D |

デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

使用可能な属性

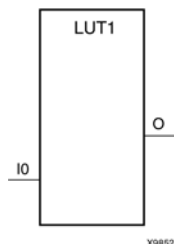
| 属性 | タイプ | 値 | デフォルト | 説明 |
|------|------|-----|-------|--------------------------------------|
| INIT | 2 進数 | 0、1 | 1 | 電源投入時または Q ポートに対する GSR のアサート時の初期値を指定 |

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリ データシート](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリ データシート](#)
- ・ [Spartan-3E FPGA ファミリ データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

LUT1

プリミティブ : マクロ : 1-Bit Look-Up Table with General Output



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6

概要

このデザイン エLEMENTは一般出力 (O) を持つ 1 ビットのルックアップ テーブル (LUT) です。

LUT のファンクションを設定するため、INIT 属性を使用して、各入力値に対する出力値を 16 進数で指定する必要があります。このELEMENTは、バッファまたはインバータの機能を果たします。これらのELEMENTは基本ブロックで、各 CLB スライスに 2 つ、各 CLB に 4 つずつあります。LUT には複数のバリエーションがあり、異なるタイミング モデルでレイアウト前のタイミング予測をより正確に行う必要がある場合に使用できます。

FPGA LUT プリミティブでは、INIT パラメータで論理値が設定されます。デフォルトは 0 で、入力値にかかわらず出力を 0 に駆動します (グラウンドとして機能)。ただし多くの場合、LUT プリミティブのロジック ファンクションを指定するために、新しい INIT の値を決定する必要があります。LUT の値を指定する方法には、次の 2 つがあります。

論理表を使用する方法 : LUT の INIT 値を決定する一般的な方法。バイナリの論理表にすべての入力をリストして出力のロジック値を指定し、これらの出力値から、初期値を作成します。

論理式を使用する方法 : リストされた真理値表の値に対応する LUT の各入力にパラメータを定義し、パラメータを元にロジックの論理式を生成します。概念を理解してしまえばこの方法の方が簡単で、前出の方法のようにパラメータの指定にコードを使用する必要がありません。

論理表

| 入力 | 出力 |
|------------------------------|---------|
| I0 | O |
| 0 | INIT[0] |
| 1 | INIT[1] |
| INIT = INIT 属性に割り当てられた 2 進数値 | |

デザインの入力方法

| | |
|--------------------------|----|
| インスタンス化 | 可 |
| 推論 | 推奨 |
| CORE Generator™ およびウィザード | 不可 |
| マクロのサポート | 不可 |

このエレメントは、回路図で使用されます。

使用可能な属性

| 属性 | タイプ | 値 | デフォルト | 説明 |
|------|-------|--------|-------|--------------------|
| INIT | 16 進数 | 2 ビット値 | すべてゼロ | ルックアップ テーブルの初期値を指定 |

VHDL 記述 (インスタンス化)

次の 2 つの構文が存在しない場合はコピーし、エンティティ宣言の前に貼り付けます。

```
Library UNISIM;
use UNISIM.vcomponents.all;

-- LUT1: 1-input Look-Up Table with general output
-- Xilinx HDL Libraries Guide, version 11.2

LUT1_inst : LUT1
generic map (
    INIT => "00")
port map (
    O => O,    -- LUT general output
    I0 => I0   -- LUT input
);

-- End of LUT1_inst instantiation
```

Verilog 記述 (インスタンス化)

```
// LUT1: 1-input Look-Up Table with general output
// For use with all FPGAs.
// Xilinx HDL Libraries Guide, version 11.2

LUT1 #(
    .INIT(2'b00) // Specify LUT Contents
) LUT1_inst (
    .O(O),       // LUT general output
    .I0(I0)     // LUT input
);

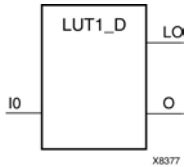
// End of LUT1_inst instantiation
```

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリ データシート](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリ データシート](#)
- ・ [Spartan-3E FPGA ファミリ データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

LUT1_D

プリミティブ : マクロ : 1-Bit Look-Up Table with Dual Output



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6

概要

このデザイン エLEMENTは 1 ビットのルックアップ テーブル (LUT) で、同じ機能を持つ O および LO という 2 つの出力があります。このELEMENTはバッファまたはインバータの機能を果たします。

出力 O は一般的なインターコネクトです。LO 出力は同じ CLB スライス内の別の出力、または高速バッファに接続します。LUT のファンクションを設定するため、INIT 属性を使用して、各入力値に対する出力値を 16 進数で指定する必要があります。

FPGA LUT プリミティブでは、INIT パラメータで論理値が設定されます。デフォルトは 0 で、入力値にかかわらず出力を 0 に駆動します (グラウンドとして機能)。ただし多くの場合、LUT プリミティブのロジック ファンクションを指定するために、新しい INIT の値を決定する必要があります。LUT の値を指定する方法には、次の 2 つがあります。

論理表を使用する方法 : LUT の INIT 値を決定する一般的な方法。バイナリの論理表にすべての入力をリストして出力のロジック値を指定し、これらの出力値から、初期値を作成します。

論理式を使用する方法 : リストされた真理値表の値に対応する LUT の各入力にパラメータを定義し、パラメータを元にロジックの論理式を生成します。概念を理解してしまえばこの方法の方が簡単で、前出の方法のようにパラメータの指定にコードを使用する必要がありません。

論理表

| 入力 | 出力 | |
|------------------------------|---------|---------|
| I0 | O | LO |
| 0 | INIT[0] | INIT[0] |
| 1 | INIT[1] | INIT[1] |
| INIT = INIT 属性に割り当てられた 2 進数値 | | |

デザインの入力方法

| | |
|--------------------------|----|
| インスタンス化 | 可 |
| 推論 | 推奨 |
| CORE Generator™ およびウィザード | 不可 |
| マクロのサポート | 不可 |

このELEMENTは、回路図で使用されます。

使用可能な属性

| 属性 | タイプ | 値 | デフォルト | 説明 |
|------|-------|--------|-------|--------------------|
| INIT | 16 進数 | 2 ビット値 | すべてゼロ | ルックアップ テーブルの初期値を指定 |

VHDL 記述 (インスタンス化)

次の 2 つの構文が存在しない場合はコピーし、エンティティ宣言の前に貼り付けます。

```
Library UNISIM;
use UNISIM.vcomponents.all;

-- LUT1_D: 1-input Look-Up Table with general and local outputs
-- Xilinx HDL Libraries Guide, version 11.2

LUT1_D_inst : LUT1_D
generic map (
    INIT => "00")
port map (
    LO => LO, -- LUT local output
    O => O,   -- LUT general output
    IO => IO  -- LUT input
);

-- End of LUT1_D_inst instantiation
```

Verilog 記述 (インスタンス化)

```
// LUT1_D: 1-input Look-Up Table with general and local outputs
//           For use with all FPGAs.
// Xilinx HDL Libraries Guide, version 11.2

LUT1_D #(
    .INIT(2'b00) // Specify LUT Contents
) LUT1_D_inst (
    .LO(LO), // LUT local output
    .O(O),  // LUT general output
    .IO(IO) // LUT input
);

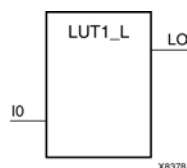
// End of LUT1_D_inst instantiation
```

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリ データシート](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリ データシート](#)
- ・ [Spartan-3E FPGA ファミリ データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

LUT1_L

プリミティブ : マクロ : 1-Bit Look-Up Table with Local Output



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6

概要

このデザイン エLEMENTは、1 ビットのルックアップ テーブル (LUT) で、同じ CLB スライス内にある別の出力および高速バッファへの接続に使用するローカル出力 (LO) があります。このELEMENTはバッファまたはインバータの機能を果たします。

LUT のファンクションを設定するため、INIT 属性を使用して、各入力値に対する出力値を 16 進数で指定する必要があります。

FPGA LUT プリミティブでは、INIT パラメータで論理値が設定されます。デフォルトは 0 で、入力値にかかわらず出力を 0 に駆動します (グラウンドとして機能)。ただし多くの場合、LUT プリミティブのロジック ファンクションを指定するために、新しい INIT の値を決定する必要があります。LUT の値を指定する方法には、次の 2 つがあります。

論理表を使用する方法 : LUT の INIT 値を決定する一般的な方法。バイナリの論理表にすべての入力をリストして出力のロジック値を指定し、これらの出力値から、初期値を作成します。

論理式を使用する方法 : リストされた真理値表の値に対応する LUT の各入力にパラメータを定義し、パラメータを元にロジックの論理式を生成します。概念を理解してしまえばこの方法の方が簡単で、前出の方法のようにパラメータの指定にコードを使用する必要がありません。

論理表

| 入力 | 出力 |
|------------------------------|---------|
| I0 | LO |
| 0 | INIT[0] |
| 1 | INIT[1] |
| INIT = INIT 属性に割り当てられた 2 進数値 | |

デザインの入力方法

| | |
|--------------------------|----|
| インスタンス化 | 可 |
| 推論 | 推奨 |
| CORE Generator™ およびウィザード | 不可 |
| マクロのサポート | 不可 |

このエレメントは、回路図で使用されます。

使用可能な属性

| 属性 | タイプ | 値 | デフォルト | 説明 |
|------|-------|--------|-------|--------------------|
| INIT | 16 進数 | 2 ビット値 | すべてゼロ | ルックアップ テーブルの初期値を指定 |

VHDL 記述 (インスタンス化)

次の 2 つの構文が存在しない場合はコピーし、エンティティ宣言の前に貼り付けます。

```
Library UNISIM;
use UNISIM.vcomponents.all;

-- LUT1_L: 1-input Look-Up Table with local output
-- Xilinx HDL Libraries Guide, version 11.2

LUT1_L_inst : LUT1_L
generic map (
    INIT => "00")
port map (
    LO => LO, -- LUT local output
    IO => IO  -- LUT input
);

-- End of LUT1_L_inst instantiation
```

Verilog 記述 (インスタンス化)

```
// LUT1_L: 1-input Look-Up Table with local output
// For use with all FPGAs.
// Xilinx HDL Libraries Guide, version 11.2

LUT1_L #(
    .INIT(2'b00) // Specify LUT Contents
) LUT1_L_inst (
    .LO(LO), // LUT local output
    .IO(IO) // LUT input
);

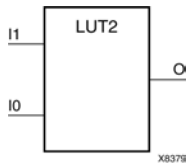
// End of LUT1_L_inst instantiation
```


詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリ データシート](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリ データシート](#)
- ・ [Spartan-3E FPGA ファミリ データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

LUT2

プリミティブ : マクロ : 2-Bit Look-Up Table with General Output



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6

概要

このデザイン エLEMENTは一般出力 (O) を持つ 2 ビットのルックアップ テーブル (LUT) です。

LUT のファンクションを設定するため、INIT 属性を使用して、各入力値に対する出力値を 16 進数で指定する必要があります。このELEMENTは、バッファまたはインバータの機能を果たします。これらのELEMENTは基本ブロックで、各 CLB スライスに 2 つ、各 CLB に 4 つずつあります。LUT には複数のバリエーションがあり、異なるタイミング モデルでレイアウト前のタイミング予測をより正確に行う必要がある場合に使用できます。

FPGA LUT プリミティブでは、INIT パラメータで論理値が設定されます。デフォルトは 0 で、入力値にかかわらず出力を 0 に駆動します (グラウンドとして機能)。ただし多くの場合、LUT プリミティブのロジック ファンクションを指定するために、新しい INIT の値を決定する必要があります。LUT の値を指定する方法には、次の 2 つがあります。

論理表を使用する方法 : LUT の INIT 値を決定する一般的な方法。バイナリの論理表にすべての入力をリストして出力のロジック値を指定し、これらの出力値から、初期値を作成します。

論理式を使用する方法 : リストされた真理値表の値に対応する LUT の各入力にパラメータを定義し、パラメータを元にロジックの論理式を生成します。概念を理解してしまえばこの方法の方が簡単で、前出の方法のようにパラメータの指定にコードを使用する必要がありません。

論理表

| 入力 | | 出力 |
|--|----|---------|
| I1 | I0 | O |
| 0 | 0 | INIT[0] |
| 0 | 1 | INIT[1] |
| 1 | 0 | INIT[2] |
| 1 | 1 | INIT[3] |
| INIT = INIT 属性で指定された 16 進数値を 2 進数で表した値 | | |

デザインの入力方法

| | |
|--------------------------|----|
| インスタンス化 | 可 |
| 推論 | 推奨 |
| CORE Generator™ およびウィザード | 不可 |
| マクロのサポート | 不可 |

このELEMENTは、回路図で使用されます。

使用可能な属性

| 属性 | タイプ | 値 | デフォルト | 説明 |
|------|-------|--------|-------|--------------------|
| INIT | 16 進数 | 4 ビット値 | すべてゼロ | ルックアップ テーブルの初期値を指定 |

VHDL 記述 (インスタンス化)

次の 2 つの構文が存在しない場合はコピーし、エンティティ宣言の前に貼り付けます。

```
Library UNISIM;
use UNISIM.vcomponents.all;

-- LUT2: 2-input Look-Up Table with general output
-- Xilinx HDL Libraries Guide, version 11.2

LUT2_inst : LUT2
generic map (
  INIT => X"0")
port map (
  O => O,    -- LUT general output
  I0 => I0,  -- LUT input
  I1 => I1   -- LUT input
);

-- End of LUT2_inst instantiation
```

Verilog 記述 (インスタンス化)

```
// LUT2: 2-input Look-Up Table with general output
//      For use with all FPGAs.
// Xilinx HDL Libraries Guide, version 11.2

LUT2 #(
  .INIT(4'h0) // Specify LUT Contents
) LUT2_inst (
  .O(O),      // LUT general output
  .I0(I0),    // LUT input
  .I1(I1)     // LUT input
);

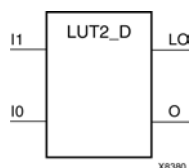
// End of LUT2_inst instantiation
```

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリ データシート](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリ データシート](#)
- ・ [Spartan-3E FPGA ファミリ データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

LUT2_D

プリミティブ : マクロ : 2-Bit Look-Up Table with Dual Output



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6

概要

このデザイン エLEMENTは 2 ビットのルックアップ テーブル (LUT) で、同じ機能を持つ O および LO という 2 つの出力があります。

出力 O は一般的なインターコネクトです。LO 出力は同じ CLB スライス内の別の出力、または高速バッファに接続します。LUT のファンクションを設定するため、INIT 属性を使用して、各入力値に対する出力値を 16 進数で指定する必要があります。

FPGA LUT プリミティブでは、INIT パラメータで論理値が設定されます。デフォルトは 0 で、入力値にかかわらず出力を 0 に駆動します (グラウンドとして機能)。ただし多くの場合、LUT プリミティブのロジック ファンクションを指定するために、新しい INIT の値を決定する必要があります。LUT の値を指定する方法には、次の 2 つがあります。

論理表を使用する方法 : LUT の INIT 値を決定する一般的な方法。バイナリの論理表にすべての入力をリストして出力のロジック値を指定し、これらの出力値から、初期値を作成します。

論理式を使用する方法 : リストされた真理値表の値に対応する LUT の各入力にパラメータを定義し、パラメータを元にロジックの論理式を生成します。概念を理解してしまえばこの方法の方が簡単で、前出の方法のようにパラメータの指定にコードを使用する必要がありません。

論理表

| 入力 | | 出力 | |
|--|----|---------|---------|
| I1 | I0 | O | LO |
| 0 | 0 | INIT[0] | INIT[0] |
| 0 | 1 | INIT[1] | INIT[1] |
| 1 | 0 | INIT[2] | INIT[2] |
| 1 | 1 | INIT[3] | INIT[3] |
| INIT = INIT 属性で指定された 16 進数値を 2 進数で表した値 | | | |

デザインの入力方法

| | |
|--------------------------|----|
| インスタンス化 | 可 |
| 推論 | 推奨 |
| CORE Generator™ およびウィザード | 不可 |
| マクロのサポート | 不可 |

このエレメントは、回路図で使用されます。

使用可能な属性

| 属性 | タイプ | 値 | デフォルト | 説明 |
|------|-------|--------|-------|--------------------|
| INIT | 16 進数 | 4 ビット値 | すべてゼロ | ルックアップ テーブルの初期値を指定 |

VHDL 記述 (インスタンス化)

次の 2 つの構文が存在しない場合はコピーし、エンティティ宣言の前に貼り付けます。

```
Library UNISIM;
use UNISIM.vcomponents.all;

-- LUT2_D: 2-input Look-Up Table with general and local outputs
-- Xilinx HDL Libraries Guide, version 11.2

LUT2_D_inst : LUT2_D
generic map (
    INIT => X"0")
port map (
    LO => LO, -- LUT local output
    O => O,   -- LUT general output
    I0 => I0, -- LUT input
    I1 => I1  -- LUT input
);

-- End of LUT2_D_inst instantiation
```

Verilog 記述 (インスタンス化)

```
// LUT2_D: 2-input Look-Up Table with general and local outputs
// For use with all FPGAs.
// Xilinx HDL Libraries Guide, version 11.2

LUT2_D #(
    .INIT(4'h0) // Specify LUT Contents
) LUT2_D_inst (
    .LO(LO), // LUT local output
    .O(O),  // LUT general output
    .I0(I0), // LUT input
    .I1(I1) // LUT input
);

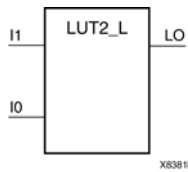
// End of LUT2_D_inst instantiation
```

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリ データシート](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリ データシート](#)
- ・ [Spartan-3E FPGA ファミリ データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

LUT2_L

プリミティブ : マクロ : 2-Bit Look-Up Table with Local Output



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6

概要

このデザイン エLEMENTは、2 ビットのルックアップ テーブル (LUT) で、同じ CLB スライス内にある別の出力および高速バッファへの接続に使用するローカル出力 (LO) があります。このELEMENTはバッファまたはインバータの機能を果たします。

LUT のファンクションを設定するため、INIT 属性を使用して、各入力値に対する出力値を 16 進数で指定する必要があります。

FPGA LUT プリミティブでは、INIT パラメータで論理値が設定されます。デフォルトは 0 で、入力値にかかわらず出力を 0 に駆動します (グラウンドとして機能)。ただし多くの場合、LUT プリミティブのロジック ファンクションを指定するために、新しい INIT の値を決定する必要があります。LUT の値を指定する方法には、次の 2 つがあります。

論理表を使用する方法 : LUT の INIT 値を決定する一般的な方法。バイナリの論理表にすべての入力をリストして出力のロジック値を指定し、これらの出力値から、初期値を作成します。

論理式を使用する方法 : リストされた真理値表の値に対応する LUT の各入力にパラメータを定義し、パラメータを元にロジックの論理式を生成します。概念を理解してしまえばこの方法の方が簡単で、前出の方法のようにパラメータの指定にコードを使用する必要がありません。

論理表

| 入力 | | 出力 |
|--|----|---------|
| I1 | I0 | LO |
| 0 | 0 | INIT[0] |
| 0 | 1 | INIT[1] |
| 1 | 0 | INIT[2] |
| 1 | 1 | INIT[3] |
| INIT = INIT 属性で指定された 16 進数値を 2 進数で表した値 | | |

デザインの入力方法

| | |
|--------------------------|----|
| インスタンス化 | 可 |
| 推論 | 推奨 |
| CORE Generator™ およびウィザード | 不可 |
| マクロのサポート | 不可 |

このELEMENTは、回路図で使用されます。

使用可能な属性

| 属性 | タイプ | 値 | デフォルト | 説明 |
|------|-------|--------|-------|--------------------|
| INIT | 16 進数 | 4 ビット値 | すべてゼロ | ルックアップ テーブルの初期値を指定 |

VHDL 記述 (インスタンス化)

次の 2 つの構文が存在しない場合はコピーし、エンティティ宣言の前に貼り付けます。

```
Library UNISIM;
use UNISIM.vcomponents.all;

-- LUT2_L: 2-input Look-Up Table with local output
-- Xilinx HDL Libraries Guide, version 11.2

LUT2_L_inst : LUT2_L
generic map (
    INIT => X"0"
)
port map (
    LO => LO, -- LUT local output
    IO => IO, -- LUT input
    I1 => I1  -- LUT input
);

-- End of LUT2_L_inst instantiation
```

Verilog 記述 (インスタンス化)

```
// LUT2_L: 2-input Look-Up Table with local output
//          For use with all FPGAs.
// Xilinx HDL Libraries Guide, version 11.2

LUT2_L #(
    .INIT(4'h0) // Specify LUT Contents
) LUT2_L_inst (
    .LO(LO), // LUT local output
    .IO(IO), // LUT input
    .I1(I1)  // LUT input
);

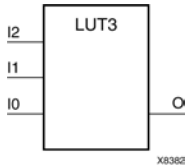
// End of LUT2_L_inst instantiation
```

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリ データシート](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリ データシート](#)
- ・ [Spartan-3E FPGA ファミリ データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

LUT3

プリミティブ : マクロ : 3-Bit Look-Up Table with General Output



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6

概要

このデザイン エLEMENTは一般出力 (O) を持つ 3 ビットのルックアップ テーブル (LUT) です。LUT のファンクションを設定するため、INIT 属性を使用して、各入力値に対する出力値を 16 進数で指定する必要があります。

LUT のファンクションを設定するため、INIT 属性を使用して、各入力値に対する出力値を 16 進数で指定する必要があります。このELEMENTは、バッファまたはインバータの機能を果たします。これらのELEMENTは基本ブロックで、各 CLB スライスに 2 つ、各 CLB に 4 つずつあります。LUT には複数のバリエーションがあり、異なるタイミング モデルでレイアウト前のタイミング予測をより正確に行う必要がある場合に使用できます。

FPGA LUT プリミティブでは、INIT パラメータで論理値が設定されます。デフォルトは 0 で、入力値にかかわらず出力を 0 に駆動します (グラウンドとして機能)。ただし多くの場合、LUT プリミティブのロジック ファンクションを指定するために、新しい INIT の値を決定する必要があります。LUT の値を指定する方法には、次の 2 つがあります。

論理表を使用する方法 : LUT の INIT 値を決定する一般的な方法。バイナリの論理表にすべての入力をリストして出力のロジック値を指定し、これらの出力値から、初期値を作成します。

論理式を使用する方法 : リストされた真理値表の値に対応する LUT の各入力にパラメータを定義し、パラメータを元にロジックの論理式を生成します。概念を理解してしまえばこの方法の方が簡単で、前出の方法のようにパラメータの指定にコードを使用する必要がありません。

論理表

| 入力 | | | 出力 |
|--|----|----|---------|
| I2 | I1 | I0 | O |
| 0 | 0 | 0 | INIT[0] |
| 0 | 0 | 1 | INIT[1] |
| 0 | 1 | 0 | INIT[2] |
| 0 | 1 | 1 | INIT[3] |
| 1 | 0 | 0 | INIT[4] |
| 1 | 0 | 1 | INIT[5] |
| 1 | 1 | 0 | INIT[6] |
| 1 | 1 | 1 | INIT[7] |
| INIT = INIT 属性で指定された 16 進数値を 2 進数で表した値 | | | |

デザインの入力方法

| | |
|--------------------------|----|
| インスタンス化 | 可 |
| 推論 | 推奨 |
| CORE Generator™ およびウィザード | 不可 |
| マクロのサポート | 不可 |

このエレメントは、回路図で使用されます。

使用可能な属性

| 属性 | タイプ | 値 | デフォルト | 説明 |
|------|-------|--------|-------|--------------------|
| INIT | 16 進数 | 8 ビット値 | すべてゼロ | ルックアップ テーブルの初期値を指定 |

VHDL 記述 (インスタンス化)

次の 2 つの構文が存在しない場合はコピーし、エンティティ宣言の前に貼り付けます。

```

Library UNISIM;
use UNISIM.vcomponents.all;

-- LUT3: 3-input Look-Up Table with general output
-- Xilinx HDL Libraries Guide, version 11.2

LUT3_inst : LUT3
generic map (
  INIT => X"00")
port map (
  O => O, -- LUT general output
  I0 => I0, -- LUT input
  I1 => I1, -- LUT input
  I2 => I2 -- LUT input
);

-- End of LUT3_inst instantiation

```

Verilog 記述 (インスタンス化)

```
// LUT3: 3-input Look-Up Table with general output
//      For use with all FPGAs.
// Xilinx HDL Libraries Guide, version 11.2

LUT3 #(
    .INIT(8'h00) // Specify LUT Contents
) LUT3_inst (
    .O(0), // LUT general output
    .I0(I0), // LUT input
    .I1(I1), // LUT input
    .I2(I2) // LUT input
);

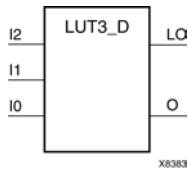
// End of LUT3_inst instantiation
```

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリー データシート](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリー データシート](#)
- ・ [Spartan-3E FPGA ファミリー データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート: DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート: DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

LUT3_D

プリミティブ : マクロ : 3-Bit Look-Up Table with Dual Output



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6

概要

このデザイン エLEMENTは 3 ビットのルックアップ テーブル (LUT) で、同じ機能を持つ O および LO という 2 つの出力があります。

出力 O は一般的なインターコネクトです。LO 出力は同じ CLB スライス内の別の出力、または高速バッファに接続します。LUT のファンクションを設定するため、INIT 属性を使用して、各入力値に対する出力値を 16 進数で指定する必要があります。

FPGA LUT プリミティブでは、INIT パラメータで論理値が設定されます。デフォルトは 0 で、入力値にかかわらず出力を 0 に駆動します (グラウンドとして機能)。ただし多くの場合、LUT プリミティブのロジック ファンクションを指定するために、新しい INIT の値を決定する必要があります。LUT の値を指定する方法には、次の 2 つがあります。

論理表を使用する方法 : LUT の INIT 値を決定する一般的な方法。バイナリの論理表にすべての入力をリストして出力のロジック値を指定し、これらの出力値から、初期値を作成します。

論理式を使用する方法 : リストされた真理値表の値に対応する LUT の各入力にパラメータを定義し、パラメータを元にロジックの論理式を生成します。概念を理解してしまえばこの方法の方が簡単で、前出の方法のようにパラメータの指定にコードを使用する必要がありません。

論理表

| 入力 | | | 出力 | |
|----|----|----|---------|---------|
| I2 | I1 | I0 | O | LO |
| 0 | 0 | 0 | INIT[0] | INIT[0] |
| 0 | 0 | 1 | INIT[1] | INIT[1] |
| 0 | 1 | 0 | INIT[2] | INIT[2] |
| 0 | 1 | 1 | INIT[3] | INIT[3] |
| 1 | 0 | 0 | INIT[4] | INIT[4] |
| 1 | 0 | 1 | INIT[5] | INIT[5] |
| 1 | 1 | 0 | INIT[6] | INIT[6] |
| 1 | 1 | 1 | INIT[7] | INIT[7] |

INIT = INIT 属性で指定された 16 進数値を 2 進数で表した値

デザインの入力方法

| | |
|--------------------------|----|
| インスタンス化 | 可 |
| 推論 | 推奨 |
| CORE Generator™ およびウィザード | 不可 |
| マクロのサポート | 不可 |

このエレメントは、回路図で使用されます。

使用可能な属性

| 属性 | タイプ | 値 | デフォルト | 説明 |
|------|-------|--------|-------|--------------------|
| INIT | 16 進数 | 8 ビット値 | すべてゼロ | ルックアップ テーブルの初期値を指定 |

VHDL 記述 (インスタンス化)

次の 2 つの構文が存在しない場合はコピーし、エンティティ宣言の前に貼り付けます。

```

Library UNISIM;
use UNISIM.vcomponents.all;

-- LUT3_D: 3-input Look-Up Table with general and local outputs
-- Xilinx HDL Libraries Guide, version 11.2

LUT3_D_inst : LUT3_D
generic map (
  INIT => X"00")
port map (
  LO => LO, -- LUT local output
  O => O,   -- LUT general output
  I0 => I0, -- LUT input
  I1 => I1, -- LUT input
  I2 => I2  -- LUT input
);

-- End of LUT3_D_inst instantiation

```

Verilog 記述 (インスタンスレーション)

```
// LUT3_D: 3-input Look-Up Table with general and local outputs
//          For use with all FPGAs.
// Xilinx HDL Libraries Guide, version 11.2

LUT3_D #(
    .INIT(8'h00) // Specify LUT Contents
) LUT3_D_inst (
    .LO(LO), // LUT local output
    .O(O), // LUT general output
    .I0(I0), // LUT input
    .I1(I1), // LUT input
    .I2(I2) // LUT input
);

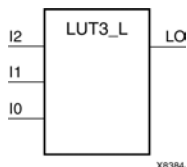
// End of LUT3_D_inst instantiation
```

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリー データシート](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリー データシート](#)
- ・ [Spartan-3E FPGA ファミリー データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

LUT3_L

プリミティブ : マクロ : 3-Bit Look-Up Table with Local Output



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6

概要

このデザイン エLEMENTは、3 ビットのルックアップ テーブル (LUT) で、同じ CLB スライス内にある別の出力および高速バッファへの接続に使用するローカル出力 (LO) があります。このELEMENTはバッファまたはインバータの機能を果たします。

LUT のファンクションを設定するため、INIT 属性を使用して、各入力値に対する出力値を 16 進数で指定する必要があります。

FPGA LUT プリミティブでは、INIT パラメータで論理値が設定されます。デフォルトは 0 で、入力値にかかわらず出力を 0 に駆動します (グラウンドとして機能)。ただし多くの場合、LUT プリミティブのロジック ファンクションを指定するために、新しい INIT の値を決定する必要があります。LUT の値を指定する方法には、次の 2 つがあります。

論理表を使用する方法 : LUT の INIT 値を決定する一般的な方法。バイナリの論理表にすべての入力をリストして出力のロジック値を指定し、これらの出力値から、初期値を作成します。

論理式を使用する方法 : リストされた真理値表の値に対応する LUT の各入力にパラメータを定義し、パラメータを元にロジックの論理式を生成します。概念を理解してしまえばこの方法の方が簡単で、前出の方法のようにパラメータの指定にコードを使用する必要がありません。

論理表

| 入力 | | | 出力 |
|--|----|----|---------|
| I2 | I1 | I0 | LO |
| 0 | 0 | 0 | INIT[0] |
| 0 | 0 | 1 | INIT[1] |
| 0 | 1 | 0 | INIT[2] |
| 0 | 1 | 1 | INIT[3] |
| 1 | 0 | 0 | INIT[4] |
| 1 | 0 | 1 | INIT[5] |
| 1 | 1 | 0 | INIT[6] |
| 1 | 1 | 1 | INIT[7] |
| INIT = INIT 属性で指定された 16 進数値を 2 進数で表した値 | | | |

デザインの入力方法

| | |
|--------------------------|----|
| インスタンス化 | 可 |
| 推論 | 推奨 |
| CORE Generator™ およびウィザード | 不可 |
| マクロのサポート | 不可 |

このエレメントは、回路図で使用されます。

使用可能な属性

| 属性 | タイプ | 値 | デフォルト | 説明 |
|------|-------|--------|-------|--------------------|
| INIT | 16 進数 | 8 ビット値 | すべてゼロ | ルックアップ テーブルの初期値を指定 |

VHDL 記述 (インスタンス化)

次の 2 つの構文が存在しない場合はコピーし、エンティティ宣言の前に貼り付けます。

```

Library UNISIM;
use UNISIM.vcomponents.all;

-- LUT3_L: 3-input Look-Up Table with local output
-- Xilinx HDL Libraries Guide, version 11.2

LUT3_L_inst : LUT3_L
generic map (
    INIT => X"00")
port map (
    LO => LO,    -- LUT local output
    I0 => I0,    -- LUT input
    I1 => I1,    -- LUT input
    I2 => I2     -- LUT input
);

-- End of LUT3_L_inst instantiation

```

Verilog 記述 (インスタンス化)

```
// LUT3_L: 3-input Look-Up Table with local output
//           For use with all FPGAs.
// Xilinx HDL Libraries Guide, version 11.2

LUT3_L #(
    .INIT(8'h00) // Specify LUT Contents
) LUT3_L_inst (
    .LO(LO), // LUT local output
    .I0(I0), // LUT input
    .I1(I1), // LUT input
    .I2(I2) // LUT input
);

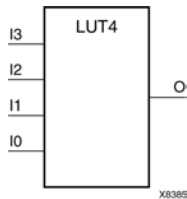
// End of LUT3_L_inst instantiation
```

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリー データシート](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリー データシート](#)
- ・ [Spartan-3E FPGA ファミリー データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート: DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート: DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

LUT4

プリミティブ : マクロ : 4-Bit Look-Up-Table with General Output



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6

概要

このデザイン エLEMENTは一般出力 (O) を持つ 4 ビットのルックアップ テーブル (LUT) です。

LUT のファンクションを設定するため、INIT 属性を使用して、各入力値に対する出力値を 16 進数で指定する必要があります。このELEMENTは、バッファまたはインバータの機能を果たします。これらのELEMENTは基本ブロックで、各 CLB スライスに 2 つ、各 CLB に 4 つずつあります。LUT には複数のバリエーションがあり、異なるタイミング モデルでレイアウト前のタイミング予測をより正確に行う必要がある場合に使用できます。

FPGA LUT プリミティブでは、INIT パラメータで論理値が設定されます。デフォルトは 0 で、入力値にかかわらず出力を 0 に駆動します (グラウンドとして機能)。ただし多くの場合、LUT プリミティブのロジック ファンクションを指定するために、新しい INIT の値を決定する必要があります。LUT の値を指定する方法には、次の 2 つがあります。

論理表を使用する方法 : LUT の INIT 値を決定する一般的な方法。バイナリの論理表にすべての入力をリストして出力のロジック値を指定し、これらの出力値から、初期値を作成します。

論理式を使用する方法 : リストされた真理値表の値に対応する LUT の各入力にパラメータを定義し、パラメータを元にロジックの論理式を生成します。概念を理解してしまえばこの方法の方が簡単で、前出の方法のようにパラメータの指定にコードを使用する必要がありません。

論理表

| 入力 | | | | 出力 |
|--|----|----|----|----------|
| I3 | I2 | I1 | I0 | O |
| 0 | 0 | 0 | 0 | INIT[0] |
| 0 | 0 | 0 | 1 | INIT[1] |
| 0 | 0 | 1 | 0 | INIT[2] |
| 0 | 0 | 1 | 1 | INIT[3] |
| 0 | 1 | 0 | 0 | INIT[4] |
| 0 | 1 | 0 | 1 | INIT[5] |
| 0 | 1 | 1 | 0 | INIT[6] |
| 0 | 1 | 1 | 1 | INIT[7] |
| 1 | 0 | 0 | 0 | INIT[8] |
| 1 | 0 | 0 | 1 | INIT[9] |
| 1 | 0 | 1 | 0 | INIT[10] |
| 1 | 0 | 1 | 1 | INIT[11] |
| 1 | 1 | 0 | 0 | INIT[12] |
| 1 | 1 | 0 | 1 | INIT[13] |
| 1 | 1 | 1 | 0 | INIT[14] |
| 1 | 1 | 1 | 1 | INIT[15] |
| INIT = INIT 属性で指定された 16 進数値を 2 進数で表した値 | | | | |

デザインの入力方法

| | |
|--------------------------|----|
| インスタンス化 | 可 |
| 推論 | 推奨 |
| CORE Generator™ およびウィザード | 不可 |
| マクロのサポート | 不可 |

このエレメントは、回路図で使用されます。

使用可能な属性

| 属性 | タイプ | 値 | デフォルト | 説明 |
|------|-------|---------|-------|--------------------|
| INIT | 16 進数 | 16 ビット値 | すべてゼロ | ルックアップ テーブルの初期値を指定 |

VHDL 記述 (インスタンスレーション)

次の 2 つの構文が存在しない場合はコピーし、エンティティ宣言の前に貼り付けます。

```
Library UNISIM;
use UNISIM.vcomponents.all;

-- LUT4: 4-input Look-Up Table with general output
-- Xilinx HDL Libraries Guide, version 11.2

LUT4_inst : LUT4
generic map (
  INIT => X"0000")
port map (
  O => O,    -- LUT general output
  I0 => I0,  -- LUT input
  I1 => I1,  -- LUT input
  I2 => I2,  -- LUT input
  I3 => I3   -- LUT input
);

-- End of LUT4_inst instantiation
```

Verilog 記述 (インスタンスレーション)

```
// LUT4: 4-input Look-Up Table with general output
//      For use with all FPGAs.
// Xilinx HDL Libraries Guide, version 11.2

LUT4 #(
  .INIT(16'h0000) // Specify LUT Contents
) LUT4_inst (
  .O(O), // LUT general output
  .I0(I0), // LUT input
  .I1(I1), // LUT input
  .I2(I2), // LUT input
  .I3(I3) // LUT input
);

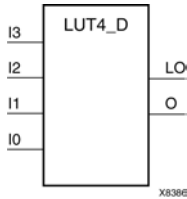
// End of LUT4_inst instantiation
```

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリー データシート](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリー データシート](#)
- ・ [Spartan-3E FPGA ファミリー データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート: DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート: DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

LUT4_D

プリミティブ : マクロ : 4-Bit Look-Up Table with Dual Output



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6

概要

このデザイン エLEMENTは 4 ビットのルックアップ テーブル (LUT) で、同じ機能を持つ O および LO という 2 つの出力があります。

出力 O は一般的なインターコネクトです。LO 出力は同じ CLB スライス内の別の出力、または高速バッファに接続します。LUT のファンクションを設定するため、INIT 属性を使用して、各入力値に対する出力値を 16 進数で指定する必要があります。

FPGA LUT プリミティブでは、INIT パラメータで論理値が設定されます。デフォルトは 0 で、入力値にかかわらず出力を 0 に駆動します (グラウンドとして機能)。ただし多くの場合、LUT プリミティブのロジック ファンクションを指定するために、新しい INIT の値を決定する必要があります。LUT の値を指定する方法には、次の 2 つがあります。

論理表を使用する方法 : LUT の INIT 値を決定する一般的な方法。バイナリの論理表にすべての入力をリストして出力のロジック値を指定し、これらの出力値から、初期値を作成します。

論理式を使用する方法 : リストされた真理値表の値に対応する LUT の各入力にパラメータを定義し、パラメータを元にロジックの論理式を生成します。概念を理解してしまえばこの方法の方が簡単で、前出の方法のようにパラメータの指定にコードを使用する必要がありません。

論理表

| 入力 | | | | 出力 | |
|----|----|----|----|----------|----------|
| I3 | I2 | I1 | I0 | O | LO |
| 0 | 0 | 0 | 0 | INIT[0] | INIT[0] |
| 0 | 0 | 0 | 1 | INIT[1] | INIT[1] |
| 0 | 0 | 1 | 0 | INIT[2] | INIT[2] |
| 0 | 0 | 1 | 1 | INIT[3] | INIT[3] |
| 0 | 1 | 0 | 0 | INIT[4] | INIT[4] |
| 0 | 1 | 0 | 1 | INIT[5] | INIT[5] |
| 0 | 1 | 1 | 0 | INIT[6] | INIT[6] |
| 0 | 1 | 1 | 1 | INIT[7] | INIT[7] |
| 1 | 0 | 0 | 0 | INIT[8] | INIT[8] |
| 1 | 0 | 0 | 1 | INIT[9] | INIT[9] |
| 1 | 0 | 1 | 0 | INIT[10] | INIT[10] |
| 1 | 0 | 1 | 1 | INIT[11] | INIT[11] |
| 1 | 1 | 0 | 0 | INIT[12] | INIT[12] |
| 1 | 1 | 0 | 1 | INIT[13] | INIT[13] |
| 1 | 1 | 1 | 0 | INIT[14] | INIT[14] |
| 1 | 1 | 1 | 1 | INIT[15] | INIT[15] |

INIT = INIT 属性で指定された 16 進数値を 2 進数で表した値

デザインの入力方法

| | |
|--------------------------|----|
| インスタンス化 | 可 |
| 推論 | 推奨 |
| CORE Generator™ およびウィザード | 不可 |
| マクロのサポート | 不可 |

このエレメントは、回路図で使用されます。

使用可能な属性

| 属性 | タイプ | 値 | デフォルト | 説明 |
|------|-------|---------|-------|--------------------|
| INIT | 16 進数 | 16 ビット値 | すべてゼロ | ルックアップ テーブルの初期値を指定 |

VHDL 記述 (インスタンスレーション)

次の 2 つの構文が存在しない場合はコピーし、エンティティ宣言の前に貼り付けます。

```
Library UNISIM;
use UNISIM.vcomponents.all;

-- LUT4_D: 4-input Look-Up Table with general and local outputs
-- Xilinx HDL Libraries Guide, version 11.2

LUT4_D_inst : LUT4_D
generic map (
    INIT => X"0000")
port map (
    LO => LO, -- LUT local output
    O => O,   -- LUT general output
    I0 => I0, -- LUT input
    I1 => I1, -- LUT input
    I2 => I2, -- LUT input
    I3 => I3  -- LUT input
);

-- End of LUT4_D_inst instantiation
```

Verilog 記述 (インスタンスレーション)

```
// LUT4_D: 4-input Look-Up Table with general and local outputs
//           For use with all FPGAs.
// Xilinx HDL Libraries Guide, version 11.2

LUT4_D #(
    .INIT(16'h0000) // Specify LUT Contents
) LUT4_D_inst (
    .LO(LO), // LUT local output
    .O(O),   // LUT general output
    .I0(I0), // LUT input
    .I1(I1), // LUT input
    .I2(I2), // LUT input
    .I3(I3)  // LUT input
);

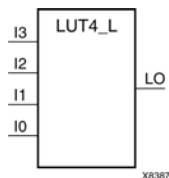
// End of LUT4_D_inst instantiation
```

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリ データシート](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリ データシート](#)
- ・ [Spartan-3E FPGA ファミリ データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

LUT4_L

プリミティブ : マクロ : 4-Bit Look-Up Table with Local Output



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6

概要

このデザイン エLEMENTは、4 ビットのルックアップ テーブル (LUT) で、同じ CLB スライス内にある別の出力および高速バッファへの接続に使用するローカル出力 (LO) があります。このELEMENTはバッファまたはインバータの機能を果たします。

LUT のファンクションを設定するため、INIT 属性を使用して、各入力値に対する出力値を 16 進数で指定する必要があります。

FPGA LUT プリミティブでは、INIT パラメータで論理値が設定されます。デフォルトは 0 で、入力値にかかわらず出力を 0 に駆動します (グラウンドとして機能)。ただし多くの場合、LUT プリミティブのロジック ファンクションを指定するために、新しい INIT の値を決定する必要があります。LUT の値を指定する方法には、次の 2 つがあります。

論理表を使用する方法 : LUT の INIT 値を決定する一般的な方法。バイナリの論理表にすべての入力をリストして出力のロジック値を指定し、これらの出力値から、初期値を作成します。

論理式を使用する方法 : リストされた真理値表の値に対応する LUT の各入力にパラメータを定義し、パラメータを元にロジックの論理式を生成します。概念を理解してしまえばこの方法の方が簡単で、前出の方法のようにパラメータの指定にコードを使用する必要がありません。

論理表

| 入力 | | | | 出力 |
|----|----|----|----|----------|
| I3 | I2 | I1 | I0 | LO |
| 0 | 0 | 0 | 0 | INIT[0] |
| 0 | 0 | 0 | 1 | INIT[1] |
| 0 | 0 | 1 | 0 | INIT[2] |
| 0 | 0 | 1 | 1 | INIT[3] |
| 0 | 1 | 0 | 0 | INIT[4] |
| 0 | 1 | 0 | 1 | INIT[5] |
| 0 | 1 | 1 | 0 | INIT[6] |
| 0 | 1 | 1 | 1 | INIT[7] |
| 1 | 0 | 0 | 0 | INIT[8] |
| 1 | 0 | 0 | 1 | INIT[9] |
| 1 | 0 | 1 | 0 | INIT[10] |
| 1 | 0 | 1 | 1 | INIT[11] |
| 1 | 1 | 0 | 0 | INIT[12] |
| 1 | 1 | 0 | 1 | INIT[13] |
| 1 | 1 | 1 | 0 | INIT[14] |
| 1 | 1 | 1 | 1 | INIT[15] |

INIT = INIT 属性で指定された 16 進数値を 2 進数で表した値

デザインの入力方法

| | |
|--------------------------|----|
| インスタンス化 | 可 |
| 推論 | 推奨 |
| CORE Generator™ およびウィザード | 不可 |
| マクロのサポート | 不可 |

このエレメントは、回路図で使用されます。

使用可能な属性

| 属性 | タイプ | 値 | デフォルト | 説明 |
|------|-------|---------|-------|--------------------|
| INIT | 16 進数 | 16 ビット値 | すべてゼロ | ルックアップ テーブルの初期値を指定 |

VHDL 記述 (インスタンスレーション)

次の 2 つの構文が存在しない場合はコピーし、エンティティ宣言の前に貼り付けます。

```
Library UNISIM;
use UNISIM.vcomponents.all;

-- LUT4_L: 4-input Look-Up Table with local output
-- Xilinx HDL Libraries Guide, version 11.2

LUT4_L_inst : LUT4_L
generic map (
  INIT => X"0000")
port map (
  LO => LO, -- LUT local output
  I0 => I0, -- LUT input
  I1 => I1, -- LUT input
  I2 => I2, -- LUT input
  I3 => I3  -- LUT input
);

-- End of LUT4_L_inst instantiation
```

Verilog 記述 (インスタンスレーション)

```
// LUT4_L: 4-input Look-Up Table with local output
//      For use with all FPGAs.
// Xilinx HDL Libraries Guide, version 11.2

LUT4_L #(
  .INIT(16'h0000) // Specify LUT Contents
) LUT4_L_inst (
  .LO(LO), // LUT local output
  .I0(I0), // LUT input
  .I1(I1), // LUT input
  .I2(I2), // LUT input
  .I3(I3)  // LUT input
);

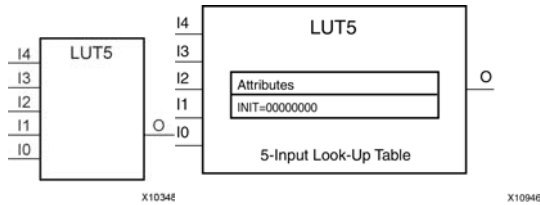
// End of LUT4_L_inst instantiation
```

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリー データシート](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリー データシート](#)
- ・ [Spartan-3E FPGA ファミリー データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート: DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート: DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

LUT5

プリミティブ : 5-Input Lookup Table with General Output



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-6
- ・ Virtex®-5
- ・ Virtex-6

概要

このデザイン エLEMENTは、入力 5 個、出力 1 個のルックアップ テーブル (LUT) で、非同期 32 ビット ROM (5 ビットのアドレス指定) として動作するか、5 入力のロジック ファンクションをインプリメントできます。LUT は基本的なロジック構築ブロックで、デザインに含まれる多くのロジック ファンクションをインプリメントするときに使用します。LUT5 が 1 つの場合はスライス内に含まれる LUT6 に、2 つの場合は 1 つの LUT6 に多少の制限はありますがパックできます。LUT5、LUT5_L、および LUT5_D の機能は同じですが、LUT5_L および LUT5_D では、LUT5 の出力信号を内部スライスに接続したり、LO 出力を使用して CLB に接続することができます。LUT5_L では LUT5 からの接続のみが 1 つのスライスまたは CLB に含まれるように指定できるのに対し、LUT5_D では LUT5 の出力を内部スライス/CLB ロジックと外部ロジックの両方に接続するように指定できます。LUT5 では出力の接続は特定されないため、内部スライスまたは CLB 信号の接続を暗示的に指定する必要がない限り、いつでも使用できます。

LUT のロジック ファンクションを指定するために 32 ビットの 16 進数で INIT 属性を設定する必要があります。INIT 値は、関連する入力適用されるときに、対応する INIT ビット値に 1 を割り当てて計算されます。たとえば Verilog で INIT 値が 32'h8000000000000000 (VHDL では X"8000000000000000") の場合、入力すべてが 1 ではない限り、出力が 0 になります (5 入力の AND ゲート)。Verilog で 32'hffffffff (VHDL では X"FFFFFFFFFFFFFFFF") の場合、入力がすべてゼロではない限り、出力は 1 になります (5 入力 OR ゲート)。

FPGA LUT プリミティブでは、INIT パラメータで論理値が設定されます。デフォルトは 0 で、入力値にかかわらず出力を 0 に駆動します (グラウンドとして機能)。ただし多くの場合、LUT プリミティブのロジック ファンクションを指定するために、新しい INIT の値を決定する必要があります。LUT の値を指定する方法には、次の 2 つがあります。

論理表を使用する方法 : LUT の INIT 値を決定する一般的な方法。バイナリの論理表にすべての入力をリストして出力のロジック値を指定し、これらの出力値から、初期値を作成します。

論理式を使用する方法 : リストされた真理値表の値に対応する LUT の各入力にパラメータを定義し、パラメータを元にロジックの論理式を生成します。概念を理解してしまえばこの方法の方が簡単で、前出の方法のようにパラメータの指定にコードを使用する必要がありません。

論理表

| 入力 | | | | | 出力 |
|--|----|----|----|----|----------|
| I4 | I3 | I2 | I1 | I0 | LO |
| 0 | 0 | 0 | 0 | 0 | INIT[0] |
| 0 | 0 | 0 | 0 | 1 | INIT[1] |
| 0 | 0 | 0 | 1 | 0 | INIT[2] |
| 0 | 0 | 0 | 1 | 1 | INIT[3] |
| 0 | 0 | 1 | 0 | 0 | INIT[4] |
| 0 | 0 | 1 | 0 | 1 | INIT[5] |
| 0 | 0 | 1 | 1 | 0 | INIT[6] |
| 0 | 0 | 1 | 1 | 1 | INIT[7] |
| 0 | 1 | 0 | 0 | 0 | INIT[8] |
| 0 | 1 | 0 | 0 | 1 | INIT[9] |
| 0 | 1 | 0 | 1 | 0 | INIT[10] |
| 0 | 1 | 0 | 1 | 1 | INIT[11] |
| 0 | 1 | 1 | 0 | 0 | INIT[12] |
| 0 | 1 | 1 | 0 | 1 | INIT[13] |
| 0 | 1 | 1 | 1 | 0 | INIT[14] |
| 0 | 1 | 1 | 1 | 1 | INIT[15] |
| 1 | 0 | 0 | 0 | 0 | INIT[16] |
| 1 | 0 | 0 | 0 | 1 | INIT[17] |
| 1 | 0 | 0 | 1 | 0 | INIT[18] |
| 1 | 0 | 0 | 1 | 1 | INIT[19] |
| 1 | 0 | 1 | 0 | 0 | INIT[20] |
| 1 | 0 | 1 | 0 | 1 | INIT[21] |
| 1 | 0 | 1 | 1 | 0 | INIT[22] |
| 1 | 0 | 1 | 1 | 1 | INIT[23] |
| 1 | 1 | 0 | 0 | 0 | INIT[24] |
| 1 | 1 | 0 | 0 | 1 | INIT[25] |
| 1 | 1 | 0 | 1 | 0 | INIT[26] |
| 1 | 1 | 0 | 1 | 1 | INIT[27] |
| 1 | 1 | 1 | 0 | 0 | INIT[28] |
| 1 | 1 | 1 | 0 | 1 | INIT[29] |
| 1 | 1 | 1 | 1 | 0 | INIT[30] |
| 1 | 1 | 1 | 1 | 1 | INIT[31] |
| INIT = INIT 属性で指定された 16 進数値を 2 進数で表した値 | | | | | |

ポートの説明

| ポート名 | 方向 | 幅 | 機能 |
|----------------|----|---|-------------|
| O | 出力 | 1 | 5 入力 LUT 出力 |
| I0、I1、I2、I3、I4 | 入力 | 1 | LUT 入力 |

デザインの入力方法

| | |
|--------------------------|----|
| インスタンス化 | 可 |
| 推論 | 推奨 |
| CORE Generator™ およびウィザード | 不可 |
| マクロのサポート | 不可 |

このエレメントは、回路図で使用されます。

使用可能な属性

| 属性 | タイプ | 値 | デフォルト | 説明 |
|------|-------|---------|-------|--------------------|
| INIT | 16 進数 | 32 ビット値 | すべてゼロ | ルックアップ テーブルの論理値を指定 |

VHDL 記述 (インスタンス化)

次の 2 つの構文が存在しない場合はコピーし、エンティティ宣言の前に貼り付けます。

```
Library UNISIM;
use UNISIM.vcomponents.all;

-- LUT5: 5-input Look-Up Table with general output
--      Virtex-5/6, Spartan-6
-- Xilinx HDL Libraries Guide, version 11.2

LUT5_inst : LUT5
generic map (
  INIT => X"00000000") -- Specify LUT Contents
port map (
  O => O, -- LUT general output
  I0 => I0, -- LUT input
  I1 => I1, -- LUT input
  I2 => I2, -- LUT input
  I3 => I3, -- LUT input
  I4 => I4 -- LUT input
);

-- End of LUT5_inst instantiation
```


Verilog 記述 (インスタンス化)

```
// LUT5: 5-input Look-Up Table with general output
//      Virtex-5, Virtex-6, Spartan-6
// Xilinx HDL Libraries Guide, version 11.2

LUT5 #(
    .INIT(32'h00000000) // Specify LUT Contents
) LUT5_inst (
    .O(0), // LUT general output
    .I0(I0), // LUT input
    .I1(I1), // LUT input
    .I2(I2), // LUT input
    .I3(I3), // LUT input
    .I4(I4) // LUT input
);

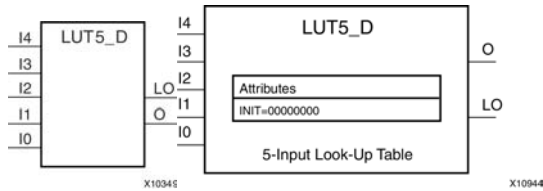
// End of LUT5_inst instantiation
```

詳細情報

- ・ [Spartan-6 FPGA コンフィギュラブル ロジック ブロック ユーザー ガイド](#)
- ・ [Spartan-6 FPGA データシート: DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート: DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

LUT5_D

プリミティブ : 5-Input Lookup Table with General and Local Outputs



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- Spartan®-6
- Virtex®-5
- Virtex-6

概要

このデザイン エLEMENTは、入力 5 個、出力 1 個のルックアップ テーブル (LUT) で、非同期 32 ビット ROM (5 ビットのアドレス指定) として動作するか、5 入力のロジック ファンクションをインプリメントできます。LUT は基本的なロジック構築ブロックで、デザインに含まれる多くのロジック ファンクションをインプリメントするときに使用します。LUT5 が 1 つの場合はスライス内に含まれる LUT6 に、2 つの場合は 1 つの LUT6 に多少の制限はありますがパックできます。LUT5、LUT5_L、および LUT5_D の機能は同じですが、LUT5_L および LUT5_D では、LUT5 の出力信号を内部スライスに接続したり、LO 出力を使用して CLB に接続することができます。LUT5_L では LUT5 からの接続のみが 1 つのスライスまたは CLB に含まれるように指定できるのに対し、LUT5_D では LUT5 の出力を内部スライス/CLB ロジックと外部ロジックの両方に接続するように指定できます。LUT5 では出力の接続は特定されないため、内部スライスまたは CLB 信号の接続を暗黙的に指定する必要がない限り、いつでも使用できます。

LUT のロジック ファンクションを指定するために 32 ビットの 16 進数で INIT 属性を設定する必要があります。INIT 値は、関連する入力が適用されるときに、対応する INIT ビット値に 1 を割り当てることで計算されます。たとえば Verilog で INIT 値が 32'h8000000000000000 (VHDL では X"8000000000000000") の場合は、入力すべてが 1 ではない限り、出力が 0 になります (5 入力の AND ゲート)。また、Verilog で INIT 値が 32'hffffffff (VHDL では X"FFFFFFFFFFFFFFFF") の場合は、入力がすべてゼロではない限り、出力は 1 になります (5 入力 OR ゲート)。

FPGA LUT プリミティブでは、INIT パラメータで論理値が設定されます。デフォルトは 0 で、入力値にかかわらず出力を 0 に駆動します (グラウンドとして機能)。ただし多くの場合、LUT プリミティブのロジック ファンクションを指定するために、新しい INIT の値を決定する必要があります。LUT の値を指定する方法には、次の 2 つがあります。

論理表を使用する方法 : LUT の INIT 値を決定する一般的な方法。バイナリの論理表にすべての入力をリストして出力のロジック値を指定し、これらの出力値から、初期値を作成します。

論理式を使用する方法 : リストされた真理値表の値に対応する LUT の各入力にパラメータを定義し、パラメータを元にロジックの論理式を生成します。概念を理解してしまえばこの方法の方が簡単で、前出の方法のようにパラメータの指定にコードを使用する必要がありません。

論理表

| 入力 | | | | | 出力 | |
|--|----|----|----|----|----------|----------|
| I4 | I3 | I2 | I1 | I0 | O | LO |
| 0 | 0 | 0 | 0 | 0 | INIT[0] | INIT[0] |
| 0 | 0 | 0 | 0 | 1 | INIT[1] | INIT[1] |
| 0 | 0 | 0 | 1 | 0 | INIT[2] | INIT[2] |
| 0 | 0 | 0 | 1 | 1 | INIT[3] | INIT[3] |
| 0 | 0 | 1 | 0 | 0 | INIT[4] | INIT[4] |
| 0 | 0 | 1 | 0 | 1 | INIT[5] | INIT[5] |
| 0 | 0 | 1 | 1 | 0 | INIT[6] | INIT[6] |
| 0 | 0 | 1 | 1 | 1 | INIT[7] | INIT[7] |
| 0 | 1 | 0 | 0 | 0 | INIT[8] | INIT[8] |
| 0 | 1 | 0 | 0 | 1 | INIT[9] | INIT[9] |
| 0 | 1 | 0 | 1 | 0 | INIT[10] | INIT[10] |
| 0 | 1 | 0 | 1 | 1 | INIT[11] | INIT[11] |
| 0 | 1 | 1 | 0 | 0 | INIT[12] | INIT[12] |
| 0 | 1 | 1 | 0 | 1 | INIT[13] | INIT[13] |
| 0 | 1 | 1 | 1 | 0 | INIT[14] | INIT[14] |
| 0 | 1 | 1 | 1 | 1 | INIT[15] | INIT[15] |
| 1 | 0 | 0 | 0 | 0 | INIT[16] | INIT[16] |
| 1 | 0 | 0 | 0 | 1 | INIT[17] | INIT[17] |
| 1 | 0 | 0 | 1 | 0 | INIT[18] | INIT[18] |
| 1 | 0 | 0 | 1 | 1 | INIT[19] | INIT[19] |
| 1 | 0 | 1 | 0 | 0 | INIT[20] | INIT[20] |
| 1 | 0 | 1 | 0 | 1 | INIT[21] | INIT[21] |
| 1 | 0 | 1 | 1 | 0 | INIT[22] | INIT[22] |
| 1 | 0 | 1 | 1 | 1 | INIT[23] | INIT[23] |
| 1 | 1 | 0 | 0 | 0 | INIT[24] | INIT[24] |
| 1 | 1 | 0 | 0 | 1 | INIT[25] | INIT[25] |
| 1 | 1 | 0 | 1 | 0 | INIT[26] | INIT[26] |
| 1 | 1 | 0 | 1 | 1 | INIT[27] | INIT[27] |
| 1 | 1 | 1 | 0 | 0 | INIT[28] | INIT[28] |
| 1 | 1 | 1 | 0 | 1 | INIT[29] | INIT[29] |
| 1 | 1 | 1 | 1 | 0 | INIT[30] | INIT[30] |
| 1 | 1 | 1 | 1 | 1 | INIT[31] | INIT[31] |
| INIT = INIT 属性で指定された 16 進数値を 2 進数で表した値 | | | | | | |

ポートの説明

| ポート名 | 方向 | 幅 | 機能 |
|----------------|----|---|-------------------------|
| O | 出力 | 1 | 5 入力 LUT 出力 |
| L0 | 出力 | 1 | 内部 CLB 接続用の 5 入力 LUT 出力 |
| I0、I1、I2、I3、I4 | 入力 | 1 | LUT 入力 |

デザインの入力方法

| | |
|--------------------------|----|
| インスタンス化 | 可 |
| 推論 | 推奨 |
| CORE Generator™ およびウィザード | 不可 |
| マクロのサポート | 不可 |

このエレメントは、回路図で使用されます。

使用可能な属性

| 属性 | タイプ | 値 | デフォルト | 説明 |
|------|-------|---------|-------|--------------------|
| INIT | 16 進数 | 32 ビット値 | すべてゼロ | ルックアップ テーブルの論理値を指定 |

VHDL 記述 (インスタンス化)

次の 2 つの構文が存在しない場合はコピーし、エンティティ宣言の前に貼り付けます。

```
Library UNISIM;
use UNISIM.vcomponents.all;

-- LUT5: 5-input Look-Up Table with general output
--       Virtex-5/6, Spartan-6
-- Xilinx HDL Libraries Guide, version 11.2

LUT5_inst : LUT5
generic map (
  INIT => X"00000000") -- Specify LUT Contents
port map (
  O => O, -- LUT general output
  I0 => I0, -- LUT input
  I1 => I1, -- LUT input
  I2 => I2, -- LUT input
  I3 => I3, -- LUT input
  I4 => I4 -- LUT input
);

-- End of LUT5_inst instantiation
```

Verilog 記述 (インスタンス化)

```
// LUT5: 5-input Look-Up Table with general output
//      Virtex-5, Virtex-6, Spartan-6
// Xilinx HDL Libraries Guide, version 11.2

LUT5 #(
    .INIT(32'h00000000) // Specify LUT Contents
) LUT5_inst (
    .O(0), // LUT general output
    .I0(I0), // LUT input
    .I1(I1), // LUT input
    .I2(I2), // LUT input
    .I3(I3), // LUT input
    .I4(I4) // LUT input
);

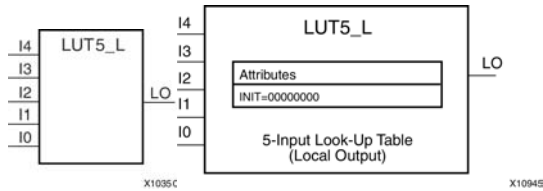
// End of LUT5_inst instantiation
```

詳細情報

- ・ [Spartan-6 FPGA コンフィギュラブル ロジック ブロック ユーザー ガイド](#)
- ・ [Spartan-6 FPGA データシート: DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート: DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

LUT5_L

プリミティブ : 5-Input Lookup Table with Local Output



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- Spartan®-6
- Virtex®-5
- Virtex-6

概要

このデザイン エLEMENTは、入力 5 個、出力 1 個のルックアップ テーブル (LUT) で、非同期 32 ビット ROM (5 ビットのアドレス指定) として動作するか、5 入力のロジック ファンクションをインプリメントできます。LUT は基本的なロジック構築ブロックで、デザインに含まれる多くのロジック ファンクションをインプリメントするときに使用します。LUT5 が 1 つの場合はスライス内に含まれる LUT6 に、2 つの場合は 1 つの LUT6 に多少の制限はありますがパックできます。LUT5、LUT5_L、および LUT5_D の機能は同じですが、LUT5_L および LUT5_D では、LUT5 の出力信号を内部スライスに接続したり、LO 出力を使用して CLB に接続することができます。LUT5_L では LUT5 からの接続のみが 1 つのスライスまたは CLB に含まれるように指定できるのに対し、LUT5_D では LUT5 の出力を内部スライス/CLB ロジックと外部ロジックの両方に接続するように指定できます。LUT5 では出力の接続は特定されないため、内部スライスまたは CLB 信号の接続を暗示的に指定する必要がない限り、いつでも使用できます。

LUT のロジック ファンクションを指定するために 32 ビットの 16 進数で INIT 属性を設定する必要があります。INIT 値は、関連する入力適用されるときに、対応する INIT ビット値に 1 を割り当てることで計算されます。たとえば Verilog で INIT 値が 32'h8000000000000000 (VHDL では X"8000000000000000") の場合、入力すべてが 1 ではない限り、出力が 0 になります (5 入力の AND ゲート)。Verilog で 32'hffffffff (VHDL では X"FFFFFFFFFFFFFFFF") の場合、入力がすべてゼロではない限り、出力は 1 になります (5 入力 OR ゲート)。

FPGA LUT プリミティブでは、INIT パラメータで論理値が設定されます。デフォルトは 0 で、入力値にかかわらず出力を 0 に駆動します (グラウンドとして機能)。ただし多くの場合、LUT プリミティブのロジック ファンクションを指定するために、新しい INIT の値を決定する必要があります。LUT の値を指定する方法には、次の 2 つがあります。

論理表を使用する方法 : LUT の INIT 値を決定する一般的な方法。バイナリの真理値表にすべての入力をリストして出力のロジック値を指定し、これらの出力値から、初期値を作成します。

論理式を使用する方法 : リストされた論理表の値に対応する LUT の各入力にパラメータを定義し、パラメータを元にロジックの論理式を生成します。概念を理解してしまえばこの方法の方が簡単で、前出の方法のようにパラメータの指定にコードを使用する必要がありません。

論理表

| 入力 | | | | | 出力 |
|--|----|----|----|----|----------|
| I4 | I3 | I2 | I1 | I0 | LO |
| 0 | 0 | 0 | 0 | 0 | INIT[0] |
| 0 | 0 | 0 | 0 | 1 | INIT[1] |
| 0 | 0 | 0 | 1 | 0 | INIT[2] |
| 0 | 0 | 0 | 1 | 1 | INIT[3] |
| 0 | 0 | 1 | 0 | 0 | INIT[4] |
| 0 | 0 | 1 | 0 | 1 | INIT[5] |
| 0 | 0 | 1 | 1 | 0 | INIT[6] |
| 0 | 0 | 1 | 1 | 1 | INIT[7] |
| 0 | 1 | 0 | 0 | 0 | INIT[8] |
| 0 | 1 | 0 | 0 | 1 | INIT[9] |
| 0 | 1 | 0 | 1 | 0 | INIT[10] |
| 0 | 1 | 0 | 1 | 1 | INIT[11] |
| 0 | 1 | 1 | 0 | 0 | INIT[12] |
| 0 | 1 | 1 | 0 | 1 | INIT[13] |
| 0 | 1 | 1 | 1 | 0 | INIT[14] |
| 0 | 1 | 1 | 1 | 1 | INIT[15] |
| 1 | 0 | 0 | 0 | 0 | INIT[16] |
| 1 | 0 | 0 | 0 | 1 | INIT[17] |
| 1 | 0 | 0 | 1 | 0 | INIT[18] |
| 1 | 0 | 0 | 1 | 1 | INIT[19] |
| 1 | 0 | 1 | 0 | 0 | INIT[20] |
| 1 | 0 | 1 | 0 | 1 | INIT[21] |
| 1 | 0 | 1 | 1 | 0 | INIT[22] |
| 1 | 0 | 1 | 1 | 1 | INIT[23] |
| 1 | 1 | 0 | 0 | 0 | INIT[24] |
| 1 | 1 | 0 | 0 | 1 | INIT[25] |
| 1 | 1 | 0 | 1 | 0 | INIT[26] |
| 1 | 1 | 0 | 1 | 1 | INIT[27] |
| 1 | 1 | 1 | 0 | 0 | INIT[28] |
| 1 | 1 | 1 | 0 | 1 | INIT[29] |
| 1 | 1 | 1 | 1 | 0 | INIT[30] |
| 1 | 1 | 1 | 1 | 1 | INIT[31] |
| INIT = INIT 属性で指定された 16 進数値を 2 進数で表した値 | | | | | |

ポートの説明

| ポート名 | 方向 | 幅 | 機能 |
|----------------|----|---|---------------------------|
| L0 | 出力 | 1 | 内部 CLB 接続用の 6/5 入力 LUT 出力 |
| I0、I1、I2、I3、I4 | 入力 | 1 | LUT 入力 |

デザインの入力方法

| | |
|--------------------------|----|
| インスタンス化 | 可 |
| 推論 | 推奨 |
| CORE Generator™ およびウィザード | 不可 |
| マクロのサポート | 不可 |

このエレメントは、回路図で使用されます。

使用可能な属性

| 属性 | タイプ | 値 | デフォルト | 説明 |
|------|-------|---------|-------|--------------------|
| INIT | 16 進数 | 32 ビット値 | すべてゼロ | ルックアップ テーブルの論理値を指定 |

VHDL 記述 (インスタンス化)

次の 2 つの構文が存在しない場合はコピーし、エンティティ宣言の前に貼り付けます。

```
Library UNISIM;
use UNISIM.vcomponents.all;

-- LUT5: 5-input Look-Up Table with general output
--      Virtex-5/6, Spartan-6
-- Xilinx HDL Libraries Guide, version 11.2

LUT5_inst : LUT5
generic map (
  INIT => X"00000000") -- Specify LUT Contents
port map (
  O => O, -- LUT general output
  I0 => I0, -- LUT input
  I1 => I1, -- LUT input
  I2 => I2, -- LUT input
  I3 => I3, -- LUT input
  I4 => I4 -- LUT input
);

-- End of LUT5_inst instantiation
```


Verilog 記述 (インスタンス化)

```
// LUT5: 5-input Look-Up Table with general output
//      Virtex-5, Virtex-6, Spartan-6
// Xilinx HDL Libraries Guide, version 11.2

LUT5 #(
    .INIT(32'h00000000) // Specify LUT Contents
) LUT5_inst (
    .O(O), // LUT general output
    .I0(I0), // LUT input
    .I1(I1), // LUT input
    .I2(I2), // LUT input
    .I3(I3), // LUT input
    .I4(I4) // LUT input
);

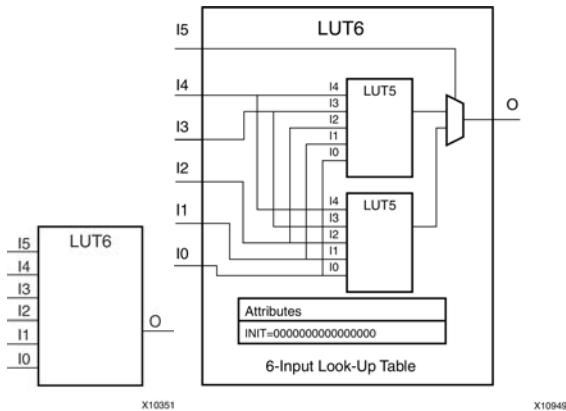
// End of LUT5_inst instantiation
```

詳細情報

- ・ [Spartan-6 FPGA コンフィギュラブル ロジック ブロック ユーザー ガイド](#)
- ・ [Spartan-6 FPGA データシート: DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート: DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

LUT6

プリミティブ : 6-Input Lookup Table with General Output



サポートされているアーキテクチャ

このデザイン エレメントは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-6
- ・ Virtex®-5
- ・ Virtex-6

概要

このデザイン エレメントは、入力 6 個、出力 1 個のルックアップ テーブル (LUT) で、非同期 64 ビット ROM (6 ビットのアドレス指定) として動作するか、6 入力のロジック ファンクションをインプリメントできます。LUT は基本的なロジック構築ブロックで、デザインに含まれる多くのロジック ファンクションをインプリメントするときに使用します。LUT6 はルックアップ テーブル (LUT) 4 個のうちの 1 つにマップされます。LUT6、LUT6_L、および LUT6_D の機能は同じですが、LUT6_L および LUT6_D では、LUT6 の出力信号を内部スライスに接続したり、LO 出力を使用して CLB に接続することができます。LUT6_L では LUT6 からの接続のみが 1 つのスライスまたは CLB に含まれるように指定できるのに対し、LUT6_D では LUT6 の出力を内部スライス/CLB ロジックと外部ロジックの両方に接続するように指定できます。LUT6 では出力の接続は特定されないため、内部スライスまたは CLB 信号の接続を暗示的に指定する必要がない限り、いつでも使用できます。

LUT のロジック ファンクションを指定するために 64 ビットの 16 進数で INIT 属性を設定する必要があります。INIT 値は、関連する入力が適用されるときに、対応する INIT ビット値に 1 を割り当てることで算出されます。たとえば Verilog で INIT 値が `64'h8000000000000000` (VHDL では `X"8000000000000000"`) の場合は、入力すべてが 1 ではない限り、出力が 0 になります (6 入力の AND ゲート)。また、Verilog で INIT 値が `64'hffffffffffffff` (VHDL では `X"FFFFFFFFFFFFFFFF"`) の場合は、入力がすべてゼロではない限り、出力は 1 になります (6 入力 OR ゲート)。

FPGA LUT プリミティブでは、INIT パラメータで論理値が設定されます。デフォルトは 0 で、入力値にかかわらず出力を 0 に駆動します (グラウンドとして機能)。ただし多くの場合、LUT プリミティブのロジック ファンクションを指定するために、新しい INIT の値を決定する必要があります。LUT の値を指定する方法には、次の 2 つがあります。

論理表を使用する方法 : LUT の INIT 値を決定する一般的な方法。バイナリの論理表にすべての入力をリストして出力のロジック値を指定し、これらの出力値から、初期値を作成します。

論理式を使用する方法 : リストされた真理値表の値に対応する LUT の各入力にパラメータを定義し、パラメータを元にロジックの論理式を生成します。概念を理解してしまえばこの方法の方が簡単で、前出の方法のようにパラメータの指定にコードを使用する必要がありません。

論理表

| 入力 | | | | | | 出力 |
|----|----|----|----|----|----|----------|
| I5 | I4 | I3 | I2 | I1 | I0 | O |
| 0 | 0 | 0 | 0 | 0 | 0 | INIT[0] |
| 0 | 0 | 0 | 0 | 0 | 1 | INIT[1] |
| 0 | 0 | 0 | 0 | 1 | 0 | INIT[2] |
| 0 | 0 | 0 | 0 | 1 | 1 | INIT[3] |
| 0 | 0 | 0 | 1 | 0 | 0 | INIT[4] |
| 0 | 0 | 0 | 1 | 0 | 1 | INIT[5] |
| 0 | 0 | 0 | 1 | 1 | 0 | INIT[6] |
| 0 | 0 | 0 | 1 | 1 | 1 | INIT[7] |
| 0 | 0 | 1 | 0 | 0 | 0 | INIT[8] |
| 0 | 0 | 1 | 0 | 0 | 1 | INIT[9] |
| 0 | 0 | 1 | 0 | 1 | 0 | INIT[10] |
| 0 | 0 | 1 | 0 | 1 | 1 | INIT[11] |
| 0 | 0 | 1 | 1 | 0 | 0 | INIT[12] |
| 0 | 0 | 1 | 1 | 0 | 1 | INIT[13] |
| 0 | 0 | 1 | 1 | 1 | 0 | INIT[14] |
| 0 | 0 | 1 | 1 | 1 | 1 | INIT[15] |
| 0 | 1 | 0 | 0 | 0 | 0 | INIT[16] |
| 0 | 1 | 0 | 0 | 0 | 1 | INIT[17] |
| 0 | 1 | 0 | 0 | 1 | 0 | INIT[18] |
| 0 | 1 | 0 | 0 | 1 | 1 | INIT[19] |
| 0 | 1 | 0 | 1 | 0 | 0 | INIT[20] |
| 0 | 1 | 0 | 1 | 0 | 1 | INIT[21] |
| 0 | 1 | 0 | 1 | 1 | 0 | INIT[22] |
| 0 | 1 | 0 | 1 | 1 | 1 | INIT[23] |
| 0 | 1 | 1 | 0 | 0 | 0 | INIT[24] |
| 0 | 1 | 1 | 0 | 0 | 1 | INIT[25] |
| 0 | 1 | 1 | 0 | 1 | 0 | INIT[26] |
| 0 | 1 | 1 | 0 | 1 | 1 | INIT[27] |
| 0 | 1 | 1 | 1 | 0 | 0 | INIT[28] |
| 0 | 1 | 1 | 1 | 0 | 1 | INIT[29] |
| 0 | 1 | 1 | 1 | 1 | 0 | INIT[30] |
| 0 | 1 | 1 | 1 | 1 | 1 | INIT[31] |
| 1 | 0 | 0 | 0 | 0 | 0 | INIT[32] |
| 1 | 0 | 0 | 0 | 0 | 1 | INIT[33] |

| 入力 | | | | | | 出力 |
|----|----|----|----|----|----|----------|
| I5 | I4 | I3 | I2 | I1 | I0 | O |
| 1 | 0 | 0 | 0 | 1 | 0 | INIT[34] |
| 1 | 0 | 0 | 0 | 1 | 1 | INIT[35] |
| 1 | 0 | 0 | 1 | 0 | 0 | INIT[36] |
| 1 | 0 | 0 | 1 | 0 | 1 | INIT[37] |
| 1 | 0 | 0 | 1 | 1 | 0 | INIT[38] |
| 1 | 0 | 0 | 1 | 1 | 1 | INIT[39] |
| 1 | 0 | 1 | 0 | 0 | 0 | INIT[40] |
| 1 | 0 | 1 | 0 | 0 | 1 | INIT[41] |
| 1 | 0 | 1 | 0 | 1 | 0 | INIT[42] |
| 1 | 0 | 1 | 0 | 1 | 1 | INIT[43] |
| 1 | 0 | 1 | 1 | 0 | 0 | INIT[44] |
| 1 | 0 | 1 | 1 | 0 | 1 | INIT[45] |
| 1 | 0 | 1 | 1 | 1 | 0 | INIT[46] |
| 1 | 0 | 1 | 1 | 1 | 1 | INIT[47] |
| 1 | 1 | 0 | 0 | 0 | 0 | INIT[48] |
| 1 | 1 | 0 | 0 | 0 | 1 | INIT[49] |
| 1 | 1 | 0 | 0 | 1 | 0 | INIT[50] |
| 1 | 1 | 0 | 0 | 1 | 1 | INIT[51] |
| 1 | 1 | 0 | 1 | 0 | 0 | INIT[52] |
| 1 | 1 | 0 | 1 | 0 | 1 | INIT[53] |
| 1 | 1 | 0 | 1 | 1 | 0 | INIT[54] |
| 1 | 1 | 0 | 1 | 1 | 1 | INIT[55] |
| 1 | 1 | 1 | 0 | 0 | 0 | INIT[56] |
| 1 | 1 | 1 | 0 | 0 | 1 | INIT[57] |
| 1 | 1 | 1 | 0 | 1 | 0 | INIT[58] |
| 1 | 1 | 1 | 0 | 1 | 1 | INIT[59] |
| 1 | 1 | 1 | 1 | 0 | 0 | INIT[60] |
| 1 | 1 | 1 | 1 | 0 | 1 | INIT[61] |
| 1 | 1 | 1 | 1 | 1 | 0 | INIT[62] |
| 1 | 1 | 1 | 1 | 1 | 1 | INIT[63] |

INIT = INIT 属性で指定された 16 進数値を 2 進数で表した値

ポートの説明

| ポート名 | 方向 | 幅 | 機能 |
|-------------------|----|---|------------|
| O | 出力 | 1 | 6/5 LUT 出力 |
| I0、I1、I2、I3、I4、I5 | 入力 | 1 | LUT 入力 |

デザインの入力方法

| | |
|--------------------------|----|
| インスタンス化 | 可 |
| 推論 | 推奨 |
| CORE Generator™ およびウィザード | 不可 |
| マクロのサポート | 不可 |

このELEMENTは、回路図で使用されます。

使用可能な属性

| 属性 | タイプ | 値 | デフォルト | 説明 |
|------|-------|---------|-------|--------------------|
| INIT | 16 進数 | 64 ビット値 | すべてゼロ | ルックアップ テーブルの論理値を指定 |

VHDL 記述 (インスタンス化)

次の 2 つの構文が存在しない場合はコピーし、エンティティ宣言の前に貼り付けます。

```
Library UNISIM;
use UNISIM.vcomponents.all;

-- LUT6: 6-input Look-Up Table with general output
--       Virtex-5/6, Spartan-6
-- Xilinx HDL Libraries Guide, version 11.2

LUT6_inst : LUT6
generic map (
  INIT => X"0000000000000000") -- Specify LUT Contents
port map (
  O => O, -- LUT general output
  I0 => I0, -- LUT input
  I1 => I1, -- LUT input
  I2 => I2, -- LUT input
  I3 => I3, -- LUT input
  I4 => I4, -- LUT input
  I5 => I5 -- LUT input
);

-- End of LUT6_inst instantiation
```

Verilog 記述 (インスタンス化)

```
// LUT6: 6-input Look-Up Table with general output
//       Virtex-5, Virtex-6, Spartan-6
// Xilinx HDL Libraries Guide, version 11.2

LUT6 #(
  .INIT(64'h0000000000000000) // Specify LUT Contents
) LUT6_inst (
  .O(O), // LUT general output
  .I0(I0), // LUT input
  .I1(I1), // LUT input
  .I2(I2), // LUT input
  .I3(I3), // LUT input
  .I4(I4), // LUT input
  .I5(I5) // LUT input
);

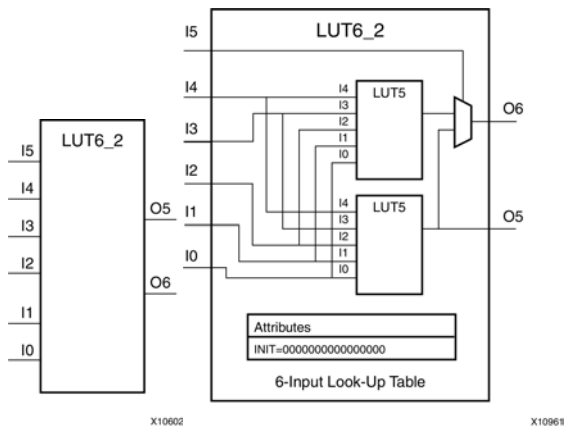
// End of LUT6_inst instantiation
```

詳細情報

- ・ [Spartan-6 FPGA コンフィギャブル ロジック ブロック ユーザー ガイド](#)
- ・ [Spartan-6 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

LUT6_2

プリミティブ : Six-input, 2-output, Look-Up Table



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-6
- ・ Virtex®-5
- ・ Virtex-6

概要

このデザイン ELEMENTは、入力 6 個、出力 2 個のルックアップ テーブル (LUT) で、非同期 32 ビット デュアル ROM (5 ビットのアドレス指定) として動作するか、共有入力の付き 5 入力のロジック ファンクションのいずれか 2 つをインプリメントできます。または、共有入力とロジック値の付いた 6 入力および 5 入力のロジック ファンクションをインプリメントすることもできます。LUT は基本的なロジック構築ブロックで、デザインに含まれる多くのロジック ファンクションをインプリメントするときに使用します。LUT6_2 は、Virtex-5 スライスに含まれるルックアップ テーブル (LUT) 4 個のうちの 1 つにマップされます。

LUT のロジック ファンクションを指定するために 64 ビットの 16 進数で INIT 属性を設定する必要があります。INIT 値は、関連する入力が適用されるときに、対応する INIT ビット値に 1 を割り当てることで算出されます。たとえば、Verilog で INIT 値が 64'hffffffff (VHDL では X"FFFFFFFFFFFFFFFF") の場合は、入力がすべてゼロではない限り、O6 出力は 1 になり、I[4:0] がすべてゼロでない限り O5 出力は 1 になります (5 または 6 入力の OR ゲート)。INIT 値の下半分 (ビット 31:0) は O5 出力のロジック ファンクションに適用されます。

FPGA LUT プリミティブでは、INIT パラメータで論理値が設定されます。デフォルトは 0 で、入力値にかかわらず出力を 0 に駆動します (グラウンドとして機能)。ただし多くの場合、LUT プリミティブのロジック ファンクションを指定するために、新しい INIT の値を決定する必要があります。LUT の値を指定する方法には、次の 2 つがあります。

論理表を使用する方法 : LUT の INIT 値を決定する一般的な方法。バイナリの論理表にすべての入力をリストして出力のロジック値を指定し、これらの出力値から、初期値を作成します。

論理式を使用する方法 : リストされた真理値表の値に対応する LUT の各入力にパラメータを定義し、パラメータを元にロジックの論理式を生成します。概念を理解してしまえばこの方法の方が簡単で、前出の方法のようにパラメータの指定にコードを使用する必要がありません。

論理表

| 入力 | | | | | | 出力 | |
|----|----|----|----|----|----|----------|----------|
| I5 | I4 | I3 | I2 | I1 | I0 | O5 | O6 |
| 0 | 0 | 0 | 0 | 0 | 0 | INIT[0] | INIT[0] |
| 0 | 0 | 0 | 0 | 0 | 1 | INIT[1] | INIT[1] |
| 0 | 0 | 0 | 0 | 1 | 0 | INIT[2] | INIT[2] |
| 0 | 0 | 0 | 0 | 1 | 1 | INIT[3] | INIT[3] |
| 0 | 0 | 0 | 1 | 0 | 0 | INIT[4] | INIT[4] |
| 0 | 0 | 0 | 1 | 0 | 1 | INIT[5] | INIT[5] |
| 0 | 0 | 0 | 1 | 1 | 0 | INIT[6] | INIT[6] |
| 0 | 0 | 0 | 1 | 1 | 1 | INIT[7] | INIT[7] |
| 0 | 0 | 1 | 0 | 0 | 0 | INIT[8] | INIT[8] |
| 0 | 0 | 1 | 0 | 0 | 1 | INIT[9] | INIT[9] |
| 0 | 0 | 1 | 0 | 1 | 0 | INIT[10] | INIT[10] |
| 0 | 0 | 1 | 0 | 1 | 1 | INIT[11] | INIT[11] |
| 0 | 0 | 1 | 1 | 0 | 0 | INIT[12] | INIT[12] |
| 0 | 0 | 1 | 1 | 0 | 1 | INIT[13] | INIT[13] |
| 0 | 0 | 1 | 1 | 1 | 0 | INIT[14] | INIT[14] |
| 0 | 0 | 1 | 1 | 1 | 1 | INIT[15] | INIT[15] |
| 0 | 1 | 0 | 0 | 0 | 0 | INIT[16] | INIT[16] |
| 0 | 1 | 0 | 0 | 0 | 1 | INIT[17] | INIT[17] |
| 0 | 1 | 0 | 0 | 1 | 0 | INIT[18] | INIT[18] |
| 0 | 1 | 0 | 0 | 1 | 1 | INIT[19] | INIT[19] |
| 0 | 1 | 0 | 1 | 0 | 0 | INIT[20] | INIT[20] |
| 0 | 1 | 0 | 1 | 0 | 1 | INIT[21] | INIT[21] |
| 0 | 1 | 0 | 1 | 1 | 0 | INIT[22] | INIT[22] |
| 0 | 1 | 0 | 1 | 1 | 1 | INIT[23] | INIT[23] |
| 0 | 1 | 1 | 0 | 0 | 0 | INIT[24] | INIT[24] |
| 0 | 1 | 1 | 0 | 0 | 1 | INIT[25] | INIT[25] |
| 0 | 1 | 1 | 0 | 1 | 0 | INIT[26] | INIT[26] |
| 0 | 1 | 1 | 0 | 1 | 1 | INIT[27] | INIT[27] |
| 0 | 1 | 1 | 1 | 0 | 0 | INIT[28] | INIT[28] |
| 0 | 1 | 1 | 1 | 0 | 1 | INIT[29] | INIT[29] |
| 0 | 1 | 1 | 1 | 1 | 0 | INIT[30] | INIT[30] |
| 0 | 1 | 1 | 1 | 1 | 1 | INIT[31] | INIT[31] |
| 1 | 0 | 0 | 0 | 0 | 0 | INIT[0] | INIT[32] |
| 1 | 0 | 0 | 0 | 0 | 1 | INIT[1] | INIT[33] |

| 入力 | | | | | | 出力 | |
|--|---|---|---|---|---|----------|----------|
| 1 | 0 | 0 | 0 | 1 | 0 | INIT[2] | INIT[34] |
| 1 | 0 | 0 | 0 | 1 | 1 | INIT[3] | INIT[35] |
| 1 | 0 | 0 | 1 | 0 | 0 | INIT[4] | INIT[36] |
| 1 | 0 | 0 | 1 | 0 | 1 | INIT[5] | INIT[37] |
| 1 | 0 | 0 | 1 | 1 | 0 | INIT[6] | INIT[38] |
| 1 | 0 | 0 | 1 | 1 | 1 | INIT[7] | INIT[39] |
| 1 | 0 | 1 | 0 | 0 | 0 | INIT[8] | INIT[40] |
| 1 | 0 | 1 | 0 | 0 | 1 | INIT[9] | INIT[41] |
| 1 | 0 | 1 | 0 | 1 | 0 | INIT[10] | INIT[42] |
| 1 | 0 | 1 | 0 | 1 | 1 | INIT[11] | INIT[43] |
| 1 | 0 | 1 | 1 | 0 | 0 | INIT[12] | INIT[44] |
| 1 | 0 | 1 | 1 | 0 | 1 | INIT[13] | INIT[45] |
| 1 | 0 | 1 | 1 | 1 | 0 | INIT[14] | INIT[46] |
| 1 | 0 | 1 | 1 | 1 | 1 | INIT[15] | INIT[47] |
| 1 | 1 | 0 | 0 | 0 | 0 | INIT[16] | INIT[48] |
| 1 | 1 | 0 | 0 | 0 | 1 | INIT[17] | INIT[49] |
| 1 | 1 | 0 | 0 | 1 | 0 | INIT[18] | INIT[50] |
| 1 | 1 | 0 | 0 | 1 | 1 | INIT[19] | INIT[51] |
| 1 | 1 | 0 | 1 | 0 | 0 | INIT[20] | INIT[52] |
| 1 | 1 | 0 | 1 | 0 | 1 | INIT[21] | INIT[53] |
| 1 | 1 | 0 | 1 | 1 | 0 | INIT[22] | INIT[54] |
| 1 | 1 | 0 | 1 | 1 | 1 | INIT[23] | INIT[55] |
| 1 | 1 | 1 | 0 | 0 | 0 | INIT[24] | INIT[56] |
| 1 | 1 | 1 | 0 | 0 | 1 | INIT[25] | INIT[57] |
| 1 | 1 | 1 | 0 | 1 | 0 | INIT[26] | INIT[58] |
| 1 | 1 | 1 | 0 | 1 | 1 | INIT[27] | INIT[59] |
| 1 | 1 | 1 | 1 | 0 | 0 | INIT[28] | INIT[60] |
| 1 | 1 | 1 | 1 | 0 | 1 | INIT[29] | INIT[61] |
| 1 | 1 | 1 | 1 | 1 | 0 | INIT[30] | INIT[62] |
| 1 | 1 | 1 | 1 | 1 | 1 | INIT[31] | INIT[63] |
| INIT = INIT 属性で指定された 16 進数値を 2 進数で表した値 | | | | | | | |

ポートの説明

| ポート名 | 方向 | 幅 | 機能 |
|-------------------|----|---|-------------|
| O6 | 出力 | 1 | 6/5 LUT 出力 |
| O5 | 出力 | 1 | 5 入力 LUT 出力 |
| I0、I1、I2、I3、I4、I5 | 入力 | 1 | LUT 入力 |

デザインの入力方法

| | |
|--------------------------|----|
| インスタンス化 | 可 |
| 推論 | 推奨 |
| CORE Generator™ およびウィザード | 不可 |
| マクロのサポート | 不可 |

このELEMENTは、回路図で使用されます。

使用可能な属性

| 属性 | タイプ | 値 | デフォルト | 説明 |
|------|-------|---------|-------|----------------------|
| INIT | 16 進数 | 64 ビット値 | すべてゼロ | LUT5/6 の出力ファンクションを指定 |

VHDL 記述 (インスタンス化)

次の 2 つの構文が存在しない場合はコピーし、エンティティ宣言の前に貼り付けます。

```
Library UNISIM;
use UNISIM.vcomponents.all;

-- LUT6_2: 6-input 2 output Look-Up Table
--          Virtex-5/6, Spartan-6
-- Xilinx HDL Libraries Guide, version 11.2

LUT6_2_inst : LUT6_2
generic map (
  INIT => X"0000000000000000") -- Specify LUT Contents
port map (
  O6 => O6, -- 6/5-LUT output (1-bit)
  O5 => O5, -- 5-LUT output (1-bit)
  I0 => I0, -- LUT input (1-bit)
  I1 => I1, -- LUT input (1-bit)
  I2 => I2, -- LUT input (1-bit)
  I3 => I3, -- LUT input (1-bit)
  I4 => I4, -- LUT input (1-bit)
  I5 => I5  -- LUT input (1-bit)
);

-- End of LUT6_2_inst instantiation
```

Verilog 記述 (インスタンス化)

```
// LUT6_2: 6-input, 2 output Look-Up Table
//          Virtex-5, Virtex-6, Spartan-6
// Xilinx HDL Libraries Guide, version 11.2

LUT6_2 #(
  .INIT(64'h0000000000000000) // Specify LUT Contents
) LUT6_2_inst (
  .O6(O6), // 6/5-LUT output (1-bit)
  .O5(O5), // 5-LUT output (1-bit)
  .I0(I0), // LUT input (1-bit)
  .I1(I1), // LUT input (1-bit)
  .I2(I2), // LUT input (1-bit)
  .I3(I3), // LUT input (1-bit)
  .I4(I4), // LUT input (1-bit)
  .I5(I5) // LUT input (1-bit)
);

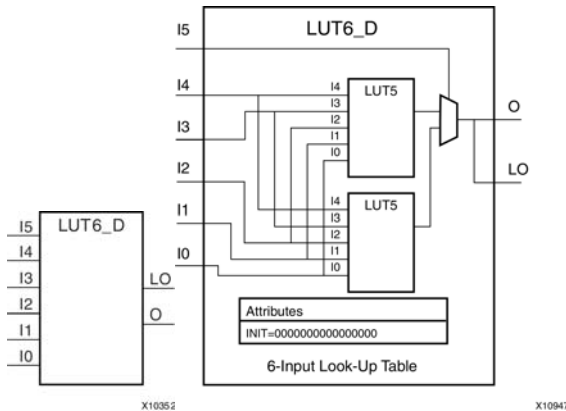
// End of LUT6_2_inst instantiation
```

詳細情報

- ・ [Spartan-6 FPGA コンフィギャブル ロジック ブロック ユーザー ガイド](#)
- ・ [Spartan-6 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

LUT6_D

プリミティブ : 6-Input Lookup Table with General and Local Outputs



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-6
- ・ Virtex®-5
- ・ Virtex-6

概要

このデザイン エLEMENTは、入力 6 個、出力 1 個のルックアップ テーブル (LUT) で、非同期 64 ビット ROM (6 ビットのアドレス指定) として動作するか、6 入力のロジック ファンクションをインプリメントできます。LUT は基本的なロジック構築ブロックで、デザインに含まれる多くのロジック ファンクションをインプリメントするときに使用します。LUT6 はルックアップ テーブル (LUT) 4 個のうちの 1 つにマップされます。LUT6、LUT6_L、および LUT6_D の機能は同じですが、LUT6_L および LUT6_D では、LUT6 の出力信号を内部スライスに接続したり、LO 出力を使用して CLB に接続することができます。LUT6_L では LUT6 からの接続のみが 1 つのスライスまたは CLB に含まれるように指定できるのに対し、LUT6_D では LUT6 の出力を内部スライス/CLB ロジックと外部ロジックの両方に接続するように指定できます。LUT6 では出力の接続は特定されないため、内部スライスまたは CLB 信号の接続を暗示的に指定する必要がない限り、いつでも使用できます。

LUT のロジック ファンクションを指定するために 64 ビットの 16 進数で INIT 属性を設定する必要があります。INIT 値は、関連する入力に適用されるときに、対応する INIT ビット値に 1 を割り当てることで算出されます。たとえば Verilog で INIT 値が `64'h8000000000000000` (VHDL では `X"8000000000000000"`) の場合は、入力すべてが 1 ではない限り、出力が 0 になります (6 入力の AND ゲート)。また、Verilog で INIT 値が `64'hffffffff` (VHDL では `X"FFFFFFFFFFFFFFFF"`) の場合は、入力がすべてゼロではない限り、出力は 1 になります (6 入力 OR ゲート)。

FPGA LUT プリミティブでは、INIT パラメータで論理値が設定されます。デフォルトは 0 で、入力値にかかわらず出力を 0 に駆動します (グラウンドとして機能)。ただし多くの場合、LUT プリミティブのロジック ファンクションを指定するために、新しい INIT の値を決定する必要があります。LUT の値を指定する方法には、次の 2 つがあります。

論理表を使用する方法 : LUT の INIT 値を決定する一般的な方法。バイナリの論理表にすべての入力をリストして出力のロジック値を指定し、これらの出力値から、初期値を作成します。

論理式を使用する方法 : リストされた真理値表の値に対応する LUT の各入力にパラメータを定義し、パラメータを元にロジックの論理式を生成します。概念を理解してしまえばこの方法の方が簡単で、前出の方法のようにパラメータの指定にコードを使用する必要がありません。

論理表

| 入力 | | | | | | 出力 | |
|----|----|----|----|----|----|----------|----------|
| I5 | I4 | I3 | I2 | I1 | I0 | O | LO |
| 0 | 0 | 0 | 0 | 0 | 0 | INIT[0] | INIT[0] |
| 0 | 0 | 0 | 0 | 0 | 1 | INIT[1] | INIT[1] |
| 0 | 0 | 0 | 0 | 1 | 0 | INIT[2] | INIT[2] |
| 0 | 0 | 0 | 0 | 1 | 1 | INIT[3] | INIT[3] |
| 0 | 0 | 0 | 1 | 0 | 0 | INIT[4] | INIT[4] |
| 0 | 0 | 0 | 1 | 0 | 1 | INIT[5] | INIT[5] |
| 0 | 0 | 0 | 1 | 1 | 0 | INIT[6] | INIT[6] |
| 0 | 0 | 0 | 1 | 1 | 1 | INIT[7] | INIT[7] |
| 0 | 0 | 1 | 0 | 0 | 0 | INIT[8] | INIT[8] |
| 0 | 0 | 1 | 0 | 0 | 1 | INIT[9] | INIT[9] |
| 0 | 0 | 1 | 0 | 1 | 0 | INIT[10] | INIT[10] |
| 0 | 0 | 1 | 0 | 1 | 1 | INIT[11] | INIT[11] |
| 0 | 0 | 1 | 1 | 0 | 0 | INIT[12] | INIT[12] |
| 0 | 0 | 1 | 1 | 0 | 1 | INIT[13] | INIT[13] |
| 0 | 0 | 1 | 1 | 1 | 0 | INIT[14] | INIT[14] |
| 0 | 0 | 1 | 1 | 1 | 1 | INIT[15] | INIT[15] |
| 0 | 1 | 0 | 0 | 0 | 0 | INIT[16] | INIT[16] |
| 0 | 1 | 0 | 0 | 0 | 1 | INIT[17] | INIT[17] |
| 0 | 1 | 0 | 0 | 1 | 0 | INIT[18] | INIT[18] |
| 0 | 1 | 0 | 0 | 1 | 1 | INIT[19] | INIT[19] |
| 0 | 1 | 0 | 1 | 0 | 0 | INIT[20] | INIT[20] |
| 0 | 1 | 0 | 1 | 0 | 1 | INIT[21] | INIT[21] |
| 0 | 1 | 0 | 1 | 1 | 0 | INIT[22] | INIT[22] |
| 0 | 1 | 0 | 1 | 1 | 1 | INIT[23] | INIT[23] |
| 0 | 1 | 1 | 0 | 0 | 0 | INIT[24] | INIT[24] |
| 0 | 1 | 1 | 0 | 0 | 1 | INIT[25] | INIT[25] |
| 0 | 1 | 1 | 0 | 1 | 0 | INIT[26] | INIT[26] |
| 0 | 1 | 1 | 0 | 1 | 1 | INIT[27] | INIT[27] |
| 0 | 1 | 1 | 1 | 0 | 0 | INIT[28] | INIT[28] |
| 0 | 1 | 1 | 1 | 0 | 1 | INIT[29] | INIT[29] |
| 0 | 1 | 1 | 1 | 1 | 0 | INIT[30] | INIT[30] |
| 0 | 1 | 1 | 1 | 1 | 1 | INIT[31] | INIT[31] |
| 1 | 0 | 0 | 0 | 0 | 0 | INIT[32] | INIT[32] |
| 1 | 0 | 0 | 0 | 0 | 1 | INIT[33] | INIT[33] |

| 入力 | | | | | | 出力 | |
|--|----|----|----|----|----|----------|----------|
| I5 | I4 | I3 | I2 | I1 | I0 | O | LO |
| 1 | 0 | 0 | 0 | 1 | 0 | INIT[34] | INIT[34] |
| 1 | 0 | 0 | 0 | 1 | 1 | INIT[35] | INIT[35] |
| 1 | 0 | 0 | 1 | 0 | 0 | INIT[36] | INIT[36] |
| 1 | 0 | 0 | 1 | 0 | 1 | INIT[37] | INIT[37] |
| 1 | 0 | 0 | 1 | 1 | 0 | INIT[38] | INIT[38] |
| 1 | 0 | 0 | 1 | 1 | 1 | INIT[39] | INIT[39] |
| 1 | 0 | 1 | 0 | 0 | 0 | INIT[40] | INIT[40] |
| 1 | 0 | 1 | 0 | 0 | 1 | INIT[41] | INIT[41] |
| 1 | 0 | 1 | 0 | 1 | 0 | INIT[42] | INIT[42] |
| 1 | 0 | 1 | 0 | 1 | 1 | INIT[43] | INIT[43] |
| 1 | 0 | 1 | 1 | 0 | 0 | INIT[44] | INIT[44] |
| 1 | 0 | 1 | 1 | 0 | 1 | INIT[45] | INIT[45] |
| 1 | 0 | 1 | 1 | 1 | 0 | INIT[46] | INIT[46] |
| 1 | 0 | 1 | 1 | 1 | 1 | INIT[47] | INIT[47] |
| 1 | 1 | 0 | 0 | 0 | 0 | INIT[48] | INIT[48] |
| 1 | 1 | 0 | 0 | 0 | 1 | INIT[49] | INIT[49] |
| 1 | 1 | 0 | 0 | 1 | 0 | INIT[50] | INIT[50] |
| 1 | 1 | 0 | 0 | 1 | 1 | INIT[51] | INIT[51] |
| 1 | 1 | 0 | 1 | 0 | 0 | INIT[52] | INIT[52] |
| 1 | 1 | 0 | 1 | 0 | 1 | INIT[53] | INIT[53] |
| 1 | 1 | 0 | 1 | 1 | 0 | INIT[54] | INIT[54] |
| 1 | 1 | 0 | 1 | 1 | 1 | INIT[55] | INIT[55] |
| 1 | 1 | 1 | 0 | 0 | 0 | INIT[56] | INIT[56] |
| 1 | 1 | 1 | 0 | 0 | 1 | INIT[57] | INIT[57] |
| 1 | 1 | 1 | 0 | 1 | 0 | INIT[58] | INIT[58] |
| 1 | 1 | 1 | 0 | 1 | 1 | INIT[59] | INIT[59] |
| 1 | 1 | 1 | 1 | 0 | 0 | INIT[60] | INIT[60] |
| 1 | 1 | 1 | 1 | 0 | 1 | INIT[61] | INIT[61] |
| 1 | 1 | 1 | 1 | 1 | 0 | INIT[62] | INIT[62] |
| 1 | 1 | 1 | 1 | 1 | 1 | INIT[63] | INIT[63] |
| INIT = INIT 属性で指定された 16 進数値を 2 進数で表した値 | | | | | | | |

ポートの説明

| ポート名 | 方向 | 幅 | 機能 |
|------------------------|----|---|-------------|
| O6 | 出力 | 1 | 6/5 LUT 出力 |
| O5 | 出力 | 1 | 5 入力 LUT 出力 |
| I0, I1, I2, I3, I4, I5 | 入力 | 1 | LUT 入力 |

デザインの入力方法

| | |
|--------------------------|----|
| インスタンス化 | 可 |
| 推論 | 推奨 |
| CORE Generator™ およびウィザード | 不可 |
| マクロのサポート | 不可 |

このELEMENTは、回路図で使用されます。

使用可能な属性

| 属性 | タイプ | 値 | デフォルト | 説明 |
|------|-------|---------|-------|--------------------|
| INIT | 16 進数 | 64 ビット値 | すべてゼロ | ルックアップ テーブルの論理値を指定 |

VHDL 記述 (インスタンス化)

次の 2 つの構文が存在しない場合はコピーし、エンティティ宣言の前に貼り付けます。

```
Library UNISIM;
use UNISIM.vcomponents.all;

-- LUT6: 6-input Look-Up Table with general output
--       Virtex-5/6, Spartan-6
-- Xilinx HDL Libraries Guide, version 11.2

LUT6_inst : LUT6
generic map (
  INIT => X"0000000000000000") -- Specify LUT Contents
port map (
  O => O, -- LUT general output
  I0 => I0, -- LUT input
  I1 => I1, -- LUT input
  I2 => I2, -- LUT input
  I3 => I3, -- LUT input
  I4 => I4, -- LUT input
  I5 => I5 -- LUT input
);

-- End of LUT6_inst instantiation
```

Verilog 記述 (インスタンス化)

```
// LUT6: 6-input Look-Up Table with general output
//      Virtex-5, Virtex-6, Spartan-6
// Xilinx HDL Libraries Guide, version 11.2

LUT6 #(
    .INIT(64'h0000000000000000) // Specify LUT Contents
) LUT6_inst (
    .O(0), // LUT general output
    .I0(I0), // LUT input
    .I1(I1), // LUT input
    .I2(I2), // LUT input
    .I3(I3), // LUT input
    .I4(I4), // LUT input
    .I5(I5) // LUT input
);

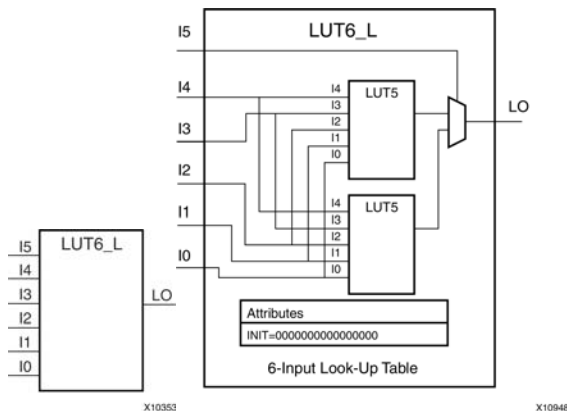
// End of LUT6_inst instantiation
```

詳細情報

- ・ [Spartan-6 FPGA コンフィギュラブル ロジック ブロック ユーザー ガイド](#)
- ・ [Spartan-6 FPGA データシート: DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート: DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

LUT6_L

プリミティブ : 6-Input Lookup Table with Local Output



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- Spartan®-6
- Virtex®-5
- Virtex-6

概要

このデザイン エLEMENTは、入力 6 個、出力 1 個のルックアップ テーブル (LUT) で、非同期 64 ビット ROM (6 ビットのアドレス指定) として動作するか、6 入力のロジック ファンクションをインプリメントできます。LUT は基本的なロジック構築ブロックで、デザインに含まれる多くのロジック ファンクションをインプリメントするときに使用します。LUT6 はルックアップ テーブル (LUT) 4 個のうちの 1 つにマップされます。LUT6、LUT6_L、および LUT6_D の機能は同じですが、LUT6_L および LUT6_D では、LUT6 の出力信号を内部スライスに接続したり、LO 出力を使用して CLB に接続することができます。LUT6_L では LUT6 からの接続のみが 1 つのスライスまたは CLB に含まれるように指定できるのに対し、LUT6_D では LUT6 の出力を内部スライス/CLB ロジックと外部ロジックの両方に接続するように指定できます。LUT6 では出力の接続は特定されないため、内部スライスまたは CLB 信号の接続を暗示的に指定する必要がない限り、いつでも使用できます。

LUT のロジック ファンクションを指定するために 64 ビットの 16 進数で INIT 属性を設定する必要があります。INIT 値は、関連する入力が適用されるときに、対応する INIT ビット値に 1 を割り当てることで計算されます。たとえば Verilog で INIT 値が 64'h8000000000000000 (VHDL では X"8000000000000000") の場合は、入力すべてが 1 ではない限り、出力が 0 になります (6 入力の AND ゲート)。また、Verilog で INIT 値が 64'hffffffff (VHDL では X"FFFFFFFFFFFFFFFF") の場合は、入力がすべてゼロではない限り、出力は 1 になります (6 入力 OR ゲート)。

FPGA LUT プリミティブでは、INIT パラメータで論理値が設定されます。デフォルトは 0 で、入力値にかかわらず出力を 0 に駆動します (グラウンドとして機能)。ただし多くの場合、LUT プリミティブのロジック ファンクションを指定するために、新しい INIT の値を決定する必要があります。LUT の値を指定する方法には、次の 2 つがあります。

論理表を使用する方法 : LUT の INIT 値を決定する一般的な方法。バイナリの真理値表にすべての入力をリストして出力のロジック値を指定し、これらの出力値から、初期値を作成します。

論理式を使用する方法 : リストされた真理値表の値に対応する LUT の各入力にパラメータを定義し、パラメータを元にロジックの論理式を生成します。概念を理解してしまえばこの方法の方が簡単で、前出の方法のようにパラメータの指定にコードを使用する必要がありません。

論理表

| 入力 | | | | | | 出力 |
|----|----|----|----|----|----|----------|
| I5 | I4 | I3 | I2 | I1 | I0 | LO |
| 0 | 0 | 0 | 0 | 0 | 0 | INIT[0] |
| 0 | 0 | 0 | 0 | 0 | 1 | INIT[1] |
| 0 | 0 | 0 | 0 | 1 | 0 | INIT[2] |
| 0 | 0 | 0 | 0 | 1 | 1 | INIT[3] |
| 0 | 0 | 0 | 1 | 0 | 0 | INIT[4] |
| 0 | 0 | 0 | 1 | 0 | 1 | INIT[5] |
| 0 | 0 | 0 | 1 | 1 | 0 | INIT[6] |
| 0 | 0 | 0 | 1 | 1 | 1 | INIT[7] |
| 0 | 0 | 1 | 0 | 0 | 0 | INIT[8] |
| 0 | 0 | 1 | 0 | 0 | 1 | INIT[9] |
| 0 | 0 | 1 | 0 | 1 | 0 | INIT[10] |
| 0 | 0 | 1 | 0 | 1 | 1 | INIT[11] |
| 0 | 0 | 1 | 1 | 0 | 0 | INIT[12] |
| 0 | 0 | 1 | 1 | 0 | 1 | INIT[13] |
| 0 | 0 | 1 | 1 | 1 | 0 | INIT[14] |
| 0 | 0 | 1 | 1 | 1 | 1 | INIT[15] |
| 0 | 1 | 0 | 0 | 0 | 0 | INIT[16] |
| 0 | 1 | 0 | 0 | 0 | 1 | INIT[17] |
| 0 | 1 | 0 | 0 | 1 | 0 | INIT[18] |
| 0 | 1 | 0 | 0 | 1 | 1 | INIT[19] |
| 0 | 1 | 0 | 1 | 0 | 0 | INIT[20] |
| 0 | 1 | 0 | 1 | 0 | 1 | INIT[21] |
| 0 | 1 | 0 | 1 | 1 | 0 | INIT[22] |
| 0 | 1 | 0 | 1 | 1 | 1 | INIT[23] |
| 0 | 1 | 1 | 0 | 0 | 0 | INIT[24] |
| 0 | 1 | 1 | 0 | 0 | 1 | INIT[25] |
| 0 | 1 | 1 | 0 | 1 | 0 | INIT[26] |
| 0 | 1 | 1 | 0 | 1 | 1 | INIT[27] |
| 0 | 1 | 1 | 1 | 0 | 0 | INIT[28] |
| 0 | 1 | 1 | 1 | 0 | 1 | INIT[29] |
| 0 | 1 | 1 | 1 | 1 | 0 | INIT[30] |
| 0 | 1 | 1 | 1 | 1 | 1 | INIT[31] |
| 1 | 0 | 0 | 0 | 0 | 0 | INIT[32] |
| 1 | 0 | 0 | 0 | 0 | 1 | INIT[33] |

| 入力 | | | | | | 出力 |
|----|----|----|----|----|----|----------|
| I5 | I4 | I3 | I2 | I1 | I0 | LO |
| 1 | 0 | 0 | 0 | 1 | 0 | INIT[34] |
| 1 | 0 | 0 | 0 | 1 | 1 | INIT[35] |
| 1 | 0 | 0 | 1 | 0 | 0 | INIT[36] |
| 1 | 0 | 0 | 1 | 0 | 1 | INIT[37] |
| 1 | 0 | 0 | 1 | 1 | 0 | INIT[38] |
| 1 | 0 | 0 | 1 | 1 | 1 | INIT[39] |
| 1 | 0 | 1 | 0 | 0 | 0 | INIT[40] |
| 1 | 0 | 1 | 0 | 0 | 1 | INIT[41] |
| 1 | 0 | 1 | 0 | 1 | 0 | INIT[42] |
| 1 | 0 | 1 | 0 | 1 | 1 | INIT[43] |
| 1 | 0 | 1 | 1 | 0 | 0 | INIT[44] |
| 1 | 0 | 1 | 1 | 0 | 1 | INIT[45] |
| 1 | 0 | 1 | 1 | 1 | 0 | INIT[46] |
| 1 | 0 | 1 | 1 | 1 | 1 | INIT[47] |
| 1 | 1 | 0 | 0 | 0 | 0 | INIT[48] |
| 1 | 1 | 0 | 0 | 0 | 1 | INIT[49] |
| 1 | 1 | 0 | 0 | 1 | 0 | INIT[50] |
| 1 | 1 | 0 | 0 | 1 | 1 | INIT[51] |
| 1 | 1 | 0 | 1 | 0 | 0 | INIT[52] |
| 1 | 1 | 0 | 1 | 0 | 1 | INIT[53] |
| 1 | 1 | 0 | 1 | 1 | 0 | INIT[54] |
| 1 | 1 | 0 | 1 | 1 | 1 | INIT[55] |
| 1 | 1 | 1 | 0 | 0 | 0 | INIT[56] |
| 1 | 1 | 1 | 0 | 0 | 1 | INIT[57] |
| 1 | 1 | 1 | 0 | 1 | 0 | INIT[58] |
| 1 | 1 | 1 | 0 | 1 | 1 | INIT[59] |
| 1 | 1 | 1 | 1 | 0 | 0 | INIT[60] |
| 1 | 1 | 1 | 1 | 0 | 1 | INIT[61] |
| 1 | 1 | 1 | 1 | 1 | 0 | INIT[62] |
| 1 | 1 | 1 | 1 | 1 | 1 | INIT[63] |

INIT = INIT 属性で指定された 16 進数値を 2 進数で表した値

ポートの説明

| ポート名 | 方向 | 幅 | 機能 |
|-------------------|----|---|---------------------------|
| LO | 出力 | 1 | 6/5 入力 LUT 出力または内部 CLB 接続 |
| I0、I1、I2、I3、I4、I5 | 入力 | 1 | LUT 入力 |

デザインの入力方法

| | |
|--------------------------|----|
| インスタンス化 | 可 |
| 推論 | 推奨 |
| CORE Generator™ およびウィザード | 不可 |
| マクロのサポート | 不可 |

このエレメントは、回路図で使用されます。

使用可能な属性

| 属性 | タイプ | 値 | デフォルト | 説明 |
|------|-------|---------|-------|--------------------|
| INIT | 16 進数 | 64 ビット値 | すべてゼロ | ルックアップ テーブルの論理値を指定 |

VHDL 記述 (インスタンス化)

次の 2 つの構文が存在しない場合はコピーし、エンティティ宣言の前に貼り付けます。

```
Library UNISIM;
use UNISIM.vcomponents.all;

-- LUT6: 6-input Look-Up Table with general output
--      Virtex-5/6, Spartan-6
-- Xilinx HDL Libraries Guide, version 11.2

LUT6_inst : LUT6
generic map (
  INIT => X"0000000000000000") -- Specify LUT Contents
port map (
  O => O, -- LUT general output
  I0 => I0, -- LUT input
  I1 => I1, -- LUT input
  I2 => I2, -- LUT input
  I3 => I3, -- LUT input
  I4 => I4, -- LUT input
  I5 => I5 -- LUT input
);

-- End of LUT6_inst instantiation
```

Verilog 記述 (インスタンス化)

```
// LUT6: 6-input Look-Up Table with general output
//      Virtex-5, Virtex-6, Spartan-6
// Xilinx HDL Libraries Guide, version 11.2

LUT6 #(
  .INIT(64'h0000000000000000) // Specify LUT Contents
) LUT6_inst (
  .O(O), // LUT general output
  .I0(I0), // LUT input
  .I1(I1), // LUT input
  .I2(I2), // LUT input
  .I3(I3), // LUT input
  .I4(I4), // LUT input
  .I5(I5) // LUT input
);

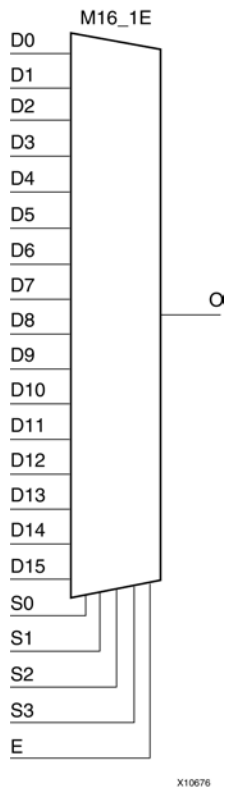
// End of LUT6_inst instantiation
```

詳細情報

- ・ [Spartan-6 FPGA コンフィギャブル ロジック ブロック ユーザー ガイド](#)
- ・ [Spartan-6 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

M16_1E

マクロ : 16-to-1 Multiplexer with Enable



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6
- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

このデザイン エLEMENTは、イネーブル付き 16:1 マルチプレクサです。イネーブル入力 (E) が High の場合、セレクト入力 (S3 ~ S0) の値に応じて、16 個の入力 (D15 ~ D0) のうち 1 つのデータビットが選択されます。出力 (O) には、次の論理表に示すように、選択された入力の値が出力されます。E が Low の場合、出力は Low になります。

論理表

| 入力 | | | | | | 出力 |
|----|----|----|----|----|----------|-----|
| E | S3 | S2 | S1 | S0 | D15 ~ D0 | O |
| 0 | X | X | X | X | X | 0 |
| 1 | 0 | 0 | 0 | 0 | D0 | D0 |
| 1 | 0 | 0 | 0 | 1 | D1 | D1 |
| 1 | 0 | 0 | 1 | 0 | D2 | D2 |
| 1 | 0 | 0 | 1 | 1 | D3 | D3 |
| . | . | . | . | . | . | . |
| . | . | . | . | . | . | . |
| . | . | . | . | . | . | . |
| 1 | 1 | 1 | 0 | 0 | D12 | D12 |
| 1 | 1 | 1 | 0 | 1 | D13 | D13 |
| 1 | 1 | 1 | 1 | 0 | D14 | D14 |
| 1 | 1 | 1 | 1 | 1 | D15 | D15 |

デザインの入力方法

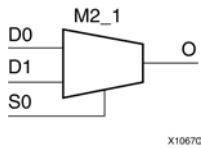
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリー データシート](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリー データシート](#)
- ・ [Spartan-3E FPGA ファミリー データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

M2_1

マクロ : 2-to-1 Multiplexer



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6
- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

このデザイン エLEMENTは、セレクト入力 (S0) の値に応じて、2 つの入力 (D1 または D0) のうち 1 つのデータビットを選択します。出力 (O) には、選択された入力の値が出力されます。S0 が Low の場合は D0 が選択され、High の場合は D1 が選択されます。

論理表

| 入力 | | | 出力 |
|----|----|----|----|
| S0 | D1 | D0 | O |
| 1 | D1 | X | D1 |
| 0 | X | D0 | D0 |

デザインの入力方法

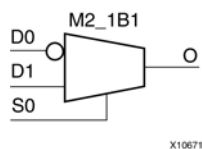
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリ データシート](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリ データシート](#)
- ・ [Spartan-3E FPGA ファミリ データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

M2_1B1

マクロ : 2-to-1 Multiplexer with D0 Inverted



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6
- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

このデザイン エLEMENTは、セレクト入力 (S0) の値に応じて、2 つの入力 (D1 または D0) のうち 1 つのデータビットを選択します。S0 が Low の場合は O に D0 の反転値が出力され、S0 が High の場合は D1 の値が出力されます。

論理表

| 入力 | | | 出力 |
|----|----|----|----|
| S0 | D1 | D0 | O |
| 1 | 1 | X | 1 |
| 1 | 0 | X | 0 |
| 0 | X | 1 | 0 |
| 0 | X | 0 | 1 |

デザインの入力方法

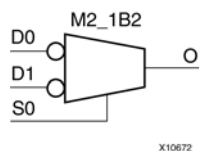
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリ データシート](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリ データシート](#)
- ・ [Spartan-3E FPGA ファミリ データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

M2_1B2

マクロ : 2-to-1 Multiplexer with D0 and D1 Inverted



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6
- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

このデザイン エLEMENTは、セレクト入力 (S0) の値に応じて、2 つの入力 (D1 または D0) のうち 1 つのデータビットを選択します。S0 が Low の場合は O に D0 の反転値が出力され、S0 が High の場合は D1 の反転値が出力されます。

論理表

| 入力 | | | 出力 |
|----|----|----|----|
| S0 | D1 | D0 | O |
| 1 | 1 | X | 0 |
| 1 | 0 | X | 1 |
| 0 | X | 1 | 0 |
| 0 | X | 0 | 1 |

デザインの入力方法

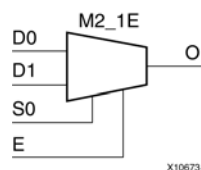
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリ データシート](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリ データシート](#)
- ・ [Spartan-3E FPGA ファミリ データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

M2_1E

マクロ : 2-to-1 Multiplexer with Enable



サポートされているアーキテクチャ

このデザイン エレメントは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6
- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

このデザイン エレメントは、イネーブル付き 2:1 マルチプレクサです。イネーブル入力 (E) が High の場合、セレクト入力 (S0) の値に応じて、2 つの入力 (D1 または D0) のうち 1 つのデータビットが選択されます。S0 が Low の場合は D0 が選択され、High の場合は D1 が選択されます。E が Low の場合、出力は Low になります。

論理表

| 入力 | | | | 出力 |
|----|----|----|----|----|
| E | S0 | D1 | D0 | O |
| 0 | X | X | X | 0 |
| 1 | 0 | X | 1 | 1 |
| 1 | 0 | X | 0 | 0 |
| 1 | 1 | 1 | X | 1 |
| 1 | 1 | 0 | X | 0 |

デザインの入力方法

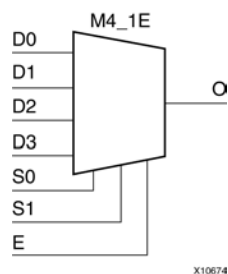
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリ データシート](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリ データシート](#)
- ・ [Spartan-3E FPGA ファミリ データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

M4_1E

マクロ : 4-to-1 Multiplexer with Enable



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6
- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

このデザイン エLEMENTは、イネーブル付き 4:1 マルチプレクサです。イネーブル入力 (E) が High の場合、セレクト入力 (S1 ~ S0) の値に応じて、4 つの入力 (D3、D2、D1、D0) のうち 1 つのデータビットが選択されます。出力 (O) には、次の論理表に示すように、選択された入力の値が出力されます。E が Low の場合、出力は Low になります。

論理表

| 入力 | | | | | | | 出力 |
|----|----|----|----|----|----|----|----|
| E | S1 | S0 | D0 | D1 | D2 | D3 | O |
| 0 | X | X | X | X | X | X | 0 |
| 1 | 0 | 0 | D0 | X | X | X | D0 |
| 1 | 0 | 1 | X | D1 | X | X | D1 |
| 1 | 1 | 0 | X | X | D2 | X | D2 |
| 1 | 1 | 1 | X | X | X | D3 | D3 |

デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリ データシート](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリ データシート](#)
- ・ [Spartan-3E FPGA ファミリ データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

M8_1E

マクロ : 8-to-1 Multiplexer with Enable



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6
- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

このデザイン エLEMENTは、イネーブル付き 8:1 マルチプレクサです。イネーブル入力 (E) が High の場合、セレクト入力 (S2 ~ S0) の値に応じて、8 つの入力 (D7 ~ D0) のうち 1 つのデータビットが選択されます。出力 (O) には、次の論理表に示すように、選択された入力の値が出力されます。E が Low の場合、出力は Low になります。

論理表

| 入力 | | | | | 出力 |
|----|----|----|----|---------|----|
| E | S2 | S1 | S0 | D7 – D0 | O |
| 0 | X | X | X | X | 0 |
| 1 | 0 | 0 | 0 | D0 | D0 |
| 1 | 0 | 0 | 1 | D1 | D1 |
| 1 | 0 | 1 | 0 | D2 | D2 |
| 1 | 0 | 1 | 1 | D3 | D3 |
| 1 | 1 | 0 | 0 | D4 | D4 |
| 1 | 1 | 0 | 1 | D5 | D5 |
| 1 | 1 | 1 | 0 | D6 | D6 |
| 1 | 1 | 1 | 1 | D7 | D7 |

デザインの入力方法

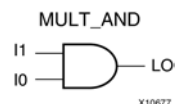
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリー データシート](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリー データシート](#)
- ・ [Spartan-3E FPGA ファミリー データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

MULT_AND

プリミティブ : Fast Multiplier AND



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Virtex-4

概要

このデザイン エLEMENTはスライス内にある AND コンポーネントです。このスライスでは 2 つの入力が 4 入力 LUT と共有され、出力がキャリー ロジックに駆動しています。この追加のロジックはその他の目的にも使用できますが、高速で小型の乗算器の作成に特に有用です。I1 および I0 入力は、対応する LUT の I1 および I0 入力に接続する必要があります。LO 出力は、対応する MUXCY、MUXCY_D、または MUXCY_L の DI 入力に接続する必要があります。

論理表

| 入力 | | 出力 |
|----|----|----|
| I1 | I0 | LO |
| 0 | 0 | 0 |
| 0 | 1 | 0 |
| 1 | 0 | 0 |
| 1 | 1 | 1 |

デザインの入力方法

| | |
|--------------------------|----|
| インスタンス化 | 可 |
| 推論 | 推奨 |
| CORE Generator™ およびウィザード | 不可 |
| マクロのサポート | 不可 |

このELEMENTは、回路図で使用されます。

VHDL 記述 (インスタンス化)

次の 2 つの構文が存在しない場合はコピーし、エンティティ宣言の前に貼り付けます。

```
Library UNISIM;
use UNISIM.vcomponents.all;

-- MULT_AND: 2-input AND gate connected to Carry chain
--           For use with Virtex-4, Spartan3/3E/3A/3A DSP
-- Xilinx HDL Libraries Guide, version 11.2

MULT_AND_inst : MULT_AND
port map (
    LO => LO,    -- MULT_AND output (connect to MUXCY DI)
    IO => IO,    -- MULT_AND data[0] input
    I1 => I1     -- MULT_AND data[1] input
);

-- End of MULT_AND_inst instantiation
```

Verilog 記述 (インスタンス化)

```
// MULT_AND: 2-input AND gate connected to Carry chain
//           For use with Virtex-4, Spartan-3/3E/3A/3A DSP
// Xilinx HDL Libraries Guide, version 11.2

MULT_AND MULT_AND_inst (
    .LO(LO),    // MULT_AND output (connect to MUXCY DI)
    .IO(IO),    // MULT_AND data[0] input
    .I1(I1)     // MULT_AND data[1] input
);

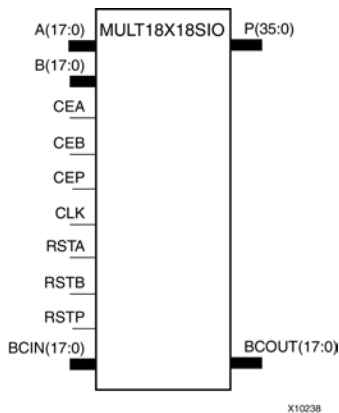
// End of MULT_AND_inst instantiation
```

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリー データシート](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリー データシート](#)
- ・ [Spartan-3E FPGA ファミリー データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート: DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート: DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

MULT18X18SIO

プリミティブ : 18 x 18 Cascadable Signed Multiplier with Optional Input and Output Registers, Clock Enable, and Synchronous Reset



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E

概要

このデザイン エLEMENTは、36 ビット出力、18 X 18 ビット入力の専用の符号付き乗算器です。AREG、BREG、PREG 属性をすべて 0 に設定すると、非同期の乗算が実行されます。逆に属性をすべて 1 に設定すると、異なるレイテンシとパフォーマンス特性で同期の乗算が実行されます。同期乗算器を使用する場合、乗算器のレジスタ バンクの各セットに対してアクティブ High のクロック イネーブル (CEA、CEB、CEP) と同期リセット (RSTA、RSTB、RSTP) が使用されます。BCIN ポートと BCOUT ポートに B_INPUT 属性を使用して MULT18X18SIO をカスケード接続すると、より大型の乗算ファンクションを作成できます。

デザインの入力方法

| | |
|--------------------------|----|
| インスタンス化 | 可 |
| 推論 | 推奨 |
| CORE Generator™ およびウィザード | 不可 |
| マクロのサポート | 不可 |

このELEMENTは、回路図で使用されます。

使用可能な属性

| 属性 | タイプ | 値 | デフォルト | 説明 |
|---------|-----|----------------|--------|---|
| AREG | 整数 | 0、1 | 1 | A ポートで入力レジスタを使用するかどうかを指定します。0 の場合はレジスタが使用されず、1 の場合はレジスタが使用されます。 |
| BREG | 整数 | 0、1 | 1 | B ポートで入力レジスタを使用するかどうかを指定します。0 の場合はレジスタが使用されず、1 の場合はレジスタが使用されます。 |
| B_INPUT | 文字列 | DIRECT、CASCADE | DIRECT | B ポートが FPGA に接続されている (DIRECT) か、別の MULT18X18SIO の BCOUT ポートに接続されているかを指定します。 |
| PREG | 整数 | 0、1 | 1 | 乗算器の出力レジスタを使用するかどうかを指定します。0 の場合はレジスタが使用されず、1 の場合はレジスタが使用されます。 |

VHDL 記述 (インスタンスエーション)

次の 2 つの構文が存在しない場合はコピーし、エンティティ宣言の前に貼り付けます。

```
Library UNISIM;
use UNISIM.vcomponents.all;

-- MULT18X18SIO: 18 x 18 cascadable, signed synchronous/asynchronous multiplier
--               Spartan-3E/3A
-- Xilinx HDL Libraries Guide, version 11.2

MULT18X18SIO_inst : MULT18X18SIO
generic map (
  AREG => 1, -- Enable the input registers on the A port (1=on, 0=off)
  BREG => 1, -- Enable the input registers on the B port (1=on, 0=off)
  B_INPUT => "DIRECT", -- B cascade input "DIRECT" or "CASCADE"
  PREG => 1) -- Enable the input registers on the P port (1=on, 0=off)
port map (
  BCOUT => BCOUT, -- 18-bit cascade output
  P => P, -- 36-bit multiplier output
  A => A, -- 18-bit multiplier input
  B => B, -- 18-bit multiplier input
  BCIN => BCIN, -- 18-bit cascade input
  CEA => CEA, -- Clock enable input for the A port
  CEB => CEB, -- Clock enable input for the B port
  CEP => CEP, -- Clock enable input for the P port
  CLK => CLK, -- Clock input
  RSTA => RSTA, -- Synchronous reset input for the A port
  RSTB => RSTB, -- Synchronous reset input for the B port
  RSTP => RSTP, -- Synchronous reset input for the P port
);

-- End of MULT18X18SIO_inst instantiation
```

Verilog 記述 (インスタンス化)

```
// MULT18X18SIO: 18 x 18 cascadable, signed synchronous/asynchronous multiplier
//                Spartan-3E/3A
// Xilinx HDL Libraries Guide, version 11.2

MULT18X18SIO #(
    .AREG(1), // Enable the input registers on the A port (1=on, 0=off)
    .BREG(1), // Enable the input registers on the B port (1=on, 0=off)
    .B_INPUT("DIRECT"), // B cascade input "DIRECT" or "CASCADE"
    .PREG(1) // Enable the input registers on the P port (1=on, 0=off)
) MULT18X18SIO_inst (
    .BCOUT(BCOUT), // 18-bit cascade output
    .P(P), // 36-bit multiplier output
    .A(A), // 18-bit multiplier input
    .B(B), // 18-bit multiplier input
    .BCIN(BCIN), // 18-bit cascade input
    .CEA(CEA), // Clock enable input for the A port
    .CEB(CEB), // Clock enable input for the B port
    .CEP(CEP), // Clock enable input for the P port
    .CLK(CLK), // Clock input
    .RSTA(RSTA), // Synchronous reset input for the A port
    .RSTB(RSTB), // Synchronous reset input for the B port
    .RSTP(RSTP) // Synchronous reset input for the P port
);

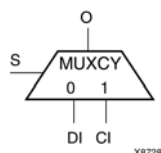
// End of MULT18X18SIO_inst instantiation
```

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリー データシート](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリー データシート](#)
- ・ [Spartan-3E FPGA ファミリー データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

MUXCY

プリミティブ : 2-to-1 Multiplexer for Carry Logic with General Output



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6

概要

スライスの直接入力 (DI) は、MUXCY の DI 入力に接続します。LC のキャリー入力 (CI) は、MUXCY の CI 入力に接続します。セレクト入力 (S) は、ルックアップ テーブル (LUT) の出力で駆動し、MUX ファンクションとしてコンフィギュレーションします。キャリー出力 (O) には選択された入力の値が出力され、各 LC のキャリー出力ファンクションをインプリメントします。S が Low の場合は DI が選択され、High の場合は CI が選択されます。

このほか、ローカル出力を持つ MUXCY_D および MUXCY_L があり、異なるタイミング モデルでレイアウト前のタイミング予測をより正確に行う必要がある場合に使用できます。

論理表

| 入力 | | | 出力 |
|----|----|----|----|
| S | DI | CI | O |
| 0 | 1 | X | 1 |
| 0 | 0 | X | 0 |
| 1 | X | 1 | 1 |
| 1 | X | 0 | 0 |

デザインの入力方法

| | |
|--------------------------|----|
| インスタンス化 | 可 |
| 推論 | 推奨 |
| CORE Generator™ およびウィザード | 不可 |
| マクロのサポート | 不可 |

このELEMENTは、回路図で使用されます。

VHDL 記述 (インスタンスレーション)

次の 2 つの構文が存在しない場合はコピーし、エンティティ宣言の前に貼り付けます。

```
Library UNISIM;
use UNISIM.vcomponents.all;

-- MUXCY: Carry-Chain MUX with general output
-- Xilinx HDL Libraries Guide, version 11.2

MUXCY_inst : MUXCY
port map (
    O => O,    -- Carry output signal
    CI => CI,   -- Carry input signal
    DI => DI,   -- Data input signal
    S => S     -- MUX select, tie to '1' or LUT4 out
);

-- End of MUXCY_inst instantiation
```

Verilog 記述 (インスタンスレーション)

```
// MUXCY: Carry-Chain MUX with general output
//      For use with All FPGAs
// Xilinx HDL Libraries Guide, version 11.2

MUXCY MUXCY_inst (
    .O(O),    // Carry output signal
    .CI(CI),  // Carry input signal
    .DI(DI),  // Data input signal
    .S(S)     // MUX select, tie to '1' or LUT4 out
);

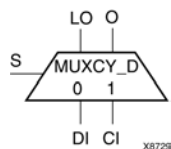
// End of MUXCY_inst instantiation
```

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリー データシート](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)
- ・ [Spartan-3AN FPGA インシステムフラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリー データシート](#)
- ・ [Spartan-3E FPGA ファミリー データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート: DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート: DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

MUXCY_D

プリミティブ : 2-to-1 Multiplexer for Carry Logic with Dual Output



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6

概要

このデザイン エLEMENTは、1 ビットの高速キャリー伝搬ファンクションをインプリメントするために使用します。このようなファンクションは、1 つのロジック セル (LC) に 1 つずつインプリメントできるので、1 つの CLB に合計 4 ビットをインプリメントできます。LC の直接入力 (DI) は MUXCY_D の DI 入力に接続し、LC のキャリー入力 (CI) は MUXCY_D の CI 入力に接続します。セレクト入力 (S) は、ルックアップ テーブル (LUT) の出力で駆動し、XOR ファンクションとしてコンフィギュレーションします。キャリー出力 (O と LO) には選択された入力の値が出力され、各 LC のキャリー出力ファンクションをインプリメントします。S が Low の場合は DI が選択され、High の場合は CI が選択されます。

出力 O と LO は、機能的に同じです。出力 O は一般的なインターコネクトです。「MUXCY」および「MUXCY_L」も参照してください。

論理表

| 入力 | | | 出力 | |
|----|----|----|----|----|
| S | DI | CI | O | LO |
| 0 | 1 | X | 1 | 1 |
| 0 | 0 | X | 0 | 0 |
| 1 | X | 1 | 1 | 1 |
| 1 | X | 0 | 0 | 0 |

デザインの入力方法

| | |
|--------------------------|----|
| インスタンス化 | 可 |
| 推論 | 推奨 |
| CORE Generator™ およびウィザード | 不可 |
| マクロのサポート | 不可 |

このエレメントは、回路図で使用されます。

VHDL 記述 (インスタンスレーション)

次の 2 つの構文が存在しない場合はコピーし、エンティティ宣言の前に貼り付けます。

```
Library UNISIM;
use UNISIM.vcomponents.all;

-- MUXCY_D: Carry-Chain MUX with general and local outputs
-- Xilinx HDL Libraries Guide, version 11.2

MUXCY_D_inst : MUXCY_D
port map (
    LO => LO, -- Carry local output signal
    O => O,   -- Carry general output signal
    CI => CI, -- Carry input signal
    DI => DI, -- Data input signal
    S => S    -- MUX select, tie to '1' or LUT4 out
);

-- End of MUXCY_D_inst instantiation
```

Verilog 記述 (インスタンスレーション)

```
// MUXCY_D: Carry-Chain MUX with general and local outputs
//           For use with All FPGAs
// Xilinx HDL Libraries Guide, version 11.2

MUXCY_D MUXCY_D_inst (
    .LO(LO), // Carry local output signal
    .O(O),   // Carry general output signal
    .CI(CI), // Carry input signal
    .DI(DI), // Data input signal
    .S(S)    // MUX select, tie to '1' or LUT4 out
);

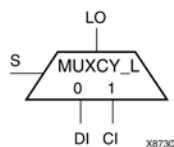
// End of MUXCY_D_inst instantiation
```

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリー データシート](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリー データシート](#)
- ・ [Spartan-3E FPGA ファミリー データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート: DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート: DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

MUXCY_L

プリミティブ : 2-to-1 Multiplexer for Carry Logic with Local Output



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6

概要

このデザイン エLEMENTは、1 ビットの高速キャリー伝搬ファンクションをインプリメントするために使用します。このようなファンクションは、1 つのロジックセル (LC) に 1 つずつインプリメントできるので、1 つの CLB に合計 4 ビットをインプリメントできます。LC の直接入力 (DI) は MUXCY_L の DI 入力に接続し、LC のキャリー入力 (CI) は MUXCY_L の CI 入力に接続します。セレクト入力 (S) は、ルックアップ テーブル (LUT) の出力で駆動し、XOR ファンクションとしてコンフィギュレーションします。キャリー出力 (LO) には選択された入力の値が出力され、各 LC のキャリー出力ファンクションをインプリメントします。S が Low の場合は DI が選択され、High の場合は CI が選択されます。

「MUXCY」および「MUXCY_D」も参照してください。

論理表

| 入力 | | | 出力 |
|----|----|----|----|
| S | DI | CI | LO |
| 0 | 1 | X | 1 |
| 0 | 0 | X | 0 |
| 1 | X | 1 | 1 |
| 1 | X | 0 | 0 |

デザインの入力方法

| | |
|--------------------------|----|
| インスタンス化 | 可 |
| 推論 | 推奨 |
| CORE Generator™ およびウィザード | 不可 |
| マクロのサポート | 不可 |

このELEMENTは、回路図で使用されます。

VHDL 記述 (インスタンスレーション)

次の 2 つの構文が存在しない場合はコピーし、エンティティ宣言の前に貼り付けます。

```
Library UNISIM;
use UNISIM.vcomponents.all;

-- MUXCY_L: Carry-Chain MUX with local output
-- Xilinx HDL Libraries Guide, version 11.2

MUXCY_L_inst : MUXCY_L
port map (
    LO => LO, -- Carry local output signal
    CI => CI, -- Carry input signal
    DI => DI, -- Data input signal
    S => S    -- MUX select, tie to '1' or LUT4 out
);

-- End of MUXCY_L_inst instantiation
```

Verilog 記述 (インスタンスレーション)

```
// MUXCY_L: Carry-Chain MUX with local output
//      For use with All FPGAs
// Xilinx HDL Libraries Guide, version 11.2

MUXCY_L MUXCY_L_inst (
    .LO(LO), // Carry local output signal
    .CI(CI), // Carry input signal
    .DI(DI), // Data input signal
    .S(S)    // MUX select, tie to '1' or LUT4 out
);

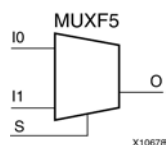
// End of MUXCY_L_inst instantiation
```

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリー データシート](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリー データシート](#)
- ・ [Spartan-3E FPGA ファミリー データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート: DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート: DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

MUXF5

プリミティブ : 2-to-1 Look-Up Table Multiplexer with General Output



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4

概要

このデザイン エLEMENTは、ルックアップ テーブルと組み合わせて、5 ファンクションのルックアップ テーブルまたは 4:1 マルチプレクサを作成するためのマルチプレクサ ファンクションを、CLB スライスを 1 つ使用してインプリメントします。I0 および I1 入力には、2 つのルックアップ テーブルのローカル出力 (LO) を接続します。セレクト入力 (S) は、どの内部ネットでも駆動できます。S が Low の場合は I0 が選択され、High の場合は I1 が選択されます。

このほか、ローカル出力を持つ MUXF5_D および MUXF5_L があり、異なるタイミング モデルでレイアウト前のタイミング予測をより正確に行う必要がある場合に使用できます。

論理表

| 入力 | | | 出力 |
|----|----|----|----|
| S | I0 | I1 | O |
| 0 | 1 | X | 1 |
| 0 | 0 | X | 0 |
| 1 | X | 1 | 1 |
| 1 | X | 0 | 0 |

デザインの入力方法

| | |
|--------------------------|----|
| インスタンス化 | 可 |
| 推論 | 推奨 |
| CORE Generator™ およびウィザード | 不可 |
| マクロのサポート | 不可 |

このELEMENTは、回路図で使用されます。

VHDL 記述 (インスタンスレーション)

次の 2 つの構文が存在しない場合はコピーし、エンティティ宣言の前に貼り付けます。

```
Library UNISIM;
use UNISIM.vcomponents.all;

-- MUXF5: Slice MUX to tie two LUT4's together with general output
--       For use with Virtex-4, Spartan3/3E/3A/3A DSP
-- Xilinx HDL Libraries Guide, version 11.2

MUXF5_inst : MUXF5
port map (
    O => O,    -- Output of MUX to general routing
    I0 => I0,   -- Input (tie directly to the output of LUT4)
    I1 => I1,   -- Input (tie directly to the output of LUT4)
    S => S      -- Input select to MUX
);

-- End of MUXF5_inst instantiation
```

Verilog 記述 (インスタンスレーション)

```
// MUXF5: Slice MUX to tie two LUT4's together with general output
//       For use with Virtex-4, Spartan-3/3E/3A/3A DSP
// Xilinx HDL Libraries Guide, version 11.2

MUXF5 MUXF5_inst (
    .O(O),      // Output of MUX to general routing
    .I0(I0),    // Input (tie directly to the output of LUT4)
    .I1(I1),    // Input (tie directly to the output of LUT4)
    .S(S)       // Input select to MUX
);

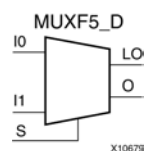
// End of MUXF5_inst instantiation
```

詳細情報

- [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- [Spartan-3 FPGA ファミリー データシート](#)
- [Spartan-3A FPGA ファミリー データシート](#)
- [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- [Spartan-3AN FPGA ファミリー データシート](#)
- [Spartan-3E FPGA ファミリー データシート](#)
- [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- [Virtex-4 FPGA ユーザー ガイド](#)
- [Virtex-4 FPGA データシート: DC 特性およびスイッチ特性](#)
- [Virtex-5 FPGA ユーザー ガイド](#)
- [Virtex-5 FPGA データシート: DC 特性およびスイッチ特性](#)
- [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- [該当 CPLD のユーザー ガイド](#)
- [該当 CPLD のデータシート](#)

MUXF5_D

プリミティブ : 2-to-1 Look-Up Table Multiplexer with Dual Output



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4

概要

このデザイン エLEMENTは、ルックアップ テーブルと組み合わせて、5 ファンクションのルックアップ テーブルまたは 4:1 マルチプレクサを作成するためのマルチプレクサ ファンクションを、CLB スライス を 1 つ使用してインプリメントします。I0 および I1 入力には、2 つのルックアップ テーブルのローカル出力 (LO) を接続します。セレクト入力 (S) は、どの内部ネットでも駆動できます。S が Low の場合は I0 が選択され、High の場合は I1 が選択されます。

出力 O と LO は、機能的に同じです。出力 O は一般的なインターコネクトです。LO 出力は、同じ CLB スライス内にある別の入力との接続に使用します。「MUXF5」および「MUXF5_L」も参照してください。

論理表

| 入力 | | | 出力 | |
|----|----|----|----|----|
| S | I0 | I1 | O | LO |
| 0 | 1 | X | 1 | 1 |
| 0 | 0 | X | 0 | 0 |
| 1 | X | 1 | 1 | 1 |
| 1 | X | 0 | 0 | 0 |

デザインの入力方法

| | |
|--------------------------|----|
| インスタンス化 | 可 |
| 推論 | 推奨 |
| CORE Generator™ およびウィザード | 不可 |
| マクロのサポート | 不可 |

このELEMENTは、回路図で使用されます。

VHDL 記述 (インスタンスレーション)

次の 2 つの構文が存在しない場合はコピーし、エンティティ宣言の前に貼り付けます。

```
Library UNISIM;
use UNISIM.vcomponents.all;

-- MUXF5_D: Slice MUX to tie two LUT4's together with general and local outputs
--           For use with Virtex-4, Spartan3/3E/3A/3A DSP
-- Xilinx HDL Libraries Guide, version 11.2

MUXF5_D_inst : MUXF5_D
port map (
    LO => LO,  -- Ouput of MUX to local routing
    O => O,    -- Output of MUX to general routing
    IO => IO,  -- Input (tie directly to the output of LUT4)
    I1 => I1,  -- Input (tie directly to the output of LUT4)
    S => S     -- Input select to MUX
);

-- End of MUXF5_D_inst instantiation
```

Verilog 記述 (インスタンスレーション)

```
// MUXF5_D: Slice MUX to tie two LUT4's together with general and local outputs
//           For use with Virtex-4, Spartan-3/3E/3A/3A DSP
// Xilinx HDL Libraries Guide, version 11.2

MUXF5_D MUXF5_D_inst (
    .LO(LO), // Ouput of MUX to local routing
    .O(O),   // Output of MUX to general routing
    .IO(IO), // Input (tie directly to the output of LUT4)
    .I1(I1), // Input (tie directly to the output of LUT4)
    .S(S)    // Input select to MUX
);

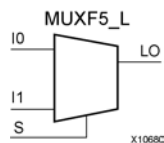
// End of MUXF5_D_inst instantiation
```

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリー データシート](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリー データシート](#)
- ・ [Spartan-3E FPGA ファミリー データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート: DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート: DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

MUXF5_L

プリミティブ : 2-to-1 Look-Up Table Multiplexer with Local Output



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4

概要

このデザイン エLEMENTは、ルックアップ テーブルと組み合わせて、5 ファンクションのルックアップ テーブルまたは 4:1 マルチプレクサを作成するためのマルチプレクサ ファンクションを、CLB スライスを 1 つ使用してインプリメントします。I0 および I1 入力には、2 つのルックアップ テーブルのローカル出力 (LO) を接続します。セレクト入力 (S) は、どの内部ネットでも駆動できます。S が Low の場合は I0 が選択され、High の場合は I1 が選択されます。

LO 出力は、同じ CLB スライス内にある別の入力との接続に使用します。

「MUXF5」および「MUXF5_D」も参照してください。

論理表

| 入力 | | | 出力 |
|----|----|----|----|
| S | I0 | I1 | LO |
| 0 | 1 | X | 1 |
| 0 | 0 | X | 0 |
| 1 | X | 1 | 1 |
| 1 | X | 0 | 0 |

デザインの入力方法

| | |
|--------------------------|----|
| インスタンス化 | 可 |
| 推論 | 推奨 |
| CORE Generator™ およびウィザード | 不可 |
| マクロのサポート | 不可 |

このELEMENTは、回路図で使用されます。

VHDL 記述 (インスタンスレーション)

次の 2 つの構文が存在しない場合はコピーし、エンティティ宣言の前に貼り付けます。

```
Library UNISIM;
use UNISIM.vcomponents.all;

-- MUXF5_L: Slice MUX to tie two LUT4's together with local output
--           For use with Virtex-4, Spartan3/3E/3A/3A DSP
-- Xilinx HDL Libraries Guide, version 11.2

MUXF5_L_inst : MUXF5_L
port map (
    LO => LO, -- Output of MUX to local routing
    IO => IO, -- Input (tie directly to the output of LUT4)
    I1 => I1, -- Input (tie directly to the output of LUT4)
    S => S    -- Input select to MUX
);

-- End of MUXF5_L_inst instantiation
```

Verilog 記述 (インスタンスレーション)

```
// MUXF5_L: Slice MUX to tie two LUT4's together with local output
//           For use with Virtex-4, Spartan-3/3E/3A/3A DSP
// Xilinx HDL Libraries Guide, version 11.2

MUXF5_L MUXF5_L_inst (
    .LO(LO), // Output of MUX to local routing
    .IO(IO), // Input (tie directly to the output of LUT4)
    .I1(I1), // Input (tie directly to the output of LUT4)
    .S(S)    // Input select to MUX
);

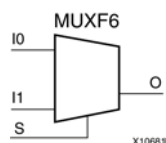
// End of MUXF5_L_inst instantiation
```

詳細情報

- [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- [Spartan-3 FPGA ファミリー データシート](#)
- [Spartan-3A FPGA ファミリー データシート](#)
- [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- [Spartan-3AN FPGA ファミリー データシート](#)
- [Spartan-3E FPGA ファミリー データシート](#)
- [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- [Virtex-4 FPGA ユーザー ガイド](#)
- [Virtex-4 FPGA データシート: DC 特性およびスイッチ特性](#)
- [Virtex-5 FPGA ユーザー ガイド](#)
- [Virtex-5 FPGA データシート: DC 特性およびスイッチ特性](#)
- [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- [該当 CPLD のユーザー ガイド](#)
- [該当 CPLD のデータシート](#)

MUXF6

プリミティブ : 2-to-1 Look-Up Table Multiplexer with General Output



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4

概要

このデザイン エLEMENTは、対応する 4 つのルックアップ テーブルと 2 つの MUXF5 を組み合わせて、6 ファンクションのルックアップ テーブルまたは 8:1 マルチプレクサを作成するためのマルチプレクサ ファンクションを、スライス 2 つにインプリメントします。I0 および I1 入力には、同じ CLB 内にある 2 つの MUXF5 のローカル出力 (LO) を接続します。セレクト入力 (S) は、どの内部ネットでも駆動できます。S が Low の場合は I0 が選択され、High の場合は I1 が選択されます。

このほか、ローカル出力を持つ MUXF6_D および MUXF6_L があり、異なるタイミング モデルでレイアウト前のタイミング予測をより正確に行う必要がある場合に使用できます。

論理表

| 入力 | | | 出力 |
|----|----|----|----|
| S | I0 | I1 | O |
| 0 | 1 | X | 1 |
| 0 | 0 | X | 0 |
| 1 | X | 1 | 1 |
| 1 | X | 0 | 0 |

デザインの入力方法

| | |
|--------------------------|----|
| インスタンス化 | 可 |
| 推論 | 推奨 |
| CORE Generator™ およびウィザード | 不可 |
| マクロのサポート | 不可 |

このELEMENTは、回路図で使用されます。

VHDL 記述 (インスタンスレーション)

次の 2 つの構文が存在しない場合はコピーし、エンティティ宣言の前に貼り付けます。

```
Library UNISIM;
use UNISIM.vcomponents.all;

-- MUXF6: CLB MUX to tie two MUXF5's together with general output
--       For use with Virtex-4, Spartan3/3E/3A/3A DSP
-- Xilinx HDL Libraries Guide, version 11.2

MUXF6_inst : MUXF6
port map (
    O => O,    -- Output of MUX to general routing
    IO => IO,   -- Input (tie to MUXF5 LO out)
    I1 => I1,   -- Input (tie to MUXF5 LO out)
    S => S      -- Input select to MUX
);

-- End of MUXF6_inst instantiation
```

Verilog 記述 (インスタンスレーション)

```
// MUXF6: CLB MUX to tie two MUXF5's together with general output
//       For use with Virtex-4, Spartan-3/3E/3A/3A DSP
// Xilinx HDL Libraries Guide, version 11.2

MUXF6 MUXF6_inst (
    .O(O),      // Output of MUX to general routing
    .IO(IO),    // Input (tie to MUXF5 LO out)
    .I1(I1),    // Input (tie to MUXF5 LO out)
    .S(S)       // Input select to MUX
);

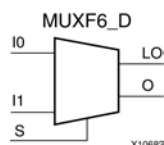
// End of MUXF6_inst instantiation
```

詳細情報

- [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- [Spartan-3 FPGA ファミリ データシート](#)
- [Spartan-3A FPGA ファミリ データシート](#)
- [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- [Spartan-3AN FPGA ファミリ データシート](#)
- [Spartan-3E FPGA ファミリ データシート](#)
- [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- [Virtex-4 FPGA ユーザー ガイド](#)
- [Virtex-4 FPGA データシート: DC 特性およびスイッチ特性](#)
- [Virtex-5 FPGA ユーザー ガイド](#)
- [Virtex-5 FPGA データシート: DC 特性およびスイッチ特性](#)
- [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- [該当 CPLD のユーザー ガイド](#)
- [該当 CPLD のデータシート](#)

MUXF6_D

プリミティブ : 2-to-1 Look-Up Table Multiplexer with Dual Output



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4

概要

このデザイン エLEMENTは、対応する 4 つのルックアップ テーブルと 2 つの MUXF5 を組み合わせて、6 ファンクションのルックアップ テーブルまたは 8:1 マルチプレクサを作成するためのマルチプレクサ ファンクションを、スライス 2 つにインプリメントします。I0 および I1 入力には、同じ CLB 内にある 2 つの MUXF5 のローカル出力 (LO) を接続します。セレクト入力 (S) は、どの内部ネットでも駆動できます。S が Low の場合は I0 が選択され、High の場合は I1 が選択されます。

出力 O と LO は、機能的に同じです。出力 O は一般的なインターコネクトです。LO 出力は、同じ CLB スライス内にある別の入力との接続に使用します。

論理表

| 入力 | | | 出力 | |
|----|----|----|----|----|
| S | I0 | I1 | O | LO |
| 0 | 1 | X | 1 | 1 |
| 0 | 0 | X | 0 | 0 |
| 1 | X | 1 | 1 | 1 |
| 1 | X | 0 | 0 | 0 |

デザインの入力方法

| | |
|--------------------------|----|
| インスタンス化 | 可 |
| 推論 | 推奨 |
| CORE Generator™ およびウィザード | 不可 |
| マクロのサポート | 不可 |

このELEMENTは、回路図で使用されます。

VHDL 記述 (インスタンスレーション)

次の 2 つの構文が存在しない場合はコピーし、エンティティ宣言の前に貼り付けます。

```
Library UNISIM;
use UNISIM.vcomponents.all;

-- MUXF6_D: CLB MUX to tie two MUXF5's together with general and local outputs
--           For use with Virtex-4, Spartan3/3E/3A/3A DSP
-- Xilinx HDL Libraries Guide, version 11.2

MUXF6_D_inst : MUXF6_D
port map (
    LO => LO,  -- Ouput of MUX to local routing
    O => O,    -- Output of MUX to general routing
    IO => IO,  -- Input (tie to MUXF5 LO out)
    I1 => I1,  -- Input (tie to MUXF5 LO out)
    S => S     -- Input select to MUX
);

-- End of MUXF6_D_inst instantiation
```

Verilog 記述 (インスタンスレーション)

```
// MUXF6_D: CLB MUX to tie two MUXF5's together with general and local outputs
//           For use with Virtex-4, Spartan-3/3E/3A/3A DSP
// Xilinx HDL Libraries Guide, version 11.2

MUXF6_D MUXF6_D_inst (
    .LO(LO),  // Ouput of MUX to local routing
    .O(O),    // Output of MUX to general routing
    .IO(IO),  // Input (tie to MUXF5 LO out)
    .I1(I1),  // Input (tie to MUXF5 LO out)
    .S(S)     // Input select to MUX
);

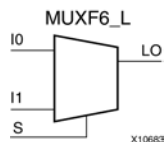
// End of MUXF6_D_inst instantiation
```

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリー データシート](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリー データシート](#)
- ・ [Spartan-3E FPGA ファミリー データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート: DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート: DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

MUXF6_L

プリミティブ : 2-to-1 Look-Up Table Multiplexer with Local Output



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4

概要

このデザイン エLEMENTは、対応する 4 つのルックアップ テーブルと 2 つの MUXF5 を組み合わせて、6 ファンクションのルックアップ テーブルまたは 8:1 マルチプレクサを作成するためのマルチプレクサ ファンクションをインプリメントします。I0 および I1 入力には、同じ CLB 内にある 2 つの MUXF5 のローカル出力 (LO) を接続します。セレクト入力 (S) は、どの内部ネットでも駆動できます。S が Low の場合は I0 が選択され、High の場合は I1 が選択されます。

LO 出力は、同じ CLB スライス内にある別の入力との接続に使用します。

論理表

| 入力 | | | 出力 |
|----|----|----|----|
| S | I0 | I1 | LO |
| 0 | 1 | X | 1 |
| 0 | 0 | X | 0 |
| 1 | X | 1 | 1 |
| 1 | X | 0 | 0 |

デザインの入力方法

| | |
|--------------------------|----|
| インスタンス化 | 可 |
| 推論 | 推奨 |
| CORE Generator™ およびウィザード | 不可 |
| マクロのサポート | 不可 |

このELEMENTは、回路図で使用されます。

VHDL 記述 (インスタンスレーション)

次の 2 つの構文が存在しない場合はコピーし、エンティティ宣言の前に貼り付けます。

```
Library UNISIM;
use UNISIM.vcomponents.all;

-- MUXF6_L: CLB MUX to tie two MUXF5's together with local output
--           For use with Virtex-4, Spartan3/3E/3A/3A DSP
-- Xilinx HDL Libraries Guide, version 11.2

MUXF6_L_inst : MUXF6_L
port map (
    LO => LO,  -- Output of MUX to local routing
    IO => IO,  -- Input (tie to MUXF5 LO out)
    I1 => I1,  -- Input (tie to MUXF5 LO out)
    S => S     -- Input select to MUX
);

-- End of MUXF6_L_inst instantiation
```

Verilog 記述 (インスタンスレーション)

```
// MUXF6_L: CLB MUX to tie two MUXF5's together with local output
//           For use with Virtex-4, Spartan-3/3E/3A/3A DSP
// Xilinx HDL Libraries Guide, version 11.2

MUXF6_L MUXF6_L_inst (
    .LO(LO), // Output of MUX to local routing
    .IO(IO), // Input (tie to MUXF5 LO out)
    .I1(I1), // Input (tie to MUXF5 LO out)
    .S(S)    // Input select to MUX
);

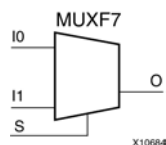
// End of MUXF6_L_inst instantiation
```

詳細情報

- [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- [Spartan-3 FPGA ファミリ データシート](#)
- [Spartan-3A FPGA ファミリ データシート](#)
- [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- [Spartan-3AN FPGA ファミリ データシート](#)
- [Spartan-3E FPGA ファミリ データシート](#)
- [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- [Virtex-4 FPGA ユーザー ガイド](#)
- [Virtex-4 FPGA データシート: DC 特性およびスイッチ特性](#)
- [Virtex-5 FPGA ユーザー ガイド](#)
- [Virtex-5 FPGA データシート: DC 特性およびスイッチ特性](#)
- [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- [該当 CPLD のユーザー ガイド](#)
- [該当 CPLD のデータシート](#)

MUXF7

プリミティブ : 2-to-1 Look-Up Table Multiplexer with General Output



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6

概要

このデザイン エLEMENTは、対応するルックアップ テーブルと組み合わせて、7 ファンクションのルックアップ テーブルまたは 8:1 マルチプレクサを作成するためのマルチプレクサ ファンクションをインプリメントします。I0 および I1 入力には、MUXF6 のローカル出力 (LO) を接続します。セレクト入力 (S) は、どの内部ネットでも駆動できます。S が Low の場合は I0 が選択され、High の場合は I1 が選択されます。

このほか、ローカル出力を持つ MUXF7_D および MUXF7_L があり、異なるタイミング モデルでレイアウト前のタイミング予測をより正確に行う必要がある場合に使用できます。

論理表

| 入力 | | | 出力 |
|----|----|----|----|
| S | I0 | I1 | O |
| 0 | I0 | X | I0 |
| 1 | X | I1 | I1 |
| X | 0 | 0 | 0 |
| X | 1 | 1 | 1 |

ポートの説明

| ポート名 | 方向 | 幅 | 機能 |
|------|----|---|---------------------|
| O | 出力 | 1 | 汎用配線への MUX の出力 |
| I0 | 入力 | 1 | 入力 (MUXF6 LO 出力に接続) |
| I1 | 入力 | 1 | 入力 (MUXF6 LO 出力に接続) |
| S | 入力 | 1 | MUX への入力セレクト |

デザインの入力方法

| | |
|--------------------------|----|
| インスタンス化 | 可 |
| 推論 | 推奨 |
| CORE Generator™ およびウィザード | 不可 |
| マクロのサポート | 不可 |

このエレメントは、回路図で使用されます。

VHDL 記述 (インスタンス化)

次の 2 つの構文が存在しない場合はコピーし、エンティティ宣言の前に貼り付けます。

```
Library UNISIM;
use UNISIM.vcomponents.all;

-- MUXF7: CLB MUX to tie two MUXF6's together with general output
--       For use with all FPGAs
-- Xilinx HDL Libraries Guide, version 11.2

MUXF7_inst : MUXF7
port map (
    O => O,      -- Output of MUX to general routing
    IO => IO,    -- Input (tie to MUXF6 LO out or LUT6 O6 pin)
    I1 => I1,    -- Input (tie to MUXF6 LO out or LUT6 O6 pin)
    S => S       -- Input select to MUX
);

-- End of MUXF7_inst instantiation
```

Verilog 記述 (インスタンス化)

```
// MUXF7: CLB MUX to tie two LUT6's or MUXF6's together with general output
//       For use with all FPGAs
// Xilinx HDL Libraries Guide, version 11.2

MUXF7 MUXF7_inst (
    .O(O),      // Output of MUX to general routing
    .IO(IO),    // Input (tie to MUXF6 LO out or LUT6 O6 pin)
    .I1(I1),    // Input (tie to MUXF6 LO out or LUT6 O6 pin)
    .S(S)       // Input select to MUX
);

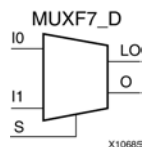
// End of MUXF7_inst instantiation
```

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリ データシート](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)
- ・ [Spartan-3E FPGA ファミリ データシート](#)
- ・ [Spartan-6 FPGA コンフィギャブル ロジック ブロック ユーザー ガイド](#)
- ・ [Spartan-6 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

MUXF7_D

プリミティブ : 2-to-1 Look-Up Table Multiplexer with Dual Output



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6

概要

このデザイン エLEMENTは、対応するルックアップ テーブルと組み合わせて、7 ファンクションのルックアップ テーブルまたは 16:1 マルチプレクサを作成するためのマルチプレクサ ファンクションをインプリメントします。I0 および I1 入力には、MUXF6 のローカル出力 (LO) を接続します。セレクト入力 (S) は、どの内部ネットでも駆動できます。S が Low の場合は I0 が選択され、High の場合は I1 が選択されます。

出力 O と LO は、機能的に同じです。出力 O は一般的なインターコネクトです。LO 出力は、同じ CLB スライス内にある別の入力との接続に使用します。

論理表

| 入力 | | | 出力 | |
|----|----|----|----|----|
| S | I0 | I1 | O | LO |
| 0 | I0 | X | I0 | I0 |
| 1 | X | I1 | I1 | I1 |
| X | 0 | 0 | 0 | 0 |
| X | 1 | 1 | 1 | 1 |

ポートの説明

| ポート名 | 方向 | 幅 | 機能 |
|------|----|---|---------------------|
| O | 出力 | 1 | 汎用配線への MUX の出力 |
| LO | 出力 | 1 | ローカル配線への MUX の出力 |
| I0 | 入力 | 1 | 入力 (MUXF6 LO 出力に接続) |
| I1 | 入力 | 1 | 入力 (MUXF6 LO 出力に接続) |
| S | 入力 | 1 | MUX への入力セレクト |

デザインの入力方法

| | |
|--------------------------|----|
| インスタンス化 | 可 |
| 推論 | 推奨 |
| CORE Generator™ およびウィザード | 不可 |
| マクロのサポート | 不可 |

このELEMENTは、回路図で使用されます。

VHDL 記述 (インスタンス化)

次の 2 つの構文が存在しない場合はコピーし、エンティティ宣言の前に貼り付けます。

```
Library UNISIM;
use UNISIM.vcomponents.all;

-- MUXF7_D: CLB MUX to tie two MUXF6's together with general and local outputs
--           For use with all FPGAs
-- Xilinx HDL Libraries Guide, version 11.2

MUXF7_D_inst : MUXF7_D
port map (
    LO => LO,  -- Output of MUX to local routing
    O => O,    -- Output of MUX to general routing
    I0 => I0,  -- Input (tie to MUXF6 LO out or LUT6 O6 pin)
    I1 => I1,  -- Input (tie to MUXF6 LO out or LUT6 O6 pin)
    S => S     -- Input select to MUX
);

-- End of MUXF7_D_inst instantiation
```

Verilog 記述 (インスタンス化)

```
// MUXF7_D: CLB MUX to tie two LUT6's or MUXF6's together with general and local outputs
//           For use with all FPGAs
// Xilinx HDL Libraries Guide, version 11.2

MUXF7_D MUXF7_D_inst (
    .LO(LO),  // Output of MUX to local routing
    .O(O),    // Output of MUX to general routing
    .I0(I0),  // Input (tie to MUXF6 LO out or LUT6 O6 pin)
    .I1(I1),  // Input (tie to MUXF6 LO out or LUT6 O6 pin)
    .S(S)     // Input select to MUX
);

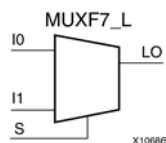
// End of MUXF7_D_inst instantiation
```

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリ データシート](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)
- ・ [Spartan-3E FPGA ファミリ データシート](#)
- ・ [Spartan-6 FPGA コンフィギャブル ロジック ブロック ユーザー ガイド](#)
- ・ [Spartan-6 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

MUXF7_L

プリミティブ : 2-to-1 look-up table Multiplexer with Local Output



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6

概要

このデザイン エLEMENTは、対応するルックアップ テーブルと組み合わせて、7 ファンクションのルックアップ テーブルまたは 16:1 マルチプレクサを作成するためのマルチプレクサ ファンクションをインプリメントします。I0 および I1 入力には、MUXF6 のローカル出力 (LO) を接続します。セレクト入力 (S) は、どの内部ネットでも駆動できます。S が Low の場合は I0 が選択され、High の場合は I1 が選択されます。

LO 出力は、同じ CLB スライス内にある別の入力との接続に使用します。

論理表

| 入力 | | | 出力 |
|----|----|----|----|
| S | I0 | I1 | LO |
| 0 | I0 | X | I0 |
| 1 | X | I1 | I1 |
| X | 0 | 0 | 0 |
| X | 1 | 1 | 1 |

ポートの説明

| ポート名 | 方向 | 幅 | 機能 |
|------|----|---|------------------|
| LO | 出力 | 1 | ローカル配線への MUX の出力 |
| I0 | 入力 | 1 | 入力 |
| I1 | 入力 | 1 | 入力 |
| S | 入力 | 1 | MUX への入力セレクト |

デザインの入力方法

| | |
|--------------------------|----|
| インスタンス化 | 可 |
| 推論 | 推奨 |
| CORE Generator™ およびウィザード | 不可 |
| マクロのサポート | 不可 |

このエレメントは、回路図で使用されます。

VHDL 記述 (インスタンス化)

次の 2 つの構文が存在しない場合はコピーし、エンティティ宣言の前に貼り付けます。

```
Library UNISIM;
use UNISIM.vcomponents.all;

-- MUXF7_L: CLB MUX to tie two MUXF6's together with local output
--           For use with all FPGAs
-- Xilinx HDL Libraries Guide, version 11.2

MUXF7_L_inst : MUXF7_L
port map (
    LO => LO,  -- Output of MUX to local routing
    IO => IO,  -- Input (tie to MUXF6 LO out or LUT6 O6 pin)
    I1 => I1,  -- Input (tie to MUXF6 LO out or LUT6 O6 pin)
    S => S     -- Input select to MUX
);

-- End of MUXF7_L_inst instantiation
```

Verilog 記述 (インスタンス化)

```
// MUXF7_L: CLB MUX to tie two LUT6's or MUXF6's together with local output
//           For use with all FPGAs
// Xilinx HDL Libraries Guide, version 11.2

MUXF7_L MUXF7_L_inst (
    .LO(LO),  // Output of MUX to local routing
    .IO(IO),  // Input (tie to MUXF6 LO out or LUT6 O6 pin)
    .I1(I1),  // Input (tie to MUXF6 LO out or LUT6 O6 pin)
    .S(S)     // Input select to MUX
);

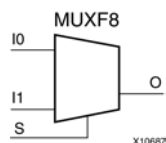
// End of MUXF7_L_inst instantiation
```

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリ データシート](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)
- ・ [Spartan-3E FPGA ファミリ データシート](#)
- ・ [Spartan-6 FPGA コンフィギャブル ロジック ブロック ユーザー ガイド](#)
- ・ [Spartan-6 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

MUXF8

プリミティブ : 2-to-1 Look-Up Table Multiplexer with General Output



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6

概要

このデザイン エLEMENTは、対応するルックアップ テーブルと MUXF5、MUXF6、および MUXF7 を組み合わせて、8 ファンクションのルックアップ テーブルまたは 16:1 マルチプレクサを作成するためのマルチプレクサ ファンクションを、CLB 2 個 (スライス 8 個) にインプリメントします。I0 および I1 入力には、MUXF7 のローカル出力 (LO) を接続します。セレクト入力 (S) は、どの内部ネットでも駆動できます。S が Low の場合は I0 が選択され、High の場合は I1 が選択されます。

論理表

| 入力 | | | 出力 |
|----|----|----|----|
| S | I0 | I1 | O |
| 0 | I0 | X | I0 |
| 1 | X | I1 | I1 |
| X | 0 | 0 | 0 |
| X | 1 | 1 | 1 |

ポートの説明

| ポート名 | 方向 | 幅 | 機能 |
|------|----|---|---------------------|
| O | 出力 | 1 | 汎用配線への MUX の出力 |
| I0 | 入力 | 1 | 入力 (MUXF7 LO 出力に接続) |
| I1 | 入力 | 1 | 入力 (MUXF7 LO 出力に接続) |
| S | 入力 | 1 | MUX への入力セレクト |

デザインの入力方法

| | |
|--------------------------|----|
| インスタンス化 | 可 |
| 推論 | 推奨 |
| CORE Generator™ およびウィザード | 不可 |
| マクロのサポート | 不可 |

このELEMENTは、回路図で使用されます。

VHDL 記述 (インスタンス化)

次の 2 つの構文が存在しない場合はコピーし、エンティティ宣言の前に貼り付けます。

```
Library UNISIM;
use UNISIM.vcomponents.all;

-- MUXF8: CLB MUX to tie two MUXF7's together with general output
-- For use with all FPGAs
-- Xilinx HDL Libraries Guide, version 11.2

MUXF8_inst : MUXF8
port map (
    O => O,      -- Output of MUX to general routing
    IO => IO,    -- Input (tie to MUXF7 LO out)
    I1 => I1,    -- Input (tie to MUXF7 LO out)
    S => S       -- Input select to MUX
);

-- End of MUXF8_inst instantiation
```

Verilog 記述 (インスタンス化)

```
// MUXF8: CLB MUX to tie two MUXF7's together with general output
// For use with all FPGAs
// Xilinx HDL Libraries Guide, version 11.2

MUXF8 MUXF8_inst (
    .O(O),      // Output of MUX to general routing
    .IO(IO),    // Input (tie to MUXF7 LO out)
    .I1(I1),    // Input (tie to MUXF7 LO out)
    .S(S)       // Input select to MUX
);

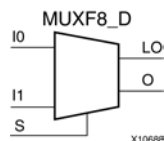
// End of MUXF8_inst instantiation
```

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリ データシート](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)
- ・ [Spartan-3E FPGA ファミリ データシート](#)
- ・ [Spartan-6 FPGA コンフィギャブル ロジック ブロック ユーザー ガイド](#)
- ・ [Spartan-6 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

MUXF8_D

プリミティブ : 2-to-1 Look-Up Table Multiplexer with Dual Output



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6

概要

このデザイン エLEMENTは、対応するルックアップ テーブル 4 つと MUXF8 を 2 つ組み合わせて、8 ファンクションのルックアップ テーブルまたは 32:1 マルチプレクサを作成するためのマルチプレクサ ファンクションを、CLB 2 個 (スライス 8 個) にインプリメントします。I0 および I1 入力には、MUXF7 のローカル出力 (LO) を接続します。セレクト入力 (S) は、どの内部ネットでも駆動できます。S が Low の場合は I0 が選択され、High の場合は I1 が選択されます。

出力 O と LO は、機能的に同じです。出力 O は一般的なインターコネクトです。LO 出力は、同じ CLB スライス内にある別の入力との接続に使用します。

論理表

| 入力 | | | 出力 | |
|----|----|----|----|----|
| S | I0 | I1 | O | LO |
| 0 | I0 | X | I0 | I0 |
| 1 | X | I1 | I1 | I1 |
| X | 0 | 0 | 0 | 0 |
| X | 1 | 1 | 1 | 1 |

ポートの説明

| ポート名 | 方向 | 幅 | 機能 |
|------|----|---|---------------------|
| O | 出力 | 1 | 汎用配線への MUX の出力 |
| LO | 出力 | 1 | ローカル配線への MUX の出力 |
| I0 | 入力 | 1 | 入力 (MUXF7 LO 出力に接続) |
| I1 | 入力 | 1 | 入力 (MUXF7 LO 出力に接続) |
| S | 入力 | 1 | MUX への入力セレクト |

デザインの入力方法

| | |
|--------------------------|----|
| インスタンス化 | 可 |
| 推論 | 推奨 |
| CORE Generator™ およびウィザード | 不可 |
| マクロのサポート | 不可 |

このエレメントは、回路図で使用されます。

VHDL 記述 (インスタンス化)

次の 2 つの構文が存在しない場合はコピーし、エンティティ宣言の前に貼り付けます。

```
Library UNISIM;
use UNISIM.vcomponents.all;

-- MUXF8_D: CLB MUX to tie two MUXF7's together with general and local outputs
--           For use with all FPGAs
-- Xilinx HDL Libraries Guide, version 11.2

MUXF8_D_inst : MUXF8_D
port map (
    LO => LO,  -- Output of MUX to local routing
    O => O,    -- Output of MUX to general routing
    I0 => I0,  -- Input (tie to MUXF7 LO out)
    I1 => I1,  -- Input (tie to MUXF7 LO out)
    S => S     -- Input select to MUX
);

-- End of MUXF8_D_inst instantiation
```

Verilog 記述 (インスタンス化)

```
// MUXF8_D: CLB MUX to tie two MUXF7's together with general and local outputs
//           For use with all FPGAs
// Xilinx HDL Libraries Guide, version 11.2

MUXF8_D MUXF8_D_inst (
    .LO(LO),  // Output of MUX to local routing
    .O(O),   // Output of MUX to general routing
    .I0(I0), // Input (tie to MUXF7 LO out)
    .I1(I1), // Input (tie to MUXF7 LO out)
    .S(S)    // Input select to MUX
);

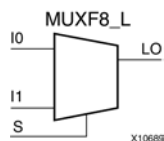
// End of MUXF8_D_inst instantiation
```


詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリー データシート](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)
- ・ [Spartan-3E FPGA ファミリー データシート](#)
- ・ [Spartan-6 FPGA コンフィギュラブル ロジック ブロック ユーザー ガイド](#)
- ・ [Spartan-6 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

MUXF8_L

プリミティブ : 2-to-1 Look-Up Table Multiplexer with Local Output



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6

概要

このデザイン エLEMENTは、対応するルックアップ テーブル 4 つと MUXF8 を 2 つ組み合わせて、8 ファンクションのルックアップ テーブルまたは 32:1 マルチプレクサを作成するためのマルチプレクサ ファンクションを、CLB 2 個 (スライス 8 個) にインプリメントします。I0 および I1 入力には、MUXF7 のローカル出力 (LO) を接続します。セレクト入力 (S) は、どの内部ネットでも駆動できます。S が Low の場合は I0 が選択され、High の場合は I1 が選択されます。

LO 出力は、同じ CLB スライス内にある別の入力との接続に使用します。

論理表

| 入力 | | | 出力 |
|----|----|----|----|
| S | I0 | I1 | LO |
| 0 | I0 | X | I0 |
| 1 | X | I1 | I1 |
| X | 0 | 0 | 0 |
| X | 1 | 1 | 1 |

ポートの説明

| ポート名 | 方向 | 幅 | 機能 |
|------|----|---|---------------------|
| LO | 出力 | 1 | ローカル配線への MUX の出力 |
| I0 | 入力 | 1 | 入力 (MUXF7 LO 出力に接続) |
| I1 | 入力 | 1 | 入力 (MUXF7 LO 出力に接続) |
| S | 入力 | 1 | MUX への入力セレクト |

デザインの入力方法

| | |
|--------------------------|----|
| インスタンス化 | 可 |
| 推論 | 推奨 |
| CORE Generator™ およびウィザード | 不可 |
| マクロのサポート | 不可 |

このELEMENTは、回路図で使用されます。

VHDL 記述 (インスタンス化)

次の 2 つの構文が存在しない場合はコピーし、エンティティ宣言の前に貼り付けます。

```
Library UNISIM;
use UNISIM.vcomponents.all;

-- MUXF8_L: CLB MUX to tie two MUXF7's together with local output
--           For use with all FPGAs
-- Xilinx HDL Libraries Guide, version 11.2

MUXF8_L_inst : MUXF8_L
port map (
    LO => LO,  -- Output of MUX to local routing
    IO => IO,  -- Input (tie to MUXF7 LO out)
    I1 => I1,  -- Input (tie to MUXF7 LO out)
    S => S     -- Input select to MUX
);

-- End of MUXF8_L_inst instantiation
```

Verilog 記述 (インスタンス化)

```
// MUXF8_L: CLB MUX to tie two MUXF7's together with local output
//           For use with all FPGAs
// Xilinx HDL Libraries Guide, version 11.2

MUXF8_L MUXF8_L_inst (
    .LO(LO), // Output of MUX to local routing
    .IO(IO), // Input (tie to MUXF7 LO out)
    .I1(I1), // Input (tie to MUXF7 LO out)
    .S(S)    // Input select to MUX
);

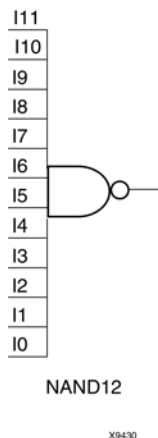
// End of MUXF8_L_inst instantiation
```

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリ データシート](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)
- ・ [Spartan-3E FPGA ファミリ データシート](#)
- ・ [Spartan-6 FPGA コンフィギャブル ロジック ブロック ユーザー ガイド](#)
- ・ [Spartan-6 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

NAND12

マクロ : 12- Input NAND Gate with Non-Inverted Inputs



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6

概要

5 入力までの NAND ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NAND ファンクションには、非反転入力のみが使用されています。入力を反転するには、外部インバータを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

デザインの入力方法

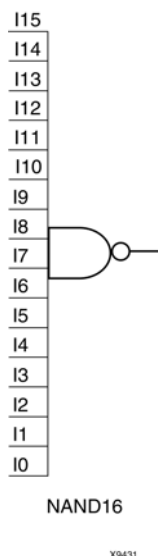
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリ データシート](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリ データシート](#)
- ・ [Spartan-3E FPGA ファミリ データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

NAND16

マクロ : 16- Input NAND Gate with Non-Inverted Inputs



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6

概要

5 入力までの NAND ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NAND ファンクションには、非反転入力のみが使用されています。入力を反転するには、外部インバータを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

デザインの入力方法

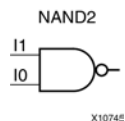
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリ データシート](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリ データシート](#)
- ・ [Spartan-3E FPGA ファミリ データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

NAND2

プリミティブ : 2-Input NAND Gate with Non-Inverted Inputs



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6
- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

5 入力までの NAND ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NAND ファンクションには、非反転入力のみが使用されています。入力を反転するには、外部インバータを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

デザインの入力方法

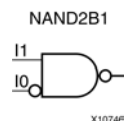
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリ データシート](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリ データシート](#)
- ・ [Spartan-3E FPGA ファミリ データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

NAND2B1

プリミティブ : 2-Input NAND Gate with 1 Inverted and 1 Non-Inverted Inputs



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6
- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

5 入力までの NAND ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NAND ファンクションには、非反転入力のみが使用されています。入力を反転するには、外部インバータを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

デザインの入力方法

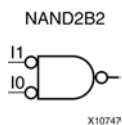
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリ データシート](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリ データシート](#)
- ・ [Spartan-3E FPGA ファミリ データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

NAND2B2

プリミティブ : 2-Input NAND Gate with Inverted Inputs



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6
- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

5 入力までの NAND ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NAND ファンクションには、非反転入力のみが使用されています。入力を反転するには、外部インバータを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

デザインの入力方法

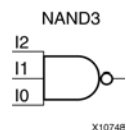
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリ データシート](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリ データシート](#)
- ・ [Spartan-3E FPGA ファミリ データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

NAND3

プリミティブ : 3-Input NAND Gate with Non-Inverted Inputs



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6
- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

5 入力までの NAND ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ~ 9 入力、12 入力、および 16 入力の NAND ファンクションには、非反転入力のみが使用されています。入力を反転するには、外部インバータを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

デザインの入力方法

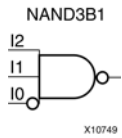
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリ データシート](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリ データシート](#)
- ・ [Spartan-3E FPGA ファミリ データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

NAND3B1

プリミティブ : 3-Input NAND Gate with 1 Inverted and 2 Non-Inverted Inputs



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6
- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

5 入力までの NAND ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ~ 9 入力、12 入力、および 16 入力の NAND ファンクションには、非反転入力のみが使用されています。入力を反転するには、外部インバータを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

デザインの入力方法

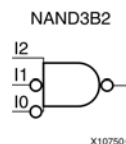
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリ データシート](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリ データシート](#)
- ・ [Spartan-3E FPGA ファミリ データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

NAND3B2

プリミティブ : 3-Input NAND Gate with 2 Inverted and 1 Non-Inverted Inputs



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6
- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

5 入力までの NAND ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NAND ファンクションには、非反転入力のみが使用されています。入力を反転するには、外部インバータを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

デザインの入力方法

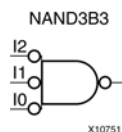
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリ データシート](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリ データシート](#)
- ・ [Spartan-3E FPGA ファミリ データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

NAND3B3

プリミティブ : 3-Input NAND Gate with Inverted Inputs



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6
- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

5 入力までの NAND ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ~ 9 入力、12 入力、および 16 入力の NAND ファンクションには、非反転入力のみが使用されています。入力を反転するには、外部インバータを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

デザインの入力方法

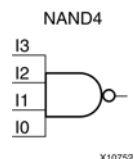
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリ データシート](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリ データシート](#)
- ・ [Spartan-3E FPGA ファミリ データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

NAND4

プリミティブ : 4-Input NAND Gate with Non-Inverted Inputs



サポートされているアーキテクチャ

このデザイン エレメントは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6
- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

5 入力までの NAND ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NAND ファンクションには、非反転入力のみが使用されています。入力を反転するには、外部インバータを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

デザインの入力方法

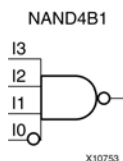
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリ データシート](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリ データシート](#)
- ・ [Spartan-3E FPGA ファミリ データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

NAND4B1

プリミティブ : 4-Input NAND Gate with 1 Inverted and 3 Non-Inverted Inputs



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6
- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

5 入力までの NAND ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NAND ファンクションには、非反転入力のみが使用されています。入力を反転するには、外部インバータを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

デザインの入力方法

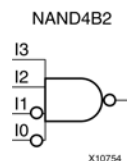
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリ データシート](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリ データシート](#)
- ・ [Spartan-3E FPGA ファミリ データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

NAND4B2

プリミティブ : 4-Input NAND Gate with 2 Inverted and 2 Non-Inverted Inputs



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6
- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

5 入力までの NAND ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ~ 9 入力、12 入力、および 16 入力の NAND ファンクションには、非反転入力のみが使用されています。入力を反転するには、外部インバータを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

デザインの入力方法

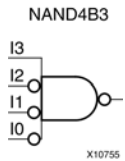
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリ データシート](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリ データシート](#)
- ・ [Spartan-3E FPGA ファミリ データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

NAND4B3

プリミティブ : 4-Input NAND Gate with 3 Inverted and 1 Non-Inverted Inputs



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6
- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

5 入力までの NAND ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NAND ファンクションには、非反転入力のみが使用されています。入力を反転するには、外部インバータを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

デザインの入力方法

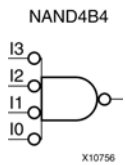
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリ データシート](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリ データシート](#)
- ・ [Spartan-3E FPGA ファミリ データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

NAND4B4

プリミティブ : 4-Input NAND Gate with Inverted Inputs



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6
- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

5 入力までの NAND ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NAND ファンクションには、非反転入力のみが使用されています。入力を反転するには、外部インバータを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

デザインの入力方法

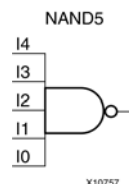
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリ データシート](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリ データシート](#)
- ・ [Spartan-3E FPGA ファミリ データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

NAND5

プリミティブ : 5-Input NAND Gate with Non-Inverted Inputs



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6
- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

5 入力までの NAND ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NAND ファンクションには、非反転入力のみが使用されています。入力を反転するには、外部インバータを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

デザインの入力方法

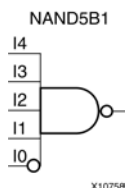
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリ データシート](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリ データシート](#)
- ・ [Spartan-3E FPGA ファミリ データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

NAND5B1

プリミティブ : 5-Input NAND Gate with 1 Inverted and 4 Non-Inverted Inputs



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6
- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

5 入力までの NAND ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NAND ファンクションには、非反転入力のみが使用されています。入力を反転するには、外部インバータを使用します。各入力に 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

デザインの入力方法

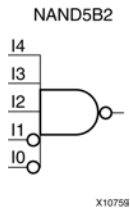
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリ データシート](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリ データシート](#)
- ・ [Spartan-3E FPGA ファミリ データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

NAND5B2

プリミティブ : 5-Input NAND Gate with 2 Inverted and 3 Non-Inverted Inputs



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6
- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

5 入力までの NAND ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NAND ファンクションには、非反転入力のみが使用されています。入力を反転するには、外部インバータを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

デザインの入力方法

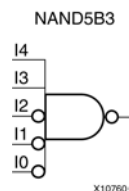
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリー データシート](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリー データシート](#)
- ・ [Spartan-3E FPGA ファミリー データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

NAND5B3

プリミティブ : 5-Input NAND Gate with 3 Inverted and 2 Non-Inverted Inputs



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6
- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

5 入力までの NAND ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ~ 9 入力、12 入力、および 16 入力の NAND ファンクションには、非反転入力のみが使用されています。入力を反転するには、外部インバータを使用します。各入力に 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

デザインの入力方法

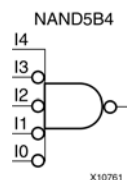
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリ データシート](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリ データシート](#)
- ・ [Spartan-3E FPGA ファミリ データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

NAND5B4

プリミティブ : 5-Input NAND Gate with 4 Inverted and 1 Non-Inverted Inputs



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6
- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

5 入力までの NAND ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ~ 9 入力、12 入力、および 16 入力の NAND ファンクションには、非反転入力のみが使用されています。入力を反転するには、外部インバータを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

デザインの入力方法

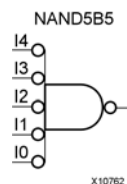
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリ データシート](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリ データシート](#)
- ・ [Spartan-3E FPGA ファミリ データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

NAND5B5

プリミティブ : 5-Input NAND Gate with Inverted Inputs



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6
- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

5 入力までの NAND ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NAND ファンクションには、非反転入力のみが使用されています。入力を反転するには、外部インバータを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

デザインの入力方法

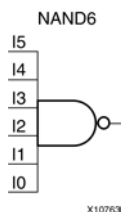
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリ データシート](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリ データシート](#)
- ・ [Spartan-3E FPGA ファミリ データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

NAND6

マクロ : 6-Input NAND Gate with Non-Inverted Inputs



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6
- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

5 入力までの NAND ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NAND ファンクションには、非反転入力のみが使用されています。入力を反転するには、外部インバータを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

デザインの入力方法

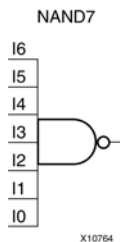
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリ データシート](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリ データシート](#)
- ・ [Spartan-3E FPGA ファミリ データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

NAND7

マクロ : 7-Input NAND Gate with Non-Inverted Inputs



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6
- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

5 入力までの NAND ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ~ 9 入力、12 入力、および 16 入力の NAND ファンクションには、非反転入力のみが使用されています。入力を反転するには、外部インバータを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

デザインの入力方法

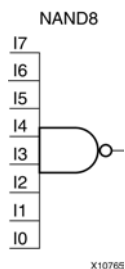
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリ データシート](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリ データシート](#)
- ・ [Spartan-3E FPGA ファミリ データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

NAND8

マクロ : 8-Input NAND Gate with Non-Inverted Inputs



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6
- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

5 入力までの NAND ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NAND ファンクションには、非反転入力のみが使用されています。入力を反転するには、外部インバータを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

デザインの入力方法

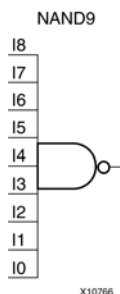
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリ データシート](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリ データシート](#)
- ・ [Spartan-3E FPGA ファミリ データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

NAND9

マクロ : 9-Input NAND Gate with Non-Inverted Inputs



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6
- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

5 入力までの NAND ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ~ 9 入力、12 入力、および 16 入力の NAND ファンクションには、非反転入力のみが使用されています。入力を反転するには、外部インバータを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

デザインの入力方法

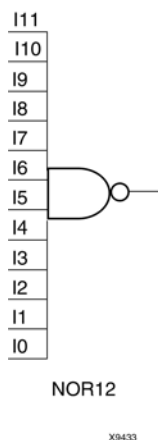
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリ データシート](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリ データシート](#)
- ・ [Spartan-3E FPGA ファミリ データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

NOR12

マクロ : 12-Input NOR Gate with Non-Inverted Inputs



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6

概要

5 入力までの NOR ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NOR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバータを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

デザインの入力方法

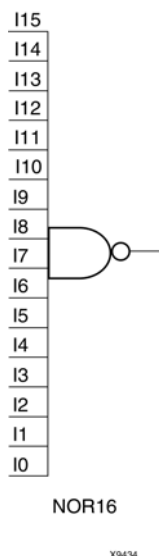
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリ データシート](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリ データシート](#)
- ・ [Spartan-3E FPGA ファミリ データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

NOR16

マクロ : 16-Input NOR Gate with Non-Inverted Inputs



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6

概要

5 入力までの NOR ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NOR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバータを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

デザインの入力方法

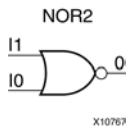
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリ データシート](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリ データシート](#)
- ・ [Spartan-3E FPGA ファミリ データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

NOR2

プリミティブ : 2-Input NOR Gate with Non-Inverted Inputs



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6
- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

5 入力までの NOR ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NOR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバータを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

デザインの入力方法

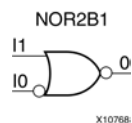
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリ データシート](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリ データシート](#)
- ・ [Spartan-3E FPGA ファミリ データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

NOR2B1

プリミティブ : 2-Input NOR Gate with 1 Inverted and 1 Non-Inverted Inputs



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6
- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

5 入力までの NOR ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NOR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバータを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

デザインの入力方法

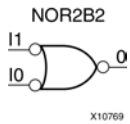
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリ データシート](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリ データシート](#)
- ・ [Spartan-3E FPGA ファミリ データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

NOR2B2

プリミティブ : 2-Input NOR Gate with Inverted Inputs



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6
- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

5 入力までの NOR ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NOR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバータを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

デザインの入力方法

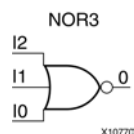
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリ データシート](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリ データシート](#)
- ・ [Spartan-3E FPGA ファミリ データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

NOR3

プリミティブ : 3-Input NOR Gate with Non-Inverted Inputs



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6
- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

5 入力までの NOR ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NOR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバータを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

デザインの入力方法

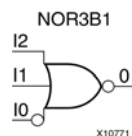
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリ データシート](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリ データシート](#)
- ・ [Spartan-3E FPGA ファミリ データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

NOR3B1

プリミティブ : 3-Input NOR Gate with 1 Inverted and 2 Non-Inverted Inputs



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6
- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

5 入力までの NOR ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NOR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバータを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

デザインの入力方法

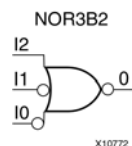
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリ データシート](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリ データシート](#)
- ・ [Spartan-3E FPGA ファミリ データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

NOR3B2

プリミティブ : 3-Input NOR Gate with 2 Inverted and 1 Non-Inverted Inputs



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6
- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

5 入力までの NOR ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ~ 9 入力、12 入力、および 16 入力の NOR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバータを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

デザインの入力方法

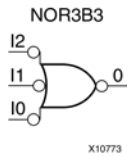
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリ データシート](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリ データシート](#)
- ・ [Spartan-3E FPGA ファミリ データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

NOR3B3

プリミティブ : 3-Input NOR Gate with Inverted Inputs



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6
- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

5 入力までの NOR ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NOR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバータを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

デザインの入力方法

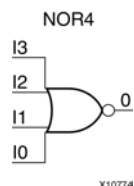
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリ データシート](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリ データシート](#)
- ・ [Spartan-3E FPGA ファミリ データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

NOR4

プリミティブ : 4-Input NOR Gate with Non-Inverted Inputs



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6
- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

5 入力までの NOR ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NOR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバータを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

デザインの入力方法

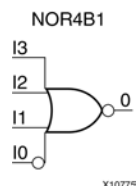
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリ データシート](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリ データシート](#)
- ・ [Spartan-3E FPGA ファミリ データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

NOR4B1

プリミティブ : 4-Input NOR Gate with 1 Inverted and 3 Non-Inverted Inputs



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6
- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

5 入力までの NOR ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NOR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバータを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

デザインの入力方法

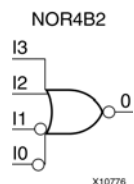
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリ データシート](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリ データシート](#)
- ・ [Spartan-3E FPGA ファミリ データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

NOR4B2

プリミティブ : 4-Input NOR Gate with 2 Inverted and 2 Non-Inverted Inputs



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6
- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

5 入力までの NOR ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NOR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバータを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

デザインの入力方法

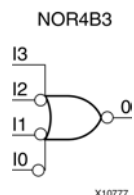
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリ データシート](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリ データシート](#)
- ・ [Spartan-3E FPGA ファミリ データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

NOR4B3

プリミティブ : 4-Input NOR Gate with 3 Inverted and 1 Non-Inverted Inputs



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6
- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

5 入力までの NOR ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ~ 9 入力、12 入力、および 16 入力の NOR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバータを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

デザインの入力方法

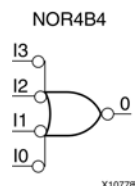
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリ データシート](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリ データシート](#)
- ・ [Spartan-3E FPGA ファミリ データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

NOR4B4

プリミティブ : 4-Input NOR Gate with Inverted Inputs



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6
- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

5 入力までの NOR ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NOR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバータを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

デザインの入力方法

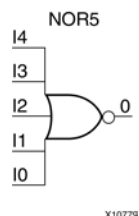
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリ データシート](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリ データシート](#)
- ・ [Spartan-3E FPGA ファミリ データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

NOR5

プリミティブ : 5-Input NOR Gate with Non-Inverted Inputs



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6
- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

5 入力までの NOR ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ~ 9 入力、12 入力、および 16 入力の NOR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバータを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

デザインの入力方法

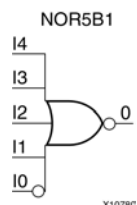
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリ データシート](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリ データシート](#)
- ・ [Spartan-3E FPGA ファミリ データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

NOR5B1

プリミティブ : 5-Input NOR Gate with 1 Inverted and 4 Non-Inverted Inputs



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6
- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

5 入力までの NOR ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NOR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバータを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

デザインの入力方法

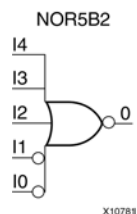
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリ データシート](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリ データシート](#)
- ・ [Spartan-3E FPGA ファミリ データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

NOR5B2

プリミティブ : 5-Input NOR Gate with 2 Inverted and 3 Non-Inverted Inputs



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6
- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

5 入力までの NOR ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ~ 9 入力、12 入力、および 16 入力の NOR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバータを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

デザインの入力方法

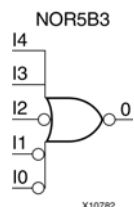
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリ データシート](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリ データシート](#)
- ・ [Spartan-3E FPGA ファミリ データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

NOR5B3

プリミティブ : 5-Input NOR Gate with 3 Inverted and 2 Non-Inverted Inputs



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6
- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

5 入力までの NOR ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NOR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバータを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

デザインの入力方法

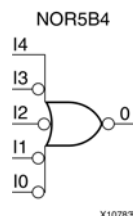
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリ データシート](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリ データシート](#)
- ・ [Spartan-3E FPGA ファミリ データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

NOR5B4

プリミティブ : 5-Input NOR Gate with 4 Inverted and 1 Non-Inverted Inputs



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6
- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

5 入力までの NOR ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ~ 9 入力、12 入力、および 16 入力の NOR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバータを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

デザインの入力方法

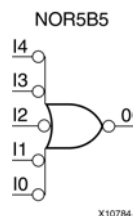
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリ データシート](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリ データシート](#)
- ・ [Spartan-3E FPGA ファミリ データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

NOR5B5

プリミティブ : 5-Input NOR Gate with Inverted Inputs



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6
- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

5 入力までの NOR ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ~ 9 入力、12 入力、および 16 入力の NOR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバータを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

デザインの入力方法

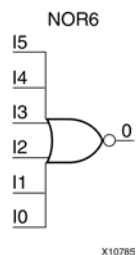
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリ データシート](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリ データシート](#)
- ・ [Spartan-3E FPGA ファミリ データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

NOR6

マクロ : 6-Input NOR Gate with Non-Inverted Inputs



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6
- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

5 入力までの NOR ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NOR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバータを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

デザインの入力方法

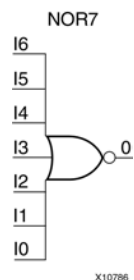
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリ データシート](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリ データシート](#)
- ・ [Spartan-3E FPGA ファミリ データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

NOR7

マクロ : 7-Input NOR Gate with Non-Inverted Inputs



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6
- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

5 入力までの NOR ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NOR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバータを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

デザインの入力方法

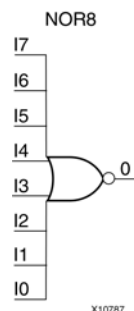
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリ データシート](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリ データシート](#)
- ・ [Spartan-3E FPGA ファミリ データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

NOR8

マクロ : 8-Input NOR Gate with Non-Inverted Inputs



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6
- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

5 入力までの NOR ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NOR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバータを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

デザインの入力方法

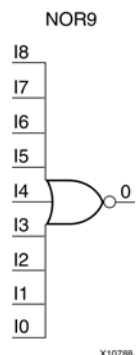
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリ データシート](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリ データシート](#)
- ・ [Spartan-3E FPGA ファミリ データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

NOR9

マクロ : 9-Input NOR Gate with Non-Inverted Inputs



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6
- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

5 入力までの NOR ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NOR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバータを使用します。各入力に 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

デザインの入力方法

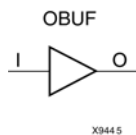
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリ データシート](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリ データシート](#)
- ・ [Spartan-3E FPGA ファミリ データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

OBUF

プリミティブ : Output Buffer



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6
- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

このデザイン エLEMENTは単純な出力バッファで、出力信号を、トライステートでない FPGA デバイス ピンに駆動するために使用します。デザインのすべての出力ポートに OBUF、OBUFT、OBUFDS、OBUFTDS のいずれかを接続する必要があります。

このELEMENTは内部回路を外部から分離し、チップから出力する信号の駆動電流を供給します。I/O ブロック (IOB) 内にあります。出力 (O) は、OPAD または IOPAD に接続されます。このELEMENTでは、LVTTTL 規格が使用され、DRIVE 制約と SLOW または FAST 制約を使用して駆動電流とスルー レートを選択できます。デフォルトでは、DRIVE=12mA、スルー レートは SLOW に設定されています。

ポートの説明

| ポート名 | 方向 | 幅 | 機能 |
|------|----|---|----------------------------|
| O | 出力 | 1 | 最上位出力ポートに直接接続される OBUF の出力 |
| I | 入力 | 1 | OBUF の入力。出力ポートを駆動するロジックに接続 |

デザインの入力方法

| | |
|--------------------------|----|
| インスタンス化 | 可 |
| 推論 | 推奨 |
| CORE Generator™ およびウィザード | 不可 |
| マクロのサポート | 不可 |

このエレメントは、回路図で使用されます。

使用可能な属性

| 属性 | タイプ | 値 | デフォルト | 説明 |
|-------------|-----|----------------------|-----------|--|
| CAPACITANCE | 文字列 | LOW、NORMAL、DONT_CARE | DONT_CARE | I/O を低いまたは通常の固有キャパシタンスと共に使用するかどうかを指定。 |
| DRIVE | 整数 | 2、4、6、8、12、16、24 | 12 | 出力の駆動電流を指定します。許容範囲で最も低い値を使用してください。 |
| IOSTANDARD | 文字列 | データシートを参照 | DEFAULT | I/O 規格をエレメントに割り当て |
| SLEW | 文字列 | SLOW、FAST | SLOW | 出力ドライバのスルー レートを指定。この属性の最適な設定方法は、データシートを参照してください。 |

VHDL 記述 (インスタンスエーション)

次の 2 つの構文が存在しない場合はコピーし、エンティティ宣言の前に貼り付けます。

```
Library UNISIM;
use UNISIM.vcomponents.all;

-- OBUF: Single-ended Output Buffer
-- All devices
-- Xilinx HDL Libraries Guide, version 11.2

OBUF_inst : OBUF
generic map (
    DRIVE => 12,
    IOSTANDARD => "DEFAULT",
    SLEW => "SLOW")
port map (
    O => O,      -- Buffer output (connect directly to top-level port)
    I => I       -- Buffer input
);

-- End of OBUF_inst instantiation
```

Verilog 記述 (インスタンスエーション)

```
// OBUF: Single-ended Output Buffer
// All devices
// Xilinx HDL Libraries Guide, version 11.2

OBUF #(
    .DRIVE(12),    // Specify the output drive strength
    .IOSTANDARD("DEFAULT"), // Specify the output I/O standard
    .SLEW("SLOW") // Specify the output slew rate
) OBUF_inst (
    .O(O),        // Buffer output (connect directly to top-level port)
    .I(I)         // Buffer input
);

// End of OBUF_inst instantiation
```

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリ データシート](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)
- ・ [Spartan-3E FPGA ファミリ データシート](#)
- ・ [Spartan-6 FPGA SelectIO リソース ユーザー ガイド](#)
- ・ [Spartan-6 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当する EDK 資料](#)

OBUF16

マクロ : 16-Bit Output Buffer

OBUF16



X0051

サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6
- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

このデザイン エLEMENTは、複数の出力バッファです。

このELEMENTは内部回路を外部から分離し、チップから出力する信号の駆動電流を供給します。I/O ブロック (IOB) 内にあります。出力 (O) は、OPAD または IOPAD に接続されます。このELEMENTでは、LVTTTL 規格が使用され、DRIVE 制約と SLOW または FAST 制約を使用して駆動電流とスルー レートを選択できます。デフォルトでは、DRIVE=12mA、スルー レートは SLOW に設定されています。

デザインの入力方法

| | |
|--------------------------|----|
| インスタンス化 | 可 |
| 推論 | 推奨 |
| CORE Generator™ およびウィザード | 不可 |
| マクロのサポート | 不可 |

このELEMENTは、回路図で使用されます。

使用可能な属性

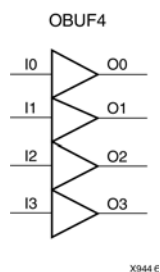
| 属性 | タイプ | 値 | デフォルト | 説明 |
|-------------|-----|----------------------|-----------|--|
| CAPACITANCE | 文字列 | LOW、NORMAL、DONT_CARE | DONT_CARE | I/O を低いまたは通常の固有キャパシタンスと共に使用するかどうかを指定。 |
| DRIVE | 整数 | 2、4、6、8、12、16、24 | 12 | 出力の駆動電流を指定します。許容範囲で最も低い値を使用してください。 |
| IOSTANDARD | 文字列 | データシートを参照 | DEFAULT | I/O 規格をエレメントに割り当て |
| SLEW | 文字列 | SLOW、FAST | SLOW | 出力ドライバのスルー レートを指定。この属性の最適な設定方法は、データシートを参照してください。 |

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリー データシート](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリー データシート](#)
- ・ [Spartan-3E FPGA ファミリー データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

OBUF4

マクロ : 4-Bit Output Buffer



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6
- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

このデザイン エLEMENTは、複数の出力バッファです。

このELEMENTは内部回路を外部から分離し、チップから出力する信号の駆動電流を供給します。I/O ブロック (IOB) 内にあります。出力 (O) は、OPAD または IOPAD に接続されます。このELEMENTでは、LVTTTL 規格が使用され、DRIVE 制約と SLOW または FAST 制約を使用して駆動電流とスルー レートを選択できます。デフォルトでは、DRIVE=12mA、スルー レートは SLOW に設定されています。

デザインの入力方法

| | |
|--------------------------|----|
| インスタンス化 | 可 |
| 推論 | 推奨 |
| CORE Generator™ およびウィザード | 不可 |
| マクロのサポート | 不可 |

このELEMENTは、回路図で使用されます。

使用可能な属性

| 属性 | タイプ | 値 | デフォルト | 説明 |
|-------------|-----|----------------------|-----------|--|
| CAPACITANCE | 文字列 | LOW、NORMAL、DONT_CARE | DONT_CARE | I/O を低いまたは通常の固有キャパシタンスと共に使用するかどうかを指定。 |
| DRIVE | 整数 | 2、4、6、8、12、16、24 | 12 | 出力の駆動電流を指定します。許容範囲で最も低い値を使用してください。 |
| IOSTANDARD | 文字列 | データシートを参照 | DEFAULT | I/O 規格をエレメントに割り当て |
| SLEW | 文字列 | SLOW、FAST | SLOW | 出力ドライバのスルー レートを指定。この属性の最適な設定方法は、データシートを参照してください。 |

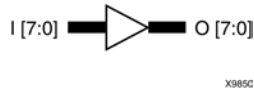
詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリー データシート](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリー データシート](#)
- ・ [Spartan-3E FPGA ファミリー データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

OBUF8

マクロ : 8-Bit Output Buffer

OBUF8



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6
- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

このデザイン エLEMENTは、複数の出力バッファです。

このELEMENTは内部回路を外部から分離し、チップから出力する信号の駆動電流を供給します。I/O ブロック (IOB) 内にあります。出力 (O) は、OPAD または IOPAD に接続されます。このELEMENTでは、LVTTTL 規格が使用され、DRIVE 制約と SLOW または FAST 制約を使用して駆動電流とスルー レートを選択できます。デフォルトでは、DRIVE=12mA、スルー レートは SLOW に設定されています。

デザインの入力方法

| | |
|--------------------------|----|
| インスタンス化 | 可 |
| 推論 | 推奨 |
| CORE Generator™ およびウィザード | 不可 |
| マクロのサポート | 不可 |

このELEMENTは、回路図で使用されます。

使用可能な属性

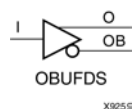
| 属性 | タイプ | 値 | デフォルト | 説明 |
|-------------|-----|----------------------|-----------|--|
| CAPACITANCE | 文字列 | LOW、NORMAL、DONT_CARE | DONT_CARE | I/O を低いまたは通常の固有キャパシタンスと共に使用するかどうかを指定。 |
| DRIVE | 整数 | 2、4、6、8、12、16、24 | 12 | 出力の駆動電流を指定します。許容範囲で最も低い値を使用してください。 |
| IOSTANDARD | 文字列 | データシートを参照 | DEFAULT | I/O 規格をエレメントに割り当て |
| SLEW | 文字列 | SLOW、FAST | SLOW | 出力ドライバのスルー レートを指定。この属性の最適な設定方法は、データシートを参照してください。 |

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリー データシート](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリー データシート](#)
- ・ [Spartan-3E FPGA ファミリー データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

OBUFDS

プリミティブ : Differential Signaling Output Buffer



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6

概要

このデザイン エLEMENTは、低電圧の差動信号 (1.8V CMOS) をサポートする単一の出力バッファです。内部回路を外部から分離し、チップから出力する信号の駆動電流を供給します。出力には 2 つの異なるポート (O および OB) があり、これらのポートをそれぞれ「マスタ」、「スレーブ」と呼びます。マスタとスレーブは MYNET と MYNETB のように、同じ論理信号の反対の状態を示します。

論理表

| 入力 | 出力 | |
|----|----|----|
| I | O | OB |
| 0 | 0 | 1 |
| 1 | 1 | 0 |

ポートの説明

| ポート名 | 方向 | 幅 | 機能 |
|------|----|---|-------------------------|
| O | 出力 | 1 | Diff_p 出力 (最上位ポートに直接接続) |
| OB | 出力 | 1 | Diff_n 出力 (最上位ポートに直接接続) |
| I | 入力 | 1 | バッファの入力 |

デザインの入力方法

| | |
|--------------------------|----|
| インスタンス化 | 推奨 |
| 推論 | 不可 |
| CORE Generator™ およびウィザード | 不可 |
| マクロのサポート | 不可 |

このELEMENTは、回路図で使用されます。

使用可能な属性

| 属性 | タイプ | 値 | デフォルト | 説明 |
|-------------|-----|----------------------|-----------|---------------------------------------|
| CAPACITANCE | 文字列 | LOW、NORMAL、DONT_CARE | DONT_CARE | I/O を低いまたは通常の固有キャパシタンスと共に使用するかどうかを指定。 |
| IOSTANDARD | 文字列 | データシートを参照 | DEFAULT | I/O 規格をELEMENTに割り当て |

VHDL 記述 (インスタンスエーション)

次の 2 つの構文が存在しない場合はコピーし、エンティティ宣言の前に貼り付けます。

```
Library UNISIM;
use UNISIM.vcomponents.all;

-- OBUFDS: Differential Output Buffer
--      Spartan-3/3E/3A
-- Xilinx HDL Libraries Guide, version 11.2

OBUFDS_inst : OBUFDS
generic map (
  IOSTANDARD => "DEFAULT")
port map (
  O => O,      -- Diff_p output (connect directly to top-level port)
  OB => OB,    -- Diff_n output (connect directly to top-level port)
  I => I       -- Buffer input
);

-- End of OBUFDS_inst instantiation
```

Verilog 記述 (インスタンスエーション)

```
// OBUFDS: Differential Output Buffer
//      Virtex-4/5, Spartan-3/3E/3A
// Xilinx HDL Libraries Guide, version 11.2

OBUFDS #(
  .IOSTANDARD("DEFAULT") // Specify the output I/O standard
) OBUFDS_inst (
  .O(O),      // Diff_p output (connect directly to top-level port)
  .OB(OB),    // Diff_n output (connect directly to top-level port)
  .I(I)       // Buffer input
);

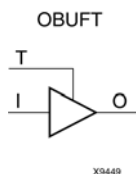
// End of OBUFDS_inst instantiation
```

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリ データシート](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)
- ・ [Spartan-3E FPGA ファミリ データシート](#)
- ・ [Spartan-6 FPGA SelectIO リソース ユーザー ガイド](#)
- ・ [Spartan-6 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

OBUFT

プリミティブ : 3-State Output Buffer with Active Low Output Enable



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6
- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

このデザイン エLEMENTは、入力 (I)、出力 (O)、アクティブ Low 出力イネーブル (T) を持つ単一のトリステート出力バッファです。このELEMENTでは、LVTTTL 規格が使用され、DRIVE 制約と SLOW または FAST 制約を使用して駆動電流とスルー レートを選択できます。デフォルトでは、DRIVE=12mA、スルー レートは SLOW に設定されています。

T が Low の場合、バッファに入力された値が対応する出力に送られます。T が High の場合は、出力がハイ インピーダンス (オフまたは Z ステート) になります。OBUFT は、双方向 I/O を作成するなど、トリステート機能にシングルエンド出力を使用する必要がある場合に使用します。

論理表

| 入力 | | 出力 |
|----|---|----|
| T | I | O |
| 1 | X | Z |
| 0 | I | f |

ポートの説明

| ポート名 | 方向 | 幅 | 機能 |
|------|----|---|----------------------|
| O | 出力 | 1 | バッファ出力 (最上位ポートに直接接続) |
| I | 入力 | 1 | バッファの入力 |
| T | 入力 | 1 | トリステート イネーブル入力 |

デザインの入力方法

| | |
|--------------------------|----|
| インスタンス化 | 可 |
| 推論 | 推奨 |
| CORE Generator™ およびウィザード | 不可 |
| マクロのサポート | 不可 |

このエレメントは、回路図で使用されます。

使用可能な属性

| 属性 | タイプ | 値 | デフォルト | 説明 |
|-------------|-----|----------------------|-----------|---|
| CAPACITANCE | 文字列 | LOW、NORMAL、DONT_CARE | DONT_CARE | I/O を低いまたは通常の固有キャパシタンスと共に使用するかどうかを指定。 |
| DRIVE | 整数 | 2、4、6、8、12、16、24 | 12 | 出力の駆動電流を指定します。許容範囲で最も低い値を使用してください。 |
| IOSTANDARD | 文字列 | データシートを参照 | DEFAULT | I/O 規格をエレメントに割り当て |
| SLEW | 文字列 | SLOW、FAST | SLOW | 出力ドライバのスループートを指定。この属性の最適な設定方法は、データシートを参照してください。 |

VHDL 記述 (インスタンス化)

次の 2 つの構文が存在しない場合はコピーし、エンティティ宣言の前に貼り付けます。

```
Library UNISIM;
use UNISIM.vcomponents.all;

-- OBUFT: Single-ended 3-state Output Buffer
--      All devices
-- Xilinx HDL Libraries Guide, version 11.2

OBUFT_inst : OBUFT
generic map (
    DRIVE => 12,
    IOSTANDARD => "DEFAULT",
    SLEW => "SLOW")
port map (
    O => O,      -- Buffer output (connect directly to top-level port)
    I => I,      -- Buffer input
    T => T       -- 3-state enable input
);

-- End of OBUFT_inst instantiation
```

Verilog 記述 (インスタンス化)

```
// OBUFT: Single-ended 3-state Output Buffer
//      All devices
// Xilinx HDL Libraries Guide, version 11.2

OBUFT #(
    .DRIVE(12),    // Specify the output drive strength
    .IOSTANDARD("DEFAULT"), // Specify the output I/O standard
    .SLEW("SLOW") // Specify the output slew rate
) OBUFT_inst (
    .O(O),        // Buffer output (connect directly to top-level port)
    .I(I),        // Buffer input
    .T(T)         // 3-state enable input
);

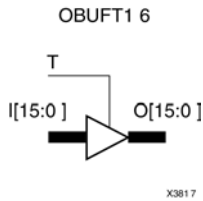
// End of OBUFT_inst instantiation
```

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリー データシート](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)
- ・ [Spartan-3E FPGA ファミリー データシート](#)
- ・ [Spartan-6 FPGA SelectIO リソース ユーザー ガイド](#)
- ・ [Spartan-6 FPGA データシート: DC 特性およびスイッチ特性](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート: DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート: DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当する EDK 資料](#)

OBUFT16

マクロ : 16-Bit 3-State Output Buffer with Active Low Output Enable



サポートされているアーキテクチャ

このデザイン エレメントは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6
- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

このデザイン エレメントは、入力 (I)、出力 (O)、アクティブ Low 出力イネーブル (T) を持つ複数のトリステート出力バッファです。このエレメントでは、LVTTL 規格が使用され、DRIVE 制約と SLOW または FAST 制約を使用して駆動電流とスルー レートを選択できます。デフォルトでは、DRIVE=12mA、スルー レートは SLOW に設定されています。

T が Low の場合、バッファに入力された値が対応する出力に送られます。T が High の場合は、出力がハイ インピーダンス (オフまたは Z ステート) になります。OBUFT は、双方向 I/O を作成するなど、トリステート機能にシングルエンド出力を使用する必要がある場合に使用します。

論理表

| 入力 | | 出力 |
|----|---|----|
| T | I | O |
| 1 | X | Z |
| 0 | I | f |

デザインの入力方法

このエレメントは、回路図でのみ使用できます。

使用可能な属性

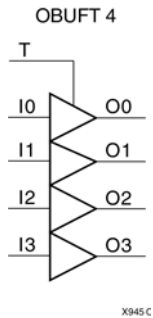
| 属性 | タイプ | 値 | デフォルト | 説明 |
|-------------|-----|----------------------|-----------|---|
| CAPACITANCE | 文字列 | LOW、NORMAL、DONT_CARE | DONT_CARE | I/O を低いまたは通常の固有キャパシタンスと共に使用するかどうかを指定。 |
| DRIVE | 整数 | 2、4、6、8、12、16、24 | 12 | 出力の駆動電流を指定します。許容範囲で最も低い値を使用してください。 |
| IOSTANDARD | 文字列 | データシートを参照 | DEFAULT | I/O 規格をエレメントに割り当て |
| SLEW | 文字列 | SLOW、FAST | SLOW | 出力ドライバのスループートを指定。この属性の最適な設定方法は、データシートを参照してください。 |

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリー データシート](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリー データシート](#)
- ・ [Spartan-3E FPGA ファミリー データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

OBUFT4

マクロ : 4-Bit 3-State Output Buffers with Active-Low Output Enable



サポートされているアーキテクチャ

このデザイン エレメントは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6
- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

このデザイン エレメントは、入力 (I)、出力 (O)、アクティブ Low 出力イネーブル (T) を持つ複数のトライステート出力バッファです。このエレメントでは、LVTTL 規格が使用され、DRIVE 制約と SLOW または FAST 制約を使用して駆動電流とスルー レートを選択できます。デフォルトでは、DRIVE=12mA、スルー レートは SLOW に設定されています。

T が Low の場合、バッファに入力された値が対応する出力に送られます。T が High の場合は、出力がハイ インピーダンス (オフまたは Z ステート) になります。OBUFT は、双方向 I/O を作成するなど、トライステート機能にシングルエンド出力を使用する必要がある場合に使用します。

論理表

| 入力 | | 出力 |
|----|---|----|
| T | I | O |
| 1 | X | Z |
| 0 | I | f |

デザインの入力方法

このエレメントは、回路図でのみ使用できます。

使用可能な属性

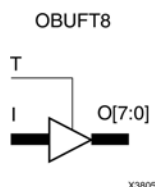
| 属性 | タイプ | 値 | デフォルト | 説明 |
|-------------|-----|----------------------|-----------|--|
| CAPACITANCE | 文字列 | LOW、NORMAL、DONT_CARE | DONT_CARE | I/O を低いまたは通常の固有キャパシタンスと共に使用するかどうかを指定。 |
| DRIVE | 整数 | 2、4、6、8、12、16、24 | 12 | 出力の駆動電流を指定します。許容範囲で最も低い値を使用してください。 |
| IOSTANDARD | 文字列 | データシートを参照 | DEFAULT | I/O 規格をエレメントに割り当て |
| SLEW | 文字列 | SLOW、FAST | SLOW | 出力ドライバのスルー レートを指定。この属性の最適な設定方法は、データシートを参照してください。 |

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリー データシート](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリー データシート](#)
- ・ [Spartan-3E FPGA ファミリー データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

OBUFT8

マクロ : 8-Bit 3-State Output Buffers with Active-Low Output Enable



サポートされているアーキテクチャ

このデザイン エレメントは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6
- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

このデザイン エレメントは、入力 (I)、出力 (O)、アクティブ Low 出力イネーブル (T) を持つ複数のトライステート出力バッファです。このエレメントでは、LVTTL 規格が使用され、DRIVE 制約と SLOW または FAST 制約を使用して駆動電流とスルー レートを選択できます。デフォルトでは、DRIVE=12mA、スルー レートは SLOW に設定されています。

T が Low の場合、バッファに入力された値が対応する出力に送られます。T が High の場合は、出力がハイ インピーダンス (オフまたは Z ステート) になります。OBUFT は、双方向 I/O を作成するなど、トライステート機能にシングルエンド出力を使用する必要がある場合に使用します。

論理表

| 入力 | | 出力 |
|----|---|----|
| T | I | O |
| 1 | X | Z |
| 0 | I | f |

デザインの入力方法

このエレメントは、回路図でのみ使用できます。

使用可能な属性

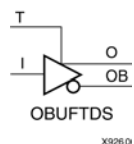
| 属性 | タイプ | 値 | デフォルト | 説明 |
|-------------|-----|----------------------|-----------|--|
| CAPACITANCE | 文字列 | LOW、NORMAL、DONT_CARE | DONT_CARE | I/O を低いまたは通常の固有キャパシタンスと共に使用するかどうかを指定。 |
| DRIVE | 整数 | 2、4、6、8、12、16、24 | 12 | 出力の駆動電流を指定します。許容範囲で最も低い値を使用してください。 |
| IOSTANDARD | 文字列 | データシートを参照 | DEFAULT | I/O 規格をエレメントに割り当て |
| SLEW | 文字列 | SLOW、FAST | SLOW | 出力ドライバのスルー レートを指定。この属性の最適な設定方法は、データシートを参照してください。 |

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリー データシート](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリー データシート](#)
- ・ [Spartan-3E FPGA ファミリー データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

OBUFTDS

プリミティブ : 3-State Output Buffer with Differential Signaling, Active-Low Output Enable



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6

概要

このデザイン エLEMENTは、低電圧差動信号を使用する出力バッファです。OBUFTDS では、デザイン レベルのインターフェイス信号は、一方が「マスタ」で、もう一方が「スレーブ」となる 2 つの異なるポート (O、OB) で表されます。マスタとスレーブは MYNET_P と MYNET_N のように、同じ論理信号の反対の状態を示します。

論理表

| 入力 | | 出力 | |
|----|---|----|----|
| I | T | O | OB |
| X | 1 | Z | Z |
| 0 | 0 | 0 | 1 |
| 1 | 0 | 1 | 0 |

ポートの説明

| ポート名 | 方向 | 幅 | 機能 |
|------|----|---|-------------------------|
| O | 出力 | 1 | Diff_p 出力 (最上位ポートに直接接続) |
| OB | 出力 | 1 | Diff_n 出力 (最上位ポートに直接接続) |
| I | 入力 | 1 | バッファの入力 |
| T | 入力 | 1 | トリステート イネーブル入力 |

デザインの入力方法

| | |
|--------------------------|----|
| インスタンス化 | 推奨 |
| 推論 | 不可 |
| CORE Generator™ およびウィザード | 不可 |
| マクロのサポート | 不可 |

このELEMENTは、回路図で使用されます。

使用可能な属性

| 属性 | タイプ | 値 | デフォルト | 説明 |
|-------------|-----|----------------------|-----------|---------------------------------------|
| CAPACITANCE | 文字列 | LOW、NORMAL、DONT_CARE | DONT_CARE | I/O を低いまたは通常の固有キャパシタンスと共に使用するかどうかを指定。 |
| IOSTANDARD | 文字列 | データシートを参照 | DEFAULT | I/O 規格をELEMENTに割り当て |

VHDL 記述 (インスタンス化)

次の 2 つの構文が存在しない場合はコピーし、エンティティ宣言の前に貼り付けます。

```
Library UNISIM;
use UNISIM.vcomponents.all;

-- OBUFTDS: Differential 3-state Output Buffer
--          Spartan-3/3E/3A
-- Xilinx HDL Libraries Guide, version 11.2

OBUFTDS_inst : OBUFTDS
generic map (
    IOSTANDARD => "DEFAULT")
port map (
    O => O,      -- Diff_p output (connect directly to top-level port)
    OB => OB,     -- Diff_n output (connect directly to top-level port)
    I => I,      -- Buffer input
    T => T       -- 3-state enable input
);

-- End of OBUFTDS_inst instantiation
```

Verilog 記述 (インスタンス化)

```
// OBUFTDS: Differential 3-state Output Buffer
//          Virtex-4/5, Spartan-3/3E/3A
// Xilinx HDL Libraries Guide, version 11.2

OBUFTDS #(
    .IOSTANDARD("DEFAULT") // Specify the output I/O standard
) OBUFTDS_inst (
    .O(O),      // Diff_p output (connect directly to top-level port)
    .OB(OB),    // Diff_n output (connect directly to top-level port)
    .I(I),      // Buffer input
    .T(T)       // 3-state enable input
);

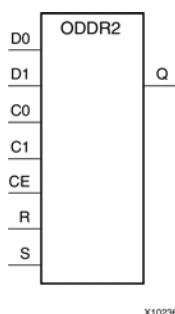
// End of OBUFTDS_inst instantiation
```

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリ データシート](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)
- ・ [Spartan-3E FPGA ファミリ データシート](#)
- ・ [Spartan-6 FPGA SelectIO リソース ユーザー ガイド](#)
- ・ [Spartan-6 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

ODDR2

プリミティブ : Dual Data Rate Output D Flip-Flop with Optional Data Alignment, Clock Enable and Programmable Synchronous or Asynchronous Set/Reset



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6

概要

このデザイン エLEMENTは、出力ダブル データ レート (DDR) レジスタで、FPGA から出力されるダブル データ レート信号を生成するために使用します。ODDR2 は、C0 と C1 の 2 つのクロックを使用してコンポーネントに接続されるので、C0 および C1 の両方の立ち上がりエッジでデータが出力されます。ODDR2 は、レジスタの動作を停止するために使用できるアクティブ High のクロック イネーブル (CE) ポート、対応するクロックに同期または非同期になるよう設定できるセット/リセット ポートを備えています。ODDR2 には、1 クロックで取り込まれたデータを 2 クロックで出力するオプションの調整機能があります。

論理表

| 入力 | | | | | | | 出力 |
|----------------------------|---|----|----|----|----|----|----------|
| S | R | CE | D0 | D1 | C0 | C1 | Q |
| 1 | X | X | X | X | X | X | 1 |
| 0 | 1 | X | X | X | X | X | not INIT |
| 0 | 0 | 0 | X | X | X | X | 変化なし |
| 0 | 0 | 1 | D0 | X | ↑ | X | D0 |
| 0 | 0 | 1 | X | D1 | X | ↑ | D1 |
| セット/リセットは SRTYPE 値で同期に設定可能 | | | | | | | |

デザインの入力方法

| | |
|--------------------------|----|
| インスタンス化 | 推奨 |
| 推論 | 不可 |
| CORE Generator™ およびウィザード | 不可 |
| マクロのサポート | 不可 |

このエレメントは、回路図で使用されます。

使用可能な属性

| 属性 | タイプ | 値 | デフォルト | 説明 |
|---------------|-----|------------|-------|--|
| DDR_ALIGNMENT | 文字列 | NONE、C0、C1 | NONE | DDR レジスタの入力キャプチャビヘイビアを設定します。NONE に設定すると、C0 クロックが Low から High に切り替わる時は D0 入力に、C1 クロックが Low から High に切り替わる時は D1 に データを入力します。C0 では、D0 と D1 両方への入力が C0 クロックの立ち上がりエッジに同期します。C1 では、D0 と D1 両方への入力が C1 クロックの立ち上がりエッジに同期します。 |
| INIT | 整数 | 0、1 | 0 | Q0 出力の初期値を 0 または 1 に設定 |
| SRTYPE | 文字列 | SYNC、ASYNC | SYNC | セット/リセットを SYNC または ASYNC に設定 |

VHDL 記述 (インスタンス化)

次の 2 つの構文が存在しない場合はコピーし、エンティティ宣言の前に貼り付けます。

```
Library UNISIM;
use UNISIM.vcomponents.all;

-- ODDR2: Output Double Data Rate Output Register with Set, Reset
--      and Clock Enable.
--      Spartan-3E/3A/6
-- Xilinx HDL Libraries Guide, version 11.2

ODDR2_inst : ODDR2
generic map(
  DDR_ALIGNMENT => "NONE", -- Sets output alignment to "NONE", "C0", "C1"
  INIT => '0', -- Sets initial state of the Q output to '0' or '1'
  SRTYPE => "SYNC") -- Specifies "SYNC" or "ASYNC" set/reset
port map (
  Q => Q, -- 1-bit output data
  C0 => C0, -- 1-bit clock input
  C1 => C1, -- 1-bit clock input
  CE => CE, -- 1-bit clock enable input
  D0 => D0, -- 1-bit data input (associated with C0)
  D1 => D1, -- 1-bit data input (associated with C1)
  R => R, -- 1-bit reset input
  S => S -- 1-bit set input
);

-- End of ODDR2_inst instantiation
```

Verilog 記述 (インスタンス化)

```
// ODDR2: Output Double Data Rate Output Register with Set, Reset
//      and Clock Enable.
//      Spartan-3E/3A/6
// Xilinx HDL Libraries Guide, version 11.2

ODDR2 #(
    .DDR_ALIGNMENT("NONE"), // Sets output alignment to "NONE", "C0" or "C1"
    .INIT(1'b0),           // Sets initial state of the Q output to 1'b0 or 1'b1
    .SRTYPE("SYNC") // Specifies "SYNC" or "ASYN" set/reset
) ODDR2_inst (
    .Q(Q), // 1-bit DDR output data
    .C0(C0), // 1-bit clock input
    .C1(C1), // 1-bit clock input
    .CE(CE), // 1-bit clock enable input
    .D0(D0), // 1-bit data input (associated with C0)
    .D1(D1), // 1-bit data input (associated with C1)
    .R(R), // 1-bit reset input
    .S(S) // 1-bit set input
);

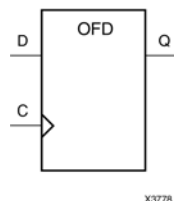
// End of ODDR2_inst instantiation
```

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリー データシート](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)
- ・ [Spartan-3E FPGA ファミリー データシート](#)
- ・ [Spartan-6 FPGA コンフィギュラブル ロジック ブロック ユーザー ガイド](#)
- ・ [Spartan-6 FPGA データシート : DC 特性およびスイッチ特性](#)

OFD

マクロ : Output D Flip-Flop



サポートされているアーキテクチャ

このデザイン エレメントは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6

概要

このデザイン エレメントは単一出力の D フリップフロップです。

出力は、OPAD または IOPAD に接続されます。D 入力の値は、クロック (C) が Low から High に切り替わる時にフリップフロップにロードされ、Q に出力されます。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスで PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバータを追加するとアクティブ Low にできます。

論理表

| 入力 | | 出力 |
|----|---|----|
| D | C | Q |
| D | ↑ | D |

デザインの入力方法

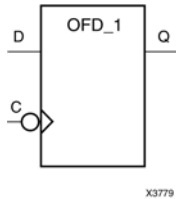
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリ データシート](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリ データシート](#)
- ・ [Spartan-3E FPGA ファミリ データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

OFD_1

マクロ : Output D Flip-Flop with Inverted Clock



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6

概要

このデザイン エLEMENTは、I/O ブロック (IOB) に含まれます。D フリップフロップの出力 (Q) は、OPAD または IOPAD に接続されます。D 入力の値は、クロック (C) が High から Low に切り替わる時にフリップフロップ内にロードされ、Q に出力されます。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバータを追加するとアクティブ Low にできます。

論理表

| 入力 | | 出力 |
|----|---|----|
| D | C | Q |
| D | ↓ | D |

デザインの入力方法

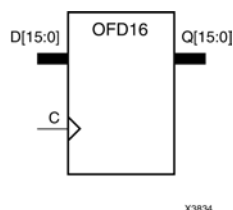
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリ データシート](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリ データシート](#)
- ・ [Spartan-3E FPGA ファミリ データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

OFD16

マクロ : 16-Bit Output D Flip-Flop



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6

概要

このデザイン エLEMENTは複数出力の D フリップフロップです。

出力は、OPAD または IOPAD に接続されます。D 入力の値は、クロック (C) が Low から High に切り替わる時にフリップフロップにロードされ、Q に出力されます。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバータを追加するとアクティブ Low にできます。

論理表

| 入力 | | 出力 |
|----|---|----|
| D | C | Q |
| D | ↑ | D |

デザインの入力方法

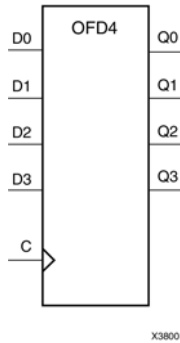
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリ データシート](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリ データシート](#)
- ・ [Spartan-3E FPGA ファミリ データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

OFD4

マクロ : 4-Bit Output D Flip-Flop



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6

概要

このデザイン エLEMENTは複数出力の D フリップフロップです。

出力は、OPAD または IOPAD に接続されます。D 入力の値は、クロック (C) が Low から High に切り替わる時にフリップフロップにロードされ、Q に出力されます。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバータを追加するとアクティブ Low にできます。

論理表

| 入力 | | 出力 |
|----|---|----|
| D | C | Q |
| D | ↑ | D |

デザインの入力方法

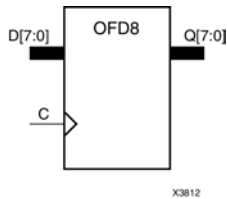
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリ データシート](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリ データシート](#)
- ・ [Spartan-3E FPGA ファミリ データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

OFD8

マクロ : 8-Bit Output D Flip-Flop



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6

概要

このデザイン エLEMENTは複数出力の D フリップフロップです。

出力は、OPAD または IOPAD に接続されます。D 入力の値は、クロック (C) が Low から High に切り替わる時にフリップフロップにロードされ、Q に出力されます。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバータを追加するとアクティブ Low にできます。

論理表

| 入力 | | 出力 |
|----|---|----|
| D | C | Q |
| D | ↑ | D |

デザインの入力方法

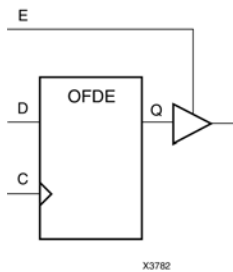
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリ データシート](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリ データシート](#)
- ・ [Spartan-3E FPGA ファミリ データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

OFDE

マクロ : D Flip-Flop with Active-High Enable Output Buffers



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6

概要

このデザイン エLEMENTは単一の D フリップフロップで、出力はトライステート バッファでイネーブル制御されます。フリップフロップの出力 (Q) は、出力バッファ (OBUFE) の入力に接続されます。OBUFE の出力は、OPAD または IOPAD に接続されます。入力 (D) の値は、クロック (C) が Low から High に切り替わるときにフリップフロップにロードされます。アクティブ High のイネーブル入力 (E) が High の場合、フリップフロップの出力 (Q) の値は OBUFE の O に出力されます。E が Low になると、出力はハイ インピーダンス (Z ステートまたはオフ) になります。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバータを追加するとアクティブ Low にできます。

論理表

| 入力 | | | 出力 |
|----|----|---|----|
| E | D | C | O |
| 0 | X | X | Z |
| 1 | Dn | ↑ | Dn |

デザインの入力方法

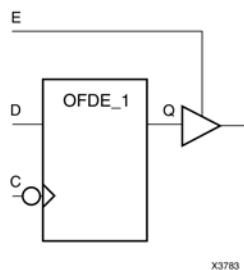
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリ データシート](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリ データシート](#)
- ・ [Spartan-3E FPGA ファミリ データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

OFDE_1

マクロ : D Flip-Flop with Active-High Enable Output Buffer and Inverted Clock



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6

概要

このデザイン エLEMENTとその出力バッファは、I/O ブロック (IOB) に含まれます。フリップフロップの出力 (Q) は、出力バッファまたは OBUFE の入力に接続されます。OBUFE の出力は、OPAD または IOPAD に接続されます。入力 (D) の値は、クロック (C) が High から Low に切り替わる時にフリップフロップにロードされます。アクティブ High のイネーブル入力 (E) が High の場合、フリップフロップの出力 (Q) の値は OBUFT の O に出力されます。E が Low になると、出力はハイ インピーダンス (Z ステートまたはオフ) になります。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバータを追加するとアクティブ Low にできます。

論理表

| 入力 | | | 出力 |
|----|---|---|----|
| E | D | C | O |
| 0 | X | X | Z |
| 1 | D | ↓ | D |

デザインの入力方法

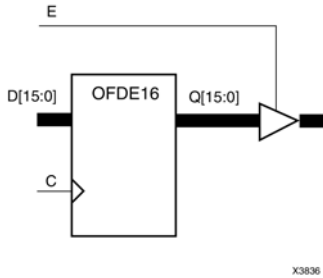
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリ データシート](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリ データシート](#)
- ・ [Spartan-3E FPGA ファミリ データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

OFDE16

マクロ : 16-Bit D Flip-Flop with Active-High Enable Output Buffers



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6

概要

このデザイン エLEMENTは複数の D フリップフロップで、出力はトライステート バッファでイネーブル制御されます。フリップフロップの出力 (Q) は、出力バッファ (OBUFE) の入力に接続されます。OBUFE の出力 (O) は、OPAD または IOPAD に接続されます。入力 (D) の値は、クロック (C) が Low から High に切り替わる時にフリップフロップにロードされます。アクティブ High のイネーブル入力 (E) が High のとき、フリップフロップの出力 (Q) の値が OBUFE の O に出力されます。E が Low になると、出力はハイ インピーダンス (Z ステートまたはオフ) になります。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスで PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバータを追加するとアクティブ Low にできます。

論理表

| 入力 | | | 出力 |
|----|----|---|----|
| E | D | C | O |
| 0 | X | X | Z |
| 1 | Dn | ↑ | Dn |

デザインの入力方法

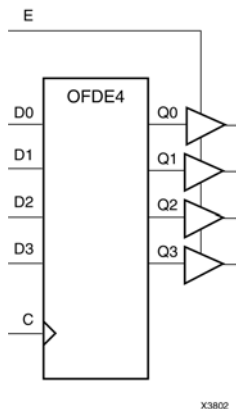
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリ データシート](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリ データシート](#)
- ・ [Spartan-3E FPGA ファミリ データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

OFDE4

マクロ : 4-Bit D Flip-Flop with Active-High Enable Output Buffers



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6

概要

このデザイン エLEMENTは複数の D フリップフロップで、出力はトライステート バッファでイネーブル制御されます。フリップフロップの出力 (Q) は、出力バッファ (OBUFE) の入力に接続されます。OBUFE の出力 (O) は、OPAD または IOPAD に接続されます。入力 (D) の値は、クロック (C) が Low から High に切り替わる時にフリップフロップにロードされます。アクティブ High のイネーブル入力 (E) が High のとき、フリップフロップの出力 (Q) の値が OBUFE の O に出力されます。E が Low になると、出力はハイインピーダンス (Z ステートまたはオフ) になります。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバータを追加するとアクティブ Low にできます。

論理表

| 入力 | | | 出力 |
|----|----|---|----|
| E | D | C | O |
| 0 | X | X | Z |
| 1 | Dn | ↑ | Dn |

デザインの入力方法

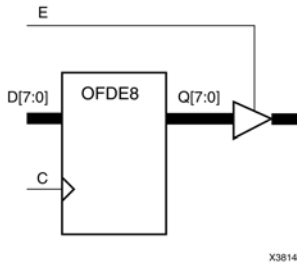
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリ データシート](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリ データシート](#)
- ・ [Spartan-3E FPGA ファミリ データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

OFDE8

マクロ : 8-Bit D Flip-Flop with Active-High Enable Output Buffers



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6

概要

このデザイン エLEMENTは複数の D フリップフロップで、出力はトライステート バッファでイネーブル制御されます。フリップフロップの出力 (Q) は、出力バッファ (OBUFE) の入力に接続されます。OBUFE の出力 (O) は、OPAD または IOPAD に接続されます。入力 (D) の値は、クロック (C) が Low から High に切り替わる時にフリップフロップにロードされます。アクティブ High のイネーブル入力 (E) が High のとき、フリップフロップの出力 (Q) の値が OBUFE の O に出力されます。E が Low になると、出力はハイインピーダンス (Z ステートまたはオフ) になります。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバータを追加するとアクティブ Low にできます。

論理表

| 入力 | | | 出力 |
|----|----|---|----|
| E | D | C | O |
| 0 | X | X | Z |
| 1 | Dn | ↑ | Dn |

デザインの入力方法

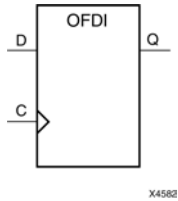
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリ データシート](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリ データシート](#)
- ・ [Spartan-3E FPGA ファミリ データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

OFDI

マクロ : Output D Flip-Flop (Asynchronous Preset)



サポートされているアーキテクチャ

このデザイン エレメントは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6

概要

このデザイン エレメントは、I/O ブロック (IOB) に含まれます。D フリップフロップの出力 (Q) は、OPAD または IOPAD に接続されます。D 入力の値は、クロック (C) が Low から High に切り替わる時にフリップフロップにロードされ、Q に出力されます。

電力を供給すると、フリップフロップは非同期にプリセットされ、出力が High になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバータを追加するとアクティブ Low にできます。

論理表

| 入力 | | 出力 |
|----|---|----|
| D | C | Q |
| D | ↑ | D |

デザインの入力方法

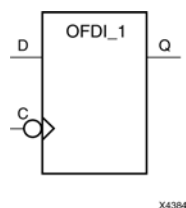
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリ データシート](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリ データシート](#)
- ・ [Spartan-3E FPGA ファミリ データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

OFDI_1

マクロ : Output D Flip-Flop with Inverted Clock (Asynchronous Preset)



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6

概要

このデザイン エLEMENTは、I/O ブロック (IOB) 内に配置されます。D フリップフロップの出力 (Q) は、OPAD または IOPAD に接続されます。D 入力の値は、クロック (C) が High から Low に切り替わる時にフリップフロップ内にロードされ、Q に出力されます。

電力を供給すると、フリップフロップは非同期にプリセットされ、出力が High になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバータを追加するとアクティブ Low にできます。

論理表

| 入力 | | 出力 |
|----|---|----|
| D | C | Q |
| D | ↓ | D |

デザインの入力方法

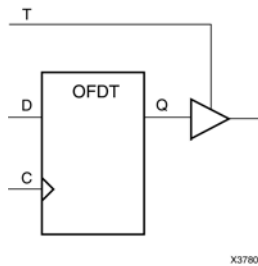
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリ データシート](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリ データシート](#)
- ・ [Spartan-3E FPGA ファミリ データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

OFDT

マクロ : D Flip-Flop with Active-Low 3-State Output Buffer



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6

概要

このデザイン エLEMENTは単一の D フリップフロップで、出力はトリステート バッファでイネーブル制御されます。

フリップフロップの出力 (Q) は、出力バッファ (OBUFT) の入力に接続されます。OBUFT の出力 (O) は、OPAD または IOPAD に接続されます。入力 (D) の値は、クロック (C) が Low から High に切り替わる時にフリップフロップにロードされます。アクティブ Low のイネーブル入力 (T) が Low のとき、フリップフロップの出力 (Q) の値が O に出力されます。T が High になると、出力はハイ インピーダンス (オフ) になります。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバータを追加するとアクティブ Low にできます。

論理表

| 入力 | | | 出力 |
|----|---|---|----|
| T | D | C | O |
| 1 | X | X | Z |
| 0 | D | ↑ | D |

デザインの入力方法

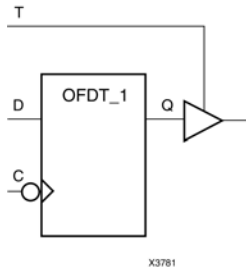
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリ データシート](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリ データシート](#)
- ・ [Spartan-3E FPGA ファミリ データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

OFDT_1

マクロ : D Flip-Flop with Active-Low 3-State Output Buffer and Inverted Clock



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6

概要

このデザイン エLEMENTとその出力バッファは、I/O ブロック (IOB) に含まれます。フリップフロップの出力 (Q) は、出力バッファ (OBUFT) の入力に接続されます。OBUFT の出力は、OPAD または IOPAD に接続されます。入力 (D) の値は、クロック (C) が High から Low に切り替わるときにフリップフロップにロードされます。アクティブ Low のイネーブル入力 (T) が Low のとき、フリップフロップの出力 (Q) の値が 0 に出力されます。T が High になると、出力はハイインピーダンス (オフ) になります。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバータを追加するとアクティブ Low にできます。

論理表

| 入力 | | | 出力 |
|----|---|---|----|
| T | D | C | O |
| 1 | X | X | Z |
| 0 | D | ↓ | D |

デザインの入力方法

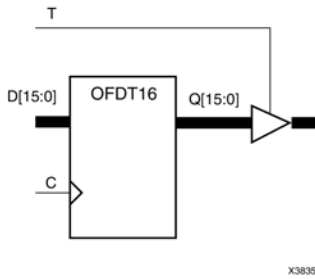
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリ データシート](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリ データシート](#)
- ・ [Spartan-3E FPGA ファミリ データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

OFDT16

マクロ : 16-Bit D Flip-Flop with Active-Low 3-State Output Buffers



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6

概要

このデザイン エLEMENTは複数の D フリップフロップで、出力はトリステート バッファでイネーブル制御されます。

フリップフロップの出力 (Q) は、出力バッファ (OBUFT) の入力に接続されます。OBUFT の出力 (O) は、OPAD または IOPAD に接続されます。入力 (D) の値は、クロック (C) が Low から High に切り替わる時にフリップフロップにロードされます。アクティブ Low のイネーブル入力 (T) が Low のとき、フリップフロップの出力 (Q) の値が O に出力されます。T が High になると、出力はハイ インピーダンス (オフ) になります。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスで PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバータを追加するとアクティブ Low にできます。

論理表

| 入力 | | | 出力 |
|----|---|---|----|
| T | D | C | O |
| 1 | X | X | Z |
| 0 | D | ↑ | D |

デザインの入力方法

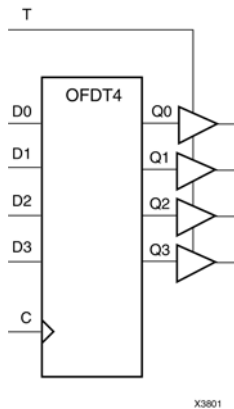
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリ データシート](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリ データシート](#)
- ・ [Spartan-3E FPGA ファミリ データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

OFDT4

マクロ : 4-Bit D Flip-Flop with Active-Low 3-State Output Buffers



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6

概要

このデザイン エLEMENTは複数の D フリップフロップで、出力はトリステート バッファでイネーブル制御されます。

フリップフロップの出力 (Q) は、出力バッファ (OBUFT) の入力に接続されます。OBUFT の出力 (O) は、OPAD または IOPAD に接続されます。入力 (D) の値は、クロック (C) が Low から High に切り替わる時にフリップフロップにロードされます。アクティブ Low のイネーブル入力 (T) が Low のとき、フリップフロップの出力 (Q) の値が O に出力されます。T が High になると、出力はハイ インピーダンス (オフ) になります。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスで PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバータを追加するとアクティブ Low にできます。

論理表

| 入力 | | | 出力 |
|----|---|---|----|
| T | D | C | O |
| 1 | X | X | Z |
| 0 | D | ↑ | D |

デザインの入力方法

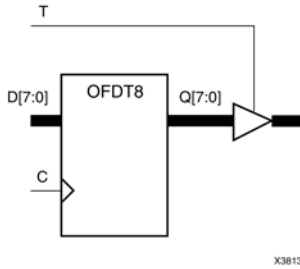
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリー データシート](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリー データシート](#)
- ・ [Spartan-3E FPGA ファミリー データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

OFDT8

マクロ : 8-Bit D Flip-Flop with Active-Low 3-State Output Buffers



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6

概要

このデザイン エLEMENTは複数の D フリップフロップで、出力はトライステート バッファでイネーブル制御されます。

フリップフロップの出力 (Q) は、出力バッファ (OBUFT) の入力に接続されます。OBUFT の出力 (O) は、OPAD または IOPAD に接続されます。入力 (D) の値は、クロック (C) が Low から High に切り替わる時にフリップフロップにロードされます。アクティブ Low のイネーブル入力 (T) が Low のとき、フリップフロップの出力 (Q) の値が O に出力されます。T が High になると、出力はハイ インピーダンス (オフ) になります。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバータを追加するとアクティブ Low にできます。

論理表

| 入力 | | | 出力 |
|----|---|---|----|
| T | D | C | O |
| 1 | X | X | Z |
| 0 | D | ↑ | D |

デザインの入力方法

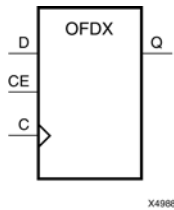
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリ データシート](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリ データシート](#)
- ・ [Spartan-3E FPGA ファミリ データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

OFDX

マクロ : Output D Flip-Flop with Clock Enable



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6

概要

このデザイン エLEMENTは単一出力の D フリップフロップです。Q 出力は、OPAD または IOPAD に接続されます。D 入力の値は、クロック (C) が Low から High に切り替わるときにフリップフロップ内にロードされ、Q に出力されます。クロック イネーブル (CE) が Low のときには、出力は変化しません。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスで PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバータを追加するとアクティブ Low にできます。

論理表

| 入力 | | | 出力 |
|----|----|---|------|
| CE | D | C | Q |
| 1 | Dn | ↑ | Dn |
| 0 | X | X | 変化なし |

デザインの入力方法

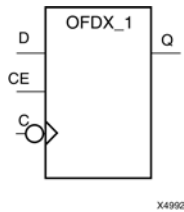
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリ データシート](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリ データシート](#)
- ・ [Spartan-3E FPGA ファミリ データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

OFDX_1

マクロ : Output D Flip-Flop with Inverted Clock and Clock Enable



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6

概要

このデザイン エLEMENTは、I/O ブロック (IOB) に含まれます。D フリップフロップの出力 (Q) は、OPAD または IOPAD に接続されます。D 入力の値は、クロック (C) が High から Low に切り替わるときにフリップフロップ内にロードされ、Q に出力されます。クロック イネーブル (CE) が Low のときには、出力 (Q) は変化しません。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバータを追加するとアクティブ Low にできます。

論理表

| 入力 | | | 出力 |
|----|---|---|------|
| CE | D | C | Q |
| 1 | D | ↓ | D |
| 0 | X | X | 変化なし |

デザインの入力方法

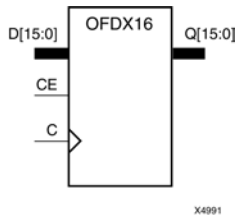
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリ データシート](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリ データシート](#)
- ・ [Spartan-3E FPGA ファミリ データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

OFDX16

マクロ : 16-Bit Output D Flip-Flop with Clock Enable



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6

概要

このデザイン エLEMENTは複数出力の D フリップフロップです。Q 出力は、OPAD または IOPAD に接続されます。D 入力の値は、クロック (C) が Low から High に切り替わるときにフリップフロップ内にロードされ、Q に出力されます。クロック イネーブル (CE) が Low のときには、出力は変化しません。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバータを追加するとアクティブ Low にできます。

論理表

| 入力 | | | 出力 |
|----|----|---|------|
| CE | D | C | Q |
| 1 | Dn | ↑ | Dn |
| 0 | X | X | 変化なし |

デザインの入力方法

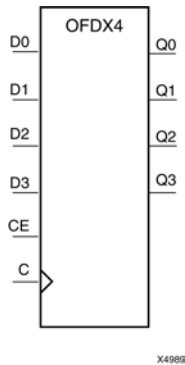
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリ データシート](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリ データシート](#)
- ・ [Spartan-3E FPGA ファミリ データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

OFDX4

マクロ : 4-Bit Output D Flip-Flop with Clock Enable



サポートされているアーキテクチャ

このデザイン エレメントは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6

概要

このデザイン エレメントは複数出力の D フリップフロップです。Q 出力は、OPAD または IOPAD に接続されます。D 入力の値は、クロック (C) が Low から High に切り替わるときにフリップフロップ内にロードされ、Q に出力されます。クロック イネーブル (CE) が Low のときには、出力は変化しません。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバータを追加するとアクティブ Low にできます。

論理表

| 入力 | | | 出力 |
|----|----|---|------|
| CE | D | C | Q |
| 1 | Dn | ↑ | Dn |
| 0 | X | X | 変化なし |

デザインの入力方法

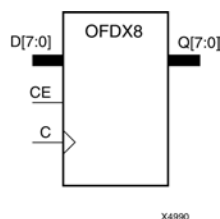
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリ データシート](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリ データシート](#)
- ・ [Spartan-3E FPGA ファミリ データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

OFDX8

マクロ : 8-Bit Output D Flip-Flop with Clock Enable



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6

概要

このデザイン エLEMENTは複数出力の D フリップフロップです。Q 出力は、OPAD または IOPAD に接続されます。D 入力の値は、クロック (C) が Low から High に切り替わるときにフリップフロップ内にロードされ、Q に出力されます。クロック イネーブル (CE) が Low のときには、出力は変化しません。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバータを追加するとアクティブ Low にできます。

論理表

| 入力 | | | 出力 |
|----|----|---|------|
| CE | D | C | Q |
| 1 | Dn | ↑ | Dn |
| 0 | X | X | 変化なし |

デザインの入力方法

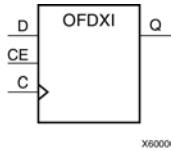
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリ データシート](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリ データシート](#)
- ・ [Spartan-3E FPGA ファミリ データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

OFDXI

マクロ : Output D Flip-Flop with Clock Enable (Asynchronous Preset)



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6

概要

このデザイン エLEMENTは、I/O ブロック (IOB) に含まれます。D フリップフロップの出力 (Q) は、OPAD または IOPAD に接続されます。D 入力の値は、クロック (C) が Low から High に切り替わるときにフリップフロップにロードされ、Q に出力されます。クロック イネーブル (CE) が Low のときには、出力は変化しません。

電力を供給すると、フリップフロップは非同期にプリセットされ、出力が High になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバータを追加するとアクティブ Low にできます。

論理表

| 入力 | | | 出力 |
|----|---|---|------|
| CE | D | C | Q |
| 1 | D | ↑ | D |
| 0 | X | X | 変化なし |

デザインの入力方法

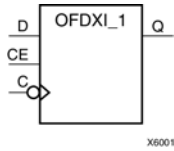
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリ データシート](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリ データシート](#)
- ・ [Spartan-3E FPGA ファミリ データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

OFDXI_1

マクロ : Output D Flip-Flop with Inverted Clock and Clock Enable (Asynchronous Preset)



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6

概要

このデザイン エLEMENTは、I/O ブロック (IOB) に含まれます。D フリップフロップの出力 (Q) は、OPAD または IOPAD に接続されます。D 入力の値は、クロック (C) が High から Low に切り替わるときにフリップフロップ内にロードされ、Q に出力されます。クロック イネーブル (CE) が Low のときには、出力 (Q) は変化しません。

電力を供給すると、フリップフロップは非同期にプリセットされ、出力が High になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバータを追加するとアクティブ Low にできます。

論理表

| 入力 | | | 出力 |
|----|---|---|------|
| CE | D | C | Q |
| 1 | D | ↓ | D |
| 0 | X | X | 変化なし |

デザインの入力方法

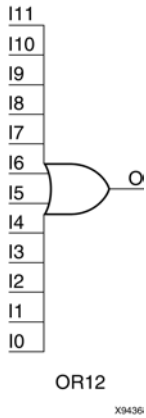
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリ データシート](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリ データシート](#)
- ・ [Spartan-3E FPGA ファミリ データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

OR12

マクロ : 12-Input OR Gate with Non-Inverted Inputs



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6

概要

5 入力までの OR ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の OR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバータを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

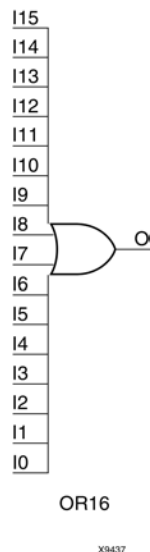
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリ データシート](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリ データシート](#)
- ・ [Spartan-3E FPGA ファミリ データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

OR16

マクロ : 16-Input OR Gate with Non-Inverted Inputs



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6

概要

5 入力までの OR ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の OR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバータを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

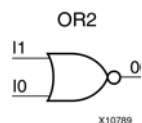
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリ データシート](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリ データシート](#)
- ・ [Spartan-3E FPGA ファミリ データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

OR2

プリミティブ : 2-Input OR Gate with Non-Inverted Inputs



サポートされているアーキテクチャ

このデザイン エレメントは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6
- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

5 入力までの OR ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の OR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバータを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

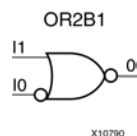
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリ データシート](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリ データシート](#)
- ・ [Spartan-3E FPGA ファミリ データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

OR2B1

プリミティブ : 2-Input OR Gate with 1 Inverted and 1 Non-Inverted Inputs



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6
- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

5 入力までの OR ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ~ 9 入力、12 入力、および 16 入力の OR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバータを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

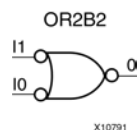
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリ データシート](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリ データシート](#)
- ・ [Spartan-3E FPGA ファミリ データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

OR2B2

プリミティブ : 2-Input OR Gate with Inverted Inputs



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6
- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

5 入力までの OR ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の OR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバータを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリ データシート](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリ データシート](#)
- ・ [Spartan-3E FPGA ファミリ データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

OR2L

プリミティブ : Two input OR gate implemented in place of a Slice Latch



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-6
- ・ Virtex®-6

概要

このデザイン エLEMENTでは、コンフィギュレーション可能なスライス ラッチで 2 入力 OR ゲートのファンクションが使用されます (論理表を参照)。このELEMENTを使用すると、ロジックのレジスタ/ラッチ リソース数をトレードオフにすることで、ロジック レベルを削減して、デバイスのロジック集積度を高めることができます。このELEMENTはレジスタのパックおよび集積度に影響を与えるので注意してください。AND2B1L または OR2L ELEMENTをスライスに指定すると、残りのレジスタおよびラッチが使用できなくなります。

論理表

| 入力 | | 出力 |
|----|-----|----|
| DI | SRI | O |
| 0 | 0 | 0 |
| 0 | 1 | 1 |
| 1 | 0 | 1 |
| 1 | 1 | 1 |

ポートの説明

| ポート名 | タイプ | 幅 | 機能 |
|------|-----|---|---|
| O | 出力 | 1 | OR ゲートの出力 |
| DI | 入力 | 1 | 同じスライスにあるソース LUT に通常接続されるアクティブ High の入力 |
| SRI | 入力 | 1 | 通常スライス外からソースされるアクティブ Low の入力 メモ: 複数の AND2B1L または OR2B1L を 1 つのスライスにパックするには、この入力に共通の信号を接続する必要があります。 |

デザインの入力方法

| | |
|--------------------------|----|
| インスタンス化 | 推奨 |
| 推論 | 不可 |
| CORE Generator™ およびウィザード | 不可 |
| マクロのサポート | 不可 |

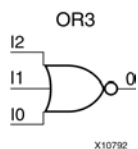
このELEMENTは、回路図で使用されます。

詳細情報

- ・ [Spartan-6 FPGA SelectIO リソース ユーザー ガイド](#)
- ・ [Spartan-6 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

OR3

プリミティブ : 3-Input OR Gate with Non-Inverted Inputs



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6
- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

5 入力までの OR ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の OR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバータを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

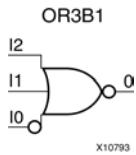
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリ データシート](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリ データシート](#)
- ・ [Spartan-3E FPGA ファミリ データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

OR3B1

プリミティブ : 3-Input OR Gate with 1 Inverted and 2 Non-Inverted Inputs



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6
- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

5 入力までの OR ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の OR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバータを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

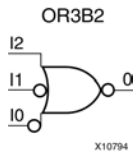
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリ データシート](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリ データシート](#)
- ・ [Spartan-3E FPGA ファミリ データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

OR3B2

プリミティブ : 3-Input OR Gate with 2 Inverted and 1 Non-Inverted Inputs



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6
- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

5 入力までの OR ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ~ 9 入力、12 入力、および 16 入力の OR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバータを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

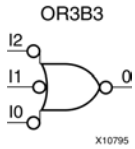
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリ データシート](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリ データシート](#)
- ・ [Spartan-3E FPGA ファミリ データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

OR3B3

プリミティブ : 3-Input OR Gate with Inverted Inputs



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6
- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

5 入力までの OR ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の OR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバータを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

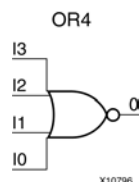
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリ データシート](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリ データシート](#)
- ・ [Spartan-3E FPGA ファミリ データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

OR4

プリミティブ : 4-Input OR Gate with Non-Inverted Inputs



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6
- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

5 入力までの OR ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の OR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバータを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

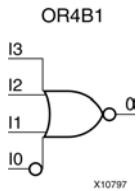
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリ データシート](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリ データシート](#)
- ・ [Spartan-3E FPGA ファミリ データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

OR4B1

プリミティブ : 4-Input OR Gate with 1 Inverted and 3 Non-Inverted Inputs



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6
- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

5 入力までの OR ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の OR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバータを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

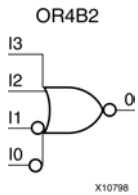
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリ データシート](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリ データシート](#)
- ・ [Spartan-3E FPGA ファミリ データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

OR4B2

プリミティブ : 4-Input OR Gate with 2 Inverted and 2 Non-Inverted Inputs



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6
- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

5 入力までの OR ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の OR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバータを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

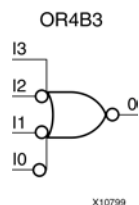
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリ データシート](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリ データシート](#)
- ・ [Spartan-3E FPGA ファミリ データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

OR4B3

プリミティブ : 4-Input OR Gate with 3 Inverted and 1 Non-Inverted Inputs



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6
- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

5 入力までの OR ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の OR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバータを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

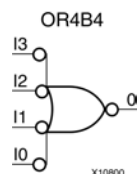
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリ データシート](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリ データシート](#)
- ・ [Spartan-3E FPGA ファミリ データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

OR4B4

プリミティブ : 4-Input OR Gate with Inverted Inputs



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6
- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

5 入力までの OR ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の OR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバータを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

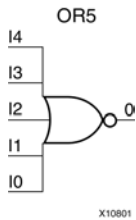
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリ データシート](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリ データシート](#)
- ・ [Spartan-3E FPGA ファミリ データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

OR5

プリミティブ : 5-Input OR Gate with Non-Inverted Inputs



サポートされているアーキテクチャ

このデザイン エレメントは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6
- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

5 入力までの OR ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の OR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバータを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

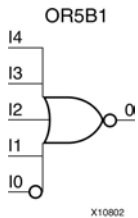
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリ データシート](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリ データシート](#)
- ・ [Spartan-3E FPGA ファミリ データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

OR5B1

プリミティブ : 5-Input OR Gate with 1 Inverted and 4 Non-Inverted Inputs



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6
- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

5 入力までの OR ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の OR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバータを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

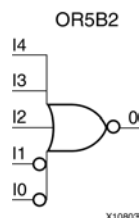
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリ データシート](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリ データシート](#)
- ・ [Spartan-3E FPGA ファミリ データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

OR5B2

プリミティブ : 5-Input OR Gate with 2 Inverted and 3 Non-Inverted Inputs



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6
- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

5 入力までの OR ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の OR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバータを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

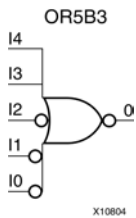
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリ データシート](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリ データシート](#)
- ・ [Spartan-3E FPGA ファミリ データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

OR5B3

プリミティブ : 5-Input OR Gate with 3 Inverted and 2 Non-Inverted Inputs



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6
- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

5 入力までの OR ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の OR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバータを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

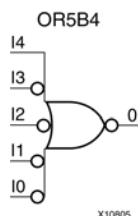
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリ データシート](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリ データシート](#)
- ・ [Spartan-3E FPGA ファミリ データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

OR5B4

プリミティブ : 5-Input OR Gate with 4 Inverted and 1 Non-Inverted Inputs



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6
- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

5 入力までの OR ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の OR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバータを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

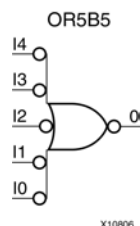
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリ データシート](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリ データシート](#)
- ・ [Spartan-3E FPGA ファミリ データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

OR5B5

プリミティブ : 5-Input OR Gate with Inverted Inputs



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6
- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

5 入力までの OR ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の OR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバータを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

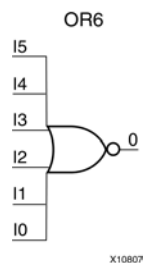
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリ データシート](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリ データシート](#)
- ・ [Spartan-3E FPGA ファミリ データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

OR6

マクロ : 6-Input OR Gate with Non-Inverted Inputs



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6
- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

5 入力までの OR ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の OR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバータを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

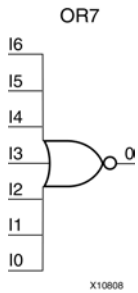
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリ データシート](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリ データシート](#)
- ・ [Spartan-3E FPGA ファミリ データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

OR7

マクロ : 7-Input OR Gate with Non-Inverted Inputs



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6
- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

5 入力までの OR ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の OR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバータを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

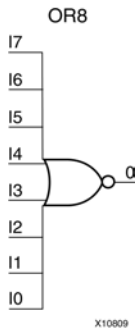
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリ データシート](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリ データシート](#)
- ・ [Spartan-3E FPGA ファミリ データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

OR8

マクロ : 8-Input OR Gate with Non-Inverted Inputs



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6
- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

5 入力までの OR ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の OR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバータを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

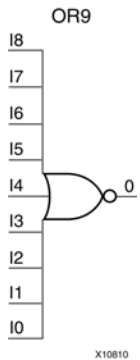
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリ データシート](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリ データシート](#)
- ・ [Spartan-3E FPGA ファミリ データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

OR9

マクロ : 9-Input OR Gate with Non-Inverted Inputs



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6
- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

5 入力までの OR ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の OR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバータを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

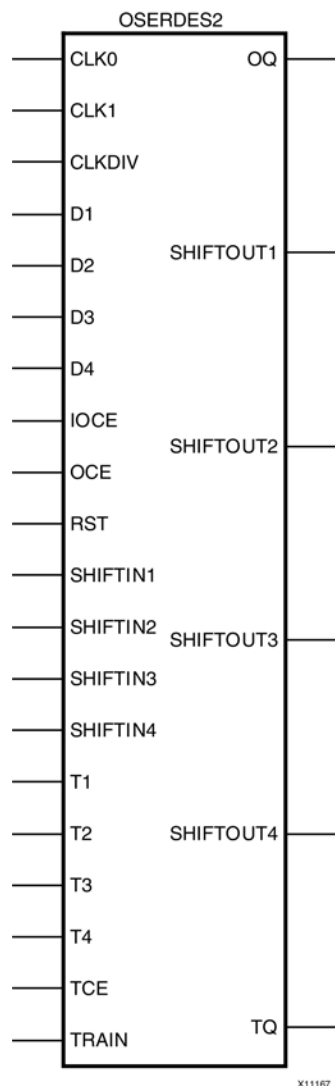
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリ データシート](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリ データシート](#)
- ・ [Spartan-3E FPGA ファミリ データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

OSERDES2

プリミティブ : Dedicated IOB Output Serializer



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

Spartan®-6

概要

このプリミティブを使用すると、同期インターフェイスを簡単にインプリメントできます。このモジュールを使用すると、FPGA のロジックリソースを節約でき、タイミングが複雑になるのを防ぎます。また、さまざまなアプリケーションに対応した複数のクロック入力があり、ザイリンクス FPGA の SelectIO 機能と共に使用できます。

ポートの説明

| ポート名 | タイプ | 幅 | 機能 |
|-----------------------|-----|---|---|
| CLKDIV | 入力 | 1 | グローバル クロック ネットワーク入力。ハードウェアのクロックです。 |
| CLK0 | 入力 | 1 | オプションで反転可能な I/O クロック ネットワーク入力。倍クロック回路が使用されていない場合に使用するプライマリ クロック入力です。詳細は DATA_RATE を参照。 |
| CLK1 | 入力 | 1 | I/O クロック ネットワーク入力。オプションで反転可能です。 |
| D1 ~ D4 | 入力 | 1 | CLK0 と CLK1 の位相差は 180 度である必要があります。 |
| IOCE | 入力 | 1 | BUFIO CE から派生する伝送出力イネーブル信号。入力がサンプルされるタイミングを決定するストロボです。 |
| OCE | 入力 | 1 | データ入力のクロック イネーブル。 |
| OQ | 出力 | 1 | パッドまたは IODELAY2 へのデータ パス出力。 |
| RST | 入力 | 1 | 共有データ/トライステートリセットピン。非同期のみ。 |
| SHIFTIN1 ~ SHIFTIN2 | 入力 | 1 | カスケード データ入力信号 (マスタでダミー)。4 を超える DATA_WIDTH に使用。 |
| SHIFTIN3 ~ SHIFTIN4 | 入力 | 1 | 差動データ入力信号 (スレーブでダミー)。 |
| SHIFTOUT1 ~ SHIFTOUT2 | 出力 | 1 | カスケード データ出力信号 (スレーブでダミー)。4 を超える DATA_WIDTH に使用。 |
| SHIFTOUT3 ~ SHIFTOUT4 | 出力 | 1 | 差動データ入力信号 (マスタでダミー)。 |
| TCE | 入力 | 1 | トライステート入力のクロック イネーブル。 |
| TQ | 出力 | 1 | パッドまたは IODELAY2 へのトライステート パス出力。 |
| TRAIN | 入力 | 1 | トレーニング パターンの使用を有効にします。信号受信回路の補正に使用する固定出力パターンを指定するためにします。このピンを使用し、デバイスで出力が固定パターンであるか、ピンからの入力データであるかを制御することができます。 |
| T1 ~ T4 | 入力 | 1 | パラレル トライステート入力。OSERDES2 モジュールにパラレル トライステート信号が入力されるポートです。このポートは FPGA に接続され、1 ~ 4 ビットにコンフィギュレーションできます。この機能は、データ幅拡張モードではサポートされません。 |

デザインの入力方法

| | |
|--------------------------|----|
| インスタンス化 | 推奨 |
| 推論 | 不可 |
| CORE Generator™ およびウィザード | 不可 |
| マクロのサポート | 不可 |

このエレメントは、回路図で使用されます。

使用可能な属性

| 属性 | タイプ | 値 | デフォルト | 説明 |
|---------------|---------|--|--------------|--|
| DATA_RATE_OQ | 文字列 | DDR, SDR | DDR | データレート設定。データを CLK の各エッジで変化させるか、各立ち上がりエッジで変化させるかを指定します。 |
| DATA_RATE_OT | 文字列 | DDR, BUF, SDR | DDR | トライステート データレート設定。トライステートを CLK の各エッジで変化させるか、各立ち上がりエッジで変化させるか、バッファのコンフィギュレーションで変化させるかを指定します。 |
| DATA_WIDTH | 整数 | 2, 1, 3, 4, 5, 6, 7, 8 | 2 | デバイスから IOB にシリアル化されるビット数を設定。 |
| OUTPUT_MODE | 文字列 | SINGLE_ENDED、 DIFFERENTIAL | SINGLE_ENDED | 出力モード。 |
| SERDES_MODE | 文字列 | MASTER、 SLAVE | MASTER | カスケードされている場合 SERDES がマスタまたはスレーブのどちらで使用されているかを示します。 |
| TRAIN_PATTERN | Integer | 0, 1, 2, 3, 4, 5, 6, 7, 8, 9, 10, 11, 12, 13, 14, 15 | 0 | トレーニング パターン。TRAIN ピンを参照。 |

VHDL 記述 (インスタンスエーション)

```
-- OSERDES2: Dedicated IOB Output Serializer
--           Spartan-6
-- Xilinx HDL Libraries Guide, version 11.2

OSERDES2_inst : OSERDES2
generic map (
    BYPASS_GCLK_FF => FALSE,
    DATA_RATE_OQ => "DDR",           -- Data rate setting. Defines whether the data changes at every clock edge
                                       -- or every positive clock edge with respect to CLK.
    DATA_RATE_OT => "DDR",           -- Tristate Data rate setting. Defines whether the 3-state changes at
                                       -- every clock edge, every positive clock edge, or buffer configuration
                                       -- with respect to CLK.
    DATA_WIDTH => 2,                 -- Sets how many bits from the fabric to serialize to the IOB.
    OUTPUT_MODE => "SINGLE_ENDED",     -- Output Mode.
    SERDES_MODE => "MASTER",          -- Indicates whether SERDES is being used as a Master or Slave when
                                       -- cascaded.
    TRAIN_PATTERN => 0                 -- Training pattern. See comments with TRAIN pin.
)
port map (
    OQ => OQ,                         -- 1-bit Data path output to pad or IODELAY2.
    -- SHIFTOUT1 - SHIFTOUT2: 1-bit (each) Cascade data output signal (dummy in Slave). Used for DATA_WIDTHs
    -- greater than 4.
    SHIFTOUT1 => SHIFTOUT1,
    SHIFTOUT2 => SHIFTOUT2,
    -- SHIFTOUT3 - SHIFTOUT4: 1-bit (each) Differential data output signal (dummy in Master).
    SHIFTOUT3 => SHIFTOUT3,
    SHIFTOUT4 => SHIFTOUT4,
    TQ => TQ,                         -- 1-bit Tristate path output to pad or IODELAY2.
    CLK0 => CLK0,                     -- 1-bit Optionally Invertible IO Clock network input. This is the primary clock
                                       -- input used when the clock doubler circuit is not engaged (see DATA_RATE
                                       -- attribute).

    CLK1 => CLK1,                     -- 1-bit IO Clock network input. Optionally Invertible. Timing note: CLK1 should
                                       -- be 180 degrees out of phase with CLK0.

    CLKDIV => CLKDIV,                 -- 1-bit Global clock network input. This is the clock for the fabric domain.
    -- D1 - D4: 1-bit (each) Data input
    D1 => D1,
    D2 => D2,
    D3 => D3,
    D4 => D4,
    IOCE => IOCE,                     -- 1-bit "Transfer Out" enable signal derived from BUFIO CE. This is the strobe
```

```

-- that determines when the input data is sampled.

OCE => OCE,          -- 1-bit Clock enable for data inputs.
RST => RST,          -- 1-bit Shared Data/Tristate Reset pin. Asynchronous only.
-- SHIFTIN1 - SHIFTIN2: 1-bit (each) Cascade data input signal (dummy in Master). Used for DATA_WIDTHs
-- greater than 4.
SHIFTIN1 => SHIFTIN1,
SHIFTIN2 => SHIFTIN2,
-- SHIFTIN3 - SHIFTIN4: 1-bit (each) Differential data input Signal (dummy in Slave).
SHIFTIN3 => SHIFTIN3,
SHIFTIN4 => SHIFTIN4,
-- T1 - T4: 1-bit (each) Parallel 3-State Inputs - Ports T1 to T4 are the location in which all parallel
-- 3-state signals enters the OSERDES2 module. This port is connected to the FPGA fabric, and can be
-- configured from 1 to 4 bits. This feature is not supported in the extended width mode.
T1 => T1,
T2 => T2,
T3 => T3,
T4 => T4,
TCE => TCE,          -- 1-bit Clock enable for tristate inputs.
TRAIN => TRAIN       -- 1-bit Enable use of the training pattern. The "train" function is a means of
-- specifying a fixed output pattern that is used to calibrate the receiver of
-- the signal. This pin allows the fabric to control whether the output is that
-- fixed pattern or the input data from the pins.

);

-- End of OSERDES2_inst instantiation

```

Verilog 記述 (インスタンス化)

```
// OSERDES2: Dedicated IOB Output Serializer
//          Spartan-6
// Xilinx HDL Language Template, version 11.1

OSERDES2 #(
    .BYPASS_GCLK_FF("FALSE"),
    .DATA_RATE_OQ("DDR"),           // Data rate setting. Defines whether the data changes at every clock edge
                                     // or every positive clock edge with respect to CLK.
    .DATA_RATE_OT("DDR"),           // Tristate Data rate setting. Defines whether the 3-state changes at every
                                     // clock edge, every positive clock edge, or buffer configuration with
                                     // respect to CLK.
    .DATA_WIDTH(2),                 // Sets how many bits from the fabric to serialize to the IOB.
    .OUTPUT_MODE("SINGLE_ENDED"),    // Output Mode.
    .SERDES_MODE("MASTER"),         // Indicates whether SERDES is being used as a Master or Slave when
                                     // cascaded.
    .TRAIN_PATTERN(0)               // Training pattern. See comments with TRAIN pin.
)
OSERDES2_inst (
    .OQ(OQ),                        // 1-bit Data path output to pad or IODELAY2.
    // SHIFTOUT1 - SHIFTOUT2: 1-bit (each) Cascade data output signal (dummy in Slave). Used for DATA_WIDTHS
    // greater than 4.
    .SHIFTOUT1(SHIFTOUT1),
    .SHIFTOUT2(SHIFTOUT2),
    // SHIFTOUT3 - SHIFTOUT4: 1-bit (each) Differential data output signal (dummy in Master).
    .SHIFTOUT3(SHIFTOUT3),
    .SHIFTOUT4(SHIFTOUT4),
    .TQ(TQ),                        // 1-bit Tristate path output to pad or IODELAY2.
    .CLK0(CLK0),                    // 1-bit Optionally Invertible IO Clock network input. This is the primary clock
    // input used when the clock doubler circuit is not engaged (see DATA_RATE
    // attribute).
    .CLK1(CLK1),                    // 1-bit IO Clock network input. Optionally Invertible. Timing note: CLK1 should
    // be 180 degrees out of phase with CLK0.
    .CLKDIV(CLKDIV),                // 1-bit Global clock network input. This is the clock for the fabric domain.
    // D1 - D4: 1-bit (each) Data input
    .D1(D1),
    .D2(D2),
    .D3(D3),
    .D4(D4),
    .IOCE(IOCE),                    // 1-bit "Transfer Out" enable signal derived from BUFIO CE. This is the strobe
    // that determines when the input data is sampled.
    .OCE(OCE),                      // 1-bit Clock enable for data inputs.
    .RST(RST),                      // 1-bit Shared Data/Tristate Reset pin. Asynchronous only.
    // SHIFTIN1 - SHIFTIN2: 1-bit (each) Cascade data input signal (dummy in Master). Used for DATA_WIDTHS
    // greater than 4.
    .SHIFTIN1(SHIFTIN1),
    .SHIFTIN2(SHIFTIN2),
    // SHIFTIN3 - SHIFTIN4: 1-bit (each) Differential data input Signal (dummy in Slave).
    .SHIFTIN3(SHIFTIN3),
    .SHIFTIN4(SHIFTIN4),
    // T1 - T4: 1-bit (each) Parallel 3-State Inputs - Ports T1 to T4 are the location in which all parallel
    // 3-state signals enters the OSERDES2 module. This port is connected to the FPGA fabric, and can be
    // configured from 1 to 4 bits. This feature is not supported in the extended width mode.
    .T1(T1),
    .T2(T2),
    .T3(T3),
    .T4(T4),
    .TCE(TCE),                      // 1-bit Clock enable for tristate inputs.
    .TRAIN(TRAIN)                   // 1-bit Enable use of the training pattern. The "train" function is a means of
    // specifying a fixed output pattern that is used to calibrate the receiver of the
    // signal. This pin allows the fabric to control whether the output is that fixed
    // pattern or the input data from the pins.
);

// End of OSERDES2_inst instantiation
```

詳細情報

- ・ [Spartan-6 FPGA SelectIO リソース ユーザー ガイド](#)
- ・ [Spartan-6 FPGA データシート : DC 特性およびスイッチ特性](#)

プリミティブ : PCI Express



このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

Spartan-6 ライブラリ ガイド (回路図用)
UG616 (v11.4) 2009 年 12 月 2 日

概要

このELEMENTは、RocketIO™ トランシーバ、ブロック RAM、さまざまなクロック リソースなど、FPGA のほかのリソースと併用します。PCI EXPRESS® デザインを PCIE_A1 を使用してインプリメントするには、必ず CORE Generator™ (ISE® Design Suite に含まれる) を使用して PCI EXPRESS デザイン用の LogiCORE™ IP コアを作成してください。LogiCORE は、PCIE_A1 ソフトウェア プリミティブをインスタンス化し、インターフェイスを FPGA リソースに接続し、すべての属性を設定して、シンプルでユーザーにとって使いやすいインターフェイスを提供します。

デザインの入力方法

このELEMENTをインスタンス化するには、PCI EXPRESS® コアまたはこのELEMENTを含む関連コアを使用します。このELEMENTは直接インスタンス化しないでください。

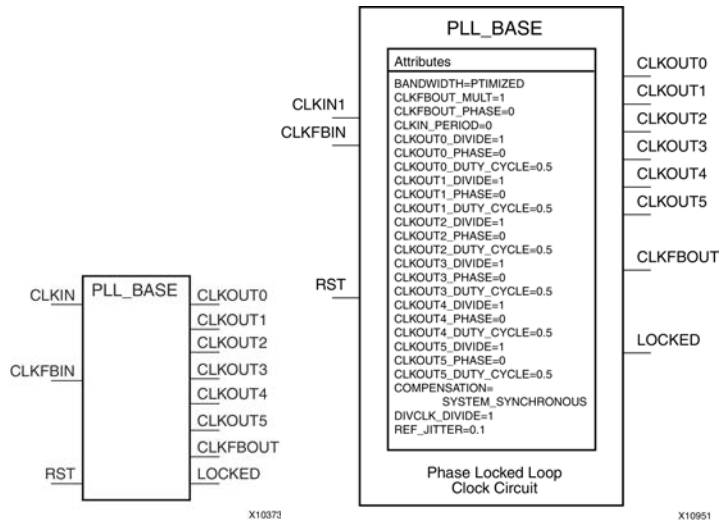
このELEMENTは、回路図で使用されます。

詳細情報

- ・ [Spartan-6 FPGA RocketIO GTP トランシーバ ユーザー ガイド](#)
- ・ [PCI EXPRESS® 用 LogiCORE™ IP Spartan-6 FPGA 統合エンドポイント ブロック v1.1 ユーザー ガイド](#)
- ・ [Spartan-6 FPGA データシート : DC 特性およびスイッチ特性](#)

PLL_BASE

プリミティブ : Basic Phase Locked Loop Clock Circuit



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- Virtex®-5
- Virtex-6

概要

このデザイン エLEMENTは、FPGA 内部と外部回路の両方に対するクロック合成およびクロック管理機能を備えたエンベデッド位相ロック ループ クロック回路で、PLL_ADV デザイン エLEMENTのサブセットです。PLL_BASE を使用すると、ほとんどの PLL クロック回路において統合が簡単になります。このコンポーネントには PLL で提供可能なすべての機能は備わっていませんが、入力クロックの位相をシフト、通倍、分周でき、またデューティ サイクルやジッタ フィルタを変更する機能があります。

ポートの説明

| ポート名 | 方向 | 幅 | 機能 |
|-------------|----|---|---|
| クロック出力/入力 | | | |
| CLKOUT0 ~ 5 | 出力 | 1 | 位相が制御される 6 個の出力クロックの 1 つ |
| CLKFBOUT | 出力 | 1 | クロック ネットワークの遅延調整方法を指定するために使用する専用 PLL フィードバック出力。この出力の接続の有無は、調整方法によって異なります。 |
| CLKIN | 入力 | 1 | PLL のクロック ソース入力。FPGA の専用クロックピン、DCM 出力クロックピン、または BUFG 出力ピンによって駆動されます。 |
| CLKFBIN | 入力 | 1 | クロック フィードバック入力。CLKFBOUT ポートからのみ接続できます。 |

| ポート名 | 方向 | 幅 | 機能 |
|--------------|----|---|----------------------------------|
| ステータス出力/制御入力 | | | |
| LOCKED | 出力 | 1 | 位相アライメントが完了し、操作が開始可能であることを示す同期出力 |
| RST | 入力 | 1 | 非同期リセット |

デザインの入力方法

| | |
|--------------------------|----|
| インスタンス化 | 推奨 |
| 推論 | 不可 |
| CORE Generator™ およびウィザード | 不可 |
| マクロのサポート | 不可 |

このエレメントは、回路図で使用されます。

使用可能な属性

| 属性 | タイプ | 値 | デフォルト | 説明 |
|---|-----|---|---------------------|--|
| COMPENSATION | 文字列 | SYSTEM_ SYNCHRONOUS、SOURCE_ SYNCHRONOUS | SYSTEM_ SYNCHRONOUS | 入力クロックの PLL 位相調整を指定します。すべてのクロック遅延を調整する場合は SYSTEM_ SYNCHRONOUS を、クロックがデータと共に供給されて位相が揃っているときには SOURCE_ SYNCHRONOUS を使用します。 |
| BANDWIDTH | 文字列 | HIGH、LOW、OPTIMIZED | OPTIMIZED | ジッタ、位相マージンなどの PLL 特性に影響する PLL プログラム アルゴリズムを指定 |
| CLKOUT0_DIVIDE、CLKOUT1_DIVIDE、CLKOUT2_DIVIDE、CLKOUT3_DIVIDE、CLKOUT4_DIVIDE、CLKOUT5_DIVIDE | 整数 | 1 ~ 128 | 1 | 別の周波数を使用する場合に、CLKOUT クロック出力を分周する値を指定します。この値と FBCLKOUT_MULT 値から出力周波数が決まります。 |
| CLKOUT0_PHASE、CLKOUT1_PHASE、CLKOUT2_PHASE、CLKOUT3_PHASE、CLKOUT4_PHASE、CLKOUT5_PHASE | 実数 | 0.01 ~ 360.0 | 0.0 | CLKOUT クロック出力との位相オフセットを度数で指定します。90 は 90 度または 4 分の 1 サイクルの位相オフセット、180 は 180 度または 2 分の 1 サイクルの位相オフセットを示します。 |
| CLKOUT0_DUTY_CYCLE、CLKOUT1_DUTY_CYCLE、CLKOUT2_DUTY_CYCLE、CLKOUT3_DUTY_CYCLE、CLKOUT4_DUTY_CYCLE、CLKOUT5_DUTY_CYCLE | 実数 | 0.01 ~ 0.99 | 0.50 | CLKOUT クロック出力のデューティサイクルをパーセントで指定します。0.50 の場合、デューティサイクルは 50% になります。 |
| CLKFBOUT_MULT | 整数 | 1 ~ 64 | 1 | 別の周波数を使用する場合に、すべての CLKOUT クロック出力を通倍する値を指定します。この値と CLKOUT#_DIVIDE 値から出力周波数が決まります。 |
| DIVCLK_DIVIDE | 整数 | 1 ~ 52 | 1 | すべての出力クロックの分周比を指定 |
| CLKFBOUT_PHASE | 実数 | 0.0 ~ 360 | 0.0 | クロックフィードバック出力の位相オフセットを度数で指定します。 |

| 属性 | タイプ | 値 | デフォルト | 説明 |
|--------------|-----|----------------|-------|--|
| REF_JITTER | 実数 | 0.000 ~ 0.999 | 0.100 | リファレンス クロック ジッタは、リファレンス クロックの割合で示した UI (ユニット インターバル) で指定します。この値は、入力クロックの最大ピークトゥピーク値にします。 |
| CLKIN_PERIOD | 実数 | 1.000 ~ 52.630 | 0.000 | PLL CLKIN 入力への入力周期を指定 (ns) |

VHDL 記述 (インスタンス化)

次の 2 つの構文が存在しない場合はコピーし、エンティティ宣言の前に貼り付けます。

```

Library UNISIM;
use UNISIM.vcomponents.all;

-- PLL_BASE: Phase-Lock Loop Clock Circuit
--           Virtex-5, Spartan-6
-- Xilinx HDL Libraries Guide, version 11.2

PLL_BASE_inst : PLL_BASE
generic map (
    BANDWIDTH => "OPTIMIZED", -- "HIGH", "LOW" or "OPTIMIZED"
    CLKFBOUT_MULT => 1, -- Multiplication factor for all output clocks
    CLKFBOUT_PHASE => 0.0, -- Phase shift (degrees) of all output clocks
    CLKIN_PERIOD => 0.000, -- Clock period (ns) of input clock on CLKIN
    CLKOUT0_DIVIDE => 1, -- Division factor for CLKOUT0 (1 to 128)
    CLKOUT0_DUTY_CYCLE => 0.5, -- Duty cycle for CLKOUT0 (0.01 to 0.99)
    CLKOUT0_PHASE => 0.0, -- Phase shift (degrees) for CLKOUT0 (0.0 to 360.0)
    CLKOUT1_DIVIDE => 1, -- Division factor for CLKOUT1 (1 to 128)
    CLKOUT1_DUTY_CYCLE => 0.5, -- Duty cycle for CLKOUT1 (0.01 to 0.99)
    CLKOUT1_PHASE => 0.0, -- Phase shift (degrees) for CLKOUT1 (0.0 to 360.0)
    CLKOUT2_DIVIDE => 1, -- Division factor for CLKOUT2 (1 to 128)
    CLKOUT2_DUTY_CYCLE => 0.5, -- Duty cycle for CLKOUT2 (0.01 to 0.99)
    CLKOUT2_PHASE => 0.0, -- Phase shift (degrees) for CLKOUT2 (0.0 to 360.0)
    CLKOUT3_DIVIDE => 1, -- Division factor for CLKOUT3 (1 to 128)
    CLKOUT3_DUTY_CYCLE => 0.5, -- Duty cycle for CLKOUT3 (0.01 to 0.99)
    CLKOUT3_PHASE => 0.0, -- Phase shift (degrees) for CLKOUT3 (0.0 to 360.0)
    CLKOUT4_DIVIDE => 1, -- Division factor for CLKOUT4 (1 to 128)
    CLKOUT4_DUTY_CYCLE => 0.5, -- Duty cycle for CLKOUT4 (0.01 to 0.99)
    CLKOUT4_PHASE => 0.0, -- Phase shift (degrees) for CLKOUT4 (0.0 to 360.0)
    CLKOUT5_DIVIDE => 1, -- Division factor for CLKOUT5 (1 to 128)
    CLKOUT5_DUTY_CYCLE => 0.5, -- Duty cycle for CLKOUT5 (0.01 to 0.99)
    CLKOUT5_PHASE => 0.0, -- Phase shift (degrees) for CLKOUT5 (0.0 to 360.0)
    COMPENSATION => "SYSTEM_SYNCHRONOUS", -- "SYSTEM_SYNCHRONOUS",
                                           -- "SOURCE_SYNCHRONOUS", "INTERNAL",
                                           -- "EXTERNAL", "DCM2PLL", "PLL2DCM"
    DIVCLK_DIVIDE => 1, -- Division factor for all clocks (1 to 52)
    REF_JITTER => 0.100) -- Input reference jitter (0.000 to 0.999 UI%)
port map (
    CLKFBOUT => CLKFBOUT, -- General output feedback signal
    CLKOUT0 => CLKOUT0, -- One of six general clock output signals
    CLKOUT1 => CLKOUT1, -- One of six general clock output signals
    CLKOUT2 => CLKOUT2, -- One of six general clock output signals
    CLKOUT3 => CLKOUT3, -- One of six general clock output signals
    CLKOUT4 => CLKOUT4, -- One of six general clock output signals
    CLKOUT5 => CLKOUT5, -- One of six general clock output signals
    LOCKED => LOCKED, -- Active high PLL lock signal
    CLKFBIN => CLKFBIN, -- Clock feedback input
    CLKIN => CLKIN, -- Clock input
    RST => RST -- Asynchronous PLL reset
);

-- End of PLL_BASE_inst instantiation

```

Verilog 記述 (インスタンス化)

```
// PLL_BASE: Phase-Lock Loop Clock Circuit
//          Virtex-5, Spartan-6
// Xilinx HDL Libraries Guide, version 11.2

PLL_BASE #(
    .BANDWIDTH("OPTIMIZED"), // "HIGH", "LOW" or "OPTIMIZED"
    .CLKFBOUT_MULT(1),       // Multiplication factor for all output clocks
    .CLKFBOUT_PHASE(0.0),    // Phase shift (degrees) of all output clocks
    .CLKIN_PERIOD(0.000),    // Clock period (ns) of input clock on CLKIN
    .CLKOUT0_DIVIDE(1),      // Division factor for CLKOUT0 (1 to 128)
    .CLKOUT0_DUTY_CYCLE(0.5), // Duty cycle for CLKOUT0 (0.01 to 0.99)
    .CLKOUT0_PHASE(0.0),     // Phase shift (degrees) for CLKOUT0 (0.0 to 360.0)
    .CLKOUT1_DIVIDE(1),      // Division factor for CLKOUT1 (1 to 128)
    .CLKOUT1_DUTY_CYCLE(0.5), // Duty cycle for CLKOUT1 (0.01 to 0.99)
    .CLKOUT1_PHASE(0.0),     // Phase shift (degrees) for CLKOUT1 (0.0 to 360.0)
    .CLKOUT2_DIVIDE(1),      // Division factor for CLKOUT2 (1 to 128)
    .CLKOUT2_DUTY_CYCLE(0.5), // Duty cycle for CLKOUT2 (0.01 to 0.99)
    .CLKOUT2_PHASE(0.0),     // Phase shift (degrees) for CLKOUT2 (0.0 to 360.0)
    .CLKOUT3_DIVIDE(1),      // Division factor for CLKOUT3 (1 to 128)
    .CLKOUT3_DUTY_CYCLE(0.5), // Duty cycle for CLKOUT3 (0.01 to 0.99)
    .CLKOUT3_PHASE(0.0),     // Phase shift (degrees) for CLKOUT3 (0.0 to 360.0)
    .CLKOUT4_DIVIDE(1),      // Division factor for CLKOUT4 (1 to 128)
    .CLKOUT4_DUTY_CYCLE(0.5), // Duty cycle for CLKOUT4 (0.01 to 0.99)
    .CLKOUT4_PHASE(0.0),     // Phase shift (degrees) for CLKOUT4 (0.0 to 360.0)
    .CLKOUT5_DIVIDE(1),      // Division factor for CLKOUT5 (1 to 128)
    .CLKOUT5_DUTY_CYCLE(0.5), // Duty cycle for CLKOUT5 (0.01 to 0.99)
    .CLKOUT5_PHASE(0.0),     // Phase shift (degrees) for CLKOUT5 (0.0 to 360.0)
    .COMPENSATION("SYSTEM_SYNCHRONOUS"), // "SYSTEM_SYNCHRONOUS",
                                         // "SOURCE_SYNCHRONOUS", "INTERNAL", "EXTERNAL",
                                         // "DCM2PLL", "PLL2DCM"
    .DIVCLK_DIVIDE(1),       // Division factor for all clocks (1 to 52)
    .REF_JITTER(0.100)      // Input reference jitter (0.000 to 0.999 UI%)
) PLL_BASE_inst (
    .CLKFBOUT(CLKFBOUT),    // General output feedback signal
    .CLKOUT0(CLKOUT0),      // One of six general clock output signals
    .CLKOUT1(CLKOUT1),      // One of six general clock output signals
    .CLKOUT2(CLKOUT2),      // One of six general clock output signals
    .CLKOUT3(CLKOUT3),      // One of six general clock output signals
    .CLKOUT4(CLKOUT4),      // One of six general clock output signals
    .CLKOUT5(CLKOUT5),      // One of six general clock output signals
    .LOCKED(LOCKED),        // Active high PLL lock signal
    .CLKFBIN(CLKFBIN),      // Clock feedback input
    .CLKIN(CLKIN),          // Clock input
    .RST(RST)               // Asynchronous PLL reset
);

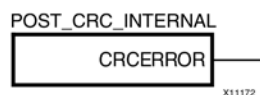
// End of PLL_BASE_inst instantiation
```

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリ データシート](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリ データシート](#)
- ・ [Spartan-3E FPGA ファミリ データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

POST_CRC_INTERNAL

プリミティブ : Post-configuration CRC error detection



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

Spartan®-6

概要

このプリミティブを使用しハードウェアから CRC エラーを報告します。この新しいプリミティブは POST_CRC を拡張するために追加されています。また、CRC_EXTSTAT_DISABLE がアクティベートされているときの POST CRC ステータスへの唯一アクセスでもあります。

ポートの説明

| ポート名 | タイプ | 幅 | 機能 |
|----------|-----|---|-----------------------|
| CRCERROR | 出力 | 1 | コンフィギュレーション後の CRC エラー |

デザインの入力方法

| | |
|--------------------------|----|
| インスタンス化 | 推奨 |
| 推論 | 不可 |
| CORE Generator™ およびウィザード | 不可 |
| マクロのサポート | 不可 |

このELEMENTは、回路図で使用されます。

VHDL 記述 (インスタンス化)

```
-- POST_CRC_INTERNAL: Post-configuration CRC error detection
--                      Spartan-6
-- Xilinx HDL Libraries Guide, version 11.2

POST_CRC_INTERNAL_inst : POST_CRC_INTERNAL
generic map (
)
port map (
  CRCERROR => CRCERROR -- 1-bit Post-configuration CRC error
);

-- End of POST_CRC_INTERNAL_inst instantiation
```

Verilog 記述 (インスタンス化)

```
// POST_CRC_INTERNAL: Post-configuration CRC error detection
//                      Spartan-6
// Xilinx HDL Language Template, version 11.1

POST_CRC_INTERNAL POST_CRC_INTERNAL_inst (
    .CRCERROR(CRCERROR) // 1-bit Post-configuration CRC error
);

// End of POST_CRC_INTERNAL_inst instantiation
```

詳細情報

- ・ [Spartan-6 FPGA コンフィギュレーション ユーザー ガイド](#)
- ・ [Spartan-6 FPGA データシート : DC 特性およびスイッチ特性](#)

PULLDOWN

プリミティブ : Resistor to GND for Input Pads, Open-Drain, and 3-State Outputs

PULLDOWN



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6
- ・ CoolRunner-II

概要

この抵抗ELEMENTは、入力、出力、双方向のパッドに接続し、フロートする可能性のあるノードのロジック レベルを Low にします。

ポートの説明

| ポート名 | 方向 | 幅 | 機能 |
|------|----|---|-----------------------|
| O | 出力 | 1 | プルダウン出力 (最上位ポートに直接接続) |

デザインの入力方法

| | |
|--------------------------|----|
| インスタンス化 | 可 |
| 推論 | 推奨 |
| CORE Generator™ およびウィザード | 不可 |
| マクロのサポート | 不可 |

このELEMENTは、回路図で使用されます。

このELEMENTは、最上位の回路図ファイルで次のネットに接続できます。

- ・ 入力 I/O マーカーに接続されたネット
- ・ 出力 I/O マーカーおよび OBUFT のようなトライステートにできる I/O ELEMENTの両方に接続されたネット

VHDL 記述 (インスタンスレーション)

次の 2 つの構文が存在しない場合はコピーし、エンティティ宣言の前に貼り付けます。

```
Library UNISIM;  
use UNISIM.vcomponents.all;  
  
-- PULLDOWN: I/O Buffer Weak Pull-down  
--           All FPGA  
-- Xilinx HDL Libraries Guide, version 11.2  
  
PULLDOWN_inst : PULLDOWN  
port map (  
    O => O      -- Pulldown output (connect directly to top-level port)  
);  
  
-- End of PULLDOWN_inst instantiation
```

Verilog 記述 (インスタンスレーション)

```
// PULLDOWN: I/O Buffer Weak Pull-down  
//           All FPGA  
// Xilinx HDL Libraries Guide, version 11.2  
  
PULLDOWN PULLDOWN_inst (  
    .O(O)      // Pulldown output (connect directly to top-level port)  
);  
  
// End of PULLDOWN_inst instantiation
```

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリー データシート](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)
- ・ [Spartan-3E FPGA ファミリー データシート](#)
- ・ [Spartan-6 FPGA SelectIO リソース ユーザー ガイド](#)
- ・ [Spartan-6 FPGA データシート: DC 特性およびスイッチ特性](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート: DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート: DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当する EDK 資料](#)

PULLUP

プリミティブ : Resistor to VCC for Input PADs, Open-Drain, and 3-State Outputs



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

このデザイン エLEMENTは、1 つの入力、トリステート出力、または双方向ポートが内部または外部ソースで駆動されないときに、値、weak High で駆動できます。このELEMENTは、すべてのドライバが使用されていないときにオープンドレイン エLEMENTおよびマクロのロジック レベルを 1 (High) にします。

ポートの説明

| ポート名 | 方向 | 幅 | 機能 |
|------|----|---|-----------------------|
| O | 出力 | 1 | プルアップ出力 (最上位ポートに直接接続) |

デザインの入力方法

| | |
|--------------------------|----|
| インスタンス化 | 可 |
| 推論 | 推奨 |
| CORE Generator™ およびウィザード | 不可 |
| マクロのサポート | 不可 |

このELEMENTは、回路図で使用されます。

このELEMENTは、最上位の回路図ファイルで次のネットに接続できます。

- ・ 入力 I/O マーカーに接続されたネット
- ・ 出力 I/O マーカーおよび OBUFT のようなトリステートにできる I/O ELEMENTの両方に接続されたネット

VHDL 記述 (インスタンス化)

次の 2 つの構文が存在しない場合はコピーし、エンティティ宣言の前に貼り付けます。

```
Library UNISIM;  
use UNISIM.vcomponents.all;  
  
-- PULLUP: I/O Buffer Weak Pull-up  
--           All FPGA, CoolRunner-II  
-- Xilinx HDL Libraries Guide, version 11.2  
  
PULLUP_inst : PULLUP  
port map (  
    O => O      -- Pullup output (connect directly to top-level port)  
);  
  
-- End of PULLUP_inst instantiation
```

Verilog 記述 (インスタンス化)

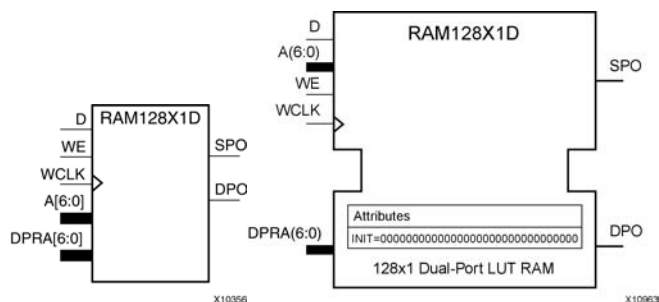
```
// PULLUP: I/O Buffer Weak Pull-up  
//           All FPGA, CoolRunner-II  
// Xilinx HDL Libraries Guide, version 11.2  
  
PULLUP PULLUP_inst (  
    .O(O)      // Pullup output (connect directly to top-level port)  
);  
  
// End of PULLUP_inst instantiation
```

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリー データシート](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)
- ・ [Spartan-3E FPGA ファミリー データシート](#)
- ・ [Spartan-6 FPGA SelectIO リソース ユーザー ガイド](#)
- ・ [Spartan-6 FPGA データシート: DC 特性およびスイッチ特性](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート: DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート: DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当する EDK 資料](#)

RAM128X1D

プリミティブ : 128-Deep by 1-Wide Dual Port Random Access Memory (Select RAM)



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-6
- ・ Virtex®-5
- ・ Virtex-6

概要

このデザイン エLEMENTは 128 ワード X 1 ビットの RAM で読み出し/書き込みポートがあり、ライト イネーブル (WE) が High のときにアドレス バス A で指定されたロケーションに D 入力データピンの値が書き込まれます。この書き込みは WCLK の立ち上がりエッジの直後に実行され、同じ値が SPO に出力されます。WE が Low のときは非同期読み出しが実行され、アドレス バス A で指定されたメモリ ロケーションの値が SPO に非同期で出力されます。アドレス バス DPRA の値を変更することにより、読み出しポートでは非同期読み出しを実行できます。DPO にその値が出力されます。

ポートの説明

| ポート名 | 方向 | 幅 | 機能 |
|------|----|---|------------------------------------|
| SPO | 出力 | 1 | アドレス バス A で指定された読み出し/書き込みポートのデータ出力 |
| DPO | 出力 | 1 | アドレス バス DPRA で指定された読み出しポートのデータ出力 |
| D | 入力 | 1 | アドレス バス A で指定された書き込みデータ入力 |
| A | 入力 | 7 | 読み出し/書き込みポートのアドレス バス |
| DPRA | 入力 | 7 | 読み出しポートのアドレス バス |
| WE | 入力 | 1 | ライト イネーブル |
| WCLK | 入力 | 1 | ライト クロック (読み出しは非同期) |

インスタンス化する場合、このコンポーネントを次のように接続します。

- ・ WCLK 入力をクロックソースに、D 入力を格納するデータソースに、DPO 出力を FDCE の D 入力などの適切なデスティネーションに接続します。
- ・ オプションで、SPO 出力を適切なデスティネーションに接続するか、または未接続にすることもできます。
- ・ クロック イネーブル ピン (WE) は、適切なライト イネーブル ソースに接続します。
- ・ 7 ビット バス A は読み出し/書き込みアドレスに、7 ビット バス DPRA は読み出しアドレスに接続する必要があります。
- ・ 128 ビットの 16 進数で構成される INIT 属性で、RAM の初期値を指定できます。

指定しない場合は、初期値はすべてゼロになります。

デザインの入力方法

| | |
|--------------------------|----|
| インスタンス化 | 可 |
| 推論 | 推奨 |
| CORE Generator™ およびウィザード | 不可 |
| マクロのサポート | 不可 |

このエレメントは、回路図で使用されます。

使用可能な属性

| 属性 | タイプ | 値 | デフォルト | 説明 |
|------|-------|----------|-------|-------------|
| INIT | 16 進数 | 128 ビット値 | すべてゼロ | RAM の初期値を指定 |

VHDL 記述 (インスタンス化)

次の 2 つの構文が存在しない場合はコピーし、エンティティ宣言の前に貼り付けます。

```
Library UNISIM;
use UNISIM.vcomponents.all;

-- RAM128X1D: 128-deep by 1-wide positive edge write, asynchronous read
--             dual-port distributed LUT RAM
--             Virtex-5/6, Spartan-6
-- Xilinx HDL Libraries Guide, version 11.2

RAM128X1D_inst : RAM128X1D
generic map (
  INIT => X"00000000000000000000000000000000"
)
port map (
  DPO => DPO,      -- Read/Write port 1-bit output
  SPO => SPO,      -- Read port 1-bit output
  A => A,          -- Read/Write port 7-bit address input
  D => D,          -- RAM data input
  DPRA => DPRA,    -- Read port 7-bit address input
  WCLK => WCLK,    -- Write clock input
  WE => WE         -- RAM data input
);

-- End of RAM128X1D_inst instantiation
```

Verilog 記述 (インスタンス化)

```
// RAM128X1D: 128-deep by 1-wide positive edge write, asynchronous read
//           dual-port distributed LUT RAM
//           Virtex-5, Virtex-6, Spartan-6
// Xilinx HDL Libraries Guide, version 11.2

RAM128X1D #(
    .INIT(128'h00000000000000000000000000000000)
) RAM128X1D_inst (
    .DPO(DPO), // Read port 1-bit output
    .SPO(SPO), // Read/Write port 1-bit output
    .A(A),     // Read/Write port 7-bit address input
    .D(D),     // RAM data input
    .DPRA(DPRA), // Read port 7-bit address input
    .WCLK(WCLK), // Write clock input
    .WE(WE)    // Write enable input
);

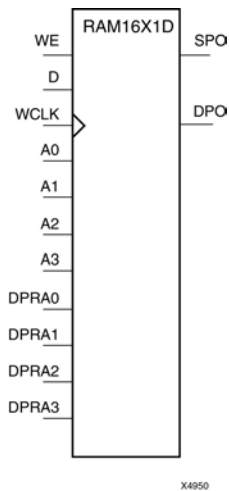
// End of RAM128X1D_inst instantiation
```

詳細情報

- ・ [Spartan-6 FPGA コンフィギュラブル ロジック ブロック ユーザー ガイド](#)
- ・ [Spartan-6 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

RAM16X1D

プリミティブ : 16-Deep by 1-Wide Static Dual Port Synchronous RAM



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6

概要

このELEMENTは 16 ワード X 1 ビットのデュアル ポート SRAM で、同期書き込み機能を備えています。デバイスには、読み出しアドレス (DPRA3 ~ DPRA0) と書き込みアドレス (A3 ~ A0) の 2 種類のアドレス ポートがあります。この 2 種類のアドレス ポートは非同期です。読み出しアドレスによって出力ピン (DPO) に出力される値が指定され、書き込みアドレスによって書き込みを行う位置が指定されます。ライト イネーブル (WE) が Low の場合、ライト クロック (WCLK) の遷移は無視され、RAM に格納されている値は変化しません。

WE が High の場合、WCLK が Low から High に切り替わるときに、データ入力 (D) の値が 4 ビットの書き込みアドレスで選択されたワードにロードされます。書き込みを正しく行うには、WCLK が Low から High に切り替わる前に、書き込みアドレスとデータ入力の値を安定させる必要があります。WCLK はデフォルトではアクティブ High ですが、インバータを使用してアクティブ Low にすることもできます。WCLK の入力ネットに配置されたインバータは、RAM ブロック内に組み込まれます。

SPO 出力には、A3 ~ A0 で指定されたメモリ セルの値が出力されます。DPO 出力には、DPRA3 ~ DPRA0 で指定されたメモリ セルの値が出力されます。

メモ : 書き込み処理は、読み出しアドレス ポートのアドレスには影響されません。

INIT 属性を使用すると、RAM を直接初期化できます。値は、INIT=ABAC のように、16 進数で指定してください。INIT 属性を指定しない場合は、RAM は 0 に初期化されます。

論理表

モード選択を次の論理表に示します。

| 入力 | | | 出力 | |
|----------------------------------|------|---|--------|--------|
| WE (モード) | WCLK | D | SPO | DPO |
| 0 (読み出し) | X | X | data_a | data_d |
| 1 (読み出し) | 0 | X | data_a | data_d |
| 1 (読み出し) | 1 | X | data_a | data_d |
| 1 (書き込み) | ↑ | D | D | data_d |
| 1 (読み出し) | ↓ | X | data_a | data_d |
| data_a = A3 ~ A0 で指定されたワード | | | | |
| data_d = DPRA3 ~ DPRA0 で指定されたワード | | | | |

デザインの入力方法

| | |
|--------------------------|----|
| インスタンス化 | 可 |
| 推論 | 推奨 |
| CORE Generator™ およびウィザード | 不可 |
| マクロのサポート | 不可 |

このエレメントは、回路図で使用されます。

使用可能な属性

| 属性 | タイプ | 値 | デフォルト | 説明 |
|------|-------|---------|-------|----------------------|
| INIT | 16 進数 | 16 ビット値 | すべてゼロ | RAM、レジスタ、LUT の初期値を指定 |

VHDL 記述 (インスタンスレーション)

次の 2 つの構文が存在しない場合はコピーし、エンティティ宣言の前に貼り付けます。

```
Library UNISIM;
use UNISIM.vcomponents.all;

-- RAM16X1D: 16 x 1 positive edge write, asynchronous read dual-port distributed RAM
--           All FPGAs
-- Xilinx HDL Libraries Guide, version 11.2

RAM16X1D_inst : RAM16X1D
generic map (
    INIT => X"0000")
port map (
    DPO => DPO,      -- Read-only 1-bit data output for DPRA
    SPO => SPO,      -- R/W 1-bit data output for A0-A3
    A0 => A0,         -- R/W address[0] input bit
    A1 => A1,         -- R/W address[1] input bit
    A2 => A2,         -- R/W address[2] input bit
    A3 => A3,         -- R/W address[3] input bit
    D => D,           -- Write 1-bit data input
    DPRA0 => DPRA0,  -- Read-only address[0] input bit
    DPRA1 => DPRA1,  -- Read-only address[1] input bit
    DPRA2 => DPRA2,  -- Read-only address[2] input bit
    DPRA3 => DPRA3,  -- Read-only address[3] input bit
    WCLK => WCLK,     -- Write clock input
    WE => WE          -- Write enable input
);

-- End of RAM16X1D_inst instantiation
```

Verilog 記述 (インスタンスレーション)

```
// RAM16X1D: 16 x 1 positive edge write, asynchronous read dual-port distributed RAM
//           All FPGAs
// Xilinx HDL Libraries Guide, version 11.2

RAM16X1D #(
    .INIT(16'h0000) // Initial contents of RAM
) RAM16X1D_inst (
    .DPO(DPO),      // Read-only 1-bit data output for DPRA
    .SPO(SPO),      // R/W 1-bit data output for A0-A3
    .A0(A0),         // R/W address[0] input bit
    .A1(A1),         // R/W address[1] input bit
    .A2(A2),         // R/W address[2] input bit
    .A3(A3),         // R/W address[3] input bit
    .D(D),           // Write 1-bit data input
    .DPRA0(DPRA0),  // Read address[0] input bit
    .DPRA1(DPRA1),  // Read address[1] input bit
    .DPRA2(DPRA2),  // Read address[2] input bit
    .DPRA3(DPRA3),  // Read address[3] input bit
    .WCLK(WCLK),    // Write clock input
    .WE(WE)         // Write enable input
);

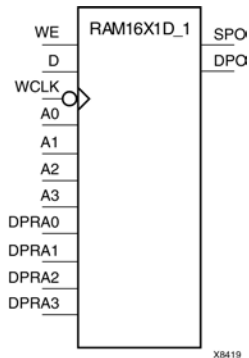
// End of RAM16X1D_inst instantiation
```

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリ データシート](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリ データシート](#)
- ・ [Spartan-3E FPGA ファミリ データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

RAM16X1D_1

プリミティブ : 16-Deep by 1-Wide Static Dual Port Synchronous RAM with Negative-Edge Clock



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6

概要

このELEMENTは、クロックのネガティブ エッジで動作する 16 ワード X 1 ビットのデュアル ポート SRAM で、同期書き込み機能を備えています。デバイスには、読み出しアドレス (DPRA3 ~ DPRA0) と書き込みアドレス (A3 ~ A0) の独立した 2 種類のアドレス ポートがあります。この 2 種類のアドレス ポートは非同期です。読み出しアドレスによって出力ピン (DPO) に出力される値が指定され、書き込みアドレスによって書き込みを行う位置が指定されます。

ライト イネーブル (WE) が Low の場合、ライト クロック (WCLK) の遷移は無視され、RAM に格納されている値は変化しません。WE が High の場合、WCLK が High から Low に切り替わるときに、4 ビットの書き込みアドレスで選択されているワードにデータ入力 (D) の値がロードされます。書き込みを正しく行うには、WCLK が High から Low に切り替わる前に、書き込みアドレスとデータ入力の値を安定させる必要があります。WCLK はデフォルトではアクティブ High ですが、インバータを使用してアクティブ Low にすることもできます。WCLK の入力ネットに配置されたインバータは、RAM ブロック内に組み込まれます。

INIT 属性を使用すると、コンフィギュレーション中に RAM16X1D_1 を初期化できます。

SPO 出力には、A3 ~ A0 で指定されたメモリ セルの値が出力されます。DPO 出力には、DPRA3 ~ DPRA0 で指定されたメモリ セルの値が出力されます。

メモ : 書き込み処理は、読み出しアドレス ポートのアドレスには影響されません。

論理表

モード選択を次の論理表に示します。

| 入力 | | | 出力 | |
|----------------------------------|------|---|--------|--------|
| WE (モード) | WCLK | D | SPO | DPO |
| 0 (読み出し) | X | X | data_a | data_d |
| 1 (読み出し) | 0 | X | data_a | data_d |
| 1 (読み出し) | 1 | X | data_a | data_d |
| 1 (書き込み) | ↓ | D | D | data_d |
| 1 (読み出し) | ↑ | X | data_a | data_d |
| data_a = A3 ~ A0 で指定されたワード | | | | |
| data_d = DPRA3 ~ DPRA0 で指定されたワード | | | | |

ポートの説明

| ポート名 | 方向 | 幅 | 機能 |
|-------|----|---|-------------------------|
| DPO | 出力 | 1 | 読み出し専用 1 ビット データ出力 |
| SPO | 出力 | 1 | 読み出し/書き込み 1 ビット データ出力 |
| A0 | 入力 | 1 | 読み出し/書き込み address[0] 入力 |
| A1 | 入力 | 1 | 読み出し/書き込み address[1] 入力 |
| A2 | 入力 | 1 | 読み出し/書き込み address[2] 入力 |
| A3 | 入力 | 1 | 読み出し/書き込み address[3] 入力 |
| D | 入力 | 1 | 書き込み 1 ビット データ入力 |
| DPRA0 | 入力 | 1 | 読み出し専用 address[0] 入力 |
| DPRA1 | 入力 | 1 | 読み出し専用 address[1] 入力 |
| DPRA2 | 入力 | 1 | 読み出し専用 address[2] 入力 |
| DPRA3 | 入力 | 1 | 読み出し専用 address[3] 入力 |
| WCLK | 入力 | 1 | 書き込みクロック入力 |
| WE | 入力 | 1 | 書き込みイネーブル入力 |

デザインの入力方法

| | |
|--------------------------|----|
| インスタンス化 | 可 |
| 推論 | 推奨 |
| CORE Generator™ およびウィザード | 不可 |
| マクロのサポート | 不可 |

このエレメントは、回路図で使用されます。

使用可能な属性

| 属性 | タイプ | 値 | デフォルト | 説明 |
|------|-------|---------|-------|----------------------|
| INIT | 16 進数 | 16 ビット値 | すべてゼロ | RAM、レジスタ、LUT の初期値を指定 |

VHDL 記述 (インスタンスレーション)

次の 2 つの構文が存在しない場合はコピーし、エンティティ宣言の前に貼り付けます。

```
Library UNISIM;
use UNISIM.vcomponents.all;

-- RAM16X1D_1: 16 x 1 negative edge write, asynchronous read dual-port distributed RAM
--           All FPGA
-- Xilinx HDL Libraries Guide, version 11.2

RAM16X1D_1_inst : RAM16X1D_1
generic map (
    INIT => X"0000")
port map (
    DPO => DPO,      -- Read-only 1-bit data output for DPRA
    SPO => SPO,      -- R/W 1-bit data output for A0-A3
    A0 => A0,         -- R/W address[0] input bit
    A1 => A1,         -- R/W address[1] input bit
    A2 => A2,         -- R/W address[2] input bit
    A3 => A3,         -- R/W address[3] input bit
    D => D,           -- Write 1-bit data input
    DPRA0 => DPRA0,  -- Read-only address[0] input bit
    DPRA1 => DPRA1,  -- Read-only address[1] input bit
    DPRA2 => DPRA2,  -- Read-only address[2] input bit
    DPRA3 => DPRA3,  -- Read-only address[3] input bit
    WCLK => WCLK,     -- Write clock input
    WE => WE          -- Write enable input
);

-- End of RAM16X1D_1_inst instantiation
```

Verilog 記述 (インスタンスレーション)

```
// RAM16X1D_1: 16 x 1 negative edge write, asynchronous read dual-port distributed RAM
//           All FPGA
// Xilinx HDL Libraries Guide, version 11.2

RAM16X1D_1 #(
    .INIT(16'h0000) // Initial contents of RAM
) RAM16X1D_1_inst (
    .DPO(DPO),      // Read-only 1-bit data output
    .SPO(SPO),      // R/W 1-bit data output
    .A0(A0),        // R/W address[0] input bit
    .A1(A1),        // R/W address[1] input bit
    .A2(A2),        // R/W address[2] input bit
    .A3(A3),        // R/W address[3] input bit
    .D(D),          // Write 1-bit data input
    .DPRA0(DPRA0),  // Read-only address[0] input bit
    .DPRA1(DPRA1),  // Read-only address[1] input bit
    .DPRA2(DPRA2),  // Read-only address[2] input bit
    .DPRA3(DPRA3),  // Read-only address[3] input bit
    .WCLK(WCLK),    // Write clock input
    .WE(WE)         // Write enable input
);

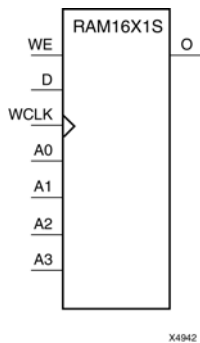
// End of RAM16X1D_1_inst instantiation
```

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリ データシート](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリ データシート](#)
- ・ [Spartan-3E FPGA ファミリ データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

RAM16X1S

プリミティブ : 16-Deep by 1-Wide Static Synchronous RAM



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6

概要

このELEMENTは 16 ワード X 1 ビットの SRAM で、同期書き込み機能を備えています。ライト イネーブル (WE) が Low の場合、ライト クロック (WCLK) の遷移は無視され、RAM に格納されている値は変化しません。WE が High になると、WCLK が Low から High に切り替わるときに、データ入力 (D) の値が 4 ビットのアドレス (A3 ~ A0) で選択されたワードにロードされます。WCLK はデフォルトではアクティブ High ですが、インバータを使用してアクティブ Low にすることもできます。WCLK の入力ネットに配置されたインバータは、RAM ブロック内に組み込まれます。

出力ピン (O) に出力される値は、アドレス ピンで指定された RAM 内の位置に格納されている値です。INIT 属性を使用すると、コンフィギュレーション中に RAM16X1S を初期化できます。

論理表

| 入力 | | | 出力 |
|-------------------------|------|---|-----|
| WE (モード) | WCLK | D | O |
| 0 (読み出し) | X | X | データ |
| 1 (読み出し) | 0 | X | データ |
| 1 (読み出し) | 1 | X | データ |
| 1 (書き込み) | ↑ | D | D |
| 1 (読み出し) | ↓ | X | データ |
| データ = A3 ~ A0 で指定されたワード | | | |

デザインの入力方法

| | |
|--------------------------|----|
| インスタンス化 | 可 |
| 推論 | 推奨 |
| CORE Generator™ およびウィザード | 不可 |
| マクロのサポート | 不可 |

このELEMENTは、回路図で使用されます。

使用可能な属性

| 属性 | タイプ | 値 | デフォルト | 説明 |
|------|-------|---------|-------|-------------|
| INIT | 16 進数 | 16 ビット値 | すべてゼロ | RAM の初期値を指定 |

VHDL 記述 (インスタンス化)

次の 2 つの構文が存在しない場合はコピーし、エンティティ宣言の前に貼り付けます。

```
Library UNISIM;
use UNISIM.vcomponents.all;

-- RAM16X1S: 16 x 1 posedge write distributed => LUT RAM
-- All FPGA
-- Xilinx HDL Libraries Guide, version 11.2

RAM16X1S_inst : RAM16X1S
generic map (
    INIT => X"0000")
port map (
    O => O,          -- RAM output
    A0 => A0,         -- RAM address[0] input
    A1 => A1,         -- RAM address[1] input
    A2 => A2,         -- RAM address[2] input
    A3 => A3,         -- RAM address[3] input
    D => D,          -- RAM data input
    WCLK => WCLK,     -- Write clock input
    WE => WE         -- Write enable input
);

-- End of RAM16X1S_inst instantiation
```

Verilog 記述 (インスタンス化)

```
// RAM16X1S: 16 x 1 posedge write distributed (LUT) RAM
// All FPGA
// Xilinx HDL Libraries Guide, version 11.2

RAM16X1S #(
    .INIT(16'h0000) // Initial contents of RAM
) RAM16X1S_inst (
    .O(O),          // RAM output
    .A0(A0),        // RAM address[0] input
    .A1(A1),        // RAM address[1] input
    .A2(A2),        // RAM address[2] input
    .A3(A3),        // RAM address[3] input
    .D(D),          // RAM data input
    .WCLK(WCLK),    // Write clock input
    .WE(WE)         // Write enable input
);

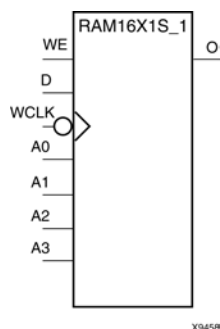
// End of RAM16X1S_inst instantiation
```

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリ データシート](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリ データシート](#)
- ・ [Spartan-3E FPGA ファミリ データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

RAM16X1S_1

プリミティブ : 16-Deep by 1-Wide Static Synchronous RAM with Negative-Edge Clock



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6

概要

このELEMENTはクロックの立ち下がりエッジで動作する 16 ワード X 1 ビットの SRAM で、同期書き込み機能を備えています。ライト イネーブル (WE) が Low の場合、ライト クロック (WCLK) の遷移は無視され、RAM に格納されている値は変化しません。WE が High の場合、WCLK が High から Low に切り替わるときに、データ入力 (D) の値が 4 ビットのアドレス (A3 ~ A0) で選択されたワードにロードされます。書き込みを正しく行うには、WCLK が High から Low に切り替わる前に、書き込みアドレスとデータ入力の値を安定させる必要があります。WCLK はデフォルトではアクティブ Low ですが、インバータを使用してアクティブ High にすることもできます。WCLK の入力ネットに配置されたインバータは、RAM ブロック内に組み込まれます。

出力ピン (O) に出力される値は、アドレス ピンで指定された RAM 内の位置に格納されている値です。

INIT 属性を使用すると、コンフィギュレーション中にこのELEMENTを初期化できます。

論理表

| 入力 | | | 出力 |
|-------------------------|------|---|-----|
| WE (モード) | WCLK | D | O |
| 0 (読み出し) | X | X | データ |
| 1 (読み出し) | 0 | X | データ |
| 1 (読み出し) | 1 | X | データ |
| 1 (書き込み) | ↓ | D | D |
| 1 (読み出し) | ↑ | X | データ |
| データ = A3 ~ A0 で指定されたワード | | | |

デザインの入力方法

| | |
|--------------------------|----|
| インスタンス化 | 可 |
| 推論 | 推奨 |
| CORE Generator™ およびウィザード | 不可 |
| マクロのサポート | 不可 |

このエレメントは、回路図で使用されます。

使用可能な属性

| 属性 | タイプ | 値 | デフォルト | 説明 |
|------|-------|---------|-------|-------------|
| INIT | 16 進数 | 16 ビット値 | すべてゼロ | RAM の初期値を指定 |

VHDL 記述 (インスタンス化)

次の 2 つの構文が存在しない場合はコピーし、エンティティ宣言の前に貼り付けます。

```

Library UNISIM;
use UNISIM.vcomponents.all;

-- RAM16X1S_1: 16 x 1 negedge write distributed => LUT RAM
-- All FPGA
-- Xilinx HDL Libraries Guide, version 11.2

RAM16X1S_1_inst : RAM16X1S_1
generic map (
    INIT => X"0000")
port map (
    O => O,          -- RAM output
    A0 => A0,         -- RAM address[0] input
    A1 => A1,         -- RAM address[1] input
    A2 => A2,         -- RAM address[2] input
    A3 => A3,         -- RAM address[3] input
    D => D,           -- RAM data input
    WCLK => WCLK,     -- Write clock input
    WE => WE          -- Write enable input
);

-- End of RAM16X1S_1_inst instantiation

```

Verilog 記述 (インスタンス化)

```
// RAM16X1S_1: 16 x 1 negedge write distributed (LUT) RAM
//           All FPGA
// Xilinx HDL Libraries Guide, version 11.2

RAM16X1S_1 #(
    .INIT(16'h0000) // Initial contents of RAM
) RAM16X1S_1_inst (
    .O(O),           // RAM output
    .A0(A0),         // RAM address[0] input
    .A1(A1),         // RAM address[1] input
    .A2(A2),         // RAM address[2] input
    .A3(A3),         // RAM address[3] input
    .D(D),           // RAM data input
    .WCLK(WCLK),     // Write clock input
    .WE(WE)          // Write enable input
);

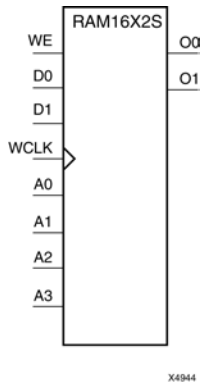
// End of RAM16X1S_1_inst instantiation
```

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリー データシート](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリー データシート](#)
- ・ [Spartan-3E FPGA ファミリー データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

RAM16X2S

プリミティブ : 16-Deep by 2-Wide Static Synchronous RAM



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6

概要

このELEMENTは 16 ワード X 2 ビットの SRAM で、同期書き込み機能を備えています。ライト イネーブル (WE) が Low の場合、ライト クロック (WCLK) の遷移は無視され、RAM に格納されている値は変化しません。WE が High の場合、WCLK が Low から High に切り替わるときに、入力 (D1 ~ D0) の値が 4 ビットのアドレス (A3 ~ A0) で選択されたワードにロードされます。書き込みを正しく行うには、WCLK が Low から High に切り替わる前に、書き込みアドレスとデータ入力の値を安定させる必要があります。WCLK はデフォルトではアクティブ High ですが、インバータを使用してアクティブ Low にすることもできます。WCLK の入力ネットに配置されたインバータは、RAM ブロック内に組み込まれます。

出力ピン (O1 ~ O0) に出力される値は、アドレスピンで指定された RAM 内の位置に格納されている値です。

INIT_xx 属性を使用すると、の RAM の初期値を指定できます。INIT_00 は出力 (O0) に対応する RAM のセルを初期化し、INIT_01 は出力 (O1) に対応するセルを初期化します。たとえば、RAM16X2S インスタンスは、INIT_00 および INIT_01 にそれぞれ 4 つの 16 進数値を指定して初期化します。RAM16X8S インスタンスは、INIT_00 ~ INIT_07 の 8 個の属性にそれぞれ 4 個の 16 進数値を指定して初期化します。RAM64X2S インスタンスは、INIT_00 および INIT_01 にそれぞれ 16 個の 16 進数値を指定して初期化します。

Virtex-4 デバイス以外では、このELEMENTの初期値を直接指定することはできません。

論理表

| 入力 | | | 出力 |
|-------------------------|------|---------|---------|
| WE (モード) | WCLK | D1 ~ D0 | O1 ~ O0 |
| 0 (読み出し) | X | X | データ |
| 1 (読み出し) | 0 | X | データ |
| 1 (読み出し) | 1 | X | データ |
| 1 (書き込み) | ↑ | D1 ~ D0 | D1 ~ D0 |
| 1 (読み出し) | ↓ | X | データ |
| データ = A3 ~ A0 で指定されたワード | | | |

デザインの入力方法

| | |
|--------------------------|----|
| インスタンス化 | 可 |
| 推論 | 推奨 |
| CORE Generator™ およびウィザード | 不可 |
| マクロのサポート | 不可 |

このエレメントは、回路図で使用されます。

使用可能な属性

| 属性 | タイプ | 値 | デフォルト | 説明 |
|-------------------|-------|---------|-------|----------------------|
| INIT_00 ~ INIT_01 | 16 進数 | 16 ビット値 | すべてゼロ | RAM、レジスタ、LUT の初期値を指定 |

VHDL 記述 (インスタンス化)

次の 2 つの構文が存在しない場合はコピーし、エンティティ宣言の前に貼り付けます。

```

Library UNISIM;
use UNISIM.vcomponents.all;

-- RAM16X2S: 16 x 2 posedge write distributed => LUT RAM
-- All FPGA
-- Xilinx HDL Libraries Guide, version 11.2

RAM16X2S_inst : RAM16X2S
generic map (
    INIT_00 => X"0000", -- INIT for bit 0 of RAM
    INIT_01 => X"0000") -- INIT for bit 1 of RAM
port map (
    O0 => O0,      -- RAM data[0] output
    O1 => O1,      -- RAM data[1] output
    A0 => A0,      -- RAM address[0] input
    A1 => A1,      -- RAM address[1] input
    A2 => A2,      -- RAM address[2] input
    A3 => A3,      -- RAM address[3] input
    D0 => D0,      -- RAM data[0] input
    D1 => D1,      -- RAM data[1] input
    WCLK => WCLK,  -- Write clock input
    WE => WE       -- Write enable input
);

-- End of RAM16X2S_inst instantiation

```

Verilog 記述 (インスタンス化)

```
// RAM16X2S: 16 x 2 posedge write distributed (LUT) RAM
//           All FPGA
// Xilinx HDL Libraries Guide, version 11.2

RAM16X2S #(
    .INIT_00(16'h0000), // Initial contents of bit 0 of RAM
    .INIT_01(16'h0000) // Initial contents of bit 1 of RAM
) RAM16X2S_inst (
    .O0(O0),           // RAM data[0] output
    .O1(O1),           // RAM data[1] output
    .A0(A0),           // RAM address[0] input
    .A1(A1),           // RAM address[1] input
    .A2(A2),           // RAM address[2] input
    .A3(A3),           // RAM address[3] input
    .D0(D0),           // RAM data[0] input
    .D1(D1),           // RAM data[1] input
    .WCLK(WCLK),       // Write clock input
    .WE(WE)            // Write enable input
);

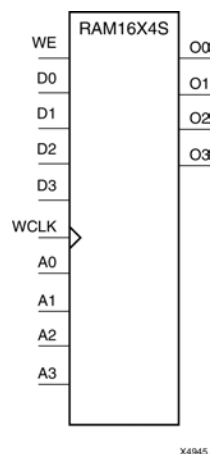
// End of RAM16X2S_inst instantiation
```

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリー データシート](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリー データシート](#)
- ・ [Spartan-3E FPGA ファミリー データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート: DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート: DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

RAM16X4S

プリミティブ : 16-Deep by 4-Wide Static Synchronous RAM



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6

概要

このELEMENTは 16 ワード X 4 ビットの SRAM で、同期書き込み機能を備えています。ライト イネーブル (WE) が Low の場合、ライト クロック (WCLK) の遷移は無視され、RAM に格納されている値は変化しません。WE が High になると、WCLK が Low から High に切り替わるときに、入力 (D3 ~ D0) の値が 4 ビットのアドレス (A3 ~ A0) で選択されたワードにロードされます。書き込みを正しく行うには、WCLK が Low から High に切り替わる前に、書き込みアドレスとデータ入力の値を安定させる必要があります。WCLK はデフォルトではアクティブ High ですが、インバータを使用してアクティブ Low にすることもできます。WCLK の入力ネットに配置されたインバータは、RAM ブロック内に組み込まれます。

出力ピン (O3 ~ O0) に出力される値は、アドレス ピンで指定された RAM 内の位置に格納されている値です。

論理表

| 入力 | | | 出力 |
|-------------------------|------|-------|-------|
| WE (モード) | WCLK | D3:D0 | O3:O0 |
| 0 (読み出し) | X | X | データ |
| 1 (読み出し) | 0 | X | データ |
| 1 (読み出し) | 1 | X | データ |
| 1 (書き込み) | ↑ | D3:D0 | D3:D0 |
| 1 (読み出し) | ↓ | X | データ |
| データ = A3 ~ A0 で指定されたワード | | | |

デザインの入力方法

| | |
|--------------------------|----|
| インスタンス化 | 可 |
| 推論 | 推奨 |
| CORE Generator™ およびウィザード | 不可 |
| マクロのサポート | 不可 |

このエレメントは、回路図で使用されます。

使用可能な属性

| 属性 | タイプ | 値 | デフォルト | 説明 |
|-------------------|-------|---------|-------|-------------|
| INIT_00 ~ INIT_03 | 16 進数 | 16 ビット値 | すべてゼロ | RAM の初期値を指定 |

VHDL 記述 (インスタンスレーション)

次の 2 つの構文が存在しない場合はコピーし、エンティティ宣言の前に貼り付けます。

```
Library UNISIM;
use UNISIM.vcomponents.all;

-- RAM16X4S: 16 x 4 posedge write distributed => LUT RAM
--           Spartan-3/3E/3A
-- Xilinx HDL Libraries Guide, version 11.2

RAM16X4S_inst : RAM16X4S
generic map (
    INIT_00 => X"0000", -- INIT for bit 0 of RAM
    INIT_01 => X"0000", -- INIT for bit 1 of RAM
    INIT_02 => X"0000", -- INIT for bit 2 of RAM
    INIT_03 => X"0000") -- INIT for bit 3 of RAM
port map (
    O0 => O0,      -- RAM data[0] output
    O1 => O1,      -- RAM data[1] output
    O2 => O2,      -- RAM data[2] output
    O3 => O3,      -- RAM data[3] output
    A0 => A0,      -- RAM address[0] input
    A1 => A1,      -- RAM address[1] input
    A2 => A2,      -- RAM address[2] input
    A3 => A3,      -- RAM address[3] input
    D0 => D0,      -- RAM data[0] input
    D1 => D1,      -- RAM data[1] input
    D2 => D2,      -- RAM data[2] input
    D3 => D3,      -- RAM data[3] input
    WCLK => WCLK,  -- Write clock input
    WE => WE       -- Write enable input
);

-- End of RAM16X4S_inst instantiation
```

Verilog 記述 (インスタンスレーション)

```
// RAM16X4S: 16 x 4 posedge write distributed (LUT) RAM
//           Virtex-II/II-Pro, Spartan-3/3E/3A
// Xilinx HDL Libraries Guide, version 10.1.2

RAM16X4S #(
    .INIT_00(16'h0000), // INIT for bit 0 of RAM
    .INIT_01(16'h0000), // INIT for bit 1 of RAM
    .INIT_02(16'h0000), // INIT for bit 2 of RAM
    .INIT_03(16'h0000)  // INIT for bit 3 of RAM
) RAM16X4S_inst (
    .O0(O0),      // RAM data[0] output
    .O1(O1),      // RAM data[1] output
    .O2(O2),      // RAM data[2] output
    .O3(O3),      // RAM data[3] output
    .A0(A0),      // RAM address[0] input
    .A1(A1),      // RAM address[1] input
    .A2(A2),      // RAM address[2] input
    .A3(A3),      // RAM address[3] input
    .D0(D0),      // RAM data[0] input
    .D1(D1),      // RAM data[1] input
    .D2(D2),      // RAM data[2] input
    .D3(D3),      // RAM data[3] input
    .WCLK(WCLK),  // Write clock input
    .WE(WE)       // Write enable input
);

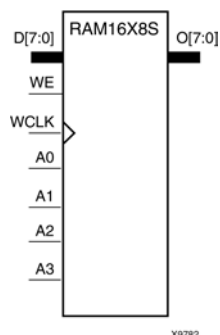
// End of RAM16X4S_inst instantiation
```

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリ データシート](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリ データシート](#)
- ・ [Spartan-3E FPGA ファミリ データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

RAM16X8S

プリミティブ : 16-Deep by 8-Wide Static Synchronous RAM



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6

概要

このELEMENTは 16 ワード X 8 ビットの SRAM で、同期書き込み機能を備えています。ライト イネーブル (WE) が Low の場合、ライト クロック (WCLK) の遷移は無視され、RAM に格納されている値は変化しません。WE が High になると、WCLK が Low から High に切り替わるときに、入力 (D7 ~ D0) の値が 4 ビットのアドレス (A3 ~ A0) で選択されたワードにロードされます。書き込みを正しく行うには、WCLK が Low から High に切り替わる前に、書き込みアドレスとデータ入力の値を安定させる必要があります。WCLK はデフォルトではアクティブ High ですが、インバータを使用してアクティブ Low にすることもできます。WCLK の入力ネットに配置されたインバータは、RAM ブロック内に組み込まれます。

出力ピン (O7 ~ O0) に出力される値は、アドレス ピンで指定された RAM 内の位置に格納されている値です。

論理表

| 入力 | | | 出力 |
|-------------------------|------|-------|-------|
| WE (モード) | WCLK | D7:D0 | O7:O0 |
| 0 (読み出し) | X | X | データ |
| 1 (読み出し) | 0 | X | データ |
| 1 (読み出し) | 1 | X | データ |
| 1 (書き込み) | ↑ | D7:D0 | D7:D0 |
| 1 (読み出し) | ↓ | X | データ |
| データ = A3 ~ A0 で指定されたワード | | | |

デザインの入力方法

| | |
|--------------------------|----|
| インスタンス化 | 可 |
| 推論 | 推奨 |
| CORE Generator™ およびウィザード | 不可 |
| マクロのサポート | 不可 |

このエレメントは、回路図で使用されます。

使用可能な属性

| 属性 | タイプ | 値 | デフォルト | 説明 |
|-------------------|-------|---------|-------|----------------------|
| INIT_00 ~ INIT_07 | 16 進数 | 16 ビット値 | すべてゼロ | RAM、レジスタ、LUT の初期値を指定 |

VHDL 記述 (インスタンス化)

次の 2 つの構文が存在しない場合はコピーし、エンティティ宣言の前に貼り付けます。

```
Library UNISIM;
use UNISIM.vcomponents.all;

-- RAM16X8S: 16 x 8 posedge write distributed  => LUT RAM
--          Virtex-4 and Spartan-3/3E/3A
-- Xilinx HDL Libraries Guide, version 11.2

RAM16X8S_inst : RAM16X8S
generic map (
    INIT_00 => X"0000", -- INIT for bit 0 of RAM
    INIT_01 => X"0000", -- INIT for bit 1 of RAM
    INIT_02 => X"0000", -- INIT for bit 2 of RAM
    INIT_03 => X"0000", -- INIT for bit 3 of RAM
    INIT_04 => X"0000", -- INIT for bit 4 of RAM
    INIT_05 => X"0000", -- INIT for bit 5 of RAM
    INIT_06 => X"0000", -- INIT for bit 6 of RAM
    INIT_07 => X"0000") -- INIT for bit 7 of RAM
port map (
    O => O,          -- 8-bit RAM data output
    A0 => A0,        -- RAM address[0] input
    A1 => A1,        -- RAM address[1] input
    A2 => A2,        -- RAM address[2] input
    A3 => A3,        -- RAM address[3] input
    D => D,          -- 8-bit RAM data input
    WCLK => WCLK,    -- Write clock input
    WE => WE         -- Write enable input
);

-- End of RAM16X8S_inst instantiation
```

Verilog 記述 (インスタンス化)

```
// RAM16X8S: 16 x 8 posedge write distributed (LUT) RAM
//           Virtex-II/II-Pro
// Xilinx HDL Libraries Guide, version 10.1.2

RAM16X8S #(
    .INIT_00(16'h0000), // INIT for bit 0 of RAM
    .INIT_01(16'h0000), // INIT for bit 1 of RAM
    .INIT_02(16'h0000), // INIT for bit 2 of RAM
    .INIT_03(16'h0000), // INIT for bit 3 of RAM
    .INIT_04(16'h0000), // INIT for bit 4 of RAM
    .INIT_05(16'h0000), // INIT for bit 5 of RAM
    .INIT_06(16'h0000), // INIT for bit 6 of RAM
    .INIT_07(16'h0000) // INIT for bit 7 of RAM
) RAM16X8S_inst (
    .O(O),           // 8-bit RAM data output
    .A0(A0),         // RAM address[0] input
    .A1(A1),         // RAM address[1] input
    .A2(A2),         // RAM address[2] input
    .A3(A3),         // RAM address[3] input
    .D(D),           // 8-bit RAM data input
    .WCLK(WCLK),     // Write clock input
    .WE(WE)          // Write enable input
);

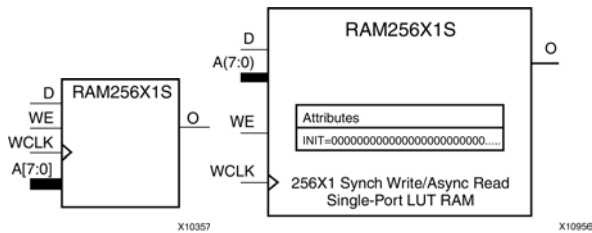
// End of RAM16X8S_inst instantiation
```

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリー データシート](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリー データシート](#)
- ・ [Spartan-3E FPGA ファミリー データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

RAM256X1S

プリミティブ : 256-Deep by 1-Wide Random Access Memory (Select RAM)



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-6
- ・ Virtex®-5
- ・ Virtex-6

概要

このデザイン ELEMENTは、256 ワード X 1 ビットの RAM で、同期書き込みと非同期読み出し機能を備えています。この RAM は、デバイスの LUT (Select RAM とも呼ばれる) を使用してインプリメントされるため、ブロック RAM リソースを使用しません。同期読み出しを行う場合は、出力にレジスタを付けて同ジスライスに配置できます。ただし、この場合は RAM とレジスタで同じクロックを使用する必要があります。RAM256X1S には、アクティブ High のライト イネーブル (WE) があり、この信号が High になると、WCLK ピンの立ち上がりエッジで D 入力データピンの値がメモリアレイに書き込まれます。出力 O は、WE の値にかかわらず、アドレス バス A で指定されたメモリ ロケーションの値を出力します。書き込みが実行されると、出力の値が更新されます。

ポートの説明

| ポート名 | 方向 | 幅 | 機能 |
|------|----|---|------------------------------------|
| O | 出力 | 1 | アドレス バス A で指定された読み出し/書き込みポートのデータ出力 |
| D | 入力 | 1 | アドレス バス A で指定された書き込みデータ入力 |
| A | 入力 | 8 | 読み出し/書き込みポートのアドレス バス |
| WE | 入力 | 1 | ライト イネーブル |
| WCLK | 入力 | 1 | ライト クロック (読み出しは非同期) |

デザインの入力方法

| | |
|--------------------------|----|
| インスタンス化 | 可 |
| 推論 | 推奨 |
| CORE Generator™ およびウィザード | 不可 |
| マクロのサポート | 不可 |

インスタンス化する場合、このコンポーネントを次のように接続します。

- ・ WCLK 入力をクロックソースに、D 入力を格納するデータソースに、O 出力を FDCE の D 入力などの適切なデスティネーションに接続します。
- ・ クロック イネーブル ピン (WE) は、適切なライト イネーブル ソースに接続します。
- ・ 8 ビット バス A は、読み出し/書き込みのソースに接続します。
- ・ 256 ビットの 16 進数で構成される INIT 属性で、RAM の初期値を指定できます。

指定しない場合は、初期値はすべてゼロになります。

使用可能な属性

| 属性 | タイプ | 値 | デフォルト | 説明 |
|------|-------|----------|-------|-------------|
| INIT | 16 進数 | 256 ビット値 | すべてゼロ | RAM の初期値を指定 |

VHDL 記述 (インスタンス化)

次の 2 つの構文が存在しない場合はコピーし、エンティティ宣言の前に貼り付けます。

```
Library UNISIM;
use UNISIM.vcomponents.all;

-- RAM256X1S: 256-deep by 1-wide positive edge write, asynchronous read
--             single-port distributed LUT RAM
--             Virtex-5/6, Spartan-6
-- Xilinx HDL Libraries Guide, version 11.2

RAM256X1S_inst : RAM256X1S
generic map (
  INIT => X"0000000000000000000000000000000000000000000000000000000000000000"
)
port map (
  O => O, -- Read/Write port 1-bit output
  A => A, -- Read/Write port 8-bit address input
  D => D, -- RAM data input
  WCLK => WCLK, -- Write clock input
  WE => WE -- Write enable input
);

-- End of RAM256X1S_inst instantiation
```

Verilog 記述 (インスタンス化)

```
// RAM256X1S: 256-deep by 1-wide positive edge write, asynchronous read
//             single-port distributed LUT RAM
//             Virtex-5, Virtex-6, Spartan-6
// Xilinx HDL Libraries Guide, version 11.2

RAM256X1S #(
  .INIT(256'h0000000000000000000000000000000000000000000000000000000000000000)
) RAM256X1S_inst (
  .O(O), // Read/Write port 1-bit output
  .A(A), // Read/Write port 8-bit address input
  .WE(WE), // Write enable input
  .WCLK(WCLK), // Write clock input
  .D(D) // RAM data input
);

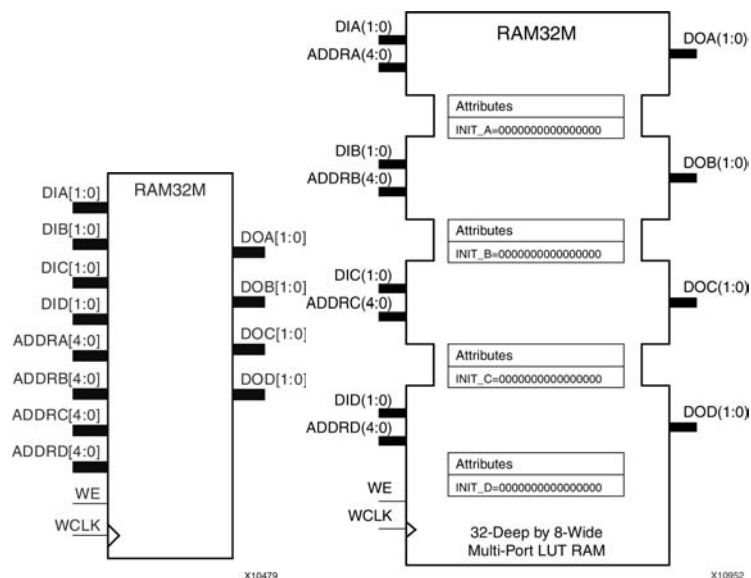
// End of RAM256X1S_inst instantiation
```

詳細情報

- ・ [Spartan-6 FPGA コンフィギャブル ロジック ブロック ユーザー ガイド](#)
- ・ [Spartan-6 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

RAM32M

プリミティブ : 32-Deep by 8-bit Wide Multi Port Random Access Memory (Select RAM)



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-6
- ・ Virtex®-5
- ・ Virtex-6

概要

このデザイン エLEMENTは、32 ワード X 8 ビットのマルチポート RAM で、同期書き込みと非同期読み出し機能を備えています。この RAM は、デバイスの LUT (SelectRAM™) を使用してインプリメントされるため、デバイスのブロック RAM リソースを使用しません。RAM32M は、1 つのスライスにインプリメントされます。含まれるのは、8 ビット書き込み、2 ビット読み出しのポート 1 つと、同じメモリからの 2 ビットの読み出しポートが 3 つです。これにより、バイト幅の書き込みと独立した 2 ビットの読み出しが可能な RAM ができます。DIA、DIB、DIC、および DID 入力が入力がすべて同じデータ入力に接続されると、この RAM は読み出し/書き込みポート 1 つ、独立した読み出しポート 3 つの 32x2 クワッドポートメモリになります。DID がグランドに接続される場合、DOD は使用されません。ADDRA、ADDRB、ADDRC が同じアドレスに接続されると、この RAM は 32x6 の単純なデュアルポート RAM になります。ADDRD が ADDRA、ADDRB、ADDRC に接続されると、32x8 のシングルポート RAM になります。この RAM には、ほかにも可能なコンフィギュレーションがあります。

ポートの説明

| ポート名 | 方向 | 幅 | 機能 |
|-------|----|---|---|
| DOA | 出力 | 2 | アドレス バス ADDRA で指定された読み出しポートのデータ出力 |
| DOB | 出力 | 2 | アドレス バス ADDRb で指定された読み出しポートのデータ出力 |
| DOC | 出力 | 2 | アドレス バス ADDRC で指定された読み出しポートのデータ出力 |
| DOD | 出力 | 2 | アドレス バス ADDRd で指定された読み出し/書き込みポートのデータ出力 |
| DIA | 入力 | 2 | ADDRd で指定された書き込みデータ入力 (読み出し出力は ADDRA で指定) |
| DIB | 入力 | 2 | ADDRd で指定された書き込みデータ入力 (読み出し出力は ADDRb で指定) |
| DIC | 入力 | 2 | ADDRd で指定された書き込みデータ入力 (読み出し出力は ADDRC で指定) |
| DID | 入力 | 2 | アドレス バス ADDRd で指定された書き込みデータ入力 |
| ADDRA | 入力 | 5 | 読み出しアドレス バス A |
| ADDRB | 入力 | 5 | 読み出しアドレス バス B |
| ADDRC | 入力 | 5 | 読み出しアドレス バス C |
| ADDRD | 入力 | 5 | 8 ビットのデータ書き込みポート、2 ビットのデータ読み出しポートのアドレス バス D |
| WE | 入力 | 1 | ライト イネーブル |
| WCLK | 入力 | 1 | ライト クロック (読み出しは非同期) |

デザインの入力方法

| | |
|--------------------------|----|
| インスタンス化 | 可 |
| 推論 | 推奨 |
| CORE Generator™ およびウィザード | 不可 |
| マクロのサポート | 不可 |

このエレメントは、回路図で使用されます。

このエレメントは、同期書き込みと非同期読み出し機能を備えた RAM を記述することにより、合成ツールで推論できるようになることがあります。RAM の推論およびコード例の詳細は、合成ツールのマニュアルを参照してください。RAM32M のインスタンス化は、RAM ファンクションを暗示的に指定する必要がある場合、コンポーネントを手動でまたは相対的に配置する必要がある場合に実行することをお勧めします。同期読み出しを行う場合は、RAM32M の出力を FDRSE に接続してファンクションの出力タイミングを向上させることも可能ですが、通常の RAM の操作では不要です。

インバータをこのコンポーネントのクロック入力に追加すると、クロックの立ち下がりエッジでデータを入力できます。このインバータはブロック内に組み込まれ、クロックの立ち下がりエッジで RAM への書き込みを実行できます。

インスタンス化する場合、このコンポーネントは、次のように接続します。WCLK 入力をクロックソースに、DIA、DIB、DIC、DID 入力を格納するデータソースに、DOA、DOB、DOC、DOD 出力を FDCE の D 入力などの適切なデスティネーションに接続するか、使用しない場合は未接続のままにします。クロックイネーブルピン (WE) は、適切なライトイネーブルソースに接続します。5 ビットバス ADDR_D は読み出し/書き込みアドレスに、5 ビットバス ADDR_A、ADDR_B、ADDR_C は読み出しアドレスに接続する必要があります。オプションで INIT_A、INIT_B、INIT_C、INIT_D 属性を使用すると、各ポートの初期メモリ内容を 64 ビット (16 進数) で指定できます。RAM の INIT 値は、 $ADDR_y[z] = INIT_y[2*z+1:2*z]$ で計算されます。たとえば、RAM の ADDR_C ポートが 00001 の場合、INIT_C[3:2] 値がそのアドレスで最初の書き込みが行われる前の DOC ポートの初期値になります。指定しない場合は、初期値はすべてゼロになります。

使用可能な属性

| 属性 | タイプ | 値 | デフォルト | 説明 |
|--------|-------|---------|-------|--------------------|
| INIT_A | 16 進数 | 64 ビット値 | すべてゼロ | A ポートの RAM の初期値を指定 |
| INIT_B | 16 進数 | 64 ビット値 | すべてゼロ | B ポートの RAM の初期値を指定 |
| INIT_C | 16 進数 | 64 ビット値 | すべてゼロ | C ポートの RAM の初期値を指定 |
| INIT_D | 16 進数 | 64 ビット値 | すべてゼロ | D ポートの RAM の初期値を指定 |

VHDL 記述 (インスタンス化)

次の 2 つの構文が存在しない場合はコピーし、エンティティ宣言の前に貼り付けます。

```
Library UNISIM;
use UNISIM.vcomponents.all;

-- RAM32M: 32-deep by 8-wide Multi Port LUT RAM
--          Virtex-5/6, Spartan-6
-- Xilinx HDL Libraries Guide, version 11.2

RAM32M_inst : RAM32M
generic map (
  INIT_A => X"0000000000000000", -- Initial contents of A port
  INIT_B => X"0000000000000000", -- Initial contents of B port
  INIT_C => X"0000000000000000", -- Initial contents of C port
  INIT_D => X"0000000000000000") -- Initial contents of D port
port map (
  DOA => DOA, -- Read port A 2-bit output
  DOB => DOB, -- Read port B 2-bit output
  DOC => DOC, -- Read port C 2-bit output
  DOD => DOD, -- Read/Write port D 2-bit output
  ADDR_A => ADDR_A, -- Read port A 5-bit address input
  ADDR_B => ADDR_B, -- Read port B 5-bit address input
  ADDR_C => ADDR_C, -- Read port C 5-bit address input
  ADDR_D => ADDR_D, -- Read/Write port D 5-bit address input
  DIA => DIA, -- RAM 2-bit data write input addressed by ADDR_D,
               -- read addressed by ADDR_A
  DIB => DIB, -- RAM 2-bit data write input addressed by ADDR_D,
               -- read addressed by ADDR_B
  DIC => DIC, -- RAM 2-bit data write input addressed by ADDR_D,
               -- read addressed by ADDR_C
  DID => DID, -- RAM 2-bit data write input addressed by ADDR_D,
               -- read addressed by ADDR_D
  WCLK => WCLK, -- Write clock input
  WE => WE      -- Write enable input
);
-- End of RAM32M_inst instantiation
```

Verilog 記述 (インスタンスレーション)

```
// RAM32M: 32-deep by 8-wide Multi Port LUT RAM
//          Virtex-5, Virtex-6, Spartan-6
// Xilinx HDL Libraries Guide, version 11.2

RAM32M #(
    .INIT_A(64'h0000000000000000), // Initial contents of A Port
    .INIT_B(64'h0000000000000000), // Initial contents of B Port
    .INIT_C(64'h0000000000000000), // Initial contents of C Port
    .INIT_D(64'h0000000000000000) // Initial contents of D Port
) RAM32M_inst (
    .DOA(DOA),           // Read port A 2-bit output
    .DOB(DOB),           // Read port B 2-bit output
    .DOC(DOC),           // Read port C 2-bit output
    .DOD(DOD),           // Read/Write port D 2-bit output
    .ADDRA(ADDRA),       // Read port A 5-bit address input
    .ADDRB(ADDRB),       // Read port B 5-bit address input
    .ADDRC(ADDRC),       // Read port C 5-bit address input
    .ADDRD(ADDRD),       // Read/Write port D 5-bit address input
    .DIA(DIA),           // RAM 2-bit data write input addressed by ADDRd,
                        //      read addressed by ADDRd
    .DIB(DIB),           // RAM 2-bit data write input addressed by ADDRd,
                        //      read addressed by ADDRb
    .DIC(DIC),           // RAM 2-bit data write input addressed by ADDRd,
                        //      read addressed by ADDRc
    .DID(DID),           // RAM 2-bit data write input addressed by ADDRd,
                        //      read addressed by ADDRd
    .WCLK(WCLK),         // Write clock input
    .WE(WE)              // Write enable input
);

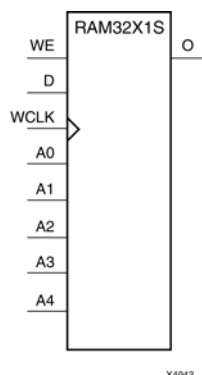
// End of RAM32M_inst instantiation
```

詳細情報

- ・ [Spartan-6 FPGA コンフィギャブル ロジック ブロック ユーザー ガイド](#)
- ・ [Spartan-6 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

RAM32X1S

プリミティブ : 32-Deep by 1-Wide Static Synchronous RAM



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6

概要

このデザイン エLEMENTは 32 ワード X 1 ビットの SRAM で、同期書き込み機能を備えています。ライト イネーブル (WE) が Low の場合、ライト クロック (WCLK) の遷移は無視され、RAM に格納されている値は変化しません。WE が High になると、WCLK が Low から High に切り替わるときに、データ入力 (D) の値が 5 ビットのアドレス (A4 ~ A0) で選択されたワードにロードされます。書き込みを正しく行うには、WCLK が Low から High に切り替わる前に、書き込みアドレスとデータ入力の値を安定させる必要があります。WCLK はデフォルトではアクティブ High ですが、インバータを使用してアクティブ Low にすることもできます。WCLK の入力ネットに配置されたインバータは、RAM ブロック内に組み込まれます。

出力ピン (O) に出力される値は、アドレス ピンで指定された RAM 内の位置に格納されている値です。INIT 属性を使用すると、コンフィギュレーション中に RAM32X1S を初期化できます。

論理表

| 入力 | | | 出力 |
|----------|------|---|-----|
| WE (モード) | WCLK | D | O |
| 0 (読み出し) | X | X | データ |
| 1 (読み出し) | 0 | X | データ |
| 1 (読み出し) | 1 | X | データ |
| 1 (書き込み) | ↓ | D | D |
| 1 (読み出し) | ↑ | X | データ |

デザインの入力方法

| | |
|--------------------------|----|
| インスタンス化 | 可 |
| 推論 | 推奨 |
| CORE Generator™ およびウィザード | 不可 |
| マクロのサポート | 不可 |

このエレメントは、回路図で使用されます。

使用可能な属性

| 属性 | タイプ | 値 | デフォルト | 説明 |
|------|-------|---------|-------|-------------|
| INIT | 16 進数 | 32 ビット値 | すべてゼロ | RAM の初期値を指定 |

VHDL 記述 (インスタンス化)

次の 2 つの構文が存在しない場合はコピーし、エンティティ宣言の前に貼り付けます。

```
Library UNISIM;
use UNISIM.vcomponents.all;

-- RAM32X1S: 32 x 1 posedge write distributed => LUT RAM
--           All FPGA
-- Xilinx HDL Libraries Guide, version 11.2

RAM32X1S_inst : RAM32X1S
generic map (
  INIT => X"00000000")
port map (
  O => O,           -- RAM output
  A0 => A0,          -- RAM address[0] input
  A1 => A1,          -- RAM address[1] input
  A2 => A2,          -- RAM address[2] input
  A3 => A3,          -- RAM address[3] input
  A4 => A4,          -- RAM address[4] input
  D => D,            -- RAM data input
  WCLK => WCLK,      -- Write clock input
  WE => WE           -- Write enable input
);

-- End of RAM32X1S_inst instantiation
```


Verilog 記述 (インスタンス化)

```
// RAM32X1S: 32 x 1 posedge write distributed (LUT) RAM
//           All FPGA
// Xilinx HDL Libraries Guide, version 11.2

RAM32X1S #(
    .INIT(32'h00000000) // Initial contents of RAM
) RAM32X1S_inst (
    .O(O),           // RAM output
    .A0(A0),         // RAM address[0] input
    .A1(A1),         // RAM address[1] input
    .A2(A2),         // RAM address[2] input
    .A3(A3),         // RAM address[3] input
    .A4(A4),         // RAM address[4] input
    .D(D),           // RAM data input
    .WCLK(WCLK),     // Write clock input
    .WE(WE)          // Write enable input
);

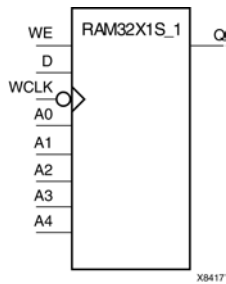
// End of RAM32X1S_inst instantiation
```

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリー データシート](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)
- ・ [Spartan-3E FPGA ファミリー データシート](#)
- ・ [Spartan-6 FPGA コンフィギュラブル ロジック ブロック ユーザー ガイド](#)
- ・ [Spartan-6 FPGA データシート: DC 特性およびスイッチ特性](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート: DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート: DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

RAM32X1S_1

プリミティブ : 32-Deep by 1-Wide Static Synchronous RAM with Negative-Edge Clock



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6

概要

このデザイン エLEMENTは 32 ワード X 1 ビットの SRAM で、同期書き込み機能を備えています。ライト イネーブル (WE) が Low の場合、ライト クロック (WCLK) の遷移は無視され、RAM に格納されている値は変化しません。WE が High になると、WCLK が High から Low に切り替わるときに、データ入力 (D) の値が 5 ビットのアドレス (A4 ~ A0) で選択されたワードにロードされます。書き込みを正しく行うには、WCLK が High から Low に切り替わる前に、書き込みアドレスとデータ入力の値を安定させる必要があります。WCLK はデフォルトではアクティブ Low ですが、インバータを使用してアクティブ High にすることもできます。WCLK の入力ネットに配置されたインバータは、RAM ブロック内に組み込まれます。

出力ピン (O) に出力される値は、アドレス ピンで指定された RAM 内の位置に格納されている値です。INIT 属性を使用すると、コンフィギュレーション中に RAM32X1S_1 を初期化できます。

論理表

| 入力 | | | 出力 |
|-------------------------|------|---|-----|
| WE (モード) | WCLK | D | O |
| 0 (読み出し) | X | X | データ |
| 1 (読み出し) | 0 | X | データ |
| 1 (読み出し) | 1 | X | データ |
| 1 (書き込み) | ↓ | D | D |
| 1 (読み出し) | ↑ | X | データ |
| データ = A4 ~ A0 で指定されたワード | | | |

デザインの入力方法

| | |
|--------------------------|----|
| インスタンス化 | 可 |
| 推論 | 推奨 |
| CORE Generator™ およびウィザード | 不可 |
| マクロのサポート | 不可 |

このELEMENTは、回路図で使用されます。

使用可能な属性

| 属性 | タイプ | 値 | デフォルト | 説明 |
|------|-------|---------|-------|----------------------|
| INIT | 16 進数 | 32 ビット値 | 0 | RAM、レジスタ、LUT の初期値を指定 |

VHDL 記述 (インスタンス化)

次の 2 つの構文が存在しない場合はコピーし、エンティティ宣言の前に貼り付けます。

```
Library UNISIM;
use UNISIM.vcomponents.all;

-- RAM32X1S_1: 32 x 1 negedge write distributed => LUT RAM
-- All FPGA
-- Xilinx HDL Libraries Guide, version 11.2

RAM32X1S_1_inst : RAM32X1S_1
generic map (
    INIT => X"00000000")
port map (
    O => O,          -- RAM output
    A0 => A0,         -- RAM address[0] input
    A1 => A1,         -- RAM address[1] input
    A2 => A2,         -- RAM address[2] input
    A3 => A3,         -- RAM address[3] input
    A4 => A4,         -- RAM address[4] input
    D => D,          -- RAM data input
    WCLK => WCLK,     -- Write clock input
    WE => WE          -- Write enable input
);

-- End of RAM32X1S_1_inst instantiation
```

Verilog 記述 (インスタンス化)

```
// RAM32X1S_1: 32 x 1 negedge write distributed (LUT) RAM
// All FPGA
// Xilinx HDL Libraries Guide, version 11.2

RAM32X1S_1 #(
    .INIT(32'h00000000) // Initial contents of RAM
)RAM32X1S_1_inst (
    .O(O),             // RAM output
    .A0(A0),           // RAM address[0] input
    .A1(A1),           // RAM address[1] input
    .A2(A2),           // RAM address[2] input
    .A3(A3),           // RAM address[3] input
    .A4(A4),           // RAM address[4] input
    .D(D),             // RAM data input
    .WCLK(WCLK),       // Write clock input
    .WE(WE)            // Write enable input
);

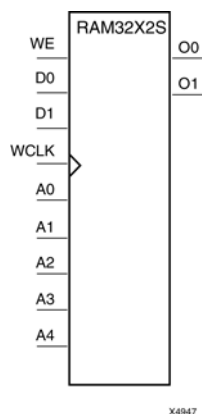
// End of RAM32X1S_1_inst instantiation
```

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリ データシート](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリ データシート](#)
- ・ [Spartan-3E FPGA ファミリ データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

RAM32X2S

プリミティブ : 32-Deep by 2-Wide Static Synchronous RAM



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6

概要

このデザイン エLEMENTは 32 ワード X 2 ビットの SRAM で、同期書き込み機能を備えています。ライト イネーブル (WE) が Low の場合、ライト クロック (WCLK) の遷移は無視され、RAM に格納されている値は変化しません。WE が High になると、WCLK が Low から High に切り替わるときに、入力 (D1 ~ D0) の値が 5 ビットのアドレス (A4 ~ A0) で選択されたワードにロードされます。書き込みを正しく行うには、WCLK が Low から High に切り替わる前に、書き込みアドレスとデータ入力の値を安定させる必要があります。WCLK はデフォルトではアクティブ High ですが、インバータを使用してアクティブ Low にすることもできます。WCLK の入力ネットに配置されたインバータは、RAM ブロック内に組み込まれます。出力ピン (O1 ~ O0) に出力される値は、アドレスピンで指定された RAM 内の位置に格納されている値です。

INIT_00 および INIT_01 属性を使用して RAM32X2S の初期値を指定できます。

論理表

| 入力 | | | 出力 |
|-------------------------|------|-------|-------|
| WE (モード) | WCLK | D | O0-O1 |
| 0 (読み出し) | X | X | データ |
| 1 (読み出し) | 0 | X | データ |
| 1 (読み出し) | 1 | X | データ |
| 1 (書き込み) | ↑ | D1:D0 | D1:D0 |
| 1 (読み出し) | ↓ | X | データ |
| データ = A4 ~ A0 で指定されたワード | | | |

デザインの入力方法

| | |
|--------------------------|----|
| インスタンス化 | 可 |
| 推論 | 推奨 |
| CORE Generator™ およびウィザード | 不可 |
| マクロのサポート | 不可 |

このエレメントは、回路図で使用されます。

使用可能な属性

| 属性 | タイプ | 値 | デフォルト | 説明 |
|---------|-------|---------|-------|-------------|
| INIT_00 | 16 進数 | 32 ビット値 | すべてゼロ | RAM の初期値を指定 |
| INIT_01 | 16 進数 | 32 ビット値 | すべてゼロ | RAM の初期値を指定 |

VHDL 記述 (インスタンスレーション)

次の 2 つの構文が存在しない場合はコピーし、エンティティ宣言の前に貼り付けます。

```

Library UNISIM;
use UNISIM.vcomponents.all;

-- RAM32X2S: 32 x 2 posedge write distributed => LUT RAM
--          Spartan-3/3E/3A
-- Xilinx HDL Libraries Guide, version 11.2

RAM32X2S_inst : RAM32X2S
generic map (
    INIT_00 => X"00000000", -- INIT for bit 0 of RAM
    INIT_01 => X"00000000") -- INIT for bit 1 of RAM
port map (
    O0 => O0,      -- RAM data[0] output
    O1 => O1,      -- RAM data[1] output
    A0 => A0,      -- RAM address[0] input
    A1 => A1,      -- RAM address[1] input
    A2 => A2,      -- RAM address[2] input
    A3 => A3,      -- RAM address[3] input
    A4 => A4,      -- RAM address[4] input
    D0 => D0,      -- RAM data[0] input
    D1 => D1,      -- RAM data[1] input
    WCLK => WCLK,  -- Write clock input
    WE => WE       -- Write enable input
);

-- End of RAM32X2S_inst instantiation

```

Verilog 記述 (インスタンスレーション)

```

// RAM32X2S: 32 x 2 posedge write distributed (LUT) RAM
//          All FPGA
// Xilinx HDL Libraries Guide, version 11.2

RAM32X2S #(
    .INIT_00(32'h00000000), // INIT for bit 0 of RAM
    .INIT_01(32'h00000000) // INIT for bit 1 of RAM
) RAM32X2S_inst (
    .O0(O0),      // RAM data[0] output
    .O1(O1),      // RAM data[1] output
    .A0(A0),      // RAM address[0] input
    .A1(A1),      // RAM address[1] input
    .A2(A2),      // RAM address[2] input
    .A3(A3),      // RAM address[3] input
    .A4(A4),      // RAM address[4] input
    .D0(D0),      // RAM data[0] input
    .D1(D1),      // RAM data[1] input
    .WCLK(WCLK),  // Write clock input
    .WE(WE)       // Write enable input
);

// End of RAM32X2S_inst instantiation

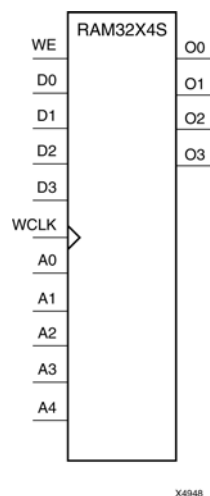
```

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリ データシート](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリ データシート](#)
- ・ [Spartan-3E FPGA ファミリ データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

RAM32X4S

プリミティブ : 32-Deep by 4-Wide Static Synchronous RAM



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6

概要

このデザイン エLEMENTは 32 ワード X 4 ビットの SRAM で、同期書き込み機能を備えています。ライト イネーブル (WE) が Low の場合、ライト クロック (WCLK) の遷移は無視され、RAM に格納されている値は変化しません。WE が High になると、WCLK が Low から High に切り替わるときに、入力 (D3 ~ D0) の値が 5 ビットのアドレス (A4 ~ A0) で選択されたワードにロードされます。書き込みを正しく行うには、WCLK が Low から High に切り替わる前に、書き込みアドレスとデータ入力の値を安定させる必要があります。WCLK はデフォルトではアクティブ High ですが、インバータを使用してアクティブ Low にすることもできます。WCLK の入力ネットに配置されたインバータは、RAM ブロック内に組み込まれます。

出力ピン (O3 ~ O0) に出力される値は、アドレス ピンで指定された RAM 内の位置に格納されている値です。

論理表

| 入力 | | | 出力 |
|-------------------------|------|---------|---------|
| WE | WCLK | D3 - D0 | O3 - O0 |
| 0 (読み出し) | X | X | データ |
| 1 (読み出し) | 0 | X | データ |
| 1 (読み出し) | 1 | X | データ |
| 1 (書き込み) | ↑ | D3:D0 | D3:D0 |
| 1 (読み出し) | ↓ | X | データ |
| データ = A4 ~ A0 で指定されたワード | | | |

デザインの入力方法

| | |
|--------------------------|----|
| インスタンス化 | 可 |
| 推論 | 推奨 |
| CORE Generator™ およびウィザード | 不可 |
| マクロのサポート | 不可 |

このエレメントは、回路図で使用されます。

使用可能な属性

| 属性 | タイプ | 値 | デフォルト | 説明 |
|---------|-------|---------|-------|---------------------------------|
| INIT_00 | 16 進数 | 32 ビット値 | すべてゼロ | RAM の初期値を指定 |
| INIT_01 | 16 進数 | 32 ビット値 | すべてゼロ | ROM、RAM、レジスタ、ルックアップ テーブルの初期値を指定 |
| INIT_02 | 16 進数 | 32 ビット値 | すべてゼロ | ROM、RAM、レジスタ、ルックアップ テーブルの初期値を指定 |
| INIT_03 | 16 進数 | 32 ビット値 | すべてゼロ | ROM、RAM、レジスタ、ルックアップ テーブルの初期値を指定 |

VHDL 記述 (インスタンスレーション)

次の 2 つの構文が存在しない場合はコピーし、エンティティ宣言の前に貼り付けます。

```
Library UNISIM;
use UNISIM.vcomponents.all;

-- RAM32X4S: 32 x 4 posedge write distributed => LUT RAM
-- All FPGA
-- Xilinx HDL Libraries Guide, version 11.2

RAM32X4S_inst : RAM32X4S
generic map (
    INIT_00 => X"00000000", -- INIT for bit 0 of RAM
    INIT_01 => X"00000000", -- INIT for bit 1 of RAM
    INIT_02 => X"00000000", -- INIT for bit 2 of RAM
    INIT_03 => X"00000000") -- INIT for bit 3 of RAM
port map (
    O0 => O0,      -- RAM data[0] output
    O1 => O1,      -- RAM data[1] output
    O2 => O2,      -- RAM data[2] output
    O3 => O3,      -- RAM data[3] output
    A0 => A0,      -- RAM address[0] input
    A1 => A1,      -- RAM address[1] input
    A2 => A2,      -- RAM address[2] input
    A3 => A3,      -- RAM address[3] input
    A4 => A4,      -- RAM address[4] input
    D0 => D0,      -- RAM data[0] input
    D1 => D1,      -- RAM data[1] input
    D2 => D2,      -- RAM data[2] input
    D3 => D3,      -- RAM data[3] input
    WCLK => WCLK,  -- Write clock input
    WE => WE       -- Write enable input
);

-- End of RAM32X4S_inst instantiation
```

Verilog 記述 (インスタンスレーション)

```
// RAM32X4S: 32 x 4 posedge write distributed (LUT) RAM
// Virtex-II/II-Pro
// Xilinx HDL Libraries Guide, version 10.1.2

RAM32X4S #(
    .INIT_00(32'h00000000), // INIT for bit 0 of RAM
    .INIT_01(32'h00000000), // INIT for bit 1 of RAM
    .INIT_02(32'h00000000), // INIT for bit 2 of RAM
    .INIT_03(32'h00000000) // INIT for bit 3 of RAM
) RAM32X4S_inst (
    .O0(O0),      // RAM data[0] output
    .O1(O1),      // RAM data[1] output
    .O2(O2),      // RAM data[2] output
    .O3(O3),      // RAM data[3] output
    .A0(A0),      // RAM address[0] input
    .A1(A1),      // RAM address[1] input
    .A2(A2),      // RAM address[2] input
    .A3(A3),      // RAM address[3] input
    .A4(A4),      // RAM address[4] input
    .D0(D0),      // RAM data[0] input
    .D1(D1),      // RAM data[1] input
    .D2(D2),      // RAM data[2] input
    .D3(D3),      // RAM data[3] input
    .WCLK(WCLK),  // Write clock input
    .WE(WE)       // Write enable input
);

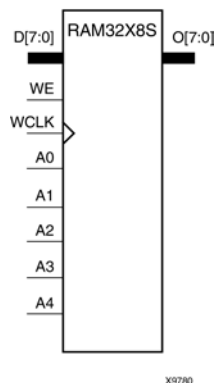
// End of RAM32X4S_inst instantiation
```

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリ データシート](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリ データシート](#)
- ・ [Spartan-3E FPGA ファミリ データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

RAM32X8S

プリミティブ : 32-Deep by 8-Wide Static Synchronous RAM



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6

概要

このデザイン エLEMENTは 32 ワード X 8 ビットの SRAM で、同期書き込み機能を備えています。ライト イネーブル (WE) が Low の場合、ライト クロック (WCLK) の遷移は無視され、RAM に格納されている値は変化しません。WE が High になると、WCLK が Low から High に切り替わるときに、入力 (D7 ~ D0) の値が 5 ビットのアドレス (A4 ~ A0) で選択されたワードにロードされます。書き込みを正しく行うには、WCLK が Low から High に切り替わる前に、書き込みアドレスとデータ入力の値を安定させる必要があります。WCLK はデフォルトではアクティブ High ですが、インバータを使用してアクティブ Low にすることもできます。WCLK の入力ネットに配置されたインバータは、RAM ブロック内に組み込まれます。

出力ピン (O7 ~ O0) に出力される値は、アドレス ピンで指定された RAM 内の位置に格納されている値です。

論理表

| 入力 | | | 出力 |
|-------------------------|------|-------|-------|
| WE (モード) | WCLK | D7:D0 | O7:O0 |
| 0 (読み出し) | X | X | データ |
| 1 (読み出し) | 0 | X | データ |
| 1 (読み出し) | 1 | X | データ |
| 1 (書き込み) | ↑ | D7:D0 | D7:D0 |
| 1 (読み出し) | ↓ | X | データ |
| データ = A4 ~ A0 で指定されたワード | | | |

デザインの入力方法

| | |
|--------------------------|----|
| インスタンス化 | 可 |
| 推論 | 推奨 |
| CORE Generator™ およびウィザード | 不可 |
| マクロのサポート | 不可 |

このエレメントは、回路図で使用されます。

使用可能な属性

| 属性 | タイプ | 値 | デフォルト | 説明 |
|---------|-------|---------|-------|---------------------------------|
| INIT_00 | 16 進数 | 32 ビット値 | すべてゼロ | RAM の初期値を指定 |
| INIT_01 | 16 進数 | 32 ビット値 | すべてゼロ | ROM、RAM、レジスタ、ルックアップ テーブルの初期値を指定 |
| INIT_02 | 16 進数 | 32 ビット値 | すべてゼロ | ROM、RAM、レジスタ、ルックアップ テーブルの初期値を指定 |
| INIT_03 | 16 進数 | 32 ビット値 | すべてゼロ | ROM、RAM、レジスタ、ルックアップ テーブルの初期値を指定 |
| INIT_04 | 16 進数 | 32 ビット値 | すべてゼロ | ROM、RAM、レジスタ、ルックアップ テーブルの初期値を指定 |
| INIT_05 | 16 進数 | 32 ビット値 | すべてゼロ | ROM、RAM、レジスタ、ルックアップ テーブルの初期値を指定 |
| INIT_06 | 16 進数 | 32 ビット値 | すべてゼロ | RAM の初期値を指定 |
| INIT_07 | 16 進数 | 32 ビット値 | すべてゼロ | RAM の初期値を指定 |

VHDL 記述 (インスタンスエーション)

次の 2 つの構文が存在しない場合はコピーし、エンティティ宣言の前に貼り付けます。

```
Library UNISIM;
use UNISIM.vcomponents.all;

-- RAM32X8S: 32 x 8 posedge write distributed => LUT RAM
-- All FPGA
-- Xilinx HDL Libraries Guide, version 11.2

RAM32X8S_inst : RAM32X8S
generic map (
    INIT_00 => X"00000000", -- INIT for bit 0 of RAM
    INIT_01 => X"00000000", -- INIT for bit 1 of RAM
    INIT_02 => X"00000000", -- INIT for bit 2 of RAM
    INIT_03 => X"00000000", -- INIT for bit 3 of RAM
    INIT_04 => X"00000000", -- INIT for bit 4 of RAM
    INIT_05 => X"00000000", -- INIT for bit 5 of RAM
    INIT_06 => X"00000000", -- INIT for bit 6 of RAM
    INIT_07 => X"00000000") -- INIT for bit 7 of RAM
port map (
    O => O,          -- 8-bit RAM data output
    A0 => A0,         -- RAM address[0] input
    A1 => A1,         -- RAM address[1] input
    A2 => A2,         -- RAM address[2] input
    A3 => A3,         -- RAM address[3] input
    A4 => A4,         -- RAM address[4] input
    D => D,          -- 8-bit RAM data input
    WCLK => WCLK,     -- Write clock input
    WE => WE          -- Write enable input
);

-- End of RAM32X8S_inst instantiation
```

Verilog 記述 (インスタンスエーション)

```
// RAM32X8S: 32 x 8 posedge write distributed (LUT) RAM
// Virtex-II/II-Pro
// Xilinx HDL Libraries Guide, version 10.1.2

RAM32X8S #(
    .INIT_00(32'h00000000), // INIT for bit 0 of RAM
    .INIT_01(32'h00000000), // INIT for bit 1 of RAM
    .INIT_02(32'h00000000), // INIT for bit 2 of RAM
    .INIT_03(32'h00000000), // INIT for bit 3 of RAM
    .INIT_04(32'h00000000), // INIT for bit 4 of RAM
    .INIT_05(32'h00000000), // INIT for bit 5 of RAM
    .INIT_06(32'h00000000), // INIT for bit 6 of RAM
    .INIT_07(32'h00000000) // INIT for bit 7 of RAM
) RAM32X8S_inst (
    .O(O),          // 8-bit RAM data output
    .A0(A0),        // RAM address[0] input
    .A1(A1),        // RAM address[1] input
    .A2(A2),        // RAM address[2] input
    .A3(A3),        // RAM address[3] input
    .A4(A4),        // RAM address[4] input
    .D(D),          // 8-bit RAM data input
    .WCLK(WCLK),    // Write clock input
    .WE(WE)         // Write enable input
);

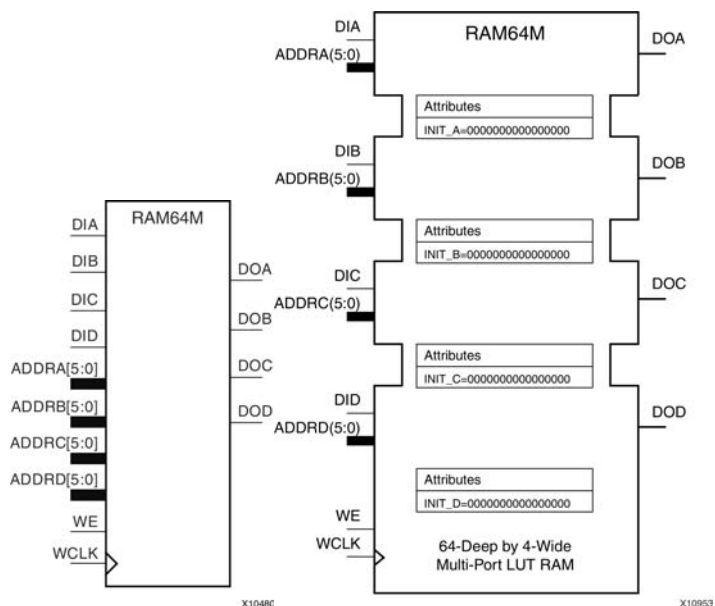
// End of RAM32X8S_inst instantiation
```

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリ データシート](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリ データシート](#)
- ・ [Spartan-3E FPGA ファミリ データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

RAM64M

プリミティブ : 64-Deep by 4-bit Wide Multi Port Random Access Memory (Select RAM)



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- Spartan®-6
- Virtex®-5
- Virtex-6

概要

このデザイン エLEMENTは、64 ワード X 4 ビットのマルチポート RAM で、同期書き込みと非同期読み出し機能を備えています。この RAM は、デバイスの LUT (SelectRAM™ と呼ばれる) を使用してインプリメントされるため、ブロック RAM リソースを使用しません。RAM64M は、1 つのスライスにインプリメントされます。含まれるのは、4 ビット書き込み、1 ビット読み出しのポート 1 つと、同じメモリからの 1 ビットの読み出しポートが 3 つです。DIA、DIB、DIC、および DID 入力すべてが同じデータ入力に接続されると、この RAM は読み出し/書き込みポート 1 つ、独立した読み出しポート 3 つの 64x1 クワッド ポート メモリにできます。DID がグランドに接続される場合、DOD は使用されません。ADDRA、ADDRb、ADDRc が同じアドレスに接続されると、この RAM は 64x3 の単純なデュアル ポート RAM になります。ADDRd が ADDRA、ADDRb、ADDRc に接続されると、64x4 のシングル ポート RAM になります。この RAM には、ほかにも可能なコンフィギュレーションがあります。

ポートの説明

| ポート名 | 方向 | 幅 | 機能 |
|-------|----|---|---|
| DOA | 出力 | 1 | アドレス バス ADDRA で指定された読み出しポートのデータ出力 |
| DOB | 出力 | 1 | アドレス バス ADDRb で指定された読み出しポートのデータ出力 |
| DOC | 出力 | 1 | アドレス バス ADDRC で指定された読み出しポートのデータ出力 |
| DOD | 出力 | 1 | アドレス バス ADDRd で指定された読み出し/書き込みポートのデータ出力 |
| DIA | 入力 | 1 | ADDRd で指定された書き込みデータ入力 (読み出し出力は ADDRA で指定) |
| DIB | 入力 | 1 | ADDRd で指定された書き込みデータ入力 (読み出し出力は ADDRb で指定) |
| DIC | 入力 | 1 | ADDRd で指定された書き込みデータ入力 (読み出し出力は ADDRC で指定) |
| DID | 入力 | 1 | アドレス バス ADDRd で指定された書き込みデータ入力 |
| ADDRA | 入力 | 6 | 読み出しアドレス バス A |
| ADDRb | 入力 | 6 | 読み出しアドレス バス B |
| ADDRC | 入力 | 6 | 読み出しアドレス バス C |
| ADDRd | 入力 | 6 | 4 ビットのデータ書き込みポート、1 ビットのデータ読み出しポートのアドレス バス D |
| WE | 入力 | 1 | ライト イネーブル |
| WCLK | 入力 | 1 | ライト クロック (読み出しは非同期) |

デザインの入力方法

| | |
|--------------------------|----|
| インスタンス化 | 可 |
| 推論 | 推奨 |
| CORE Generator™ およびウィザード | 不可 |
| マクロのサポート | 不可 |

このエレメントは、回路図で使用されます。

このエレメントは、同期書き込みと非同期読み出し機能を備えた RAM を記述することにより、合成ツールで推論できるようになることがあります。RAM の推論およびコード例の詳細は、合成ツールのマニュアルを参照してください。RAM64M のインスタンス化は、RAM ファンクションを暗示的に指定する必要がある場合、コンポーネントを手動でまたは相対的に配置する必要がある場合に実行することをお勧めします。同期読み出しを行う場合は、RAM64M の出力を FDRSE に接続してファンクションの出力タイミングを向上させることも可能ですが、通常の RAM の操作では不要です。インバータをこのコンポーネントのクロック入力に追加すると、クロックの立ち下がりエッジでデータを入力できます。このインバータはブロック内に組み込まれ、クロックの立ち下がりエッジで RAM への書き込みを実行できます。

インスタンス化する場合、このコンポーネントは、次のように接続します。WCLK 入力をクロックソースに、DIA、DIB、DIC、DID 入力を格納するデータソースに、DOA、DOB、DOC、DOD 出力を FDCE の D 入力などの適切なデスティネーションに接続するか、使用しない場合は未接続のままにします。クロック イネーブル ピン (WE) は、適切なライト イネーブル ソースに接続します。5 ビット バス ADDRd は読み出し/書き込みアドレスに、5 ビット バス ADDRA、ADDRb、ADDRC は読み出しアドレスに接続する必要があります。オプションで INIT_A、INIT_B、INIT_C、INIT_D 属性を使用すると、各ポートの初期メモリ内容を 64 ビット (16 進数) で指定できます。RAM の INIT 値は、ADDRy[z] = INIT_y[z] で計算されます。

たとえば、RAM の ADDRC ポートが 00001 の場合、INIT_C[1] 値がそのアドレスで最初の書き込みが行われる前の DOC ポートの初期値になります。指定しない場合は、初期値はすべてゼロになります。

使用可能な属性

| 属性 | タイプ | 値 | デフォルト | 説明 |
|--------|-------|---------|-------|--------------------|
| INIT_A | 16 進数 | 64 ビット値 | すべてゼロ | A ポートの RAM の初期値を指定 |
| INIT_B | 16 進数 | 64 ビット値 | すべてゼロ | B ポートの RAM の初期値を指定 |
| INIT_C | 16 進数 | 64 ビット値 | すべてゼロ | C ポートの RAM の初期値を指定 |
| INIT_D | 16 進数 | 64 ビット値 | すべてゼロ | D ポートの RAM の初期値を指定 |

VHDL 記述 (インスタンスエーション)

次の 2 つの構文が存在しない場合はコピーし、エンティティ宣言の前に貼り付けます。

```
Library UNISIM;
use UNISIM.vcomponents.all;

-- RAM64M: 64-deep by 4-wide Multi Port LUT RAM
--          Virtex-5/6, Spartan-6
-- Xilinx HDL Libraries Guide, version 11.2

RAM64M_inst : RAM64M
generic map (
  INIT_A => X"0000000000000000", -- Initial contents of A port
  INIT_B => X"0000000000000000", -- Initial contents of B port
  INIT_C => X"0000000000000000", -- Initial contents of C port
  INIT_D => X"0000000000000000") -- Initial contents of D port
port map (
  DOA => DOA, -- Read port A 1-bit output
  DOB => DOB, -- Read port B 1-bit output
  DOC => DOC, -- Read port C 1-bit output
  DOD => DOD, -- Read/Write port D 1-bit output
  ADDRA => ADDRA, -- Read port A 6-bit address input
  ADDRb => ADDRb, -- Read port B 6-bit address input
  ADDRc => ADDRc, -- Read port C 6-bit address input
  ADDRd => ADDRd, -- Read/Write port D 6-bit address input
  DIA => DIA, -- RAM 1-bit data write input addressed by ADDRd,
               -- read addressed by ADDRA
  DIB => DIB, -- RAM 1-bit data write input addressed by ADDRd,
               -- read addressed by ADDRb
  DIC => DIC, -- RAM 1-bit data write input addressed by ADDRd,
               -- read addressed by ADDRc
  DID => DID, -- RAM 1-bit data write input addressed by ADDRd,
               -- read addressed by ADDRd
  WCLK => WCLK, -- Write clock input
  WE => WE      -- Write enable input
);
-- End of RAM64M_inst instantiation
```

Verilog 記述 (インスタンス化)

```
// RAM64M: 64-deep by 4-wide Multi Port LUT RAM
//          Virtex-5, Virtex-6, Spartan-6
// Xilinx HDL Libraries Guide, version 11.2

RAM64M #(
    .INIT_A(64'h0000000000000000), // Initial contents of A Port
    .INIT_B(64'h0000000000000000), // Initial contents of B Port
    .INIT_C(64'h0000000000000000), // Initial contents of C Port
    .INIT_D(64'h0000000000000000) // Initial contents of D Port
) RAM64M_inst (
    .DOA(DOA), // Read port A 1-bit output
    .DOB(DOB), // Read port B 1-bit output
    .DOC(DOC), // Read port C 1-bit output
    .DOD(DOD), // Read/Write port D 1-bit output
    .DIA(DIA), // RAM 1-bit data write input addressed by ADDRDR,
                // read addressed by ADDRRA
    .DIB(DIB), // RAM 1-bit data write input addressed by ADDRDR,
                // read addressed by ADDRBR
    .DIC(DIC), // RAM 1-bit data write input addressed by ADDRDR,
                // read addressed by ADDRRC
    .DID(DID), // RAM 1-bit data write input addressed by ADDRDR,
                // read addressed by ADDRDR
    .ADDRRA(ADDRRA), // Read port A 6-bit address input
    .ADDRRB(ADDRRB), // Read port B 6-bit address input
    .ADDRRC(ADDRRC), // Read port C 6-bit address input
    .ADDRDR(ADDRDR), // Read/Write port D 6-bit address input
    .WE(WE), // Write enable input
    .WCLK(WCLK) // Write clock input
);

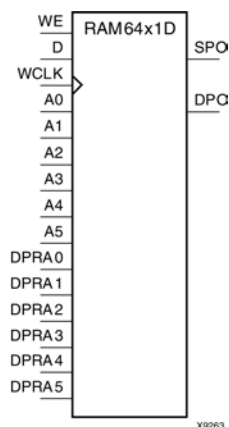
// End of RAM64M_inst instantiation
```

詳細情報

- ・ [Spartan-6 FPGA コンフィギャブル ロジック ブロック ユーザー ガイド](#)
- ・ [Spartan-6 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

RAM64X1D

プリミティブ : 64-Deep by 1-Wide Dual Port Static Synchronous RAM



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-6
- ・ Virtex®-5
- ・ Virtex-6

概要

このデザイン エLEMENTは 64 ワード X 1 ビットのデュアル ポート SRAM で、同期書き込み機能を備えています。デバイスには、読み出しアドレス (DPRA5 ~ DPRA0) と書き込みアドレス (A5 ~ A0) の独立した 2 種類のアドレス ポートがあります。この 2 種類のアドレス ポートは完全に非同期です。読み出しアドレスによって出力ピン (DPO) に出力される値が指定され、書き込みアドレスによって書き込みを行う位置が指定されます。ライト イネーブル (WE) が Low の場合、ライト クロック (WCLK) の遷移は無視され、RAM に格納されている値は変化しません。

WE が High になると、WCLK が Low から High に切り替わるときに、データ入力 (D) の値が 6 ビットの書き込みアドレス (A0 ~ A5) で選択されたワードにロードされます。書き込みを正しく行うには、WCLK が Low から High に切り替わる前に、書き込みアドレスとデータ入力の値を安定させる必要があります。WCLK はデフォルトではアクティブ High ですが、インバータを使用してアクティブ Low にすることもできます。WCLK の入力ネットに配置されたインバータは、RAM ブロック内に組み込まれます。

SPO 出力には、A5 ~ A0 で指定されたメモリ セルの値が出力されます。DPO 出力には、DPRA5 ~ DPRA0 で指定されたメモリ セルの値が出力されます。

メモ : 書き込み処理は、読み出しアドレス ポートのアドレスには影響されません。

論理表

| 入力 | | | 出力 | |
|----------------------------------|------|---|--------|--------|
| WE (モード) | WCLK | D | SPO | DPO |
| 0 (読み出し) | X | X | data_a | data_d |
| 1 (読み出し) | 0 | X | data_a | data_d |
| 1 (読み出し) | 1 | X | data_a | data_d |
| 1 (書き込み) | ↑ | D | D | data_d |
| 1 (読み出し) | ↓ | X | data_a | data_d |
| data_a = A5 ~ A0 で指定されたワード | | | | |
| data_d = DPRA5 ~ DPRA0 で指定されたワード | | | | |

デザインの入力方法

| | |
|--------------------------|----|
| インスタンス化 | 可 |
| 推論 | 推奨 |
| CORE Generator™ およびウィザード | 不可 |
| マクロのサポート | 不可 |

このエレメントは、回路図で使用されます。

使用可能な属性

| 属性 | タイプ | 値 | デフォルト | 説明 |
|------|-------|---------|-------|----------------------|
| INIT | 16 進数 | 64 ビット値 | すべてゼロ | RAM、レジスタ、LUT の初期値を指定 |

VHDL 記述 (インスタンス化)

次の 2 つの構文が存在しない場合はコピーし、エンティティ宣言の前に貼り付けます。

```

Library UNISIM;
use UNISIM.vcomponents.all;

-- RAM64X1D: 64 x 1 positive edge write, asynchronous read dual-port distributed RAM
--           Virtex-5/6, Spartan-6
-- Xilinx HDL Libraries Guide, version 11.2

RAM64X1D_inst : RAM64X1D
generic map (
  INIT => X"0000000000000000")
port map (
  DPO => DPO,      -- Read-only 1-bit data output
  SPO => SPO,      -- R/W 1-bit data output
  A0 => A0,         -- R/W address[0] input bit
  A1 => A1,         -- R/W address[1] input bit
  A2 => A2,         -- R/W address[2] input bit
  A3 => A3,         -- R/W address[3] input bit
  A4 => A4,         -- R/W address[4] input bit
  A5 => A5,         -- R/W address[5] input bit
  D => D,          -- Write 1-bit data input
  DPRA0 => DPRA0,  -- address[0] input bit
  DPRA1 => DPRA1,  -- Read-only address[1] input bit
  DPRA2 => DPRA2,  -- Read-only address[2] input bit
  DPRA3 => DPRA3,  -- Read-only address[3] input bit
  DPRA4 => DPRA4,  -- Read-only address[4] input bit

```

```

    DPRA5 => DPRA5, -- Read-only address[5] input bit
    WCLK => WCLK,   -- Write clock input
    WE => WE        -- Write enable input
);

-- End of RAM64X1D_inst instantiation

```

Verilog 記述 (インスタンス化)

```

// RAM64X1D: 64 x 1 positive edge write, asynchronous read dual-port distributed RAM
//           Virtex-5/6, Spartan-6
// Xilinx HDL Libraries Guide, version 11.2

RAM64X1D #(
    .INIT(64'h0000000000000000) // Initial contents of RAM
) RAM64X1D_inst (
    .DPO(DPO),           // Read-only 1-bit data output
    .SPO(SPO),           // R/W 1-bit data output
    .A0(A0),             // R/W address[0] input bit
    .A1(A1),             // R/W address[1] input bit
    .A2(A2),             // R/W address[2] input bit
    .A3(A3),             // R/W address[3] input bit
    .A4(A4),             // R/W address[4] input bit
    .A5(A5),             // R/W address[5] input bit
    .D(D),               // Write 1-bit data input
    .DPRA0(DPRA0),       // Read-only address[0] input bit
    .DPRA1(DPRA1),       // Read-only address[1] input bit
    .DPRA2(DPRA2),       // Read-only address[2] input bit
    .DPRA3(DPRA3),       // Read-only address[3] input bit
    .DPRA4(DPRA4),       // Read-only address[4] input bit
    .DPRA5(DPRA5),       // Read-only address[5] input bit
    .WCLK(WCLK),         // Write clock input
    .WE(WE)              // Write enable input
);

// End of RAM64X1D_inst instantiation

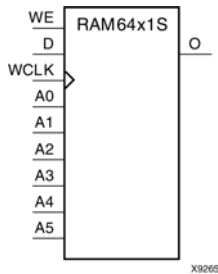
```

詳細情報

- [Spartan-6 FPGA コンフィギュラブル ロジック ブロック ユーザー ガイド](#)
- [Spartan-6 FPGA データシート: DC 特性およびスイッチ特性](#)
- [Virtex-5 FPGA ユーザー ガイド](#)
- [Virtex-5 FPGA データシート: DC 特性およびスイッチ特性](#)
- [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

RAM64X1S

プリミティブ : 64-Deep by 1-Wide Static Synchronous RAM



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6

概要

このデザイン エLEMENTは 64 ワード X 1 ビットの SRAM で、同期書き込み機能を備えています。ライト イネーブル (WE) が Low の場合、ライト クロック (WCLK) の遷移は無視され、RAM に格納されている値は変化しません。WE が High になると、WCLK が Low から High に切り替わるときに、データ入力 (D) の値が 6 ビットのアドレス (A5 ~ A0) で選択されたワードにロードされます。WCLK はデフォルトではアクティブ High ですが、インバータを使用してアクティブ Low にすることもできます。WCLK の入力ネットに配置されたインバータは、RAM ブロック内に組み込まれます。

出力ピン (O) に出力される値は、アドレス ピンで指定された RAM 内の位置に格納されている値です。

INIT 属性を使用すると、コンフィギュレーション中にこのELEMENTを初期化できます。

論理表

モード選択を次の論理表に示します。

| 入力 | | | 出力 |
|-------------------------|------|---|-----|
| WE (モード) | WCLK | D | O |
| 0 (読み出し) | X | X | データ |
| 1 (読み出し) | 0 | X | データ |
| 1 (読み出し) | 1 | X | データ |
| 1 (書き込み) | ↑ | D | D |
| 1 (読み出し) | ↓ | X | データ |
| データ = A5 ~ A0 で指定されたワード | | | |

デザインの入力方法

| | |
|--------------------------|----|
| インスタンス化 | 可 |
| 推論 | 推奨 |
| CORE Generator™ およびウィザード | 不可 |
| マクロのサポート | 不可 |

このELEMENTは、回路図で使用されます。

使用可能な属性

| 属性 | タイプ | 値 | デフォルト | 説明 |
|------|-------|---------|-------|--------------------------|
| INIT | 16 進数 | 64 ビット値 | すべてゼロ | ROM、RAM、レジスタ、LUT の初期値を指定 |

VHDL 記述 (インスタンス化)

次の 2 つの構文が存在しない場合はコピーし、エンティティ宣言の前に貼り付けます。

```
Library UNISIM;
use UNISIM.vcomponents.all;

-- RAM64X1S: 64 x 1 positive edge write, asynchronous read single-port distributed RAM
--           Virtex-4/5, Spartan-3/3E/3A
-- Xilinx HDL Libraries Guide, version 11.2

RAM64X1S_inst : RAM64X1S
generic map (
  INIT => X"0000000000000000")
port map (
  O => O,          -- 1-bit data output
  A0 => A0,         -- Address[0] input bit
  A1 => A1,         -- Address[1] input bit
  A2 => A2,         -- Address[2] input bit
  A3 => A3,         -- Address[3] input bit
  A4 => A4,         -- Address[4] input bit
  A5 => A5,         -- Address[5] input bit
  D => D,           -- 1-bit data input
  WCLK => WCLK,     -- Write clock input
  WE => WE          -- Write enable input
);

-- End of RAM64X1S_inst instantiation
```

Verilog 記述 (インスタンス化)

```
// RAM64X1S: 64 x 1 positive edge write, asynchronous read single-port distributed RAM
//           All FPGA
// Xilinx HDL Libraries Guide, version 11.2

RAM64X1S #(
    .INIT(64'h0000000000000000) // Initial contents of RAM
) RAM64X1S_inst (
    .O(O),           // 1-bit data output
    .A0(A0),         // Address[0] input bit
    .A1(A1),         // Address[1] input bit
    .A2(A2),         // Address[2] input bit
    .A3(A3),         // Address[3] input bit
    .A4(A4),         // Address[4] input bit
    .A5(A5),         // Address[5] input bit
    .D(D),           // 1-bit data input
    .WCLK(WCLK),     // Write clock input
    .WE(WE)          // Write enable input
);

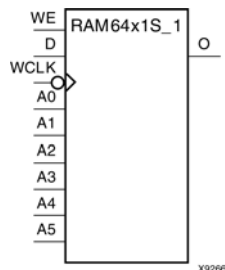
// End of RAM64X1S_inst instantiation
```

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリー データシート](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)
- ・ [Spartan-3E FPGA ファミリー データシート](#)
- ・ [Spartan-6 FPGA コンフィギュラブル ロジック ブロック ユーザー ガイド](#)
- ・ [Spartan-6 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

RAM64X1S_1

プリミティブ : 64-Deep by 1-Wide Static Synchronous RAM with Negative-Edge Clock



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6

概要

このデザイン エLEMENTは 64 ワード X 1 ビットの SRAM で、同期書き込み機能を備えています。ライト イネーブル (WE) が Low の場合、ライト クロック (WCLK) の遷移は無視され、RAM に格納されている値は変化しません。WE が High になると、WCLK が High から Low に切り替わるときに、データ入力 (D) の値が 6 ビットのアドレス (A5 ~ A0) で選択されたワードにロードされます。書き込みを正しく行うには、WCLK が High から Low に切り替わる前に、書き込みアドレスとデータ入力の値を安定させる必要があります。WCLK はデフォルトではアクティブ Low ですが、インバータを使用してアクティブ High にすることもできます。WCLK の入力ネットに配置されたインバータは、RAM ブロック内に組み込まれます。

出力ピン (O) に出力される値は、アドレス ピンで指定された RAM 内の位置に格納されている値です。

INIT 属性を使用すると、コンフィギュレーション中にこのELEMENTを初期化できます。

論理表

| 入力 | | | 出力 |
|-------------------------|------|---|-----|
| WE (モード) | WCLK | D | O |
| 0 (読み出し) | X | X | データ |
| 1 (読み出し) | 0 | X | データ |
| 1 (読み出し) | 1 | X | データ |
| 1 (書き込み) | ↓ | D | D |
| 1 (読み出し) | ↑ | X | データ |
| データ = A5 ~ A0 で指定されたワード | | | |

デザインの入力方法

| | |
|--------------------------|----|
| インスタンス化 | 可 |
| 推論 | 推奨 |
| CORE Generator™ およびウィザード | 不可 |
| マクロのサポート | 不可 |

このELEMENTは、回路図で使用されます。

使用可能な属性

| 属性 | タイプ | 値 | デフォルト | 説明 |
|------|-------|---------|-------|--------------------------|
| INIT | 16 進数 | 64 ビット値 | すべてゼロ | ROM、RAM、レジスタ、LUT の初期値を指定 |

VHDL 記述 (インスタンス化)

次の 2 つの構文が存在しない場合はコピーし、エンティティ宣言の前に貼り付けます。

```
Library UNISIM;
use UNISIM.vcomponents.all;

-- RAM64X1S_1: 64 x 1 negative edge write, asynchronous read single-port distributed RAM
--           Spartan-3/3E/3A
-- Xilinx HDL Libraries Guide, version 11.2

RAM64X1S_1_inst : RAM64X1S_1
generic map (
  INIT => X"0000000000000000")
port map (
  O => O,           -- 1-bit data output
  A0 => A0,          -- Address[0] input bit
  A1 => A1,          -- Address[1] input bit
  A2 => A2,          -- Address[2] input bit
  A3 => A3,          -- Address[3] input bit
  A4 => A4,          -- Address[4] input bit
  A5 => A5,          -- Address[5] input bit
  D => D,            -- 1-bit data input
  WCLK => WCLK,      -- Write clock input
  WE => WE           -- Write enable input
);

-- End of RAM64X1S_1_inst instantiation
```

Verilog 記述 (インスタンス化)

```
// RAM64X1S_1: 64 x 1 negative edge write, asynchronous read single-port distributed RAM
//           All FPGA
// Xilinx HDL Libraries Guide, version 11.2

RAM64X1S_1 #(
    .INIT(64'h0000000000000000) // Initial contents of RAM
) RAM64X1S_1_inst (
    .O(O),           // 1-bit data output
    .A0(A0),         // Address[0] input bit
    .A1(A1),         // Address[1] input bit
    .A2(A2),         // Address[2] input bit
    .A3(A3),         // Address[3] input bit
    .A4(A4),         // Address[4] input bit
    .A5(A5),         // Address[5] input bit
    .D(D),           // 1-bit data input
    .WCLK(WCLK),     // Write clock input
    .WE(WE)          // Write enable input
);

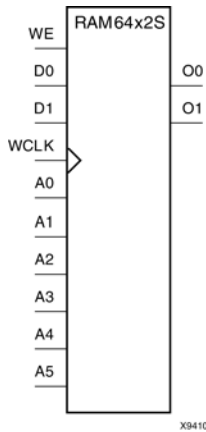
// End of RAM64X1S_1_inst instantiation
```

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリー データシート](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリー データシート](#)
- ・ [Spartan-3E FPGA ファミリー データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート: DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート: DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

RAM64X2S

プリミティブ : 64-Deep by 2-Wide Static Synchronous RAM



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6

概要

このデザイン エLEMENTは 64 ワード X 2 ビットの SRAM で、同期書き込み機能を備えています。ライト イネーブル (WE) が Low の場合、ライト クロック (WCLK) の遷移は無視され、RAM に格納されている値は変化しません。WE が High になると、WCLK が Low から High に切り替わるときに、入力 (D1 ~ D0) の値が 6 ビットのアドレス (A5 ~ A0) で選択されたワードにロードされます。書き込みを正しく行うには、WCLK が Low から High に切り替わる前に、書き込みアドレスとデータ入力の値を安定させる必要があります。WCLK はデフォルトではアクティブ High ですが、インバータを使用してアクティブ Low にすることもできます。WCLK の入力ネットに配置されたインバータは、RAM ブロック内に組み込まれます。

出力ピン (O1 ~ O0) に出力される値は、アドレス ピンで指定された RAM 内の位置に格納されている値です。INIT_00 および INIT_01 属性を使用してこのデザイン エLEMENTの初期値を指定できます。

論理表

| 入力 | | | 出力 |
|-------------------------|------|---------|---------|
| WE (モード) | WCLK | D0 : D1 | O0 : O1 |
| 0 (読み出し) | X | X | データ |
| 1 (読み出し) | 0 | X | データ |
| 1 (読み出し) | 1 | X | データ |
| 1 (書き込み) | ↑ | D1 : D0 | D1 : D0 |
| 1 (読み出し) | ↓ | X | データ |
| データ = A5 ~ A0 で指定されたワード | | | |

デザインの入力方法

| | |
|--------------------------|----|
| インスタンス化 | 可 |
| 推論 | 推奨 |
| CORE Generator™ およびウィザード | 不可 |
| マクロのサポート | 不可 |

このELEMENTは、回路図で使用されます。

使用可能な属性

| 属性 | タイプ | 値 | デフォルト | 説明 |
|---------|-------|---------|-------|----------------------|
| INIT_00 | 16 進数 | 64 ビット値 | すべてゼロ | RAM、レジスタ、LUT の初期値を指定 |
| INIT_01 | 16 進数 | 64 ビット値 | すべてゼロ | RAM、レジスタ、LUT の初期値を指定 |

VHDL 記述 (インスタンスレーション)

次の 2 つの構文が存在しない場合はコピーし、エンティティ宣言の前に貼り付けます。

```
Library UNISIM;
use UNISIM.vcomponents.all;

-- RAM64X2S: 64 x 2 positive edge write, asynchronous read single-port distributed RAM
--           Virtex-4/5
-- Xilinx HDL Libraries Guide, version 11.2

RAM64X2S_inst : RAM64X2S
generic map (
    INIT_00 => X"0000000000000000", -- INIT for bit 0 of RAM
    INIT_01 => X"0000000000000000") -- INIT for bit 1 of RAM
port map (
    O0 => O0,      -- Data[0] output
    O1 => O1,      -- Data[1] output bit
    A0 => A0,      -- Address[0] input bit
    A1 => A1,      -- Address[1] input bit
    A2 => A2,      -- Address[2] input bit
    A3 => A3,      -- Address[3] input bit
    A4 => A4,      -- Address[4] input bit
    A5 => A5,      -- Address[5] input bit
    D0 => D0,      -- Data[0] input
    D1 => D1,      -- Data[1] input
    WCLK => WCLK,  -- Write clock input
    WE => WE       -- Write enable input
);

-- End of RAM64X2S_inst instantiation
```

Verilog 記述 (インスタンスレーション)

```
// RAM64X2S: 64 x 2 positive edge write, asynchronous read single-port distributed RAM
//           Virtex-II/III-Pro
// Xilinx HDL Libraries Guide, version 10.1.2

RAM64X2S #(
    .INIT_00(64'h0000000000000000), // INIT for RAM bit 0
    .INIT_01(64'h0000000000000000) // INIT for RAM bit 1
) RAM64X2S_inst (
    .O0(O0),      // Data[0] output
    .O1(O1),      // Data[1] output bit
    .A0(A0),      // Address[0] input bit
    .A1(A1),      // Address[1] input bit
    .A2(A2),      // Address[2] input bit
    .A3(A3),      // Address[3] input bit
    .A4(A4),      // Address[4] input bit
    .A5(A5),      // Address[5] input bit
    .D0(D0),      // Data[0] input
    .D1(D1),      // Data[1] input
    .WCLK(WCLK),  // Write clock input
    .WE(WE)       // Write enable input
);

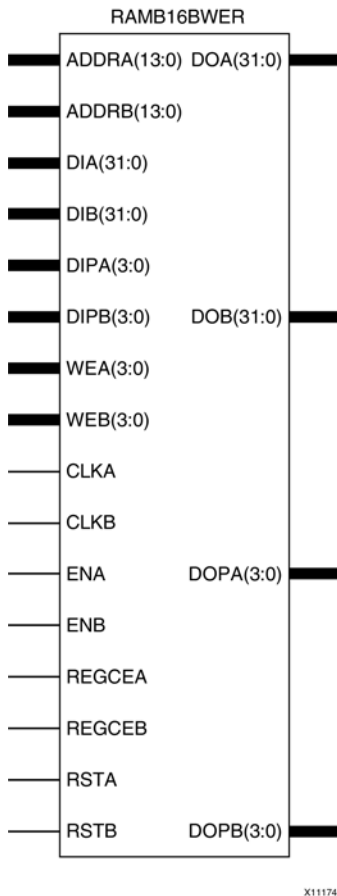
// End of RAM64X2S_inst instantiation
```


詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリ データシート](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリ データシート](#)
- ・ [Spartan-3E FPGA ファミリ データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

RAMB16BWER

プリミティブ : 16K-bit Data and 2K-bit Parity Configurable Synchronous Dual Port Block RAM with Optional Output Registers



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3A
- ・ Spartan-6

概要

複数のブロックRAMメモリが含まれていますが、これは汎用 16kb データ + 2kb パリティ RAM/ROM メモリとしてコンフィギュレーションできます。これらのブロック RAM には、大量のオンチップ データを高速かつ柔軟に格納できます。このコンポーネントは、1 ビット X 16K ワード ~ 36 ビット X 512 ワードのシングル ポート RAM またはデュアル ポート RAM としてコンフィギュレーションできます。コンポーネントに供給されるクロックに完全に同期して、読み出しと書き込みが同時に実行されます。ただし、ポート A とポート B は互いに独立しており、同じメモリアレイにアクセスする間は非同期になります。データ幅の広いモードでコンフィギュレーションすれば、バイト イネーブル書き込み操作が可能です。この RAM には、コンフィギュレーション可能な出力レジスタもあり、読み出し操作中 1 クロック サイクルのレイテンシが発生するときに RAM の clock-to-out タイムを向上させることができます。

ポートの説明

次の表に、ポート A またはポート B の DATA_WIDTH の値と、それに必要な入力接続と出力接続を示します。

| DATA_WIDTH 値 | DI、DIP 接続 | ADDR 接続 | WE 接続 |
|--------------|-------------------|------------|---|
| 1 | DI[0] | ADDR[13:0] | WE[3:0] をシングル ユーザー WE 信号に接続 |
| 2 | DI[1:0] | ADDR[13:1] | WE[3:0] をシングル ユーザー WE 信号に接続 |
| 4 | DI[3:0] | ADDR[13:2] | WE[3:0] をシングル ユーザー WE 信号に接続 |
| 9 | DI[7:0]、DIP[0] | ADDR[13:3] | WE[3:0] をシングル ユーザー WE 信号に接続 |
| 18 | DI[15:0]、DIP[1:0] | ADDR[13:4] | WE[0] および WE[2] をユーザー WE[0] に、WE[1] および WE[3] をユーザー WE[1] に接続 |
| 36 | DI[31:0]、DIP[3:0] | ADDR[13:5] | 各 WE[3:0] 信号を関連したバイトライト イネーブルに接続 |

出力レジスタが必要ない場合は、代わりに古い RAMB16_Sm_Sn および RAMB16BWER_Sm_Sn エLEMENTをインスタンス化できます。これらのコンポーネントのいずれかが使用されていれば、ソフトウェアで自動的に、適切にコンフィギュレーションされた RAMB16BWE エLEMENTに変更されます。

| ポート名 | 方向 | 幅 | 機能 |
|---------------|----|----|--|
| DOA、DOB | 出力 | 32 | ポート A/B のデータ出力バス |
| DOPA、DOPB | 出力 | 4 | ポート A/B のパリティ出力バス |
| DIA、DIB | 入力 | 32 | ポート A/B のデータ入力バス |
| DIPA、DIPB | 入力 | 4 | ポート A/B のパリティ入力バス |
| ADDRA、ADDRB | 入力 | 14 | ポート A/B のアドレス入力バス。MSB は常に ADDRA/B[13] ですが、LSB は DATA_WIDTH_A/B の設定によって決まります。 |
| WEA、WEB | 入力 | 4 | ポート A/B のバイト幅ライト イネーブル |
| ENA、ENB | 入力 | 1 | ポート A/B のイネーブル |
| REGCEA、REGCEB | 入力 | 1 | 出力レジスタ クロック イネーブル |
| RSTA、RSTB | 入力 | 1 | ポート A/B の出力レジスタのセット/リセット。このリセットは、RSTTYPE 属性の値に従い同期または非同期にコンフィギュレーションできます。 |
| CLKA、CLKB | 入力 | 1 | ポート A/B のクロック入力 |

デザインの入力方法

| | |
|--------------------------|----|
| インスタンス化 | 可 |
| 推論 | 推奨 |
| CORE Generator™ およびウィザード | 可 |
| マクロのサポート | 不可 |

このELEMENTは、回路図で使用されます。

必要な入力はすべて適切な信号に接続してください。CLKA/CLKB クロック信号をアクティブ クロックに、RSTA/RSTB リセット信号を論理値 0 または適切なリセット信号に接続する必要があります。ENA/ENB は、論理値 1 または適切な RAM ポート イネーブル信号のいずれかに接続します。REGCEA および REGCEB は、対応する DOA_REG または DOB_REG 属性が 1 に設定されている場合、適切な出力レジスタのクロック イネーブルまたは論理値 1 に接続する必要があります。DOA_REG が 0 に設定されている場合は、REGCEA および REGCEB を論理値 0 に設定する必要があります。

これらの信号に必要な接続は DATA_WIDTH の設定により変わるため、上記のポートの表で、必要なデータ入力、データ出力、ライト イネーブル、アドレスの接続情報を確認してください。ほかの出力信号はすべて接続しないままでかまいません。使用されていない入力信号は論理値 0 に接続してください。

使用可能な属性

| 属性 | タイプ | 値 | デフォルト | 説明 |
|---------------------|-------|---|-------|---|
| DATA_WIDTH_A | 整数 | 0、1、2、4、9、18、36 | 0 | ポート A のデータ幅を指定 |
| DATA_WIDTH_B | 整数 | 0、1、2、4、9、18、36 | 0 | ポート B のデータ幅を指定 |
| DOA_REG | 整数 | 0、1 | 0 | RAM の出力レジスタを使用するか、バイパス接続するか指定します。 |
| DOB_REG | 整数 | 0、1 | 0 | RAM の出力レジスタを使用するか、バイパス接続するか指定します。 |
| EN_RSTRAM_A | 文字列 | TRUE、FALSE | TRUE | 出力ラッチでリセットを有効にするかどうかを指定します。 |
| EN_RSTRAM_B | 文字列 | TRUE、FALSE | TRUE | 出力ラッチでリセットを有効にするかどうかを指定します。 |
| INIT_A | 16 進数 | 36'h000000000 ~ 36'h68719476735 | すべてゼロ | コンフィギュレーション後のポート A の出力の初期値を指定します。 |
| INIT_B | 16 進数 | 36'h000000000 ~ 36'h68719476735 | すべてゼロ | コンフィギュレーション後のポート B の出力の初期値を指定します。 |
| INIT_FILE | 文字列 | 0 ビット文字列 | NONE | ブロック RAM の初期値を指定するためのファイル名を指定します。 |
| INIT_00 ~ INIT_3F | 16 進数 | 256 ビット値 | すべてゼロ | 16kb のデータメモリ アレイの初期内容を指定します。 |
| INITP_00 ~ INITP_07 | 16 進数 | 256 ビット値 | すべてゼロ | 2kb のパリティメモリ アレイの初期内容を指定します。 |
| RST_PRIORITY_A | 文字列 | CE、SR | CE | RSTA ピンか ENA ピン (ラッチ モード) を指定します。または REGCEA ピン (出力レジスタ モード) が優先されます。 |
| RST_PRIORITY_B | 文字列 | CE、SR | CE | RSTB ピンか ENB ピン (ラッチ モード) を指定します。または REGCEB ピン (出力レジスタ モード) が優先されます。 |
| RSTTYPE | 文字列 | SYNC、ASYNC | SYNC | リセット、同期、または非同期を指定します。 |
| SIM_COLLISION_CHECK | 文字列 | ALL、 GENERATE_X_ONLY、 WARNING_ONLY、 NONE | ALL | <p>メモリの競合が発生した場合にシミュレーションの動作を変更できます。</p> <ul style="list-style-type: none"> ALL に設定すると、警告メッセージが出力され、関連する出力およびメモリの値が不定 (X) になります。 WARNING_ONLY に設定すると、警告メッセージのみが出力され、関連する出力およびメモリの値はそのまま保持されます。 GENERATE_X_ONLY に設定すると、警告メッセージは出力されず、関連する出力およびメモリの値が不定 (X) になります。 NONE に設定すると、警告メッセージは出力されず、関連する出力およびメモリの値はそのまま保持されます。 |

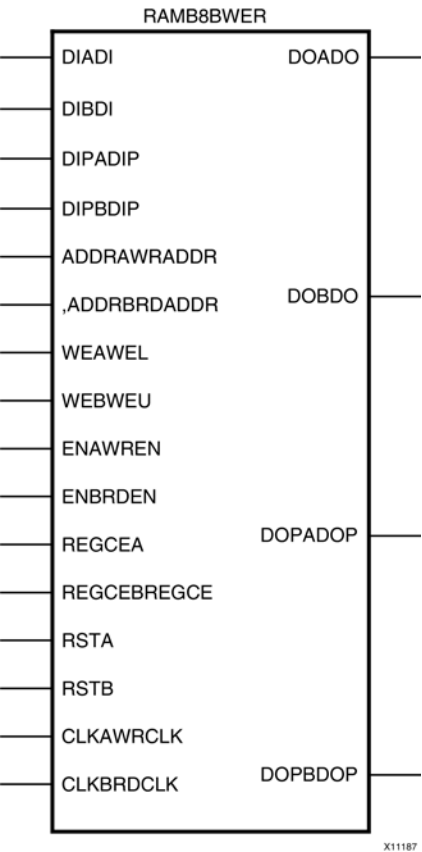
| 属性 | タイプ | 値 | デフォルト | 説明 |
|--------------|-------|--|-------------|---|
| | | | | メモ: ALL 以外の値に設定すると、シミュレーション中にデザインの問題を認識できなくなるため、この値を変更する場合は注意が必要です。 |
| SRVAL_A | 16 進数 | 36'h000000000 ~ 36'h68719476735 | すべてゼロ | リセット信号 (RSTA) がアサートされたときのポート A の出力値を指定 |
| SRVAL_B | 16 進数 | 36'h000000000 ~ 36'h68719476735 | すべてゼロ | リセット信号 (RSTB) がアサートされたときのポート B の出力値を指定します。 |
| WRITE_MODE_A | 文字列 | WRITE_FIRST、 READ_FIRST、 NO_CHANGE | WRITE_FIRST | ポート A の出力ビヘイビアを指定します。 <ul style="list-style-type: none"> WRITE_FIRST に設定すると、書き込まれた値が出力ポートに出力されます。 READ_FIRST に設定すると、そのメモリロケーションに直前に格納されていた値が出力ポートに出力されます。 NO_CHANGE に設定すると、出力ポートから直前に出力された値が保持されます。 |
| WRITE_MODE_B | 文字列 | WRITE_FIRST、 READ_FIRST、 NO_CHANGE | WRITE_FIRST | ポート B の出力ビヘイビアを指定します。 <ul style="list-style-type: none"> WRITE_FIRST に設定すると、書き込まれた値が出力ポートに出力されます。 READ_FIRST に設定すると、そのメモリロケーションに直前に格納されていた値が出力ポートに出力されます。 NO_CHANGE に設定すると、出力ポートから直前に出力された値が保持されます。 |

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)
- ・ [Spartan-6 FPGA ブロック RAM ユーザー ガイド](#)
- ・ [Spartan-6 FPGA データシート: DC 特性およびスイッチ特性](#)

RAMB8BWER

プリミティブ : 8K-bit Data and 1K-bit Parity Configurable Synchronous Dual Port Block RAM with Optional Output Registers



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

Spartan®-6

概要

複数のブロックRAM メモリが含まれていますが、これは汎用 9kb データ + 1kb パリティ RAM/ROM メモリとしてコンフィギュレーションできます。これらのブロック RAM には、大量のオンチップ データを高速かつ柔軟に格納できます。このコンポーネントは、1 ビット X 8K ワード ~ 36 ビット X 512 ワードのシングル ポート RAM またはデュアル ポート RAM としてコンフィギュレーションできます。完全なデュアル ポート モードでは、1 ビット X 8K ワードから 18 ビット X 1K ワードがサポートされています。コンポーネントに供給されるクロックに完全に同期して、読み出しと書き込みが同時に実行されます。ただし、ポート A とポート B は互いに独立しており、同じメモリアレイにアクセスする間は非同期になります。データ幅の広いモードでコンフィギュレーションすれば、バイト イネーブル書き込み操作が可能です。この RAM には、コンフィギュレーション可能な出力レジスタもあり、読み出し操作中 1 クロック サイクルのレイテンシが発生するときに RAM の clock-to-out タイムを向上させることができます。

ポートの説明

| ポート名 | 方向 | 幅 | 機能 |
|------|----|---|----|
|------|----|---|----|

| ポート名 | 方向 | 幅 | 機能 |
|-------------|----|----|--|
| DOADO | 出力 | 16 | ポート A のデータ出力バス |
| DOBDO | 出力 | 16 | ポート B のデータ出力バス |
| DOPADOP | 出力 | 2 | 完全なデュアルポートモードでは、これは A ポートパリティバス出力です。シンプルデュアルポートモードでは、下位ビットのパリティバス出力です。DATA_WIDTH が 36 の場合、DOPBDOP は上位パリティビットです。 |
| DOPBDOP | 出力 | 2 | 完全なデュアルポートモードでは、これは B ポートパリティバス出力です。シンプルデュアルポートモードでは、DATA_WIDTH が 36 の場合、これは上位パリティビットのパリティバス出力です。DOPADOP は下位パリティビットです。 |
| DIADI | 入力 | 16 | 完全なデュアルポートモードでは A ポートデータバスで、シンプルデュアルポートモードでは下位ビットのデータバスです。DATA_WIDTH が 36 の場合、DIBDI は上位パリティビット [16:31] です。 |
| DIBDI | 入力 | 16 | 完全なデュアルポートモードでは B ポートデータバスで、シンプルデュアルポートモードでは、DATA_WIDTH が 36 の場合、上位ビット [16:31] のデータバスです。DIADI は下位アドレスビットです。 |
| DIPADIP | 入力 | 2 | 完全なデュアルポートモードでは、これは A ポートパリティバス入力です。シンプルデュアルポートモードでは、下位ビットのパリティバス入力です。DATA_WIDTH が 36 の場合、DIPBDIP は上位パリティビットです。 |
| DIPBDIP | 入力 | 2 | 完全なデュアルポートモードでは、これは B ポートパリティバス入力です。シンプルデュアルポートモードでは、DATA_WIDTH が 36 の場合、これは上位パリティビットのパリティバス出力です。DIPADIP は下位パリティビットです。 |
| ADDRWRADDR | 入力 | 13 | 完全なデュアルポートモードでは A ポートアドレスバスで、シンプルデュアルポートモードでは書き込みポートのアドレスバスです。 |
| ADDRBRDADDR | 入力 | 13 | 完全なデュアルポートモードでは B ポートアドレスバスで、シンプルデュアルポートモードでは読み出しポートのアドレスバスです。 |
| WEAWEL | 入力 | 2 | 完全なデュアルポートモードでは、これは A ポートライトイネーブルです。シンプルデュアルポートモードでは、下位ビットのライトイネーブルです。 |
| WEBWEU | 入力 | 2 | 完全なデュアルポートモードでは、これは B ポートライトイネーブルです。シンプルデュアルポートモードでは、DATA_WIDTH が 36 の場合、上位ビットのライトイネーブルです。 |
| ENAWREN | 入力 | 1 | 完全なデュアルポートモードでは、これは A ポートイネーブルです。シンプルデュアルポートモードではライトイネーブルです。 |
| ENBRDEN | 入力 | 1 | 完全なデュアルポートモードでは、これは B ポートイネーブルです。シンプルデュアルポートモードではリードイネーブルです。 |
| REGCEA | 入力 | 1 | 完全なデュアルポートモードでは、これは A ポートクロックイネーブルです。シンプルデュアルポートモードでは、未使用でロジック 0 に接続されている必要があります。 |
| REGCEBREGCE | 入力 | 1 | 完全なデュアルポートモードでは、これは B ポートクロックイネーブルです。シンプルデュアルポートモードではリードクロックイネーブルです。 |
| RSTA | 入力 | 1 | ポート A の出力レジスタのセット/リセット。このリセットは、RSTTYPE 属性の値に従い同期または非同期にコンフィギュレーションできます。 |

| ポート名 | 方向 | 幅 | 機能 |
|-----------|----|---|---|
| RSTB | 入力 | 1 | ポート B の出力レジスタのセット/リセット。このリセットは、RSTTYPE 属性の値に従い同期または非同期にコンフィギュレーションできます。 |
| CLKAWRCLK | 入力 | 1 | 完全なデュアル ポート モードでは、これは A ポートクロック入力です。シンプル デュアル ポート モードではライト モードクロック入力です。 |
| CLKBRDCLK | 入力 | 1 | 完全なデュアル ポート モードでは、これは B ポートクロック入力です。シンプル デュアル ポート モードではリード クロック入力です。 |

デザインの入力方法

| | |
|--------------------------|----|
| インスタンス化 | 可 |
| 推論 | 推奨 |
| CORE Generator™ およびウィザード | 可 |
| マクロのサポート | 不可 |

このエレメントは、回路図で使用されます。

使用可能な属性

| 属性 | タイプ | 値 | デフォルト | 説明 |
|-------------------|-------|---------------------------------|-------|--|
| DATA_WIDTH_A | 整数 | 0、1、2、4、9、18、36 | 0 | ポート A のコンフィギュレーション可能なデータ幅を指定。データ幅 36 は RAM_MODE=SDP でのみ使用可能です。 |
| DATA_WIDTH_B | 整数 | 0、1、2、4、9、18、36 | 0 | ポート B のコンフィギュレーション可能なデータ幅を指定。データ幅 36 は RAM_MODE=SDP でのみ使用可能です。 |
| DOA_REG | 整数 | 0、1 | 0 | RAM の出力レジスタを使用するか、バイパス接続するか指定します。 |
| DOB_REG | 整数 | 0、1 | 0 | RAM の出力レジスタを使用するか、バイパス接続するか指定します。 |
| EN_RSTRAM_A | 文字列 | TRUE、FALSE | TRUE | 出力ラッチでリセットを有効にするかどうかを指定します。 |
| EN_RSTRAM_B | 文字列 | TRUE、FALSE | TRUE | 出力ラッチでリセットを有効にするかどうかを指定します。 |
| INIT_A | 16 進数 | 36'h000000000 ~ 36'h68719476735 | すべてゼロ | コンフィギュレーション後のポート A の出力の初期値を指定します。シンプル デュアル ポート モードでは、DATA_WIDTH が 36 のとき INIT_B は上位ビット [31:16] で、INIT_A は下位ビットになります。 |
| INIT_B | 16 進数 | 36'h000000000 ~ 36'h68719476735 | すべてゼロ | コンフィギュレーション後のポート B の出力の初期値を指定します。シンプル デュアル ポート モードでは、DATA_WIDTH が 36 のとき INIT_B は上位ビット [31:16] で、INIT_A は下位ビットになります。 |
| INIT_FILE | 文字列 | 0 ビット文字列 | NONE | ブロック RAM の初期値を指定するためのファイル名を指定します。 |
| INIT_00 ~ INIT_3F | 16 進数 | 256 ビット値 | すべてゼロ | 16kb のデータメモリ アレイの初期内容を指定します。 |

| 属性 | タイプ | 値 | デフォルト | 説明 |
|------------------------|-------|---|-------|--|
| INITP_00 ~ INITP_07 | 16 進数 | 256 ビット値 | すべてゼロ | 2kb のパリティ メモリ アレイの初期内容を指定します。 |
| RAM_MODE | 文字列 | TDP、SDP | TDP | ブロック RAM のポート コンフィギュレーションを定義します。完全なデュアル ポート (TDP) では、各ポートを読み出し/書き込みの両方に使用することができます。シンプル デュアル ポート (SDP) では、ポート A が書き込みポート、ポート B が読み出しポートに割り当てられます。 |
| RST_PRIORITY_A | 文字列 | CE、SR | CE | RSTA ピンか ENA ピン (ラッチ モード) を指定します。または REGCEA ピン (出力レジスタ モード) が優先されます。 |
| RST_PRIORITY_B | 文字列 | CE、SR | CE | RSTB ピンか ENB ピン (ラッチ モード) を指定します。または REGCEB ピン (出力レジスタ モード) が優先されます。 |
| RSTTYPE | 文字列 | SYNC、ASYNC | SYNC | リセット、同期、または非同期を指定します。 |
| SIM_COLLISION_CHECK | 文字列 | ALL、 GENERATE_X_ONLY、 WARNING_ONLY、 NONE | ALL | メモリの競合が発生した場合にシミュレーションの動作を変更できます。 <ul style="list-style-type: none"> ALL に設定すると、警告メッセージが出力され、関連する出力およびメモリの値が不定 (X) になります。 WARNING_ONLY に設定すると、警告メッセージのみが出力され、関連する出力およびメモリの値はそのまま保持されます。 GENERATE_X_ONLY に設定すると、警告メッセージは出力されず、関連する出力およびメモリの値が不定 (X) になります。 NONE に設定すると、警告メッセージは出力されず、関連する出力およびメモリの値はそのまま保持されます。 メモ: ALL 以外の値に設定すると、シミュレーション中にデザインの問題を認識できなくなるため、この値を変更する場合は注意が必要です。 |
| SRVAL_A | 16 進数 | 36'h000000000 ~ 36'h68719476735 | すべてゼロ | リセット信号 (RSTA) がアサートされたときのポート A の出力値を指定 シンプル デュアル ポート モードでは、DATA_WIDTH が 36 のとき SRVAL_B は上位ビット [31:16] で、SRVAL_A は下位ビットになります。 |
| SRVAL_B | 16 進数 | 36'h000000000 ~ 36'h68719476735 | すべてゼロ | リセット信号 (RSTB) がアサートされたときのポート B の出力値を指定します。シンプル デュアル ポート モードでは、DATA_WIDTH が 36 のとき SRVAL_B は上位ビット [31:16] で、SRVAL_A は下位ビットになります。 |

| 属性 | タイプ | 値 | デフォルト | 説明 |
|--------------|-----|--|-------------|---|
| WRITE_MODE_A | 文字列 | WRITE_FIRST、 READ_FIRST、 NO_CHANGE | WRITE_FIRST | ポート A の出力ビヘイビアを指定します。 <ul style="list-style-type: none"> WRITE_FIRST に設定すると、書き込まれた値が出力ポートに出力されます。 READ_FIRST に設定すると、そのメモリロケーションに直前に格納されていた値が出力ポートに出力されます。 NO_CHANGE に設定すると、出力ポートから直前に出力された値が保持されます。 |
| WRITE_MODE_B | 文字列 | WRITE_FIRST、 READ_FIRST、 NO_CHANGE | WRITE_FIRST | ポート B の出力ビヘイビアを指定します。 <ul style="list-style-type: none"> WRITE_FIRST に設定すると、書き込まれた値が出力ポートに出力されます。 READ_FIRST に設定すると、そのメモリロケーションに直前に格納されていた値が出力ポートに出力されます。 NO_CHANGE に設定すると、出力ポートから直前に出力された値が保持されます。 |

VHDL 記述 (インスタンスエーション)

```
-- RAMB8BWER: 8K-bit Data and 1K-bit Parity Configurable Synchronous Block RAM
--           Spartan-6
-- Xilinx HDL Libraries Guide, version 11.2

RAMB8BWER_inst : RAMB8BWER
generic map (
  DATA_WIDTH_A => 0,
  DATA_WIDTH_B => 0,
  DOA_REG => 0,
  DOB_REG => 0,
  EN_RSTRAM_A => "TRUE",
  EN_RSTRAM_B => "TRUE",
  -- INITP_00 to INITP_03: Allows specification of the initial contents of the 1KB parity data memory
  -- array.
  INITP_00 => X"0000000000000000000000000000000000000000000000000000000000000000",
  INITP_01 => X"0000000000000000000000000000000000000000000000000000000000000000",
  INITP_02 => X"0000000000000000000000000000000000000000000000000000000000000000",
  INITP_03 => X"0000000000000000000000000000000000000000000000000000000000000000",
  -- INIT_00 to INIT_1F: Allows specification of the initial contents of the 8KB data memory array.
  INIT_00 => X"0000000000000000000000000000000000000000000000000000000000000000",
  INIT_01 => X"0000000000000000000000000000000000000000000000000000000000000000",
  INIT_02 => X"0000000000000000000000000000000000000000000000000000000000000000",
  INIT_03 => X"0000000000000000000000000000000000000000000000000000000000000000",
  INIT_04 => X"0000000000000000000000000000000000000000000000000000000000000000",
  INIT_05 => X"0000000000000000000000000000000000000000000000000000000000000000",
  INIT_06 => X"0000000000000000000000000000000000000000000000000000000000000000",
  INIT_07 => X"0000000000000000000000000000000000000000000000000000000000000000",
  INIT_08 => X"0000000000000000000000000000000000000000000000000000000000000000",
  -- 0, 1, 2, 4, 9, 18, or
  -- 36
  -- 0, 1, 2, 4, 9, 18, or
  -- 36
  -- Optional output
  -- register on A port (0
  -- or 1)
  -- Optional output
  -- register on B port (0
  -- or 1)
  -- Enable/disable A port
  -- RST
  -- Enable/disable B port
  -- RST
  -- RST
```

```

INIT_09 => X"0000000000000000000000000000000000000000000000000000000000000000",
INIT_0A => X"0000000000000000000000000000000000000000000000000000000000000000",
INIT_0B => X"0000000000000000000000000000000000000000000000000000000000000000",
INIT_0C => X"0000000000000000000000000000000000000000000000000000000000000000",
INIT_0D => X"0000000000000000000000000000000000000000000000000000000000000000",
INIT_0E => X"0000000000000000000000000000000000000000000000000000000000000000",
INIT_0F => X"0000000000000000000000000000000000000000000000000000000000000000",
INIT_10 => X"0000000000000000000000000000000000000000000000000000000000000000",
INIT_11 => X"0000000000000000000000000000000000000000000000000000000000000000",
INIT_12 => X"0000000000000000000000000000000000000000000000000000000000000000",
INIT_13 => X"0000000000000000000000000000000000000000000000000000000000000000",
INIT_14 => X"0000000000000000000000000000000000000000000000000000000000000000",
INIT_15 => X"0000000000000000000000000000000000000000000000000000000000000000",
INIT_16 => X"0000000000000000000000000000000000000000000000000000000000000000",
INIT_17 => X"0000000000000000000000000000000000000000000000000000000000000000",
INIT_18 => X"0000000000000000000000000000000000000000000000000000000000000000",
INIT_19 => X"0000000000000000000000000000000000000000000000000000000000000000",
INIT_1A => X"0000000000000000000000000000000000000000000000000000000000000000",
INIT_1B => X"0000000000000000000000000000000000000000000000000000000000000000",
INIT_1C => X"0000000000000000000000000000000000000000000000000000000000000000",
INIT_1D => X"0000000000000000000000000000000000000000000000000000000000000000",
INIT_1E => X"0000000000000000000000000000000000000000000000000000000000000000",
INIT_1F => X"0000000000000000000000000000000000000000000000000000000000000000",
INIT_A => X"00000000",

INIT_B => X"00000000",

INIT_FILE => "NONE",

RAM_MODE => "TDP",
RSTTYPE => "SYNC",
RST_PRIORITY_A => "CE",
RST_PRIORITY_B => "CE",
SIM_COLLISION_CHECK => "ALL",

SRVAL_A => X"00000000",

SRVAL_B => X"00000000",

WRITE_MODE_A => "WRITE_FIRST",

WRITE_MODE_B => "WRITE_FIRST"

)
port map (
  DOADO => DOADO,          -- 16-bit A port data/LSB data output
  DOBDO => DOBDO,          -- 16-bit B port data/MSB data output
  DOPADOP => DOPADOP,      -- 2-bit A port parity/LSB parity output
  DOPBDOP => DOPBDOP,      -- 2-bit B port parity/MSB parity output
  ADDRWRADDR => ADDRWRADDR, -- 13-bit A port address/Write address input
  ADDRBRDADDR => ADDRBRDADDR, -- 13-bit B port address/Read address input
  CLKAWRCLK => CLKAWRCLK,  -- 1-bit A port clock/Write clock input
  CLKBRDCLK => CLKBRDCLK,  -- 1-bit B port clock/Read clock input
  DIADI => DIADI,          -- 16-bit A port data/LSB data input
  DIBDI => DIBDI,          -- 16-bit B port data/MSB data input
  DIPADIP => DIPADIP,      -- 2-bit A port parity/LSB parity input
  DIPBDIP => DIPBDIP,      -- 2-bit B port parity/MSB parity input
  ENAWREN => ENAWREN,      -- 1-bit A port enable/Write enable input
  ENBRDEN => ENBRDEN,      -- 1-bit B port enable/Read enable input
  REGCEA => REGCEA,        -- 1-bit A port register enable input
  REGCEBREGCE => REGCEBREGCE, -- 1-bit B port register enable/Register enable input
  RSTA => RSTA,            -- 1-bit A port set/reset input
  RSTBRST => RSTBRST,      -- 1-bit B port set/reset input
  WEAWEL => WEAWEL,        -- 2-bit A port write enable input
  WEBWEU => WEBWEU,        -- 2-bit B port write enable input
);

```

[illegible]

```

.RST_PRIORITY_A("CE"), // CE or SR
.RST_PRIORITY_B("CE"), // CE or SR
.SIM_COLLISION_CHECK("ALL"), // Collision check
                                // enable "ALL",
                                // "WARNING_ONLY",
                                // "GENERATE_X_ONLY" or
                                // "NONE"
.SRVAL_A(18'h00000), // Set/Reset value for
                        // A port output
.SRVAL_B(18'h00000), // Set/Reset value for
                        // B port output
.WRITE_MODE_A("WRITE_FIRST"), // "WRITE_FIRST", or
                                // "READ_FIRST", or
                                // "NO_CHANGE"
.WRITE_MODE_B("WRITE_FIRST") // "WRITE_FIRST", or
                                // "READ_FIRST", or
                                // "NO_CHANGE"
)
RAMB8BWER_inst (
.DOADO(DOADO), // 16-bit A port data/LSB data output
.DOBDO(DOBDO), // 16-bit B port data/MSB data output
.DOPADOP(DOPADOP), // 2-bit A port parity/LSB parity output
.DOPBDOP(DOPBDOP), // 2-bit B port parity/MSB parity output
.ADDRAWRADDR(ADDRDRAWRADDR), // 13-bit A port address/Write address input
.ADDRBRDADDR(ADDRBRDADDR), // 13-bit B port address/Read address input
.CLKAWRCLK(CLKAWRCLK), // 1-bit A port clock/Write clock input
.CLKBRDCLK(CLKBRDCLK), // 1-bit B port clock/Read clock input
.DIADI(DIADI), // 16-bit A port data/LSB data input
.DIBDI(DIBDI), // 16-bit B port data/MSB data input
.DIPADIP(DIPADIP), // 2-bit A port parity/LSB parity input
.DIPBDIP(DIPBDIP), // 2-bit B port parity/MSB parity input
.ENAWREN(ENAWREN), // 1-bit A port enable/Write enable input
.ENBRDEN(ENBRDEN), // 1-bit B port enable/Read enable input
.REGCEA(REGCEA), // 1-bit A port register enable input
.REGCEBREGCE(REGCEBREGCE), // 1-bit B port register enable/Register enable input
.RSTA(RSTA), // 1-bit A port set/reset input
.RSTBRST(RSTBRST), // 1-bit B port set/reset input
.WEAWEL(WEAWEL), // 2-bit A port write enable input
.WEBWEU(WEBWEU) // 2-bit B port write enable input
);

// End of RAMB8BWER_inst instantiation

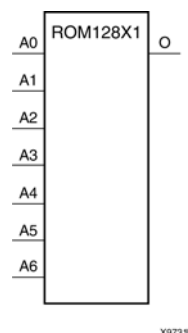
```

詳細情報

- [Spartan-6 FPGA ブロック RAM ユーザー ガイド](#)
- [Spartan-6 FPGA データシート : DC 特性およびスイッチ特性](#)

ROM128X1

プリミティブ : 128-Deep by 1-Wide ROM



X9731

サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Virtex-4
- ・ Virtex-5

概要

このデザイン エLEMENTは 128 ワード X 1 ビットの ROM です。データ出力 (O) には、7 ビットのアドレス (A6 ~ A0) で選択されたワードが出力されます。ROM は、コンフィギュレーションの際に INIT=value で指定した値に初期化されます。初期値は 32 桁の 16 進数で、ROM には最上位ビット A=FH から最下位ビット A=0H の順に書き込まれます。INIT=value を指定しないと、エラーになります。

論理表

| 入力 | | | | 出力 |
|----|----|----|----|----------|
| I0 | I1 | I2 | I3 | O |
| 0 | 0 | 0 | 0 | INIT(0) |
| 0 | 0 | 0 | 1 | INIT(1) |
| 0 | 0 | 1 | 0 | INIT(2) |
| 0 | 0 | 1 | 1 | INIT(3) |
| 0 | 1 | 0 | 0 | INIT(4) |
| 0 | 1 | 0 | 1 | INIT(5) |
| 0 | 1 | 1 | 0 | INIT(6) |
| 0 | 1 | 1 | 1 | INIT(7) |
| 1 | 0 | 0 | 0 | INIT(8) |
| 1 | 0 | 0 | 1 | INIT(9) |
| 1 | 0 | 1 | 0 | INIT(10) |
| 1 | 0 | 1 | 1 | INIT(11) |
| 1 | 1 | 0 | 0 | INIT(12) |
| 1 | 1 | 0 | 1 | INIT(13) |
| 1 | 1 | 1 | 0 | INIT(14) |
| 1 | 1 | 1 | 1 | INIT(15) |

デザインの入力方法

| | |
|--------------------------|----|
| インスタンス化 | 可 |
| 推論 | 推奨 |
| CORE Generator™ およびウィザード | 不可 |
| マクロのサポート | 不可 |

このエレメントは、回路図で使用されます。

使用可能な属性

| 属性 | タイプ | 値 | デフォルト | 説明 |
|------|-------|----------|-------|-----------|
| INIT | 16 進数 | 128 ビット値 | すべてゼロ | ROM の値を指定 |

VHDL 記述 (インスタンスエーション)

次の 2 つの構文が存在しない場合はコピーし、エンティティ宣言の前に貼り付けます。

```
Library UNISIM;
use UNISIM.vcomponents.all;

-- ROM128X1: 128 x 1 Asynchronous Distributed  => LUT ROM
--          Virtex-4/5/6, Spartan-3/3E/3A/6
-- Xilinx HDL Libraries Guide, version 11.2

ROM128X1_inst : ROM128X1
generic map (
    INIT => X"00000000000000000000000000000000"
port map (
    O => O,    -- ROM output
    A0 => A0,   -- ROM address[0]
    A1 => A1,   -- ROM address[1]
    A2 => A2,   -- ROM address[2]
    A3 => A3,   -- ROM address[3]
    A4 => A4,   -- ROM address[4]
    A5 => A5,   -- ROM address[5]
    A6 => A6    -- ROM address[6]
);

-- End of ROM128X1_inst instantiation
```

Verilog 記述 (インスタンスエーション)

```
// ROM128X1: 128 x 1 Asynchronous Distributed (LUT) ROM
//          Virtex-4/5/6, Spartan-3/3E/3A/6
// Xilinx HDL Libraries Guide, version 11.2

ROM128X1 #(
    .INIT(128'h00000000000000000000000000000000) // Contents of ROM
) ROM128X1_inst (
    .O(O),    // ROM output
    .A0(A0),  // ROM address[0]
    .A1(A1),  // ROM address[1]
    .A2(A2),  // ROM address[2]
    .A3(A3),  // ROM address[3]
    .A4(A4),  // ROM address[4]
    .A5(A5),  // ROM address[5]
    .A6(A6)   // ROM address[6]
);

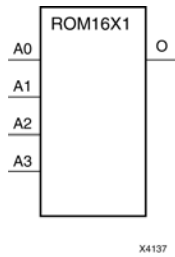
// End of ROM128X1_inst instantiation
```

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリ データシート](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリ データシート](#)
- ・ [Spartan-3E FPGA ファミリ データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

ROM16X1

プリミティブ : 16-Deep by 1-Wide ROM



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6

概要

このデザイン エLEMENTは 16 ワード X 1 ビットの ROM です。データ出力 (O) には、4 ビットのアドレス (A3 ~ A0) で選択されたワードが出力されます。ROM は、コンフィギュレーションの際に INIT=value で指定した値に初期化されます。初期値は 4 桁の 16 進数で、ROM には最上位ビット A=FH から最下位ビット A=0H の順に書き込まれます。たとえば、INIT=10A7 と指定すると、「0001 0000 1010 0111」というデータストリームが生成されます。INIT=value を指定しないと、エラーになります。

論理表

| 入力 | | | | 出力 |
|----|----|----|----|----------|
| I0 | I1 | I2 | I3 | O |
| 0 | 0 | 0 | 0 | INIT(0) |
| 0 | 0 | 0 | 1 | INIT(1) |
| 0 | 0 | 1 | 0 | INIT(2) |
| 0 | 0 | 1 | 1 | INIT(3) |
| 0 | 1 | 0 | 0 | INIT(4) |
| 0 | 1 | 0 | 1 | INIT(5) |
| 0 | 1 | 1 | 0 | INIT(6) |
| 0 | 1 | 1 | 1 | INIT(7) |
| 1 | 0 | 0 | 0 | INIT(8) |
| 1 | 0 | 0 | 1 | INIT(9) |
| 1 | 0 | 1 | 0 | INIT(10) |
| 1 | 0 | 1 | 1 | INIT(11) |
| 1 | 1 | 0 | 0 | INIT(12) |
| 1 | 1 | 0 | 1 | INIT(13) |
| 1 | 1 | 1 | 0 | INIT(14) |
| 1 | 1 | 1 | 1 | INIT(15) |

デザインの入力方法

| | |
|--------------------------|----|
| インスタンス化 | 可 |
| 推論 | 推奨 |
| CORE Generator™ およびウィザード | 不可 |
| マクロのサポート | 不可 |

このELEMENTは、回路図で使用されます。

使用可能な属性

| 属性 | タイプ | 値 | デフォルト | 説明 |
|------|-------|---------|-------|-----------|
| INIT | 16 進数 | 16 ビット値 | すべてゼロ | ROM の値を指定 |

VHDL 記述 (インスタンス化)

次の 2 つの構文が存在しない場合はコピーし、エンティティ宣言の前に貼り付けます。

```
Library UNISIM;
use UNISIM.vcomponents.all;

-- ROM16X1: 16 x 1 Asynchronous Distributed => LUT ROM
-- Xilinx HDL Libraries Guide, version 11.2

ROM16X1_inst : ROM16X1
generic map (
    INIT => X"0000")
port map (
    O => O,      -- ROM output
    A0 => A0,    -- ROM address[0]
    A1 => A1,    -- ROM address[1]
    A2 => A2,    -- ROM address[2]
    A3 => A3     -- ROM address[3]
);

-- End of ROM16X1_inst instantiation
```

Verilog 記述 (インスタンス化)

```
// ROM16X1: 16 x 1 Asynchronous Distributed (LUT) ROM
//      All FPGAs
// Xilinx HDL Libraries Guide, version 11.2

ROM16X1 #(
    .INIT(16'h0000) // Contents of ROM
) ROM16X1_inst (
    .O(O),          // ROM output
    .A0(A0),        // ROM address[0]
    .A1(A1),        // ROM address[1]
    .A2(A2),        // ROM address[2]
    .A3(A3)         // ROM address[3]
);

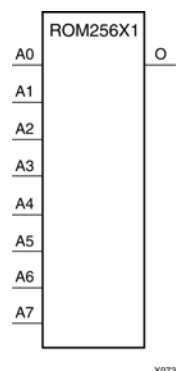
// End of ROM16X1_inst instantiation
```

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリー データシート](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリー データシート](#)
- ・ [Spartan-3E FPGA ファミリー データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート: DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート: DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

ROM256X1

プリミティブ : 256-Deep by 1-Wide ROM



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Virtex-4
- ・ Virtex-5

概要

このデザイン エLEMENTは 256 ワード X 1 ビットの ROM です。データ出力 (O) には、8 ビットのアドレス (A7 ~ A0) で選択されたワードが出力されます。ROM は、コンフィギュレーションの際に INIT=value で指定した値に初期化されます。初期値は 64 桁の 16 進数で、ROM には最上位ビット A=FH から最下位ビット A=0H の順に書き込まれます。

INIT=value を指定しないと、エラーになります。

論理表

| 入力 | | | | 出力 |
|----|----|----|----|----------|
| I0 | I1 | I2 | I3 | O |
| 0 | 0 | 0 | 0 | INIT(0) |
| 0 | 0 | 0 | 1 | INIT(1) |
| 0 | 0 | 1 | 0 | INIT(2) |
| 0 | 0 | 1 | 1 | INIT(3) |
| 0 | 1 | 0 | 0 | INIT(4) |
| 0 | 1 | 0 | 1 | INIT(5) |
| 0 | 1 | 1 | 0 | INIT(6) |
| 0 | 1 | 1 | 1 | INIT(7) |
| 1 | 0 | 0 | 0 | INIT(8) |
| 1 | 0 | 0 | 1 | INIT(9) |
| 1 | 0 | 1 | 0 | INIT(10) |
| 1 | 0 | 1 | 1 | INIT(11) |
| 1 | 1 | 0 | 0 | INIT(12) |
| 1 | 1 | 0 | 1 | INIT(13) |
| 1 | 1 | 1 | 0 | INIT(14) |
| 1 | 1 | 1 | 1 | INIT(15) |

デザインの入力方法

| | |
|--------------------------|----|
| インスタンス化 | 可 |
| 推論 | 推奨 |
| CORE Generator™ およびウィザード | 不可 |
| マクロのサポート | 不可 |

このELEMENTは、回路図で使用されます。

使用可能な属性

| 属性 | タイプ | 値 | デフォルト | 説明 |
|------|-------|----------|-------|-----------|
| INIT | 16 進数 | 256 ビット値 | すべてゼロ | ROM の値を指定 |

VHDL 記述 (インスタンスレーション)

次の 2 つの構文が存在しない場合はコピーし、エンティティ宣言の前に貼り付けます。

```
Library UNISIM;
use UNISIM.vcomponents.all;

-- ROM256X1: 256 x 1 Asynchronous Distributed => LUT ROM
--           Virtex-4/5/6, Spartan-3/3E/3A/6
-- Xilinx HDL Libraries Guide, version 11.2

ROM256X1_inst : ROM256X1
generic map (
  INIT => X"0000000000000000000000000000000000000000000000000000000000000000"
)
port map (
  O => O,    -- ROM output
  A0 => A0,   -- ROM address[0]
  A1 => A1,   -- ROM address[1]
  A2 => A2,   -- ROM address[2]
  A3 => A3,   -- ROM address[3]
  A4 => A4,   -- ROM address[4]
  A5 => A5,   -- ROM address[5]
  A6 => A6,   -- ROM address[6]
  A7 => A7    -- ROM address[7]
);

-- End of ROM256X1_inst instantiation
```

Verilog 記述 (インスタンスレーション)

```
// ROM256X1: 256 x 1 Asynchronous Distributed (LUT) ROM
//           Virtex-4/5/6, Spartan-3/3E/3A/6
// Xilinx HDL Libraries Guide, version 11.2

ROM256X1 #(
  .INIT(256'h0000000000000000000000000000000000000000000000000000000000000000) // Contents of ROM
) ROM256X1_inst (
  .O(O),    // ROM output
  .A0(A0),  // ROM address[0]
  .A1(A1),  // ROM address[1]
  .A2(A2),  // ROM address[2]
  .A3(A3),  // ROM address[3]
  .A4(A4),  // ROM address[4]
  .A5(A5),  // ROM address[5]
  .A6(A6),  // ROM address[6]
  .A7(A7)   // ROM address[7]
);

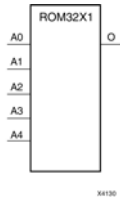
// End of ROM256X1_inst instantiation
```


詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリ データシート](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリ データシート](#)
- ・ [Spartan-3E FPGA ファミリ データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

ROM32X1

プリミティブ : 32-Deep by 1-Wide ROM



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6

概要

このデザイン エLEMENTは 32 ワード X 1 ビットの ROM です。データ出力 (O) には、5 ビットのアドレス (A4 ~ A0) で選択されたワードが出力されます。ROM は、コンフィギュレーションの際に INIT=value で指定した値に初期化されます。初期値は 8 桁の 16 進数で、ROM には最上位ビット A=1FH から最下位ビット A=00H の順に書き込まれます。

たとえば、INIT=10A78F39 と指定すると、次のデータストリームが生成されます。0001 0000 1010 0111 1000 1111 0011 1001. INIT=value を指定しないと、エラーになります。

論理表

| 入力 | | | | 出力 |
|----|----|----|----|----------|
| I0 | I1 | I2 | I3 | O |
| 0 | 0 | 0 | 0 | INIT(0) |
| 0 | 0 | 0 | 1 | INIT(1) |
| 0 | 0 | 1 | 0 | INIT(2) |
| 0 | 0 | 1 | 1 | INIT(3) |
| 0 | 1 | 0 | 0 | INIT(4) |
| 0 | 1 | 0 | 1 | INIT(5) |
| 0 | 1 | 1 | 0 | INIT(6) |
| 0 | 1 | 1 | 1 | INIT(7) |
| 1 | 0 | 0 | 0 | INIT(8) |
| 1 | 0 | 0 | 1 | INIT(9) |
| 1 | 0 | 1 | 0 | INIT(10) |
| 1 | 0 | 1 | 1 | INIT(11) |
| 1 | 1 | 0 | 0 | INIT(12) |
| 1 | 1 | 0 | 1 | INIT(13) |
| 1 | 1 | 1 | 0 | INIT(14) |
| 1 | 1 | 1 | 1 | INIT(15) |

デザインの入力方法

| | |
|--------------------------|----|
| インスタンス化 | 可 |
| 推論 | 推奨 |
| CORE Generator™ およびウィザード | 不可 |
| マクロのサポート | 不可 |

このELEMENTは、回路図で使用されます。

使用可能な属性

| 属性 | タイプ | 値 | デフォルト | 説明 |
|------|-------|---------|-------|-----------|
| INIT | 16 進数 | 32 ビット値 | すべてゼロ | ROM の値を指定 |

VHDL 記述 (インスタンス化)

次の 2 つの構文が存在しない場合はコピーし、エンティティ宣言の前に貼り付けます。

```
Library UNISIM;
use UNISIM.vcomponents.all;

-- ROM32X1: 32 x 1 Asynchronous Distributed => LUT ROM
-- Xilinx HDL Libraries Guide, version 11.2

ROM32X1_inst : ROM32X1
generic map (
    INIT => X"00000000")
port map (
    O => O,    -- ROM output
    A0 => A0,  -- ROM address[0]
    A1 => A1,  -- ROM address[1]
    A2 => A2,  -- ROM address[2]
    A3 => A3,  -- ROM address[3]
    A4 => A4   -- ROM address[4]
);
-- End of ROM32X1_inst instantiation
```

Verilog 記述 (インスタンス化)

```
// ROM32X1: 32 x 1 Asynchronous Distributed (LUT) ROM
//      All FPGAs
// Xilinx HDL Libraries Guide, version 11.2

ROM32X1 #(
    .INIT(32'h00000000) // Contents of ROM
) ROM32X1_inst (
    .O(O),    // ROM output
    .A0(A0), // ROM address[0]
    .A1(A1), // ROM address[1]
    .A2(A2), // ROM address[2]
    .A3(A3), // ROM address[3]
    .A4(A4)  // ROM address[4]
);

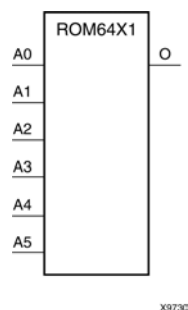
// End of ROM32X1_inst instantiation
```

詳細情報

- [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- [Spartan-3 FPGA ファミリー データシート](#)
- [Spartan-3A FPGA ファミリー データシート](#)
- [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- [Spartan-3AN FPGA ファミリー データシート](#)
- [Spartan-3E FPGA ファミリー データシート](#)
- [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- [Virtex-4 FPGA ユーザー ガイド](#)
- [Virtex-4 FPGA データシート: DC 特性およびスイッチ特性](#)
- [Virtex-5 FPGA ユーザー ガイド](#)
- [Virtex-5 FPGA データシート: DC 特性およびスイッチ特性](#)
- [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- [該当 CPLD のユーザー ガイド](#)
- [該当 CPLD のデータシート](#)

ROM64X1

プリミティブ : 64-Deep by 1-Wide ROM



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Virtex-4
- ・ Virtex-5

概要

このデザイン エLEMENTは 64 ワード X 1 ビットの ROM です。データ出力 (O) には、6 ビットのアドレス (A5 ~ A0) で選択されたワードが出力されます。ROM は、コンフィギュレーションの際に INIT=value で指定した値に初期化されます。初期値は 16 桁の 16 進数で、ROM には最上位ビット A=FH から最下位ビット A=0H の順に書き込まれます。INIT=value を指定しないと、エラーになります。

論理表

| 入力 | | | | 出力 |
|----|----|----|----|----------|
| I0 | I1 | I2 | I3 | O |
| 0 | 0 | 0 | 0 | INIT(0) |
| 0 | 0 | 0 | 1 | INIT(1) |
| 0 | 0 | 1 | 0 | INIT(2) |
| 0 | 0 | 1 | 1 | INIT(3) |
| 0 | 1 | 0 | 0 | INIT(4) |
| 0 | 1 | 0 | 1 | INIT(5) |
| 0 | 1 | 1 | 0 | INIT(6) |
| 0 | 1 | 1 | 1 | INIT(7) |
| 1 | 0 | 0 | 0 | INIT(8) |
| 1 | 0 | 0 | 1 | INIT(9) |
| 1 | 0 | 1 | 0 | INIT(10) |
| 1 | 0 | 1 | 1 | INIT(11) |
| 1 | 1 | 0 | 0 | INIT(12) |
| 1 | 1 | 0 | 1 | INIT(13) |
| 1 | 1 | 1 | 0 | INIT(14) |
| 1 | 1 | 1 | 1 | INIT(15) |

デザインの入力方法

| | |
|--------------------------|----|
| インスタンス化 | 可 |
| 推論 | 推奨 |
| CORE Generator™ およびウィザード | 不可 |
| マクロのサポート | 不可 |

このエレメントは、回路図で使用されます。

使用可能な属性

| 属性 | タイプ | 値 | デフォルト | 説明 |
|------|-------|---------|-------|-----------|
| INIT | 16 進数 | 64 ビット値 | すべてゼロ | ROM の値を指定 |

VHDL 記述 (インスタンス化)

次の 2 つの構文が存在しない場合はコピーし、エンティティ宣言の前に貼り付けます。

```
Library UNISIM;
use UNISIM.vcomponents.all;

-- ROM64X1: 64 x 1 Asynchronous Distributed => LUT ROM
--          Virtex-4/5/6, Spartan-3/3E/3A/6
-- Xilinx HDL Libraries Guide, version 11.2

ROM64X1_inst : ROM64X1
generic map (
    INIT => X"0000000000000000")
port map (
    O => O,    -- ROM output
    A0 => A0,   -- ROM address[0]
    A1 => A1,   -- ROM address[1]
    A2 => A2,   -- ROM address[2]
    A3 => A3,   -- ROM address[3]
    A4 => A4,   -- ROM address[4]
    A5 => A5    -- ROM address[5]
);

-- End of ROM64X1_inst instantiation
```

Verilog 記述 (インスタンス化)

```
// ROM64X1: 64 x 1 Asynchronous Distributed (LUT) ROM
//          Virtex-4/5/6, Spartan-3/3E/3A/6
// Xilinx HDL Libraries Guide, version 11.2

ROM64X1 #(
    .INIT(64'h0000000000000000) // Contents of ROM
) ROM64X1_inst (
    .O(O),    // ROM output
    .A0(A0), // ROM address[0]
    .A1(A1), // ROM address[1]
    .A2(A2), // ROM address[2]
    .A3(A3), // ROM address[3]
    .A4(A4), // ROM address[4]
    .A5(A5)  // ROM address[5]
);

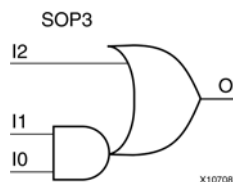
// End of ROM64X1_inst instantiation
```

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリ データシート](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリ データシート](#)
- ・ [Spartan-3E FPGA ファミリ データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

SOP3

マクロ : 3-Input Sum of Products



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6

概要

このデザイン エLEMENTは 3 入力の積和 (SOP) マクロで、1 個の AND 出力と 1 個の直接入力を OR ゲートに入力した共通ロジック ファンクションです。反転入力と非反転入力をさまざまに組み合わせたものがあります。

デザインの入力方法

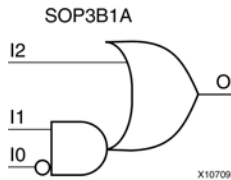
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリ データシート](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリ データシート](#)
- ・ [Spartan-3E FPGA ファミリ データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

SOP3B1A

マクロ : 3-Input Sum of Products with One Inverted Input (Option A)



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6

概要

このデザイン エLEMENTは 3 入力の積和 (SOP) マクロで、1 個の AND 出力と 1 個の直接入力を OR ゲートに入力した共通ロジック ファンクションです。反転入力と非反転入力をさまざまに組み合わせたものがあります。

デザインの入力方法

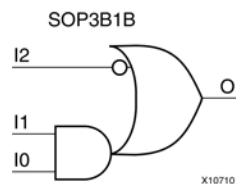
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリ データシート](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリ データシート](#)
- ・ [Spartan-3E FPGA ファミリ データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

SOP3B1B

マクロ : 3-Input Sum of Products with One Inverted Input (Option B)



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6

概要

このデザイン エLEMENTは 3 入力の積和 (SOP) マクロで、1 個の AND 出力と 1 個の直接入力を OR ゲートに入力した共通ロジック ファンクションです。反転入力と非反転入力をさまざまに組み合わせたものがあります。

デザインの入力方法

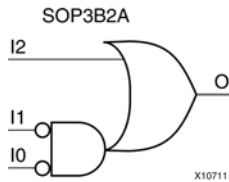
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリー データシート](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリー データシート](#)
- ・ [Spartan-3E FPGA ファミリー データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

SOP3B2A

マクロ : 3-Input Sum of Products with Two Inverted Inputs (Option A)



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6

概要

このデザイン エLEMENTは 3 入力の積和 (SOP) マクロで、1 個の AND 出力と 1 個の直接入力を OR ゲートに入力した共通ロジック ファンクションです。反転入力と非反転入力をさまざまに組み合わせたものがあります。

デザインの入力方法

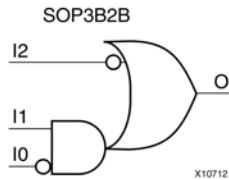
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリ データシート](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリ データシート](#)
- ・ [Spartan-3E FPGA ファミリ データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

SOP3B2B

マクロ : 3-Input Sum of Products with Two Inverted Inputs (Option B)



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6

概要

このデザイン エLEMENTは 3 入力の積和 (SOP) マクロで、1 個の AND 出力と 1 個の直接入力を OR ゲートに入力した共通ロジック ファンクションです。反転入力と非反転入力をさまざまに組み合わせたものがあります。

デザインの入力方法

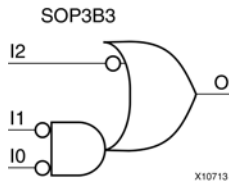
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリ データシート](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリ データシート](#)
- ・ [Spartan-3E FPGA ファミリ データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

SOP3B3

マクロ : 3-Input Sum of Products with Inverted Inputs



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6

概要

このデザイン エLEMENTは 3 入力の積和 (SOP) マクロで、1 個の AND 出力と 1 個の直接入力を OR ゲートに入力した共通ロジック ファンクションです。反転入力と非反転入力をさまざまに組み合わせたものがあります。

デザインの入力方法

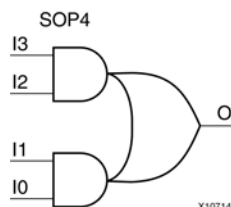
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリ データシート](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリ データシート](#)
- ・ [Spartan-3E FPGA ファミリ データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

SOP4

マクロ : 4-Input Sum of Products



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6

概要

このデザイン エLEMENTは 4 入力の積和 (SOP) マクロで、2 個の AND 出力を OR ゲートに入力した共通ロジック ファンクションです。反転入力と非反転入力をさまざまに組み合わせたものがあります。

デザインの入力方法

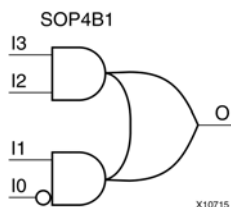
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリ データシート](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリ データシート](#)
- ・ [Spartan-3E FPGA ファミリ データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

SOP4B1

マクロ : 4-Input Sum of Products with One Inverted Input



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6

概要

このデザイン エLEMENTは 4 入力の積和 (SOP) マクロで、2 個の AND 出力を OR ゲートに入力した共通ロジック ファンクションです。反転入力と非反転入力をさまざまに組み合わせたものがあります。

デザインの入力方法

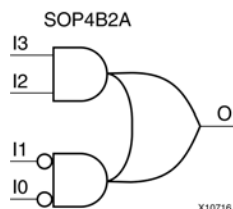
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリ データシート](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリ データシート](#)
- ・ [Spartan-3E FPGA ファミリ データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

SOP4B2A

マクロ : 4-Input Sum of Products with Two Inverted Inputs (Option A)



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6

概要

このデザイン エLEMENTは 4 入力の積和 (SOP) マクロで、2 個の AND 出力を OR ゲートに入力した共通ロジック ファンクションです。反転入力と非反転入力をさまざまに組み合わせたものがあります。

デザインの入力方法

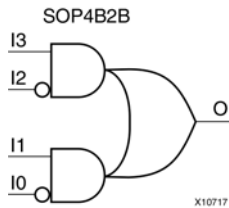
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリ データシート](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリ データシート](#)
- ・ [Spartan-3E FPGA ファミリ データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

SOP4B2B

マクロ : 4-Input Sum of Products with Two Inverted Inputs (Option B)



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6

概要

このデザイン エLEMENTは 4 入力の積和 (SOP) マクロで、2 個の AND 出力を OR ゲートに入力した共通ロジック ファンクションです。反転入力と非反転入力をさまざまに組み合わせたものがあります。

デザインの入力方法

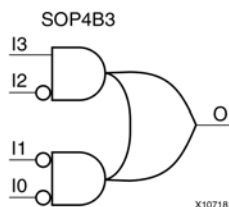
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリー データシート](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリー データシート](#)
- ・ [Spartan-3E FPGA ファミリー データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

SOP4B3

マクロ : 4-Input Sum of Products with Three Inverted Inputs



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6

概要

このデザイン エLEMENTは 4 入力の積和 (SOP) マクロで、2 個の AND 出力を OR ゲートに入力した共通ロジック ファンクションです。反転入力と非反転入力をさまざまに組み合わせたものがあります。

デザインの入力方法

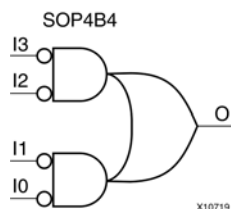
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリ データシート](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリ データシート](#)
- ・ [Spartan-3E FPGA ファミリ データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

SOP4B4

マクロ : 4-Input Sum of Products with Inverted Inputs



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6

概要

このデザイン エLEMENTは 4 入力の積和 (SOP) マクロで、2 個の AND 出力を OR ゲートに入力した共通ロジック ファンクションです。反転入力と非反転入力をさまざまに組み合わせたものがあります。

デザインの入力方法

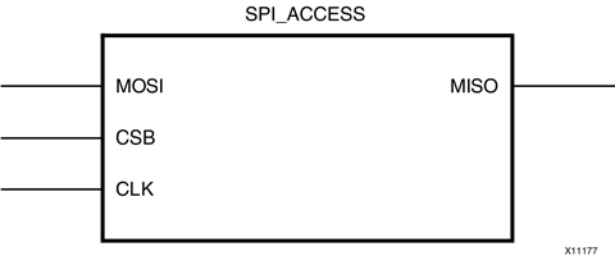
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリ データシート](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリ データシート](#)
- ・ [Spartan-3E FPGA ファミリ データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

SPI_ACCESS

プリミティブ : Internal Logic Access to the Serial Peripheral Interface (SPI) PROM Data



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

Spartan®-3A

概要

このデザイン エLEMENTを使用すると、FPGA の内部ロジックから SPI シリアル プロトコルを介して、デバイスに含まれているインシステム フラッシュ (ISF) メモリに接続できます。

ポートの説明

| ポート名 | 方向 | 幅 | 機能 |
|------|----|---|-----------------------|
| MISO | 出力 | 1 | ISF メモリのシリアル出力データ |
| MOSI | 入力 | 1 | ISF メモリへのシリアル入力命令/データ |
| CSB | 入力 | 1 | ISF メモリ イネーブル |
| CLK | 入力 | 1 | ISF メモリ クロック |

デザインの入力方法

| | |
|--------------------------|----|
| インスタンシエーション | 推奨 |
| 推論 | 不可 |
| CORE Generator™ およびウィザード | 不可 |
| マクロのサポート | 不可 |

このELEMENTは、回路図で使用されます。

使用可能な属性

| 属性 | タイプ | 値 | デフォルト | 説明 |
|----------------|-------|---|-------------|---|
| SIM_DEVICE | 文字列 | 3S50AN、3S200AN、 3S400AN、3S700AN、 3S1400AN | UNSPECIFIED | 適切なサイズの ISF メモリが使用されるようにターゲット デバイスを指定します。この属性は必ず設定する必要があります。 |
| SIM_USER_ID | 16 進数 | 64 ビット値 | 0xFF | ISF メモリに対しプログラムされている、セキュリティレジスタ内のユーザー ID を指定します。 |
| SIM_MEM_FILE | 文字列 | 指定されたファイル名 およびディレクトリ名 | NONE | ISF メモリの初期化メモリの内容を含む HEX ファイルをオプションで指定します。 |
| SIM_FACTORY_ID | 16 進数 | 64 ビット値 | 0xFF | シミュレーションに使用する、セキュリティレジスタ内の重複しない識別子の値を指定 (実際の HW 値はデバイスに特定の値) |
| SIM_DELAY_TYPE | 文字列 | ACCURATE、SCALED | SCALED | シミュレーションの速度を上げるため、一部のタイミング遅延を減少させます。 <ul style="list-style-type: none"> ACCURATE を指定した場合、タイミングと遅延はデータシートの仕様どおりです。 SCALED を指定すると、シミュレーションの速度を上げるためにタイミング値を減少させますが、ビヘイビアには影響はありません。 |

VHDL 記述 (インスタンス化)

次の 2 つの構文が存在しない場合はコピーし、エンティティ宣言の前に貼り付けます。

```

Library UNISIM;
use UNISIM.vcomponents.all;

-- SPI_ACCESS: Internal Logic Access to the Serial Peripheral
--             Interface (SPI) PROM Data
--             Spartan-3AN
-- Xilinx HDL Libraries Guide, version 11.2

SPI_ACCESS_inst : SPI_ACCESS
generic map (
    SIM_DELAY_TYPE => "SCALED", -- "ACCURATE" spec timing delays, "SCALED" shorten delays (faster sim)
    SIM_DEVICE => "3S1400AN", -- "3S50AN", "3S200AN", "3S400AN", "3S700AN", "3S1400AN"
    SIM_FACTORY_ID => X"00000000000000000000000000000000000000000000000000000000000000000000000000000000", -- Specifies
                                                                -- the
                                                                -- Pre-programmed
                                                                -- factory ID
                                                                -- value

    SIM_MEM_FILE => "NONE", -- Name/location of file containing memory contents

    SIM_USER_ID => X"00000000000000000000000000000000000000000000000000000000000000000000000000000000", -- Specifies
                                                                -- the programmed
                                                                -- User ID value
)
port map (
    MISO => MISO, -- Serial output data from SPI PROM
    CLK => CLK, -- SPI PROM clock input
    CSB => CSB, -- SPI PROM enable input
    MOSI => MOSI -- Serial input data to SPI PROM
);

-- End of SPI_ACCESS_inst instantiation

```

Verilog 記述 (インスタンス化)

```
// SPI_ACCESS: Internal Logic Access to the Serial Peripheral
//               Interface (SPI) PROM Data
//               Spartan-3AN
// Xilinx HDL Libraries Guide, version 11.2

SPI_ACCESS #(
    .SIM_DELAY_TYPE("SCALED"), // "ACCURATE" spec timing delays, "SCALED" shorten delays (faster sim)
    .SIM_DEVICE("3S1400AN"),   // "3S50AN", "3S200AN", "3S400AN", "3S700AN", "3S1400AN"
    .SIM_FACTORY_ID(64'h0),    // Specifies the Pre-programmed factory ID value
    .SIM_MEM_FILE("NONE"),     // Name/location of file containing memory contents
    .SIM_USER_ID(64'h0)        // Specifies the programmed User ID value
) SPI_ACCESS_inst (
    .MISO(MISO), // Serial output data from SPI PROM
    .CLK(CLK),   // SPI PROM clock input
    .CSB(CSB),   // SPI PROM enable input
    .MOSI(MOSI)  // Serial input data to SPI PROM
);

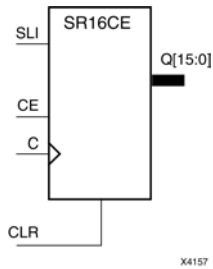
// End of SPI_ACCESS_inst instantiation
```

詳細情報

- [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- [Spartan-3 FPGA ファミリー データシート](#)
- [Spartan-3A FPGA ファミリー データシート](#)
- [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- [Spartan-3AN FPGA ファミリー データシート](#)
- [Spartan-3E FPGA ファミリー データシート](#)
- [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- [Virtex-4 FPGA ユーザー ガイド](#)
- [Virtex-4 FPGA データシート: DC 特性およびスイッチ特性](#)
- [Virtex-5 FPGA ユーザー ガイド](#)
- [Virtex-5 FPGA データシート: DC 特性およびスイッチ特性](#)
- [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- [該当 CPLD のユーザー ガイド](#)
- [該当 CPLD のデータシート](#)

SR16CE

マクロ : 16-Bit Serial-In Parallel-Out Shift Register with Clock Enable and Asynchronous Clear



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6
- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

このデザイン エLEMENTはシフトレジスタで、シフトレフトシリアル入力 (SLI)、パラレル出力 (Q)、クロックイネーブル (CE)、非同期クリア入力 (CLR) があります。CLR 入力が高レベルになると、ほかのすべての入力は無視され、出力 (Q) が Low にリセットされます。CE が High で CLR が Low の場合、クロック (C) が Low から High に切り替わるときに SLI 入力の値がシフトレジスタの第 1 ビットにロードされ、Q0 に出力されます。次にクロックが Low から High に切り替わるときに CE が High で CLR が Low の場合、値が次の高位ビットの位置にシフトされ、新しい値が Q0 にロードされます (例: SLI → Q0、Q0 → Q1、Q1 → Q2)。CE が Low の場合は、クロック遷移は無視されます。

最後の Q 出力を次の段の SLI 入力に接続し、クロック、CE、CLR を並列に接続すると、複数のレジスタをカスケード接続できます。

電力を供給すると、レジスタは非同期にクリアされ、出力が Low になります。FPGA では、グローバルセット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバータを追加するとアクティブ Low にできます。

論理表

| 入力 | | | | 出力 | |
|---|----|-----|---|------|---------|
| CLR | CE | SLI | C | Q0 | Qz : Q1 |
| 1 | X | X | X | 0 | 0 |
| 0 | 0 | X | X | 変化なし | 変化なし |
| 0 | 1 | SLI | ↑ | SLI | qn-1 |
| z = ビット幅 - 1 | | | | | |
| qn-1 = アクティブなクロック エッジの 1 セットアップ タイム前の対応する出力の値 | | | | | |

デザインの入力方法

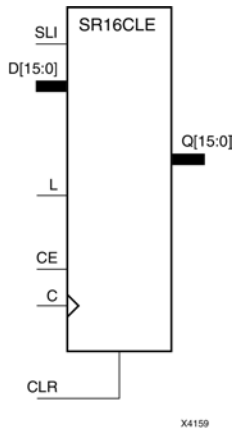
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリ データシート](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリ データシート](#)
- ・ [Spartan-3E FPGA ファミリ データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

SR16CLE

マクロ : 16-Bit Loadable Serial/Parallel-In Parallel-Out Shift Register with Clock Enable and Asynchronous Clear



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6
- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

このデザイン エLEMENTはシフトレジスタで、シフトレフトシリアル入力 (SLI)、パラレル入力 (D)、パラレル出力 (Q) に加え、クロック イネーブル (CE)、ロード イネーブル (L)、非同期クリア (CLR) の 3 つの制御入力があります。L と CE が Low の場合、クロック遷移は無視されます。CLR が High になると、ほかのすべての入力は無視され、出力 (Q) が Low にリセットされます。L が High で CLR が Low の場合、クロック (C) が Low から High に切り替わる時に、Dn ~ D0 入力の値は対応する Qn ~ Q0 ビットにロードされます。

CE が High で L および CLR が Low の場合、C が Low から High に切り替わる時に、SLI 入力の値がシフトレジスタの第 1 ビットにロードされ、Q0 に出力されます。次のクロック遷移で CE が High、L と CLR が Low の場合、値が次の高位ビットの位置にシフトされ、新しい値が Q0 にロードされます (例 : SLI → Q0、Q0 → Q1、Q1 → Q2)。

最後の Q 出力を次の段の SLI 入力に接続し、クロック、CE、L、CLR を並列に接続すると、複数のレジスタをカスケード接続できます。

電力を供給すると、レジスタは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバータを追加するとアクティブ Low にできます。

論理表

| 入力 | | | | | | 出力 | |
|-----|---|----|-----|---------|---|------|---------|
| CLR | L | CE | SLI | Dn : D0 | C | Q0 | Qz : Q1 |
| 1 | X | X | X | X | X | 0 | 0 |
| 0 | 1 | X | X | Dn : D0 | ↑ | D0 | Dn |
| 0 | 0 | 1 | SLI | X | ↑ | SLI | qn-1 |
| 0 | 0 | 0 | X | X | X | 変化なし | 変化なし |

z = ビット幅 -1

qn-1 = アクティブなクロック エッジの 1 セットアップ タイム前の対応する出力の値

デザインの入力方法

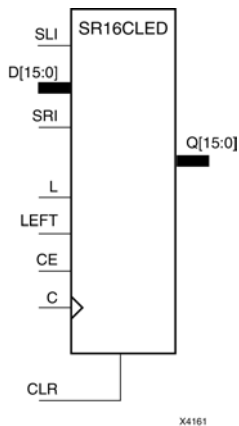
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリー データシート](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリー データシート](#)
- ・ [Spartan-3E FPGA ファミリー データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

SR16CLED

マクロ : 16-Bit Shift Register with Clock Enable and Asynchronous Clear



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6
- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

このデザイン エLEMENTはシフトレジスタで、シフトレフトシリアル入力 (SLI)、シフトライトシリアル入力 (SRI)、パラレル入力 (D)、パラレル出力 (Q) に加え、クロック イネーブル (CE)、ロード イネーブル (L)、シフトレフト/ライト (LEFT)、非同期クリア (CLR) の 4 つの制御入力があります。CE と L が Low の場合、クロック遷移は無視されます。CLR が High になると、ほかのすべての入力は無視され、出力 (Q) が Low にリセットされます。

L が High で CLR が Low の場合、クロック (C) が Low から High に切り替わる時に、D 入力の値が対応する Q ビットにロードされます。CE が High で L および CLR が Low の場合、LEFT 入力の値に応じて、レジスタの値は高位ビットまたは下位ビットにシフトされます。LEFT が High の場合は、クロックが Low から High に切り替わる時に SLI の値が Q0 にロードされ、次の Low から High へのクロック遷移で高位ビットにシフトされます (例: Q0 → Q1、Q1 → Q2)。LEFT が Low の場合は、クロックが Low から High に切り替わる時に SRI の値が最後の Q にロードされ、次のクロック遷移で右方向にシフトされます。論理表にすべての入力条件に対する Q 出力の値を示します。

電力を供給すると、レジスタは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバータを追加するとアクティブ Low にできます。

論理表

| 入力 | | | | | | | | 出力 | | |
|--|---|----|------|-----|-----|----------|---|------|------|----------|
| CLR | L | CE | LEFT | SLI | SRI | D15 : D0 | C | Q0 | Q15 | Q14 : Q1 |
| 1 | X | X | X | X | X | X | X | 0 | 0 | 0 |
| 0 | 1 | X | X | X | X | D15 : D0 | ↑ | D0 | D15 | Dn |
| 0 | 0 | 0 | X | X | X | X | X | 変化なし | 変化なし | 変化なし |
| 0 | 0 | 1 | 1 | SLI | X | X | ↑ | SLI | q14 | qn-1 |
| 0 | 0 | 1 | 0 | X | SRI | X | ↑ | q1 | SRI | qn+1 |
| qn-1 または qn+1 = アクティブなクロック エッジの 1 セットアップ タイム前の対応する出力の値 | | | | | | | | | | |

デザインの入力方法

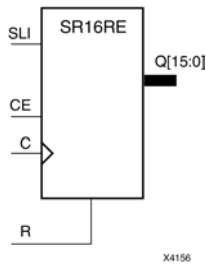
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリ データシート](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリ データシート](#)
- ・ [Spartan-3E FPGA ファミリ データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

SR16RE

マクロ : 16-Bit Serial-In Parallel-Out Shift Register with Clock Enable and Synchronous Reset



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6
- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

このデザイン エLEMENTはシフトレジスタで、シフトレフトシリアル入力 (SLI)、パラレル出力 (Qn)、クロック イネーブル (CE)、同期リセット入力 (R) があります。R 入力が高レベルになると、ほかのすべての入力は無視され、クロック (C) が Low から High に切り替わる時に出力 (Q) が Low にリセットされます。

CE が High で R が Low の場合、クロック (C) が Low から High に切り替わる時に SLI の値がシフトレジスタの第 1 ビットにロードされ、Q0 に出力されます。次にクロックが Low から High に切り替わる時に CE が High で R が Low の場合、値が次の高位ビットの位置にシフトされ、新しい値が Q0 にロードされます (例: SLI → Q0、Q0 → Q1、Q1 → Q2)。CE が Low の場合は、クロック遷移は無視されます。

最後の Q 出力を次の段の SLI 入力に接続し、クロック、CE、R を並列に接続すると、複数のレジスタをカスケード接続できます。

電力を供給すると、レジスタは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバータを追加するとアクティブ Low にできます。

論理表

| 入力 | | | | 出力 | |
|---|----|-----|---|------|---------|
| R | CE | SLI | C | Q0 | Qz : Q1 |
| 1 | X | X | ↑ | 0 | 0 |
| 0 | 0 | X | X | 変化なし | 変化なし |
| 0 | 1 | SLI | ↑ | SLI | qn-1 |
| z = ビット幅 -1 | | | | | |
| qn-1 = アクティブなクロック エッジの 1 セットアップ タイム前の対応する出力の値 | | | | | |

デザインの入力方法

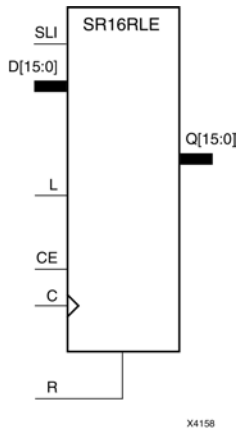
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリ データシート](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリ データシート](#)
- ・ [Spartan-3E FPGA ファミリ データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

SR16RLE

マクロ : 16-Bit Loadable Serial/Parallel-In Parallel-Out Shift Register with Clock Enable and Synchronous Reset



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6
- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

このデザイン エLEMENTはシフトレジスタで、シフト レフト シリアル入力 (SLI)、パラレル入力 (D)、パラレル出力 (Q) に加え、クロック イネーブル (CE)、ロード イネーブル (L)、同期リセット (R) の 3 つの制御入力があります。L と CE が Low の場合、クロック遷移は無視されます。R が High になると、ほかのすべての入力は無視され、クロック (C) が Low から High に切り替わるときに Q が Low にリセットされます。L が High で R が Low の場合、C が Low から High に切り替わる時に、D 入力の値が対応する Q ビットにロードされます。

CE が High で L および R が Low の場合は、C が Low から High に切り替わる時に SLI 入力の値がシフトレジスタの第 1 ビットにロードされ、Q0 に出力されます。次のクロック遷移で CE が High、L と R が Low の場合、シフトレジスタの値は次の高位ビットにシフトされ、新しい値が Q0 にロードされます。

最後の Q 出力を次の段の SLI 入力に接続し、クロック、CE、L、R を並列に接続すると、複数のレジスタをカスケード接続できます。

電力を供給すると、レジスタは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバータを追加するとアクティブ Low にできます。

論理表

| 入力 | | | | | | 出力 | |
|----|---|----|-----|---------|---|------|---------|
| R | L | CE | SLI | Dz : D0 | C | Q0 | Qz : Q1 |
| 1 | X | X | X | X | ↑ | 0 | 0 |
| 0 | 1 | X | X | Dz : D0 | ↑ | D0 | Dn |
| 0 | 0 | 1 | SLI | X | ↑ | SLI | qn-1 |
| 0 | 0 | 0 | X | X | X | 変化なし | 変化なし |

z = ビット幅 -1

qn-1 = アクティブなクロック エッジの 1 セットアップ タイム前の対応する出力の値

デザインの入力方法

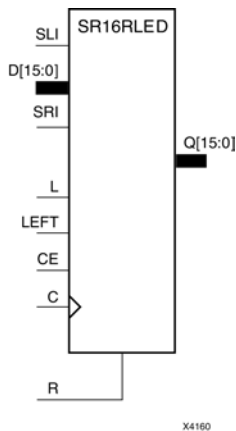
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリー データシート](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリー データシート](#)
- ・ [Spartan-3E FPGA ファミリー データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

SR16RLED

マクロ : 16-Bit Shift Register with Clock Enable and Synchronous Reset



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6
- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

このデザイン エLEMENTはシフトレジスタで、シフトレフトシリアル入力 (SLI)、シフトライトシリアル入力 (SRI)、パラレル入力 (D)、パラレル出力 (Q) に加え、クロック イネーブル (CE)、ロード イネーブル (L)、シフトレフト/ライト (LEFT)、同期リセット (R) の 4 つの制御入力があります。CE と L が Low の場合、クロック遷移は無視されます。R が High になると、ほかのすべての入力は無視され、クロック (C) が Low から High に切り替わるときに Q が Low にリセットされます。L が High で R が Low の場合、C が Low から High に切り替わるときに、D 入力の値が対応する Q ビットにロードされます。

CE が High で L および R が Low の場合、LEFT 入力の値に応じて、レジスタの値は高位ビットまたは下位ビットにシフトされます。LEFT が High の場合は、クロックが Low から High に切り替わるときに SLI の値が Q0 にロードされ、次の Low から High へのクロック遷移で高位ビットにシフトされます (例: Q0 → Q1, Q1 → Q2)。LEFT が Low の場合は、クロックが Low から High に切り替わるときに SRI の値が最後の Q にロードされ、次のクロック遷移で右方向にシフトされます。論理表にすべての入力条件に対する Q 出力の値を示します。

電力を供給すると、レジスタは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバータを追加するとアクティブ Low にできます。

論理表

| 入力 | | | | | | | | 出力 | | |
|---|---|----|------|-----|-----|--------|---|------|------|--------|
| R | L | CE | LEFT | SLI | SRI | D15:D0 | C | Q0 | Q15 | Q14:Q1 |
| 1 | X | X | X | X | X | X | ↑ | 0 | 0 | 0 |
| 0 | 1 | X | X | X | X | D15:D0 | ↑ | D0 | D15 | Dn |
| 0 | 0 | 0 | X | X | X | X | X | 変化なし | 変化なし | 変化なし |
| 0 | 0 | 1 | 1 | SLI | X | X | ↑ | SLI | q14 | qn-1 |
| 0 | 0 | 1 | 0 | X | SRI | X | ↑ | q1 | SRI | qn+1 |
| qqn-1 または qn+1 = アクティブなクロック エッジの 1 セットアップ タイム前の対応する出力の値 | | | | | | | | | | |

デザインの入力方法

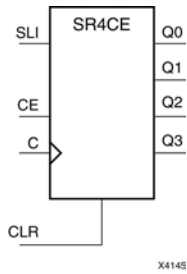
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリ データシート](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリ データシート](#)
- ・ [Spartan-3E FPGA ファミリ データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

SR4CE

マクロ : 4-Bit Serial-In Parallel-Out Shift Register with Clock Enable and Asynchronous Clear



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6
- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

このデザイン エLEMENTはシフトレジスタで、シフト レフト シリアル入力 (SLI)、パラレル出力 (Q)、クロック イネーブル (CE)、非同期クリア入力 (CLR) があります。CLR 入力が高レベルになると、ほかのすべての入力は無視され、出力 (Q) が Low にリセットされます。CE が High で CLR が Low の場合、クロック (C) が Low から High に切り替わるたびに SLI 入力の値がシフトレジスタの第 1 ビットにロードされ、Q0 に出力されます。次にクロックが Low から High に切り替わるたびに CE が High で CLR が Low の場合、値が次の高位ビットの位置にシフトされ、新しい値が Q0 にロードされます (例: SLI → Q0、Q0 → Q1、Q1 → Q2)。CE が Low の場合は、クロック遷移は無視されます。

最後の Q 出力を次の段の SLI 入力に接続し、クロック、CE、CLR を並列に接続すると、複数のレジスタをカスケード接続できます。

電力を供給すると、レジスタは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバータを追加するとアクティブ Low にできます。

論理表

| 入力 | | | | 出力 | |
|---|----|-----|---|------|---------|
| CLR | CE | SLI | C | Q0 | Qz : Q1 |
| 1 | X | X | X | 0 | 0 |
| 0 | 0 | X | X | 変化なし | 変化なし |
| 0 | 1 | SLI | ↑ | SLI | qn-1 |
| z = ビット幅 - 1 | | | | | |
| qn-1 = アクティブなクロック エッジの 1 セットアップ タイム前の対応する出力の値 | | | | | |

デザインの入力方法

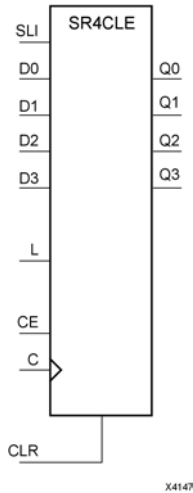
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリ データシート](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリ データシート](#)
- ・ [Spartan-3E FPGA ファミリ データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

SR4CLE

マクロ : 4-Bit Loadable Serial/Parallel-In Parallel-Out Shift Register with Clock Enable and Asynchronous Clear



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6
- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

このデザイン エLEMENTはシフトレジスタで、シフトレフトシリアル入力 (SLI)、パラレル入力 (D)、パラレル出力 (Q) に加え、クロック イネーブル (CE)、ロード イネーブル (L)、非同期クリア (CLR) の 3 つの制御入力があります。L と CE が Low の場合、クロック遷移は無視されます。CLR が High になると、ほかのすべての入力は無視され、出力 (Q) が Low にリセットされます。L が High で CLR が Low の場合、クロック (C) が Low から High に切り替わるときに、Dn ~ D0 入力の値は対応する Qn ~ Q0 ビットにロードされます。

CE が High で L および CLR が Low の場合、C が Low から High に切り替わるときに、SLI 入力の値がシフトレジスタの第 1 ビットにロードされ、Q0 に出力されます。次のクロック遷移で CE が High、L と CLR が Low の場合、値が次の高位ビットの位置にシフトされ、新しい値が Q0 にロードされます (例 : SLI → Q0、Q0 → Q1、Q1 → Q2)。

最後の Q 出力を次の段の SLI 入力に接続し、クロック、CE、L、CLR を並列に接続すると、複数のレジスタをカスケード接続できます。

電力を供給すると、レジスタは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバータを追加するとアクティブ Low にできます。

論理表

| 入力 | | | | | | 出力 | |
|-----|---|----|-----|---------|---|------|---------|
| CLR | L | CE | SLI | Dn : D0 | C | Q0 | Qz : Q1 |
| 1 | X | X | X | X | X | 0 | 0 |
| 0 | 1 | X | X | Dn : D0 | ↑ | D0 | Dn |
| 0 | 0 | 1 | SLI | X | ↑ | SLI | qn-1 |
| 0 | 0 | 0 | X | X | X | 変化なし | 変化なし |

z = ビット幅 -1

qn-1 = アクティブなクロック エッジの 1 セットアップ タイム前の対応する出力の値

デザインの入力方法

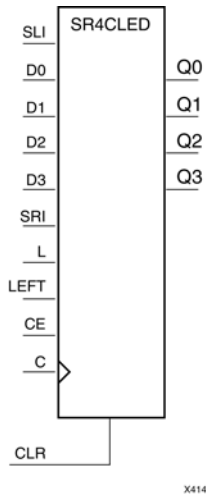
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリー データシート](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリー データシート](#)
- ・ [Spartan-3E FPGA ファミリー データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

SR4CLED

マクロ : 4-Bit Shift Register with Clock Enable and Asynchronous Clear



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6
- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

このデザイン エLEMENTはシフトレジスタで、シフト レフト シリアル入力 (SLI)、シフト ライト シリアル入力 (SRI)、パラレル 入力 (D)、パラレル出力 (Q) に加え、クロック イネーブル (CE)、ロード イネーブル (L)、シフト レフト/ライト (LEFT)、非 同期クリア (CLR) の 4 つの制御入力があります。CE と L が Low の場合、クロック遷移は無視されます。CLR が High になると、ほかのすべての入力は無視され、出力 (Q) が Low にリセットされます。

L が High で CLR が Low の場合、クロック (C) が Low から High に切り替わるときに、D 入力の値が対応する Q ビット にロードされます。CE が High で L および CLR が Low の場合、LEFT 入力の値に応じて、レジスタの値は高位ビット または下位ビットにシフトされます。LEFT が High の場合は、クロックが Low から High に切り替わるときに SLI の値 が Q0 にロードされ、次の Low から High へのクロック遷移で高位ビットにシフトされます (例 : Q0 → Q1、Q1 → Q2)。LEFT が Low の場合は、クロックが Low から High に切り替わるときに SRI の値が最後の Q にロードされ、次のクロック 遷移で右方向にシフトされます。論理表にすべての入力条件に対する Q 出力の値を示します。

電力を供給すると、レジスタは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバータを追加するとアクティブ Low にできます。

論理表

| 入力 | | | | | | | | 出力 | | |
|--|---|----|------|-----|-----|---------|---|------|------|---------|
| CLR | L | CE | LEFT | SLI | SRI | D3 : D0 | C | Q0 | Q3 | Q2 : Q1 |
| 1 | X | X | X | X | X | X | X | 0 | 0 | 0 |
| 0 | 1 | X | X | X | X | D3:D0 | ↑ | D0 | D3 | Dn |
| 0 | 0 | 0 | X | X | X | X | X | 変化なし | 変化なし | 変化なし |
| 0 | 0 | 1 | 1 | SLI | X | X | ↑ | SLI | q2 | qn-1 |
| 0 | 0 | 1 | 0 | X | SRI | X | ↑ | q1 | SRI | qn+1 |
| qn-1 および qn+1 = アクティブなクロック エッジの 1 セットアップ タイム前の対応する出力の値 | | | | | | | | | | |

デザインの入力方法

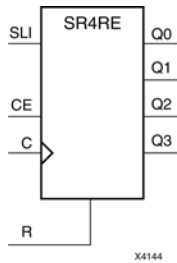
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリー データシート](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリー データシート](#)
- ・ [Spartan-3E FPGA ファミリー データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

SR4RE

マクロ : 4-Bit Serial-In Parallel-Out Shift Register with Clock Enable and Synchronous Reset



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6
- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

このデザイン エLEMENTはシフトレジスタで、シフト レフト シリアル入力 (SLI)、パラレル出力 (Qn)、クロック イネーブル (CE)、同期リセット入力 (R) があります。R 入力が高レベルになると、ほかのすべての入力は無視され、クロック (C) が Low から High に切り替わる時に出力 (Q) が Low にリセットされます。

CE が High で R が Low の場合、クロック (C) が Low から High に切り替わる時に SLI の値がシフト レジスタの第 1 ビットにロードされ、Q0 に出力されます。次にクロックが Low から High に切り替わる時に CE が High で R が Low の場合、値が次の高位ビットの位置にシフトされ、新しい値が Q0 にロードされます (例 : SLI → Q0、Q0 → Q1、Q1 → Q2)。CE が Low の場合は、クロック遷移は無視されます。

最後の Q 出力を次の段の SLI 入力に接続し、クロック、CE、R を並列に接続すると、複数のレジスタをカスケード接続できます。

電力を供給すると、レジスタは非同期的にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバータを追加するとアクティブ Low にできます。

論理表

| 入力 | | | | 出力 | |
|---|----|-----|---|------|---------|
| R | CE | SLI | C | Q0 | Qz : Q1 |
| 1 | X | X | ↑ | 0 | 0 |
| 0 | 0 | X | X | 変化なし | 変化なし |
| 0 | 1 | SLI | ↑ | SLI | qn-1 |
| z = ビット幅 -1 | | | | | |
| qn-1 = アクティブなクロック エッジの 1 セットアップ タイム前の対応する出力の値 | | | | | |

デザインの入力方法

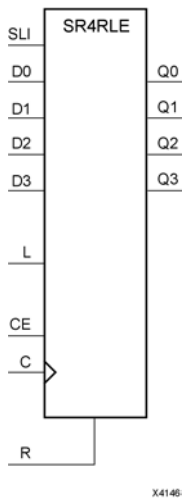
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリ データシート](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリ データシート](#)
- ・ [Spartan-3E FPGA ファミリ データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

SR4RLE

マクロ : 4-Bit Loadable Serial/Parallel-In Parallel-Out Shift Register with Clock Enable and Synchronous Reset



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6
- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

このデザイン エLEMENTはシフトレジスタで、シフトレフトシリアル入力 (SLI)、パラレル入力 (D)、パラレル出力 (Q) に加え、クロックイネーブル (CE)、ロードイネーブル (L)、同期リセット (R) の 3 つの制御入力があります。L と CE が Low の場合、クロック遷移は無視されます。R が High になると、ほかのすべての入力は無視され、クロック (C) が Low から High に切り替わる時に Q が Low にリセットされます。L が High で R が Low の場合、C が Low から High に切り替わる時に、D 入力の値が対応する Q ビットにロードされます。

CE が High で L および R が Low の場合は、C が Low から High に切り替わる時に SLI 入力の値がシフトレジスタの第 1 ビットにロードされ、Q0 に出力されます。次のクロック遷移で CE が High、L と R が Low の場合、シフトレジスタの値は次の高位ビットにシフトされ、新しい値が Q0 にロードされます。

最後の Q 出力を次の段の SLI 入力に接続し、クロック、CE、L、R を並列に接続すると、複数のレジスタをカスケード接続できます。

電力を供給すると、レジスタは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバータを追加するとアクティブ Low にできます。

論理表

| 入力 | | | | | | 出力 | |
|----|---|----|-----|---------|---|------|---------|
| R | L | CE | SLI | Dz : D0 | C | Q0 | Qz : Q1 |
| 1 | X | X | X | X | ↑ | 0 | 0 |
| 0 | 1 | X | X | Dz : D0 | ↑ | D0 | Dn |
| 0 | 0 | 1 | SLI | X | ↑ | SLI | qn-1 |
| 0 | 0 | 0 | X | X | X | 変化なし | 変化なし |

z = ビット幅 -1

qn-1 = アクティブなクロック エッジの 1 セットアップ タイム前の対応する出力の値

デザインの入力方法

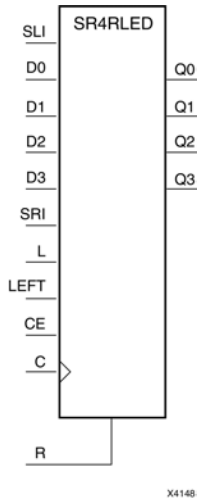
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリー データシート](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリー データシート](#)
- ・ [Spartan-3E FPGA ファミリー データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

SR4RLED

マクロ : 4-Bit Shift Register with Clock Enable and Synchronous Reset



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6
- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

このデザイン エLEMENTはシフトレジスタで、シフトレフトシリアル入力 (SLI)、シフトライトシリアル入力 (SRI)、パラレル入力 (D)、パラレル出力 (Q) に加え、クロックイネーブル (CE)、ロードイネーブル (L)、シフトレフト/ライト (LEFT)、同期リセット (R) の 4 つの制御入力があります。CE と L が Low の場合、クロック遷移は無視されます。R が High になると、ほかのすべての入力は無視され、クロック (C) が Low から High に切り替わるときに Q が Low にリセットされます。L が High で R が Low の場合、C が Low から High に切り替わるときに、D 入力の値が対応する Q ビットにロードされます。

CE が High で L および R が Low の場合、LEFT 入力の値に応じて、レジスタの値は高位ビットまたは下位ビットにシフトされます。LEFT が High の場合は、クロックが Low から High に切り替わるときに SLI の値が Q0 にロードされ、次の Low から High へのクロック遷移で高位ビットにシフトされます (例: Q0 → Q1、Q1 → Q2)。LEFT が Low の場合は、クロックが Low から High に切り替わるときに SRI の値が最後の Q にロードされ、次のクロック遷移で右方向にシフトされます。論理表にすべての入力条件に対する Q 出力の値を示します。

電力を供給すると、レジスタは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバータを追加するとアクティブ Low にできます。

論理表

| 入力 | | | | | | | | 出力 | | |
|--|---|----|------|-----|-----|---------|---|------|------|---------|
| R | L | CE | LEFT | SLI | SRI | D3 : D0 | C | Q0 | Q3 | Q2 : Q1 |
| 1 | X | X | X | X | X | X | ↑ | 0 | 0 | 0 |
| 0 | 1 | X | X | X | X | D3 : D0 | ↑ | D0 | D3 | Dn |
| 0 | 0 | 0 | X | X | X | X | X | 変化なし | 変化なし | 変化なし |
| 0 | 0 | 1 | 1 | SLI | X | X | ↑ | SLI | q2 | qn-1 |
| 0 | 0 | 1 | 0 | X | SRI | X | ↑ | q1 | SRI | qn+1 |
| qn-1 または qn+1 = アクティブなクロック エッジの 1 セットアップ タイム前の対応する出力の値 | | | | | | | | | | |

デザインの入力方法

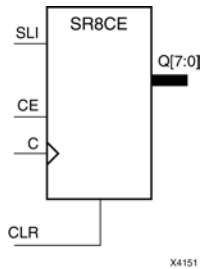
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリー データシート](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリー データシート](#)
- ・ [Spartan-3E FPGA ファミリー データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

SR8CE

マクロ : 8-Bit Serial-In Parallel-Out Shift Register with Clock Enable and Asynchronous Clear



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6
- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

このデザイン エLEMENTはシフトレジスタで、シフトレフトシリアル入力 (SLI)、パラレル出力 (Q)、クロックイネーブル (CE)、非同期クリア入力 (CLR) があります。CLR 入力が高レベルになると、ほかのすべての入力は無視され、出力 (Q) が Low にリセットされます。CE が High で CLR が Low の場合、クロック (C) が Low から High に切り替わるたびに SLI 入力の値がシフトレジスタの第 1 ビットにロードされ、Q0 に出力されます。次にクロックが Low から High に切り替わるたびに CE が High で CLR が Low の場合、値が次の高位ビットの位置にシフトされ、新しい値が Q0 にロードされます (例: SLI → Q0、Q0 → Q1、Q1 → Q2)。CE が Low の場合は、クロック遷移は無視されます。

最後の Q 出力を次の段の SLI 入力に接続し、クロック、CE、CLR を並列に接続すると、複数のレジスタをカスケード接続できます。

電力を供給すると、レジスタは非同期にクリアされ、出力が Low になります。FPGA では、グローバルセット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバータを追加するとアクティブ Low にできます。

論理表

| 入力 | | | | 出力 | |
|---|----|-----|---|------|---------|
| CLR | CE | SLI | C | Q0 | Qz : Q1 |
| 1 | X | X | X | 0 | 0 |
| 0 | 0 | X | X | 変化なし | 変化なし |
| 0 | 1 | SLI | ↑ | SLI | qn-1 |
| z = ビット幅 - 1 | | | | | |
| qn-1 = アクティブなクロック エッジの 1 セットアップ タイム前の対応する出力の値 | | | | | |

デザインの入力方法

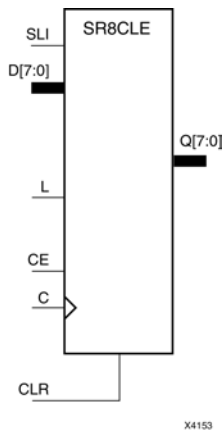
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリー データシート](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリー データシート](#)
- ・ [Spartan-3E FPGA ファミリー データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

SR8CLE

マクロ : 8-Bit Loadable Serial/Parallel-In Parallel-Out Shift Register with Clock Enable and Asynchronous Clear



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6
- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

このデザイン エLEMENTはシフトレジスタで、シフトレフトシリアル入力 (SLI)、パラレル入力 (D)、パラレル出力 (Q) に加え、クロック イネーブル (CE)、ロード イネーブル (L)、非同期クリア (CLR) の 3 つの制御入力があります。L と CE が Low の場合、クロック遷移は無視されます。CLR が High になると、ほかのすべての入力は無視され、出力 (Q) が Low にリセットされます。L が High で CLR が Low の場合、クロック (C) が Low から High に切り替わる時に、Dn ~ D0 入力の値は対応する Qn ~ Q0 ビットにロードされます。

CE が High で L および CLR が Low の場合、C が Low から High に切り替わる時に、SLI 入力の値がシフトレジスタの第 1 ビットにロードされ、Q0 に出力されます。次のクロック遷移で CE が High、L と CLR が Low の場合、値が次の高位ビットの位置にシフトされ、新しい値が Q0 にロードされます (例 : SLI → Q0、Q0 → Q1、Q1 → Q2)。

最後の Q 出力を次の段の SLI 入力に接続し、クロック、CE、L、CLR を並列に接続すると、複数のレジスタをカスケード接続できます。

電力を供給すると、レジスタは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバータを追加するとアクティブ Low にできます。

論理表

| 入力 | | | | | | 出力 | |
|-----|---|----|-----|---------|---|------|---------|
| CLR | L | CE | SLI | Dn : D0 | C | Q0 | Qz : Q1 |
| 1 | X | X | X | X | X | 0 | 0 |
| 0 | 1 | X | X | Dn : D0 | ↑ | D0 | Dn |
| 0 | 0 | 1 | SLI | X | ↑ | SLI | qn-1 |
| 0 | 0 | 0 | X | X | X | 変化なし | 変化なし |

z = ビット幅 -1

qn-1 = アクティブなクロック エッジの 1 セットアップ タイム前の対応する出力の値

デザインの入力方法

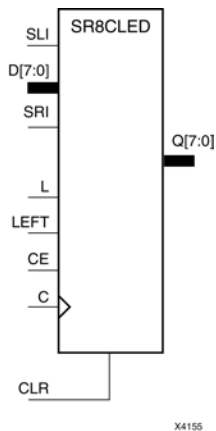
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリー データシート](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリー データシート](#)
- ・ [Spartan-3E FPGA ファミリー データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

SR8CLED

マクロ : 8-Bit Shift Register with Clock Enable and Asynchronous Clear



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6
- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

このデザイン エLEMENTはシフトレジスタで、シフトレフトシリアル入力 (SLI)、シフトライトシリアル入力 (SRI)、パラレル入力 (D)、パラレル出力 (Q) に加え、クロック イネーブル (CE)、ロード イネーブル (L)、シフトレフト/ライト (LEFT)、非同期クリア (CLR) の 4 つの制御入力があります。CE と L が Low の場合、クロック遷移は無視されます。CLR が High になると、ほかのすべての入力は無視され、出力 (Q) が Low にリセットされます。

L が High で CLR が Low の場合、クロック (C) が Low から High に切り替わるときに、D 入力の値が対応する Q ビットにロードされます。CE が High で L および CLR が Low の場合、LEFT 入力の値に応じて、レジスタの値は高位ビットまたは下位ビットにシフトされます。LEFT が High の場合は、クロックが Low から High に切り替わるときに SLI の値が Q0 にロードされ、次の Low から High へのクロック遷移で高位ビットにシフトされます (例 : Q0 → Q1、Q1 → Q2)。LEFT が Low の場合は、クロックが Low から High に切り替わるときに SRI の値が最後の Q にロードされ、次のクロック遷移で右方向にシフトされます。論理表にすべての入力条件に対する Q 出力の値を示します。

電力を供給すると、レジスタは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバータを追加するとアクティブ Low にできます。

論理表

| 入力 | | | | | | | | 出力 | | |
|---|---|----|------|-----|-----|---------|---|------|------|---------|
| CLR | L | CE | LEFT | SLI | SRI | D7 : D0 | C | Q0 | Q7 | Q6 : Q1 |
| 1 | X | X | X | X | X | X | X | 0 | 0 | 0 |
| 0 | 1 | X | X | X | X | D7 : D0 | ↑ | D0 | D7 | Dn |
| 0 | 0 | 0 | X | X | X | X | X | 変化なし | 変化なし | 変化なし |
| 0 | 0 | 1 | 1 | SLI | X | X | ↑ | SLI | q6 | qn-1 |
| 0 | 0 | 1 | 0 | X | SRI | X | ↑ | q1 | SRI | qn+1 |
| qqn-1 または qn+1 = アクティブなクロック エッジの 1 セットアップ タイム前の対応する出力の値 | | | | | | | | | | |

デザインの入力方法

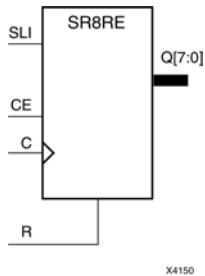
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリー データシート](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリー データシート](#)
- ・ [Spartan-3E FPGA ファミリー データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

SR8RE

マクロ : 8-Bit Serial-In Parallel-Out Shift Register with Clock Enable and Synchronous Reset



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6
- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

このデザイン エLEMENTはシフトレジスタで、シフトレフトシリアル入力 (SLI)、パラレル出力 (Qn)、クロック イネーブル (CE)、同期リセット入力 (R) があります。R 入力が高レベルになると、ほかのすべての入力は無視され、クロック (C) が Low から High に切り替わる時に出力 (Q) が Low にリセットされます。

CE が High で R が Low の場合、クロック (C) が Low から High に切り替わる時に SLI の値がシフトレジスタの第 1 ビットにロードされ、Q0 に出力されます。次にクロックが Low から High に切り替わる時に CE が High で R が Low の場合、値が次の高位ビットの位置にシフトされ、新しい値が Q0 にロードされます (例 : SLI → Q0、Q0 → Q1、Q1 → Q2)。CE が Low の場合は、クロック遷移は無視されます。

最後の Q 出力を次の段の SLI 入力に接続し、クロック、CE、R を並列に接続すると、複数のレジスタをカスケード接続できます。

電力を供給すると、レジスタは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバータを追加するとアクティブ Low にできます。

論理表

| 入力 | | | | 出力 | |
|---|----|-----|---|------|---------|
| R | CE | SLI | C | Q0 | Qz : Q1 |
| 1 | X | X | ↑ | 0 | 0 |
| 0 | 0 | X | X | 変化なし | 変化なし |
| 0 | 1 | SLI | ↑ | SLI | qn-1 |
| z = ビット幅 -1 | | | | | |
| qn-1 = アクティブなクロック エッジの 1 セットアップ タイム前の対応する出力の値 | | | | | |

デザインの入力方法

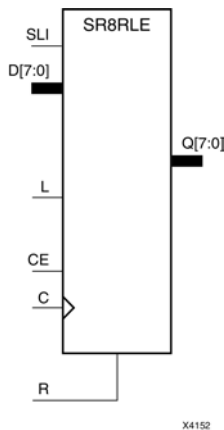
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリ データシート](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリ データシート](#)
- ・ [Spartan-3E FPGA ファミリ データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

SR8RLE

マクロ : 8-Bit Loadable Serial/Parallel-In Parallel-Out Shift Register with Clock Enable and Synchronous Reset



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6
- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

このデザイン エLEMENTはシフトレジスタで、シフト レフト シリアル入力 (SLI)、パラレル入力 (D)、パラレル出力 (Q) に加え、クロック イネーブル (CE)、ロード イネーブル (L)、同期リセット (R) の 3 つの制御入力があります。L と CE が Low の場合、クロック遷移は無視されます。R が High になると、ほかのすべての入力は無視され、クロック (C) が Low から High に切り替わる時に Q が Low にリセットされます。L が High で R が Low の場合、C が Low から High に切り替わる時に、D 入力の値が対応する Q ビットにロードされます。

CE が High で L および R が Low の場合は、C が Low から High に切り替わる時に SLI 入力の値がシフトレジスタの第 1 ビットにロードされ、Q0 に出力されます。次のクロック遷移で CE が High、L と R が Low の場合、シフトレジスタの値は次の高位ビットにシフトされ、新しい値が Q0 にロードされます。

最後の Q 出力を次の段の SLI 入力に接続し、クロック、CE、L、R を並列に接続すると、複数のレジスタをカスケード接続できます。

電力を供給すると、レジスタは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバータを追加するとアクティブ Low にできます。

論理表

| 入力 | | | | | | 出力 | |
|----|---|----|-----|---------|---|------|---------|
| R | L | CE | SLI | Dz : D0 | C | Q0 | Qz : Q1 |
| 1 | X | X | X | X | ↑ | 0 | 0 |
| 0 | 1 | X | X | Dz : D0 | ↑ | D0 | Dn |
| 0 | 0 | 1 | SLI | X | ↑ | SLI | qn-1 |
| 0 | 0 | 0 | X | X | X | 変化なし | 変化なし |

z = ビット幅 -1

qn-1 = アクティブなクロック エッジの 1 セットアップ タイム前の対応する出力の値

デザインの入力方法

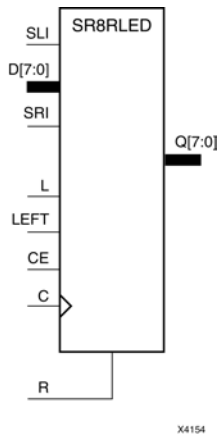
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリー データシート](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリー データシート](#)
- ・ [Spartan-3E FPGA ファミリー データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

SR8RLED

マクロ : 8-Bit Shift Register with Clock Enable and Synchronous Reset



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6
- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

このデザイン エLEMENTはシフトレジスタで、シフトレフトシリアル入力 (SLI)、シフトライトシリアル入力 (SRI)、パラレル入力 (D)、パラレル出力 (Q) に加え、クロック イネーブル (CE)、ロード イネーブル (L)、シフトレフト/ライト (LEFT)、同期リセット (R) の 4 つの制御入力があります。CE と L が Low の場合、クロック遷移は無視されます。R が High になると、ほかのすべての入力は無視され、クロック (C) が Low から High に切り替わるときに Q が Low にリセットされます。L が High で R が Low の場合、C が Low から High に切り替わるときに、D 入力の値が対応する Q ビットにロードされます。

CE が High で L および R が Low の場合、LEFT 入力の値に応じて、レジスタの値は高位ビットまたは下位ビットにシフトされます。LEFT が High の場合は、クロックが Low から High に切り替わるときに SLI の値が Q0 にロードされ、次の Low から High へのクロック遷移で高位ビットにシフトされます (例: Q0 → Q1, Q1 → Q2)。LEFT が Low の場合は、クロックが Low から High に切り替わるときに SRI の値が最後の Q にロードされ、次のクロック遷移で右方向にシフトされます。論理表にすべての入力条件に対する Q 出力の値を示します。

電力を供給すると、レジスタは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバータを追加するとアクティブ Low にできます。

論理表

| 入力 | | | | | | | | 出力 | | |
|--|---|----|------|-----|-----|---------|---|------|------|---------|
| R | L | CE | LEFT | SLI | SRI | D7 : D0 | C | Q0 | Q7 | Q6 : Q1 |
| 1 | X | X | X | X | X | X | ↑ | 0 | 0 | 0 |
| 0 | 1 | X | X | X | X | D7 : D0 | ↑ | D0 | D7 | Dn |
| 0 | 0 | 0 | X | X | X | X | X | 変化なし | 変化なし | 変化なし |
| 0 | 0 | 1 | 1 | SLI | X | X | ↑ | SLI | q6 | qn-1 |
| 0 | 0 | 1 | 0 | X | SRI | X | ↑ | q1 | SRI | qn+1 |
| qn-1 または qn+1 = アクティブなクロック エッジの 1 セットアップ タイム前の対応する出力の値 | | | | | | | | | | |

デザインの入力方法

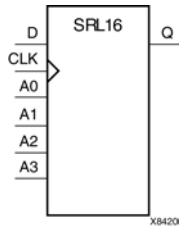
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリ データシート](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリ データシート](#)
- ・ [Spartan-3E FPGA ファミリ データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

SRL16

プリミティブ : 16-Bit Shift Register Look-Up Table (LUT)



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Virtex-4

概要

このデザイン エLEMENTは、シフトレジスタ ルックアップ テーブル (LUT) です。シフトレジスタの長さは、入力 A3、A2、A1、A0 の値によって決定されます。

シフトレジスタの長さは、固定することも、変動させることもできます。

- ・ **固定長のシフトレジスタを作成するには :** 入力 A3 ~ A0 の値を一定の値にします。シフトレジスタは 1 ~ 16 ビットの長さに設定できます。アドレス入力の値によるシフトレジスタの長さは、長さ = $(8 \times A3) + (4 \times A2) + (2 \times A1) + A0 + 1$ という式で算出できます。A3、A2、A1、A0 がすべてゼロの場合 (0000) はシフトレジスタの長さは 1 ビットになり、すべて 1 の場合 (1111) は 16 ビットになります。
- ・ **シフトレジスタ長を動的に変化させるには :** 入力 A3 ~ A0 の値を変化させます。たとえば、A2、A1、A0 がすべて 1 の場合 (111) に A3 を 1 から 0 に切り替えると、シフトレジスタの長さは 16 ビットから 8 ビットに変化します。内部的には、シフトレジスタの長さは常に 16 ビットで、どのビットの値が出力されるかは入力 A3 ~ A0 の値によって決定されます。

シフトレジスタ LUT の初期値を指定するには、INIT 属性に 4 桁の 16 進数を割り当てます。一番左の桁が最上位ビットになります。INIT の値を指定しない場合は、シフトレジスタ LUT の内容はコンフィギュレーション中にゼロ (0000) にクリアされます。

クロック (CLK) が Low から High に切り替わる時に、D の値がシフトレジスタの第 1 ビットにロードされます。次にクロックが Low から High に切り替わると、シフトレジスタの値は次の高位ビットにシフトされ、新しい値がロードされます。アドレス入力の値によってシフトレジスタの長さが決まり、Q にその値が出力されます。

論理表

| 入力 | | | 出力 |
|-------------|-----|---|-----------|
| Am | CLK | D | Q |
| Am | X | X | Q(Am) |
| Am | ↑ | D | Q(Am - 1) |
| m = 0、1、2、3 | | | |

デザインの入力方法

| | |
|--------------------------|----|
| インスタンス化 | 可 |
| 推論 | 推奨 |
| CORE Generator™ およびウィザード | 不可 |
| マクロのサポート | 不可 |

このELEMENTは、回路図で使用されます。

使用可能な属性

| 属性 | タイプ | 値 | デフォルト | 説明 |
|------|-------|---------|-------|---------------------------|
| INIT | 16 進数 | 16 ビット値 | すべてゼロ | コンフィギュレーション後の Q 出力の初期値を指定 |

VHDL 記述 (インスタンス化)

次の 2 つの構文が存在しない場合はコピーし、エンティティ宣言の前に貼り付けます。

```
Library UNISIM;
use UNISIM.vcomponents.all;

-- SRL16: 16-bit shift register LUT operating on posedge of clock
--      All FPGAs
-- Xilinx HDL Libraries Guide, version 11.2

SRL16_inst : SRL16
generic map (
  INIT => X"0000")
port map (
  Q => Q,          -- SRL data output
  A0 => A0,         -- Select[0] input
  A1 => A1,         -- Select[1] input
  A2 => A2,         -- Select[2] input
  A3 => A3,         -- Select[3] input
  CLK => CLK,       -- Clock input
  D => D           -- SRL data input
);

-- End of SRL16_inst instantiation
```

Verilog 記述 (インスタンス化)

```
// SRL16: 16-bit shift register LUT operating on posedge of clock
//      All FPGAs
// Xilinx HDL Libraries Guide, version 11.2

SRL16 #(
  .INIT(16'h0000) // Initial Value of Shift Register
) SRL16_inst (
  .Q(Q),          // SRL data output
  .A0(A0),        // Select[0] input
  .A1(A1),        // Select[1] input
  .A2(A2),        // Select[2] input
  .A3(A3),        // Select[3] input
  .CLK(CLK),      // Clock input
  .D(D)           // SRL data input
);

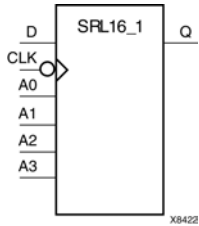
// End of SRL16_inst instantiation
```

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリ データシート](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリ データシート](#)
- ・ [Spartan-3E FPGA ファミリ データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

SRL16_1

プリミティブ : 16-Bit Shift Register Look-Up Table (LUT) with Negative-Edge Clock



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Virtex®-4
- ・ Virtex-5

概要

このデザイン エLEMENTは、シフトレジスタ ルックアップ テーブル (LUT) です。シフトレジスタの長さは、入力 A3、A2、A1、A0 の値によって決定されます。

シフトレジスタの長さは、固定することも、変動させることもできます。

- ・ **固定長のシフトレジスタを作成するには :** 入力 A3 ~ A0 の値を一定の値にします。シフトレジスタは 1 ~ 16 ビットの長さに設定できます。アドレス入力の値によるシフトレジスタの長さは、長さ = $(8 \times A3) + (4 \times A2) + (2 \times A1) + A0 + 1$ という式で算出できます。A3、A2、A1、A0 がすべてゼロの場合 (0000) はシフトレジスタの長さは 1 ビットになり、すべて 1 の場合 (1111) は 16 ビットになります。
- ・ **シフトレジスタ長を動的に変化させるには :** 入力 A3 ~ A0 の値を変化させます。たとえば、A2、A1、A0 がすべて 1 の場合 (111) に A3 を 1 から 0 に切り替えると、シフトレジスタの長さは 16 ビットから 8 ビットに変化します。内部的には、シフトレジスタの長さは常に 16 ビットで、どのビットの値が出力されるかは入力 A3 ~ A0 の値によって決定されます。

シフトレジスタ LUT の初期値を指定するには、INIT 属性に 4 桁の 16 進数を割り当てます。一番左の桁が最上位ビットになります。INIT の値を指定しない場合は、シフトレジスタ LUT の内容はコンフィギュレーション中にゼロ (0000) にクリアされます。

クロック (CLK) が High から Low に切り替わるときに、D の値がシフトレジスタの第 1 ビットにロードされます。次にクロックが High から Low に切り替わると、シフトレジスタの値は次の高位ビットにシフトされ、新しい値がロードされます。アドレス入力の値によってシフトレジスタの長さが決まり、Q にその値が出力されます。

論理表

| 入力 | | | 出力 |
|-------------|-----|---|-----------|
| Am | CLK | D | Q |
| Am | X | X | Q(Am) |
| Am | ↓ | D | Q(Am - 1) |
| m = 0、1、2、3 | | | |

デザインの入力方法

| | |
|--------------------------|----|
| インスタンス化 | 可 |
| 推論 | 推奨 |
| CORE Generator™ およびウィザード | 不可 |
| マクロのサポート | 不可 |

このエレメントは、回路図で使用されます。

使用可能な属性

| 属性 | タイプ | 値 | デフォルト | 説明 |
|------|-------|---------|-------|---------------------------|
| INIT | 16 進数 | 16 ビット値 | すべてゼロ | コンフィギュレーション後の Q 出力の初期値を指定 |

VHDL 記述 (インスタンス化)

次の 2 つの構文が存在しない場合はコピーし、エンティティ宣言の前に貼り付けます。

```
Library UNISIM;
use UNISIM.vcomponents.all;

-- SRL16_1: 16-bit shift register LUT operating on negedge of clock
--      All FPGAs
-- Xilinx HDL Libraries Guide, version 11.2

SRL16_1_inst : SRL16_1
generic map (
    INIT => X"0000")
port map (
    Q => Q,          -- SRL data output
    A0 => A0,         -- Select[0] input
    A1 => A1,         -- Select[1] input
    A2 => A2,         -- Select[2] input
    A3 => A3,         -- Select[3] input
    CLK => CLK,       -- Clock input
    D => D            -- SRL data input
);

-- End of SRL16_1_inst instantiation
```

Verilog 記述 (インスタンス化)

```
// SRL16_1: 16-bit shift register LUT operating on negedge of clock
//           All FPGAs
// Xilinx HDL Libraries Guide, version 11.2

SRL16_1 #(
    .INIT(16'h0000) // Initial Value of Shift Register
) SRL16_1_inst (
    .Q(Q),           // SRL data output
    .A0(A0),         // Select[0] input
    .A1(A1),         // Select[1] input
    .A2(A2),         // Select[2] input
    .A3(A3),         // Select[3] input
    .CLK(CLK),       // Clock input
    .D(D)            // SRL data input
);

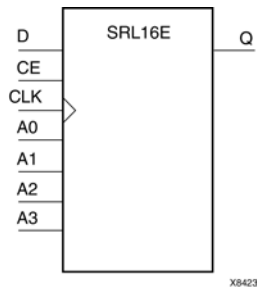
// End of SRL16_1_inst instantiation
```

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリー データシート](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリー データシート](#)
- ・ [Spartan-3E FPGA ファミリー データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート: DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート: DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

SRL16E

プリミティブ : 16-Bit Shift Register Look-Up Table (LUT) with Clock Enable



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6

概要

このデザイン エLEMENTは、シフトレジスタルックアップ テーブル (LUT) です。シフトレジスタの長さは、入力 A3、A2、A1、A0 の値によって決定されます。

シフトレジスタの長さは、固定することも、変動させることもできます。

- ・ **固定長のシフトレジスタを作成するには :** 入力 A3 ~ A0 の値を一定の値にします。シフトレジスタは 1 ~ 16 ビットの長さに設定できます。アドレス入力の値によるシフトレジスタの長さは、長さ = $(8 \times A3) + (4 \times A2) + (2 \times A1) + A0 + 1$ という式で算出できます。A3、A2、A1、A0 がすべてゼロの場合 (0000) はシフトレジスタの長さは 1 ビットになり、すべて 1 の場合 (1111) は 16 ビットになります。
- ・ **シフトレジスタ長を動的に変化させるには :** 入力 A3 ~ A0 の値を変化させます。たとえば、A2、A1、A0 がすべて 1 の場合 (111) に A3 を 1 から 0 に切り替えると、シフトレジスタの長さは 16 ビットから 8 ビットに変化します。内部的には、シフトレジスタの長さは常に 16 ビットで、どのビットの値が出力されるかは入力 A3 ~ A0 の値によって決定されます。

シフトレジスタ LUT の初期値を指定するには、INIT 属性に 4 桁の 16 進数を割り当てます。一番左の桁が最上位ビットになります。INIT の値を指定しない場合は、シフトレジスタ LUT の内容はコンフィギュレーション中にゼロ (0000) にクリアされます。

CE が High の場合、クロック (CLK) が Low から High に切り替わるときに、D の値がシフトレジスタの第 1 ビットにロードされます。次にクロックが Low から High に切り替わるときに CE が High の場合、シフトレジスタの値は次の高位ビットにシフトされ、新しい値がロードされます。アドレス入力の値によってシフトレジスタの長さが決まり、Q にその値が出力されます。CE が Low の場合、クロック遷移は無視されます。

論理表

| 入力 | | | | 出力 |
|-------------|----|-----|---|-----------|
| Am | CE | CLK | D | Q |
| Am | 0 | X | X | Q(Am) |
| Am | 1 | ↑ | D | Q(Am - 1) |
| m = 0、1、2、3 | | | | |

ポートの説明

| ポート名 | 方向 | 幅 | 機能 |
|------|----|---|---|
| Q | 出力 | 1 | シフトレジスタ データ出力 |
| D | 入力 | 1 | シフトレジスタ データ入力 |
| CLK | 入力 | 1 | クロック |
| CE | 入力 | 1 | アクティブ High のクロック イネーブル |
| A | 入力 | 4 | SRL のワード数のダイナミック選択 ・ A=0000 ==> 1 ビット シフト長 ・ A=1111 ==> 16 ビット シフト長 |

デザインの入力方法

| | |
|--------------------------|----|
| インスタンス化 | 可 |
| 推論 | 推奨 |
| CORE Generator™ およびウィザード | 不可 |
| マクロのサポート | 不可 |

このELEMENTは、回路図で使用されます。

使用可能な属性

| 属性 | タイプ | 値 | デフォルト | 説明 |
|------|-------|---------|-------|--------------------------------|
| INIT | 16 進数 | 16 ビット値 | すべてゼロ | コンフィギュレーション後のシフトレジスタと出力の初期値を指定 |

VHDL 記述 (インスタンスレーション)

次の 2 つの構文が存在しない場合はコピーし、エンティティ宣言の前に貼り付けます。

```
Library UNISIM;
use UNISIM.vcomponents.all;

-- SRL16E: 16-bit shift register LUT with clock enable operating on posedge of clock
--      All FPGAs
-- Xilinx HDL Libraries Guide, version 11.2

SRL16E_inst : SRL16E
generic map (
    INIT => X"0000")
port map (
    Q => Q,          -- SRL data output
    A0 => A0,        -- Select[0] input
    A1 => A1,        -- Select[1] input
    A2 => A2,        -- Select[2] input
    A3 => A3,        -- Select[3] input
    CE => CE,        -- Clock enable input
    CLK => CLK,      -- Clock input
    D => D           -- SRL data input
);

-- End of SRL16E_inst instantiation
```

Verilog 記述 (インスタンスレーション)

```
// SRL16E: 16-bit shift register LUT with clock enable operating on posedge of clock
//      All FPGAs
// Xilinx HDL Libraries Guide, version 11.2

SRL16E #(
    .INIT(16'h0000) // Initial Value of Shift Register
) SRL16E_inst (
    .Q(Q),          // SRL data output
    .A0(A0),        // Select[0] input
    .A1(A1),        // Select[1] input
    .A2(A2),        // Select[2] input
    .A3(A3),        // Select[3] input
    .CE(CE),        // Clock enable input
    .CLK(CLK),      // Clock input
    .D(D)           // SRL data input
);

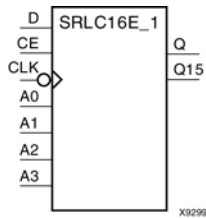
// End of SRL16E_inst instantiation
```


詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリ データシート](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリ データシート](#)
- ・ [Spartan-3E FPGA ファミリ データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

SRL16E_1

プリミティブ : 16-Bit Shift Register Look-Up Table (LUT) with Negative-Edge Clock and Clock Enable



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6

概要

このデザイン エLEMENTは、クロック イネーブル (CE) があるシフトレジスタ ルックアップ テーブル (LUT) で、クロックの立ち下がりエッジで動作します。シフトレジスタの長さは、入力 A3、A2、A1、A0 の値によって決定されます。

シフトレジスタの長さは、固定すること、変動させることもできます。

- ・ **固定長のシフトレジスタを作成するには :** 入力 A3 ~ A0 の値を一定の値にします。シフトレジスタは 1 ~ 16 ビットの長さに設定できます。アドレス入力の値によるシフトレジスタの長さは、長さ = $(8 \times A3) + (4 \times A2) + (2 \times A1) + A0 + 1$ という式で算出できます。A3、A2、A1、A0 がすべてゼロの場合 (0000) はシフトレジスタの長さは 1 ビットになり、すべて 1 の場合 (1111) は 16 ビットになります。
- ・ **シフトレジスタ長を動的に変化させるには :** 入力 A3 ~ A0 の値を変化させます。たとえば、A2、A1、A0 がすべて 1 の場合 (111) に A3 を 1 から 0 に切り替えると、シフトレジスタの長さは 16 ビットから 8 ビットに変化します。内部的には、シフトレジスタの長さは常に 16 ビットで、どのビットの値が出力されるかは入力 A3 ~ A0 の値によって決定されます。

シフトレジスタ LUT の初期値を指定するには、INIT 属性に 4 桁の 16 進数を割り当てます。一番左の桁が最上位ビットになります。INIT の値を指定しない場合は、シフトレジスタ LUT の内容はコンフィギュレーション中にゼロ (0000) にクリアされます。

CE が High の場合、クロック (CLK) が High から Low に切り替わる時に、D の値がシフトレジスタの第 1 ビットにロードされます。次にクロックが High から Low に切り替わる時に CE が High の場合、シフトレジスタの値は次の高位ビットにシフトされ、新しい値がロードされます。アドレス入力の値によってシフトレジスタの長さが決まり、Q にその値が出力されます。CE が Low の場合、クロック遷移は無視されます。

論理表

| 入力 | | | | 出力 |
|-------------|----|-----|---|-----------|
| Am | CE | CLK | D | Q |
| Am | 0 | X | X | Q(Am) |
| Am | 1 | ↓ | D | Q(Am - 1) |
| m = 0、1、2、3 | | | | |

デザインの入力方法

| | |
|--------------------------|----|
| インスタンス化 | 可 |
| 推論 | 推奨 |
| CORE Generator™ およびウィザード | 不可 |
| マクロのサポート | 不可 |

このエレメントは、回路図で使用されます。

使用可能な属性

| 属性 | タイプ | 値 | デフォルト | 説明 |
|------|-------|---------|-------|--------------------------------|
| INIT | 16 進数 | 16 ビット値 | すべてゼロ | コンフィギュレーション後のシフトレジスタと出力の初期値を指定 |

VHDL 記述 (インスタンス化)

次の 2 つの構文が存在しない場合はコピーし、エンティティ宣言の前に貼り付けます。

```

Library UNISIM;
use UNISIM.vcomponents.all;

-- SRL16E_1: 16-bit shift register LUT with clock enable operating on negedge of clock
--           All FPGAs
-- Xilinx HDL Libraries Guide, version 11.2

SRL16E_1_inst : SRL16E_1
generic map (
  INIT => X"0000")
port map (
  Q => Q,           -- SRL data output
  A0 => A0,          -- Select[0] input
  A1 => A1,          -- Select[1] input
  A2 => A2,          -- Select[2] input
  A3 => A3,          -- Select[3] input
  CE => CE,          -- Clock enable input
  CLK => CLK,        -- Clock input
  D => D             -- SRL data input
);

-- End of SRL16E_1_inst instantiation

```

Verilog 記述 (インスタンスレーション)

```
// SRL16E_1: 16-bit shift register LUT with clock enable operating on negedge of clock
// All FPGAs
// Xilinx HDL Libraries Guide, version 11.2

SRL16E_1 #(
    .INIT(16'h0000) // Initial Value of Shift Register
) SRL16E_1_inst (
    .Q(Q),           // SRL data output
    .A0(A0),         // Select[0] input
    .A1(A1),         // Select[1] input
    .A2(A2),         // Select[2] input
    .A3(A3),         // Select[3] input
    .CE(CE),         // Clock enable input
    .CLK(CLK),       // Clock input
    .D(D)            // SRL data input
);

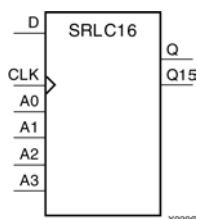
// End of SRL16E_1_inst instantiation
```

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリー データシート](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリー データシート](#)
- ・ [Spartan-3E FPGA ファミリー データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

SRLC16

プリミティブ : 16-Bit Shift Register Look-Up Table (LUT) with Carry



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Virtex-4

概要

このデザイン エLEMENTは、キャリーがあるシフトレジスタ ルックアップ テーブル (LUT) です。シフトレジスタの長さは、入力 A3、A2、A1、A0 の値によって決定されます。

シフトレジスタの長さは、固定することも、変動させることもできます。

- ・ **固定長のシフトレジスタを作成するには：** 入力 A3 ~ A0 の値を一定の値にします。シフトレジスタは 1 ~ 16 ビットの長さに設定できます。アドレス入力の値によるシフトレジスタの長さは、長さ = $(8 \times A3) + (4 \times A2) + (2 \times A1) + A0 + 1$ という式で算出できます。A3、A2、A1、A0 がすべてゼロの場合 (0000) はシフトレジスタの長さは 1 ビットになり、すべて 1 の場合 (1111) は 16 ビットになります。
- ・ **シフトレジスタ長を動的に変化させるには：** 入力 A3 ~ A0 の値を変化させます。たとえば、A2、A1、A0 がすべて 1 の場合 (111) に A3 を 1 から 0 に切り替えると、シフトレジスタの長さは 16 ビットから 8 ビットに変化します。内部的には、シフトレジスタの長さは常に 16 ビットで、どのビットの値が出力されるかは入力 A3 ~ A0 の値によって決定されます。

シフトレジスタ LUT の初期値を指定するには、INIT 属性に 4 桁の 16 進数を割り当てます。一番左の桁が最上位ビットになります。INIT の値を指定しない場合は、シフトレジスタ LUT の内容はコンフィギュレーション中にゼロ (0000) にクリアされます。

クロック (CLK) が Low から High に切り替わる時に、D の値がシフトレジスタの第 1 ビットにロードされます。次にクロックが Low から High に切り替わると、シフトレジスタの値は次の高位ビットにシフトされ、新しい値がロードされます。アドレス入力の値によってシフトレジスタの長さが決まり、Q にその値が出力されます。

メモ： Q15 の出力を使用すると、複数のシフトレジスタ LUT をカスケード接続でき、より大きなシフトレジスタを作成できます。

論理表

| 入力 | | | 出力 |
|-------------|-----|---|-----------|
| Am | CLK | D | Q |
| Am | X | X | Q(Am) |
| Am | ↑ | D | Q(Am - 1) |
| m = 0、1、2、3 | | | |

デザインの入力方法

| | |
|--------------------------|----|
| インスタンス化 | 可 |
| 推論 | 推奨 |
| CORE Generator™ およびウィザード | 不可 |
| マクロのサポート | 不可 |

このエレメントは、回路図で使用されます。

使用可能な属性

| 属性 | タイプ | 値 | デフォルト | 説明 |
|------|-------|---------|-------|--------------------------------|
| INIT | 16 進数 | 16 ビット値 | すべてゼロ | コンフィギュレーション後のシフトレジスタと出力の初期値を指定 |

VHDL 記述 (インスタンス化)

次の 2 つの構文が存在しない場合はコピーし、エンティティ宣言の前に貼り付けます。

```
Library UNISIM;
use UNISIM.vcomponents.all;

-- SRLC16: 16-bit cascadable shift register LUT operating on posedge of clock
--          Spartan-3/3E/3A
-- Xilinx HDL Libraries Guide, version 11.2

SRLC16_inst : SRLC16
generic map (
  INIT => X"0000")
port map (
  Q => Q,           -- SRL data output
  Q15 => Q15,       -- Carry output (connect to next SRL)
  A0 => A0,         -- Select[0] input
  A1 => A1,         -- Select[1] input
  A2 => A2,         -- Select[2] input
  A3 => A3,         -- Select[3] input
  CLK => CLK,       -- Clock input
  D => D            -- SRL data input
);

-- End of SRLC16_inst instantiation
```

Verilog 記述 (インスタンス化)

```
// SRLC16: 16-bit cascadable shift register LUT operating on posedge of clock
//          Virtex-4, Spartan-3/3E/3A
// Xilinx HDL Libraries Guide, version 11.2

SRLC16 #(
    .INIT(16'h0000) // Initial Value of Shift Register
) SRLC16_inst (
    .Q(Q),           // SRL data output
    .Q15(Q15),       // Carry output (connect to next SRL)
    .A0(A0),          // Select[0] input
    .A1(A1),          // Select[1] input
    .A2(A2),          // Select[2] input
    .A3(A3),          // Select[3] input
    .CLK(CLK),        // Clock input
    .D(D)             // SRL data input
);

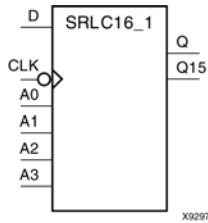
// End of SRLC16_inst instantiation
```

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリー データシート](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリー データシート](#)
- ・ [Spartan-3E FPGA ファミリー データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

SRLC16_1

プリミティブ : 16-Bit Shift Register Look-Up Table (LUT) with Carry and Negative-Edge Clock



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Virtex®-4
- ・ Virtex-5

概要

このデザイン エLEMENTは、キャリーがあるシフトレジスタ ルックアップ テーブル (LUT) で、クロックの立ち下がりエッジで動作します。シフトレジスタの長さは、入力 A3、A2、A1、A0 の値によって決定されます。

シフトレジスタの長さは、固定することも、変動させることもできます。

- ・ **固定長のシフトレジスタを作成するには :** 入力 A3 ~ A0 の値を一定の値にします。シフトレジスタは 1 ~ 16 ビットの長さに設定できます。アドレス入力の値によるシフトレジスタの長さは、長さ = $(8 \times A3) + (4 \times A2) + (2 \times A1) + A0 + 1$ という式で算出できます。A3、A2、A1、A0 がすべてゼロの場合 (0000) はシフトレジスタの長さは 1 ビットになり、すべて 1 の場合 (1111) は 16 ビットになります。
- ・ **シフトレジスタ長を動的に変化させるには :** 入力 A3 ~ A0 の値を変化させます。たとえば、A2、A1、A0 がすべて 1 の場合 (111) に A3 を 1 から 0 に切り替えると、シフトレジスタの長さは 16 ビットから 8 ビットに変化します。内部的には、シフトレジスタの長さは常に 16 ビットで、どのビットの値が出力されるかは入力 A3 ~ A0 の値によって決定されます。

シフトレジスタ LUT の初期値を指定するには、INIT 属性に 4 桁の 16 進数を割り当てます。一番左の桁が最上位ビットになります。INIT の値を指定しない場合は、シフトレジスタ LUT の内容はコンフィギュレーション中にゼロ (0000) にクリアされます。

メモ : Q15 の出力を使用すると、複数のシフトレジスタ LUT をカスケード接続でき、より大きなシフトレジスタを作成できます。

論理表

| 入力 | | | 出力 | |
|-------------|-----|---|-----------|------|
| Am | CLK | D | Q | Q15 |
| Am | X | X | Q(Am) | 変化なし |
| Am | ↓ | D | Q(Am - 1) | Q14 |
| m = 0、1、2、3 | | | | |

デザインの入力方法

| | |
|--------------------------|----|
| インスタンス化 | 可 |
| 推論 | 推奨 |
| CORE Generator™ およびウィザード | 不可 |
| マクロのサポート | 不可 |

このELEMENTは、回路図で使用されます。

使用可能な属性

| 属性 | タイプ | 値 | デフォルト | 説明 |
|------|-------|---------|-------|--------------------------------|
| INIT | 16 進数 | 16 ビット値 | すべてゼロ | コンフィギュレーション後のシフトレジスタと出力の初期値を指定 |

VHDL 記述 (インスタンス化)

次の 2 つの構文が存在しない場合はコピーし、エンティティ宣言の前に貼り付けます。

```
Library UNISIM;
use UNISIM.vcomponents.all;

-- SRLC16_1: 16-bit cascadable shift register LUT operating on negedge of clock
--           Spartan-3/3E/3A
-- Xilinx HDL Libraries Guide, version 11.2

SRLC16_1_inst : SRLC16_1
generic map (
  INIT => X"0000")
port map (
  Q => Q,           -- SRL data output
  Q15 => Q15,       -- Carry output (connect to next SRL)
  A0 => A0,         -- Select[0] input
  A1 => A1,         -- Select[1] input
  A2 => A2,         -- Select[2] input
  A3 => A3,         -- Select[3] input
  CLK => CLK,       -- Clock input
  D => D            -- SRL data input
);

-- End of SRLC16_1_inst instantiation
```

Verilog 記述 (インスタンス化)

```
// SRLC16_1: 16-bit cascadable shift register LUT operating on negedge of clock
//           Virtex-4, Spartan-3/3E/3A
// Xilinx HDL Libraries Guide, version 11.2

SRLC16_1 #(
  .INIT(16'h0000) // Initial Value of Shift Register
) SRLC16_1_inst (
  .Q(Q),          // SRL data output
  .Q15(Q15),      // Carry output (connect to next SRL)
  .A0(A0),        // Select[0] input
  .A1(A1),        // Select[1] input
  .A2(A2),        // Select[2] input
  .A3(A3),        // Select[3] input
  .CLK(CLK),      // Clock input
  .D(D)           // SRL data input
);

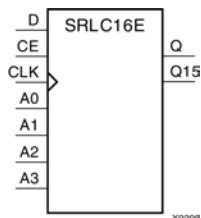
// End of SRLC16_1_inst instantiation
```

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリー データシート](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリー データシート](#)
- ・ [Spartan-3E FPGA ファミリー データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

SRLC16E

プリミティブ : 16-Bit Shift Register Look-Up Table (LUT) with Carry and Clock Enable



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Virtex-4

概要

このデザイン エLEMENTは、キャリーとクロック イネーブルがあるシフトレジスタ ルックアップ テーブル (LUT) です。シフトレジスタの長さは、入力 A3、A2、A1、A0 の値によって決定されます。

シフトレジスタの長さは、固定することも、変動させることもできます。

- ・ **固定長のシフトレジスタを作成するには :** 入力 A3 ~ A0 の値を一定の値にします。シフトレジスタは 1 ~ 16 ビットの長さに設定できます。アドレス入力の値によるシフトレジスタの長さは、長さ = $(8 \times A3) + (4 \times A2) + (2 \times A1) + A0 + 1$ という式で算出できます。A3、A2、A1、A0 がすべてゼロの場合 (0000) はシフトレジスタの長さは 1 ビットになり、すべて 1 の場合 (1111) は 16 ビットになります。
- ・ **シフトレジスタ長を動的に変化させるには :** 入力 A3 ~ A0 の値を変化させます。たとえば、A2、A1、A0 がすべて 1 の場合 (111) に A3 を 1 から 0 に切り替えると、シフトレジスタの長さは 16 ビットから 8 ビットに変化します。内部的には、シフトレジスタの長さは常に 16 ビットで、どのビットの値が出力されるかは入力 A3 ~ A0 の値によって決定されます。

シフトレジスタ LUT の初期値を指定するには、INIT 属性に 4 桁の 16 進数を割り当てます。一番左の桁が最上位ビットになります。INIT の値を指定しない場合は、シフトレジスタ LUT の内容はコンフィギュレーション中にゼロ (0000) にクリアされます。

クロック (CLK) が Low から High に切り替わるときに、D の値がシフトレジスタの第 1 ビットにロードされます。次にクロックが Low から High に切り替わるときに CE が High の場合、シフトレジスタの値は次の高位ビットにシフトされ、新しいデータがロードされます。アドレス入力の値によってシフトレジスタの長さが決まり、Q にその値が出力されます。

メモ : Q15 の出力を使用すると、複数のシフトレジスタ LUT をカスケード接続でき、より大きなシフトレジスタを作成できます。

論理表

| 入力 | | | | 出力 | |
|-------------|-----|----|---|-----------|-------|
| Am | CLK | CE | D | Q | Q15 |
| Am | X | 0 | X | Q(Am) | Q(15) |
| Am | X | 1 | X | Q(Am) | Q(15) |
| Am | ↑ | 1 | D | Q(Am - 1) | Q15 |
| m = 0、1、2、3 | | | | | |

デザインの入力方法

| | |
|--------------------------|----|
| インスタンス化 | 可 |
| 推論 | 推奨 |
| CORE Generator™ およびウィザード | 不可 |
| マクロのサポート | 不可 |

このエレメントは、回路図で使用されます。

使用可能な属性

| 属性 | タイプ | 値 | デフォルト | 説明 |
|------|-------|---------|-------|--------------------------------|
| INIT | 16 進数 | 16 ビット値 | すべてゼロ | コンフィギュレーション後のシフトレジスタと出力の初期値を指定 |

VHDL 記述 (インスタンス化)

次の 2 つの構文が存在しない場合はコピーし、エンティティ宣言の前に貼り付けます。

```

Library UNISIM;
use UNISIM.vcomponents.all;

-- SRLC16E: 16-bit cascable shift register LUT with clock enable operating on posedge of clock
--          Spartan-3/3E/3A
-- Xilinx HDL Libraries Guide, version 11.2

SRLC16E_inst : SRLC16E
generic map (
    INIT => X"0000")
port map (
    Q => Q,          -- SRL data output
    Q15 => Q15,      -- Carry output (connect to next SRL)
    A0 => A0,        -- Select[0] input
    A1 => A1,        -- Select[1] input
    A2 => A2,        -- Select[2] input
    A3 => A3,        -- Select[3] input
    CE => CE,        -- Clock enable input
    CLK => CLK,      -- Clock input
    D => D           -- SRL data input
);

-- End of SRLC16E_inst instantiation

```

Verilog 記述 (インスタンスレーション)

```
// SRLC16E: 16-bit cascadable shift register LUT with clock enable operating on posedge of clock
//          Virtex-4, Spartan-3/3E/3A
// Xilinx HDL Libraries Guide, version 11.2

SRLC16E #(
    .INIT(16'h0000) // Initial Value of Shift Register
) SRLC16E_inst (
    .Q(Q),           // SRL data output
    .Q15(Q15),       // Carry output (connect to next SRL)
    .A0(A0),         // Select[0] input
    .A1(A1),         // Select[1] input
    .A2(A2),         // Select[2] input
    .A3(A3),         // Select[3] input
    .CE(CE),         // Clock enable input
    .CLK(CLK),       // Clock input
    .D(D)            // SRL data input
);

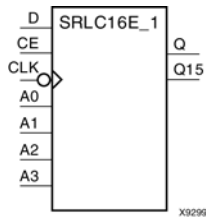
// End of SRLC16E_inst instantiation
```

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリー データシート](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリー データシート](#)
- ・ [Spartan-3E FPGA ファミリー データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート: DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート: DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

SRLC16E_1

プリミティブ : 16-Bit Shift Register Look-Up Table (LUT) with Carry, Negative-Edge Clock, and Clock Enable



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Virtex-4
- ・ Virtex-5

概要

このデザイン エLEMENTは、キャリーおよびクロック イネーブルがあるシフトレジスタ ルックアップ テーブル (LUT) で、クロックの立ち上がりエッジで動作します。シフトレジスタの長さは、入力 A3、A2、A1、A0 の値によって決定されます。

シフトレジスタの長さは、固定することも、変動させることもできます。

- ・ **固定長のシフトレジスタを作成するには :** 入力 A3 ~ A0 の値を一定の値にします。シフトレジスタは 1 ~ 16 ビットの長さに設定できます。アドレス入力の値によるシフトレジスタの長さは、長さ = $(8 \times A3) + (4 \times A2) + (2 \times A1) + A0 + 1$ という式で算出できます。A3、A2、A1、A0 がすべてゼロの場合 (0000) はシフトレジスタの長さは 1 ビットになり、すべて 1 の場合 (1111) は 16 ビットになります。
- ・ **シフトレジスタ長を動的に変化させるには :** 入力 A3 ~ A0 の値を変化させます。たとえば、A2、A1、A0 がすべて 1 の場合 (111) に A3 を 1 から 0 に切り替えると、シフトレジスタの長さは 16 ビットから 8 ビットに変化します。内部的には、シフトレジスタの長さは常に 16 ビットで、どのビットの値が出力されるかは入力 A3 ~ A0 の値によって決定されます。

シフトレジスタ LUT の初期値を指定するには、INIT 属性に 4 桁の 16 進数を割り当てます。一番左の桁が最上位ビットになります。INIT の値を指定しない場合は、シフトレジスタ LUT の内容はコンフィギュレーション中にゼロ (0000) にクリアされます。

CE が High の場合、クロック (CLK) が High から Low に切り替わるときに、D の値がシフトレジスタの第 1 ビットにロードされます。次にクロックが High から Low に切り替わるときに CE が High の場合、シフトレジスタの値は次の高位ビットにシフトされ、新しい値がロードされます。アドレス入力の値によってシフトレジスタの長さが決まり、Q にその値が出力されます。

メモ : Q15 の出力を使用すると、複数のシフトレジスタ LUT をカスケード接続でき、より大きなシフトレジスタを作成できます。

論理表

| 入力 | | | | 出力 | |
|-------------|----|-----|---|---------|------|
| Am | CE | CLK | D | Q | Q15 |
| Am | 0 | X | X | Q(Am) | 変化なし |
| Am | 1 | X | X | Q(Am) | 変化なし |
| Am | 1 | ↓ | D | Q(Am-1) | Q14 |
| m = 0、1、2、3 | | | | | |

デザインの入力方法

| | |
|--------------------------|----|
| インスタンス化 | 可 |
| 推論 | 推奨 |
| CORE Generator™ およびウィザード | 不可 |
| マクロのサポート | 不可 |

このエレメントは、回路図で使用されます。

使用可能な属性

| 属性 | タイプ | 値 | デフォルト | 説明 |
|------|-------|---------|-------|--------------------------------|
| INIT | 16 進数 | 16 ビット値 | すべてゼロ | コンフィギュレーション後のシフトレジスタと出力の初期値を指定 |

VHDL 記述 (インスタンス化)

次の 2 つの構文が存在しない場合はコピーし、エンティティ宣言の前に貼り付けます。

```

Library UNISIM;
use UNISIM.vcomponents.all;

-- SRLC16E_1: 16-bit shift register LUT with clock enable operating on negedge of clock
--           Spartan-3/3E/3A
-- Xilinx HDL Libraries Guide, version 11.2

SRLC16E_1_inst : SRLC16E_1
generic map (
  INIT => X"0000")
port map (
  Q => Q,           -- SRL data output
  Q15 => Q15,       -- Carry output (connect to next SRL)
  A0 => A0,         -- Select[0] input
  A1 => A1,         -- Select[1] input
  A2 => A2,         -- Select[2] input
  A3 => A3,         -- Select[3] input
  CE => CE,         -- Clock enable input
  CLK => CLK,       -- Clock input
  D => D            -- SRL data input
);

-- End of SRLC16E_1_inst instantiation

```

Verilog 記述 (インスタンス化)

```
// SRLC16E_1: 16-bit shift register LUT with clock enable operating on negedge of clock
//           Virtex-4, Spartan-3/3E/3A
// Xilinx HDL Libraries Guide, version 11.2

SRLC16E_1 #(
    .INIT(16'h0000) // Initial Value of Shift Register
) SRLC16E_1_inst (
    .Q(Q),           // SRL data output
    .Q15(Q15),       // Carry output (connect to next SRL)
    .A0(A0),         // Select[0] input
    .A1(A1),         // Select[1] input
    .A2(A2),         // Select[2] input
    .A3(A3),         // Select[3] input
    .CE(CE),         // Clock enable input
    .CLK(CLK),       // Clock input
    .D(D)            // SRL data input
);

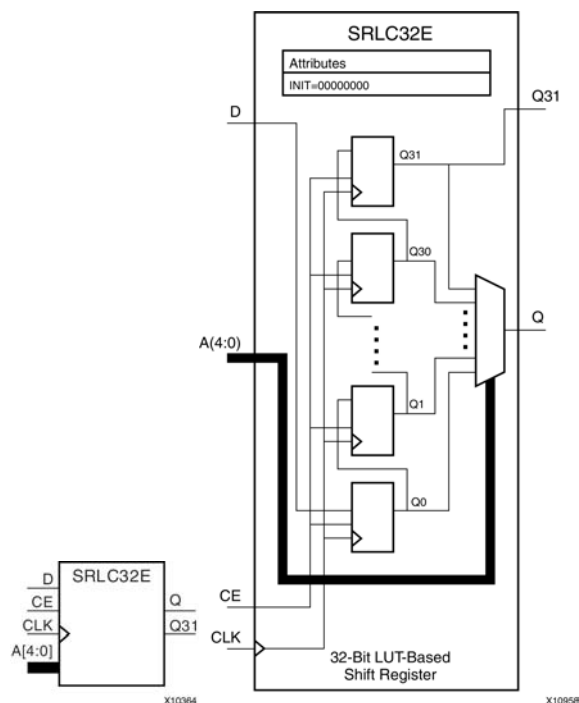
// End of SRLC16E_1_inst instantiation
```

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリー データシート](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリー データシート](#)
- ・ [Spartan-3E FPGA ファミリー データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート: DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート: DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

SRLC32E

プリミティブ : 32 Clock Cycle, Variable Length Shift Register Look-Up Table (LUT) with Clock Enable



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- Spartan®-6
- Virtex®-5
- Virtex-6

概要

このデザイン エLEMENTは、1 つのルックアップ テーブル (LUT) にインプリメントされている、可変長で 1 ～ 32 クロック サイクルのシフトレジスタです。シフトレジスタの長さは、固定することも、変動させることもできます。このELEMENTは、アクティブ High のクロック イネーブルおよびカスケード機能も備えているため、複数の SRLC32E をカスケード接続でき、より大きなシフトレジスタを作成できます。

ポートの説明

| ポート名 | 方向 | 幅 | 機能 |
|------|----|---|---|
| Q | 出力 | 1 | シフトレジスタ データ出力 |
| Q31 | 出力 | 1 | シフトレジスタ カスケード出力 (後続 SRLC32E の D 入力に接続) |
| D | 入力 | 1 | シフトレジスタ データ入力 |
| CLK | 入力 | 1 | クロック |
| CE | 入力 | 1 | アクティブ High のクロック イネーブル |
| A | 入力 | 5 | SRL のワード数のダイナミック選択 A=00000 ==> 1 ビット シフト長 A=11111 ==> 32 ビット シフト長 |

デザインの入力方法

| | |
|--------------------------|----|
| インスタンスエーション | 可 |
| 推論 | 推奨 |
| CORE Generator™ およびウィザード | 不可 |
| マクロのサポート | 不可 |

このエレメントは、回路図で使用されます。

インスタンスエートする場合は、このコンポーネントを次のように接続します。

- ・ CLK 入力を任意のクロック ソースに、D 入力をシフト/格納するデータ ソースに、Q 出力を FDCPE 入力または FDRSE 入力などの適切なデスティネーションに接続します。
- ・ クロック イネーブル ピン (CE) はクロック イネーブル信号に接続するか、使用しない場合は論理値を 1 にします。
- ・ 5 ビット バス A は、一定の値 (0 ~ 31) にしてシフトレジスタの長さを 1 ~ 32 ビットに固定するか、または適切な論理値にしてシフトレジスタの長さを 1 ~ 32 ビットの範囲で変更することもできます。
- ・ シフトレジスタの長さを 32 ビットより大きくする場合は、Q31 出力ピンを後続の SRLC32E の D 入力に接続してカスケード接続します。
- ・ Q31 出力を SRLC32E 以外に接続することはできません。
- ・ Q 出力は、カスケード モードでも使用できます。
- ・ 32 ビットの 16 進数の INIT 属性で、シフトレジスタの初期シフト パターンを指定できます。
- ・ INIT[0] は、シフトアウトされる最初の値です。

使用可能な属性

| 属性 | タイプ | 値 | デフォルト | 説明 |
|------|-------|---------|-------|-------------------------|
| INIT | 16 進数 | 32 ビット値 | すべてゼロ | SRLC32E の初期のシフト パターンを指定 |

VHDL 記述 (インスタンス化)

次の 2 つの構文が存在しない場合はコピーし、エンティティ宣言の前に貼り付けます。

```
Library UNISIM;
use UNISIM.vcomponents.all;

-- SRLC32E: 32-bit variable length shift register LUT
--      with clock enable
--      Virtex-5/6, Spartan-6
-- Xilinx HDL Libraries Guide, version 11.2

SRLC32E_inst : SRLC32E
generic map (
    INIT => X"00000000")
port map (
    Q => Q,          -- SRL data output
    Q31 => Q31,      -- SRL cascade output pin
    A => A,          -- 5-bit shift depth select input
    CE => CE,        -- Clock enable input
    CLK => CLK,      -- Clock input
    D => D           -- SRL data input
);

-- End of SRLC32E_inst instantiation
```

Verilog 記述 (インスタンス化)

```
// SRLC32E: 32-bit variable length shift register LUT
//      with clock enable
//      Virtex-5, Virtex-6, Spartan-6
// Xilinx HDL Libraries Guide, version 11.2

SRLC32E #(
    .INIT(32'h00000000) // Initial Value of Shift Register
) SRLC32E_inst (
    .Q(Q),             // SRL data output
    .Q31(Q31),         // SRL cascade output pin
    .A(A),             // 5-bit shift depth select input
    .CE(CE),           // Clock enable input
    .CLK(CLK),         // Clock input
    .D(D)              // SRL data input
);

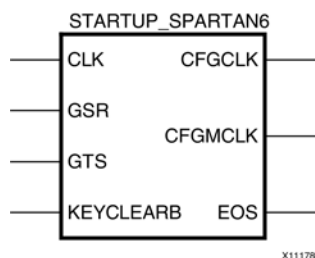
// End of SRLC32E_inst instantiation
```

詳細情報

- ・ [Spartan-6 FPGA コンフィギュラブル ロジック ブロック ユーザー ガイド](#)
- ・ [Spartan-6 FPGA データシート: DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート: DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

STARTUP_SPARTAN6

プリミティブ : Spartan®-6 Global Set/Reset, Global 3-State and Configuration Start-Up Clock Interface



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

Spartan®-6

概要

このデザイン エLEMENTは、デバイス ピンおよびグローバル セット/リセット (GSR) 信号へのロジックにインターフェイスするため、またはグローバルトライステート (GTS) 専用配線のために使用します。また、デバイスのコンフィギュレーションの終了時に、スタートアップ シーケンスに別のクロックを指定することもできます。

ポートの説明

| ポート名 | タイプ | 幅 | 機能 |
|-----------|-----|---|---|
| CFGCLK | 出力 | 1 | コンフィギュレーション ロジックのメイン クロック出力 |
| CFGMCLK | 出力 | 1 | コンフィギュレーションの内部オシレータのクロック出力。固定周波数 : 平常状態で 50MHz |
| CLK | 入力 | 1 | コンフィギュレーション スタートアップ シーケンス クロック (StartClk) 配線への入力接続。 |
| EOS | 出力 | 1 | スタートアップの終わり |
| GSR | 入力 | 1 | GSR 配線への入力接続 |
| GTS | 入力 | 1 | GTS 配線への入力接続 |
| KEYCLEARB | 入力 | 1 | セット時のクリア BBR キー。グリッチを防ぐため KEYCLEAR 機能を有効にするには、この信号を 200ns (4 クロック サイクル) 間 Low に保持します。 |

デザインの入力方法

| | |
|--------------------------|----|
| インスタンス化 | 推奨 |
| 推論 | 不可 |
| CORE Generator™ およびウィザード | 不可 |
| マクロのサポート | 不可 |

このELEMENTは、回路図で使用されます。

専用の GSR 回路はソース ピンまたはロジックを GSR ピンに接続すれば使用できますが、このコンポーネントの GSR 回路の使用には、特別の注意が必要です。GSR ネットのスキューは確定できないので、セット/リセット信号の一般配線を使用して、配線遅延とスキューをデザインのタイミング解析の一部として計算できるようにするか、クロック サイクルのリリース時にスキューが回路の動作を邪魔しないような回避策をとってください。

同様に、専用のグローバルトライステートが使用される場合は、適切なソース ピンまたはロジックをこのプリミティブの GTS 入力ピンに接続します。コンフィギュレーションのスタートアップ シーケンスのクロックを指定するには、デザインからのクロックをこのデザイン エLEMENTの CLK ピンに接続します。

VHDL 記述 (インスタンス化)

次の 2 つの構文が存在しない場合はコピーし、エンティティ宣言の前に貼り付けます。

```
Library UNISIM;
use UNISIM.vcomponents.all;

-- STARTUP_SPARTAN6: sp6 Global Set/Reset, Global 3-State and Configuration Start-Up Clock Interface
--                      Spartan-6
-- Xilinx HDL Libraries Guide, version 11.2

STARTUP_SPARTAN6_inst : STARTUP_SPARTAN6
generic map (
)
port map (
    CFGCLK => CFGCLK,          -- 1-bit Configuration logic main clock output.
    CFGMCLK => CFGMCLK,        -- 1-bit Configuration internal oscillator clock output. Fixed frequency: 50MHz
                                -- at typical condition.

    EOS => EOS,                 -- 1-bit Indicates end of startup.
    CLK => CLK,                 -- 1-bit Input connection to the configuration startup sequence clock (GSR)
                                -- routing.

    GSR => GSR,                 -- 1-bit Input connection to the global set / reset (GSR) routing.
    GTS => GTS,                 -- 1-bit Input connection to the global 3-state (GTS) routing.
    KEYCLEARB => KEYCLEARB     -- 1-bit Clear BBR key when it is set. Note that this signal needs to stay low
                                -- for 200ns (4 clock cycles) to enable KEYCLEAR function (to prevent glitches).
);

-- End of STARTUP_SPARTAN6_inst instantiation
```

Verilog 記述 (インスタンス化)

```
// STARTUP_SPARTAN6: sp6 Global Set/Reset, Global 3-State and Configuration Start-Up Clock Interface
//                      Spartan-6
// Xilinx HDL Language Template, version 11.1

STARTUP_SPARTAN6 STARTUP_SPARTAN6_inst (
    .CFGCLK(CFGCLK),           // 1-bit Configuration logic main clock output.
    .CFGMCLK(CFGMCLK),        // 1-bit Configuration internal oscillator clock output. Fixed frequency: 50MHz at
                                // typical condition.

    .EOS(EOS),                 // 1-bit Indicates end of startup.
    .CLK(CLK),                 // 1-bit Input connection to the configuration startup sequence clock (GSR)
                                // routing.

    .GSR(GSR),                 // 1-bit Input connection to the global set / reset (GSR) routing.
    .GTS(GTS),                 // 1-bit Input connection to the global 3-state (GTS) routing.
    .KEYCLEARB(KEYCLEARB)     // 1-bit Clear BBR key when it is set. Note that this signal needs to stay low for
                                // 200ns (4 clock cycles) to enable KEYCLEAR function (to prevent glitches).
);

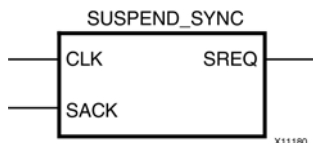
// End of STARTUP_SPARTAN6_inst instantiation
```

詳細情報

- ・ [Spartan-6 FPGA コンフィギュレーション ユーザー ガイド](#)
- ・ [Spartan-6 FPGA データシート : DC 特性およびスイッチ特性](#)

SUSPEND_SYNC

プリミティブ : Suspend Mode Access



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

Spartan®-6

概要

このデザイン エLEMENTは、一時停止モードを使用しているアプリケーションのデザインを同期化する機能を拡張します。同期化が必要なクロックドメインが数個あっても、一時停止モードを開始するトリガの同期化を行うのに 3 ピン インターフェイスが使用されます。SREQ 出力は、一時停止モードを開始するためデバイスに要求を送信し、SACK は、デバイスで開始準備が整っていることを確認します。SACK ピンは CLK ピンに同期します。

ポートの説明

| ポート名 | タイプ | 幅 | 機能 |
|------|-----|---|-----------------------------|
| CLK | 入力 | 1 | ユーザー クロック |
| SACK | 入力 | 1 | 一時停止確認応答で CLK に同期します。 |
| SREQ | 出力 | 1 | SUSPEND ピンからのリクエストを一時停止します。 |

デザインの入力方法

| | |
|--------------------------|----|
| インスタンス化 | 推奨 |
| 推論 | 不可 |
| CORE Generator™ およびウィザード | 不可 |
| マクロのサポート | 不可 |

このELEMENTは、回路図で使用されます。

VHDL 記述 (インスタンス化)

```

-- SUSPEND_SYNC: Suspend Mode Access
--
--          Spartan-6
-- Xilinx HDL Libraries Guide, version 11.2

SUSPEND_SYNC_inst : SUSPEND_SYNC
generic map (
)
port map (
  SREQ => SREQ, -- 1-bit Suspend request from either SUSPEND pin or SSPI SUSPEND command.
  CLK  => CLK,  -- 1-bit User clock
  SACK => SACK  -- 1-bit SUSPEND acknowledgement; synchronous to CLK
);

-- End of SUSPEND_SYNC_inst instantiation

```

Verilog 記述 (インスタンス化)

```
// SUSPEND_SYNC: Suspend Mode Access
//                               Spartan-6
// Xilinx HDL Language Template, version 11.1

SUSPEND_SYNC SUSPEND_SYNC_inst (
    .SREQ(SREQ), // 1-bit Suspend request from either SUSPEND pin or SSPI SUSPEND command.
    .CLK(CLK),   // 1-bit User clock
    .SACK(SACK)  // 1-bit SUSPEND acknowledgement; synchronous to CLK
);

// End of SUSPEND_SYNC_inst instantiation
```

詳細情報

- ・ [Spartan-6 FPGA コンフィギュレーション ユーザー ガイド](#)
- ・ [Spartan-6 FPGA データシート: DC 特性およびスイッチ特性](#)

VCC

プリミティブ : VCC-Connection Signal Tag



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6
- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

このデザイン エLEMENTは信号タグまたはパラメータであり、ネットや入力ファンクションを強制的に High にします。このELEMENTに接続したネットを、ほかのソースに接続することはできません。

配置配線のプロセスで VCC に接続されたネットまたは入力ファンクションが検出されると、VCC 信号でディスエーブルになるロジックは削除されます。VCC 信号は、ディスエーブルされたロジックが削除できない場合のみインプリメントされます。

デザインの入力方法

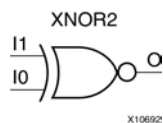
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリ データシート](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリ データシート](#)
- ・ [Spartan-3E FPGA ファミリ データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

XNOR2

プリミティブ : 2-Input XNOR Gate with Non-Inverted Inputs



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6
- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

XNOR ファンクションには入力 が 9 個のものまでありますが、入力はすべて非反転入力です。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

論理表

| 入力 | 出力 |
|-----------|----|
| I0 ... Iz | O |
| 奇数個の 1 | 0 |
| 偶数個の 1 | 1 |

デザインの入力方法

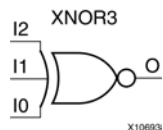
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリ データシート](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリ データシート](#)
- ・ [Spartan-3E FPGA ファミリ データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

XNOR3

プリミティブ : 3-Input XNOR Gate with Non-Inverted Inputs



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6
- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

XNOR ファンクションには入力 が 9 個のものまでありますが、入力はすべて非反転入力です。各入力 で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

論理表

| 入力 | 出力 |
|-----------|----|
| I0 ... Iz | O |
| 奇数個の 1 | 0 |
| 偶数個の 1 | 1 |

デザインの入力方法

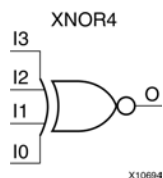
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリ データシート](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリ データシート](#)
- ・ [Spartan-3E FPGA ファミリ データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

XNOR4

プリミティブ : 4-Input XNOR Gate with Non-Inverted Inputs



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6
- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

XNOR ファンクションには入力 が 9 個のものまでがありますが、入力はすべて非反転入力です。各入力 で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

論理表

| 入力 | 出力 |
|-----------|----|
| I0 ... Iz | O |
| 奇数個の 1 | 0 |
| 偶数個の 1 | 1 |

デザインの入力方法

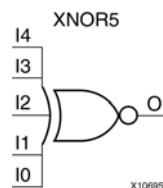
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリ データシート](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリ データシート](#)
- ・ [Spartan-3E FPGA ファミリ データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

XNOR5

プリミティブ : 5-Input XNOR Gate with Non-Inverted Inputs



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6
- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

XNOR ファンクションには入力 が 9 個のものまでありますが、入力はすべて非反転入力です。各入力 で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

論理表

| 入力 | 出力 |
|-----------|----|
| I0 ... I4 | O |
| 奇数個の 1 | 0 |
| 偶数個の 1 | 1 |

デザインの入力方法

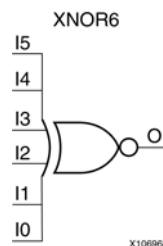
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリ データシート](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリ データシート](#)
- ・ [Spartan-3E FPGA ファミリ データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

XNOR6

マクロ : 6-Input XNOR Gate with Non-Inverted Inputs



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6
- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

XNOR ファンクションには入力 が 9 個のものまでありますが、入力はすべて非反転入力です。各入力 で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

論理表

| 入力 | 出力 |
|-----------|----|
| I0 ... Iz | O |
| 奇数個の 1 | 0 |
| 偶数個の 1 | 1 |

デザインの入力方法

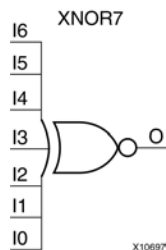
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリ データシート](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリ データシート](#)
- ・ [Spartan-3E FPGA ファミリ データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

XNOR7

マクロ : 7-Input XNOR Gate with Non-Inverted Inputs



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6
- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

XNOR ファンクションには入力 が 9 個のものまでありますが、入力はすべて非反転入力です。各入力 で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

論理表

| 入力 | 出力 |
|-----------|----|
| I0 ... Iz | O |
| 奇数個の 1 | 0 |
| 偶数個の 1 | 1 |

デザインの入力方法

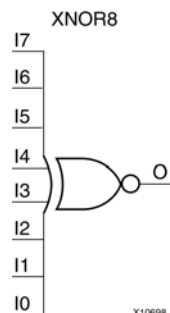
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリ データシート](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリ データシート](#)
- ・ [Spartan-3E FPGA ファミリ データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

XNOR8

マクロ : 8-Input XNOR Gate with Non-Inverted Inputs



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6
- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

XNOR ファンクションには入力 が 9 個のものまでがありますが、入力はすべて非反転入力です。各入力 で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

論理表

| 入力 | 出力 |
|-----------|----|
| I0 ... Iz | O |
| 奇数個の 1 | 0 |
| 偶数個の 1 | 1 |

デザインの入力方法

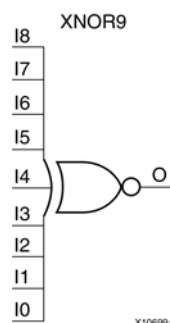
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリ データシート](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリ データシート](#)
- ・ [Spartan-3E FPGA ファミリ データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

XNOR9

マクロ : 9-Input XNOR Gate with Non-Inverted Inputs



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6
- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

XNOR ファンクションには入力 が 9 個のものまでありますが、入力はすべて非反転入力です。各入力 で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

論理表

| 入力 | 出力 |
|-----------|----|
| I0 ... Iz | O |
| 奇数個の 1 | 0 |
| 偶数個の 1 | 1 |

デザインの入力方法

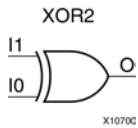
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリ データシート](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリ データシート](#)
- ・ [Spartan-3E FPGA ファミリ データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

XOR2

プリミティブ : 2-Input XOR Gate with Non-Inverted Inputs



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6
- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

XOR ファンクションには入力が 9 個のものまでありますが、入力はすべて非反転入力です。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

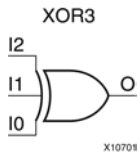
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリ データシート](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリ データシート](#)
- ・ [Spartan-3E FPGA ファミリ データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

XOR3

プリミティブ : 3-Input XOR Gate with Non-Inverted Inputs



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6
- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

XOR ファンクションには入力が 9 個のものまでありますが、入力はすべて非反転入力です。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

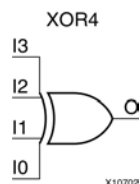
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリ データシート](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリ データシート](#)
- ・ [Spartan-3E FPGA ファミリ データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

XOR4

プリミティブ : 4-Input XOR Gate with Non-Inverted Inputs



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6
- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

XOR ファンクションには入力 が 9 個のものまでがありますが、入力はすべて非反転入力です。各入力 で CLB リソース が使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

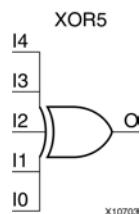
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリ データシート](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリ データシート](#)
- ・ [Spartan-3E FPGA ファミリ データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

XOR5

プリミティブ : 5-Input XOR Gate with Non-Inverted Inputs



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6
- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

XOR ファンクションには入力 が 9 個のものまでがありますが、入力はすべて非反転入力です。各入力 で CLB リソース が使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

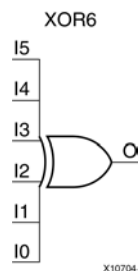
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリ データシート](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリ データシート](#)
- ・ [Spartan-3E FPGA ファミリ データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

XOR6

マクロ : 6-Input XOR Gate with Non-Inverted Inputs



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6
- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

XOR ファンクションには入力が 9 個のものまでありますが、入力はすべて非反転入力です。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

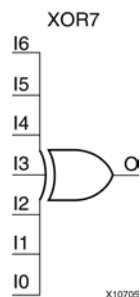
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリ データシート](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリ データシート](#)
- ・ [Spartan-3E FPGA ファミリ データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

XOR7

マクロ : 7-Input XOR Gate with Non-Inverted Inputs



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6
- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

XOR ファンクションには入力 が 9 個のものまでがありますが、入力はすべて非反転入力です。各入力 で CLB リソース が使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

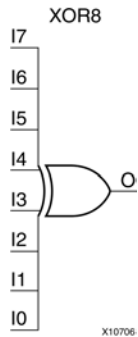
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリ データシート](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリ データシート](#)
- ・ [Spartan-3E FPGA ファミリ データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

XOR8

マクロ : 8-Input XOR Gate with Non-Inverted Inputs



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6
- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

XOR ファンクションには入力が 9 個のものまでがありますが、入力はすべて非反転入力です。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

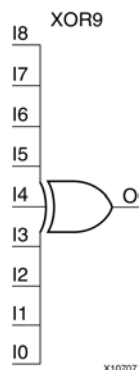
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリ データシート](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリ データシート](#)
- ・ [Spartan-3E FPGA ファミリ データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

XOR9

マクロ : 9-Input XOR Gate with Non-Inverted Inputs



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Spartan-6
- ・ Virtex®-4
- ・ Virtex-5
- ・ Virtex-6
- ・ XC9500
- ・ CoolRunner™ XPLA3
- ・ CoolRunner-II

概要

XOR ファンクションには入力が 9 個のものまでがありますが、入力はすべて非反転入力です。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

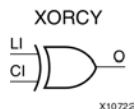
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリ データシート](#)
- ・ [Spartan-3A FPGA ファミリ データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリ データシート](#)
- ・ [Spartan-3E FPGA ファミリ データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート : DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

XORCY

プリミティブ : XOR for Carry Logic with General Output



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Virtex®-4

概要

このデザイン エLEMENTは、一般出力 (O) のある特殊な XOR ゲートで、高速で小型の演算ファンクションを生成するために使用します。このプリミティブは、スライスのキャリーチェーン ロジック内の専用 XOR ファンクションで、演算ファンクション (加算または除算) または多入力ロジック ファンクション (多入力 AND または OR ゲート) を高速かつ効率的に作成できます。

論理表

| 入力 | | 出力 |
|----|----|----|
| LI | CI | O |
| 0 | 0 | 0 |
| 0 | 1 | 1 |
| 1 | 0 | 1 |
| 1 | 1 | 0 |

デザインの入力方法

| | |
|--------------------------|----|
| インスタンス化 | 可 |
| 推論 | 推奨 |
| CORE Generator™ およびウィザード | 不可 |
| マクロのサポート | 不可 |

このELEMENTは、回路図で使用されます。

VHDL 記述 (インスタンス化)

次の 2 つの構文が存在しない場合はコピーし、エンティティ宣言の前に貼り付けます。

```
Library UNISIM;  
use UNISIM.vcomponents.all;  
  
-- XORCY: Carry-Chain XOR-gate with general output  
-- Xilinx HDL Libraries Guide, version 11.2  
  
XORCY_inst : XORCY  
port map (  
    O => O,    -- XOR output signal  
    CI => CI,  -- Carry input signal  
    LI => LI   -- LUT4 input signal  
);  
  
-- End of XORCY_inst instantiation
```

Verilog 記述 (インスタンス化)

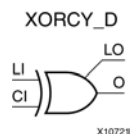
```
// XORCY: Carry-Chain XOR-gate with general output  
//      For use with All FPGAs  
// Xilinx HDL Libraries Guide, version 11.2  
  
XORCY XORCY_inst (  
    .O(O),    // XOR output signal  
    .CI(CI),  // Carry input signal  
    .LI(LI)   // LUT4 input signal  
);  
  
// End of XORCY_inst instantiation
```

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリー データシート](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリー データシート](#)
- ・ [Spartan-3E FPGA ファミリー データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート: DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート: DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

XORCY_D

プリミティブ : XOR for Carry Logic with Dual Output



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Virtex®-4

概要

このデザイン エLEMENTは、一般出力 (O) とローカル出力 (LO) のある特殊な XOR ゲートで、高速で小型の演算ファンクションを生成するために使用します。

論理表

| 入力 | | 出力 |
|----|----|----------|
| LI | CI | O および LO |
| 0 | 0 | 0 |
| 0 | 1 | 1 |
| 1 | 0 | 1 |
| 1 | 1 | 0 |

デザインの入力方法

| | |
|--------------------------|----|
| インスタンス化 | 可 |
| 推論 | 推奨 |
| CORE Generator™ およびウィザード | 不可 |
| マクロのサポート | 不可 |

このELEMENTは、回路図で使用されます。

VHDL 記述 (インスタンスレーション)

次の 2 つの構文が存在しない場合はコピーし、エンティティ宣言の前に貼り付けます。

```
Library UNISIM;
use UNISIM.vcomponents.all;

-- XORCY_D: Carry-Chain XOR-gate with local and general outputs
-- Xilinx HDL Libraries Guide, version 11.2

XORCY_D_inst : XORCY_D
port map (
    LO => LO, -- XOR local output signal
    O => O, -- XOR general output signal
    CI => CI, -- Carry input signal
    LI => LI -- LUT4 input signal
);

-- End of XORCY_D_inst instantiation
```

Verilog 記述 (インスタンスレーション)

```
// XORCY_D: Carry-Chain XOR-gate with local and general outputs
// For use with All FPGAs
// Xilinx HDL Libraries Guide, version 11.2

XORCY_D XORCY_D_inst (
    .LO(LO), // XOR local output signal
    .O(O), // XOR general output signal
    .CI(CI), // Carry input signal
    .LI(LI) // LUT4 input signal
);

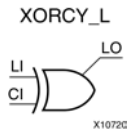
// End of XORCY_D_inst instantiation
```

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリー データシート](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)
- ・ [Spartan-3AN FPGA インシステムフラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリー データシート](#)
- ・ [Spartan-3E FPGA ファミリー データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート: DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート: DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)

XORCY_L

プリミティブ : XOR for Carry Logic with Local Output



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ Spartan®-3
- ・ Spartan-3A
- ・ Spartan-3E
- ・ Virtex®-4

概要

このデザイン エLEMENTは、ローカル出力 (LO) のある特殊な XOR ゲートで、高速で小型の演算ファンクションを生成するために使用します。

論理表

| 入力 | | 出力 |
|----|----|----|
| LI | CI | LO |
| 0 | 0 | 0 |
| 0 | 1 | 1 |
| 1 | 0 | 1 |
| 1 | 1 | 0 |

デザインの入力方法

| | |
|--------------------------|----|
| インスタンス化 | 可 |
| 推論 | 推奨 |
| CORE Generator™ およびウィザード | 不可 |
| マクロのサポート | 不可 |

このELEMENTは、回路図で使用されます。

VHDL 記述 (インスタンス化)

次の 2 つの構文が存在しない場合はコピーし、エンティティ宣言の前に貼り付けます。

```
Library UNISIM;
use UNISIM.vcomponents.all;

-- XORCY_L: Carry-Chain XOR-gate with local => direct-connect output
-- Xilinx HDL Libraries Guide, version 11.2

XORCY_L_inst : XORCY_L
port map (
    LO => LO, -- XOR local output signal
    CI => CI, -- Carry input signal
    LI => LI -- LUT4 input signal
);

-- End of XORCY_L_inst instantiation
```

Verilog 記述 (インスタンス化)

```
// XORCY_L: Carry-Chain XOR-gate with local (direct-connect) output
// For use with All FPGAs
// Xilinx HDL Libraries Guide, version 11.2

XORCY_L XORCY_L_inst (
    .LO(LO), // XOR local output signal
    .CI(CI), // Carry input signal
    .LI(LI) // LUT4 input signal
);

// End of XORCY_L_inst instantiation
```

詳細情報

- ・ [Spartan-3 ジェネレーション FPGA ユーザー ガイド](#)
- ・ [Spartan-3 FPGA ファミリー データシート](#)
- ・ [Spartan-3A FPGA ファミリー データシート](#)
- ・ [Spartan-3AN FPGA インシステム フラッシュ ユーザー ガイド](#)
- ・ [Spartan-3AN FPGA ファミリー データシート](#)
- ・ [Spartan-3E FPGA ファミリー データシート](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [Virtex-4 FPGA ユーザー ガイド](#)
- ・ [Virtex-4 FPGA データシート: DC 特性およびスイッチ特性](#)
- ・ [Virtex-5 FPGA ユーザー ガイド](#)
- ・ [Virtex-5 FPGA データシート: DC 特性およびスイッチ特性](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)
- ・ [該当 CPLD のユーザー ガイド](#)
- ・ [該当 CPLD のデータシート](#)