

# PlanAhead

## ユーザー ガイド

UG632 (v 12.1) 2010 年 5 月 3 日



Xilinx is disclosing this user guide, manual, release note, and/or specification (the "Documentation") to you solely for use in the development of designs to operate with Xilinx hardware devices. You may not reproduce, distribute, republish, download, display, post, or transmit the Documentation in any form or by any means including, but not limited to, electronic, mechanical, photocopying, recording, or otherwise, without the prior written consent of Xilinx. Xilinx expressly disclaims any liability arising out of your use of the Documentation. Xilinx reserves the right, at its sole discretion, to change the Documentation without notice at any time. Xilinx assumes no obligation to correct any errors contained in the Documentation, or to advise you of any corrections or updates. Xilinx expressly disclaims any liability in connection with technical support or assistance that may be provided to you in connection with the Information.

THE DOCUMENTATION IS DISCLOSED TO YOU "AS-IS" WITH NO WARRANTY OF ANY KIND. XILINX MAKES NO OTHER WARRANTIES, WHETHER EXPRESS, IMPLIED, OR STATUTORY, REGARDING THE DOCUMENTATION, INCLUDING ANY WARRANTIES OF MERCHANTABILITY, FITNESS FOR A PARTICULAR PURPOSE, OR NONINFRINGEMENT OF THIRD-PARTY RIGHTS. IN NO EVENT WILL XILINX BE LIABLE FOR ANY CONSEQUENTIAL, INDIRECT, EXEMPLARY, SPECIAL, OR INCIDENTAL DAMAGES, INCLUDING ANY LOSS OF DATA OR LOST PROFITS, ARISING FROM YOUR USE OF THE DOCUMENTATION.

© 2010 Xilinx, Inc. XILINX, the Xilinx logo, Virtex, Spartan, ISE, and other designated brands included herein are trademarks of Xilinx in the United States and other countries. All other trademarks are the property of their respective owners.

Included in the PlanAhead™ software code is source code for the following programs:

#### Centerpoint XML

The initial developer of the Original Code is CenterPoint - Connective Software Engineering GmbH. Portions created by CenterPoint

- Connective Software Engineering GmbH. Copyright © Copyright IBM Corp. 1998 1998-2000 CenterPoint

- Connective Software Engineering GmbH. All Rights Reserved. Source Code for CenterPoint is available at <http://www.cpointc.com/XML/>

#### NLView Schematic Engine

Copyright © Copyright IBM Corp. 1998 Concept Engineering.

Static Timing Engine by Parallax Software Inc.

Copyright © Copyright IBM Corp. 1998 Parallax Software Inc.

#### Java Standard Edition

Copyright © Copyright IBM Corp. 1998 1995 - 2006 Sun Microsystems

Includes portions of software from RSA Security, Inc. and some portions licensed from IBM are available at <http://oss.software.ibm.com/icu4j/>.

Powered By JIDE - <http://www.jidesoft.com>

#### The BSD License for the JGoodies Looks

Copyright © Copyright IBM Corp. 1998 2001-2008 JGoodies Karsten Lentzsch. All rights reserved.

Redistribution and use in source and binary forms, with or without modification, are permitted provided that the following conditions are met:

- Redistributions of source code must retain the above copyright notice, this list of conditions and the following disclaimer.

- 
- Redistributions in binary form must reproduce the above copyright notice, this list of conditions and the following disclaimer in the documentation and/or other materials provided with the distribution.
  - Neither the name of JGoodies Karsten Lentzsch nor the names of its contributors may be used to endorse or promote products derived from this software without specific prior written permission.

THIS SOFTWARE IS PROVIDED BY THE COPYRIGHT HOLDERS AND CONTRIBUTORS “AS IS” AND ANY EXPRESS OR IMPLIED WARRANTIES, INCLUDING, BUT NOT LIMITED TO, THE IMPLIED WARRANTIES OF MERCHANTABILITY AND FITNESS FOR A PARTICULAR PURPOSE ARE DISCLAIMED. IN NO EVENT SHALL THE COPYRIGHT OWNER OR CONTRIBUTORS BE LIABLE FOR ANY DIRECT, INDIRECT, INCIDENTAL, SPECIAL, EXEMPLARY, OR CONSEQUENTIAL DAMAGES (INCLUDING, BUT NOT LIMITED TO, PROCUREMENT OF SUBSTITUTE GOODS OR SERVICES; LOSS OF USE, DATA, OR PROFITS; OR BUSINESS INTERRUPTION) HOWEVER CAUSED AND ON ANY THEORY OF LIABILITY, WHETHER IN CONTRACT, STRICT LIABILITY, OR TORT (INCLUDING NEGLIGENCE OR OTHERWISE) ARISING IN ANY WAY OUT OF THE USE OF THIS SOFTWARE, EVEN IF ADVISED OF THE POSSIBILITY OF SUCH DAMAGE.



#### Libconfig (v1.3.2) License

libconfig - A library for processing structured configuration files

Copyright (C) 2005-2009 Mark A Lindner

This file is part of libconfig.

This library is free software; you can redistribute it and/or modify it under the terms of the GNU Lesser General Public License as published by the Free Software Foundation; either version 2.1 of the License, or (at your option) any later version.

This library is distributed in the hope that it will be useful, but WITHOUT ANY WARRANTY; without even the implied warranty of MERCHANTABILITY or FITNESS FOR A PARTICULAR PURPOSE. See the GNU Lesser General Public License for more details.

You should have received a copy of the GNU Library General Public License along with this library; if not, see <http://www.gnu.org/licenses/>.

#### Free IP Core License

This is the Entire License for all of our Free IP Cores.

Copyright (C) 2000-2003, ASICs World Services, LTD., AUTHORS

All rights reserved.

Redistribution and use in source, netlist, binary and silicon forms, with or without modification, are permitted provided that the following conditions are met:

- Redistributions of source code must retain the above copyright notice, this list of conditions and the following disclaimer.

- Redistributions in binary form must reproduce the above copyright notice, this list of conditions and the following disclaimer in the documentation and/or other materials provided with the distribution.

- Neither the name of ASICs World Services, the Authors and/or the names of its contributors may be used to endorse or promote products derived from this software without specific prior written permission.

THIS SOFTWARE IS PROVIDED BY THE COPYRIGHT HOLDERS AND CONTRIBUTORS "AS IS" AND ANY EXPRESS OR IMPLIED WARRANTIES, INCLUDING, BUT NOT LIMITED TO, THE IMPLIED WARRANTIES OF MERCHANTABILITY AND FITNESS FOR A PARTICULAR PURPOSE ARE DISCLAIMED. IN NO EVENT SHALL THE COPYRIGHT OWNER OR CONTRIBUTORS BE LIABLE FOR ANY DIRECT, INDIRECT, INCIDENTAL, SPECIAL, EXEMPLARY, OR CONSEQUENTIAL DAMAGES (INCLUDING, BUT NOT LIMITED TO, PROCUREMENT OF SUBSTITUTE GOODS OR SERVICES; LOSS OF USE, DATA, OR PROFITS; OR BUSINESS INTERRUPTION) HOWEVER CAUSED AND ON ANY THEORY OF LIABILITY, WHETHER IN CONTRACT, STRICT LIABILITY, OR TORT (INCLUDING NEGLIGENCE OR OTHERWISE) ARISING IN ANY WAY OUT OF THE USE OF THIS SOFTWARE, EVEN IF ADVISED OF THE POSSIBILITY OF SUCH DAMAGE.

#### Demo RTL Design License

© 2010 Xilinx, Inc.

This RTL Design is free software; you can redistribute it and/or modify it under the terms of the GNU Lesser General Public License as published by the Free Software Foundation; either version 2.1 of the License, or (at your option) any later version.

This library is distributed in the hope that it will be useful, but WITHOUT ANY WARRANTY; without even the implied warranty of MERCHANTABILITY or FITNESS FOR A PARTICULAR PURPOSE. See the GNU Lesser General Public License for more details.

You should have received a copy of the GNU Library General Public License along with this design file; if not, see <http://www.gnu.org/licenses/>.

本資料は英語版 (v 12.1) を翻訳したもので、内容に相違が生じる場合には原文を優先します。

資料によっては英語版の更新に対応していないものがあります。

日本語版は参考用としてご使用の上、最新情報につきましては、必ず最新英語版をご参照ください。



# このユーザー ガイドについて

このユーザー ガイドには、PlanAhead™ ソフトウェアのインターフェイスの概要、デザイン機能およびソフトウェア機能の使用方法などの詳細な情報が含まれています。

本章は、次のセクションで構成されています。

- 「ユーザー ガイドの内容」
- 「その他のリソース」
- 「表記規則」

**メモ：**ソフトウェアのインストール方法およびシステム要件は、『ISE Design Suite：インストール、ライセンス、リース ノート』を参照してください。

## ユーザー ガイドの内容

このユーザー ガイドは、次の章から構成されています。

- **第 1 章「概要」：**PlanAhead の機能の概要を説明します。
- **第 2 章「PlanAhead デザイン フローの理解」：**デザイン フローの概要を説明します。
- **第 3 章「プロジェクトの操作」：**PlanAhead でのプロジェクトの初期設定と管理について説明します。
- **第 4 章「表示環境の使用」：**PlanAhead のユーザー インターフェイスについて説明します。
- **第 5 章「RTL および IP デザイン」：**RTL 環境とデザインへの IP のインスタンス化方法を説明します。
- **第 6 章「デザインの合成」：**合成機能について説明します。
- **第 7 章「ネットリストの解析および制約の定義」：**PlanAhead のデザイン解析と制約定義について説明します。
- **第 8 章「I/O ピン配置」：**ピンを割り当てるピン配置環境について説明します。
- **第 9 章「デザインのインプリメンテーション」：**インプリメンテーション機能について説明します。
- **第 10 章「インプリメンテーション結果の解析」：**PlanAhead でのタイミングおよび配置解析機能を説明します。
- **第 11 章「デザインのフロアプラン」：**PlanAhead でのさまざまなフロアプラン機能およびストラテジを説明します。
- **第 12 章「デザインのプログラムとデバッグ」：**ビットストリーム ファイルの生成、プログラム ツールの起動、PlanAhead に統合されている ChipScope® デバッグ ソフトウェアのデバッグ機能について説明します。
- **第 13 章「階層デザイン手法の使用」：**階層デザイン機能の使用方法を説明します。

- 第 14 章「Tcl およびバッチ スクリプト」: Tcl コマンドおよびスクリプト機能の使用方法を説明します。
- 第 15 章「Project Navigator からの PlanAhead の使用」: Project Navigator に統合されている PlanAhead フローを説明します。

このユーザー ガイドには、次の付録が含まれています。

- 付録 A「メニューおよびツールバー コマンド」: メニューコマンドおよびツールバー コマンドについて簡単に説明します。
- 付録 B「PlanAhead の入力ファイルおよび出力ファイル」: PlanAhead の入力ファイルと出力ファイルについて説明します。
- 付録 C「PlanAhead の用語」: PlanAhead ソフトウェアで使用される用語を説明します。
- 付録 D「XilinxNotify を使用したリリースのインストール」: PlanAhead のリリース ストラテジおよびソフトウェアのアップデート方法について説明します。
- 付録 E「パスワード入力なしの SSH の設定」: PlanAhead プロセスを複数のホストで実行するために必要な、パスワードが不要な SSH の設定方法を説明します。

## その他のリソース

このユーザー ガイドでは、次の資料が参照されています。

- 『合成/シミュレーション デザイン ガイド』(UG626)  
[http://japan.xilinx.com/support/documentation/sw\\_manuals/xilinx12\\_1/sim.pdf](http://japan.xilinx.com/support/documentation/sw_manuals/xilinx12_1/sim.pdf)
- 『制約ガイド』(UG612)  
[http://japan.xilinx.com/support/documentation/sw\\_manuals/xilinx12\\_1/cgd.pdf](http://japan.xilinx.com/support/documentation/sw_manuals/xilinx12_1/cgd.pdf)
- 『Spartan-6 FPGA PCB Design and Pin Planning Guide』(UG393)  
[http://japan.xilinx.com/support/documentation/spartan-6\\_user\\_guides.htm](http://japan.xilinx.com/support/documentation/spartan-6_user_guides.htm)
- 『階層デザイン手法ガイド』(UG748)
- 『フロアプラン手法ガイド』(UG633)

パーシャル リコンフィギュレーションに関する資料は、次のザイリンクス Web サイトから入手できます。

<http://japan.xilinx.com/tools/partial-reconfiguration>

- 『パーシャル リコンフィギュレーション ユーザー ガイド』(UG702) (リクエストに応じて提供)

詳細は、ザイリンクスの Web サイト (<http://japan.xilinx.com/planahead>) を参照してください。

追加資料は、次のザイリンクス Web サイトを参照してください。

<http://japan.xilinx.com/support/documentation/index.htm>

シリコン、ソフトウェア、IP に関する問題をアンサー データベースで検索したり、テクニカル サポートのウェブ ケースを開くには、次のザイリンクス Web サイトにアクセスしてください。

<http://japan.xilinx.com/support/mysupport.htm>

## ザイリンクスのトレーニング

- Essential Design with the PlanAhead Analysis & Design Tool : PlanAhead の機能の基礎を学ぶコースです。
- Advanced Design with the PlanAhead Analysis & Design Tool : PlanAhead のアドバンス機能を学ぶコースです。

## チュートリアル

次の PlanAhead チュートリアルが用意されています。ソフトウェアおよび次のザイリンクスの Web サイトより入手できます。

<http://japan.xilinx.com/tools/planahead.htm>

- ◆ 『クイック フロー概要』 (UG673)
- ◆ 『I/O ピン配置』 (UG674)
- ◆ 『RTL デザインと CORE Generator を使用した IP の生成』 (UG675)
- ◆ 『デザイン解析およびフロアプラン』 (UG676)
- ◆ 『ChipScope を使用したデバッグ』 (UG677)
- ◆ 『予測可能な結果に対する保存デザインの利用』 (UG747)
- ◆ 『パーシャル リコンフィギュレーション フローの概要』 (UG743)
- ◆ 『プロセッサ ペリフェラルのパーシャル リコンフィギュレーション』 (UG744)

## マニュアル

- 『ISE Design Suite : インストール、ライセンス、リリース ノート』 : インストール手順およびシステム要件を説明します。ザイリンクス Web サイトから入手できます。
- 『PlanAhead ソフトウェアの新機能』 (UG656) : このリリースでの新機能を説明します。ザイリンクス Web サイトから入手できます。
- 『フロアプラン手法ガイド』 (UG633) : パフォーマンス向上、結果の再利用性、設計時間の短縮のためのさまざまなフロアプラン ストラテジを説明します。ザイリンクス Web サイトから入手できます。
- 『階層デザイン手法ガイド』 (UG748) : ザイリンクスの階層パーティション機能について説明します。ザイリンクス Web サイトから入手できます。

## ビデオ デモ

- PlanAhead のビデオ デモで、PlanAhead ソフトウェアの特定の使用方法について学ぶことができます。次のザイリンクス Web サイトから入手できます。

[http://japan.xilinx.com/products/design\\_resources/design\\_tool/resources/index.htm](http://japan.xilinx.com/products/design_resources/design_tool/resources/index.htm)

## 表記規則

このマニュアルでは、次の表記規則を使用しています。各規則について、例を挙げて説明します。

### 書体

次の規則は、すべてのマニュアルで使用されています。

表記規則	使用箇所	例
Courier フォント	システムが表示するメッセージ、プロンプト、プログラム ファイルを表示します。	speed grade: - 100
<b>Courier</b> フォント (太字)	構文内で入力するコマンドを示します。	<b>ngdbuild</b> <i>design_name</i>
イタリック フォント	ユーザーが値を入力する必要のある構文内の変数に使用します。	<i>ngdbuild design_name</i>
影付き	項目がサポートされていないか、予約されていることを示します。	この機能はサポートされていません。
二重/一重かぎカッコ『』、「」	『』はマニュアル名を、「」はセクション名を示します。	詳細については、『開発システムリファレンス ガイド』の「PAR」を参照してください。
角カッコ [ ]	オプションの入力またはパラメータを示しますが、 <b>bus[7:0]</b> のようなバス仕様では必ず使用します。また、GUI 表記にも使用します。	<b>ngdbuild</b> [option_name] <i>design_name</i> [File] → [Open] をクリックします。
中カッコ { }	1 つ以上の項目を選択するためのリストを示します。	<b>lowpwr</b> = {on off}
山カッコ <>	ユーザーが値を入力する必要のある構文内の変数に使用します。	< <i>directory name</i> >
縦棒	選択するリストの項目を分離します。	<b>lowpwr</b> = {on off}
縦の省略記号 . . .	繰り返し項目が省略されていることを示します。	IOB #1: Name = QOUT' IOB #2: Name = CLKIN' . . .
横の省略記号 ...	繰り返し項目が省略されていることを示します。	<b>allow block</b> <i>block_name loc1 loc2 ... locn</i> ;
接頭辞/接尾辞	接頭辞 0x または接尾辞 h は 16 進数を示します。	アドレス 0x00112975 を読み出すと 45524943h が返されます。
	<b>_n</b> は信号がアクティブ Lowであることを示します。	<b>usr_teof_n</b> はアクティブ Low です。

## オンライン マニュアル

このマニュアルでは、次の規則が使用されています。

表記規則	使用箇所	例
青色の文字	マニュアル内の相互参照を示します。	詳細は、「 <a href="#">その他のリソース</a> 」を参照してください。 詳細は、第 1 章「 <a href="#">タイトル フォーマット</a> 」を参照してください。
<a href="#">青色の下線付き文字</a>	Web サイト (URL) へのハイパーリンクです。	最新のスピード ファイルは、 <a href="http://japan.xilinx.com">http://japan.xilinx.com</a> から入手 できます。



# 目次

---

## このユーザー ガイドについて

ユーザー ガイドの内容 .....	5
その他のリソース .....	6
ザイリンクスのトレーニング .....	6
チュートリアル .....	7
マニュアル .....	7
ビデオ デモ .....	7
表記規則 .....	8
書体 .....	8
オンライン マニュアル .....	9

## 目次

## 第 1 章：概要

PlanAhead ソフトウェアについて .....	25
PlanAhead の使用 .....	26
プロジェクトの作成と管理 .....	26
RTL および IP デザイン .....	26
合成とインプリメンテーション .....	26
デザイン解析および制約の定義 .....	27
ピン配置 .....	27
フロアプラン .....	27
デザインのプログラムとデバッグおよび ChipScope の統合 .....	27
階層デザイン、デザイン保持、パーシャル リコンフィギュレーション .....	27
Tcl コマンドおよびバッチ スクリプト .....	27
ISE Project Navigator 環境での PlanAhead の使用 .....	28
PlanAhead のメニューおよびツールバー コマンド .....	28
入力および出力ファイル .....	28
PlanAhead の用語 .....	28
ソフトウェアのアップデート .....	28
複数の Linux ホストの設定 .....	28

## 第 2 章：PlanAhead デザイン フローの理解

PlanAhead デザイン フロー .....	29
デバイスの解析と I/O ピン配置 .....	29
RTL からビットストリーム .....	29
合成ネットリストからビットストリーム .....	30
インプリメント済みデザイン結果の解析 .....	30
パーシャル リコンフィギュレーション .....	30
デザイン フロー .....	31
デザイン フロー タスク .....	31
プロジェクト ソースの設定 .....	31
IP のカスタマイズとインプリメンテーション .....	32
RTL 開発および解析 .....	32
ロジック合成 .....	32
I/O ピン配置 .....	33
ネットリストの解析および制約の定義 .....	33
インプリメンテーション .....	33
結果の解析およびフロアプラン .....	33
デバイスのプログラム .....	34
デザインの検証とデバッグ .....	34
ユーザー モデル .....	34

基本的なユーザー フロー .....	34
アドバンス機能 .....	34
Flow Navigator の理解 .....	35
RTL ベースのプロジェクトでの Flow Navigator .....	35
合成済みネットリスト ベースのプロジェクトでの Flow Navigator .....	36
Project Manager の理解 .....	36
デザインの操作 .....	36
RTL デザインを開く .....	37
ネットリスト デザインを開く .....	37
インプリメント済みデザインを開く .....	37
デザイン ビュー パナー .....	37
I/O Planner と Design Planner ビュー レイアウト .....	37
デザインの再読み込みが必要であることを示すパナー .....	38
複数のデザインの切り替え .....	38
PlanAhead の起動 .....	38
Linux .....	38
Windows .....	38
Getting Started ページの使用 .....	39
PlanAhead コマンド ライン オプション .....	40
PlanAhead スタートアップ Tcl スクリプト .....	41

### 第 3 章：プロジェクトの操作

PlanAhead のプロジェクト タイプ .....	43
RTL ソース ベースのプロジェクト .....	44
合成済みネットリスト ベースのプロジェクト .....	44
インプリメント済みデザイン結果ベースのプロジェクト .....	44
I/O ピン配置プロジェクト .....	44
Project Navigator で作成されたプロジェクト .....	44
新規プロジェクトの作成 .....	45
New Project ウィザードの使用 .....	45
プロジェクト名およびプロジェクト ディレクトリの入力 .....	45
デザイン ソース データ タイプの選択 .....	46
RTL ソースを使用したプロジェクトの作成 .....	47
合成済みネットリストを使用したプロジェクトの作成 .....	52
I/O ピン配置プロジェクトの作成 .....	56
ISE の配置およびタイミング結果を使用したプロジェクトの作成 .....	59
既存のプロジェクトを開く .....	62
複数のプロジェクトを開く .....	62
プロジェクトの保存 .....	63
プロジェクトを閉じる .....	63
プロジェクト ソースの管理 .....	63
[Sources] ビュー .....	63
ソース ファイルの作成 .....	63
ソース ファイルの追加 .....	65
リモート ソースの参照またはプロジェクト ディレクトリへのソースのコピー .....	66
ソース ファイル プロパティの表示 .....	66
ソース ファイルのアップデート .....	67
ソース ファイルのイネーブル/ディスエーブル .....	67
既存の IP のプロジェクトへの追加 .....	68
PlanAhead の XSP および EDK との使用 .....	68
制約の追加と管理 .....	68
制約の追加 .....	69
元の UCF ファイルの参照またはファイルのコピー .....	69
新規プロジェクト作成時の制約の追加 .....	69
[Add Constraints] コマンドの使用 .....	70
制約セットの使用 .....	70
制約セットの作成 .....	71



[Save Design As] コマンドの使用.....	71
[Add Constraints] コマンドの使用.....	71
アクティブ制約セットの定義.....	72
モジュール レベルの制約ファイルの使用.....	72
制約のエクスポート.....	73
プロジェクト設定.....	73
[Project Settings] ダイアログ ボックスの [General] ページ.....	74
[Project Settings] ダイアログ ボックスの [Synthesis] ページ.....	75
[Project Settings] ダイアログ ボックスの [Implementation] ページ.....	76
[Project Settings] ダイアログ ボックスの [IP Catalog] ページ.....	77
[Project Summary] ビュー.....	77
[Project Settings] セクション.....	78
[Project State] セクション.....	78
[Compilation Settings] セクション.....	78
[Resources] セクション.....	79
[Implemented Timing] セクション.....	79
プロジェクトのステータス.....	80
プロジェクト ステータス バー.....	80
Flow Navigator.....	81
デザインのアップデートが必要であることを示すバナー.....	82

## 第 4 章：表示環境の使用

表示環境の理解.....	83
表示環境の概要.....	84
主な表示環境コンポーネント.....	85
メイン表示エリア.....	86
メイン表示エリアの最大化.....	86
Flow Navigator の非表示.....	86
メッセージ エリアの非表示.....	86
メッセージ エリアの再表示.....	86
I/O Planner と Design Planner の切り替え.....	87
I/O Planner の使用.....	87
Design Planner の使用.....	88
Flow Navigator.....	89
RTL プロジェクトでの Flow Navigator の使用.....	89
合成済みネットリスト プロジェクトでの Flow Navigator の使用.....	90
Flow Navigator からのコマンドの実行.....	90
コマンド オプションの設定.....	90
合成の実行.....	90
インプリメンテーションの実行.....	91
ビットストリーム ファイルの生成.....	91
プログラムおよびデバッグ ツールの起動.....	91
Project Manager.....	92
RTL デザインを開く.....	93
ネットリスト デザインを開く.....	94
アクティブ ネットリストの設定.....	95
インプリメント済みデザインを開く.....	96
開いているデザインの管理.....	97
デザインを閉じる.....	97
デザインの再読み込み.....	97
メッセージ エリア.....	98
[Elaboration Messages] ビュー.....	98
[Compilation Log] ビュー.....	99
[Compilation Messages] ビュー.....	99
[Tcl Console] ビュー.....	100
警告およびエラーを示すカラー バー.....	101
Tcl コマンド ラインの使用.....	101

Tcl ヘルプの使用	101
[Design Runs] ビュー	102
PlanAhead ビューの使用	102
[Sources] ビュー	102
[Sources] ビューのコマンド	103
RTL エディタ	104
[Device] ビュー	104
[Device] ビュー コマンドの使用	106
デバイス リソースの表示	107
クロック領域の表示	108
[Device] ビューの印刷	109
複数の [Device] ビューの表示	109
[Package] ビュー	110
[Package] ビューの印刷	111
[Schematic] ビュー	111
[Schematic] ビューでのロジック階層の表示	112
選択したピンからのロジックの展開表示	113
選択したインスタンスまたはモジュールのロジックの展開または非展開	114
[Schematic] ビューのボタン	114
回路図での階層移動	115
[Schematic] ビューの更新	115
[Schematic] ビューでのオブジェクトの選択	115
[Schematic] ビューからのオブジェクトの削除	116
[Schematic] ビューの印刷	116
[Schematic] ビューのポップアップ メニュー コマンド	116
回路図デザイン情報の表示	116
[Schematic] ビューでのタイミング パス ロジックの表示	119
[Properties] ビュー	120
[Properties] ビューのコマンド	121
[Netlist] ビュー	122
ネットリスト ツリーの非展開	123
[Primitives] フォルダの使用	123
[Nets] フォルダの使用	124
[Netlist] ビューのアイコン	124
[Netlist] ビューでのロジックの選択	125
[Netlist] ビューのコマンド	125
[Hierarchy] ビュー	126
[I/O Ports] ビュー	127
[I/O Ports] ビューのコマンド	128
[Package Pins] ビュー	129
[Package Pins] ビューのコマンド	129
[Design Runs] ビュー	130
[Design Runs] ビューのポップアップ メニュー コマンド	131
ビューの操作	132
ビューを開く	132
ビューのナビゲート	132
ビュー パナーを使用したビューの操作	133
ワークスペースのビュー	134
ワークスペースのビューの理解	135
ワークスペースのビューを開く	135
ワークスペースの最大化	135
ワークスペースのビューのフロート表示	135
ワークスペースのビューの印刷	135
ワークスペースのビューを閉じる	136
ワークスペースの分割	136
[World] ビュー	137
ツリー表形式のビュー	138
表の展開/非展開	138

エントリのグループ化またはフラット リスト表示 .....	139
リスト ビューでの検索機能の使用 .....	139
列の並べ替え .....	140
列の整列 .....	140
ビュー特定のツールバー コマンド .....	140
情報バナー .....	141
文脈依存カーソルについて .....	141
オブジェクトの選択 .....	141
[Select] メニュー コマンド .....	142
複数のオブジェクトの選択 .....	142
[Select Area] コマンド .....	142
プリミティブの親モジュールの選択 .....	142
[Selection] ビュー .....	143
選択したオブジェクトすべての表示 .....	143
オブジェクトの選択規則 .....	144
PlanAhead の表示設定 .....	144
選択したオブジェクトのハイライト .....	145
選択したオブジェクトのマーク .....	145
表示環境の設定 .....	145
PlanAhead の表示オプションのカスタマイズ .....	145
全般的なウィンドウ表示オプションの設定 .....	146
[Device] ビューの表示オプションの設定 .....	147
[Package] ビューの表示オプションの設定 .....	148
[Device] ビューのバンドル ネット表示オプションの設定 .....	149
[Schematic] ビューでのスラックおよびファンアウトの表示オプション .....	149
ツールバー コマンドを使用した表示の調整 .....	149
カスタム表示設定の保存 .....	150
テーマの選択 .....	150
ビューの移動 .....	151
カスタム ビュー レイアウトの作成 .....	152
ビュー レイアウトの復元 .....	152
デフォルトのビュー レイアウトの復元 .....	152
[Undo]/[Redo] コマンドの使用 .....	152
PlanAhead の動作の設定 .....	153
選択規則オプションの設定 .....	153
ショートカット キーの設定 .....	153
PlanAhead の全般的なオプションの設定 .....	154
PlanAhead の一般的なウィンドウ動作の設定 .....	155

## 第 5 章：RTL および IP デザイン

概要 .....	157
デザイン ソース ファイルの管理 .....	157
RTL ソース ファイルの編集 .....	158
RTL エディタの使用 .....	158
RTL エディタのコマンド .....	159
言語テンプレートのインスタンシエート .....	160
[Find in Files] コマンドを使用したソース ファイルの検索 .....	161
CORE Generator を使用した IP のコンフィギュレーション .....	162
IP カタログの使用 .....	162
IP カタログのアップデート .....	163
IP カタログの設定 .....	163
IP のカスタマイズ .....	163
IP の表示 .....	164
IP のインスタンシエーション .....	165
IP の生成 .....	165
IP の変更 .....	166
RTL デザインのエラボレーションと解析 .....	166

RTL デザインのコンパイルの検証 .....	166
エラーメッセージの結果の表示 .....	167
RTL ソース ファイルの問題のハイライト表示 .....	167
エラーのみの表示 .....	167
RTL デザイン環境の使用 .....	167
リソース予測の表示 .....	168
[Instance Properties] ビューでのリソース統計の解析 .....	169
RTL ロジック階層の解析 .....	170
RTL デザイン回路図の解析 .....	171
RTL DRC の実行 .....	172
DRC の選択 .....	172
DRC 違反の解析 .....	173
RTL ルール：消費電力およびパフォーマンス .....	174
消費電力予測 .....	176

## 第 6 章：デザインの合成

PlanAhead での合成およびインプリメンテーションについて .....	179
合成の実行 .....	180
合成に関するヒント .....	180
合成オプションの設定 .....	180
XST オプションを使用した階層ネットリストの作成 .....	181
合成の起動 .....	182
合成実行の起動 .....	182
合成実行の設定 .....	182
実行ステータスの監視 .....	184
プロジェクト ステータス表示の使用 .....	184
実行のキャンセル .....	185
コンパイル ログの表示 .....	185
コマンド実行中の出力の一時停止 .....	185
合成終了後の次の手順の選択 .....	186
実行結果の解析 .....	187
レポート ファイルの表示 .....	187
[Compilation Messages] ビュー .....	188
コンパイル メッセージのフィルタ処理とグループ化 .....	189
RTL ソースでのコンパイル問題のハイライト .....	189
ネットリスト デザインを開く .....	190
複数の合成実行の起動 .....	190
複数の合成実行の作成 .....	191
複数の合成実行の管理 .....	192
リモート Linux ホストでの合成実行の起動 .....	192

## 第 7 章：ネットリストの解析および制約の定義

概要 .....	193
[Netlist Design] の使用 .....	194
Design Planner の使用 .....	194
リソース統計の表示とレポート .....	195
[Project Summary] ビューのリソース概算 .....	195
階層別のリソース概算 .....	195
ロジック インスタンスのリソース統計の表示 .....	196
Pblock のリソース統計の表示 .....	198
[Statistics] タブの使用 .....	198
リソース統計レポートのエクスポート .....	200
ロジックのエクスポート .....	201
ロジック階層の表示 .....	201
ロジック回路図の表示 .....	201
階層接続の解析 .....	202

[Find] コマンドを使用したオブジェクトの検索 .....	203
[Find Results] ビューの使用 .....	205
ChipScope デバッグ コアの挿入 .....	205
タイミング制約の定義 .....	206
テキスト エディタでの制約の編集 .....	206
ザイリンクス提供の UCF テンプレートの使用 .....	207
[Timing Constraints] ビューの使用 .....	207
タイミング制約の値の変更 .....	209
新しいタイミング制約の追加 .....	210
タイミング制約の削除 .....	210
タイミング解析の実行 .....	211
PlanAhead のタイミング解析 .....	211
ネットリスト デザインのタイミング解析オプション .....	211
インプリメント済みデザインのタイミング解析オプション .....	211
タイミング解析結果のレポート .....	212
[Targets] タブのオプション .....	213
タイミング結果の解析 .....	221
タイミング レポートの並び替え .....	222
パス リストのフラット化 .....	223
タイミング レポートからのパスの削除 .....	223
パスの詳細の表示 .....	223
タイミング パス レポートのワークスペースでの表示 .....	224
スラック ヒストグラムの使用 .....	225
スラック ヒストグラムのオプション設定 .....	227
タイミング ヒストグラム結果の解析 .....	229
解析するパスの選択 .....	230
ヒストグラム オプションの変更 .....	230
物理制約の定義 .....	231
[Physical Constraints] ビューの使用 .....	231
ROOT デザイン Pblock の使用 .....	232
[Physical Constraints] ビューのアイコン .....	232
相対配置マクロ (RPM) での作業 .....	233
デザイン ルール チェック (DRC) の実行 .....	234
I/O ポートおよびクロック ロジック DRC の実行 .....	234
ネットリストおよび制約 DRC の実行 .....	234
DRC エラーの表示 .....	236
DRC ルールについて .....	237

## 第 8 章：I/O ピン配置

I/O 配置の概要 .....	241
I/O ピン配置の手法 .....	241
I/O 配置ストラテジ .....	242
ピン配置プロジェクト .....	242
RTL デザイン .....	242
合成済みネットリスト デザイン .....	242
インプリメント済みデザイン ñ I/O の最終検証 .....	242
I/O ポート配置機能 .....	242
I/O Planner の使用 .....	243
[Package] ビューと [Device] ビューの同時表示 .....	244
分割したビューを 1 つのビューで表示する方法 .....	245
デバイス リソースの表示 .....	245
パッケージ ピンのプロパティの表示 .....	246
I/O バンク リソースの表示 .....	246
クロック領域リソースの表示 .....	248
クロック領域のリソース統計の表示 .....	248
多機能ピンの表示 .....	249
ターゲット パーツの変更 .....	250

デバイス コンフィギュレーション モードの選択	251
I/O ポートの定義と設定	252
I/O ポートのインポート	252
CSV ファイルのインポート	252
UCF ファイルのインポート	254
I/O ポートの作成	254
I/O ポートの設定	255
I/O ポート方向の設定	255
差動ペアの定義	256
DCI_CASCADE 制約の設定	256
DCI カスケード制約の変更と削除	258
I/O ピンおよび I/O バンクの使用禁止	259
I/O ポート インターフェイスの作成	259
インタラクティブなデザイン ルール チェックの使用	261
I/O ポートの配置	261
I/O ポートの I/O バンクへの配置	262
I/O ポートの定義された領域への配置	263
I/O ポートの順次配置	264
I/O ポートの自動配置	265
ギガビット トランシーバ I/O ポートの配置	266
I/O 関連のクロック ロジックの配置	266
I/O とクロック ロジックの配置の検証	268
I/O ポートおよびクロック ロジック関連の DRC の実行	268
DRC エラーの表示	269
重要度に応じた違反リストのフィルタ表示	270
I/O ポートおよびクロック ロジック DRC の詳細	270
同時スイッチ ノイズ (SSN) 解析の実行	274
ノイズ解析の実行 (Virtex-6)	274
SSN 結果の表示	274
SSN 問題の解決	276
I/O バンク プロパティの表示	276
I/O ポート スイッチ位相グループの定義	276
WASSO 解析の実行	277
WASSO 解析の実行 (Spartan-3、Virtex-4、Virtex-5)	278
WASSO 解析結果の確認	278
I/O 配置制約の削除	280
I/O ピンとパッケージ データのエクスポート	280
パッケージ ピンの情報のエクスポート	280
I/O ポート リストのエクスポート	280

## 第 9 章：デザインのインプリメンテーション

概要	281
インプリメンテーションの実行	282
インプリメンテーション オプションの設定	282
インプリメンテーションの起動	283
インプリメンテーション実行の開始	283
インプリメンテーション run の設定	283
run のステータス確認	285
プロジェクト ステータス表示の使用	286
インプリメンテーションのキャンセル	286
コンパイル ログの表示	286
実行中コマンドの一時停止	286
インプリメンテーション終了後の次のステップの指定	286
インプリメンテーション結果の解析	288
レポート ファイルの表示	288
[Compilation Messages] ビュー	289
[Compilation Messages] ビューのフィルタとグループ分け	290

インプリメント済みデザインを開く .....	290
複数のインプリメンテーション run の開始 .....	292
複数のインプリメンテーション run の作成 .....	292
複数 run の管理 .....	294
[Design Runs] ビューの使用 .....	294
アクティブ run の設定 .....	295
run プロパティの表示と変更 .....	295
run の一般プロパティの表示 .....	295
run のストラテジ オプションの表示 .....	296
ストラテジの ISE コマンド オプション セットの上書き .....	296
run のログの表示 .....	298
レポート ファイルの表示 .....	298
選択した run の起動 .....	299
run のリセット .....	300
run の削除 .....	301
合成およびインプリメンテーション ストラテジの作成 .....	301
共通グループ ストラテジの作成 .....	304
リモート Linux ホストでの run の起動 .....	305
制限 .....	305
リモート ホストの設定 (Linux のみ) .....	305
PlanAhead と ISE のインターフェイス .....	307
制約のエクスポート .....	307
ネットリストのエクスポート .....	307
ISE インプリメンテーション用の Pblock のエクスポート .....	308
PlanAhead 外からの ISE 結果のインポート .....	310

## 第 10 章：インプリメンテーション結果の解析

インプリメント済みデザインを開く .....	311
複数のインプリメント済みデザインを開く .....	314
PlanAhead 外からの ISE 結果のインポート .....	314
New Project ウィザードを使用した ISE 結果プロジェクトの作成 .....	314
既存プロジェクトへの ISE TRCE タイミング結果のインポート .....	315
配置およびタイミング結果の解析 .....	317
ザイリンクス TRCE の結果の表示 .....	317
[Timing Results] ビューの使用 .....	317
[Path Properties] ビューの使用 .....	317
[Device] ビューでのタイミング パスの表示 .....	318
[Schematic] ビューでのタイミング パスの表示 .....	319
ロジック接続の表示 .....	320
[Show Connectivity] コマンドの使用 .....	320
[Show Connectivity] を実行したロジック接続の表示 .....	321
ロジック ファンアウトの展開と選択 .....	321
[Schematic] ビューでのロジックの展開表示 .....	322
[Find] コマンドを使用したオブジェクトの検索 .....	322
ロジック オブジェクトのハイライト .....	324
選択したオブジェクトのハイライト .....	324
[Select Primitives] および [Highlight Primitives] コマンドの使用 .....	324
オブジェクトのハイライト解除 .....	325
選択したオブジェクトのマーク .....	326
オブジェクトのマーク .....	326
マークの削除 .....	326
今後インプリメンテーション用の配置ロック .....	327
[Fix Instances] コマンドの使用 .....	327
特定タイプのロジックの固定 .....	327
ロジック モジュールの固定 .....	327
デザイン メトリックの表示 .....	327

[Metrics] ビューの使用 .....	328
[Device] ビューでのメトリック マップの表示 .....	329
メトリック表示の解除 .....	329
[Metrics Results] ビューの使用 .....	329
メトリック範囲の設定 .....	330

## 第 11 章：デザインのフロアプラン

フロアプラン ストラテジの概要 .....	331
Pblock の概要 .....	331
Pblock の作成 .....	331
[Draw Pblock] コマンドの使用 .....	332
[New Pblock] コマンドの使用 .....	333
[Create Pblocks] コマンドを使用した複数の Pblock の作成 .....	334
ネスト化された Pblock の作成 .....	336
クロック領域 Pblock の作成 .....	336
Pblock の図 .....	338
Pblock プロパティの表示 .....	341
[General] タブ .....	341
[Statistics] タブ .....	341
[Instances] タブ .....	343
[Rectangles] タブ .....	343
[Attributes] タブ .....	343
Pblock の設定 .....	344
Pblock ロジック タイプ範囲の設定 .....	344
Pblock へのロジックの割り当て .....	345
Pblock のロジック割り当て解除 .....	346
Pblock の移動とサイズ変更 .....	346
Pblock の移動 .....	346
Pblock のサイズ変更 .....	347
[Set Pblock Size] コマンドの使用 .....	347
リソース使用率の統計を使用した Pblock サイズの決定 .....	348
接続に基づいた Pblock の配置 .....	349
バンドル ネット プロパティの表示 .....	350
Adjusting Bundle Net Defaults .....	351
複数の長方形がある Pblock の使用 .....	351
複数の長方形を含む Pblock の作成 .....	351
複数の長方形がある Pblock の変更 .....	352
Pblock 長方形の削除 .....	353
Pblock の属性の設定 .....	353
カスタム属性の作成 .....	354
Pblock の名前の変更 .....	355
Pblock の削除 .....	355
Pblock 自動配置プログラムの実行 .....	355
配置 LOC 制約 .....	357
固定された配置制約および固定されていない配置制約について .....	357
サイト制約および BEL 制約について .....	357
サイト ロケーション配置制約 (LOC) の割り当て .....	357
BEL 配置制約 (BEL) の割り当て .....	358
配置制約の表示/非表示 .....	359
配置制約の移動 .....	360
選択した配置制約の削除 .....	360
選択した配置制約の削除 .....	360
インスタンスの配置 .....	361
I/O ポートの配置 .....	364
Pblock と割り当てられた配置制約の移動 .....	366
ISE インプリメンテーション中の配置のロック .....	366
配置禁止制約の使用 .....	367



## 第 12 章：デザインのプログラムとデバッグ

ビットストリーム ファイルの生成 .....	369
インプリメントされたデザインでの BitGen の実行 .....	369
ChipScope を使用したデザインのデバッグ .....	371
PlanAhead と ChipScope の統合の概要 .....	371
コア挿入フローを使用する場合の要件および制限 .....	371
コア挿入フローの使用 .....	372
デバッグ コア挿入モードの決定 .....	373
デバッグのためのネットの選択 .....	373
割り当てられていないネットのリスト .....	373
ChipScope ウィザードを使用したデバッグ コアの挿入 .....	374
ChipScope の CDC ファイルのインポート .....	375
デバッグ ネットの選択または確認 .....	375
デバッグするネットおよびクロックドメインの指定 .....	375
ILA コアの挿入 .....	376
[ChipScope] ビューを使用したデバッグ コアの追加とカスタマイズ .....	378
デバッグ コアの作成および削除 .....	378
デバッグ コア ポートの追加、削除、およびカスタマイズ .....	379
デバッグ コアへのネットの接続および接続解除 .....	380
デバッグ コアおよびポート パラメータのカスタマイズ .....	382
デバッグ コアのインプリメンテーション .....	383
ChipScope Analyzer のネット接続の CDC ファイルの使用 .....	384
デバッグ コアを含むデザインのインプリメンテーション .....	384
ChipScope Pro Analyzer の起動 .....	384
FPGA Editor の起動 .....	384
iMPACT の起動 .....	384

## 第 13 章：階層デザイン手法の使用

PlanAhead と ISE の機能 .....	385
パーティションの使用 .....	385
デザイン保持 .....	386
パーシャル リコンフィギュレーション .....	386
階層デザインのマニュアル .....	386
デザイン保持のための PlanAhead の使用 .....	386
パーティションの設定 .....	387
パーティション プロパティの表示 .....	387
パーティションの run 設定 .....	388
パーティションのプロモート .....	390
[Promoted Partitions] ビューの使用 .....	391
プロモートされたパーティションの削除 .....	391
パーティションのインポート .....	391
ネットリスト ソースのアップデート .....	391
ロジック アップデートに基づいたパーティション アクションの設定 .....	391

## 第 14 章：Tcl およびバッチ スクリプト

PlanAhead の Tcl 機能の概要 .....	393
ジャーナル ファイルの Tcl .....	394
Tcl ヘルプ .....	394
[Tcl Console] タブ .....	394
PlanAhead の起動 .....	395
バッチ モード .....	395
Tcl シェル モード .....	395
一般的な Tcl 構文のガイドライン .....	395
Tcl スクリプトの source コマンド .....	395
一般的な構文構造 .....	395
構文例 .....	396

不明コマンド	396
リターン コード	396
Tcl スクリプトの実行	397
ファースト クラスの Tcl オブジェクトとその関係	397
オブジェクト タイプと定義	397
セル	397
ピン	397
ポート	397
ネット	397
クロック	397
オブジェクトのクエリ	398
オブジェクト プロパティ	398
プロパティに基づいたフィルタ	399
オブジェクトのリスト (コレクション)	399
オブジェクトの関係	400
エラー、警告、情報メッセージ	401
Tcl コマンド	401
プロジェクトの作成および管理	401
フロー制御	402
オブジェクト アクセス	402
レポート	403
GUI 制御	404
Tcl リファレンス	404
Tcl Developer Xchange	404
SDC について	404
使用可能な Tcl マニュアル	404

## 第 15 章：Project Navigator からの PlanAhead の使用

統合の概要	405
Project Navigator 内の PlanAhead のプロセス	405
ロジックおよび制約の受け渡し	406
I/O ピン配置 (合成前)	407
I/O ピン配置 (合成後)	407
エリア/I/O/ロジックのフロアプラン (合成後)	408
タイミング解析/デザインのフロアプラン (インプリメンテーション後)	408

## 付録 A：メニューおよびツールバー コマンド

メイン メニュー コマンド	411
[File] メニュー	411
[Edit] メニュー	412
[View] メニュー	412
[Flow] メニュー コマンド	413
[Tools] メニュー	414
[Window] メニュー	415
[Select] メニュー	416
[Layout] メニュー	417
[Help] メニュー	418
ツールバー コマンド	418
共通のポップアップ メニュー コマンド	421
共通のウィンドウ ツールバー コマンド	423

## 付録 B：PlanAhead の入力ファイルおよび出力ファイル

PlanAhead への入力ファイル	425
RTL ソース ファイル (Verilog/VHDL、その他のデザイン テキスト ファイル)	425
I/O ポート リスト (CSV)	426
最上位ネットリスト (EDIF、NGC)	426

モジュールレベルのネットリスト (EDIF) .....	426
ザイリンクス コア (NGC/NGO) .....	426
制約ファイル (UCF / NCF / XNCF) .....	427
ザイリンクス ISE 配置結果 (NCD / XDL) .....	427
ザイリンクス TRCE タイミング結果 (TWX/TWR) .....	427
レポートの出力 .....	427
I/O ピン配置 (CSV) .....	428
I/O ピン配置 (RTL : Verilog または VHDL) .....	428
ログ ファイル (planAhead.log) .....	428
ジャーナル ファイル (planAhead.jou) .....	428
エラー ログ ファイル (planAhead_pidxxxx.debug および hs_err_pidxxxx.log) .....	428
DRC 結果 (results_x_drc.txt) .....	429
タイミング解析結果 (Excel ファイル) .....	429
ネットリスト モジュール、Pblock、およびクロック領域統計レポート .....	429
SSN 解析レポート .....	429
WASSO 解析レポート .....	429
デフォルト環境での出力ファイル .....	430
ウィンドウ表示オプション ファイル (planAhead.ini と <theme_names>.patheme) .....	430
ウィンドウ レイアウト ファイル (<layoutname>.layout) .....	431
ショートカット スキーマ (default.xml) .....	431
ストラテジ ファイル (<strategyname>.psg) .....	431
プロジェクト データの出力 .....	431
プロジェクト ディレクトリ (<projectname>) .....	432
プロジェクト ファイル (<projectname>.ppr) .....	432
プロパティ データ ディレクトリ (<projectname>.data) .....	432
プロジェクト データ: ネットリスト サブディレクトリ (netlist) .....	432
プロジェクト データ: 制約セット サブディレクトリおよびファイル (<constraint_set_name>) .....	432
プロパティ RTL ディレクトリ (<projectname>.srcs) .....	433
ISE インプリメンテーションの出力ファイル .....	433
実行ディレクトリ (<projectname>.runs) .....	433
EDIF ネットリスト (.edf) .....	433
[Implement] および [Launch Runs] コマンド .....	433
[Export Netlist] コマンド .....	434
[Export Pblocks] コマンド .....	434
[Export IP] コマンド .....	434
ChipScope コアのネットリスト (.ngc) .....	434
制約ファイル (.ucf) .....	435
[Export Constraints] コマンド .....	435
[Export Pblocks] コマンド .....	435
[Export IP] コマンド .....	435
ISE 起動スクリプト (jobx.bat/sh、runme.bat/sh および <ISE_command>.rst) .....	436

## 付録 C : PlanAhead の用語

## 付録 D : XilinxNotify を使用したリリースのインストール

PlanAhead のリリース ストラテジ .....	441
XilinxNotify の実行 .....	441
アップデートの自動検出 .....	441

## 付録 E : パスワード入力なしの SSH の設定

SSH の設定 .....	443
---------------	-----



## 概要

---

この章では、PlanAhead™ ソフトウェアの概要を説明します。次のセクションが含まれています。

- [「PlanAhead ソフトウェアについて」](#)
- [「PlanAhead の使用」](#)

### PlanAhead ソフトウェアについて

PlanAhead は、FPGA デバイスの設計プロセスおよびインプリメンテーション プロセス用のデザイン解析ツールです。ザイリンクス ISE® Design Suite ソフトウェアに含まれる合成ツール、インプリメンテーション ツール、CORE Generator™ ツール、ChipScope™ デバッグ ツール、iMPACT™ デバイス プログラム ツール、FPGA Editor ツールとスムーズに連動するよう統合されています。

PlanAhead を使用すると、デザインの RTL ソース、合成済みネットリスト、インプリメンテーション結果を解析することにより、回路のパフォーマンスを向上できます。異なるインプリメンテーション オプションを試したり、タイミング制約を調整したり、フロアプラン手法を使用して物理制約を適用したりすることができます。リソース数、インターコネクト遅延、消費電力、配線接続を初期段階で予測することで、適切なロジック設計、デバイスの選択、フロアプランが容易になります。

PlanAhead ソフトウェアには階層データ モデルが含まれており、「デザイン保持」と呼ばれるインクリメンタル デザイン機能を使用できます。デザインを分割して変更されていないモジュールをそのまま保持できるので一貫した結果が得られ、場合によってはランタイムが短縮されます。また、追加ライセンスを適用することにより、パーシャル リコンフィギュレーション デザイン アプリケーションも使用できます。これらのアドバンス デザイン手法の概要は、[第 13 章「階層デザイン手法の使用」](#)を参照してください。

PlanAhead は、スタンドアロン ソフトウェア ツールとして、または ISE ソフトウェアから起動できます。スタンドアロン ツールとして起動すると PlanAhead のすべての機能を使用できますが、Project Navigator から起動する場合は、特定の機能のみが使用可能です。Project Navigator から起動した場合を「ISE 統合モード」と呼びます。Project Navigator との統合についての詳細は、[第 15 章「Project Navigator からの PlanAhead の使用」](#)を参照してください。

## PlanAhead の使用

PlanAhead ソフトウェアは、開始点の異なる FPGA デザインに使用できます。PlanAhead には、次の機能があります。

- レジスタトランスファレベル (RTL) の開発からビットストリームの生成までのデザインデータフローを、ボタンをクリックするだけで実行できます。
- エラボレートされた RTL ネットリストを使用して、RTL の設計および解析を実行します。
- 統合された CORE Generator ツールを使用して、IP をカスタマイズおよびインプリメントします。
- 複数の合成およびインプリメンテーションを設定し、実行します。
- I/O ピンを配置します。
- 制約を管理し、フロアプランを実行します。
- リソース使用量、タイミング、消費電力を予測し、デザインルールチェック (DRC) を実行します。
- 統合された ChipScope デバッグ ツールを使用して、デバッグ コアを挿入およびインプリメンテーションします。
- インプリメンテーション結果を解析します。
- プログラムおよびデザイン検証ツールを起動します。

## プロジェクトの作成と管理

PlanAhead には、プロジェクトの作成および管理に関するさまざまなオプションがあります。また、1 つまたは複数の UCF ファイルを含む制約セットを複数定義することにより、デザインに制約をさまざまな組み合わせで適用して実行できます。詳細は、[第 3 章「プロジェクトの操作」](#)を参照してください。

## RTL および IP デザイン

PlanAhead の RTL デザイン環境では、RTL デザイン ファイルを作成および管理できます。統合された CORE Generator を使用して、IP をカスタマイズおよびインプリメントできます。基本的なソース ファイル管理機能に加え、RTL ロジックの確認、RTL 回路図表示、RTL DRC、RTL ベースのリソースの予測、消費電力の予測を実行できます。詳細は、[第 5 章「RTL および IP デザイン」](#)を参照してください。

## 合成とインプリメンテーション

PlanAhead ソフトウェアでは、さまざまなソフトウェア コマンド オプション、タイミング制約、物理制約を設定して、複数の合成およびインプリメンテーションを実行できます。複数の合成およびインプリメンテーションの実行は、ザイリンクス ISE 合成ツールおよびインプリメンテーション ツールを使用して、順次に起動するか、マルチ プロセッサ マシンでは同時に起動します。

[第 6 章「デザインの合成」](#)に PlanAhead から合成を実行する方法、[第 9 章「デザインのインプリメンテーション」](#)に PlanAhead からインプリメンテーションを実行する方法を示します。

## デザイン解析および制約の定義

PlanAhead ソフトウェアには、デザイン プロセスの各段階でデザインを解析する環境があります。初期段階でリソース、タイミング、消費電力を予測し、DRC を実行することにより、さまざまなデバイス、制約、合成およびインプリメンテーション オプションを使用してデザインを実行し、最適な結果を達成できます。

これらの機能は、合成済みネットリスト デザインまたはインプリメント済みデザインを解析することにより、インプリメンテーションの前後で使用できます。

詳細は、[第 7 章「ネットリストの解析および制約の定義」](#)および[第 10 章「インプリメンテーション結果の解析」](#)を参照してください。

## ピン配置

PinAhead ソフトウェアの I/O 配置環境では、デザインおよびデバイスの I/O 要件を解析し、PCB デザインと FPGA デザイン両方の要件を満たす I/O ピン配置を定義できます。I/O ピン配置の詳細は、[第 8 章「I/O ピン配置」](#)を参照してください。

## フロアプラン

PlanAhead ソフトウェアではフロアプランがサポートされており、クリティカルなロジックを制約して、遅延が小さくなるようインターコネクトが短くしたり、予測されるインプリメンテーション結果が得られるようにできます。デザインをフロアプランするには、物理ブロック (Pblock) ロケーションを作成してロジック配置を制約するか、または個々のロジック オブジェクトを特定デバイスサイトにロックします。PlanAhead のフロアプラン機能の詳細は、[第 11 章「デザインのフロアプラン」](#)およびザイリンクス Web サイトから[『フロアプラン手法ガイド』](#) (UG633) を参照してください。

## デザインのプログラムとデバッグおよび ChipScope の統合

PlanAhead にはザイリンクス ChipScope デバッグ ツールが統合されており、デザインにデバッグ コアを追加できます。インプリメンテーションが終了すると、PlanAhead から直接 ISE ツールにアクセスしてビットストリーム ファイルを作成し、iMPACT、FPGA Editor、ChipScope Analyzer ソフトウェア ツールを起動できます。詳細は、[第 12 章「デザインのプログラムとデバッグ」](#)を参照してください。

## 階層デザイン、デザイン保持、パーシャル リコンフィギュレーション

PlanAhead ソフトウェアには、デザイン保持およびパーシャル リコンフィギュレーションをサポートするための階層機能が含まれています。詳細は、[第 13 章「階層デザイン手法の使用」](#)を参照してください。階層デザイン手法については、[『階層デザイン手法ガイド』](#) (UG748) にも詳細に説明されています。

## Tcl コマンドおよびバッチ スクリプト

PlanAhead の Tcl コマンドおよびバッチ オプションについては、[第 14 章「Tcl およびバッチ スクリプト」](#)を参照してください。

## ISE Project Navigator 環境での PlanAhead の使用

PlanAhead ソフトウェアはザイリックス ISE Design Suite の Project Navigator に統合されており、デザイン フローのさまざまな段階でデザイン結果を向上するために使用できます。

Project Navigator では、次の 4 つのデザイン プロセスで PlanAhead が起動されます。

- I/O ピン配置 (合成前)
- I/O ピン配置 (合成後)
- エリア/I/O/ロジックのフロアプラン (合成後)
- タイミング解析/デザインのフロアプラン (インプリメンテーション後)

ISE 統合モードでの PlanAhead の詳細は、[第 15 章「Project Navigator からの PlanAhead の使用」](#)を参照してください。

## PlanAhead のメニューおよびツールバー コマンド

PlanAhead のメニューおよびツールバーは、このガイド全体にわたって説明されています。また、すべてのメニューおよびツールバー コマンドが[付録 A「メニューおよびツールバー コマンド」](#)にリストされています。

## 入力および出力ファイル

PlanAhead ソフトウェアでは、さまざまなタイプおよびフォーマットの入力ファイル、出力ファイルを使用できます。入力ファイルと出力ファイルの詳細は、[付録 B「PlanAhead の入力ファイルおよび出力ファイル」](#)を参照してください。

## PlanAhead の用語

PlanAhead ソフトウェア特定の用語は、[付録 C「PlanAhead の用語」](#)にリストされています。

## ソフトウェアのアップデート

ザイリックスでは、XilinxNotify ユーティリティを使用して入手可能なアップデートを通知します。詳細は、[付録 D「XilinxNotify を使用したリリースのインストール」](#)を参照してください。

## 複数の Linux ホストの設定

PlanAhead ソフトウェアを複数のホストで実行するには、Linux OS で提供されているセキュアシェル (SSH) を使用します。PlanAhead ソフトウェアで複数のホストを設定する前に、リモート マシンにログインするたびにパスワードを入力する必要がないように SSH を設定できます。パスワードを毎回入力する必要がないように SSH を設定するコマンドは、[付録 E「パスワード入力なしの SSH の設定」](#)を参照してください。



# PlanAhead デザイン フローの理解

---

本章は、次のセクションで構成されています。

- 「PlanAhead デザイン フロー」
- 「デザイン フロー」
- 「ユーザー モデル」
- 「Flow Navigator の理解」
- 「デザインの操作」
- 「PlanAhead の起動」

## PlanAhead デザイン フロー

PlanAhead™ ソフトウェアは、デザイン フローのさまざまな段階で使用できます。

### デバイスの解析と I/O ピン配置

PlanAhead には、デバイス リソースを解析し、その関係を図示する I/O 配置環境があります。クロック供給および I/O 配置を正しく行うことにより、パフォーマンスおよび配線性が向上し、プリント回路基板 (PCB) の配線、シグナル インテグリティ、およびデバイス システムのパフォーマンスも大幅に向上します。

- 空のプロジェクトを作成してデバイスを調べ、初期 I/O ピン配置を実行できます。
- I/O ポートは随時追加するか、CSV、UCF、または RTL フォーマットのファイルをインポートできます。

I/O 配置は、デザイン プロセスの各段階で実行できます。デザインを合成すると、クロックとロジックを解析および配置できるようになるので、合成済みネットリストに対してはより包括的なデザイン ルール チェック (DRC) を実行できます。詳細は、[第 8 章「I/O ピン配置」](#)を参照してください。

### RTL からビットストリーム

PlanAhead ソフトウェアでは、RTL 開発から IP のカスタマイズ、合成、インプリメンテーション、デバイスのプログラムまで、デザイン フロー プロセスすべてを管理できます。Verilog および VHDL RTL ソース、IP コア、制約をプロジェクトに追加できます。デザイン解析および制約の定義は、エラボレートされた RTL デザイン、合成済みネットリスト デザイン、インプリメント済みデザインなど、デザイン フローの各段階で実行できます。デザイン要件が満たされるよう、合成オプション、インプリメンテーション オプション、制約を組み合わせ、さまざまなデザインを試すことも可能です。詳細は、[第 5 章「RTL および IP デザイン」](#)を参照してください。

## 合成ネットリストからビットストリーム

PlanAhead では、バックエンド インプリメンテーション デザイン フロー プロセスからデバイスのプログラムまでを管理できます。合成済みネットリスト、IP コア、制約をプロジェクトに追加できます。デザイン解析および制約の定義は、合成済みネットリスト デザイン、インプリメント済みデザインなど、デザイン フローの各段階で実行できます。デザイン要件が満たされるよう、インプリメンテーション オプション、制約を組み合わせ、さまざまなデザインを試すことも可能です。

## インプリメント済みデザイン結果の解析

PlanAhead では、PlanAhead の環境内または環境外で生成されたインプリメンテーション結果を解析できます。配置およびタイミング結果を解析すると、RTL の変更、タイミング制約の調整、フロアプランが必要かどうかを判断するのに役立ちます。

## パーシャル リコンフィギュレーション

PlanAhead には、パーシャル リコンフィギュレーション デザイン プロジェクトを設定し、管理する環境が含まれています。このタイプのデザインには、リコンフィギュレーションするモジュールを管理するため、特別なソフトウェア機能およびプロジェクト構造が必要です。このソフトウェア機能を使用するには、別途ライセンスが必要です。パーシャル リコンフィギュレーションの詳細は、<http://japan.xilinx.com/tools/partial-reconfiguration> を参照してください。

## デザイン フロー

PlanAhead ソフトウェアの一般的なデザイン フロー、入力および出力のフォーマットを [31 ページ](#) の図 2-1 に示します。

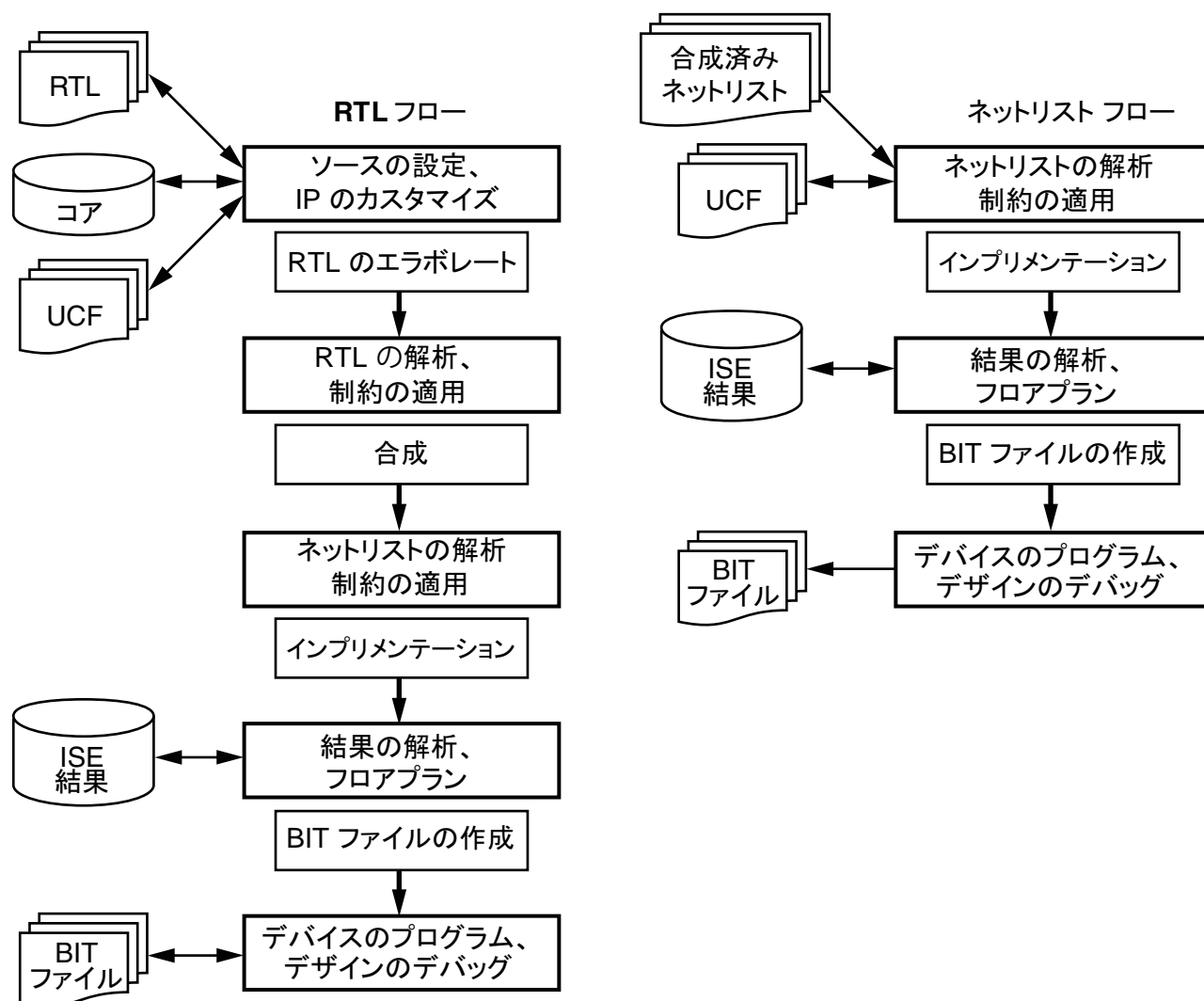


図 2-1: PlanAhead デザイン フロー

## デザイン フロー タスク

次のセクションで、PlanAhead ソフトウェアのデザイン フロー タスクを順に説明します。

### プロジェクト ソースの設定

PlanAhead には、ソース ファイルを作成および管理する次の機能があります。

- リモートの書き込み禁止ファイルを参照、またはローカルプロジェクトフォルダにインポート
- プロジェクト内でソース ファイルのディスエーブル/イネーブルを切り替え
- さまざまな制約オプションおよびデバイスを指定した複数の制約セットを作成

PlanAhead プロジェクト環境では、1 つのプロジェクトで複数のデザイン制約を作成し、保存できるので、複数の RTL ソース バージョン、制約セット、ターゲット デバイス、合成済みネットリスト、さまざまなインプリメンテーション ストラテジを使用したインプリメンテーション実行結果を作成できます。また、ソース ファイルを変更したり、デザイン ツールを起動すると、デザインのステータスが示されます。

**メモ：**デザインの複数のバージョンを作成するアドバンス機能を使用する場合、ユーザーがデザイン データおよびバージョンを管理する必要があります。

## IP のカスタマイズとインプリメンテーション

統合されている CORE Generator™ ツールを使用して、IP を参照、カスタマイズ、インスタンスエント、およびインプリメントできます。

## RTL 開発および解析

PlanAhead には、ソース ファイルを作成および編集する RTL エディタが含まれています。ザイリンクス テンプレート ライブラリから、サンプル ロジック構文を直接コピーできます。[Find in Files] 機能を使用すると、これらのライブラリを検索条件を入力して検索できます。

その後、RTL デザインをエラボレートし、RTL 構造、構文、ロジック定義をチェックします。

RTL Planner または I/O Planner を起動すると、RTL デザインがエラボレートされ、RTL ネットリストが自動的に読み込まれます。次の解析およびレポート機能があります。

- RTL のコンパイル検証および構文チェック
- ネットリストおよび回路図の確認
- デザイン ルール チェック (DRC)
- リソース使用率および消費電力予測

RTL ポート リストを使用した I/O ピン配置も可能です。

**メモ：**ネットリストにクロック ロジックが定義されていない場合、基本的な I/O に関連する DRC のみを実行可能です。

ソース ファイル内のインスタンスエーション、ロジック定義などのオブジェクトは、1 つのビューで選択するとほかのビューでも選択されます。

## ロジック合成

PlanAhead では、XST (Xilinx® Synthesis Technology) 合成ツールを使用して、合成の実行を設定、起動、監視します。

合成実行用に異なる合成オプションを設定し、再利用可能なストラテジを作成できます。たとえば、消費電力、パフォーマンス、エリア最適化のストラテジを作成できます。

合成の実行結果は随時アップデートされ、レポート ファイルにも簡単にアクセスできます。

[Compilation Messages] ビューから合成の警告またはエラーを選択すると、ソース ファイルで該当するロジックがハイライトされます。

- 複数の合成実行は、同時にまたは 1 つずつ順に実行できます。
- Linux システムでは、リモート サーバー上のファイルを使用できます。

複数の合成を実行すると、複数のネットリストが作成され、PlanAhead ソフトウェア プロジェクト内に保存されます。これらのネットリストは、解析用に読み込むことができます。ネットリストをインポートしたら、I/O ピン配置、デバイス解析、フロアプラン、およびインプリメンテーション用に制約を作成できます。

## I/O ピン配置

PlanAhead ソフトウェアには包括的な I/O ピン配置環境が含まれており、デバイス パッケージ ピンまたは内部ダイパッドに I/O ポートを正しく割り当てることができます。さまざまな表示ビューおよび表があり、パッケージおよび I/O 関連データを解析できます。

内部 I/O 接続を調べ、デバイスを介するデータフローが適切かどうか、内部デバイス リソースへのアクセスが最適であるかどうかを確認できます。外部接続および内部接続の要件に基づいて適切な選択を行うことにより、システム パフォーマンスを向上できます。

接続要件が確実に満たされるようにするため、DRC および同時スイッチ ノイズ (SSN) 解析を実行できます。

CSV、UCF、RTL、合成済みネットリストなど、さまざまなフォーマットの入力を使用して I/O ピン配置を開始できます。

クロック ロジックが I/O の割り当てに影響するので、合成済みネットリストをソースとして使用すると、より多くの DRC チェックが実行されます。最終的な I/O 検証ステップでは、インプリメンテーション ツールを使用して完全なデザインを実行します。

## ネットリストの解析および制約の定義

PlanAhead ソフトウェアには、デザイン解析および制約の設定機能があります。デザイン データはさまざまな形式で表示でき、お互いに連動しています。

ダイ内部および外部パッケージを表示するインタラクティブなグラフィカル ビューがあり、デバイス リソースを解析して制約を適用できます。タイミング制約および物理制約を適用し、解析できます。

初期段階でタイミング解析、リソース予測、接続解析、デザイン ルール チェック (DRC) を実行することにより、インプリメンテーション前にデザインの問題を発見できます。

## インプリメンテーション

PlanAhead ソフトウェアでは、ISE® Design Suite を使用して、インプリメンテーションを設定、起動、監視します。

インプリメンテーション実行用に異なるインプリメンテーション オプションを設定し、再利用可能なストラテジを作成できます。たとえば、短いランタイム、パフォーマンス、エリア最適化のストラテジを作成できます。

インプリメンテーションの実行結果はインタラクティブに表示され、レポート ファイルにも簡単にアクセスできます。複数のインプリメンテーション実行は、同時にまたは 1 つずつ順に実行できます。Linux プラットフォームを使用すると、リモート サーバーを使用できます。制約セットを作成して、さまざまな論理制約、物理制約、代替デバイスを設定して試すことができます。

## 結果の解析およびフロアプラン

さまざまな実行結果を読み込み、解析およびフロアプランを実行できます。インプリメント済みデザインでの機能は、[第 7 章「ネットリストの解析および制約の定義」](#)および[第 10 章「インプリメンテーション結果の解析」](#)で説明した機能と同様です。

PlanAhead から実行した任意の結果をインポートできます。インプリメント済みデザインを開くと、オリジナルのネットリスト、制約、およびインプリメンテーション結果が読み込まれます。複数のデザインを同時に開くこともできます。

**メモ：**12.1 リリースでは、実行に使用された制約セットではなく、インプリメント済みデザインを開いたときにアクティブの制約セットが読み込まれます。

## デバイスのプログラム

完了したどのインプリメンテーション実行に対しても、ビットストリーム ファイルを生成できます。BIT ファイル生成オプションは設定可能で、iMPACT™ ツールを使用してデバイスをコンフィギュレーションおよびプログラムできます。

## デザインの検証とデバッグ

Netlist Planner で ChipScope™ デバッグ ツールの ILA および ICON デバッグ コアを設定およびインプリメントし、必要なプローブ信号を選択できます。デバッグ コアは、Netlist Planner 内からインプリメントおよび管理できます。ビットストリーム ファイルが生成されているどの実行に対しても、ChipScope Analyzer ツールを起動できます。

また、PlanAhead から直接 FPGA Editor を起動して、配線およびデバイス リソースを解析できます。

## ユーザー モデル

PlanAhead のグラフィカル ユーザー インターフェイスは層構造になっており、新規ユーザーにわかりやすい環境を提供すると共に、アドバンス機能にも簡単にアクセスできるようになっています。デフォルトでは、PlanAhead はプッシュ ボタン フローで開き、アドバンス解析やフロアプランが必要な場合に適しています。フローは、Flow Navigator というビューで管理されます。Flow Navigator については、第 3 章「プロジェクトの操作」で説明します。

## 基本的なユーザー フロー

PlanAhead では、開発サイクル全体を Flow Navigator のボタンをクリックするだけで実行できます。ソース ファイルをインポートした後、デザイン ロジックを合成、合成済みネットリストをインプリメント、結果を解析、ビットストリームを生成、プログラムおよび検証ツールを起動することにより、FPGA 設計プロセスを最初から最後まで実行します。

## アドバンス機能

PlanAhead では、デザイン フローの各段階で、アドバンス デザイン設定および解析用の環境が提供されています。エラボレートされた RTL デザイン、合成済みネットリスト デザイン、およびインプリメンテーション結果を PlanAhead に読み込み、解析および制約の定義を実行できます。これらの環境の詳細は、第 3 章の「Flow Navigator」を参照してください。

PlanAhead プロジェクト環境では、1 つのプロジェクトで複数のバージョンのデザインを作成し、保存できるので、複数の RTL ソース バージョン、制約セット、ターゲット デバイス、合成済みネットリスト、さまざまなインプリメンテーション ストラテジを使用したインプリメンテーション実行結果を作成できます。また、ソース ファイルを変更したり、デザイン ツールを起動すると、デザインのステータスが示されます。

複数の合成およびインプリメンテーションの実行を、ローカルまたはリモートの Linux サーバーで設定、起動、および監視できます。異なるコマンド オプション、制約、デバイスを使用して試すことができます。

デザインの複数のバージョンおよび複数の実行を作成するアドバンス機能を使用する場合、ユーザーがデザイン データおよびバージョンを管理する必要があります。

## Flow Navigator の理解

図 2-2 および 36 ページの図 2-3 に、Flow Navigator を使用してデザイン タスクを実行し、デザイン プロセスの異なる段階で解析環境を開く方法を示します。

### RTL ベースのプロジェクトでの Flow Navigator

次の図に、RTL ソースを入力として使用した場合のデザイン フローを示します。

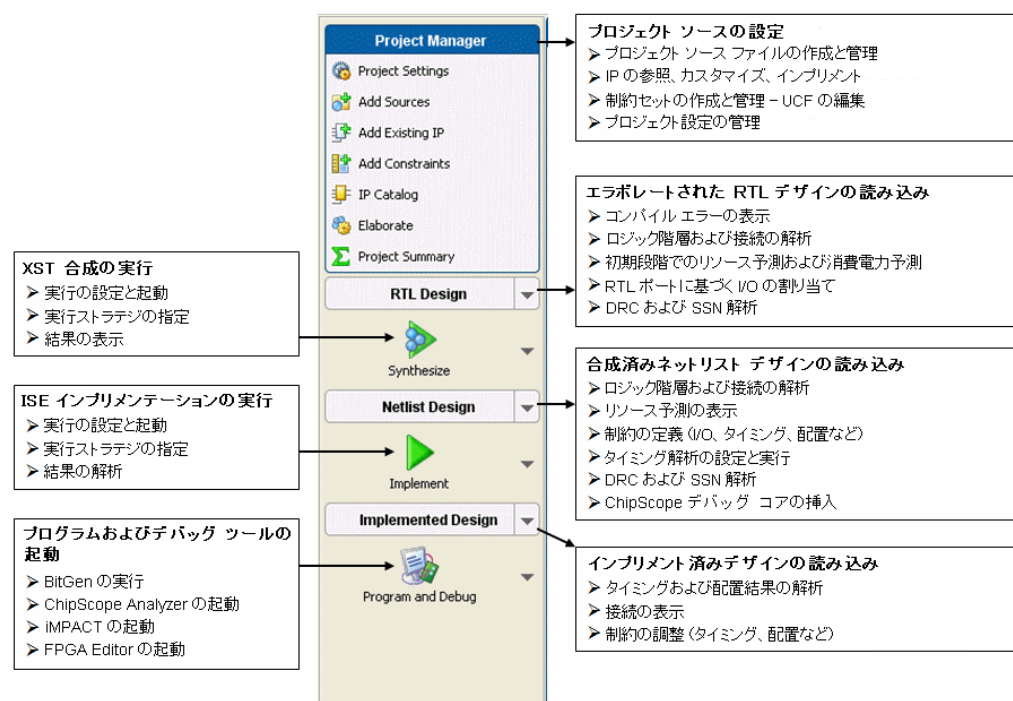


図 2-2 : PlanAhead Flow Navigator (RTL プロジェクト)



## 合成済みネットリスト ベースのプロジェクトでの Flow Navigator

次の図に、合成済みネットリスト ベースのプロジェクトのデザイン フローを示します。

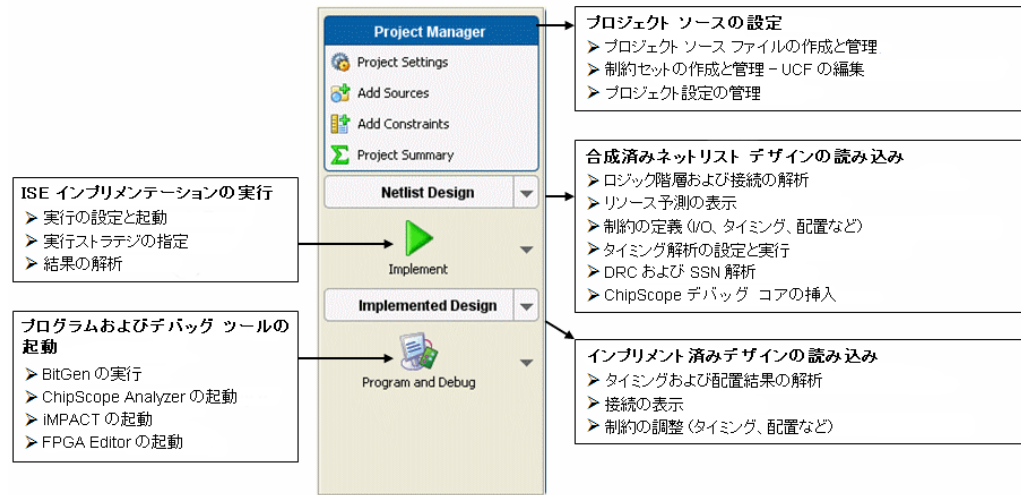


図 2-3 : PlanAhead Flow Navigator (合成済みネットリスト プロジェクト)

## Project Manager の理解

プロジェクトを開くと、デフォルトで Project Manager が開きます。デザイン データはメモリには読み込まれません。Project Manager から、ソース ファイルを作成、インポート、管理できます。

Project Manager では、「プロジェクト ソースの設定」および 32 ページの「IP のカスタマイズとインプリメンテーション」で説明されているタスクを実行します。

## デザインの操作

PlanAhead では、デザイン プロセスのさまざまな段階の「デザイン」を開くことにより、異なるデバイス、制約セット、またはネットリストを試すことができます。デザインは、ネットリスト (エラボレートされた RTL ネットリストまたは合成済みネットリスト)、制約セット、およびターゲット デバイスで構成されます。デザインをメモリに読み込むことにより、解析、制約の定義、ChipScope デバッグ コアの挿入を実行します。

Flow Navigator には、RTL デザイン、ネットリスト デザイン、インプリメント済みデザインを開くボタンがあります。[Implemented Design] をクリックすると、実行に使用されたデザイン データが読み込まれます。RTL デザインおよびネットリスト デザインは、異なるターゲット デバイスまたは制約セットを使用して開くことができ、さまざまなバージョンを試すことができます。

エラボレートされた RTL デザイン、合成済みネットリスト デザイン、インプリメント済みデザインを開くことにより、さまざまな段階のデザインを解析できます。タイミング制約またはフロアプランは、どのデザインでも変更できます。複数の制約セットを作成できるので、制約の変更を管理できます。PlanAhead では、次のレベルのデザインを開くことができます。

- RTL デザイン: エラボレートされた RTL デザイン、制約セット、およびターゲット デバイス
- ネットリスト デザイン: 合成済みネットリスト、制約セット、およびターゲット デバイス
- インプリメント済みデザイン: ネットリスト、制約、およびインプリメンテーションの実行結果



## RTL デザインを開く

Flow Navigator で [RTL Design] をクリックすると、エラボレートされた RTL ネットリスト デザインが、アクティブ制約セットおよびターゲット デバイスと共にメモリに読み込まれます。

デザインがメモリに読み込まれると、Flow Navigator の [RTL Design] ボタン内にアイコンが表示され、データがメモリに読み込まれたことが示されます。

[RTL Design] ビュー環境は、メイン表示エリアに表示されます。

## ネットリスト デザインを開く

Flow Navigator で [Netlist Design] をクリックすると、合成済みネットリスト デザインが、アクティブ制約セットおよびターゲット デバイスと共にメモリに読み込まれます。

デザインがメモリに読み込まれると、Flow Navigator の [Netlist Design] ボタン内にアイコンが表示され、データがメモリに読み込まれたことが示されます。

## インプリメント済みデザインを開く

[Implemented Design] をクリックすると、解析およびフロアプラン用に PlanAhead でのインプリメンテーション実行結果が開きます。そのインプリメンテーション実行で使用されたネットリストおよび制約がメモリに読み込まれ、第 7 章「ネットリストの解析および制約の定義」に説明されている機能と同様のビューと機能が使用できるようになります。配置およびタイミングの解析、フロアプランは、通常インプリメント済みデザインで実行します。複数のインプリメント済みデザインを同時に開くこともできます。

ネットリスト の操作、デザイン パーティションの変更、パーシャルリコンフィギュレーションの制御に関する機能は、ネットリスト デザインでのみ実行可能です。正しいデータに対して操作が実行されるのを確実にするため、これらの操作はネットリスト デザインに対して実行する必要があります。

**メモ：**12.1 リリースでは、実行に使用された制約セットではなく、インプリメント済みデザインを開いたときにアクティブの制約セットが読み込まれます。

## デザイン ビュー バナー

デザイン ビュー バナーには、デザイン名とターゲット デバイスが表示されます。



図 2-4 : [RTL Design] バナー

ソース ファイルがアップデートされると、RTL デザインの上部にバナーが表示され、デザイン データがアップデートされたことが示されます。このバナーに、新しいデザイン データを読み込むためのリンクが表示されます。

## I/O Planner と Design Planner ビュー レイアウト

RTL デザインおよびネットリスト デザインでは、Design Planner または I/O Planner ビュー レイアウトを表示できます。デザイン ビュー バナーに、これらのビュー レイアウトを切り替えるボタンがあります。各ビュー レイアウトでは、36 ページの図 2-3 に示すデザイン タスクを実行するのに適したビューが提供されます。

## デザインの再読み込みが必要であることを示すバナー

ソース ファイルをアップデートすると、次の図に示すように、デザインの再読み込みが必要であることを示すバナーが表示されます。

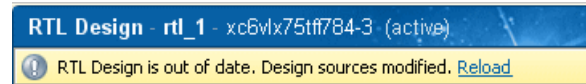


図 2-5 : デザインの再読み込みが必要であることを示すバナー

## 複数のデザインの切り替え

複数の RTL デザインが開いている場合、タブが表示され、デザインを簡単に切り替えることができます。

デザイン ビュー パナーの [make active] リンクをクリックすると、デザインに関連付けられている制約セットをアクティブにすることができます。

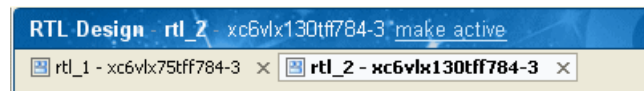


図 2-6 : 複数のデザインのタブ

# PlanAhead の起動

PlanAhead ソフトウェアはどのディレクトリからも起動できますが、プロジェクト ディレクトリから起動すると、プロジェクト特定のログ ファイルを簡単に見つけることができるので便利です。

メモ：この製品のインストール方法は、[『ISE Design Suite : インストール、ライセンス、リリースノート』](#)を参照してください。

## Linux

Linux で PlanAhead を起動するには、Linux コマンド プロンプトに次のコマンドを入力します。

```
# planAhead
```

## Windows

Windows で PlanAhead を起動するには、デスクトップから [Xilinx PlanAhead 12.1] アイコンをクリックします。



図 2-7 : [Xilinx PlanAhead 12.1] アイコン

PlanAhead のログ ファイルを保存するディレクトリは、デスクトップ アイコンを右クリックして [プロパティ] をクリックし、[作業フォルダ] で指定できます。

PlanAhead が起動すると、39 ページの図 2-8 に示す Getting Started ページが表示されます。

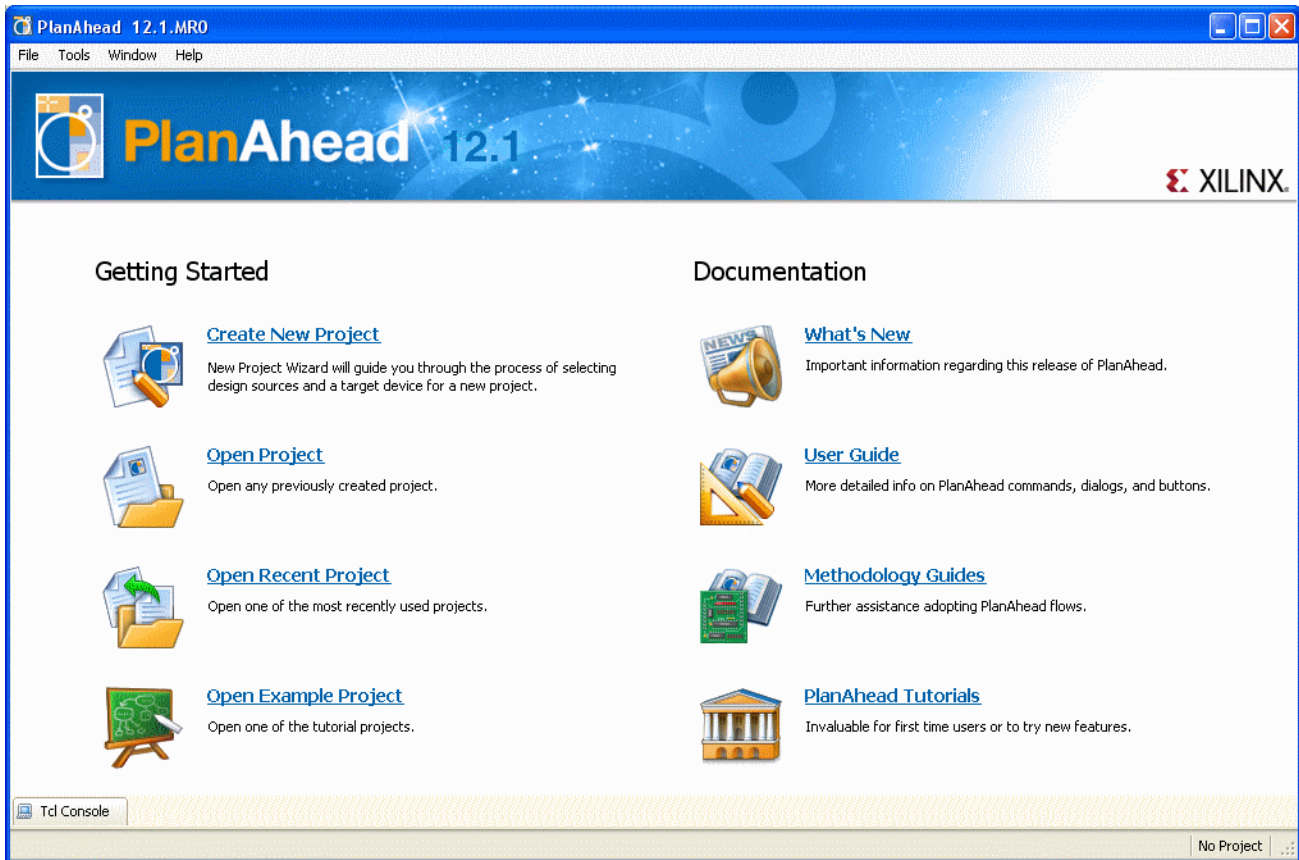


図 2-8 : PlanAhead の Getting Started ページ

PlanAhead の Getting Started ページからは、プロジェクトを作成したり、指定プロジェクトを開くだけでなく、PlanAhead のマニュアルも表示できます。このページは、開いているプロジェクトをすべて閉じると表示されます。

## Getting Started ページの使用

PlanAhead を起動すると、Getting Started ページを開きます。青色の下線が付いているコマンド リンクをクリックすると、特定のコマンドを実行したり、マニュアルを表示できます。実行可能なコマンドは、次のとおりです。

- **[Create New Project]** : New Project ウィザードを起動し、PlanAhead プロジェクトを作成します。
- **[Open Project]** : 既存の PlanAhead プロジェクト (PPR) ファイルを開きます。
- **[Open Recent Design]** : 最近開いた 10 個のファイルへのリンクを表示します。プロジェクトの表示前に、そのプロジェクト データが存在するかどうかを確認されます。[Tools] → [Options] → [General] をクリックして [General] ページを開くと、ここにリストされるプロジェクトの数を指定できます。
- **[Open Example Project]** : サンプル デザイン プロジェクトを開きます。小型の RTL プロジェクトである BFT Core、大型の RTL プロジェクトである CPU (HDL)、ネットリスト ベースのプロジェクトである CPU (Synthesized) があります。

PlanAhead のマニュアルのリンクをクリックすると、マニュアルが PDF ビューアまたは Web サイトで表示されます。

- [What's New] : PlanAhead 12.1 の新機能を説明するマニュアルを開きます。
- [User Guide] : 『PlanAhead ユーザー ガイド』を開きます。

メモ : 12.1 には、このユーザー ガイドへのリンクを示す PDF ファイルが含まれています。この PDF ファイルに示される URL をクリックし、指示に従って最新版のユーザー ガイドを指定の場所にダウンロードすると、[User Guide] リンクをクリックしたときにダウンロードしたユーザー ガイドが開くようになります。

- [Methodology Guides] : 『Floorplanning Methodology Guide』および『Hierarchical Design Methodology Guide』を表示します。
- [PlanAhead Tutorials] : PlanAhead のすべてのチュートリアルおよび必要なサンプル デザイン データをリストする Web ページを開きます。

PlanAhead の PDF 版のマニュアルは、次の Web サイトからも参照できます。

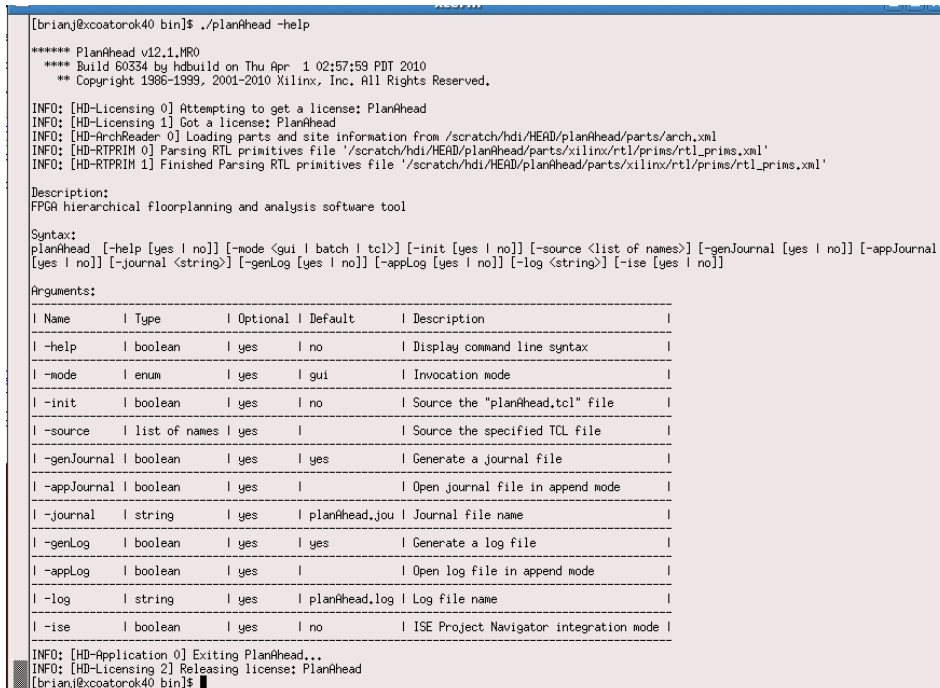
<http://japan.xilinx.com/planahead>

## PlanAhead コマンド ライン オプション

PlanAhead にはコマンド ライン オプションがいくつかあります。PlanAhead のコマンド ライン オプションを表示するには、次のコマンドをコマンド プロンプトに入力します。

```
# planAhead -help
```

シェル ウィンドウに次の図のようなヘルプが表示されます。



```
[brianj@coatorok40 bin]$ ./planAhead -help

***** PlanAhead v12.1.HR0
**** Build 60334 by hdbuild on Thu Apr 1 02:57:59 PDT 2010
** Copyright 1986-1999, 2001-2010 Xilinx, Inc. All Rights Reserved.

INFO: [HD-Licensing 0] Attempting to get a license: PlanAhead
INFO: [HD-Licensing 1] Got a license: PlanAhead
INFO: [HD-ArchReader 0] Loading parts and site information from /scratch/hdi/HEAD/planAhead/parts/arch.xml
INFO: [HD-RTPRIM 0] Parsing RTL primitives file '/scratch/hdi/HEAD/planAhead/parts/xilinx/rtl/prims/rtl_prims.xml'
INFO: [HD-RTPRIM 1] Finished Parsing RTL primitives file '/scratch/hdi/HEAD/planAhead/parts/xilinx/rtl/prims/rtl_prims.xml'

Description:
FPGA hierarchical floorplanning and analysis software tool

Syntax:
planAhead [-help [yes | no]] [-mode <gui | batch | tcl>] [-init [yes | no]] [-source <list of names>] [-genJournal [yes | no]] [-appJournal [yes | no]] [-journal <string>] [-genLog [yes | no]] [-appLog [yes | no]] [-log <string>] [-ise [yes | no]]

Arguments:
-----
| Name          | Type          | Optional | Default | Description          |
|-----|-----|-----|-----|-----|
| -help         | boolean       | yes      | no      | Display command line syntax |
| -mode         | enum          | yes      | gui     | Invocation mode      |
| -init         | boolean       | yes      | no      | Source the "planAhead.tcl" file |
| -source       | list of names | yes      |         | Source the specified TCL file |
| -genJournal   | boolean       | yes      | yes     | Generate a journal file |
| -appJournal   | boolean       | yes      |         | Open journal file in append mode |
| -journal      | string        | yes      | planAhead.jou | Journal file name     |
| -genLog       | boolean       | yes      | yes     | Generate a log file    |
| -appLog       | boolean       | yes      |         | Open log file in append mode |
| -log          | string        | yes      | planAhead.log | Log file name         |
| -ise          | boolean       | yes      | no      | ISE Project Navigator integration mode |

INFO: [HD-Application 0] Exiting PlanAhead...
INFO: [HD-Licensing 2] Releasing license: PlanAhead
[brianj@coatorok40 bin]$
```

図 2-9 : PlanAhead のヘルプ

## PlanAhead スタートアップ Tcl スクリプト

PlanAhead の [Tools] → [Run Tcl Script] コマンドを使用すると、スクリプトを実行できます。また、planAhead.jou ファイルから PlanAhead の Tcl コマンドをコピーし、スタートアップ スクリプトを作成できます。次の図に、Tcl スクリプトの一部を示します。

```
#-----
# PlanAhead v12.1.MR0
# Build 60441 by hdbuild on Fri Apr  2 18:49:43 PDT 2010
# Start of session at: 4/3/10 2:09:17 PM
# Process ID: 888
#-----
create_project project_1 {C:\Data\PlanAhead_Designs\PlanAhead_Tutorial\Tutorial_Created_Data\project_1} -part xc6slx16
set_property design_mode RTL [get_property srcset [current_run]]
import_files -force -norecurse {C:\Data\PlanAhead_Designs\12_demo\Sources\Therm}
set_property library work [get_files -of_objects [get_property srcset [current_run]]] {{C:\Data\PlanAhead_Designs\12_demo\Sources\Therm}}
import_files -fileset [get_property constrset [current_run]] -force -norecurse {C:\Data\PlanAhead_Designs\12_demo\Constraints\Therm}
set_property top therm [get_property srcset [current_run]]
set_property verilog_2001 true [get_property srcset [current_run]]
set_property verilog_uppercase false [get_property srcset [current_run]]
set_property loop_count 1000 [get_property srcset [current_run]]
launch_runs -runs synth_1 -jobs 1
launch_runs -runs impl_1 -jobs 1
close_project
```

図 2-10 : PlanAhead の Tcl スクリプト例

PlanAhead のジャーナル ファイルの詳細は、[428 ページの「ジャーナル ファイル \(planAhead.jou\)」](#)を参照してください。PlanAhead の Tcl を使用したスクリプトの作成については、[第 14 章「Tcl およびバッチ スクリプト」](#)を参照してください。



# プロジェクトの操作

---

本章は、次のセクションで構成されています。

- 「[PlanAhead のプロジェクト タイプ](#)」
- 「[新規プロジェクトの作成](#)」
- 「[プロジェクト ソースの管理](#)」
- 「[制約の追加と管理](#)」
- 「[プロジェクト設定](#)」
- 「[\[Project Summary\] ビュー](#)」
- 「[プロジェクトのステータス](#)」

## PlanAhead のプロジェクト タイプ

PlanAhead™ ソフトウェアは、FPGA デザイン フローのさまざまな段階で使用できます。次の PlanAhead プロジェクト タイプを作成できます。

- RTL ソース ベースのプロジェクト
- 合成済みネットリスト ベースのプロジェクト
- インプリメント済みデザイン結果ベースのプロジェクト
- CSV、UCF、RTL ベースの I/O ピン配置プロジェクト
- Project Navigator で作成されたプロジェクト
- パーシャル リコンフィギュレーション プロジェクト (ライセンスがイネーブルの場合)

プロジェクトは、プロジェクト作成時に使用された入力ソースのタイプによって識別されます。プロジェクト タイプは新規プロジェクトの作成時に選択できます。

プロジェクト タイプを一度選択すると、後で別のタイプに変換することはできません。

**メモ：**PlanAhead では、パーシャル リコンフィギュレーション デザインをサポートするため派生タイプのプロジェクトも使用されます。この機能は特別ライセンスでのみ提供されています。この機能について説明する『[Partial Reconfiguration User Guide](#)』(UG702) は、ご要望に応じて配布しています。

## RTL ソース ベースのプロジェクト

PlanAhead を使用すると、RTL の作成からビットストリームの生成まで、FPGA デザイン フロー全体を管理できます。プロジェクトは、RTL ソース ファイルおよびコンパイル済み NGC/NGO フォーマットのザイリンクス コアをインポートして作成できます。

RTL をエラボレートして解析し、構文が正しいことを確認し、さまざまな合成やインプリメンテーション実行を起動および管理し、デザインと実行結果を解析できます。また、フロアプランを作成してさまざまな制約やデバイス ストラテジを試すこともできます。

## 合成済みネットリスト ベースのプロジェクト

Xilinx Synthesis Technology (XST) やサポートされているサードパーティの合成ツールを使用して PlanAhead 環境外で合成されたデザインから、プロジェクトを作成することもできます。

PlanAhead では、EDIF または NGC/NGO フォーマットのネットリストをインポートできます。ネットリストは、1 つのファイルにまとめられているか、複数のモジュールレベルのネットリストから構成される階層構造になっているものを使用できます。

ロジック ネットリストを解析し、さまざまなインプリメンテーション実行を起動および管理し、デザインと実行結果を解析できます。また、異なるデザインを作成してさまざまな制約やデバイス ストラテジを試すこともできます。

## インプリメント済みデザイン結果ベースのプロジェクト

ザイリンクスのコマンド ライン ツールを使用し、PlanAhead 環境外で作成されたインプリメンテーション結果を解析するプロジェクトも作成できます。デザイン ネットリスト、インプリメンテーション、タイミング結果をインポートし、タイミングまたは配置に関する問題を調べることができます。

## I/O ピン配置プロジェクト

空の I/O ピン配置プロジェクトを作成して、デザイン サイクルの初期段階で I/O ピン配置を実行できます。I/O ポートは、PlanAhead 内で作成するか、CSV、UCF、または RTL 入力ファイルを使用しインポートします。I/O ピンを割り当てた後、PlanAhead で CSV、UCF、および RTL 出力ファイルを作成できます。このファイルは、RTL ソースまたはネットリストが使用可能になったデザイン フローの後の段階で使用します。この出力ファイルは、プリント回路基板 (PCB) デザインで使用する回路図シンボルの作成にも使用できます。

ピン配置プロジェクトを使用すると、デバイス アーキテクチャで使用可能なロジック リソースも確認できます。

## Project Navigator で作成されたプロジェクト

ISE® Project Navigator 環境から PlanAhead を起動してプロジェクトを作成するプロセスについては、第 15 章「Project Navigator からの PlanAhead の使用」を参照してください。



## 新規プロジェクトの作成

次に、プロジェクトの作成方法とウィザードで設定可能なプロジェクト オプションについて説明します。

### New Project ウィザードの使用

New Project ウィザードでは、プロジェクト名およびディレクトリの指定、ネットリストのインポート、デバイスの選択と制約のインポートを含む初期デザインの作成をウィザードに従って実行できます。

新規プロジェクトを作成するには、次の手順に従います。

1. 次のいずれかのコマンドを選択します。
  - ◆ Getting Started ページの [Create a New Project] リンクをクリックします。
  - ◆ [File] → [New Project] をクリックします。

ウィザードの最初のページには、ウィザードの概要が表示されます。

2. [Next] をクリックします。

[Project Name] ページが表示されます。

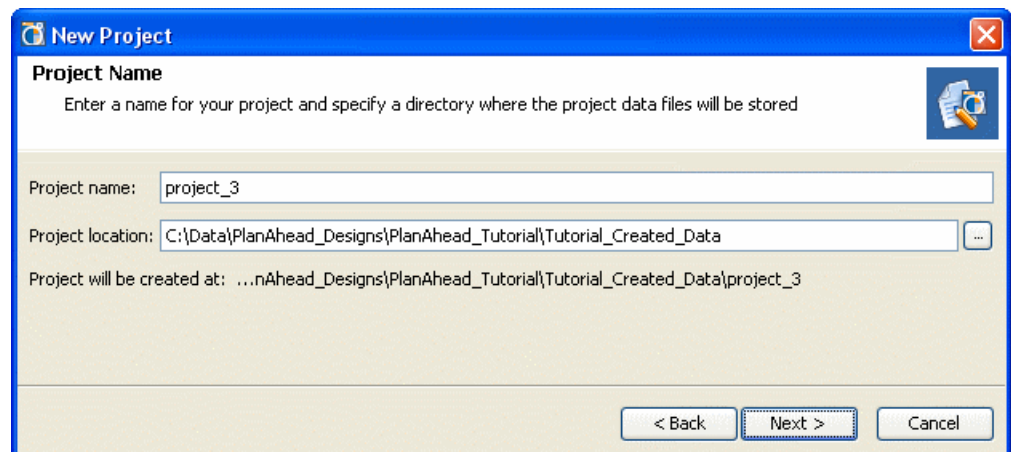


図 3-1 : New Project ウィザード : [Project Name] ページ

### プロジェクト名およびプロジェクト ディレクトリの入力

次のように、プロジェクト名およびプロジェクトを保存するディレクトリを入力します。

3. [Project Name] ページで、[Project name] および [Project location] を指定します。
  - ◆ [Project name] : project\_3 など、プロジェクト ディレクトリを識別する名前を入力します。
  - ◆ [Project location] : プロジェクト ディレクトリを作成するディレクトリを入力します。
4. 入力後、[Next] をクリックします。

## デザイン ソース データ タイプの選択

次の図に示す [Design Source] ページで、入力デザイン ソースのフォーマットのいずれかを選択します。

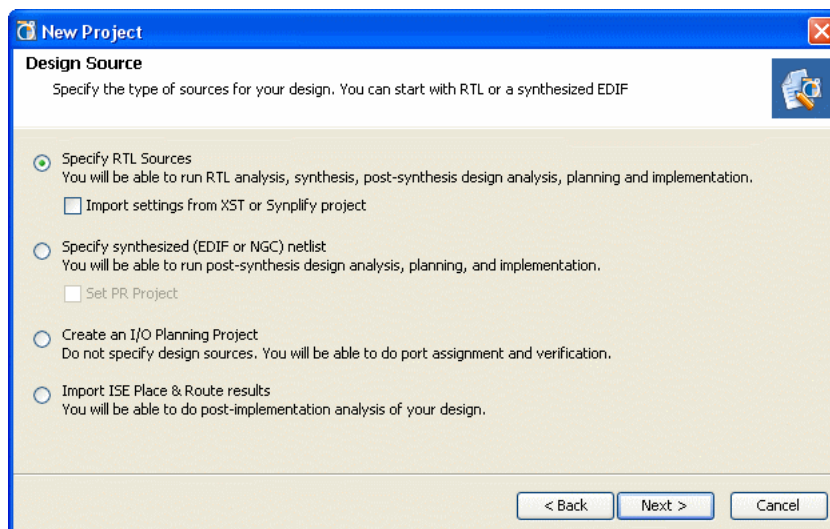


図 3-2 : New Project ウィザード : [Design Source] ページ

5. デザイン ソースのフォーマットを選択したら、[Next] をクリックします。
6. 選択したデザイン入力に応じて、次のいずれかの説明を参照してください。
  - ◆ 「RTL ソースを使用したプロジェクトの作成」
  - ◆ 「合成済みネットリストを使用したプロジェクトの作成」
  - ◆ 「ISE の配置およびタイミング結果を使用したプロジェクトの作成」
  - ◆ 「既存のプロジェクトを開く」
7. [Next] をクリックします。

選択したデザイン ソースに基づいてプロジェクトが作成されます。

## RTL ソースを使用したプロジェクトの作成

RTL ソース ファイルをインポートしてプロジェクトを作成できます。このプロジェクトは、RTL コードの開発と解析、合成とインプリメンテーションを目的とする場合に使用します。RTL の開発および解析の詳細は、第 5 章「RTL および IP デザイン」を参照してください。

1. 45 ページの「新規プロジェクトの作成」の手順に従ってプロジェクトを作成します。
2. [Design Source] ページで [Specify RTL Sources] をオンにします。

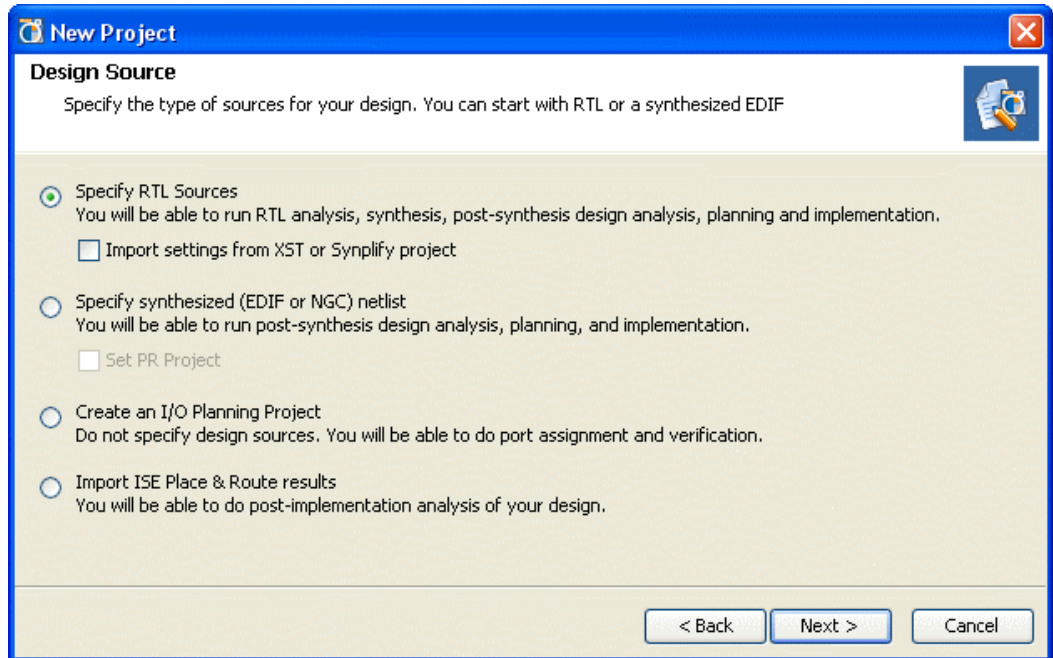


図 3-3 : RTL ソースを使用したプロジェクトの作成

3. [Next] をクリックします。

## ソース ファイルまたはディレクトリの追加

次の図に示す [Add Source] ページで、HDL ソース ファイルまたは HDL ソース ファイルを含むディレクトリを選択します。

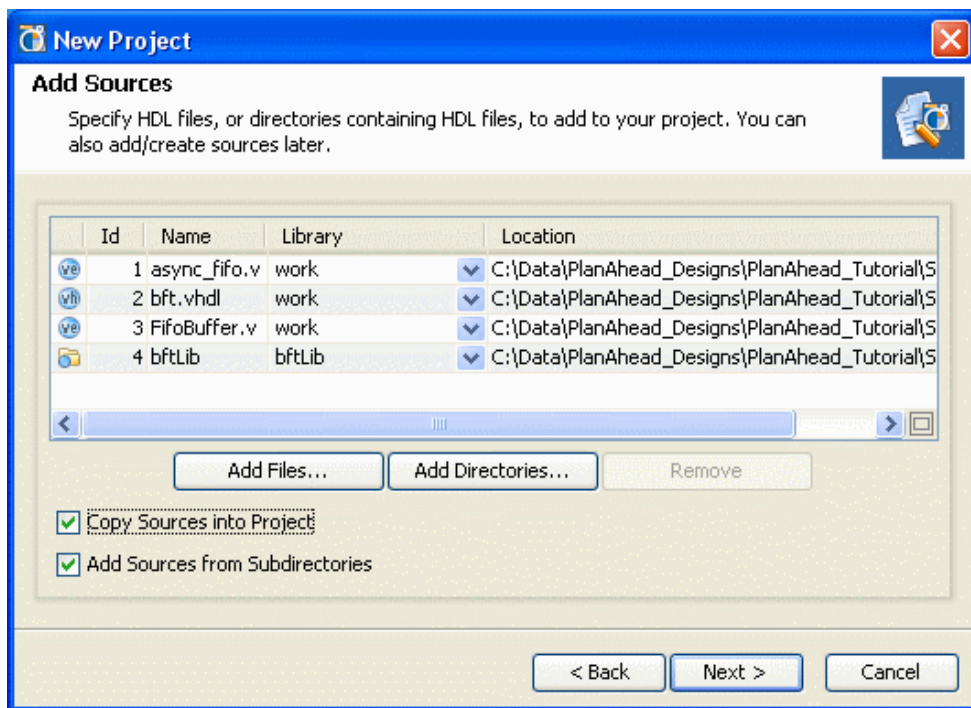


図 3-4 : New Project ウィザード : [Add Sources] ページ

- ◆ [Add Files] : プロジェクトに追加する HDL ファイルを個別に選択します。
- ◆ [Add Directories] : ディレクトリおよびそのサブディレクトリに含まれるすべてのファイルをプロジェクトに追加します。ディレクトリにある認識された拡張子を持つソース ファイルがすべてインポートされます。
- ◆ [Copy Sources into Project] : ソース ファイルを元のロケーションから参照するのではなく、PlanAhead のプロジェクト ディレクトリにコピーします。
- ◆ [Add Sources from Subdirectories] : 選択したディレクトリのサブディレクトリを検索し、ソース ファイルを PlanAhead プロジェクトに追加します。

メモ : [Copy Sources into Project] と [Add Sources from Subdirectories] の選択は、今後の PlanAhead セッションでも保持されます。

4. ファイルまたはディレクトリを選択したら、[Next] をクリックします。

### 制約ファイルの追加

オプションで、制約ファイルを追加できます。

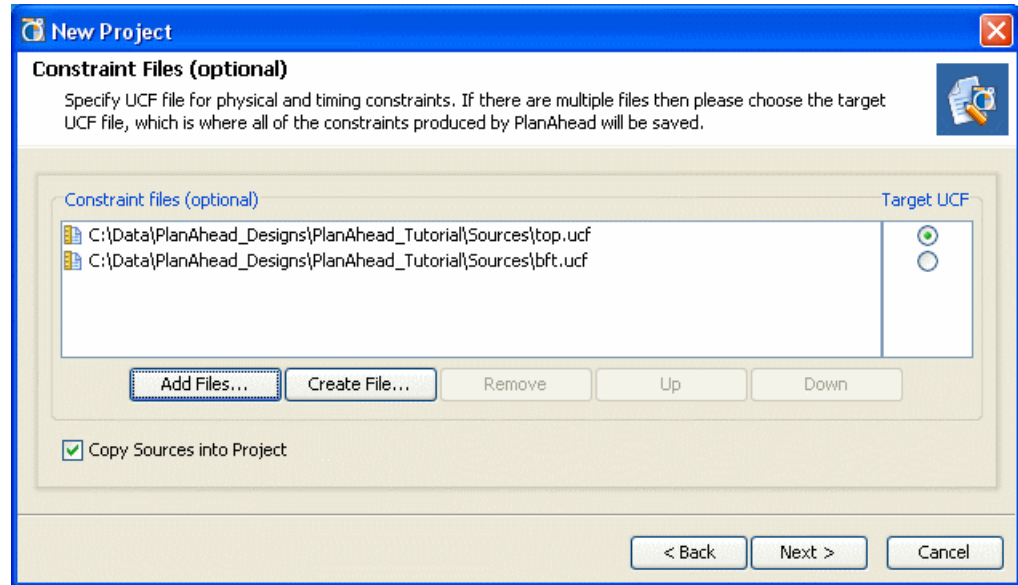


図 3-5 : New Project ウィザード : [Constraint Files] ページ

- ◆ [Add Files] : プロジェクトに追加する制約ファイルを個別に選択します。
- ◆ [Create File] : ディレクトリを指定し、新規 UCF ファイルを作成します。
- ◆ [Remove] : [Constraint files] リストで選択している UCF ファイルを削除します。
- ◆ [Up] / [Down] : 選択した UCF ファイルの順序を変更します。
- ◆ [Copy Sources into Project] : 制約ファイルを元のロケーションから参照するのではなく、PlanAhead のプロジェクト ディレクトリにコピーします。

メモ : [Copy Sources into Project] の選択は、今後の PlanAhead セッションでも保持されます。

### ターゲット UCF の設定

複数の UCF ファイルを選択した場合、ターゲット UCF を指定する必要があります。ターゲット UCF とは、PlanAhead で作成した制約を記述するファイルです。ターゲット UCF は、いつでも変更できます。

5. 必要な制約ファイルを選択し、ターゲット UCF を指定したら、[Next] をクリックします。

## デフォルト デバイスの選択

次の図に示す [Default Part] ページで、デフォルト デバイスを選択します。

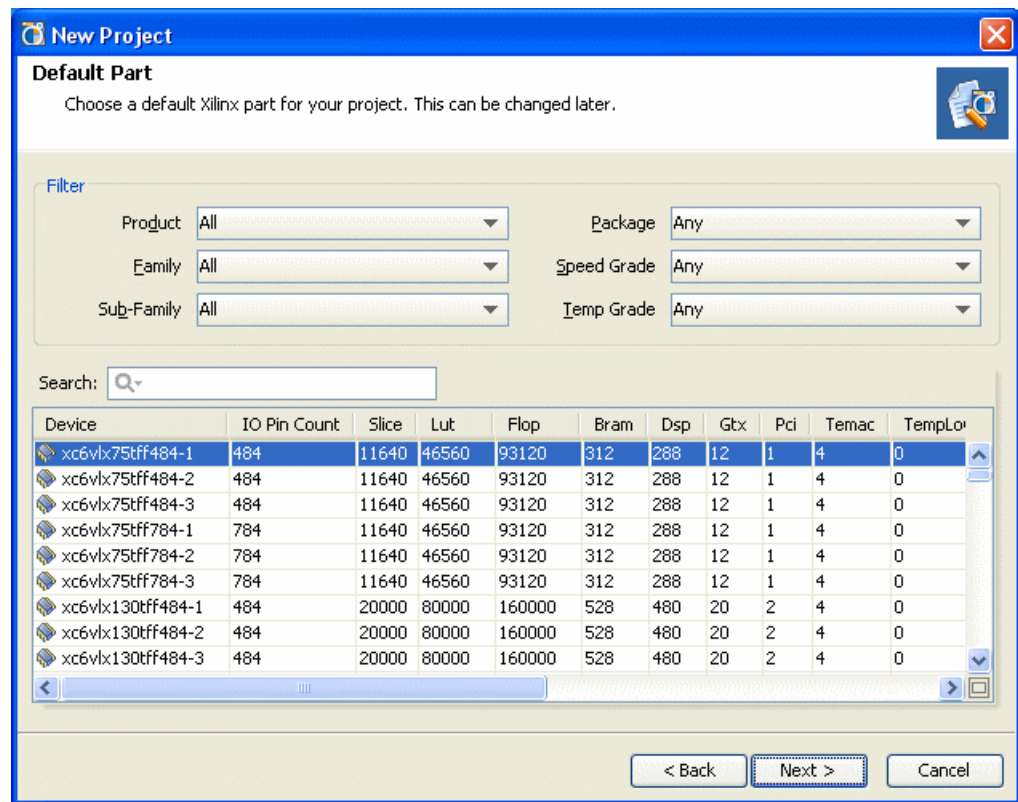


図 3-6 : New Project ウィザード : [Default Part] ページ

選択可能なデバイスは、このページの下部にリストされます。デバイス リソースに関する情報が、表形式で表示されます。製品 ([Product])、ファミリー ([Family])、サブファミリー ([Sub-Family])、パッケージ ([Package])、スピード グレード ([Speed Grade])、および温度 ([Temp Grade]) フィルタを使用して、リストされるデバイスを絞り込むことができます。フィルタからサブカテゴリを選択すると、該当するデバイスがリストに表示されます。

- ターゲットの製品ファミリー アーキテクチャとデフォルト デバイスを選択し、[Next] をクリックします。

**メモ :** デフォルト デバイスは、合成およびインプリメンテーションを実行するとき、RTL デザインまたはネットリスト デザインを開いたときに変更できます。

51 ページの図 3-7 に示す [New Project Summary] ページが表示されます。

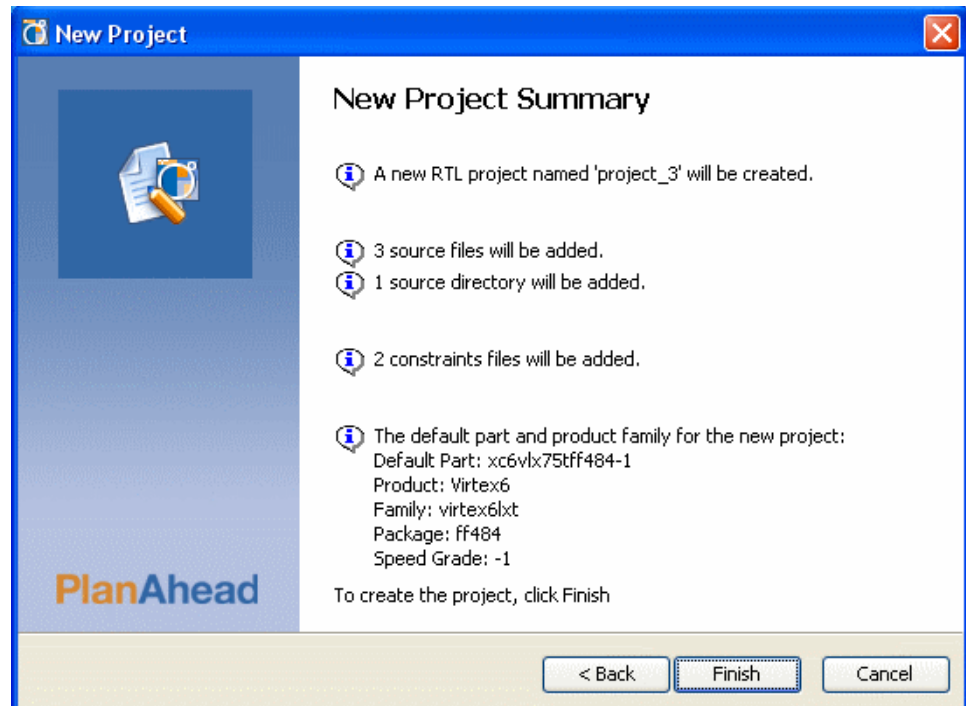


図 3-7 : New Project ウィザード : [New Project Summary] ページ

7. [Finish] をクリックして、プロジェクトの作成を完了します。

52 ページの図 3-8 に示すように、プロジェクト環境に Project Manager に関連するビューが表示されます。



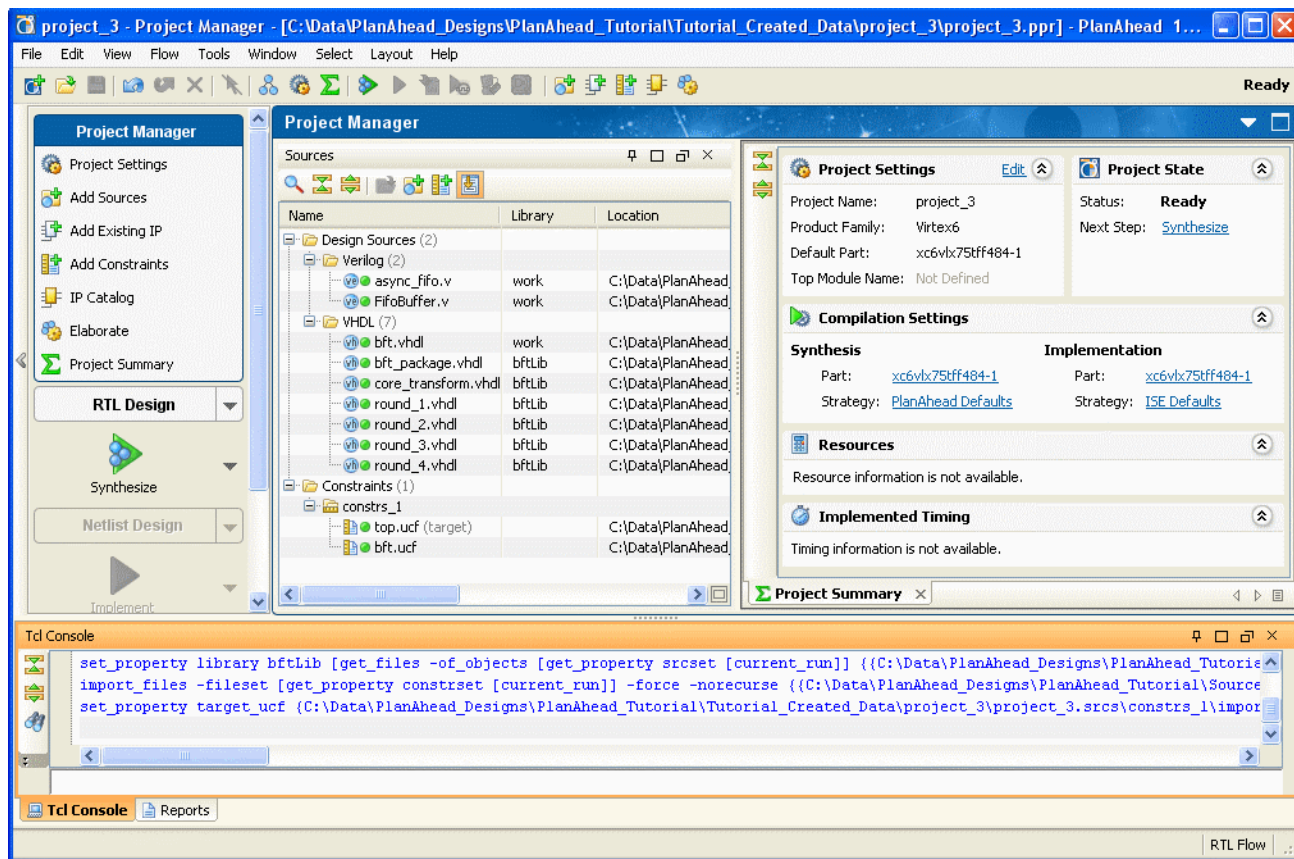


図 3-8 : RTL プロジェクト用の Project Manager 環境

### 合成済みネットリストを使用したプロジェクトの作成

PlanAhead では、合成済みのネットリストと対応する制約をインポートしてプロジェクトを作成できます。このプロジェクトは、フロアプラン環境およびインプリメンテーション環境を使用してデザインを解析、フロアプラン、およびインプリメントする場合に使用します。

1. 45 ページの「New Project ウィザードの使用」の手順に従ってプロジェクトを作成します。
2. [Design Source] ページで [Specify synthesized (EDIF or NGC) netlist] をオンにします。



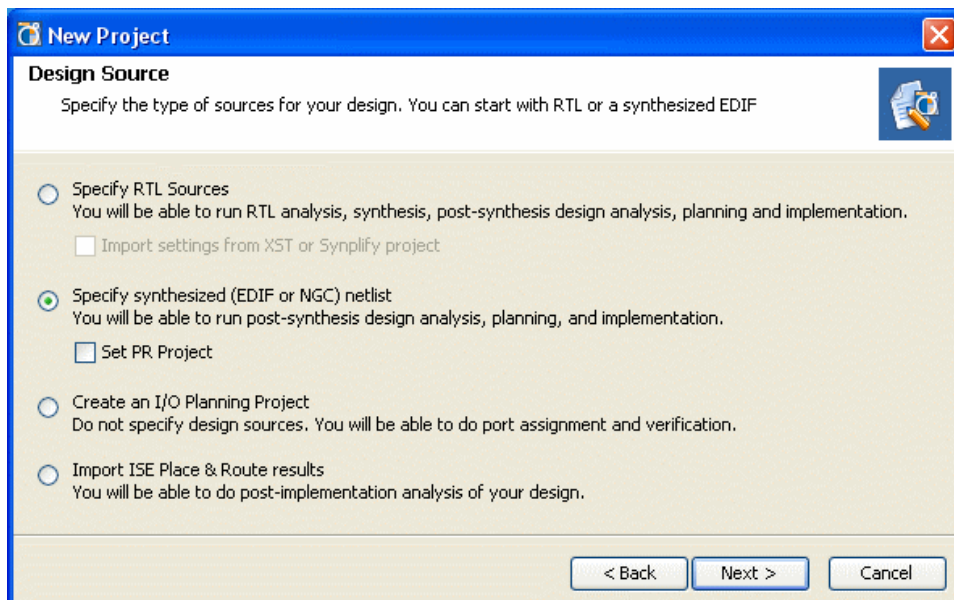


図 3-9 : 合成済みの EDIF または NGC ネットリストを使用したプロジェクトの作成

最上位ネットリストおよびモジュール検索パスの指定

[Specify synthesized (EDIF or NGC) netlist] をオンにして [Next] をクリックすると、[Specify Top Netlist File] ページが表示され、最上位のネットリスト ファイルおよびモジュール レベルのネットリストを検索する検索パスを入力できます。

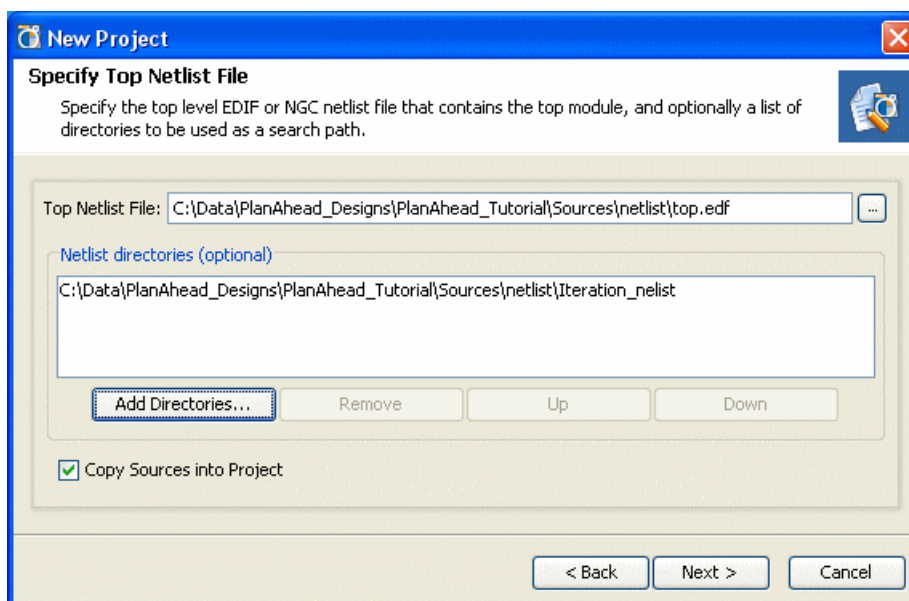


図 3-10 : New Project ウィザード : Specify Top Netlist File] ページ

1. このページでは、次を指定します。

- ◆ [Top Netlist file] : プロジェクトの最上位ネットリスト名を入力します。参照ボタンをクリックすると、最上位ネットリスト ファイルを指定できます。
- ◆ [Add Directories] : ネットリストのインポート中に下位モジュールおよびコアを検索するディレクトリを選択します。デフォルトでは、PlanAhead の起動ディレクトリと最上位ネットリストを選択したディレクトリが検索パスに含まれます。これらのディレクトリの検索順は、[Up] ボタンおよび [Down] ボタンを使用して変更できます。[Remove] をクリックすると、ディレクトリを検索パスから削除できます。
- ◆ [Copy Sources into Project] : 制約ファイルを元のロケーションから参照するのではなく、PlanAhead のプロジェクト ディレクトリにコピーします。

メモ : [Copy Sources into Project] の選択は、今後の PlanAhead セッションでも保持されます。

2. [Next] をクリックします。

#### 制約ファイルの追加

オプションで、制約ファイルを追加できます。

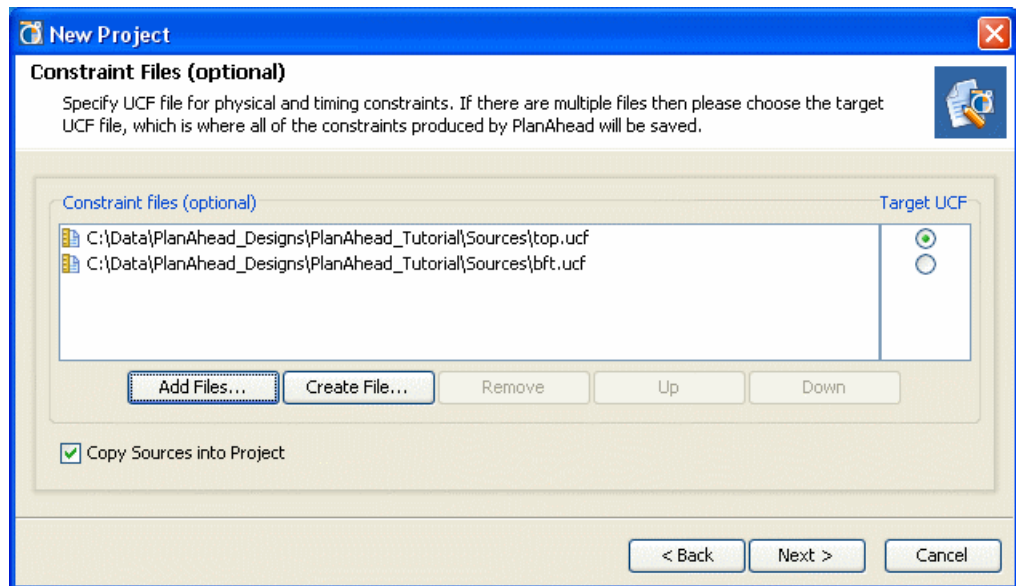


図 3-11 : New Project ウィザード : [Constraint Files] ページ

- ◆ [Add Files] : プロジェクトに追加する制約ファイルを個別に選択します。
- ◆ [Create File] : ディレクトリを指定し、新規 UCF ファイルを作成します。
- ◆ [Remove] : [Constraint files] リストで選択している UCF ファイルを削除します。
- ◆ [Up] / [Down] : 選択した UCF ファイルの順序を変更します。
- ◆ [Copy Sources into Project] : 制約ファイルを元のロケーションから参照するのではなく、PlanAhead のプロジェクト ディレクトリにコピーします。

メモ : [Copy Sources into Project] の選択は、今後の PlanAhead セッションでも保持されます。

### ターゲット UCF の設定

複数の UCF ファイルを選択した場合、ターゲット UCF を指定する必要があります。ターゲット UCF とは、PlanAhead を使用して作成した制約を記述するファイルです。ターゲット UCF は、いつでも変更できます。

3. 必要な制約ファイルを選択し、ターゲット UCF を指定したら、[Next] をクリックします。

### デフォルト デバイスの選択

次の図に示す [Default Part] ページで、デフォルト デバイスを選択します。

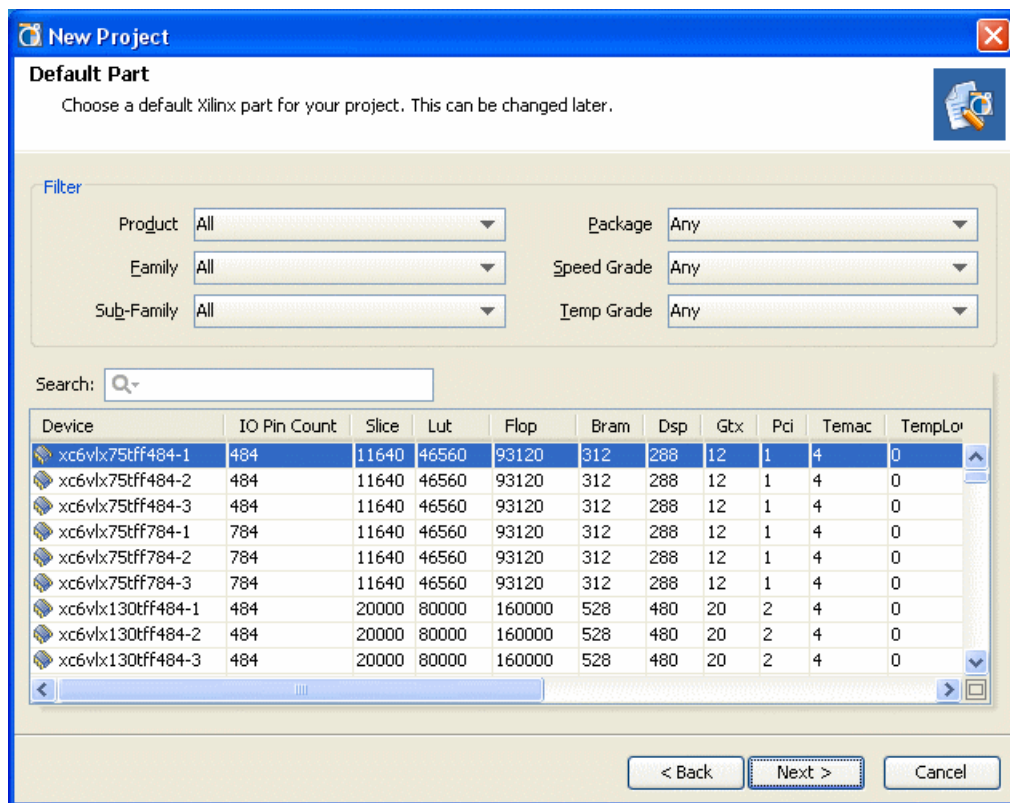


図 3-12 : New Project ウィザード : [Default Part] ページ

選択可能なデバイスは、このページの下部にリストされます。デバイス リソースに関する情報が、表形式で表示されます。製品 ([Product])、ファミリー ([Family])、サブファミリー ([Sub-Family])、パッケージ ([Package])、スピード グレード ([Speed Grade])、および温度 ([Temp Grade]) フィルタを使用して、リストされるデバイスを絞り込むことができます。フィルタからサブカテゴリを選択すると、該当するデバイスがリストに表示されます。

4. ターゲットの製品ファミリー アーキテクチャとデフォルト デバイスを選択し、[Next] をクリックします。

**メモ :** デフォルト デバイスは、合成およびインプリメンテーションを実行するとき、RTL デザインまたはネットリスト デザインを開いたときに変更できます。

51 ページの図 3-7 に示す [New Project Summary] ページが表示されます。

5. [Finish] をクリックして、プロジェクトの作成を完了します。

プロジェクト環境に Project Manager に関連するビューが表示されます。

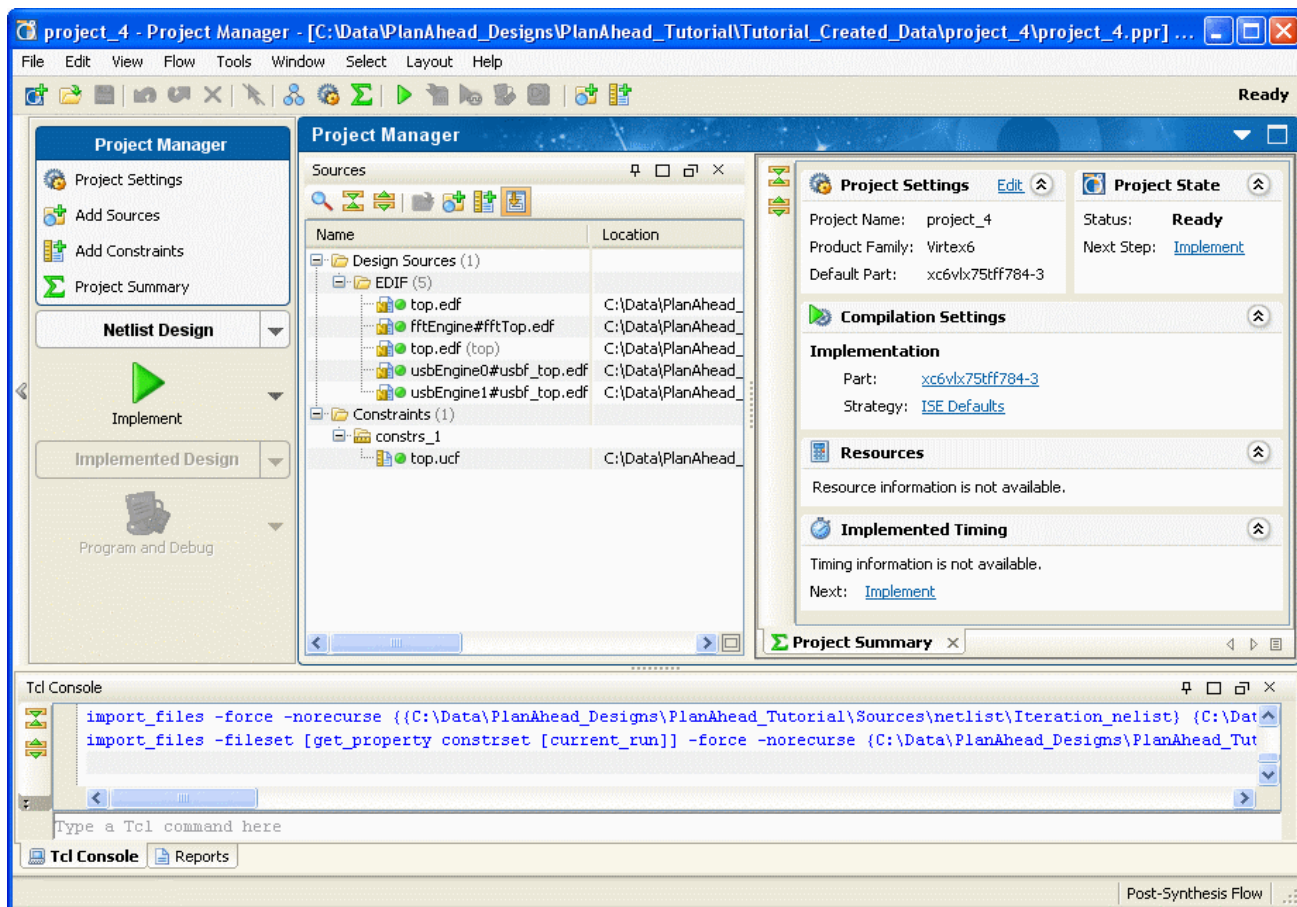


図 3-13 : 合成済みネットリスト プロジェクト用の Project Manager 環境

### I/O ピン配置プロジェクトの作成

HDL または合成済みの EDIF を作成する前に、空のプロジェクトを作成して I/O ピンを配置できます。I/O ピン配置の詳細は、第 8 章「I/O ピン配置」を参照してください。

1. 57 ページの図 3-14 に示すように、[Design Source] ページで [Create an I/O Planning Project] をオンにします。

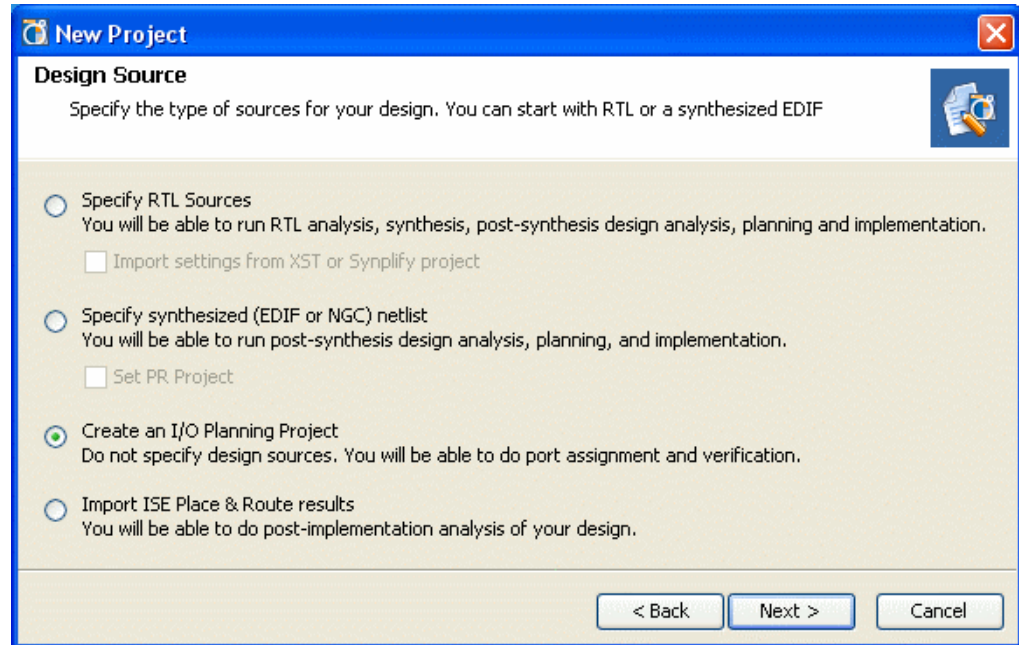


図 3-14 : I/O ピン配置プロジェクトの作成

#### ポートのインポート

次に表示される [Import Ports] ページでは、インポートする I/O ポートおよび制約ファイルを選択します。

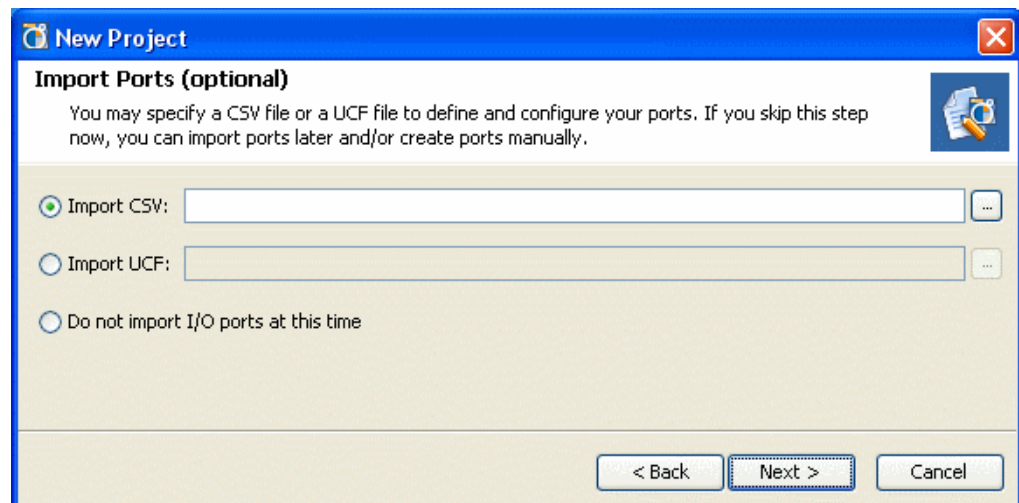


図 3-15 : New Project ウィザード : [Import Ports] ページ

- ◆ [Import CSV] : PlanAhead フォーマットの I/O ポート定義を含む CSV ファイルを選択します。
- ◆ [Import UCF] : I/O 関連の制約のみを含む UCF ファイルを選択します。
- ◆ [Do not import I/O ports at this time] : 空のプロジェクトを作成します。I/O は、いつでも作成またはインポートできます。

2. I/O ポート定義オプションを選択し、[Next] をクリックします。



### デフォルト デバイスの選択

50 ページの図 3-6 に示す [Default Part] ページで、デフォルト デバイスを選択します。

選択可能なデバイスは、このページの下部にリストされます。デバイス リソースに関する情報が、表形式で表示されます。製品 ([Product])、ファミリー ([Family])、サブファミリー ([Sub-Family])、パッケージ ([Package])、スピード グレード ([Speed Grade])、および温度 ([Temp Grade]) フィルタを使用して、リストされるデバイスを絞り込むことができます。フィルタからサブカテゴリを選択すると、該当するデバイスがリストに表示されます。

3. ターゲットの製品ファミリー アーキテクチャとデフォルト デバイスを選択し、[Next] をクリックします。

**メモ：**デフォルト デバイスは、合成およびインプリメンテーションを実行するとき、RTL デザインまたはネットリスト デザインを開いたときに変更できます。

51 ページの図 3-7 に示す [New Project Summary] ページが表示されます。

4. [Finish] をクリックして、プロジェクトの作成を完了します。

I/O デザイン環境に関連のビューが表示されます。

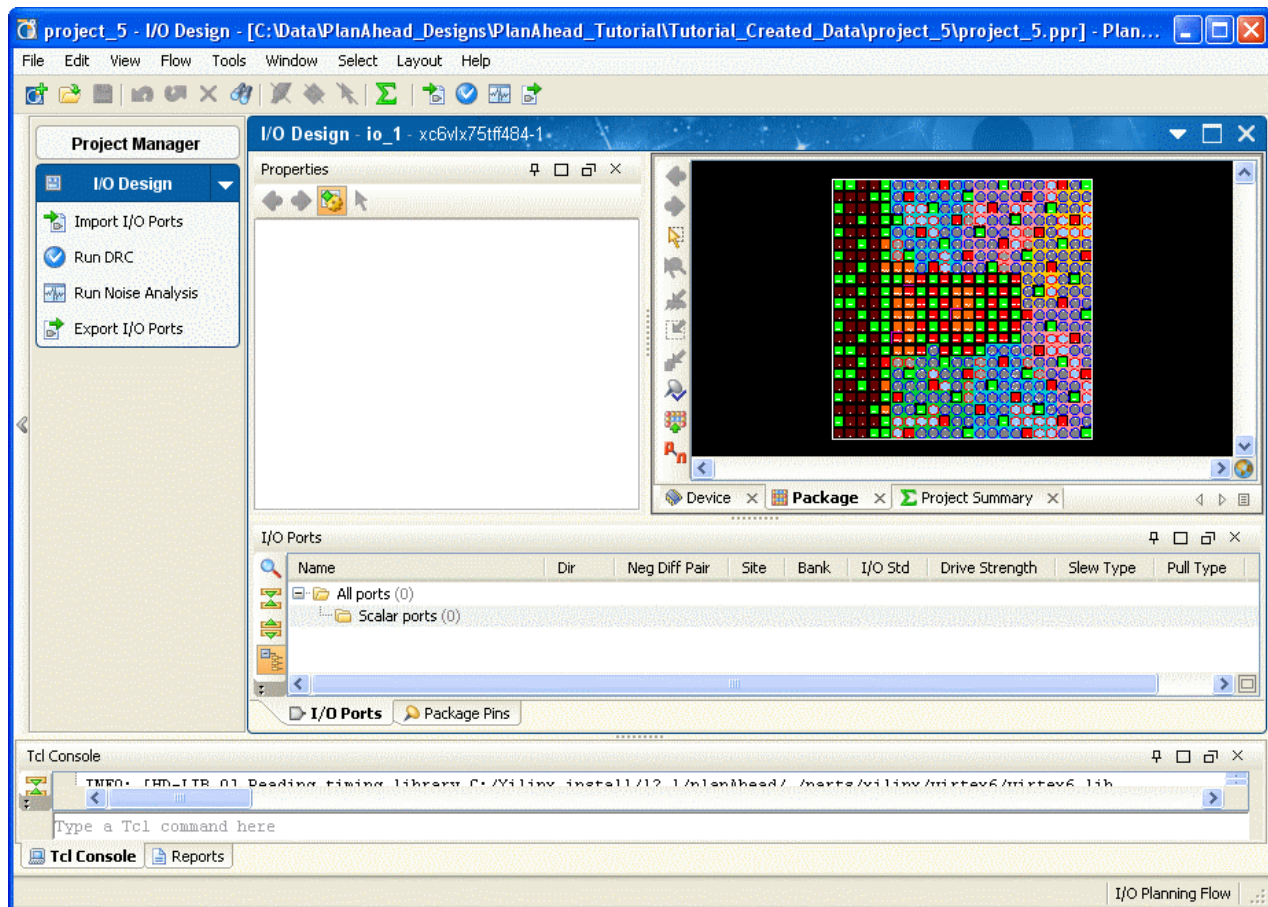


図 3-16 : I/O ピン配置プロジェクト用の I/O デザイン環境

## ISE の配置およびタイミング結果を使用したプロジェクトの作成

PlanAhead では ISE のインプリメンテーション結果を含むネットリストと対応する制約をインポートしてプロジェクトを作成できます。このプロジェクトは、インプリメンテーション環境を使用して配置配線結果を解析するのに使用します。

1. 45 ページの「New Project ウィザードの使用」の手順に従ってプロジェクトを作成します。
2. [Design Source] ページで [Import ISE Place & Route results] をオンにします。

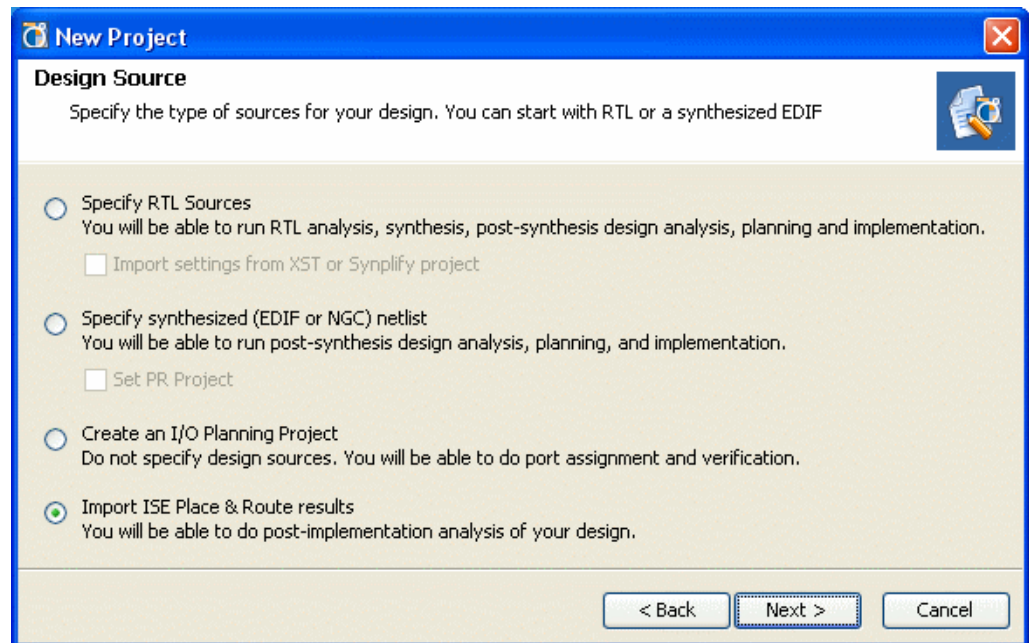


図 3-17 : New Project ウィザード : ISE 結果のインポート

このプロジェクト タイプの作成手順は、合成済みネットリスト プロジェクトを作成する手順と同じですが、配置ファイルおよびオプションでタイミング ファイルもインポートするページがあります。

3. 52 ページの「合成済みネットリストを使用したプロジェクトの作成」の手順に従います。

### 配置およびタイミング結果のインポート

プロジェクトを作成する手順を完了すると、[Import ISE Implementation Results] ページが表示されます。ISE で生成された配置配線結果をインポートし、PlanAhead で表示および解析するためのフロアプランを作成することができます。

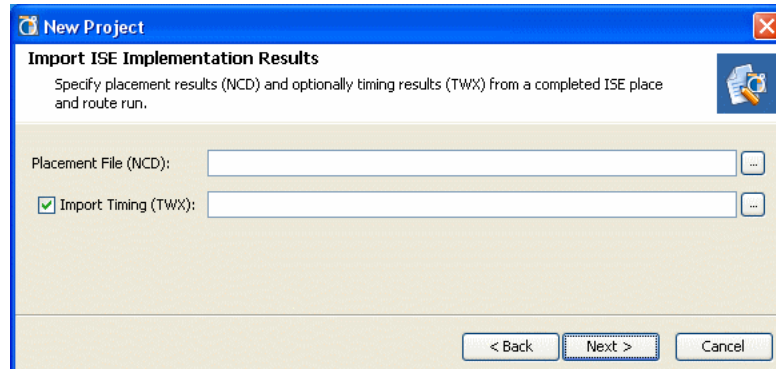


図 3-18 : New Project ウィザード : [Import ISE Implementation Results] ページ

1. [Import ISE Implementation Results] ページで、次を指定します。
  - ◆ [Placement File (NCD)] : ISE インプリメンテーション ディレクトリから NCD フォーマットの配置結果ファイルを指定します。
  - ◆ [Import Timing (TWX)] : チェック ボックスをオンにし、TWX など ISE インプリメンテーションのタイミング結果ファイルを指定します。

[Next] をクリックすると、[New Project Summary] ページが表示されます。

2. [Finish] をクリックし、新規プロセスの作成プロセスを完了します。

プロジェクトが開き、インプリメント済みデザインを開くか ([Open Implemented Design])、ビットストリームを生成するか ([Generate Bitstream])、レポートを表示するか ([View Reports]) を選択するダイアログ ボックスが表示されます。

3. [Open Implemented Design] をオンにし、[OK] をクリックします。

インプリメント済みデザイン環境にデザインの配置およびタイミング結果が読み込まれ、関連のビューが表示されます。



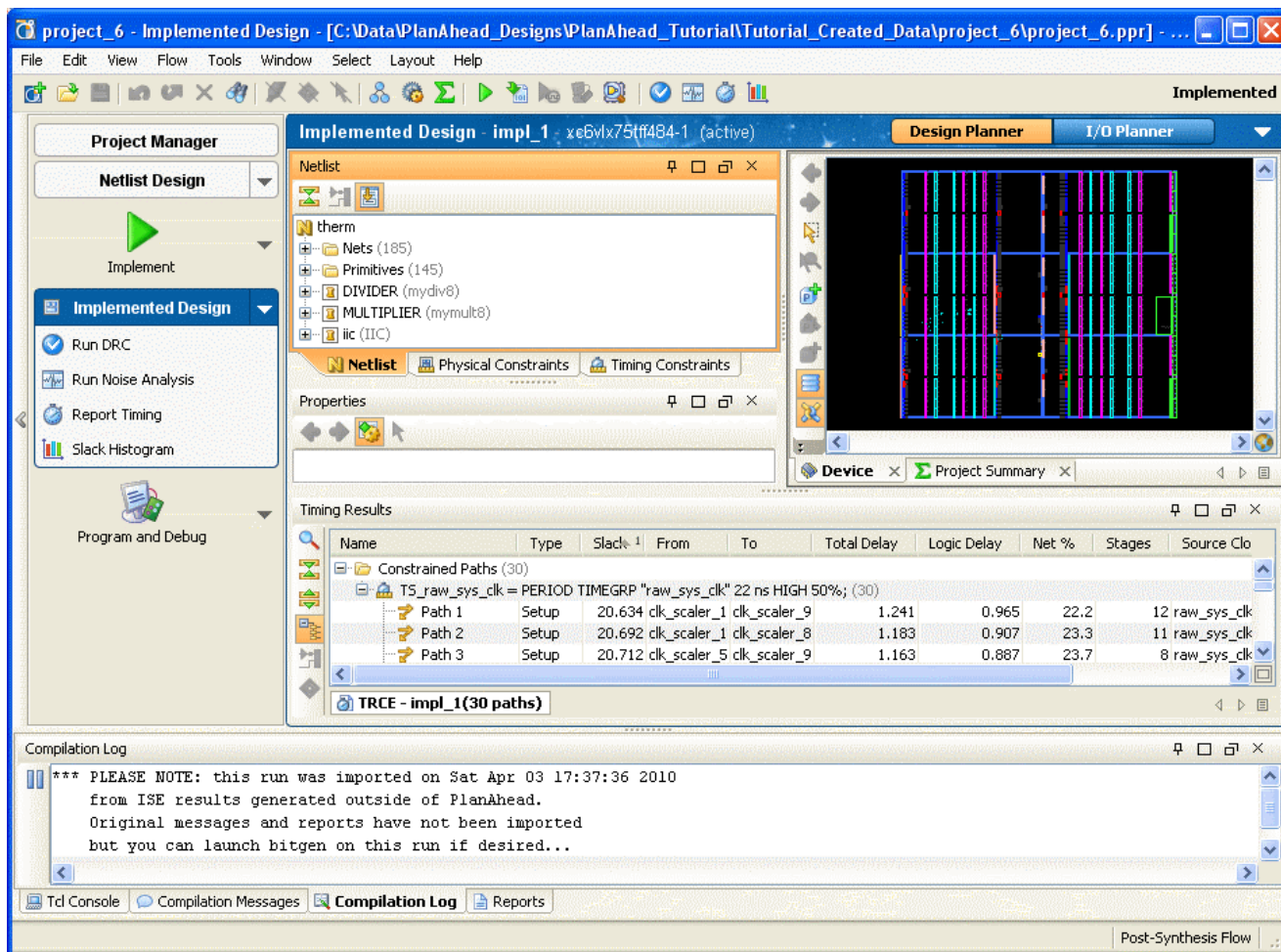


図 3-19 : ISE の配置配線結果プロジェクトが読み込まれたインプリメント済みデザイン環境

## 既存のプロジェクトを開く

PlanAhead で既存のプロジェクトを開くには、[Open Project] コマンドを使用するか、Windows の場合は PlanAhead プロジェクト (PPR) ファイルをダブルクリックすると、PlanAhead が起動しファイルが開きます。プロジェクトは、前回プロジェクトを閉じた時点の状態で開き、これまでのインプリメンテーション実行の状態が復元されます。

開いているプロジェクトまたは作成中のプロジェクトのタイプ (RTL ソースまたはネットリストソース) に応じたビュー レイアウトが表示されます。

プロジェクトを開くには、次の方法のいずれかを実行します。

- Getting Started ページの [Open Recent Project] または [Open Project] リンクをクリックします。
- [File] → [Open Project] をクリックします。
- 次の図に示す [Open Project] ツールバー ボタンをクリックします。



図 3-20 : [Open Project] ボタン

[Open Project] ダイアログ ボックスが表示されます。PPR プロジェクト ファイルを選択します。

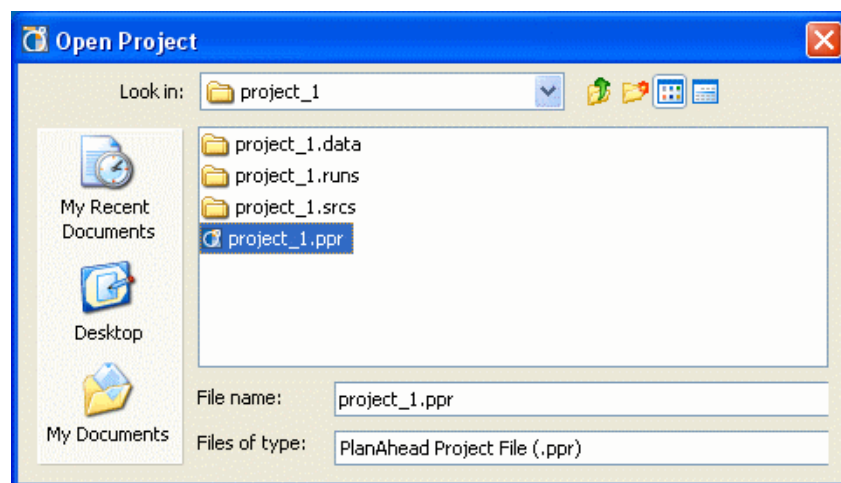


図 3-21 : [Open Project] ダイアログ ボックス

アップデートは、実行時にプロジェクトに自動的に保存されます。

## 複数のプロジェクトを開く

62 ページの「既存のプロジェクトを開く」に示す方法のいずれかを使用して、1 つの PlanAhead セッションで複数のプロジェクトを同時に開くことができます。開いたプロジェクトごとに別個の PlanAhead メイン ウィンドウが開きます。

**メモ：**複数のプロジェクトを開いた場合、システム メモリの要件により、パフォーマンスが低下することがあります。

## プロジェクトの保存

プロジェクトを保存するには、[File] → [Save Project] または [File] → [Save Project As] をクリックします。プロジェクトを閉じる際、保存されていないデザインまたは変更があることを示すメッセージが表示されます。データを保存してからプロジェクトを閉じるかどうかの選択肢があります。同じデータに対する変更が複数ある場合、保存するデザインを選択できます。

[Save Project As] コマンドを使用すると、プロジェクト ディレクトリ 構造全体がコピーされ、実行のステータスも保持されます。

## プロジェクトを閉じる

プロジェクトを閉じるには、[File] → [Close Project] コマンドを使用します。プロジェクトを閉じる際、保存されていないデザインまたは変更があることを示すメッセージが表示されます。データを保存してからプロジェクトを閉じるかどうかの選択肢があります。

## プロジェクト ソースの管理

PlanAhead では、新規ソース ファイルを作成、およびローカルまたはリモートにある既存のソース ファイルを管理できます。

### [Sources] ビュー

ソース ファイルの作成および管理操作のほとんどは、[Sources] ビューで実行します。ソース ファイルの編集については、[第 5 章「RTL および IP デザイン」](#) を参照してください。

### ソース ファイルの作成

[Sources] ビューから Verilog、Verilog ヘッダ、または VHDL ソース ファイルを作成するには、次の手順に従います。

1. [Sources] ビューを右クリックし、ポップアップ メニューから [Create Source File] をクリックして、次のいずれかをクリックします。
  - ◆ [Verilog] : Verilog ファイル (.v) を作成します。
  - ◆ [Verilog Header] : Verilog ヘッダ ファイル (.h) を作成します。
  - ◆ [VHDL] : VHDL ファイル (.vhd1) を作成します。

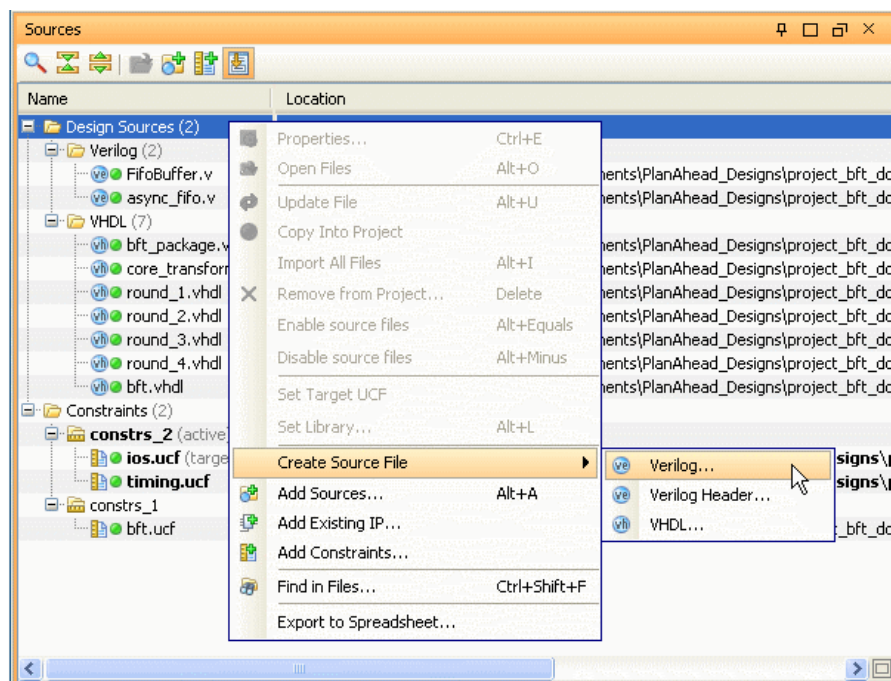


図 3-22 : [Create Source File] コマンド

2. 次の情報を入力します。

- ◆ [File name] : 作成する HDL ソース ファイルの名前を入力します。
- ◆ [Save in] : ファイルを作成する場所を指定します。

3. [OK] をクリックします。

作成したファイルが RTL エディタで開きます。

## ソース ファイルの追加

RTL ソースは、次の図に示す [Add Sources] ダイアログ ボックスを使用して、いつでもプロジェクトに追加できます。

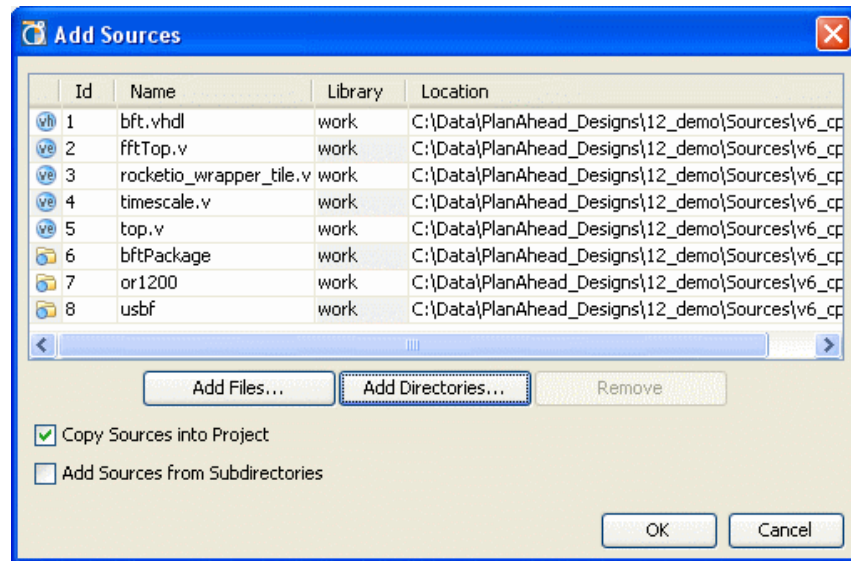


図 3-23 : [Add Sources] ダイアログ ボックス

1. [Sources] ビューを右クリックして [Add Sources] をクリックするか、ツールバーの [Add Sources] をボタンをクリックし、[Add Sources] ダイアログ ボックスを開きます。
2. 次のオプションを使用して追加するファイルを選択します。
  - ◆ [Add Files] : プロジェクトに追加する RTL ファイルを選択します。[Add Sources] ダイアログ ボックスの [Library] 列のドロップダウン リストから、VHDL ライブラリも指定できます。
  - ◆ [Add Directories] : 選択したディレクトリに含まれるすべての RTL ファイルを追加します。ディレクトリ階層にある、有効なソース ファイルがすべてプロジェクトに追加されます。
  - ◆ [Remove] : 選択されたソース ファイルを削除します。
  - ◆ [Copy Sources into Project] : ソース ファイルを PlanAhead のプロジェクト ディレクトリにコピーします。
  - ◆ [Add Sources from Subdirectories] : 選択したディレクトリのサブディレクトリに含まれるソース ファイルをすべて追加します。

66 ページの図 3-24 に示すように、ソースを追加するとき、[Library] 列をクリックし、ファイルまたはディレクトリのライブラリ名を選択または入力できます。

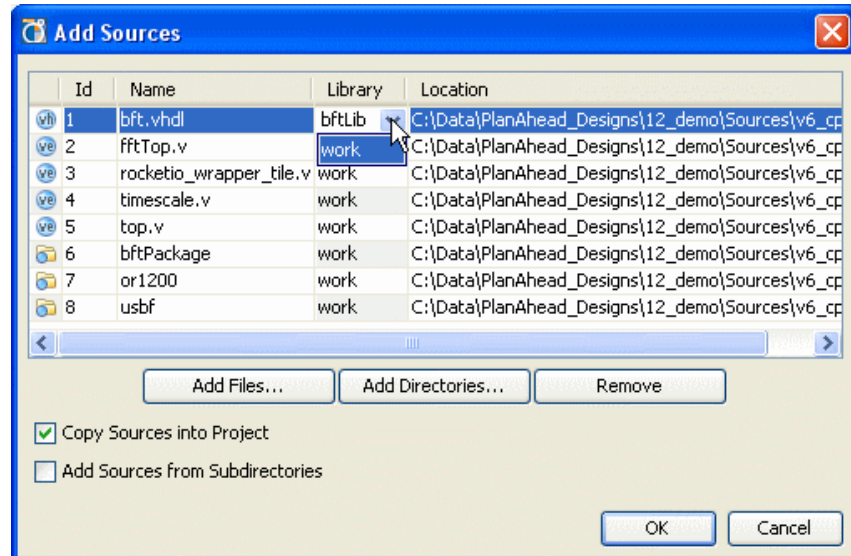


図 3-24 : [Add Sources] ダイアログ ボックスでのソース ライブラリ変更

## リモート ソースの参照またはプロジェクト ディレクトリへのソースのコピー

ソース ファイルは、リモート ロケーションから参照するか、プロジェクト ディレクトリにコピーできます。プロジェクトを移動またはアーカイブする可能性がある場合は、すべてのファイルがプロジェクト内に保存されるように、ファイルをプロジェクトにコピーすることをお勧めします。

リモート ファイルを追加した場合、最新のファイルが自動的に認識され、開いているデザインを更新するか、アップデートされたファイルを使用して合成を実行するようメッセージが表示されます。

**メモ：**プロジェクトにファイルをコピーすると、プロジェクトを別のシステムに移行しやすくなりますが、外部ファイルの変更は PlanAhead で認識されません。リモート ファイルの変更を適用するには、ファイルを削除して追加し直すか、[Sources] ビューのコマンドを使用してファイルをアップデートします。

ファイルをプロジェクト ディレクトリにコピーするには、New Project ウィザードの [Add Sources] ページで [Copy Sources into Project] をオンにします。

## ソース ファイル プロパティの表示

[Sources] ビューで RTL ソース ファイルを選択して、[Source File Properties] ビューにファイルの情報を表示できます。ソース ファイル プロパティを表示するには、次の手順に従います。

1. [Sources] ビューでソース ファイルを右クリックします。
2. [Source File Properties] をクリックします。

67 ページの図 3-25 に [Source File Properties] ビューを示します。



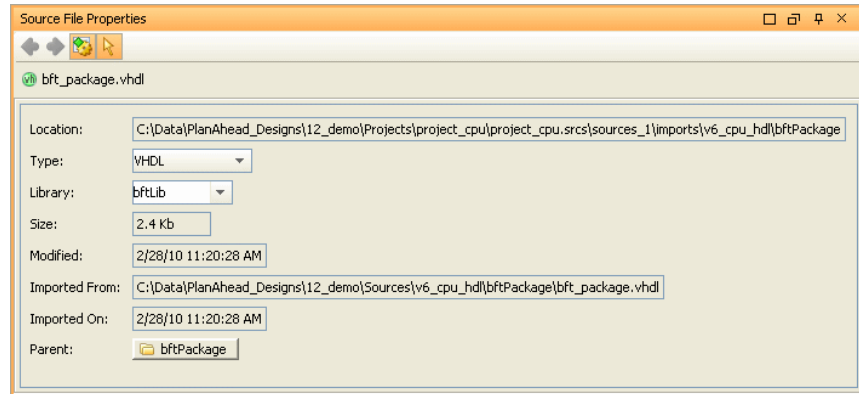


図 3-25 : [Source File Properties] ビュー

このビューに表示されるファイル情報は、場所、タイプ、ライブラリ、サイズ、最後に変更された日時、コピー元、コピー日時、および親モジュールです。

ライブラリを変更するには、[Library] で新しいライブラリを選択または入力し、[Apply] をクリックします。

## ソース ファイルのアップデート

リモート ソースを参照すると、そのアップデートが PlanAhead で自動的に認識されます。デザインを開いている場合は、更新して変更が適用されるようにする必要があります。

プロジェクトにコピーされているソース ファイルをアップデートには、次の方法があります。

- RTL エディタを使用し、RTL のすべての変更を PlanAhead 内で加えます。
- [Sources] ビューでソース ファイルを右クリックして [Update File] をクリックし、プロジェクトに新しく追加するファイルを選択します。

**メモ：**ファイルは、プロジェクトに追加された元のファイルとは異なる名前であるか、または異なる場所にある必要があります。同じ場所にある同じ名前のファイルを追加することは、現在のところ不可能です。

- RTL ソースを右クリックしてポップアップ メニューから [Remove from Project] をクリックしてファイルをプロジェクトから削除した後、[Add Sources] をクリックしてアップデートされたソースを追加します。
- RTL ソースを右クリックしてポップアップ メニューから [Add Sources] をクリックしてアップデートされたソース ファイルをプロジェクトに追加した後、古いソース ファイルをディスエーブルにします。

## ソース ファイルのイネーブル/ディスエーブル

ソース ファイルを追加または作成すると、デフォルトでイネーブルになります。ソース ファイルは、エラボレートまたは合成されないよう、ディスエーブルにできます。

ソース ファイルのイネーブル/ディスエーブルを切り替えることにより、ソース ファイルの異なるバージョンを管理できます。

- ソース ファイルをディスエーブルにするには、[Sources] ビューでファイルを右クリックし、[Disable source files] をクリックします。
- ディスエーブルになっているソース ファイルをイネーブルにするには、[Sources] ビューでファイルを右クリックし、[Enable source files] をクリックします。

## 既存の IP のプロジェクトへの追加

PlanAhead では、既存の IP コアをプロジェクトに追加できます。IP コアとしては、合成済みの NGC / EDIF ネットリスト、エンベデッド ツールまたは DSP ツールを介して CORE Generator™ ツール生成されたコアを使用できます。[Sources] ビューには、各ソース ファイルのフォルダが表示されます。

PlanAhead を使用して、CORE Generator コアを変更および再インプリメントできます。第 5 章の「CORE Generator を使用した IP のコンフィギュレーション」を参照してください。

## PlanAhead の XSP および EDK との使用

ザイリンクス FPGA デバイスにエンベデッド システムを構築するには、Xilinx Platform Studio (XPS) ツールを使用します。XPS は、ハードウェアおよびソフトウェア システム コンポーネントを統合して開発する環境を提供します。

XPS で [Hardware] → [Generate Netlist] または [Hardware] → [Generate Bitstream] をクリックすると、/synthesis および /implementation サブディレクトリが生成されます。

- /synthesis サブディレクトリには、合成スクリプト (.scr)、プロジェクト ファイル (.prj)、およびレポート ファイル (.srp) が含まれます。
- /implementation サブディレクトリには、合成プロセスで作成されたデザイン ネットリスト ファイルが含まれます。

また、デバイス上のブロック RAM をコンフィギュレーションする BMM ファイルも /implementation サブディレクトリに作成されます。PlanAhead ツールは、デザイン フローの合成実行後に使用できます。

XPS では、デザインの合成に XST (Xilinx Synthesis Technology) を使用します。生成される合成済みネットリストは NGC フォーマットです。最上位ファイルには system.ngc という名前が付けられ、その他の NGC ファイルの名前は <module\_name>.ngc となります。

デザイン制約は、system.ucf ファイルに含まれます。これらのファイルは、プロジェクトの作成時に PlanAhead プロジェクトに最上位モジュールのソースとしてまたはシステム レベル デザインにインスタンスエートして追加するか、[Add Sources] コマンドを使用して追加します。これらのファイルは、[Sources] ビューの [Cores] フォルダの下に追加されます。

## 制約の追加と管理

PlanAhead を使用すると、制約を柔軟に定義できます。1 つの UCF ファイルを使用して、デザインで使用されるすべての制約を追加および管理できます。

この場合、比較的単純で基本的なプッシュ ボタン デザイン フローがサポートされます。UCF ファイルはプロジェクトの作成中に追加するか、[Add Constraints] コマンドを使用して追加します。

複数の制約セットを作成して、さまざまな制約を試したり、複数のバージョンの制約を保存したりすることも可能です。

1 つの制約セットを複数のデザインで使用することもできます。同じ制約セットを複数のデザインで使用する場合は、変更を注意して管理してください。複数のデザインに保存されていない変更がある場合、どのデザインを保存するかを選択するダイアログ ボックスが表示されます。



## 制約の追加

制約ファイルは、プロジェクトの作成中に追加するか、[Add Constraints] コマンドを使用して追加します。最上位 UCF 制約ファイル、モジュール レベルの NCF または XNCF 制約ファイルを追加できます。

### 元の UCF ファイルの参照またはファイルのコピー

リモート UCF ファイルを参照するか、プロジェクトにコピーできます。リモート ファイルを追加した場合、最新のファイルが自動的に認識され、アップデートされたファイルを使用して開いているデザインを更新するようメッセージが表示されます。

**メモ：**プロジェクトにファイルをコピーすると、プロジェクトを別のシステムに移行しやすくなりますが、外部ファイルの変更は PlanAhead で認識されません。リモート ファイルの変更を適用するには、ファイルを削除して追加し直すか、[Sources] ビューのコマンドを使用してファイルをアップデートします。

ファイルをプロジェクト ディレクトリにコピーするには、New Project ウィザードの [Constraint File] ページで [Copy Sources into Project] をオンにします。

### 新規プロジェクト作成時の制約の追加

プロジェクトを作成する際、New Project ウィザードで最上位 UCF ファイルまたはコア レベルの NCF ファイルを追加できます。RTL またはネットリスト ソース ファイルと同じディレクトリにある UCF および NCF ファイルが存在する場合、次の図に示すように、[Constraint Files] ページに表示されます。

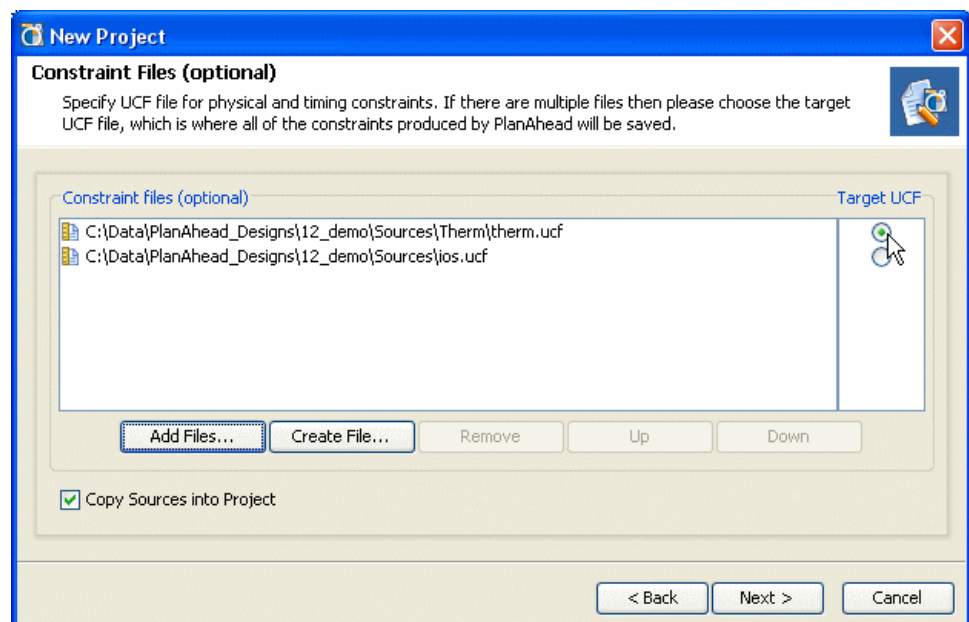


図 3-26 : New Project ウィザードでの制約ファイルの追加

[Up] および [Down] ボタンを使用すると、ファイルの順序を変更できます。UCF 制約は順序に依存し、最後に設定されたものが使用されます。

- [Add Files] : 既存の UCF または NCF 制約ファイルをプロジェクトに追加します。
- [Create File] : 制約セットに追加する新規 UCF ファイルを作成します。

- [Copy Sources into Project] : リモート UCF ファイルを参照するか、プロジェクトにコピーするかを選択します。

## [Add Constraints] コマンドの使用

制約ファイルは、[Sources] ビューの [Add Sources] ツールバー ボタンまたは右クリック メニューから [Add Constraints] クリックすることにより、いつでもプロジェクトに追加できます。

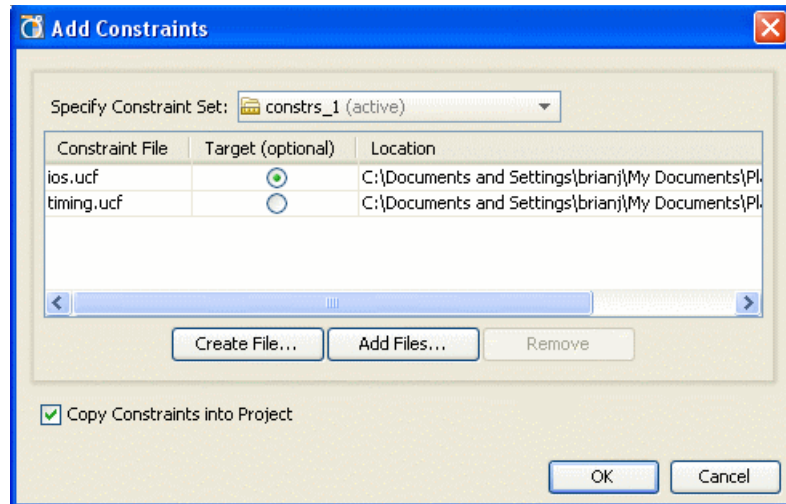


図 3-27 : [Add Constraints] ダイアログ ボックス

[Add Constraints] ダイアログ ボックスを使用すると、最上位制約ファイルを既存の制約セットに追加するか、または新規制約セットを作成できます。

### ターゲット UCF の設定

1 つの制約セットに複数の UCF ファイルが存在する場合、ターゲット UCF を指定する必要があります。ターゲット UCF とは、PlanAhead で作成した制約を記述するファイルです。ターゲット UCF は、いつでも変更できます。

複数の制約ファイルを追加する場合、68 ページの「制約の追加と管理」に説明するように、New Project ウィザードで 1 つのファイルをターゲット UCF として設定します。

## 制約セットの使用

制約セットには、1 つまたは複数の UCF または NCF ファイルが含まれています。これらのファイルは個別に管理され、1 つの UCF ファイルに結合されて ISE インプリメンテーションに渡されます。

PlanAhead では、制約を操作したときに、これらのファイルができるだけそのまま保持されます。既存の制約値を PlanAhead で変更した場合、変更は元のファイルに保存されます。新しい変更は、ターゲット UCF ファイルに記述されます。

### ターゲット UCF の変更

ターゲット UCF はいつでも変更できます。変更するには、[Sources] ビューでターゲット UCF とするファイルを右クリックし、[Set Target UCF] をクリックします。

## 制約セットの作成

PlanAhead では、デザイン フローのさまざまな段階で異なる制約タイプを作成できます。次のデザインで制約を設定できます。

- RTL デザイン
- ネットリスト デザイン
- インプリメント済みデザイン

また、テキスト エディタを使用して UCF ファイルに制約を入力できます。

RTL、ネットリスト、またはインプリメント済みデザインでの変更を、新しい制約セットに保存できます。[Save Design As] ダイアログ ボックスで、新しい制約セット名を入力できます。

[Add Constraints] ダイアログ ボックスで制約セットを作成するには、70 ページの図 3-27 に示すように、[Specify Constraint Set] ドロップダウン リストから [Create Constraint Set] を選択し、制約セット名を入力します。

## [Save Design As] コマンドの使用

制約は複数の方法で変更できるので、変更を新しい制約セットとして保存すると便利です。開いているデザインから制約セットを新しい名前で作成するには、[File] → [Save Design As] をクリックします。個々の UCF ファイルは、最後の変更が適用され、そのまま保持されます。

ダイアログ ボックスには、作成した制約セットをアクティブ制約セットに設定するオプションもあります。

## [Add Constraints] コマンドの使用

次の図に示すように、[Add Constraints] コマンドを使用して新規制約セットを作成できます。

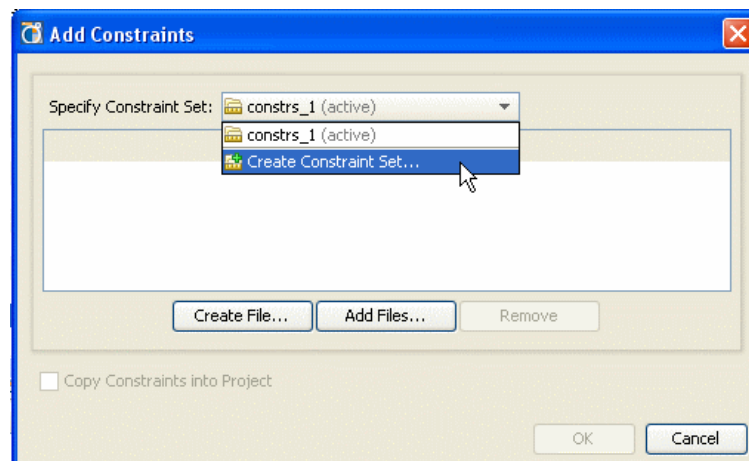


図 3-28 : 新規制約セットの作成

[Add Constraints] ダイアログ ボックスで [Create Constraint Set] を選択すると、新規制約セット名を入力するダイアログ ボックスが表示され、[Add Constraints] ダイアログ ボックスに作成した制約セットをアクティブにするオプションが表示されます。制約セットを作成したら、[Add Files] をクリックして追加する UCF または NCF ファイルを選択するか、[Create File] をクリックして新規 UCF ファイルを作成します。

## アクティブ制約セットの定義

複数の制約セットが存在する場合、アクティブ制約セットを指定する必要があります。PlanAhead では、インプリメンテーション実行を起動したとき、RTL、ネットリスト、またはインプリメント済みデザインを開いたときに、アクティブ制約セットがデフォルトで使用されます。

アクティブ制約セットを設定するには、次の手順に従います。

1. [Sources] ビューで制約セットを右クリックし、[Make active] をクリックします。

アクティブ制約セットが太字で表示され、「(active)」と示されています。

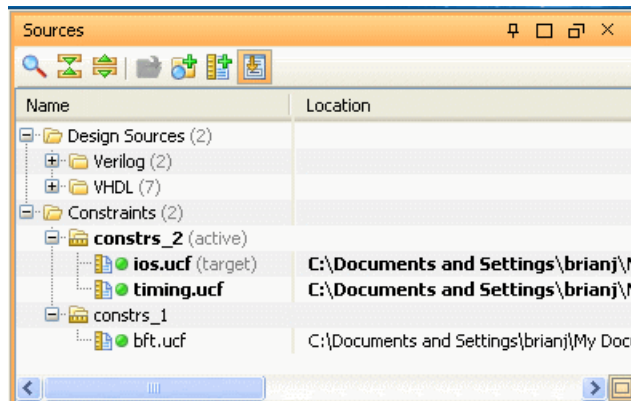


図 3-29：アクティブ制約セットの設定

## モジュール レベルの制約ファイルの使用

PlanAhead では、モジュール レベルの制約ファイルをプロジェクト (通常はコアを含むプロジェクト) に追加できます。NCF および XNCF ファイルを使用できます。

NCF ファイルは、New Project ウィザードまたは [Add Constraints] コマンドを使用して追加します。RTL または ネットリスト ソース ファイルと同じディレクトリに NCF ファイルが含まれている場合、New Project ウィザードの [Constraint File] ページに表示されます。

XNCF ファイルは ngc2edif コマンドで生成され、PlanAhead により自動的に認識されて制約セットに追加されます。NGC フォーマットのコアにタイミング制約が含まれている場合 (EDK コアや一部の CORE Generator など)、EDIF ネットリストが PlanAhead に渡される前に、ngc2edif によりそれらのタイミング制約が抽出されます。これにより、PlanAhead で制約が認識されるようになり、デザイン解析で使用されます。

これらのファイルは PlanAhead で読み出し専用のファイルとして扱われるので直接編集することはできませんが、PlanAhead 内でモジュール レベルの制約に新しい値を定義できます。新しい制約値は、ターゲットの最上位 UCF ファイルに記述されます。最上位 UCF ファイルはモジュール レベルの NCF ファイル後にインプリメンテーションに渡されるので、新しい制約値が使用されます。

**メモ：**モジュール レベルの制約を変更する場合は、IP 作成方法を使用して元のソースでファイルを編集するのが理想的です。

**メモ：**モジュール レベルの制約を説明したように変更することはできますが、削除することはできません。モジュール レベルの制約を削除しても、ネットリストまたは RTL デザインを閉じて開き直したときにファイルが再び表示されます。

メモ：PlanAhead では、モジュール レベルの UCF ファイルをインスタンスごとにインポートすることはできません。モジュール レベルの NCF ファイルは、モジュール レベルのネットリストの名前に一致している場合に処理されます。これは ISE の動作と一致します。

## 制約のエクスポート

PlanAhead で制約ファイルを作成し、コマンド ライン デザイン フローでのスクリプトに使用する場合があります。

UCF 制約をエクスポートするには、[File] → [Export Constraints] をクリックします。詳細は、[第 9 章の「制約のエクスポート」](#)を参照してください。

## プロジェクト設定

プロジェクト設定には、PlanAhead のさまざまな場所からアクセスできます。アクセスした場所に対応したダイアログ ボックスが表示されます。

[Project Settings] ダイアログ ボックスを表示するには、次の図に示すツールバーの [Project Settings] をクリックするか、Flow Navigator の Project Manager メニューから [Project Settings] をクリックします。また、[Project Summary] ビューの [Project Settings] セクションの [Edit] をクリックしても、[Project Settings] ダイアログ ボックスを開くことができます。



図 3-30 : [Project Settings] ボタン

[Project Settings] ダイアログ ボックスの [General] ページが開きます。

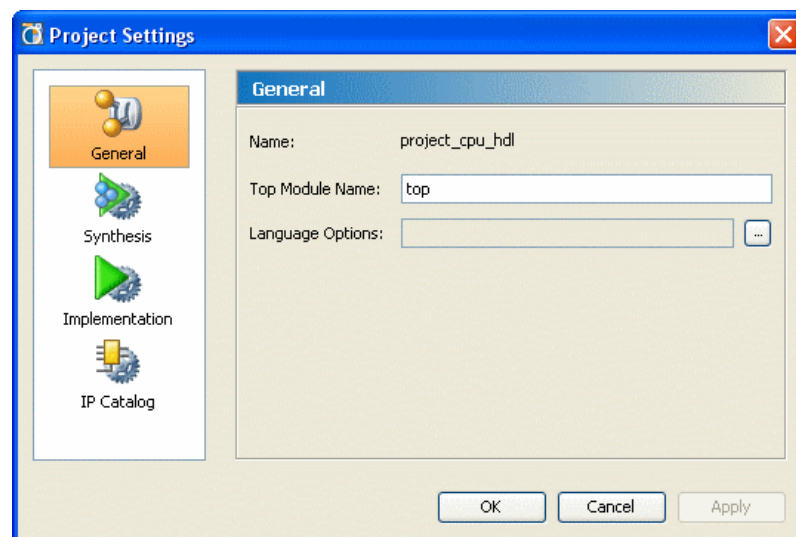


図 3-31 : [Project Settings] ダイアログ ボックス

[Project Settings] ダイアログ ボックスには、次の 4 つのカテゴリがあります。

- [General] : プロジェクト名、最上位モジュール名、言語オプションを表示します。
- [Synthesis] : デフォルト デバイス、デフォルトの制約セット、ストラテジとその説明を表示します。[Options] セクションの [Description] の下には Tcl コマンドが表示され、選択するとそのオプションの説明が表示されます。

- [Implementation] : デフォルト デバイス、デフォルトの制約セット、ストラテジとその説明を表示します。[Options] セクションの [Description] の下には Tcl コマンドが表示され、選択するとそのオプションの説明が表示されます。
- [IP Catalog] : IP カタログの場所と HDL のタイプを表示します。IP カタログについては、第 5 章の「IP カタログの設定」で詳細に説明します。

## [Project Settings] ダイアログ ボックスの [General] ページ

次の図に、[Project Settings] ダイアログ ボックスの [General] ページを示します。

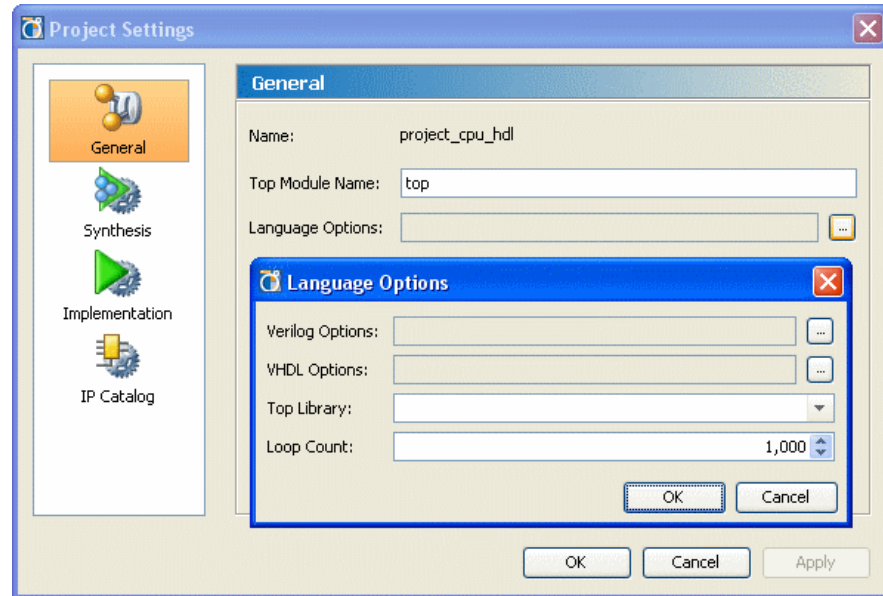


図 3-32 : [Project Settings] ダイアログ ボックスの [General] ページと [Language Options] ダイアログ ボックス

[Project Settings] ダイアログ ボックスの [General] ページには、次の情報が表示されます。

- [Name] : プロジェクト名。
- [Top Module Name] : デザインの最上位モジュールの名前を入力します。下位モジュール名を入力し、特定のモジュールに対して合成を実行することもできます。
- [Language Options] : Verilog または VHDL オプションを入力します。



## [Project Settings] ダイアログ ボックスの [Synthesis] ページ

次の図に、[Project Settings] ダイアログ ボックスの [Synthesis] ページを示します。

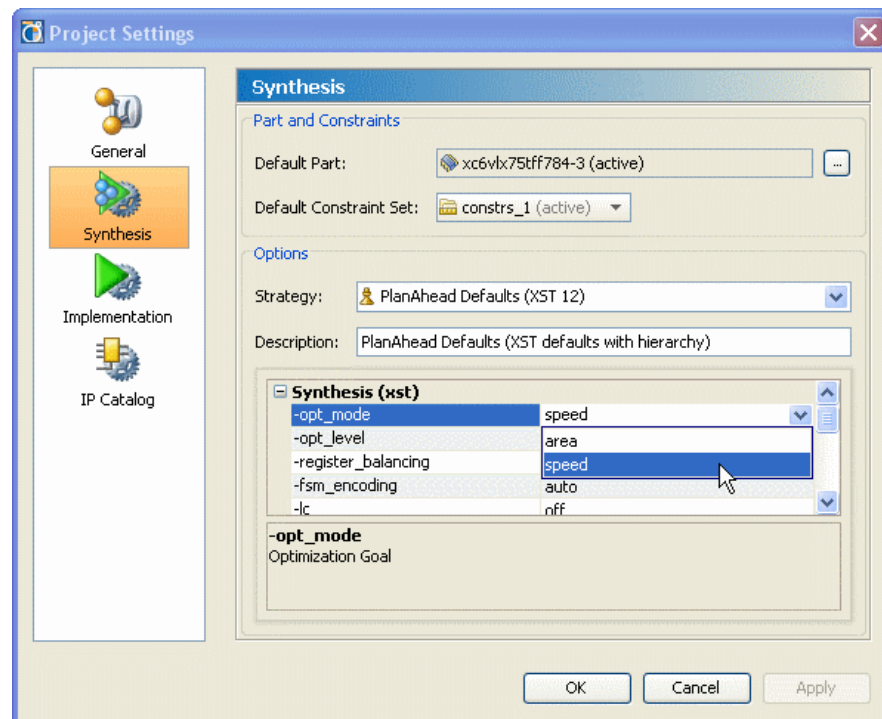


図 3-33 : [Project Settings] ダイアログ ボックスの [Synthesis] ページ

[Project Settings] ダイアログ ボックスの [Synthesis] ページには、次の情報が表示されます。

- [Default Part] : デフォルトのターゲット デバイスを示します。参照ボタンをクリックすると、[Select Part] ダイアログ ボックスが表示され、デバイスを変更できます。
- [Default Constraint Set] : 実行で使用する制約セットを選択します。この設定は、合成の実行には影響しません。
- [Strategy] : 実行に適用するストラテジを選択します。PlanAhead で提供されている定義済みストラテジを使用するか、独自のストラテジを作成できます。詳細は、[301 ページの「合成およびインプリメンテーション ストラテジの作成」](#)を参照してください。ストラテジを選択すると、関連するオプションが下に表示されます。
- [Description] : 実行の説明を入力します。
- ストラテジのオプションは、[図 3-33](#) に示すように、このページで変更できます。

## [Project Settings] ダイアログ ボックスの [Implementation] ページ

次の図に、[Project Settings] ダイアログ ボックスの [Implementation] ページを示します。

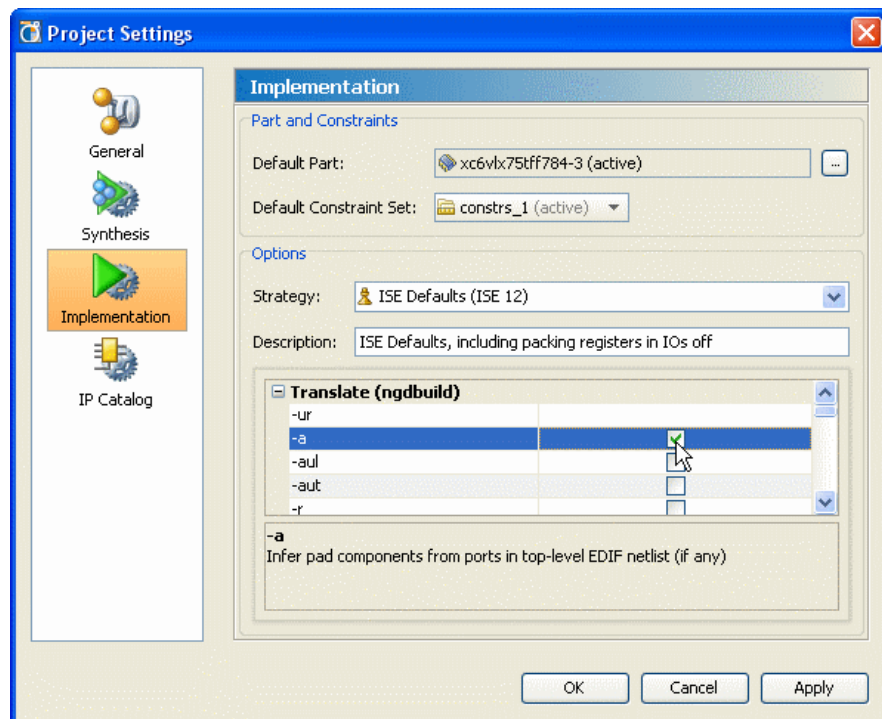


図 3-34 : [Project Settings] ダイアログ ボックスの [Implementation] ページ

[Project Settings] ダイアログ ボックスの [Implementation] ページには、次の情報が表示されます。

- [Default Part] : デフォルトのターゲット デバイスを示します。参照ボタンをクリックすると、[Select Part] ダイアログ ボックスが表示され、デバイスを変更できます。
- [Default Constraint Set] : 実行で使用する制約セットを選択します。
- [Strategy] : 実行に適用するストラテジを選択します。PlanAhead で提供されている定義済みストラテジを使用するか、独自のストラテジを作成できます。詳細は、[301 ページの「合成およびインプリメンテーション ストラテジの作成」](#)を参照してください。ストラテジを選択すると、関連するオプションが下に表示されます。
- [Description] : 実行の説明を入力します。
- ストラテジのオプションは、[図 3-34](#) に示すように、このページで変更できます。



## [Project Settings] ダイアログ ボックスの [IP Catalog] ページ

次の図に、[Project Settings] ダイアログ ボックスの [IP Catalog] ページを示します。

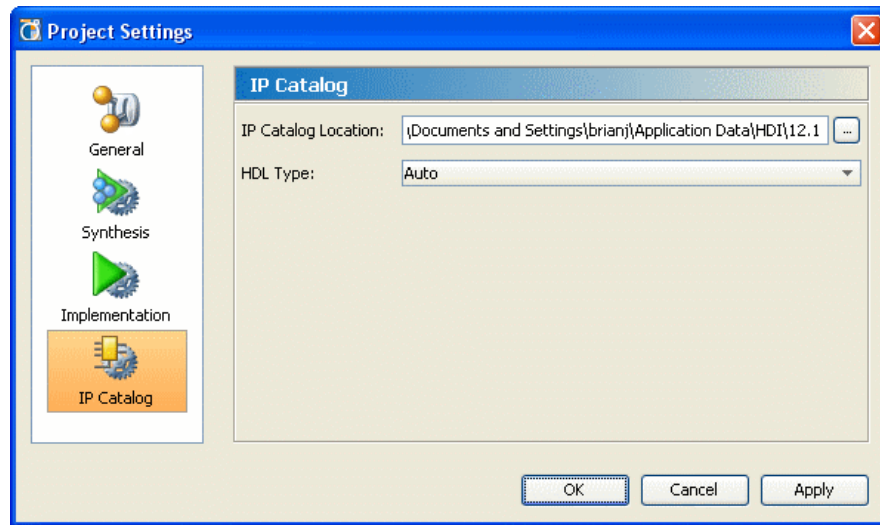


図 3-35 : [Project Settings] ダイアログ ボックスの [IP Catalog] ページ

[Project Settings] ダイアログ ボックスの [IP Catalog] ページには、次の情報が表示されます。

- [IP Catalog Location] : ローカル IP カタログを作成する場所を指定します。これは、PlanAhead をインストールした後初めて起動するとき、および [Update IP Catalog] コマンドを実行したときに実行されます。詳細は、第 5 章「RTL および IP デザイン」を参照してください。
- [HDL Type] : IP モジュールを作成するデフォルトの言語を選択します。[Verilog]、[VHDL]、または [Auto] を選択できます。[Auto] を選択すると、最上位モジュールと同じ言語が使用されます。

## [Project Summary] ビュー

PlanAhead には、デザインおよびプロジェクトの情報を表示する [Project Summary] ビューがあります。このビューは、デザイン コマンドが実行されると随時アップデートされます。起動コマンドへのリンクや、より詳細な情報を表示するためのリンクもあります。

[Project Summary] ビューを開くには、次のいずれかの方法を使用します。

- Flow Navigator の Project Manager メニューから [Project Summary] をクリックします。
- ツールバーの [Project Summary] ボタンをクリックします。
- [Window] → [Project Summary] をクリックします。

78 ページの図 3-36 に示す [Project Summary] ビューが表示されます。

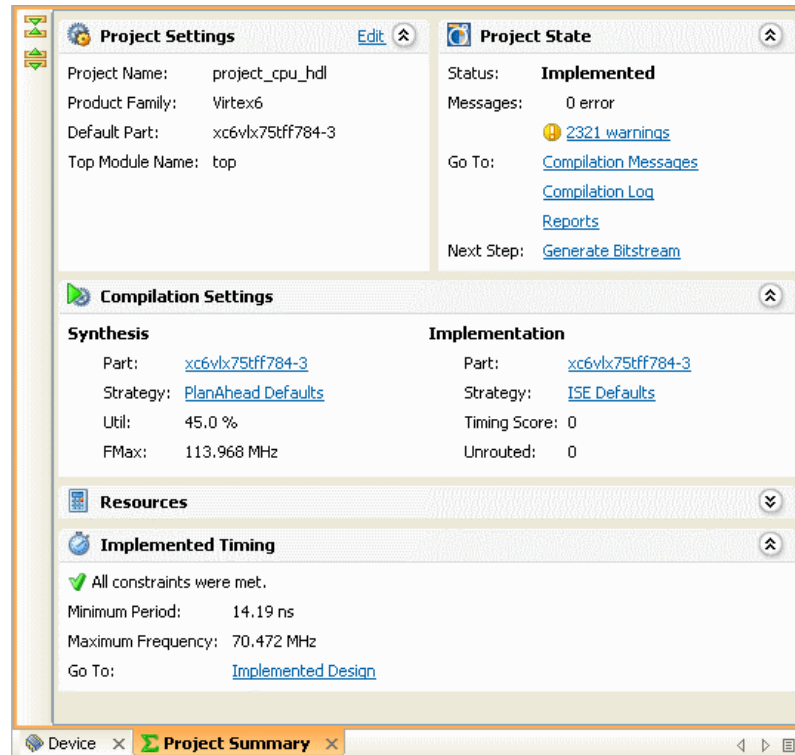


図 3-36 : [Project Summary] ビュー

[Project Summary] ビューは、デザイン情報を表示します。[Expand or collapse the content] ボタンをクリックすると、データ カテゴリの表示/非表示を切り替えることができます。カテゴリ パネルのバナーをクリックしても、表示/非表示が切り替わります。

## [Project Settings] セクション

[Project Settings] セクションには、プロジェクト名、デバイス ファミリー、デフォルト デバイス、および最上位モジュール名が表示されます。[Edit] リンクをクリックすると、[Project Settings] ダイアログ ボックスが開きます。73 ページの「プロジェクト設定」を参照してください。

## [Project State] セクション

[Project State] セクションには、次の情報が表示されます。

- [State] - プロジェクトのステータス、または実行中のコマンドのステータスを表示します。
- [Messages] : コンパイル コマンド中に発生したエラーおよび警告の数を示します。
- [Go To] : [Compilation Log] や [Reports] ビューなどを開くリンクを表示します。詳細は、第 4 章の「メッセージエリア」を参照してください。
- [Next Step] : デザイン フローの次のプロセスを実行するリンクを表示します。

## [Compilation Settings] セクション

[Compilation Settings] セクションは、ターゲット デバイス、アクティブな合成およびインプリメンテーション実行で使用されるストラテジを表示します。合成でレポートされた Fmax およびリソース使用量の予測、インプリメンテーションからのタイミング スコアおよび未配線も表示されます。

リンクをクリックすると [Project Settings] ダイアログ ボックスの該当するページが表示され、合成およびインプリメンテーション実行の設定を変更できます。ツール ヒントをクリックしたときの動作が示されます。

## [Resources] セクション

ターゲット デバイスのリソース使用量は、次の図に示すように、グラフで表示されます。

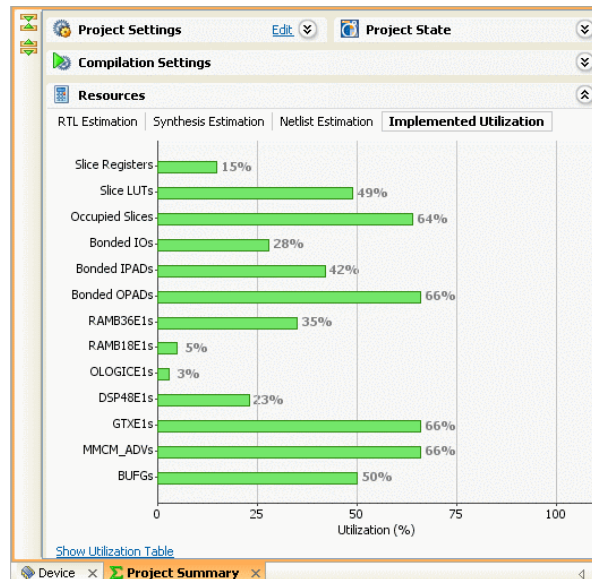


図 3-37 : [Project Summary] ビューのリソース予測

[Project Summary] ビューの [Resources] セクションは、デザインプロセスの各段階でアップデートされます。表示されるロジック オブジェクトのタイプは、デザインの段階によって異なります。情報が参照できるようになると、上部にある次のタブが選択できるようになります。

- [RTL Estimation] : RTL デザインからのリソース予測で、[Resource Estimation] を実行した後に表示されます。
- [Synthesis Estimates] : XST 合成レポートからのリソース予測が表示されます。
- [Netlist Estimation] : ネットリスト デザインからのリソース予測で、[Resource Estimation] を実行した後に表示されます。
- [Implemented Utilization] : ISE の MAP レポート からの実際のリソース使用量が表示されます。

タブをクリックしたときに、リソース予測を表示するのに必要なプロセスを実行するリンクが表示されることもあります。

## [Implemented Timing] セクション

デザインがインプリメントされると、[Project Summary] ビューの [Implemented Timing] セクションにタイミング結果が表示されます。80 ページの図 3-38 に示すように、[Timing Results] ビューを開くリンクが表示されます。

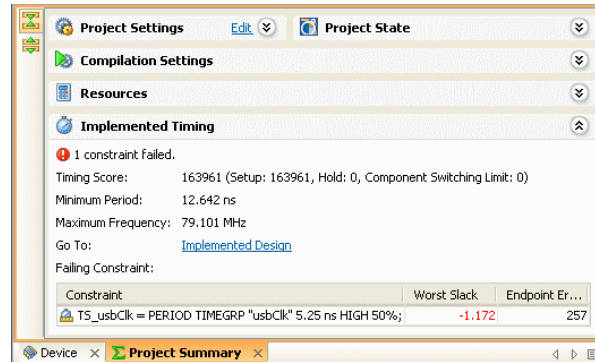


図 3-38 : [Project Summary] ビューのタイミング結果

タイミング結果は、インプリメンテーションが完了すると表示されます。アクティブな実行からのタイミング スコア、最小周期、最大周波数、満たされていない制約 (最悪のもの)、およびインプリメント済みデザインを開くリンクが表示されます。

## プロジェクトのステータス

PlanAhead では、プロジェクトの全体的なステータスおよびプロセスの次の手順を実行する方法が表示されます。プロジェクト ステータスには、デザイン プロセスの主なタスクの結果のみが表示されます。

プロジェクトの全体的なステータスは [Project Summary] ビューとステータス バーに表示され、プロジェクトを開いたとき、デザイン フロー コマンドを実行したときにプロジェクトのステータスをすばやく判断できます。RTL エラボレーション、合成、インプリメンテーション、ビットストリーム生成などのステータスが表示されます。

次のセクションで、PlanAhead でプロジェクト ステータスを確認する方法を示します。

### プロジェクト ステータス バー

プロジェクトの全体的なステータスは、次の図に示すように、メインウィンドウの右上に表示されます。



図 3-39 : プロジェクト ステータス バー

エラボレーション、合成、インプリメント、ビットストリームの生成を実行すると、プロジェクト ステータス バーにその結果が表示されます。プロセスでエラーが発生した場合は、赤色の文字で表示されます。

プロセスの実行中は、ステータス バーにプロセスが実行中であることが示され、[Cancel] をクリックすると停止できます。



図 3-40 : プロセスが実行中であることを示すステータス バーと [Cancel] ボタン

ソース ファイルをアップデートすると、合成およびインプリメンテーションがアップデート必要になり、ステータス バーにそのステータスが示されます。[more] リンクをクリックすると、その理由が表示されます。

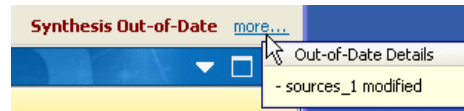


図 3-41 : プロジェクトがアップデート必要になった理由を表示

## Flow Navigator

Flow Navigator には、デザインのステートに関連するコマンドのみが表示されます。たとえば、インプリメンテーションが実行されていない場合は、次の図に示すように、[Implemented Design] ボタンは淡色表示になっています。このように、Flow Navigator を使用すると、デザイン プロセスの次の手順をクリックするだけでデザイン フローを完了できます。

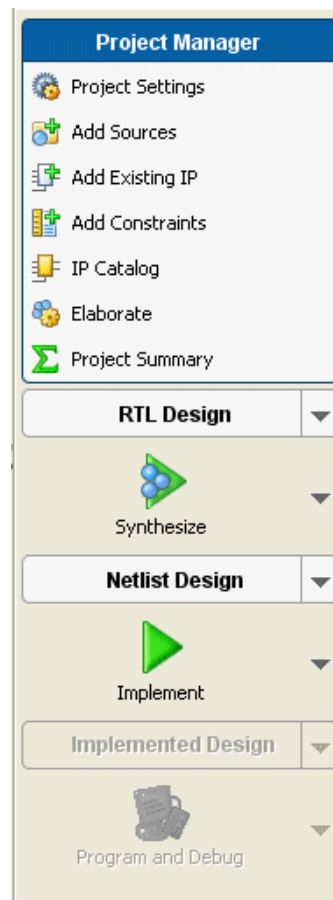


図 3-42 : Flow Navigator

## デザインのアップデートが必要であることを示すバナー

ソース ファイル、ネットリスト、またはインプリメント 結果がアップデートされると、開いているデザインの上部にバナーが表示され、デザイン データがアップデートされたことが示されます。  
[Reload] リンクをクリックすると、アップデートされたデザインをメモリに読み込むことができます。

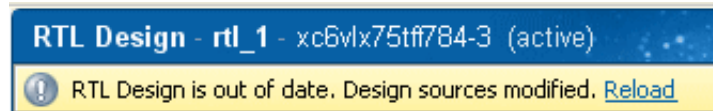


図 3-43：デザインの再読み込みが必要であることを示すバナーと [Reload] リンク

## 表示環境の使用

---

本章は、次のセクションで構成されています。

- 「表示環境の理解」
- 「メイン表示エリア」
- 「Flow Navigator」
- 「メッセージエリア」
- 「PlanAhead ビューの使用」
- 「ビューの操作」
- 「オブジェクトの選択」
- 「表示環境の設定」
- 「PlanAhead の動作の設定」

### 表示環境の理解

PlanAhead™ ソフトウェアでは、デザイン情報およびデバイス情報が、作業内容に応じたビュー レイアウトで表示され、特有の機能とデザイン情報に対するさまざまな視点が提供されます。

ほとんどのビューでは、1 つのビューで選択した情報がほかのビューでも選択されるようになっており、デザインおよびデバイス情報を効率的に調べることができるようになっています。

PlanAhead を使用すると、RTL の開発および解析、論理合成、制約の定義、物理デザイン解析、フロアプラン、ISE® Design Suite ソフトウェアでのインプリメンテーションなど、FPGA デザイン プロセスの主要ステップを制御できます。

さまざまなタイプのタスク用のビュー レイアウトがあり、選択したタスクに対応するビューが表示されます。次のビュー レイアウトがあります。

- **Project Manager** : プロジェクトのソース、制約、IP を管理します。
- **I/O Planner** : I/O 配置制約を定義します。
- **Design Planner** : ネットリスト デザインの解析、ChipScope™ Analyzer ツールのデバッグ コアの挿入、タイミング制約の適用、パーティションの管理を実行します。

表示されているビューのレイアウトは、カスタマイズ可能です。詳細は、[145 ページの「表示環境の設定」](#)を参照してください。

PlanAhead では、入力フォーマットに応じてさまざまなタイプのプロジェクトを作成できます。

Flow Navigator の内容および表示されるビュー レイアウトは、作成したプロジェクト タイプによって異なります。PlanAhead のプロジェクト タイプの詳細は、[第 3 章「プロジェクトの操作」](#)を参照してください。



次のセクションで、PlanAhead の表示環境について説明します。

## 表示環境の概要

次の図に、PlanAhead の表示環境のコンポーネントを示します。

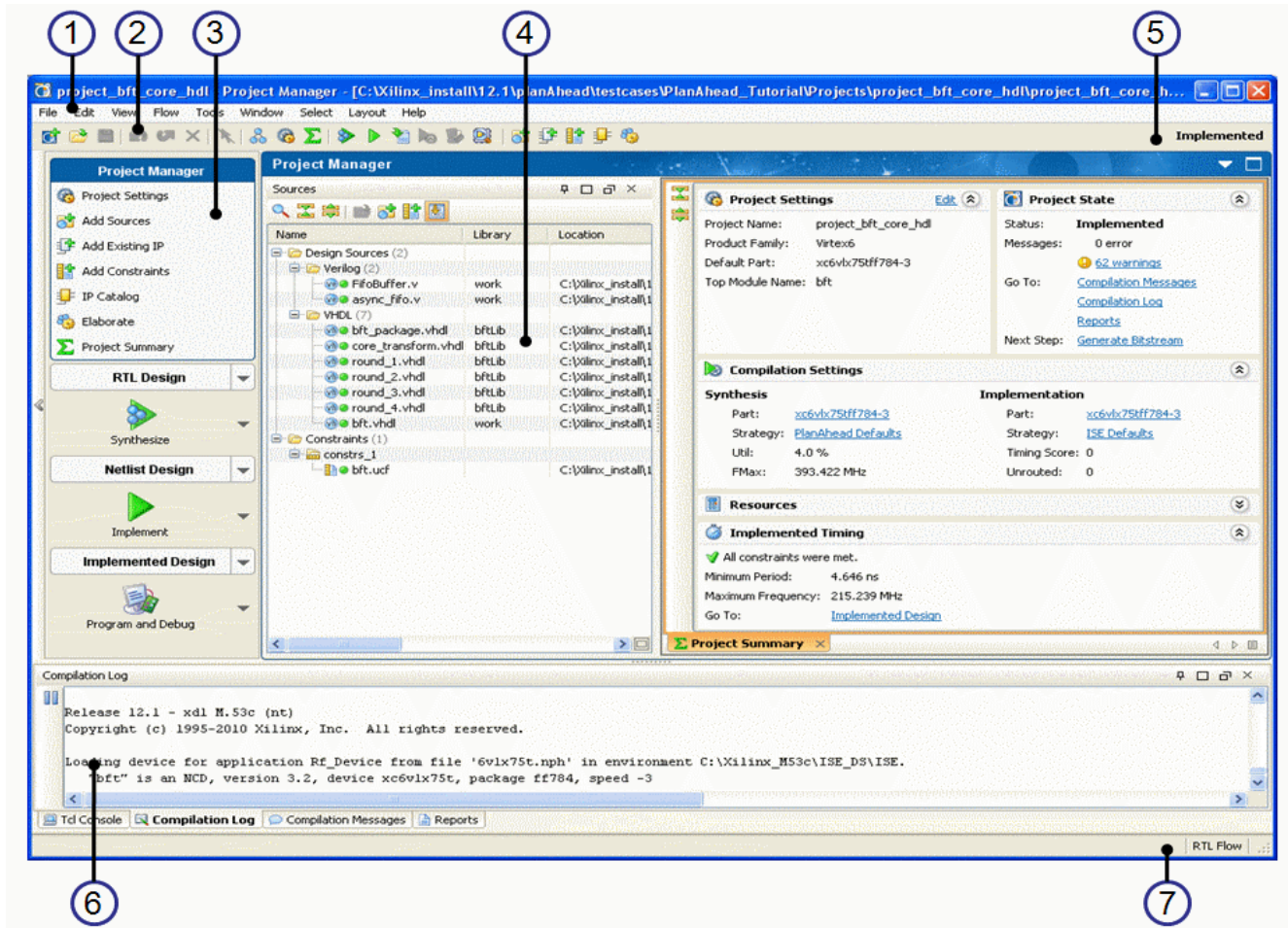


図 4-1： PlanAhead の表示環境

1. メインメニュー：PlanAhead のコマンドにアクセスします。プロジェクトタイプおよびデザインステータスにより、使用可能なコマンドは異なります。
2. メインツールバー：頻繁に使用されるコマンドおよびデザイン特定のコマンドを含みます。
3. Flow Navigator：デザインプロセスをフローに基づいて管理します。Flow Navigator から、合成、インプリメンテーション、ビットストリームファイルの生成を実行したり、デザインプロセスの各段階でのデザインを開くことができます。デザインタスクが完了するとビューが展開され、各デザインまたはプロジェクトタイプに関するコマンドが表示されます。
4. メイン表示エリア：Project Manager および開いているデザインを表示します。デザインが開くと、I/O Planner と Design Planner のビューレイアウトを切り替えることができます。
5. プロジェクトステータスバー：プロジェクトのステータスと実行中のコマンドを示します。このコンポーネントから、合成、インプリメンテーション、ビットストリーム生成をキャンセルできます。



6. メッセージ エリア : コマンドのステータスやメッセージ ログなどを表示します。
7. 情報バー : プロジェクト およびカーソルを置いているオブジェクト に関する情報を表示します。

## 主な表示環境コンポーネント

PlanAhead の表示環境の主なコンポーネントは、次のとおりです。

- メイン表示エリア
- Flow Navigator
- メッセージ エリア

メイン表示エリアには、Project Manager、I/O Planner、または Design Planner でデザイン データが表示されます。プロジェクトを開くと、デザイン データはメモリに読み込まれず、Project Manager ビュー レイアウトがデフォルトで開きます。デザインを開くと、デザイン データが Design Planner ビュー レイアウトに表示されます。デザイン ビュー パナーの [I/O Planner] ボタンをクリックすると、I/O Planner ビュー レイアウトに切り替わります。

メイン表示エリアのサイズは、Flow Navigator またはメッセージ エリアを最小化することにより拡張できます。次の図に、表示環境の主なコンポーネントを示します。

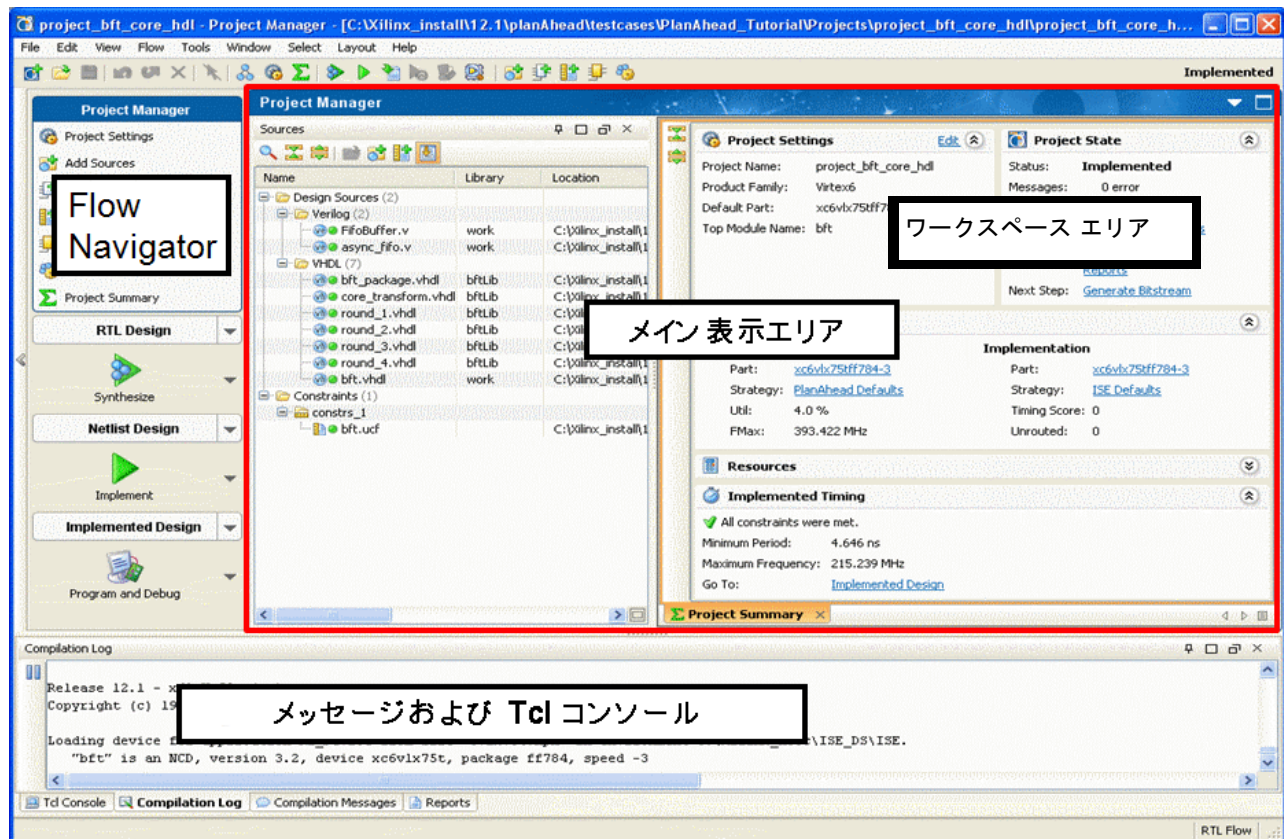


図 4-2 : PlanAhead 表示環境の主なコンポーネント

## メイン表示エリア

次のセクションで、メイン表示エリアのオプションについて説明します。

### メイン表示エリアの最大化

メイン表示エリアの右上にある [Maximize design view] ボタンをクリックすると、メイン表示エリアを PlanAhead メイン ウィンドウ全体を使用して表示できます。Flow Navigator およびメッセージエリアは最小化されます。次の図に、[Maximize design view] ボタンを示します。

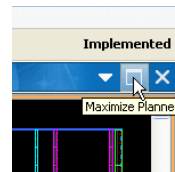


図 4-3 : [Maximize design view] ボタン

### Flow Navigator の非表示

Flow Navigator は、左側にある [Hide Navigator] ボタンをクリックすると非表示にできます。次の図に、[Hide Navigator] ボタンを示します。

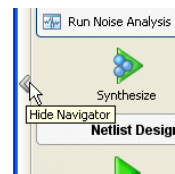


図 4-4 : [Hide Navigator] ボタン

### メッセージ エリアの非表示

メッセージ エリアを非表示にするには、このエリアの右上にある [Toggle auto-hide] をクリックします。次の図に、[Toggle auto-hide] ボタンを示します。

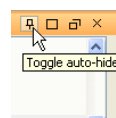


図 4-5 : [Toggle auto-hide] ボタン

### メッセージ エリアの再表示

メッセージ エリアを最小化すると、表示エリアの下部に各ビューがタブとして表示されます。タブのいずれかをクリックすると、メッセージ エリアを再び元の場所に表示できます。次の図に、メッセージ エリアを再表示するタブを示します。



図 4-6 : メッセージ エリアを再表示するタブ

## I/O Planner と Design Planner の切り替え

デザインを開くと、メイン表示エリアのパナーにあるボタンをクリックして I/O Planner と Design Planner を切り替えることができます。I/O Planner と Design Planner では、メモリにある同じデザインを参照しており、ビュー レイアウトのみが異なります。次の図に、メイン表示エリアのパナーと切り替えボタンを示します。



図 4-7 : I/O Planner と Design Planner の切り替えボタン

## I/O Planner の使用

I/O Planner には、デバイスの I/O リソースの確認および I/O ピン割り当てに関連するビューが表示されます。[I/O Ports] および [Package Pins] ビューは、レイアウトの下部に表示されます。ポートは、エラボーレートされた RTL デザインまたは合成済みネットリスト デザインのものです。I/O に関する情報は、さまざまなビューに表示されます。87 ページの図 4-8 に、I/O Planner を示します。

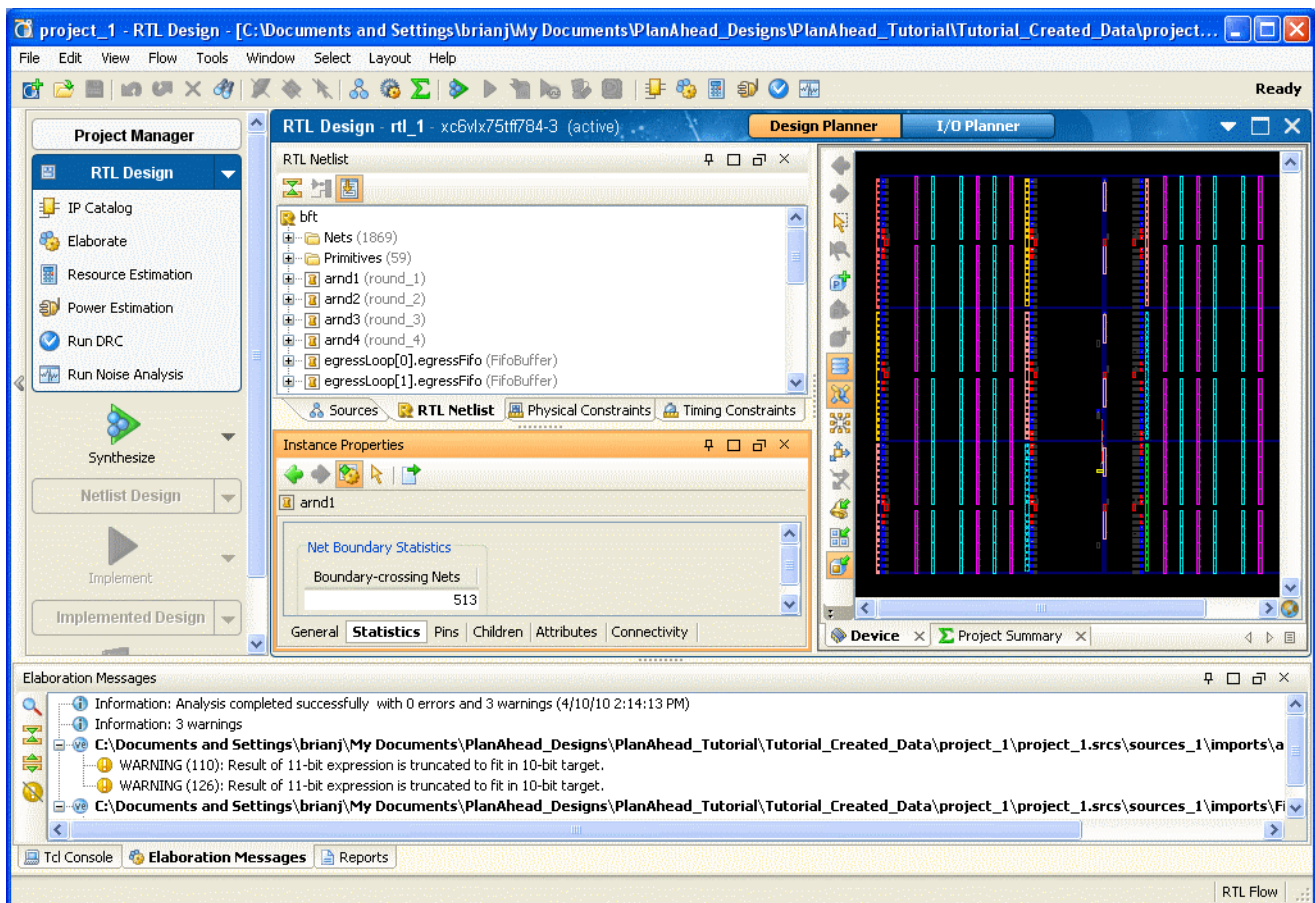


図 4-8 : I/O Planner ビュー レイアウト

RTL I/O Planner を使用した I/O ピン配置については、第 8 章「I/O ピン配置」を参照してください。

## Design Planner の使用

メイン表示エリアのパナーにある [Design Planner] ボタンをクリックすると、Design Planner ビューレイアウトが表示されます。Design Planner には、ロジックの確認、リソースの解析、制約の定義に関連するビューが表示されます。次の図に、Design Planner ビューレイアウトを示します。

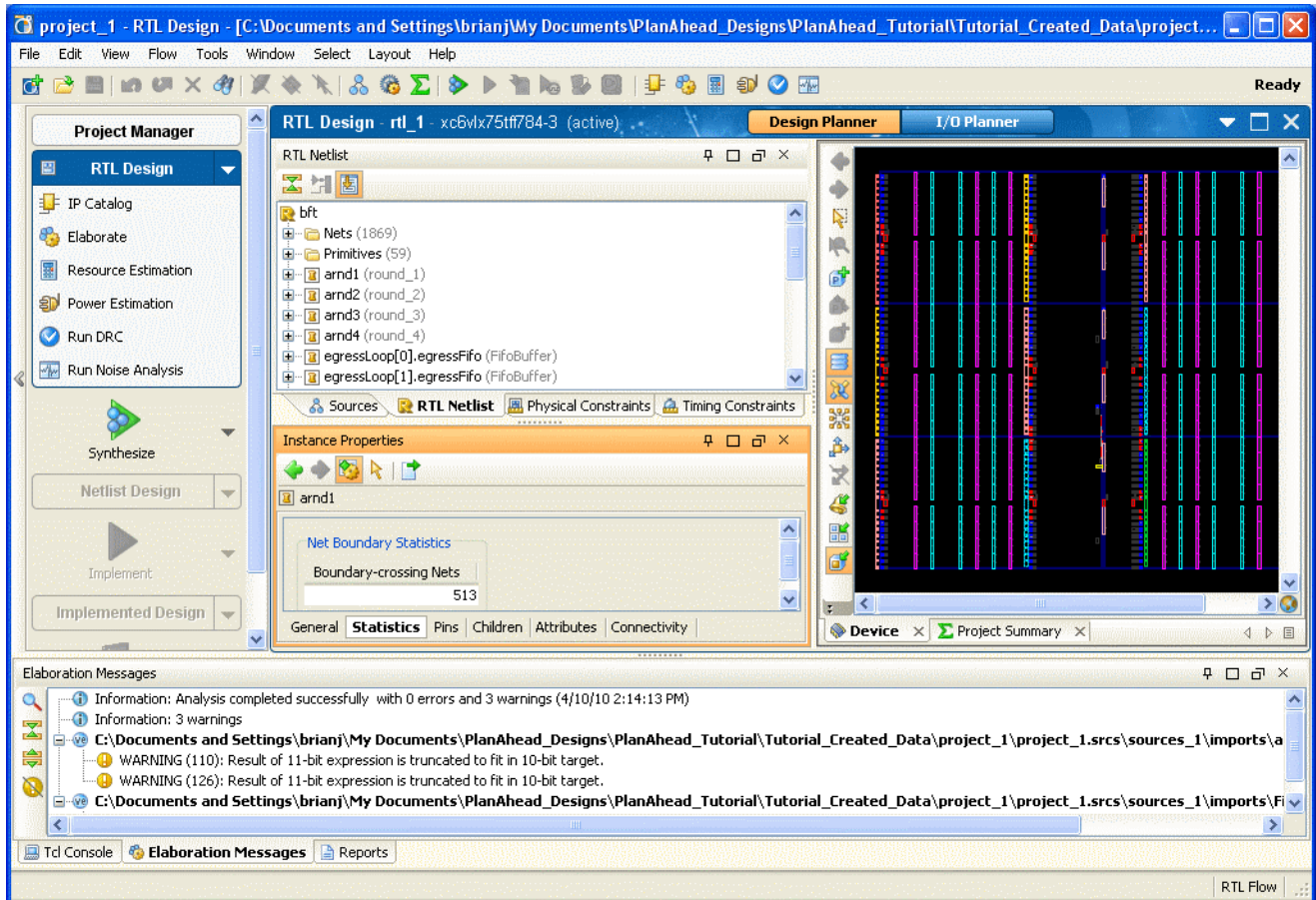


図 4-9 : Design Planner ビュー レイアウト

- Design Planner を使用した RTL の開発および解析の詳細は、[第 5 章「RTL および IP デザイン」](#)を参照してください。
- Design Planner を使用したネットリストの解析および制約の定義の詳細は、[第 7 章「ネットリストの解析および制約の定義」](#)を参照してください。
- Design Planner を使用したインプリメンテーション結果の解析および制約の定義の詳細は、[第 10 章「インプリメンテーション結果の解析」](#)を参照してください。



## Flow Navigator

Flow Navigator では、プロジェクトの設定、合成、インプリメンテーション、ビットストリームの作成などの主なデザイン プロセス タスクを制御します。これらのタスクが完了したら、[RTL Design]、[Netlist Design]、または [Implemented Design] ボタンをクリックしてデザインを開き、結果を解析したり、制約を適用したりできます。

使用可能なオプションは、デザインのステータスによって異なります。実行できない手順は淡色表示されます。各デザインを開くと、関連のコマンドがデザイン ボタンの下に表示されます。

次の図に、Flow Navigator を使用してデザイン タスクを実行し、デザイン プロセスの異なる段階で解析環境を開く方法を示します。

### RTL プロジェクトでの Flow Navigator の使用

次の図に、RTL ソースを入力として使用した場合のデザイン フローを示します。

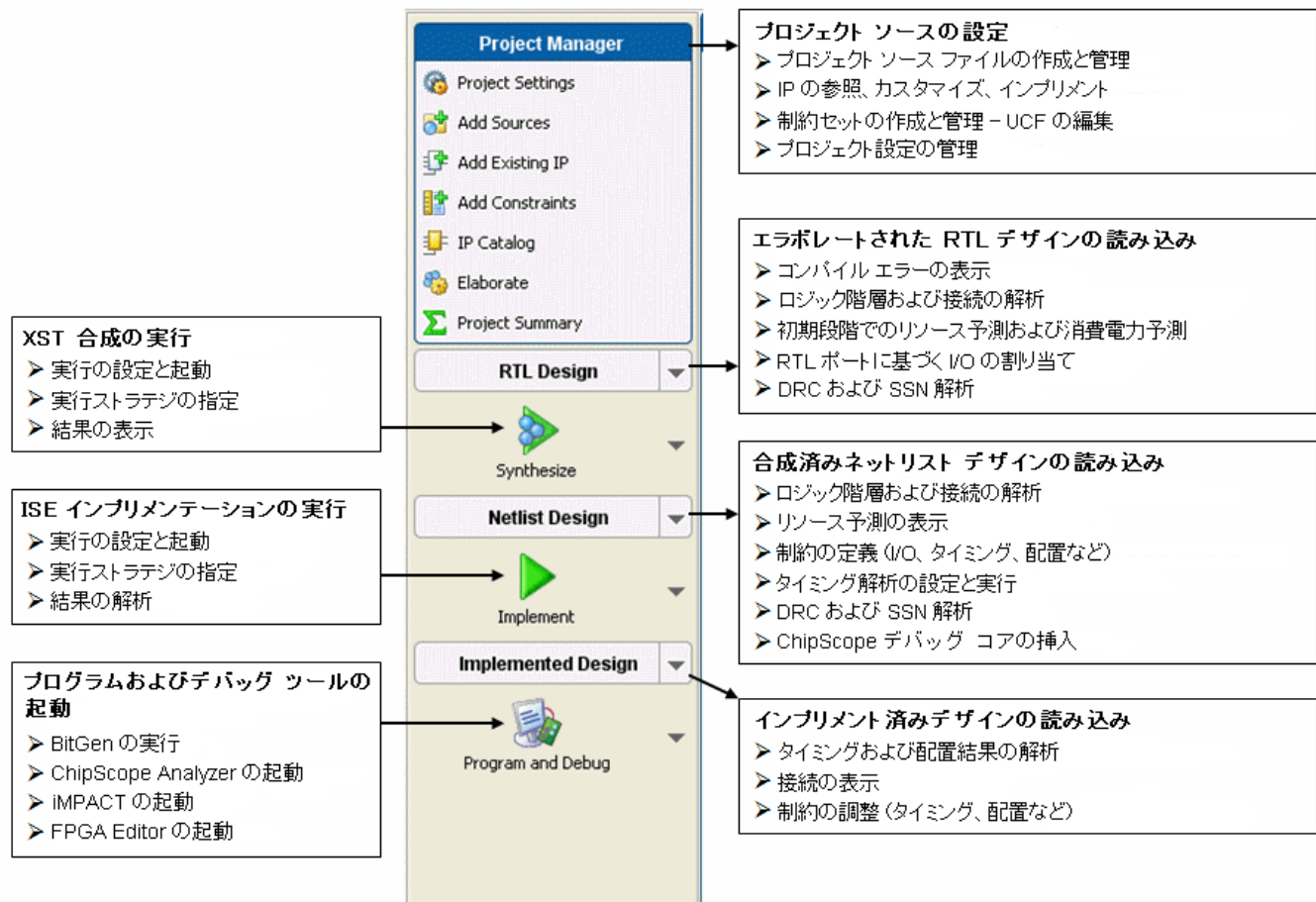


図 4-10 : PlanAhead Flow Navigator (RTL プロジェクト)

## 合成済みネットリスト プロジェクトでの Flow Navigator の使用

次の図に、合成済みネットリスト ベースのプロジェクトのデザイン フローを示します。

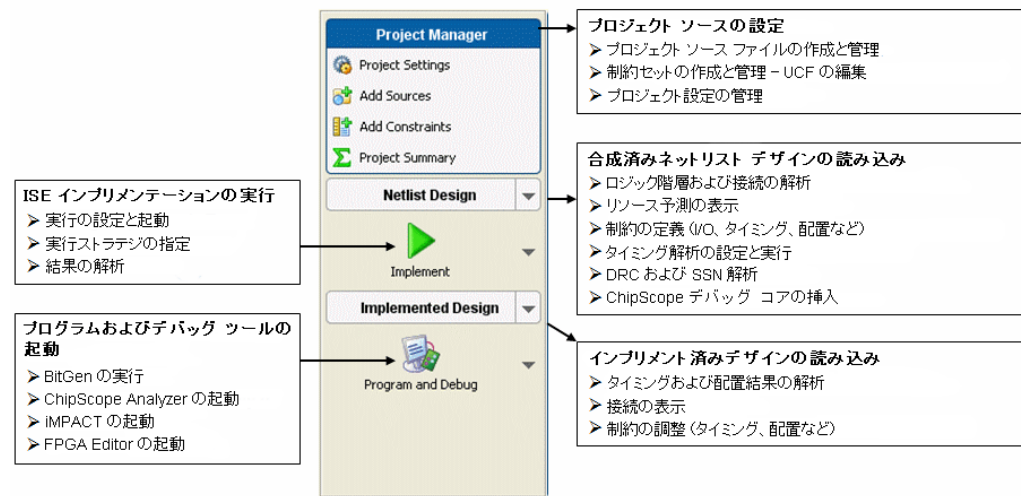


図 4-11 : PlanAhead Flow Navigator (合成済みネットリスト プロジェクト)

## Flow Navigator からのコマンドの実行

Flow Navigator を使用すると、プロジェクトにソースを追加した後、合成およびインプリメンテーションをボタンをクリックするだけで実行できます。デザインを完成させるのに、デザイン環境を開く必要はありません。次のセクションに、Flow Navigator を使用してデザインを簡単にインプリメントする方法を説明します。

### コマンド オプションの設定

合成およびインプリメンテーションのオプションを設定するには、Flow Navigator の [Project Manager] の下またはメイン ツールバーから [Project Settings] をクリックします。これらのオプションには、Flow Navigator の [Synthesize] および [Implement] ボタンのプルダウン メニューからもアクセスできます。次の図に、[Project Settings] ボタンを示します。



図 4-12 : メイン ツールバーの [Project Settings] ボタン

詳細は、第 6 章「デザインの合成」および第 9 章「デザインのインプリメンテーション」を参照してください。

### 合成の実行

プロジェクトにソースを追加したら、[Synthesize] ボタンをクリックして XST 合成ツールを起動できます。次の図に、Flow Navigator の [Synthesize] ボタンを示します。

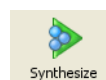


図 4-13 : Flow Navigator の [Synthesize] ボタン

詳細は、第 6 章「デザインの合成」を参照してください。

## インプリメンテーションの実行

合成が完了したら、Flow Navigator で [Implement] ボタンをクリックして ISE インプリメンテーション ツールを実行できます。次の図に、[Implement] ボタンを示します。



図 4-14 : Flow Navigator の [Implement] ボタン

詳細は、第 9 章「デザインのインプリメンテーション」を参照してください。

## ビットストリーム ファイルの生成

インプリメンテーションが完了したら、Flow Navigator の [Program and Debug] ボタンをクリックし、メニュー コマンドをクリックしてビットストリーム ファイルの生成、デバッグおよびプログラム ツールの起動を実行できます。次の図に、[Program and Debug] ボタンを示します。

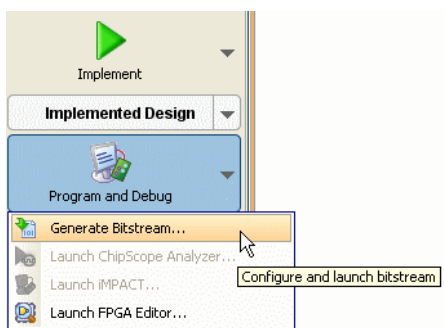


図 4-15 : Flow Navigator の [Program and Debug] ボタン

詳細は、第 12 章の「ビットストリーム ファイルの生成」を参照してください。

## プログラムおよびデバッグ ツールの起動

PlanAhead から、ISE のデバッグおよびプログラム ツール (FPGA Editor、iMPACT、ChipScope Analyzer) を起動できます。FPGA Editor は、インプリメント済みデザインに対して起動できます。選択した実行の結果が読み込まれ、表示されます。ChipScope Analyzer および iMPACT を起動するには、[Generate Bitstream] コマンドを実行して作成した BIT ファイルが必要です。図 4-16 に、[Program and Debug] ボタンを示します。

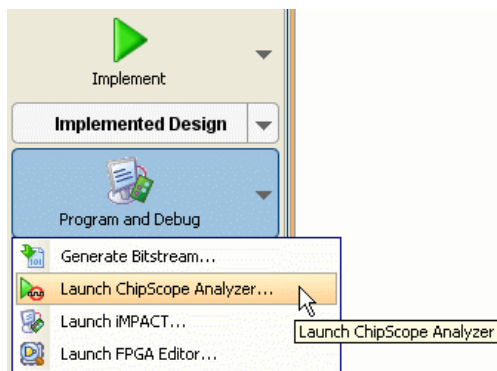


図 4-16 : Flow Navigator からのプログラムおよびデバッグ ツールの起動



詳細は、第 12 章「デザインのプログラムとデバッグ」を参照してください。

## Project Manager

プロジェクトを開くと、デフォルトで Project Manager が開きます。Flow Navigator で [Project Manager] をクリックすると、Project Manager が開きます。

Project Manager を開いた場合、デザインのコンパイルは実行されず、メモリにデザイン データは読み込まれません。Project Manager から、ソース ファイルおよび制約セットを作成、インポート、管理できます。また、ザイリンクス IP カタログから IP を検索、カスタマイズ、およびインプリメントできます。92 ページの図 4-17 に Project Manager を示します。

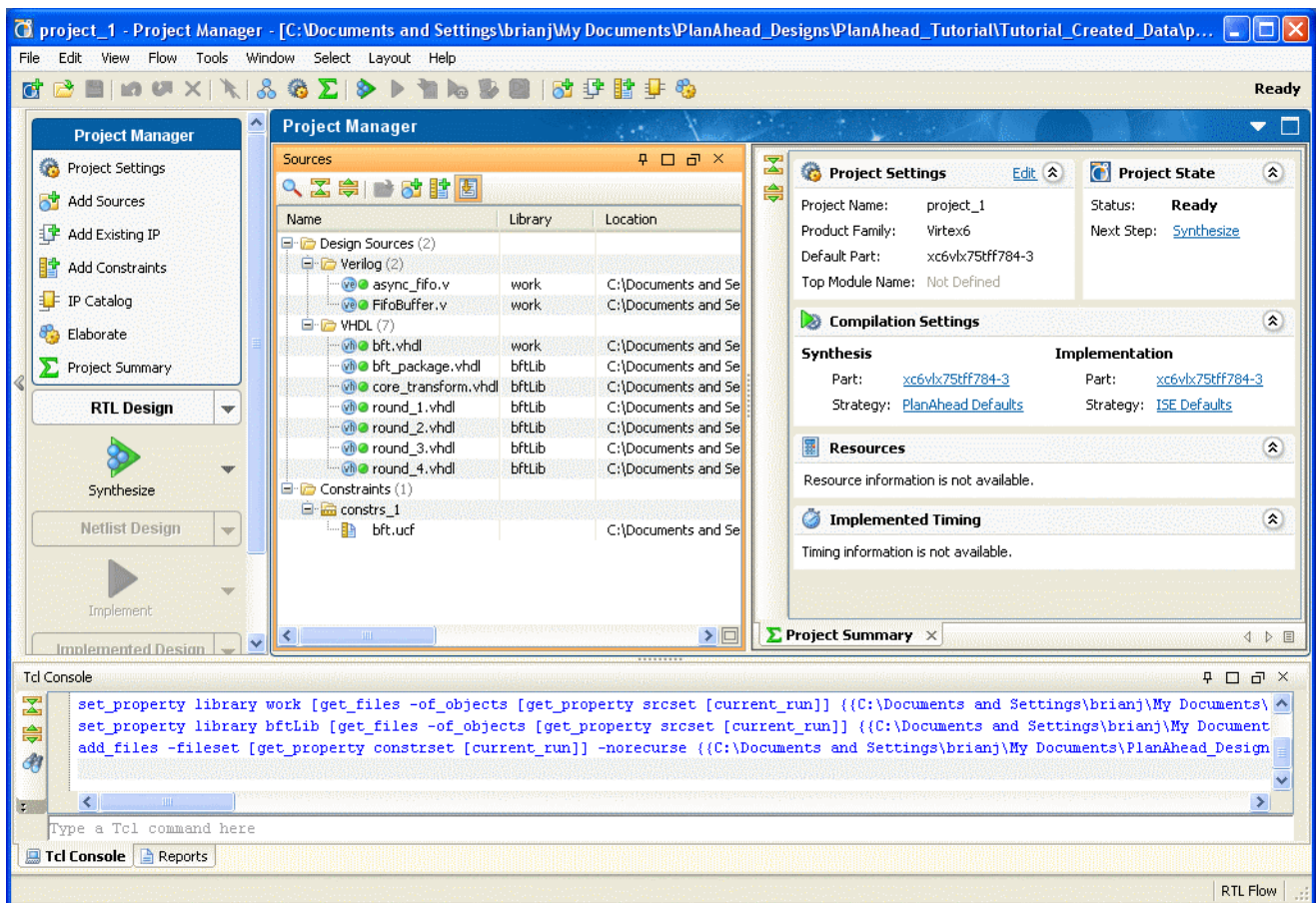


図 4-17 : Project Manager ビュー レイアウト

Project Manager には、デフォルトで [Sources] ビューおよび [Project Summary] ビューが表示されます。

- [Sources] ビューを使用したプロジェクト ソースの制御については、102 ページの「[Sources] ビュー」を参照してください。
- [Project Summary] ビューの詳細は、第 3 章の「[Project Summary] ビュー」を参照してください。
- IP のカスタマイズについては、第 5 章の「IP のカスタマイズ」を参照してください。

Flow Navigator の Project Manager メニューには、次のコマンドが含まれています。

- ◆ [Project Settings] : [Project Settings] ダイアログ ボックスを開きます。詳細は、[第 5 章の「CORE Generator を使用した IP のコンフィギュレーション」](#)を参照してください。
- ◆ [Add Sources] : [Add Sources] ダイアログ ボックスを開き、ソース ファイルを追加します。詳細は、[第 3 章の「ソース ファイルの追加」](#)を参照してください。
- ◆ [Add Existing IP] : 既存の CORE Generator プロジェクト ファイルと結果の IP をプロジェクトにインポートします。詳細は、[第 5 章の「CORE Generator を使用した IP のコンフィギュレーション」](#)を参照してください。
- ◆ [Add Constraints] : [Add Constraints] ダイアログ ボックスを開き、制約ファイルを追加します。詳細は、[第 3 章の「制約の追加」](#)を参照してください。
- ◆ [IP Catalog] : [IP Catalog] ビューを開きます。詳細は、[第 5 章の「IP カタログの使用」](#)を参照してください。
- ◆ [Elaborate] : RTL デザインをエラボレートし、[Elaboration Messages] ビューにメッセージを表示します。詳細は、[第 5 章の「RTL デザインのエラボレーションと解析」](#)を参照してください。
- ◆ [Project Summary] : [Project Summary] ビューを表示します。[Project Summary] ビューの詳細は、[第 3 章の「\[Project Summary\] ビュー」](#)を参照してください。

## RTL デザインを開く

Flow Navigator で [RTL Design] をクリックすると、RTL ネットリスト デザインがエラボレートされ、アクティブ制約セットおよびターゲット デバイスと共にメモリに読み込まれます。エラボレーションに関するメッセージが、[Elaboration Messages] ビューに表示されます。

RTL デザインを開くには、次のいずれかを実行します。

- Flow Navigator で [RTL Design] をクリックします。
- Flow Navigator の [RTL Design] プルダウン メニューから [Open RTL Design] をクリックします。

デザインを開くことの詳細は、[第 7 章の「\[Netlist Design\] の使用」](#)を参照してください。

デフォルトで Design Planner ビュー レイアウトが表示されます。デザイン ビュー バナーで [I/O Planner] ボタンをクリックすると、ビュー レイアウトを切り替えることができます。詳細は、[87 ページの「I/O Planner と Design Planner の切り替え」](#)を参照してください。

[RTL Netlist] ビューには、コンパイルされたロジック階層が表示されます。RTL ロジック デザインの解析については、[第 5 章「RTL および IP デザイン」](#)を参照してください。

I/O Planner を使用した I/O ピン配置については、[第 8 章「I/O ピン配置」](#)を参照してください。

## ネットリスト デザインを開く

PlanAhead では複数の合成実行が可能なので、ネットリスト デザインにはネットリスト、制約セット、およびターゲット デバイスの組み合わせを含めることができます。デザインをメモリに読み込んで、I/O Planner または Design Planner で解析できます。

ネットリスト デザインを開くには、次のいずれかを実行します。

- Flow Navigator で [RTL Design] をクリックし、アクティブな合成ネットリストをアクティブ制約セットおよびターゲット デバイスと共に開きます。
- Flow Navigator の [Netlist Design] プルダウン メニューから [Open Netlist Design] をクリックします。

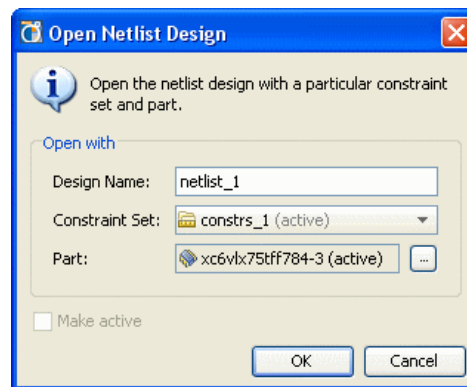


図 4-18 : [Opening Netlist Design] ダイアログ ボックス

[Opening Netlist Design] ダイアログ ボックスで、次を入力します。

- [Design Name] : ビュー バナーに表示される名前を入力します。デザインは、PlanAhead セッション中のみメモリに保存されます。
- [Constraint Set] : ネットリストに対して開く既存の制約セットを選択します。
- [Part] : デフォルト デバイスを選択します。

95 ページの図 4-19 に、ネットリスト デザインのビュー レイアウトを示します。

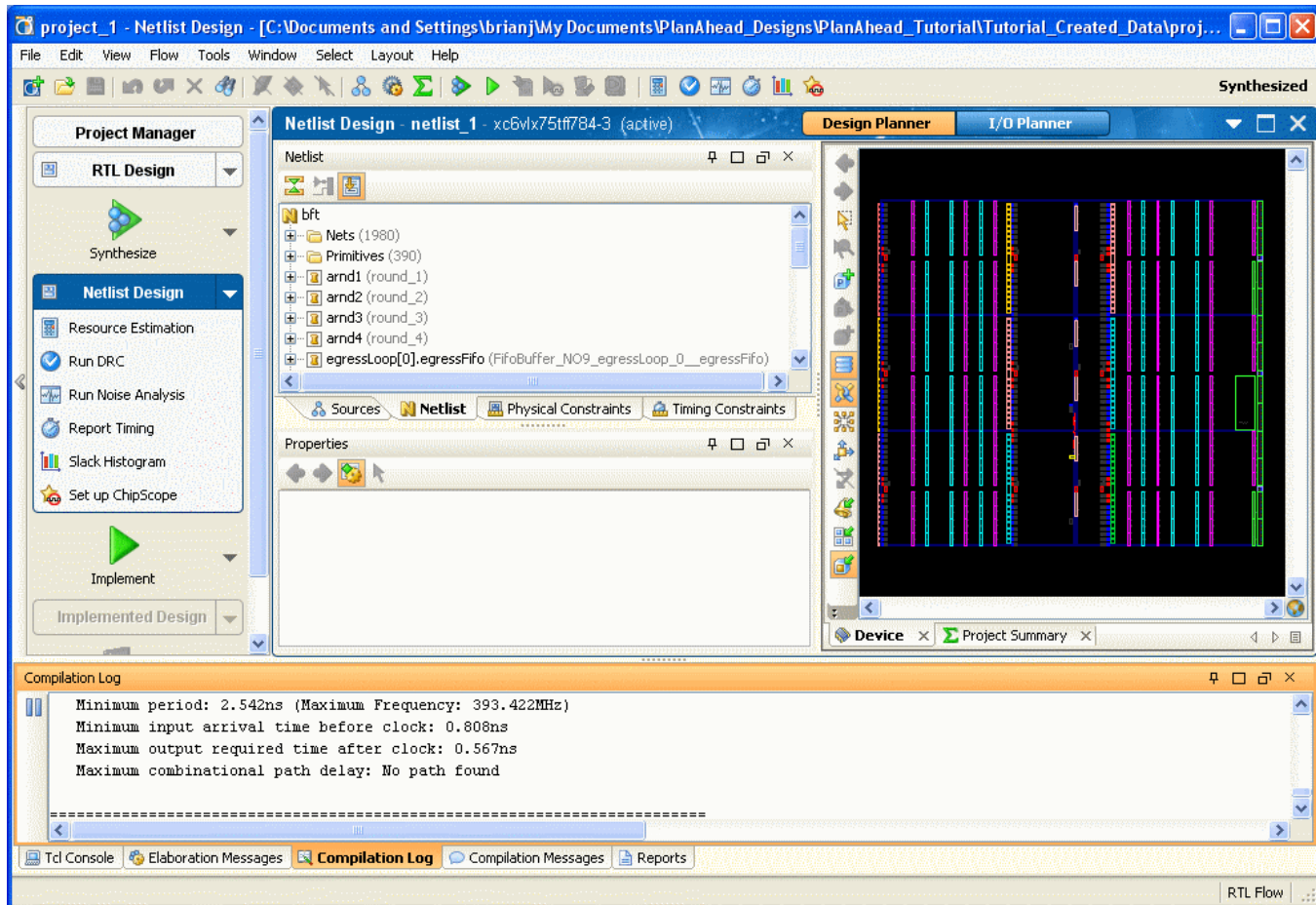


図 4-19: ネットリスト デザインのビュー レイアウト

デフォルトで Design Planner ビュー レイアウトが表示されます。デザイン ビュー バナーで [I/O Planner] ボタンをクリックすると、ビュー レイアウトを切り替えることができます。詳細は、[87 ページの「I/O Planner と Design Planner の切り替え」](#)を参照してください。

- Design Planner を使用したデザインの解析および制約の定義の詳細は、[第 7 章「ネットリストの解析および制約の定義」](#)を参照してください。
- I/O Planner を使用した I/O ピン配置については、[第 8 章「I/O ピン配置」](#)を参照してください。

### アクティブ ネットリストの設定

複数の合成実行が存在する場合、PlanAhead に情報が表示され、アクティブ実行に対して処理が実行されます。[Project Summary] および [Compilation Messages] ビューには、アクティブ実行に関する情報のみが表示されます。アクティブ実行は、[Design Runs] ビューに太字で示されます。

[Design Runs] ビューで合成実行を右クリックし、[Make active] をクリックすると、アクティブ ネットリストに設定され、デザインを開いたとき、実行を起動したときに、デフォルトでこのネットリストが使用されます。



## インプリメント済みデザインを開く

PlanAhead では複数のインプリメンテーション実行が可能なので、インプリメント済みデザインには完了したインプリメンテーション実行のみが含まれます。インプリメント済みデザインは、ネットリスト、配置、およびタイミング結果をインプリメンテーション実行ディレクトリからインポートします。デザインがメモリに読み込まれたら、Design Planner 環境で解析できます。

インプリメント済みデザインを開くには、次のいずれかを実行します。

- Flow Navigator で [Implemented Design] をクリックします。
- Flow Navigator の [Implemented Design] ドロップダウン リストから [Open Implemented Design] をクリックし、リストされるインプリメント済み実行のいずれかを選択します。
- [Design Runs] ビューで完了したインプリメンテーション実行を右クリックし、[Open Implemented Design] をクリックするか、インプリメンテーション実行をダブルクリックします。

Design Planner ビュー レイアウト が表示されます。通常、この環境で配置およびタイミングの解析、フロアプランを実行します。次の図に、インプリメント済みデザインのビュー レイアウトを示します。

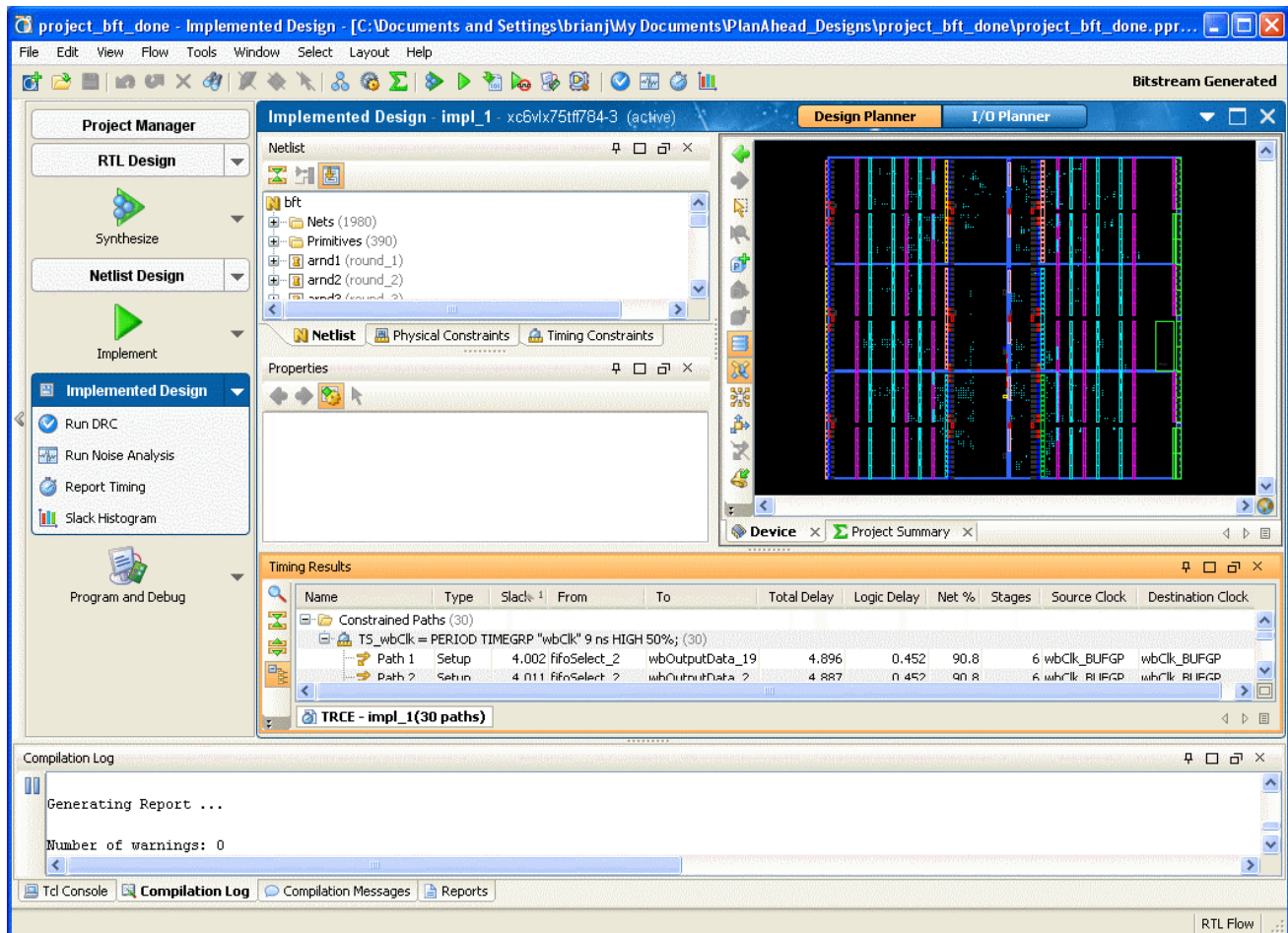


図 4-20：インプリメント済みデザインのビュー レイアウト

複数のインプリメント済みデザインを同時に開き、複数の実行の結果を表示できます。

ビュー レイアウトの上部に、どの実行結果が表示されているかが示されます。複数のインプリメンテーション実行の作成と管理については、[第 9 章の「複数のインプリメンテーション run の開始」](#)を参照してください。

**メモ：**ネットリストの操作、デザイン パーティションの変更、パーシャル リコンフィギュレーションの制御に関する機能は、インプリメント済みデザインでは使用できない可能性があります。正しいデータに対して操作が実行されるのを確実にするため、これらの操作はネットリスト デザインに対して実行する必要があります。

## 開いているデザインの管理

PlanAhead でデザインを開くと、デザインがメモリに読み込まれ、Flow Navigator の対応するボタン内にアイコンが表示され、データがメモリに読み込まれたことが示されます。



図 4-21：デザインが開いていることを示すアイコン

同時に複数のデザインが開いている場合は、複数のアイコンが表示されます。

## デザインを閉じる

デザインを閉じると、使用されているメモリ容量を減らし、ソースを編集できる場所が複数になるのを避けることができます。別のデザイン表示に移動する前に、デザインを閉じるようダイアログボックスが表示されることがあります。パーシャル リコンフィギュレーション デザインなどの場合は、別の表示に移動する前にデザインを閉じる必要があります。

個々のデザインを閉じるには、メイン表示エリアのパナーにある [Close] ボタンをクリックします。すべてのデザインを閉じるには、Flow Navigator のいずれかのデザイン ボタンのドロップダウンメニューから [Close] をクリックします。

## デザインの再読み込み

設計プロセスでは、通常ソース ファイルの変更が必要です。これらのファイルの依存性は PlanAhead で管理され、表示されているデザイン データの再読み込みが必要になるとそれが示されます。また、プロジェクト 設定を変更すると、プロジェクト のステータスがアップデート 必要になります。

ソース ファイル、ネットリスト、またはインプリメント 結果がアップデート されると、開いているデザイン の上部にパナーが表示され、デザイン データがアップデート されたことが示されます。

[Reload] リンクをクリックすると、アップデート されたデータをメモリ に読み込むことができます。次の図に、デザイン データのアップデート が必要であることを示すパナーを示します。

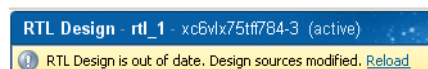


図 4-22：デザインの再読み込みが必要であることを示すパナーと [Reload] リンク

デザインを閉じて開き直しても、データが再読み込みされます。

デザイン手順を実行してデータをアップデート する必要がある場合、ステータス バーおよび [Project Summary] ビューにもそのステータスが示されます。PlanAhead では、合成やインプリメンテーションなど、次に実行する手順へのリンクが示されます。

デザイン コンフィギュレーションおよびソース ファイル管理の詳細は、[第 3 章「プロジェクトの操作」](#)を参照してください。

## メッセージ エリア

PlanAhead 内で実行されたコマンドのステータスおよび結果は、PlanAhead メイン ウィンドウの下部にあるメッセージ エリアに表示されます。メッセージが生成されると、このエリアの該当するビューに表示されます。

メッセージ エリアは、このビューのバナーにある [Toggle auto-hide] をクリックすると最小化できます。

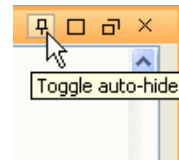


図 4-23 : [Toggle auto-hide] ボタン

メッセージ エリアを最小化した場合、再表示するためのタブがメイン ウィンドウの左下に表示されます。

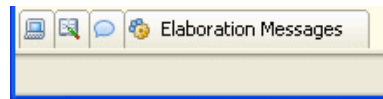


図 4-24 : メッセージ エリアを再表示するためのタブ

タブをクリックするとメッセージ エリアが表示され、クリックしたビューがアクティブになります。

## [Elaboration Messages] ビュー

RTL デザインをエラボレートすると、次の図に示す [Elaboration Messages] ビューが表示されます。

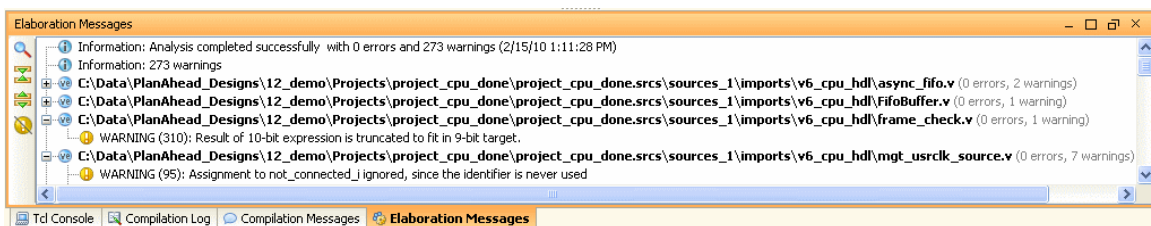


図 4-25 : [Elaboration Messages] ビュー

- エラーまたは警告メッセージをクリックすると、RTL エディタで問題が発生している RTL がハイライトされます。
- プラス記号 (+) またはマイナス記号 (-) をクリックすると、ツリー ビューを展開したり、閉じたりできます。[Expand All] または [Collapse All] ボタンをクリックすると、すべてのツリーを展開したり、閉じたりできます。
- [Hide Warning Messages] ボタンをクリックすると警告メッセージを非表示にでき、[Show Search] をクリックすると検索を使用できるようになります。



## [Compilation Log] ビュー

[Compilation Log] ビューには、ngc2edif、XST、ISE などのデザインをコンパイルするコマンドのステータスが表示されます。

[Compilation Log] ビューはアクティブな実行でコマンドを実行すると自動的に開き、コンパイルコマンドの標準的な出力を表示します。詳細は、[第 9 章の「選択した run の起動」](#)を参照してください。

[Compilation Log] ビューを開くには、PlanAhead メイン ウィンドウの左下のタブをクリックするか、[Windows] → [Compilation Log] をクリックします。次の図に、[Compilation Log] ビューを示します。

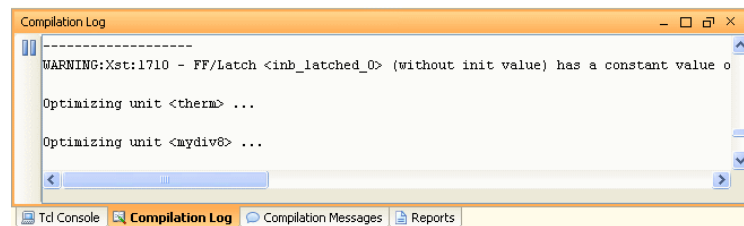


図 4-26 : [Compilation Log] ビュー

コンパイル出力は、追記される形でスクロールされながら表示され、新しいコマンドを実行してもクリアされません。

[Pause output] ボタンをクリックすると一時的に出力を停止でき、コマンドを実行中にレポートを読むことができます。

## [Compilation Messages] ビュー

[Compilation Messages] ビューには、デザインのコンパイル中に生成された情報、警告、およびエラー メッセージのサマリが表示されます。

[Compilation Messages] ビューを開くには、PlanAhead メイン ウィンドウの左下のタブをクリックするか、[Windows] → [Compilation Messages] をクリックします。

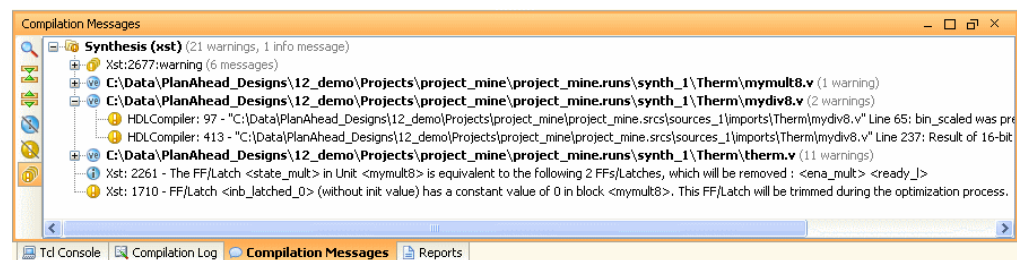


図 4-27 : [Compilation Messages] ビュー

このビューでメッセージをクリックすると、問題の発生したオブジェクトが表示されるか、オブジェクトが表示されないメッセージの場合は右クリックして [Search for Answer Record] をクリックすると、アンサー データベースを検索できます。

[Compilation Messages] ビューでは、次の操作を実行できます。

- プラス記号 (+) またはマイナス記号 (-) をクリックすると、ツリー ビューを展開したり、閉じたりできます。[Expand All] または [Collapse All] ボタンをクリックすると、すべてのツリーを展開したり、閉じたりできます。
- [Hide warning messages] または [Hide info messages] ボタンをクリックすると、警告または情報メッセージを非表示にでき、[Show Search] をクリックすると検索を使用できるようになります。
- [Group duplicate messages] ボタンをクリックすると、重複するメッセージがグループ化されます。

## [Tcl Console] ビュー

[Tcl Console] ビューには、実行した Tcl コマンドのメッセージが表示されます。これらメッセージは、planAhead.log ファイルにも書き込まれます。コマンドのエラー、警告、および完了に関するメッセージも、このウィンドウに表示されます。

Design Planner および結果ビューで開いているデザイン ネットリストと制約のステータスも、このビューに表示されます。

[Tcl Console] ビューを表示するには、[Window] → [Tcl Console] をクリックします。次の図に、[Tcl Console] ビューを示します。

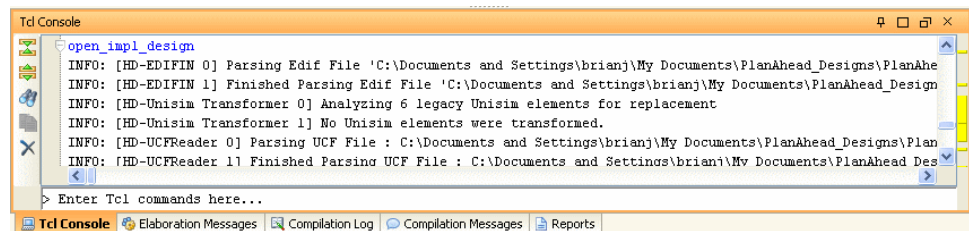


図 4-28 : [Tcl Console] ビュー

[Tcl Console] ビューでは、次の操作を実行できます。

- プラス記号 (+) またはマイナス記号 (-) をクリックすると、ツリー ビューを展開したり、閉じたりできます。[Expand All] または [Collapse All] ボタンをクリックすると、すべてのツリーを展開したり、閉じたりできます。
- [Show Find] ボタンをクリックすると、検索文字列を入力するボックスが表示されます。
- [Copy] ボタンをクリックすると、[Tcl Console] ビュー内のコマンドをコピーできます。
- [Clear all output in the Tcl console] ボタンをクリックすると、[Tcl Console] ビューがクリアされます。

## 警告およびエラーを示すカラー バー

[Tcl Console] ビューの右側には、次の図に示すように、警告に対して黄色のバー、エラーに対して赤色のバーが表示されます。

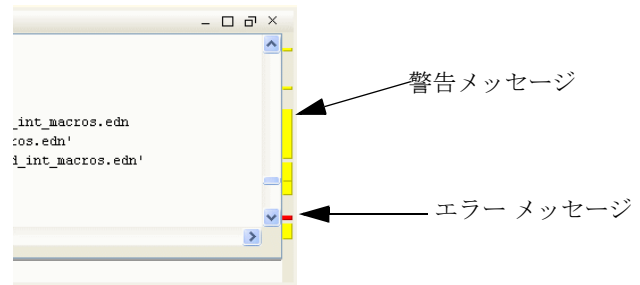


図 4-29 : [Tcl Console] ビューの警告およびエラーを示すカラー バー

このバーの上にカーソルを置くと、ツール ヒントに対応するメッセージが表示されます。

バーをダブルクリックすると、[Tcl Console] ビューのそのメッセージの部分に移動します。

## Tcl コマンド ラインの使用

Tcl フォーマットの PlanAhead コマンドを、コマンド ラインで使用できます (100 ページの図 4-28 を参照)。コマンドは、[Tcl Command] ビューの下部にあるボックスに入力します。

メニュー操作やドラッグ アンド ドロップなどの操作には、対応する Tcl コマンドがあります。

インターフェイスを使用してコマンドを実行すると、対応する Tcl コマンド が実行され、[Tcl Console] ビューに表示されます。この内容は、planAhead.jou ファイルにも 書き込まれます。

コマンドの履歴は、Tcl コマンドを入力するボックスにカーソルを置いて上方向キーまたは下方向キーを押すと確認できます。

## Tcl ヘルプの使用

次の構文をコマンド ラインに入力すると、すべてのコマンドに関するヘルプが表示されます。

```
Command> help
```

各コマンドの詳細は、次のように入力すると表示されます。

```
Command> help get_cells
```

入力した内容に応じて、[Tcl Console] ビューに使用可能なコマンドまたはコマンド オプションが表示されます。

正確なコマンド構文を確認するには、コマンドを 1 度実行し、PlanAhead の起動ディレクトリに含まれている planAhead.jou ファイルを参照します。

Tcl コマンドのフォーマットおよびヘルプに関する詳細は、第 14 章「Tcl およびバッチ スクリプト」を参照してください。

## [Design Runs] ビュー

[Design Runs] ビューには、プロジェクトで定義した合成およびインプリメンテーション実行に関する情報が表示されます。複数の実行やパーティションは、[Design Runs] ビューを使用すると効率的に管理できます。このビューは、デフォルトでは表示されません。

[Design Runs] ビューの詳細は、[第 9 章の「インプリメンテーションの実行」](#)を参照してください。

## PlanAhead ビューの使用

次のセクションでは、次の PlanAhead ビューについて説明します。

- [「\[Sources\] ビュー」](#)
- [「\[Device\] ビュー」](#)
- [「\[Package\] ビュー」](#)
- [「\[Schematic\] ビュー」](#)
- [「\[Properties\] ビュー」](#)
- [「\[Netlist\] ビュー」](#)
- [「\[Hierarchy\] ビュー」](#)
- [「\[I/O Ports\] ビュー」](#)
- [「\[Package Pins\] ビュー」](#)
- [「\[Design Runs\] ビュー」](#)

## [Sources] ビュー

[Sources] ビューでは、プロジェクトのソース ファイルおよび制約ファイルを管理します。このビューは、すべてのビュー レイアウトで表示されます。

[Sources] ビューを開くには、次の図に示すツールバーの [Sources] ボタンをクリックするか、[Windows] → [Sources] をクリックします。



図 4-30 : [Sources] ボタン

次の図に、[Sources] ビューの例を示します。

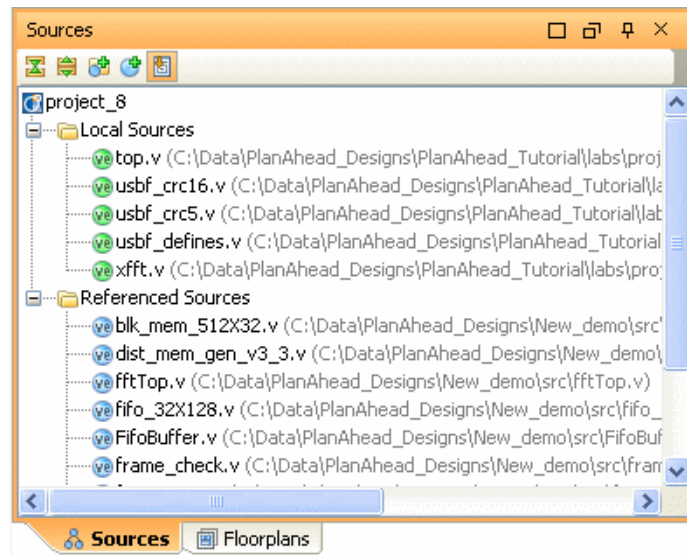


図 4-31 : [Sources] ビュー

[Sources] ビューには、プロジェクトに追加されたファイルがカテゴリ別およびタイプ別に表示されます。デザイン ソースのタイプには Verilog、VHDL、NGC/NGO、および EDIF があります。

制約は、制約セットと呼ばれるフォルダに含まれます。1 つの制約セットには、複数の UCF ファイルを含めることができます。モジュールレベルの NCF およびザイリンクス ネットリスト制約ファイル (XNCF) フォーマットの制約ファイルは、デザイン ソースとしてコアと共に表示され、読み出し専用です。制約の詳細は、[第 3 章の「制約の追加と管理」](#)を参照してください。

[Sources] ビューには、次の情報が含まれます。

- **[Name]** : ソース ファイルをタイプ別にグループ化し、ツリー形式で表示します。[138 ページの「ツリー表形式のビュー」](#)を参照してください。
- **[Copied]** : ファイルがプロジェクトにコピーされているか、またはリモートから参照されているかを示します。
- **[Library]** : 各ファイルの VHDL ライブラリを表示します。
- **[Location]** : インポートされたファイル、またはリモートから参照されているファイルの場所を表示します。

RTL ソースが赤色で表示される場合は、PlanAhead で必要なファイルを見つけることができなかったことを示します。

## [Sources] ビューのコマンド

[Sources] ビューでファイルを右クリックし、ポップアップ メニュー コマンドを使用してソース ファイルを追加、表示、変更できます。共通のポップアップ メニュー コマンドは、[付録 A の「共通のポップアップ メニュー コマンド」](#)で説明します。

[Sources] ビュー特定のコマンドは、次のとおりです。

- **[Source File Properties]** : [Source File Properties] ビューが開きます。
- **[Open file]** : 選択したファイルが RTL エディタで開きます。[Sources] ビューのツールバーの [Open Selected Source Files] をクリックしても、同じ操作を実行できます。

- [Update File] : 選択したファイルを新しく選択したファイルに置き換えます。
- [Copy into Project] : 選択したソース ファイルおよびディレクトリをプロジェクト ディレクトリにコピーします。
- [Import All Files] : リモートから参照されているソース ファイルをすべてプロジェクト ディレクトリにコピーします。
- [Remove from Project] : 選択したソース ファイルを PlanAhead プロジェクトから削除します。また、ファイルがプロジェクトにインポートされている場合は、PlanAhead プロジェクトのディスク ロケーションからもファイルを削除します。
- [Enable source files] : エラボレートおよび合成でのソース ファイルのステータスをアクティブに設定します。ソース ファイルのステータスは、イネーブルまたはディスエーブルを切り替えることができます。
- [Disable source files] : エラボレートおよび合成でのソース ファイルのステータスを非アクティブに設定します。ソース ファイルのステータスは、イネーブルまたはディスエーブルを切り替えることができます。ステータスがディスエーブルのソース ファイルは、グレーで表示されます。
- [Set Target UCF] : PlanAhead で作成した制約を追加する UCF ファイルを指定します。
- [Set Library] : 選択した RTL ソース ファイルのライブラリを選択します。
- [Create Source File] : ドロップダウン メニューから [Verilog]、[Verilog Header]、または [VHDL] を選択し、そのタイプのソース ファイルを作成します。新しいソース ファイルは RTL エディタで開きます。
- [Add Sources] : 選択したソース ファイル、ディレクトリ、およびサブディレクトリをプロジェクトにインポートします。[Sources] ビューのツールバーの [Add Sources] をクリックしても、同じ操作を実行できます。
- [Add Existing IP] : 既存の CORE Generator プロジェクト ファイル (XCO) を IP としてプロジェクトに追加します。
- [Add Constraints] : 選択した最上位 UCF 制約ファイルをプロジェクトに追加します。[Sources] ビューのツールバーの [Add Constraints] をクリックしても、同じ操作を実行できます。
- [Find in Files] : [Find in Files] ダイアログ ボックスを開き、文字列を入力して選択したファイルから検索します。検索結果は、[Find in Files] ビューに表示されます。

## RTL エディタ

RTL エディタの使用方法は、第 5 章の「RTL エディタの使用」を参照してください。

## [Device] ビュー

[Device] ビューは、デザイン解析およびフロアプランに関するさまざまな操作で使用するメインのグラフィカル インターフェイスです。詳細は、次のセクションを参照してください。

- [第 7 章「ネットリストの解析および制約の定義」](#)
- [第 10 章「インプリメンテーション結果の解析」](#)
- [第 11 章「デザインのフロアプラン」](#)

[Device] ビューは、I/O ピン配置プロセスでも使用します。ピン割り当てでの [Device] ビューの使用については、[第 8 章「I/O ピン配置」](#)を参照してください。

[Device] ビューには、論理デバイス、クロック領域、I/O パッド、BUFG、DCM、Pblock、インスタンス ロケーション、ネット接続など、FPGA デバイスのリソースが表示されます。特定のロジックを割り当てることのできるロケーションは、「サイト」と呼ばれます。次の図に、[Device] ビューを示します。



図 4-32： [Device] ビュー

表示されるロジック オブジェクトの情報量は、選択されているズーム レベルにより異なります。表示を拡大すると、ロジック オブジェクトの詳細が表示されます。[Device] ビューを右クリックして表示されるポップアップ メニューとツールバーに、ズーム レベルを変更するコマンドが含まれています。また、[Device] ウィンドウのスクロール バーやダイナミックな表示移動機能も使用できます。106 ページの図 4-33 に、拡大表示した [Device] ビューを表示します。



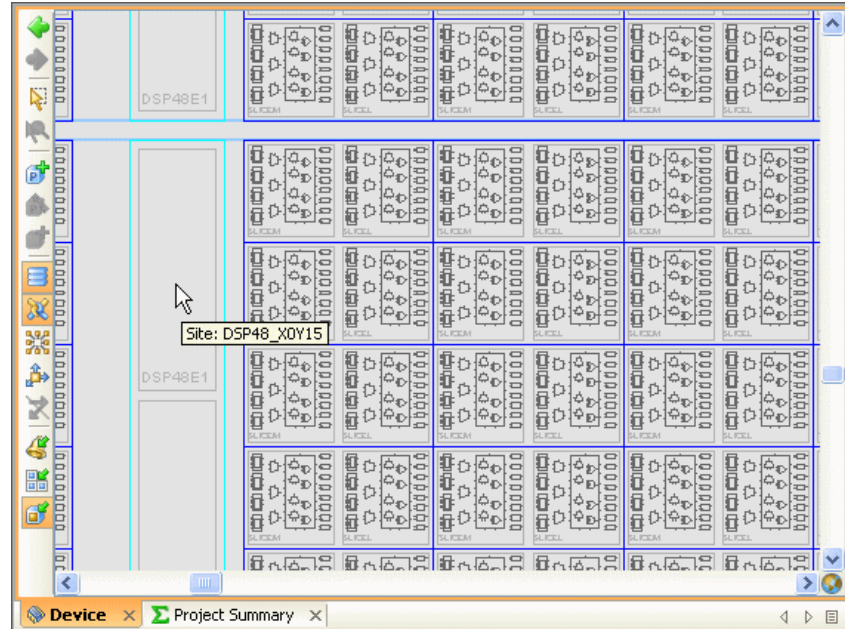


図 4-33： [Device] ビューの拡大表示

[Device] ビューのオブジェクト上にカーソルを置くと、ツール ヒントにオブジェクトの名前が表示されます。サイトまたはロジック オブジェクトを選択すると、[Properties] ビューにプロパティが表示されます。オブジェクト サイトを検索するには [Edit] → [Find] をクリックします。

[Device] ビューでは、カーソルの形が実行する操作によって変化するダイナミック カーソルが使用されます。たとえば、ロジック リソースを不正に割り当てようとすると、それを修正できるようにダイナミック カーソルが変化します。詳細は、141 ページの「文脈依存カーソルについて」を参照してください。

### [Device] ビュー コマンドの使用

[Device] ビューの左側にあるツールバー ボタンを使用して、このビューに特定のコマンドを実行できます。詳細は、140 ページの「ビュー特定のツールバー コマンド」を参照してください。[Device] ビューのツールバーには、次のコマンドが含まれています。

- [Draw Pblock] : 新しい Pblock 長方形を作成します。
- [Set Pblock Size] : 既存の Pblock 長方形の形を変更します。
- [Add Pblock Rectangle] : 長方形以外の Pblock を作成します。
- [Show/Hide LOC Constraints] : 設定されている LOC 制約の表示/非表示を切り替えます。
- [Show/Hide Bundle Nets] : Pblock 間のバンドル ネットの表示/非表示を切り替えます。
- [Show/Hide I/O Nets] : I/O 接続の表示/非表示を切り替えます。
- [Show connections for selected instances] : 選択したオブジェクトの接続の表示/非表示を切り替えます。
- [Hide All Timing Paths] : 新しくタイミング パスを選択した後に表示されたままになっているタイミング パスを削除します。このボタンをクリックすると、現在選択されているパスのみが表示され、その他のタイミング パスは非表示になります。
- [Create BEL Constraint Mode] : 配置するオブジェクトに LOC および BEL 配置制約を設定します。

- [Create Site Constraint Mode] : 配置するオブジェクトに LOC 配置制約を設定します。
- [Assign Instance Mode] : Pblock にロジック インスタンスを割り当てます。これがデフォルトモードです。コマンドが正しく機能するようにするため、できる限りこのモードを使用してください。
- [Place I/O Ports in an I/O Bank] : I/O ポートを I/O バンクに割り当てます。
- [Place I/O Ports in Area] : I/O ポートを長方形エリアに割り当てます。
- [Place I/O Ports Sequentially] : I/O ポートを順々に割り当てます。
- [Automatically Enforce Legal I/O Placement] : インタラクティブ I/O 配置 DRC が強制的に実行されるようにします。

## デバイス リソースの表示

PlanAhead ソフトウェアでは、選択したデバイスに含まれるリソースが表示されます。デバイス リソースの表示レベルは、[Device] ビューのズーム レベルによって変わります。デバイス特有のリソースは、すべてグラフィカル サイトで表示されます。

[Device] ビューでは、リソースは次のように表示されます。

- I/O パッドおよびクロック オブジェクトは、デバイスの周囲と、デバイスの中央の列に表示されます。
  - ◆ I/O バンクは、I/O パッドの列のすぐ外側に細い長方形として影付きで表示されます。
  - ◆ 使用可能な I/O バンク サイトは、I/O バンクの長方形が色で塗りつぶされています。
  - ◆ ボンディングされていない I/O バンクは、空の長方形として表示されます。
  - ◆ I/O クロック パッドは色で塗りつぶされた長方形として表示されます。
- BUFG、BUFR、BUFGP などのクロック リソースも、[Device] ビューに表示されます。I/O バンクまたはクロック領域を選択すると、[I/O Bank Properties] ビューに使用可能なデバイス リソースが表示されます。
- デバイス内はタイルと呼ばれる小さな長方形に分割されており、アーキテクチャのさまざまな種類のロジック プリミティブの配置サイトで構成されています。[Device] ビューでロジック サイトにカーソルを置くとツール ヒントが表示され、そのサイトの情報を確認できます。

デバイス リソースの表示に関する詳細は、第 7 章の「リソース統計の表示とレポート」を参照してください。106 ページの図 4-33 に、[Device] ビューを拡大表示した例を示します。CLB、スライス、および BEL は、ズーム レベルをこれらを表示可能なレベルまで拡大すると表示されます。

プリミティブ ロジック インスタンスは、表示されている適切なサイトに割り当てることができます。ISE による配置結果をインポートして、ロジックの割り当てを表示できます。

108 ページの図 4-34 のズーム レベルでは、配置されたインスタンスがスライス内で長方形として表示されています。さらに拡大表示すると、ロジック シンボルが表示されます。



図 4-34： [Device] ビューでインスタンスが長方形として表示

ロジックは LOC 配置制約を生成するサイトに割り当てることができます。BEL 制約を使用すると、サイトを特定のゲートまたはスライスに割り当てることができます。ISE からインポートされるすべてのロジックは、BEL レベルの制約として表示されます。LOC 配置制約の詳細は、第 11 章の「配置 LOC 制約」を参照してください。

### クロック領域の表示

クロック領域は、さまざまなデバイス クロック領域を示す大きな長方形として表示されます。この境界線は、クリティカルな回路のフロアプランに役立ちます。[Device] ビューでは、次の操作を実行できます。

- [Clock Regions] ビューでクロック領域を選択します。
- クロック領域を選択して、[Clock Region Properties] ビューにリソース統計を表示します。
- インプリメンテーション結果をインポートした後、クロック配置統計を表示します。
- [Device] ビューに表示されるクロック領域の表示色を変更するには、[Tools] → [Options] → [Themes] をクリックし、[Device] タブで [Clock Region] の色を変更します。

クロック領域を選択すると、対応する I/O バンクおよびクロックに関連したロジック サイトも選択されます。

クロック領域統計の表示に関する詳細は、第 8 章の「クロック領域のリソース統計の表示」を参照してください。

## [Device] ビューの印刷

[File] → [Print] をクリックすると、[Device] ビューを印刷できます。このコマンドでは、現在表示されているエリアが印刷されます。[Device] ビュー全体を印刷するには、拡大率を変更して全体を表示してから印刷します。

## 複数の [Device] ビューの表示

同じフロアプラン (以下「デザイン」) に対して、複数の [Device] ビューを開くことができます。複数表示することで、デバイスの異なるエリアで作業できます。

2 つ目の [Device] ビューを開くには、[Window] → [New Device View] をクリックします。2 つ目の [Device] ビューは [Device (2)] というタブに表示されます。136 ページの「ワークスペースの分割」に説明されている方法を使用して表示を分割すると、複数のビューを並べて開くことができます。次の図に、複数のビューを並べて表示した例を示します。

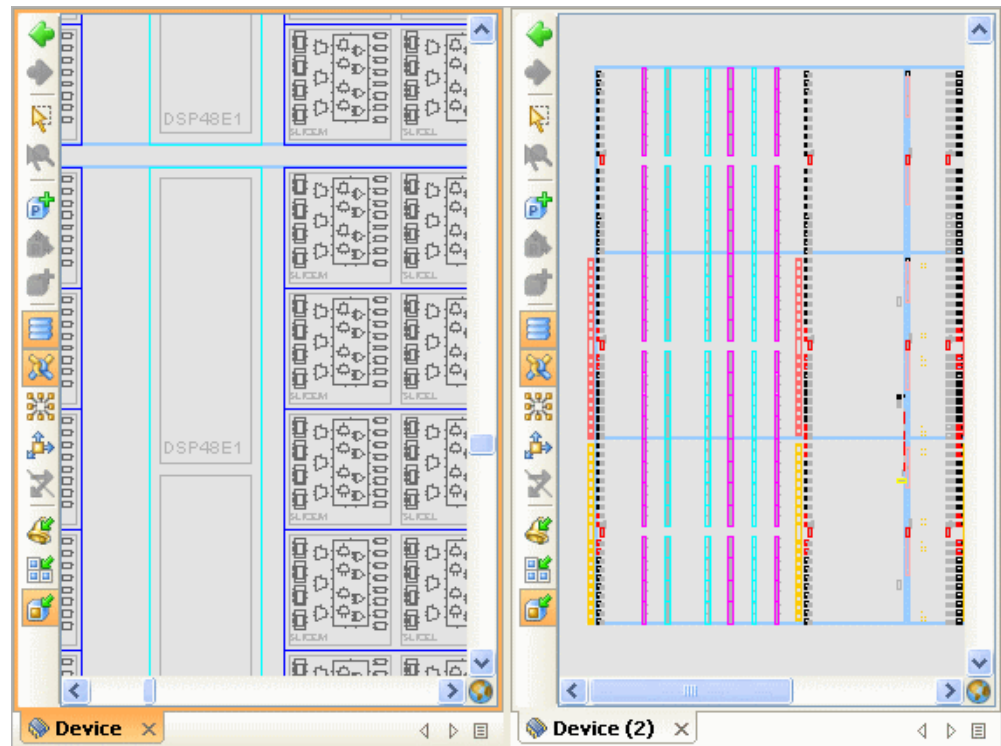


図 4-35： 複数の [Device] ビューの表示

## [Package] ビュー

[Package] ビューには、デバイスの物理特性が表示され、主に I/O ピン配置で使われます。各ピンタイプは、異なる色と形を使用して表示されます。[Package] ビューを使用した I/O ピン配置の詳細は、第 8 章「I/O ピン配置」を参照してください。

[Package] ビューを開くには、次のいずれかをクリックします。

- ワークスペースの [Package] ビュー タブ
- [Window] → [New Package View] コマンド

複数の [Package] ビューを同時に開くこともできます。次の図に、[Package] ビューを示します。

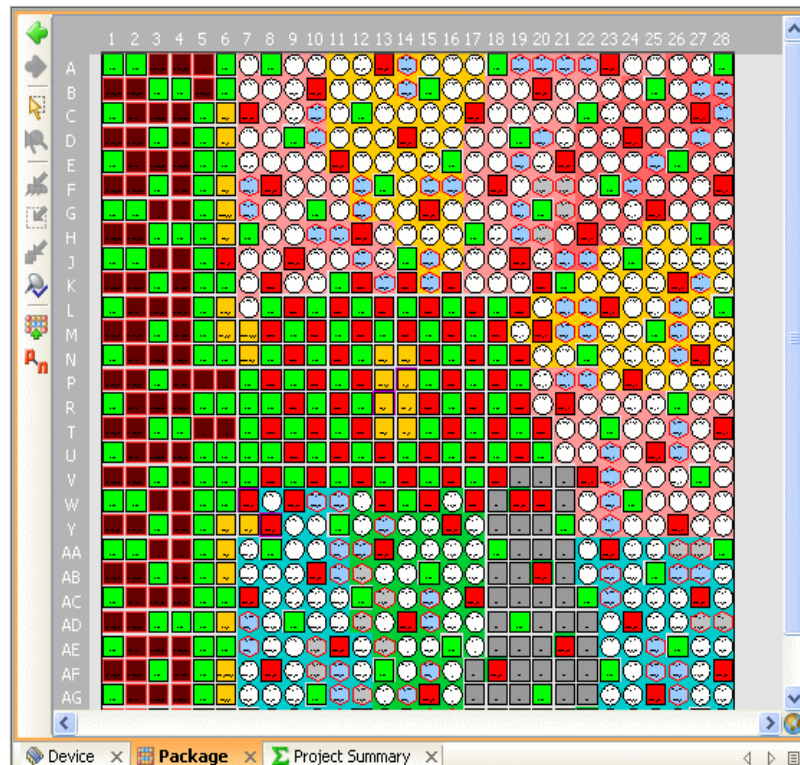


図 4-36： [Package] ビュー

[Package] ビューでカーソルを移動すると、カーソルが置かれたオブジェクトがハイライトされ、I/O ピンの名前、サイトタイプ、バンクがツールヒントおよび PlanAhead メインウィンドウの下部にある情報バーに表示されます。

[Package] ビューでは、次の操作を実行できます。

- ポートおよび I/O バッファ インスタンスを [Package] ビューにドラッグし、インスタンスを I/O ピンに割り当てることができます。
- ピンおよび I/O バンクは、次のように表示されます。
  - ◆ VCC は赤色の正方形、GND ピンは緑色の正方形で表示されます。
  - ◆ クロック ピンは、六角形で表示されます。
  - ◆ ピン間の色が付いたエリアは、I/O バンクを示します。
- ピンまたはバンクを選択するには、クリックします。

- I/O ピンまたはバンクを選択すると、[Device] ビューでもハイライトされます。[Device] ビューで選択したピンまたは I/O バンクは、[Package] ビューでもハイライトされます。
- 次の図に示すツールバーの [Show Differential I/O pairs] ボタンをクリックすると、[Package] ビューに差動ピン ペアを表示できます。



図 4-37 : [Show Differential I/O pairs] ボタン

ツールバーの [Show Bottom View] または [Show Top View] ボタンをクリックするか、[Package] ビューを右クリックしてポップアップ メニューから [Show Bottom View] または [Show Top View] をクリックすると、パッケージの上面または下面の表示に切り替えることができます。



図 4-38 : [Show Bottom View] ボタン

[Package] ビューの左上端には、ツールバー ボタンがあります。これらの [Package] ビュー特定のコマンドは、[付録 A「共通のポップアップ メニュー コマンド」](#) で説明されています。

## [Package] ビューの印刷

[File] → [Print] をクリックすると、[Package] ビューを印刷できます。このコマンドでは、現在表示されているエリアが印刷されます。[Package] ビュー全体を印刷するには、拡大率を変更して全体を表示してから印刷します。

## [Schematic] ビュー

回路図は、どのレベルの論理階層または物理階層ビューに対しても表示できます。[Schematic] ビューを使用すると、デザインのインターコネクトや階層構造を表示したり、RTL ネットリストまたは合成済みネットリストの信号パスをトレースしたりできます。

RTL ネットリストの解析については、[第 6 章の「実行結果の解析」](#) を参照してください。

合成済みネットリストの解析については、[第 7 章「ネットリストの解析および制約の定義」](#) を参照してください。

[Device] ビューで解析およびフロアプランするために、[Schematic] ビューで直接ロジックを選択できます。

[Schematic] ウィンドウを開くには、次の手順に従います。

1. 1 つまたは複数のロジック エレメントを選択します。
2. 右クリックして [Schematic] をクリックするか、または次の図に示すツールバーの [Schematic] ボタンをクリックします。



図 4-39 : [Schematic] ボタン

[Schematic] ビューには、選択したロジックのインスタンスまたはネットが表示されます。インスタンスを 1 つのみ選択している場合は、[112 ページの図 4-40](#) に示すように、モジュールがすべてのピンと共に表示されます。



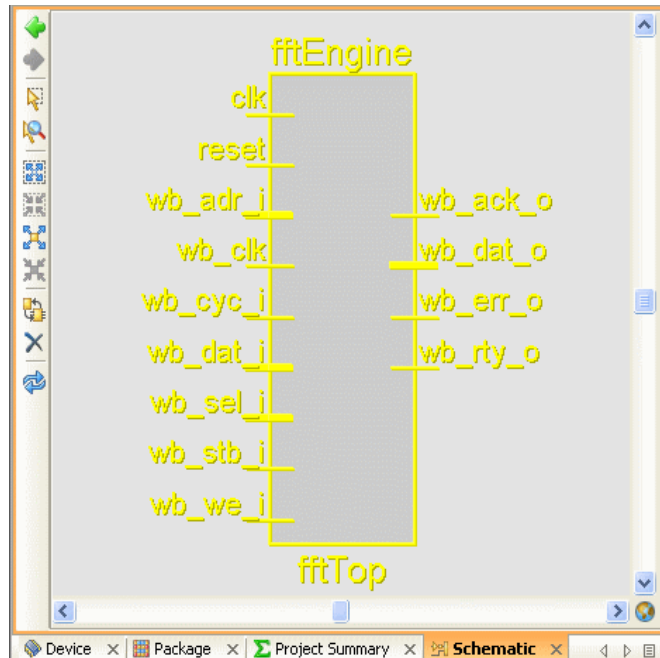


図 4-40： [Schematic] ビュー

[Schematic] ビューでオブジェクトを選択すると、その他すべてのビューでも選択されます。インプリメント済み設計が開いている場合は、ロジックおよびパスが [Device] ビューに表示されます。

### [Schematic] ビューでのロジック階層の表示

[Schematic] ビューでは、次の図に示すように、上位の階層は同心の長方形として表示されます。

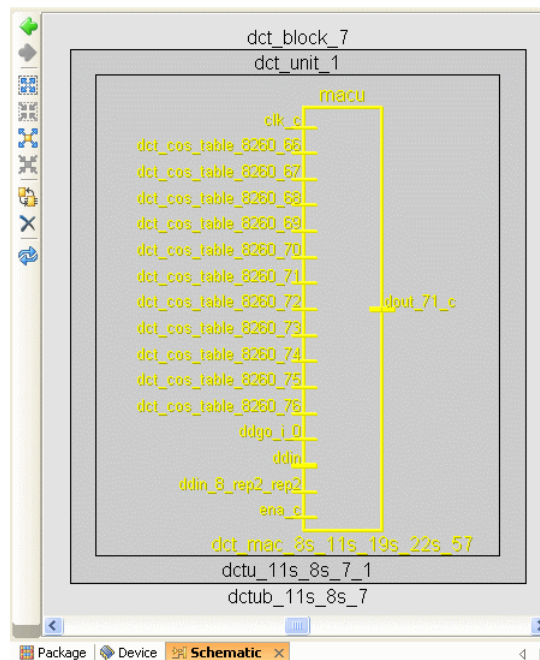


図 4-41： [Schematic] ビューでの階層表示



上位階層のピンは表示されず、回路図が見やすくなっています。[Schematic] ビューでは、次の操作を実行できます。

- モジュール ピンおよびロジックを個別に展開または非展開できます。
- ロジックは、個々のピン、インスタンス、またはモジュール内外のロジック全体から展開表示できます。

選択したモジュールのモジュール ピンを展開表示するには、右クリックして表示されるポップアップメニューから [Toggle Autohide Pins] をクリックするか、[Schematic] ビューのツールバーにある [Toggle Autohide pins for selected instance] ボタンをクリックします。



図 4-42 : [Toggle Autohide pins for selected instances] ボタン

### 選択したピンからのロジックの展開表示

ピンからロジックを展開表示するには、複数の方法があります。

- ピンをダブルクリックすると、そのロジック ネットが次のプリミティブのロジック エLEMENT まですべて展開表示されます。
- バスは太いワイヤで表示されます。バスを展開すると、すべてのビットを表示できます。

信号は、次の図に示すように、階層の境界を越えて展開できます。

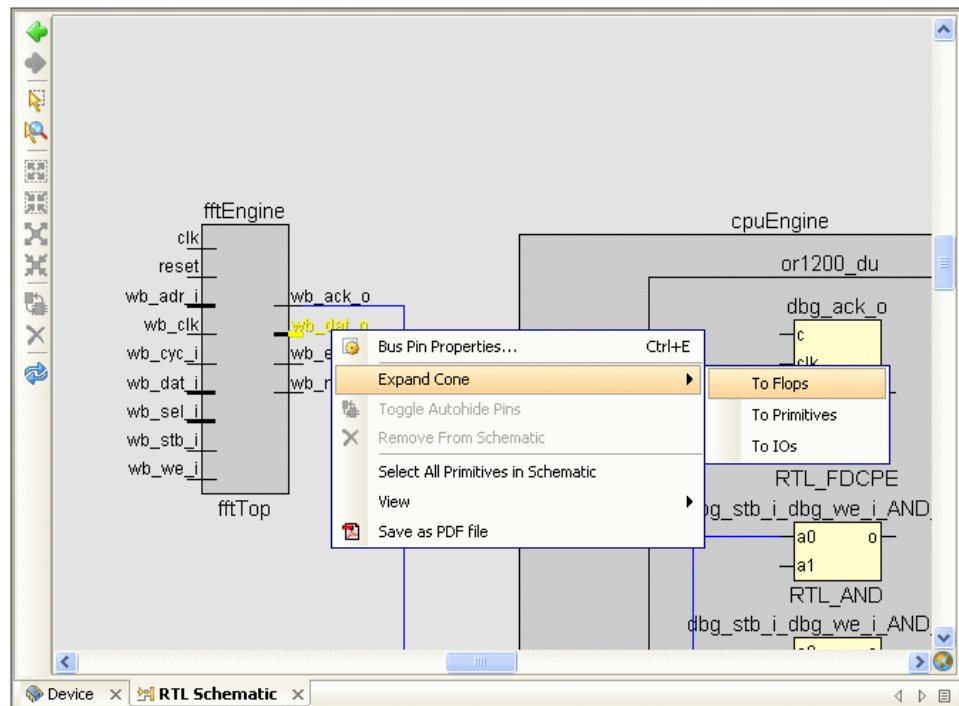


図 4-43 : [Schematic] ビューでの信号の展開表示

その他に、次のフリップフロップ セットまでのロジックを展開表示したり、I/O までのロジックを展開表示するオプションがあります。展開表示で選択されたロジックが多すぎる場合は、回路図表示には適さないことを示すダイアログ ボックスが表示されます。

ロジックの展開表示オプションを表示するには、ピンまたはインスタンスを右クリックして [Expand Cone] をクリックします。

[Expand Cone] コマンドのオプションは次のとおりです。

- [To Flops] : 最初のフリップフロップ、またはブロック RAM、FIFO、エンベデッド プロセッサなどの順次エレメントまでのロジックを表示します。
- [To Primitives] : 最初のプリミティブまでのロジックを表示します。この操作は、ピンをダブルクリックしたときのデフォルトです。
- [To IOs] : I/O までのロジックを表示します。このオプションでは、多数のロジックが表示される場合があります。ロジック レベルが 11 以上追加される場合、このコマンドをキャンセルできる警告メッセージが表示されます。








### 選択したインスタンスまたはモジュールのロジックの展開または非展開

選択したモジュールに含まれるロジックまたはモジュールの次の上位階層に含まれるロジックを展開または非展開できます。新しいコマンドのセットを 1 つまたは複数のモジュールに実行できます。これらのコマンドは、右クリックで表示されるポップアップ メニューまたは [Schematic] ビューのツールバー ボタンから実行できます。

## [Schematic] ビューのボタン

次の表に、[Schematic] ビューのツールバー ボタンを示します。

表 4-1 : [Schematic] ビューのツールバー ボタン

ツールバー ボタン	コマンド	説明
	[Schematic]	回路図をクリックします。
	[Expand all logic inside selected instance]	選択したインスタンス内のロジックをすべて展開表示します。
	[Collapse all logic inside selected instance]	選択したインスタンス内のロジックを非展開します。
	[Expand all logic outside selected instance]	選択したインスタンスの外側のロジックをすべて展開します。
	[Collapse all logic outside selected instance]	選択したインスタンスの外側のロジックをすべて非展開します。
	[Regenerate schematic]	回路図を更新します。
	[Remove selected elements from schematic]	選択したエレメントを回路図から削除します。

これらのコマンドは、1 つの階層レベルに関連するロジックを表示するためのものです。次の図に、[Expand all logic inside selected instance] をクリックした例を示します。

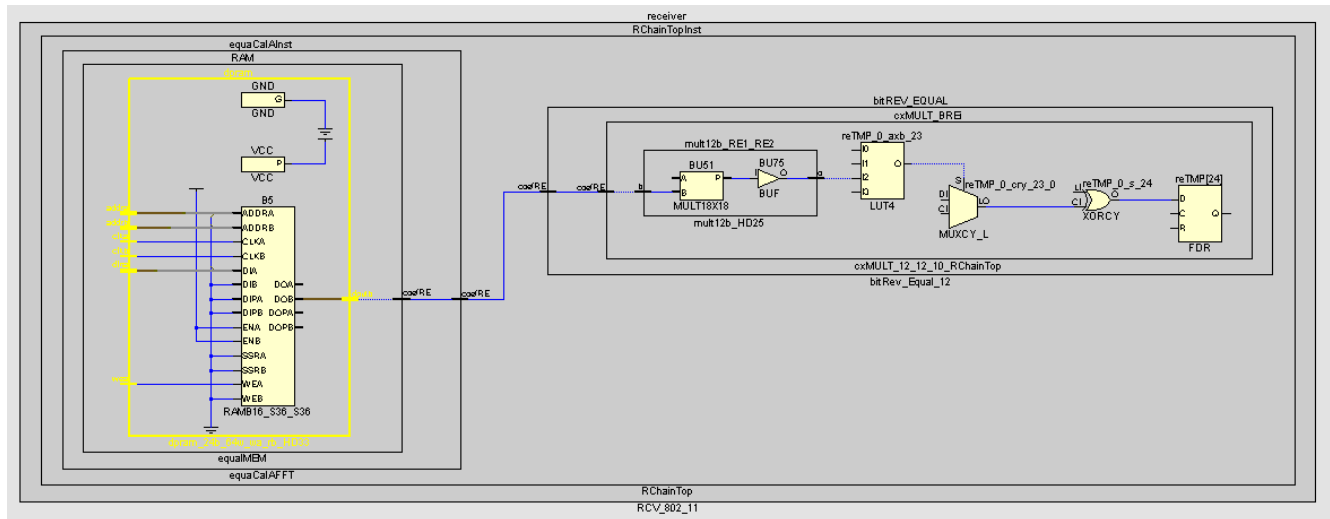


図 4-44 : 1 つの階層レベル内のすべてのロジックの表示

### 回路図での階層移動

階層インスタンスをダブルクリックすると、表示されているロジックが非展開され、選択されているモジュール内のロジックが展開されます。1 つ上のレベルの階層に移動するには、[Expand Outside] コマンドと [Collapse Inside] コマンドを使用します。

### [Schematic] ビューの更新

階層を展開または非展開するコマンドを数回使用した後、[Schematic] ビューを更新する必要があります。[Schematic] ビューを更新するには、次の図に示すツールバーの [Regenerate schematic] ボタンをクリックします。



図 4-45 : [Regenerate schematic] ボタン

このコマンドで [Schematic] ビューが更新されます。

### [Schematic] ビューでのオブジェクトの選択

[Schematic] ビューでオブジェクトを選択するオプションは、次のとおりです。

- [Schematic] ビューでオブジェクトをクリックします。
- 複数のオブジェクトを選択するには、**Ctrl** キーを使用します。
- ツールバーの [Select Area] ボタンをクリックし、複数のインスタンス、ポート、ネットを囲む長方形を描画します。

[Schematic] ビューでインスタンスを選択すると、その他のビューでもそのインスタンスが選択されます。また、ほかのビューでオブジェクトを選択すると、[Schematic] ビューでも選択されます。

[Schematic] ビューを右クリックして表示されるポップアップ メニュー コマンドは、[116 ページの「\[Schematic\] ビューのポップアップ メニュー コマンド」](#)を参照してください。

## [Schematic] ビューからのオブジェクトの削除

選択したオブジェクトおよび関連する接続を削除するには、[Schematic] ビューのツールバーで [Remove selected elements from schematic] ボタンをクリックします。



図 4-46： [Remove selected elements from schematic] ボタン

## [Schematic] ビューの印刷

[File] → [Print] をクリックすると、[Schematic] ビューを印刷できます。このコマンドでは、現在表示されているエリアが印刷されます。[Schematic] ビュー全体を印刷するには、拡大率を変更して全体を表示してから印刷します。

## [Schematic] ビューのポップアップ メニュー コマンド

[Schematic] ビューでインスタンスおよびネットを選択し、操作を実行できます。共通のポップアップ メニュー コマンドは、付録 A の「共通のポップアップ メニュー コマンド」で説明されています。ここでは、[Schematic] ビューのコマンドを説明を示します。

- [Expand Cone]：最初のプリミティブ、フリップフロップ、または I/O までのロジックを展開します。
- [Toggle Autohide Pins]：選択したモジュールのモジュール ピンの表示/非表示を切り替えます。
- [Remove From Schematic]：選択したオブジェクトを回路図から削除します。
- [Expand Inside]：選択したモジュール内のロジックを展開します。
- [Expand Outside]：選択したモジュールの外側のロジックを展開します。展開されるのは、親モジュール ロジックのみです。
- [Collapse Inside]：選択したモジュール内のロジックを非展開します。
- [Collapse Outside]：選択したモジュールの外側のロジックすべてを非展開します。非展開されるのは、親モジュール ロジックのみです。
- [Select All Primitive in Schematic]：アクティブな回路図に表示されているプリミティブ ロジックを選択します。
- [Select Primitive Parents]（インスタンスが選択されたときのみ使用可能）：選択したロジックの親ロジック モジュールをすべて選択します。

## 回路図デザイン情報の表示

### 回路図ピンのスラック、ファンアウト、値の表示

[PlanAhead Options] ダイアログ ボックスの [Schematic] ページでは、ソース ピンにファンアウト値を、デスティネーション ピンにスラック値を表示するように設定できます。スラック値は、タイミング解析を実行しないと表示されません。

[PlanAhead Options] ダイアログ ボックスの [Schematic] ページを開くには、[Tools] → [Options] → [Schematic] をクリックします。

1. これらの値を表示するには、まず [Attribute Types] で [Pin] を設定します。
2. [Available DB Attributes] で表示する値を選択し、右方向矢印ボタンをクリックして [Displayed DB Attributes] に移動します。

3. [OK] をクリックします。

次の図に、[PlanAhead Options] ダイアログ ボックスの [Schematic] ページを示します。

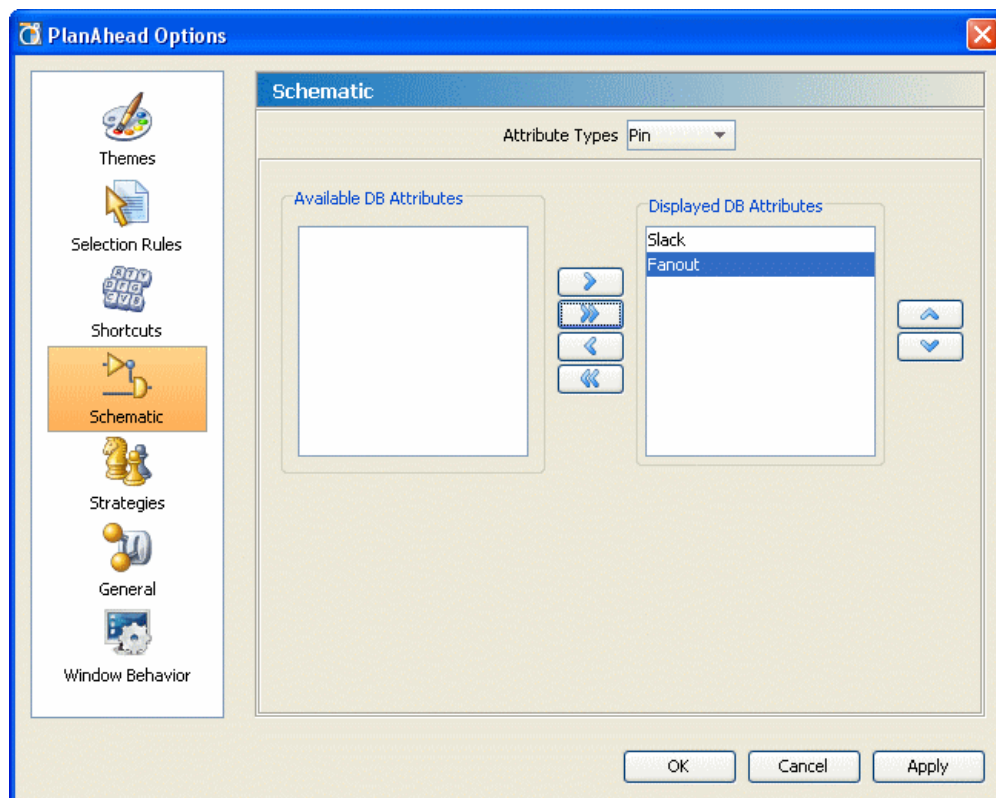


図 4-47 : [PlanAhead Options] ダイアログ ボックスの [Schematic] ページ

次の図に、ピンに値を表示した例を示します。

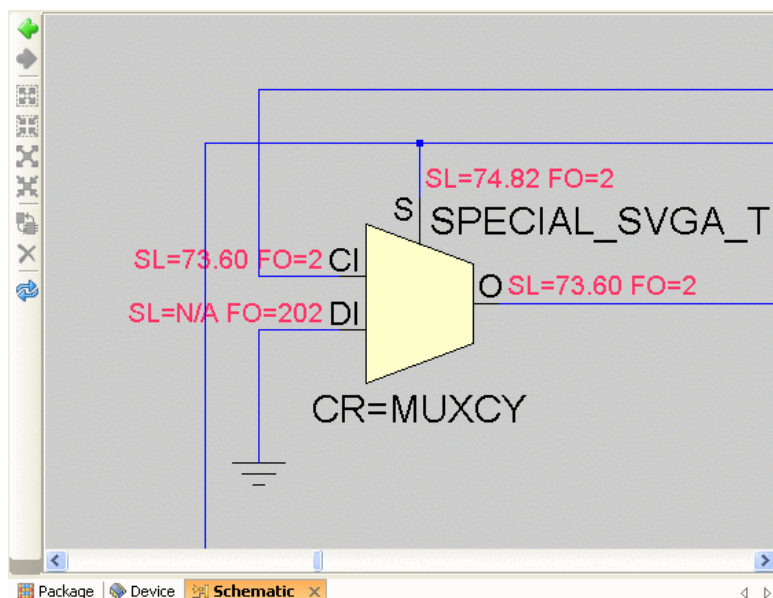


図 4-48 : [Schematic] ビューでのピンのスラック値およびファンアウト値の表示

## インスタンスのセル リファレンスおよび式の表示

[PlanAhead Options] ダイアログ ボックスの [Schematic] ページで、インスタンスにセル リファレンスおよび式を表示するよう設定できます。

[PlanAhead Options] ダイアログ ボックスの [Schematic] ページを開くには、[Tools] → [Options] → [Schematic] をクリックします。次の図に、[PlanAhead] ダイアログ ボックスの [Schematic] ページを示します。

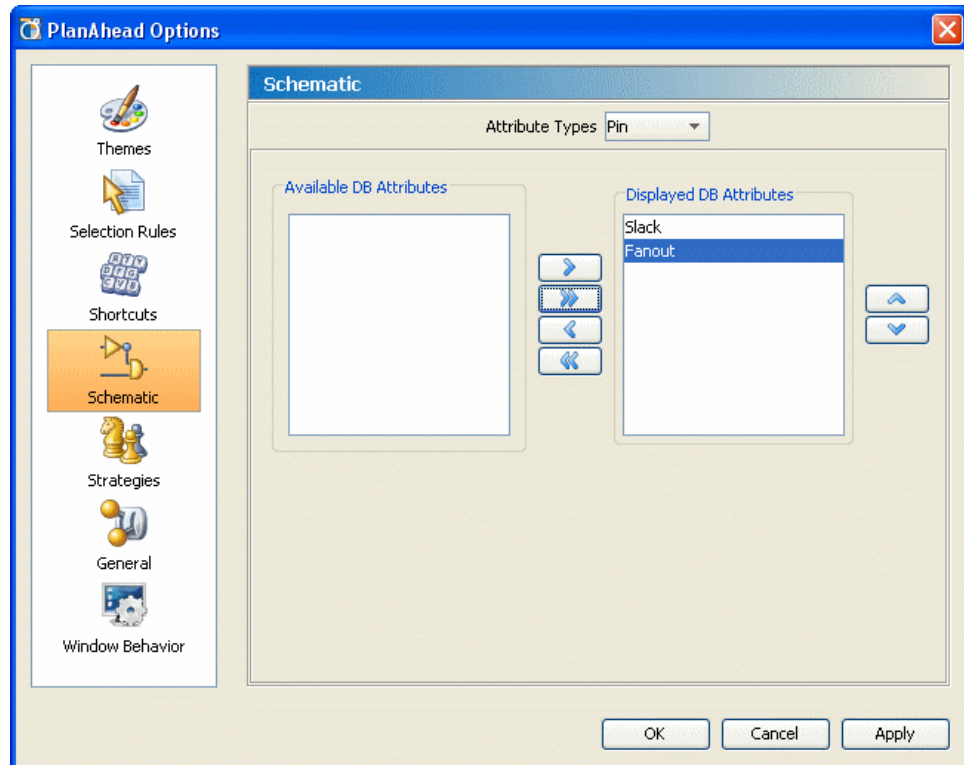


図 4-49： [PlanAhead Options] ダイアログ ボックスの [Schematic] ページ

1. [Attribute Type] で [Instance] を選択します。
2. [Available DB Attributes] で表示する値を選択し、右方向矢印ボタンをクリックして [Displayed DB Attributes] に移動します。
3. [OK] をクリックします。

119 ページの図 4-50 に、インスタンスに値を表示した例を示します。



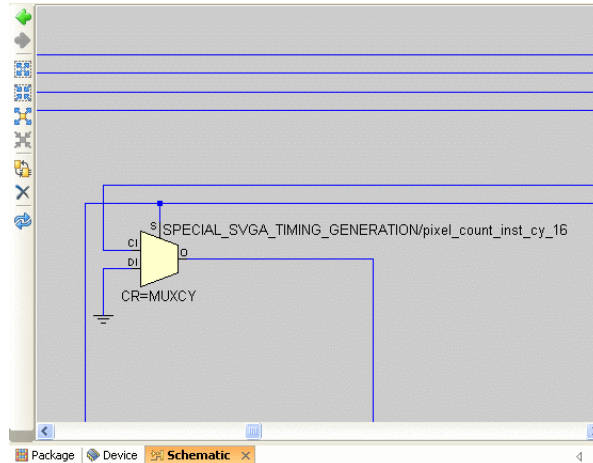


図 4-50 : [Schematic] ビューでインスタンスに値を表示

### [Schematic] ビューでのタイミング パス ロジックの表示

PlanAhead の [Timing Results] ビューでタイミング パスを選択し、[Schematic] ビューに表示できます。選択したパスまたはパス グループのオブジェクトはすべて、次の図に示すように、ロジック階層の境界およびインターコネクト ワイヤと共に表示されます。

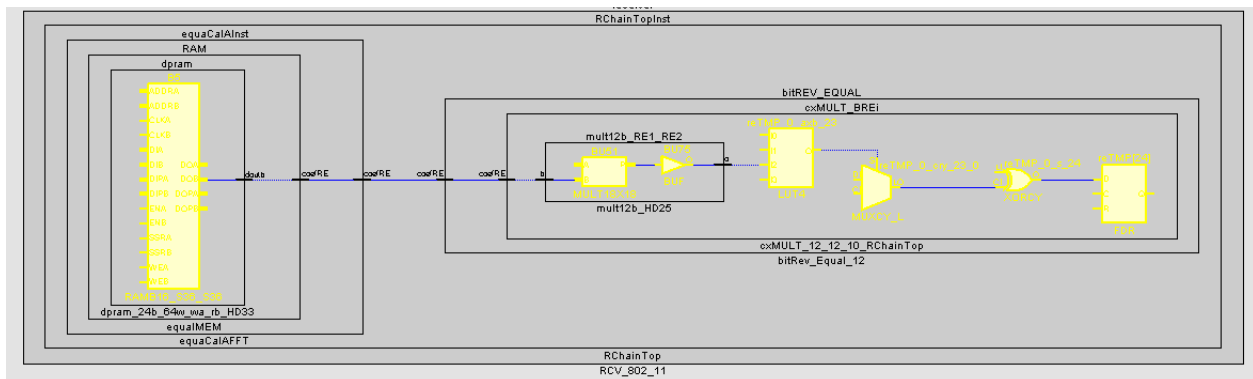


図 4-51 : [Schematic] ビューでのロジック階層

タイミング パス ロジックの設定については、[第 7 章「ネットリストの解析および制約の定義」](#)および[第 10 章「インプリメンテーション結果の解析」](#)を参照してください。

**メモ :** TRACE で生成された TWX または TWR フォーマットのタイミング レポートに含まれるパスで、インターコネクト ワイヤが表示されない場合があります。これは、ISE インプリメンテーションで最適化によりパスが削除されたからです。[Schematic] ビューには、選択されたパスに含まれている実際のオブジェクトがすべて表示されますが、最適化でオブジェクトが削除された場合、PlanAhead では接続を補間できません。[Schematic] ビューと [Path Properties] ビューを使用すると、パスの接続を簡単にトレースできます。通常は、回路図はパスの方向が簡単にわかるように描画されています。詳細は、[第 7 章の「タイミング結果の解析」](#)を参照してください。



## [Properties] ビュー

[Properties] ビューには、選択したロジック オブジェクトまたはデバイス リソースに関する情報が表示されます。オブジェクトを選択すると、そのプロパティが自動的に [Properties] ビューに表示されます。デフォルトでは、このビューは新しいアイテムを選択すると自動的に更新されます。

[Properties] ビューを表示するには、オブジェクトを右クリックし、ポップアップ メニューから [*Object-type*] Properties をクリックします。

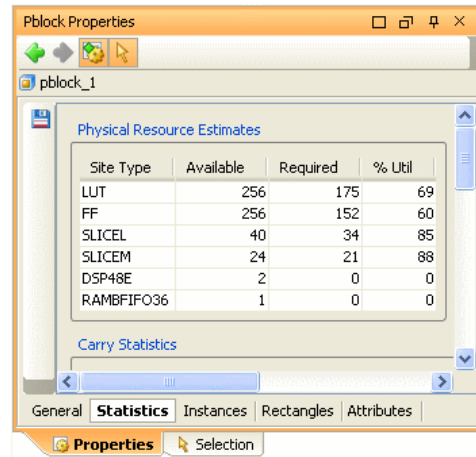


図 4-52： [Pblock Properties] ビューとそのタブ

ほとんどのオブジェクト タイプで、複数のタイプのプロパティが表示されます。さまざまなタイプの情報をグループ化して表示するため、[Properties] ビューの下部にはタブがあります。図 4-52 に示すように、タブを切り替えて選択したオブジェクトに関する情報を表示または変更します。

## [Properties] ビューのコマンド

[Properties] ビューのツールバーには、次のコマンドが含まれています。

表 4-2 : [Properties] ビューのツールバー

ツールバー ボタン	コマンド	説明
	[Previous object]	前に選択したオブジェクトに戻ります。
	[Next object]	次に選択したオブジェクトに戻ります。このボタンは、[Previous object] コマンドを使用した後にのみ使用できます。
	[Automatically update the contents of this window when new objects are selected]	新しいオブジェクトを選択したときに、[Properties] ビューを自動的に更新するか、または選択されていたオブジェクトを表示したままにするかを切り替えます。
	[Add pre-defined attributes]	新しいオブジェクトを追加します。一部のオブジェクト タイプおよびビュー ペインでのみ使用できます。
	[Delete]	プロパティ タブからオブジェクトを削除します。一部のオブジェクト タイプおよびビュー ペインでのみ使用できます。
	[Export Statistics]	データを後で解析できるように、ファイルに保存します。Pblock、クロック領域、およびインスタンスの [Properties] ビューの [Statistics] タブにのみ使用されます。
	[Select/Unselect object]	プロパティを表示しているオブジェクトの選択が解除されることがあります。このボタンをクリックすると、オブジェクトを選択または選択解除できます。
	[Group by Interface or Bus or Group by I/O bank]	選択したアイテムをインターフェイスまたはバスを基準にグループ化します。
	[Show Search]	検索を実行します。
	[Fit Selection]	選択したオブジェクトがビューに収まるように表示します。

## [Netlist] ビュー

ネットリストは、ロジック デザイン を階層的に表現したもので、最上位ネットリスト名の下には、最上位モジュールが含まれています。

[Netlist] ビューには、デザインに含まれるロジック インスタンスおよびネットが表示されます。ネットリストは、ロジック ツリーの階層を展開または非展開することでナビゲートできます。スクロール バーを使用すると、ネットリスト ツリー全体を表示できます。

デフォルトでは、ほかのビューでネットリスト オブジェクトを選択すると、そのオブジェクトを表示するために、ネットリスト ツリーはダイナミックに展開およびスクロールされます。この設定を無効にするには、ツールバーの [Automatically scroll to selected objects] ボタンをクリックします。次の図に、[Netlist] ビューを示します。

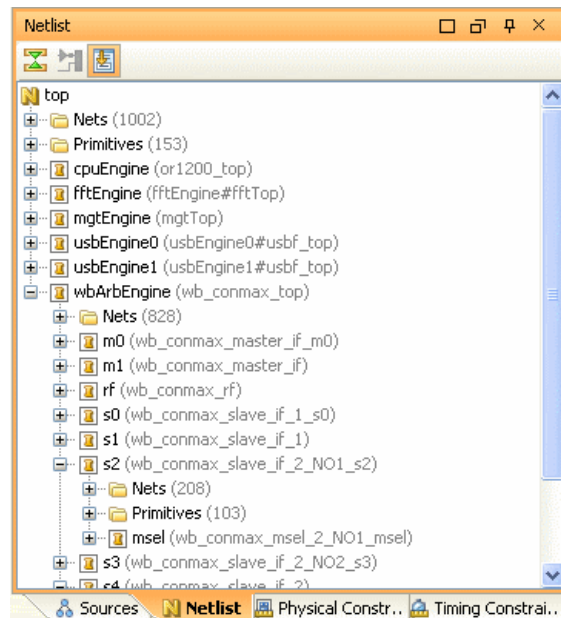


図 4-53： [Netlist] ビュー

## ネットリスト ツリーの非展開

[Netlist] ビューの [Collapse All] ボタンをクリックすると、ネットリスト ツリーすべてを閉じることができます。詳細は、[140 ページ](#)の「ビュー特定のツールバー コマンド」を参照してください。ネットリスト ツリーを閉じると、次の図に示すように、最上位ロジック モジュールのみが表示されます。

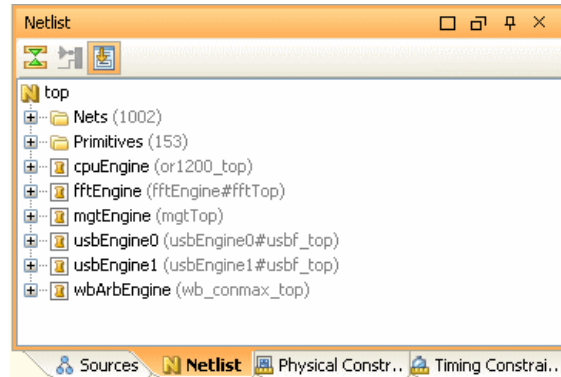


図 4-54 : 非展開されたネットリスト ツリー

## [Primitives] フォルダの使用

モジュールにプリミティブ ロジックが含まれている場合、プリミティブ ロジックは [Primitives] フォルダに含まれます。これにより、[Netlist] ビューのモジュールの表示が簡略化されたものになります。

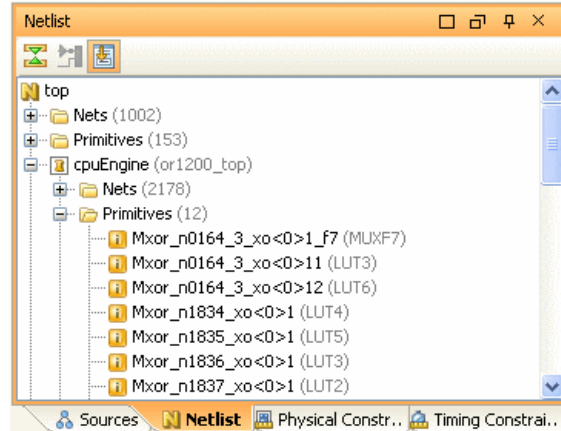


図 4-55 : [Netlist] ビューの [Primitives] フォルダ

Pblock に直接 [Primitives] フォルダを割り当てると、すべてのプリミティブが割り当てられます。

**メモ：** ネットリストを更新する際、ロジック名が再合成で変更されている可能性があるため、Pblock に [Primitive] フォルダを割り当て直す必要がある場合があります。

## [Nets] フォルダの使用

[Nets] フォルダには、階層に含まれるすべてのネットおよびバスが含まれています。バスを展開すると、次の図に示すように、個々のビットを表示できます。

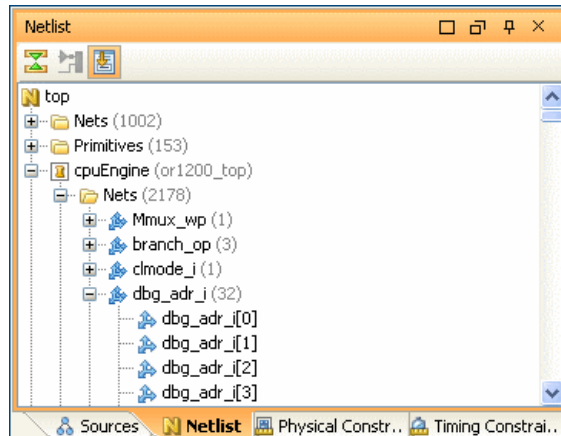


図 4-56： [Netlist] ビューの [Nets] フォルダ

ネットを選択すると、[Device] ビューでそのネットがハイライトされ、バスを選択すると、そのバスに含まれるすべてのネットがハイライトされます。ネットは、[Schematic] ビューで表示できます。

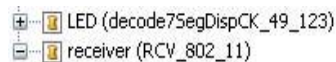
[Add to ChipScope Unassigned nets] コマンドを使用すると、ChipScope ツールでのデバッグテスト用にネットを選択できます。詳細は、[第 12 章の「デバッグ コアへのネットの接続および接続解除」](#)を参照してください。

## [Netlist] ビューのアイコン

ネットリスト ロジックのステータスを示すため、アイコンが使用されます。

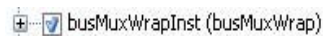
### 階層ネットリスト モジュール

階層ネットリスト モジュールまたはインスタンスは、次の図に示すように、黄色の英文字 **I** を含むアイコンで表示されます。



### Pblock に割り当てられた階層ネットリスト モジュール

Pblock に割り当てられた階層ネットリスト モジュールまたはインスタンスは、次の図に示すように、青色のチェック マークを含むアイコンで表示されます。



### ブラック ボックス モジュール

ネットリストが関連付けられていないモジュールは、次の図に示すように、黄色の英文字 **I** を含むグレーのアイコンで表示されます。これは、プロジェクト生成時に検索パスが指定されていなかったか、またはデザインの一部が不足しているために発生したと考えられます。



### パーティション モジュール

[Set Partition] ポップアップ メニュー コマンドを使用してパーティションとして設定されたモジュールは、次の図のように表示されます。



### パーシャル リコンフィギュレーション パーティション モジュール

[Set Partition] ポップアップ メニュー コマンドを使用してパーティションとして設定されており、PlanAhead パーシャル リコンフィギュレーション プロジェクトに含まれるモジュールは、次の図のように表示されます。

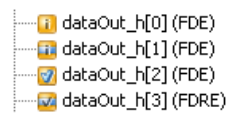


### プリミティブ ロジックのインスタンス

プリミティブ ロジックのインスタンスは、次のように表示されます。

- 配置制約のないインスタンスは、黄色の長方形の中に英文字 **i** が表示されたアイコンで示されます。
- 配置制約が設定されたインスタンスは、青い横線の付いた黄色の長方形のアイコンで示されます。
- Pblock に割り当てられているインスタンスは、黄色の長方形に青色のチェック マークが付いたアイコンで示されます。
- Pblock に配置、割り当てられたインスタンスは、黄色の長方形にチェック マークと青色の横線が付いたアイコンで示されます。

また、ロジックのタイプも示されます。



## [Netlist] ビューでのロジックの選択

インスタンスを選択して、メニュー、ツールバー、または右クリックで表示されるポップアップ メニューからコマンドを適用できます。

Shift キーまたは Ctrl キーを使用すると、[Netlist] ビューで複数のエレメントを選択でき、複数のエレメントに対してコマンドを実行できます。選択されたロジックは、[Netlist] ビューでハイライトされます。

PlanAhead でほかの方法を使用して選択されたロジックも、[Netlist] ビューで選択されます。選択したロジックすべてが表示されるよう、ネットリスト ツリーが自動的に展開されます。選択したロジックをすべて表示するため、ツリーをスクロールする必要がある場合があります。ネットリスト ツリーを非展開にしても、ロジックの選択は解除されません。

## [Netlist] ビューのコマンド

[Netlist] ビューで使用できるポップアップ メニュー コマンドの詳細は、[付録 A「共通のポップアップ メニュー コマンド」](#)を参照してください。

## [Hierarchy] ビュー

[Hierarchy] ビューは、ロジック階層をグラフィカルに表示するために使用します。選択したモジュール間の関係や、相対的なサイズなどを確認できます。このビューは、主にデザイン解析およびフロアプランで使用します。タイミングパスがロジック階層をどのように移動するのか、またはフロアプランする前にモジュールの大きさを確認すると便利です。

[Hierarchy] ビューには、エラボレートされた RTL デザインまたは合成済みネットリスト デザインの両方のロジック階層をグラフィカルに表示できます。デザインを上位から下位に表示することで、デザイン内のモジュール サイズと位置を識別できます。

[Hierarchy] ビューは、ポップアップ メニューから [Show Hierarchy] をクリックすると開きます。

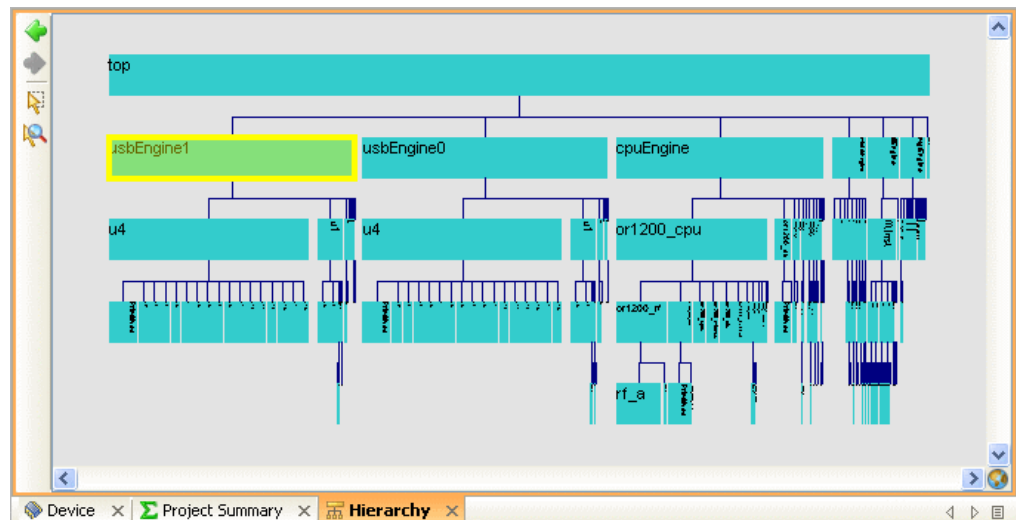


図 4-57： [Hierarchy] ビュー

[Hierarchy] ビューには、階層インスタンスのみが表示されます。プリミティブ ロジックはフォルダ内にグループ化され、サブモジュールとして表示されます。プリミティブ ロジック フォルダの詳細は、122 ページの「[Netlist] ビュー」を参照してください。[Hierarchy] ビューのブロックの幅は、LUT、フリップフロップ、ブロック RAM、DSP48 などの FPGA リソースに基づいています。

ロジックを選択するとハイライトされるので、クリティカル ロジックがデザインのどこに存在するのかを確認できます。モジュールは、次の図に示すように、選択されたロジックの量に応じてハイライトされます。



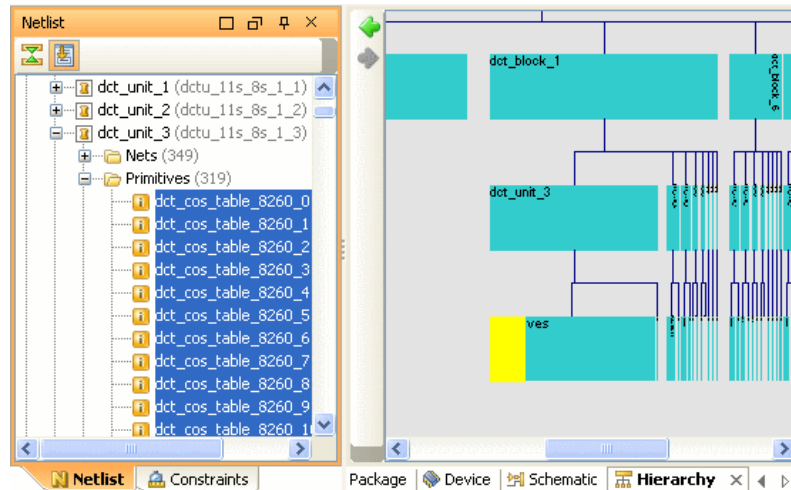


図 4-58： モジュール内で選択されたロジックの割合の表示

[Hierarchy] ビューでモジュールをダブルクリックすると、サブモジュールのサブ階層も表示されます。

Pblock を割り当てるためロジックの親モジュールを選択するには、[Select Primitive Parents] コマンドをクリックします。

## [I/O Ports] ビュー

[I/O Ports] ビューは、[Package] ビューまたは [Device] ビューで IP ポートを作成、設定、または I/O サイトに配置する際に使用します。[I/O Ports] ビューには、デザインで定義されている I/O 信号のポートが表示されます。

I/O ポートは、手動で作成するか、CSV I/O ポート リストをインポートして作成します。

RTL ヘッダ、RTL ソース、または合成済みネットリストのプロジェクト作成すると、[I/O Ports] ビューにデザインで定義されている I/O ポートが自動的に表示されます。

[I/O Ports] ビューを表示するには、[Window] → [I/O Ports] をクリックします。次の図に、このビューを示します。

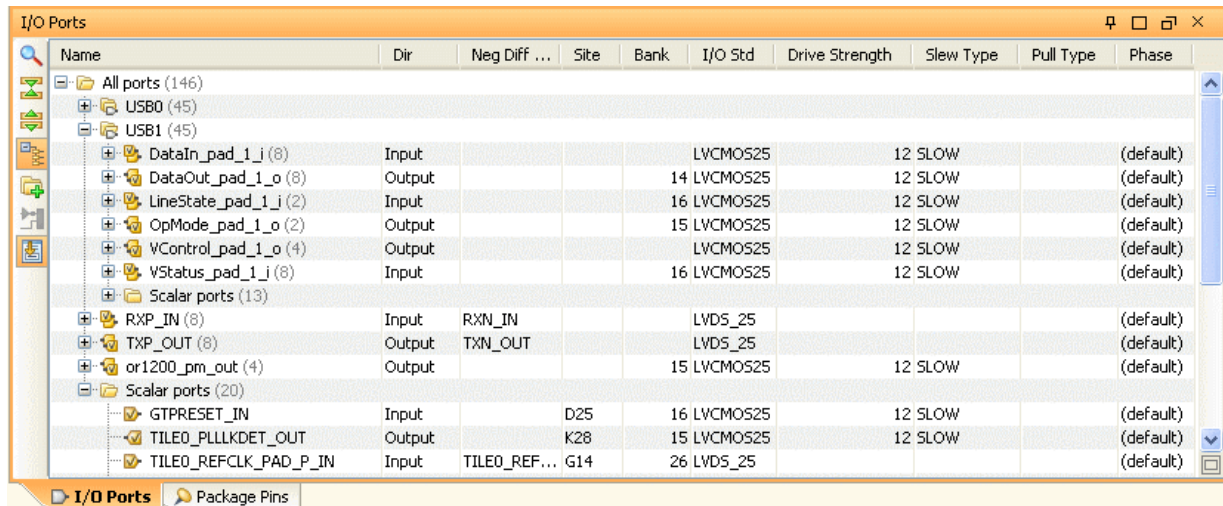


図 4-59： I/O ポートを表示した [I/O Ports] ビュー

[I/O Ports] ビューには、各 I/O ポートに対してポートの信号名、方向、パッケージ ピン、バンク、I/O 規格、駆動電流、差動ペア、スルー タイプ、およびその他の信号情報が表示されます。

表の値はデフォルト値の場合は黒色、デフォルト値でない場合はアスタリスク (\*) の付いた黒色、無効な値や未定義の値は赤色で表示されます。

バスは展開可能なフォルダにまとめられており、解析、設定、割り当てで 1 つのオブジェクトとして選択できます。

## [I/O Ports] ビューのコマンド

すべてのメニューおよびツールバー コマンドは、[付録 A の「メニューおよびツールバー コマンド」](#)を参照してください。

ツールバーの [Group by Interface and Bus] ボタンをクリックすると、ポートをインターフェイスごとに表示するか、アルファベット順にリスとするかを切り替えることができます。



図 4-60： [Group by Interface and Bus] ボタン

- I/O ポートを手動で作成するには、ツールバーの [Create I/O Port] ボタンをクリックします。
- ポートを選択してインターフェイスにグループ化するには、[Create I/O Port Interface] ボタンをクリックします。これらのインターフェイスは、I/O Planner で 1 つのオブジェクトとして選択し、配置できます。
- 選択した I/O ポートの回路図を開くには、ツールバーの [Schematic] ボタンをクリックします。

[I/O Ports] ビューでポートおよびインターフェイスを選択し、I/O Planner 環境を使用して割り当てることができます。ツリー形式のビューの使用については、[138 ページの「ツリー表形式のビュー」](#)を参照してください。

## [Package Pins] ビュー

[Package Pins] ビューには、I/O に関連したパッケージ情報が表示されます。I/O ピンおよび I/O ポート情報を解析するため、さまざまな方法で並び替えたりフィルタを適用したりできます。

[Package Pins] ビューを表示するには、[Window] → [Package Pins] をクリックします。次の図に、[Package Pins] ビューを示します。

Name	Prohibit	Port	I/O Std	Dir	Vcco	Bank	Type	Diff Pair	Clock	Voltage	Config	System Monitor	Gigabit I/O	Low Cap	Mir
P14							0 System Mo...					VP			
R13							0 System Mo...					VN			
W7							0 VCCO								
Y8							0 VCCO								
I/O Bank 14 (45)					2.5										
I/O Bank 15 (45)					2.5										
I/O Bank 16 (45)					2.5										
A26		LineState_p...	LVC MOS25	Input	2.5	16	User IO	L7P							
A27		LineState_p...	LVC MOS25	Input	2.5	16	User IO	L7N							
B24		reset	LVC MOS25	Input	2.5	16	User IO	L1P							
B26		TxReady_p...	LVC MOS25	Input	2.5	16	User IO	L3P							
B27		VStatus_pa...	LVC MOS25	Input	2.5	16	(multi-func...	L9P			MRCC				
B28		VStatus_pa...	LVC MOS25	Input	2.5	16	(multi-func...	L9N			MRCC				

図 4-61 : [Package Pins] ビュー

各パッケージ ピンについて、I/O バンク番号、タイプ、差動ペア、サイト タイプ、最小/最大パッケージ遅延などのデバイス ピン情報がリストされます。表の値は、次のように表示されます。

- デフォルト値はグレーで表示されます。
- デフォルト以外の値は黒色で表示されます。
- 不正な値は赤色で表示されます。

メモ：最小/最大パッケージ遅延は、ピコ秒 (ps) で示されます。

[Package Pins] ビューの情報は、列のヘッダをクリックすると並び替えることができます。列ヘッダをもう 1 度クリックすると、並び替え順が逆になります。ある列を基準に並び替えた後で Ctrl キーを押しながら別の列ヘッダをクリックすると、次にその列を基準に並び替えられます。リストの表示順を整えるために、さまざまな並び替え条件を選択できます。[Group by I/O Bank] をクリックして [Package Pins] ビューのリストでのグループ化を解除している場合、並び替えにより表を見やすくできます。

詳細は、138 ページの「ツリー表形式のビュー」を参照してください。

## [Package Pins] ビューのコマンド

ツールバー コマンドの詳細は、140 ページの「ビュー特定のツールバー コマンド」を参照してください。

ツールバーの [Group by I/O Bank] ボタンをクリックすると、ピンを I/O バンクごとに表示するか、アルファベット順にリストとするかを切り替えることができます。



図 4-62 : [Group by I/O Bank] ボタン

## [Design Runs] ビュー

[Design Runs] ビューは、合成およびインプリメンテーション実行を表示、設定、起動、および解析するために使用します。実行を作成、起動、またはインポートすると、そのステータスが [Design Runs] ビューに表示されます。パーシャル リコンフィギュレーション フローでは、[Design Runs] ビューを活用して、さまざまなデザイン コンフィギュレーションを作成および管理します。

[Design Runs] ビューを開くには、[Tools] → [Design Runs] をクリックします。次の図に、[Design Runs] ビューを示します。

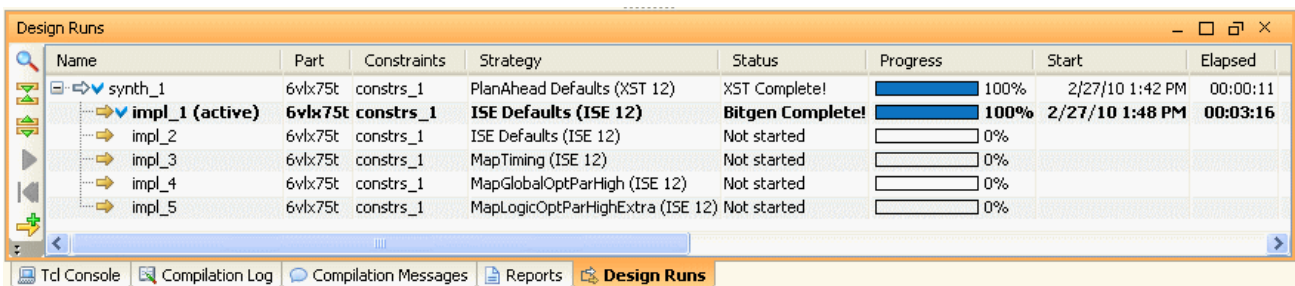


図 4-63： [Design Runs] ビュー

このビューでは、定義された実行のステータスや結果が表示され、実行の変更、インポート、起動、管理のためのコマンドを実行できます。また、合成およびインプリメンテーション実行の管理とレポートにもこのビューを使用します。

実行は次のように表示されます。

- 現在実行中の実行には、緑色の矢印アイコンが表示されます。
- 完了した実行には、青色のチェック マークが表示されます。

コマンドを実行すると、実行に関する情報が表示されます。**PlanAhead** を閉じて、進行中の実行には影響しません。プロジェクトを次に開いたときに、アップデートされた最新ステータスが [Design Runs] ビューに表示されます。

[Design Runs] ビューの表には、次の列があります。

- [Name]：実行名を表示します。
- [Part]：実行に選択されているデバイスを表示します。
- [Constraints]：実行に使用された制約セットを表示します。
- [Strategy]：実行に使用されたストラテジを表示します。アスタリスク (\*) の付いているストラテジは、コマンド オプション値が [Run Properties] ビューの [Options] タブで変更されていることを示します。
- [Status]：実行のステータスまたは現在実行中のコマンドを示します。
- [Progress]：NGDBuild から XDL までの ISE コマンド シーケンスの進行状況を示します。進行状況バーは実際にかかる時間の割合に必ずしも対応しておらず、ほかの段階より大幅に時間のかかる段階もあります。
- [Start]：ISE によりデザインの処理が開始された時間を示します。
- [Elapsed]：デザインに ISE コマンドが実行され始めてからの経過時間を示します。
- [Util (%)]：LUT の使用率を示します。合成実行に対してのみ表示されます。

- **[Fmax (MHz)]** : XST 合成レポートからの予測されるクロック周波数を示します。合成実行に対してのみ表示されます。
- **[Timing Score]** : 進行中または完了した実行の現在のタイミング スコアを示します。インプリメンテーションに対してのみ表示されます。
- **[Unrouted]** : 進行中または完了した実行の未配線ネットの数を示します。インプリメンテーションに対してのみ表示されます。
- **[Description]** : 実行の説明を示します。ストラテジを実行に適用したときに記述されたものですが、後で修正できます。

この表は、実行が進行すると随時更新されます。 **PlanAhead** で生成されたスクリプトを使用し、**PlanAhead** 環境外で起動される実行は、**PlanAhead** を起動したときに更新されます。

## [Design Runs] ビューのポップアップ メニュー コマンド

[Design Runs] ビューを右クリックして表示されるポップアップ メニューには、次のコマンドがあります。

- **[Synthesis Run Properties]/[Implementation Run Properties] : [Run Properties]** ビューを表示します。詳細は、第 9 章の「[run プロパティの表示と変更](#)」を参照してください。
- **[Delete]** : 選択した実行を削除します。削除する前に、削除を確認するメッセージが表示されます。
- **[Make active]** : 選択した実行をアクティブにします。**[Implement]** コマンドを実行したときに、この実行が選択されているコマンドのセットとオプションを使用して起動されます。
- **[Save As Strategy]** : ストラテジへの変更を新しいストラテジ ファイルに保存します。
- **[Launch Runs]** : **[Launch Runs]** ダイアログ ボックスを開き、選択した実行を起動します。
- **[Reset Runs]** : **[Reset Runs]** ダイアログ ボックスが開き、前回の実行結果を削除し、実行ステータスを **[Not Started]** に戻します。
- **[Open Implemented Design]** : 合成により生成されたネットリストまたは ISE からのインプリメンテーションの結果を **PlanAhead** の解析環境に読み込みます。読み込まれている実行は、**[Design Runs]** ビューに太字で示されます。
- **[Create Multiple Runs]** : **[Create Multiple Runs]** ダイアログ ボックスを開き、複数の実行を作成および設定します。
- **[Generate Bitstream]** : **[Generate Bitstream]** ダイアログ ボックスを開き、ビットストリームを作成します。このコマンドは、完了したインプリメンテーション実行に対してのみ使用可能です。
- **[Promote Partitions]** : **[Promote Partitions]** ダイアログ ボックスを開き、インプリメントされたパーティションを保持するためプロモートします。
- **[Launch FPGA Editor]** : FPGA Editor で現在のインプリメント済みデザインを開きます。
- **[Launch ChipScope Analyzer]** : ChipScope Analyzer を現在の BIT ファイルで起動します。
- **[Launch iMPACT]** : iMPACT を現在の BIT ファイルで起動します。

## ビューの操作

PlanAhead には、異なる情報を表示するさまざまなビューがあります。ビューのサイズ、表示/非表示、および場所は、個別に制御できます。PlanAhead のすべてのビューは連動しているので、解析しやすいように整理すると便利です。デフォルトのビュー レイアウトは最適化されたものですが、自由にカスタマイズできます。カスタム ビュー レイアウトを作成すると、ビュー レイアウトを復元できます。詳細は、[152 ページの「カスタム ビュー レイアウトの作成」](#)を参照してください。

### ビューを開く

メイン メニューから [Window] をクリックすると、ほとんどのビューを開くコマンドがあります。既に開いているビューを選択すると、そのビューがアクティブになります。[Window] メニュー コマンドの一覧と説明は、[付録 A の「ツールバー コマンド」](#)を参照してください。

特定のコマンドを実行すると、そのコマンドを操作するため、または結果を表示するため、対応するビューが開きます。

[Schematic] ビューを表示するには、オブジェクトを少なくとも 1 つ選択して右クリックし、ポップアップ メニューから [Schematic] コマンドをクリックするか、またはツールバーの [Schematic] ボタンをクリックします。

[Properties] ビューを表示するには、オブジェクトを少なくとも 1 つ選択して右クリックし、ポップアップ メニューから [*Object\_type*] Properties をクリックします。

[Window] メニューから [New Device View] または [New Package View] をクリックすると、ワークスペースに新しいビューが開きます。

### ビューのナビゲート

表示されている各ビューにはタブが付いています。タブをクリックすると、ビューがアクティブになります。一部のビューには、複数のタブがあります。

表示エリアのアクティブ ビューは、その下部にあるタブをクリックすると切り替えることができます。次の図に、[Netlist] ビューのタブを示します。



図 4-64： [Netlist] ビューのタブ

ビューでは、次の操作を実行できます。

- ビューを最大化するには、ビュー タブをダブルクリックします。
- ワークスペースにビューを復元するには、ビュー タブを再びダブルクリックします。
- ビューのサイズを変更するには、表示枠をドラッグします。表示枠にカーソルを置くと、カーソルがスライダ シンボルに変わり、ビューのサイズを変更できるようになります。
- ビューを移動するには、ビュー タブをドラッグします。移動した後にビューが表示される場所に四角形のボックスが表示されます。表示エリアを上下または左右に分割し、複数のビューを同時に表示できます。

既存のビュー タブ上にビューをドロップすると、移動したビューのタブが既存のビューのタブの横に表示されます。詳細は、[145 ページの「表示環境の設定」](#)を参照してください。







## ビュー パナーを使用したビューの操作

各ビューのパナーには、ビュー表示を変更するコマンド ボタンがあり、フロートさせたり、非表示にしたり、最大化したり、閉じたりできます。ビューまたは表示エリアを閉じると、空いたエリアを埋めるため、ほかのビューのサイズが変更されます。ビュー パナーのコマンドについて、次に説明します。

各表示エリアは、共通のウィンドウ操作コマンドで操作できます。次の表に、ビュー パナーのコマンドとボタンを示します。

表 4-3: ビュー パナーのコマンド

ツールバー ボタン	コマンド	説明
	[Maximize]/ [Restore]	ワークスペース以外のビューを最大化または元のサイズで表示します。
	[Float Frame]/ [Dock Frame]	ワークスペース以外のビューをフロート表示またはドッキングします。PlanAhead のメイン ウィンドウからビューを切り離すことができます。
	[Toggle auto-hide]	ビューの表示 / 非表示を切り替えます。非表示にすると、PlanAhead メイン ウィンドウの端にタブが表示され、そのエリアにほかのビューが表示されます。タブをクリックすると、ビューが再表示されます。
	[Close]	ビューを閉じます。空いたエリアには、ほかのビューが表示されます。閉じたビューを再度開くには、[Window] メニュー コマンドを使用します。

これらのコマンドは、ビューのパナーを右クリックするとポップアップ メニューに表示されます。

### ビューの自動非表示機能

自動非表示モードを使用して、ビューの表示を制御できます。

自動非表示モードにするには、ビュー パナーで [Toggle auto-hide] ボタンをクリックするか、パナーを右クリックしてポップアップ メニューから [Auto Hide] をクリックします。

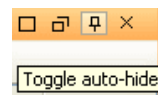


図 4-65: ビュー パナーの [Toggle Auto-hide] ボタン

自動非表示モードをオンにすると、PlanAhead メイン ウィンドウの端にタブが表示され、そのエリアにほかのビューが表示されます。次の図に、自動非表示モードをオンにした場合のタブの表示を示します。



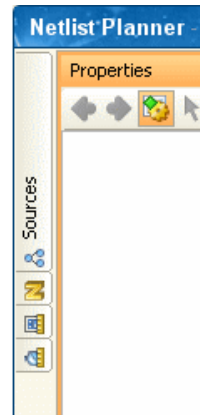


図 4-66： 自動非表示モードのビュー

自動非表示タブをクリックすると、ビューを元の位置に表示できます。タブ上にカーソルを動かすと、そのビューが一時的に表示されます。タブを右クリックしてポップアップ メニューから [Auto Hide] をクリックしても、ビューを再表示できます。

自動非表示モードを解除するには、[Layout] → [Undo Toggle Autohidden/Docking Mode] をクリックします。

### ビューのフロート

ビューは、ワークスペースに表示されるものも含め、メイン ウィンドウから切り離してフロート表示し、個別に移動およびサイズ変更できます。ビューをフロート表示するには、次のいずれかを実行します。

- ビュー パナーの [Float Frame] ボタンをクリックします。
- ビュー パナーを右クリックし、ポップアップ メニューから [Float] をクリックします。

ビューをフロート表示すると、ビューが別のウィンドウに表示されます。フロート表示されたウィンドウは重ねて表示されます。

フロート表示されているビューを移動するには、ビュー パナーをドラッグします。フロート表示されているビューは、PlanAhead のメイン ウィンドウの外に表示できます。すべてのフロート ビュータイプのデフォルトの表示位置とサイズは、保存されたレイアウトに含まれています。

## ワークスペースのビュー

RTL エディタやレポート ビューアのようにグラフィカル インターフェイスを持つビューおよび広い表示領域が必要なビューは、ワークスペースに表示されます。これらのビューは、同時に複数開いて情報を比較できる点が、その他のビューとは異なります。これらのビューには、ビュー パナーにほかのビューと同じ操作コマンドは含まれません。ワークスペースのビューは、ビュー タブを右クリックして表示されるポップアップ メニューを使用して、最大化、フロート表示、または分割できます。

## ワークスペースのビューの理解

PlanAhead のワークスペースには、デザインがグラフィカルに表示され、レポートやログも表示されます。ワークスペースには、次のものが表示されます。

- [Project Summary] ビュー
- RTL エディタ
- [Device] ビュー
- [Package] ビュー
- [Schematic] ビュー
- [Hierarchy] ビュー
- レポートおよびログ ファイル

## ワークスペースのビューを開く

[Device] ビューおよび [Package] ビューは、[Window] メニューから開くことができます。同じタイプのビューを複数開くことができます。たとえばデバイスの異なる部分を表示するために、[Device] ビューを 2 つ開くことができます。新しい [Device] ビューまたは [Package] ビューを開くには、[Window] → [New Device View] または [Window] → [New Package View] をクリックします。

[Schematic] ビューを開くには、次の手順に従います。

1. 回路図で開くオブジェクトを 1 つ以上選択します。
2. 右クリックしてポップアップ メニューから [Schematic] をクリックするか、F4 キーを押すか、または次の図に示すツールバーの [Schematic] ボタンをクリックします。



図 4-67 : [Schematic] ボタン

ワークスペースに [Schematic] ビューが表示されます。[Schematic] コマンドを実行するたびに、ワークスペースに [Schematic] ビューが追加されます。

## ワークスペースの最大化

ワークスペースのタブをダブルクリックすると、ビューを最大化できます。ワークスペースにビューを復元するには、ビュー タブを再びダブルクリックします。

タブを右クリックすると、ワークスペースのタブのポップアップメニューが表示されます。ワークスペースの状態に応じて、ポップアップメニューから [Maximize] または [Restore] をクリックします。

## ワークスペースのビューのフロート表示

ワークスペースのビューをフロート表示するには、タブを右クリックしてポップアップメニューから [Float Window] をクリックします。

## ワークスペースのビューの印刷

[Device]、[Package]、[Schematic]、[Hierarchy] ビューのワークスペースで表示されている箇所を印刷できます。[File] → [Print] をクリックし、現在表示されている箇所を印刷します。

## ワークスペースのビューを閉じる

ワークスペースのビューを閉じるには、次の図に示すビュー タブの X マークをクリックします。



図 4-68： [Device] の X マーク

## ワークスペースの分割

ワークスペースの表示エリアを上下または左右に分割して、複数のウィンドウを同時に表示できます。ビューのタブを右クリックし、ポップアップ メニューから [New Horizontal Group] または [New Vertical Group] をクリックします。次の図に、[Device] ビューのタブを右クリックして [New Vertical Group] を選択した状態を示します。

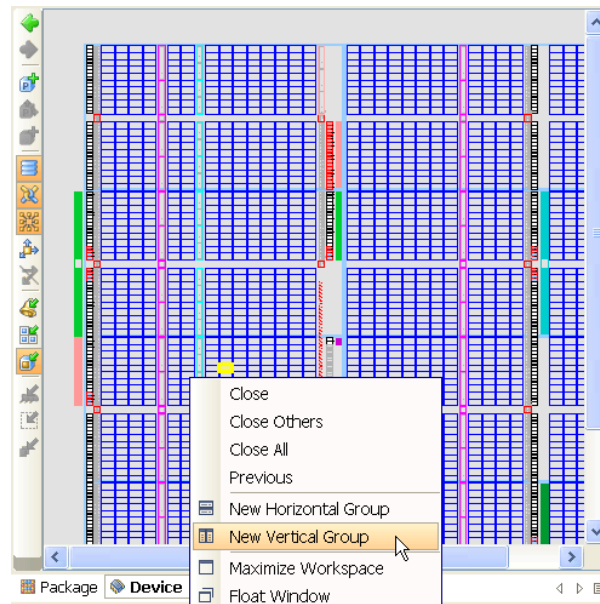


図 4-69：ワークスペースを左右に分割

各パネルを個別に操作でき、137 ページの図 4-70 に示すように、複数のビューを表示できます。



図 4-70： 左右に並べた 2 つのワークスペース ビュー

同じタイプのビューを複数開くこともできます。たとえば、[Device] ビューを 2 つ開いてデバイスの異なる部分を表示したり、異なる倍率で表示したりできます。

## [World] ビュー

[World] ビューは、アクティブなワークスペースをより大まかに表示したビューで、表示エリアをすばやく移動するために使用できます。この機能は、[Device]、[Schematic]、[Package]、および [Hierarchy] ビューでのみ使用可能です。[World] ビューを開くには、ワークスペースの右下にある [Show World View] ボタンをクリックします。

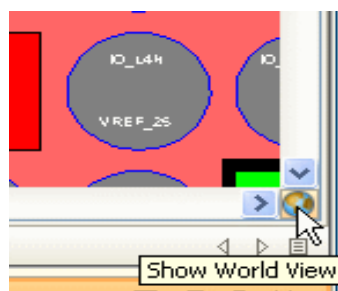


図 4-71： [Show World View] ボタン

[World] ビューには、[Schematic]、[Device]、[Package]、および [Hierarchy] ビューで拡大表示されているエリアや選択されたオブジェクトの位置を示します。

アクティブ ビューで表示されているエリアは、長方形で表示されます。この長方形をドラッグすると表示エリアを変更できます。この長方形のサイズは、サイズ変更ハンドラを使用して変更できます。変更すると、アクティブ ビューの拡大/縮小率がこの長方形で定義された新しい表示エリアに一致するように調整されます。

選択された Pblock、インスタンス、および I/O ポートは、138 ページの図 4-72 に示すように、[World] ビューでハイライトされます。

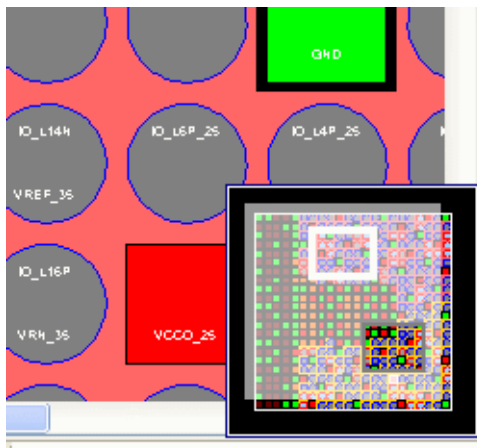


図 4-72： [World] ビュー

## ツリー表形式のビュー

PlanAhead には、スプレッドシートの表に似たビューが多数あります。これらのビューには、次のセクションで説明する共通の特性と機能があります。

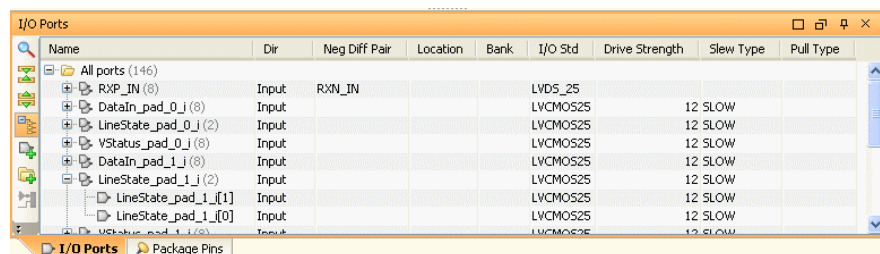


図 4-73： ツリー表形式のビュー

## 表の展開/非展開

[Name] 列のプラス記号 (+) またはマイナス記号 (-) をクリックすると、ツリーを個別に展開または非展開できます。

次の図に示すツールバーの [Expand All] および [Collapse All] ボタンをクリックすると、すべてのツリーを展開または非展開できます。



図 4-74： [Collapse All] および [Expand All] ボタン

## エントリのグループ化またはフラット リスト表示

表形式のビューには、ツールバーに [Group by Type] ボタンがあり、クリックするとエントリを展開可能なグループごとに表示するか、フラットなリストとして表示するかを切り替えることができます。

リストをフラット化すると、次の図に示すように、リスト全体を検索およびフィルタ処理するのに便利です。

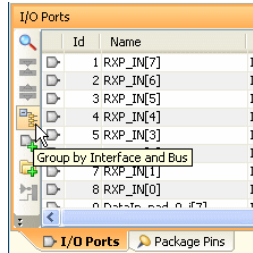


図 4-75 : [Group by Type] ボタン

## リスト ビューでの検索機能の使用

ツールバーの [Show Search] ボタンをクリックすると、ビュー パナーに検索フィールドが表示され、文字列を入力してリストを検索できます。前述のセクションで説明したように、検索する前に [Group by Type] ボタンをクリックしてリストをフラット化しておく、と検索しやすくなります。次の図に、[Show Search] ボタンを示します。



図 4-76 : [Show Search] ボタン

[Search] フィールドのプルダウン メニューから列ヘッダを選択し、特定の列のみを検索できます。次の図に、[Search] フィールドのプルダウン メニューを示します。

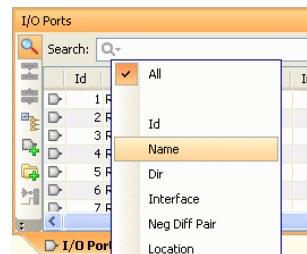


図 4-77 : [Search] フィールドのプルダウン メニュー

[Search] フィールドに文字列を入力すると、検索条件に一致するエントリのみが表示されます。[Show Search] ボタンを再びクリックすると、[Search] フィールドが表示されなくなり、リストにすべてのエントリが表示されます。

## 列の並べ替え

表の列ヘッダをクリックすると、その列を基準に並べ替えることができます。列ヘッダをもう 1 度クリックすると、並べ替え順が逆になります。列ヘッダには、次の図に示すように、どの列を基準に並べ替えられているか、昇順か降順かが示されます。

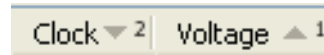


図 4-78： 昇順 / 降順で並べ替えられていることを示す矢印

## 列の整列

列を移動、非表示、または復元できます。

- 列を移動するには、列をクリックし、新しい場所にドラッグします。
- 列を非表示にするには、列を右クリックして [Hide This Column] をクリックします。

右クリックで表示されるポップアップ メニューには、各列を操作するためのその他のコマンドもあります。

- [Auto Resize This Column]/[Auto Resize All Columns]：表示されているデータに基づいて列の幅を調整します。
- [Reset to Default]：PlanAhead のデフォルト表示に戻します。

## ビュー特定のツールバー コマンド

ほとんどのビューには、そのビュー特定のコマンドを実行するためのボタンがあります。

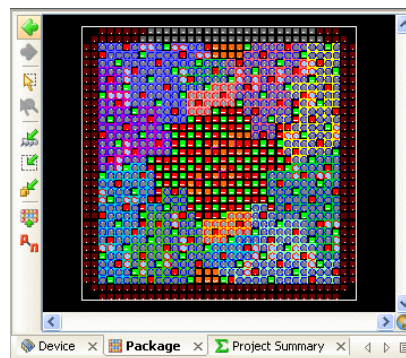


図 4-79： ビュー特定のコマンドの例

これらのボタンは、特定のデータが選択されている場合や、コマンドがアクティブな場合にのみ使用できます。PlanAhead の機能は、これらのビュー特定のツールバー ボタンから実行できます。ビュー特定のコマンドの詳細は、このガイドの該当するビューのセクションを参照してください。



## 情報バナー

PlanAhead のメイン ウィンドウの下部にある情報バナーには、有益な情報が表示されます。



図 4-80： 情報バナー

情報バナーには、次の情報が表示されます。

- 情報メッセージ：情報バナーの最初のフィールドで、データに応じた情報が表示されます。たとえば、カーソルが [Device] ビューまたは [Schematic] ビュー上にある場合、このフィールドにはカーソルがポイントしているインスタンスの名前が表示されます。ツールバーまたはメニュー コマンドの上にカーソルを置くと、PlanAhead コマンドの詳細が表示されます。
- 座標：情報メッセージ フィールドの右側にあるフィールドで、座標情報が表示されます。[Device] ビューでカーソルをブロック RAM、DSP48 などの上に置くと、141 ページの図 4-80 に示すように、その名前と座標が表示されます。[Package] ビューのピンの上にカーソルを置くと、その座標、タイプ、名前などのピン情報が表示されます。
- モード：RTL フロー、合成後のフローなど、プロジェクトのタイプが表示されます。PlanAhead が ISE Project Navigator から起動されている場合、ISE 統合モードが表示されます。

## 文脈依存カーソルについて

使用可能なコマンド モードによって、カーソルが変化します。カーソルの形状に応じて、次の操作が可能です。

- カーソルが水平、垂直、または斜めのバー シンボルに変化した場合、Pblock およびビューのサイズを変更できます。
- カーソルが手の形に変化した場合、Pblock やインスタンスを移動できます。
- カーソルが十字型に変化した場合、長方形を描画した拡大範囲指定、ピン割り当てエリアの定義、または Pblock の長方形の描画を実行できます。
- オブジェクトを移動できない場所にドラッグすると、カーソルは斜線が入った円になります。
- オブジェクトを移動できる場所にドラッグすると、カーソルにプラス記号が付きます。

## オブジェクトの選択

PlanAhead ソフトウェアでは、オブジェクトを複数の方法で選択できます。現在のビューでオブジェクトを選択するには、そのオブジェクトをクリックします。オブジェクトを 1 つのビューで選択すると、ほかのビューでも選択されます。

オブジェクトを移動するには、マウスを使用して移動先にドラッグ アンドドロップします。オブジェクトを移動できる場合、カーソルが手の形に変化します。

オブジェクトが重なると、優先スキームにより小さい方のオブジェクトが選択されます。[Device] ビューでオブジェクトが選択しにくい場合は、[Physical Constraints] ビューまたは [Netlist] ビューで選択します。オブジェクトは、[PlanAhead Options] ダイアログ ボックスの [Selection Rules] ページの設定にかかわらず、この 2 つのウィンドウからであればいつでも選択できます。

オブジェクトがいくつも重なっている場合は、ポップアップ メニューで [Select] コマンドを使用すると、正しいオブジェクトを選択できます。

## [Select] メニュー コマンド

[Select] メニューから、選択、選択解除、ハイライト、およびマーク付けを実行できます。[Select] メニュー コマンドの詳細は、付録 A の「[Select] メニュー」を参照してください。

## 複数のオブジェクトの選択

オブジェクトを選択できるビューやダイアログ ボックスのリストでは通常、Shift キーを使用してツリーや表の中のオブジェクトの範囲を選択できます。Ctrl キーを使用すると、複数のオブジェクトを個別に指定できます。

## [Select Area] コマンド

どのワークスペースのビューでも、オブジェクトを長方形で囲んで選択できます。

1. [Select] → [Select Area] をクリックするか、次の図に示すツールバーの [Select Area] ボタンをクリックします。



図 4-81： [Select Area] ボタン

長方形に囲まれたオブジェクトおよび接触しているオブジェクトがすべて、[Select Area] ダイアログ ボックスでタイプ別に表示されます。

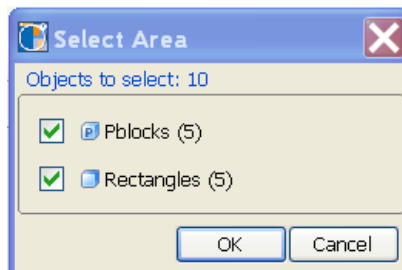


図 4-82： [Select Area] ダイアログ ボックス

2. ここでオブジェクトのチェック ボックスをオフにすると、そのオブジェクトは選択されません。
3. [OK] をクリックすると、指定したオブジェクトがすべて選択されます。

## プリミティブの親モジュールの選択

選択されたプリミティブ ロジックすべての親モジュールを選択するには、[Select Primitive Parents] コマンドを使用します。このコマンドはポップアップ メニューからクリックでき、ほとんどのビューで使用可能です。

フロアプランは、ロジック モジュールが Pblock に割り当てられている方が、プリミティブ ロジック インスタンスに割り当てられている場合よりも簡単に管理できます。

タイミング パスのグループを選択すると、そのパスに含まれるプリミティブ ロジック インスタンスがすべて選択されます。[Select Primitive Parents] コマンドを実行すると、選択されたプリミティブ ロジックすべての親モジュールが自動的に選択されます。

選択されていたプリミティブ ロジックの選択は解除され、選択されていたロジックが ROOT レベルのロジックであった場合以外は、親モジュールのみが選択されます。

モジュールを選択すると、コマンドを実行しても親モジュールは選択されず、そのモジュールが選択されたままになります。

## [Selection] ビュー

[Selection] ビューには、次の図に示すように、現在選択されているオブジェクトのリストが表示されます。オブジェクトは、並び替えたり、選択を解除したり、マークを付けたりすることができます。このリストは、オブジェクトの操作に応じて随時更新されます。[Selection] ビューを表示するには、[Window] → [Selection] をクリックします。

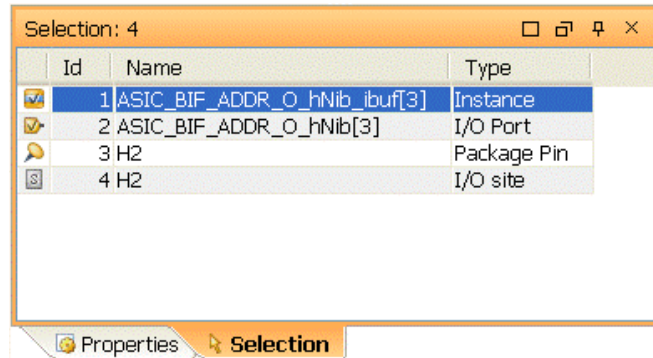


図 4-83： [Selection] ビュー

エレメントを並べ替えるには、列ヘッダをクリックします。列ヘッダをクリックすると、名前、ID 番号、またはタイプで並べ替えることができます。選択したアイテムは、右クリックして [Unselect]、[Unselect All]、または [Unselect All Except] コマンドをクリックするとリストから削除できます。

Ctrl キーおよび Shift キーを使用すると、オブジェクトのグループを選択できます。選択したオブジェクトの合計数は、ビュー バナーに表示されます。

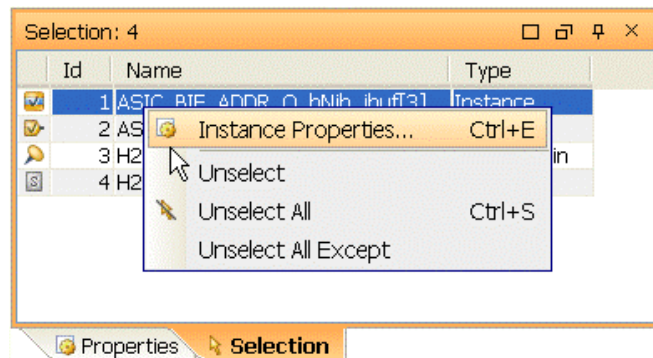


図 4-84： [Selection] ビューのポップアップ メニュー コマンド

## 選択したオブジェクトすべての表示

ワークスペースのビューには、選択したオブジェクトすべてがビューに収まるように表示するズーム コマンドがあります。選択したオブジェクトすべてが表示されるようにするには、次のいずれかを実行します。

- [View] → [Fit Selection] をクリックします。
- F9 キーを押します。
- 次の図に示す [Fit Selection] ツールバー ボタンをクリックします。



図 4-85： [Fit Selection] ボタン

## オブジェクトの選択規則

オブジェクトを選択すると、ほかのオブジェクトも同時に選択されることがあります。たとえば、Pblock を選択すると、割り当てられたネットリストのインスタンスも選択されます。選択の動作は、[Tools] → [Options] → [Selection Rules] で選択規則を設定することにより制御できます。

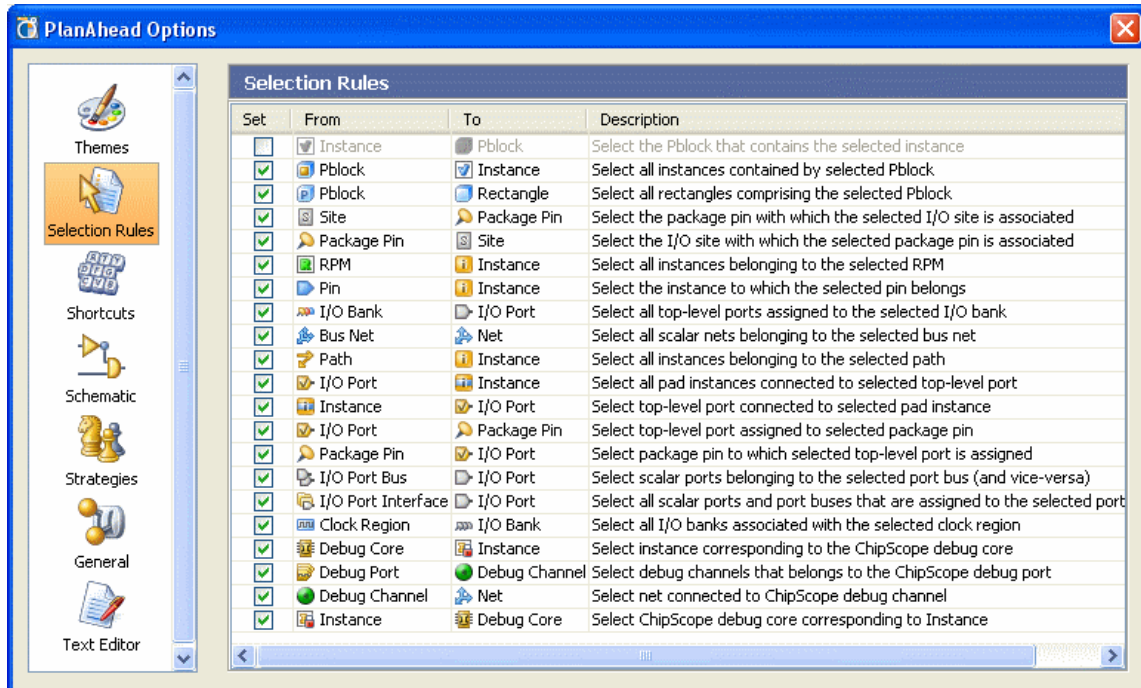


図 4-86： [PlanAhead Options] ダイアログ ボックスの [Selection Rules] ページ

[Set] 列のチェックボックスをオン/オフにすると、自動選択のオン/オフを切り替えることができます。オンにすると、[From] 列のオブジェクトを選択したときに [To] 列のオブジェクトも選択されます。オフにすると、[From] 列のオブジェクトを選択したときに、そのオブジェクトのみが選択されます。

デフォルトの選択規則を使用すると、PlanAhead が最も効果的に機能します。

## PlanAhead の表示設定

[Tools] → [Options] → [Themes] をクリックすると、[PlanAhead Options] ダイアログ ボックスの [Themes] ページで PlanAhead の表示オプションを設定できます。

表示オプションの設定の詳細は、145 ページの「PlanAhead の表示オプションのカスタマイズ」を参照してください。

## 選択したオブジェクトのハイライト

オブジェクトを指定した色でハイライト表示できます。ハイライト表示は、フロアプランのハイライト表示をすべて解除するまで保持されます。ハイライトの詳細は、[142 ページの「プリミティブの親モジュールの選択」](#)を参照してください。

## 選択したオブジェクトのマーク

選択したすべてのオブジェクトにマーク シンボルを付けることができます。マークを付けるオブジェクトを右クリックし、[Mark] をクリックします。

すべてのマークを削除するには、[Unmark All] ツールバー ボタンをクリックします。

## 表示環境の設定

PlanAhead には、ユーザー設定可能な表示オプションが多数あります。ツールはデフォルト設定で提供されていますが、これをカスタマイズできます。詳細は、[「PlanAhead の表示オプションのカスタマイズ」](#)を参照してください。

ビュー レイアウトは、次回 PlanAhead を使用するときに戻元できるよう保存できます。Project Manager、I/O Planner、Design Planner 環境用のレイアウトが個別に保存されます。PlanAhead のウィンドウ サイズおよび位置は、レイアウト ファイルに保存され、次の使用時に復元されます。この表示設定は、PlanAhead を閉じるときにホーム ディレクトリに保存されます。設定ファイルのレイアウトの詳細は、[付録 B の「デフォルト環境での出力ファイル」](#)を参照してください。

表示設定「テーマ」とビュー レイアウトを、次回 PlanAhead を使用するときに戻元できます。詳細は、[150 ページの「カスタム表示設定の保存」](#)を参照してください。

## PlanAhead の表示オプションのカスタマイズ

ビューの表示オプションを変更すると、環境の表示やビヘイビアを制御できます。

表示オプションを表示または編集するには、[Tools] → [Options] をクリックします。変更は、[OK] ボタンまたは [Apply] ボタンをクリックすると反映されます。[Cancel] をクリックすると、変更は反映されません。

[Themes] ページでは、全般的な環境を制御する設定を表示および変更できます。インターフェイスのさまざまなエリアのオプションを表示または変更できます。[Themes] ページの、[General]、[Device]、[I/Os]、および [Bundle Nets] タブをクリックして、表示設定を変更できます。

## 全般的なウィンドウ表示オプションの設定

[General] タブでは、PlanAhead ウィンドウの全般的な色および表示のオプションをカスタマイズできます。

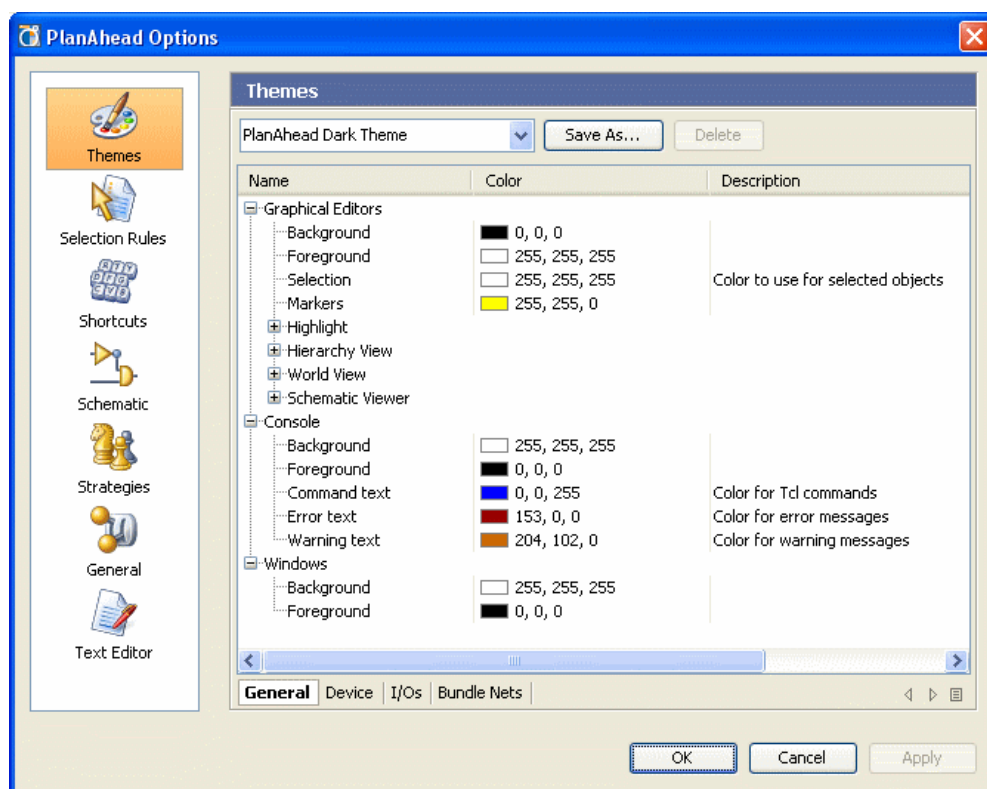


図 4-87： [General] タブ

[Color] 列をクリックするとプルダウン メニューがあることを示す矢印が表示され、矢印をクリックするとポップアップ メニューから色を選択できます。

## [Device] ビューの表示オプションの設定

[Device] タブでは、オブジェクト タイプごとに [Device] ビューでの色、表示/非表示、選択可/不可を設定できます。

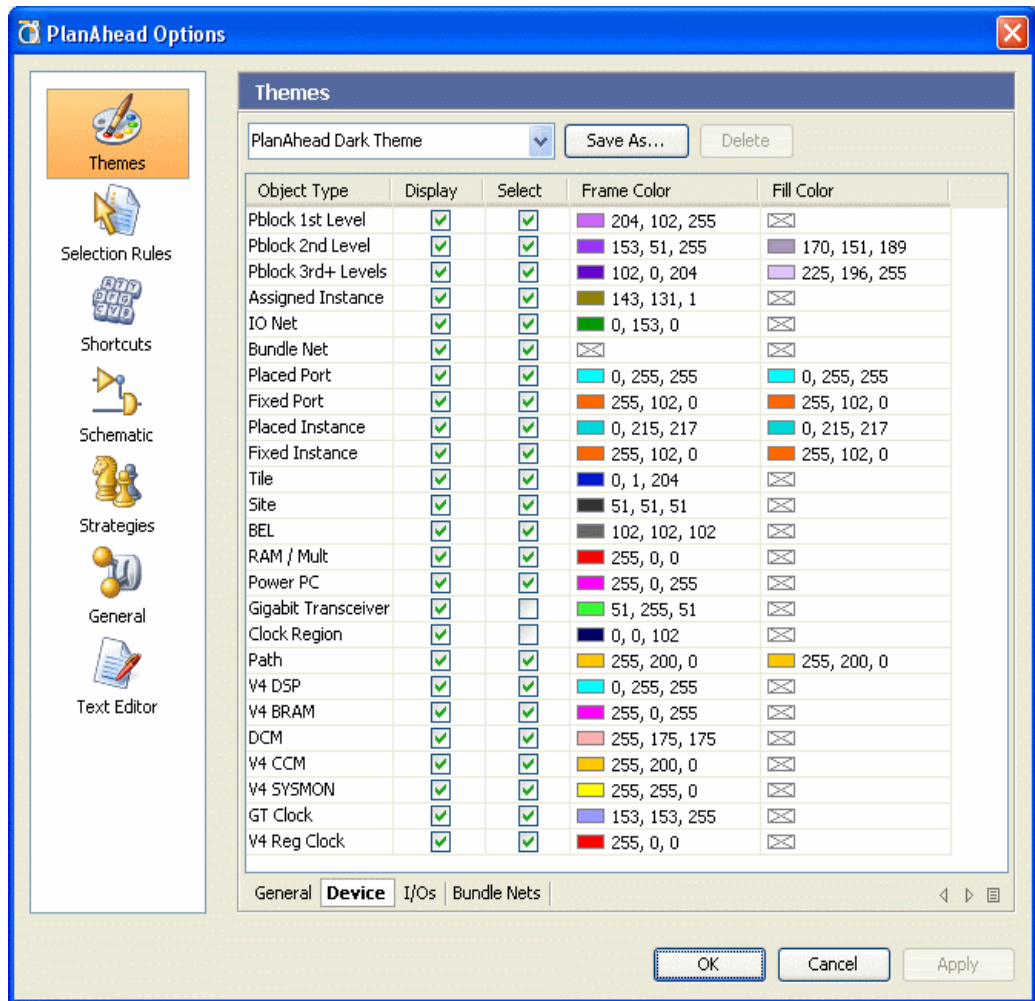


図 4-88 : [Device] タブ

チェック ボックスのオン/オフを切り替えて、適切なオプションを設定します。

- [Display] 列のチェック ボックスをオフにすると、[Device] ビューでそのオブジェクト タイプが非表示になります。
- [Select] 列のチェック ボックスをオフにすると、[Device] ビューでそのオブジェクト タイプを選択できなくなります。[Display] がオンであれば、オブジェクトは表示されます。

**メモ：** オブジェクトのタイプによっては、[Frame Color] および [Fill Color] が設定できないものがあります。

**メモ：** オブジェクトにはデバイス特定のものがあり、それ以外のデバイスでは表示オプションは無効になります。



## [Package] ビューの表示オプションの設定

[I/O] タブでは、オブジェクト タイプごとに、[Package] ビューでの色、表示/非表示、選択可/不可を設定できます。

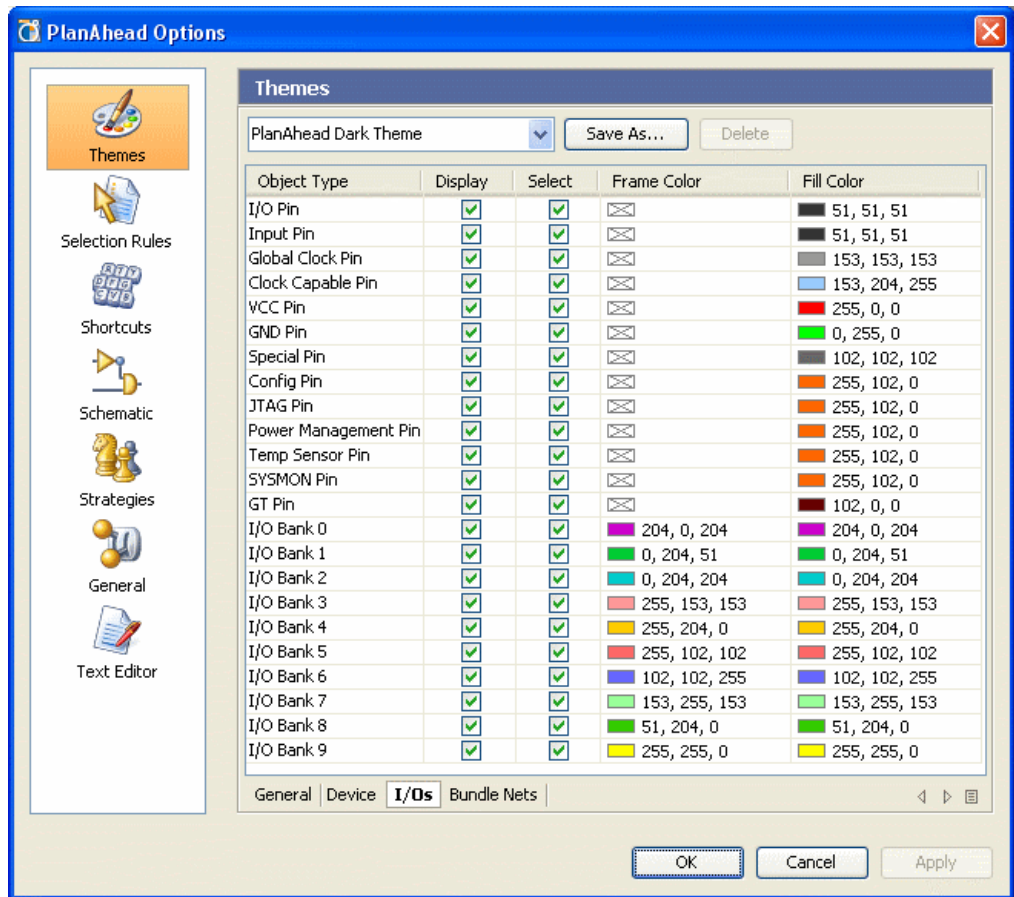


図 4-89： [I/Os] タブ

チェック ボックスのオン/オフを切り替えて、適切なオプションを設定します。

- [Display] 列のチェック ボックスをオフにすると、[Package] ビューでそのオブジェクト タイプが非表示になります。
- [Select] 列のチェック ボックスをオフにすると、[Package] ビューでそのオブジェクト タイプを選択できなくなります。[Display] がオンであれば、オブジェクトは表示されます。

**メモ：** オブジェクトのタイプによっては、[Frame Color] および [Fill Color] が設定できないものもあります。

**メモ：** オブジェクトにはデバイス特定のものがあり、それ以外のデバイスでは表示オプションは無効になります。

## [Device] ビューのバンドル ネット表示オプションの設定

[Bundle Nets] タブでは、[Device] ビューのバンドル ネットの表示を設定します。

[From] および [To] 列では、バンドルの信号数の範囲を指定します。各行でバンドル ネットの範囲を個別に設定します。

チェック ボックスのオン/オフを切り替えて、適切なオプションを設定します。

- [Display] 列のチェックボックスをオフにすると、[Device] ビューでそのバンドル ネット範囲が非表示になります。
- [Select] 列のチェックボックスをオフにすると、[Device] ビューでそのオブジェクト タイプが選択できなくなります。[Display] がオンであれば、オブジェクトは表示されます。

次の図に、[Bundle Nets] タブを示します。

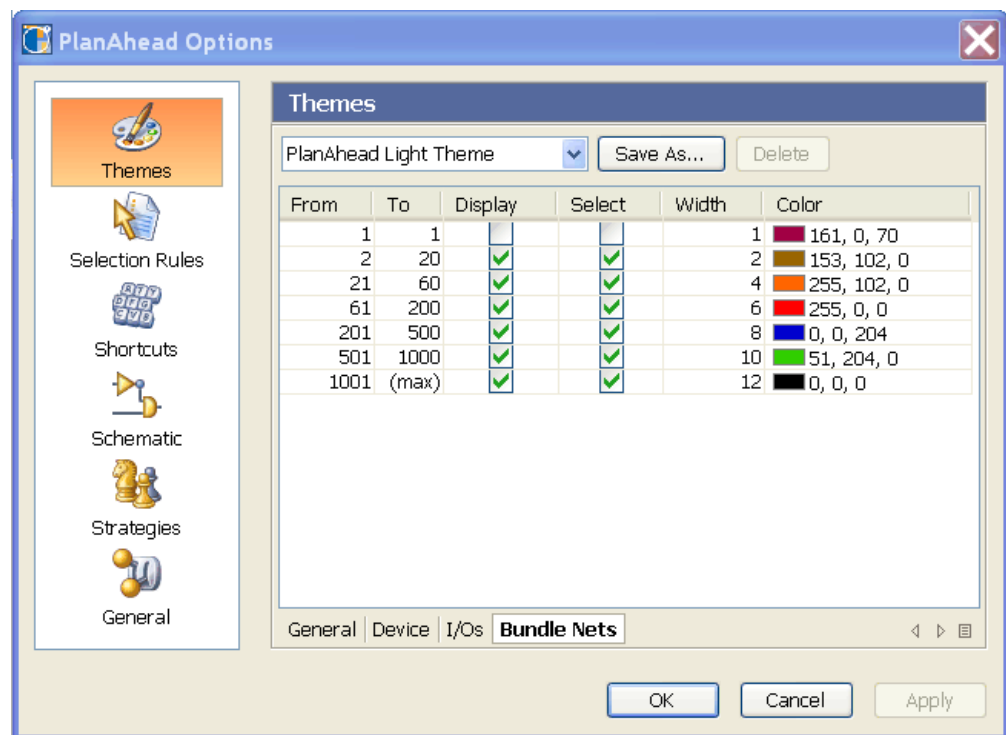


図 4-90 : [Device] ウィンドウのバンドル ネット表示オプションの設定

[Device] ビューに表示されるバンドルの線の幅は、[Width] 列でバンドル ネットごとに設定できます。

## [Schematic] ビューでのスラックおよびファンアウトの表示オプション

[Schematic] ページでは、ソース ピンにファンアウト値を、デスティネーション ピンにスラック値を表示するように設定できます。詳細は、116 ページの「[Schematic] ビューのポップアップ メニュー コマンド」を参照してください。

## ツールバー コマンドを使用した表示の調整

[Device] ビューまたはメイン ツールバーのボタンを使用して、表示を変更することもできます。一部のボタンは、特定のオブジェクト タイプが表示されている場合にのみ使用可能です。ツールバー コマンドの説明は、付録 A の「[Select] メニュー」を参照してください。

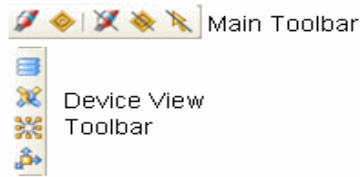


図 4-91： 表示を制御するツールバーのボタン

カーソルをボタンの上に移動すると、機能を説明するツール ヒントが表示されます。

### カスタム表示設定の保存

PlanAhead では、ビュー レイアウトまたは表示テーマを、次回使用できるように保存できます。これらはホーム ディレクトリに保存され、PlanAhead を起動したときに使用されます。このファイルの場所およびフォーマット細は、[付録 B の「デフォルト環境での出力ファイル」](#)を参照してください。

### テーマの選択

PlanAhead には、淡色と濃色の両方のデフォルト背景設定があります。[Themes] ページの上部にあるプルダウン メニューで、[PlanAhead Light Theme] または [PlanAhead Dark Theme] のいずれかを選択します。

これらのデフォルト オプションは、planahead.ini ファイルに定義されています。詳細は、[付録 B の「ウィンドウ表示オプション ファイル \(planahead.ini と <theme\\_names>.patheme\)」](#)を参照してください。

### カスタム テーマの作成および使用

カスタム ビュー設定を保存して PlanAhead の初期化ファイルを作成し、以後のセッションで使用できます。これには、[Themes] ページ上部のプルダウン メニューの横にある [Save As] ボタンをクリックします。

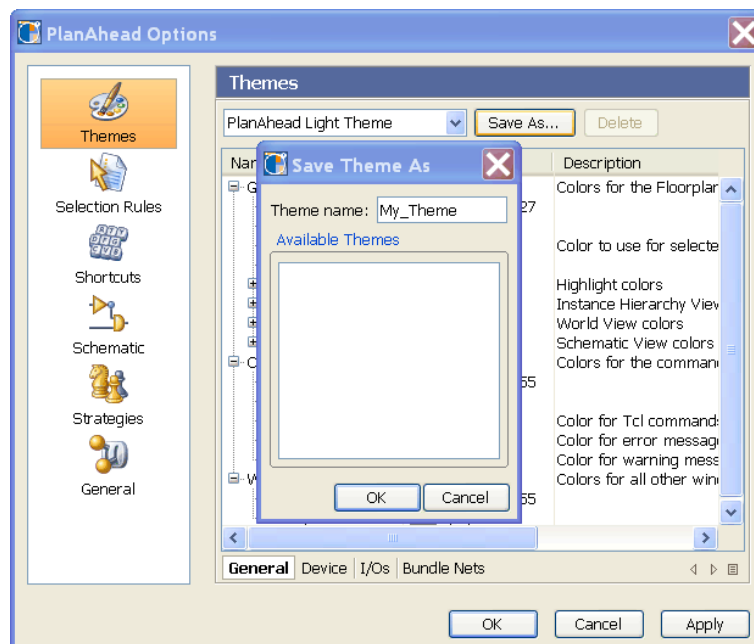


図 4-92： カスタム テーマの作成

カスタム テーマを作成する場合は、カスタム設定が保存されている初期化ファイルのバックアップを作成することをお勧めします。デフォルトおよびカスタムの初期化ファイルについては、[付録 B](#) の「ウィンドウ表示オプション ファイル (planAhead.ini と <theme\_names>.patheme)」を参照してください。

## ビューの移動

複数のビューを、同じ表示エリア内で上下または左右に並べて表示できます。表示エリアを分割するには、ビュー タブをドラッグします。

アウトラインが表示され、ビューがどこに表示されるかがわかります。ドラッグしてアウトラインを移動しながら、ビューの移動先を決定します。

ビューを移動して表示エリアを分割するには、次の手順に従います。

1. タブをクリックします。次の図に、[Constraints] タブを選択した例を示します。
2. タブを移動先にドラッグします。グレーのアウトラインで移動場所を確認できます。
3. 移動先でマウスを放します。

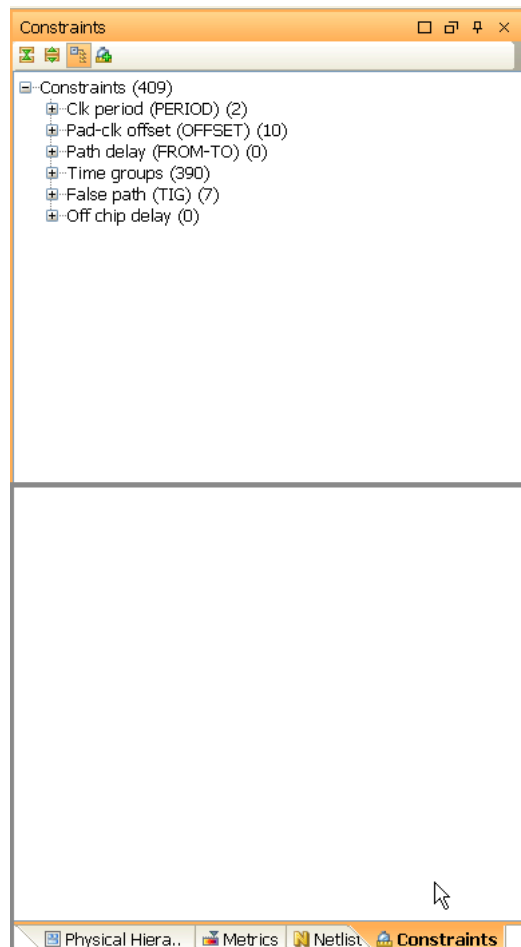


図 4-93 : [Constraints] ビューをほかのビューと並べて表示

ビューを元の位置に戻すには、[Window] → [Undo Dragging] をクリックするか、上記の手順を繰り返します。

[Constraints] ビューを [Properties] ビューの位置に移動するなど、ビューをまったく別のエリアに移動するには、移動するビューのタブを移動先のエリアのバナーにドラッグします。

1. タブをクリックします。
2. 移動先のエリアのバナーにドラッグします。
3. ドロップしてビューとタブを配置します。

### カスタム ビュー レイアウトの作成

[Layout] メニューにあるコマンドを使用すると、デフォルトやカスタムの表示設定を保存したり復元したりすることができます。[Layout] メニュー コマンドの一覧と説明は、付録 A の「[Layout] メニュー」を参照してください。

## ビュー レイアウトの復元

PlanAhead のレイアウトを元に戻すには、いくつかの方法があります。

選択したオプションをオフにすると、ビューを元の位置に戻すことができます。ビュー バナーのコマンドを使用しても切り替えることができ、前の設定に戻すことができます。

### デフォルトのビュー レイアウトの復元

[Layout] → [Load Layout] → [PlanAhead Default] をクリックすると、PlanAhead のデフォルトのレイアウトに戻すことができます。

### [Undo]/[Redo] コマンドの使用

[Layout] → [Undo] をクリックすると、ビュー操作を取り消すことができます。取り消した操作をもう一度実行するには、[Layout] → [Redo] をクリックします。

## PlanAhead の動作の設定

PlanAhead の設定オプションには、選択規則、ショートカット キー、一般設定、およびウィンドウ設定があります。次のセクションで、設定オプションについて説明します。

### 選択規則オプションの設定

[PlanAhead Options] ダイアログ ボックスの [Selection Rules] ページでは、すべてのビューのオブジェクトの選択方法を制御します。オブジェクトを選択すると、ほかのオブジェクトも同時に選択されることがあります。たとえば、Pblock を選択すると、割り当てられたネットリストのインスタンスも選択されます。選択規則の設定の詳細は、[144 ページの「オブジェクトの選択規則」](#)を参照してください。

### ショートカット キーの設定

頻繁に使用されるコマンドには、キーボードのキーを組み合わせたショートカットが定義されています。ショートカットは、ポップアップ メニューのコマンドの横に表示されます。たとえば、F9 キーを押すと [Fit Selection] コマンドを実行できます。

次の図に示す [PlanAhead Options] ダイアログ ボックスの [Shortcuts] ページで、デフォルトのショートカットを変更できます。

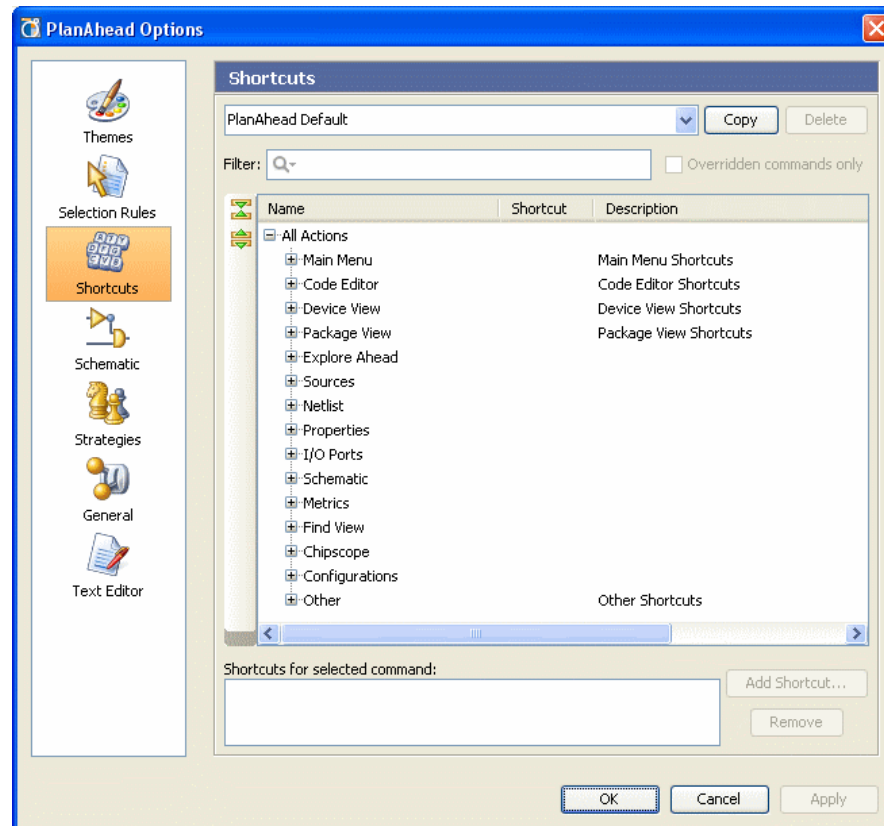


図 4-94 : [Shortcuts] ページ

[Shortcuts] ページで、カスタム ショートカット設定を含むショートカットの新しいスキーマを作成できます。

ページの上部から、使用可能なショートカット スキーマを管理できます。[Copy] ボタンをクリックすると、[PlanAhead Default] スキーマをコピーして新規スキーマを作成できます。

プルダウン メニューからスキーマを選択すると、そのスキーマが有効になります。スキーマを変更するには、まず PlanAhead のデフォルト スキーマをコピーする必要があります。

[Shortcuts] ページの下部には、コピーしたショートカットを変更するエリアがあります。リスト内を検索し、新しいショートカットを入力するコマンドを選択します。

1. [Add Shortcut] ボタンをクリックすると、[Add Shortcut] ダイアログ ボックスで新しいショートカットを入力できます。
2. [OK] をクリックすると、新しいショートカットが追加されます。

[Filter] フィールドを使用すると、ショートカットを検索できます。このフィールドに文字列を入力して、コマンドをフィルタします。異なるビューの同じコマンドに異なるショートカットを割り当てることもできます。

ユーザー定義のショートカット スキーマは、次の場所に保存されます。

- Windows : C:\Documents and Settings\\Application Data\HDI\shortcuts
- Linux : ~/.HDI/shortcuts

ショートカットを削除するには、[Remove] ボタンをクリックします。

## PlanAhead の全般的なオプションの設定

PlanAhead の全般的なオプションを設定するには、[Tools] → [Options] → [General] をクリックします。次の図に、[PlanAhead Options] ダイアログ ボックスの [General] ページを示します。

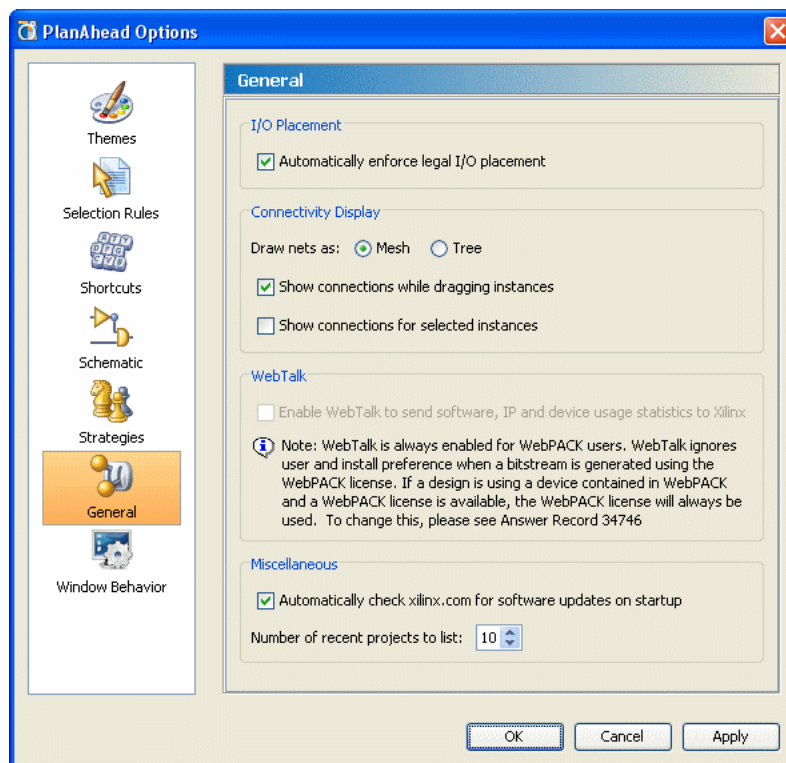


図 4-95 : [PlanAhead Options] ダイアログ ボックスの [General] ページ



次のオプションがあります。

- [I/O Placement] : インタラクティブな I/O 配置 DRC のオン/オフを切り替えます。
- [Connectivity Display] : [Device] ビューでの接続の表示方法を指定します。
- [WebTalk] : WebTalk でザイリンクスに使用状況情報を送信するかどうかを指定します。
- [Miscellaneous] : ザイリンクス Web サイトでのソフトウェア アップデートを自動確認するオプションを設定し、Getting Started ページで表示する最近開いたプロジェクトの数を定義します。

## PlanAhead の一般的なウィンドウ動作の設定

PlanAhead のウィンドウ動作のオプションを設定するには、[Tools] → [Options] → [Window Behavior] をクリックします。次の図に、[Window Behavior] ページを示します。

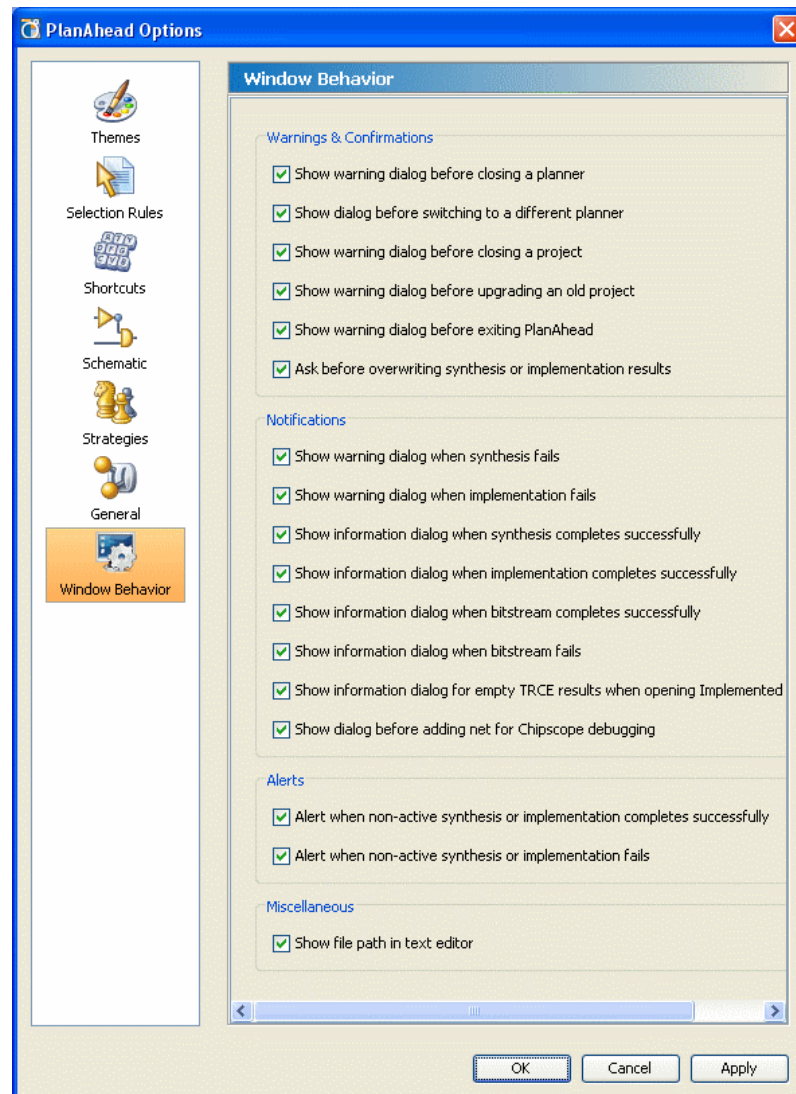


図 4-96 : [PlanAhead Options] ダイアログ ボックスの [Window Behavior] ページ

- [Warnings & Confirmations] : 警告ダイアログ ボックスの表示方法を設定します。



# RTL および IP デザイン

---

本章は、次のセクションで構成されています。

- 「概要」
- 「デザイン ソース ファイルの管理」
- 「RTL ソース ファイルの編集」
- 「CORE Generator を使用した IP のコンフィギュレーション」
- 「RTL デザインのエラボレーションと解析」
- 「RTL ルール：消費電力およびパフォーマンス」

## 概要

PlanAhead™ ソフトウェアの Project Manager 環境では、RTL デザイン ファイルを作成および管理できます。RTL デザイン ファイルはその後エラボレートし、RTL デザイン環境で解析します。PlanAhead には、基本ソース ファイル管理機能、RTL エディタ、RTL 回路図ビューア、RTL デザイン ルール チェック (DRC)、リソースおよび消費電力予測機能が含まれています。

PlanAhead ソフトウェアには、ザイリンクス ISE® Design Suite CORE Generator™ ツールが統合されています。IP カタログを使用して IP コア モジュールを参照、カスタマイズ、インスタンスエート、およびインプリメントできます。

その後、PlanAhead ソフトウェアを使用してロジック合成およびインプリメンテーションを実行できます。合成およびインプリメンテーションの実行の詳細は、第 6 章「デザインの合成」および第 9 章「デザインのインプリメンテーション」を参照してください。

## デザイン ソース ファイルの管理

プロジェクトに Verilog、VHDL、および NGC/EDIF ソース ファイルを追加して、これらのファイルをさまざまな方法で管理できます。ソース ファイルの管理は、主に [Sources] ビューから実行します。詳細は、「プロジェクト ソースの管理」および第 3 章の「[Sources] ビュー」を参照してください。

## RTL ソース ファイルの編集

PlanAhead RTL 環境には、RTL ソースを作成および変更するための RTL エディタが含まれています。RTL エディタでは、さまざまなタイプの RTL 構文が色分け表示されます。複数のファイルを同時に開くことができ、ワークスペースにタブ付きのビューとして表示されるので、開いているすべてのファイルに簡単にアクセスできます。

### RTL エディタの使用

RTL デザイン環境では、RTL エディタと、[Schematic]、[Elaboration Messages]、[RTL Netlist]、[Hierarchy] など、その他のビューとのクロスプローブが可能です。次の図に、RTL エディタの例を示します。

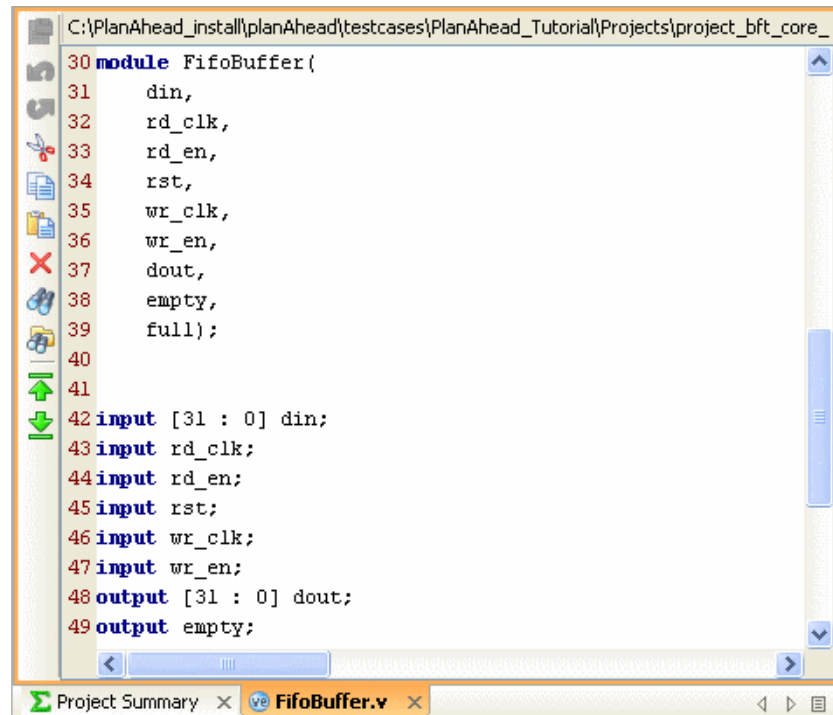


図 5-1 : RTL エディタ

ファイルを変更して保存していない場合は、ビュー タブのファイル名の横にアスタリスク (\*) が表示されます。ファイルを保存するには、[Save File] または [Save Project] コマンドを使用します。

RTL エディタ ファイルを閉じるときに保存していない変更がある場合は、変更を保存するかどうかを確認するダイアログ ボックスが表示されます。

## RTL エディタのコマンド

RTL エディタのコマンドは、右クリックで表示されるポップアップ メニューまたは RTL エディタ ビューのツールバー ボタンから実行できます。次のコマンドがあります。

- **[Save File]** : 表示されているファイルを個別に保存します。
- **[Save File As]** : ファイルを別の名前で保存します。
- **[Undo]**、**[Redo]** : 変更を元に戻したり、やり直したりします。
- **[Cut]**、**[Copy]**、**[Paste]**、**[Delete]** : 選択したソース コードをクリップボードに切り取り、コピーし、クリップ ボードの内容を貼り付けます。
- **[Duplicate Selection]** : 選択したテキストをコピーし、カーソル位置に貼り付けます。
- **[Insert Template]** : ザイリンクス言語テンプレートが開き、RTL ファイルに挿入する構文を選択します。
- **[Find]**、**[Replace]** : **[Find]** フィールド が表示され、文字列を入力して検索および置換を実行します。
- **[Find in Files]** : **[Find in Files]** ダイアログ ボックスを開き、文字列を入力して選択したファイルから検索します。検索結果は、**[Find in Files]** ビューに表示されます。
- **[Indent Selection]**、**[Unindent Selection]**、**[Comment with Line Comment]**、**[Comment with Block Comment]** : 選択範囲のインデント、インデント解除、行のコメント化、ブロックのコメント化を実行します。

## 言語テンプレートのインスタシエート

RTL エディタには標準 RTL テンプレートが含まれており、構文を定義する際に便利です。テンプレートのライブラリを検索および参照できます。モジュールは、RTL エディタで開いている RTL ファイルにインスタシエートされます。

言語テンプレートをインスタシエートするには、次の手順に従います。

1. RTL エディタで、ファイルの言語テンプレートをインスタシエートする位置を右クリックします。
2. ポップアップ メニューから [Insert Template] をクリックします。
3. テンプレートを選択します。
4. [OK] をクリックします。

次の図に、ザイリンクスが提供する言語テンプレートの例を示します。

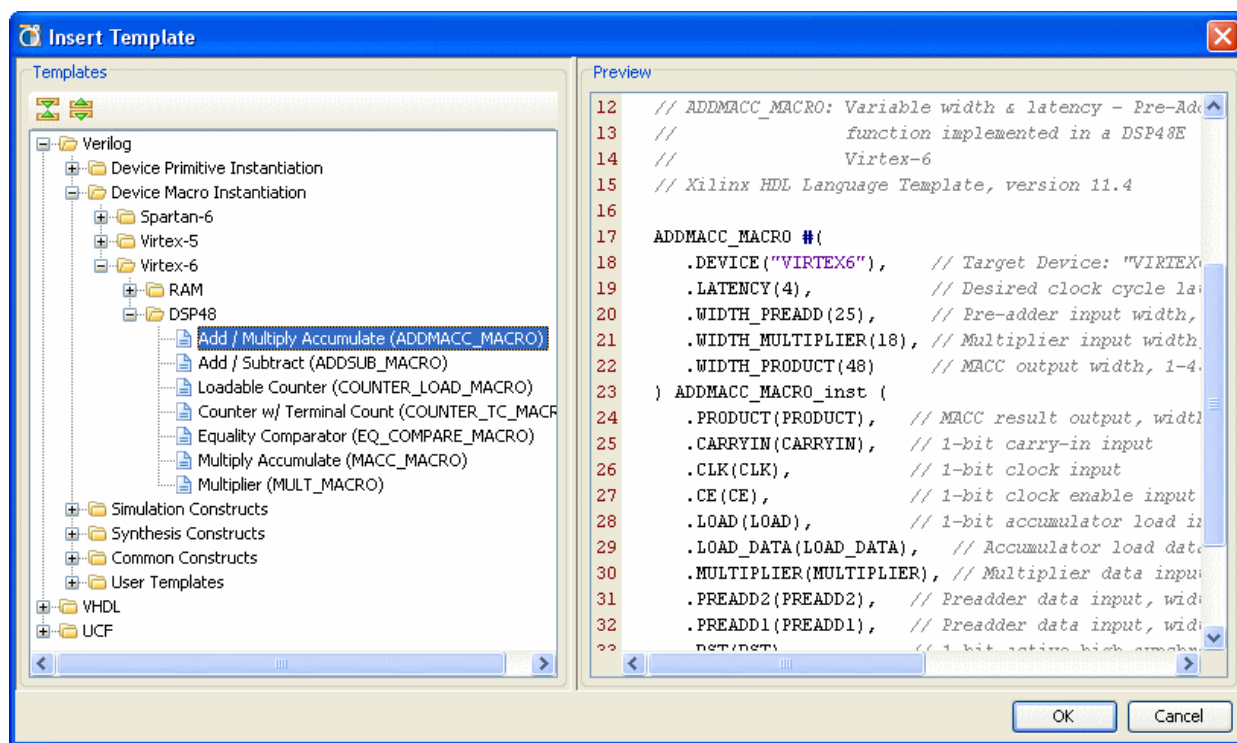


図 5-2 : [Insert Template] ダイアログ ボックス

## [Find in Files] コマンドを使用したソース ファイルの検索

[Find] および [Find in Files] コマンドを使用すると、選択したファイル内で文字列を検索できます。  
[Find in Files] コマンドを使用すると、次の操作を実行できます。

- 検索文字列には、ワイルドカード (\*) を含む任意の文字列を入力できます。
- 検索対象を、プロジェクトのファイルすべてまたは開いているファイルすべてに指定できます。
- 検索方向を順方向または逆方向に設定できます。

次の図に、[Find in Files] ダイアログ ボックスを示します。

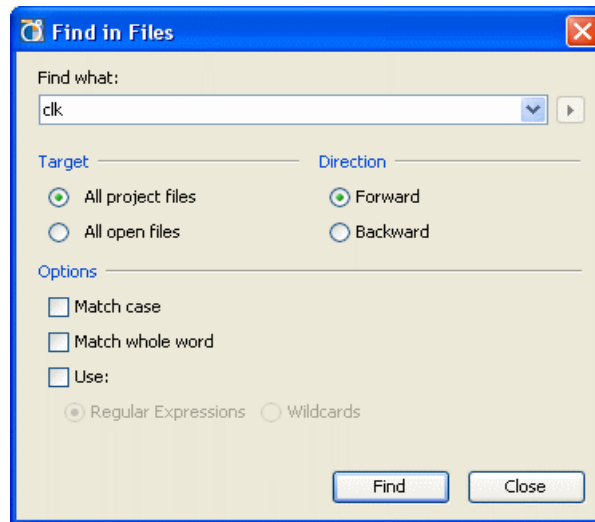


図 5-3: [Find in Files] ダイアログ ボックス

検索結果は [Find in Files] ビューに表示され、検索文字列を含むファイルと文字列の発生回数が表示されます。

特定の結果をクリックすると RTL エディタにそのファイルが開き、文字列がハイライト表示されます。次の図に、検索結果の例を示します。

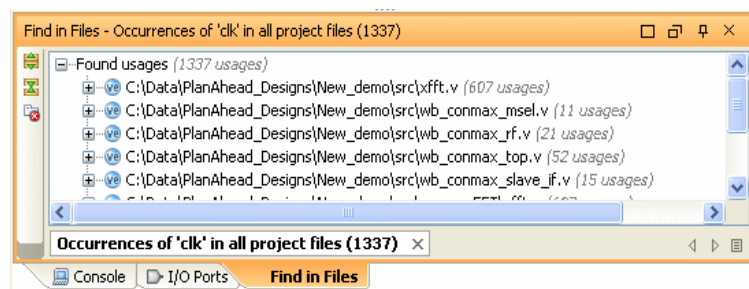


図 5-4: [Find in Files] ビュー



## CORE Generator を使用した IP のコンフィギュレーション

IP カタログを使用して、IP を参照、解析、カスタマイズ、およびインスタンス化できます。IP カタログは、Project Manager または RTL デザイン環境から開くことができます。

### IP カタログの使用

IP カタログを開くには、Project Manager または RTL デザイン環境のツールバーから [IP Catalog] をクリックします。次の図に、IP カタログの例を示します。

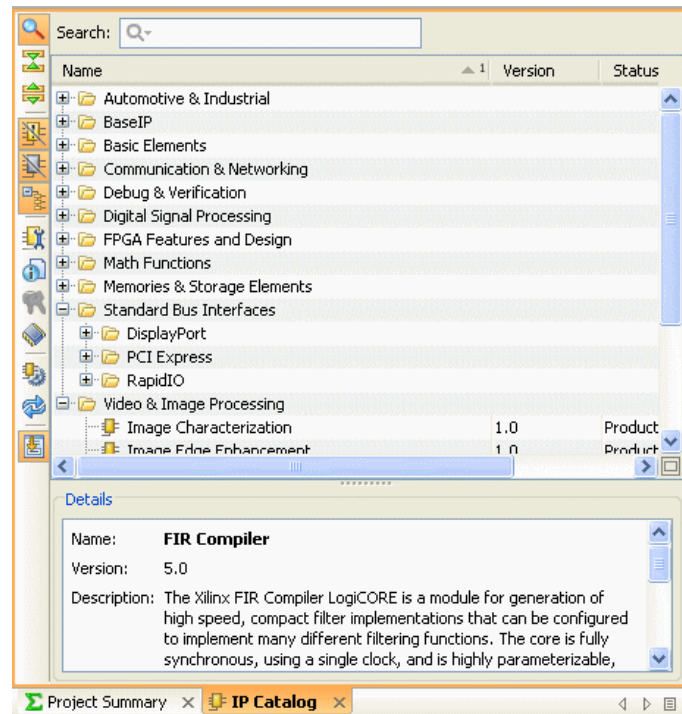


図 5-5 : IP カタログ

IP はカテゴリごとにツリー形式で表示され、IP バージョン、ステータス、ライセンス要件が表形式で示されます。IP を選択すると、その説明がビューの下部に表示されます。

ツールバーの [Data Sheet] をクリックすると、IP のデータシートが PDF ビューアで開きます。ツールバーには、ほかに次のコマンドがあります。

- [Show Search] : カタログ内で文字列を検索します。
- [Hide non-production IPs] : 入手可能な製品 IP のみを表示します。
- [Hide incompatible IPs] : 選択したデバイス ファミリでサポートされる IP のみを表示します。

表示されている IP は、次のように展開したり、並べ替えたりできます。

- [Group by Category] をクリックし、リストをフラット化します。フラット化すると、並べ替えおよび検索しやすくなります。
- 列ヘッダをクリックし、その列のデータを基準に並べ替えます。

ツリー形式のビューの詳細は、第 4 章の「ツリー表形式のビュー」を参照してください。

## IP カタログのアップデート

PlanAhead をインストールした後始めて起動すると、ローカルバージョンの IP カタログが作成されます。IP カタログを最新のものにアップデートするには、[Update IP Catalog] をクリックします。

## IP カタログの設定

IP カタログの設定を定義できます。

1. ツールバーの [Catalog Settings] をクリックします。
2. [Project Settings] ダイアログ ボックスの [IP Catalog] ページが表示されます。

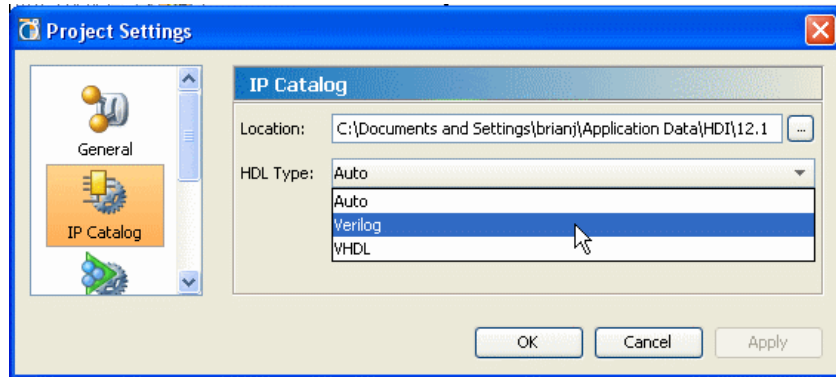


図 5-6 : [Project Settings] ダイアログ ボックスの [IP Catalog] ページ

IP カタログの設定は、次のとおりです。

- [IP Catalog Location] : ローカルの IP カタログを作成および保存する場所を指定します。
- [HDL Type] : IP を作成する言語を指定します。
- [Auto] : 最上位 HDL ファイルの言語に基づいて、使用される言語が自動的に選択されます。

## IP のカスタマイズ

IP カタログから IP を選択し、統合されている CORE Generator ツールを使用して IP をカスタマイズできます。

1. [IP Catalog] ビューからカスタマイズする IP を選択します。
2. IP を右クリックして [Customize IP] をクリックするか、ツールバーから [Customize IP] ボタンをクリックします。

CORE Generator でコアのカスタマイズ ウィンドウが開きます。選択した IP によって、インターフェイスは異なります。

次のタイプのインターフェイスがあります。

- Architecture Wizard
- Memory Interface Generator (MIG) ウィザード
- CORE Generator ウィザード

次の図に、CORE Generator ウィザードの例を示します。

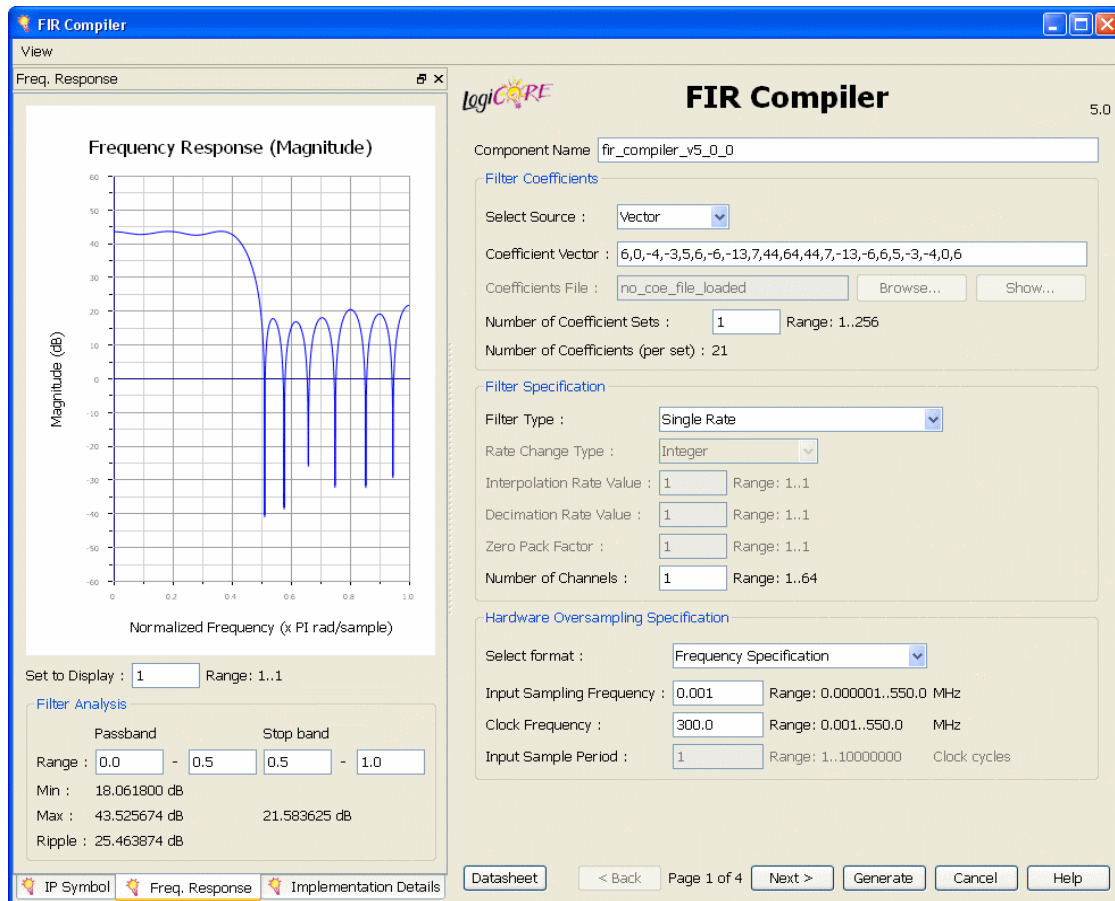


図 5-7 : CORE Generator のインターフェイス

ウィザードでオプションを設定することにより、コアをコンフィギュレーションできます。

- CORE Generator を使用した IP の生成については、<http://japan.xilinx.com/tools/coregen.htm> を参照してください。
- Architecture Wizard の詳細は、[http://japan.xilinx.com/products/design\\_resources/conn\\_central/solution\\_kits/wizards/](http://japan.xilinx.com/products/design_resources/conn_central/solution_kits/wizards/) を参照してください。
- MIG の使用法の詳細は、[http://japan.xilinx.com/support/documentation/ipmeminterfacestorelement\\_meminterfacecontrol\\_mig.htm](http://japan.xilinx.com/support/documentation/ipmeminterfacestorelement_meminterfacecontrol_mig.htm) を参照してください。
- 各 IP に関する情報は、<http://japan.xilinx.com/ipcenter/> または IP カタログを参照してください。

## IP の表示

[IP Symbol] タブには、IP の回路図シンボルが表示されます。

- デバイス リソース統計を表示するには、[Information] タブをクリックします。
- IP のデータシートが PDF ビューアで表示するには、[Datasheet] をクリックします。

[Generate] ボタンをクリックしたときの動作は、PlanAhead から CORE Generator を起動した場合と、CORE Generator をスタンドアロンで起動した場合で異なります。PlanAhead から起動した場合、コアが作成されてプロジェクトにソースとして追加されますが、コアは合成されません。Flow Navigator で [Synthesize] ボタンをクリックしたときに、デザインの合成前に IP コアが自動的に合成されます。これにより、時間のかかる合成タスクが 1 つのセッションで実行されます。この後、合成を実行する前に IP をデザインにインスタンスエートできます。

## IP のインスタンスエーション

IP を生成してプロジェクトに追加すると、IP が [Sources] ビューの [IP] フォルダの下に表示されます。

IP コアを展開すると、CORE Generator XCO プロジェクト ファイルとインスタンスエーション テンプレートを含む VHO ファイルが表示されます。VHO ファイルの内容をコピーして RTL デザインに貼り付けることにより、IP をインスタンスエートできます。

次の図に、インスタンスエートされた IP の RTL コードを示します。

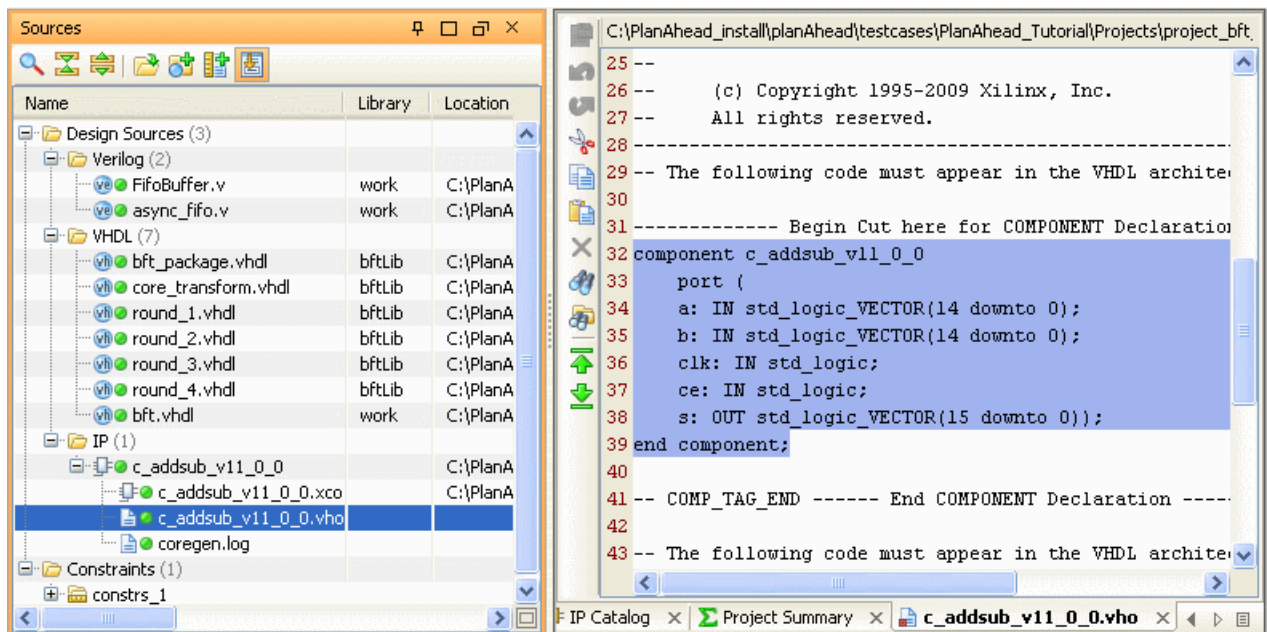


図 5-8： インスタンスエートされた IP の RTL コード

## IP の生成

IP を生成すると、コアに対して XST 合成ツールが実行され、カスタマイズ設定に基づいてロジックが作成されます。

IP コアに対して個別に合成を実行するか、デザインを合成したときに自動的に実行することができます。

IP は次のいずれかのコマンドを使用して生成します。

- Flow Navigator で [Synthesize] をクリックします。
- [Sources] ビューで IP コアを右クリックし、[Generate IP] をクリックします。

## IP の変更

PlanAhead 内で IP を変更し、再生成できます。これは、PlanAhead 内で生成された IP でのみ可能です。IP を変更するには、[Sources] ビューで IP コアを右クリックし、[Re-customize IP] をクリックします。CORE Generator インターフェイスが開き、コアを変更できます。

## RTL デザインのエラボレーションと解析

### RTL デザインのコンパイルの検証

PlanAhead では、RTL ソースをコンパイルして解析し、エラボレーションを合成実行前にコンパイル済みの RTL デザインを解析するために使用できます。ただし、エラボレーションは合成前に必須のステップではありません。

プロジェクトにインポートされた RTL ソース ファイルは、合成中にコンパイルされたかどうかにかかわらずエラボレートされます。エラボレーション結果はデザインには保存されません。デザインが合成されるまで、エラボレーションを再実行できます。

1. デザイン ソース ファイルをプロジェクトにインポートすると、次のいずれかのコマンドを実行してデザインをエラボレートできます。
  - ◆ Flow Navigator で [Project Manager] → [Elaborate] をクリックします。
  - ◆ [Tools] → [Elaborate] をクリックします。
  - ◆ Flow Navigator で [RTL Design] をクリックします。RTL デザインがコンパイルされ、RTL デザイン環境が開きます。

次の図に示す [Top Module] ダイアログ ボックスが表示されます。

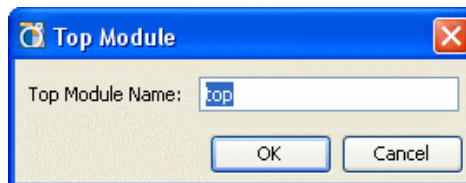


図 5-9 : [Top Module] ダイアログ ボックス

2. [Top Module] ダイアログ ボックスに、エラボレート する最上位モジュールの名前を入力します。
3. [OK] をクリックします。

## エラボレーション結果の表示

[Elaboration Messages] ビューに、コンパイルの結果および RTL ソース ファイルのエラーが表示されます。次の図に、[Elaboration Messages] ビューの例を示します。

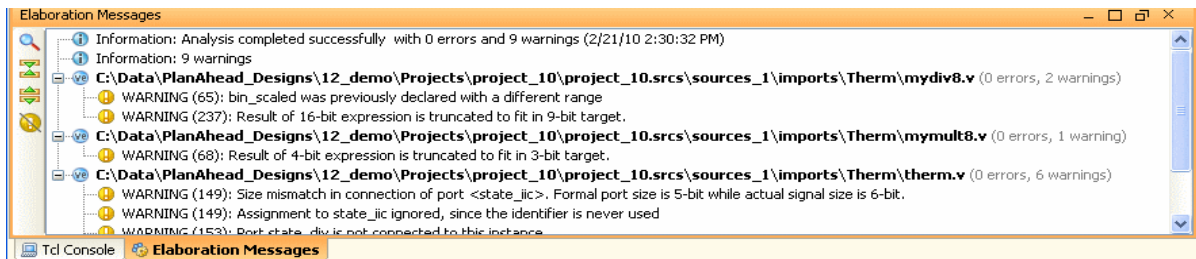


図 5-10 : [Elaboration Messages] ビュー

## RTL ソース ファイルの問題のハイライト表示

[Elaboration Messages] ビューで警告またはエラーのいずれかを選択すると、該当する RTL ソース ファイルが RTL エディタに読み込まれ、問題のソース コードがハイライトされます。

## エラーのみの表示

RTL エラボレーション結果でエラー メッセージのみを表示できます。

[Hide Warning Messages] ボタンをクリックし、エラーのみを表示します。次の図に、[Hide Warning Messages] ボタンを示します。



図 5-11 : [Hide Warning Messages] ボタン

## RTL デザイン環境の使用

Flow Navigator で [RTL Design] をクリックすると、RTL デザインが自動的にエラボレートされ、エラボレーションが正常に完了すると、コンパイルされた RTL デザインが RTL デザイン環境に表示されます。

メイン ビュー パナーにある [I/O Planner] または [Design Planner] ボタンをクリックすると、I/O Planner 環境と Design Planner 環境を切り替えることができます。

RTL デザインが開くと、エラボレートされたデザインにアクティブ制約セットが適用されます。これにより、RTL ポート リストに基づく I/O ピン配置および RTL ロジック階層からのモジュールレベルのフロアプランが可能になります。制約セットの作成および管理については、[第 3 章の「制約の追加と管理」](#)を参照してください。[168 ページの図 5-12](#) に、RTL Design Planner 環境を示します。



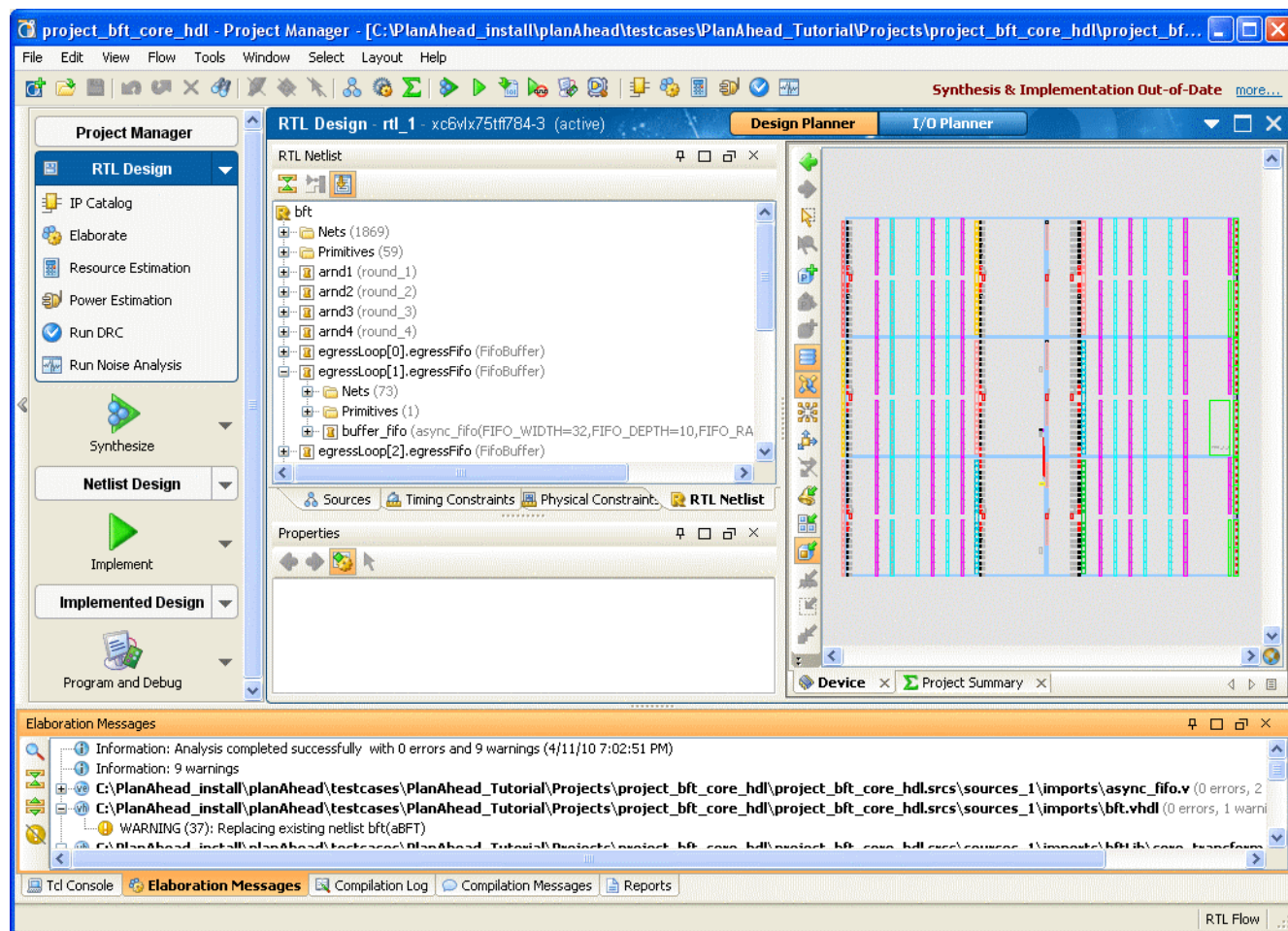


図 5-12 : RTL Design Planner

## リソース予測の表示

コンパイル済み RTL デザインに基づいてリソース予測統計を表示できます。

[Resource Estimation] ビューにリソース統計データを表示するには、次のいずれかのコマンドを使用します。

- Flow Navigator で [RTL Design] → [Resource Estimation] をクリックします。
- [Tools] → [Resource Estimation] をクリックします。

[Resource Estimation] ビューがワークスペースに開きます。

デザインのロジック階層に基づいて、リソース予測がタイプ別に表示されます。 ツリーを展開して、ロジック階層を表示できます。169 ページの図 5-13 に、[Resource Estimation] ビューの例を示します。



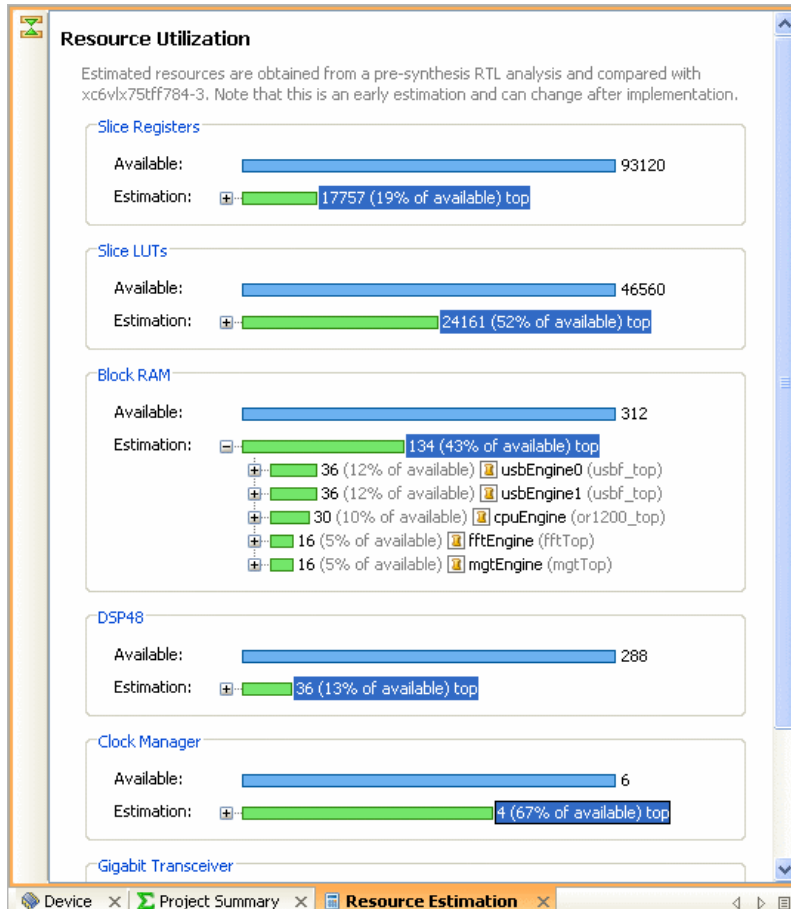


図 5-13: RTL デザインの [Resource Estimation] ビュー

[RTL Netlist] ビューは、[Netlist] ビューと同様に機能します。ロジック階層のどのレベルでも選択し、ハードウェア リソースを解析できます。

### [Instance Properties] ビューでのリソース統計の解析

[Instance Properties] ビューで [Statistics] タブをクリックすると、選択されたモジュールまたは [RTL Netlist] ビューの最上位モジュールに必要なデバイス リソース予測が表示されます。ロジック リソースは [Arithmetic]、[Comparators]、[Multiplexers]、[Storage] などに分類されます。170 ページの図 5-14 に、RTL のリソース予測の例を示します。

メモリおよびプリミティブの表が表示され、すべてのメモリ、ワード数、ビット幅、ポート数、選択された階層でのビット幅別のマクロ/プリミティブの構成がリストされます。

リソース予測は、合成実行前の RTL デザインのハードウェア リソース情報を短時間で提供します。精度は平均 +/-15% です。

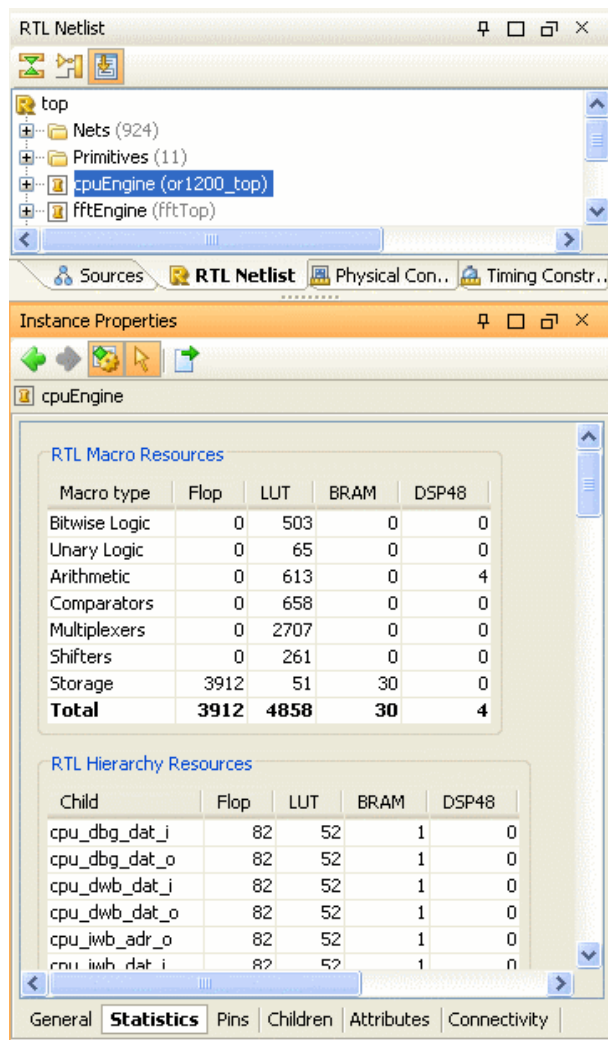


図 5-14 : RTL リソース予測の表示

統計レポートを XML (解析用) または XLS 形式で保存するには、[Export Statistics] をクリックします。

## RTL ロジック階層の解析

PlanAhead には、デザインのロジック階層を表示する複数のビューがあります。

- [Netlist] ビュー : 展開可能なロジック ツリーを示します。
- [Hierarchy] ビュー : ロジック階層をグラフィカルに表示します。
- [Schematic] ビュー : ロジックおよび階層を調べるのに使用します。

1 つのビュー選択したオブジェクトはほかのビューでも選択され、ロジック デザインを解析しやすくなっています。

詳細は、「[Netlist] ビュー」および第 4 章の「[Hierarchy] ビュー」を参照してください。

## RTL デザイン回路図の解析

[RTL Schematic] ビューは、[Netlist] ビューと同様に機能します。任意のロジック階層を選択し、[RTL Schematic] ビューで表示できます。

選択したロジックの [RTL Schematic] ビューを開くには、次のいずれかのコマンドを実行します。

- ツールバーの [Schematic] ボタンをクリックします。
- [Tools] → [Schematic] をクリックします。

次の図に、[RTL Schematic] ビューを示します。

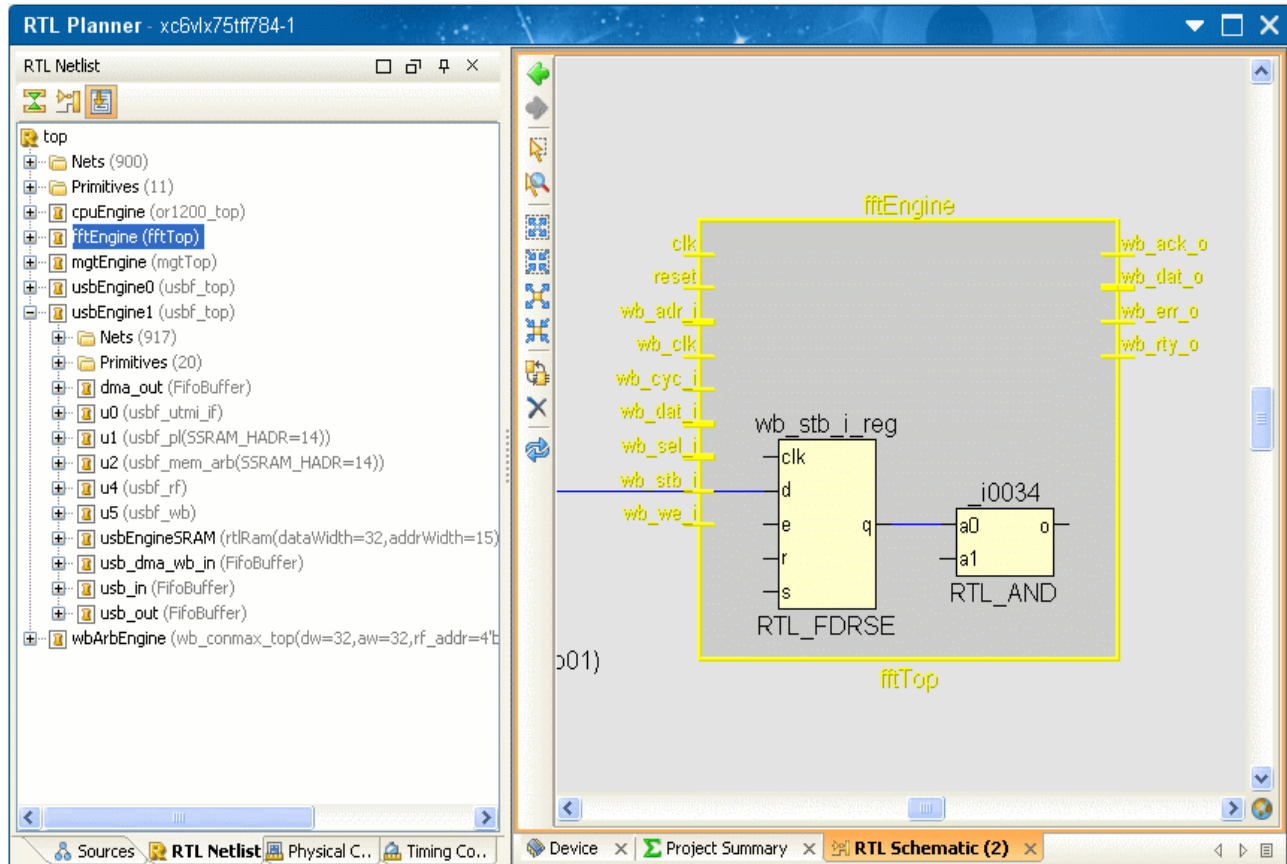


図 5-15 : [RTL Schematic] ビュー

[RTL Schematic] ビューでの操作の詳細は、第 4 章の「[Schematic] ビュー」を参照してください。

RTL デザインをエラボレートしたら、[Find] コマンドを使用してロジックオブジェクトを検索できます。詳細は、第 7 章の「テキストエディタでの制約の編集」を参照してください。

## RTL DRC の実行

### DRC の選択

PlanAhead では、RTL デザイン エラボレーションの後に実行できるデザイン ルール チェック (DRC) が提供されています。これらの DRC は、消費電力の削減およびパフォーマンスの向上に焦点を当てています。

1. デザインをエラボレートした後に DRC チェックを実行するには、次のいずれかのコマンドを使用します。
  - ◆ Flow Navigator で [RTL Design] → [Run DRC] をクリックします。
  - ◆ [Tools] → [Run DRC] をクリックします。

次の図に示す [Run DRC] ダイアログ ボックスが表示され、実行するチェックを選択できます。

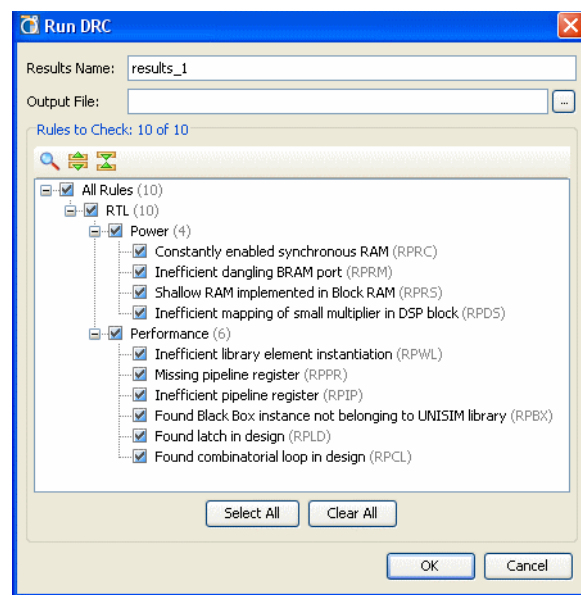


図 5-16 : [Run DRC] ダイアログ ボックス

2. [Run DRC] ダイアログ ボックスで、実行するチェックを選択します。

DRC チェックの説明は、174 ページの「RTL ルール : 消費電力およびパフォーマンス」を参照してください。
3. [OK] をクリックします。

## DRC 違反の解析

DRC が終了すると、次の図に示すような [DRC Results] ビューが表示されます。

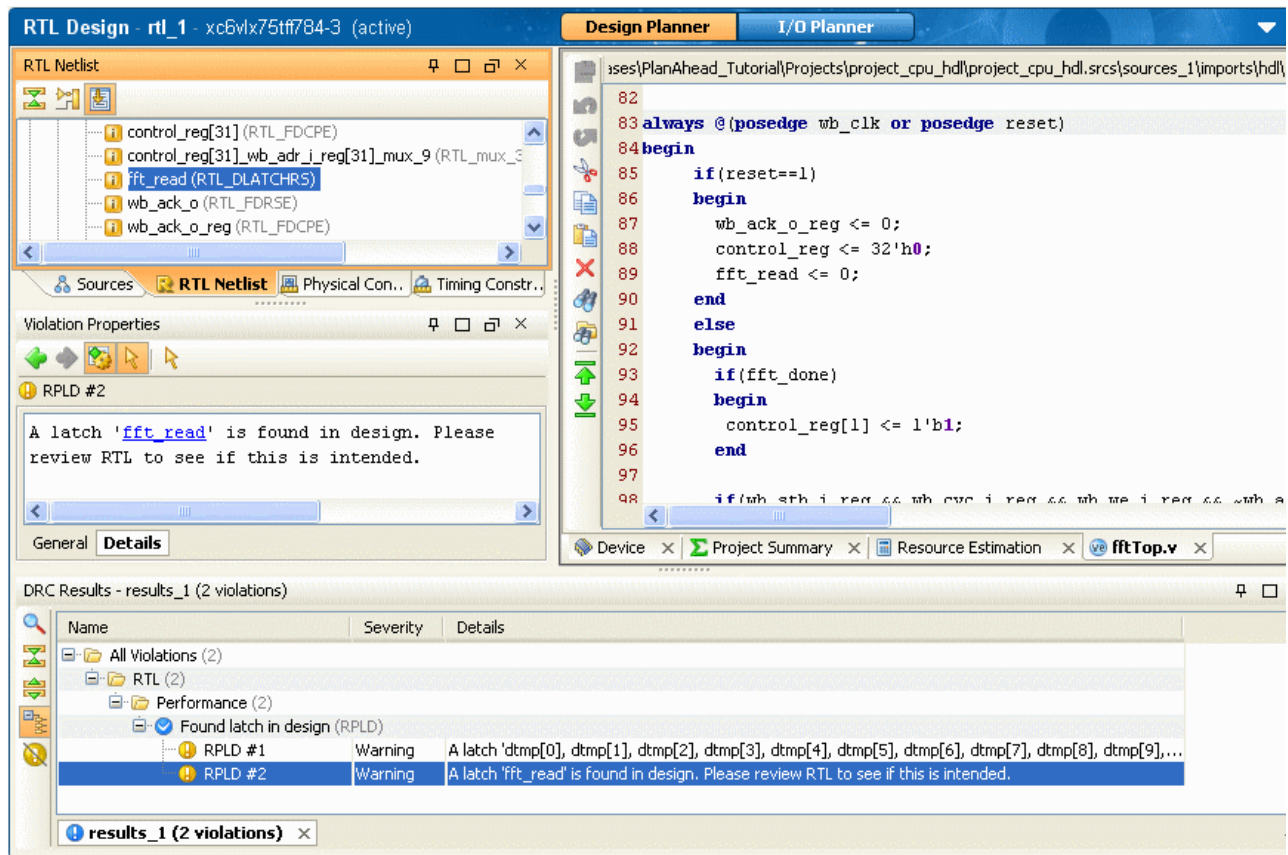


図 5-17： DRC 違反を含む RTL デザイン

[Violations Properties] ビューでは、次の操作を実行できます。

- 違反を選択して情報を表示します。
- リンクをクリックして問題のデザイン オブジェクトをハイライトします。
- [Show Source] ポップアップ メニュー コマンドをクリックして RTL ソースの行をハイライトします。
- 警告および情報メッセージを非表示にし、エラーのみを表示するには、ツールバーの [Hide Warning and Information Messages] ボタンをクリックします。もう 1 度クリックすると、警告および情報メッセージが再び表示されます。次の図に、このボタンを示します。



図 5-18： [Hide Warning and Information Messages] ボタン

## RTL ルール : 消費電力およびパフォーマンス

次の表に、RTL 消費電力および RTL パフォーマンスのルールを示します。

表 5-1 : 消費電力ルール

ルール名	略称	目的	重要度
Constantly enabled synchronous RAM	RPRC	常にイネーブルの RAM (推論またはインスタンス化されたもの) が片方または両方のポートで検出されました。この RAM が常にアクセスされていないかどうかを判断します。常にアクセスされていなければ、この RAM をディスエーブルにするロジックを記述することで、消費電力を大幅に低減できる場合があります。	警告
Inefficient dangling BRAM port	RPRM	接続されていない出力ポートのある RAM が検出され、WRITE_MODE が NO_CHANGE 以外の値に設定されています。RAM 記述を変更して未接続の出力ポートを設定すると (WRITE_MODE を NO_CHANGE に設定)、ブロック RAM の消費電力を最大 10% 節約できる場合があります。	警告
Shallow RAM implemented in Block RAM	RPRS	Virtex®-5 および Virtex-6 デバイス : 幅が 19 ビット以上、ワード数が 64 ビット以下の RAM の場合、RAM が FIFO として使用されている場合 (クロスオーバー ポイントはワード数 32 ビット以下) を除き、SelectRAM (分散 RAM と呼ばれる LUT ベースの RAM) を選択した方が有益です。幅が 18 ビット未満のインターフェイスを構築する場合、ワード数が 128 ビットまでの場合は LUT ベースの SelectRAM が適していますが、一般的に 128 ビットを超えると、専用ブロック RAM の方が適しています。	警告
Inefficient mapping of small multiplier in DSP block	RPDS	DSP または MULT18X18 などのハード乗算器 IP にマップされている小型乗算器は、MSB にプッシュする必要があります。残りの LSB はグラウンドにマップする必要があります。このようにすると、キャリー伝搬を最小限に抑えることができます。通常のインプリメンテーション、特に乗算器を推論する場合、LSB および符号拡張を使用して MSB をマップします。	警告

表 5-2：パフォーマンス ルール

ルール名	略称	目的	重要度
Inefficient library element instantiation	RPWL	別の FPGA ファミリに属す「<library_component_name>」タイプのインスタンス「<instance_name>」が検出されました。最適なパフォーマンスが得られない可能性があります。ISE ソフトウェアで、このエレメントが選択されているファミリの類似エレメントに自動的にマップされる場合がありますが、使用する FPGA ファミリのエレメントを推論またはインスタンス化しようソース コードを変更すると、そのエレメントにある追加機能または拡張機能を利用できます。これにより、エリア使用率およびパフォーマンスが向上する場合があります。	警告
Missing pipeline register	RPPR	レジスタを介していない出力のある乗算器が検出されました。レジスタのレベルを追加すると、乗算器の clock-to-out パフォーマンスを向上できます。また、これらのレジスタに非同期制御信号を使用しないようにするのがベストです。  レジスタを介していない出力のある RAM/ROM が検出されました。レジスタのレベルを追加すると、RAM/ROM の clock-to-out パフォーマンスを向上できます。また、これらのレジスタに非同期制御信号を使用しないようにするのがベストです。	警告
Inefficient pipeline register	RPIP	乗算ファンクションの入力または出力に非同期制御信号が使用されているレジスタ <register_name> (<file_name>:<line_number>) が検出されました。専用 DSP ハードウェア リソースには、プリセットやクリアなどの非同期制御信号はありません。レジスタは専用ハードウェア リソースにはマップされず、デバイスが最適に使用されません。	警告
Found Black Box instance not belonging to UNISIM library	RPBX	コンポーネントまたはモジュール <component/module_name> の記述を、合成で使用できません (<file_name>:<line>)。このブラック ボックスへのパスおよびブラック ボックスからのパスは最適化できません。合成ツールの使用率予測およびマップに悪影響を与える可能性があります。	警告
Found latch in design	RPLD	<signal_name> (<file_name>:<line_num>) 信号のラッチ記述が検出されました。ラッチがあると、インプリメンテーション後のシミュレーションが必要なタイミング パスを解析し、インプリメントされたデザインのビヘイビアが予測どおりのものであることを確認するのが困難になります。	警告
Found combinatorial loop in design	RPCL	<signal_name> (<file_name>:<line_num>) 信号の組み合わせループが検出されました。組み合わせループは、組み合わせロジックのコーンの出力が、同じコーンのロジックの部分入力としてフィードバックされると生成されます。ソースからデスティネーションまでの組み合わせ遅延合計は、フィードバック パス遅延分増やす必要があります。このタイプの構造は、デザインに予測されるビヘイビアに必要であるか、または意図したものでない場合があります。	警告



## 消費電力予測

PlanAhead では、デザイン リソースに基づいて初期段階で消費電力を予測できます。

1. 次のいずれかの方法を使用して、消費電力予測を実行します。
  - ◆ Flow Navigator で [RTL Design] → [Power Estimation] をクリックします。
  - ◆ [Tools] → [Power Estimation] をクリックします。

図 5-19 に示す [Power Estimation] ダイアログ ボックスが開きます。

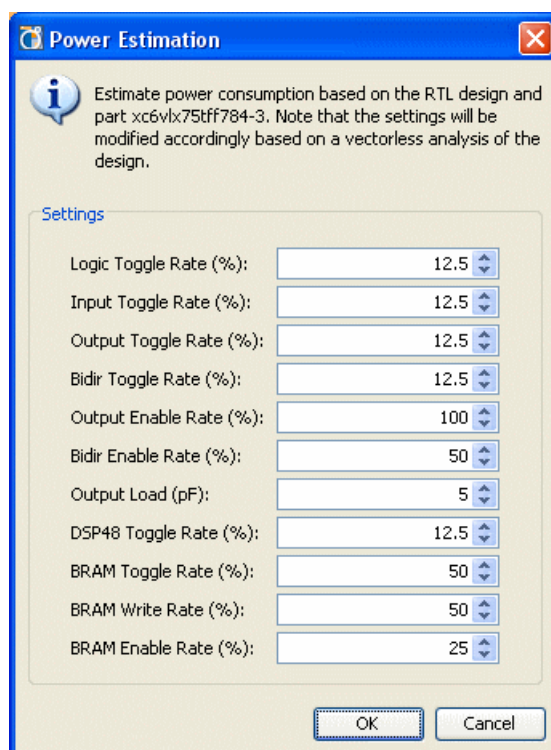


図 5-19 : [Power Estimation] ダイアログ ボックス

2. トグル レート情報を入力し、[OK] をクリックします。

[Power Estimation] ビューがワークスペースに開きます。

消費電力サマリと、デザインのロジック階層に基づく展開可能な消費電力グラフが表示されます。

ツリーを展開して、ロジック階層を表示できます。177 ページの図 5-20 に、[Power Estimation] ビューの例を示します。

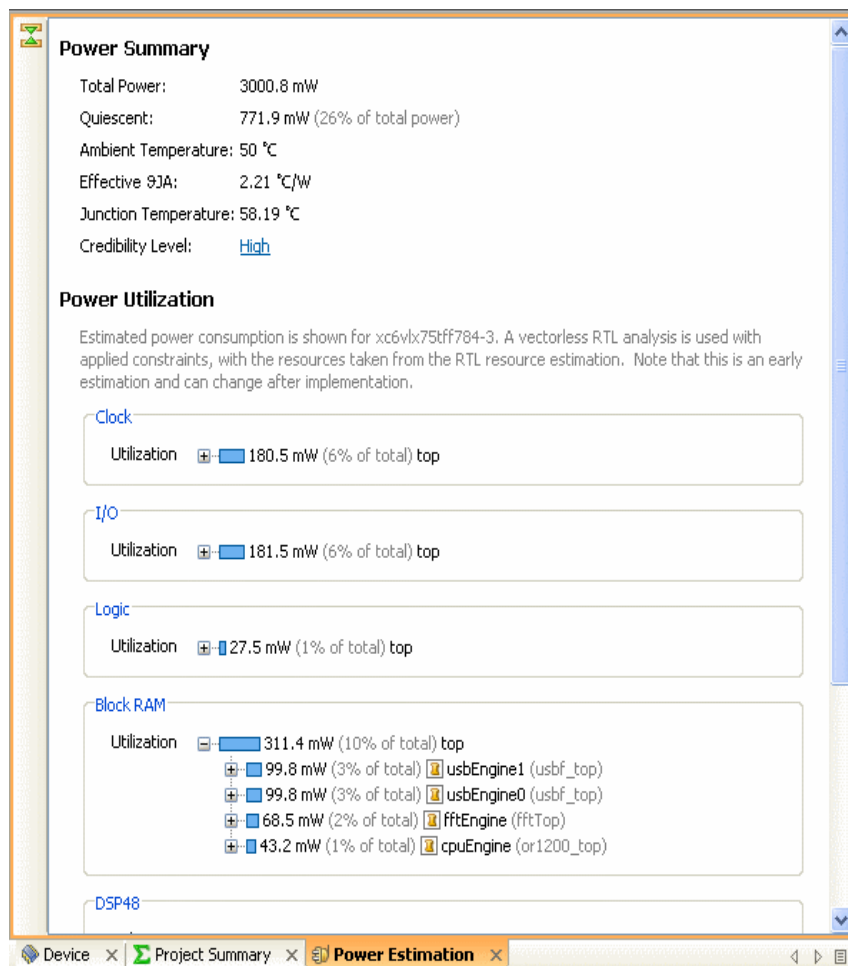


図 5-20 : [Power Estimation] ビュー

[Power Estimation] ビューは、[Netlist] ビューと同様に機能します。ロジック階層のどのレベルでも選択して展開し、消費電力およびハードウェア リソースを解析できます。



# デザインの合成

---

本章は、次のセクションで構成されています。

- 「[PlanAhead](#) での合成およびインプリメンテーションについて」
- 「[合成の実行](#)」
- 「[実行ステータスの監視](#)」
- 「[実行結果の解析](#)」
- 「[複数の合成実行の起動](#)」
- 「[リモート Linux ホストでの合成実行の起動](#)」

## PlanAhead での合成およびインプリメンテーションについて

PlanAhead™ ソフトウェアでは、合成およびインプリメンテーションの試行 (実行) をボタンをクリックするだけで実行可能な環境が提供されています。これらの実行データは自動的に管理され、さまざまな RTL ソース バージョン、合成およびインプリメンテーション オプション、制約を使用して繰り返し実行できます。

また、異なるソフトウェア コマンド オプションおよびタイミング制約または物理制約を使用した複数の合成およびインプリメンテーションの実行も可能です。複数のインプリメンテーションの実行は、順次起動するか、マルチプロセッサ マシンで同時に起動できます。合成実行には、Xilinx Synthesis Technology (XST) が使用されます。

各インプリメンテーション コマンドのオプション設定のセットをストラテジとして保存し、ザイリックス ISE® Design Suite ツールを使用した合成またはインプリメンテーションの実行に適用できます。保存されたストラテジおよびエクスポートされたファイルの詳細は、[付録 B の「デフォルト環境での出力ファイル」](#)を参照してください。

進行状況の確認、ログ レポートの表示、実行のキャンセル、実行データの管理、最高の合成およびインプリメンテーション結果のインポートを実行できます。

## 合成の実行

PlanAhead で合成を実行する場合、合成オプションを設定して合成を実行し、その結果を表示できます。

### 合成に関するヒント

次に、PlanAhead をデザインの解析、フロアプラン、階層デザインに最大限に活用するためのロジック合成に関する推奨事項を示します。

ISE 合成結果の最適化については、『[合成/シミュレーション デザイン ガイド](#)』(UG626) を参照してください。

クリティカル タイミング パスが 1 つのモジュール内に制限されるよう、できる限り RTL レベルでデザインを分割します。クリティカル パスが多数の階層モジュールにまたがっていると、フロアプランやパーティションの設定が困難です。

- すべてのモジュールの出力にレジスタを付け、クリティカル パスに関連するモジュールの数を制限します。
- 1 つの大型階層ブロックにロング パスがあると、フロアプランが困難になります。RTL で大型階層ブロックを分割することを考慮してください。
- デザインの変更頻度が高い場合は、インクリメンタル合成を考慮します。ほとんどのサードパーティ合成ツールでは、トップダウンのインクリメンタル合成およびインプリメンテーションが可能です。この機能とザイリンクスのパーティション機能を組み合わせて、インプリメント済みデザインで変更されていないモジュールを保持できます。デザイン保持は、インクリメンタルフローには役立ちますが、階層をまたがるグローバル最適化が不可能であるため、パフォーマンスが低下することがあります。インクリメンタル手法を試す前に、このトレードオフを考慮してください。
- 合成エンジンで階層が再構築されるように設定するか、合成ネットリストの階層を保持します。合成の観点からはフラット化されたネットリストが最適ですが、フロアプランおよび配置制約が困難になります。階層を再構築する合成オプション (XST コマンド ライン オプション `-netlist_hierarchy rebuilt` など) を使用します。

### 合成オプションの設定

合成オプションは、複数の場所から設定できます。Flow Navigator の Project Manager メニューから [Project Settings] をクリックするか、[Project Summary] ビューで [Project Settings] セクションの [Edit] リンクをクリックするか、またはメイン ツールバーの [Project Settings] ボタンをクリックします。次の図に、[Project Settings] ボタンを示します。



図 6-1： [Project Settings] ボタン

[Project Settings] ダイアログ ボックスで、[181 ページの図 6-2](#) に示すように、選択されていない場合は [Synthesis] をクリックします。

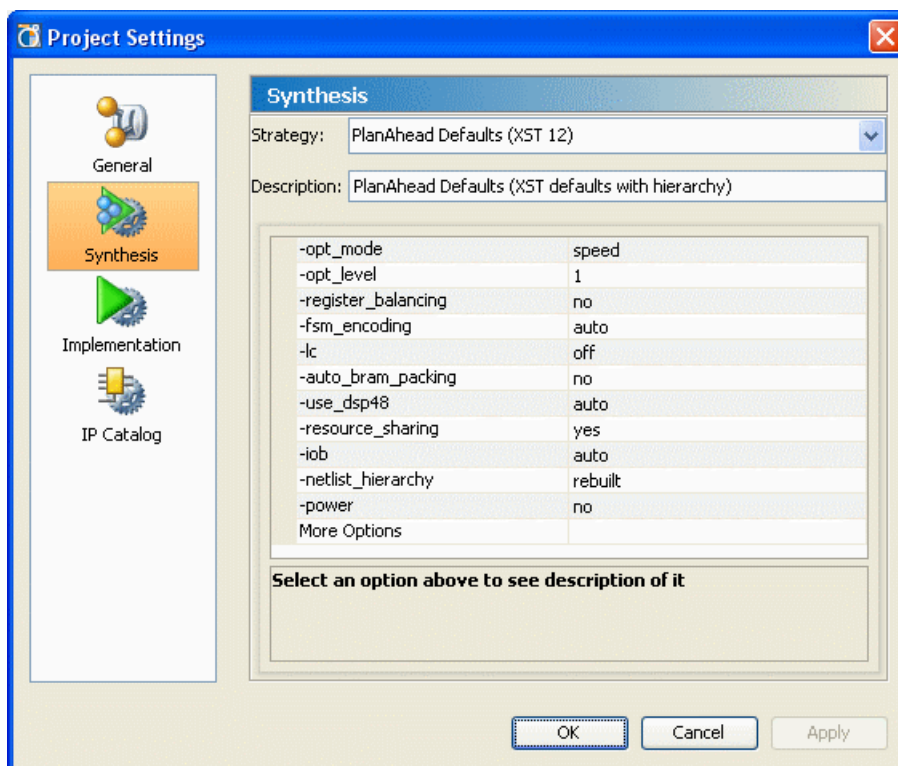


図 6-2 : [Project Settings] ダイアログ ボックスの [Synthesis] ページ

[Project Settings] ダイアログ ボックスの [Synthesis] ページでは、次の合成実行で使用する XST オプションを設定できます。次のオプションが含まれています。

- [Strategy] : 既存ストラテジを選択するか、新規ストラテジを作成します。詳細は、付録 B の「デフォルト環境での出力ファイル」を参照してください。
- [Description] : 実行の説明を入力します。
- [Synthesis (xst)] : XST オプションを設定します。リストされていないオプションは、[More Options] フィールドに入力します。オプションを選択すると、簡単な説明と目的がページの下部に表示されます。

**メモ :** PlanAhead を終了する前に合成を実行しなかった場合、これらのオプションの変更は保持されません。合成実行がプロジェクト内にある場合は、アクティブ合成実行のプロジェクト設定が使用されます。合成実行がプロジェクトに含まれない場合は、デフォルトが使用されます。

## XST オプションを使用した階層ネットリストの作成

[XST Defaults] 以外の PlanAhead XST 合成ストラテジでは、`-netlist_hierarchy rebuilt` が設定されています。このオプションを使用すると、XST のロジック最適化でネットリストがフラット化され、その後ロジック名に基づいてロジック階層が再構築されます。これにより、PlanAhead でのデザイン解析およびフロアプランが容易になります。

このオプションを使用して問題が発生した場合は、`-netlist_hierarchy rebuilt` を `as_optimized` に戻してください。

## 合成の起動

合成実行は、Flow Navigator から起動できます。

### 合成実行の起動

1. Flow Navigator またはメイン ツールバーから、次の図に示す [Synthesize] ボタンをクリックします。

PlanAhead ソフトウェアでは、現在の合成プロジェクト設定を使用して実行を起動します。

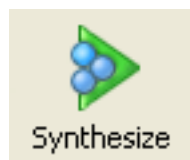


図 6-3： [Synthesize] ボタン

ステータス バーに合成が実行中であることが示され、[Compilation Messages] ビューにコマンドのステータスが表示されます。

### 合成実行の設定

Flow Navigator の [Synthesize] のプルダウン メニューから [Synthesis Settings] をクリックすると、合成実行のオプションを設定できます。

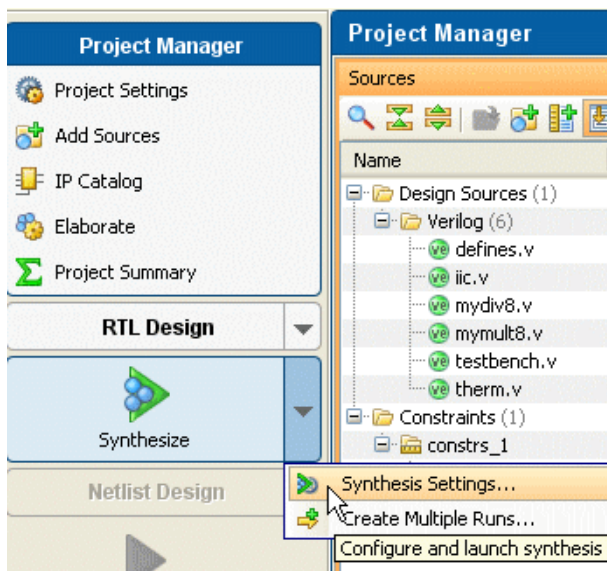


図 6-4： 合成実行の設定



次の図に示す [Synthesis Settings] ダイアログ ボックスが表示されます。

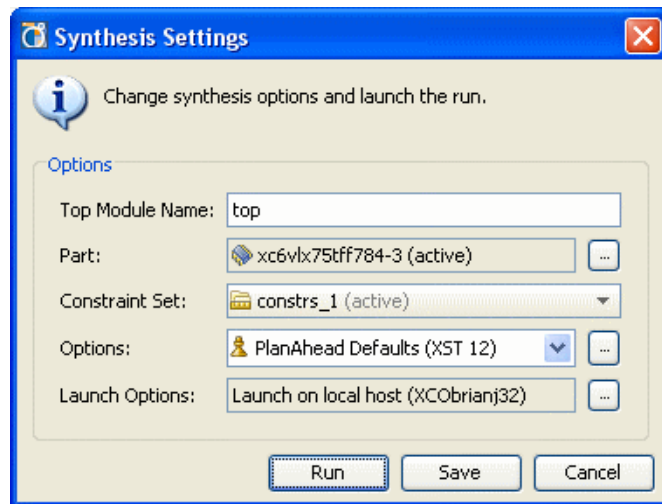


図 6-5 : [Synthesis Settings] ダイアログ ボックス

[Synthesis Settings] ダイアログ ボックスには、次のオプションが含まれています。

- [Top Module Name] : デザインの最上位 RTL モジュール名を入力します。
- [Part] : ターゲット デバイスを選択します。参照ボタンをクリックすると、[Select Part] ダイアログ ボックスが表示されます。
- [Constraint Set] : 制約セットを指定します。
- [Options] : 実行に使用する合成ストラテジを選択します。参照ボタンをクリックして、XST コマンド オプション、説明、ストラテジを変更します。次の図に、[Design Run Settings] ダイアログ ボックスを示します。

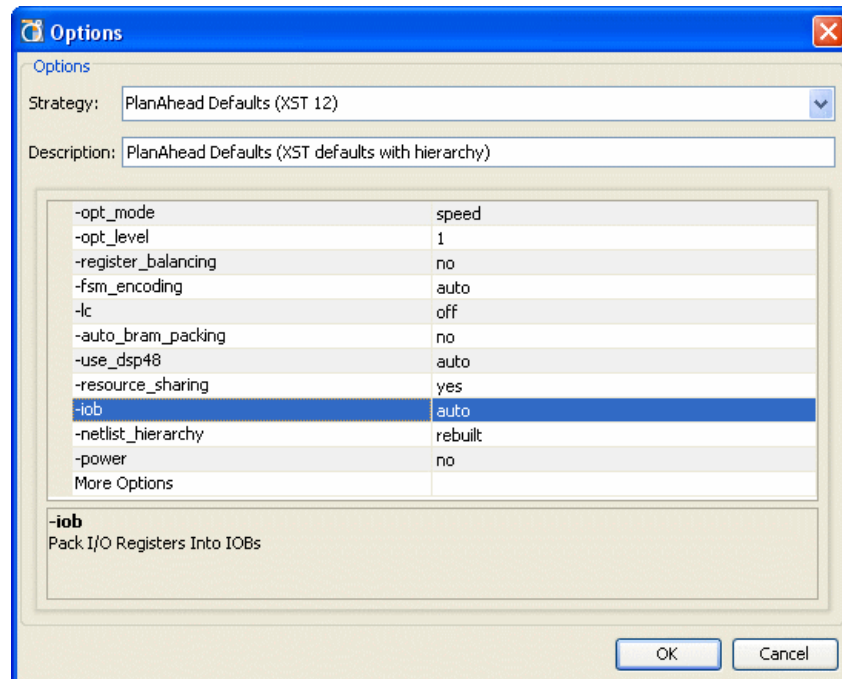


図 6-6 : XST オプションの設定

- [Launch Options] : 追加の起動オプションを選択します。次の図に、[Specify Launch Options] ダイアログ ボックスを示します。

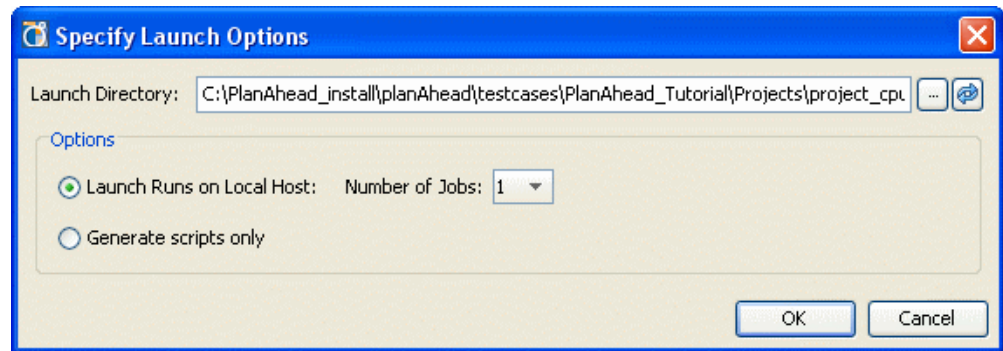


図 6-7 : [Specify Launch Options] ダイアログ ボックス

[Specify Launch Options] ダイアログ ボックスでは、次のオプションを設定できます。

- [Launch Directory] : 合成実行を保存する場所を指定します。  
 メモ：プロジェクト ファイルには絶対パスが記述されるので、プロジェクト ディレクトリ外のデフォルトでない場所を指定すると、プロジェクトを移動しにくくなります。
  - [Launch Runs on Local Host] : ローカル マシンのプロセッサで実行を起動します。
    - ◆ [Number of Jobs] : 実行に使用するローカル プロセッサの数を指定します。このオプションは、複数の実行を同時に起動する場合にのみ使用されます。各実行が各プロセッサで起動されます。このオプションを使用すると、マルチスレッド プロセッサは使用されません。
  - [Launch Runs on Remote Hosts] (Linux のみ) : ジョブを起動するのにリモート ホストを使用します。
    - ◆ [Configure Hosts] : リモート ホストを設定します。詳細は、[第 9 章の「リモート Linux ホストでの run の起動」](#)を参照してください。
  - [Generate scripts only] : 実行ディレクトリおよび実行スクリプトをエクスポートおよび作成しますが、実行は起動しません。スクリプトは、PlanAhead 環境外で後で実行できます。
2. [Run] をクリックすると、現在の設定内容を使用して実行が起動されます。[Save] をクリックすると設定は保存されますが、実行は起動されません。

## 実行ステータスの監視

合成実行のステータスは、[Compilation Log] ビューで確認するか、[Compilation Messages] ビューで情報、警告、エラー メッセージを参照します。

次のセクションでは、実行ステータスの監視オプションについて説明します。

## プロジェクト ステータス表示の使用

185 ページの図 6-8 に示すプロジェクト ステータス インジケータは、PlanAhead の右上に表示され、次のような機能があります。

- プロジェクトの全般的なステータスとコマンドの進行状況を表示します。
- [Cancel] をクリックすると実行中のコマンドを停止できます。



図 6-8: プロジェクト ステータス バー

## 実行のキャンセル

図 6-8 に示すプロジェクト ステータス バーの [Cancel] ボタンをクリックすると、XST 合成実行を停止できます。

## コンパイル ログの表示

合成実行を起動すると、[Compilation Log] ビューが開き、XST の標準出力メッセージが表示されます。次の図に、[Compilation Log] ビューの例を示します。

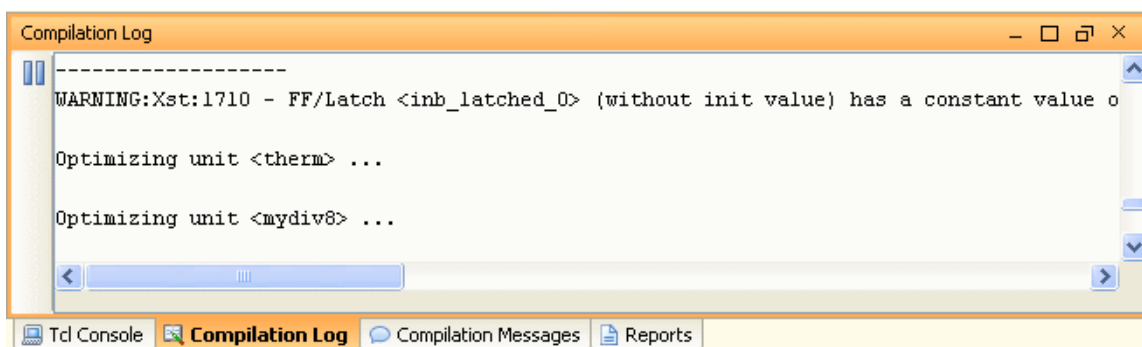


図 6-9: [Compilation Log] ビュー

## コマンド実行中の出力の一時停止

[Pause output] ボタンをクリックすると、コマンドの実行中にログをスクロールしたり読んだりしやすくなります。ボタンをもう 1 度クリックするまで、出力は一時停止されます。

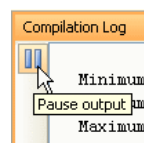


図 6-10: [Pause output] ボタン

## 合成終了後の次の手順の選択

実行が完了すると、次の図に示すダイアログ ボックスが表示され、次の手順を選択できます。

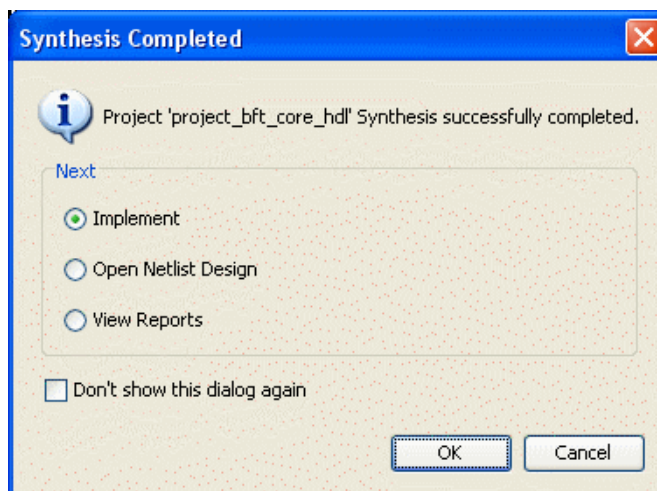


図 6-11： [Synthesis Completed] ダイアログ ボックス

3. [Synthesis Completed] ダイアログ ボックスで、次のいずれかを選択します。
  - ◆ [Implement]：インプリメンテーションを現在のインプリメンテーション プロジェクト設定を使用して起動します。
  - ◆ [Open Netlist Design]：ネットリスト、アクティブな制約セット、ターゲット デバイスを PlanAhead デザイン解析およびフロアプラン環境にインポートし、I/O ピン配置、デザイン解析、フロアプランを実行します。
  - ◆ [View Reports]：XST レポート ファイルを選択して表示できる [Reports] ビューを開きます。
4. [OK] をクリックして選択した手順を実行するか、[Cancel] をクリックします。

## 実行結果の解析

合成が終了したら、XST 合成レポートを表示し、ネットリスト デザインを開いて、インプリメンテーション前にタイミング制約または物理制約を適用できます。詳細は、[第 7 章「ネットリストの解析および制約の定義」](#)を参照してください。

### レポート ファイルの表示

ISE ツールで生成されたレポート ファイルは [Reports] ビューから表示できます。このビューは、通常コマンドが実行されると自動的に開きます。開いていない場合は、[Project Summary] ビューの [Reports] リンクをクリックします。次の図に、[Reports] ビューを示します。

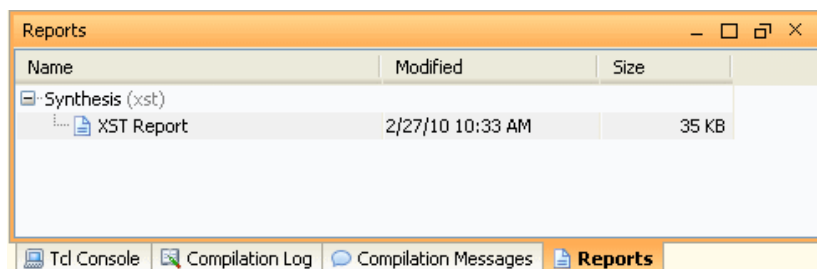


図 6-12: 表示するレポート ファイルの選択

[Reports] ビューでレポートをダブルクリックすると、[188 ページの図 6-13](#)に示すように、ワークスペースに表示されます。次のようなファイル表示オプションがあります。

- スクロール バーを使用してレポート ファイルを参照
- [Find] または [Find in Files] ボタンをクリックし、特定テキストを検索
- [Go to the beginning] または [Go to the End] ボタンをクリックしてファイルの冒頭または最後に移動

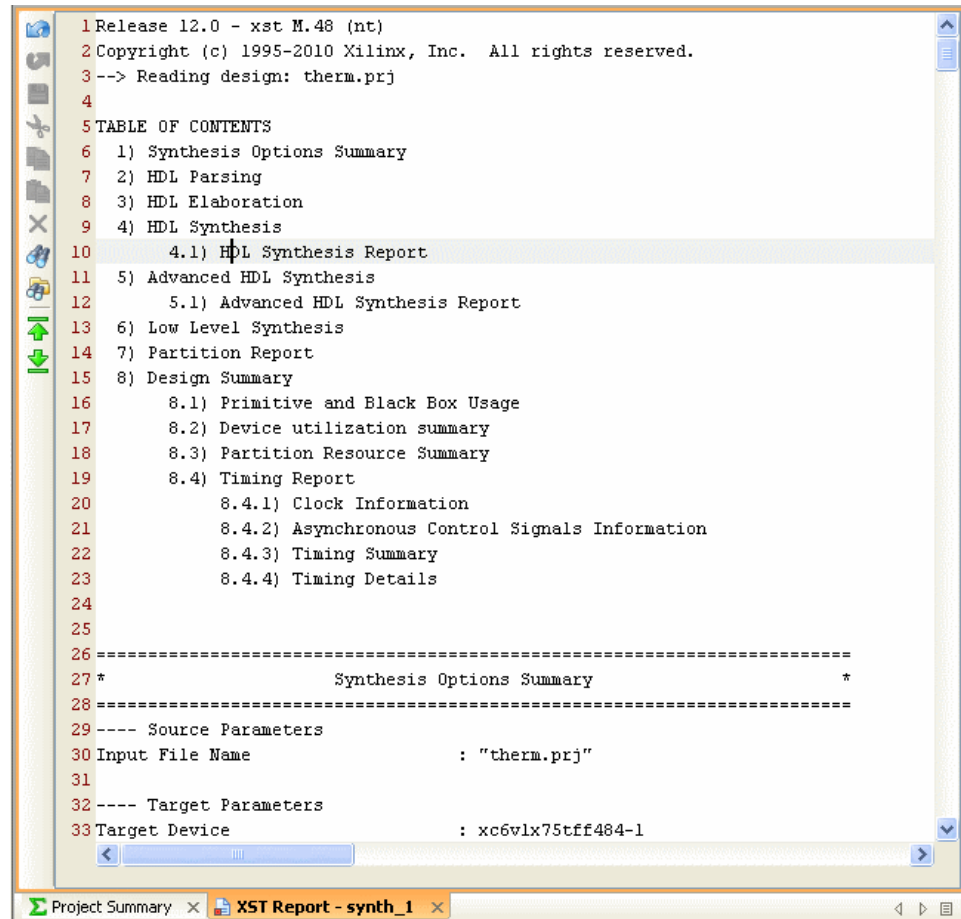


図 6-13： レポート ファイルの表示

## [Compilation Messages] ビュー

[Compilation Messages] ビューには、[Compilation Log] ビューに表示されるメッセージのうち主なメッセージ、警告、およびエラーのみを表示します。次の図に、[Compilation Messages] ビューの例を示します。

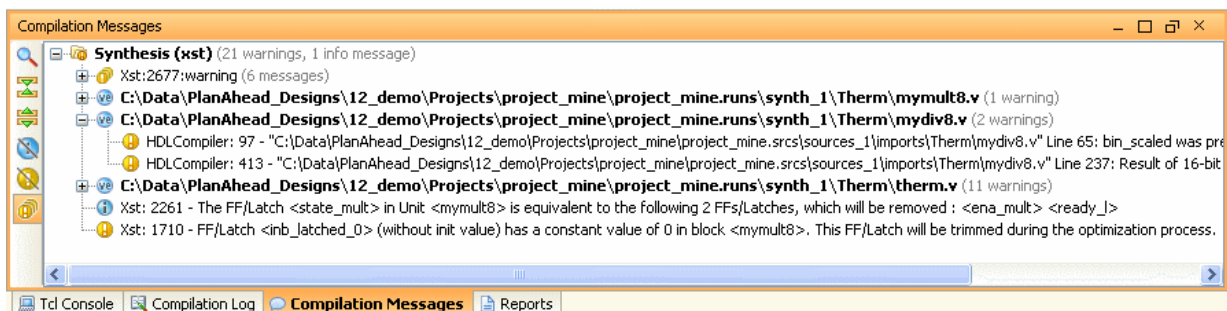


図 6-14： [Compilation Messages] ビュー

合成メッセージは、ソース ファイルおよび重要度別に表示されます。

横にあるプラス記号 (+) をクリックして展開し、各メッセージを表示します。

左側にあるコマンド ボタンを使用すると、検索およびフィルタ機能を使用できます。

PlanAhead のビューには、標準的に [Show Search]、[Collapse All]、[Expand All] コマンドがあります。詳細は、第 4 章の「ツリー表示形式のビュー」を参照してください。

## コンパイル メッセージのフィルタ処理とグループ化

警告およびエラー メッセージのみを表示するにはツールバーの [Hide info messages] を、エラーメッセージのみを表示するには [Hide info messages] および [Hide warning messages] ボタンをクリックします。[Group duplicate messages] ボタンをクリックすると、リストがフラット化され、類似のメッセージがまとめられます。次の図に、これらのボタンを示します。



図 6-15: [Hide info messages]、[Hide warning messages]、[Group duplicate messages] ボタン

## RTL ソースでのコンパイル問題のハイライト

[Compilation Messages] ビューで行番号を含む合成メッセージを選択すると、RTL ファイルが開き、ソース コードでその行がハイライトされます。次の図に、その例を示します。

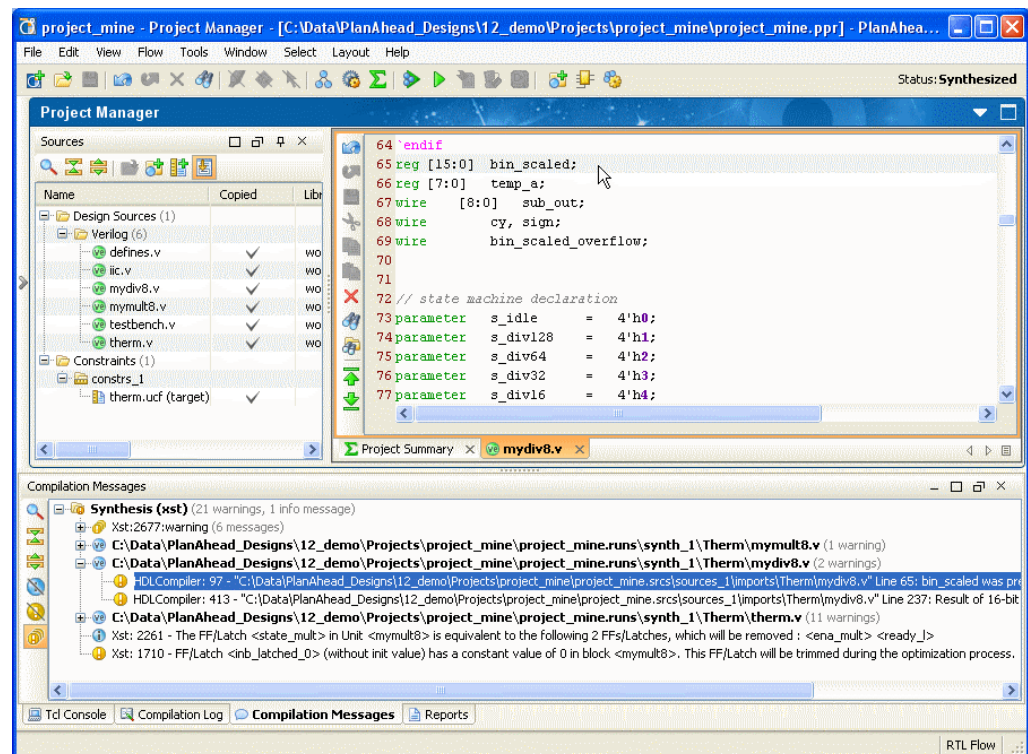


図 6-16: RTL ソース ファイルでのエラーのハイライト

メッセージを右クリックして [Search for Answer Record] をクリックすると、ザイリンクス Web サイトでそのメッセージを含むアンサー データベースが検索されます。



## ネットリスト デザインを開く

PlanAhead では、合成結果をインポートして、解析および制約の定義を実行できます。ネットリスト デザイン環境で、デザインに ChipScope デバッグ コアを追加できます。合成実行が完了すると、ダイアログ ボックスが表示され、ここで [Open Netlist Design] をオンにしてネットリスト デザインを開くことができます。詳細は、[180 ページの「合成の実行」](#)を参照してください。

Flow Navigator で [Netlist Design] をクリックしても、ネットリスト デザインを開くことができます。

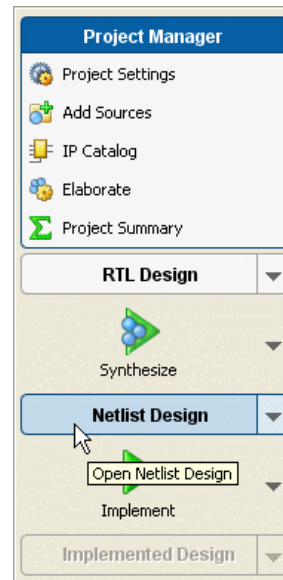


図 6-17： ネットリスト デザインを開く

ネットリストの解析および定義の詳細は、[第 7 章「ネットリストの解析および制約の定義」](#)を参照してください。

## 複数の合成実行の起動

PlanAhead では、複数の合成実行を作成して起動し、最適な結果が得られるようさまざまな合成オプションを試すことができます。各実行は順次起動するか、複数のローカル CPU で同時に起動できます。Linux では、リモート サーバーを使用できます。詳細は、[第 9 章の「リモート Linux ホストでの run の起動」](#)を参照してください。

**メモ：**PlanAhead では、複数の合成実行、インプリメンテーション実行、および制約セットを作成できます。複数の実行を含むプロジェクトを作成できるので、さまざまな実行データを管理する必要があります。PlanAhead では、ソース ファイル、制約、またはプロジェクト設定が変更されると、データを更新する必要があることを示すメッセージが表示されます。[Design Runs] ビューから、古い実行データを削除したり、管理したりできます。

## 複数の合成実行の作成

複数の合成実行を作成するには、次の手順に従います。

1. [Tools] → [Create Multiple Runs] をクリックするか、次の図に示すように Flow Navigator の [Synthesize] ブルダウン メニューから [Create Multiple Runs] をクリックします。

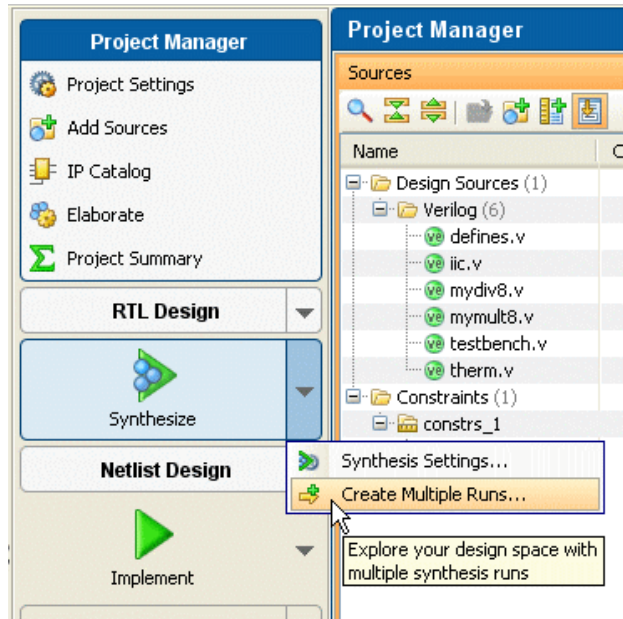


図 6-18 : [Create Multiple Runs] コマンド

Create Multiple Runs ウィザードが開きます。

2. 最初のページで [Next] をクリックします。

次の図に示す [Set Up Synthesis Runs] ページが表示されます。

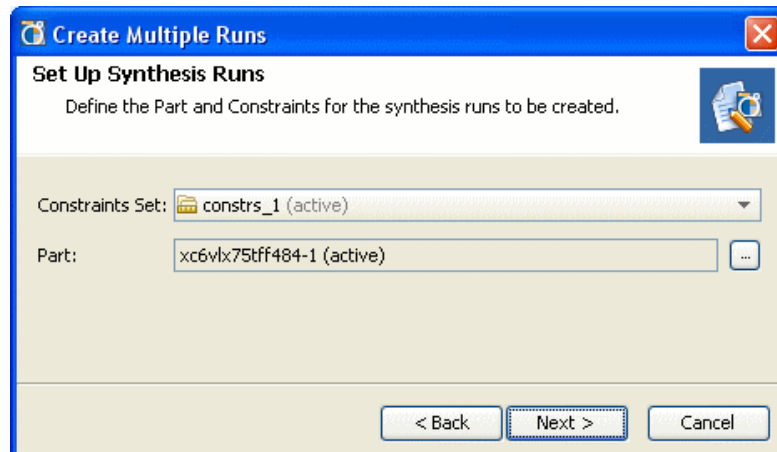


図 6-19 : [Set Up Synthesis Runs] ページ

[Set Up Synthesis Runs] ページには、次のオプションがあります。

- ◆ [Constraint Set] : 実行が完了した後にネットリストを開いたときに、合成ネットリストに適用する制約セットを指定します。

- ◆ [Part]：ターゲット デバイスを選択します。参照ボタンをクリックすると、[Select Part] ダイアログ ボックスが表示されます。
- 3. [Next] をクリックし、次の図に示す [Choose Synthesis Strategies] ページに進みます。

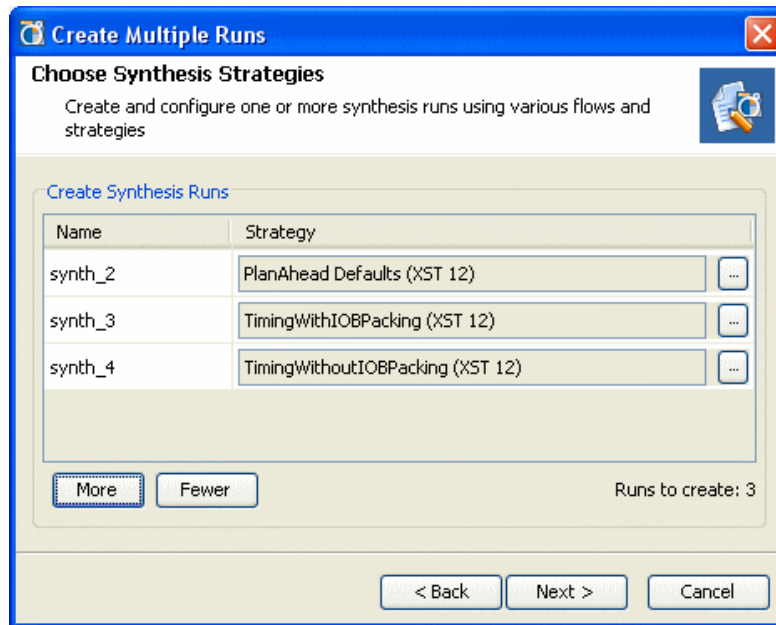


図 6-20： [Choose Synthesis Strategies] ページ

- 4. 最初の実行に対して [Name] を入力し、[Strategy] を選択します。
- 5. [More] ボタンをクリックし、実行を追加します。
- 6. 追加した実行に対しても、[Name] を入力し、[Strategy] を選択します。
- 7. [Next] をクリックし、[Launch Options] ページに進みます。起動オプションの設定に関する詳細は、[180 ページの「合成オプションの設定」](#)を参照してください。
- 8. [Next] をクリックしてサマリを確認します。
- 9. [Finish] をクリックすると、定義した実行が作成され、指定の起動オプションが実行されます。

## 複数の合成実行の管理

複数の合成実行を管理する機能は、複数のインプリメンテーション実行を管理する機能と同様です。詳細は、[第 9 章の「複数 run の管理」](#)を参照してください。

## リモート Linux ホストでの合成実行の起動

リモート Linux ホストの使用については、[第 9 章の「リモート Linux ホストでの run の起動」](#)を参照してください。

## ネットリストの解析および制約の定義

---

本章は、次のセクションで構成されています。

- 「概要」
- 「[Netlist Design] の使用」
- 「リソース統計の表示とレポート」
- 「ロジックのエクスポート」
- 「ChipScope デバッグ コアの挿入」
- 「タイミング制約の定義」
- 「タイミング解析の実行」
- 「スラック ヒストグラムの使用」
- 「物理制約の定義」
- 「デザイン ルール チェック (DRC) の実行」

### 概要

本章では、PlanAhead™ で使用可能なデザイン解析および制約定義機能について説明します。説明される機能は、通常インプリメンテーションを実行する前に [Netlist Design] を開くと実行できますが、この章で説明される解析および制約機能の多くは [Implemented Designs] でも使用できます。

[Netlist Design] では、次が実行できます。

- デザインをさまざまな側面から解析
- リソースとタイミング概算を検証
- DRC を実行
- ISE Design Suite 用に物理制約とタイミング制約を定義

次のような PlanAhead のデザイン タスクは、[Netlist Design] で実行する必要があります。

- ChipScope デバッグ コアの挿入
- デザイン保持およびパーシャル リコンフィギュレーションのためのパーティション定義

その他の解析機能については、第 5 章「RTL および IP デザイン」および第 8 章「I/O ピン配置」を参照してください。

デザインをインプリメントすると、これらの機能をほとんど使用できます。インプリメントされたデザインを解析するのに便利な機能については、第 10 章「インプリメンテーション結果の解析」を参照してください。

## [Netlist Design] の使用

PlanAhead には、さまざまな表示からデザインを解析し、インプリメンテーション ツール前にデザインに制約を付けることのできる環境が提供されています。

[Netlist Design] を開くと、PlanAhead に合成済みのネットリスト、アクティブな UCF 制約セット、ターゲット デバイスが読み込まれます。詳細は、第 4 章の「[Netlist] ビュー」を参照してください。

## Design Planner の使用

Design Planner ビューのレイアウトには、ロジック、リソース使用率、タイミング概算を検証し、DRC を実行してタイミング制約および物理制約を適用することのできるさまざまなデザイン情報が含まれます。

Design Planner のデフォルトのビューには、次の図のように [Project Summary]、[Device]、[Netlist]、[Sources]、[Timing Constraints]、[Physical Constraint] などのビューが含まれます。

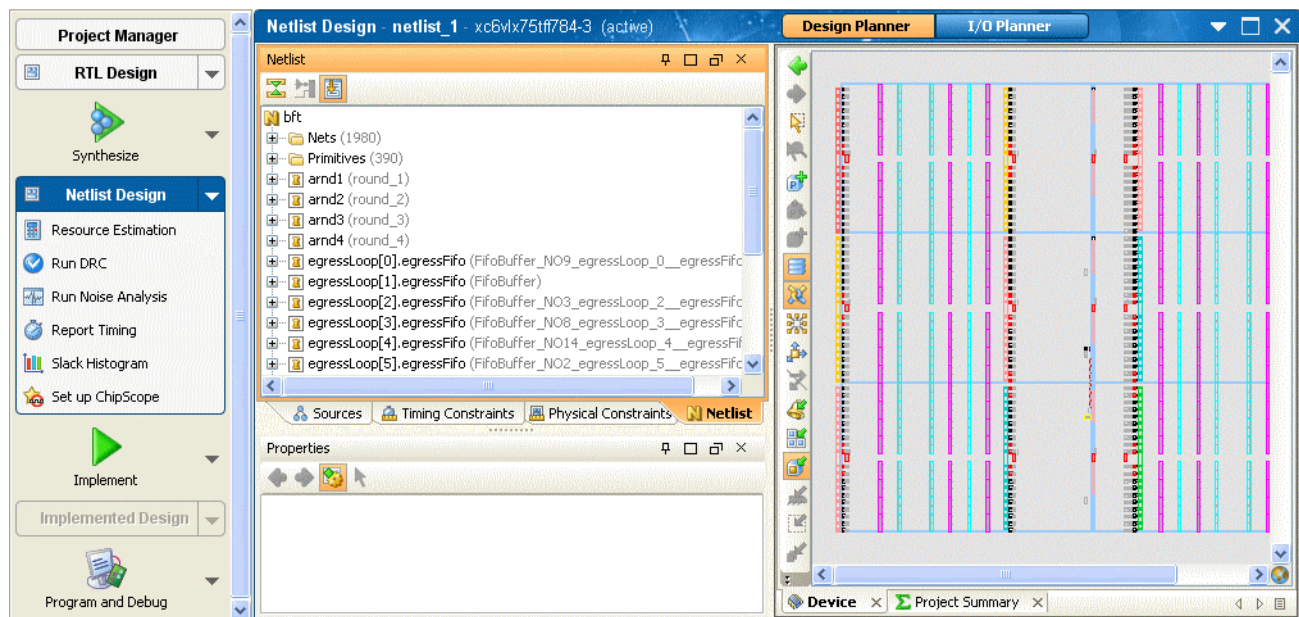


図 7-1： Design Planner ビューのレイアウト

必要な場合は、[Package] ビューなどのその他のビューも開くことができます。各ビューの詳細は、第 4 章の「PlanAhead ビューの使用」を参照してください。

## リソース統計の表示とレポート

PlanAhead にはデザインの論理内容とデバイス使用率に関する統計情報が提供されます。[Project Summary] ビューには、エラボレートされた RTL ネットリストおよび XST 合成済みネットリストのリソース使用率の概算が表示される [Resources] ペインが含まれます。XST および ISE マップレポートからのリソース統計も該当するタブに表示されます。

PlanAhead では、ネットリスト インスタンスや Pblock を選択すると、[Instance Properties] または [Pblock Properties] ビューでリソース統計を表示することもできます。最上位レベルのデザインを選択しても、同じように表示できます。表示される情報には、ロジック オブジェクト タイプのカウント、使用されたデバイス リソースの割合、キャリー チェーン情報、クロック レポートなどがあります。この情報は、Excel スプレッドシートにエクスポートできます。

### [Project Summary] ビューのリソース概算

リソース情報が取得されると、自動的に [Project Summary] ビューの [Resources] に表示されます。[Project Summary] でのリソース概算の表示については、[第 3 章の「\[Project Summary\] ビュー」](#)を参照してください。

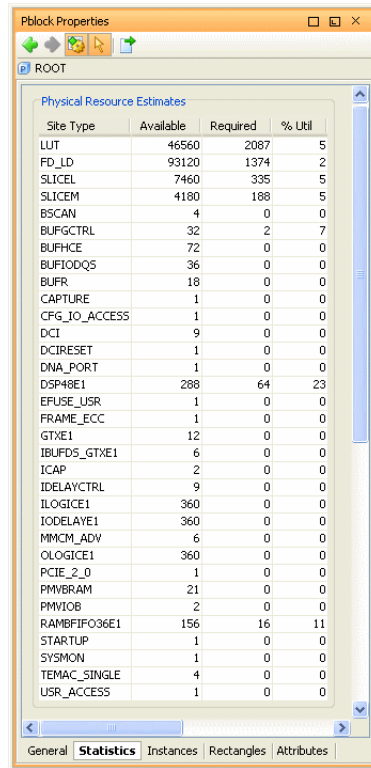
### 階層別のリソース概算

リソース概算は、展開可能な階層ツリーとしてグラフィカルに表示できます。リソース タイプを展開すると、論理階層の各レベルを表示できます。

デバイス リソース概算をグラフィカルに表示するには、次の手順に従います。

1. [Netlist Design] を開きます。
2. Flow Navigator または [Tools] メニューから [Resource Estimation] をクリックします。

階層別のリソース使用率のサマリが[196 ページの図 7-2](#)のように表示されます。



Pblock Properties

ROOT

Physical Resource Estimates

Site Type	Available	Required	% Util
LUT	46560	2087	5
FD_ID	93120	1374	2
SLICEL	7460	335	5
SLICEM	4180	188	5
BSCAN	4	0	0
BUFCTRL	32	2	7
BUFHCE	72	0	0
BUFIODQS	36	0	0
BUFR	18	0	0
CAPTURE	1	0	0
CFG_IO_ACCESS	1	0	0
DCI	9	0	0
DCIRESET	1	0	0
DNA_PORT	1	0	0
DSP48E1	288	64	23
EFUSE_USR	1	0	0
FRAME_ECC	1	0	0
GTXE1	12	0	0
IBUFDS_GTXE1	6	0	0
ICAP	2	0	0
IDELAYCTRL	9	0	0
ILOGICE1	360	0	0
IOELAYE1	360	0	0
MMCM_ADV	6	0	0
OLOGICE1	360	0	0
PCIE_2_0	1	0	0
PMVBRAM	21	0	0
PMVIOB	2	0	0
RAMBFI036E1	156	16	11
STARTUP	1	0	0
SYSMON	1	0	0
TEMAC_SINGLE	4	0	0
USR_ACCESS	1	0	0

General Statistics Instances Rectangles Attributes

図 7-2：階層別のリソース概算

- 必要であれば、ロジック タイプおよび階層を展開します。

## ロジック インスタンスのリソース統計の表示

PlanAhead にはデザインに含まれるデバイス リソースの見積り数をレポートする機能があります。最上位レベルを含むロジック インスタンスのリソース統計は、[Instance Properties] ビューに表示できます。

デザイン リソース統計を表示するには、最上位レベル モジュールまたはインスタンス モジュールを [Netlist] ビューで選択します。次の図に、最上位モジュールを選択した状態の [Netlist] ビューを示します。

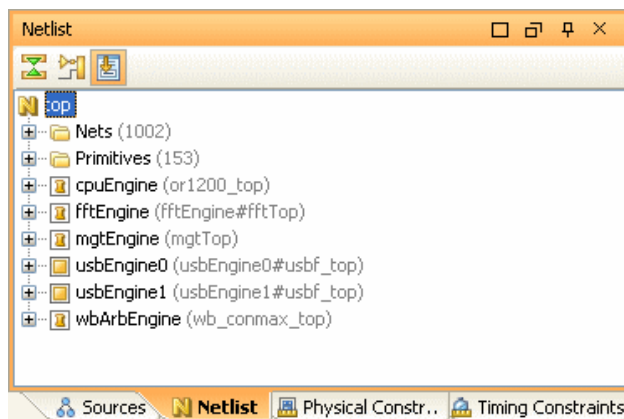


図 7-3：最上位モジュールが選択されている [Netlist] ビュー



ネットリストまたはインスタンスのプロパティがプロパティのビューに表示されます。

表示されない場合は、モジュールを右クリックし、ポップアップメニューで [Netlist Properties] または [Instance Properties] をクリックします。

- [Netlist Properties] には、デフォルトで [Statistics] タブが表示されます。
- [Instance Properties] には、5 つのタブがあります。[Instance Properties] を表示している場合は [Statistics] タブをクリックします。

[Statistics] タブには、プリミティブ インスタンス数、インターフェイス信号数、クロック名、クロック信号を受けるインスタンス数、キャリー チェーン数およびその最大長といった重要なデザイン情報が表示されます。

次の図に、ネットリスト リソースの統計の例を示します。

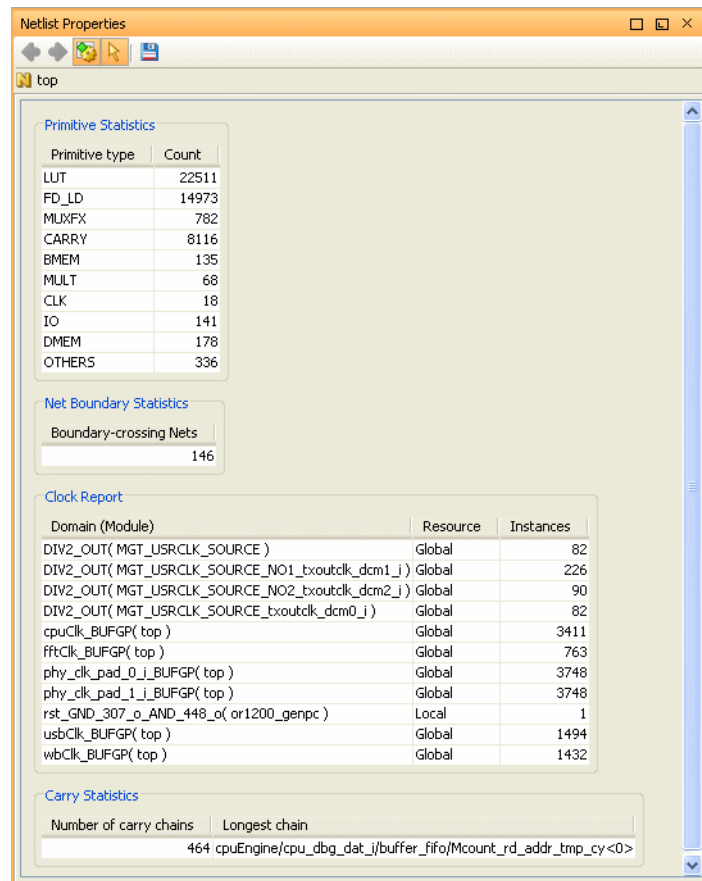


図 7-4 : ネットリスト リソース統計

## Pblock のリソース統計の表示

PlanAhead には、Pblock のロジック使用率統計が含まれ、この情報は Pblock エリアに十分なデバイス リソースが含まれているかどうか確認するのに役立ちます。また、ROOT Pblock はデザインの最上位と認識され、デザイン全体の使用率統計を提供します。

Pblock の使用率統計は、次の手順で表示できます。

1. [Physical Hierarchy] ビューで、[ROOT] またはいずれかの Pblock をクリックします。次の図では、ROOT Pblock を選択しています。

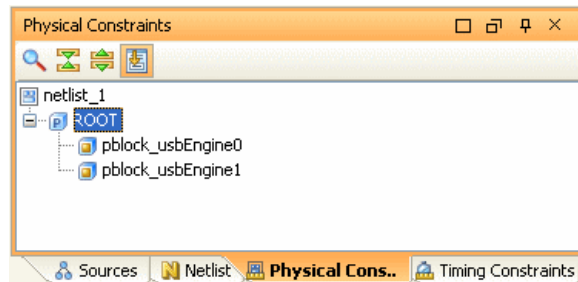


図 7-5 : [Physical Constraints] ビューで [ROOT] を選択

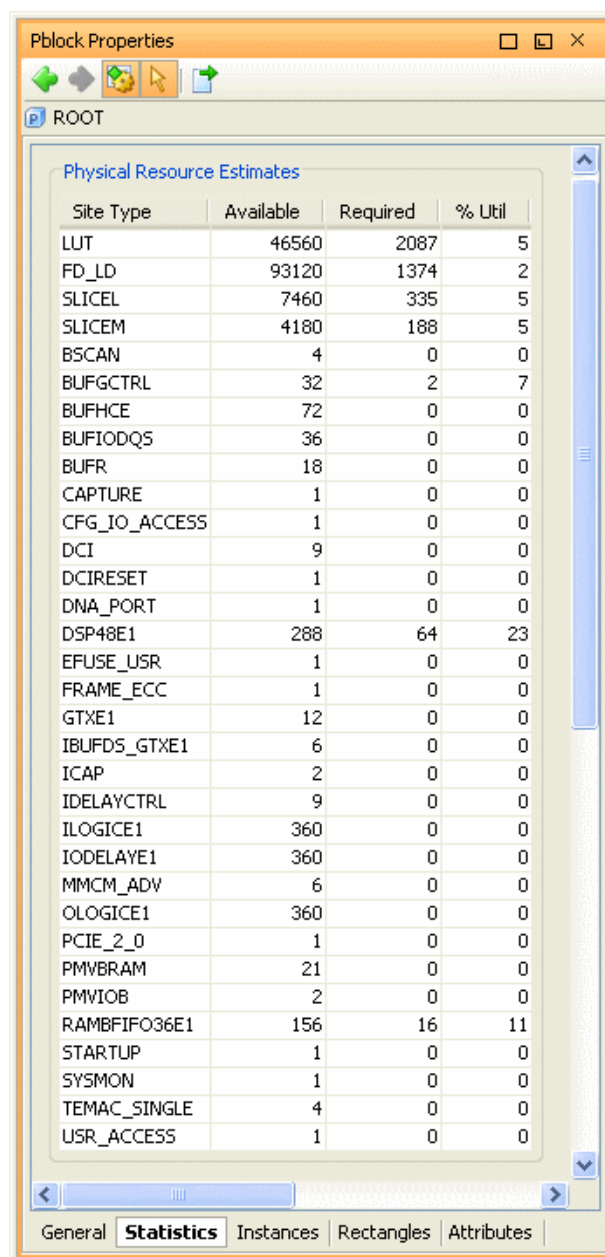
Pblock プロパティが [Pblock Properties] ビューに表示されます。

2. [Pblock Properties] が表示されない場合は、[ROOT] または Pblock を右クリックし、ポップアップメニューで [Pblock Properties] をクリックします。

詳細は、第 11 章の「Pblock プロパティの表示」を参照してください。

### [Statistics] タブの使用

[Statistics] タブには、さまざまなデバイス リソースのデバイス全体での使用状況、キャリーチェーン数と最長チェーンの長さ、RPM 数と最大サイズ、クロック名とクロックが供給されているインスタンスの数、I/O 使用率、および信号とプリミティブ インスタンスの数などのデザイン情報が表示されます。199 ページの図 7-6 は、[Statistics] タブの例です。



Pblock Properties

ROOT

Physical Resource Estimates

Site Type	Available	Required	% Util
LUT	46560	2087	5
FD_LD	93120	1374	2
SLICEL	7460	335	5
SLICEM	4180	188	5
BSCAN	4	0	0
BUFGCTRL	32	2	7
BUFHCE	72	0	0
BUFIODQS	36	0	0
BUFR	18	0	0
CAPTURE	1	0	0
CFG_IO_ACCESS	1	0	0
DCI	9	0	0
DCIRESET	1	0	0
DNA_PORT	1	0	0
DSP48E1	288	64	23
EFUSE_USR	1	0	0
FRAME_ECC	1	0	0
GTXE1	12	0	0
IBUFDS_GTXE1	6	0	0
ICAP	2	0	0
IDELAYCTRL	9	0	0
ILOGICE1	360	0	0
IODELAYE1	360	0	0
MMCM_ADV	6	0	0
OLOGICE1	360	0	0
PCIE_2_0	1	0	0
PMVBRAM	21	0	0
PMVIOB	2	0	0
RAMBFIFO36E1	156	16	11
STARTUP	1	0	0
SYSMON	1	0	0
TEMAC_SINGLE	4	0	0
USR_ACCESS	1	0	0

General **Statistics** Instances Rectangles Attributes

図 7-6 : [Pblock Properties] ビュー : [Statistics] タブ

## リソース統計レポートのエクスポート

表示されているデータは表計算式ファイルに保存できます。**PlanAhead** では階層形式のレポートが生成されます。このレポートでは、レベル別に各モジュールの概算値をレポートする階層数を定義できます。

リソース統計レポートをエクスポートするには、次の手順に従います。

1. **[Export Statistics]** ボタンをクリックし、データを表計算ファイルにエクスポートします。



図 7-7 : **[Export Statistics]** ボタン

次の図のダイアログ ボックスが表示されます。

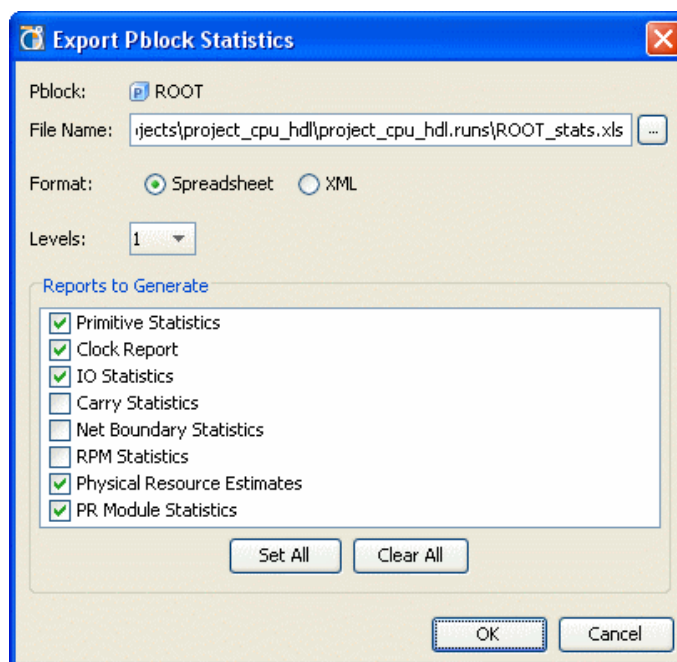


図 7-8 : ネットリスト リソース統計のエクスポート

**[Export Netlist Statistics]** ダイアログ ボックスには次のオプションがあります。

- **[File Name]** : 表計算ファイルの名前および保存場所を入力します。
  - **[Format]** : XML またはマイクロソフトの Excel フォーマットの出力ファイルを選択します。
  - **[Levels]** : レポートで表示される階層のレベル数を設定します。
  - **[Reports to Generate]** : Pblock プロパティ統計からの情報タイプを定義します。
2. エクスポート ファイルのオプションを設定します。
  3. **[OK]** をクリックします。

## ロジックのエクスポート

PlanAhead にはデザイン ロジックを解析するための表示方法が複数あります。

- [Netlist] および [Hierarchy] ビューには、ナビゲート可能な階層ツリー形式の表示が含まれます。
- [Schematic] ビューでは、選択したロジックを展開したり階層表示にできます。
- [Device] ビューは、デバイス、配置ロジック オブジェクトおよび接続をグラフィカルに表示します。ビュー同士はすべて連動しているので、該当する情報を素早く見つけることができます。
- [Implemented Design] ビューには、その他の解析機能が含まれます。この機能は、配置およびタイミング結果がインポートされた後に使用した方が適しています。詳細は、[第 10 章「インプリメンテーション結果の解析」](#)を参照してください。

次のセクションでは、PlanAhead で使用できるロジック展開方法について説明しています。

### ロジック階層の表示

[Netlist] ビューには、RTL のロジック階層が表示されます。ネットリスト内のロジック インスタンスまたはネットは、展開して選択できます。別のビューでロジック オブジェクトを選択すると、[Netlist] ビューは自動的に展開され、そのロジック オブジェクトを表示します。詳細は、[第 4 章の「\[Netlist\] ビュー」](#)を参照してください。

インスタンスまたはネットの情報は、[Instance Properties] または [Net Properties] ビューに表示されます。

[Hierarchy] ビューには、RTL ロジック階層がグラフィカルに表示されます。各モジュールの大きさは、その他のモジュールに対して相対的な比率で表示されるので、それを基に選択したロジック モジュールのサイズや位置が決定できます。詳細は、[第 4 章の「\[Hierarchy\] ビュー」](#)を参照してください。

### ロジック回路図の表示

[Schematic] ビューでは、選択したロジックを展開したり表示できます。[Schematic] ビューを表示する前には、少なくとも 1 つのロジック オブジェクトを選択する必要があります。どのロジックでも選択して [Schematic] ビューで表示できます。

タイミング パスをグループにしておくと、そのパスに含まれるインスタンスがすべて表示できます。これにより、タイミング クリティカルなモジュールが含まれる箇所を視覚的に表示できるので、フロアプランしやすくなります。

[Schematic] ビューを開くには、次の手順に従います。

1. 1 つまたは複数のインスタンス、ネット、タイミング パスを選択します。
2. ツールバーかポップアップ メニューで [Schematic] コマンドをクリックするか、F4 キーを押します。

[Schematic] ビューが開き、選択したロジック オブジェクトが表示されます。

3. ピン、インスタンス、階層モジュールのいずれかのロジックを選択して展開します。

詳細は、[第 4 章の「\[Schematic\] ビュー」](#)を参照してください。

## 階層接続の解析

PlanAhead には、さまざまなロジック モジュール間の接続をビジュアルに確認できる機能を含む、ロジック階層を確認する機能があります。

場合によっては、最上位レベルのフロアプランを作成して、次に示すように接続フローをビジュアルに確認したほうが便利ことがあります。

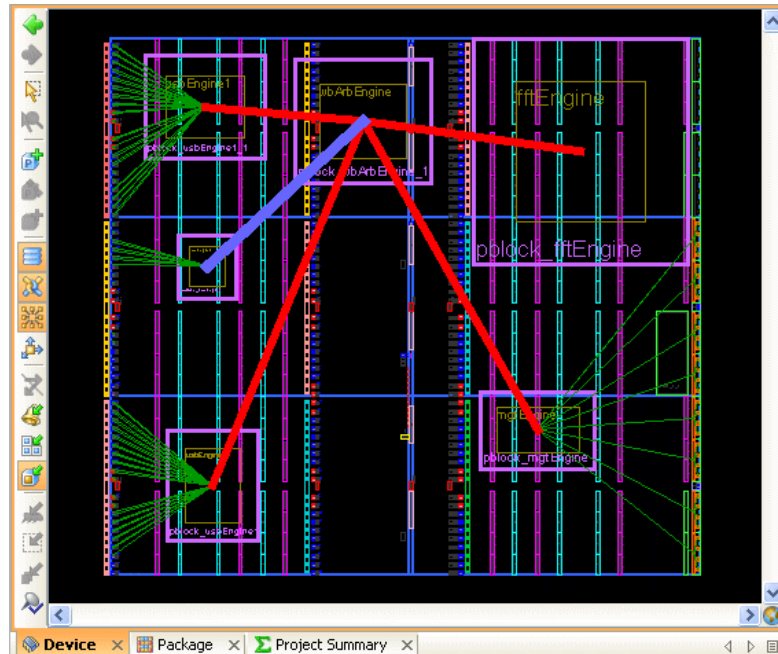


図 7-9：最上位デザイン接続の表示

バンドル ネットは、モジュール間で接続が激しいことを示します。バンドル ネットを選択すると、[Net Bundle Properties] にネット情報が表示されます。

この色と太さは、ネットに含まれる信号数によって設定できます。[Tools] → [Options] をクリックし [PlanAhead Options] ダイアログ ボックスを開き、[General] を選択します。ネット バンドルを表示するオプションには、[Mesh] または [Tree] パターンがあります。

階層を移動し、大きな最上位レベルのインスタンスのサブモジュールを作成して、さらに細かく表示することもできます。

最上位レベルのフロアプランは I/O ピン配置コンフィギュレーションの質を示すもので、煩雑になりかねない配線の問題を識別するのに役立ちます。

各モジュールのリソース統計およびクロック要件も、潜在的な配置問題を知るために確認できます。

詳細については、『フロアプラン手法ガイド』(UG633) を参照してください。

## [Find] コマンドを使用したオブジェクトの検索

PlanAhead では、[Find] コマンドを使用してインスタンスまたはネットを検索できます。[Find] コマンドを実行するには、次の手順に従います。

1. [Edit] → [Find] または [Find] ボタンをクリックします。



図 7-10 : [Find] ボタン

次の図のダイアログ ボックスが表示されます。

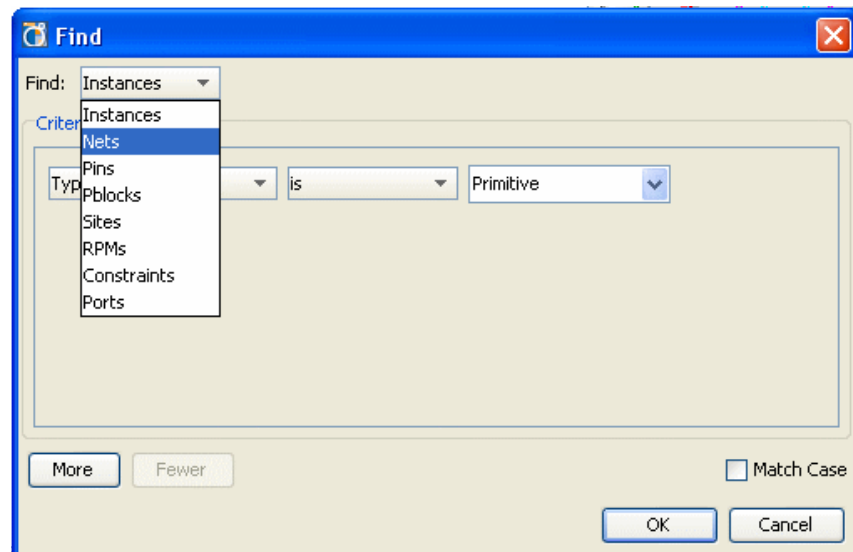


図 7-11 : [Find] ダイアログ ボックス

2. 編集可能なフィールドを確認し、必要があれば変更します。
  - [Find] : 検索するオブジェクトのタイプ ([Instances]、[Nets]、[Pblocks] など) を選択します。
  - [Criteria] : 選択したオブジェクトのタイプに合った検索パラメータが表示されます。
    - ◆ 最初のフィールドでは、[Name]、[Status]、[Type]、[Parent Pblock]、[Module]、[Primitive count] などから、検索する属性を指定します。
    - ◆ 2 番目のフィールドでは、[matches]、[doesn't match]、[contains]、[doesn't contain] から、検索のブール型を指定します。
    - ◆ 3 番目のフィールドには、カテゴリを選択するか検索文字列を入力します。検索文字列にはアスタリスク (\*) を使用できます。
3. オプションで、検索条件を追加したり、異なるタイプのオブジェクトを同時に検索するための条件を指定できます。

[More] ボタンをクリックすると、ダイアログ ボックスに検索条件の行が追加されます。[AND] または [OR] を選択し、条件を指定します。204 ページの図 7-12 では、[AND] が指定されています。



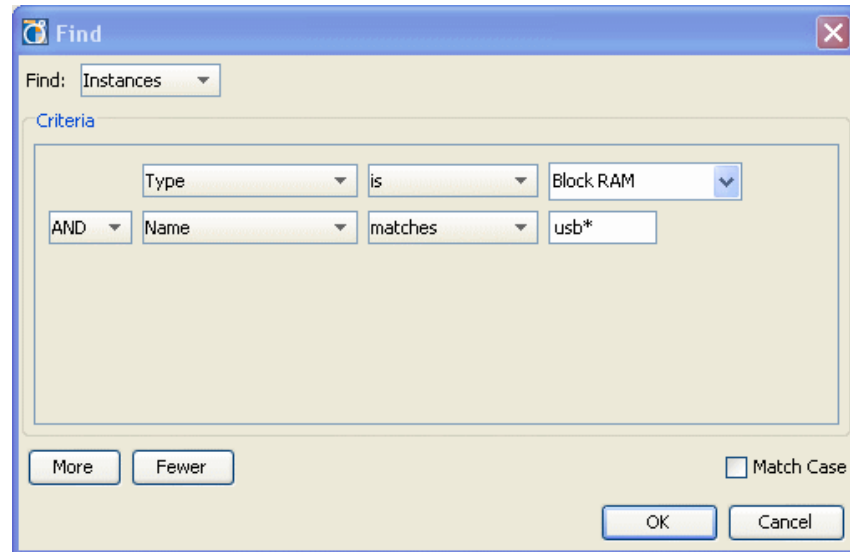


図 7-12：検索条件を絞り込んだオブジェクトの検索

4. 次のように [OR] を使用すると、複数のオブジェクトを同時に検索できます。

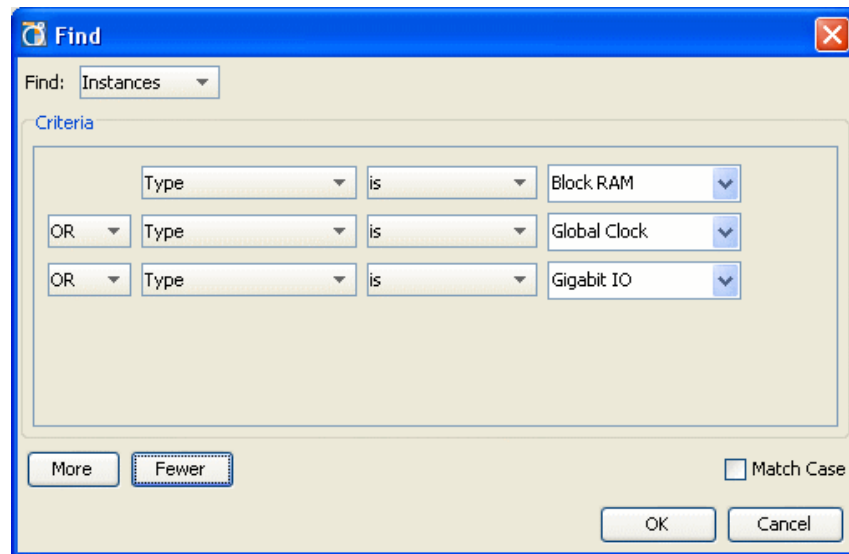


図 7-13：複数のオブジェクト タイプの同時検索

5. [Fewer] ボタンをクリックすると、検索条件の行が削除されます。  
6. [OK] をクリックすると、検索が実行されます。

条件を満たした結果すべてが、[Find Results] ビューに表示されます。

## [Find Results] ビューの使用

[OK] をクリックして検索を実行すると、指定した検索条件に一致するオブジェクトが [Find Results] ビューに表示されます。次の図に、[Find Results] ビューを示します。

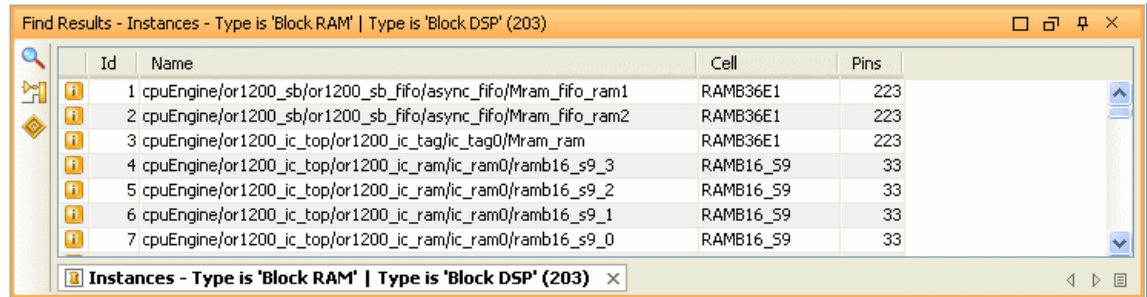


図 7-14 : [Find Results] ビュー

[Find] コマンドを実行するたびに、[Find Results] ビューに新しいタブが追加されます。タブには検索したオブジェクトとその検出数が表示されます。

オブジェクトは、[Find Results] ビューから直接選択できます。検出されたオブジェクトのリストからオブジェクトを選択すると、ほかの PlanAhead のビューでもそれが選択されます。Shift キーまたは Ctrl キーを使用すると、複数のエレメントを選択できます。その他のコマンドは、ポップアップメニューを使用すると実行できます。

[Find Results] ビューのリストは、列ヘッダをクリックすると並びかえられます。最初に並べ替えた後で Ctrl キーを押して別の列ヘッダをクリックすると、次にその列で並べ替えられます。

検索結果名の隣の X マークをクリックすると [Find Results] ビューが閉じます。

## ChipScope デバッグ コアの挿入

PlanAhead では ChipScope の ILA および ICON デバッグ コアを [Netlist Design] に挿入できます。デバッグ ネットを選択すると、Set Up ChipScope ウィザードを使用してコアをコンフィギュレーションできます。

コアは、ネットリスト反復機能を使用して保持されて追加されます。ChipScope ネットリスト オーバーレイは、新しいネットリストが追加されてプロジェクトで開かれると、選択したデバッグ ネットに再接続されます。矛盾があった場合は、警告メッセージが表示されます。

デバッグ ロジックの挿入と ChipScope を使用したデバッグについては、第 12 章の「ChipScope を使用したデザインのデバッグ」を参照してください。

## タイミング制約の定義

PlanAhead には、デザインのタイミング制約を定義および変更する機能があります。

次のセクションでは、タイミング制約オプションの使用方法について説明します。

- 「テキスト エディタでの制約の編集」
- 「[Timing Constraints] ビューの使用」
- 「タイミング制約の値の変更」
- 「タイミング制約の削除」

### テキスト エディタでの制約の編集

PlanAhead では、制約が定義されている UCF テキスト ファイルから制約を直接表示および変更できます。これにより、制約を切り取って貼り付けたり、既存の制約の値を変更しやすくなります。ただし、制約を正しい制約セットとターゲット UCF ファイルに書き込まないと、予測通りに制約を適用できませんので、ご注意ください。

UCF 制約ファイルをテキスト エディタで開くには、[Sources] ビューで該当する制約ファイルをダブルクリックします。次の図は、テキスト エディタでテキストを表示した例です。複数のファイルを別々のテキスト エディタ ビューで開くこともできます。

テキスト エディタで使用可能なコマンドおよび機能については、第 5 章の「RTL エディタの使用」を参照してください。

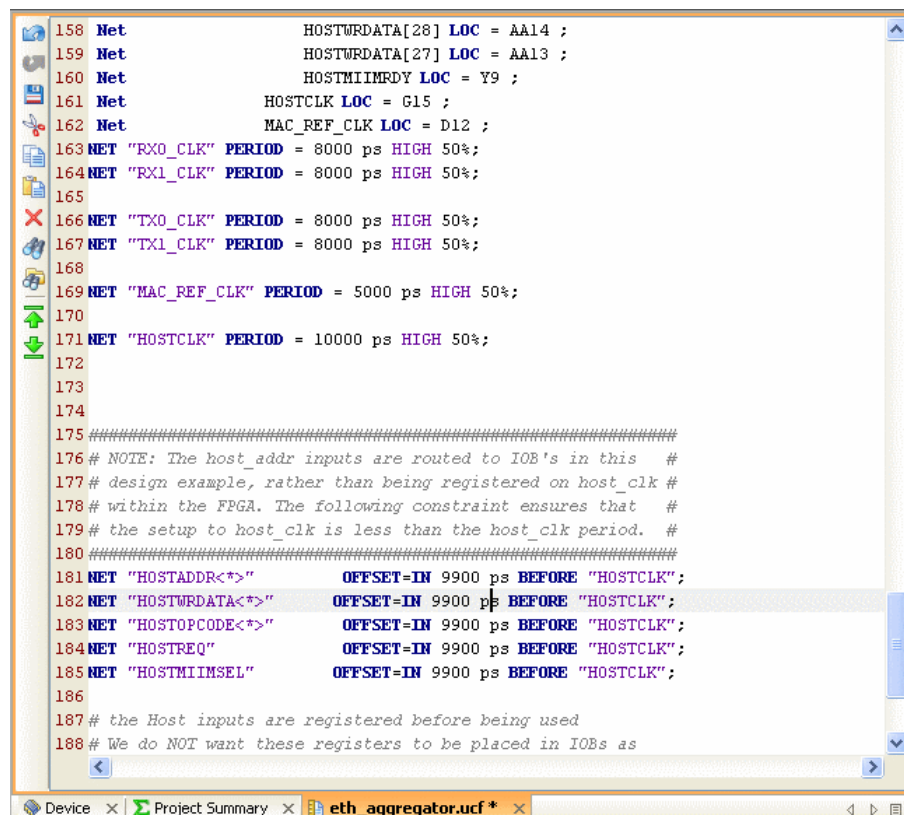


図 7-15：テキスト エディタ

## ザイリンクス提供の UCF テンプレートの使用

ISE ソフトウェアには、よく使用される UCF 言語テンプレートが含まれます。テンプレート ライブラリにアクセスするには、テキスト エディタで [Insert Template] コマンドを実行し、UCF フォルダを展開します。

UCF 言語テンプレートをインスタンスシートするには、次の手順に従います。

1. テキスト ファイルのテンプレートを挿入する箇所でクリックします。
2. [Insert Template] コマンドを使用し、UCF テンプレートを選択します。
3. [OK] をクリックすると、テキストがカーソルを置いた位置に挿入されます。
4. デフォルトの制約値をデザイン特有の名前や情報に置き換えます。

次の図は、ザイリンクスの提供する UCF 言語テンプレートを示しています。

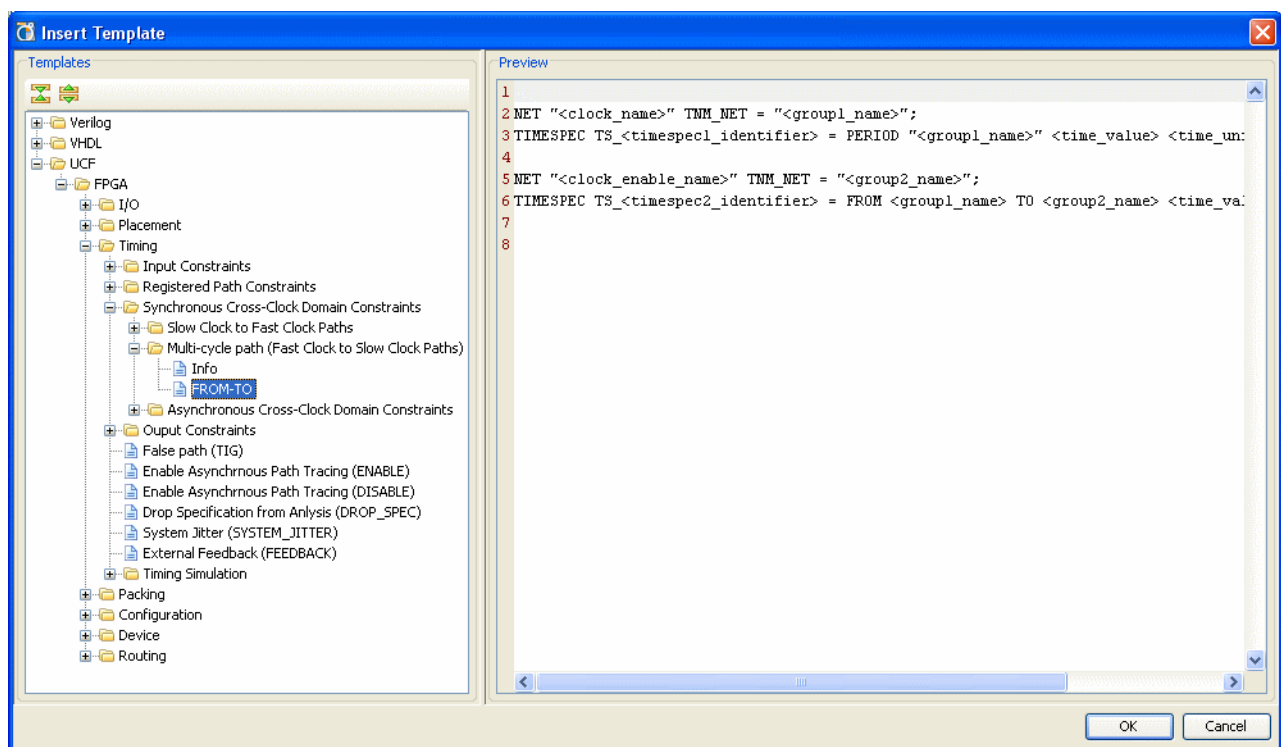


図 7-16 : ザイリンクス提供の UCF テンプレート

## [Timing Constraints] ビューの使用

[Timing Constraints] ビューを使用すると、デザインのタイミング制約を表示、編集、作成できます。

PlanAhead には、デザインで定義されているタイミング制約を表示するビューがあります。制約は制約セット別に表示され、同じプロジェクトで開いているデザイン間で異なります。このため、制約、デバイス、I/O ピンなどをいろいろと試すことができます。

定義済みの値を変更したり、新しい制約を作成するには、[Timing Constraints] ビューを使用します。デザインで定義されているタイミング制約を表示するには、[Timing Constraints] ビューのタブをクリックするか、[Window] → [Timing Constraints] をクリックします。

[Timing Constraints] ビューは208 ページの図 7-17のように表示されます。

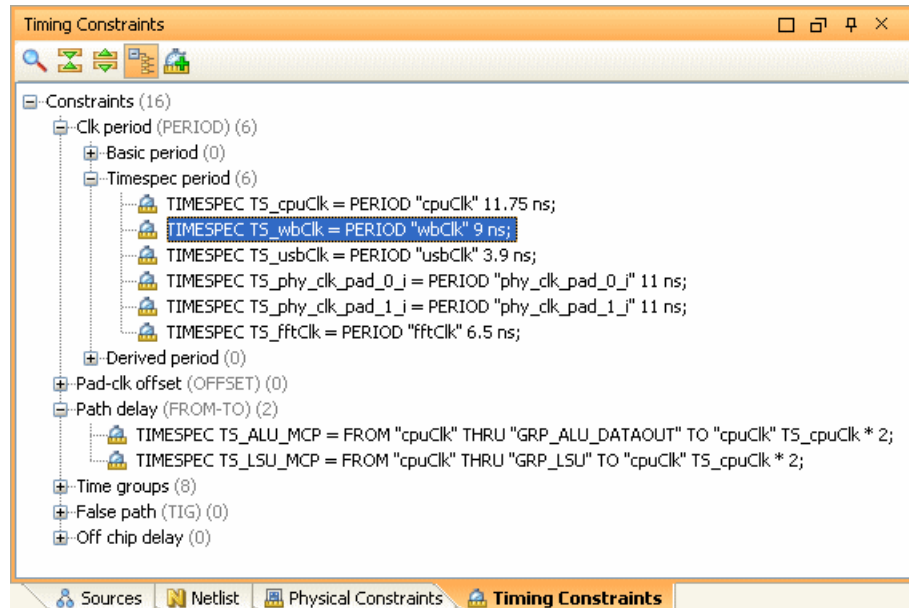


図 7-17 : [Timing Constraints] ビュー

制約は、タイプ別で表示できるほか、リストとしても表示できます。

図 7-17 で示すように、カテゴリ別に並べ替えられていると、制約タイプのレベルを展開または非展開できます。各タイプの制約の数は、括弧に示されています。

すべてのタイミング制約のリストを表示するには、[Timing Constraints] ウィンドウで [Group by Type] ボタンをクリックします。



図 7-18 : [Group by Type] ボタン

タイミング制約がリストとして表示される場合は、次のようになります。

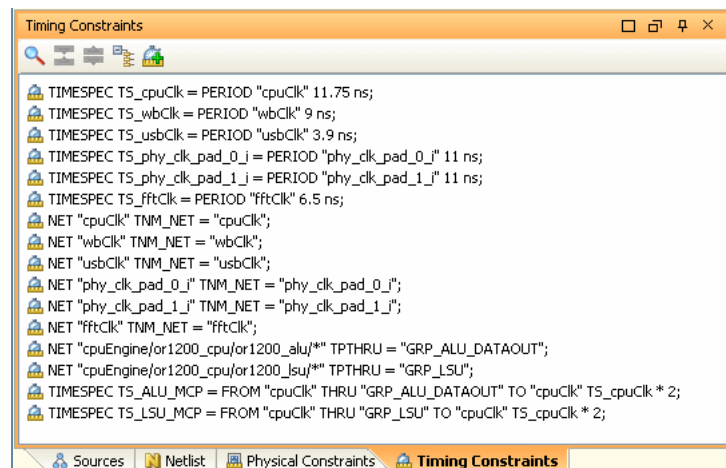


図 7-19 : リストごとにグループ化されたタイミング制約

## タイミング制約の値の変更

ほとんどの制約の値は、制約を選択すると [Constraints Properties] ビューで変更できます。変更可能な値がこのビューに表示されます。次の図は、[Constraints Properties] ビューを示しています。

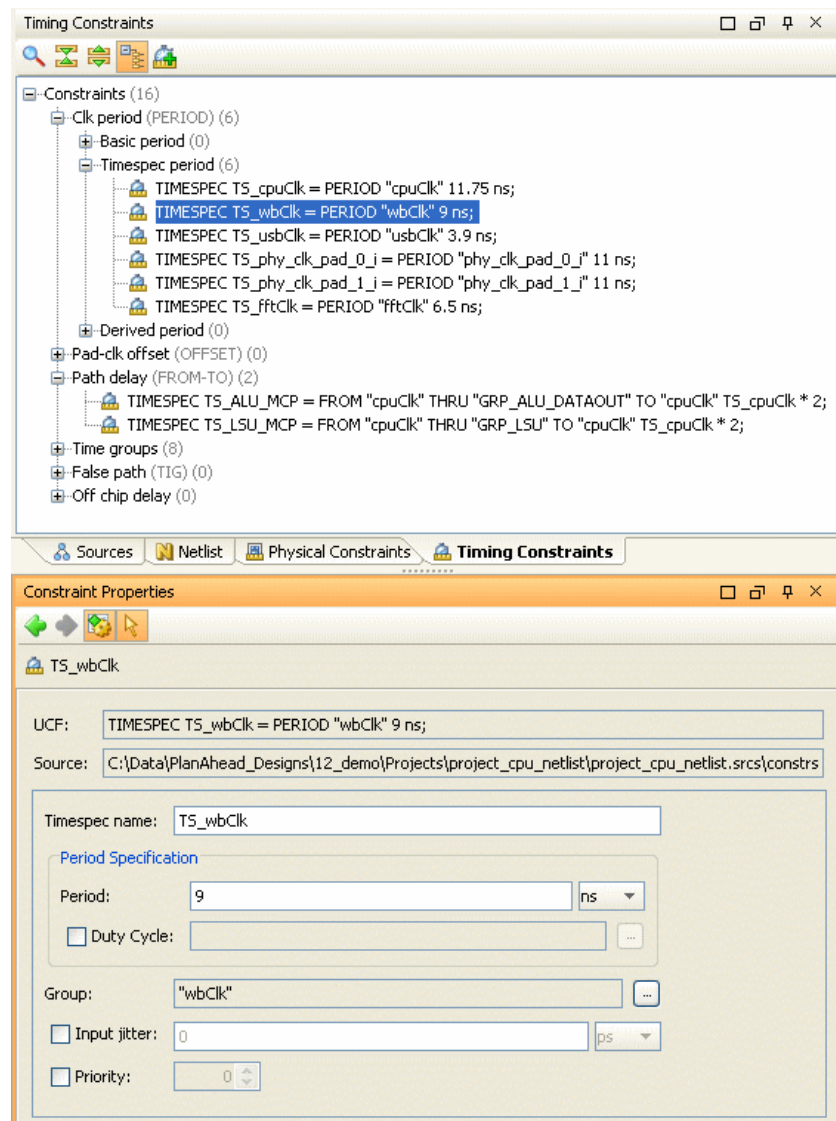


図 7-20 : タイミング制約のプロパティの変更

各制約タイプでビューの内容が異なるため、ここでは全部は説明しません。制約の値を定義するときは、正しい構文を使用してください。制約および制約の構文の詳細は、ザイリンクスの『制約ガイド』(UG625) を参照してください。

変更を加えた後に、[Apply] をクリックして変更を反映させるか、または [Cancel] をクリックして変更を取り消します。

**メモ :** [Apply] ボタンをクリックしないと、制約の値は変更されません。

## 新しいタイミング制約の追加

新しいタイミング制約を追加するには、次の手順に従います。

1. [Timing Constraints] ビューの [New Timing Constraint] ボタンをクリックします。



図 7-21 : [New Timing Constraint] ボタン

次の図のダイアログ ボックスが表示されます。

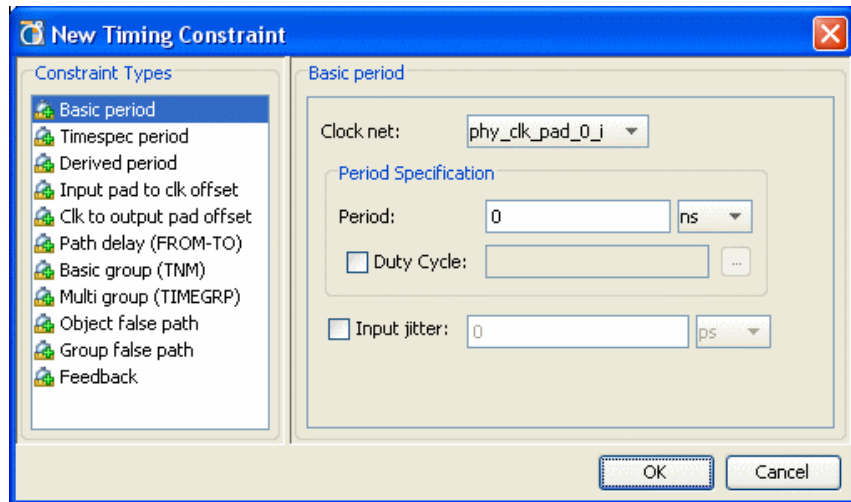


図 7-22 : [New Timing Constraint] ダイアログ ボックス

2. [Constraint Types] で作成する制約の種類を選択します。  
選択すると、右側に対応するフィールドが表示されます。
3. 正しい構文を使用して制約の値を定義します。制約および制約の構文の詳細は、ザイリンクスの『制約ガイド』(UG625) を参照してください。
4. [OK] をクリックして変更を適用します。

## タイミング制約の削除

デザインから制約を削除するには、制約または制約グループを [Timing Constraints] ビューで選択して、ポップアップ メニューで [Delete] をクリックします。制約を削除することを確認するダイアログ ボックスが表示されます。削除する場合は、[OK] をクリックします。

**メモ：** タイミング制約は相互依存しているため、1 つの制約を削除すると関連する制約がいくつか削除される可能性があります。

**メモ：** タイミング制約の追加、編集、および削除は、やり直すことができません。



## タイミング解析の実行

デザインのタイミング パフォーマンスに関する情報は、さまざまなインプリメンテーション段階で出力されます。インプリメンテーションの段階によって、使用できる情報にパス遅延の早期概算が含まれ、インプリメンテーション結果を正確に解析できます。

次のセクションでは、PlanAhead でタイミング解析を実行する方法について説明します。

- 「PlanAhead のタイミング解析」
- 「ネットリスト デザインのタイミング解析オプション」
- 「インプリメント済みデザインのタイミング解析オプション」
- 「タイミング解析結果のレポート」
- 「タイミング結果の解析」
- 「パスの詳細の表示」
- 「スラック ヒストグラムのオプション設定」
- 「タイミング ヒストグラム結果の解析」

### PlanAhead のタイミング解析

PlanAhead のタイミング解析はデザイン作成の段階に応じてさまざまなモードで使用できます。パスの遅延を早い段階で予測することでフロアプランを容易にするだけでなく、詳細なパス トレース、デバッグ、および制約の割り当てにも役立ちます。

割り当てられた制約が Pblock や配置制約のように物理的であるほど、解析結果も正確になります。

### ネットリスト デザインのタイミング解析オプション

デザインのネットリストが作成されると、デザインのタイミングを確認する複数のオプションが使用できるようになります。ネットリスト デザインのタイミング解析は、デザインをインプリメンテーションする前にパスに制約が付いているかどうかを確認するために役立ちます。また、タイミング概算を使用して適切なフロアプランを作成することもできます。ネットリスト デザインでタイミング解析を実行するオプションには、次のようなものがあります。

- 「タイミング解析結果のレポート」
- 「スラック ヒストグラムの使用」

### インプリメント済みデザインのタイミング解析オプション

デザインがインプリメントされると、デザインのタイミングを確認する複数のオプションが使用できるようになります。インプリメントされたデザインのタイミング解析は、配置済みデザインのタイミング パフォーマンスを調べるのに役立ちます。インプリメント済みデザインでタイミング解析を実行するオプションには、次のようなものがあります。

- 「タイミング解析結果のレポート」
- 「タイミング ヒストグラム結果の解析」

次のセクションでは、タイミング解析オプションについて説明します。

## タイミング解析結果のレポート

1. タイミング解析は、次のいずれかの方法で実行できます。

- ◆ [Tools] → [Report Timing]

Flow Navigator :

- ◆ [Netlist Design] → [Report Timing]
- ◆ [Implemented Design] → [Report Timing]

次の図は、タイミング レポートを表示させる [Netlist Design] オプションを示しています。

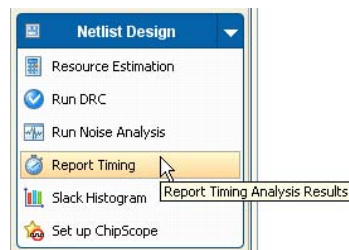


図 7-23 : [Report Timing] オプション

次の図の [Report Timing] ダイアログ ボックスが表示されます。このダイアログ ボックスからは、生成されるタイミング レポートをカスタマイズできます。

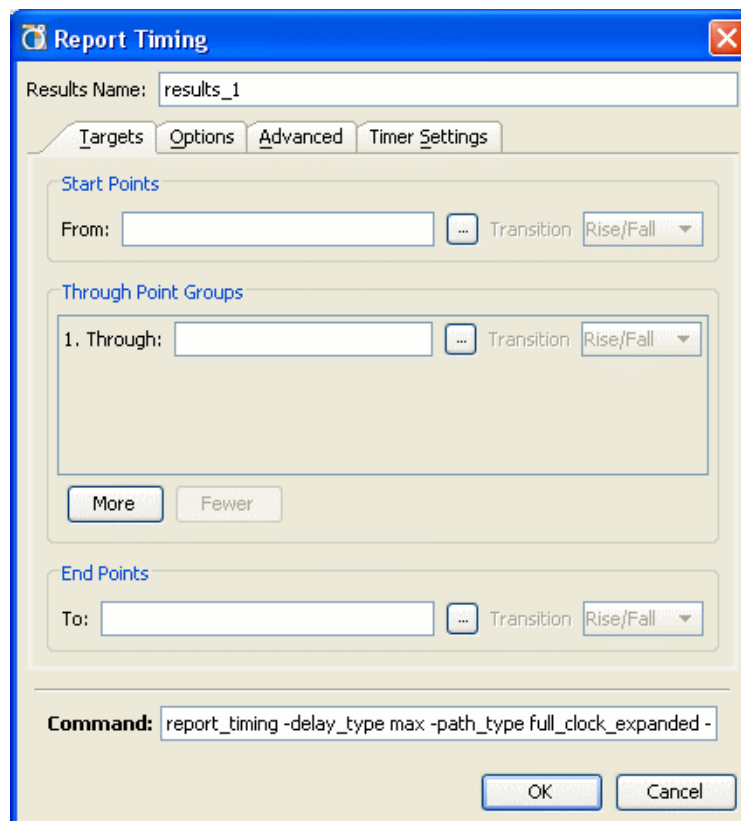


図 7-24 : [Report Timing] ダイアログ ボックス

2. [OK] をクリックすると、デフォルト値でタイミング解析が実行されます。

[Report Timing] ダイアログ ボックスのオプションは次のとおりです。

- [Results Name] : タイミング レポートの名前を指定します。
  - [Targets] タブ : スタート ポイント、スルー ポイント、エンド ポイントに基づいてレポートされるパスをフィルタできます。
  - [Options] タブ : レポートの生成に使用されるオプションを指定します。このタブのオプションについては、後で説明します。
  - [Advanced] タブ : タイミング レポートの生成と分類に使用されるアドバンス オプションを指定します。このタブのオプションについては、後で説明します。
  - [Timer Settings] タブ : タイミング レポートの生成に使用されるタイミング エンジンと遅延オプションを指定します。このタブのオプションについては、後で説明します。
  - [Command] : [Report Timing] オプションで生成される Tcl コマンドのテキストが含まれます。
3. タイミング レポートに最適なターゲットを表示して選択します。

### [Targets] タブのオプション

[Report Timing] ダイアログ ボックスの [Target] タブでは、タイミング レポートに含めるパスのスタートポイント、スルー ポイントおよびエンドポイントを指定できます。

デフォルトではこのフィールドは空白で、指定したパスの最大数まですべてのポイントがレポートに含まれるようになっています。フィールドに値を追加すると、該当するパスのみに焦点をあてたレポートが生成できます。次の図は、[Targets] タブを示しています。

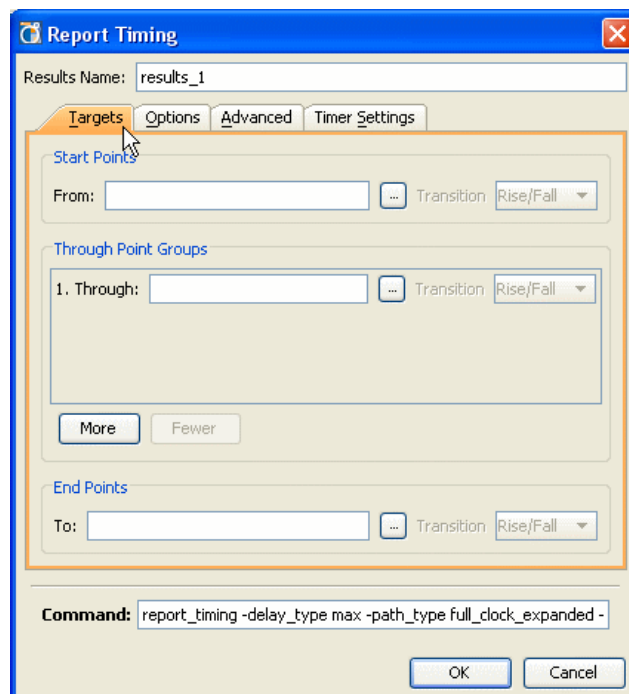


図 7-25 : [Report Timing] ダイアログ ボックスの [Targets] タブ

このタブには、次のフィールドが含まれます。

- [Start Points] : パスの解析を開始するための同期エレメントを選択します。[Start Point] フィールドには、次のオプションが含まれます。

- ◆ [From] : スタート ポイントのフィルタに使用する式を含めます。このフィールドにテキストを入力すると、フィルタを手動で作成できるほか、[Choose Start Points] ダイアログ ボックスで作成されたフィルタ テキストを表示できます。
- ◆ [Choose Start Points] : スタート ポイントのフィルタに使用する式を作成するためのダイアログ ボックスを開きます。このダイアログ ボックスについては、後で詳細に説明します。
- ◆ [Transition] : スタート ポイントの同期エレメントのアクティブ クロック エッジに従ってパスをさらにフィルタします。このフィールドには、次の値が含まれます。
  - [Rise] : スタート ポイントの同期エレメントにフィルタをかけて、立ち上がり (正の) クロック エッジでトリガされるもののみを表示します。
  - [Fall] : スタート ポイントの同期エレメントにフィルタをかけて、立ち下がり (負の) クロック エッジでトリガされるもののみを表示します。
  - [Rise/Fall] : スタート ポイントの同期エレメントにフィルタをかけて、立ち上がり (正) と立ち下がり (負) クロック エッジの両方でトリガされるもののみを表示します。
- [Through Point Groups] : ポイントのセットを通るパスを入力します。次のフィールドが使用できます。
  - ◆ [Through] : パスを通るポイントに基づいたパスのフィルタに使用する記述を含めます。
  - ◆ [Choose Through Points] : スルー ポイントに基づいてパスをフィルタする式を作成するためのダイアログ ボックスを開きます。
  - ◆ [Transition] : スルー ポイントの同期エレメントのアクティブ クロック エッジに従ってパスをさらにフィルタします。このフィールドには、次の値が含まれます。
    - [Rise] : スルー ポイントの同期エレメントにフィルタをかけて、立ち上がり (正の) クロック エッジでトリガされるもののみを表示します。
    - [Fall] : スルー ポイントの同期エレメントにフィルタをかけて、立ち下がり (負の) クロック エッジでトリガされるもののみを表示します。
    - [Rise/Fall] : スルー ポイントの同期エレメントにフィルタをかけて、立ち上がり (正) と立ち下がり (負) クロック エッジの両方でトリガされるもののみを表示します。
  - ◆ [More] : スルー ポイント フィルタの記述を追加できます。
  - ◆ [Fewer] : 既存のスルー ポイント フィルタの記述を削除できます。
- [End Points] : 同期エレメントのセットで終了するパスを入力します。このセクションには、次のフィールドが含まれます。
- [Choose End Points] : エンド ポイントに基づいてパスをフィルタする記述を作成するためのダイアログ ボックスを開きます。
  - ◆ [Transition] : スタート ポイントの同期エレメントのアクティブ クロック エッジに従ってパスをさらにフィルタします。このフィールドには、次の値が含まれます。
    - [Rise] : スタート ポイントの同期エレメントにフィルタをかけて、立ち上がり (正の) クロック エッジでトリガされるもののみを表示します。
    - [Fall] : スタート ポイントの同期エレメントにフィルタをかけて、立ち下がり (負の) クロック エッジでトリガされるもののみを表示します。
    - [Rise/Fall] : スタート ポイントの同期エレメントにフィルタをかけて、立ち上がり (正) と立ち下がり (負) クロック エッジの両方でトリガされるもののみを表示します。

## [Choose Points] ダイアログ ボックス

[Choose Points] ダイアログ ボックスでは、エレメント タイプおよびパターン的一致する文字列に基づいてタイミング解析を必要とするデザイン エレメントを選択でき、スタート ポイント、スルー ポイント、エンド ポイントのフィルタ文字列を入力できます。次の図は、[Choose Start Points] ダイアログ ボックスを示しています。

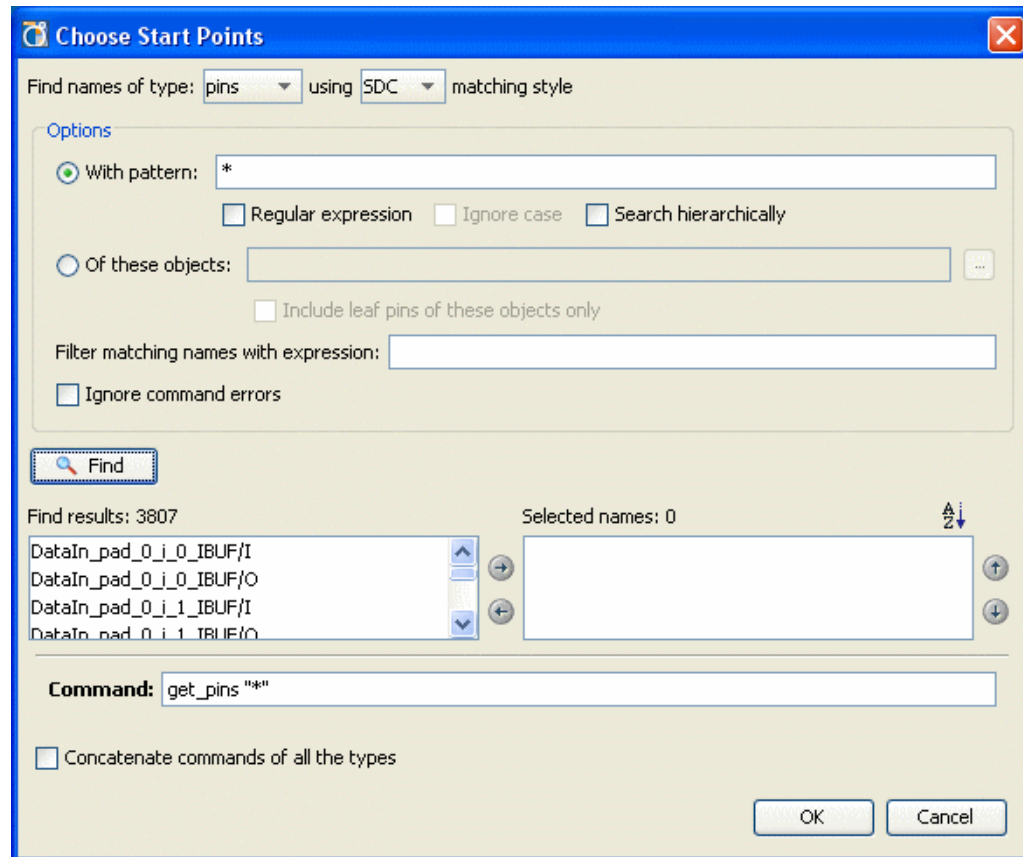


図 7-26 : [Choose Start Points] ダイアログ ボックス

次のようなオプションがあります。

- [Find names of type] : デザイン エレメントのタイプに基づいてポイントをフィルタします。このフィールドには、次のオプションがあります。
  - ◆ [Cells] : セル名に基づいてデザイン エレメントを選択します。
  - ◆ [Clocks] : クロック名に基づいてデザイン エレメントを選択します。
  - ◆ [Pins] : ピン名に基づいてデザイン エレメントを選択します。
  - ◆ [Ports] : ポート名に基づいてデザイン エレメントを選択します。
- [matching style] : デザイン エレメントのフィルタに使用されたパターン マッチングのタイプを選択します。このフィールドには、次のオプションがあります。
  - ◆ [UCF] : パターン マッチング用の UCF ベースの構文を選択します。
  - ◆ [SDC] : パターン マッチング用の Synopsys<sup>AE</sup> デザイン制約 (SDC) ベースの構文を選択します。

- [With pattern] : デザイン エレメントのフィルタに使用するパターン形式を指定します。このフィールドは、次のオプションを使用して変更できます。
    - ◆ [Regular expression] : 検索文字列に正規表現の構文を使用することを指定します。
    - ◆ [Ignore case] : 大文字/小文字に関係なく検索文字列を指定できます。
    - ◆ [Search hierarchically] : SDC パターン マッチングをオンにした場合に使用できるオプションで、SDC ベースの検索パターンを階層の全レベルに適用することを指定します。
  - [of these objects] : ダイアログ ボックスの選択を基にオブジェクトを選択します。このフィールドは、次のオプションを使用して変更できます。
    - ◆ [Include leaf pins of these object only] : 検索文字列がピン コンポーネントにのみ一致し、階層バウンダリを超えたピンには一致しないことを指定する SDC 構文オプションです。
    - ◆ [Select cells or net] : SDC 構文のオプションで、ボタンをクリックすると、反復検索表現を生成できる別の [Select Objects] ダイアログ ボックスが開きます。
    - ◆ [Filter matching name with expression] : -filter コマンドを指定する SDC 構文のオプションです。
  - [Ignore command errors] : Tcl コマンドからタイミング レポートを生成中に表示される警告メッセージを表示されないようにします。
  - [Find results] : オブジェクト検索の結果が含まれます。
  - [Selected name] : ポイントに選択された検索結果オブジェクトのサブセットが含まれます。
  - [Command] : 選択したオブジェクトを記述するために使用された Tcl コマンドが含まれます。
4. タイミング レポートに最適なオプションを選択します。

#### [Options] タブのオプション

[Report Timing] ダイアログ ボックスの [Options] タブでは、生成されるタイミング レポートのタイプとパス数が指定できます。217 ページの図 7-27 は [Statistics] タブを示しています。

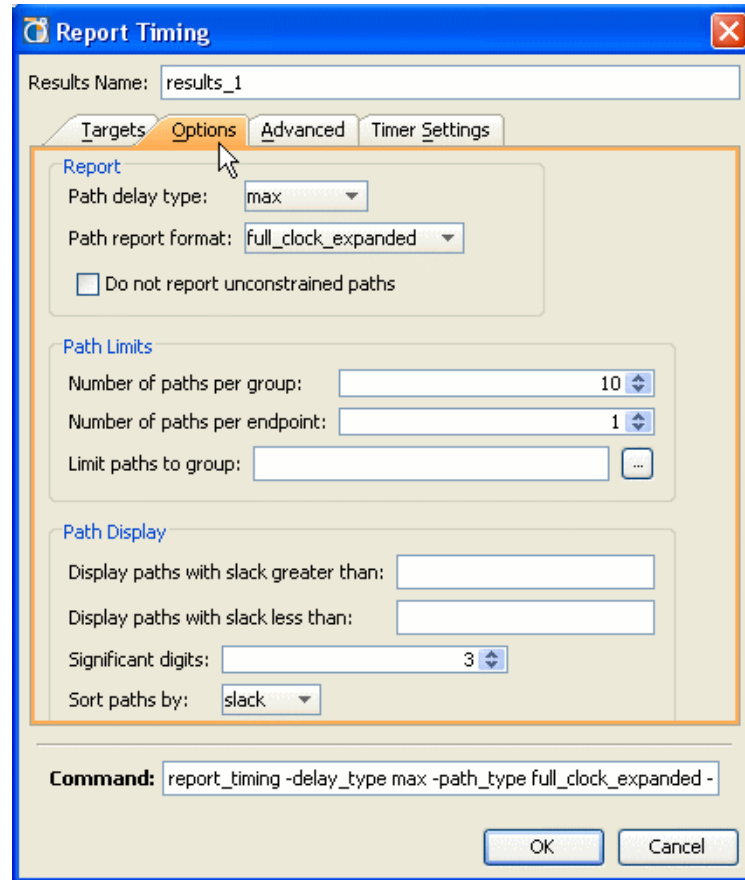


図 7-27 : [Report Timing] ダイアログ ボックスの [Options] タブ

このタブには、次のフィールドが含まれます。

- [Path delay type] : タイミング レポート パスの解析に使用される遅延タイプを指定します。このフィールドには、次のオプションが含まれます。
  - ◆ [max] : セットアップおよびホールド解析中にクロックおよびデータ パスの最大遅延を使用します。
  - ◆ [min] : セットアップおよびホールド解析中にクロックおよびデータ パスの最小遅延を使用します。
  - ◆ [min\_max] : セットアップおよびホールド解析中にクロックおよびデータ パスの最小および最大遅延を組み合わせ使用します。
- [Path report format] : 生成するタイミング レポートのタイプを指定します。ほとんどの場合、GUI のタイミング レポートと出力されるタイミング レポートのフォーマットは、選択したオプションによって異なります。このフィールドには、次の値が含まれます。
  - ◆ [end] : エンドポイント レポートに各パスのスラックおよびエンドポイント情報のみが含まれるようになります。
  - ◆ [full] : データ パスの完全パスの詳細を含みますが、クロック パスの詳細は含まれません。
  - ◆ [full\_clock] : データ パスの完全パスの詳細とクロック パスのサマリが含まれます。
  - ◆ [full\_clock\_expanded] : データ パスの完全パスの詳細とクロック パスの詳細が含まれます。
  - ◆ [short] : データ パスのサマリは含まれますが、クロック パスの詳細は含まれません。



- ◆ [summary] : デザインのタイミング パフォーマンスに関するサマリ情報のみが含まれます。
  - [Do not report unconstrained path] : 制約の付いたパスのみがレポートされるようになります。
  - [Number of paths per group] : 各グループでレポートされるパスの数を指定します。
  - [Number of paths per endpoint] : 各エンドポイントでレポートされるタイミング パスの最大数を指定します。
  - [Limit paths to group] : 特定グループまたはグループのセットに対してレポートされるパスを制限します。グループ識別子は直接入力するか [Choose Path Groups] ダイアログ ボックスから入力します。
  - [Display paths with slack greater than] : 最小スラック値に基づいて表示されたパスをフィルタします。この値よりもスラック値の大きいパスのみが表示されます。
  - [Display paths with slack less than] : 最大スラック値に基づいて表示されたパスをフィルタします。この値よりもスラック値の小さいパスのみが表示されます。
  - [Significant digits] : タイミング レポートの遅延値の有効数字を指定します。デフォルトの値は 3 です。
  - [Sort paths by] : タイミング レポートの分類に使用されるパラメータを選択します。このフィールドには、次の値が含まれます。
    - ◆ [group] : グループ名に基づいてタイミング レポートを分類します。
    - ◆ [slack] : パス スラックに基づいてタイミング レポートを分類します。
5. タイミング レポートに必要なアドバンス オプションを選択します。

### [Advanced] タブのオプション

[Report Timing] ダイアログ ボックスの [Advanced] タブでは、ピンおよびネットの詳細、レポートの出力ディレクトリ、およびコマンド エラー処理などが指定できます。次の図は、[Advanced] タブを示しています。

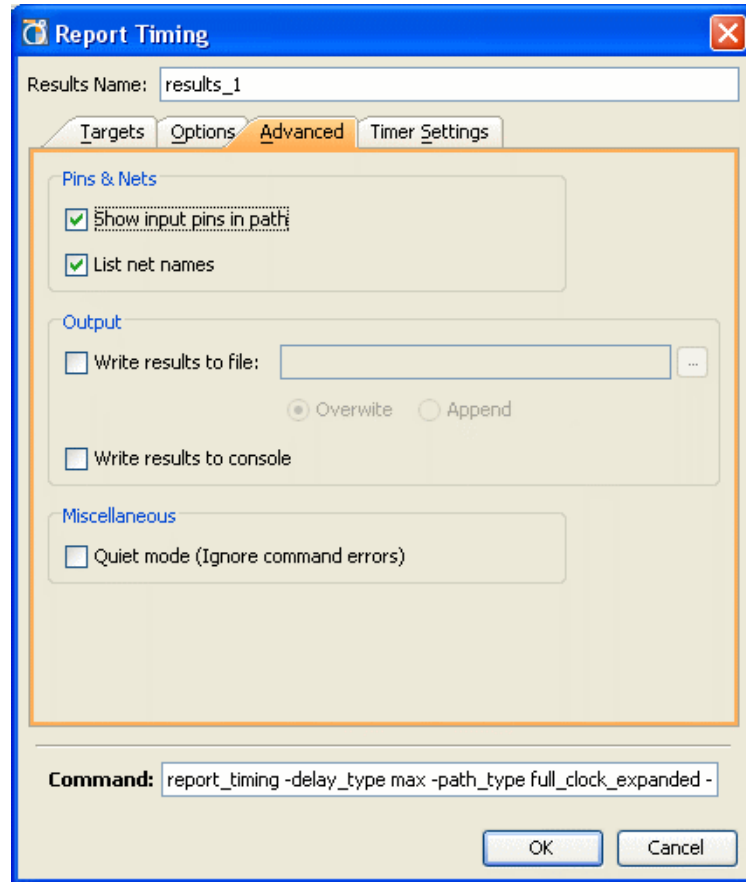


図 7-28 : [Report Timing] ダイアログ ボックスの [Advanced] タブ

[Advanced] タブには、次のオプションが含まれます。

- [Show input pins in path] : 各パス エLEMENTのピンを表示します。
- [List net names] : 各パス エLEMENTのネット接続名をリストします。
- [Write results to file] : タイミング レポートの結果を指定したファイルに書き出します。このフィールドには、レポートの書き込み方法を指定するオプションもあります。これらのオプションは、次のとおりです。
  - ◆ [Overwrite] : タイミング レポートの詳細を含んだ指定ファイルを上書きします。
  - ◆ [Append] : タイミング レポートの詳細を指定ファイルに追加します。
- [Quiet mode] : コマンド オプションのエラーに関するタイミング レポートのメッセージを無視します。

5. タイミング レポートに最適なタイマ設定を選択します。

## [Timer Settings] タブのオプション

[Report Timing] ダイアログ ボックスの [Timer Settings] タブでは、タイミング レポートを生成する際にタイミング エンジンで使用する遅延パラメータを指定できます。次の図は、[Timer Settings] タブを示しています。

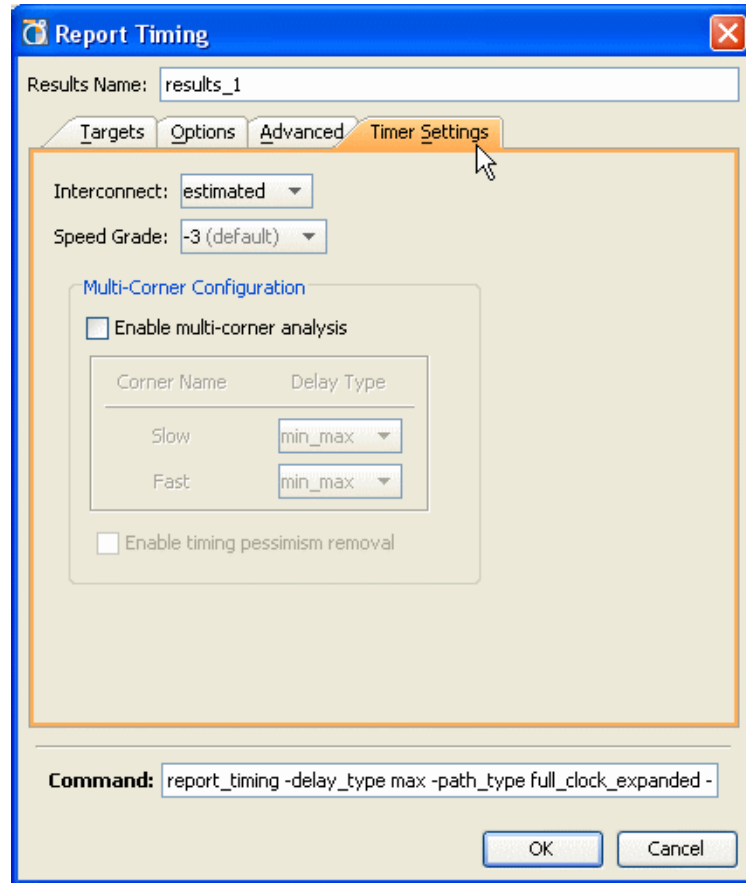


図 7-29 : [Report Timing] ダイアログ ボックスの [Timer Settings] タブ

次のようなオプションがあります。

- [Interconnect] : インターコネクト遅延に使用される遅延値のタイプを選択します。遅延値には、次のような選択肢があります。
  - ◆ [Estimated] : インターコネクト値に概算遅延を使用します。
  - ◆ [None] : インターコネクト遅延を 0 に設定します。
- [Speed Grade] : タイミング解析で使用するデバイスのスピード グレードを選択します。このフィールドを使用すると、さまざまなデバイス スピード グレードを使用してデザイン タイミングを概算できます。
- [Multi-Corner Configuration] : タイミング レポートでマルチコーナー解析を使用できるようにします。マルチコーナー解析では、さまざまなプロセスおよび動作状況を同時に使用して、ワーストケースのセットアップとホールド解析が実行されます。これにより、最小または最大遅延のみを使用した解析よりもさらに正確に解析が実行されます。このフィールドには、次のオプションが含まれています。
  - ◆ [Enable multi-corner analysis] : マルチコーナー解析をオンにします。

- ◆ [Slow] (Corner Name) : スロー コーナー解析に使用される遅延タイプを選択します。指定できる値は次のとおりです。
  - [none] : 最小タイミング解析を生成する際に遅延を使用しません。
  - [max] : セットアップおよびホールド解析中にクロックおよびデータ パスの最大遅延を使用します。
  - [min] : セットアップおよびホールド解析中にクロックおよびデータ パスの最小遅延を使用します。
  - [min\_max] : セットアップおよびホールド解析中にクロックおよびデータ パスの最小および最大遅延を組み合わせて使用します。
- ◆ [Fast] (Corner Name) : ファースト コーナー解析に使用される遅延タイプを選択します。指定できる値は次のとおりです。
  - [none] : 最小タイミング解析を生成する際に遅延を使用しません。
  - [max] : セットアップおよびホールド解析中にクロックおよびデータ パスの最大遅延を使用します。
  - [min] : セットアップおよびホールド解析中にクロックおよびデータ パスの最小遅延を使用します。
  - [min\_max] : セットアップおよびホールド解析中にクロックおよびデータ パスの最小および最大遅延を組み合わせて使用します。
- ◆ [Enable timing pessimism removal] : さまざまなオンチップ遅延を記述する際に、ソースレジスタとデスティネーション レジスタ間の共通クロック パスで生成されたスキュー遅延を削除します。

## タイミング結果の解析

[Timing Results] ビューには PlanAhead のタイミング解析または ISE の TRCE タイミング解析ツールからのタイミング結果を表示することができます。

[Timing Results] ビューにパスを表示するには、PlanAhead のタイミング解析または ISE の TRCE ツールのいずれかを実行する必要があります。[Timing Results] ビューには、[211 ページの「タイミング解析の実行」](#)で説明されているように、[Run Timing Analysis] ダイアログ ボックスで指定された条件に一致するパスが含まれます。TRCE の結果がインポートされるか、PlanAhead のタイミング解析がデフォルトのオプションで実行されると、パスが並べ替えられ、制約ごとにリストされます。

PlanAhead のタイミング解析が終了するか、ISE の TRCE 結果がインポートされると、[Timing Results] ビューが開きます。次の図は、[Timing Results] ビューの例を示しています。

Name	Type	Slack	From	To	Total Delay	Logic Delay	Net %	Stages	Source Clock	Destination Clock
Constrained Paths (10)										
Path 1	Setup	1.059	usbEngine0/usb_dma...	usbEngine0/u4/dout_14/D	4.191	1.771	57.7	6	TS_usbClk	TS_usbClk
Path 2	Setup	1.059	usbEngine1/usb_dma...	usbEngine1/u4/dout_14/D	4.191	1.771	57.7	6	TS_usbClk	TS_usbClk
Path 3	Setup	1.163	usbEngine0/usb_dma...	usbEngine0/u4/funcnt_adr_0/CE	4.087	1.891	53.7	5	TS_usbClk	TS_usbClk
Path 4	Setup	1.163	usbEngine0/usb_dma...	usbEngine0/u4/funcnt_adr_1/CE	4.087	1.891	53.7	5	TS_usbClk	TS_usbClk
Path 5	Setup	1.163	usbEngine0/usb_dma...	usbEngine0/u4/funcnt_adr_2/CE	4.087	1.891	53.7	5	TS_usbClk	TS_usbClk
Path 6	Setup	1.163	usbEngine0/usb_dma...	usbEngine0/u4/funcnt_adr_3/CE	4.087	1.891	53.7	5	TS_usbClk	TS_usbClk
Path 7	Setup	1.163	usbEngine0/usb_dma...	usbEngine0/u4/funcnt_adr_4/CE	4.087	1.891	53.7	5	TS_usbClk	TS_usbClk
Path 8	Setup	1.163	usbEngine0/usb_dma...	usbEngine0/u4/funcnt_adr_5/CE	4.087	1.891	53.7	5	TS_usbClk	TS_usbClk
Path 9	Setup	1.163	usbEngine0/usb_dma...	usbEngine0/u4/funcnt_adr_6/CE	4.087	1.891	53.7	5	TS_usbClk	TS_usbClk

図 7-30 : [Timing Results] ビュー

[Timing Results] ビューでは、パスやインスタンスを確認、並び替え、選択できます。

[Timing Results] ビューには、各パスに関する次の情報が表示されます。

- [Name] : リストされているパスの制約名が表示されます。
  - ◆ [Name] : 連続した番号で、元の順序に並べ替えるときに使用できます。
  - ◆ [Type] : パスがセットアップまたはホールドのどちらに関連しているかを表示します。
  - ◆ [Slack] : パスの正または負のスラックの合計です。
  - ◆ [From] : パスのソース ピンです。
  - ◆ [To] : パスのデスティネーション ピンです。
  - ◆ [Total Delay] : パスで予測される遅延の合計です。
  - ◆ [Logic Delay] : ロジック遅延が起因の遅延のみが表示されます。
  - ◆ [Net %] : インターコネクトの配置が起因の遅延の割合。
  - ◆ [Stages] : ソースとデスティネーション両方が全体の遅延に影響を及ぼすパス上のインスタンスの合計。これは、ISE で計算されたロジック レベルとは異なる可能性があります。
  - ◆ [Source Clock] : ソース クロックの名前です。
  - ◆ [Destination Clock] : デスティネーション クロックの名前です。

メモ : PlanAhead のタイミング解析では、キャリア チェーン インターコネクトがロジックの個別ステージとして数えられます。

## タイミング レポートの並び替え

[Timing Results] ビューのリストは、列ヘッダをクリックすると並びかえられます。たとえば、[Stages] 列のヘッダをクリックすると、ロジックのステージ順に並べ替えられます。列をもう一度クリックすると、逆向きに並べ替えることができます。

最初に並べ替えた後で **Ctrl** キーを押して別の列ヘッダをクリックすると、次にその列で並べ替えられます。並べ替えに使用する列の数に制限はありません。

ツリー形式のビューの詳細は、第 4 章の「ツリー表形式のビュー」を参照してください。

次の図は、ロジックのステージ別に並べ替えた [Timing Results] ビューを示しています。

Name	Type	Slack	From	To	Total Delay	Logic Delay	Net %	Stages	Source Clock	Destination Clock
Path 1	Setup	1.059	usbEngine0/usb_dma_...	usbEngine0/u4/dout_14/D	4.191	1.771	57.7	6	TS_usbClk	TS_usbClk
Path 2	Setup	1.059	usbEngine1/usb_dma_...	usbEngine1/u4/dout_14/D	4.191	1.771	57.7	6	TS_usbClk	TS_usbClk
Path 3	Setup	1.163	usbEngine0/usb_dma_...	usbEngine0/u4/funcnt_adr_0/CE	4.087	1.891	53.7	5	TS_usbClk	TS_usbClk
Path 4	Setup	1.163	usbEngine0/usb_dma_...	usbEngine0/u4/funcnt_adr_1/CE	4.087	1.891	53.7	5	TS_usbClk	TS_usbClk
Path 5	Setup	1.163	usbEngine0/usb_dma_...	usbEngine0/u4/funcnt_adr_2/CE	4.087	1.891	53.7	5	TS_usbClk	TS_usbClk
Path 6	Setup	1.163	usbEngine0/usb_dma_...	usbEngine0/u4/funcnt_adr_3/CE	4.087	1.891	53.7	5	TS_usbClk	TS_usbClk
Path 7	Setup	1.163	usbEngine0/usb_dma_...	usbEngine0/u4/funcnt_adr_4/CE	4.087	1.891	53.7	5	TS_usbClk	TS_usbClk
Path 8	Setup	1.163	usbEngine0/usb_dma_...	usbEngine0/u4/funcnt_adr_5/CE	4.087	1.891	53.7	5	TS_usbClk	TS_usbClk
Path 9	Setup	1.163	usbEngine0/usb_dma_...	usbEngine0/u4/funcnt_adr_6/CE	4.087	1.891	53.7	5	TS_usbClk	TS_usbClk

図 7-31 : ステージ別に並べ替えた [Timing Results] ビュー

もう一度 **Ctrl** キーを押して列ヘッダをクリックすると、その列の並べ替えが解除されます。

## パス リストのフラット化

デフォルトでは、パスは制約別に表示されます。[Timing Results] ビューで [Group by Constraint] または次の図の [Group Paths by Constraint] ボタンをクリックすると、すべてのパスがフラットに表示されます。



図 7-32 : [Group Paths by Constraint] ツールバー ボタン

[Group by Constraint] ボタンをクリックすると、分類された制約リストとフラット化されたパスのリストの表示を切り替えることができます。

## タイミング レポートからのパスの削除

クリティカル パスを見やすくするために、タイミング レポートからパスを削除できます。

1. タイミング レポートから削除するパスを選択します。複数のパスを選択するには、Shift キーまたは Ctrl キーを押しながらパスをクリックします。
2. [Delete] キーを押すか、[Timing Results] ビューで右クリックして表示されるポップアップ メニューで [Delete] をクリックします。

## パスの詳細の表示

リストでパスを選択すると、[Path Properties] ビューにそのパスの情報が表示されます。すべてのロジック エレメントの詳細な遅延情報やハイパーリンクが224 ページの図 7-33 のように表示されます。

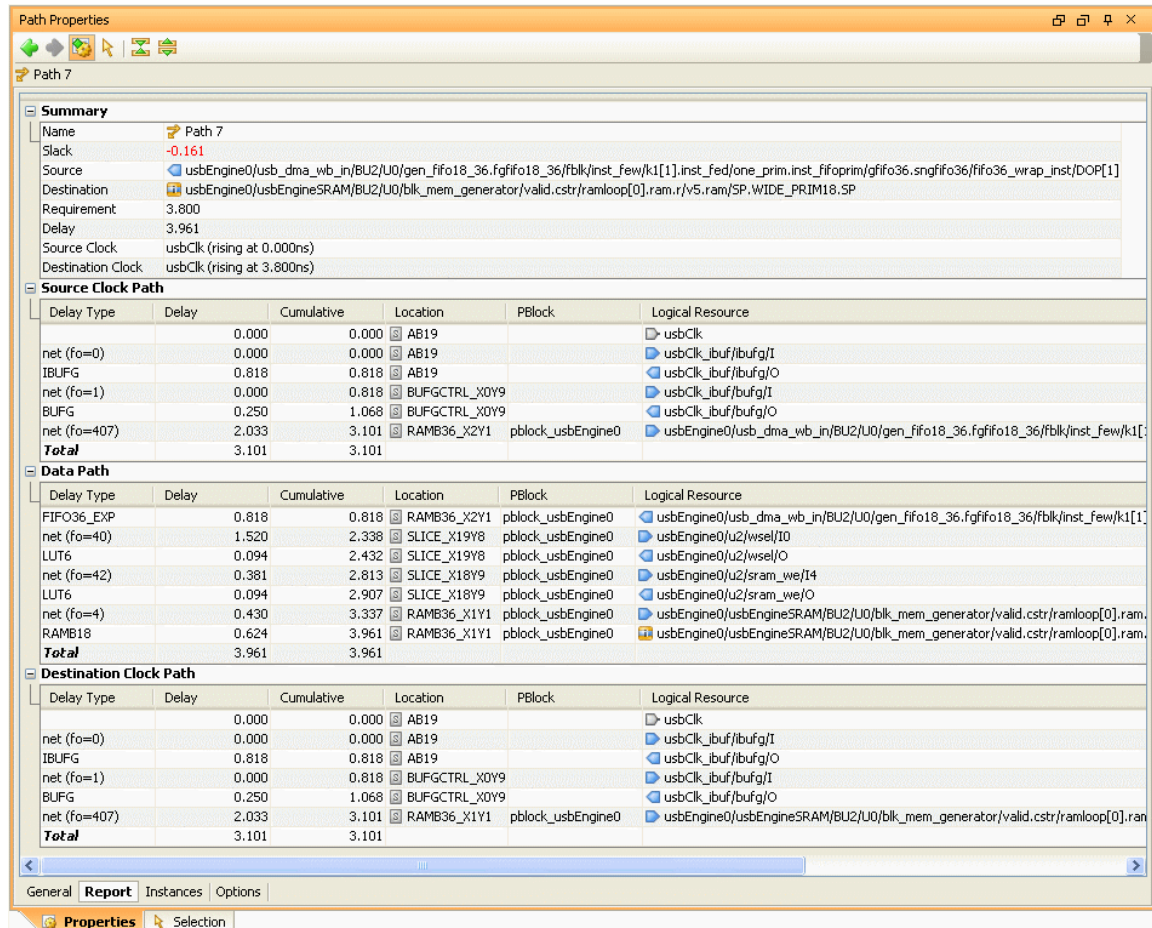


図 7-33 : [Path Properties] ビュー : [Report] タブ

このレポートのフォーマットは TRCE レポートに似ています。

- デフォルトでは、パスを選択するとそのパスに含まれるインスタンスもすべて選択されます。
- レポートに青のハイパーリンクで表示されているオブジェクトをクリックすると、[Netlist] や [Device] など、ほかのビューでもそのオブジェクトが選択されます。
- Shift キーまたは Ctrl キーを使用すると、複数のパスを選択できます。
- 選択されたパスすべてのインスタンスすべてが選択されますが、[Path Properties] ビューには最初に選択されたパスの情報のみが表示されます。

### タイミング パス レポートのワークスペースでの表示

タイミング パス レポートは見やすくするために、ワークスペースに個別に表示できます。複数のパスレポートをワークスペース内の別々のビューで開くこともできます。

レポートを表示するには、次の手順に従います。

1. レポートを表示するタイミング パスを選択します。
2. 右クリックし、[View Path Report] をクリックします。



## スラック ヒストグラムの使用

スラック ヒストグラムには、デザインのタイミング遅延が視覚的に表示されます。このビューを使用すると、デザインがパフォーマンス要件を満たしていない場合に、次に何をすべきか決定しやすくなります。

1. 次のいずれかの方法でスラック ヒストグラムを生成します。

- ◆ [Tools] → [Slack Histogram]

Flow Navigator :

- ◆ [Netlist Design] → [Slack Histogram]

- ◆ [Implemented Design] → [Slack Histogram]

次の図では、[Netlist Design] から [Slack Histogram] オプションを指定しています。

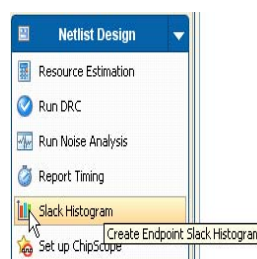


図 7-34 : [Slack Histogram] オプション

次の図の [Generate Slack Histogram] ダイアログ ボックスが表示されます。このダイアログ ボックスからは、生成されるスラック ヒストグラムをカスタマイズできます。

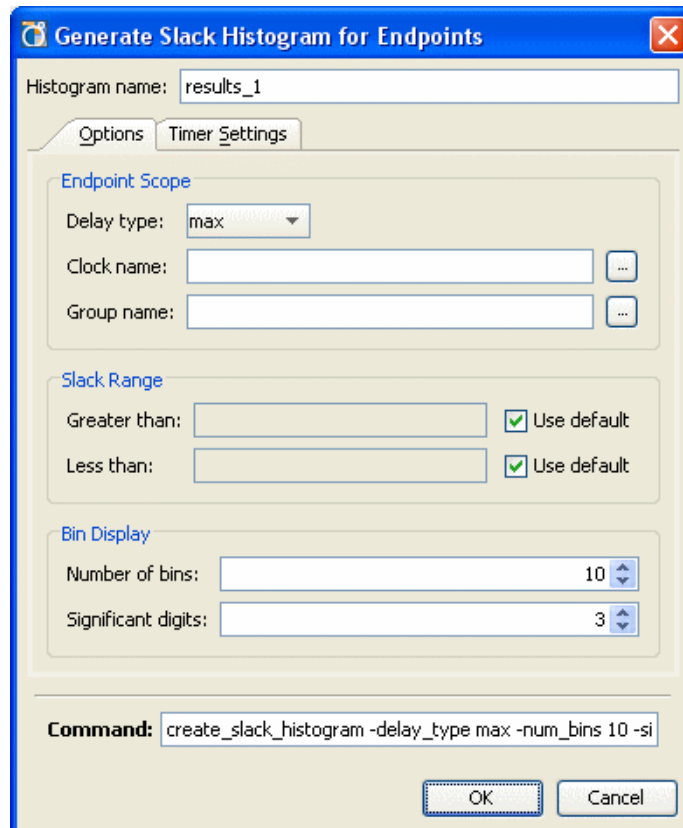


図 7-35 : [Generate Slack Histogram for Endpoints] ダイアログ ボックス

2. [OK] をクリックすると、デフォルト値を使用してスラック ヒストグラムが表示されます。

次のようなオプションがあります。

- [Histogram name] : 生成されるヒストグラム レポートの名前を指定します。
- [Options] タブ : ヒストグラム レポートのカスタマイズができます。このタブのオプションについては、後で説明します。
- [Timer Settings] タブ : タイミング レポートの生成に使用されるタイミング エンジンと遅延オプションを指定します。このタブのオプションについては、後で説明します。
- [Command] : スラック ヒストグラムの生成オプションで生成される Tcl コマンドのテキストが含まれます。

3. ヒストグラム レポートに最適なオプションを選択します。

## スラック ヒストグラムのオプション設定

スラック ヒストグラムを生成する際に使用されるオプションは、[Generate Slack Histogram] ダイアログ ボックスの [Options] タブから指定できます。次の図は、[Options] タブを示しています。

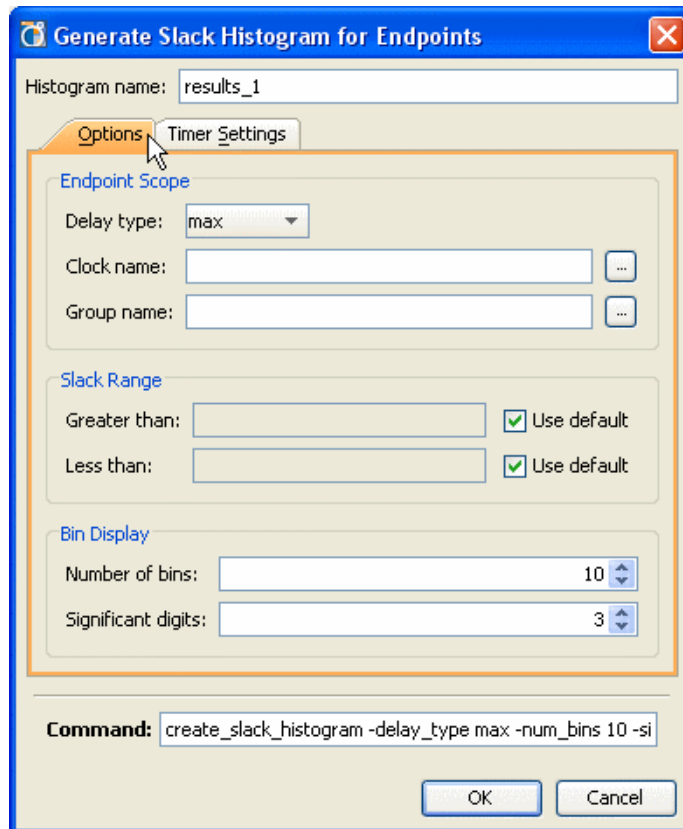


図 7-36 : [Generate Slack Histogram] : [Options] タブ

次のようなオプションがあります。

- **[Endpoint Scope]** : スラック ヒストグラムの生成で使用するエンドポイントと遅延タイプを指定します。クロック名とグループ名に基づいたエンドポイントをフィルタすると、該当するパスに焦点をあてたヒストグラムが生成できます。このフィールドには、次のオプションが含まれています。
  - ◆ **[Delay type]** : スラック ヒストグラムの生成に使用される遅延値を指定します。
  - ◆ **[min]** : スラック ヒストグラムのクロックおよびデータ パスの最小遅延を使用します。
  - ◆ **[max]** : スラック ヒストグラムのクロックおよびデータ パスの最大遅延を使用します。
  - ◆ **[min\_max]** : スラック ヒストグラムのクロックおよびデータ パスの最小および最大遅延を組み合わせて使用します。
- **[Clock name]** : 関連するクロック名でエンドポイントをフィルタします。このフィールドの値は直接入力するか [Choose Endpoints] ダイアログ ボックスから入力します。
- **[Group name]** : 関連するグループ名でエンドポイントをフィルタします。このフィールドの値は直接入力するか [Choose Endpoint Path Groups] ダイアログ ボックスから入力します。

- **[Slack Range]** : スラック値に基づいてエンドポイントをフィルタします。特定範囲内のスラック値に基づいてエンドポイントをフィルタすると、該当するパスに焦点をあてたヒストグラムが生成できます。このフィールドには、次のオプションが含まれています。
    - ◆ **[Greater than]** : ヒストグラムに含める必要のあるパスの最大スラック値を指定します。
    - ◆ **[Less than]** : ヒストグラムに含める必要のあるパスの最小スラック値を指定します。
  - **[Bin display]** : ヒストグラムをさらに詳細にカスタマイズできます。このフィールドには、次の値が含まれます。
    - ◆ **[Number of bins]** : ヒストグラムの棒グラフの数を指定します。小さい値を指定すると、ヒストグラムにはタイミング パフォーマンスの一般的なビューが表示されます。大きい値の指定は、スラック範囲内で使用するのに適しており、特定範囲の遅延のパフォーマンスに焦点をあてることができます。
    - ◆ **[Significant digits]** : ヒストグラムに使用される有効数字を指定します。デフォルトでは 3 になっています。
4. 次は、スラック ヒストグラムに最適なタイマ設定を選択します。

#### スラック ヒストグラムのタイマ オプション設定

スラック ヒストグラムのタイミング エンジンで使用する遅延パラメータは、**[Generate Slack Histogram]** ダイアログ ボックスの **[Timer Settings]** タブから指定できます。次の図は、**[Timer Settings]** タブを示しています。

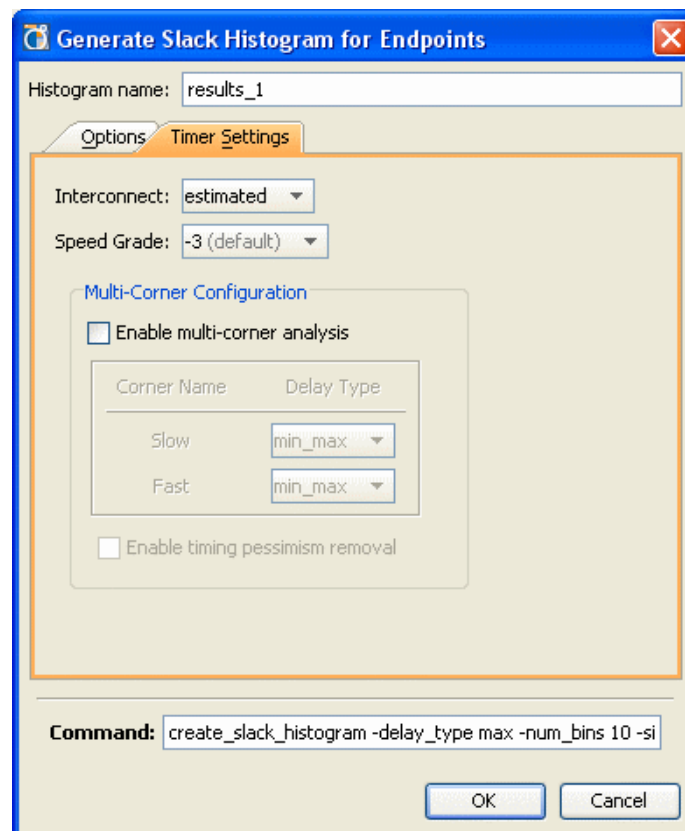


図 7-37 : **[Generate Slack Histogram]** : **[Timer Settings]** タブ

次のようなオプションがあります。

- **[Interconnect]** : インターコネクト遅延に使用される遅延値のタイプを選択します。指定できる遅延値は次のとおりです。
  - ◆ **[Estimated]** : インターコネクト値に概算遅延を使用します。
  - ◆ **[None]** : インターコネクト遅延を 0 に設定します。
- **[Speed Grade]** : タイミング解析で使用するデバイスのスピード グレードを選択します。このフィールドを使用すると、さまざまなデバイス スピード グレードを使用してデザイン タイミングを概算できます。
- **[Multi-Corner Configuration]** : タイミング レポートでマルチコーナー解析を使用できるようにします。 マルチコーナー解析では、さまざまなプロセスおよび動作状況を同時に使用して、ワーストケースのセットアップとホールド解析が実行されます。これにより、最小または最大遅延のみを使用した解析よりもさらに正確に解析が実行されます。このフィールドには、次のオプションが含まれています。
  - ◆ **[Enable multi-corner analysis]** : マルチコーナー解析を使用する場合は、このフィールドを使用します。
- **[Slow] (Corner Name)** : スロー コーナー解析に使用される遅延タイプを選択します。指定できる値は次のとおりです。
  - ◆ **[none]** : 最小タイミング解析を生成する際に遅延を使用しません。
  - ◆ **[max]** : セットアップおよびホールド解析中にクロックおよびデータ パスの最大遅延を使用します。
  - ◆ **[min]** : セットアップおよびホールド解析中にクロックおよびデータ パスの最小遅延を使用します。
  - ◆ **[min\_max]** : セットアップおよびホールド解析中にクロックおよびデータ パスの最小および最大遅延を組み合わせて使用します。
- **[Fast] (Corner Name)** : ファースト コーナー解析に使用される遅延タイプを選択します。指定できる値は次のとおりです。
  - ◆ **[none]** : 最小タイミング解析を生成する際に遅延を使用しません。
  - ◆ **[max]** : セットアップおよびホールド解析中にクロックおよびデータ パスの最大遅延を使用します。
  - ◆ **[min]** : セットアップおよびホールド解析中にクロックおよびデータ パスの最小遅延を使用します。
  - ◆ **[min\_max]** : セットアップおよびホールド解析中にクロックおよびデータ パスの最小および最大遅延を組み合わせて使用します。
- **[Enable timing pessimism removal]** : さまざまなオンチップ遅延を記述する際に、ソース レジスタとデスティネーション レジスタ間の共通クロック パスで生成されたスキュー遅延を削除します。

## タイミング ヒストグラム結果の解析

ヒストグラムが生成されたら、その結果を使用し、デザイン インプリメンテーションに関連するタイミング問題にどのような種類があるのか確認できます。**[Histogram]** ビューには遅延のグラフ (棒グラフ) が表示され、**[Timing Results]** ビューには各パスがリストされます。

このインターフェイスでは、表の列ヘッダ別にパスを並び替えたり、グラフを選択したりできます。[230 ページの図 7-38](#) は、スラック ヒストグラム結果の例を示しています。

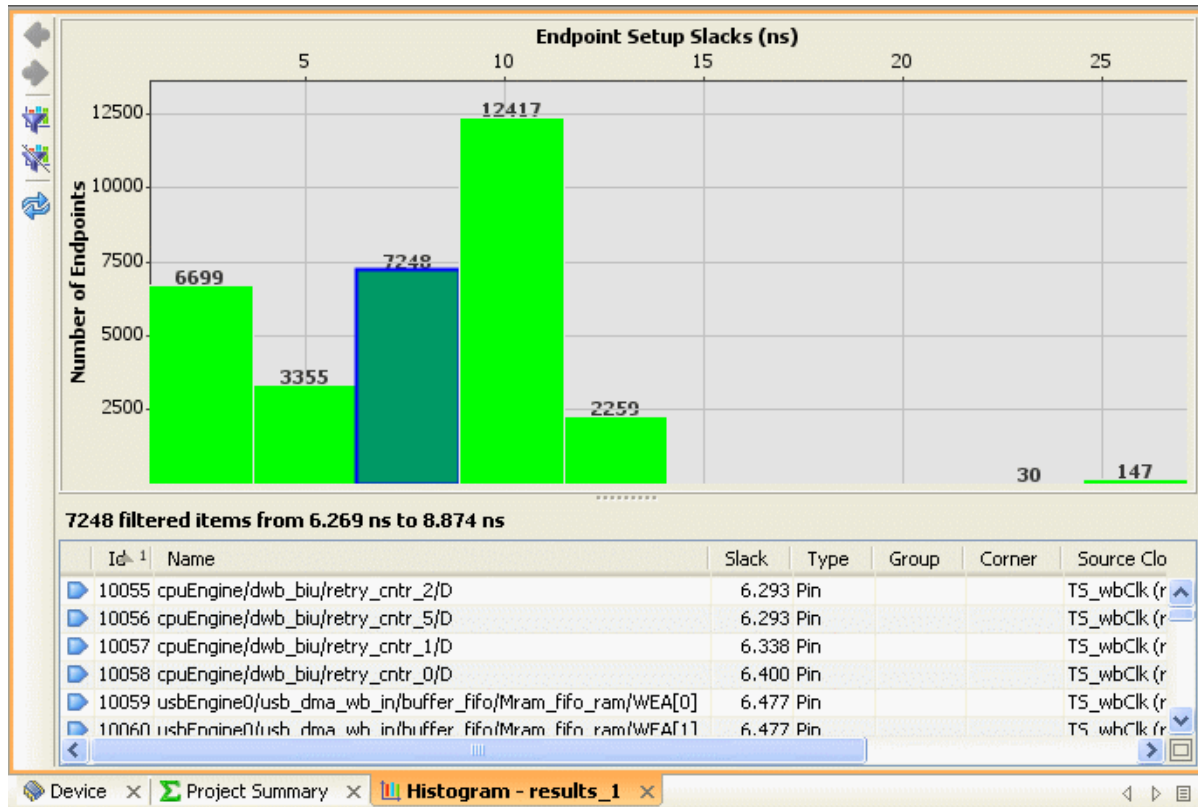


図 7-38：スラック ヒストグラム

### 解析するパスの選択

ヒストグラムでは、解析するパスを選択したりフィルタしたりできます。選択されたパスは、[Timing Results] ビューに表示されます。選択するには、次のいずれかの方法を使用します。

- パスを個別に表示：ヒストグラムの棒グラフをクリックして、パスを選択します。[Timing Results] ビューは選択された棒グラフに合わせて自動的にアップデートされます。
- 複数のパスを表示：グラフの複数の棒をクリックし、表示されているパスをフィルタします。選択されている棒グラフを追加したり削除するには、Ctrl キーを押しながらその棒グラフをクリックします。[Timing Results] ビューは選択された棒グラフに合わせて自動的にアップデートされます。
- すべてのパスを表示：グラフの棒グラフ以外の部分をクリックすると、ヒストグラムのパスがすべて選択されます。クリックすると、[Timing Results] ビューはすべてのパスを表示するように自動的にアップデートされます。

### ヒストグラム オプションの変更

ヒストグラムを生成し直すと、変更したオプションが反映されます。変更したオプションを使用してアップデートするには、そのヒストグラムで右クリックします。ヒストグラムの表示を変更するには、次の 2 つの方法があります。

- [Report Timing]：[Report Timing] ダイアログ ボックスを使用して新しいタイミング レポートを生成します。

- [Refresh Histogram] : [Generate Slack Histogram] ダイアログ ボックスを使用して新しいタヒストグラムを生成します。
- [View] : ヒストグラムの表示を変更し、該当するパスに焦点をあてることができます。これには、次のオプションがあります。
  - ◆ [Zoom In] : 拡大します。
  - ◆ [Zoom Out] : 縮小します。
  - ◆ [Zoom Fit] : ヒストグラム全体を表示します。
  - ◆ [Zoom Area] : 選択したエリアを全体に表示します。
  - ◆ [Options] : PlanAhead の主な [Options] メニューを起動します。

## 物理制約の定義

PlanAhead では、さまざまな方法で物理制約を適用できます。物理制約には、LOC/BEL インスタンス配置制約、AREA\_GROUP 配置制約、DCI\_CASCADE 制約およびデバイス コンフィギュレーション モード制約などが含まれます。物理制約の詳細は、[第 8 章「I/O ピン配置」](#) および [第 11 章「デザインのフロアプラン」](#) を参照してください。

次のセクションでは、[Physical Constraints] ビューとそのオプションについて説明します。

- 「[\[Physical Constraints\] ビューの使用](#)」
- 「[相対配置マクロ \(RPM\) での作業](#)」

### [Physical Constraints] ビューの使用

[Physical Constraints] ビューは、さまざまな物理制約タイプを表示および選択するために使用できます。

このビューには、作成した Pblock に関するデザインの階層構造が表示されます。物理階層はダイナミックで、変更されると自動的に拡張および変更されます。その他のビューでオブジェクトが選択されると、[Physical Constraints] ビューで該当エレメントがハイライトされます。

[Physical Constraints] ビューに表示されるオブジェクトは、相対配置マクロ (RPM)、物理ブロック (Pblock)、DCI カスケード制約です。これらのオブジェクトをこのビューで選択して、他のビューで変更することもできます。



## ROOT デザイン Pblock の使用

物理階層には、まずデザイン名の下に **ROOT** という最上位レベルの **Pblock** が含まれます。下位の **Pblock** を作成すると、これらは **Pblock** フォルダの下に階層構造で表示され、親 **Pblock** の下には子 **Pblock** が表示されます。

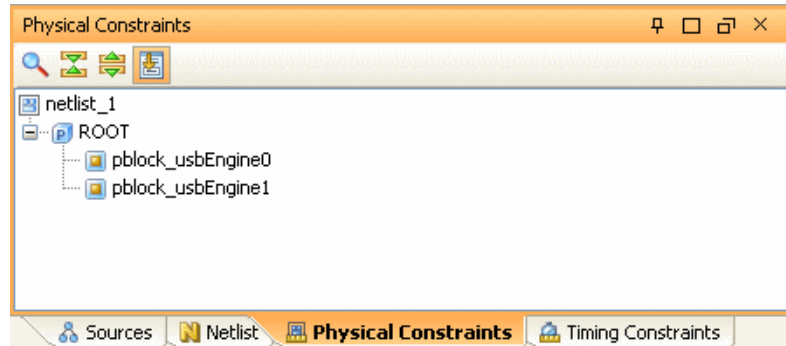


図 7-39 : [Physical Constraints] ビュー

**Pblock** を選択すると、これに割り当てられているすべてのロジックが選択されます。

## [Physical Constraints] ビューのアイコン

[Physical Hierarchy] ビューのツリーには、さまざまなオブジェクトのステートを識別するのに役立つアイコンがいくつかあります。このアイコン表示は物理階層が変更されると自動的に更新されます。

**Pblock** を作成すると、[Physical Hierarchy] ビューに階層的に表示されます。このビューに含まれる各フォルダのタイプ名の末尾に括弧で表示されている番号は、そのフォルダに含まれているオブジェクト数を示します。

1 つの相対配置マクロ (**RPM**) の各インスタンスがこのビューに表示されます。その場合 **Pblock** の下の **RPM** フォルダに表示されます。[Physical Hierarchy] ビューで **RPM** を選択すると、**RPM** に含まれているロジックすべても選択されます。

### インスタンスが割り当てられた Pblock

インスタンスが割り当てられ [Device] ビューで長方形が定義された **Pblock** は、中心が黄色の青色の立方体で表示されます。



インスタンスが割り当てられても [Device] ビューで長方形が定義されていない **Pblock** は、中心が黄色の青色正方形で表示されます。



### インスタンスが割り当てられていない Pblock

インスタンスが割り当てられ、[Device] ビューで長方形が定義された **Pblock** は、中心に青色の **P** 文字が示された青色の立方体で表示されます。




インスタンスが割り当てられておらず、[Device] ウィンドウで長方形が定義されていない Pblock は、中心に青色の P 文字が表示されている青色正方形で表示されます。

 pblock\_1

### 部分的にリコンフィギャブルな Pblock

部分的にリコンフィギャブルなパーティション Pblock のアイコンには、次の図のように黄色のひし形が表示されます。

 pblock\_usbEngine1

## 相対配置マクロ (RPM) での作業

デザインに含まれる相対配置マクロ (RPM) は、[RPMs] フォルダの下に表示されます。RPM は Pblock に割り当てることができます。その場合 Pblock の下の RPM フォルダに表示されます。1 つの相対配置マクロ (RPM) の各インスタンスエーションがこのビューに表示されます (232 ページの図 7-39)。RPM のプロパティと統計は、次の図のように [RPM Properties] ビューに表示されます。

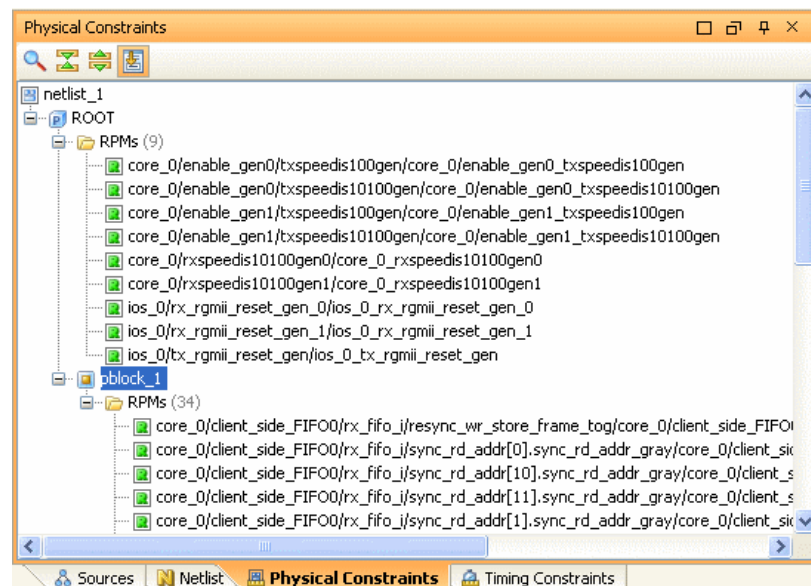


図 7-40 : 相対配置マクロ (RPM) の表示

RPM ロジックを Pblock に割り当てると、RPM のサイズおよび使用率の統計が234 ページの図 7-41 のように [Pblock Properties] ビューの [Statistics] タブに表示されます。

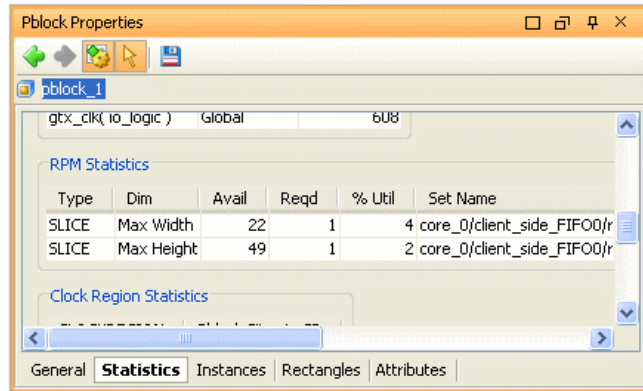


図 7-41 : Pblock の RPM 使用率統計

## デザイン ルール チェック (DRC) の実行

PlanAhead には、DRC バッチ コマンドのセットが含まれており、ISE ソフトウェアの実行前にデザインの整合性を確認できます。DRC は実行されるロジック チェックのタイプ別に分類されています。チェックには、さまざまなタイプがあります。

これらのチェックを使用すると、潜在的なインプリメンテーション問題が早期に発見できます。デザインが DRC をパスするかどうか確認するための最終的な検証ステップでは、ISE インプリメンテーション ツールが実行されます。

## I/O ポートおよびクロック ロジック DRC の実行

DRC ルールの多くは I/O ピン割り当てとクロック ロジックに関連しています。I/O ポートおよびクロック ロジックに関連した DRC の詳細は第 8 章「I/O ピン配置」を参照してください。

## ネットリストおよび制約 DRC の実行

ネットリスト デザインで DRC を実行すると、ネットリストと制約に矛盾がないかどうか確認できます。

1. Flow Navigator または [Tools] メニューから [Run DRC] をクリックします。

235 ページの図 7-42 に示す [Run DRC] ダイアログ ボックスが開きます。

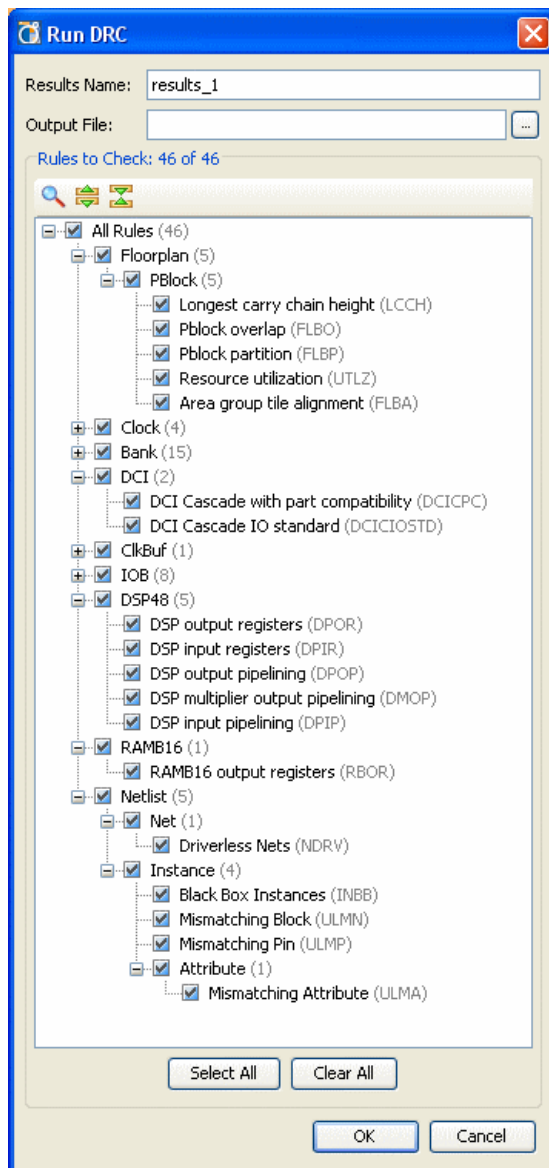


図 7-42 : [Run DRC] ダイアログ ボックス : ネットリストのルール

2. [Results Name] フィールドを表示または編集します。ここで指定した名前が [DRC Results] ビューに表示されるので、デバッグ時に区別しやすい名前を付けます。
3. 出力されるレポート ファイルの名前を指定します。
4. [Rules to Check] グループ ボックスの各デザイン オブジェクトで、チェックするルールのチェック ボックスをオンにします。各ルールの詳細は、[234 ページの「ネットリストおよび制約 DRC の実行」](#)を参照してください。
  - ◆ [Expand All] ボタンをクリックするか、各カテゴリまたはデザイン オブジェクトの横のプラス記号 (+) をクリックすると、階層が展開します。
  - ◆ DRC すべてを実行するには、デザイン オブジェクトの横のチェック ボックスをすべてオンにします。
  - ◆ 特定の DRC を実行するには、そのチェック ボックスのみをオンにします。
  - ◆ [Select All] をクリックするとすべての DRC が実行されます。

5. [OK] をクリックすると、選択した DRC が開始されます。

## DRC エラーの表示

DRC が終了すると、次の図のような [DRC Results] ビューが表示されます。

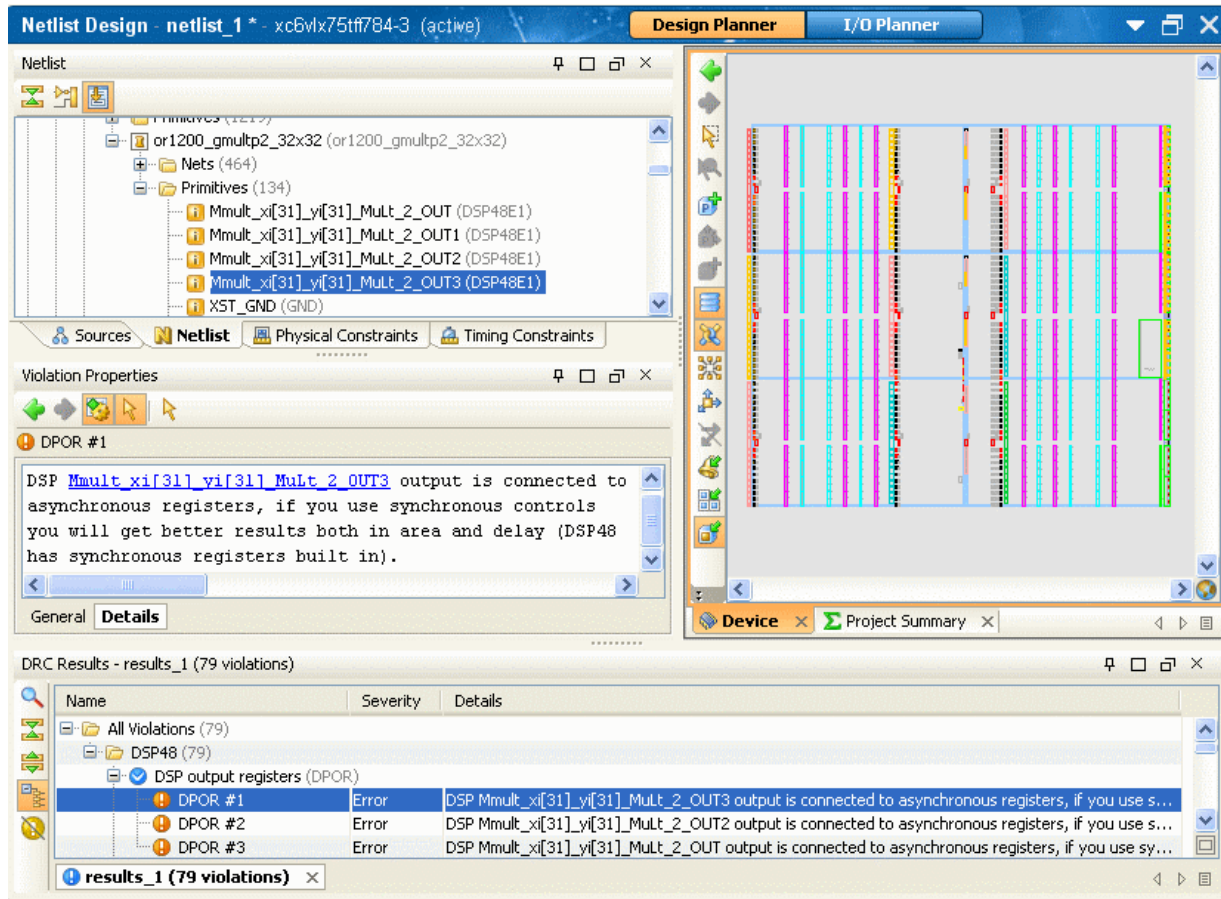


図 7-43 : [DRC Results] ビュー

違反は、[DRC Results] で個別に展開表示されます。

- エラーは赤いアイコンで表示されます。
- 警告は茶色のアイコンで表示されます。
- 情報メッセージは黄色のアイコンで表示されます。

デフォルトでは、すべてのエラーおよび警告が表示されます。警告および情報メッセージを非表示にし、エラーのみを表示する場合は、ツールバーの [Hide Warning and Information Messages] ボタンをクリックします。もう 1 度このボタンをクリックすると、すべての警告およびエラーメッセージが表示されます。



図 7-44 : [Hide Warning and Information Messages] ボタン

[DRC Results] のリストでエラーをどれか選択すると、そのエラーの情報が [Properties] に表示されます。

[Properties] のリンクをクリックすると、[236 ページの図 7-43](#) のように、[Device]、[Netlist]、および [Schematic] で、違反が発生したデザイン エレメントがハイライト表示されます。

エラーは、修正すると [DRC Results] ビューに表示されなくなり、DRC が再実行されます。

[Run DRC] コマンドを実行し、エラーが検出されるたびに、新しい結果のタブが [DRC Results] ビューに追加され、別の結果ファイルが作成されます。

## DRC ルールについて

次の表に、デザイン オブジェクトごとの DRC ルール、目的、重要性を示します。

- 「フロアプランの Pblock のルール」
- 「バンクのルール」
- 「DCI のルール」
- 「ClkBuf のルール」
- 「DSP48 のルール」
- 「RAMB16 のルール」
- 「ネットリストのルール」

メモ：グローバル クロック ルール、IOB ルール、バンク I/O 規格ルールについては[第 8 章「I/O ピン配置」](#)を参照してください。

### フロアプランの Pblock のルール

表 7-1：フロアプランの Pblock のルール

ルール名	略称	目的	重要度
Longest Carry Chain Height	LCCH	Pblock の高さに、割り当てられたキャリーチェーンで一番長いチェーンが収まるかどうかチェック	警告
Pblock overlap	FLBO	重なり合った Pblock の長方形のチェック	情報
Pblock Partition	FLBP	LUT から MUXCY および MUXFx への接続が Pblock のパーティションで切断されていないかをチェック	エラー
Resource Utilization	UTLZ	割り当てられたロジックに対して、Pblocks のリソースが十分であるかをチェック	警告 (スライスロジックの場合) エラー (非スライスロジックの場合)
Area Group Tile Argument	FLBA	AREA_GROUP 制約のサイト範囲が CLB グリッドと一致しているかどうかをチェック	警告

## バンクのルール

表 7-2 : DCI カスケードのルール

ルール名	略称	目的	重要度
DCI Cascade Checks	DCIC	DCI カスケード制約が有効かどうかをチェック	エラー

表 7-3 : IDelay Control のルール

ルール名	略称	目的	重要度
IDelayCtrl Checks	IDLYCTRL	IDelay 配置が IDlyController のロケーションと一致しているかどうかをチェック	エラー

SmartXplorer のオプションのリストは、[第 8 章の「バンク I/O 規格のルール」](#)を参照してください。

## DCI のルール

表 7-4 : DCI のルール

ルール名	略称	目的	重要度
DCI Cascade with part compatibility	DCICPC	ユーザーに UCF ファイルをほかの互換性のあるパーツに読み込み、DRC を手動で実行して DCI カスケードが有効であることを確認するよう警告	警告
DCI Check for I/O standard legality	DCICIOSTD	DCI カスケード内に使用される I/O 規格の VCCO と DCI 終端に関連する競合がないかどうかチェック	エラー

## ClkBuf のルール

表 7-5 : IDelay Control のルール

ルール名	略称	目的	重要度
BufR & BufIO Locations	BUFRIOC	同じリージョナル クロック ターミナルで駆動されている BUFR および BUFIO が相互配線可能なロケーションにあることをチェック	エラー

グローバル クロック ルールのリストは、[第 8 章の「グローバル クロックのルール」](#)を参照してください。



## DSP48 のルール

表 7-6 : DSP48 のルール

ルール名	略称	目的	重要度
DSP output registers	DPOR	DSP48 の出力側にレジスタがありますが、このレジスタを使用するには、同期制御する必要があります (Virtex-4 のみ)	情報
DSP input registers	DPIR	DSP48 の入力側にレジスタがありますが、このレジスタを使用するには、同期制御する必要があります (Virtex-4 のみ)	情報
DSP output pipelining	DPOP	DSP48 の出力側にレジスタがあります。このパイプラインのメカニズムを使用すると、パフォーマンスが向上します (Virtex-4 のみ)	情報
DSP multiplier output pipelining	DMOP	DSP48 出力はパイプライン化されていません。パイプラインされているとパフォーマンスが向上します。	警告
DSP input pipelining	DPIP	DSP48 の入力側にレジスタがありますが、このパイプラインのメカニズムを使用すると、パフォーマンスが向上します (Virtex-4 のみ)	情報

## RAMB16 のルール

表 7-7 : RAMB16 のルール

ルール名	略称	目的	重要度
RAMB16 output registers	RBOR	RAMB16 の出力側にレジスタがありますが、このレジスタを使用するには、同期制御する必要があります (Virtex-4 のみ)	情報

## ネットリストのルール

表 7-8 : ネットのルール

ルール名	略称	目的	重要度
Driverless Nets	NDRV	各ネットに正しいドライバ ピンがあることをチェック	警告

表 7-9：インスタンスのルール

ルール名	略称	目的	重要度
Black Box Instances	INBB	ブラックボックス (ネットリストの未定義ロジック) がないことをチェック	警告
Mismatching Block	ULMN	ネットリストで矛盾するロジック モジュール インターフェイスを検出	エラー
Mismatching Pin	ULMP	ネットリストで矛盾するロジック モジュール ピンを検出	エラー
Mismatching Attribute	ULMA	ネットリストで矛盾するロジック属性を検出	エラー

# I/O ピン配置

---

本章は、次のセクションで構成されています。

- 「I/O 配置の概要」
- 「I/O Planner の使用」
- 「デバイス リソースの表示」
- 「ターゲット パーツの変更」
- 「デバイス コンフィギュレーション モードの選択」
- 「I/O ポートの定義と設定」
- 「インタラクティブなデザイン ルール チェックの使用」
- 「I/O とクロック ロジックの配置の検証」
- 「I/O 配置制約の削除」
- 「I/O ピンとパッケージ データのエクスポート」

## I/O 配置の概要

I/O Planner 環境では、デザインおよびデバイスの I/O 要件を解析し、PCB デザインと FPGA デザイン両方の要件を満たす I/O ピン配置を定義できます。PlanAhead™ では、I/O ポート信号の作成および CSV、UCF、HDL 形式の I/O ポート リストのインポートができるため、ピン配置を設計初期に無駄なく決定でき、設計後半でピン配置に関連する変更を削減できます。また、パフォーマンスも大きく向上します。ピン配置が最適化されていないと遅延が増加し、タイミングおよびシグナル インテグリティ要件を満たす障害となります。PCB から FPGA ダイへのデータフローを考慮すると、最適化されたピン配置を迅速に定義でき、内部および外部のトレース長および配線密集を緩和できます。

## I/O ピン配置の手法

PCB 設計、FPGA 設計、システム設計などの設計グループにはそれぞれ特有の考慮事項や要件があるので、I/O ピン配置は複雑なプロセスになっています。この章では、PlanAhead 環境を使用したデバイスの詳細の確認方法、および I/O ピン配置と関連タスクについて説明します。

ザイリンクスの提案する I/O ピン配置の詳細は、『Spartan-6 PCB Design Guide』(UG393) を参照してください。

## I/O 配置ストラテジ

PlanAhead では、さまざまなデザイン プロセス段階で I/O 配置を実行できます。デザインが進むにつれ、より多くの情報が使用可能になるので、デザインの合成およびインプリメント時には、より複雑なルール チェックを使用できます。

I/O の配置は、クロックのコンフィギュレーション方法によって異なることがあります。I/O とクロック ロジックはよく一緒に配置されます。I/O 配置の DRC でクロックを認識させるには、合成済みのネットリスト デザインが必要です。I/O 配置には、できるだけネットリスト デザインを使用してください。

最終的に I/O ピンとクロック コンフィギュレーションを確認するには、インプリメンテーション ツールを実行します。クロック リソースが問題なく配置されるには、すべてのクロックが完全にインプリメントされている必要があります。

### ピン配置プロジェクト

空のプロジェクトを作成すると、早期デバイス チェックと I/O ポート コンフィギュレーションを実行できます。I/O ポートは、手動で作成するか、CSV、RTL、または UCF 入力ファイルをインポートして作成します。RTL デザインがある場合は、CSV、UCF、または RTL フォーマットでデバイスおよび I/O ポート割り当てをエクスポートしておく、と、デザイン プロセスの後半で使用できます。

### RTL デザイン

PlanAhead の RTL ベースのプロジェクトでは、I/O 配置を実行できます。RTL デザインがエラボレートされると、一部の基本的な DRC チェックが提供されるようになります。クロック ロジックをチェックするには、合成済みネットリストを使用することをお勧めします。

### 合成済みネットリスト デザイン

ネットリスト デザインの合成が終了したら、I/O 配置がしやすくなります。これは、この段階ですべてのクロックが決定されるからです。ツールにはすべてのクロックが表示されるので、さらに詳細な検証を行うことができます。できる限り、I/O 配置はネットリスト デザインを使用して実行してください。

### インプリメント済みデザイン の I/O の最終検証

I/O 配置が有効かどうかを確認するには、デザインを完全にインプリメントする必要があります。NGDBuild と MAP レポートの I/O およびクロック関連のメッセージを確認してください。

## I/O ポート配置機能

どのポートまたはインターフェイスも、[Configure I/O Ports] コマンドを使用して選択および設定できます。このコマンドでは、I/O 規格、駆動強度、およびスルー レートのタイプを設定できます。I/O Planner では、CSV 形式のファイルを出力して PCB 回路図シンボルの作成または HDL ポートリストで使用できます。詳細は、[255 ページの「I/O ポートの設定」](#)を参照してください。

個別の I/O ピンまたは I/O バンクに PROHIBIT を設定すると、I/O が割り当てられません。詳細は、[259 ページの「I/O ピンおよび I/O バンクの使用禁止」](#)を参照してください。

I/O ポートは次の方法で配置できます。

- I/O をインターフェイスにグループ分けし、識別しやすく、選択しやすくします。詳細は、[259 ページの「I/O ポート インターフェイスの作成」](#)を参照してください。

- I/O ポートのグループをドラッグし、I/O バンク、エリア、シーケンシャルの 3 つの配置モードのいずれかを使用して [Package] ビューまたは [Device] ビューで割り当てます。

それぞれのモードで、I/O ポートのピンへの割り当て方が異なります。カーソルを置くと、配置されるポート数の情報がツール ヒントに表示されます。

モードは、選択された I/O ポートを配置するか、Esc キーを押すまでアクティブです。詳細は、[261 ページの「インタラクティブなデザイン ルール チェックの使用」](#)を参照してください。

[Tools] → [Autoplace I/O Ports] コマンドを実行すると、デバイス全体または選択されたデバイスの一部が自動的に配置されます。コマンドでは I/O バンク規則、差動ペアの規則、グローバル クロック ピンの規則が遵守され、最大限の I/O ポートが配置されます。この機能は、一部のデバイスアーキテクチャにのみ使用できます。詳細は、[265 ページの「I/O ポートの自動配置」](#)を参照してください。

割り当てルールは割り当てが正しく実行されるように設定されており、差動ペアのポートは正しいピンのペアに割り当てられます。また、インタラクティブなバッチ DRC も I/O 配置に活用できます。詳細は、[268 ページの「I/O とクロック ロジックの配置の検証」](#)を参照してください。

## I/O Planner の使用

I/O Planner は、[RTL Design]、[Netlist Design]、[Implemented Design] デザイン環境で使用できます。ビュー レイアウトには、[Package] ビューと [Device] ビューの両方が含まれます。

[Package Pins]、[I/O Ports]、[Clock Region]、[Properties] などのビューには、その他の I/O 情報が提供されます。

I/O Planner ビューのレイアウトは、次の 2 つの方法で表示できます。

- 開いているデザイン環境のバナーで [I/O Planner] ボタンをクリック
- New Project ウィザードを使用して新規のピン配置プロジェクトを作成

[244 ページの図 8-1](#) は I/O Planner を示しています。

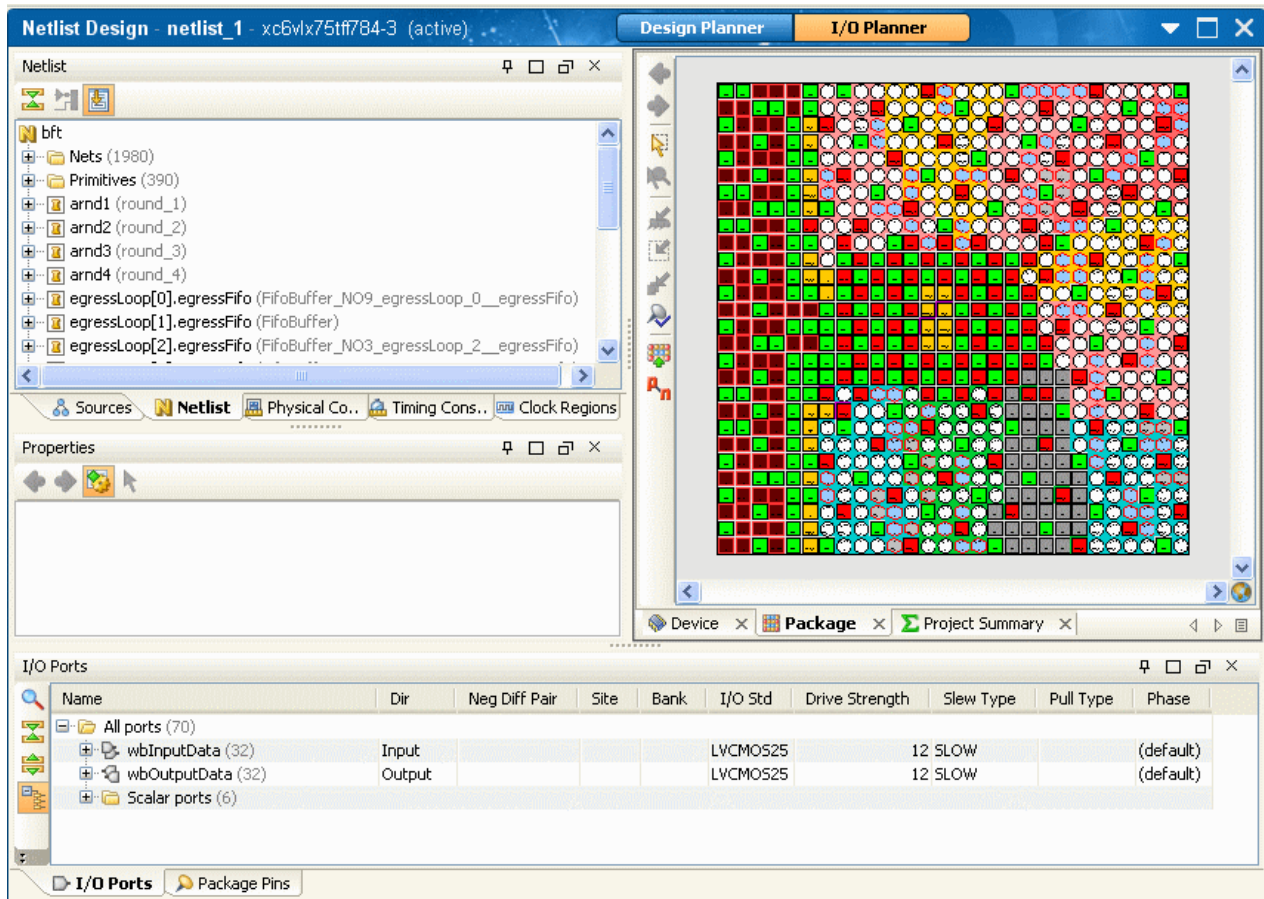


Figure 8-1: I/O Planner の表示

I/O Planner 環境については、次の第 4 章「表示環境の使用」のリファレンスを参照してください。

- 104 ページの「[Device] ビュー」
- 110 ページの「[Package] ビュー」
- 127 ページの「[I/O Ports] ビュー」
- 110 ページの「[Package] ビュー」

## [Package] ビューと [Device] ビューの同時表示

図 8-1 のように、ワークスペースを分割して、[Package] ビューと [Device] ビューの両方を表示すると便利です。

ワークスペースを分割するには、次のいずれかの方法を使用します。

- ◆ どちらかのビューのタブをクリックし、ワークスペースの右側のスクロールバーまでドラッグします。ビューが配置される箇所がグレーの長方形で囲われます。カーソルをドラッグして配置箇所を決めたら、ドロップします。これでワークスペースが分割されます。245 ページの図 8-2 は、ビューを分割した例を示しています。この方法は、ほかのビューでも使用できます。
- ◆ ビューのタブを右クリックし、[New Horizontal Group] または [New Vertical Group] をクリックします。この機能は、ワークスペースにのみ使用できます。

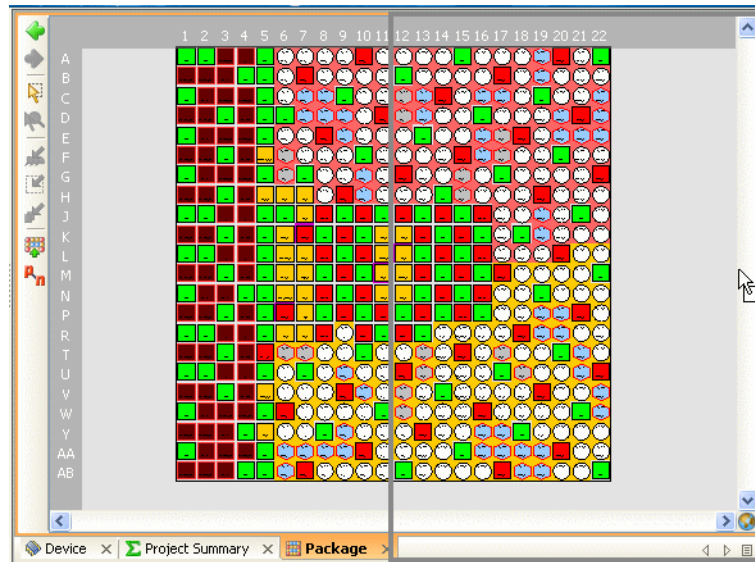


図 8-2 : [Package] ビューと [Device] ビューの同時表示

### 分割したビューを 1 つのビューで表示する方法

分割したビューを 1 つのビュー表示に戻すには、次の手順に従います。

- ビューを選択し、別のビューのタブ上にドラッグします。グレーの長方形でそのビュー全体が囲まれます。
- [Move to Previous/Next Horizontal/Vertical Group] ポップアップ メニュー コマンドをクリックします。

## デバイス リソースの表示

[Device] ビューおよび [Package] ビューは、デバイスおよび配置ロジック リソースをグラフィカルに表示しています。ビューでロジック オブジェクトおよびデバイス サイトを選択すると、それに関する情報が [Properties] ビューに表示されます。[Properties] ビューには、[247 ページの「I/O バンクのロケーションおよびリソースの表示」](#)のように、さまざまなタイプの情報がタブ別で表示されます。

選択したオブジェクトのプロパティを表示するには、[Properties] ビューを表示します。[Properties] ビューが表示されていない場合は、[<Object\_type> Properties] ポップアップ メニュー コマンドをクリックします。

[Device] および [Package] ビューの使用に関する詳細は、[第 4 章の「PlanAhead ビューの使用」](#)を参照してください。

特定のオブジェクトまたはデバイス サイトを検索するには [Find] コマンドを使用します。検索可能なオブジェクト タイプはさまざま、デバイスまたはデザインで特定のオブジェクトを検索するフィルタ機能もあります。オブジェクトは [Find Results] ビューで直接選択できます。詳細は、[第 5 章の「\[Find in Files\] コマンドを使用したソース ファイルの検索」](#)を参照してください。



## パッケージ ピンのプロパティの表示

ピンまたは I/O バンクを [Package] ビューで選択すると、その詳細が [Properties] ビューに表示されます。

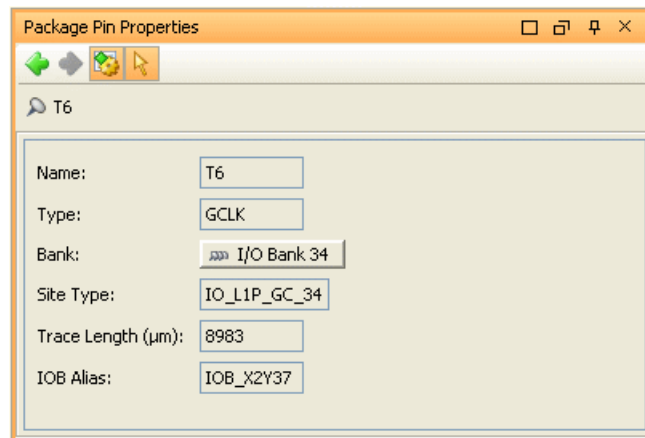


図 8-3 : パッケージ ピン プロパティ

## I/O バンク リソースの表示

I/O リソースはどの I/O Planner ビューでも選択でき、選択したデータはほかのすべてのビューでハイライト表示されるため、物理パッケージと内部チップの関係が容易に確認できます。ビューには、次のようなタイプのデバイスおよびデザイン情報が含まれます。

- [Package Pins] ビューで I/O バンクの 1 つを選択します。
- [I/O Bank Properties] ビューで [General] タブをクリックします。247 ページの図 8-4 は、I/O バンクを表示しています。

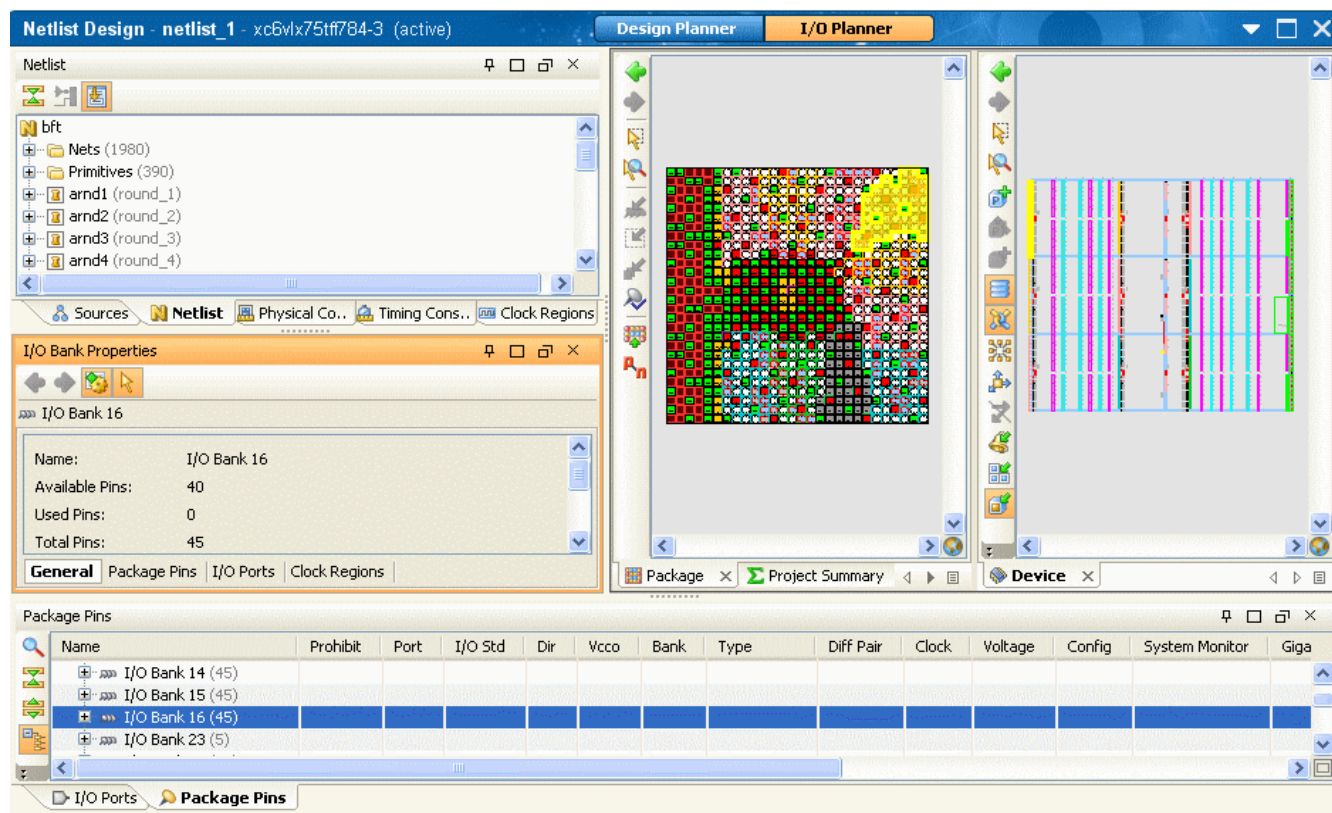


図 8-4 : I/O バンクのロケーションおよびリソースの表示

## クロック領域リソースの表示

[Clock Regions] ビューでは、クロック領域を容易に選択できます。クロック領域を選択すると、関連した I/O バンクおよびリージョナル クロック リソースが次の図のようにハイライト表示されます。

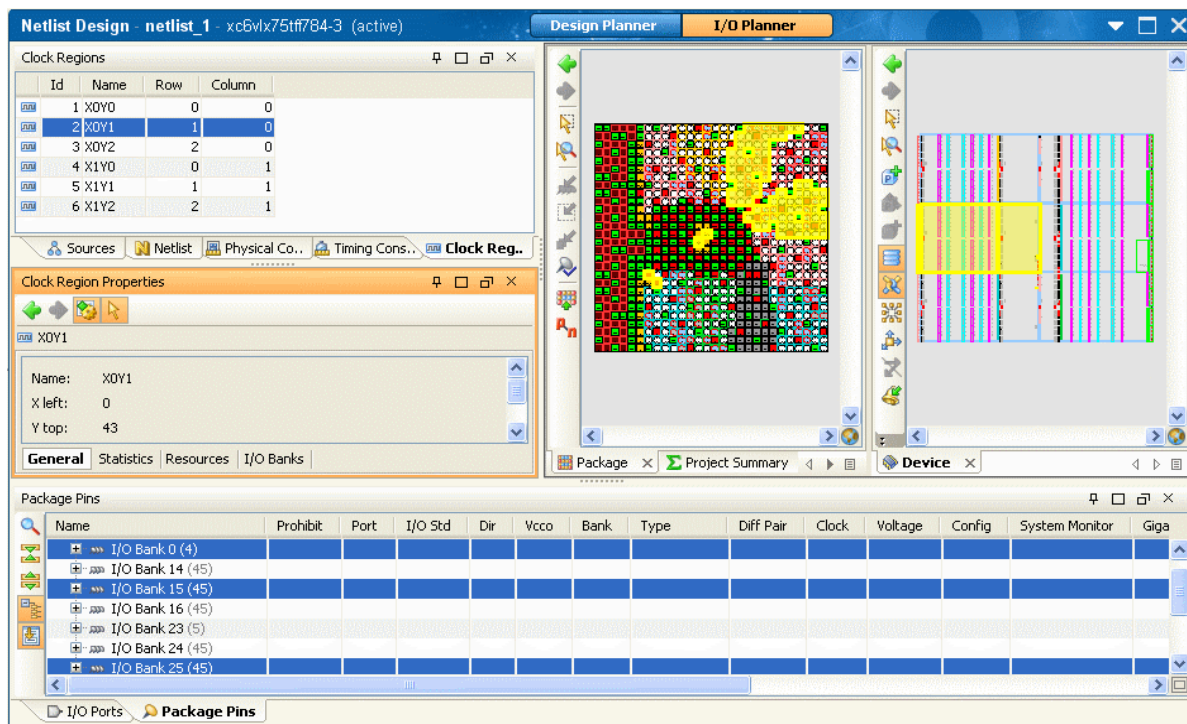


図 8-5 : I/O Planner のクロック領域ソース

## クロック領域のリソース統計の表示

[Clock Region Properties] ビューの [Statistics] タブには、選択したクロック領域のリソース統計およびロジックの内容が表示されます。

249 ページの図 8-6 のように、[Resources] タブでクリックすると、配置されるデバイス クロック サイトが表示されます。

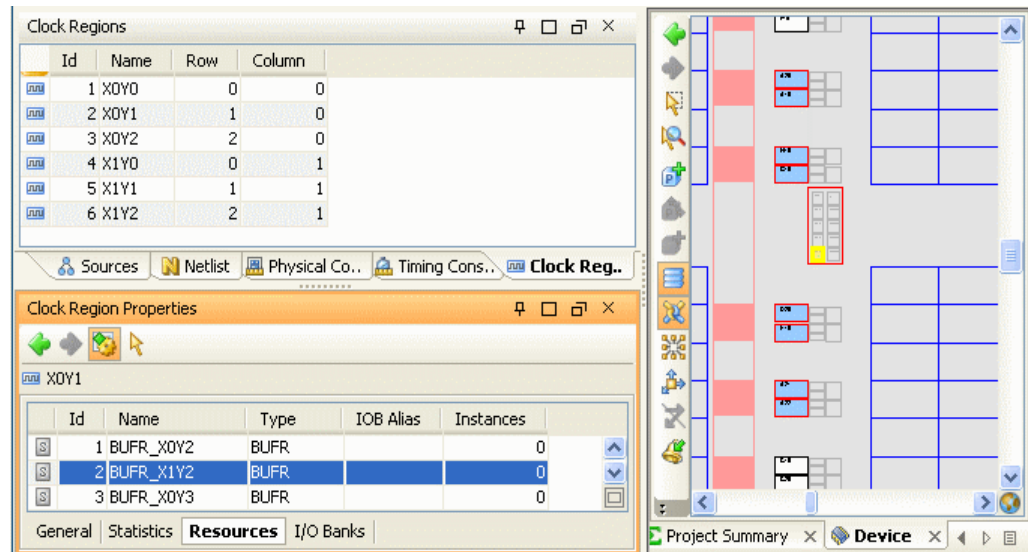


図 8-6 : クロック領域リソースの表示

## 多機能ピンの表示

[Package Pins] ビューには、スプレッドシートのような列でさまざまなデータ タイプが表示されます。このビューは、フラットにしたり、フィルタをかけたり、分類できます。列は移動したり、非表示にしたり、設定変更でき、さまざまな多機能ピンを表示および比較しやすくなっています。次の図に、[Package Pins] ビューの例を示します。

Package Pins

	Id	Name	Bank	Diff Pair	Type	Site Type	Clock	Voltage	Config <sup>1</sup>	System Monitor	Gigabit I/O	MCB	PCI	Min Trace DI
	7	U14	24	L15N	(multi-function)	IO_L15N_RS1_24			RS1					
	8	AB13	24	L16P	(multi-function)	IO_L16P_RS0_24			RS0					
	9	V5			Config	RDWR_B_0			RDWR_B					
	10	F5			Config	PROGRAM_B_0			PROGR...					
	11	H6			Config	M2_0			M2					
	12	J7			Config	M1_0			M1					
	13	U7			Config	M0_0			M0					

I/O Ports

Package Pins

図 8-7 : [Package Pins] ビュー

[Type] 列は、多機能ピンのタイプを示します。その他の列には、多機能タイプのピンに関するロジックまたはコンフィギュレーション モードが記述されます。

デザインにギガビット トランシーバ (GT)、メモリ コントローラ、または PCI ロジックが表示される場合、多機能ピンの競合を示す情報がこの表に表示されます。

[Set Configuration Modes] コマンドを使用すると、必要なデバイス コンフィギュレーション モードが選択されます。これらのコンフィギュレーション モードの多くで多機能ピンが使用されます。詳細は、251 ページの「デバイス コンフィギュレーション モードの選択」を参照してください。

## ターゲット パーツの変更

PlanAhead で代替デバイスを選択すると、有効な I/O ピン割り当てが定義され、選択したデバイスすべてに対しそれが有効であるよう確認できます。

ターゲット パーツを変更するには、次の手順に従います。

1. [Package] ビューまたは [Package Pins] ビューで [Set Part Compatibility] ポップアップ メニューをクリックします。

同じパッケージで使用可能な代替デバイスが次の図のように表示されます。

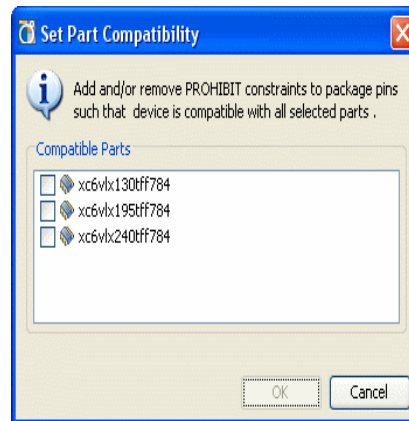


図 8-8 : 代替パーツの選択

この機能は代替パーツがある場合にのみサポートされています。

2. 代替パーツを任意の数だけ選択します。 選択するパーツの数が増えると、配置に使用可能なパッケージ ピンの数が減ります。

PROHIBIT が選択された代替パーツのボンディングされていないピンに自動的に設定されます。使用禁止になっているパッケージ ピン数を示すダイアログ ボックスが表示されます。

PROHIBIT は [Package]、[Package Pins]、[Device] ビューでも表示できます。定義された代替パーツは [Part Compatible] タブにある [Floorplan Properties] でも表示および管理できます。

**メモ :** [Set Part Compatibility] コマンドは Virtex<sup>AE</sup>-5、Virtex-6 および Spartan<sup>AE</sup>-6 に対してのみサポートされます。

## デバイス コンフィギュレーション モードの選択

PlanAhead には、次の図のようにさまざまなデバイス コンフィギュレーション モードに関する情報が表示され、どれでも選択できます。

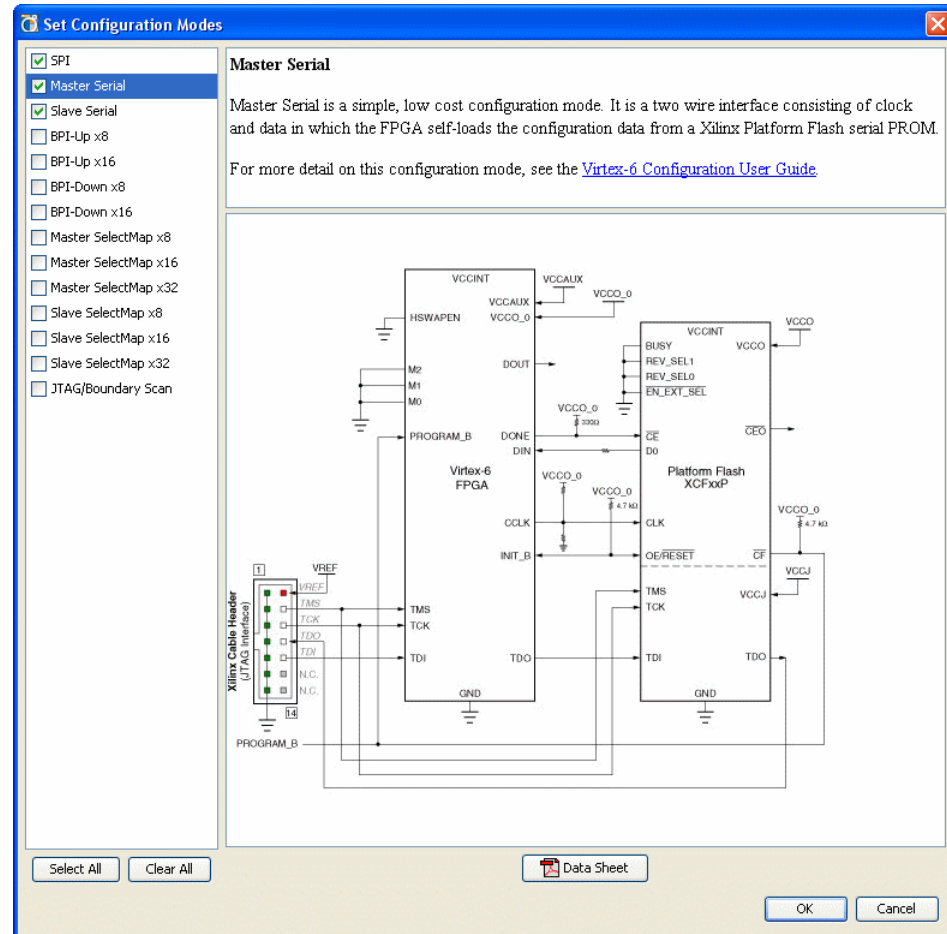


図 8-9 : [Set Configuration Modes] ダイアログ ボックス

デバイス コンフィギュレーション モードを設定するには、次の手順に従います。

1. [Package Pins] ビューで [Set Configuration Modes] をクリックします。
  - ◆ コンフィギュレーション モードのいずれかをクリックし、回路図などの情報を表示します。
  - ◆ [Datasheet] をクリックし、PDF ビューアでデバイス データシートを開きます。
2. 必要なコンフィギュレーション モードを選択したら、[OK] をクリックします。

コンフィギュレーション モードを選択すると、[Package Pins] ビューの [Config] 列に関連する I/O ピンが表示されます。

コンフィギュレーション モードとその他の多機能ピンとに競合があるかどうかを解析する場合は、249 ページの「多機能ピンの表示」を参照してください。

## I/O ポートの定義と設定

I/O Planner インターフェイスを使用すると、I/O ポートを作成および設定できます。空のプロジェクトを作成し、I/O ポートを生成できます。

### I/O ポートのインポート

PlanAhead では、UCF または CSV 形式のファイルを空の PlanAhead プロジェクトへインポートして、I/O ピン配置を開始できます。I/O ピン配置のために RTL プロジェクトを作成する場合は、RTL ファイルまたはヘッダを使用できます。

RTL ベースまたは合成ネットリスト ベースのプロジェクト作成すると、[I/O Ports] ビューに定義された I/O ポートが自動的にインポートされます。

### CSV ファイルのインポート

I/O ポートのリストを CSV ファイルからインポートするには、次の手順に従います。

1. [File] → [Import I/O Ports] → [From CSV] をクリックします。
2. インポートする CSV ファイルを選択します。

次の図は、CSV ファイル形式を示しています。

	A	B	C	D	E	F	G	H	I
1	Top: top Floorplan: floorplan_1 Part: xc5vsx35tf665-1								
2	Generated by: brianj on: Fri Feb 06 17:28:39 2009								
3	Build: PlanAhead v11.1.LR0 by: ECloudInternalUser4 on: Thu Feb 5 20:04:57 PST 2009								
4									
5	<b>IO Bank</b>	<b>Pin Number</b>	<b>IOB Alias</b>	<b>Site Type</b>	<b>Min Trace</b>	<b>Max Trace</b>	<b>Prohibit</b>	<b>Interface</b>	<b>Signal Name</b>
6		P2	OPAD_X0Y5	MGTTXP0_114	34878	40691			TXP_OUT[4]
7		W2	OPAD_X0Y7	MGTTXP1_114	41406	48307			TXP_OUT[5]
8		B2	OPAD_X0Y13	MGTTXP0_116	63540	74130			TXP_OUT[6]
9		G2	OPAD_X0Y15	MGTTXP1_116	55620	64890			TXP_OUT[7]
10		17 AD16	IOB_X0Y8	IO_L15N_17	80604	94038			DataOut_US
11		17 AE15	IOB_X0Y6	IO_L16N_17	89010	103845			DataOut_US
12		17 AC21	IOB_X0Y17	IO_L11P_CC_17	47370	55265			DataOut_US

図 8-10 : CSV 形式の I/O ポート リスト

### CSV の列

CSV は、FPGA やボード設計にあたり、デバイス ピンおよびピン配置のデータを交換するときに使用される標準ファイル形式です。CSV の列には、次が含まれます。

- **[IO Bank]** : ピンが配置される I/O バンク。デバイスのすべてのピンに対しこのフィールドにデータがソフトウェアで自動入力されます。値は数値または空白です。入力 CSV ファイルでは必須のフィールドではありません。
- **[Pin Number]** : パッケージ ピンの名前またはロケーション。デバイスのすべてのピンに対しこのフィールドにデータがソフトウェアで自動入力されます。入力ファイルで必須のフィールドではありません。入力に使用される場合は、配置を定義するために使用されます。値はデバイスの有効なピンです。
- **[IOB Alias]** : パッケージ ピンの代替パーツ名。このフィールドはソフトウェアで指定され、入力 CSV ファイルで指定されていない場合は使用されません。
- **[Site Type]** : デバイス データシートからのピン名。このフィールドはソフトウェアで指定され、入力 CSV ファイルで指定されていない場合は使用されません。



- **[Min/Max Trace Delay]** : デバイスのパッド サイトとパッケージのボールの間の距離で、単位はピコ秒 (ps) です。このフィールドはソフトウェアで入力され、ボード設計時にトレース遅延を一致させるために使用します。トレース遅延のフィールドは出力ファイルのみで、入力ファイルには含まれません。
- **[Prohibit]** : ユーザー I/O がサイトに追加されないよう、さまざまな理由でサイトは使用禁止されます。**PROHIBIT** を設定することで、ボード レイアウト問題の抑制、信号間クロストークの低減、同じパッケージの複数の **FPGA** 間でピン配置が有効であるかどうかの確認に役立ちます。**UCF** ファイルでは、これは **CONFIG PROHIBIT** 制約として記述されています。値は **TRUE** または空白のどちらかになります。**[Pin Number]** が空白の場合、このフィールドも空白である必要があります。
- **[Interface]** : ユーザー I/O のセットをユーザーが指定してグループ化します。たとえば、このフィールドは、メモリ インターフェイスのデータ、アドレス、およびイネーブル信号の関係を指定するのに使用できます。値は文字列または空白です。
- **[Signal Name]** : **FPGA** デザインのユーザー I/O 名。値は文字列、または割り当てられていないパッケージ ピンの場合は空白です。
- **[Direction]** : 信号の方向。値は **IN**、**OUT**、**INOUT**、またはユーザー I/O がサイトに割り当てられていない場合は空白です。
- **[DiffPair Type]** : 差動ペアのピンが **N** 側、**P** 側のどちらにあるかが記述されます。これは差動信号に対してのみ使用されます。ソフトウェアは、ピン名ではなく、この列を使用してどのピンが **N** 側か **P** 側かを判断します。  
値は **P**、**N**、またはユーザー I/O がサイトに割り当てられていない場合は空白です。
- **[DiffPair Signal]** : 差動ペアのもう 1 つのピン名を指定するのに使用します。値はユーザー I/O 名、または未使用の場合は空白です。
- **[I/O Standard]** : 特定ユーザー I/O の I/O 規格。このフィールドがユーザー I/O に対し空白の場合、該当するデフォルト値が使用されます。値は有効な I/O 規格、または空白です。
- **[Drive]** : 特定ユーザー I/O の I/O 規格の駆動強度。すべての I/O 規格が駆動強度を必要とするわけではありません。このフィールドが空白の場合、デフォルト値が使用されます。値は数値または空白です。
- **[Slew Rate]** : 特定ユーザー I/O の I/O 規格のスルー レート。すべての I/O 規格がスルー レートを必要とするわけではありません。このフィールドが空白の場合、デフォルト値が使用されます。値は **FAST** および **SLOW** です。
- **[Phase]** : 同期位相オフセットの場合に、バンク内のほかの I/O の位相に関連した I/O の位相を指定します。

またほかの情報を追加することもできます。ユーザー定義の値が入力されているフィールドはユーザー定義列に自動追加されます。ユーザーはパッケージ ピンの表に列を追加できます。

#### カスタム I/O ポート プロパティの使用

**PlanAhead** には I/O ピン関連データをインポートするための規定フォーマットがあります。**CSV** ファイルには、追加情報が含まれることがよくあります。インポートされた **CSV** ファイルにデータを含んだ追加列がある場合、**PlanAhead** で **[Package Pins]** ビューに新しい列が作成され、値を表示および変更できます。

カスタム **CSV** フィールドで値を変更または定義するには、**[Set User Column Values]** ポップアップメニュー コマンドを使用します。

**[File]** → **[Export I/Os]** → **[CSV]** をクリックすると、列と新しい値が保存され **CSV** ファイルにエクスポートされます。

## UCF ファイルのインポート

PlanAhead では、UCF 形式のファイルをインポートして、[I/O Ports] ビューに表示できます。UCF ファイルから I/O ポートの定義をインポートするには、[File] → [Import I/O Ports] → [From UCF] をクリックします。

UCF ではポートの方向が定義されていないので、[Direction] フィールドは「undefined」と表示されます。[I/O Ports] ビューで [Set Direction] ポップアップ メニュー コマンドを実行し、I/O ポートの方向を定義します。詳細は、[255 ページの「I/O ポート方向の設定」](#)を参照してください。

## I/O ポートの作成

I/O ポートを作成するには、次の手順に従います。

1. [I/O Ports] ビューのポップアップ メニューで、[Create I/O Ports] をクリックします。

次の図のダイアログ ボックスが表示されます。

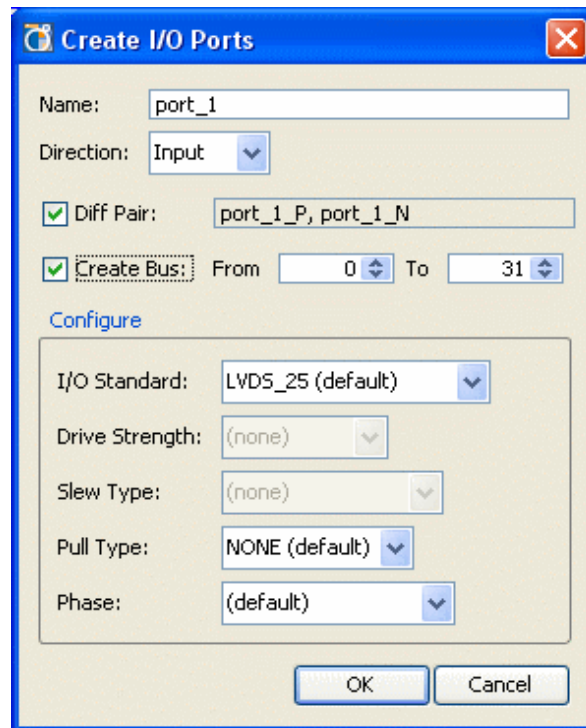


図 8-11 : [Create I/O Ports] ダイアログ ボックス

2. [Create I/O Ports] ダイアログ ボックスで次のオプションを表示および編集します。

- ◆ [Name] : 作成するポートまたはバスの名前を指定します。
- ◆ [Direction] : ポートの方向を選択します。
- ◆ [Diff Pair] : 信号またはバスに差動ペアを定義する場合はオンにします。
- ◆ [Create Bus] : バス範囲を指定します。
- ◆ [Configure]
  - [I/O Standard] : I/O 規格を選択します。
  - [Drive Strength] : 駆動電流の値を選択します。

- [Slew Type] : スルー レートを選択します。
- [Pull Type] : 抵抗のタイプを選択します。
- [Phase] : 位相グループまたは既存の位相グループを入力します。位相グループは SSN 計算で使用されているポートの論理グループで、このポート グループで同じ周波数と位相が共有されていることを示します。詳細は276 ページの「[I/O ポート スイッチ位相グループの定義](#)」を参照してください。

デバイスの電圧の情報については、ザイリンクスのデバイスのマニュアルを参照してください。

## I/O ポートの設定

ポートまたはポートのグループを設定するには、次の手順に従います。

1. [I/O Ports] ビューで、ポートを選択します。
2. ポップアップ メニューで [Configure I/O Ports] をクリックします。

次の図のダイアログ ボックスが表示されます。

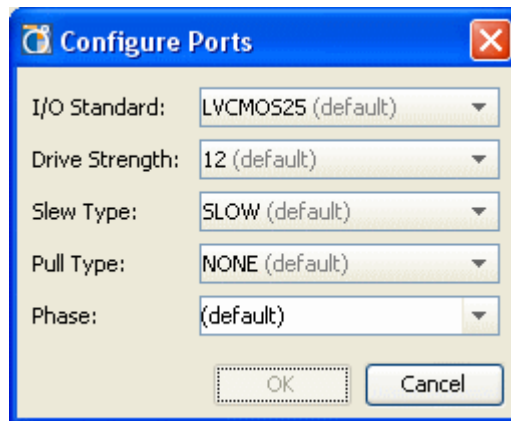


図 8-12 : [Configure Ports] ダイアログ ボックス

3. 編集可能なオプションを確認し、必要があれば編集します。
  - ◆ [I/O Standard] : I/O 規格を選択します。
  - ◆ [Drive Strength] : 駆動電流の値を選択します。
  - ◆ [Slew Type] : スルー レートを選択します。
  - ◆ [Pull Type] : 抵抗のタイプを選択します。
  - ◆ [Phase] : 位相グループまたは既存の位相グループを入力します。位相グループは SSN 計算で使用されているポートの論理グループで、このポート グループで同じ周波数と位相が共有されていることを示します。詳細は276 ページの「[I/O ポート スイッチ位相グループの定義](#)」を参照してください。

デバイスの電圧の情報については、ザイリンクスのデバイスのマニュアルを参照してください。

## I/O ポート方向の設定

I/O ポートの方向を設定するには、設定する必要がある I/O ポート、バス、またはインターフェイスを選択し、[I/O Ports] ビューで [Set Direction] ポップアップ メニュー コマンドをクリックします。

## 差動ペアの定義

差動ピン ペアを定義するには任意の 2 つの I/O ポートを選択し、[I/O Ports] ビューの [Make Diff Pair] ポップアップ メニュー コマンドをクリックします。



図 8-13 : [Make I/O Diff Pair] ダイアログ ボックス

2 つの I/O ポートが、正側と負側にそれぞれ指定されてダイアログ ボックスに表示されます。

- [Swap] ボタンをクリックすると、正と負を入れ替えることができます。
- [Split Diff Pair] ポップアップ メニュー コマンドをクリックすると、差動ペア定義を削除できます。

## DCI\_CASCADE 制約の設定

DCI\_CASCADE 制約は PlanAhead 環境で設定することができます。この制約の使用目的および使用方法については、『制約ガイド』(UG612) を参照してください。

この制約は、クロッキング目的で近接する 2 つ以上の I/O バンクをリンクするために使用します。入力クロックのある I/O バンクはマスタと呼ばれ、それ以外のはスレーブと呼ばれます。この制約は、コマンドを実行する前に目的の I/O バンクを予め選択するか、またはコマンドのダイアログ ボックスで I/O バンクを選択して、設定することができます。

DCI\_CASCADE 制約を設定するには次の手順に従います。

1. オプションで、制約を設定する I/O バンクを選択します。
2. 右クリックして [Create a DCI Cascade] ポップアップ メニュー コマンドを選択します。257 ページの図 8-14 に示す [DCI Cascade Editor] ダイアログ ボックスが表示されます。

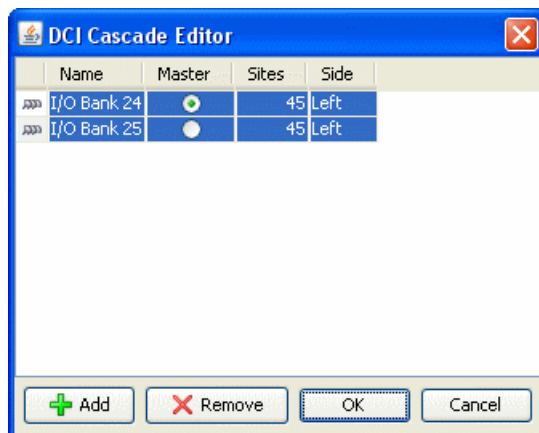


図 8-14 : DCI カスケード制約の作成

3. I/O バンクをインターフェイスに追加するには、[Add] ボタンをクリックします。  
次の図のように、I/O バンクが選択されて表示されます。

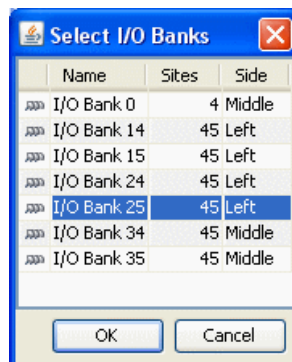


図 8-15 : DCI カスケードの I/O バンクの選択

4. マスタにしたい I/O バンクを選択します。
5. [OK] をクリックします。

I/O バンクを選択すると、ほかの PlanAhead ウィンドウで選択したものがハイライトされます。

DCI カスケードは、258 ページの図 8-16 のように [Physical Constraints] ビューに表示されます。

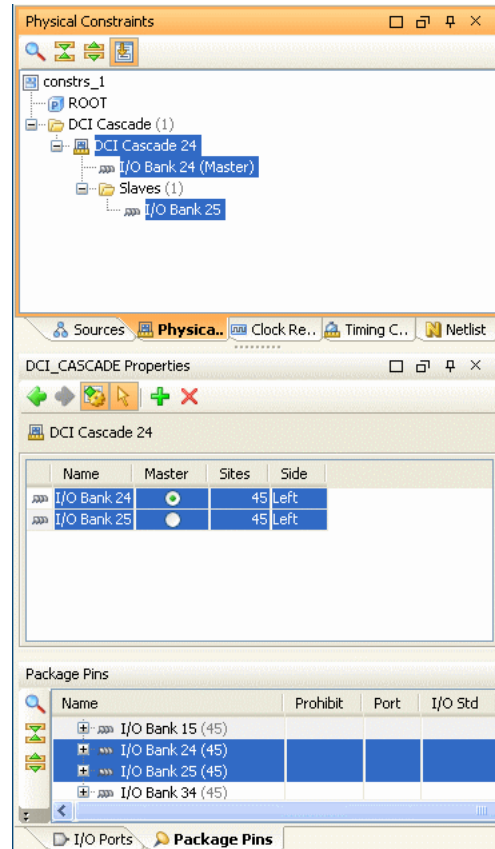


図 8-16 : DCI カスケードの表示

[Physical Constraints] ビューで DCI カスケードを選択すると、関連する I/O バンクも選択されます。

## DCI カスケード制約の変更と削除

DCI カスケードは、[Physical Constraints] ビューで DCI カスケードを選択すると、[DCI\_CASCADE Properties] ビューから変更することができます。

- 変更をすべて保存するには、[DCI\_CASCADE Properties] ビューの [Apply] ボタンをクリックします。
- マスタは、別の I/O バンクを選択してそれをマスタに割り当てると変更できます。
- I/O バンクは、[DCI\_CASCADE Properties] ビューで I/O バンクを選択し、[Delete I/O Banks] ボタンをクリックすると DCI カスケードから削除できます。
- I/O バンクは、[DCI\_CASCADE Properties] ビューで I/O バンクを選択し、[Add I/O Banks] ボタンをクリックすると DCI カスケードに追加できます。[Add I/O Banks] ダイアログボックスが表示されます。ここで、新しい I/O バンクを選択できます。新しく選択した I/O バンクはほかの PlanAhead ビューでハイライトされます。
- DCI\_CASCADE 制約は、[Physical Hierarchy] ビューで制約を選択し、[Delete] コマンドを使用して削除できます。

## I/O ピンおよび I/O バンクの使用禁止

I/O Planner では、I/O ピン、I/O ピンのグループ、または I/O バンクの使用を個別に禁止できます。ピンは [Package]、[Package Pins]、[Device] ビューで選択して禁止できます。

I/O ピンまたは I/O バンクを使用禁止にするには、次の手順に従います。

1. [Package Pins] ビューまたは [Package] ビューで、I/O ピンまたは I/O バンクを選択します。
2. ポップアップ メニューで [Set Prohibit] をクリックします。

[Package] ビューで、赤い X マークが使用禁止になったピンに表示され、[Package Pins] ビューの [Prohibit] 列にはチェックマークが表示されます。

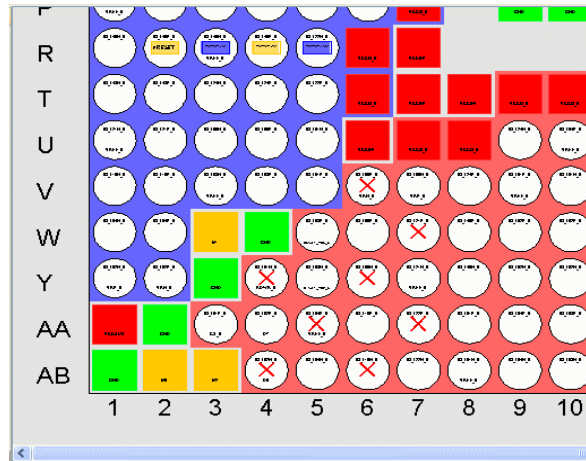


図 8-17 : 使用禁止のパッケージ ピン

## I/O ポート インターフェイスの作成

複数のポートまたはバスは、インターフェイスを作成し、グループ化できます。インターフェイスポートがすべて 1 つのグループにまとめられるため、ピンの割り当てに役立ちます。ピンをすべて同時に割り当てると、クロック領域または PCB 配線関連のインターフェイスをまとめたり隔離しやすくなります。特定のロジック インターフェイスに関連付けられた信号すべての表示および管理も容易になります。

インターフェイスを作成するには、次の手順に従います。

1. [I/O Ports] ビューで、一緒のグループにまとめる信号を選択します。
2. ポップアップ メニューで [Create I/O Port Interface] をクリックします (260 ページの図 8-18)。



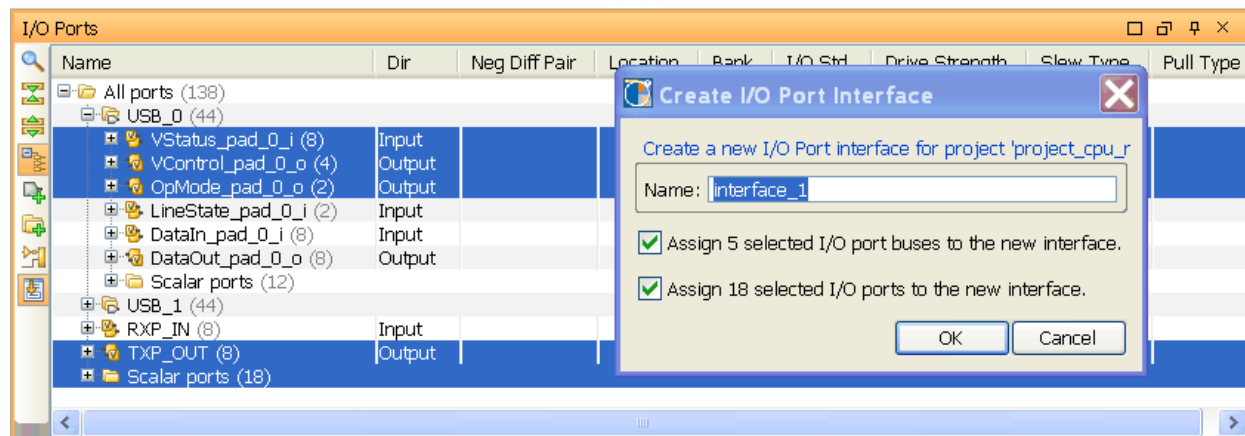


図 8-18 : [Create I/O Ports Interface] ダイアログ ボックス

3. インターフェイス名を指定し、選択されたバス数およびポート数を確認します。
4. [OK] をクリックします。

インターフェイスが展開可能なフォルダとして [I/O Ports] ビューに表示されます。次の図のように、[I/O Ports] ビューで I/O ポートを選択して、インターフェイス フォルダにドラッグすると、I/O ポートを新しく追加できます。

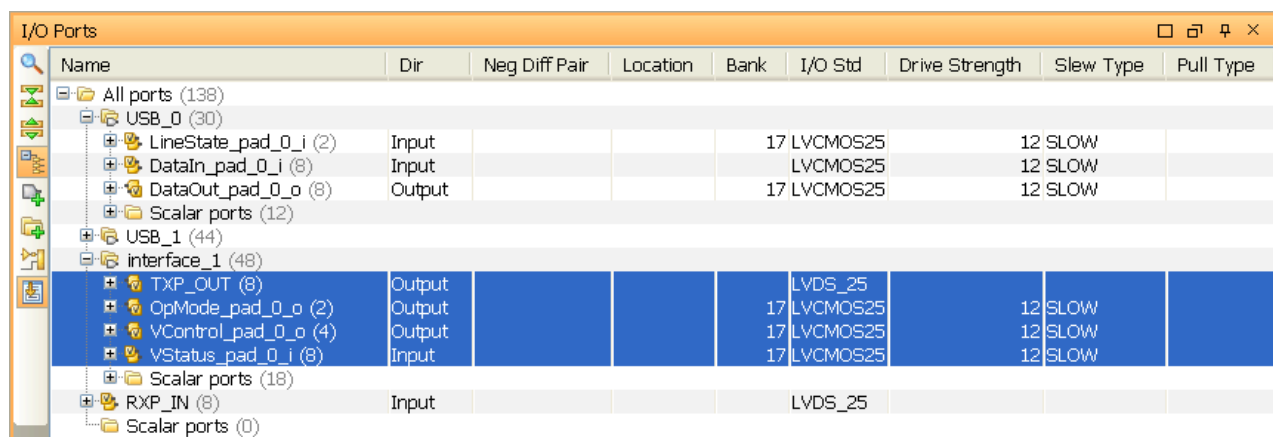


図 8-19 : I/O ポート インターフェイスの管理

I/O ポートをインターフェイスに追加するには、次の手順に従います。

1. ポートまたはバスを選択します。
2. ポップアップ メニューで [Assign to Interface] をクリックします。
3. I/O ポートを追加するインターフェイスを選択します。

I/O ポートおよびインターフェイスを削除するには、次の手順に従います。

1. ポートまたはインターフェイスを選択します。
2. ポップアップ メニューで [Unassign from Interface] をクリックします。

インターフェイスを削除するには、削除するインターフェイスを選択し、ポップアップ メニューで [Delete] をクリックするか、Delete キーを押します。

## インタラクティブなデザイン ルール チェックの使用

PlanAhead はピン配置を有効にしようとしませんが、ユーザーが ISE ピン配置プロセスを実行してピン配置が有効かどうか確認する必要があります。このために含まれるインタラクティブ I/O 配置ルーチンでは、よく発生するエラーがチェックされます。この機能は、[Device] または [Package] ビューのツールバーの [Automatically Enforce Legal I/O Placement] ボタン、または [Tools] → [Options] → [General] で表示されるダイアログ ボックスの [I/O Placement] で、オン/オフを切り替えられます。

オンにすると、問題を引き起こすピンに I/O ポートを配置できなくなります。I/O ポートを順次に割り当てる場合、問題のあるピンに I/O ポートを配置しようとする、I/O ポートを配置できない理由がツールに表示されます。オンライン DRC はデフォルトではオンになっています。チェックの多くは最終デザインを表すネットリストが読み込まれている場合のみに実行されます。

インタラクティブな I/O 配置ルールには、次のものが含まれます。

- ギガビット トランシーバ (GT) に関連する、ノイズの影響を受けやすいピンへの配置の禁止。ノイズの影響を受けやすい I/O パッケージ ピンがすべて禁止されます。
- I/O 規格に違反する配置の禁止。
- バンクでサポートされていない I/O 規格が使用されないように確認。
- バンクに互換性のない VCC ポートが割り当てられていないことを確認。
- VREF ポートが必要なバンクに使用可能な VREF ピンあることを確認。
- グローバル クロックおよびリージョナル クロックが適切に割り当てられていること (EDIF/NGC ネットリストおよび UCF がインポートされている場合のみ) を確認。
- 入力および High 駆動の出力が適切なピンにのみ送信されることを確認 (Spartan<sup>AE</sup>-3 デバイスの場合)。
- 差動 I/O ポートが正しい極性ピンに割り当てられていることを確認。
- 出力ピンが入力のためのピンに配置されていないことを確認。

I/O ポートの配置は、DRC をオンにして実行することをお勧めします。

## I/O ポートの配置

I/O Planner では、さまざまな方法で I/O ポートをパッケージ ピンに割り当てることができます。個別の I/O ポート、I/O ポートのグループ、またはインターフェイスを [I/O Ports] ビューで選択し、[Package] ビューでパッケージ ピンに、または [Device] ビューで I/O パッドに、図で確認しながら割り当てられます。

インタラクティブな配置の実行中は、オンライン DRC のオン/オフを切り替えることができます。

I/O ポートの割り当てには、次の配置コマンドを使用できます。

- [Place I/O Ports in an I/O Bank] コマンド
- [Place I/O Ports in Area] コマンド
- [Place I/O Ports Sequentially] コマンド

次のセクションでは、各配置モードについて説明します。

自動 I/O ポート割り当ての詳細は、265 ページの「I/O ポートの自動配置」を参照してください。

## I/O ポートの I/O バンクへの配置

I/O ポートを I/O バンクに配置するには、次の手順に従います。

1. [I/O Ports] ビューで、個別の I/O ポート、I/O ポートのグループ、またはインターフェイスを選択します。
2. [I/O Ports]、[Package]、または [Device] ビューで次の図の [Place I/O Ports in an I/O Bank] ボタンをクリックします。



図 8-20 : [Place I/O Ports in an I/O Bank] ボタン

カーソルをパッケージピンまたは I/O パッド上に移動すると、I/O ポートのグループがカーソルと共に移動します。ツール ヒントには、カーソルを移動した I/O に配置されるピンの数が表示されます。

3. ピンまたはパッドをクリックすると、選択された I/O ポートが割り当てられます。次の図は、I/O パッドを示しています。

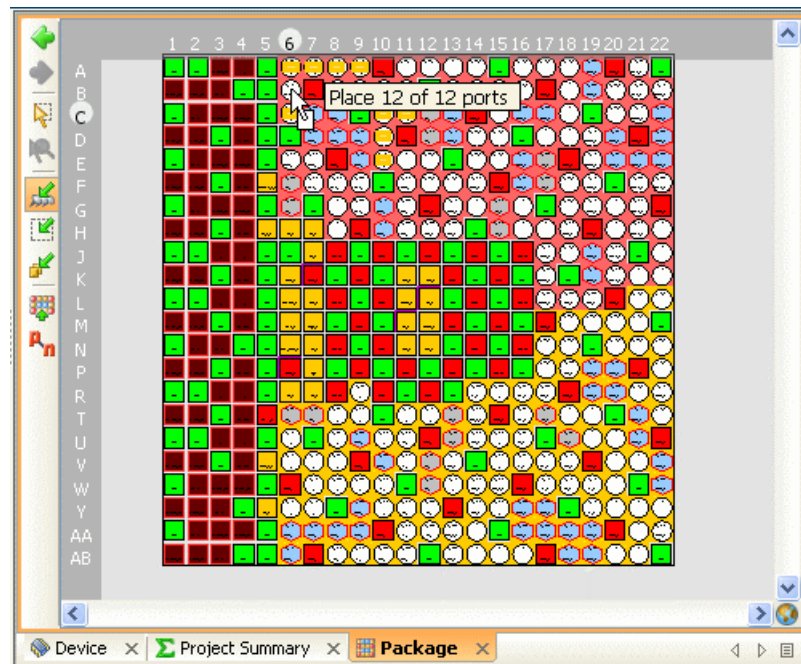


図 8-21 : I/O ポートの I/O バンクへの配置

4. 選択した I/O ポートすべてを配置できない場合はコマンドが継続し、次に選択した I/O バンクに残りの I/O ポートが配置されます。I/O ポートがすべて配置されるか、Esc キーを押すまでコマンドが継続します。
- カーソルを [Package] ビュー上で移動すると、ビューの上と左に I/O ピンの座標が表示されます。
  - その他の I/O ピンおよびバンク情報は、PlanAhead の一番下のステータス バーに表示されます。
  - レポートされるアクティブなオブジェクトが [Package] ビューでハイライトされます。
  - カーソルを [Package] ビュー上に置くと、ピン情報が表示されます。

ポートは、[I/O Ports] ビューに表示されている順序で割り当てられます。割り当ての前に [I/O Ports] ビューで並べ替えをすると、並べ替えられた順序で割り当てられます。

また、I/O バンクの割り当てで最初に選択したピンから順に割り当てられます。I/O バンクの端にあるピンを選択すると、バスが I/O バンク全体に割り当てられます。

バスに関連する PCB 配線も考慮されます。ピンは、割り当て領域内でバスビットのベクタが保持されるような順序で割り当てられます。割り当てパターンは、バス配線関連に対応するようにカスタマイズできます。

## I/O ポートの定義された領域への配置

I/O ポートを定義された領域に配置するには、次の手順に従います。

1. [I/O Ports] ビューで、個別の I/O ポート、I/O ポートのグループ、またはインターフェイスを選択します。
2. [I/O Ports]、[Package]、または [Device] ビューで次の図の [Place I/O Ports in Area] ボタンをクリックします。



図 8-22 : [Place I/O Ports in Area] ボタン

カーソルが十字型に変化し、ポート配置用の長方形を定義できることを意味します。

3. [Package] ビューまたは [Device] ビューのいずれかで長方形を描画し、次の図のように割り当て領域を定義します。

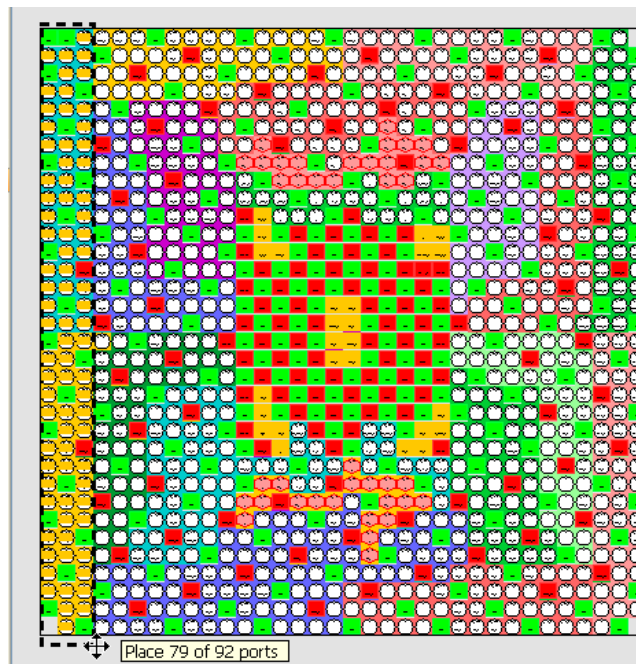


図 8-23 : I/O ポートの領域への配置

4. 定義したエリアに選択された I/O ポートすべてを配置できない場合は、コマンドが継続します。カーソルは十字型のままで、残りの I/O ポートがすべて配置されるまで、長方形を続けて描画できます。Esc キーを押すと、I/O ポートを配置し終わる前にコマンドが終了します。

ポートは、[I/O Ports] ビューに表示されている順序で割り当てられます。割り当ての前に [I/O Ports] ビューで並べ替えをすると、並べ替えられた順序で割り当てられます。

また、長方形の描画方向によって割り当て順序が変わります。I/O ポートは最初に選択された長方形の座標の内側のピンから順に割り当てられます。領域の長方形定義の情報を使用すると、PCB 配線の観点で見たピン配置設定に役立ちます。

## I/O ポートの順次配置

I/O ポートを順次に配置するには、次の手順に従います。

1. [I/O Ports] ビューで、個別の I/O ポート、I/O ポートのグループ、またはインターフェイスを選択します。
2. 次の方法のいずれかを選択します。
  - ◆ [I/O Ports] ビューのポップアップ メニューで、[Place I/O Ports Sequentially] をクリックします。
  - ◆ [Package] または [Device] ビューで次の図の [Place I/O Ports Sequentially] ボタンをクリックします。



図 8-24 : [Place I/O Ports Sequentially] ボタン

カーソルをパッケージ ピンまたは I/O パッド上に移動すると、グループの最初の I/O ポートがカーソルと共に移動します。ツール ヒントには、I/O ポート名およびパッケージ ピン名が表示されます。

3. ピンまたはパッドをクリックすると、I/O ポートが割り当てられます。  
次の図は、I/O ポートの順次配置を示しています。

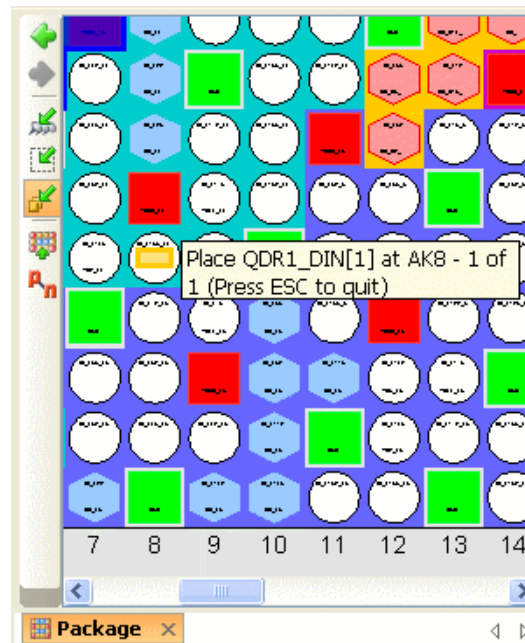


図 8-25 : I/O ポートの順次配置

4. 配置されなかった I/O ポートがあると、コマンドは継続して実行されます。I/O ポートがすべて割り当てられるまでこの操作を継続するか、または **Esc** キーを押します。

ポートは、[I/O Ports] ビューに表示されている順序で割り当てられます。割り当ての前に [I/O Ports] ビューで並べ替えをすると、並べ替えられた順序で割り当てられます。

## I/O ポートの自動配置

I/O Planner では、選択した I/O ポートすべてを自動的にパッケージピンに割り当てることができます。自動配置ではすべての I/O 規格および差動ペアの規則が遵守され、グローバルクロックピンが正しく配置されます。この機能は、Virtex-4 および Virtex-6 デバイスファミリで使用できます。

割り当てられていない I/O ポートのサブセットに I/O ポートを自動的に割り当てするには、次の手順に従います。

1. [I/O Ports] ビューで、割り当てられていないポートを選択します。
2. [Tools] → [Autoplace I/O Ports] または [I/O Ports] ビューのポップアップメニューで [Autoplace I/O Ports] をクリックします。

次の図のウィザードが表示されます。

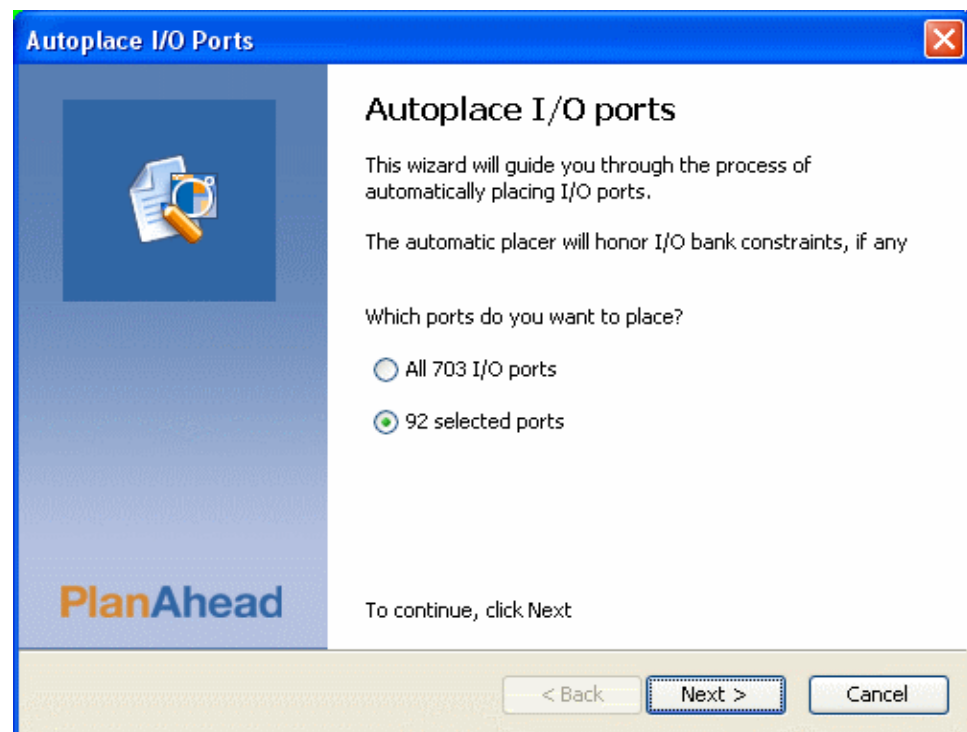


図 8-26 : Autoplace I/O Ports ウィザード

3. 配置する I/O ポートのグループを選択し、[Next] をクリックします。
4. 既にパッケージピンに割り当てられている I/O ポートのみを選択すると、266 ページの図 8-27 のページが表示されます。



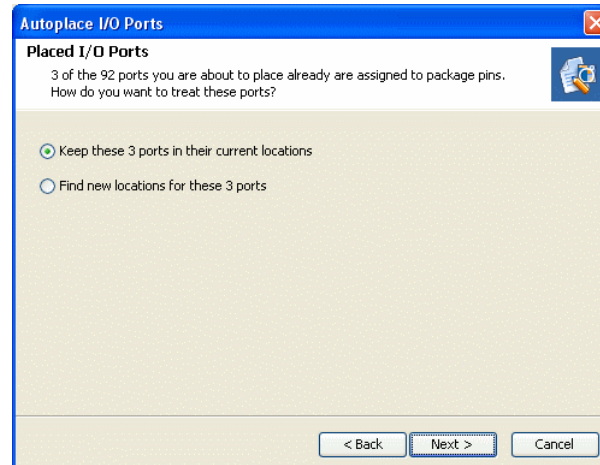


図 8-27 : Autoplace I/O Ports ウィザード

5. 配置する I/O ポートを選択し、[Next] をクリックし、サマリ ページで [Finish] をクリックします。

## ギガビット トランシーバ I/O ポートの配置

ギガビット トランシーバ (GT) をよりうまく管理するため、I/O Planner では、選択、配置、移動の実行時に、I/O 差動ペアと GT ロジック オブジェクトが自動的にグループ化されます。複数の GT オブジェクトは 1 つのオブジェクトとして選択され、GT リソースに無効に割り当てられないよう、まとめて移動できます。

インタラクティブ DRC がオンの場合、ポート配置中に、GT の周囲のノイズの影響を受けやすい I/O ピンが自動的に配置禁止になります。詳細は、[261 ページの「インタラクティブなデザイン ルール チェックの使用」](#)を参照してください。

## I/O 関連のクロック ロジックの配置

BUFG、DCM、BUFR、DelayCtrl などの、グローバルおよびリージョナル クロック関連のロジックは、[Device] ビューに手動で配置できます。デバイス特有のリソースすべてに対する適切なロジック サイトが表示されます。[Edit] → [Find] コマンドを使用すると、そのデバイスで使用できるさまざまなサイト タイプを検索できます。検索結果を [Find Results] ビューでクリックすると、そのサイトがハイライト表示されます。

PlanAhead では、[Find] コマンド、[Schematic] ビュー、[Netlist] ビューなど、さまざまな方法で、デザイン クロック関連のロジックを選択できます。

クロック ロジックを手動で配置するには、次の手順に従います。

1. [Device] ビューを拡大表示し、ロジックを配置するデバイス サイトを表示します。
2. [Create Site Constraint Mode] ツールバー ボタンをオンにします。
3. 配置するロジックを [Find Results]、[Schematic]、または [Netlist] ビューでクリックし、[Device] ビューのサイトにドラッグします。[267 ページの図 8-28](#) は、手動のクロック配置の例を示しています。



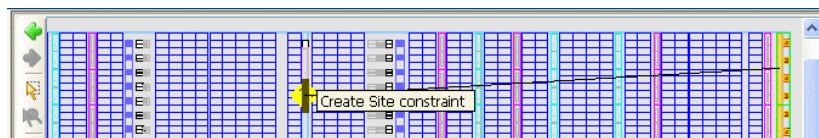


図 8-28 : クロック ロジックの手動配置

## I/O とクロック ロジックの配置の検証

### I/O ポートおよびクロック ロジック関連の DRC の実行

このセクションでは、I/O ポートおよびクロック関連の DRC の実行について説明します。ネットリストおよびフロアプラン関連の DRC の実行については、[第 8 章の「I/O ポートおよびクロック ロジック DRC の詳細」](#)を参照してください。

実行する DRC ルールを選択するには、次の手順に従います。

1. [Tools] → [Run DRC] をクリックします。

次の図のダイアログ ボックスが表示されます。

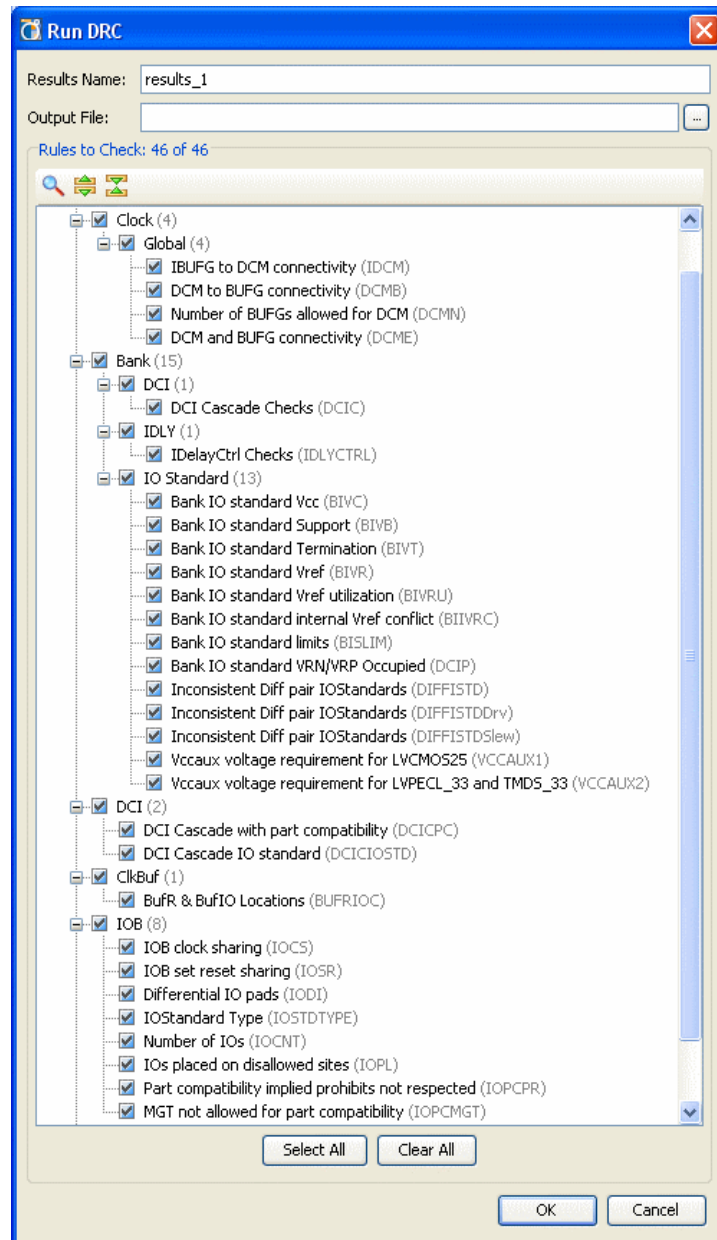


図 8-29 : [Run DRC] ダイアログ ボックス : I/O ピンおよびクロック DRC ルール

2. [Results Name] フィールドを表示または編集します。ここで指定した名前が [DRC Results] ビューに表示されるので、デバッグ時に区別しやすい名前を付けます。この名前は出力ファイル名としても使用されます。
3. [Rules to Check] グループ ボックスの各デザイン オブジェクトで、チェックするルールのチェック ボックスをオンにします。各ルールの詳細は、270 ページの「I/O ポートおよびクロック ロジック DRC の詳細」を参照してください。
  - ◆ [Expand All] ボタンをクリックするか、各カテゴリまたはデザイン オブジェクトの横のプラス記号 (+) をクリックすると、階層が展開します。
  - ◆ DRC すべてを実行するには、デザイン オブジェクトの横のチェック ボックスをオンにします。
  - ◆ すべてのデザイン オブジェクトのすべてのルールをチェックする場合は、[All Rules] の横のチェック ボックスをオンにします。
4. [OK] をクリックすると、選択した項目がチェックされます。

## DRC エラーの表示

DRC が終了すると、次の図のような [DRC Results] ビューが表示されます。

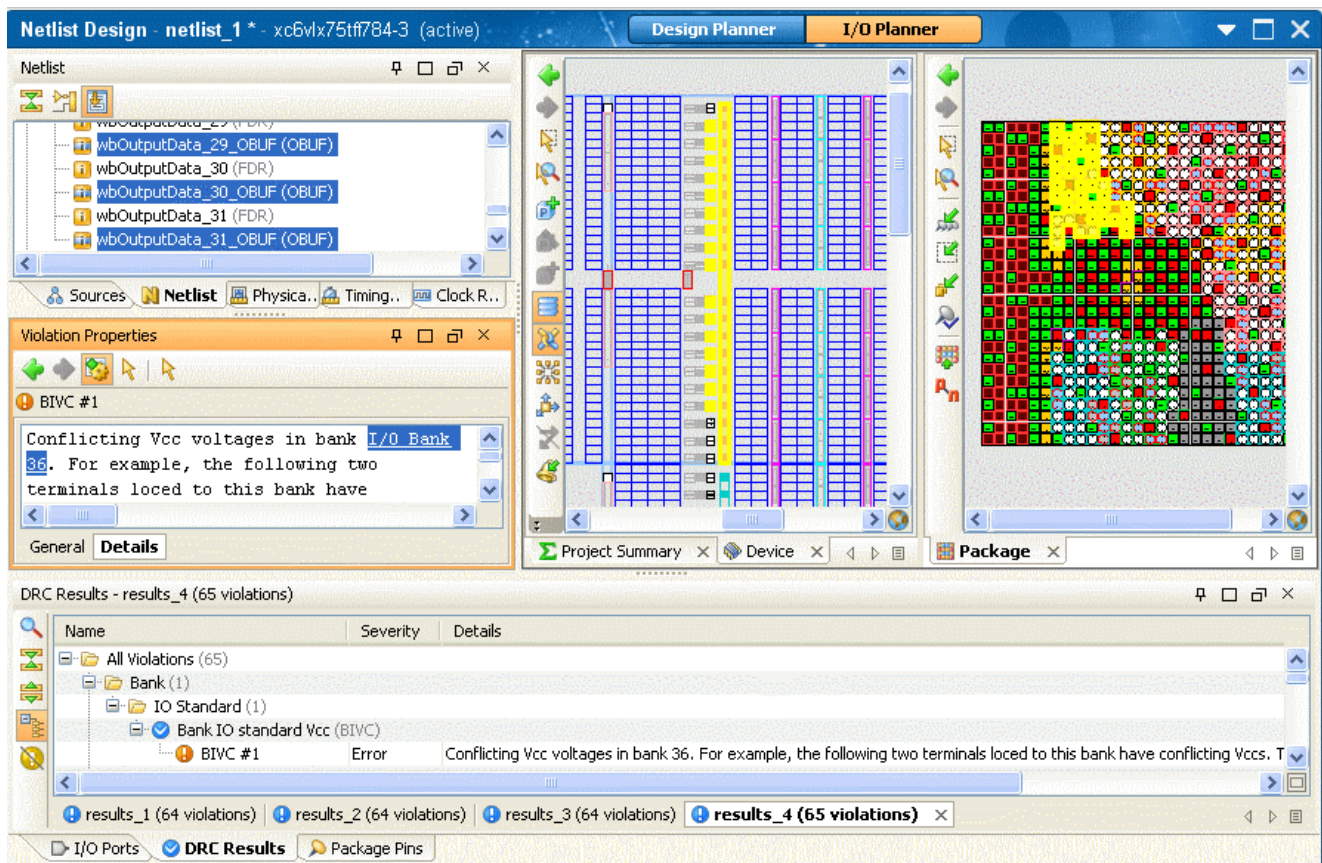


図 8-30 : DRC エラーのハイライト

違反は、[DRC Results] で個別に展開表示されます。

- エラーは赤いアイコンで表示されます。
- 警告は茶色のアイコンで表示されます。

- 情報メッセージは黄色のアイコンで表示されます。

### 重要度に応じた違反リストのフィルタ表示

デフォルトでは、すべてのエラーおよび警告が表示されます。

- 警告および情報メッセージを非表示にし、エラーのみを表示する場合は、ツールバーの [Hide Warning and Information Messages] ボタンをクリックします。
- もう 1 度このボタンをクリックすると、すべての警告およびエラー メッセージが表示されます。次の図は [Hide Warning and Information Messages] ボタンを示しています。



図 8-31 : [Hide Warning and Information Messages] ボタン

[DRC Results] のリストでエラーをどれか選択すると、そのエラーの情報が [Properties] に表示されます。

[Properties] のリンクをクリックすると、[Device]、[Netlist]、および [Schematic] で、違反が発生したデザイン エレメントがハイライト表示されます。

エラーは、修正すると [DRC Results] ウィンドウに表示されなくなり、DRC が再実行されます。

[Run DRC] コマンドを実行し、エラーが検出されるたびに、新しい結果のタブが [DRC Results] ビューに追加され、別の結果ファイルが作成されます。

### I/O ポートおよびクロック ロジック DRC の詳細

次の表に、DRC ルール、目的、重要度を示します。

- 「[グローバル クロックのルール](#)」
- 「[IOB のルール](#)」
- 「[バンク I/O 規格のルール](#)」

メモ：その他の DRC ルールの詳細については、[第 5 章の「DRC の選択」](#)を参照してください。

メモ：PlanAhead で使用可能な I/O ポートおよびクロック ロジック DRC は、I/O 関連 DRC のほんの一部です。I/O ポートおよびクロック領域の仕様に関しては、使用しているデバイスの資料を参照してください。

## グローバル クロックのルール

次の表は、グローバル クロックのルール、略称、目的、重要度を示しています。

表 8-1 : グローバル クロックのルール

ルール名	略称	目的	重要度
IBUFG to DCM connectivity	IDCM	IBUFG には、デバイスの同じエッジ (上、下、左、右) にある DCM への専用配線のみがあります。	警告
DCM to BUFG connectivity	DCMB	DCM には最大 4 つの BUFG を接続できます。専用配線リソースを共有するバッファのペアが同じ DCM で駆動される場合、いずれかが非専用配線リソースを使用して駆動される必要があるため、これが原因でデザインでエラーが発生します。バッファに左から順に 1 ~ 8 の番号を付けると、1 と 5、2 と 6、3 と 7、4 と 8 という 4 組のペアができます。バッファがサイト 1 に配置されている場合は、同 DCM で駆動されるもう一方のバッファはサイト 5 に配置できません。	エラー
Number of BUFGs allowed for DCM	DCMN	DCM は最大 4 つの BUFG に接続できます。これは、DCMB に関連しています。	エラー
DCM and BUFG connectivity	DCME	BUFG にはデバイスの同じ側 (上、下、左、右) にある DCM への専用配線のみが存在します。	警告

## IOB のルール

次の表は、IOB のルール、略称、目的、重要度を示しています。

表 8-2 : IOB のルール

ルール名	略称	目的	重要度
IOB set reset sharing	IOSR	IOB サイトには入力、出力、トライステート レジスタがあり、それぞれが同じセット / リセット信号を共有していますが、異なるリセット信号では、レジスタをバックできません。	エラー
Differential IO pads	IODI	差動 I/O の P 信号および N 信号は、専用の差動ペアでは LOC 制約を付ける必要があります。	エラー
Non inputs placed on input only pins	IOPR	ポートが禁止ピンに配置されていないことを確認します。	エラー
Diff term loced to low capacitance IOB Site	IOLVDS	差動出力規格が、この規格をサポートしない低キャパシタンス サイトで使用されていないことを確認します。	エラー

表 8-2 : IOB のルール (Continued)

ルール名	略称	目的	重要度
Prohibit not specified for part compatibility	IOPCPR	互換性のあるパーツを使用するデザインに対し、パッケージ ピンが互換パーツにないこと、「prohibit」とマークされ、何も配置されていないことを確認します。	エラー
Regional Clock Term has no BUFR site	IOBUFR	リージョナル クロック ターミナルおよび関連 BUFR が相互配線可能なロケーションにあることを確認します。	エラー
Regional Clock Term has no BUFIO site	IOBUFIO	リージョナル クロック ターミナルおよび関連 BUFIO が相互配線可能なロケーションにあることを確認します。	エラー
IOB clock sharing	IOCS	IOB サイトはペアに分けられ、クロック配線リソースが共有できるようになっています。これらのペアは、通常 LVDS ペアになります。フリップフロップが IOB にバックされている方法によっては、配線で問題が発生することがあります。この問題を解決するには、フリップフロップを特定の BEL に割り当てる必要があります。	警告
MGT not allowed for part compatibility	IOPCMGT	異なる MGT 供給電圧を持つパーツ 2 つに互換性があるかどうかを確認し、MGT の使用を無効にします。	警告
IO Standard Type	IOSTDTYPE	差動ペア I/O 規格が、差動ピンのペアにのみ割り当てられていることを確認します。	警告
Number of IOs	IOCNT	ターゲット デバイスにあるピンの数よりも多くの I/O ポートが定義されているかどうかを示します。	警告

#### バンク I/O 規格のルール

次の表は、バンク I/O 規格のルール、略称、目的、重要度を示しています。

表 8-3 : バンク I/O 規格のルール

ルール名	略称	目的	重要度
Bank IO Standard Vcc	BIVC	バンク内の I/O に対する、IOSTANDARD ベースの VOUT の電圧互換性を確認します。	エラー
Bank I/O Standard	BIIVRC	バンクの I/O 規格と INTERNAL_VREF 制約間の競合がチェックされます。バンクの規格には、バンクの INTERNAL_VREF 制約で指定される VREF 電圧と異なる VREF 電圧は要求できません。	警告
Bank IO Standard Support	BIVB	I/O 規格が I/O バンクでサポートされていることを確認します。	エラー
Bank IO standard Termination	BIVT	バンク内の I/O に対する、IOSTANDARD ベースの DCI 終端の電圧互換性を確認します。	エラー
Bank IO Standard VREF	BIVR	バンク内の I/O に対する、IOSTANDARD ベースの VREF の電圧互換性を確認します。	エラー
Bank IO Standard VREF Occupied	BIVRU	バンク内の I/O に対する、IOSTANDARD ベースの VREF の電圧互換性を確認します。	警告
Bank I/O Standard VRN/VRP Occupied	DCIP	I/O バンクには専用の VRP サイトおよび VRN I/O サイトがあり、これらは通常の I/O としても使用できます。このバンクで DCI I/O 規格が使用される場合は、これらの I/O を未使用にしておく必要があります。	エラー
DCI Check for I/O standard legality	DCICIOSTD	I/O の VCCO と DCI 終端に関連する競合がないかどうかチェックされます。	エラー
Bank I/O Simultaneous Switching Output Limits	BISLIM	I/O バンク内に配置されている I/O に対し同時スイッチ ノイズ (SSN) 出力を確認します。	エラー
Inconsistent Diff pair I/O Standards	DIFFISTD	差動ペアのターミナルに同じ I/O 規格が設定されているかを確認します。	エラー
Inconsistent Diff pair I/O Standards	DIFFISTDDrv	差動ペアのターミナルに同じ駆動が設定されているかを確認します。	エラー
Inconsistent Diff pair I/O Standards	DIFFISTDSlew	差動ペアのターミナルに同じスルーが設定されているかを確認します。	エラー
Vccaux Voltage requirement	VCCAUX	使用されている I/O 規格に基づき Vccaux の要件を警告します。	警告



## 同時スイッチ ノイズ (SSN) 解析の実行

### ノイズ解析の実行 (Virtex-6)

PlanAhead には、Virtex-6 デバイスでの同時スイッチ出力ノイズの予測を改善するため、ザイリンクスの同時スイッチ ノイズ (SSN) 解析機能が含まれます。これは、スイッチ出力による I/O バンクのほかの出力へのダメージを予測するためのもので、I/O バンク別の電気特性をこの予測に組み込み、SSN の影響をモデル化します。

パッケージ付き FPGA 内の電力配分ネットワークのノイズへの反応はそれぞれ異なるため、デザインに使用されている I/O 規格や I/O 数だけでなく、デバイスの電力システムのスイッチへの反応を理解することも大切です。

Virtex-6 ファミリのデバイスでは、I/O は別の I/O バンクにまとめられていて、各バンクに固有の電力配分ネットワークがあり、各ネットワークのスイッチの動きに対する反応は異なります。ザイリンクスでは、Virtex-6 ファミリのすべてのバンクを 3 次元抽出およびシミュレーションを通して特性化しています。この情報は SSN 解析に取り込まれ、デバイスのスイッチが概算され、システムの電力ネットワークへの影響と I/O バンク内のほかの出力への影響も予測されます。

出力スイッチがインターフェイス ノイズ マージンにどのように影響するかを正確に予測するには、SSN が最も適しています。その計算と結果は、広範囲にわたる変数に基づくものです。これらの予測値は、デザインの潜在的なノイズ関連の問題を理解するためのもので、問題そのものを最終デザインで解決するものではありません。

PlanAhead では、Virtex-6 デバイスを選択すると SSN 計算が使用されます。それ以外のパーツを使用する場合は、「WASSO 解析の実行」を参照してください。

SSN 解析を実行するには、次の手順に従います。

1. Flow Navigator または [Tools] メニューから [Run Noise Analysis] をクリックします。

次の図のダイアログ ボックスが表示されます。

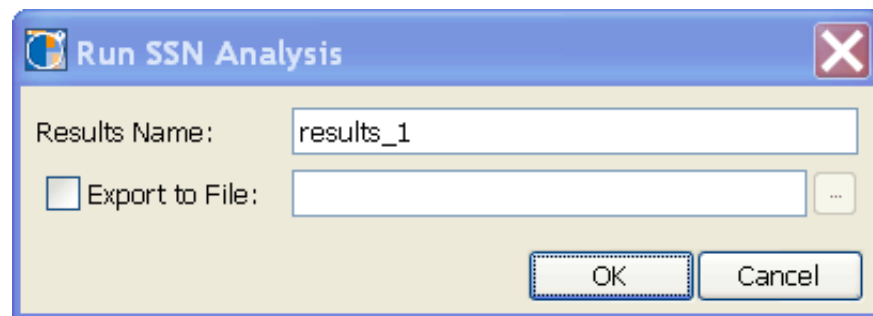


図 8-32 : [Run SSN Analysis] ダイアログ ボックス

2. オプションで、[Results Name] に [SSN Results] に表示する名前を入力します。
3. オプションで [Export to File] チェックボックスをオンにし、出力ファイル名をフィールドに入力し、CVS 形式のレポート ファイルを出力するディレクトリを指定します。
4. [OK] をクリックします。

### SSN 結果の表示

次の図は、[SSN Results] ビューを示しています。

Name	I/O Std	Noise (V)		Margin (V)		Result	Notes
		Contributed	Bank Total	Available	Remaining		
I/O Bank 2 (0)						PASS	No I/O ports assigned to bank
I/O Bank 3 (0)						PASS	No I/O ports assigned to bank
I/O Bank 4 (0)						PASS	No I/O ports assigned to bank
I/O Bank 11 (0)						PASS	No I/O ports assigned to bank
I/O Bank 12 (0)						PASS	No I/O ports assigned to bank
I/O Bank 13 (0)						PASS	No I/O ports assigned to bank
I/O Bank 15 (20)	LVCMS25		0.153	0.350	0.197	PASS	
Group 1 (20)	LVCMS25	0.153	0.153	0.350	0.197		
XcvSelect_pad_1_o							
phy_rst_pad_1_o							
VControl_pad_1_o[3]							
VControl_pad_1_o[2]							

図 8-33 : [SSN Results] ビュー

[SSN Results] ビューには次の情報が表示されます。

- [Name] : デバイスで使用可能な I/O バンクが表示されます。各 I/O バンクには、バンクの空き状況を示すピンのアイコンと、解析をパスしたかどうかを示すチェック マーク、または赤い丸が表示されます。
  - ◆ [Group] : バンクに割り当てられている I/O 規格別などにまとめられているピンのグループと、そのステータスが表示されます。グループは、割り当てられている I/O 規格、駆動強度、スルー レート、および位相に従い自動的に決定されます。
- [Noise (V)]
  - ◆ [Contributed] : グループの I/O 規格、駆動強度、スルー タイプで生成された、グループごとの SSN 総計です。
  - ◆ [Bank Total] : バンクまたはグループに対し予測される SSN 総計です。バンクのグループに対し複数の位相が指定されている場合、異なる位相を持つグループの SSN が別々に累計され、その中の最大値がレポートされます。1 つの出力の SSN はそのバンクの出力から隔離されているため、1 つの SSN バンク合計は別のバンク合計には影響しません。この列では、どの I/O グループが最大 SSN 値を出しているのか、そしてマージンがどれくらい使用されているのかを確認できます。
- [Margin (V)]
  - ◆ [Available] : 信号が 1 に切り替わる時の High の信号の I/O 規格のノイズ マージンの許容値です。I/O 規格で指定されている DC 論理レベルに基づいており (量的な情報は考慮に入れられていない)、マージンが High の信号の駆動強度の最小値が JEDRC 入力しきい値の上であることを表します。これらのマージン値は、駆動強度が最も弱い状態、JEDEC/Spec 終端、および規格の標準レシーバ要件を想定しています。マージンは保護周波数帯を提供するものなので、この解析の中で慎重な評価を行う必要があります。
  - ◆ [Remaining] : バンクの SSN をすべて考慮した後のノイズ マージン値を表示します。結果は許容マージンの 100% 以上が失われた場合に赤く表示されます。これは、I/O 規格のノイズ マージン (グループごとの値) から SSN のバンク合計 (バンクごとの値) を差し引いた値です。
- [Result] : PASS または FAIL が表示され、FAIL の場合は赤字で表示されます。
- [Notes] : I/O バンクまたはグループについての情報が表示されます。

SSN 結果には SSN 解析が実行されたときのデザインの状態が反映され、ダイナミックなレポートではありません。

## SSN 問題の解決

違反が発生した場合、結果を改善する方法はいろいろあります。

- 違反が発生しているグループを複数の同期位相に分散させます。
- これで、問題のある出力スイッチの半分の位相をずらすことができます。詳細は、[276 ページの「I/O ポート スイッチ位相グループの定義」](#)を参照してください。
- 違反が発生しているグループを複数のバンクに分散させます。これで 1 つのバンクの電力システムで問題のある出力数を低減できます。
- 違反が発生しているグループに SSN の影響をあまり受けない I/O 規格を使用します。低い駆動強度、パラレル終端の DCI I/O 規格、または低いクラスのドライバに変更すると (SSTL Class II から SSTAL Class I に変更するなど)、SSN を改善できます。
- 違反が発生しているグループを DDR レートの場合は 90 度、SDR レートの場合は 180 度位相シフトさせます。これで、問題のある出力スイッチの半分の位相をずらすことができます。

## I/O バンク プロパティの表示

[SSN Results] ビューで I/O バンクを選択すると、そのバンクに割り当てられている I/O ポート、ピン、およびグループの情報が [I/O Bank Properties] ビューに表示されます。

- [General] タブには、I/O バンクに割り当てられているポート番号とタイプが表示されます。
- [Package Pins] または [I/O Ports] タブには、ピンまたはポートの詳細情報が表示されます ([276 ページの図 8-34](#))。

Id	Name	Prohibit	Port	I/O Std	Dir	Vcco	Bank	Type	Diff Pair	Clock	Voltage	Min Trace Dly	Max Trace Dly	IOB Alias	Site Type
1	T8		disp_latch_ten	LVCN0525	Output	2.5	2	User IO	L0P	CC		40.04	46.72	IOB_X1Y59	IO_L0P_CC_R51_2
2	T7		iic_sdat	LVCN0525	In/Out	2.5	2	User IO	L0N	CC		47.35	55.24	IOB_X1Y58	IO_L0N_CC_R50_2
3	R15		iic_sclk	LVCN0525	Output	2.5	2	User IO	L1P	CC		50.47	58.88	IOB_X1Y57	IO_L1P_CC_A25_2
4	T16		disp_latch_hund	LVCN0525	Output	2.5	2	User IO	L1N	CC		57.43	67.00	IOB_X1Y56	IO_L1N_CC_A24_2
5	R9		disp_latch_one	LVCN0525	Output	2.5	2	User IO	L2P			37.82	44.12	IOB_X1Y55	IO_L2P_A23_2
6	T9		disp_data[1]	LVCN0525	Output	2.5	2	User IO	L2N			42.33	49.38	IOB_X1Y54	IO_L2N_A22_2
7	V18		disp_data[2]	LVCN0525	Output	2.5	2	User IO	L3P			72.68	84.80	IOB_X1Y53	IO_L3P_A21_2
8	V17		disp_data[3]	LVCN0525	Output	2.5	2	User IO	L3N			64.58	75.35	IOB_X1Y52	IO_L3N_A20_2
9	P10		sel_f	LVCN0525	Output	2.5	2	User IO	L4P			32.81	38.28	IOB_X1Y51	IO_L4P_FC5_B_2
10	P9		fahren	LVCN0525	Input	2.5	2	User IO	L4N		VREF	29.09	33.94	IOB_X1Y50	IO_L4N_VREF_FOE_B_MOSI_2
11	U16		disp_data[0]	LVCN0525	Output	2.5	2	User IO	L5P			58.24	67.95	IOB_X1Y49	IO_L5P_FWE_B_2
12	V16		dp_l	LVCN0525	Output	2.5	2	User IO	L5N			59.27	69.15	IOB_X1Y48	IO_L5N_CS0_B_2
13	N10		sys_rst_l	LVCN0525	Input	2.5	2	User IO	L6P			16.88	19.70	IOB_X1Y47	IO_L6P_D7_2
14	M10		sel_c	LVCN0525	Output	2.5	2	User IO	L6N			12.67	14.78	IOB_X1Y46	IO_L6N_D6_2
15	T14					2.5	2	User IO	L7P			42.64	49.74	IOB_X1Y45	IO_L7P_D5_2
16	T13					2.5	2	User IO	L7N			35.32	41.21	IOB_X1Y44	IO_L7N_D4_2
17	N11					2.5	2	User IO	L8P			13.69	15.97	IOB_X1Y43	IO_L8P_D3_2
18	M11					2.5	2	User IO	L8N			6.86	8.01	IOB_X1Y42	IO_L8N_D2_F52_2
19	P13					2.5	2	User IO	L9P			25.72	30.01	IOB_X1Y41	IO_L9P_D1_F51_2
20	P12					2.5	2	User IO	L9N			24.71	28.83	IOB_X1Y40	IO_L9N_D0_F50_2
21	R8					2.5	2	VCCO							VCCO_2
22	V9					2.5	2	VCCO							VCCO_2

図 8-34 : [I/O Bank Properties] ビューの [Package Pins] タブ

## I/O ポート スイッチ位相グループの定義

バンク内の I/O のグループによっては異なる同期位相オフセットが設定されているものがあり、この設定が異なるグループを同時にスイッチさせることはできません。多くのメモリ インターフェイ

スのデータおよびストロブ信号にも同じことが言えます。この場合、SSN 計算には位相情報が使用される必要があります。

位相グループは、タイミングの観点から見て、すべてが同じ位相にある (グループのクロックの周波数と位相が同じであるなど) ポートの論理グループを指します。位相グループを作成すると、グループが作成されるだけでなく、異なる位相の I/O が隔離されます。

バンク内のグループから出力されたノイズは合計され、バンク全体のノイズになります。すべての出力が同じ位相である場合、または同期関係にない場合、出力は同時にスイッチします (値が変わる)。

SSN 解析でバンクがパスしない場合、別々の同期位相にあるポートをまとめるために位相グループを使用することができ、SSN 解析をもう一度実行したときにそのバンクの合計ノイズを低減することができます。

1 つの I/O ポートまたは I/O ポートのグループに対し、スイッチ位相を設定するには次の手順に従います。

1. I/O Planner で、1 つまたは複数の I/O ポートを選択します。
2. [I/O Ports]、[Package Pins]、または [SSN Results] ビューで [Configure I/O Ports] ポップアップメニュー コマンドを選択すると、[Configure Ports] ダイアログ ボックスが開きます (277 ページの図 8-35)。

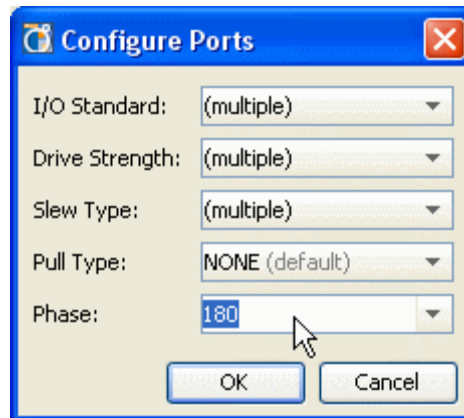


図 8-35 : [Configure Ports] ダイアログ ボックス

3. [Configure Ports] ダイアログ ボックスで、正しい I/O 規格が選択されていることを確認します。
4. ポートが位相にある場合、[Phase] はデフォルトのままにしておくか、「180」など位相を選択します。
5. [OK] をクリックします。
6. 正しい位相グループが割り当てられたら、SSN 解析に戻ります。

メモ：非同期グループは別の同期位相として扱わないようにしてください。非同期のものを同時にスイッチすることはできません。

## WASSO 解析の実行

PlanAhead には、WASSO (Weighted Average Simultaneous Switching Output) チェックのセットが含まれ、I/O ピンとバンク割り当てに基づいたデバイスのシグナル インテグリティが検証されます。

## WASSO 解析の実行 (Spartan-3、Virtex-4、Virtex-5)

解析を実行するには、Flow Navigator または [Tools] メニューから [Run Noise Analysis] をクリックします。

278 ページの図 8-36 のような [Run WASSO Analysis] ダイアログ ボックスが開きます。

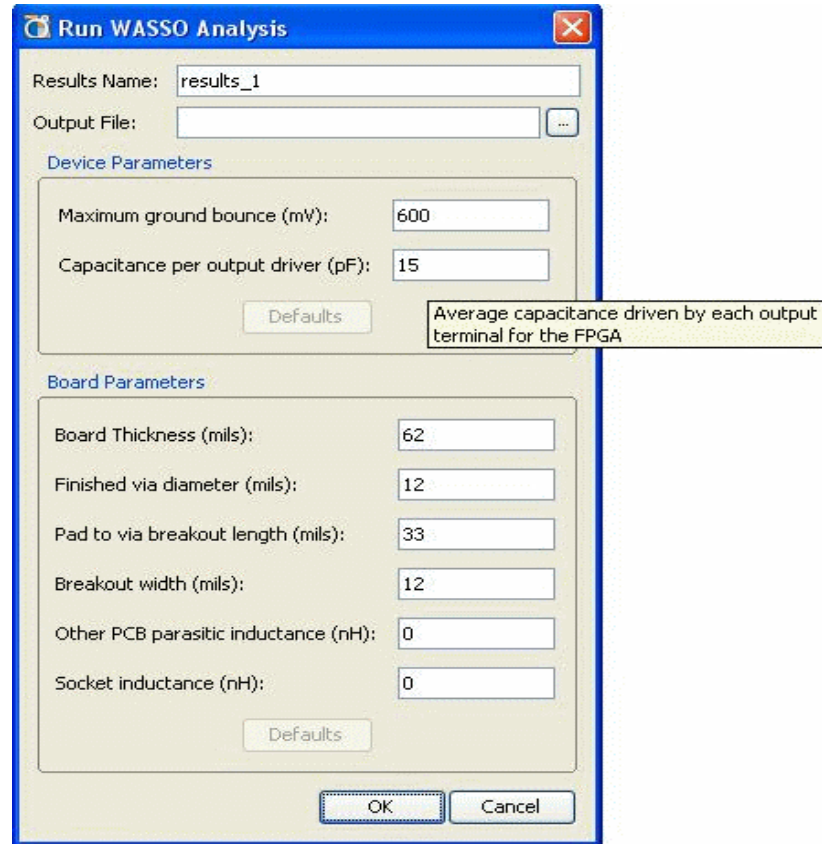


図 8-36 : [Run Wasso Analysis] ダイアログ ボックス

[Output File] フィールドでは、レポート ファイル名および保存場所を指定できます。

カーソルをフィールド上に置くと、そのフィールドに入力する値の説明を示したツール ヒントが表示されます。

## WASSO 解析結果の確認

[Device Parameters] および [Board Parameters] の値は、デザインに合わせて変更できます。まずデザイン全体が解析され、次に、関連した隣接の I/O パンクが次々に解析されます。WASSO の結果のウィンドウは 279 ページの図 8-37 のようにワークスペースに表示されます。

<b>Device Parameters</b>			
Maximum ground bounce		600.0 mV	
Capacitance per output driver		15.0 pF	
<b>Board Parameters</b>			
Board Thickness		62.0 mils	
Finished via diameter		12.0 mils	
Pad to via breakout length		33.0 mils	
Breakout width		12.0 mils	
Other PCB parasitic inductance		0.0 nH	
Socket inductance		0.0 nH	
<b>Allowed Utilization Status</b>			
<b>Package</b>	100%	22.3%	OK
<b>Banks</b>			
<a href="#">Bank_0</a>	100%	42.7%	OK
<a href="#">Bank_1</a>	100%	20%	OK
<a href="#">Bank_2</a>	100%	1.3%	OK
<a href="#">Bank_3</a>	100%	9.3%	OK
<a href="#">Bank_4</a>	100%	14.7%	OK
<a href="#">Bank_5</a>	100%	42.7%	OK
<a href="#">Bank_6</a>	100%	24%	OK
<a href="#">Bank_7</a>	100%	24%	OK
<b>Neighbors</b>			
<a href="#">Bank_0,1</a>	100%	31.3%	OK
<a href="#">Bank_1,2</a>	100%	10.7%	OK
<a href="#">Bank_2,3</a>	100%	5.3%	OK

図 8-37 : WASSO の結果

レポートには、I/O バンクと隣接するペアの 最大負荷、使用率、およびステータスがすべて表示されます。



## I/O 配置制約の削除

配置制約を削除するには、削除する制約を右クリックし、[Unplace] をクリックします。

選択した I/O 関連の配置制約の削除については、[第 11 章の「配置 LOC 制約」](#)を参照してください。

## I/O ピンとパッケージ データのエクスポート

### パッケージ ピンの情報のエクスポート

デバイス パッケージ ピンの情報は、PlanAhead から CSV 形式のファイルにエクスポートできます。エクスポートされたリストのパッケージ ピン セクションを基に、I/O ポートをスプレッドシートで定義できます。

リストのパッケージ ピン セクションを基に、I/O ポートをスプレッドシートで定義できます。エクスポートされた CSV 形式のファイルの情報は、[252 ページの「I/O ポートの定義と設定」](#)を参照してください。

### I/O ポート リストのエクスポート

I/O ポート リストは、PlanAhead から HDL、UCF、または CSV 形式のファイルにエクスポートし、RTL のコーディングや PCB 回路図シンボルの作成に使用できます。

I/O ポート リストの情報をエクスポートするには、[File] → [Export I/O Ports] コマンドをクリックします。

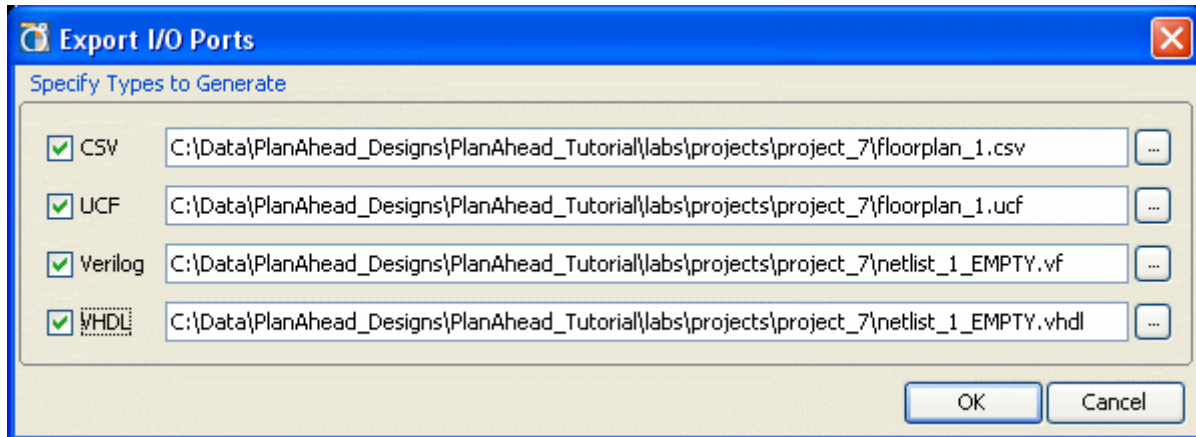


図 8-38 : I/O ポート リストのエクスポート



# デザインのインプリメンテーション

---

本章は、次のセクションで構成されています。

- 「概要」
- 「インプリメンテーションの実行」
- 「run のステータス確認」
- 「インプリメンテーション結果の解析」
- 「複数のインプリメンテーション run の開始」
- 「複数 run の管理」
- 「合成およびインプリメンテーション ストラテジの作成」
- 「リモート Linux ホストでの run の起動」
- 「PlanAhead と ISE のインターフェイス」

## 概要

PlanAhead™ は、さまざまなソフトウェア コマンド オプションや、タイミングおよび物理制約を設定して、複数の合成およびインプリメンテーションを実行することができる環境を提供しています。複数の合成およびインプリメンテーションの実行 (run) はキューで待機し、順次に、マルチプロセッサ マシンでは同時に起動します。合成実行には、ザイリンクスの XST 合成ツールが使用されます。

各インプリメンテーション コマンドのオプション設定のセットをストラテジとして作成し保存できます。ストラテジは ISE<sup>AE</sup> Design Suite ツールを使用し合成やインプリメンテーションの実行に適用されます。

進行状況を確認し、ログ レポートでベストな合成およびインプリメンテーション結果を指定してインポートできます。

保存されたストラテジの詳細については、付録 B の「ストラテジ ファイル (<strategyname>.psg)」を参照してください。

## インプリメンテーションの実行

PlanAhead では、インプリメンテーション オプションを設定し、インプリメンテーションを実行し、その結果を表示できます。

### インプリメンテーション オプションの設定

インプリメンテーションの設定は、複数の箇所から指定できます。Flow Navigator の Project Manager メニューから [Project Settings] をクリックするか、[Project Summary] ビューまたはメイン ツールバーから設定できます。次の図は、[Project Setting] ボタンを示しています。



図 9-1： [Project Settings] ボタン

[Project Settings] ダイアログ ボックスで選択されていない場合は、[Implementation] をクリックします。

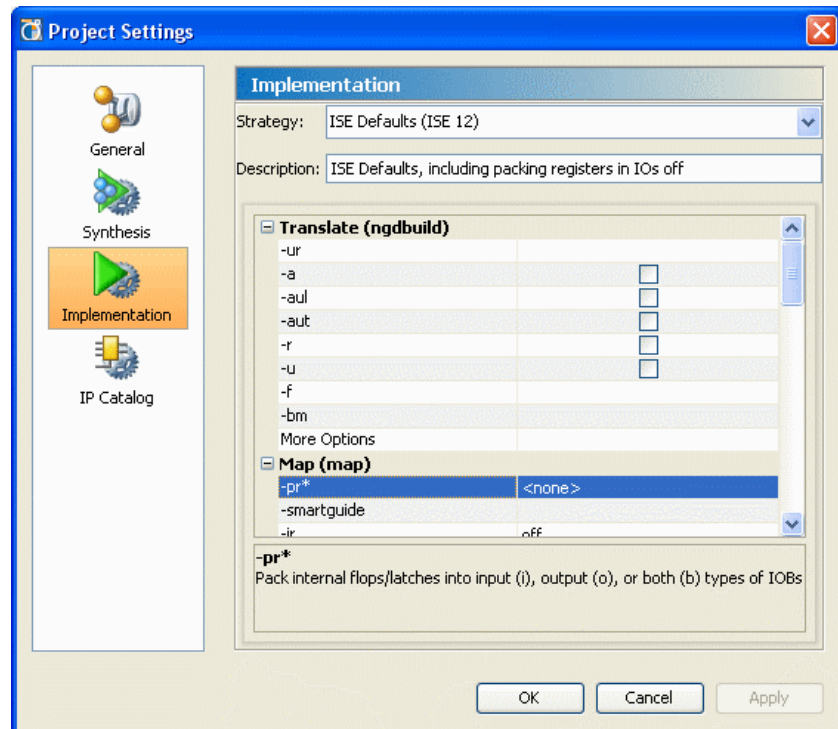


図 9-2： インプリメンテーション プロジェクト設定

[Implementation] ダイアログ ボックスでは、次のインプリメンテーション用 ISE コマンド オプションを設定できます。

- [Strategy]：既存ストラテジを選択するか、新規ストラテジを作成します。詳細については、[301 ページの「合成およびインプリメンテーション ストラテジの作成」](#)を参照してください。
- [Description]：実行 (run) の説明を入力します。

- [ISE options] : ISE オプションを設定します。[More Options] フィールドを使用すると、リストされていないオプションも指定できます。 各オプションの簡単な説明と目的は、一番下のフィールドに表示されます。

**メモ** : 変更したインプリメンテーション run を実行する前に **PlanAhead** を閉じると、オプションは保存されません。インプリメンテーション結果がプロジェクト内にある場合は、プロジェクトを開いたときに同じプロジェクト設定が維持されます。インプリメンテーション run がプロジェクトに含まれない場合は、デフォルトのオプションが使用されます。

## インプリメンテーションの起動

インプリメンテーションは、Flow Navigator で [Implement] ボタンをクリックすると実行できます。この際、現在のインプリメンテーション プロジェクト設定が使用されます。

### インプリメンテーション実行の開始

インプリメンテーションを実行するには、次の図のような Flow Navigator の [Implement] ボタンかメイン ツールバーのボタンをクリックします。



図 9-3 : [Implement] ボタン.

### インプリメンテーション run の設定

インプリメンテーション run のオプションは、次の図のように Flow Navigator の [Implement] ボタンのプルダウン メニューから [Implementation Settings] コマンドを実行して設定できます。

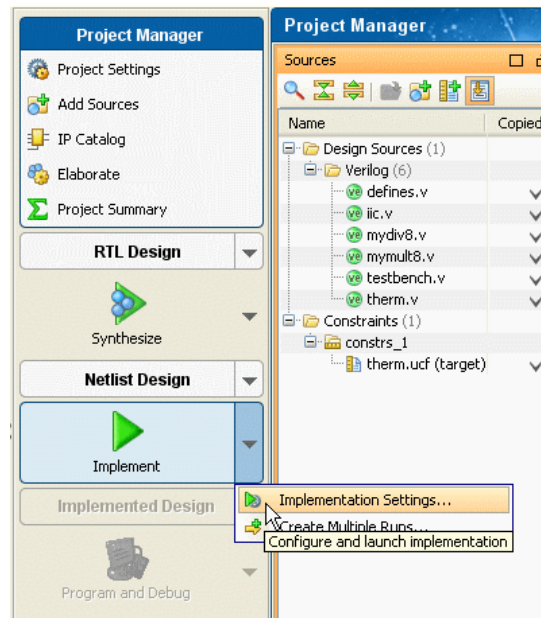


図 9-4 : インプリメンテーション run の設定

次の図のような [Implementation Settings] ダイアログ ボックスが表示されます。

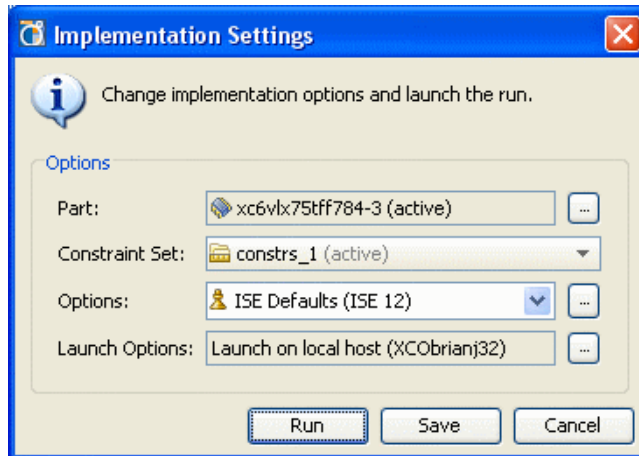


図 9-5：インプリメンテーション run の設定

[Implementation Settings] ダイアログ ボックスからは、次のオプションが設定できます。

- **[Part]**：パーツを選択するか、またはデフォルトのパーツをそのまま使用します。参照ボタンをクリックすると、[Select Part] ダイアログ ボックスが表示されます。
- **[Constraint Set]**：制約セットを選択するか、またはデフォルトをそのまま使用します。
- **[Options]**：run に使用するインプリメンテーション ストラテジを選択します。参照ボタンをクリックし、ISE コマンド オプション、詳細、ストラテジなどを修正します。

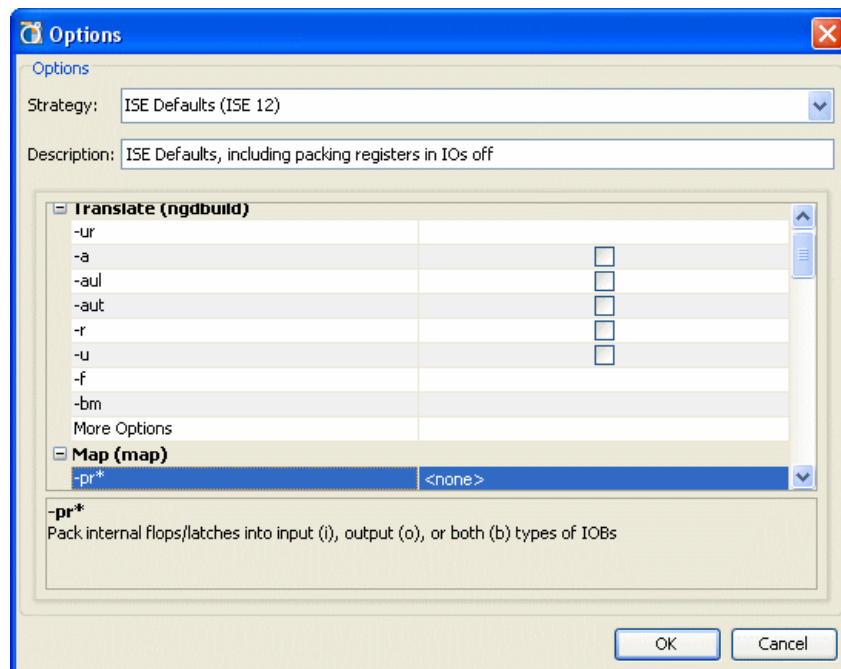


図 9-6：ISE オプションの設定

- **[Launch Options]**：追加の起動オプションを選択します。[More Options] フィールドを使用すると、リストされていないオプションも指定できます。各オプションの簡単な説明と目的は、一番下のフィールドに表示されます。

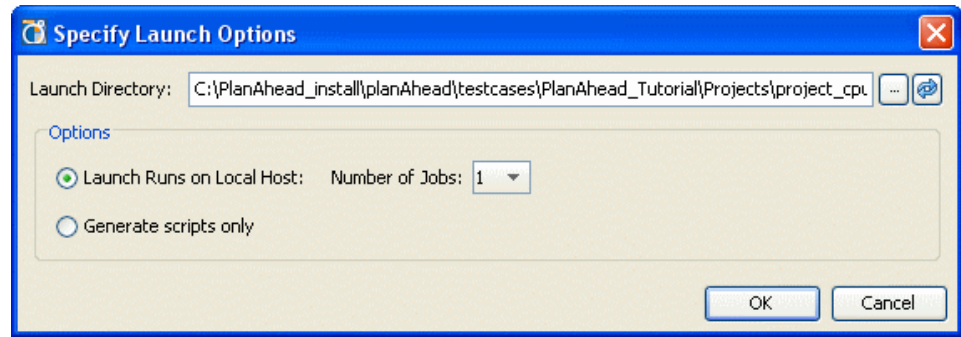


図 9-7：インプリメンテーション起動オプション

[Specify Launch Options] ダイアログ ボックスで次のオプションを設定できます。

- ◆ [Launch Directory]：インプリメンテーション実行データを作成および保存する場所を指定します。  
メモ：プロジェクト ファイルには絶対パスが記述されるので、プロジェクト ディレクトリ外のデフォルトでない場所を指定するとプロジェクトがポータブルになりません。
  - ◆ [Launch Runs on Local Host]：ローカル コンピュータのプロセッサで run を起動するにはこのオプションを設定します。
    - [Number of Jobs]：run に使用するローカル プロセッサの数を定義します。複数 run を同時に起動する場合にのみ、このオプションを使用します。各 run がそれぞれのプロセッサで起動されます。このオプションを使用すると、複数スレッドのプロセッサ以外のプロセッサが使用されます。
  - ◆ [Launch Runs on Remote Hosts] (Linux のみ)：ジョブを起動するのにリモート ホストを使用する場合はこのオプションをオンにします。
    - [Configure Hosts]：リモート ホストを設定するにはこのオプションをオンにします。詳細は、[305 ページの「リモート Linux ホストでの run の起動」](#)を参照してください。
  - ◆ [Generate scripts only]：オンにすると、run ディレクトリおよび run スクリプトがエクスポートおよび作成されますが、PlanAhead から run は起動されません。スクリプトは、PlanAhead 環境外で後で実行できます。
1. [Run] をクリックすると、現在の設定内容を使用して run が起動されます。[Save] をクリックすると設定は保存されますが、run は起動されません。

## run のステータス確認

インプリメンテーションのステータスは、次のいずれかで確認できます。

- コンパイル ログのメッセージ
- [Compilation Messages] ビューのコンパイル情報、警告、エラー メッセージ
- [Design Runs] ビュー

次のセクションでは、インプリメンテーション ステータスの監視オプションについて説明します。

## プロジェクト ステータス表示の使用

プロジェクト ステータス インジケータは、PlanAhead の右上に表示されます (286 ページの図 9-8)。これには、次のような機能があります。

- 実行コマンドのステータスおよび進捗状況などのプロジェクトのステータス全体が表示されます。
- [Cancel] をクリックすると実行中のコマンドを停止できます。



図 9-8：プロジェクト ステータス バー

## インプリメンテーションのキャンセル

図 9-8 のプロジェクト ステータス バーの [Cancel] ボタンをクリックすると、その ISE インプリメンテーションを停止できます。

## コンパイル ログの表示

インプリメンテーションを実行すると、[Compilation Log] ビューが表示されます。次の図のように ISE コマンドの標準的な出力メッセージが表示されます。

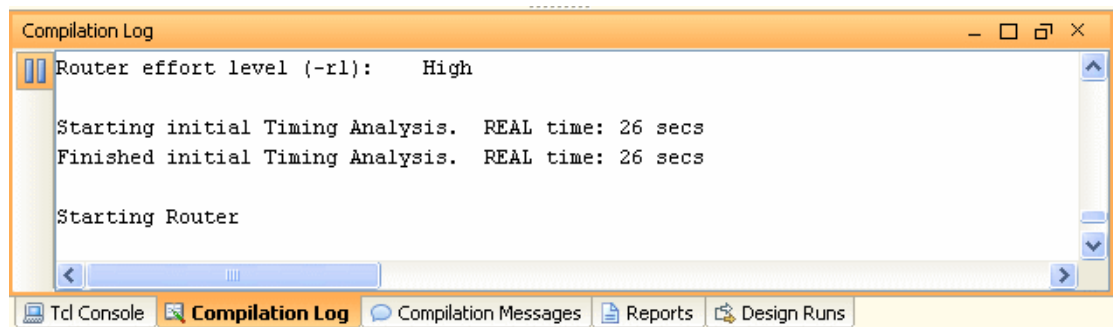


図 9-9：[Compilation Log] ビュー

### 実行中コマンドの一時停止

[Pause output] ボタンをクリックすると、コマンドの実行中にログをスクロールしたり読んだりしやすくなります。ボタンを次にクリックするまで、出力は一時停止されます。

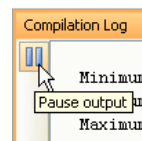


図 9-10：[Pause output] ボタン

## インプリメンテーション終了後の次のステップの指定

run が完了すると次のダイアログ ボックスが表示され、次のステップを選択できます。

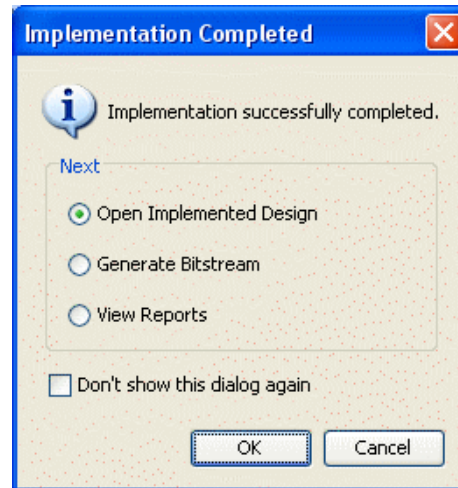


図 9-11 : [Implementation Completed] ダイアログ ボックス

2. [Implementation Completed] ダイアログ ボックスで、次に何を実行するか選択します。
  - ◆ [Open Implemented Design] : ネットリスト、アクティブな制約セット、ISE 配置情報、タイミング結果およびターゲット パーツを PlanAhead のデザイン解析およびフロアプラン環境にインポートします。
  - ◆ [Generate Bitstream] : [Bitgen Command Settings and Run] ダイアログ ボックスを開きます。
  - ◆ [View Reports] : ISE レポート ファイルを選択して表示できる [Reports] ビューを開きます。
  - ◆ [Cancel] をクリックすると、現時点では何も実行されません。
3. [OK] をクリックし、選択したオプションを実行させます。



## インプリメンテーション結果の解析

インプリメンテーションが終了したら、ISE のインプリメンテーション レポートを表示し、インプリメント済みデザインを開いて、解析および使用できるので、タイミングや物理制約を適用し、run を再インプリメントします。制約の定義に関する詳細は、[第 7 章「ネットリストの解析および制約の定義」](#)を参照してください。

### レポート ファイルの表示

ISE ツールで生成されたレポート ファイルは [Reports] ビューから表示できます。このビューは、通常コマンドが実行されると自動的に開きます。開かない場合は、[Project Summary] ビューの [Reports] リンクをクリックします。[Reports] ビューは、次の図のようになります。

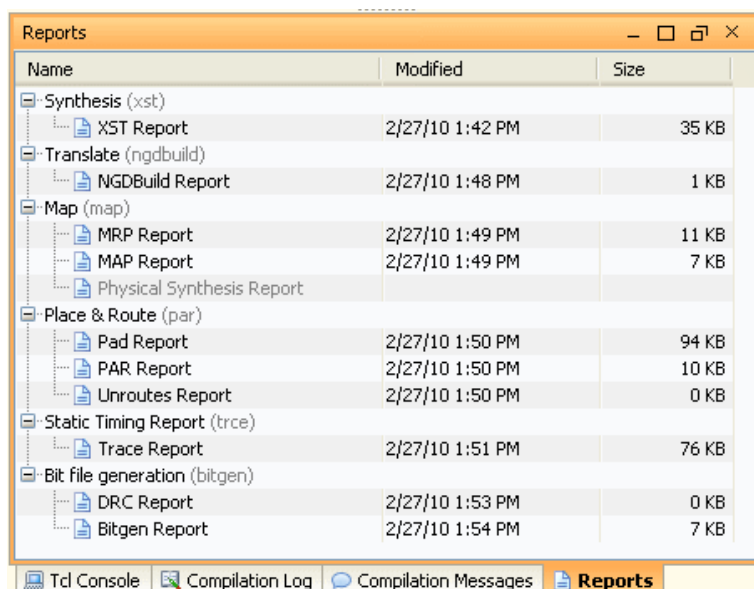


図 9-12：表示するレポート ファイルの選択

289 ページの [図 9-13](#)のように、ワークスペースに選択したレポート ファイルが表示されます。

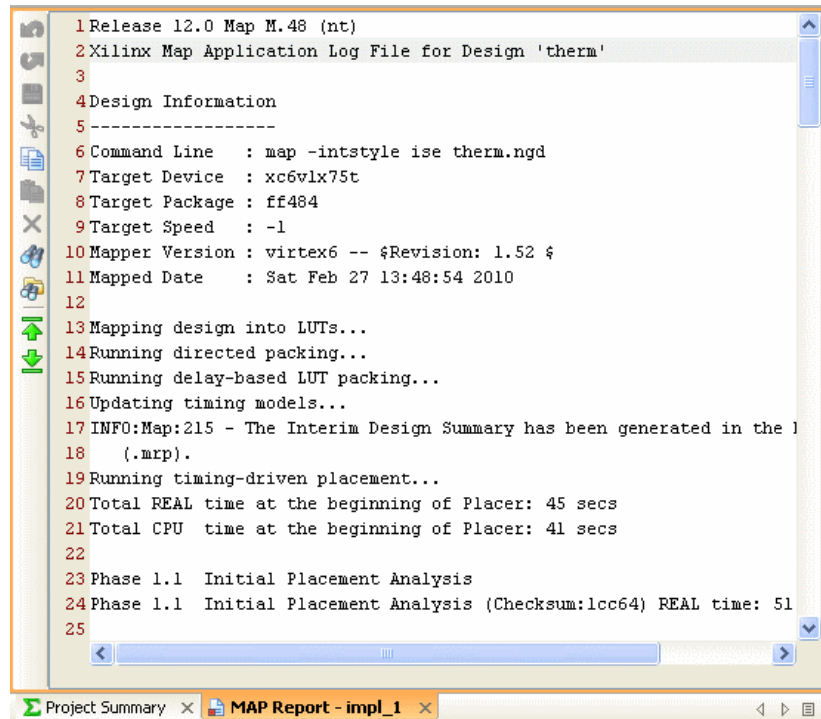


図 9-13 : レポート ファイルの表示

レポートを表示すると、次が実行できます。

- スクロール バーを使用してレポート ファイルを参照
- [Find] または [Find in Files] ボタンをクリックし、特定テキストを検索
- ファイルの冒頭または終わりに移動するには [Go to the beginning] または [Go to the End] ボタンをクリック

## [Compilation Messages] ビュー

[Compilation Messages] ビューは [Compilation Log] ビューがフィルタされたリストで、主な警告およびエラー メッセージのみが含まれます。ビューのツールバー ボタンを使用し、エラーまたは警告メッセージのみを表示させることもできます。次の図は、[Compilation Messages] ビューの例です。

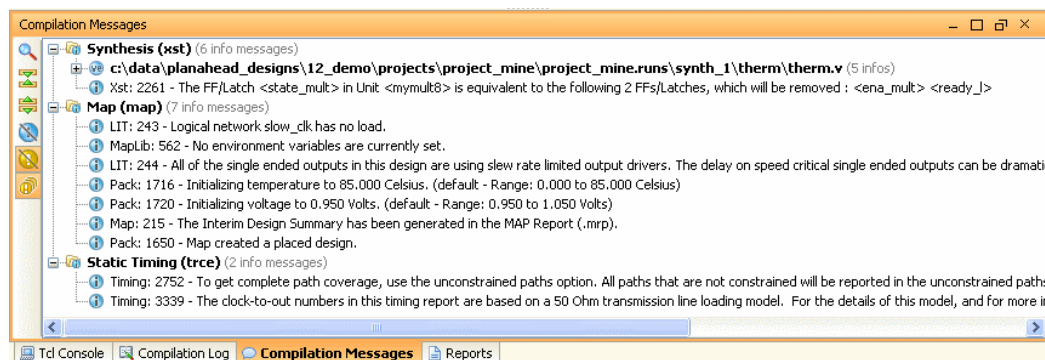


図 9-14 : [Compilation Messages] ビュー

インプリメンテーション メッセージは、ISE コマンドおよび重要性別に表示されます。

横にあるプラス記号 (+) をクリックして展開し、各メッセージを表示します。

左のコマンド ボタンを使用すると、検索およびフィルタ機能を実行できます。[Show Search]、[Collapse All]、[Expand All] コマンド オプションの詳細は、第 4 章の「ツリー表形式のビュー」を参照してください。

### [Compilation Messages] ビューのフィルタとグループ分け

警告およびエラー メッセージのみを表示するには、ツールバーの [Hide information messages] を、エラー メッセージのみを表示するには、[Hide information messages] および [Hide warning messages] ボタンをクリックします。[Group duplicate messages] ボタンをクリックすると、リストがフラットになり、類似メッセージ同士でまとめられます。



図 9-15：メッセージ フィルタとグループ分けボタン

## インプリメント済みデザインを開く

PlanAhead では、インプリメンテーション結果をインポートして、解析および制約定義ができます。インプリメンテーションが終了すると、ダイアログ ボックスが表示されます。ここで [Open the Implemented Design] をオンにしてデザインを開くことができます。Flow Navigator で [Implemented Design] をクリックしても、インプリメンテーション済みのデザインを開くことができます。

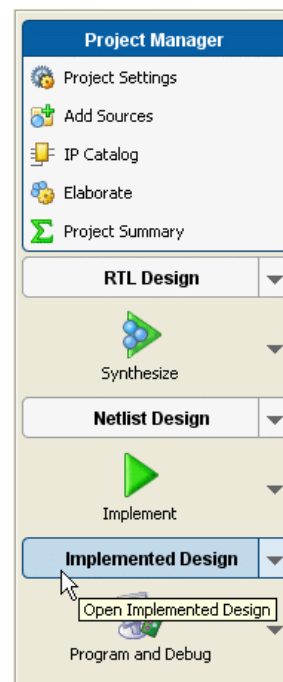


図 9-16：インプリメント済みデザインを開く

インプリメンテーション結果とフロアプランの詳細は、[第 10 章「インプリメンテーション結果の解析」](#) および [第 11 章「デザインのフロアプラン」](#) を参照してください。

## 複数のインプリメンテーション run の開始

PlanAhead では、複数の合成およびインプリメンテーション run を作成して起動できるので、最適な結果になるようにさまざまなオプションを試すことができます。run は複数のローカル CPU でシリアルまたはパラレルにキューに入れられ、開始されます。Linux の場合、リモート サーバーを使用できます。詳細は、305 ページの「リモート Linux ホストでの run の起動」を参照してください。

**メモ：**PlanAhead では、柔軟な方法で複数の合成 run とインプリメンテーション run および制約セットを作成できます。プロジェクトは、ユーザーが管理する必要のあるデータを含んだ複数の run を使用して作成できます。PlanAhead では、ソース ファイル、制約またはプロジェクト設定が変更されると、データが期限切れであることを示すメッセージが表示されます。[Design Runs] ビューからは、古い run のデータを削除したり、管理したりできます。

## 複数のインプリメンテーション run の作成

複数のインプリメンテーション run を作成するには、次の手順に従います。

1. [Tools] → [Create Multiple Runs] をクリックするか Flow Navigator の [Synthesize] プルダウンメニューから [Create Multiple Runs] をクリックします。

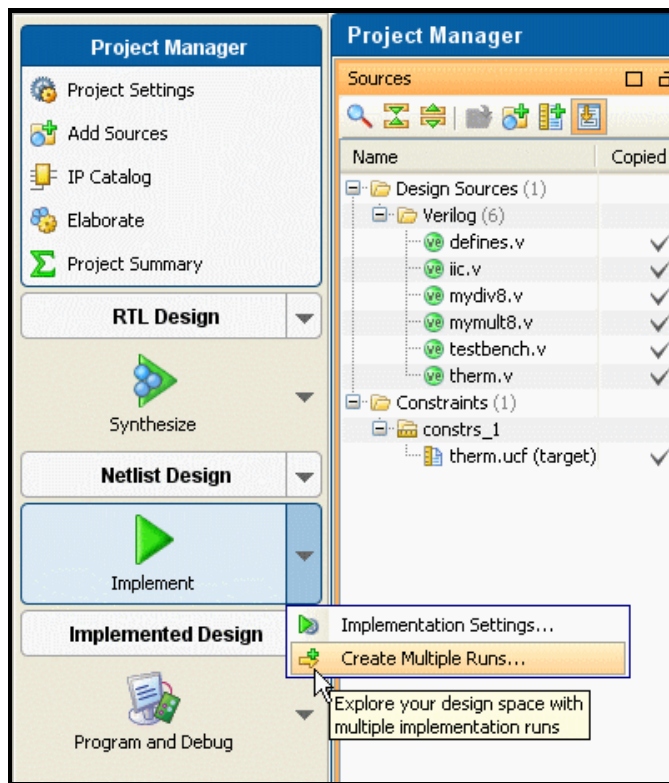


図 9-17 : [Create Multiple Runs] コマンド

Create Multiple Runs ウィザードが開きます。

2. [Next] をクリックします。293 ページの図 9-18 のような [Set Up Implementation Runs] ページが開きます。

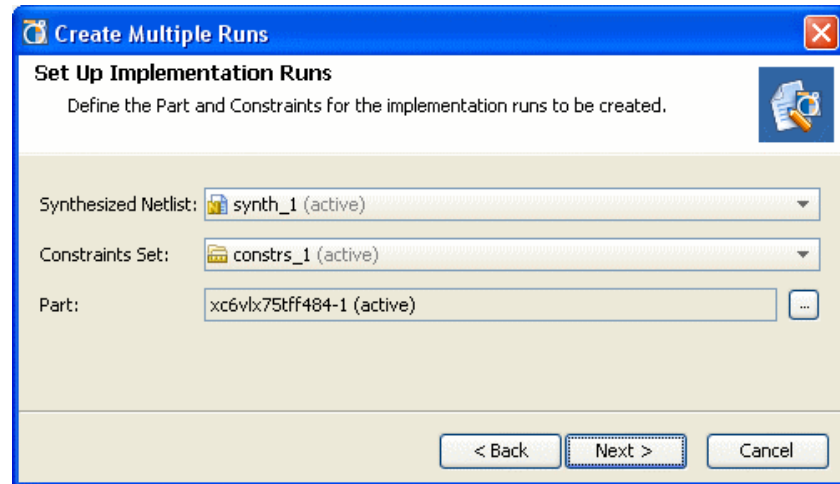


図 9-18 : Create Multiple Runs ウィザード

[Set Up Implementation Runs] には次のオプションがあります。

- [Synthesized Netlist] : インプリメンテーション run に使用する合成済みネットリスト ファイルを入力するか、表示されているファイルをそのまま使用します。
  - [Constraint Set] : インプリメンテーション run に使用する制約を入力するか、表示されている制約をそのまま使用します。
  - [Part] : パーツを選択するか、またはデフォルトのパーツをそのまま使用します。参照ボタンをクリックすると、[Select Part] ダイアログ ボックスが表示されます。
3. [Next] をクリックし、次の図の [Choose Implementation Strategies] ページに進みます。

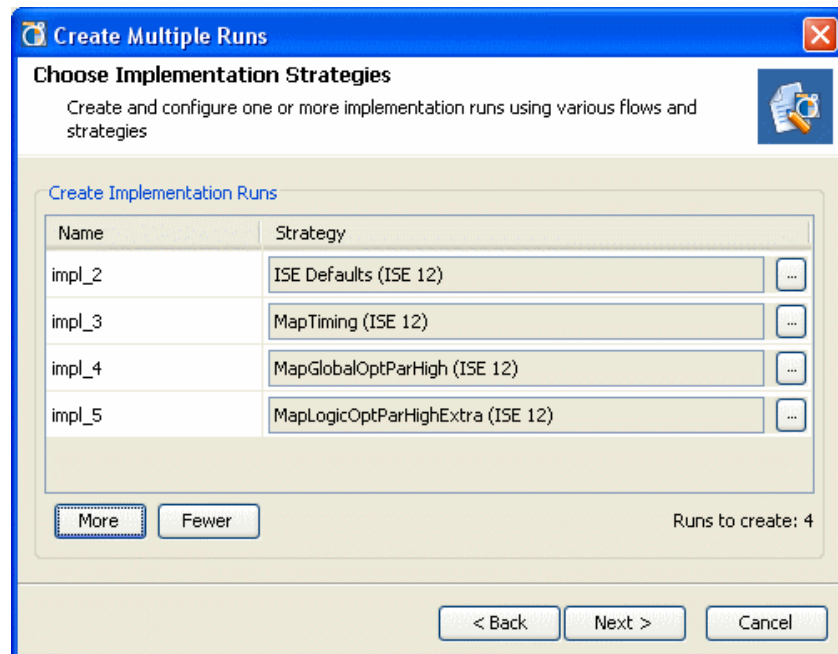


図 9-19 : インプリメンテーション ストラテジの選択

4. 最初の実行に対し [Name] および [Strategy] を選択します。

5. [More] ボタンをクリックし、ほかの run を追加します。
6. 追加 run に対しても名前およびインプリメンテーション ストラテジを入力します。
7. [Next] をクリックし [Launch Options] に進みます。詳細は、[282 ページの「インプリメンテーション オプションの設定」](#)を参照してください。
8. サマリを確認したら、[Next] をクリックします。
9. [Finish] をクリックすると、定義した run が作成され、指定の起動オプションが実行されます。

## 複数 run の管理

PlanAhead では、複数の run の結果データを設定および生成できます。複数の run を設定する際は、古い run のデータを管理および削除する必要があります。次に、[Design Runs] ビューを使用して、合成 run およびインプリメンテーション run の両方の複数 run データを管理する方法について説明します。説明されている機能のほとんどは、合成 run およびインプリメンテーション run の両方に使用できます。

### [Design Runs] ビューの使用

[Design Runs] ビューには、プロジェクトで作成された合成 run とインプリメンテーション run のすべてが表示され、それらを管理および開始するためのコマンドも表示されます。

[Window] → [Design Runs] をクリックし、次のような [Design Runs] ビューを表示します。

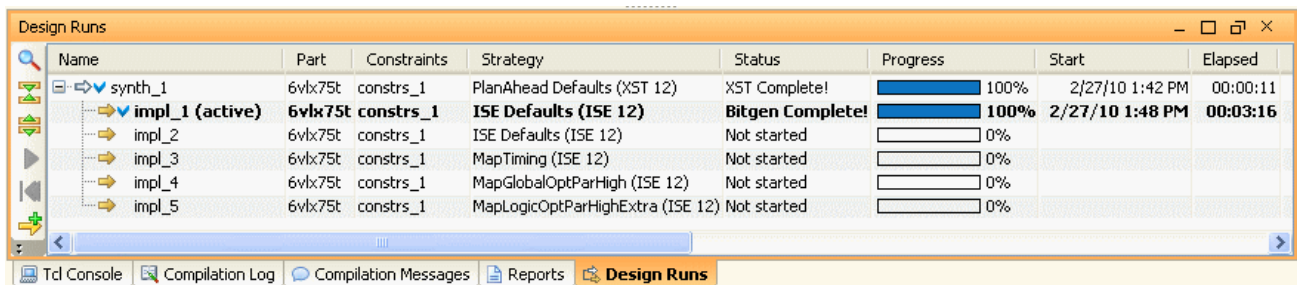


図 9-20 : [Design Runs] ビュー

合成 run の下には、それに関連するインプリメンテーション run がツリー形式で表示されます。+ や - マークをクリックすると、合成 run のツリー表示を展開したり、閉じたりできます。run に関する情報は、表で表示されます。詳細は、[第 4 章の「ツリー表形式のビュー」](#)を参照してください。

[Show Search]、[Collapse All]、[Expand All] ボタンを使用すると、表に表示される run をフィルタして表示できます。

次のオプションがあります。

- [Launch Selected Runs] : アクティブ run を開始します。
- [Reset Selected Runs] : run のステータスを [Not Started] にリセットし、データを削除します。
- [Create Multiple Runs] : Create Multiple Runs ウィザードを開始します。
- [Import Run Results] : run 結果を読み込んだ [Implemented Design] ビューを開きます。



## アクティブ run の設定

PlanAhead は、アクティブな run のコンパイルおよびサマリ情報のみを表示します。run のいずれかを選択し、右クリックで [Make Active] をクリックすると、その run をアクティブにできます。[Compilation Messages] ビュー、ステータス バー、[Project Summary] にはこのアクティブな run の情報が表示されます。Flow Navigator で [Implement] ボタンをクリックすると、アクティブな run を再実行できます。

## run プロパティの表示と変更

各 run のプロパティは表示および変更できます。ほとんどの run プロパティは、その run のみを開始する前に変更できます。run を起動すると、それまでに選択したプロパティでロックされます。

run の開始後にプロパティを変更する場合は、[Reset Run] をクリックしてその run を削除します。

### run の一般プロパティの表示

[Run Properties] ビューで run のプロパティを表示するには、run を選択して [General] タブをクリックします。

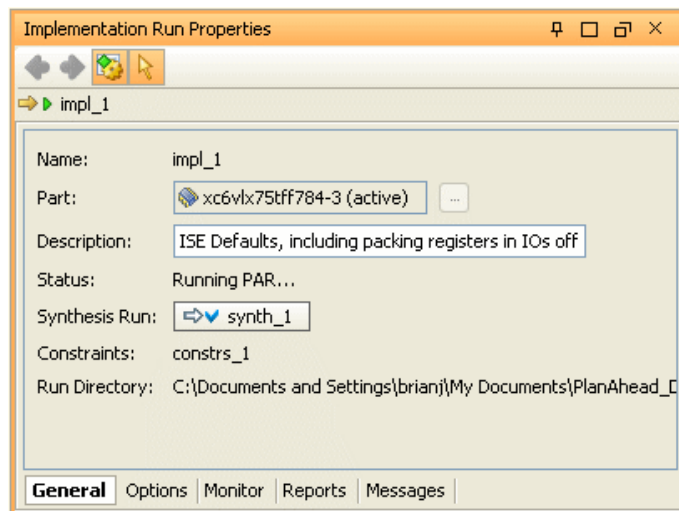


図 9-21 : run の一般プロパティの設定

この情報は [Run Properties] ビューの [General] タブから表示および変更できます。次のオプションがあります。

- [Name] : run の名前を定義します。
- [Part] : パーツを選択するか、またはデフォルトのパーツをそのまま使用します。参照ボタンをクリックすると、[Select Part] ダイアログ ボックスが表示されます。
- [Description] : run の詳細を定義します。
- [Status] : run のステータスを表示します。
- [Synthesis Run] : run に関連した合成済みのネットリストを表示します。このフィールドは、[Synthesis Run Properties] ビューには表示されません。
- [Constraints] : run の制約セットをそのまま使用するか、変更します。
- [Run Directory] : run データのディレクトリを表示します。

## run のストラテジ オプションの表示

[Run Properties] ビューの [Strategy] で定義されたコマンド ライン オプションを表示および変更します。

次の図のように、[Run Properties] ビューで run を選択し、[Options] タブをクリックします。

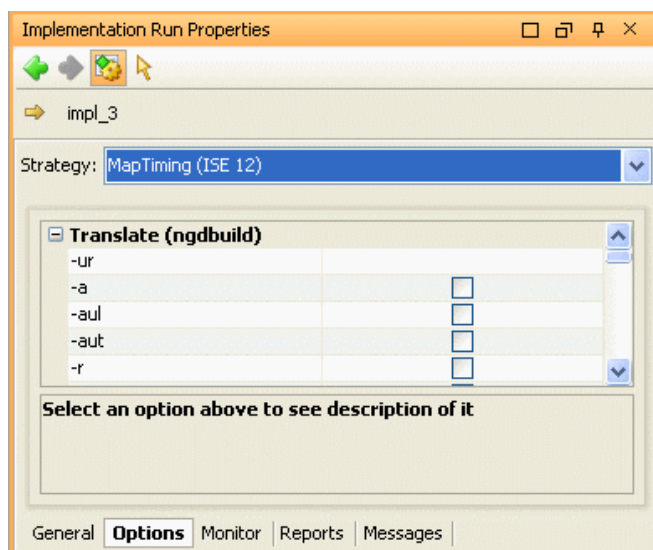


図 9-22 : run のストラテジとコマンド オプションの設定

コマンド ライン オプションとそのプリセット値がビューに表示されます。コマンド オプションを選択すると、そのコマンドの詳細が表示されます。

オプションを選択すると、右側にプルダウン メニューが表示され、使用可能なオプションの値が表示されます。

## ストラテジの ISE コマンド オプション セットの上書き

297 ページの図 9-23 のように、[Options] タブで [Strategy] オプションを変更できます。

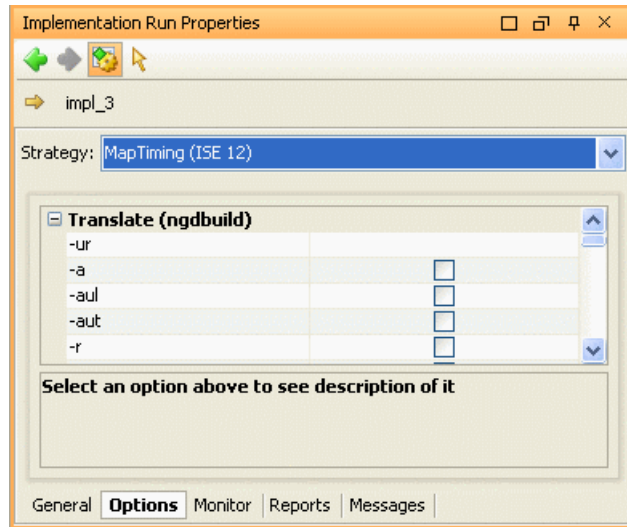


図 9-23 : [Run Properties] ビュー : [Options] タブ

ポップアップ メニュー コマンドからは、次が実行できます。

- 選択した run のストラテジを上書き (変更) し、新しいユーザー定義ストラテジに保存 (または名前を付けて保存) します。
- [More Options] に表示されないコマンド オプションを追加できます。

[Apply] ツールバー ボタンをクリックして変更を適用します。

値を変更した場合は、オプションの横にアスタリスク (\*) が表示され、デフォルトのストラテジの値が変更されたことを確認できます。[Design Runs] ビューの [Strategy] にも同様にアスタリスクが表示され、デフォルトのストラテジが変更されたことを確認できるようになっています。

ストラテジを起動すると (詳細は後のセクションで説明)、ストラテジオプションは変更できなくなります。オプションを変更するには、その run をリセットしてからオプションを変更する必要があります。詳細は、[300 ページの「run のリセット」](#)を参照してください。

## run のログの表示

run の出力ログを確認するには、run を選択し、[Run Properties] ビューの [Monitor] タブをクリックします。次の図のように、このビューには、[Compilation Log] ビューで表示されるのと同じように、主なコマンド ステータス ログが表示されます。

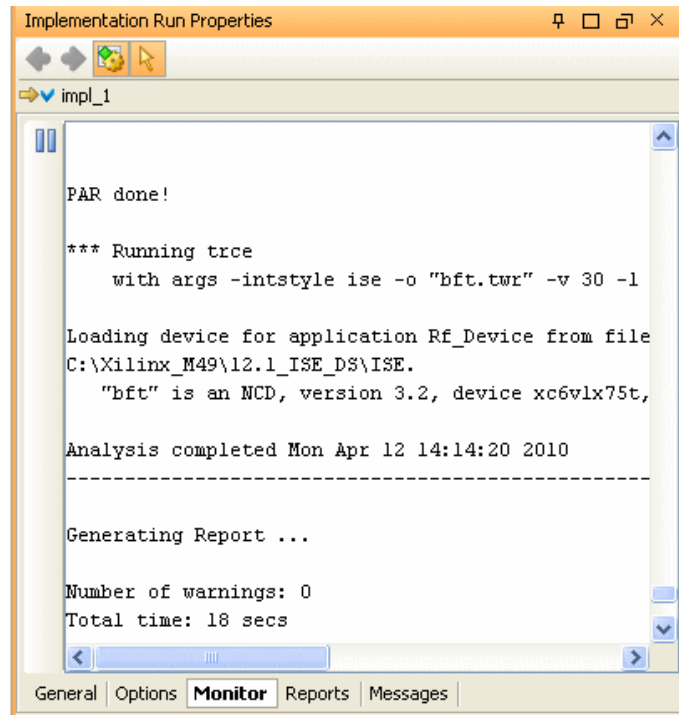


図 9-24 : run のステータスの監視

[Monitor] タブは、コマンドが実行されるごとにアップデートされます。スクロールバーを使用すると、コマンド ログのレポートを参照できます。アクティブなレポートを停止するには、[Automatically update the contents of this view] をクリックします。これにより、コマンドの実行中に結果がスクロールして読みやすくなります。

## レポート ファイルの表示

ISE ツールで生成されたレポート ファイルは PlanAhead で表示できます。[Run Properties] ビューで run を選択し、[Reports] タブをクリックすると、299 ページの図 9-25 のように使用可能なレポート ファイルのリストが表示されます。

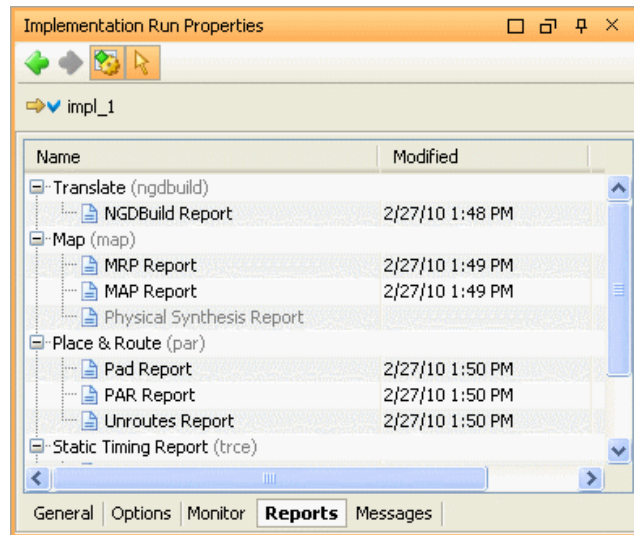


図 9-25 : 表示するレポート ファイルの選択

## 選択した run の起動

[Launch Runs] コマンドを実行すると、[Design Runs] ビューの既存の run が起動されます。run はどのステートでも (完了済みでも) 起動できます。[Launch Selected Runs] ダイアログ ボックスがまず表示されます。ここで、起動オプションを設定できます。

1. [Design Runs] ビューで 1 つまたは複数の run を選択します。複数選ぶ場合は、Shift キーまたは Ctrl キーを押しながらクリックします。
2. 次のいずれかのコマンドを選択します。
  - ◆ [Launch Runs] ポップアップ コマンド
  - ◆ [Design Runs] ビューの [Launch Selected Runs] ツールバー ボタン



図 9-26 : [Launch Selected Runs] ツールバー ボタン

[Launch Selected Runs] ダイアログ ボックスが表示されます。

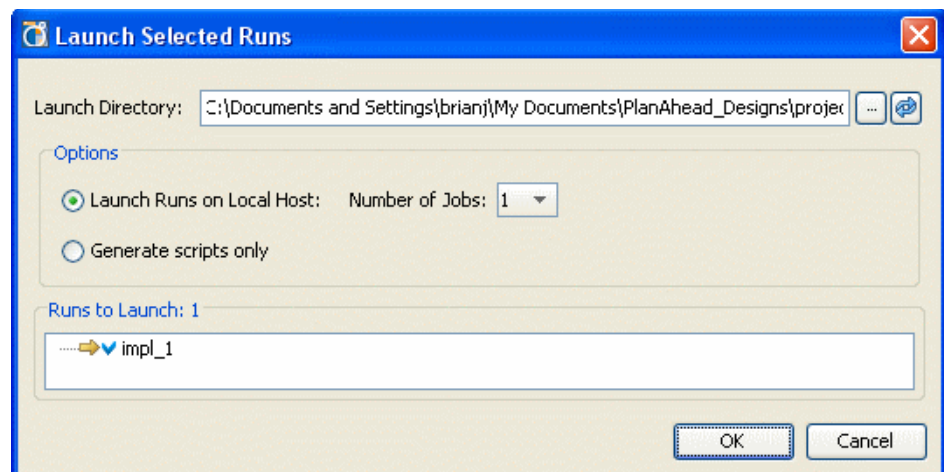


図 9-27 : [Launch Selected Runs] ダイアログ ボックス

[Launch Selected Runs] ダイアログ ボックスには、次のオプションが含まれます。

- [Launch Directory]：インプリメンテーション実行データを作成および保存する場所を指定します。  
**メモ**：プロジェクト ファイルには絶対パスが記述されるので、プロジェクト ディレクトリ外のデフォルトでない場所を指定すると不便になります。
  - [Launch Runs on Local Host]：オンにすると、ローカル マシン プロセッサで **run** が起動されます。
    - ◆ [Number of Jobs]：run に使用するローカル プロセッサの数を定義します。複数 **run** を同時に起動する場合にのみ、このオプションを使用します。各 **run** がそれぞれのプロセッサで起動されます。このオプションを使用すると、マルチスレッド プロセッサは使用されません。
  - [Launch Runs on Remote Hosts] (Linux のみ)：ジョブを起動するのにリモート ホストを使用する場合はこのオプションをオンにします。
    - ◆ [Configure Hosts]：リモート ホストを設定するにはこのオプションをオンにします。詳細は、第 6 章の「リモート Linux ホストでの合成実行の起動」を参照してください。
  - [Generate scripts only]：オンにすると、run ディレクトリおよび run スクリプトがエクスポートおよび作成されますが、PlanAhead からは run は起動されません。スクリプトは、PlanAhead 環境外で後で実行できます。
3. [OK] をクリックすると、選択した起動オプションで **run** が作成されます。
  4. 選択した実行が [Not Started] 以外のステータスになっている場合、起動前に **run** をリセットするかどうかの確認メッセージが表示されます。

## run のリセット

[Reset Runs] コマンドを使用すると、選択した **run** の結果を削除できます。ディスクから **run** のデータを削除するかどうか尋ねられます。**run** のステータスは「Not Started」に戻ります。

1. [Design Runs] ビューで 1 つまたは複数の **run** を選択します。複数選ぶ場合は、Shift キーまたは Ctrl キーを押しながらクリックします。
2. 右クリックで [Reset Runs] をクリックします。

[Reset Runs] ダイアログ ボックスが表示され、選択した **run** のインプリメンテーション データをすべてディスクから削除してもいいかどうか確認するメッセージが表示されます。

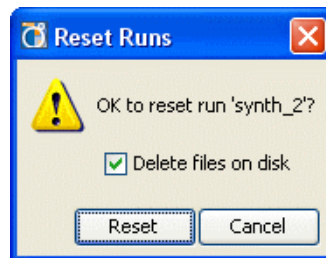


図 9-28：run のリセット

3. [Reset] をクリックします。  
ISE プロセスが現在実行中であつたり、キューに入っていたりする場合は、それらを停止するかどうか尋ねるメッセージが表示されます。
4. [Yes] をクリックします。

選択した run のステータスがリセットされます。

## run の削除

[Delete] コマンドを使用すると、[Design Runs] ビューから選択した run が削除され、それに関するデータがディスクから削除されます。選択した run を削除するかどうか確認するメッセージが表示されます。

1. [Design Runs] ビューで 1 つまたは複数の run を選択します。複数選ぶ場合は、Shift キーまたは Ctrl キーを押しながらクリックします。
2. 次のいずれかを選択します。
  - ◆ [Delete] ツールバー ボタン (301 ページの図 9-29) をクリックします。



図 9-29 : [Delete] ツールバー ボタン

- ◆ [Design Runs] ビューで右クリックし [Delete] をクリックします。
- ◆ [Edit] → [Delete] をクリックします。
- ◆ Delete キーを押します。

## 合成およびインプリメンテーション ストラテジの作成

ストラテジは、各 ISE インプリメンテーション コマンドのコマンド オプションのセットです。PlanAhead ソフトウェアには、内部ベンチマークで広く使用されているストラテジが複数含まれています。これらのストラテジのオプション設定は変更できません。

提供されているストラテジをコピーし、それを変更することはできます。ストラテジはインストール中 C:/Documents and Settings/username/Application Data/HDI/strategies (Windows の場合) に保存されます。

ストラテジは、ツールおよびバージョン別になっています。ISE の各メジャー リリースには、PlanAhead でサポートされるそのバージョン専用のコマンド ライン オプションがあります。

ストラテジを確認、コピー、変更するには、次の手順に従います。

1. [Tools] → [Options] → [Strategies] をクリックします。

302 ページの図 9-30 のように、[Strategies] には各 ISE と XST のバージョンが [Flow] に分類されて表示されます。



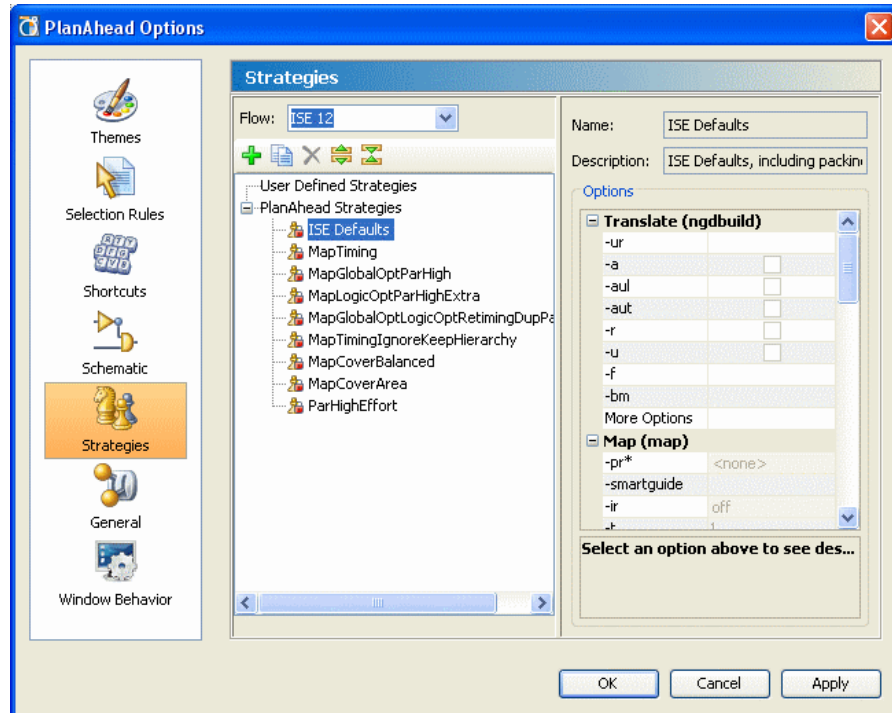


図 9-30 : [PlanAhead Options] ダイアログ ボックス : ストラテジ

2. [Flow] から該当する ISE バージョンまたは run スクリプト フォーマットを選択します。
3. 次のいずれかの方法で、提供されている PlanAhead ストラテジをユーザー定義ストラテジのエリアにコピーして変更できるようにします。
  - ◆ [Create a copy of this strategy] ツールバー ボタン



図 9-31 : [Create a copy of this strategy] ツールバー ボタン

- ◆ [Copy Strategy] ポップアップ コマンド  
ストラテジが [User Defined Strategies] エリアにコピーされ、右側には変更可能なコマンド オプションの値がリストされます。
4. 定義可能なオプションを次のように変更します。
    - ◆ [Name] : run に割り当てるストラテジの名前を入力します。
    - ◆ [Description] : ここで指定したストラテジの説明は、[Design Run] の結果の表に表示されます。
  5. コマンド オプションをクリックすると、その説明が下に表示されます。
  6. コマンド オプション エリア (右側) をクリックし、プルダウン メニューからオプションを選択します。次の図のように、使用可能なコマンド オプションの値がプルダウン メニューに表示されます。

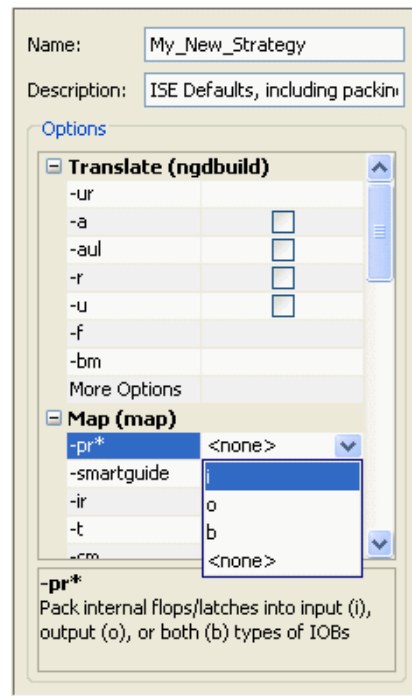


図 9-32 : コマンド オプションと説明

7. [Apply] をクリックし、[了解] をクリックして新しいストラテジを保存します。

次の図のように、新しいストラテジが [User Defined Strategy] の下に表示され、合成およびインプリメンテーションに使用できるようになります。

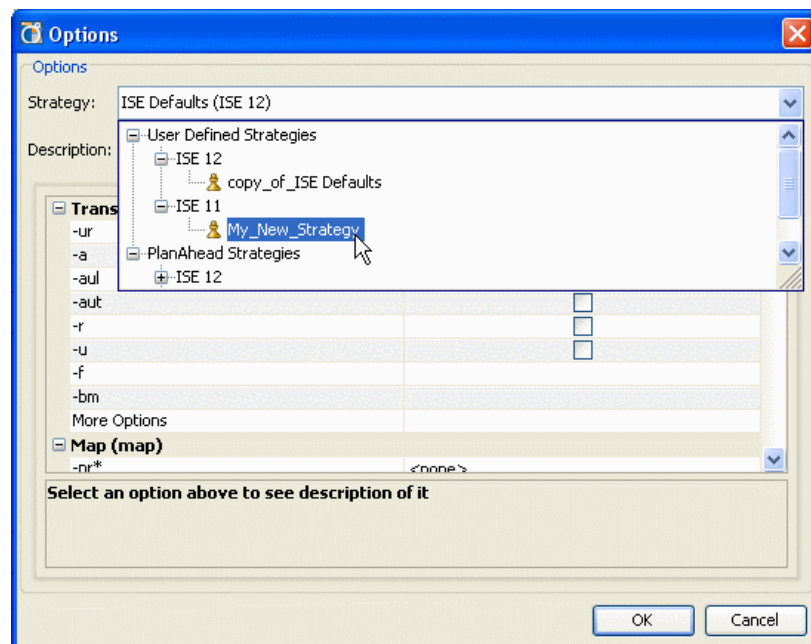


図 9-33 : ユーザー定義ストラテジの選択

run の設定と起動の詳細は、301 ページの「合成およびインプリメンテーション ストラテジの作成」を参照してください。

## 共通グループ ストラテジの作成

グループでカスタマイズしたストラテジを作成して使用する場合、ユーザー定義のストラテジはすべて *<InstallDir>/strategies* ディレクトリにコピーしてください。

## リモート Linux ホストでの run の起動

PlanAhead には、複数の Linux ホストで run をパラレルに実行できる機能があります。これは、サンマイクロシステムズの Grid Engine や LSF などの簡易版を使用した機能です。

ジョブ提示アルゴリズムは、セキュア シェル (SSH) 内の Tcl パイプを使用したラウンドロビン形式でインプリメントされています。

### 制限

次のような制限があります。

- ホスト実行には、PlanAhead ではなく、Linux OS で提供されているサービスである SSH が使用されます。これには、リモート マシンにログインするたびにパスワードを入力する必要がないように SSH を設定する必要があります。パスワードを入力せずに SSH が使用できるように設定していない場合、または SSH を設定したのに毎回パスワードの入力を求められる場合は、[付録 E「パスワード入力なしの SSH の設定」](#)を参照してください。
- セキュリティのためと Windows システムにリモート シェル機能がないため、Linux 間のホストのみがサポートされます。
- ISE ツールのインストールは、どのログイン シェルからでも使用できると仮定されるので、\$XILINX および \$PATH 環境変数は .cshrc/.bashrc セットアップ スクリプトで正しく設定されます。リモート コンピュータにログインしほかのスクリプトをソースせずに「map -help」と入力できる場合、このフローは機能します。ログイン時に ISE が設定されていない場合 (.cshrc または .bashrc)、このオプションを使用し環境設定スクリプトを渡します。
- PlanAhead のインストールはリモート マシンの割り当てられたネットワークから表示できるようにする必要があります。PlanAhead のインストール ディレクトリがマシンのローカルディスクの場合は、リモート マシンからは表示できません。
- PlanAhead のプロジェクト ファイル (.ppr) およびディレクトリ (.dita および .runs) は、リモート マシンの割り当てられたネットワークから表示できるようにする必要があります。デザイン データがローカル ディスクに保存されていると、リモート マシンからは表示できません。

### リモート ホストの設定 (Linux のみ)

[付録 E の「SSH の設定」](#)にあるように SSH を設定したら、リモート サーバーを使用して PlanAhead で run を起動することができます。これには、まずリモート ホストを設定する必要があります。

- 次のいずれかのコマンドを使用し、リモート ホストを設定します。
  - ◆ [Tools] → [Options] → [Remote Hosts]
  - ◆ [Run Synthesis] → [Launch Runs] → [Configure Hosts]
  - ◆ [Run Implementation] → [Launch Runs] → [Configure Hosts]
  - ◆ [Launch Selected Runs] ダイアログ ボックスの [Configure Hosts]

[306 ページの図 9-34](#) のように、[Remote Hosts] ページ表示されます。

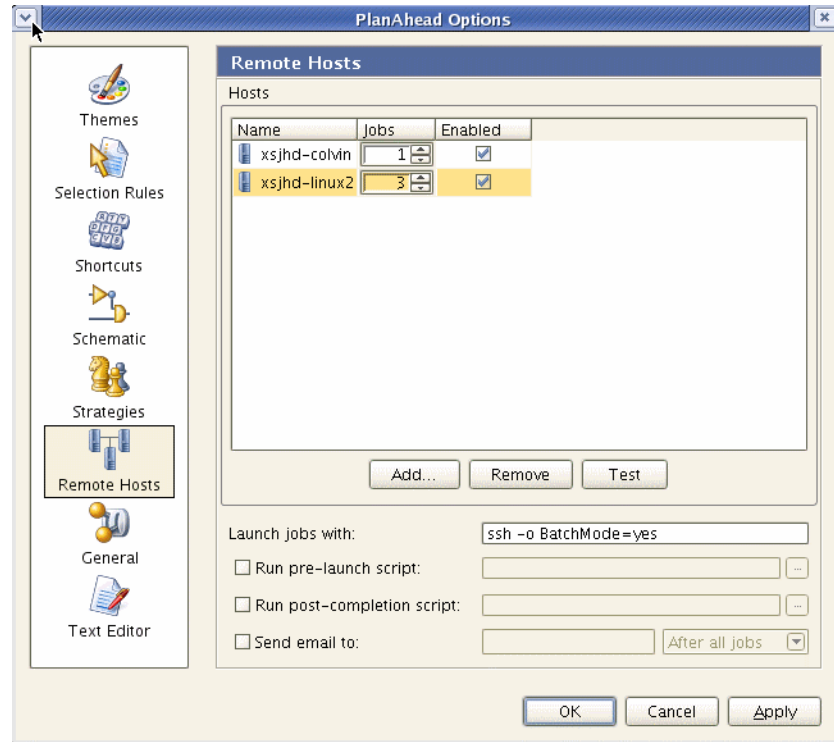


図 9-34：リモート ホストの設定

2. [Add] ボタンをクリックし、リモート サーバー名を入力します。
3. [Jobs] で使用するリモート マシンのプロセッサ数を指定します。各 run がそれぞれのプロセッサで起動されます。マルチスレッド プロセッサは使用されません。
4. [Enable] チェック ボックスでは、サーバーを使用するかどうかを指定します。選択した run を起動する際にどのサーバーを使用するか指定します。
5. オプションで [Launch jobs with] フィールドでリモート アクセス コマンドを変更することもできます。デフォルトは、ssh です。

**メモ：**このフィールドを変更する際は注意が必要です。たとえば、[BatchMode=yes] を削除すると、シェルで間違ってパスワードのプロンプトが表示されるため、プロセスが停止しています。

6. [Run pre-launch script] をオンにすると、run の起動前に実行するスクリプトを定義できます (オプション)。ログイン時の ISE セットアップ (.cshrc または .bashrc) がない場合、このチェック ボックスを使用して環境設定スクリプトを飛ばすことができます。
7. [Run post-completion script] をオンにすると、run の終了後に実行するカスタム スクリプトを定義できます (オプション)。
8. [Send email to] をオンにし、メール アドレスを入力しておくと、run の終了時に電子メールが送信されます (オプション)。
9. 1 つまたは複数のホストを選択し、[Test] ボタンをクリックすると、そのサーバーが使用可能かどうか、コンフィギュレーションが問題なく設定されたかどうかを確認できます。

**メモ：**各ホストをテストして、設定に問題がないか確認しておくことをお勧めします。

10. [Remove] ボタンをクリックし、選択したリモート ホストを削除します。
11. [OK] をクリックし、リモート ホストのコンフィギュレーション設定を適用します。

## PlanAhead と ISE のインターフェイス

PlanAhead ソフトウェアでは、外部ソフトウェアである ISE のインプリメンテーションに必要なファイルを選択してエクスポートできます。デザイン インプリメンテーションに PlanAhead を使用する場合は、ISE とインターフェイスさせる必要はありません。

PlanAhead ではインプリメントされたデザインに基づきプロジェクトを作成することができます。詳細については、[314 ページ](#)の「[PlanAhead 外からの ISE 結果のインポート](#)」を参照してください。

### 制約のエクスポート

制約を ISE にエクスポートする場合、デザイン全体の、または Pblock レベルの UCF 物理制約ファイルをエクスポートします。

制約をエクスポートするには、次の手順に従います。

1. [Sources] ビューでエクスポートする制約セットを右クリックし、[Make active] をクリックしてアクティブな制約セットに設定します。
2. [File] → [Export Constraints] をクリックします。

次の図のダイアログ ボックスが表示されます。

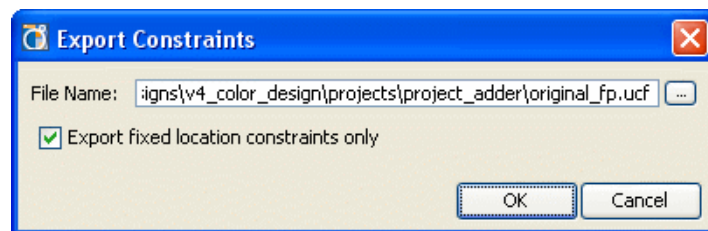


図 9-35 : [Export Constraints] ダイアログ ボックス

3. 編集可能なフィールドを確認し、必要があれば変更します。
  - ◆ [File Name] : 作成する UCF 形式の制約ファイルのファイル名とディレクトリを指定します。
  - ◆ [Export fixed location constraints only] : ユーザーが割り当てた「固定」配置 LOC 制約のみをエクスポートする場合はオンに、固定/未固定の区別なく、ISE からインポートしたすべての配置制約をエクスポートする場合はオフにします。
4. [OK] をクリックし、制約をエクスポートします。

PlanAhead は、エクスポート ディレクトリに最上位レベルの UCF 形式の制約ファイルを作成します。このファイルは、ISE インプリメンテーション スクリプトの入力として使用できます。

エクスポート ファイルに関する詳細は、[付録 B「レポートの出力」](#)を参照してください。

### ネットリストのエクスポート

PlanAhead ネットリストを ISE にエクスポートすると、デザイン全体の、または Pblock レベルの EDIF 形式のネットリスト ファイルがエクスポートされます。

デザイン ネットリストをエクスポートするには、次の手順に従います。

1. [Floorplan] タブをクリックします。
2. [File] → [Export Netlist] をクリックします。

308 ページの図 9-36 のように、[Export Netlist] ダイアログ ボックスが開きます。

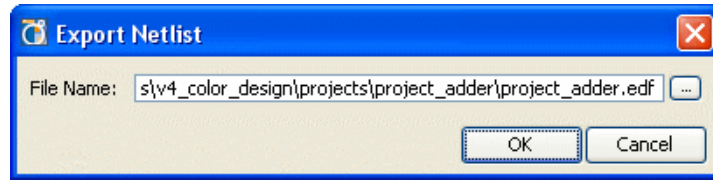


図 9-36 : [Export Netlist] ダイアログ ボックス

3. 編集可能なフィールドを確認し、必要があれば変更します。
  - ◆ [File Name] : 作成する EDIF 形式のネットリスト ファイルのファイル名とディレクトリを指定します。
4. [OK] をクリックし、ネットリストをエクスポートします。

エクスポート ファイルに関する詳細は、付録 B「レポートの出力」を参照してください。

## ISE インプリメンテーション用の Pblock のエクスポート

PlanAhead には、インプリメンテーション用に Pblock レベルのファイルをエクスポートできる機能があります。これらの Pblock には、ロジック階層のどのレベルからのロジックも含めることができます。Pblock をエクスポートすると、選択した Pblock それぞれに対して EDIF ネットリストと UCF 物理制約ファイルが作成されます。

EDIF および UCF ファイルに Pblock をエクスポートするには、次の手順に従います。

1. 1 つまたは複数の Pblock を選択します。
2. [File] → [Export Pblocks] をクリックします。  
Export Pblocks ウィザードが開きます。



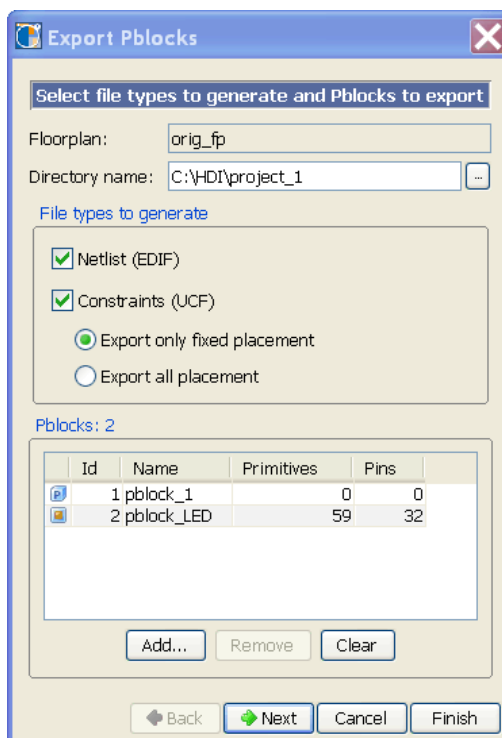


図 9-37 : Export Pblocks ウィザード

3. 編集可能なフィールドを確認し、必要があれば変更します。

- ◆ [Directory name] : ディレクトリ名を入力するか、参照ボタンをクリックしてエクスポートするファイルのディレクトリを選択します。エクスポートされる Pblock それぞれに対し、`<pblockname>_CV` というサブディレクトリが作成されます。典型的な PlanAhead のデザインに関連付けられた EDIF ファイルおよび UCF ファイルは、ISE のインプリメンテーションごとにわかりやすい名前のディレクトリを作成すると管理しやすくなります。エクスポート先のディレクトリは、[Import Placement] コマンドおよび [Import TRCE Results] コマンドにも反映されます。
- ◆ [File types to generate] :
  - [Netlist (EDIF)] : ネットリストをエクスポートする場合はオンにします。
  - [Constraints (UCF)] : 固定された配置制約すべてまたはそのみをエクスポートする場合はオンにします。
- ◆ [Pblocks] : エクスポート用に選択された Pblock がリストされます。

4. [Add] または [Clear] ボタンをクリックし、エクスポート リストから追加または削除する Pblock を選択します。
5. [Next] または [Finish] をクリックします。[Next] をクリックした場合は、[Export Pblocks Summary] ページにエクスポート用に選択した Pblock が表示されます。
6. [Finish] をクリックするとエクスポートが実行されます。

PlanAhead ソフトウェアは、エクスポートした Pblock の EDIF および UCF ファイルの名前は、それぞれ `<pblockname>_CV.edn` および `<pblockname>_CV.ucf` になります。

PlanAhead は Pblock それぞれに対して `/<pblockname>_CV` というディレクトリを作成し、Pblock 特有のファイルを含めます。

## PlanAhead 外からの ISE 結果のインポート

この機能の詳細については、[314 ページ](#)の「PlanAhead 外からの ISE 結果のインポート」を参照してください。

# インプリメンテーション結果の解析

---

本章は、次のセクションで構成されています。

- 「インプリメント済みデザインを開く」
- 「配置およびタイミング結果の解析」
- 「ロジック接続の表示」
- 「[Find] コマンドを使用したオブジェクトの検索」
- 「ロジック オブジェクトのハイライト」
- 「選択したオブジェクトのマーク」
- 「今後インプリメンテーション用の配置ロック」
- 「デザイン メトリックの表示」

## インプリメント済みデザインを開く

PlanAhead™ 内または外部で作成されたインプリメンテーション結果は、PlanAhead に読み込んで解析およびフロアプランできます。

PlanAhead にインポートできるのは ISE® Design Suite の配置およびタイミング結果のみです。配線リソースは、解析には使用できません。

インプリメンテーション **run** を起動するのに PlanAhead を使用した場合は、Flow Navigator で [Implemented Design] をクリックすると、インプリメンテーション結果を開くことができます。

このボタンは、プロジェクトに問題なくインプリメントされたデザインが含まれる場合にのみ使用できます。

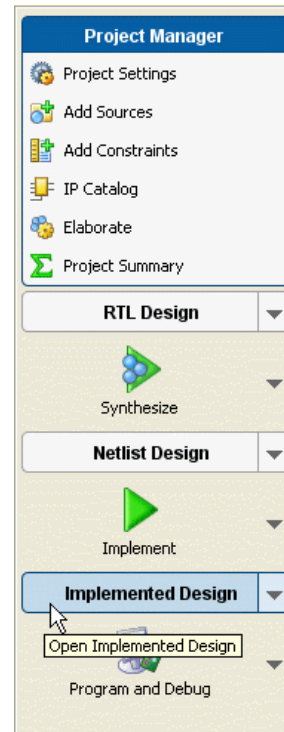


図 10-1 : Project Manager の画面

PlanAhead に元のネットリストが読み込まれたら、Design Planner 環境に ISE 配置と TRCE タイミング結果が表示されます。

Flow Navigator の [Implemented Design] メニューも使用できるようになります。

[Implemented Design] ボタン内のアイコンは、インプリメントされたデザインが開いていることを示します。

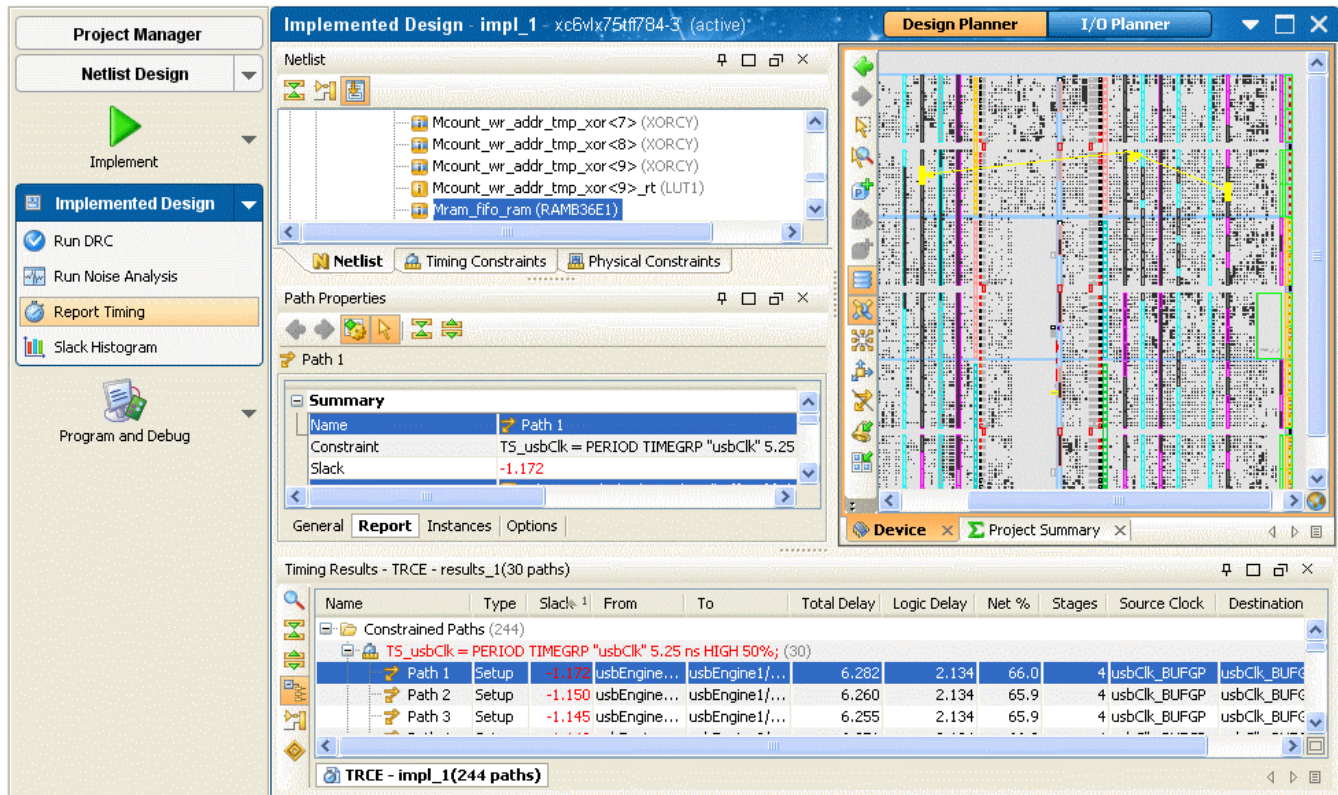


図 10-2 : [Implemented Design] 環境

各インスタンスの LOC 制約も含め、配置結果が [Device] ビューに表示されます。これらの LOC 制約はインプリメンテーション前に設定した LOC 制約とは区別されます。これらは「固定されていない」配置制約です。インプリメンテーション前に設定された制約は、「固定された」制約です。

配置制約を選択して [Fix Instances] ポップアップメニューコマンドを実行すると、それらの配置をロックできます。詳細は、第 11 章「デザインのフロアプラン」および 311 ページの「インプリメンテーション結果の解析」を参照してください。

**メモ：** ISE ではロジックを最適化および変更して、配置配線結果を改善できます。この場合、元のネットリストのロジックは削除されるか置き換えられます。このため、PlanAhead で開いているインプリメンテーション前のネットリストとインプリメンテーション結果が合わなくなります。[Implemented Design] が開いている場合は、[Tcl Console] ビューでこの問題がレポートされます。ネットリストのロジックが表示された結果と一致しない以外は、問題ありません。

PlanAhead は、ISE の trce コマンドからのタイミング結果をインポートし、[Timing Results] ビューにその結果を表示します。

タイミングパスは制約別に分類され、+ や - マークをクリックして展開したり、閉じたりできます。[Timing Results] ビューには、trce.twr または trce.twx ファイルから抽出された情報が含まれます。

パスは [Device] ビューで選択およびハイライトできます。タイミングパスの詳細は、[Path Properties] ビューで確認できます。詳細は、317 ページの「配置およびタイミング結果の解析」を参照してください。

## 複数のインプリメント済みデザインを開く

インプリメンテーション run は [Design Runs] ビューでそれを右クリックし、[Open Implemented Design] をクリックすると開くことができます。run をアクティブな run に設定し、Flow Navigator で [Implemented Design] をクリックしても開くことができます。詳細は、295 ページの「アクティブ run の設定」を参照してください。

複数のインプリメンテーション run はそれらが PlanAhead から起動されていれば、開くことができます。左上に表示される次の図のようなタブをクリックすると、複数のインプリメント済みデザインを切り替えて表示できます。

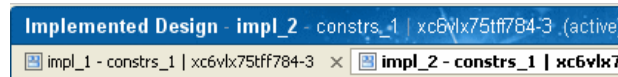


図 10-3：複数のインプリメント済みデザインのタブ

Flow Navigator のプルダウン メニューを使用すると、使用可能なインプリメント済みデザインを開いたり、閉じたりできます。各インプリメンテーション run は、次の図のように [Open Implemented Design] メニューから指定して開くことができます。

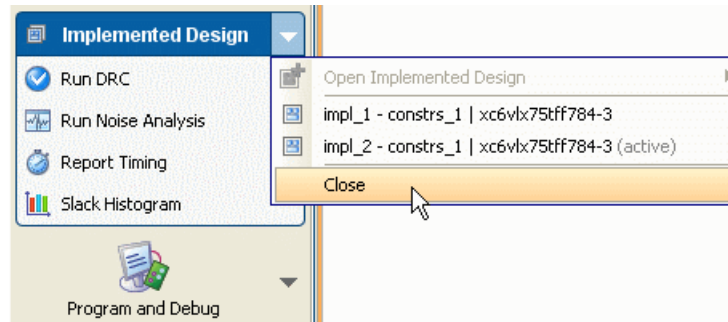


図 10-4：インプリメント済みデザインを開く/閉じる

同時に複数のインプリメント済みデザインが開いている場合は、[Implemented Design] ボタンに複数のアイコンが表示されます。

## PlanAhead 外からの ISE 結果のインポート

New Project ウィザードを使用して既存の ISE 結果をインポートしたり、タイミング結果をインポートしたりできます。

次のセクションでは、ISE 結果をインポートするオプションについて説明します。

### New Project ウィザードを使用した ISE 結果プロジェクトの作成

新規プロジェクトを作成し、そのプロジェクトに、ISE のインプリメンテーションからのネットリスト、タイミングおよび配置結果をインポートすることができます。

ISE インプリメンテーション結果をインポートする新規プロジェクトの作成については、第 3 章の「ISE の配置およびタイミング結果を使用したプロジェクトの作成」を参照してください。

## 既存プロジェクトへの ISE TRCE タイミング結果のインポート

PlanAhead には、ザイリンクスの TRCE コマンドで生成された TWR および TWR 形式のタイミングレポートをインポートできます。インポートすると、この章で説明するすべての信号トレース機能および表示機能が使用できるようになります。

タイミング結果をインポートするには、次の手順に従います。

1. [File] → [Import Timing] をクリックします。

次の図のダイアログボックスが表示されます。

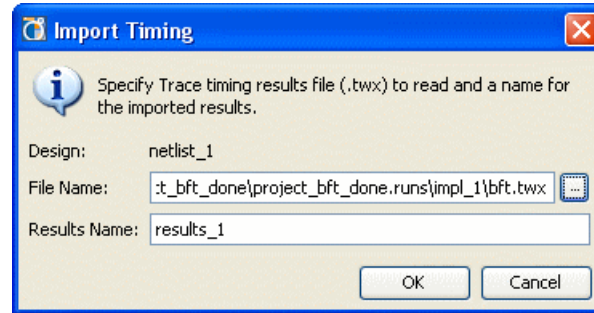


図 10-5 : [Import Timing] ダイアログボックス

編集可能なフィールドを確認し、必要があれば変更します。

- ◆ [File name] : PlanAhead でインポートする TRCE で生成された TWX または TWR ファイルの名前を指定します。
- ◆ [Results Name] : [Timing Results] ビューの結果名のタブに表示される名前を指定します。

2. [OK] をクリックし、タイミング結果をインポートします。

次の図のように、TRCE の結果が PlanAhead に表示されます。

Name	Type	Slack	From	To	Total Delay	Logic Delay	Net %	Stages	Source Clock	Destination Clock
Constrained Paths (30)										
TS_wbClk = PERIOD TIMEGRP "wbClk" 9 ns HIGH 50%; (30)										
Path 1	Setup	4.002	fifoSelect_2	wbOutputData_19	4.896	0.452	90.8	6	wbClk_BUF	wbClk_BUF
Path 2	Setup	4.011	fifoSelect_2	wbOutputData_2	4.887	0.452	90.8	6	wbClk_BUF	wbClk_BUF
Path 3	Setup	4.020	fifoSelect_2	wbOutputData_26	4.873	0.417	91.4	6	wbClk_BUF	wbClk_BUF
Path 4	Setup	4.044	fifoSelect_2	wbOutputData_4	4.854	0.452	90.7	6	wbClk_BUF	wbClk_BUF
Path 5	Setup	4.055	fifoSelect_2	wbOutputData_20	4.843	0.452	90.7	6	wbClk_BUF	wbClk_BUF
Path 6	Setup	4.095	fifoSelect_1	wbOutputData_19	4.803	0.452	90.6	6	wbClk_BUF	wbClk_BUF
Path 7	Setup	4.104	fifoSelect_1	wbOutputData_2	4.794	0.452	90.6	6	wbClk_BUF	wbClk_BUF

図 10-6 : TRCE タイミング結果

ここでは、次の操作を実行できます。

- PlanAhead インターフェイスを使用し、すべてのパス選択、ハイライト、およびトレース機能を使用できます。
- 列のヘッダをクリックすると、タイミング結果を並べ替えられます。最初に並べ替えた後で **Ctrl** キーを押して別の列ヘッダをクリックすると、次にその列で並べ替えられます。リストの表示順を整えるために、さまざまな並び替え条件を選択できます。
- 1 つのフロアプランに対して複数のタイミング結果を表示できます。



図 10-6 のように、TRCE または PlanAhead から結果がレポートの一番下タブに表示されます。スラックが負の値のパスがあると、そのスラック値が赤色で表示されます。

## 配置およびタイミング結果の解析

次のセクションでは、配置およびタイミング結果を解析するオプションについて説明します。

### ザイリンクス TRCE の結果の表示

PlanAhead は、TRCE タイミング レポート ファイル (TWD および TWX) から情報を抽出し、ISE のタイミング解析結果を表示します。これらのファイルは、インプリメンテーション **run** が PlanAhead から起動されると自動的に表示されます。それ以外の場合、インプリメンテーション結果を PlanAhead にインポートする必要があります。詳細は、[314 ページの「PlanAhead 外からの ISE 結果のインポート」](#)を参照してください。

インポートすると、そのタイミング結果が [Timing Results] ビューに表示されます。ISE を起動するのにタイミング制約が使用されなかった場合、タイミング結果は表示されません。

#### [Timing Results] ビューの使用

TRCE からインポートされたタイミング結果の表示は、[第 7 章「ネットリストの解析および制約の定義」](#)に記述されているような PlanAhead の [Report Timing] コマンドを実行した場合とは異なります。PlanAhead のレポートでは配線遅延が概算されていますが、TRCE 結果にはインプリメントされたデザインからのタイミング情報がそのまま表示されます。

[Timing Results] ビューには、クロック制約別に分類された TRCE タイミング パス情報も表示されます。+ や - マークをクリックすると、タイミング パスのツリー表示を展開したり、閉じたりできます。スラック値に問題のあったパスは赤色で表示されます。

次の図は、TRCE 結果を表示しています。

Name	T...	Slack	From	To	Total Delay	Logic Delay	Net %	Stages	Source Clock	Destination Clock
Constrained Paths (244)										
TS_usbClk = PERIOD TIMEGRP "usbClk" 5.25 ns HIGH 50%; (30)										
TS_wbClk = PERIOD TIMEGRP "wbClk" 9 ns HIGH 50%; (30)										
TS_cpuClk = PERIOD TIMEGRP "cpuClk" 13.75 ns HIGH 50%; (30)										
Path 35	Setup	1.108	cpuEngine...	cpuEngi...	12.560	1.160	90.8	13	cpuClk_BUF	cpuClk_BUF
Path 36	Setup	1.108	cpuEngine...	cpuEngi...	12.560	1.160	90.8	13	cpuClk_BUF	cpuClk_BUF
Path 37	Setup	1.108	cpuEngine...	cpuEngi...	12.560	1.160	90.8	13	cpuClk_BUF	cpuClk_BUF
Path 38	Setup	1.108	cpuEngine...	cpuEngi...	12.560	1.160	90.8	13	cpuClk_BUF	cpuClk_BUF
Path 44	Setup	1.140	cpuEngine...	cpuEngi...	12.557	6.984	44.4	8	cpuClk_BUF	cpuClk_BUF
Path 45	Setup	1.140	cpuEngine...	cpuEngi...	12.557	6.984	44.4	8	cpuClk_BUF	cpuClk_BUF

図 10-7 : ISE TRCE タイミング結果

#### [Path Properties] ビューの使用

[Timing Results] ビューでパスを選択すると、[Path Properties] ビューにそのタイミング パスのロジックおよび遅延情報が表示されます。

TRCE からインポートされたタイミング結果の表示は、[第 7 章「ネットリストの解析および制約の定義」](#)に記述されているような PlanAhead の [Report Timing] コマンドを実行した場合とは異なります。TRCE 結果には、次の図のようにクロック スキューやジッタなどの別の情報も表示されます。

The screenshot shows the 'Properties' window for 'Path 1'. It has tabs for 'General', 'Report', 'Instances', and 'Options'. The 'Report' tab is active, displaying a 'Summary' section and a 'Data Path' table.

**Summary**

Name	Path 1
Constraint	TS_usbClk = PERIOD TIMEGRP "usbClk" 5.25 ns HIGH 50%;
Slack	-1.172
Source	usbEngine1/usb_dma_wb_in/buffer_fifo/Mram_fifo_ram
Destination	usbEngine1/usbEngineSRAM/Mram_snoopyRam19
Requirement	5.250
Delay	6.282
Source Clock	usbClk_BUFGP (rising at 0.000ns)
Destination Clock	usbClk_BUFGP (rising at 5.250ns)
Skew	-0.105 (1.194 - 1.299)
Uncertainty	0.035 ((TSJ^2 + TIJ^2)^1/2 + DJ) / 2 + PE
Total System Jitter (TSJ)	0.070
Total Input Jitter (TIJ)	0.000
Discrete Jitter (DJ)	0.000
Phase Error (PE)	0.000

**Data Path**

Delay Type	Delay	Cumulative	Location	Logical Resource
<a href="#">RAMB36E1 (Trcko_DCB)</a>	1.591	1.591	RAMB36_X5Y17	usbEngine1/usb_dma_wb_in/buffer_fifo/Mram_fifo_ram
net (fanout=40)	1.608	3.199		usbEngine1/ma_adr[14]
<a href="#">LUT6 (Tilo)</a>	0.053	3.252	SLICE_X69Y99	usbEngine1/u5/ma_we1
net (fanout=1)	0.272	3.524		usbEngine1/ma_we
<a href="#">LUT4 (Tilo)</a>	0.053	3.577	SLICE_X69Y99	usbEngine1/u2/Mmux_sram_we11
net (fanout=256)	2.268	5.845		usbEngine1/sram_we_o
<a href="#">RAMB36E1 (Trcck_WEA)</a>	0.437	6.282	RAMB36_X1Y18	usbEngine1/usbEngineSRAM/Mram_snoopyRam19
<b>Total</b>	6.282			
		Logic: 2.134		
		Net: 4.148		

図 10-8：タイミングパスの [Properties] ビュー

ロジックオブジェクトを選択すると、そのオブジェクトがほかのすべての PlanAhead のビューでハイライトされます。

[Delay Type] 列のリンクをクリックすると、PDF ビューアが起動され、そのデバイス データシートが表示され、選択したロジックオブジェクトの検索が自動的に実行されます。

[Timing Results] ビューと [Path Properties] ビューを使用したタイミング結果の解析については、[第 7 章「ネットリストの解析および制約の定義」](#)を参照してください。

## [Device] ビューでのタイミングパスの表示

[Timing Results] ビューでパスの行を選択すると、タイミングパスを [Device] ビューに表示できます。パスは [Device] ビューでハイライトされます。複数のパスを選択すると、パスに含まれるすべてのインスタンスがハイライトされます。[319 ページの図 10-9](#) は [Device] ビューでタイミングパスがハイライトされたところを示しています。

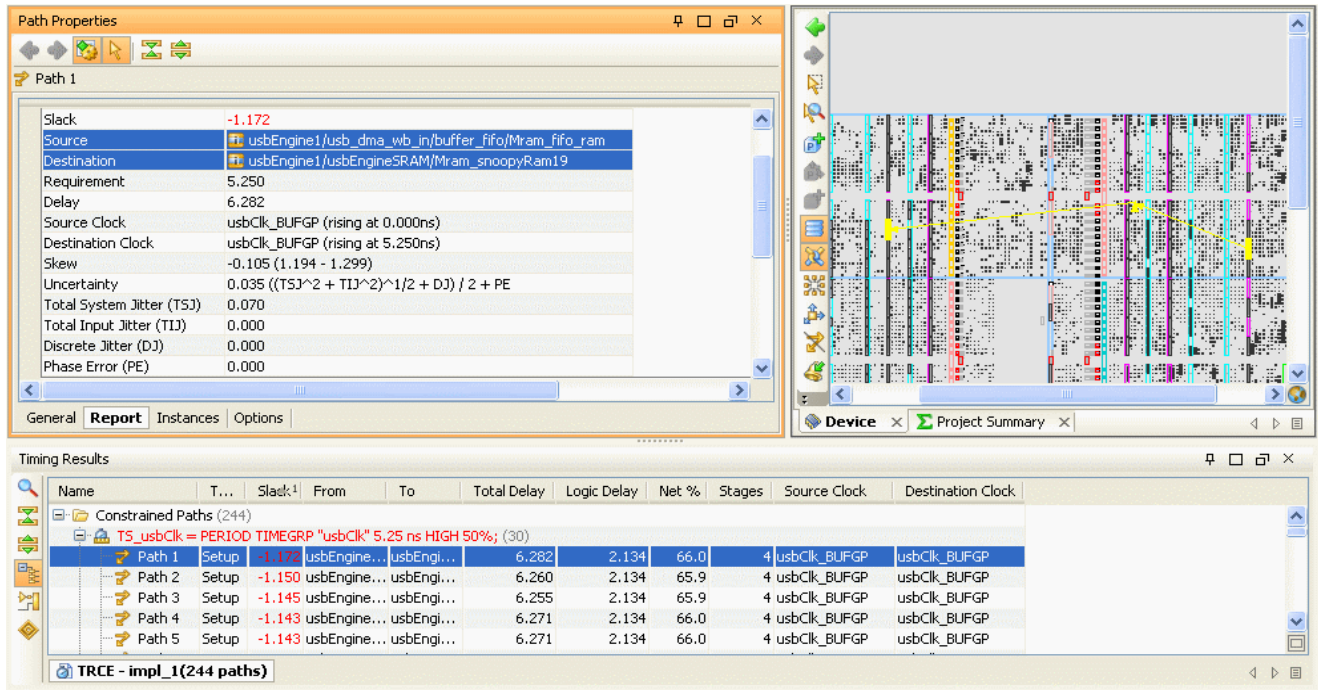


図 10-9 : [Device] ビューでハイライトされたタイミング パス

## [Schematic] ビューでのタイミング パスの表示

[Timing Results] のツールバーまたはポップアップ メニューで [Schematic] をクリックすると、PlanAhead に [Schematic] ビューが表示され、選択されたパスに含まれるインスタンスが表示されます。320 ページの図 10-10のように、[Schematic] ビューにはインスタンスがはっきりと表示されるだけでなく、階層モジュールも表示されます。

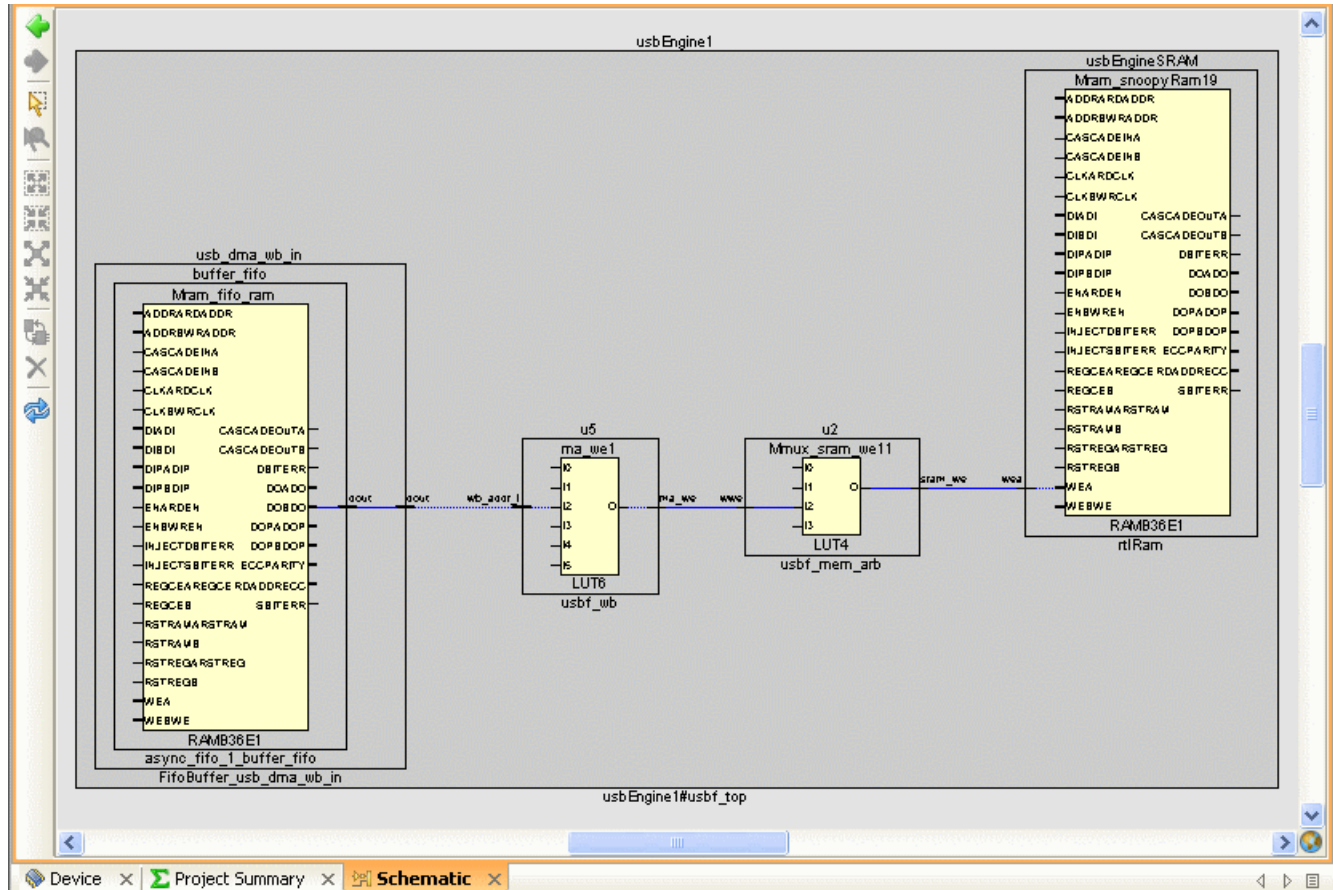


図 10-10 : [Schematic] ビューに表示されたタイミング パス

タイミング パスの [Schematic] ビューには、オブジェクトがすべて表示されます。個々のロジックインスタンスの [Schematic] ビューには、選択したインスタンスだけが表示されます。

パスのグループに含まれるインスタンスはすべてこの方法で表示されるため、フロアプランでどのモジュールを一緒にグループにすべきかがわかりやすくなっています。[Schematic] ビューのポップアップメニューの [Pblock creation] コマンドを使用すると、[Device] ビューで簡単に Pblock への割り当てができます。[Schematic] ビューの詳細は、111 ページの「[Schematic] ビュー」を参照してください。

## ロジック接続の表示

次のセクションでは、PlanAhead のロジック接続オプションについて説明します。

### [Show Connectivity] コマンドの使用

[Show Connectivity] コマンドを使用すると、選択したエレメントに接続されたネットがすべてハイライトされます。このコマンドは次の方法で使用します。

1. ネット、Pblock、インスタンス、またはこれらの組み合わせを選択します。
2. 右クリックし、[Show Connectivity] を選択します。

たとえば、インスタンスまたは Pblock を選択した場合は、321 ページの図 10-11 のようにこれらのエレメントに接続したネットがすべてハイライトされます。





図 10-11 : [Device] ビューに表示されたネットの接続状況

## [Show Connectivity] を実行したロジック接続の表示

[Show connections for selected instances] ボタンをオンにすると、オブジェクトを新しく選択するたびに続けて [Show Connectivity] コマンドを実行できます。

このモードがオンであれば、ロジック オブジェクトを新しく選択し、接続を表示できます。このボタンをもう一度クリックするとオフになります。



図 10-12 : [Show connections for selected instances] ボタン

## ロジック ファンアウトの展開と選択

[Show Connectivity] コマンドを連続して実行すると、ロジック ファンアウトを連続して選択および展開表示できます。

1. ネット、Pblock、インスタンス、またはこれらの組み合わせを選択します。
2. 右クリックし、[Show Connectivity] を選択します。選択したエレメントに接続されたネットがすべてハイライトされます。
3. 右クリックし、[Show Connectivity] をもう 1 度選択します。ネットに接続されたインスタンスのセットが選択されます。

4. 右クリックし、[Show Connectivity] をもう 1 度選択します。選択されたインスタンスに接続された、次のレベルのネットがハイライトされます。

この方法を使用すると、特定のインスタンスまたは I/O ポートまでロジックのファンアウトを簡単に展開表示して選択できます。

## [Schematic] ビューでのロジックの展開表示

[Schematic] ビューを使用すると、ロジックを階層全体に渡ってトレースできます。[Schematic] ビューで選択されたものは [Device] ビューでもハイライトされます。

トレースするインスタンスのピンをダブルクリックすると、信号を展開表示できます。次の図は、[Schematic] ビューで展開されたロジックの例を示しています。

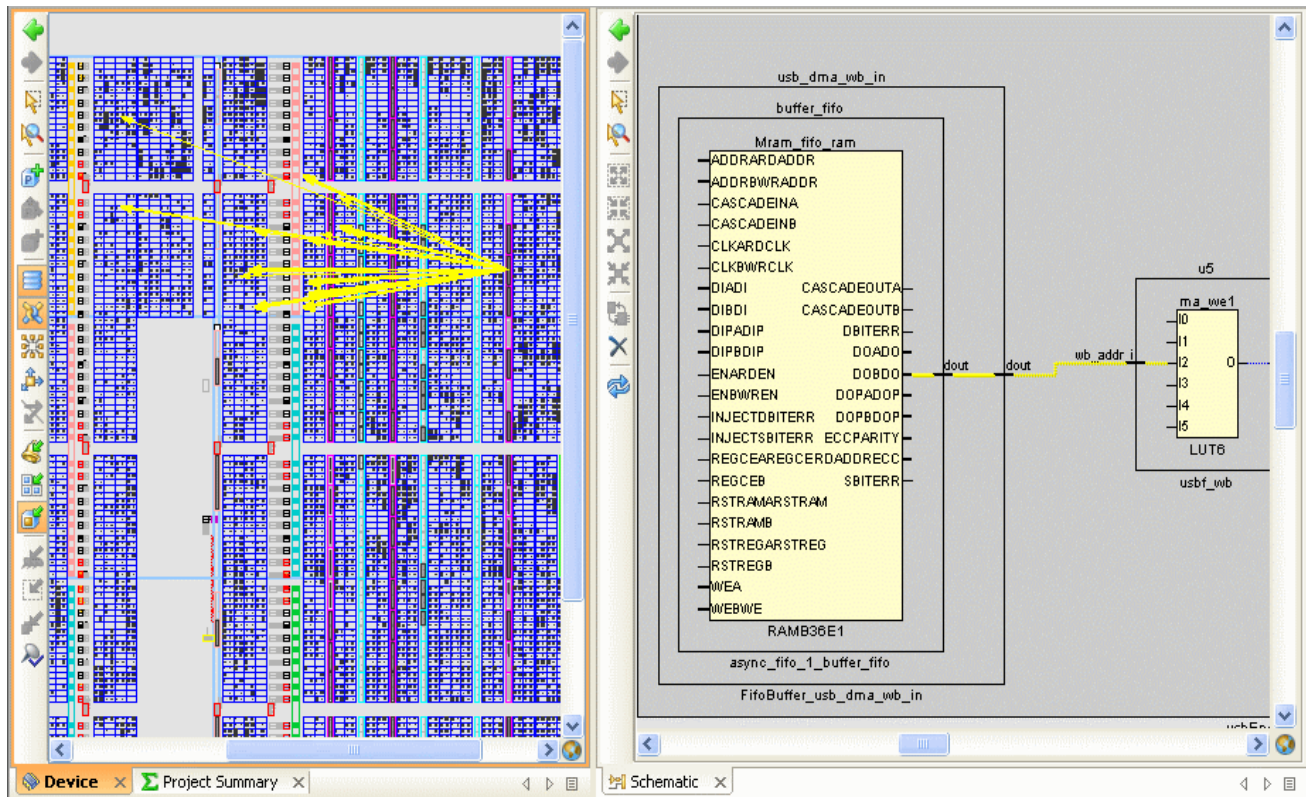


図 10-13 : [Schematic] ビューで展開表示されたロジック

インスタンスおよびモジュールの接続、その内容もインタラクティブに展開表示できます。

[Schematic] ビューでのロジック表示の詳細は、111 ページの「[Schematic] ビュー」を参照してください。

## [Find] コマンドを使用したオブジェクトの検索

配置が [Device] ビューに表示されたら、[Find] コマンドを使用して特定タイプのロジックを検索できます。[Find] コマンドのダイアログボックスには、さまざまな方法で検索項目をフィルタする柔軟な機能があります。



ロジック オブジェクトの検索の詳細は、[第 7 章「ネットリストの解析および制約の定義」](#)を参照してください。

## ロジック オブジェクトのハイライト

オブジェクトをハイライトするには、次の 2 つのコマンドがあります。

- 選択したオブジェクトのみをハイライトする [Highlight] コマンド
- 選択したモジュールに接続されたプリミティブ ロジックすべてをハイライトする [Highlight Primitives] コマンド

### 選択したオブジェクトのハイライト

PlanAhead には、オブジェクトを選択してハイライトする機能があります。ハイライトすると、1 つまたは複数の色で複数の配置グループを同時に表示できます。

PlanAhead でどこをクリックしても、ハイライトは解除されません。[Schematic] ビューも含め、該当するビューすべてでハイライトされます。

オブジェクトをいくつでも選択してハイライトできます。

選択したオブジェクトは、ほとんどのビューの [Select] → [Highlight] コマンドまたはポップアップメニューで [Highlight] をクリックしてハイライトできます。このコマンドは選択されたロジックにのみ実行されます。

すべてのネットリスト モジュールまたは Pblock ロジックをハイライトする場合は、[Highlight Primitives] コマンドを実行すると、下位ロジックもハイライトできます。詳細は、次のセクションを参照してください。

選択したモジュールの配置をハイライトするには、次のいずれかの方法を使用します。

### [Select Primitives] および [Highlight Primitives] コマンドの使用

ISE 配置をインポートしたら、[Select Primitives] コマンドを使用して、Pblock およびロジック モジュールの下位のプリミティブ ロジック エレメントを選択できます。このコマンドは、よく [Show Connectivity]、[Fix Instances]、[Clear Loc Constraints] コマンドと併用されます。

ISE 配置をインポートしたら、[Highlight Primitives] コマンドを使用して、Pblock およびロジック モジュールの下位のプリミティブ ロジック エレメントをハイライトできます。

ロジック モジュールまたは Pblock を選択して [Highlight Primitives] コマンドを実行した後に、関連した配置をハイライトする色を選択できます。

複数のインスタンスが選択されていれば、すべてに同じ色を指定することも、[Cycle Colors] コマンドを使用して選択したモジュールごとに色を変えることもできます。325 ページの図 10-14 のように、[Netlist] ビューのモジュールおよびプリミティブのハイライト色は、[Device]、[Schematic]、および [Package] ビューと同じになります。

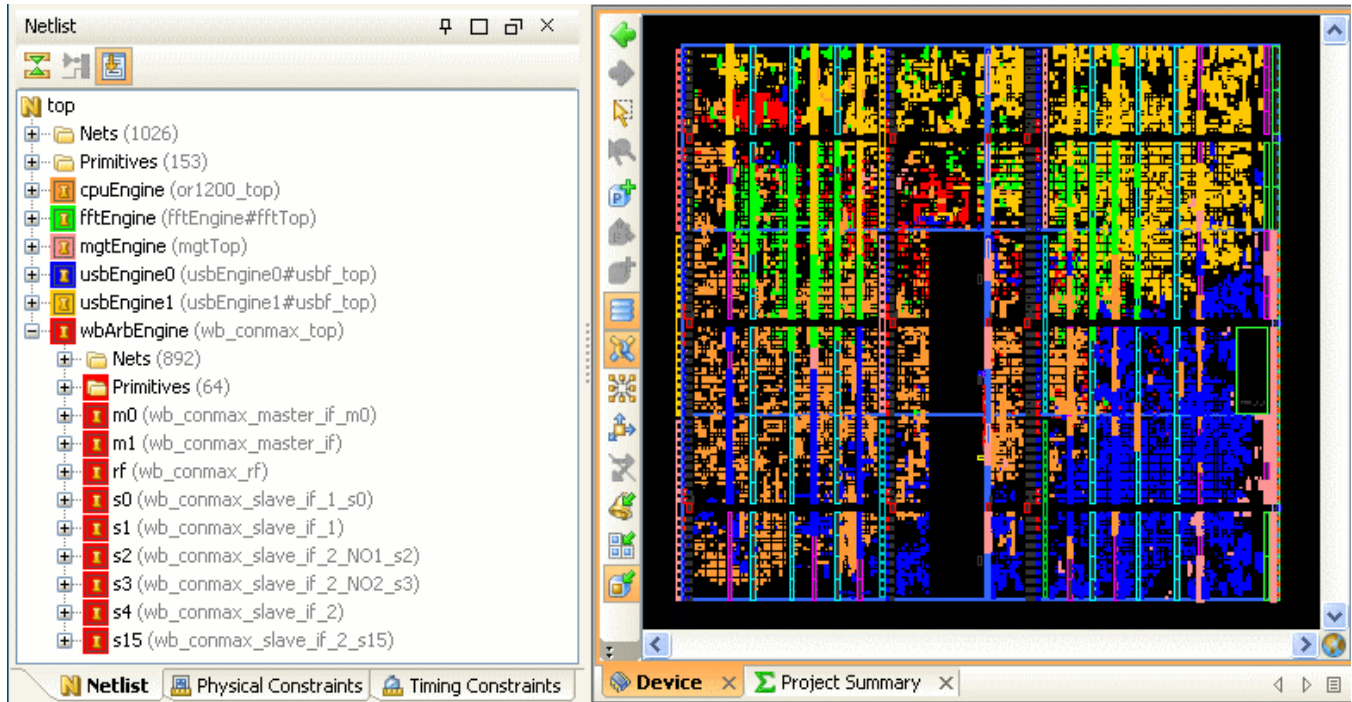


図 10-14 : [Netlist] と [Device] ビューのハイライト色的一致

## オブジェクトのハイライト解除

オブジェクトのハイライトを解除するには次のいずれかのコマンドを実行します。

- [Select] → [Unhighlight All] をクリックするとすべてのオブジェクトのハイライトが解除されます。
- [Select] → [Unhighlight Color] をクリックすると指定した色のハイライトが解除されます。
- 次の図に示す [Unhighlight All] ツールバー ボタンをクリックします。



図 10-15 : [Unhighlight All] ツールバー ボタン

## 選択したオブジェクトのマーク

### オブジェクトのマーク

PlanAhead では、該当するビューすべてで選択したオブジェクトにマーク シンボルを付けることができます。

マークを付けておくと、[Device] ビューで小さなオブジェクトを表示する場合に便利です。

マークを付けるには [Select] → [Mark] をクリックするか、**Ctrl + M** キーを押します。このコマンドは、[Netlist]、[Physical Hierarchy] など、ほかのビューでも使用できます。

タイミング パスをマークすると、始点は緑、終点は赤、中間は黄でマークされます。

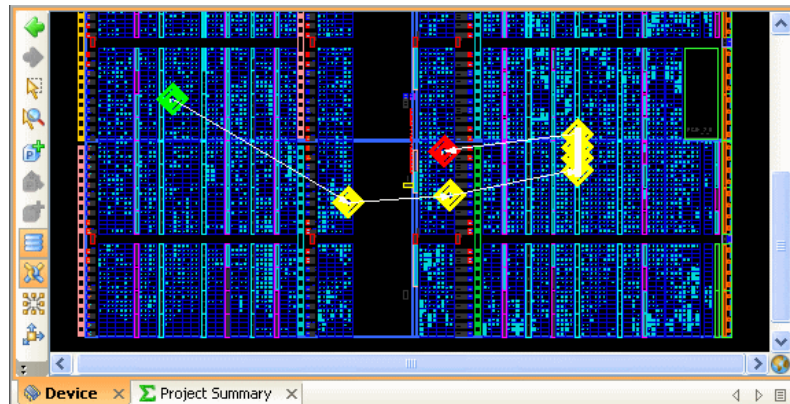


図 10-16 : [Device] ビューでマークされたタイミング パス シンボル

### マークの削除

マークは、次の方法のいずれかで削除できます。

- [Select] → [Unmark All] をクリックします。
- 次の図に示す [Unhighlight All] ツールバー ボタンをクリックします。



図 10-17 : [Unmark All] ツールバー ボタン

## 今後インプリメンテーション用の配置ロック

配置結果が ISE からインポートされると、固定されていない LOC 制約として PlanAhead に表示されます。インプリメンテーション前に定義された制約は、「固定された」制約として表示されます。

### [Fix Instances] コマンドの使用

該当するロジックを選択して [Fix Instances] ポップアップ メニュー コマンドを実行すると、今後の run 用にそれらの配置をロックできます。

この機能を使用すると、一貫したインプリメンテーション結果を維持できます。インプリメント済みデザインを保存すると、UCF ファイルの固定されたロジックに LOC および BEL 制約が含まれ、この設定をその後のインプリメンテーション run で使用できます。

### 特定タイプのロジックの固定

インプリメンテーション結果の一貫性を改善するには、ブロック RAM および DSP などの一部またはすべてのブロック マクロ ロジックをロックします。PlanAhead で知識を生かして手動でロックすることもできますが、問題のなかった ISE のインプリメンテーション結果を再利用してロックすることもできます。この方法を使用すると、デザインにブロック RAM または DSP などが多く含まれる場合、より一貫した結果になり、ランタイムも改善することができます。

LOC 制約を手動割り当てる方法については、[357 ページの「配置 LOC 制約」](#)を参照してください。

特定のロジック タイプを固定するには、[Find] コマンドを使用し、ブロック RAM および DSP などの特定ロジック タイプを選択します。この後 [Find Results] ビューでそれらすべてを選択し、[Fix Instances] ポップアップ メニュー コマンドを実行すると、固定できます。

### ロジック モジュールの固定

インプリメンテーション結果の一貫性を改善するには、クリティカル ロジックをロックします。これには、特定ロジック、タイミング パス、またはロジック モジュール全体をロックする必要があります。

特定モジュールですべてのロジックを固定するには、モジュールを選択して [Select Primitives] コマンドを実行し、そのロジック モジュールに関連するプリミティブ ロジック インスタンスすべてを選択します。ロジックを固定するには、[Fix Instances] コマンドを使用します。

## デザイン メトリックの表示

次のセクションでは、デザイン メトリック オプションについて説明します。

- [「\[Metrics\] ビューの使用」](#)
- [「\[Device\] ビューでのメトリック マップの表示」](#)
- [「メトリック表示の解除」](#)
- [「\[Metrics Results\] ビューの使用」](#)
- [「メトリック範囲の設定」](#)

## [Metrics] ビューの使用

PlanAhead の [Metrics] ビューでは、デザイン メトリックのリストが示され、デザインで問題が発生する可能性があるエリアが定義された色で表示されます。現時点のメトリックでは、Pblock および配置済みデザイン レベルの両方での使用率およびタイミング チェックが含まれています。次の図は、[Metrics] ビューを示しています。

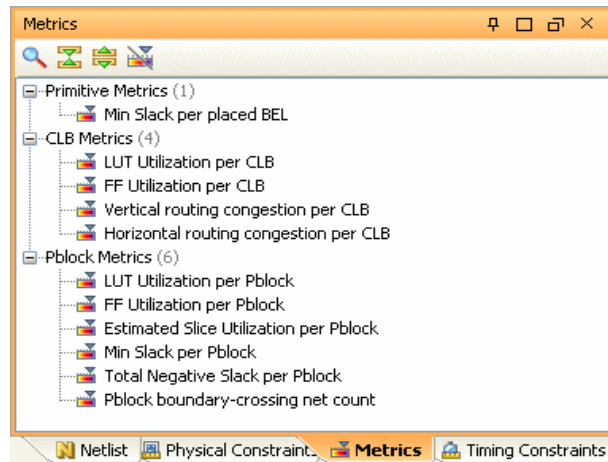


図 10-18 : [Metrics] ビュー

[Metric Properties] ビューには、次に示すように、メトリックの機能の説明とエラーが発生する可能性がある箇所をハイライトするために定義された棒グラフが表示されます。

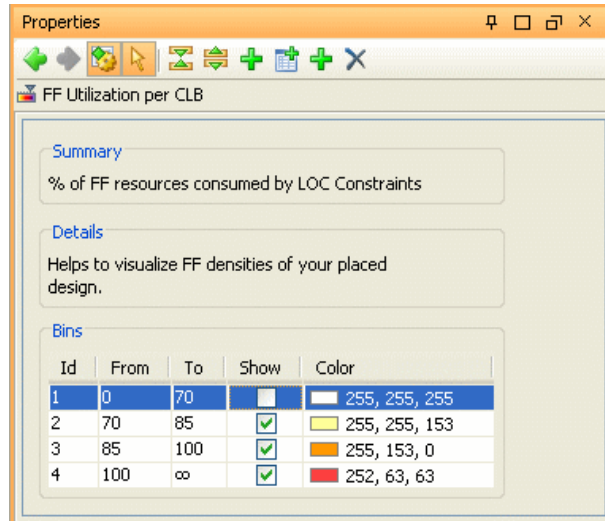


図 10-19 : [Metric Properties] ビュー：メトリックの範囲設定

## [Device] ビューでのメトリック マップの表示

[Device] ビューにメトリック マップを表示するには、[Metrics] ビューで メトリックを選択してから [Show] チェック ボックスをオンにします。これで、カラー ベースのメトリック マップが表示されます。次の図は、[Device] ビューのメトリック マップの例を示しています。

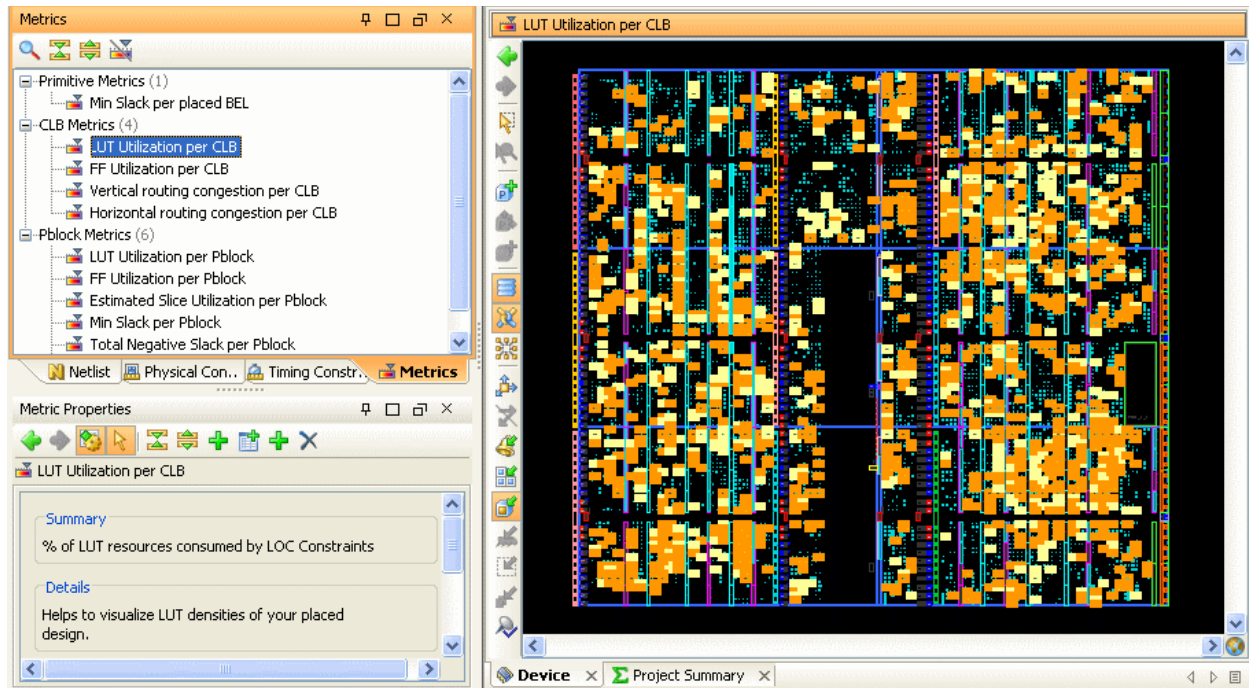


図 10-20 : [Device] ビューでのメトリックの表示

複数のメトリック マップを同時に表示することも可能です。

- まず、スラックに関連するメトリックを表示するために、[Report Timing] コマンドを使用して タイミング概算を実行する必要があります。
- CLB または BEL 制約タイプのメトリックを表示するには、ISE のインプリメンテーションによる配置結果をインポートする必要があります。

詳細は、290 ページの「インプリメント済みデザインを開く」または 310 ページの「PlanAhead 外からの ISE 結果のインポート」を参照してください。

## メトリック表示の解除

[Device] ビューのメトリック マップを非表示にするには、右クリックで [Hide] または [Hide All Metrics] を選択します。

## [Metrics Results] ビューの使用

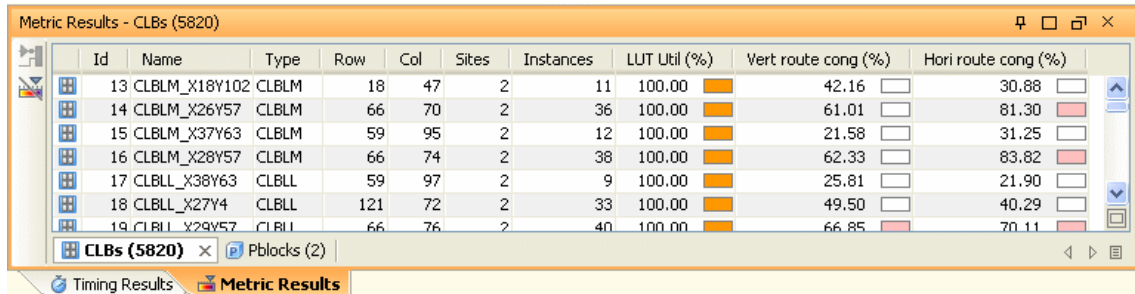
[Show] コマンドを使用すると、メトリックの結果が [Metric Results] ビューに表示されます。[Metric Results] ビューでは、次の操作を実行できます。

- 列のヘッダをクリックすると、情報を並べ替えられます。
- 最初に並べ替えた後で Ctrl キーを押して別の列ヘッダをクリックすると、次にその列で並べ替えられます。



- リストの表示順を整えるために、さまざまな並び替え条件を選択できます。

Pblock のメトリック結果は、Pblock が変更されると自動的に更新されます。Pblock、CLB、プリミティブなどの別のタイプのメトリックは、別の表で表示されます。それぞれのタイプは、次の図のように [Metrics Results] ビュー内の個別のタブに表示されます。



	Id	Name	Type	Row	Col	Sites	Instances	LUT Util (%)	Vert route cong (%)	Hori route cong (%)
	13	CLBLM_X18Y102	CLBLM	18	47	2	11	100.00	42.16	30.88
	14	CLBLM_X26Y57	CLBLM	66	70	2	36	100.00	61.01	81.30
	15	CLBLM_X37Y63	CLBLM	59	95	2	12	100.00	21.58	31.25
	16	CLBLM_X28Y57	CLBLM	66	74	2	38	100.00	62.33	83.82
	17	CLBLL_X38Y63	CLBLL	59	97	2	9	100.00	25.81	21.90
	18	CLBLL_X27Y4	CLBLL	121	72	2	33	100.00	49.50	40.29
	19	CLBLL_X29Y57	CLBLL	66	76	2	40	100.00	66.85	70.11

At the bottom of the window, there are tabs for 'CLBs (5820)' and 'Pblocks (2)'. Below the tabs are buttons for 'Timing Results' and 'Metric Results'.

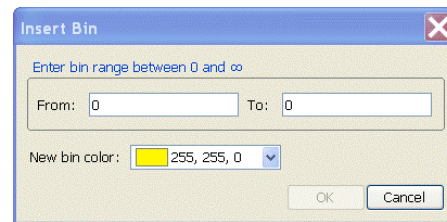
図 10-21 : [Metric Results] ビュー

## メトリック範囲の設定

[Metrics Properties] ビューで、各マップの棒グラフ部分 (bin) の範囲を設定できます。

色および範囲は調整可能で、新しい bin を追加したり、削除したりして範囲を定義できます。この場合、[Metrics Properties] ビューの [Apply] ボタンをクリックするか、右クリックして [Apply Changes] をクリックします。

新しい範囲の bin を挿入するには、分割する bin を右クリックして [Insert Bin] をクリックします。次のダイアログボックスで、範囲および色を指定します。



The 'Insert Bin' dialog box has a title bar with a close button. Inside, it says 'Enter bin range between 0 and ∞'. There are two input fields: 'From: 0' and 'To: 0'. Below these is a label 'New bin color:' followed by a color selection area showing '255, 255, 0' (yellow) and a dropdown arrow. At the bottom are 'OK' and 'Cancel' buttons.

図 10-22 : [Insert Bin] ダイアログ ボックス

範囲は新しく定義した範囲に合わせて調節されます。

# デザインのフロアプラン

---

本章は、次のセクションで構成されています。

- [「フロアプラン ストラテジの概要」](#)
- [「Pblock の概要」](#)
- [「Pblock の設定」](#)
- [「配置 LOC 制約」](#)

## フロアプラン ストラテジの概要

PlanAhead™ ではフロアプランがサポートされており、クリティカルなロジックに制約を付けてインターコネクトを短くし、遅延を抑えることができます。

PlanAhead でのフロアプランは、ボタンを押すだけのフローとは異なり、物理デザインでインタラクティブに作業します。設計者はデザインについての知識と PlanAhead の解析機能を使用して、パフォーマンスを向上させる制約およびツール オプションを定義します。

フロアプランは、物理ブロック (Pblock) ロケーションを作成してロジック配置に制約を付けるか、または個々のロジック オブジェクトを特定デバイス サイトにロックして行います。

フロアプランの複雑さについては、本章の説明だけでは十分ではないため、別に『フロアプラン手法ガイド』というマニュアルをリリースしています。詳細は、『フロアプラン手法ガイド』(UG633) を参照してください。

## Pblock の概要

ここでは、次のセクションに分けて Pblock について説明します。

- [「Pblock の作成」](#)
- [「Pblock の図」](#)
- [「Pblock プロパティの表示」](#)
- [「Pblock ロジック タイプ範囲の設定」](#)
- [「Pblock へのロジックの割り当て」](#)
- [「Pblock の移動とサイズ変更」](#)

## Pblock の作成

フロアプランのプロセスでは、始めにデザインの一部またはすべてのロジックをグループに分割して制約を付けます。デザインは、管理しやすい小さな物理ブロック (Pblock) に、階層的に分割され

ます。このため、論理階層のどこからでも論理モジュールおよびプリミティブ ロジックを Pblock に含めることができます。クリティカル ロジックまたは関連するロジックは、ロジックが移行しないようにしっかりと 1 つの Pblock にグループ化されるため、インターコネクトの長さが制限され、遅延が低減されます。

Pblock を作成すると、エクスポートされた UCF ファイルに AREA\_GROUP 制約が書き込まれます。PlanAhead で割り当てられたロジック、指定範囲、定義した属性はこの制約ファイルに反映されます。

## [Draw Pblock] コマンドの使用

[Draw Pblock] コマンドを使用すると、選択したロジックが [Device] ビューで新しい Pblock に割り当てられます。コマンドを実行する前に、Pblock に割り当てるロジックを選択しておきます。

Pblock を作成するには、次の手順に従います。

1. 任意のウィンドウで Pblock に割り当てるロジックを選択します。
2. ポップアップ メニューの [Draw Pblock] または次の [Draw Pblock] ツールバー ボタンをクリックします。



Figure 11-1: [Draw Pblock] ボタン

3. [Device] ビューでカーソルを Pblock の描画を開始する場所に置きます。
4. マウスの左ボタンを押したまま対角線上の角になる場所に移動して Pblock の長方形を描画し、ボタンを離します。

次の図のように、[New Pblock] ダイアログ ボックスが表示されます。

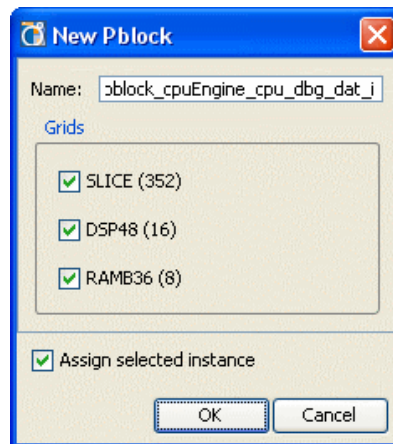


図 11-2 : [New Pblock] ダイアログ ボックス

5. 編集可能なフィールドを確認し、必要があれば変更します。
  - ◆ [Name] : Pblock の名前を指定します。フィールドには、Pblock のデフォルト名の *pblock\_n* または *Pblock\_<instancename>* が表示されます。ほかの名前を使用する場合は変更します。
  - ◆ [Grids] : Pblock で制約するデバイス リソースの範囲を選択します。
  - ◆ [Assign selected instances] : オンにすると、選択されたインスタンスが新しい Pblock に割り当てられます。ロジックが間違って選択されていることもあるので、確認してください。

6. [OK] をクリックします。

Pblock は [Device] および [Physical Hierarchy] ビューで表示および選択できます。

作成時の Pblock のサイズおよび位置は、手動で作成する場合は重要ではありません。 [Pblock Properties] ダイアログ ボックスの、[Rectangles] タブを使用すると、Pblock の正しいサイズおよび位置を確認できます。 [Device] ビューで接続状況を表示し、Pblock の正しい位置を指定できます。

サイズを決める前にすべての Pblock を小さな長方形として作成し、Pblock 間の接続フローを視覚的に確認した方が便利な場合もあります。

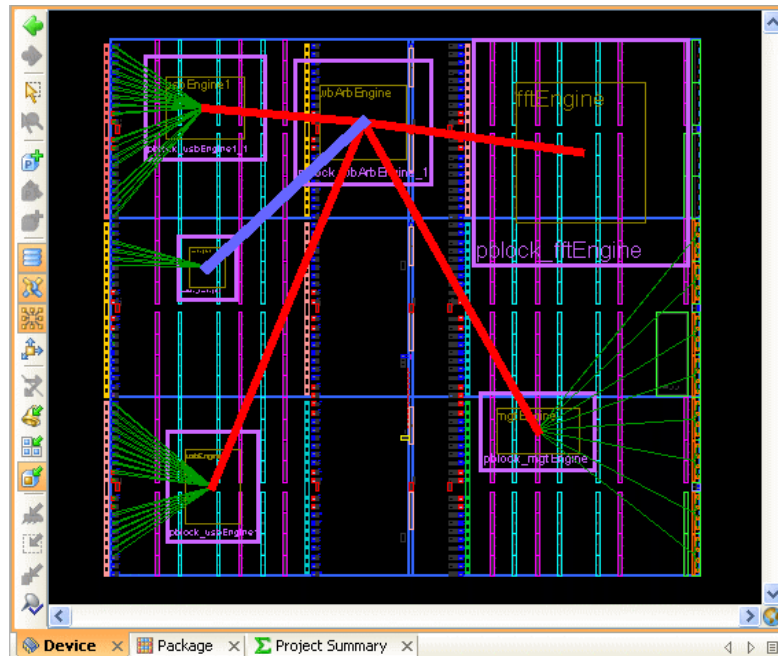


図 11-3 : [Device] ビューに表示された Pblock の接続解析

このビューの詳細は、202 ページの「階層接続の解析」および320 ページの「[Show Connectivity] コマンドの使用」を参照してください。

## [New Pblock] コマンドの使用

[New Pblock] コマンドを実行すると、[Physical Hierarchy] ビューには新しい Pblock が作成されますが、[Device] ビューに長方形は作成されません。

コマンドを実行する前に、新しい Pblock に割り当てるロジックを選択しておく必要があります。ロジックを選択しない場合は、空の Pblock が作成されます。

Pblock を作成するには、ポップアップ メニューで [New Pblock] をクリックします。ロジックは選択していてもいなくても構いません。

## [Create Pblocks] コマンドを使用した複数の Pblock の作成

Create Pblocks ウィザードを使用すると、複数の Pblock を半自動的に作成できます。ウィザードでは、選択されたネットリストのインスタンスごとに Pblock が作成されます。ウィザードを使用する前に、各 Pblock に含めるインスタンスのセットを選択しておきます。

指定したネットリストのインスタンスに複数の Pblock を作成するには、次の手順に従います。

1. Pblock に含めるインスタンスを選択します。
2. [Tools ] → [Create Pblocks] をクリックします。

Create Pblocks ウィザードが開き、選択されたインスタンスのリストが表示されます。

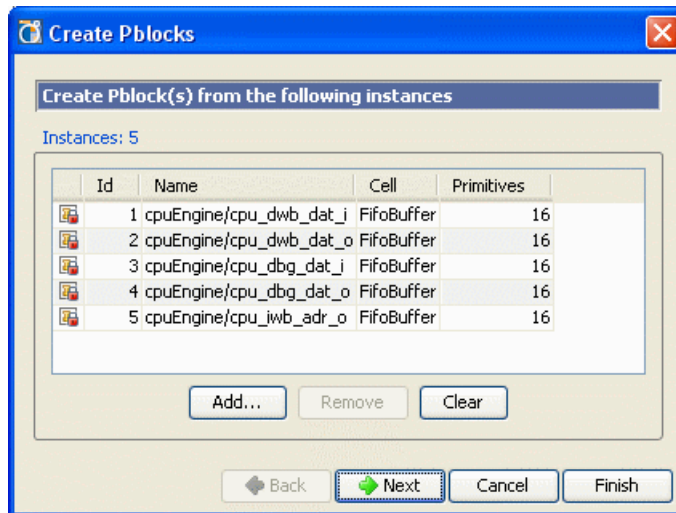


図 11-4 : Create Pblocks ウィザード : Create Pblocks ウィザード : インスタンスから Pblock を作成

3. このリストにネットリストのインスタンスを追加するには、[Add] ボタンをクリックしてブラウザを開き、インスタンスを選択します。
4. リストからインスタンスを選択して削除するには、削除するインスタンスを選択し、[Remove] ボタンをクリックします。
5. リストからネットリスト インスタンスを削除するには、[Clear] ボタンをクリックします。
6. [Next] をクリックします。

Create Pblocks ウィザードには、335 ページの図 11-5 のように命名規則を指定するオプションが表示されます。

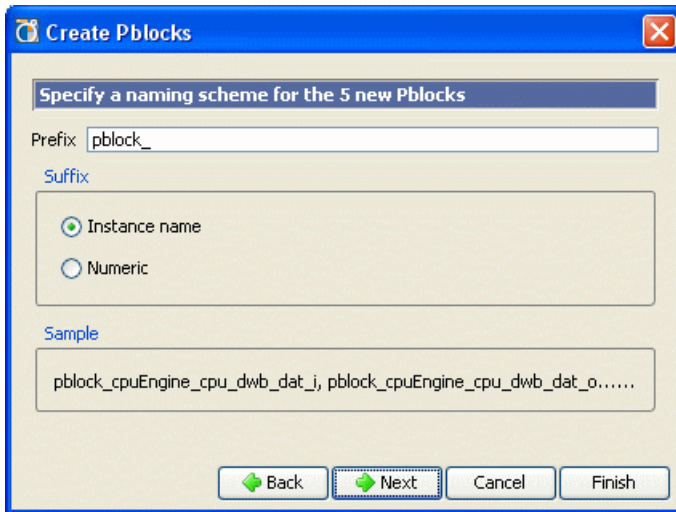


図 11-5 : Create Pblocks ウィザード : 名前の指定

7. [Specify a naming scheme for the new Pblocks] ページで、名前の指定に関するフィールドを確認および編集します。
  - ◆ [Prefix] : Pblock 名の接頭辞を指定します。新しい接頭辞を指定しても、デフォルトのインスタンス名や番号を使用してもかまいません。
  - ◆ [Suffix] : [Instance name] を指定すると、インスタンス名が接頭辞に続きます。[Numeric] を指定すると、1 から開始する番号が接頭辞に続きます。
8. [Next] をクリックします。
9. [Summary] ページの内容を確認します。
10. [Finish] をクリックすると、設定内容を使用して Pblock が作成されます。

[Physical Hierarchy] ビューでは次の図のように Pblock が表示されます。

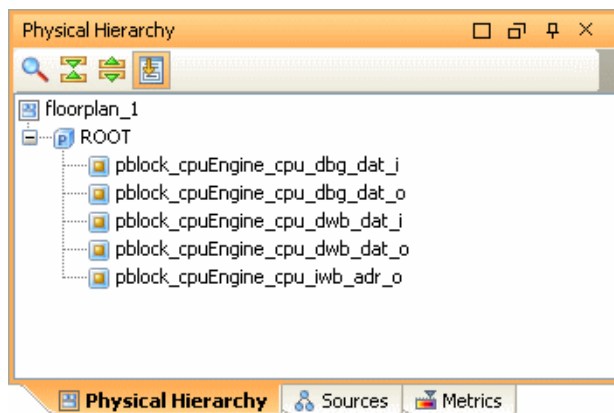


図 11-6 : [Physical Constraints] ビューの Pblock

新規作成された Pblock に長方形を作成するには、次の手順に従います。

1. [Physical Constraints] ビューで、新規の Pblock を 1 つずつ選択します。
2. [Device] ビューで 336 ページの図 11-7 の [Set Pblock Size] ツールバー ボタンをクリックします。



図 11-7 : [Set Pblock Size] ボタン

3. [Device] ビューで長方形を描きます。

### ネスト化された Pblock の作成

Pblock 内に Pblock (ネスト化された Pblock) を作成することができます。こうすると、制約ロジックにより厳密な制御ができるようになります。これはクリティカルなモジュールのパフォーマンスの向上に役立ちます。使用率の概算では、最上位 Pblock に下位 Pblock がすべて含まれます。次の図は、ネスト化された Pblock を含むブロック RAM に制約を付けた例です。

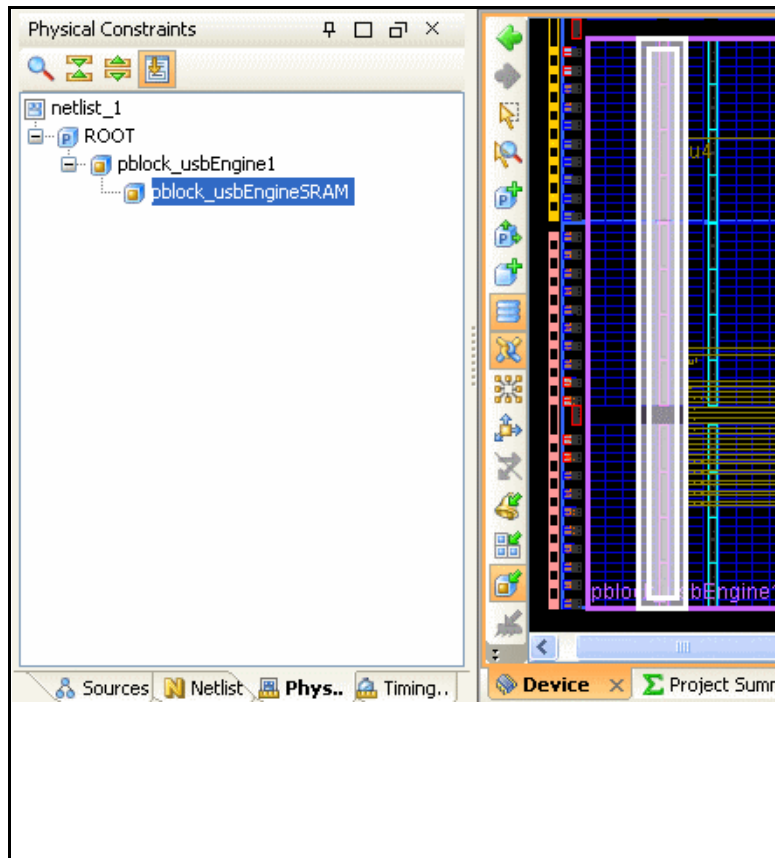


図 11-8 : ネスト化された Pblock の作成

**メモ：**ISE インプリメンテーション ソフトウェアでは、この機能は完全にはサポートされていません。ネスト化した Pblock を作成するとマップおよび配線エラーが発生することがあります。

### クロック領域 Pblock の作成

Pblock は 1 つのクロック領域内、または複数の領域内にあるすべてのリソースを含めるよう定義することができます。

Pblock をクロック領域として定義するにはいくつかのステップを踏まなければなりません。

1. クロック領域の境界を含める長方形で Pblock を描画します。



PlanAhead でクロック領域の境界線が表示されます。クロック領域の境界線の色や表示方法を変更する場合は、第 4 章の「PlanAhead の表示オプションのカスタマイズ」を参照してください。

337 ページの図 11-9 は、クロック領域 Pblock を示しています。

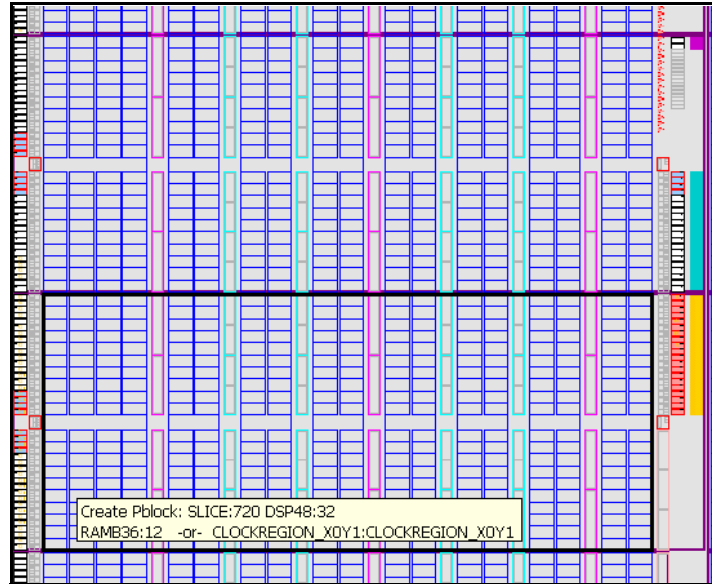


図 11-9 : クロック領域 Pblock の作成

ツール ヒントが Pblock 範囲がクロック領域であることを示す表示に変わります。

2. 次の図の [Set Pblock] ダイアログ ボックスで [OK] をクリックし、Pblock の範囲をクロック領域として定義します。

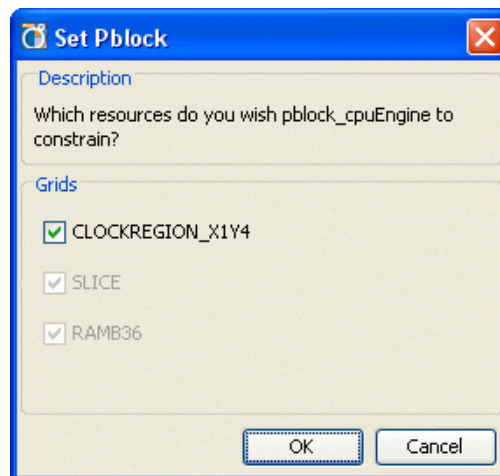


図 11-10 : [Set Pblock] ダイアログ ボックスで Pblock をクロック領域として定義

CLOCKREGION オプションを有効にするには、Pblock の長方形にクロック領域の境界を含める必要があります。338 ページの図 11-11 のように CLOCKREGION\_X のチェックボックスをオフにすると従来のロジックで指定される範囲を使用して Pblock が定義されます。

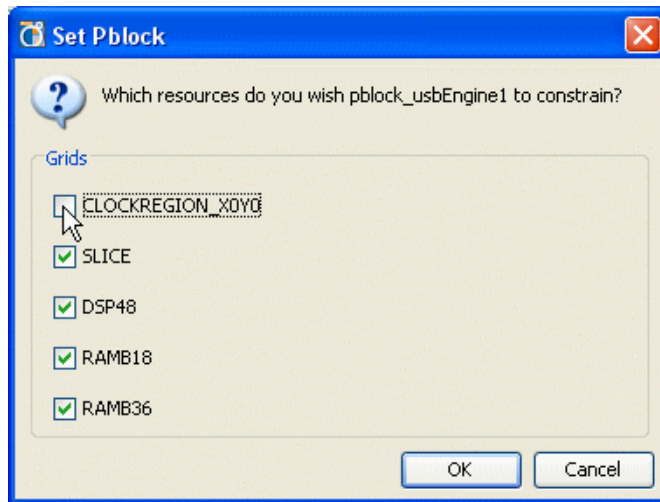


図 11-11 : [Set Pblocks] ダイアログ ボックスでのクロック領域の設定

3. [Set Pblock] ダイアログ ボックスまたは [Pblock Properties] の [General] タブにある **CLOCKREGION** のチェックボックスのオン/オフを切り替えて、この 2 タイプの Pblock を設定することができます。

Pblock クロック領域の座標は [Pblock Properties] の [General] タブに表示されます。

## Pblock の図

デフォルトの表示オプションでは、**Pblocks** および割り当てられたインスタンスが図で表示されます。

- 外側の長方形は **Pblock** の枠です。
- **Pblock** の内側の長方形は、**Pblock** に割り当てられたネットリスト インスタンスです。

複数のインスタンスを 1 つの **Pblock** に配置できます。**Pblock** の内側に表示されるインスタンスの長方形のサイズは、含まれるロジック数と、同じ **Pblock** 内のほかのインスタンスの対比で決まります。

**Pblock** に割り当てられているインスタンス数が多いと、長方形ではなく、[339 ページの図 11-12](#) のように直線のように見えることがあります。

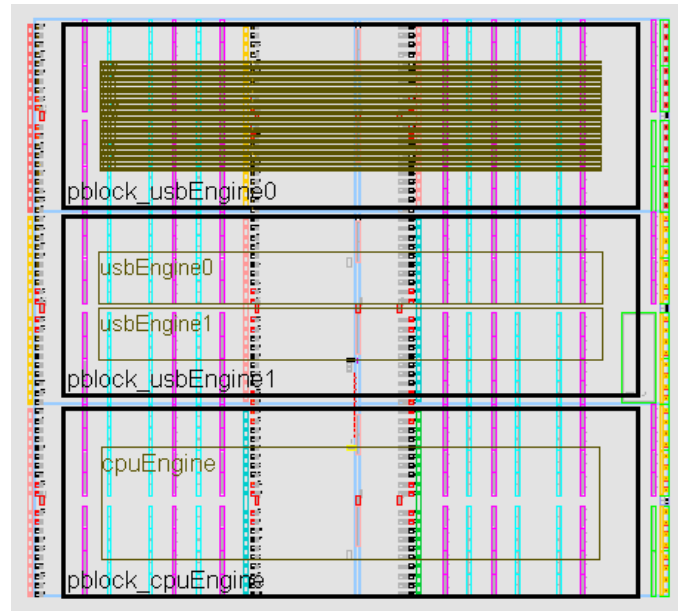


図 11-12 : Pblocks と割り当てられたインスタンスの図

デフォルトの選択規則を使用する場合、Pblock の長方形を選択すると、含まれるネットリスト インスタンスもすべて選択されます。インスタンスは、ほかの Pblock にドラッグして割り当てることができます。

**メモ :** Pblock の操作をする場合は、Pblock に割り当てられたインスタンスを示す小さな長方形ではなく、正しい Pblock の長方形が選択されていることを確認してください。Pblock の操作時にインスタンスの選択機能をオフにすると、[Device] ビューで、割り当てられたインスタンスではなく Pblock が選択されるため、間違いを防ぐことができます。インスタンスおよび Pblock の選択方法を指定するには、[Tools] → [Options] → [Themes] → [Device] をクリックし、[Device] ビューでの選択機能を指定します。詳細は、第 4 章の「全般的なウィンドウ表示オプションの設定」を参照してください。

次の図のように、バンドル ネットは Pblock の中央に接続されますが、I/O ネットは Pblock 内のインスタンスの中央に接続されます。

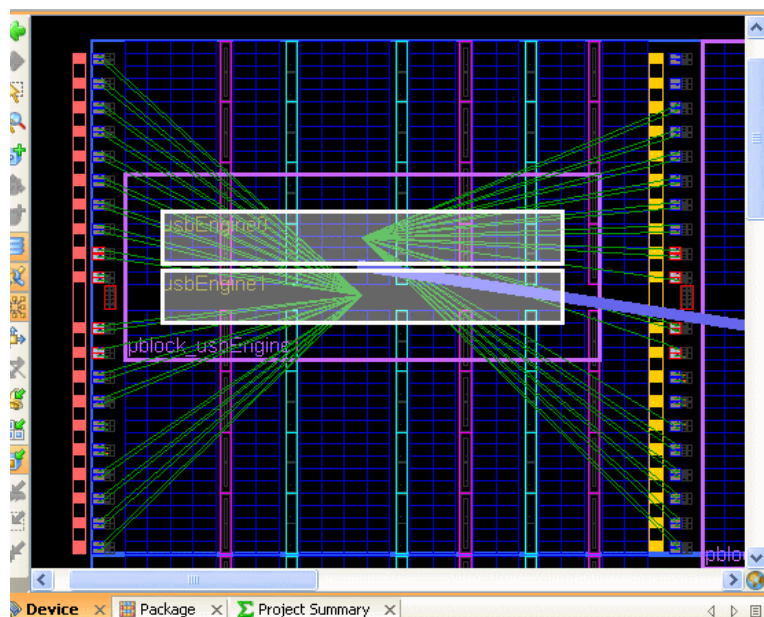


図 11-13：インスタンス長方形の中央に表示された I/O 接続

子 Pblock の色は区別できるように異なった色で表示されます。色の設定は、[Tools] → [Options] → [Themes] → [Device] で変更できます。

Pblock には複数の長方形が含まれる場合があります。点線で結ばれている複数の長方形は、1 つの Pblock に含まれているものであることを示します。割り当てられたインスタンスの長方形および接続を表す線は、次の図のように一番大きな長方形に表示されます。

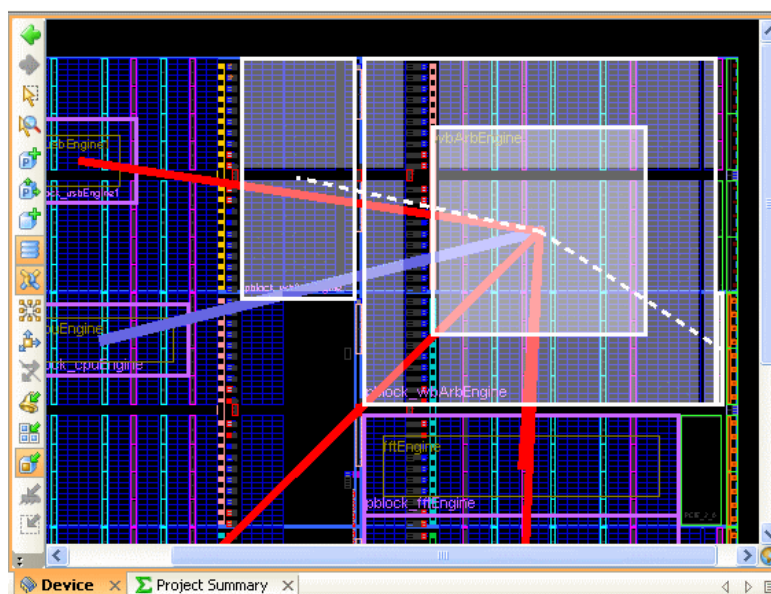


図 11-14：複数の長方形を含む Pblock の作成

## Pblock プロパティの表示

[Pblock Properties] ビューにはさまざまなタイプの情報が表示されます。Pblock プロパティを表示または編集するには、Pblock を選択し、[Pblock Properties] ビューを表示します。次のセクションでは、このビューのタブについて説明します。

**メモ：**変更を適用するには、[Apply] をクリックします。変更を取り消すには、[Cancel] をクリックします。[Apply] をクリックせずに、ほかのアイテムを選択するか、[Pblock Properties] ビューを閉じると、変更は適用されません。

### [General] タブ

次の図は、[General] タブを示しています。

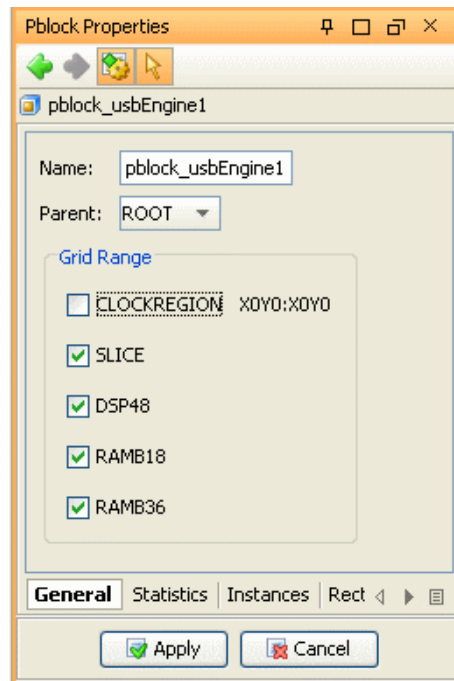


図 11-15 : [Pblock Properties] ビュー

[General] タブには、次のようなフィールドが含まれます。

- [Name] : Pblock 名が表示されます。
- [Parent] : 親 Pblock が表示されます。Pblock によってはこのフィールドは編集できないことがあります。親 Pblock が複数ある場合はこのフィールドで指定します。
- [Grid Range] : Pblock に AREA\_GROUP の RANGE プロパティを指定できます。特定の範囲を選択すると、選択されたロジック タイプのみが Pblock エリアに含まれます。Pblock が作成されると、範囲座標が各ロジック タイプに対し表示されます。
  - ◆ [CLOCKREGION] : Pblock の範囲をクロック領域全体に定義する場合にオンにします。Pblock の長方形がクロック領域境界に一致するよう描画されます。
- [Apply]/[Cancel] : 変更内容を適用するか破棄するか決定します。

### [Statistics] タブ

[Pblock Properties] ビューの [Statistics] タブには、Pblock の詳細情報が表示されます。

メモ : [Export Statistics] ボタンをクリックすると、情報をテキスト形式のファイルに保存できます。  
342 ページの図 11-16 は [Statistics] タブを示しています。

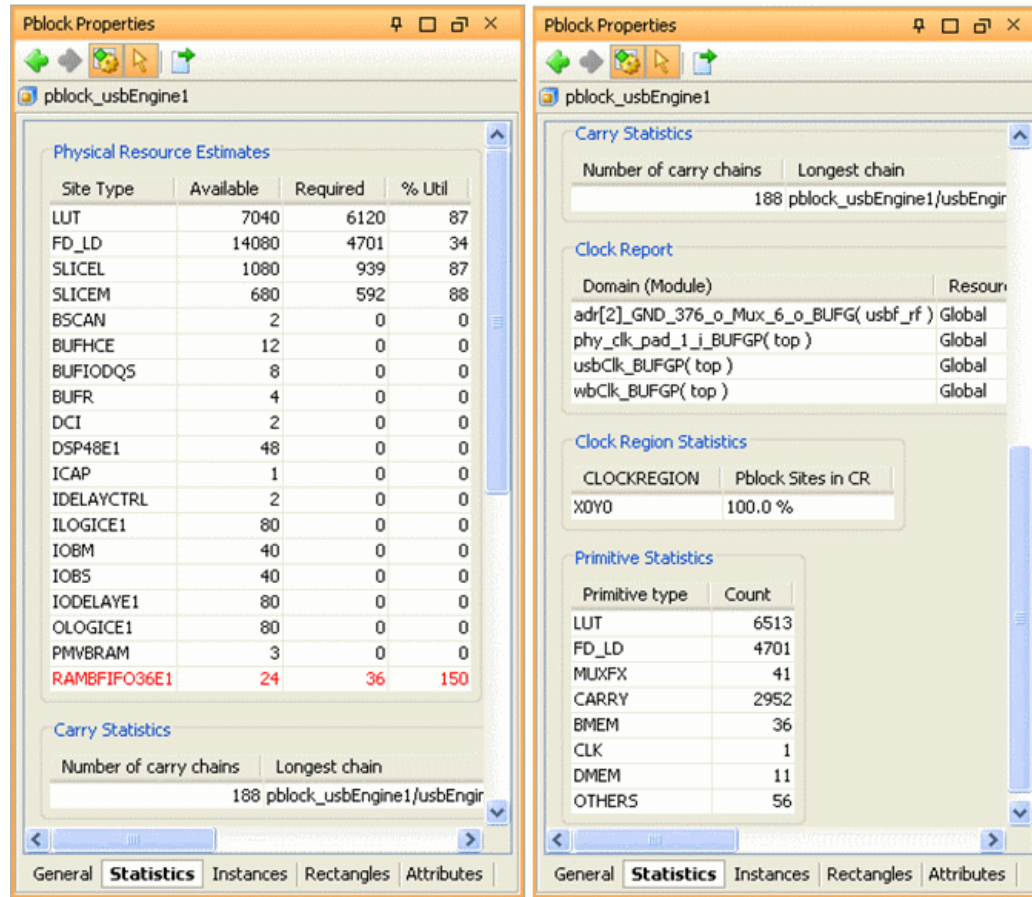


図 11-16 : [Pblock Properties] ビュー : [Statistics] タブ

[Statistics] タブには、次の Pblock 情報が表示されます。

- [Physical Resources Estimates] : デバイスのリソース タイプごとの表が表示されます。
  - ◆ [Site Type] : Pblock の長方形内で定義されているサイト タイプが表示されます。
  - ◆ [Available] : Pblock に含まれるサイト数が表示されます。
  - ◆ [Required] : Pblock に割り当てられたロジックに必要なサイト数が表示されます。
  - ◆ [% Utilization] : Pblock に含まれるサイトの予測使用率 (%) が表示されます。
- [Carry Statistics] : Pblock に割り当てられた垂直キャリー チェーン ロジック オブジェクトの数が表示されます。Pblock に割り当てられた中で高さが最大のキャリー チェーンの Pblock の高さに対する比率も表示されます。

メモ : この値が 100% を超えると、PlanAhead の DRC エラーおよび ISE マップ エラーが発生することがあります。

- [Clock Report] : Pblock に含まれるすべてのクロック信号 (ローカル、グローバル、リソース) および各クロックでクロック信号が供給されたインスタンスの数が表示されます。
- [RPM Statistics] : Pblock に割り当てられた RPM (相対配置マクロ) オブジェクトの数が表示されます。Pblock に割り当てられた中で最大の RPM の Pblock に対する高さと幅の比率も表示されます。

メモ：この値が 100% を超えると、PlanAhead の DRC エラーおよび ISE マップ エラーが発生します。PlanAhead では、複数の RPM が Pblock の長方形に収まるかどうかは示されません。

- [Clock Region Statistics] : Pblock が重なり合った各クロック領域の使用率が表示されます。
- [Primitive Statistics] : Pblock に割り当てられた論理リソースのタイプごとの数が表示されます。

## [Instances] タブ

[Pblock Properties] ビューの [Instances] タブには、次の図のように Pblock に含まれるインスタンスの情報が表示されます。

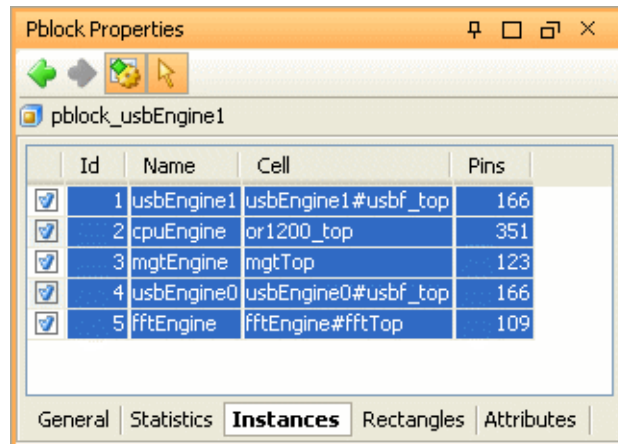


図 11-17 : [Pblock Properties] ビュー : [Instances] タブ

インスタンスのフィールドは選択可能で、多くのポップアップ メニュー コマンドが使用できます。

## [Rectangles] タブ

[Pblock Properties] ビューの [Rectangles] タブには、Pblock の長方形の情報が表示されます。[Rectangle] タブを使用して、Pblock の長方形を選択できます。このタブの詳細は、[351 ページの「複数の長方形がある Pblock の使用」](#)を参照してください。

## [Attributes] タブ

[Pblock Properties] ビューの [Attributes] タブについては、[353 ページの「Pblock の属性の設定」](#)で説明します。



## Pblock の設定

次のセクションでは、Pblock の設定について説明します。

- 「Pblock ロジック タイプ範囲の設定」
- 「Pblock へのロジックの割り当て」
- 「Pblock の移動とサイズ変更」
- 「リソース使用率の統計を使用した Pblock サイズの決定」
- 「接続に基づいた Pblock の配置」
- 「複数の長方形がある Pblock の使用」
- 「Pblock 長方形の削除」
- 「Pblock の属性の設定」
- 「Pblock の名前の変更」
- 「Pblock の削除」
- 「Pblock 自動配置プログラムの実行」

### Pblock ロジック タイプ範囲の設定

[Pblock Properties] ビューの [General] タブで [Grid Range] オプションを指定して、Pblock の AREA\_GROUP の範囲を設定できます。範囲は次の図のように Pblock の長方形内にあるロジックタイプ別に設定します。

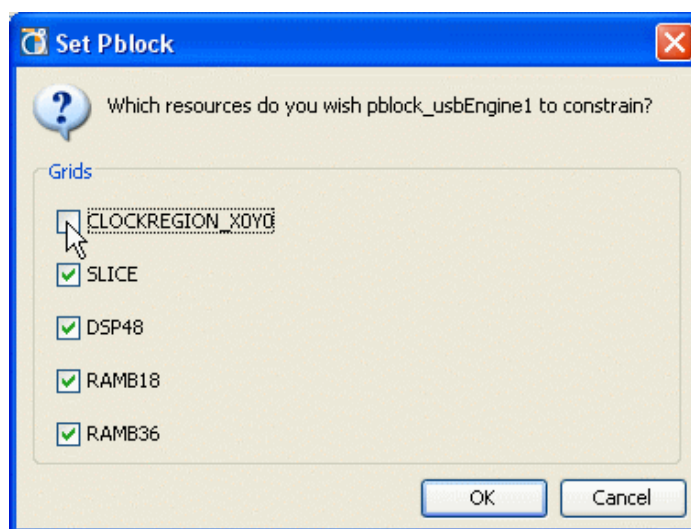


図 11-18 : ロジック タイプ別の AREA\_GROUP の範囲設定

Pblock をブロック RAM や DSP などの新しいデバイス ロジック タイプを含む場所に移動したり、そのサイズを変更したりすると、Pblock の定義に新しい RANGE タイプを入力するダイアログボックスが表示されます。

グリッド範囲のオプションをオフにすると、[Device] ビューでの表示が変化します。345 ページの図 11-19 に示すように、影の部分は、選択された Pblock でオンになっている範囲のロジックタイプのみを示します。

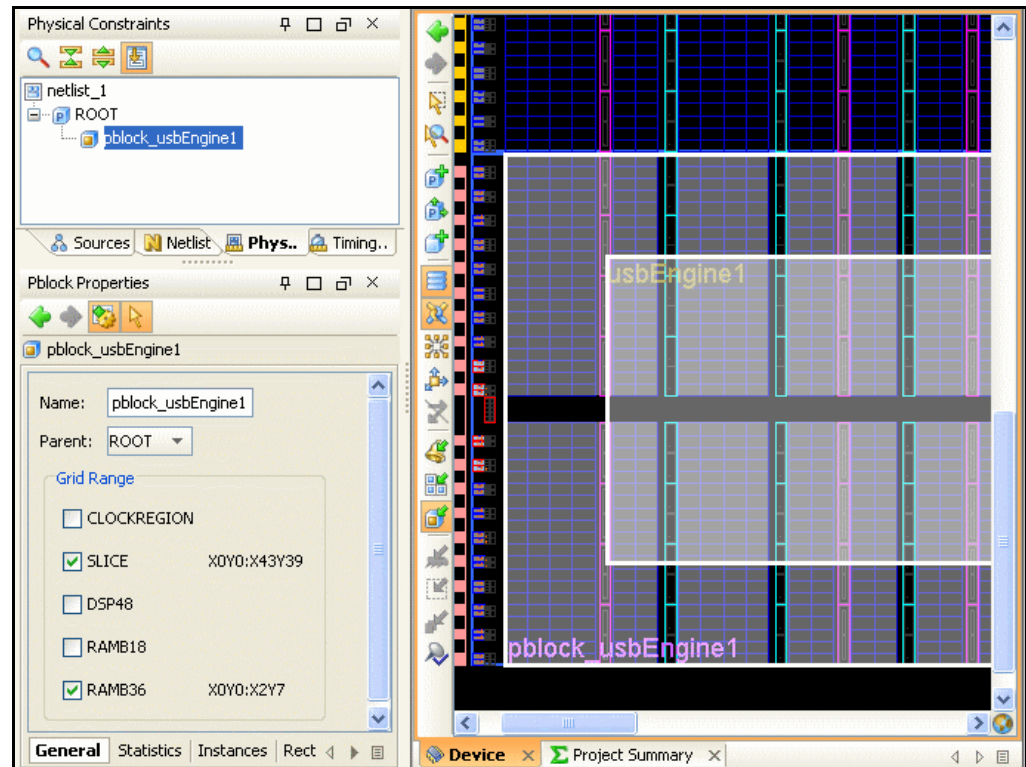


図 11-19 : Pblock に含まれるロジックの表示

## Pblock へのロジックの割り当て

Pblock が作成されると、ネットリスト インスタンスを割り当てることができます。割り当てるには、そのロジックをドラッグ アンド ドロップするか、[Assign] ポップアップ メニュー コマンドを使用します。

ドラッグ アンド ドロップの手順は次のとおりです。

1. [Netlist]、[Schematic]、[Hierarchy]、または [Find Results] ビューでロジック インスタンスをクリックし、ドラッグします。
2. Pblock の長方形にインスタンスをドロップします。

[Assign] コマンドを使用する手順は、次のとおりです。

1. [Netlist] ビューでロジック インスタンスを選択します。
2. [Assign] ポップアップ メニュー コマンドをクリックします。

次の図のように、[Select Pblock] ダイアログ ボックスが表示され、割り当て可能な Pblock が表示されます。

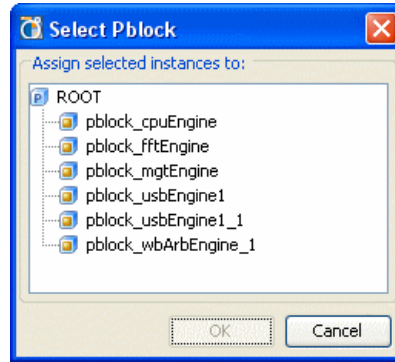


図 11-20 : [Select Pblock] ダイアログ ボックス

### Pblock のロジック割り当て解除

インスタンスを Pblock から削除するには、次の手順に従ってください。

1. インスタンスを選択します。
2. [Unassign] ポップアップ メニュー コマンドをクリックします。

確認のダイアログ ボックスが表示されます。

### Pblock の移動とサイズ変更

ここでは、次のセクションに分けて Pblock の移動、サイズ変更、設定方法について説明します。

#### Pblock の移動

Pblock を移動するには、[Device] ビューで Pblock を選択してドラッグし、移動先でドロップします。Pblock が選択されると、カーソルが手のアイコンに変わります。Pblock 内のインスタンスではなく、外側の Pblock の長方形を必ず選択します。

Pblock をブロック RAM や DSP などの新しいデバイス ロジック タイプを含む場所に移動すると、Pblock の定義に新しい RANGE タイプを入力するダイアログ ボックスが表示されます。

内部にロケーション配置制約が割り当てられると、Pblock のビヘイビアが変化します。移動先には、配置制約の割り当てに十分なリソースが必要です。Pblock をドラッグすると、カーソルの形で移動可能であるかどうかを示されます。リソースが十分でない場合は、ロケーション制約を削除するかそのままにするかを選択するダイアログ ボックスが表示されます。

ロケーション制約は、固定されたものと固定されていないものが別々に表示されるので、それぞれに対して処理を指定できます。

次の図は、[Choose LOC mode] ダイアログ ボックスを示しています。

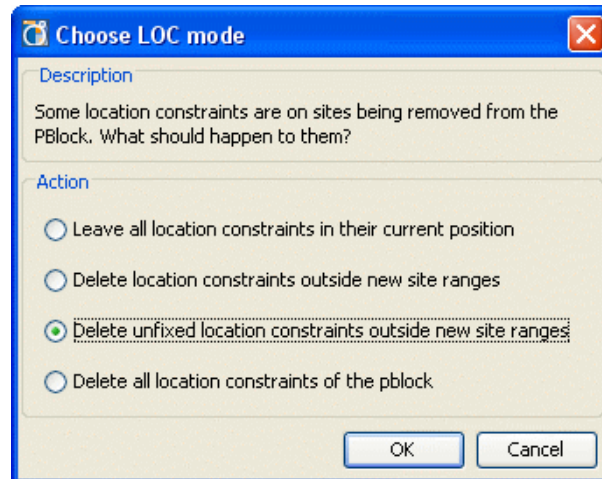


図 11-21 : LOC を使用した Pblock の変更方法の設定

実行中の移動の動作をキャンセルするには、キーボードの Esc キーを押します。

**メモ :** Pblock の移動がうまくいかない場合は、[Set Pblock Size] ツールバー ボタンをクリックし、長方形をどこかに描画し直します。または、Pblock を移動する前に、配置制約を削除してみてください。

## Pblock のサイズ変更

Pblock の大きさを変更するには、Pblock を選択し、カーソルを長方形の角または枠に置きます。カーソルの形がドラッグ シンボルに変化したら、マウス ボタンを押したままドラッグしてサイズを変更します。

実行中の移動の動作をキャンセルするには、キーボードの Esc キーを押します。

## [Set Pblock Size] コマンドの使用

[Set Pblock Size] コマンドを使用すると、既存の Pblock の長方形のサイズを指定および変更できます。既存の Pblock に新規の長方形を作成するには、次の手順に従います。

1. [Physical Constraints] または [Device] ビューで Pblock を選択します。
2. [Set Pblock Size] ボタンをクリックします。



図 11-22 : [Set Pblock Size] ボタン

カーソルが変化し [Device] ビューで新規の長方形を描画できるようになります。

3. 新規の長方形の描画にはカーソルを使用します。

このコマンドは、[New Pblock] コマンドなどで作成された、長方形がまだ定義されていない既存の Pblock にも使用できます。詳細は、334 ページの「[Create Pblocks] コマンドを使用した複数の Pblock の作成」を参照してください。

Pblock に複数の長方形がある場合、このコマンドでは 1 つの長方形を含む Pblock が再生成されます。Pblock が多数の長方形で構成されていて見づらい場合などにこのコマンドを使用すると便利です。

ブロック RAM や DSP などの新しいデバイス ロジック タイプを含む場所へ Pblock のサイズを変更すると、Pblock の定義に新しい RANGE タイプを入力するダイアログ ボックスが表示されます。

Pblock 内部にロケーション配置制約が割り当てられると、Pblock のビヘイビアが変化します。ロケーション制約が Pblock に割り当てられると、ロケーション制約を削除するかそのままにするかを選択するダイアログ ボックスが表示されます。

ロケーション制約は、固定されたものと固定されていないものが別々に表示されるので、それぞれに対して処理を指定できます。

実行中の移動の動作をキャンセルするには、キーボードの Esc キーを押します。

## リソース使用率の統計を使用した Pblock サイズの決定

[Pblock Properties] ビューの使用率の統計を使用して、Pblock の大きさを決定し、配置できます。長方形内で使用可能なデバイスのリソースは、Pblock に含まれるロジックと比較され、使用率の予測値が計算されます。

Pblock の使用率の予測値は、次の手順で表示できます。

1. Pblock を選択し、[Pblock Properties] を表示します。
2. 次の図のように、[Statistics] タブをオンにします。

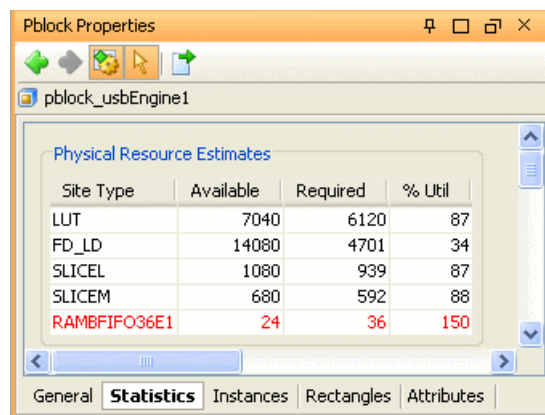


図 11-23 : [Pblock Properties] ビュー : [Statistics] タブ

3. [Statistics] タブで、次の 3 つの列の使用率予測値を確認します。
  - ◆ [Available] : Pblock に含まれるサイト数が表示されます。
  - ◆ [Required] : 割り当てられたロジックに必要なサイト数が表示されます。
  - ◆ [% Utilization] : ロジック タイプごとの予測使用率 (%) が表示されます。Pblock のサイズを変更すると、使用率を適正な値に修正できます。ロジック オブジェクトの使用率が 100% を超える場合は、上の図のように赤字のテキストで表示されます。
4. Pblock に必要な RAM サイト数を見るには、スクロール ダウンします。

ダイアログ ボックスは Pblock が変更されるたびにダイナミックにアップデートされます。

Pblock に特定のロジック デバイス エレメントのサイトが含まれない場合は、次の値が表示されます。

- [Available] : 0
- [Required] : 必要な数

- [Utilization] : Disabled (長方形で必要なタイプにサイトが定義されていない)。これは エラーで、必要なタイプのサイトが長方形で定義されていないことを示しています。

次の図に例を示します。

Site Type	Available	Required	% Util
LUT	5344	1639	31
FD_LD	10688	786	8
SLICEL	1002	304	31
SLICEM	334	107	33
DSP48E1	0	64	Disabled
RAMBFIFO36E1	0	16	Disabled

図 11-24 : Pblock に使用可能な RAMFIFO36 リソースがない状態 (Disabled)

**メモ :** Pblock のスライス使用率は、サイトの使用率が最大であるという前提で計算されていますが、実際は、配置配線ツールでサイトの使用率が最大になることはまれです。設計時には、ターゲットの使用率は約 80% 以上で最適化してください。この数値は、使用されるデバイスおよびデザインとその制約によって異なります。

**メモ :** Pblock 使用率は、キャリー チェーン、RPM マクロ、および Pblock 長方形の配置の影響を受けます。これらの数値は単なる予測で、ISE インプリメンテーションを正しく実行するための指針として使用するためのものです。Pblock のサイズの決定時に、Pblock の統計をすべて考慮してください。ISE で正しく配置できるように、Pblock を拡大する必要がある場合もあります。

## 接続に基づいた Pblock の配置

PlanAhead の接続フィードバックはダイナミックで、Pblock の配置に役立ちます。次の図に接続が表示された例を示します。

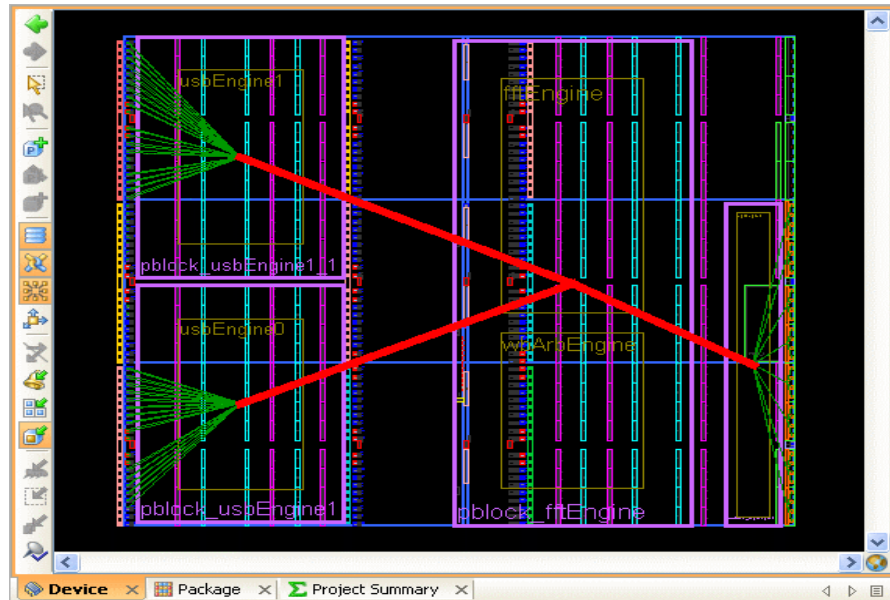


図 11-25：接続を利用したフロアプランの決定

Pblock 間の結合された接続は、バンドルされたネットとして表示されます。各バンドルは、Pblock 間の接続の数に基づいてサイズと色が決まるので、接続数が多い Pblock がわかりやすくなっています。

バンドル ネットが大きな Pblock 同士を近くに配置するのが合理的なアプローチです。通常 Pblock は、ネット長ができるだけ短くなるように配置し、配線競合や配線密集が起こらないようにします。

## バンドル ネット プロパティの表示

接続情報は、バンドル ネットまたは個別のネットのプロパティを表示して確認できます。接続情報は、次の手順で表示できます。

1. ネットまたはバンドル ネットを選択します。
2. [Net Properties] ビューまたは [Bundle Net Properties] ビューを表示します。

次の図のように、[Bundle Net Properties] ダイアログ ボックスの [Nets] タブにはバンドルに含まれるネットが表示されます。

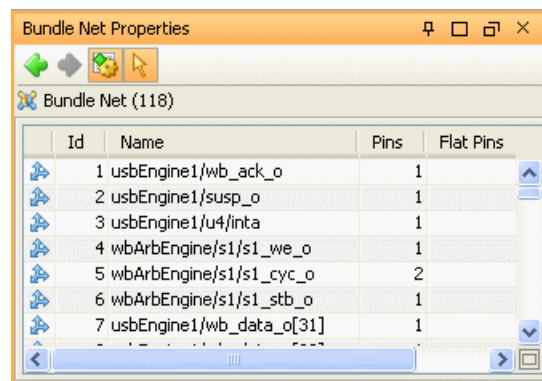


図 11-26：[Bundle Net Properties] ビュー：[Nets] タブ



## Adjusting Bundle Net Defaults

バンドル ネットのデフォルトの変更 色、線の幅、および信号カウント範囲は、[Tools] → [Options] → [Themes] → [Bundle Nets] で、ビューごとに指定できます。バンドル ネットのデフォルト設定の詳細は、第 4 章の「[Device] ビューのバンドル ネット表示オプションの設定」を参照してください。

## 複数の長方形がある Pblock の使用

PlanAhead では、1 つの Pblock に複数の長方形 Pblock を作成、変更、削除できます。

### 複数の長方形を含む Pblock の作成

既存の Pblock に長方形を追加するには、次の図のように Pblock を選択して [Add Pblock Rectangle] ボタンをクリックします。



図 11-27 : [Add Pblock Rectangle] ボタン

Pblock の複数の長方形は、次の図のように点線で結ばれて表示されます。

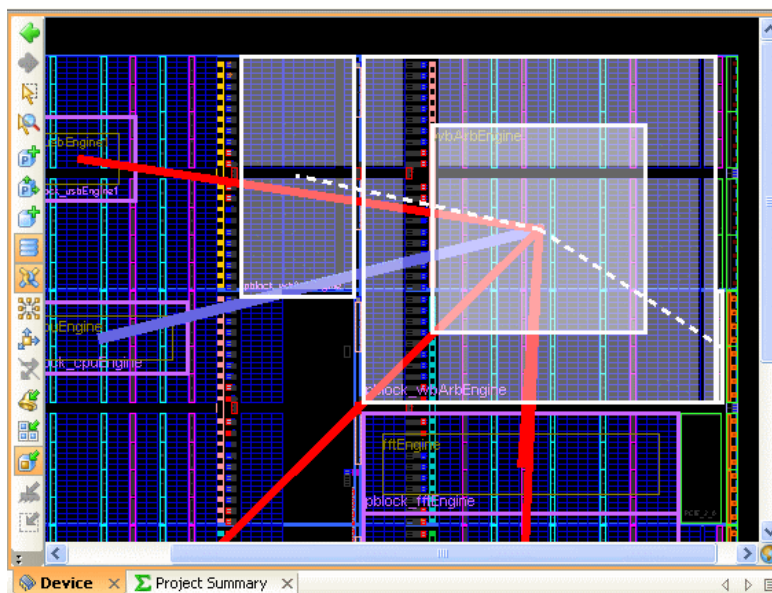


図 11-28 : 複数の長方形を含む Pblock

## 複数の長方形がある Pblock の変更

複数の長方形がある Pblock を選択すると、長方形がすべて選択されます。長方形は個別にも、すべて同時に移動できます。

複数の長方形を含む Pblock で 1 つの長方形のサイズを変更する場合は、長方形を選択して [Set Pblock Size] コマンドを使用するか、手動で変更します。

長方形を個別に選択するには、次のいずれかの手順に従います。

- Pblock の長方形を 1 つを右クリックして [Select] ポップアップ メニューをクリック
- [Pblock Properties] ビューの [Rectangles] タブから個別に選択

PowerPC<sup>AE</sup> (405 と 440) プロセッサおよび MGT サイトにまたがる Pblock には、自動的に複数の長方形が作成されることがあります。これは、インプリメンテーションに適切な長方形の範囲を定義するためです。次の図は、Pblock が個別に選択された例です。

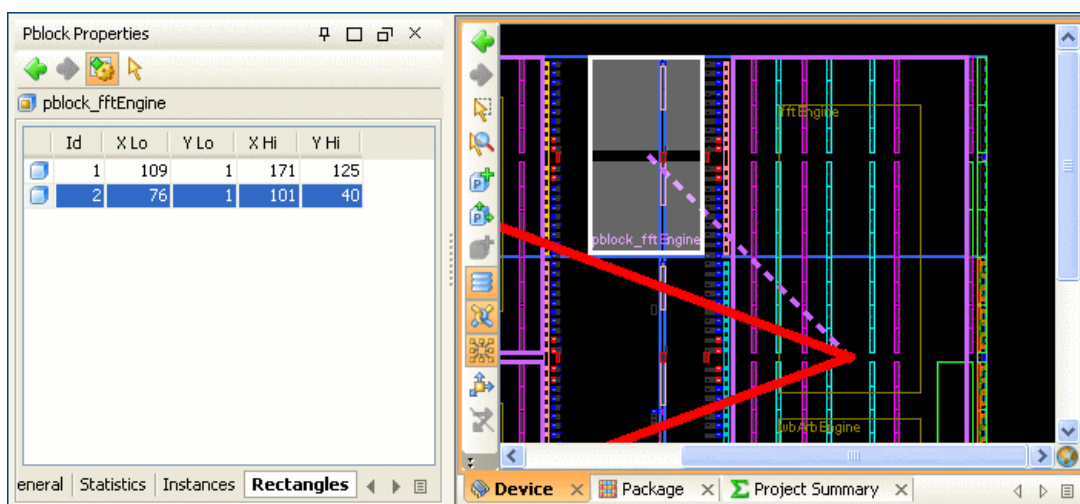


図 11-29 : Pblock の長方形を個別に選択

メモ：AREA\_GROUP 制約あたりの範囲の数が多いと、最適に処理できません。L 型や T 型のよう な単純な配置を使用してください。

## Pblock 長方形の削除

Pblock を右クリックし、[Clear Rectangle] をクリックすると Pblock 長方形を削除できます。

- Pblock の長方形を削除するには、Pblock を選択して [Clear Rectangle] ポップアップ メニュー コマンドをクリックします。
- 長方形を個別に削除することも、複数の長方形および Pblock を同時に削除することもできます。
- Pblock の長方形を削除しても、Pblock は [Physical Constraints] ビューからは削除されません。

## Pblock の属性の設定

属性プロパティは、[Attributes] タブで Pblock に割り当てられます。属性を割り当てると、ISE のさまざまなオプションが設定されます。

**メモ：**属性の設定はインプリメンテーション結果に影響を及ぼし、エラーの原因となることもあります。

次の図は、[Attributes] タブを示しています。

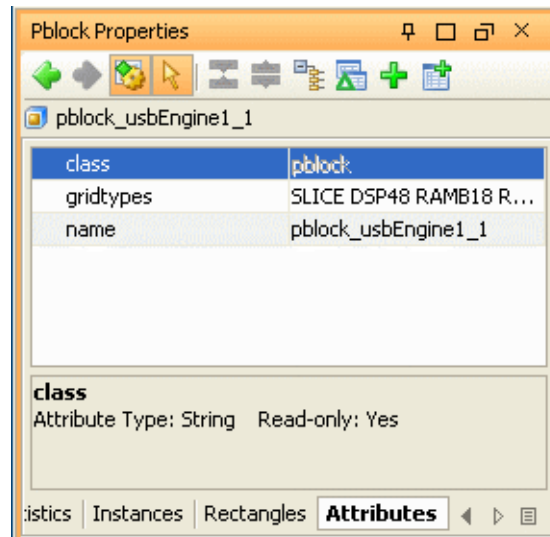


図 11-30 : [Pblock Properties] ビュー : [Attributes] タブ

Pblock の属性を次の方法で指定します。

1. [Pblock Properties] ビューの [Attributes] タブで右クリックして [Add pre-defined attributes] をクリックするか、次の図の [Add pre-defined attributes] ツールバー ボタンをクリックします。



図 11-31 : [Add pre-defined attribute] ボタン

次の図のように、[Add Pre-defined Attributes] ダイアログ ボックスが表示されます。

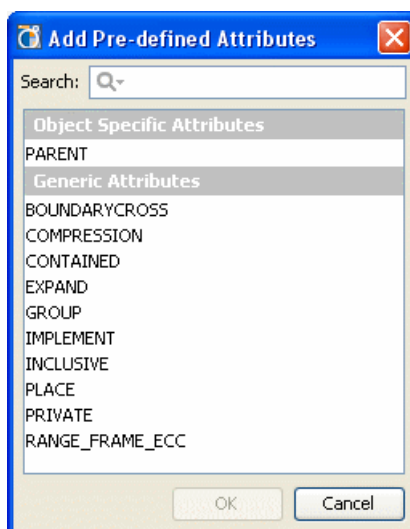


図 11-32 : [Add Pre-defined Attribute] ダイアログ ボックス

2. 属性を選択して [OK] をクリックします。  
指定したタイプの属性が、[Attributes] タブに追加されます。  
属性値を指定します。
3. [Apply] をクリックすると、変更が適用されます。

### カスタム属性の作成

カスタム属性は、次の図の [Define custom attributes] ツールバー ボタンをクリックすると定義できます。



図 11-33 : [Define custom attribute] ボタン

次の図のように、[Define Custom Attributes] ダイアログ ボックスが表示されます。

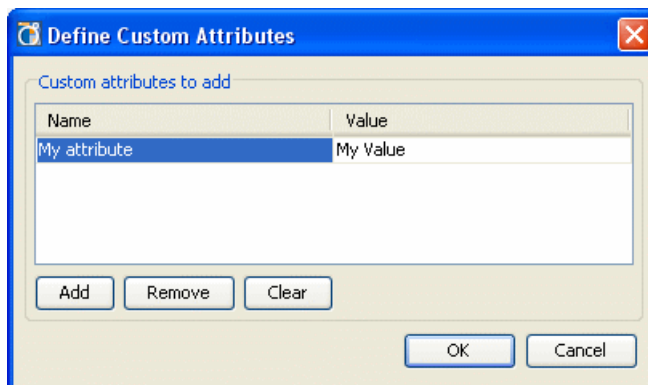


図 11-34 : [Define Custom Attributes] ダイアログ ボックス

4. [Add] をクリックして属性を作成します。

5. 属性名と値を指定します。
6. [OK] をクリックして、変更を適用します。

## Pblock の名前の変更

Pblock の名前は、[Pblock Properties] ビューの [General] タブから変更できます。新しい名前を [Name] フィールドで指定し、[Apply] をクリックします。

## Pblock の削除

次の手順で Pblock を選択して削除できます。

1. [Physical Constraints] ビューで 1 つまたは複数の Pblock を選択します。
2. Delete キーを押すか、ポップアップ メニュー コマンドの [Delete] をクリックします。
3. [Confirm Delete] ダイアログ ボックスで、[Remove Pblock children] オプションをオンにすると、ネスト化された Pblock およびそのパーティションも削除されます。オフにしておくと、選択した Pblock のみが削除され、ネスト化されたその他の Pblock は、1 階層上に移動します。
4. [OK] をクリックすると、[Physical Constraints] ビューから Pblock パーティションが削除されます。

## Pblock 自動配置プログラムの実行

PlanAhead では、自動 Pblock 作成コマンドを使用して Pblock を自動配置できます。この方法は主に、最上位の Pblock を作成してデザインのデータ フローを表示し、デザインのロジック モジュール間の相対サイズおよび関係を理解するために使用されます。通常設計時には、デザインのクリティカル モジュールおよび回路のコンセプトがあり、これらのモジュールを使用してフロアプランを開始します。

自動フロアプランの機能は、フロアプランの唯一の方法ではなく、物理デザインを理解するためのツールとして使用してください。フロアプランは、ISE ツールを使いこなすために利用する手動のプロセスです。フロアプランは、ISE ツールを使いこなすために設計者の洞察を活用する、手動のプロセスです。

PlanAhead の Pblock 配置プログラムを実行すると、デバイスへ自動的に Pblock が配置されます。Pblock のサイズは、スライスの内容のみによって決定されます。Pblock が作成されると、その他のデバイス タイプは無視されます。作成される Pblock の範囲はすべて定義されます。

Pblock 配置コマンドでは、選択された Pblock が手早く配置でき、デザイン内のデータ フローの確認に役立ちます。ISE でのインプリメンテーションの前に手動で Pblock の形を変更し、非スライス リソースを含める必要があります。

**メモ：**[Place Pblocks] コマンドで配置した Pblock は、ISE でのインプリメンテーションには使用できない場合があります。Pblock のサイズは、スライスの内容のみによって決定されます。手動で Pblock のサイズを変更し、非スライス ベースのリソースを含める必要があります。

Pblock 配置コマンドは、次の手順で実行します。

1. [Tools] → [Place Pblocks] をクリックします。  
356 ページの図 11-35 のように、[Place Pblocks] ダイアログ ボックスが開きます。

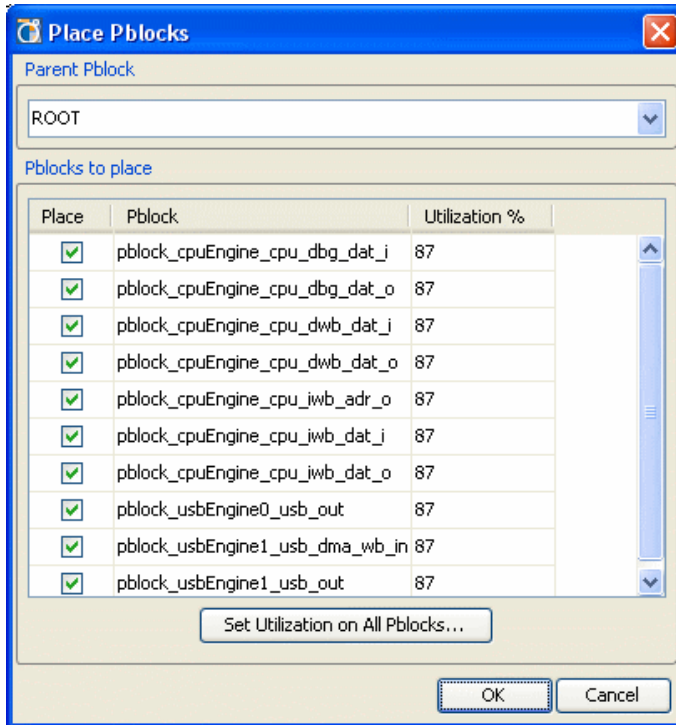


図 11-35 : [Place Pblocks] ダイアログ ボックス

2. 編集可能なフィールドを確認し、必要があれば変更します。

- ◆ [Parent Pblock] : Pblock を配置する階層のレベルを指定します。最上位の ROOT または分割された Pblock のレベルに配置できます。
- ◆ [Pblocks to place] : 親 Pblock の下にある Pblock が表示されます。
  - [Place] : Pblock を配置するかどうかを指定します。チェックボックスをオフにしても、既存の Pblock 長方形の位置は保持されます。
  - [Pblock] : すべての Pblock がリストされます。
  - [Utilization %] : 各 Pblock にスライス使用率のターゲットを設定できます。
- ◆ [Set Utilization on all Pblocks] : すべての Pblock に、スライス使用率のターゲットを設定します。

3. [OK] をクリックすると、Pblock がデザインに配置されます。

[Place Pblocks] コマンドの実行中は、[Place Pblocks Progress] ダイアログ ボックスが表示されます。

Pblock はスライス使用率にのみ基づいて大きさが決定され、配置されます。

[Create Pblocks] コマンドおよび [Place Pblocks] コマンドを使用して最上位フロアプランを作成する方法は、『PlanAhead チュートリアル：デザイン解析とフロアプラン』を参照してください。

## 配置 LOC 制約

プリミティブ ロジック エレメントは、サイト制約作成モードまたは BEL 制約作成モードで特定のロジック サイトに割り当てられます。

PlanAhead では、サイト内の特定ゲートにロジックを固定する BEL レベルの制約を割り当てることができます。

### 固定された配置制約および固定されていない配置制約について

PlanAhead では、ユーザーにより割り当てられた配置制約と、ISE インプリメンテーション ツールで割り当てられた配置制約が区別されます。ユーザーが割り当てた制約とは、インポートされた UCF ファイルで定義されているか、PlanAhead で手動で割り当てられた制約です。

これらの制約は固定された制約と見なされ、異なる色で表示されます。ISE からインポートされた配置制約はすべて固定されていないものと見なされます。配置制約を選択して [Fix Instances] ポップアップ メニュー コマンドを実行すると、固定に変更できます。

固定された制約は配置をロックするために、デフォルトで ISE インプリメンテーション ツールにエクスポートされます。[Tools] → [Export Constraints] および [Tools] → [Export Pblocks] をクリックして表示されるダイアログ ボックスには、固定されている制約とされていない制約のどちらもエクスポートできるオプションがあります。

### サイト制約および BEL 制約について

サイト制約はインスタンスに割り当てられた LOC 制約になります。ロジック エレメントは CLB スライス サイトのみに固定され、特定のゲートには固定されません。次はコード例の一部です。

```
INST "receiver/uartInst/G_98_1" LOC = SLICE_X49Y69;
```

保存され、エクスポートされた UCF ファイルでは、BEL 制約はインスタンスに割り当てられた LOC 制約と BEL 制約になります。次のコード例のように、BEL 制約はロジック エレメントを CLB 内の特定のゲートに割り当てます。

```
INST "channel/receiverRE[8]" BEL = FFX;  
INST "channel/receiverRE[8]" LOC = SLICE_X59Y2;
```

### サイト ロケーション配置制約 (LOC) の割り当て

下位プリミティブ インスタンスは、ネットリスト ツリーからドラッグして特定サイトにドロップすると配置できます。インスタンスをサイトに配置すると、ISE で使用するためにエクスポートされた UCF ファイルに、LOC (インスタンス ロケーション) 制約が追加されます。割り当てられたロケーションは、この後の ISE の実行中に固定ロケーションとして割り当てられ、ロックされます。

インスタンスを割り当てる前に、次の [Create Site Constraint Mode] ボタンをクリックし、サイト制約作成モードに切り替えます。



図 11-36 : [Create Site Constraint Mode] ボタン

ダイナミック カーソルでは、移動禁止または既に使用されているサイトにはインスタンスを配置できません。配置できる場所へ移動すると、ダイナミック カーソルは斜線が入った円から矢印またはひし形に変化します。また、ダイナミック カーソルでは、ロジックがスライスに入りきらない場合にもインスタンスを配置できません。キャリア チェーン ロジックなど、ロジックのグループによっ



では、1 つのオブジェクトとして移動するため、グループのロジックがすべて配置できる場所が必要です。

ロケーション制約の割り当てが完了したら、次の [Assign Instance Mode] ボタンをクリックしてデフォルトの、Pblock へのインスタンス割り当てモードに戻ります。



図 11-37 : [Assign Instance Mode] ボタン

ロケーション制約プロパティを表示するには、配置制約を選択し、[Instance Property] ビューを表示します。

## BEL 配置制約 (BEL) の割り当て

下位プリミティブ インスタンスは、ネットリスト ツリーからドラッグして特定サイトにドロップすると配置できます。

インスタンスをゲートに配置すると、前述のように、BEL 制約が割り当てられ、ISE で使用されます。割り当てられたロケーションは、この後の ISE の実行中に固定ロケーションとして割り当てられ、ロックされます。

インスタンスを割り当てる前に、[Create BEL Constraint Mode] ボタンをクリックし、BEL 制約作成モードに切り替えます。次の図は、このボタンを示しています。



図 11-38 : [Create BEL Constraint Mode] ボタン

ダイナミック カーソルでは、移動禁止または既に使用されているゲート サイトにはインスタンスを配置できません。配置できる場所に移動すると、ダイナミック カーソルは斜線のはいった円から矢印に変化します。また、ダイナミック カーソルでは、ロジックがスライスに入りきらない場合にもインスタンスを配置できません。

ロケーション制約の割り当てが完了したら、次の [Assign Instance Mode] ボタンをクリックしてデフォルトの、Pblock へのインスタンス割り当てモードに戻ります。



図 11-39 : [Assign Instance Mode] ボタン

ロケーション制約プロパティを表示するには、配置制約を選択し、[Instance Property] ウィンドウを表示します。

## 配置制約の表示/非表示

割り当てられた配置制約の表示方法を変更するにはズーム レベルを調節します。

- ズーム アウト表示では、LOC および BEL は、割り当てられたサイトの内側に塗りつぶされた長方形として表示されますが、
- ズーム レベルが上がるに従って、サイト内の特定のロジック ゲートに割り当てられたロジックとして表示されるようになります。

次の図は、ズーム アウト表示の [Device] ビューです。

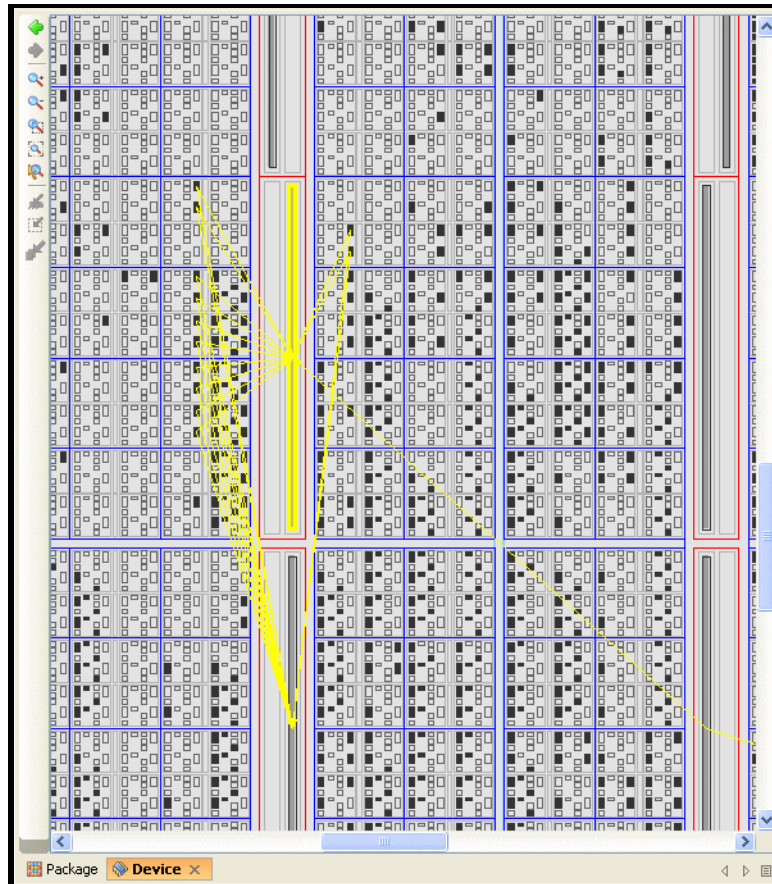


図 11-40 : [Device] ビューのズーム アウト表示

ロケーション制約の表示/非表示を切り替えるには、次の図の [Show/Hide LOC Constraints] ボタンをクリックします。



図 11-41 : [Show/Hide LOC Constraints] ボタン

LOC 制約および BEL 制約のその他の表示設定を変更するには、次の手順に従います。

1. [Tools] → [Options] → [Themes] → [Device] をクリックします。  
[Device] ダイアログ ボックスが表示されます。
  2. 表示の値を変更し、[Frame Color] 列および [Fill Color] 列で色を変更します。
- 固定された配置制約と固定されていない配置制約の色および選択は個別に設定できます。

## 配置制約の移動

配置制約を移動するには、次の手順に従います。

1. [Device] ビュー、[Netlist] ビュー、または [Schematic] ビューでインスタンスをクリックして配置制約を選択します。
2. 選択した配置制約を、移動可能なほかのサイトにドラッグ アンド ドロップします。  
プリミティブ インスタンスが新しいサイトに割り当てられます。ロケーション制約から配置済みロジックまたは Pblock に接続するネットの線が表示されます。

MUX、キャリー チェーンなどの組み合わせロジック オブジェクトを移動すると、選択された LOC のグループ全体が移動されます。グループ全体が移動可能なサイトに移動するとカーソルが変化し、すべてのオブジェクトを新しい相対ロケーションに移動できます。

すべてのロジックは、Pblock 長方形の外側のサイトに割り当てることができるため、配置を柔軟に固定できます。

3. ロケーション制約の割り当てが完了したら、[Assign Instance Mode] ボタンをクリックしてデフォルトの、Pblock へのインスタンス割り当てモードに戻ります。



図 11-42 : [Assign Instance Mode] ボタン

ロケーション制約プロパティを表示するには、配置制約を選択し、[Instance Property] ビューを表示します。

## 選択した配置制約の削除

選択したインスタンス ロケーション制約を削除するには、配置されたインスタンスをクリックし、次のいずれかの手順に従います。

- [Tools] → [Clear Placement Constraints] をクリックします。次のセクションの「[選択した配置制約の削除](#)」は、配置制約の削除方法について説明しています。
- [Unplace] ポップアップ メニュー コマンドをクリックします。

## 選択した配置制約の削除

インスタンス ロケーション制約は、選択してデザインから削除できます。制約は、ISE で割り当てられたもの、選択したロジックまたは Pblock、および特定のロジック タイプに基づいてフィルタし、削除できます。

オブジェクトを先に選択しておくと、[Clear Placement Constraints] ウィザードで選択したオブジェクトが削除されます。

Pblock が先に選択されていると、ウィザードにはその Pblock 内の配置制約を削除するデフォルト設定が表示され、インスタンスが選択されている場合は、インスタンス削除のデフォルト設定が表示されます。

配置制約を削除するには、次の手順に従います。

1. [Tools] → [Clear Placement] をクリックします。

次の図のように Clear Placement Constraints ウィザードが開始します。

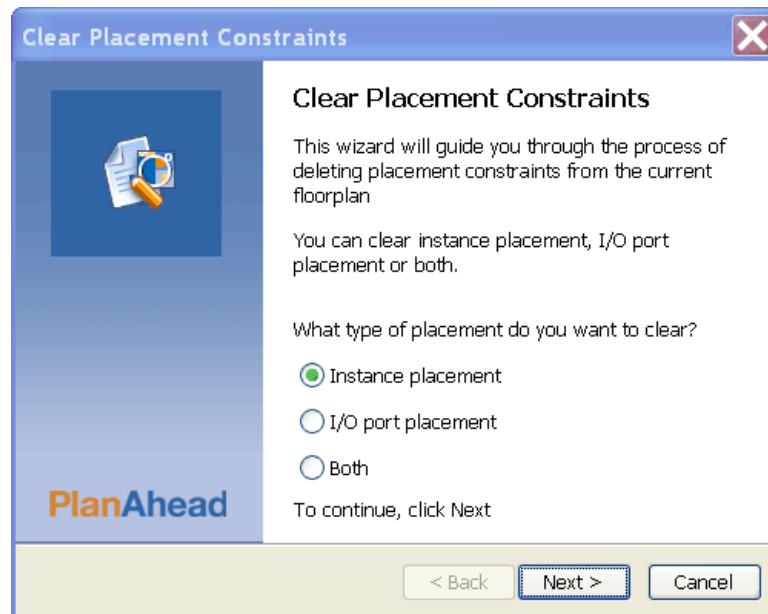


図 11-43 : Clear Placement Constraints ウィザード

2. Clear Placement Constraints ウィザードで、削除する配置制約のタイプを選択します。オプションは、[Instance placement]、[I/O Port placement]、または [Both] です。
3. [Next] をクリックします。

## インスタンスの配置

次のページは、コマンド実行前に選択したオブジェクトのタイプにより異なります。

- Pblock が選択されている場合は、Pblock の制約が削除されます。
- インスタンスが選択されている場合は、デフォルトでインスタンスの制約が削除されます。

選択されているものに応じて、362 ページの図 11-44に示すようにほかのオプションも表示されます。

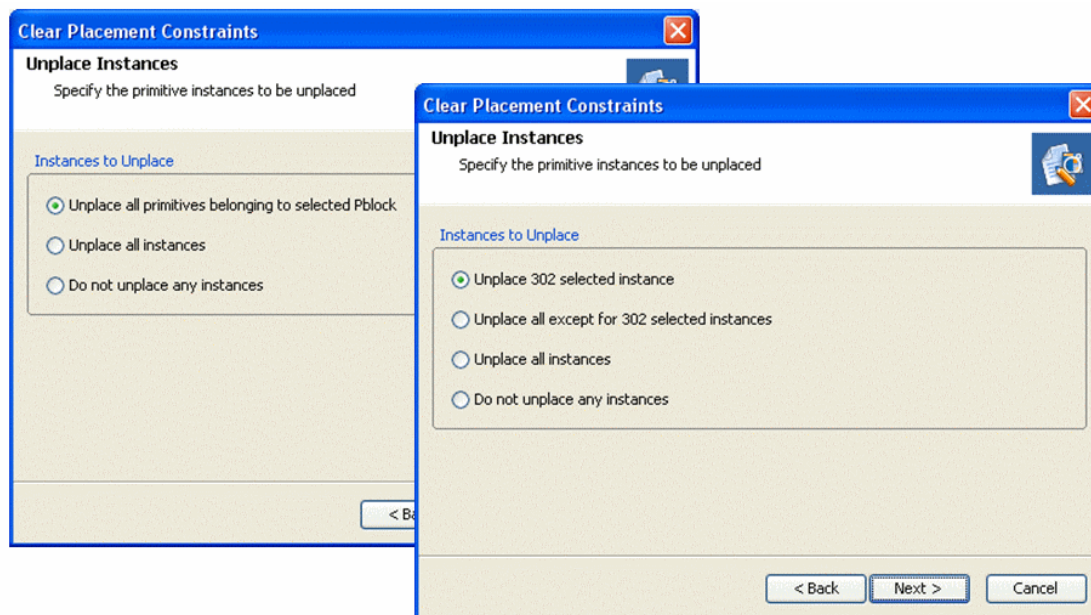


図 11-44 : Clear Placement Constraints ウィザード：あらかじめ選択したオブジェクトに対応した配置削除のオプション

4. [Unplace Instances] ページで、配置を削除するインスタンスのカテゴリを選択します。
5. [Next] をクリックします。

次の図のように Clear Placement Constraints ウィザードが開始します。

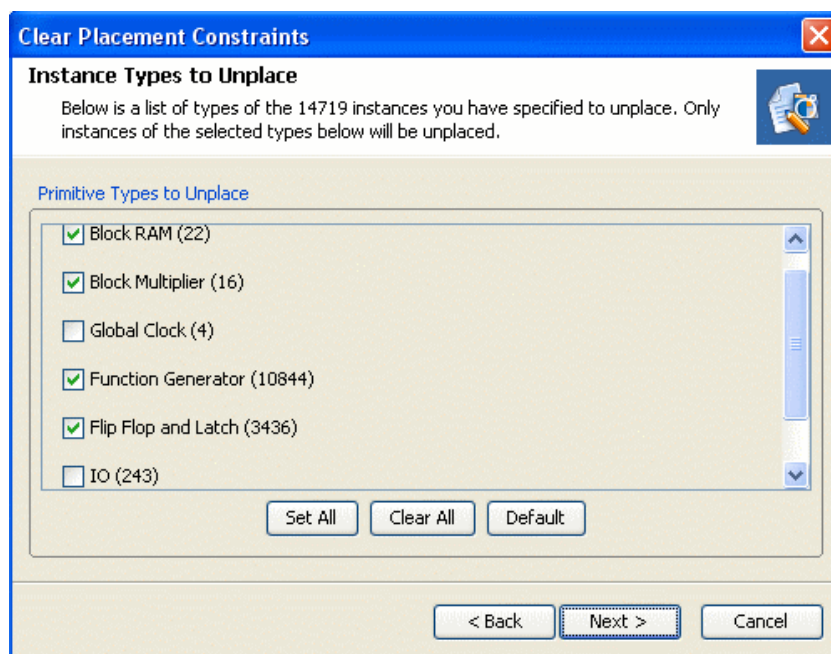


図 11-45 : Clear Placement Constraints ウィザード：削除するロジック タイプのフィルタ

[Instance Types to Unplace] ページでは、配置制約タイプをフィルタできます。

ウィザードの最初のページでインスタンスの制約のみのオプションが選択されているため、I/O に関連するチェックボックスはオフになっています。

6. [Instance Types to Unplace] ページで、プリミティブ タイプのチェックボックスをオンにします。
7. [Next] をクリックします。

次の図のように Clear Placement Constraints ウィザードの [Fixed Placement] ページが開きます。

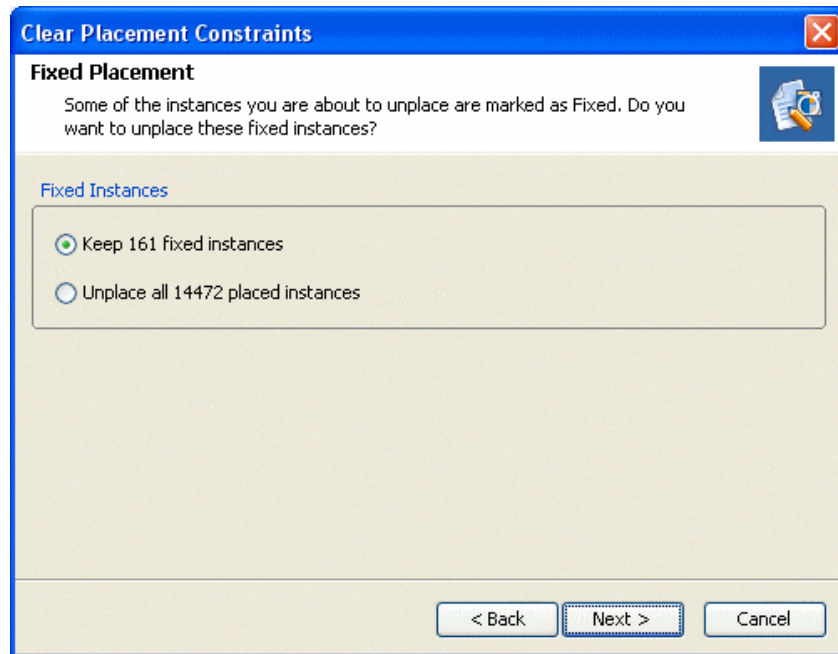


図 11-46 : Clear Placement Constraints ウィザード : 固定された制約のフィルタ

8. [Fixed Placement] ページで、固定されたインスタンスを削除するかどうかを指定します。固定されたインスタンスとは、デザインに配置または固定されているインスタンス、または入力 UCF ファイルにインポートされたインスタンスです。
9. [Next] をクリックします。
10. サマリ ページの内容を確認し、[Finish] をクリックします。

指定されたプリミティブ インスタンスの割り当てがデザインから削除されます。

## I/O ポートの配置

I/O ポートの制約割り当てを削除するには、次の手順に従います。

1. [Tools] → [Clear Placement Constraints] をクリックします。

次の図のように Clear Placement Constraints ウィザードが開始します。

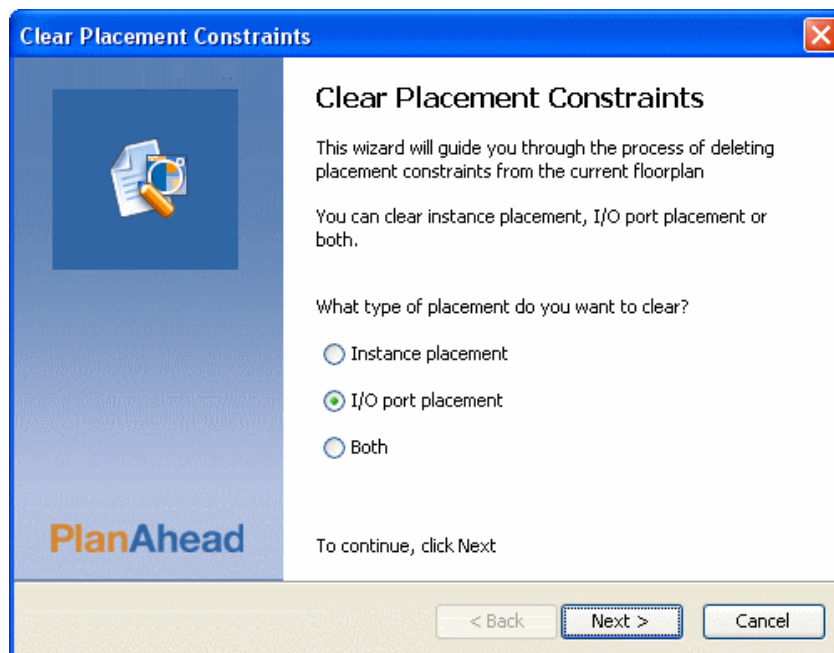


図 11-47 : Clear Placement Constraints ウィザード : I/O ポート配置または両方の削除

2. Clear Placement Constraints ウィザードで、削除する配置制約のタイプを選択します。オプションは、[Instance placement]、[I/O Port placement]、または [Both] です。
3. [Next] をクリックします。

次のページは、コマンド実行前に選択したオブジェクトのタイプにより異なります。

- 何も選択されていない場合は、表示されません。
- I/O ポートが選択されている場合は、I/O ポートの制約が削除されます。



選択されているものに応じて、次の図に示すようにほかのオプションも表示されます。

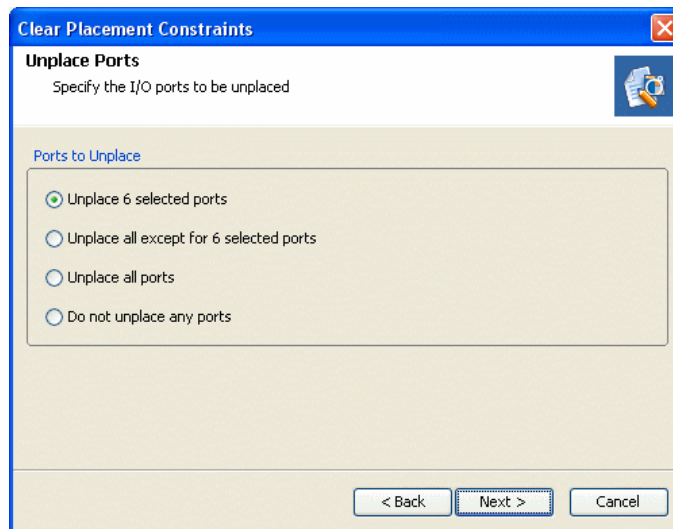


図 11-48 : Clear Placement Constraints ウィザード : あらかじめ選択したオブジェクトに応じた I/O ポート削除のオプション

4. [Unplace Ports] ページで、配置を削除する I/O ポートのカテゴリを選択します。
5. [Next] をクリックします。

次の図のダイアログ ボックスが表示されます。

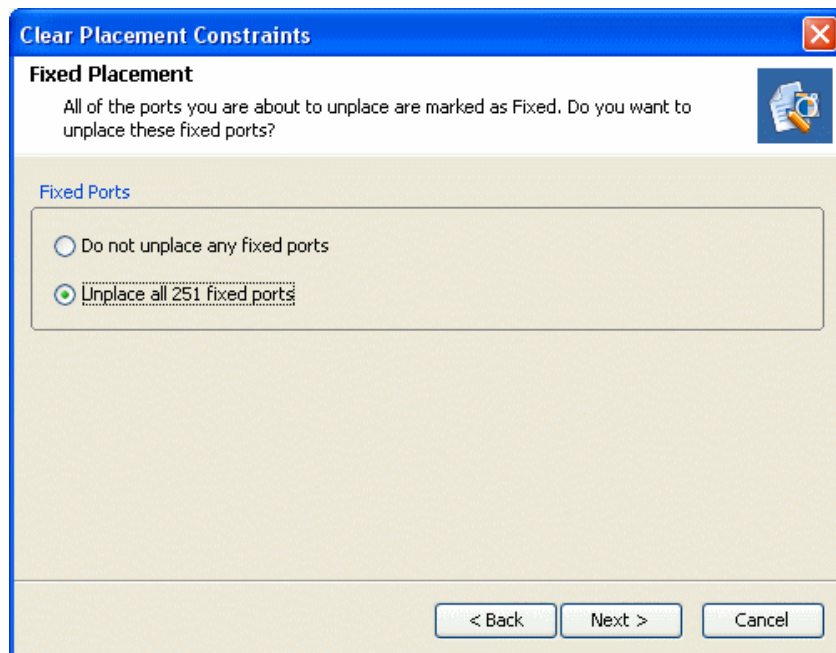


図 11-49 : Clear Placement Constraints ウィザード : 固定された制約のフィルタ

6. [Fixed Placement] ページで、固定されたインスタンスを配置するかどうかを指定します。固定されたインスタンスとは、デザインに配置または固定されているインスタンス、または UCF ファイルにインポートされたインスタンスです。
7. [Next] をクリックします。

8. サマリ ページの内容を確認し、[Finish] をクリックします。

- ◆ 指定された I/O ポートの割り当てがデザインから削除されます。
- ◆ 前に割り当てられたポートは、新しいUCF ファイルを読み込む前は削除されません。
- ◆ 新しいポートの割り当てにより、前の割り当てが上書きされます。

メモ：新しいポート割り当て制約のインポート前にすべてのポート割り当てを削除してください。

## Pblock と割り当てられた配置制約の移動

ロケーション制約が割り当てられた Pblock は移動できます。配置制約はすべて移動先で割り当て直されます。

Pblock 内部にロケーション配置制約が割り当てられると、Pblock のビヘイビアが変化します。移動先には、配置制約の割り当てに十分なリソースが必要です。Pblock を移動できない場所にドラッグすると、カーソルの形が変化し、不適切な移動先であることが示されます。

リソースが十分でない場合は、ロケーション制約を削除するかそのままにするかを選択するダイアログ ボックスが表示されます。

ロケーション制約は、固定されたものと固定されていないものが別々に表示されるので、それぞれに対して処理を指定できます。次の図は、[Choose LOC mode] ダイアログ ボックスを示しています。

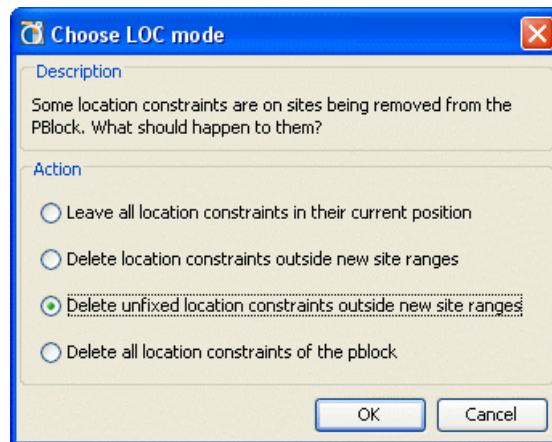


Figure 11-49: Pblock 移動時の LOC ビヘイビアの制御

## ISE インプリメンテーション中の配置のロック

PlanAhead で割り当てられた配置制約は固定と見なされ、エクスポートされた制約は、ISE のインプリメンテーションでロックされます。

制約の選択方法はいくつかあります。固定ロジック オブジェクトを個別に選択するには、プリミティブの検索および選択コマンドがよく使用されます。

詳細については、「[Find] コマンドを使用したオブジェクトの検索」および 第 10 章 の「[Select Primitives] および [Highlight Primitives] コマンドの使用」を参照してください。

[Fix Instances] ポップアップ メニュー コマンドを使用すると、選択したロジックを固定できます。

## 配置禁止制約の使用

PROHIBIT 制約はデバイスのどのロジック サイトにも作成できます。この方法は次のとおりです。

1. [Device] ビューでサイトを選択します。

[Select Area] を使用し複数のサイトを選択できます。詳細は、第 4 章の「[Select Area] コマンド」を参照してください。

2. 右クリックし、[Set Prohibit] をクリックします。

次の図のように、使用禁止になったサイトには赤い X マークが表示されます。

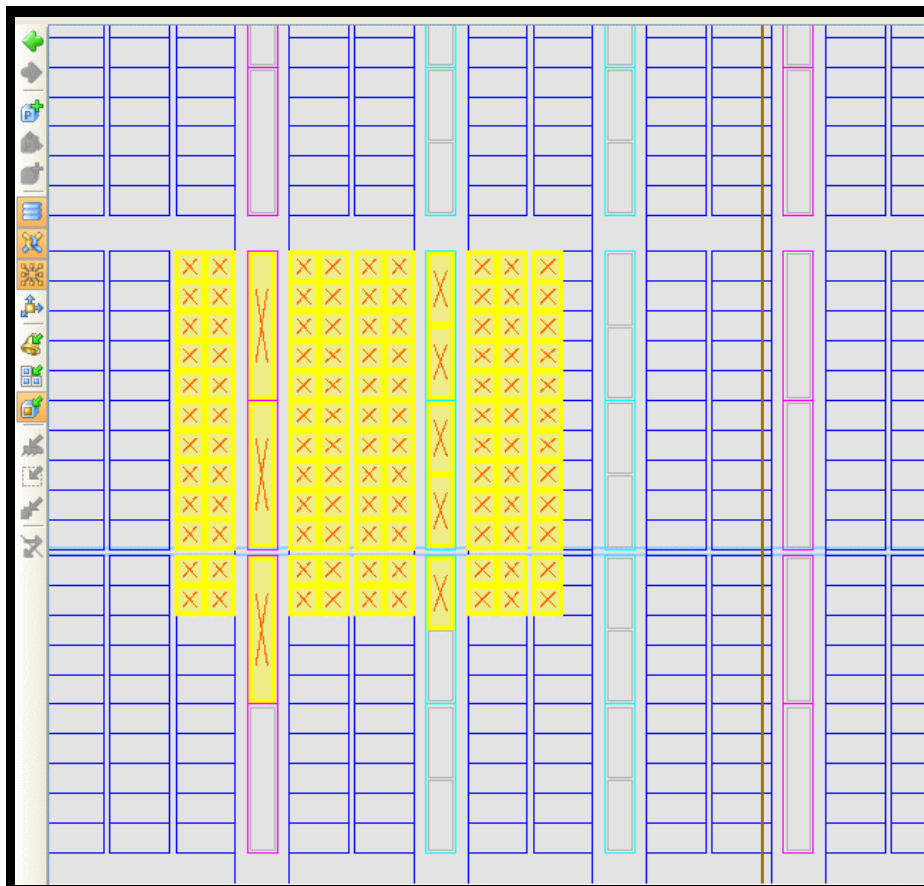


図 11-50 : [Device] ビューでの使用禁止サイト



# デザインのプログラムとデバッグ

本章は、次のセクションで構成されています。

- 「ビットストリーム ファイルの生成」
- 「ChipScope を使用したデザインのデバッグ」
- 「ChipScope Pro Analyzer の起動」
- 「FPGA Editor の起動」
- 「iMPACT の起動」

## ビットストリーム ファイルの生成

次のセクションでは、PlanAhead™ ソフトウェアでビットストリーム ファイルを生成する方法について説明します。

### インプリメントされたデザインでの BitGen の実行

インプリメンテーションが問題なく終了したら、ISE の BitGen コマンドを実行してビットストリーム データを作成できます。この方法は次のとおりです。

1. Flow Navigator で、[Program and Debug] ボタンをクリックし、[Generate Bitstream] を選択します。次の図は、このコマンドを示しています。

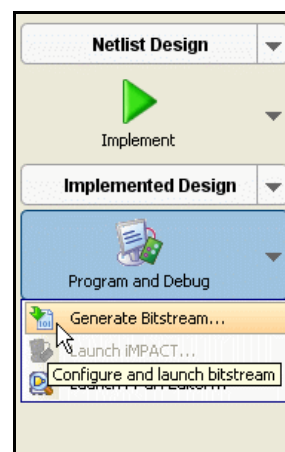


図 12-1 : [Generate Bitstream] コマンドの実行

370 ページの図 12-2 のように、[Generate Bitstream] ダイアログ ボックスが開きます。

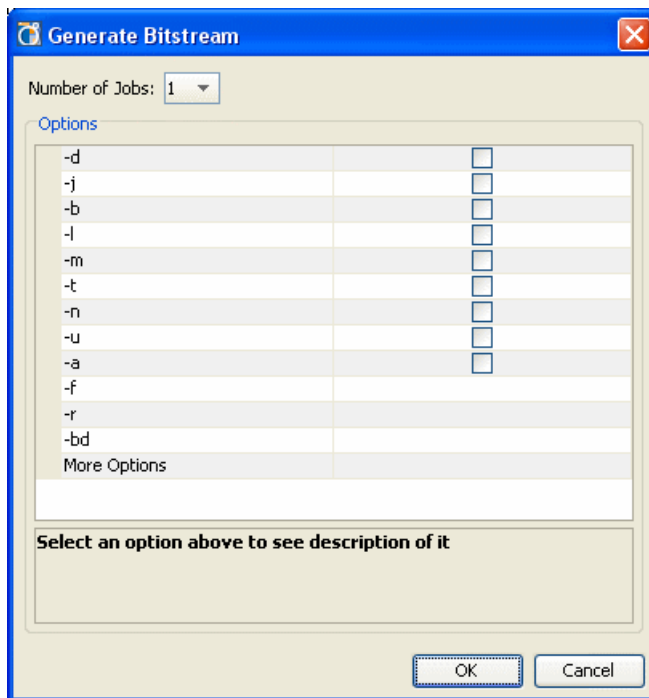


図 12-2 : BitGen オプションの設定

このコマンドを実行前に ISE の BitGen コマンド オプションを設定できます。オプションを選択すると、そのオプションに関する説明がダイアログ ボックスに表示されます。使用可能なオプションの値が右側のプルダウン メニューに表示されます。

2. [OK] をクリックし、BitGen コマンドを開始します。

コマンドのステータスは [Compilation Log] ビューおよび [Compilation Messages] ビューで確認でき、終了したら [Reports] ビューに BitGen レポート ファイルが表示されます。

結果の bit ファイルが PlanAhead プロジェクトの run ディレクトリに生成されます。

## ChipScope を使用したデザインのデバッグ

PlanAhead ソフトウェアは、ChipScope デバッグ ソフトウェアと統合されています。

ChipScope Pro の統合により、PlanAhead に ChipScope Pro ILA デバッグ コアを合成後に簡単に挿入および接続できます。

### PlanAhead と ChipScope の統合の概要

PlanAhead では、ウィザードを使用してほとんどのデザインのデバッグをすばやく簡単に実行できます。ウィザード以外の GUI 機能や Tcl コマンド フローも、精密なデバッグやネット接続のために使用できます。このフローを使用すると、PlanAhead 環境内で多機能な ILA コアを接続することができます。次は、デバッグ コアの統合を図示しています。

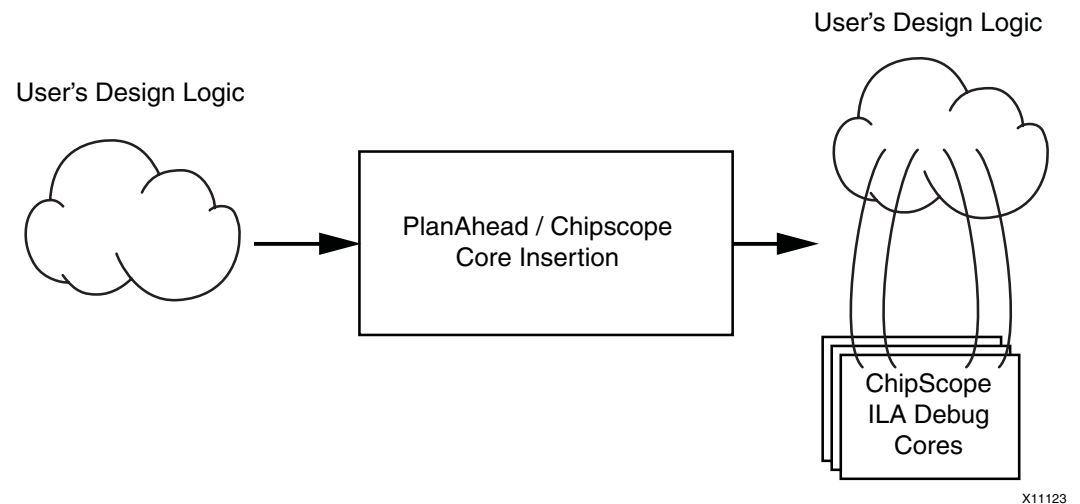


図 12-3 : PlanAhead/ChipScope 統合の図説

### コア挿入フローを使用する場合の要件および制限

PlanAhead/ChipScope 統合で ChipScope Pro デバッグ コアを挿入するには、ISE® Design Suite 12.x ツールおよび PlanAhead がインストールされていることが前提です。

ChipScope Pro 12.1 Analyzer およびザイリンクスの Platform USB ケーブルがランタイム デザイン デバッグには必要です。ChipScope Pro の詳細については、『[ChipScope Pro 12.1 Software and Cores User Guide](#)』(UG 029) を参照してください。

PlanAhead/ChipScope 統合の制限事項は次のとおりです。

- このフローでは、PlanAhead 12、ISE 12、ChipScope Pro 12 を使用する必要があります。これらのツールのほかのバージョンは使用できません。
- このフローは、Project Navigator/ChipScope Pro コア挿入フローでは使用できませんが、ChipScope デバッグ コア (CDC) を PlanAhead にインポートすることはできます。
- ISE 統合モードの場合、このフローは使用できません。詳細は、[第 15 章の「統合の概要」](#)を参照してください。
- ChipScope Pro ICON コアに既存デバッグ コアが接続されている場合、表示はできますが変更はできません。



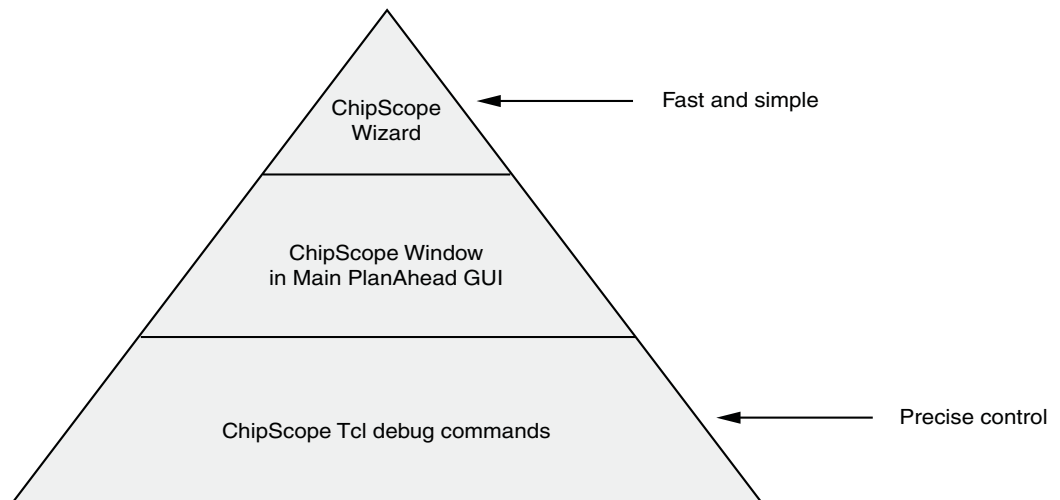
- コア外部でインスタンス化された BSCAN プリミティブへの接続を必要とする BSCAN プリミティブなしに生成された ICON が既存する場合、このフローはその ICON とは互換性がありません。
- PlanAhead ではデバッグ コアが合成後のデザイン n ネットリストに追加されるため、合成中に行われるトリミングや最適化が原因で、デバッグできないネットがある場合があります。
- ChipScope Pro ILA コアのみがこのフローで作成および接続できます。

## コア挿入フローの使用

ChipScope デバッグ コアの PlanAhead への挿入は、PlanAhead ユーザーのレベルの応じていろいろな方法で実行することができます。

- シンプルな GUI のウィザードを使用し、デバッグするために選択したネットに基づいて、ILA コアを自動作成および設定するのが一番簡単な方法です。
- また ChipScope のメイン ウィンドウで個々のコア、ポート、およびパラメータを設定することもできます。
- Tcl デバッグ コマンドを使用し、スクリプトを手動で作成したり再生することもできます。

この 3 つの方法を合わせて利用し、デバッグ コアを挿入およびカスタマイズすることもできます。次は、デバッグ コア挿入を図示しています。



X11122

図 12-4：デバッグ コアの挿入モード

## デバッグ コア挿入モードの決定

次の表は、デバッグ目標に基づきどの挿入モードを使用すべきかをまとめたものです。

表 12-1 : デバッグ目標およびコア挿入モード

デバッグ目標	コア挿入モード
選択したネットに対しデフォルト設定を使用して ILA デバッグ コアをすばやく作成します。	Set up ChipScope ウィザード
既存のデバッグ コアのパラメータを変更します。	[ChipScope] ビュー
既存のデバッグ コアを手動で作成または削除します。	[ChipScope] ビュー
ILA コアのトリガまたはデータ ポートを手動で作成、削除、設定します。	[ChipScope] ビュー
ネットをトリガ、データ、クロック チャネルに手動で割り当てます。	[ChipScope] ビュー
デバッグ コマンドを記録したスクリプトを再生します。	Tcl コマンド

## デバッグのためのネットの選択

PlanAhead/ChipScope デバッグ フローでの最初のステップは、デバッグするネットの識別です。

ChipScope デバッグ コアの挿入およびコンフィギュレーションはすべて [Netlist Design] ビューで実行する必要があります。これは、これらのコアがインプリメンテーション前にネットリストへ追加されるからです。

PlanAhead では、[Netlist] ビューでネットまたはバスを選択し、[Add to ChipScope Unassigned Nets] ポップアップ メニュー コマンドを実行するだけの簡単な作業です。[Schematic] ビューなどのほかのビューでネットやバスを選択することもできます。また、Set up ChipScope ウィザードのネット セレクタ機能もあります。

## 割り当てられていないネットのリスト

PlanAhead では、次の図のように、[Window] → [ChipScope] をクリックして表示される [ChipScope] ビューで割り当てられていないネットのリストが管理されます。これは、デザイン全体を確認しているときにネットをブックマークしておける便利なリストです。

[Netlist] または [Schematic] ビューからネットをドラッグして、後でデバッグするために保存しておくことができます。

[Add to ChipScope Unassigned Nets] ポップアップ メニュー コマンドでネットをこの [Unassigned nets] リスト (374 ページの図 12-5) に追加することもできます。

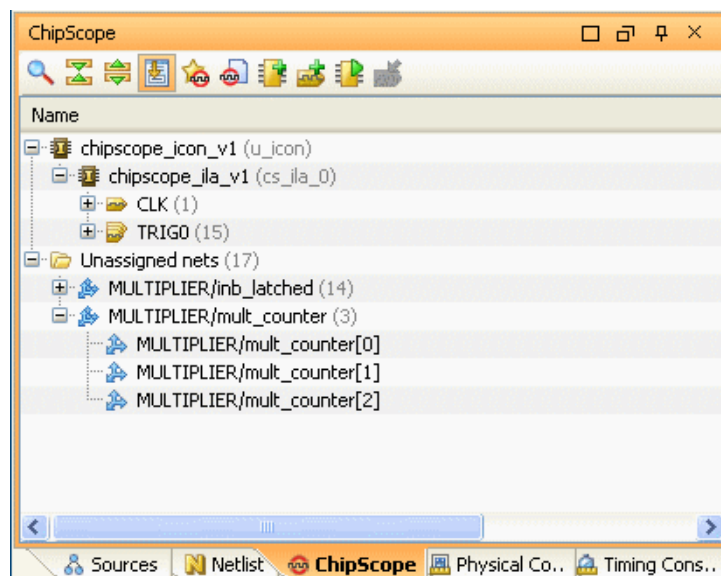


図 12-5 : [ChipScope] ビューの割り当てのないネット リスト

## ChipScope ウィザードを使用したデバッグ コアの挿入

PlanAhead にデバッグ コアを追加するには、次の図のように ChipScope のデバッグ ウィザードを使用するのが最も簡単です。

Set Up ChipScope ウィザードを使用してデバッグ コアを挿入するには、次を実行します。

1. 割り当ての内ネット リストまたは直接ネットをクリックしてデバッグするネットを選択します (オプション)。
2. Flow Navigator で [Set up ChipScope] をクリックするか [Tools] → [Set up ChipScope] をクリックし、Set up ChipScope ウィザードを開きます。次の図は、どこからウィザードを起動するかを示しています。

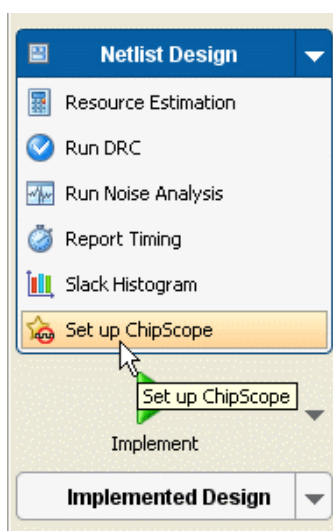


図 12-6 : Set up ChipScope ウィザードの起動

3. 画面の指示に従って、デバッグ コアを接続およびコンフィギュレーションします。

## ChipScope の CDC ファイルのインポート

Set up ChipScope ウィザードを使用すると、プロジェクトに既存の ChipScope Debug Core (CDC) ファイルを追加できます。次の図の [Importing an existing ChipScope CDC file] をオンにすると、CDC ファイルを選択する画面が表示されるようになります。

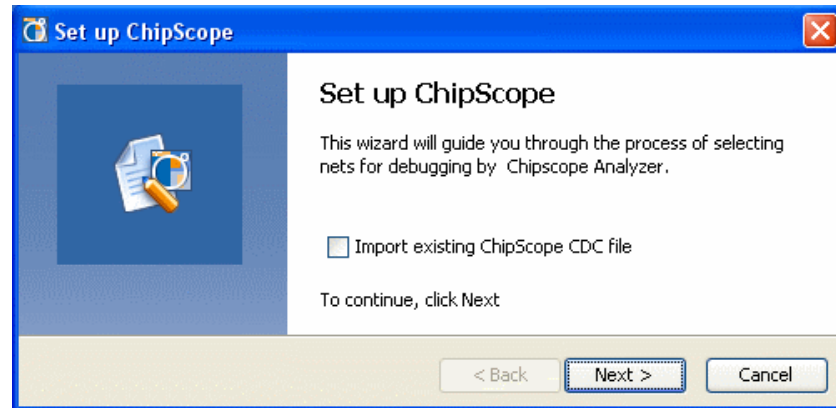


図 12-7 : ChipScope の CDC ファイルのインポート

[Next] をクリックします。

## デバッグ ネットの選択または確認

[Unassigned nets] のリストにネットが追加された場合は、それらを使用するか新しいネットを選択するかが尋ねられます。

[Add/Remove Nets] ページが表示されます。ここでは、デバッグするネットを検索して選択できます。

ネットを必要に応じて追加または削除したら、[Next] をクリックします。

## デバッグするネットおよびクロック ドメインの指定

Set up ChipScope ウィザードは、次の図のように選択した各ネットまたはバスに対し、正しいクロックを自動検出します。

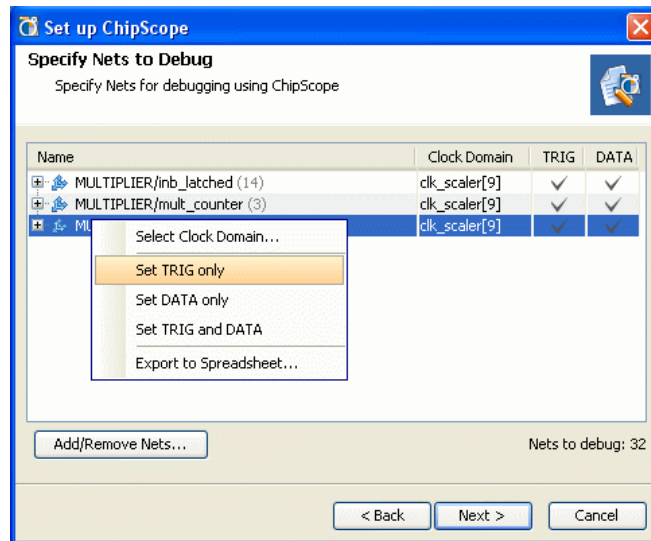


図 12-8：デバッグ ネットおよびクロック ドメインの指定

複数のクロックが検出された場合、ドロップダウン リストを使用してクロックを選択できます。

1. [Add/Remove Nets] ボタンをクリックしてデバッグ ネットを選択/選択解除することもできます。
2. 各ネットまたはバスは、トリガ、データ ストレージ、またはその両方として使用できるよう設定できます。
3. ネットおよびクロックの設定が正しい場合は、[Next] をクリックしサマリ ページに進みます。

デザインに ILA コアが含まれる場合は、それらを削除してビュー情報に基づいて生成し直すか、そのまま維持して新規のコアを生成するか選択します。

## ILA コアの挿入

Set up ChipScope ウィザードは、クロック ドメインにつき 1 つの ILA コアを挿入します。

デバッグのために選択されたネットは、インスタンス化された ILA コアのトリガおよびデータポートとして自動的に割り当てられます。

次の図のようなウィザードの最終画面はコア作成のまとめのページで、検出されたクロック数、作成および削除される ILA コアの数が表示されます。

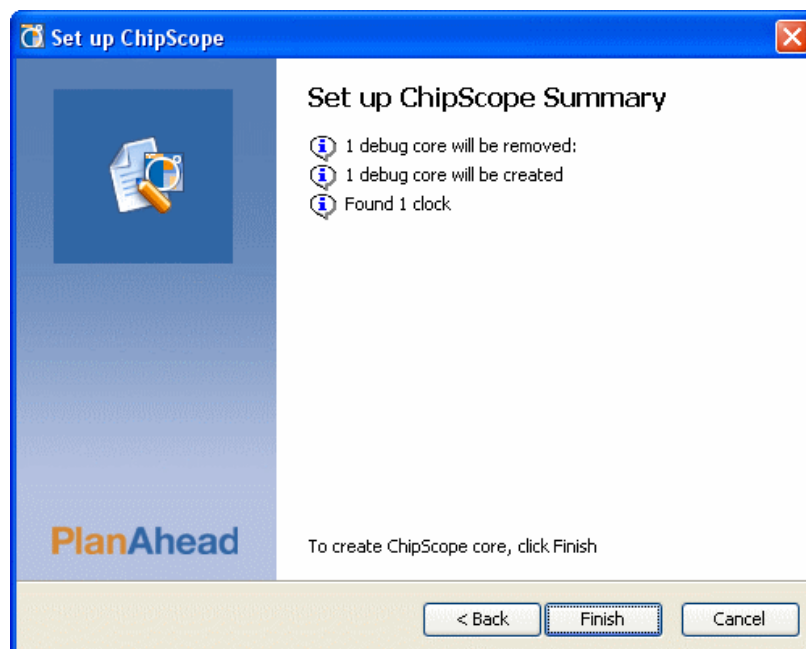


図 12-9 : ILA コアのデザインへの挿入

内容を確認したら [Finish] をクリックし、デザインに ILA コアをインスタンスエートおよび接続します。

## [ChipScope] ビューを使用したデバッグ コアの追加とカスタマイズ

ILA コア挿入に対する詳細な設定は、ChipScope ウィザードではできないので、[ChipScope] ビューを使用します。

このビューでは、コアの作成および削除、ネット接続のデバッグ、およびコア パラメタの変更を設定できます。

次の図のような [ChipScope] ビューを表示するには、[Window] → [ChipScope] をクリックします。

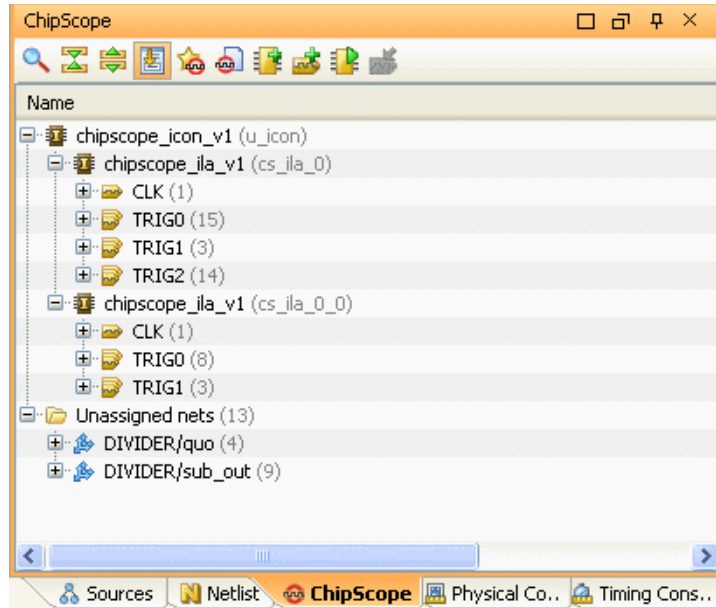


図 12-10 : [ChipScope] ビュー

[ChipScope] ビューには、次が表示されます。

- ICON コントローラ コアに接続されたデバッグ コアのリストが表示されます。
- ビューの下部に、割り当てられていないネットのリストも管理されます。

デバッグ コアおよびポートは、ポップアップ メニューまたはビューの上部にあるツールバーから制御できます。

### デバッグ コアの作成および削除

ChipScope デバッグ コアは、[ChipScope] ビューで [Create ChipScope Debug Core] ポップアップ メニューまたはツールバーのボタンをクリックし作成できます。

このインターフェイスを使用すると、親インスタンスの変更、コア名のデバッグ、コアのパラメタ設定ができます (379 ページの図 12-11)。

既存のデバッグ コアを削除するには、[ChipScope] ビューでコアを選択し、[Delete] ポップアップ コマンドをクリックします。



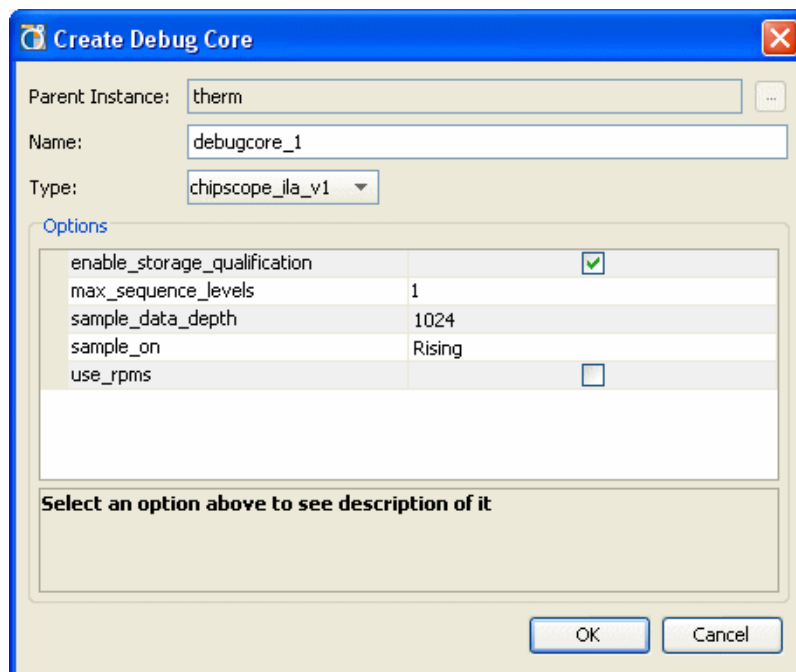


図 12-11 : デバッグ コアの作成

### デバッグ コア ポートの追加、削除、およびカスタマイズ

デバッグ コアの追加および削除だけでなく、各デバッグ コアのポートを追加、削除およびカスタマイズすることができます。ポートを追加するには次の手順に従います。

1. コアを選択します。
2. [Create ChipScope Debug Port] ポップアップ メニュー コマンドまたはツールバーのボタンをクリックします。

次の図のダイアログ ボックスが表示されます。

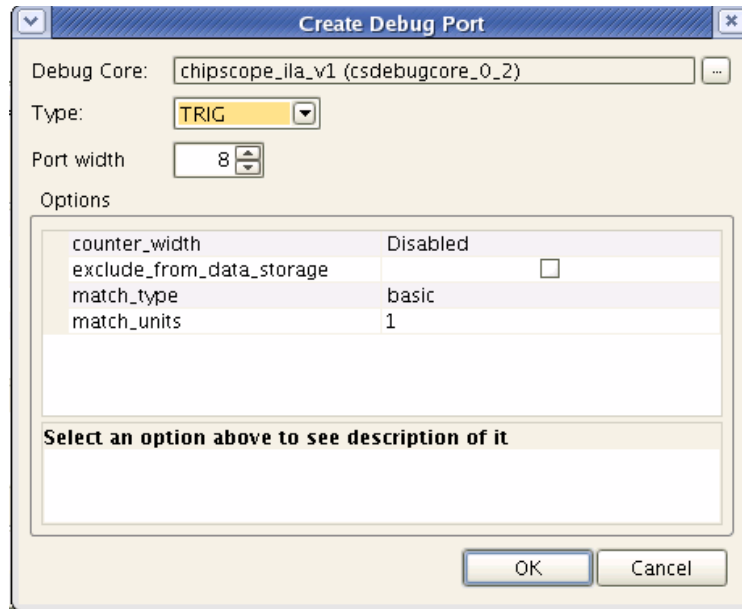


図 12-12：デバッグ コアのポートおよびオプションのカスタマイズ

3. ドロップダウン リストからポートのタイプを選択します。

[Options] でポートに対しオプションを設定します。ポート幅はデフォルト値が表示されますが、ポートからネットを追加および削除することに値が変化します。

4. [OK] をクリックします。

デバッグ ポートを削除するには、[ChipScope] タブでポートを選択し、[Delete] ポップアップ メニュー コマンドをクリックします。

### デバッグ コアへのネットの接続および接続解除

ネットおよびバス (ネットのベクタ) は [Schematic] または [Netlist] ビューからデバッグ コアのポートへドラッグ アンド ドロップできます (次の図を参照)。これで、選択内容に応じてポートが自動的に拡張します。

また、ネットまたはバスを右クリックし、[Assign to ChipScope Debug Port] を選択することもできます。

デバッグ コアのポートからネットの接続を解除するには、ポートに接続されているネットを選択し、[Disconnect Net] ポップアップ メニュー コマンドをクリックします。次の図は、これらの動作を示しています。

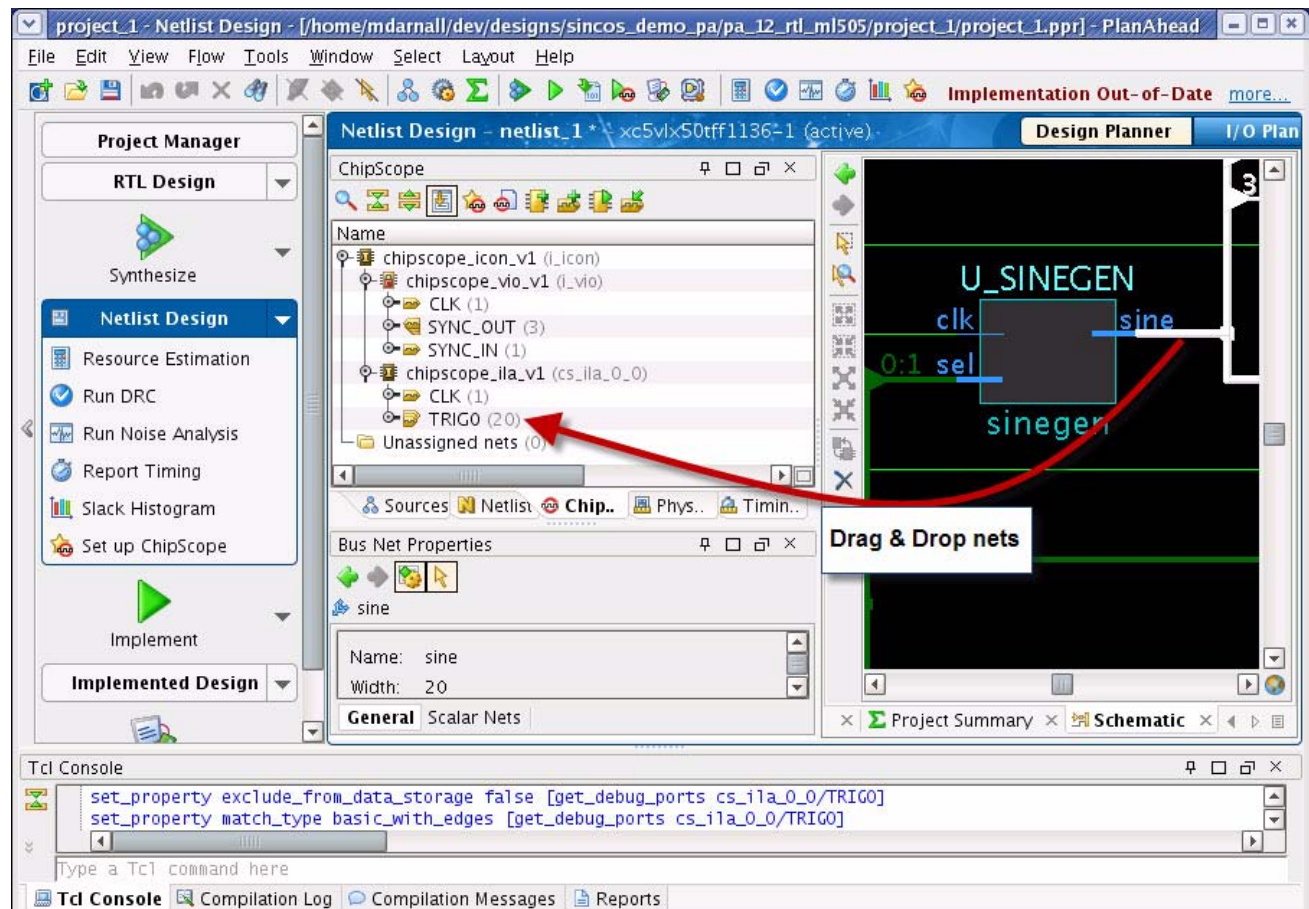


Figure 12-13: デバッグ コア ポートへのネットのドラッグ アンド ドロップ

## デバッグ コアおよびポート パラメータのカスタマイズ

ChipScope デバッグ コアにはカスタマイズ可能なパラメータがあります。

これらのコアのパラメータを表示するには、次の手順に従います。

1. [ChipScope] ビューで ChipScope デバッグ コアを 1 つ選択します。
2. 次の図のように、[Properties] タブで [Options] をクリックしコア パラメータを設定します。

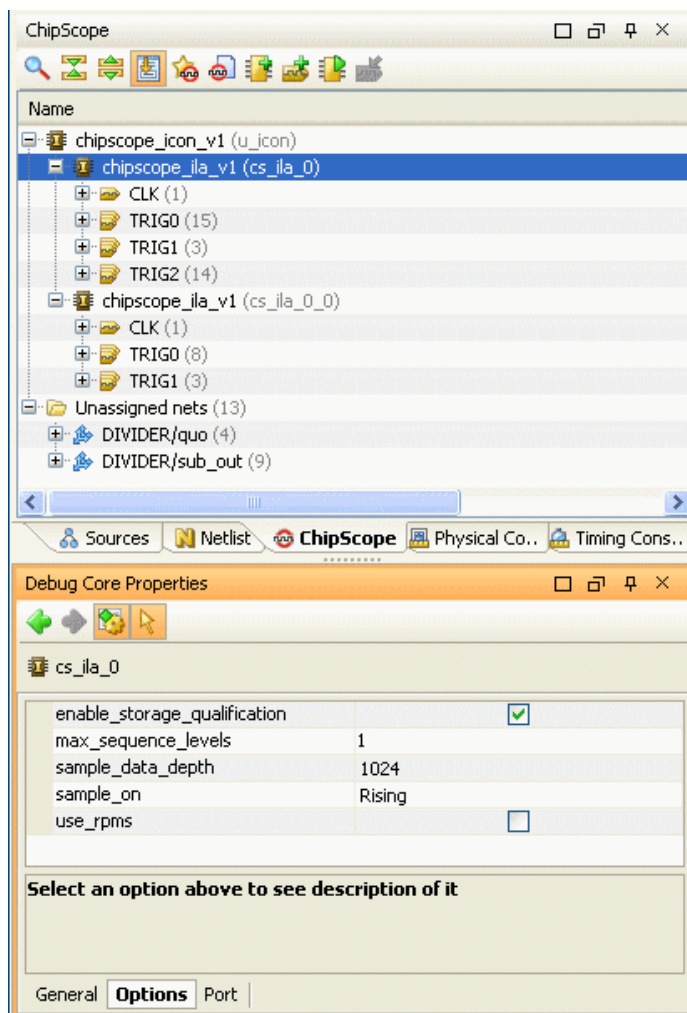


図 12-14：デバッグ コアのパラメータ

ポート パラメータは、383 ページの図 12-15 のようにデバッグ コアのトリガまたはデータ ポートを選択してから、[Properties] ビューの [Options] タブで変更します。

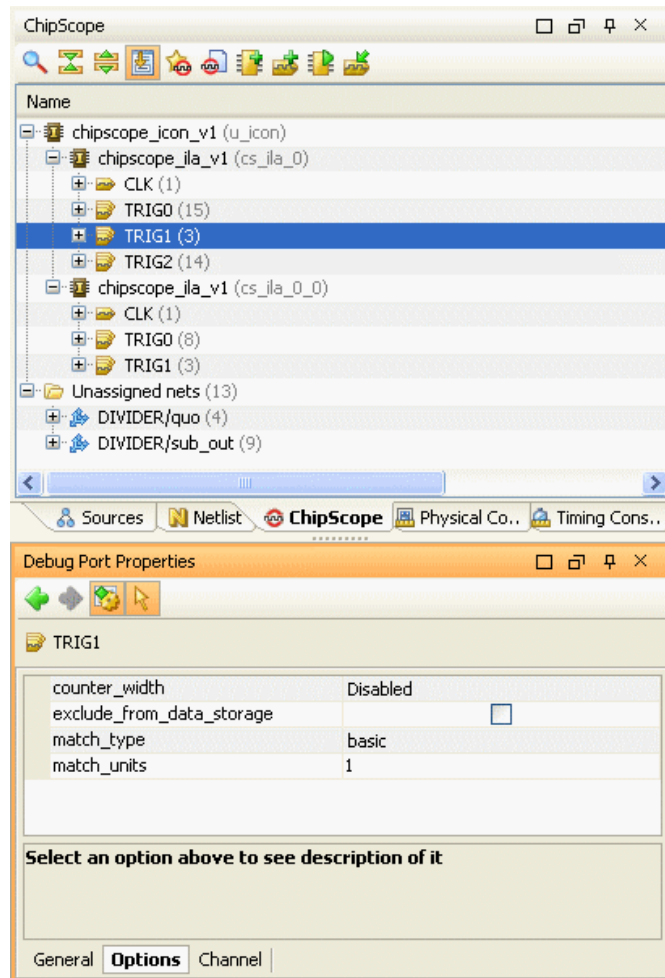


図 12-15 : デバッグ ポートのパラメータ

## デバッグ コアのインプリメンテーション

ChipScope Pro の ICON および ILA コアは PlanAhead でブラックボックスとして始めは作成されます。これらのコアはマップ、配置、配線を実行する前にインプリメントしておく必要があります。

ChipScop デバッグ コアのインプリメンテーションは、Flow Navigaor または [Tools] メニューの [Implement] コマンドを使用してインプリメンテーションフローを実行すると、自動化されますが、[ChipScope] ビューの左側にある [Implement] ボタンをクリックしてフロアプランまたはタイミング解析用に手動でインプリメントすることもできます。

各ブラック ボックス デバッグ コアに対しザイリンクスの CORE Generator がバッチ モードで起動します。この処理には、多少時間がかかる場合があります。進捗状況は次のように表示されます。デバッグ コアのインプリメンテーションが完了すると、デバッグ コアのブラック ボックスが処理され、生成されたインスタンスにアクセスできます。

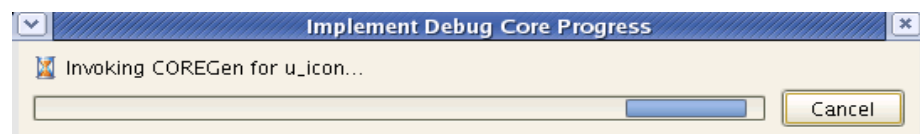


図 12-16 : デバッグ コア インプリメンテーションのステータス バー

## ChipScope Analyzer のネット接続の CDC ファイルの使用

ChipScope Analyzer の CDC ファイルはデザイン インプリメンテーションが完了すると自動的に生成されます。[ChipScope] ビューで [Export Debug Net Names] ポップアップ メニュー コマンドを使用し CDC ファイルを手動でエクスポートすることもできます。この CDC ファイルを ChipScope Analyzer にインポートし、ILA コア データおよびトリガ ポートのネット名を自動的に設定することができます。

## デバッグ コアを含むデザインのインプリメンテーション

ChipScope デバッグ コアが作成され接続されたら、標準 PlanAhead インプリメンテーション フローを実行しデバイスのビットストリームを作成することができます。

Flow Navigator または [Tools] メニューから [Implement] をクリックしてインプリメンテーション フローを開始します。

## ChipScope Pro Analyzer の起動

ChipScope Pro Analyzer ソフトウェアがインストールされていれば、どのインプリメンテーション デザインに対しても [Generate Bitstream] コマンドを実行すると PlanAhead から直接起動できます。

ChipScope Pro Analyzer を起動するには次のいずれかの操作を実行します。

- Flow Navigator で [Program and Debug] → [Launch ChipScope Analyzer] をクリックします。
- [ChipScope] タブをクリックし、右クリックで [Launch ChipScope Analyzer] を選択します。

PlanAhead が起動すると、ビットストリーム ファイル (BIT ファイル) および CDC ファイルが自動的に ChipScope Pro Analyzer で読み込まれます。

## FPGA Editor の起動

FPGA Editor は、どのインプリメントされたデザインに対しても PlanAhead から起動できます。

FPGA Editor を起動するには、Flow Navigator で [Program and Debug] → [Launch FPGA Editor] をクリックします。

PlanAhead から起動すると、配線済みの NCD ファイルが自動的に FPGA Editor に読み込まれます。

## iMPACT の起動

iMPACT ソフトウェアは、どのインプリメンテーション デザインに対しても [Generate Bitstream] コマンドを実行すると PlanAhead から直接起動できます。

iMPACT を起動するには、Flow Navigator で [Program and Debug] → [Launch iMPACT] をクリックします。

PlanAhead から起動すると、BIT ビットストリーム ファイルが自動的に iMPACT に読み込まれます。

## 階層デザイン手法の使用

---

本章は、次のセクションで構成されています。

- 「PlanAhead と ISE の機能」
- 「デザイン保持のための PlanAhead の使用」

### PlanAhead と ISE の機能

PlanAhead™ ソフトウェアには、階層デザイン プロセスをサポートする機能が複数あります。このような機能を使用するかどうかは、設計前に決めておく必要があります。階層デザイン手法を使用するかどうかは、デザイン パーティションや RTL コードについて事前に考慮して決めてください。タイミング クロージャやランタイムの削減を目的に、この手法をデザイン サイクルの後半に使用し始めると、結果が変わってしまうことがあります。

**メモ：**この章で説明される機能はすべてネスト ベースのプロジェクトにのみ使用可能です。

PlanAhead ではパーティションを使用した RTL ベースの階層プロジェクトはサポートされません。パーティションには、それぞれ別々の合成済みネットリストまたはサード パーティの合成インクリメンタルコンパイル ポイントを含むネットリストが必要です。このようにネットリストを別々にすることで、アップデートを管理したりパーティションを再利用できるようになっています。

### パーティションの使用

階層機能とは、「パーティション」というデザインの階層バウンダリを設定して管理する機能です。これらのバウンダリを設定することにより、合成やインプリメンテーションでバウンダリを超えてロジックを最適化することがなくなるので、再利用するロジックのみを残しておくことができます。

パーティションを効率的に実行するには、効率的なロジック デザインおよび知識が必要です。この詳細については、『階層デザイン手法ガイド』(UG748) を参照してください。

パーティションを含むデザインがインプリメントされると、その結果を今後のインプリメンテーション用にエクスポートできます。パーティションの定義およびビヘイビアは、xpartitions.xml という XML ファイルに保存されます。ISE® Design Suite ツールでは Run ディレクトリでこのファイルが検索され、パーティションに指定された [Implement] や [Import] などのアクションが実行されます。xpartitions.xml ファイルの使用方法和構文については、『階層デザイン手法ガイド』(UG748) を参照してください。



## デザイン保持

PlanAhead のプロジェクト構造では、階層ネットリスト ソースからプロジェクトを作成し管理できます。このボトムアップ合成手法により、デザインの残りの部分を維持したまま選択したモジュールのみをアップデートできます。

PlanAhead と ISE のパーティション機能を使用すると、選択したパーティションの配置と配線をロックでき、後の run に使用できます。

このインクリメンタル デザイン手法により、より一貫したインプリメンテーション結果が出力され、検証時間も削減され、デザインのクロージャ時間も削減されます。この機能は「デザイン保持」と呼ばれ、1 つのデザインの特定モジュールをインプリメントしてロックし、後の実行に再利用するために使用されます。

## パーシャル リコンフィギュレーション

PlanAhead には、パーシャル リコンフィギュレーションプロジェクトを設定し、インプリメントし、管理する環境が含まれています。PlanAhead では、ISE Design Suite インプリメンテーション ツールに含まれるパーティションとパーシャル リコンフィギュレーション機能が使用されます。

## 階層デザインのマニュアル

階層デザイン手法の詳細は、『階層デザイン手法ガイド』(UG748) と『[PlanAhead ソフトウェア チュートリアル：予測可能な結果に対する保存デザインの利用](#)』(UG747) を参照してください。

パーシャル リコンフィギュレーションに関するマニュアルは、次から入手できます。

<http://japan.xilinx.com/tools/partial-reconfiguration>

ライセンスは、ザイリンクス Web サイト <http://japan.xilinx.com/getproduct> から入手できます。

次の文書を参照してください。

- PlanAhead ソフトウェア チュートリアル：パーシャル リコンフィギュレーション フローの概要 (UG743)
- PlanAhead ソフトウェア チュートリアル：プロセッサ ペリフェラルのパーシャル リコンフィギュレーション (UG744)
- パーシャル リコンフィギュレーション ユーザー ガイド (UG702)

## デザイン保持のための PlanAhead の使用

次のセクションでは、PlanAhead から使用可能なデザイン保持機能について説明します。

- 「[デザイン保持のための PlanAhead の使用](#)」
- 「[パーティションの設定](#)」
- 「[パーティションの run 設定](#)」
- 「[パーティションのプロモート](#)」
- 「[パーティションのインポート](#)」

## パーティションの設定

ネットリストの階層デザイン モジュールにパーティションを設定できます。デザイン保持機能を使用するには、別々に合成された同じロジック モジュールのパーティションを定義しておく必要があります。これにより、ネットリストとパーティションが別々になり、再利用できるようになります。

**メモ：**PlanAhead の階層デザイン機能では、ネットリスト ベースのプロジェクトしかサポートされません。RTL ベースのプロジェクトの場合は、パーティション コマンドが表示されません。

パーティションを設定するには、次の手順に従います。

1. [Netlist] ビューでパーティションを設定するモジュール インスタンスを選択します。
2. 右クリックし、[Set Prohibit] をクリックします。
3. 次の図のように、[Netlist] ビューに新しいアイコンが表示され、[Instance Properties] ビューに [Partitions] タブが表示されます。

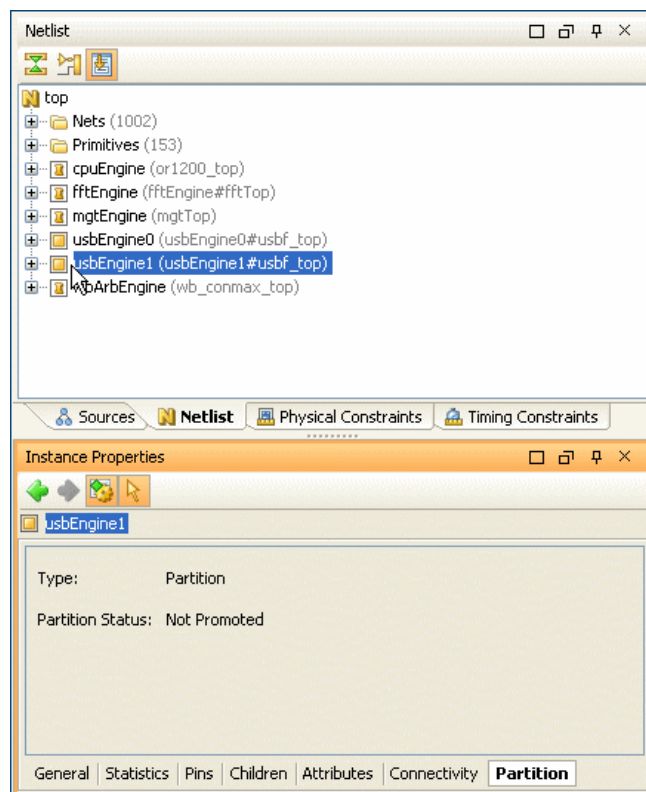


図 13-1 : [Netlist] ビューのパーティション

プロジェクトでパーティションが設定されると、残りのデザインも自動的にパーティションになります。この最上位のパーティションは、デザインのアップデート中に変更しないのであれば、プロモートするかインプリメントして保持できます。

## パーティション プロパティの表示

インスタンスのパーティション プロパティは、図 13-1 のように、そのインスタンスを選択すると、[Instance Properties] ビューの [Partitions] タブに表示されます。

このビューには、パーティションのディレクトリとプロモートされた日付が表示されます。

## パーティションの run 設定

パーティション アクションは、PlanAhead から起動されるインプリメンテーション run ごとに設定できます。各パーティションをインプリメントするかインポートするかは、ユーザーが指定する必要があります。PlanAhead は、一番最近のプロモートに基づいて最適なアクションを設定します。各 run を起動する前にパーティション アクションが問題なく設定されているかどうか確認してください。

パーティション アクションを設定するには、次の手順に従います。

1. 次の図のように、Flow Navigator で [Implement] ボタンの横にあるプルダウン メニューから [Implementation Settings] を選択します。

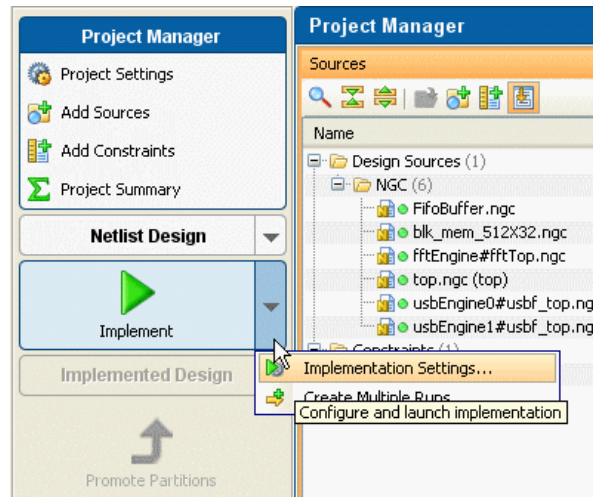


図 13-2：インプリメンテーション設定

[Implementation Settings] ダイアログ ボックスで run の起動オプションを設定します。[Specify Partitions] フィールドには、そのパーティションに現在設定されているアクションが表示されます。

2. 次の図のように、[Specify Partitions] フィールドの参照ボタンをクリックします。

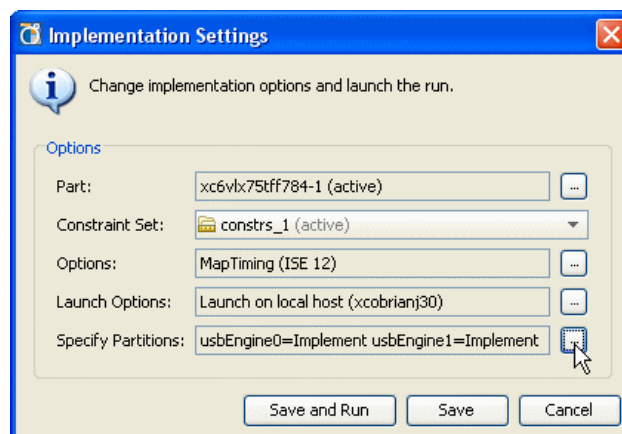


図 13-3：[Implementation Settings] ダイアログ ボックス

[Specify Partition] ダイアログ ボックスの各パーティションの [Action] 列を [Implement] または [Import] に指定します。

最初にデザインをインプリメントする場合は、インプリメントされたパーティションをインポートするプロモート ディレクトリがないので、すべてのパーティションを [Implement] に設定する必要があります。

3. パーティション アクションを設定します。
4. パーティションをインポートする場合は、[Import from] 列でディレクトリを指定し、[OK] をクリックします。

次の図は、[Specify Partition] ダイアログ ボックスを示しています。

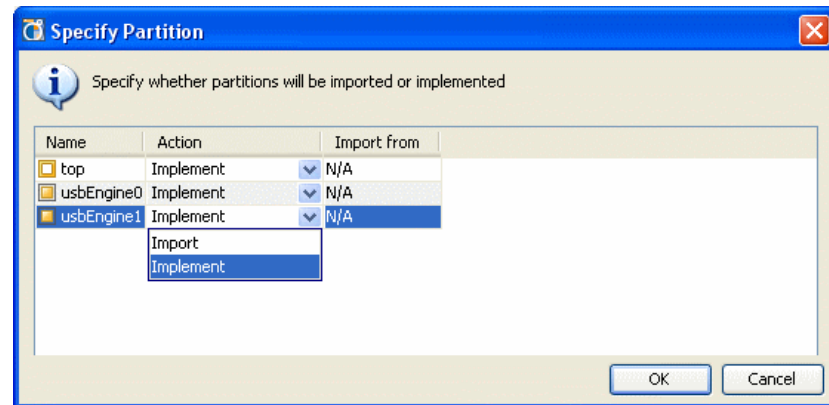


図 13-4 : [Specify Partitions] ダイアログ ボックス

5. [Implementation Settings] ダイアログ ボックスで [Run] をクリックし、新しいパーティション アクション設定でインプリメンテーションを開始します。
6. [Compilation Log] ビューで ISE コマンド ステータスをモニタします。
7. ISE の NGDDBuild コマンドが終了したら、[Report] タブをクリックし、NGDDBuild レポートを確認します。run でパーティションに対して実行されたアクションが NGDDBuild レポートに表示されます。

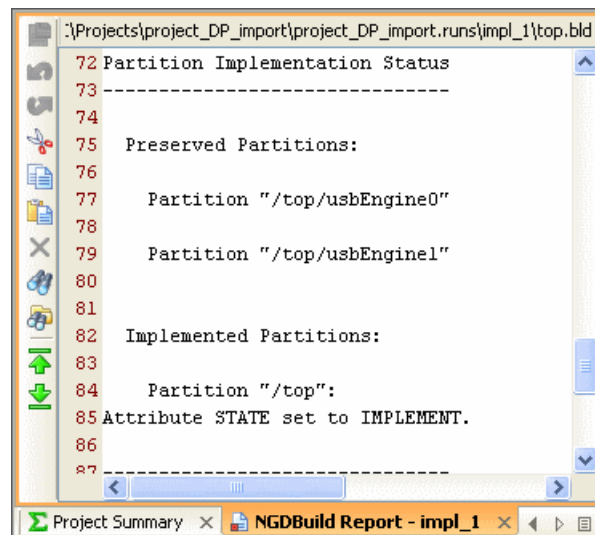


図 13-5 : NGDDBuild レポートのパーティション アクションの表示

## パーティションのプロモート

要件を満たしたインプリメンテーションが達成されると、ISE の結果ファイルをレポジトリ ディレクトリにコピーして後でインポートできます。このプロセスはパーティションの「プロモート」と呼ばれます。パーティションは、PlanAhead で問題なくインプリメントされた run からのみプロモートできます。

パーティションをプロモートするには、次の手順に従います。

1. Flow Navigator で [Promote Partitions] ボタンをクリックします。次の図のダイアログ ボックスが表示されます。

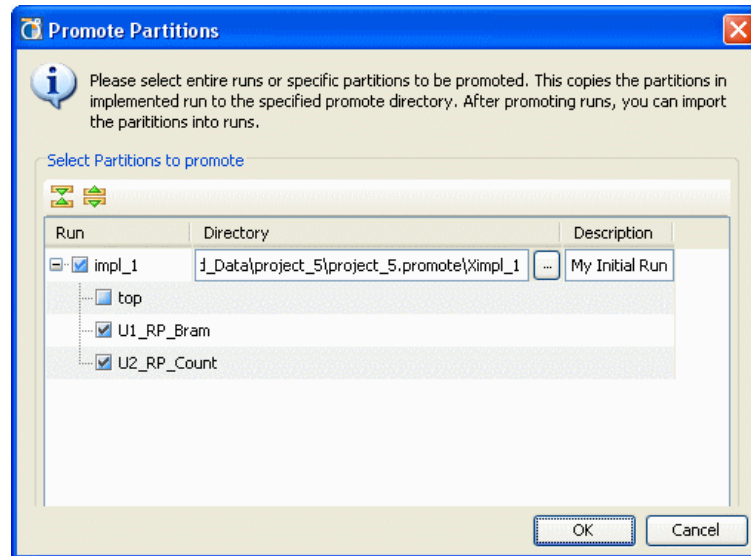


図 13-6：パーティションのプロモート

[Promote Partitions] ダイアログ ボックスでは、プロモートするパーティションが定義できます。デフォルトでは、すべてのパーティションが選択されます。最上位レベルのパーティションは選択されません。

2. ダイアログ ボックスをデフォルトのままにするか、プロモートするパーティションのみを選択して適用します。
3. オプションで、[Description] フィールドに詳細を入力することもできます。
4. [OK] をクリックします。

[Promoted Partitions] ビューが開きます。

**メモ：**すべてのパーティションを 1 つのディレクトリにプロモートおよびインポートすることをお勧めします。デフォルトでは同じプロモート ディレクトリが使用されます。この方法を使用すると、以前にプロモートしたディレクトリを上書きするかどうか尋ねるメッセージが表示されます。詳細については、『階層デザイン手法ガイド』(UG748) を参照してください。

パーティションがプロモートされたら、次のインプリメンテーションのパーティション アクション設定がデフォルトで [Import] になります。

## [Promoted Partitions] ビューの使用

[Promote Partitions] ビューは、[Promote Partitions] コマンドを実行すると表示されます。

[Promoted Partitions] ビューを開くには、[Window] → [Promoted Partitions] をクリックします。次の図は、[Promoted Partitions] ビューを示しています。

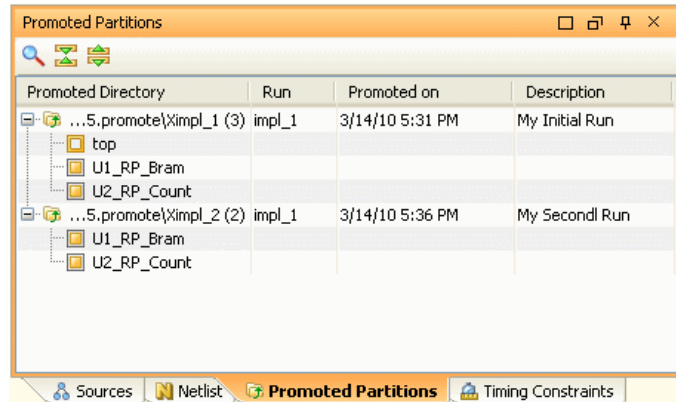


図 13-7 : [Promoted Partitions] ビュー

各プロモーションがツリー形式で表示され、プロモートされたパーティション、ソースのインプリメンテーション run、プロモートされた日時、などの詳細が表示されます。

### プロモートされたパーティションの削除

/Project ディレクトリを削除すると、前にプロモートしたディレクトリを削除できます。プロモートディレクトリ全体が run からのプロモートされたパーティションすべてを含めて削除されます。

プロモート ディレクトリを削除するには [Promoted Partitions] ビューでそのディレクトリを右クリックし、[Delete] をクリックします。

## パーティションのインポート

パーティションがプロモートされたら、それらをその後の run にインポートできます。パーティションをインポートすると、残りのデザインをインプリメントする前に、配置配線でプロモートされたパーティションの run がコピーされ、新規 run にインポートされ、同じ結果を維持できます。

### ネットリスト ソースのアップデート

デザインを修正すると、そのアップデートされたネットリストが自動的に検出されるか（リモートソースを使用している場合）、プロジェクトでアップデートされ、既存ネットリストがアップデートされます。ソース ファイルがアップデートされたら、[Netlist Design] を開くか読み込み直して、ロジックの変更を適用します。詳細は、[第 5 章の「デザイン ソース ファイルの管理」](#)を参照してください。

### ロジック アップデートに基づいたパーティション アクションの設定

[388 ページの「パーティションの run 設定」](#)の記述のように、各 run に対してパーティションアクションを設定する必要があります。

- アップデートされたネットリストを含むパーティションは [Implement] に設定する必要があります。
- パーティションに変更がない場合は、[Import] に設定する必要があります。

PlanAhead は、プロモートされたパーティションすべてのパーティション アクションを自動的に [Import] に設定し、インポート元の最新のプロモート ディレクトリを選択します。ただし、ロジック アップデートを自動的に認識して該当するパーティションを [Implement] に設定することはありません。

次の図は、[Specify Partition] ダイアログ ボックスを示しています。

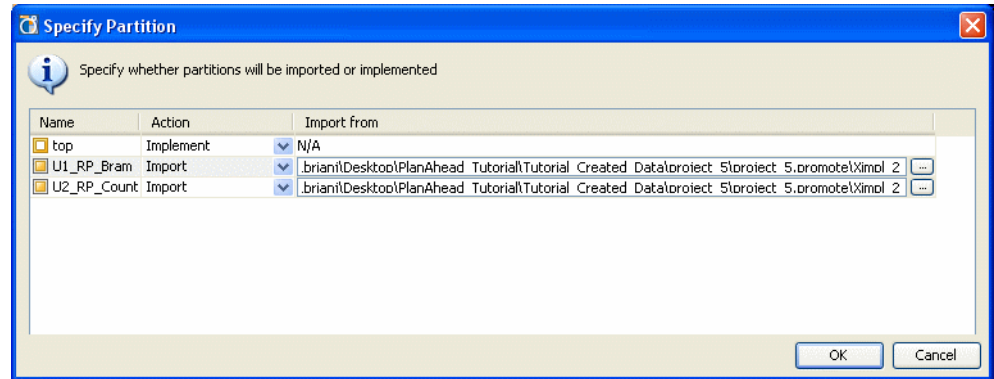


図 13-8：パーティションのインポート

ISE の NGDBuild レポートには、各 run のパーティション アクションに関する情報が含まれます。レポートを表示するには、[Reports] ビューのタブをクリックして NGDBuild レポートを開きます。次の図は、NGDBuild レポートのパーティション アクティビティを示しています。

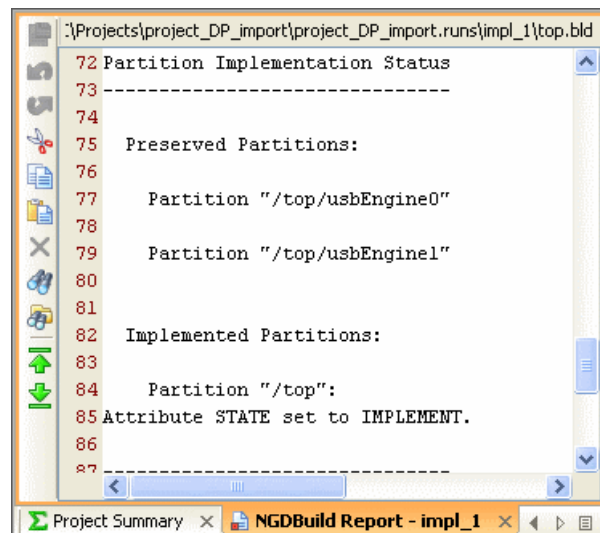


図 13-9：NGDBuild レポートのパーティション インポート アクション

問題なく保持されたパーティションがプロモート ディレクトリからコピーされ、新規 run に貼り付けられます。これにより、インポートされたパーティションの結果が同じになります。

デザイン保持手法に関する詳細は、『階層デザイン手法ガイド』(UG748) と『PlanAhead ソフトウェア チュートリアル：予測可能な結果に対する保存デザインの利用』(UG747) を参照してください。



# Tcl およびバッチ スクリプト

---

本章は、次のセクションで構成されています。

- [「PlanAhead の Tcl 機能の概要」](#)
- [「PlanAhead の起動」](#)
- [「一般的な Tcl 構文のガイドライン」](#)
- [「ファースト クラスの Tcl オブジェクトとその関係」](#)
- [「エラー、警告、情報メッセージ」](#)
- [「Tcl コマンド」](#)
- [「Tcl リファレンス」](#)

## PlanAhead の Tcl 機能の概要

Tcl (Tool Command Language) は PlanAhead™ ソフトウェア環境に統合されたスクリプト言語です。Tcl はデザイン制約および SDC (Synopsys® Design Constraints) に対する業界標準言語です。

SDC は、Synopsys 社の Synplify やその他のベンダー ツールから FPGA 合成ツールへタイミング制約を渡すメカニズムで、Altera 社の Quartus のタイミング制約言語でもあります。ザイリンクスではできるだけ業界標準に合わせるようにしているので、Tcl のインフラストラクチャがスクリプト言語に最も適しています。

Tcl を使用することで、自動スクリプトだけでなく、デザイン ツールに対するインタラクティブな要求が実行可能になっています。Tcl にはデザイン データベースから、ツール、デザイン設定、ステートなどに関する情報をインタラクティブに取り出す機能があります。たとえば、特定のタイミング解析レポート コマンドをクエリ検索したり、インクリメンタル制約を適用したり、ツールの手順を再実行しなくてもビヘイビアが予測通りかどうか直後にクエリを実行して確認できます。

次のセクションでは、PlanAhead に関する基本的な Tcl 機能について説明します。

**メモ：**この章には、Tcl コマンドすべてに関する説明は含まれません。含まれるのは、Tcl リソースへのリファレンス、PlanAhead 環境での一般的な Tcl の機能に関する説明のみです。

## ジャーナル ファイルの Tcl

PlanAhead ソフトウェアを起動すると、GUI またはバッチ モードのどちらかで実行された操作ログを含む 2 つのファイルが作成されます。

- PlanAhead.log
- PlanAhead.jou

このログ ファイルから Tcl コマンドをコピーして Tcl コマンド ウィンドウまたはバッチ ファイルのどちらかで使用できます。

ファイルのディレクトリについては、[付録 B「PlanAhead の入力ファイルおよび出力ファイル」](#)を参照してください。

## Tcl ヘルプ

Tcl の `help` コマンドを使用すると、サポートされる Tcl コマンドの概要が表示されます。`help` コマンドを引数を指定せずに実行すると、すべてのコマンドのリストが表示されます。次は、特定のコマンドを `help` コマンドの引数として指定する例を示しています。

```
help get_cells
```

これにより、このコマンド情報がコンソールとログ ファイルの両方に表示されます。また、次のように `help` オプションを指定すると `help` 構文が表示されます。

```
get_cells -help
```

## [Tcl Console] タブ

PlanAhead の GUI 環境には、操作が実行されると Tcl コマンドを反映するエリアが含まれ、実行したタスクの結果を元に情報、警告、エラー メッセージが表示されます。[Tcl Console] タブは、PlanAhead 環境の一番下にあり、GUI の幅に固定されています。[Tcl Console] タブの右側 (スクロールバーの右) には、警告やエラーが色付きのインジケータで示されます。警告があれば黄色、エラーの場合は赤色で表示されます。これにより、素早く警告やエラーを見つけることができます。次の図は、[Tcl Console] タブを示しています。

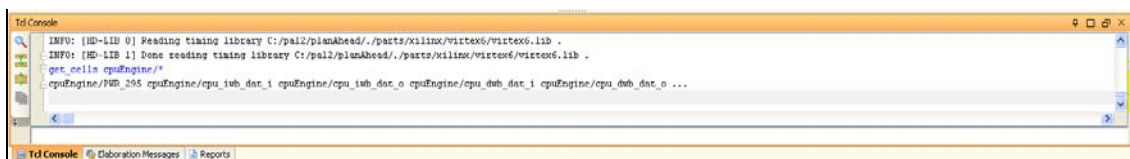


図 14-1 : [Tcl Console] タブ

## PlanAhead の起動

PlanAhead には、主に次の 3 つの操作モードがあります。

- GUI モード (デフォルト)
- Tcl コマンド ライン オプションからの PlanAhead 実行ファイルの起動 (バッチ モード)
- Tcl シェル モード

バッチ モードおよび Tcl シェル モードについては、次のセクションでそれぞれ説明します。

### バッチ モード

バッチ モードは、スクリプトを実行してツールをシャットダウンします。PlanAhead をバッチ モードで起動するには、次を入力します。

```
planAhead -mode batch -source <script_name.tcl>
```

### Tcl シェル モード

Tcl モードは Windows のコマンド シェルや Linux シェルのようなシェルを起動します。これは GUI を起動しないインタラクティブなシェルセッションです。

スクリプトは `source` オプションで渡すことができます (オプション)。これにより、スクリプトが実行された後、Tcl コマンドを手動で入力できるインタラクティブなシェルに制御が渡されます。Tcl シェル モードで PlanAhead を起動するには、次を入力します。

```
PlanAhead -mode tcl -source <script_name.tcl>
```

## 一般的な Tcl 構文のガイドライン

Tcl では、OS に関係なく Linux の表記規則 (/) が使用されます。

次のセクションでは、PlanAhead で Tcl を使用する際の一般的な構文ガイドラインについて説明しています。

### Tcl スクリプトの source コマンド

次のコマンド ライン オプションを使用すると、Tcl スクリプトを `source` コマンドで実行できます。

```
source - <file_name>
```

PlanAhead の GUI でこれを実行するには、[Tools] → [Run Tcl Script] をクリックします。

### 一般的な構文構造

PlanAhead の Tcl コマンドの一般的な構造は、次のとおりです。

```
<command> [optional_parameters] <required_parameters>
```

コマンド構文は、アンダースコア ( \_ ) で区切られた「動詞-名詞」および「動詞-形容詞-名詞」の構文になります。この構造は、一目でわかりやすく、覚えやすいようになっています。

コマンドは、関連するコマンド同士に同じ接頭辞が付けられて、グループ分けされています。

- クエリを実行するコマンドには、通常 `get_` が接頭辞として付いています。
- 値やパラメータを設定するコマンドには、通常 `set_` が接頭辞として付いています。

- レポートを生成するコマンドには、通常 `report_` が接頭辞として付いています。

これまでの **PlanAhead** バージョンとは違い、コマンドに修飾子 `hdi::` を付ける必要はありません。コマンドに付属するサブコマンド也没有ありません。

## 構文例

次は、`get_cells -help` コマンドを実行した例です。

```
get_cells -help
Description:
Get a list of cells in the current design
Syntax:
get_cells [-hierarchical] [-regex] [-nocase] [-filter <arg>] [-of_objects <args>] [-quiet] [<patterns>...]
Returns:
list of cell objects
Usage:
```

Name	Optional	Default	Description
-hierarchical	yes	false	Search level-by-level in current instance
-regex	yes	false	Patterns are full regular expressions
-nocase	yes	false	Perform case-insensitive matching
-filter	yes		Filter list with expression
-of_objects	yes		Get cells of these pins or nets
-quiet	yes	false	Ignore command errors
<patterns>	yes	*	Match cell names against patterns

## 不明コマンド

Tcl には、通常サポートされるビルトイン コマンド、Tcl インタープリタに渡される **PlanAhead** 特有のコマンド、およびユーザー定義のプロシージャのリストが含まれます。

これらの既知のコマンドに含まれないコマンドは **OS** に送信され、`exec` コマンドからシェルで実行されます。これにより、**OS** と関係なくシェル コマンドを実行できるようになります。シェル コマンドがない場合、コマンドが見つからなかったことを示すエラー メッセージが表示されます。

## リターン コード

コマンドの中には、オブジェクトのリストやコレクションなどのリターンが出力されるものがあります。ほかのコマンドの場合、処理は実行しても、ユーザーが直接利用できるような値を必ず返すとは限りません。Tcl インターフェイスを統合したツールの中には、コマンドでエラーのない場合は 0、エラーがある場合は 1 を返すものもありますが、オブジェクトのリストを返すコマンドと組み合わせて使用する場合はこれらの値は返されません。

コマンドが問題なく実行されたかどうかを確認するには、Tcl のビルトイン コマンドの `catch` を使用します。PlanAhead のコマンドはすべて標準的な Tcl メカニズムを使用して `TCL_OK`、`TCL_ERROR`、`$ERROINFO` を返すので、Tcl スクリプトのエラーを検出するには `catch` コマンドが一番便利です。これらの値は返されたり、インタープリタで変数に設定されるわけではなく、指定

したコマンドのエラーの有無によってログ ファイルに 0 や 1 が返されたりすることはありません。一般的には、`catch` コマンドと番号付き情報/警告/エラー メッセージは、Tcl スクリプトのフローで問題がどのように評価されるかによって異なるべきです。

## Tcl スクリプトの実行

Tcl スクリプトはコマンド ライン オプションの 1 つか、GUI の [File] メニューのどちらかから実行できます。Tcl スクリプトが GUI から起動されると、進捗バーのダイアログ ボックスが表示され、スクリプトが終了するまですべての GUI 操作がブロックされます。

現在のところ、ランタイム中にスクリプトの実行を一時停止する方法はないので、標準的な OS 手法のプロセスを停止 (kill) する方法で強制終了するしかありません。PlanAhead プロセスが強制終了されると、プロジェクトは最後に保存した状態に戻ります。

## ファースト クラスの Tcl オブジェクトとその関係

PlanAhead の Tcl からは、ネットリスト、デバイス、プロジェクトのオブジェクト モデルへ直接アクセスできます。これらオブジェクトは「ファースト クラス」と呼ばれます。これは、単なるストリング記述以上のものであり、そこで操作ができ、クエリを行えることを意味します。例外もありますが、通常はオブジェクトとしてクエリを行えます。これらのオブジェクトには、クエリを行えるプロパティが含まれ、ほかのオブジェクトを取得できる関係があります。

## オブジェクト タイプと定義

PlanAhead には多くのオブジェクト タイプがありますが、ここでは基本的なタイプの定義と説明のみが記述されます。最も基本的で重要なオブジェクト タイプは、デザイン ネットリストのエンティティと関連しています。詳細は、次のセクションでそれぞれ説明します。

### セル

セルは、プリミティブまたはネットリスト内の階層のいずれかのインスタンスです。これには、フリップフロップ、LUT、I/O バッファ、RAM、DSP のほか、ほかのセルのコレクションのラップである階層インスタンスが含まれます。

### ピン

ピンはセル上の論理接続ポイントです。ピンにより、セル内部が抽象化されて使用しやすくなります。ピンは、階層またはプリミティブのセル上に存在します。ピンには、クロック ピン、データ ピン、リセット ピン、フリップフロップの出力ピンなどが含まれます。

### ポート

ポートは、特殊なタイプの階層ピン、最上位レベルのオブジェクト、モジュールまたはエンティティ上のピンです。ポートは通常 I/O パッドに接続され、FPGA デバイスの外側に接続されます。

### ネット

ネットは、ワイヤまたは物理的に直接相互接続されるワイヤのコレクションです。ネットは、階層またはフラットにできます。

### クロック

クロックは、デザイン内のシーケンシャル ロジックへ伝搬される周期的な信号です。クロックは主にクロック ドメインにできるほか、DCM、PLL、MMCM などのクロック プリミティブで生成で

きます。クロックは UCF の TIMESPEC PERIOD 制約とほぼ同じで、スタティック タイミング解析アルゴリズムの基礎になっています。

## オブジェクトのクエリ

ファースト クラス オブジェクトはすべて、通常次のように Tcl コマンドの `get` を使用してクエリ検索できます。

```
get_<object_type> <pattern>
```

`pattern` が検索パターンの場合、必要であれば階層区切りを使用して名前を指定します。オブジェクトは通常、階層の各レベルで指定されているストリング パターンに一致するものがクエリ検索されます。検索パターンには次のようにワイルドカードも使用でき、オブジェクトを見つけやすくなっています。

```
get_cells */inst_1
```

このコマンドでは、最上位レベルのすぐ下の階層の最初のレベルで `inst_1` という名前のセルが検索されます。階層のすべてのレベルで繰り返し同じパターンを使用して検索する場合は、次の構文を使用してください。

```
get_cells -hierarchical inst_1
```

このコマンドでは、`inst_1` に一致するインスタンスが全階層レベルで検索されます。

構文の詳細については、次のコマンドでヘルプ情報を参照してください。

```
help get_cells
get_cells -help
```

## オブジェクト プロパティ

オブジェクトには、クエリを実行できるプロパティが含まれます。プロパティ名はオブジェクト タイプによってそれぞれ異なります。オブジェクトに特有のプロパティをクエリ検索するには、次のコマンドを使用します。

```
get_property <property_name> <object>
```

次の例では、セル オブジェクトの `lib_cell` プロパティを検索するもので、該当するインスタンスがどの UniSim コンポーネントにマップされているかがわかります。

```
get_property lib_cell [get_cell inst_1]
```

指定したオブジェクトに使用可能なプロパティすべてを表示する場合は、`report_property` コマンドを使用します。

```
report_property [get_cells inst_1]
```

キー	値	タイプ
bel	OLOGICE1.OUTFF	string
class	cell	string
iob	TRUE	string
is_blackbox	0	bool
is_fixed	0	bool
is_partition	0	bool

キー	値	タイプ
is_primitive	1	bool
is_reconfigurable	0	bool
is_sequential	1	bool
lib_cell	FD	string
loc	OLOGIC_X1Y27	string
name	error	string
primitive_group	FD_LD	string
primitive_subgroup	flop	string
site	OLOGIC_X1Y27	string
type	FD & LD	string
XSTLIB	1	bool

プロパティの中には、読み出し専用のものもあれば、ユーザーの設定可能なものもあります。UCF や HDL でアノート可能な属性にマップされるプロパティは、通常 Tcl コマンドの `set_property` でユーザーが設定できます。

```
set_property loc OLOGIC_X1Y27 [get_cell inst_1]
```

### プロパティに基づいたフィルタ

オブジェクト クエリの `get_*` コマンドには、そのオブジェクトのプロパティ値に基づいてクエリにフィルタをかけるオプションがあります。これは、非常に優れたオブジェクト クエリ コマンド機能です。たとえば、プリミティブ タイプ **FD** のセルをすべてクエリ検索するには、次を入力します。

```
get_cells * -hierarchical -filter "lib_cell == FD"
```

また、`==` を使用すると、ストリング パターンでフィルタできます。たとえば、デザインに含まれるすべてのフリップフロップ タイプをクエリ検索するには、次を入力します。

```
get_cells * -hierarchical -filter "lib_cell =~ FD*"
```

OR (`||`) や AND (`&&`) を使用すると、複数のフィルタ プロパティを組み合わせて検索できます。次の例では、デザイン内のセルすべての中から、フリップフロップ タイプで、さらに配置済みロケーション制約が設定されているものをクエリ検索できます。

```
get_cells * -hierarchical -filter {lib_cell =~ FD* && loc != ""}
```

この例では、フィルタ オプションの値が `"` ではなく、`{ }` で囲まれています。これはインタープリタによるコマンド変換を回避する標準的な Tcl 構文で、これにより `loc` プロパティに空のストリングを渡すことができます。

### オブジェクトのリスト (コレクション)

複数のオブジェクトを返すコマンドは、通常ネイティブ Tcl リストのようなコンテナ (コレクション) を返します。これは Tcl オブジェクトの大規模コレクションを劇的に最適化できる PlanAhead の機能で、Tcl ビルトイン コマンドの `foreach` で処理される `foreach_in_` コレクションのような特殊な反復コマンドを必要としません。

リストが大きい場合、ログ ファイルと GUI の Tcl コンソールでの表示が少し異なります。通常、`get_*` コマンドの結果に対して Tcl 変数を設定すると、リスト全体がコンソールとログ ファイルに



表示されますが、リストが大きいと、バッファのメモリ オーバーフローを回避するために、それが一部省略されます。

コンソールとログ ファイルで省略があると、最後のエレメントが「...」と表示されます。

次は、1 つのセルをクエリ検索した場合と、デザインに含まれるすべてのセルをクエリ検索した場合 (リストが大きの場合) の例です。

```
get_cells inst_1
inst_1
get_cells * -hierarchical
XST_VCC XST_GND error readIngressFifo wbDataForInputReg fifoSelect_0
fifoSelect_1 fifoSelect_2 fifoSelect_3 ...
%set x [get_cells * -hierarchical]
XST_VCC XST_GND error readIngressFifo wbDataForInputReg fifoSelect_0
fifoSelect_1 fifoSelect_2 fifoSelect_3 ...
%lindex $x end
bftClk_BUFGP/bufg
%llength $x
4454
```

この例では、4000 セルすべては表示されておらず、... で省略をされています。実際に最後のエレメントが ... なわけではありません。

## オブジェクトの関係

関連するオブジェクトは、**get\_\*** コマンドに **-of** オプションを付けるとクエリ検索できます。たとえば、あるセル ロジックに接続されたピンのリストを取得するには、次を入力します。

```
get_pins -of [get_cells inst_1]
```

次は、PlanAhead のオブジェクト タイプとその関係を示す図で、矢印はその **get\_\*** コマンドに対して **of** オプションを使用して、論理接続に関係なく接続されたオブジェクトへの Tcl リファレンスを取得できるかどうかを示しています。

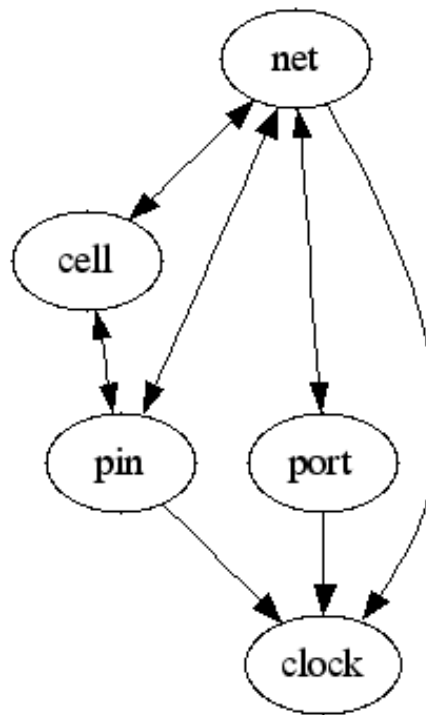


図 14-3 : PlanAhead のオブジェクトの関係

## エラー、警告、情報メッセージ

各コマンドの結果を示すメッセージはログ ファイルと、GUI を使用中であればコンソールにも表示されます。これらのメッセージには識別しやすいように番号が付いています。ログ ファイルでは INFO、WARNING、ERROR と最初に表示され、サブシステム識別子や独自の番号が付きます。

次は、タイミング ライブラリを読み込んだ後に表示される INFO メッセージの例です。

**INFO: [HD-LIB 1] Done reading timing library**

これらのメッセージにより、ログ ファイルで特定の問題が検出しやすくなり、コマンド実行中の動作内容が理解しやすくなります。

通常、Tcl スクリプトからの Tcl コマンドでエラーが発生すると、続くコマンドの実行は一時停止されます。これは、回復不可能なエラー状況を避けるためです。Tcl には、これらのエラー状況を回避して続行させるためのビルトイン コマンドがあります。一般的な Tcl メカニズムを使用したエラー処理方法については、catch コマンドを使用して Tcl リファレンスのいずれかを参照してください。

## Tcl コマンド

次のセクションは、PlanAhead で最もよく使用されるコマンドについて説明します。

### プロジェクトの作成および管理

PlanAhead プロジェクトの作成および管理を制御する Tcl コマンドは多数あります。次の表は、プロジェクトの作成および管理に関して最もよく使用されるコマンドのみをリストしています。

表 14-1 : Tcl プロジェクト管理コマンド

コマンド	説明
create_project	プロジェクトを新規作成する
open_project	既存プロジェクトを開く
close_project	作業中のプロジェクトを閉じる
get_project	複数プロジェクトが開いている場合、名前でプロジェクトのクエリを実行
current_project	複数プロジェクトが開いている場合、現在開いているプロジェクトを返す
save_project_as	作業中のプロジェクトを別のディレクトリに保存
add_files	プロジェクトへソース ファイルを追加
remove_files	プロジェクトからソース ファイルを削除
open_rtl_design	エラボレーション済みの RTL デザインを開く
open_netlist_design	合成後のネットリスト デザインを開く
open_impl_design	インプリメンテーション後のデザインを開く
close_design	作業中のデザインを閉じる

各コマンドの詳細は、それぞれコマンドを実行してヘルプ情報を参照してください。

## フロー制御

次の表には、合成およびインプリメンテーションのフローを制御する Tcl コマンドのリストが含まれます。

表 14-2 : フロー制御コマンド

コマンド	説明
launch_runs	合成およびインプリメンテーションの run を起動
wait_on_run	起動された run が終了するまでスクリプトの実行を停止
create_run	ストラテジに基づいて新しく run を作成
reset_run	run ステータスをリセット
current_run	作業中の run を返す
get_runs	コンフィギュレーション済みの run すべてをクエリ検索
delete_run	指定した run を削除

各コマンドの詳細は、それぞれコマンドを実行してヘルプ情報を参照してください。

## オブジェクト アクセス

次の表は、オブジェクトのクエリを行う Tcl コマンドをリストしています。

表 14-3 : Tcl クエリ コマンド

コマンド	説明
get_cells	セル オブジェクトをクエリ検索
get_pins	ピン オブジェクトをクエリ検索
get_ports	ポート オブジェクトをクエリ検索
get_nets	ネット オブジェクトをクエリ検索
get_clocks	クロック オブジェクトをクエリ検索
get_sites	デバイス サイト オブジェクトをクエリ検索
get_iobanks	IO バンク オブジェクトをクエリ検索
report_property	オブジェクトに使用可能なプロパティのリストを生成
set_property	オブジェクトにプロパティ値を設定
get_property	オブジェクトの特定プロパティをクエリ検索

各コマンドの詳細は、それぞれコマンドを実行してヘルプ情報を参照してください。

## レポート

次の表は、情報レポートを生成して、コンソールまたはレポート ファイルへ表示するために最もよく使用される Tcl コマンドをリストしています。

表 14-4 : Tcl レポート コマンド

コマンド	説明
report_property	指定したオブジェクトのプロパティ名とその詳細を返す
report_timing	スタティック タイミング解析レポートを生成
repot_ssn	同時スイッチ ノイズ (SSN) レポートを生成
report_drc	デザイン ルール チェック (DRC) レポートを生成
report_power	電力概算レポートを生成
report_constraint	制約違反レポートを生成
report_resource	リソース使用率レポートを生成

各コマンドの詳細は、それぞれコマンドを実行してヘルプ情報を参照してください。

## GUI 制御

次の表は、GUI での一部のビヘイビアを制御する Tcl コマンドをリストしています。これらのコマンドは、[Device] ビューでオブジェクトを検索したり、回路図とデバイスの配置図間を連動させる場合などに便利です。これらのコマンドは GUI を使用しないバッチ モードやインタラクティブな Tcl モードでは使用できません。

表 14-5 : Tcl GUI コマンド

コマンド	説明
<code>select_objects</code>	オブジェクトを選択 (GUI でクリックして選択するのと同じ)。選択したオブジェクトを拡大表示する場合に便利なコマンド
<code>unselect_objects</code>	オブジェクトの選択を解除
<code>mark_objects</code>	拡大レベルに関係なくマーカをオブジェクトに付ける
<code>unmark_objects</code>	マーカを削除
<code>highlight_objects</code>	指定した色でオブジェクトをハイライト
<code>unhighlight_objects</code>	ハイライトを削除

各コマンドの詳細は、それぞれコマンドを実行してヘルプ情報を参照してください。

## Tcl リファレンス

次は、推奨される Tcl リファレンスです。

### Tcl Developer Xchange

Tcl リファレンス資料は、インターネットから入手できます。ザイリンクスでは、Tcl のオープンソース ベースを維持する Tcl Developer Xchange サイトをお勧めしています。

<http://www.tcl.tk>

入門用チュートリアルは、次から入手できます。

<http://www.tcl.tk/man/tcl/tutorial/tcltutorial.html>

### SDC について

SDC は、Synopsys Design Constraints を省略したもので、特にタイミング解析のために設計意図とツール間をつなぐ業界標準です。SDC 仕様のリファレンス コピーは、次の Synopsys のサイトから登録をすると入手できます。

<http://www.synopsys.com/Community/Interoperability/Pages/TapinSDC.aspx>

### 使用可能な Tcl マニュアル

Tcl のリファレンス マニュアルは、各自でご購入ください。お勧めするマニュアルは、次の 2 冊です。

- 『Practical Programming in Tcl and Tk』、著者 Brent Welch
- 『Tcl and the Tk Toolkit』、著者 John K. Ousterhout

# Project Navigator からの PlanAhead の使用

---

本章は、次のセクションで構成されています。

- [「統合の概要」](#)
- [「Project Navigator 内の PlanAhead のプロセス」](#)

## 統合の概要

PlanAhead™ ソフトウェアは特定のデザイン作業を行うためISE® ソフトウェアに統合されています。PlanAhead が ISE Project Navigator から起動されると、PlanAhead は ISE 統合モードで起動します。このモードでは、PlanAhead の機能は I/O ピン配置、フロアプラン、タイミング解析など、特定のデザイン作業にのみ適用されます。PlanAhead プロジェクトは、Project Navigator 環境で自動的に作成・管理されます。

PlanAhead を起動させる Project Navigator の [Processes] ウィンドウには次の 4 つのプロセスがあります。

- I/O ピン配置 (合成前)
- I/O ピン配置 (合成後)
- エリア/I/O/ロジックのフロアプラン (合成後)
- タイミング解析/デザインのフロアプラン (インプリメンテーション後)

この 2 つのツール間で渡されるデータや、PlanAhead で表示されるウィンドウ レイアウトは、どのようにツールが起動されたかによって変わります。統合に関する詳細は、[405 ページの「Project Navigator 内の PlanAhead のプロセス」](#)を参照してください。

PlanAhead には 2 つのデフォルト ビュー レイアウトがあります。

- I/O Planner と呼ばれる I/O ピン配置環境で、I/O ピンの配置に関連した表示機能を含みます。
- Design Planning 環境で、デザイン解析およびフロアプランに関連しています。

作業内容に合った正しいビュー レイアウトを使用することが重要です。

PlanAhead 表示環境の詳細は、[第 4 章「表示環境の使用」](#)を参照してください。ウィンドウ レイアウトの設定や読み込みの詳細は、[第 4 章の「表示環境の設定」](#)を参照してください。

## Project Navigator 内の PlanAhead のプロセス

Project Navigator と PlanAhead は、それぞれ独立した環境で、別のシステム プロセスの下で動作しています。2 のプロセスは、ツール間で効率的にデータを渡すために統合されています。1 つのツ

ルでデザイン データに変更が加えられても、リアル タイムにはもう 1 つのツールで自動認識はされませんので、両方のツールで同時にロジックや制約の編集はしないでください。PlanAhead は目的に合わせて起動し、Project Navigator デザイン データを更新する前に閉じてください。Project Navigator のプロセスは、PlanAhead で変更された UCF ファイルを認識するため、データが保存されると同期します。次のセクションでは、ツールの起動ステップおよび統合を可能にするデータ トランザクションについて説明します。

## ロジックおよび制約の受け渡し

ISE 統合モードでの PlanAhead では、I/O ピン、論理 LOC および AREA\_GROUP 制約に対する物理的な制約のみを変更することができます。RTL ソースや合成ネットリストでの論理接続は PlanAhead に解析目的のためのみ渡され、Project Navigator には戻されません。ロジックやタイミング制約を変更する PlanAhead の機能は ISE 統合モードでは使用できないようになっています。

ロジックの変更はすべて Project Navigator または外部 RTL や合成ツールで行う必要があります。Project Navigator に戻されるファイルは UCF 制約ファイルのみです。

PlanAhead では、コメントや不完全な制約などを含め、UCF ファイルの元の内容とフォーマットが保持されます。デザインで制約が有効であるかどうかは、PlanAhead を開いたり閉じたりするときにはチェックされません。これは Project Navigator の変換プロセスでチェックされます。

PlanAhead が起動すると、Project Navigator プロジェクトの UCF ソース ファイルが PlanAhead に渡され、物理制約を追加したり変更したりできます。

PlanAhead で [Save Project] コマンドを使用すると、変更された UCF ファイルが元の Project Navigator のソースの保存場所へ書き込まれます。PlanAhead で制約を変更し [Exit] コマンドを使用すると、ツールを閉じる前に Project Navigator プロジェクトに変更を保存するかどうかを確認するメッセージが表示されます。

PlanAhead を起動し Project Navigator プロジェクトに UCF ファイルがない場合、UCF を作成するかどうかを確認するプロンプトが表示されます。この空の UCF ファイルは PlanAhead に渡されます。

複数の UCF ファイルを持つ Project Navigator プロジェクトがサポートされています。PlanAhead を起動する前に複数ある UCF ファイルの 1 つを選択するようプロンプトが表示されます。

- PlanAhead で定義された新しい制約はすべて選択した UCF ファイルに書き込まれます。
- 選択されなかった UCF ファイルに存在する物理制約は、PlanAhead でその制約の値が変更されても、同じファイルの中に残ります。

Project Navigator デザイン フローで使用されるコア レベルの NCF ファイルは PlanAhead には渡されません。PlanAhead でこれらのファイルにある物理制約を使用・表示するには、PlanAhead を起動する前に最上位 UCF ファイルに手動でまとめておく必要があります。

一時的な PlanAhead プロジェクトは ISE プロジェクト ディレクトリに作成され、PlanAhead が Project Navigator から起動されるたびに削除および置換されます。



## I/O ピン配置 (合成前)

合成ネットリストを作成する前に I/O ピン配置を早期に実行することができます。これには、PlanAhead をスタンドアロンで起動するか、または Project Navigator のこのプロセスを実行します。

**メモ:** デザインプロセスのこの段階では、論理合成はまだ実行されていません。クロック ポート、クロック関連ロジック、差動ペア、GT などのコンセプトはツールには認識されていません。このようなタイプのポートはインプリメンテーション エラーを避けるために正しく配置されていることを必ず確認する必要があります。できる限り I/O ピン配置は論理合成の後に実行してください。ネットリストがある場合はクロック、クロック ロジック、差動ペア、GT などは、PlanAhead でのピン配置中に自動的に認識されます。インプリメンテーション前に配置の有効性を確認するための、論理接続およびクロックに基づき実行されるデザイン ルール チェック (DRC) も多数備わっています。

合成前に Project Navigator で I/O ピン配置を実行するには、次の手順に従ってください。

- [Processes] ウィンドウで [User Constraints] を展開し [IO Pin Planning (PlanAhead) - Pre-Synthesis] をダブルクリック

または

- [Tools] [PlanAhead] [Pre-Synthesis - IO Pin Planning] をクリック

PlanAhead が起動すると、Project Navigator からすべての RTL ソース ファイル、最上位モジュール名、UCF ファイルが PlanAhead に渡されます。PlanAhead には、デフォルトで I/O ピンを配置するための I/O Planner ビュー レイアウトが表示されます。RTL エラボレートが実行され、最上位 I/O ポートが抽出され PlanAhead の [I/O Ports] ビューに表示されます。

PlanAhead プロジェクトを保存したり閉じたりすると、元の Project Navigator ソース UCF ファイルがアップデートされます。Project Navigator デザインプロセスのステートはこれでリセットされます。

Project Navigator との統合およびプロセスについての詳細は、[406 ページの「ロジックおよび制約の受け渡し」](#)を参照してください。

PlanAhead の I/O ピン配置環境 (I/O Planner) の使用方法については、[第 8 章「I/O ピン配置」](#)を参照してください。

## I/O ピン配置 (合成後)

**メモ:** できる限り I/O ピン配置は論理合成の後に実行してください。ネットリストがある場合はクロック、クロック ロジック、差動ペア、GT などは、PlanAhead でのピン配置中に自動的に認識されます。インプリメンテーション前に配置の有効性を確認するための、論理接続およびクロックに基づき実行されるデザイン ルール チェック (DRC) も多数備わっています。

合成実行後に Project Navigator で I/O ピン割り当てを実行するには、[Processes] ウィンドウで [User Constraints] を展開し [IO Pin Planning (PlanAhead) - Post-Synthesis] をダブルクリックするか、または [Tools] → [PlanAhead] → [Post-Synthesis - IO Pin Planning] をクリックします。

PlanAhead が起動すると、Project Navigator から合成された NGC または EDIF フォーマットのネットリストおよび UCF ファイルが PlanAhead に渡されます。PlanAhead には、デフォルトで I/O ピンを配置するための I/O Planner ビュー レイアウトが表示されます。I/O ポートは、PlanAhead の [I/O Ports] ビューに表示されます。

PlanAhead プロジェクトを保存したり閉じたりすると、元の Project Navigator ソース UCF ファイルがアップデートされます。Project Navigator デザイン プロセスのステートはこれでリセットされます。

Project Navigator との統合およびプロセスについての詳細は、[406 ページの「ロジックおよび制約の受け渡し」](#)を参照してください。PlanAhead の I/O 配置環境の使用方法については、[第 8 章「I/O ピン配置」](#)を参照してください。

## エリア/I/O/ロジックのフロアプラン (合成後)

PlanAhead にはインプリメンテーションの前後に使用できるデザイン解析およびフロアプラン環境があります。ロジック合成後、インプリメンテーション前に Project Navigator でデザインを解析するか、フロアプランを実行するには、次の手順に従ってください。

- [Processes] ウィンドウで [User Constraints] を展開し [Floorplan Area/I/O/Logic (PlanAhead) - Post-Synthesis] をダブルクリック

または

- [Tools] [PlanAhead] [Post-Synthesis - Floorplan Area/I/O/Logic] をクリック

PlanAhead が起動すると、Project Navigator から合成された NGC または EDIF フォーマットのネットリストおよび UCF ファイルが PlanAhead に渡されます。PlanAhead がデフォルトのデザイン解析およびフロアプラン環境で起動します。

**メモ：**下位 NGC コア ファイルがデザインで使用されソースとして追加されていない場合、Project Navigator で、変換プロセスのプロパティであるマクロ検索パス (-sd) を該当ディレクトリに設定します。

PlanAhead プロジェクトを保存したり閉じたりすると、元の Project Navigator ソース UCF ファイルがアップデートされます。Project Navigator デザイン プロセスのステートはこれでリセットされます。

Project Navigator との統合およびプロセスについての詳細は、[406 ページの「ロジックおよび制約の受け渡し」](#)を参照してください。インプリメンテーション前に PlanAhead を使用方法については、[第 5 章「RTL および IP デザイン」](#)を参照してください。

インプリメンテーション後に PlanAhead を使用方法については、[第 10 章「インプリメンテーション結果の解析」](#) および [第 11 章「デザインのフロアプラン」](#)を参照してください。

## タイミング解析/デザインのフロアプラン (インプリメンテーション後)

PlanAhead にはインプリメンテーション後に使用できるデザイン解析およびフロアプラン環境があります。インプリメンテーション後のデザイン解析では、潜在的なデザインの問題を認識するために配置結果およびタイミング結果を確認できます。

物理的な LOC または AREA\_GROUP フロアプラン制約を設定し、インプリメンテーション ツールでよりよく、安定した結果が得られるよう、また、インプリメンテーション ランタイムを短縮できるようにすることができます。

インプリメンテーション後に Project Navigator からデザインを解析するか、フロアプランを実行するには、次の手順に従ってください。

- [Processes] ウィンドウで [Implement Design] → [Place & Route] を展開し [Analyze Timing/Floorplan Design (PlanAhead) - Post-Synthesis] をダブルクリック

または

- [Tools] [PlanAhead] [Post-Implementation - Analyze Timing/Floorplan Design] をクリック

Project Navigator からは、次のファイルが PlanAhead に渡されます。

- 合成済み NGC または EDIF フォーマットのネットリスト
- UCF ファイル
- ISE 配置データ
- タイミング結果

PlanAhead がデフォルトのデザイン解析およびフロアプラン環境で起動します。PlanAhead で ISE 配置データを抽出するには、XDL コマンドをまず実行する必要があります。このコマンドを実行すると、拡張子が .xdl のファイルが生成されます。

このコマンドの実行進捗状況を示すバーが PlanAhead に表示されます。PlanAhead の再起動をスピードアップさせるため、まず XDL ファイルが存在するかどうかチェックされ、最新のものがあられる場合は再生成されません。

古い日付のインプリメンテーション プロセスで [Tools] → [PlanAhead] → [Post Implementation - Analyze Timing /Floorplan Design] をクリックすると、デザインを再インプリメントし PlanAhead を起動するか、または既存結果データでインプリメンテーション ツールを再実行せずに PlanAhead を起動するかを選択するプロンプトが表示されます。

PlanAhead プロジェクトを保存したり閉じたりすると、元の Project Navigator ソース UCF ファイルがアップデートされます。Project Navigator デザイン プロセスのステートはこれでリセットされます。



## メニューおよびツールバー コマンド

この付録には、次の PlanAhead コマンドに対するクイック リファレンスが含まれています。次の 2 つのセクションに分けてコマンドを説明します。

- 「メイン メニュー コマンド」
- 「ツールバー コマンド」

### メイン メニュー コマンド

次の表に、PlanAhead ソフトウェアのメイン メニュー コマンドを示します。ウィンドウのポップ アップ メニュー コマンドは、このマニュアルの別の章を参照してください。

コマンドには、特定の PlanAhead モードでのみ使用できるものがあります。使用できないコマンドは、ディスエーブルされるかグレー表示されています。

#### [File] メニュー

[File] メニューには、次のコマンドが含まれています。

表 A-1 : [File] メニューのコマンド

コマンド	説明
New Project	新しいプロジェクトを作成するための New Project ウィザードが起動します。
Open Project	PlanAhead で以前に保存された既存のプロジェクト ファイルを開きます。プロジェクトを開くと、そのプロジェクトに関連する以前に開いたフロアプランもすべて開きます。また、ISE™ でのインプリメンテーション実行すべての最新のステータスも復元されます。
Reopen Project	以前に開いたプロジェクトのリストからプロジェクトを開きます。
Open Example Project	サンプル プロジェクトを選択するメニューを開きます。
Close Project	作業中のプロジェクトを閉じます。 変更が保存されていない場合は、保存を尋ねるダイアログ ボックスが表示されます。
Save Design	作業中のデザインを保存します。
Save Project	作業中のプロジェクトを保存します。
Save Project As	作業中のプロジェクトを別名または別のディレクトリで保存します。

表 A-1 : [File] メニューのコマンド (続き)

コマンド	説明
Add Sources	ソース ファイルまたはディレクトリ全体をプロジェクトに追加します。
Create Source	[New Source File] ダイアログ ボックスが開き、ソース ファイルを作成します。
Add Existing IP	既存の IP をプロジェクトに追加します。
Add Constraints	制約セットをプロジェクトに追加します。
Set PR Project	プロジェクトをパーシャル リコンフィギュレーションプロジェクトに設定します (ライセンス使用可能の場合)。
Print	作業中のウィンドウを印刷します。このコマンドは、[Schematic] ビュー、[Device] ビュー、[Package] ビュー、または [Hierarchy] ビューが開いているときにのみ使用できます。
Exit	アプリケーションを終了します。

## [Edit] メニュー

[Edit] メニューには、次のコマンドが含まれています。

表 A-2 : [Edit] メニューのコマンド

コマンド	説明
Delete	現在選択されているオブジェクトを削除します。
Unplace	選択したプリミティブ インスタンスまたは I/O ポートの配置を解除します。
Undo	作業中のセッションで直前に実行した Tcl コマンドを取り消します。
Redo	最後に実行した [Undo] コマンドをやり直します。
Save File	作業中のファイルを保存します。
Find in Files	[Find in Files] ダイアログ ボックスが開き、選択したファイルで文字列を検索します。

## [View] メニュー

[View] メニューには、次のコマンドが含まれています。

表 A-3 : [View] メニューのコマンド

コマンド	説明
Show Navigator/Hide Navigator	Project Navigator を表示/非表示します。

表 A-3 : [View] メニューのコマンド

Zoom In	アクティブなグラフィック ウィンドウを 200% 拡大して表示します。
Zoom Out	アクティブなグラフィック ウィンドウを 50% 縮小して表示します。
Zoom Fit	アクティブなグラフィック ウィンドウの内容全体をフィットさせます。
Zoom Area	アクティブなウィンドウで長方形を描画して、そのエリアを拡大表示します。
Fit Selection	ズーム レベルを調整してアクティブなウィンドウに選択したアイテムをすべてフィットさせます。
Fit Highlight	ズーム レベルを調整してアクティブなウィンドウにハイライトしたアイテムをすべてフィットさせます。
Fit Markers	ズーム レベルを調整してアクティブなウィンドウにマークを付けたアイテムをすべてフィットさせます。

## [Flow] メニュー コマンド

表 A-4 : [Flow] メニュー コマンド

コマンド	説明
Project Manager	Project Manager を開きます。
Netlist Design	ネットリスト デザインを開始します。
Implement	インプリメンテーションを開始します。
Implement Settings..	[Implementation Settings] ダイアログ ボックスを開きます。
Implemented Design	インプリメンテーション済みのデザインを開きます。
Generate Bitstream	ビットストリームを生成します。
Launch ChipScope Analyzer	ChipScope Analyzer を起動します。
Launch iMPACT	iMPACT を起動します。
Launch FPGA Editor	FPGA Editor を起動します。



## [Tools] メニュー

[Tools] メニューには、次のコマンドが含まれています。

表 A-5：[Tools] メニューのコマンド

コマンド	説明
Resource Estimation	Design Planner の [Resource Utilization] を起動します。
Create Pblocks	Create Pblock ウィザードで、選択したインスタンスを割り当てた Pblock を複数作成します。
Auto-create Pblocks	[Auto-create Pblock] ダイアログ ボックスが開き、Pblock にインスタンスが自動的に配置され、名前が付けられます。
Place Pblocks	[Place Pblocks] ダイアログ ボックスで Pblock のサイズを自動的に変更して配置します。
Auto-place I/O Ports	デバイス全体または選択した部分を I/O バンク規則、差動ペア規則、およびグローバル クロック ピン規則に従って配置します。
Clear Placement	Clear Placement Constraints ウィザードを起動して、ポートまたは配置ロケーション制約を選択して削除します。
Schematic	ワークスペースに新しい [Schematic] ビューを開いて、現在選択されているエレメントの回路図を開きます。
Show Connectivity	選択したインスタンス、ネット、または Pblock に接続されているエレメントを選択します。このコマンドを連続して使用し、ロジック コーンをファンアウトまたは選択できます。
Show Hierarchy	ワークスペースに [Hierarchy] ビューを開き、ロジック階層全体をグラフィック表示します。ツリー内の選択されたロジックは、ハイライトされます。
Report Timing	[Run Timing Analysis] ダイアログ ボックスを開いて、スタティック タイミング アナライザの設定をカスタマイズして実行します。
Slack Histogram	Endpoints ウィザードの Generate Slack Histogram を起動します。
Run DRC	[Run DRC] ダイアログ ボックスを開いて、デザインルール チェック (DRC) の設定をカスタマイズして実行します。
Run Noise Analysis	[Run SSN Analysis] ダイアログ ボックスを開いて SSN 解析レポートを生成します。Virtex <sup>AE</sup> -6 デザインのみで使用できます。
Create Multiple Runs	[Run Synthesis] ダイアログ ボックスが開き、合成実行の作成および起動ができます。
Setup ChipScope	ChipScope™ Pro Analyzer を起動します。
Run Tcl Script	[Run Script] ダイアログ ボックスで Tcl スクリプト ファイルを選択して実行します。
Options	[Options] ダイアログ ボックスを開いて、表示、選択、ショートカットのオプション、ストラテジなどを設定します。

## [Window] メニュー

[Window] メニューには、次のコマンドが含まれています。

表 A-6 : [Window] メニューのコマンド

コマンド	説明
Project Summary	[Project Summary] ビューを表示します。
Netlist	[Netlist] ビューを表示します。
Sources	[Sources] ビューを表示します。
Physical Constraints	[Physical Constraints] ビューを表示します。
Timing Constraints	[Timing Constraints] ビューを表示します。
Package Pins	[Package Pins] ビューを表示します。
I/O Ports	[I/O Ports] ビューを表示します。
ChipScope	[ChipScope] ビューを表示します。
Clock Regions	[Clock Regions] ビューを表示します。
Metrics	[Metrics] ビューを開きます。
Properties	[Properties] ビューを表示します。
Selection	[Selection] ビューを表示します。
Tcl Console	[Console] ビューを表示します。
Timing Results	[Timing Results] ビューにタイミング結果を表示します。
DRC Results	[DRC Results] ビューに DRC 結果を表示します。
SSN Results	[SSN Results] ビューを表示します。
Find Results	[Find Results] ビューに検索したオブジェクトを表示します。
Find in Files Results	[Find in Files] ビューに検索したオブジェクトを表示します。
Design Runs	[Design Runs] ビューに実行を表示します。
Compilation Log	コンパイル ログ ファイルを開きます。
Compilation Messages	コンパイルのメッセージを表示します。
Reports	[Report] ビューを開きます。
Metric Reports	[Metric Reports] ビューを開きます。
New Device View	ワークスペースに新しい [Device] ビューを開きます。
New Package View	ワークスペースに新しい [Package] ビューを開きます。

表 A-6：[Window] メニューのコマンド (続き)

View Log File	planAhead.log が開きます。このログ ファイルにはPlanAhead のコマンドを実行したときに生成されるメッセージの内容が含まれています。
View Journal File	planAhead.jou が開きます。このジャーナル ファイルには起動した PlanAhead セッションの Tcl コマンドすべてが含まれています。

## [Select] メニュー

[Select] メニューには、次のコマンドが含まれています。

表 A-7：[Select] メニューのコマンド

コマンド	説明
Unselect All	選択したエレメントをすべて選択解除します。
Unselect Type	特定のタイプのエレメントの選択を解除します。
Select Area	アクティブなワークスペースでエリアを選択するためにカーソルで長方形を描画できるようにします。
Highlight	アクティブなハイライト色を使用して選択したオブジェクトをすべてハイライトします。
Unhighlight All	オブジェクトのハイライトをすべて解除します。
Unhighlight	選択したオブジェクトのハイライトを解除します。
Unhighlight Color	指定した色のハイライトを解除します。
Mark	[Device] ビューで選択したオブジェクトにマークを付けます。
Unmark	[Device] ビューでオブジェクトに付けたマークを解除します。
Unmark All	オブジェクトのマークをすべて削除します。

## [Layout] メニュー

[Layout] メニューには、次のコマンドが含まれています。

表 A-8 : [Layout] メニューのコマンド

コマンド	説明
Load Default Layout	ユーザー定義のデフォルトのビュー レイアウトがある場合は、そのレイアウトが読み込まれます。
Save as Default Layout	<p>現在のビュー設定をデフォルトとして保存して、<b>PlanAhead</b> の起動時に使用します。このレイアウトは <b>PlanAhead</b> が起動するたびに使用されます。</p> <p><b>Windows</b> では、次のディレクトリにファイルが保存されます。</p> <ul style="list-style-type: none"> <li>- C:\Documents and Settings\<username>\Application Data\HDI\layouts\application_layout\default.layout</username></li> </ul> <p><b>Linux</b> または <b>Solaris</b> では、次のディレクトリ にファイルが保存されます。</p> <ul style="list-style-type: none"> <li>- ~/.HDI/layouts/application_layout/default.layout</li> </ul>
Clear Default Layout	現在のユーザー定義のデフォルト レイアウトを消去します。
Save Layout As	<p>現在のビュー設定をユーザー定義の名前で保存します。これらのレイアウトは、<b>PlanAhead</b> の起動時に手動で読み込むことができます。</p> <p><b>Windows</b> では、次のディレクトリにファイルが保存されます。</p> <p><b>Windows</b> では、次のディレクトリにファイルが保存されます。</p> <ul style="list-style-type: none"> <li>- C:\Documents and Settings\<username>\Application Data\HDI\layouts\floorplan_layout\<layoutname>.layout</layoutname></username></li> </ul> <p><b>Linux</b> または <b>Solaris</b> では、次のディレクトリ にファイルが保存されます。</p> <ul style="list-style-type: none"> <li>- ~/.HDI/layouts/application_layout/&lt;layoutname&gt;.layout</li> </ul>
Load Layout	以前に保存したレイアウト、デフォルトの <b>PlanAhead</b> レイアウト、または <b>PlanAhead</b> で提供されるその他のレイアウトを読み込みます。
Remove Layout	以前に保存したユーザー定義のレイアウトを削除します。
Undo	最後に実行したコマンドを取り消します。
Redo	最後に実行した [Undo] コマンドをやり直します。

## [Help] メニュー

[Help] メニューには、次のコマンドが含まれています。

表 A-9：[Help] メニューのコマンド

名前	説明
What's New	PlanAhead リリース ノートが別のウィンドウに開きます。
PlanAhead User Guide	『PlanAhead ユーザー ガイド』を別のウィンドウに開きます。
PlanAhead Methodology Guides	Web サイト上の PlanAhead 手法ガイドが開きます。
Tutorial	PlanAhead のチュートリアルを別のウィンドウに開きます。
Check for Updates	ザイリンクスの Web サイトにソフトウェア アップデートがあるかを確認し、アップデートが可能な場合はインストールするためのメッセージが表示されます。
Manage License	XLCM (Xilinx License Configuration Manager) を起動しソフトウェア ライセンスを確認・管理します。
Obtain a License Key	デフォルト ブラウザに、ザイリンクスのウェブサイトの PlanAhead のページを開きます。
PlanAhead on the Web	デフォルト ブラウザに、ザイリンクスのウェブサイトの PlanAhead のページを開きます。
About PlanAhead	PlanAhead のバージョン情報および著作権情報を表示します。

## ツールバー コマンド

PlanAhead には、よく使用されるコマンドを含むツールバーがあります。次の表に、各コマンドのツールバー ボタンおよびショートカット キーを示します。

表 A-10：ツールバー コマンド






ツール バー	コマンド名	ショート カット キー	説明
	New Project		New Project ウィザードを開きます。
	Open Project		[Open Project] ダイアログ ボックスを開きます。
	Save Project	Ctrl + S	作業中のデザインの制約を保存します。
	Run Tcl Script		[Run Script] ダイアログ ボックスが開き Tcl スクリプトを選択・実行できます。
	Undo	Ctrl + Z	アクティブな PlanAhead セッションで実行したコマンドを取り消します。
	Redo	Shift Ctrl + Z	アクティブな PlanAhead セッションで取り消したコマンドをやり直します。

表 A-10 : ツールバー コマンド (続き)

ツール バー	コマンド名	ショート カット キー	説明
	Delete	Delete	現在選択されているアイテムを削除します。
	Find	Ctrl + F	[Find] ダイアログ ボックスを開いて特定のデザイン エレメントを検索します。
	Unhighlight All	Ctrl + K	オブジェクトのハイライトをすべて解除します。
	Unmark All		オブジェクトのマークをすべて削除します。
	Unselect All	F12	選択したエレメントをすべて選択解除します。
	Show Sources view		[Sources] ビューを表示します。
	Project Settings		合成、インプリメンテーション、および IP に関連するオプションを設定するダイアログ ボックスを開きます。
	Project Summary		プロジェクト サマリを表示します。
	Run Place and Route		合成済みのネットリストに配置配線を実行します。
	Generate Bitstream		ビットストリームを生成します。
	Launch ChipScope Analyzer		ChipScope Analyzer を起動します。
	Launch iMPACT		iMPACT を起動します。
	Launch FPGA Editor		FPGA Editor を起動します。
	Run Resource Estimation		Resource Estimation を実行します。
	Run DRC		[Run DRC] ダイアログ ボックスを開いて、デザイン ルール チェック (DRC) を実行します。
 Synthesize	Run Synthesis	F11	[Run Synthesis] ダイアログ ボックスが開き、合成実行の作成および起動ができます。

表 A-10：ツールバー コマンド (続き)

ツール バー	コマンド名	ショート カット キー	説明
	Run Implementation		[Run Implementation] ダイアログ ボックスが開き、1 つまたは複数のホストでインプリメンテーション ストラテジを実行します (Linux のみ)。
	Options		[PlanAhead Options] ダイアログ ボックスを開きます。
	Schematic	F4	ワークスペースに新しい [Schematic] ビューを開き、あらかじめ選択してあったエレメントを表示します。
	New Device View		ワークスペースに新しい [Device] ビューを開きます。
	Clear Placement Constraints		Clear Placement Constraints ウィザードが開きます。このウィザードは、あらかじめ選択したオブジェクトに基づいています。
	Zoom In	Ctrl + I	アクティブなウィンドウを拡大表示します。
	Zoom Out	Ctrl + O	アクティブなウィンドウを縮小表示します。
	Zoom Area	Ctrl + R	ユーザー定義の長方形エリアを拡大表示します。
	Zoom Fit	Ctrl + G	アクティブなウィンドウ表示をフィットさせます。
	Fit Selection	F9	選択したオブジェクトすべてを表示するようにアクティブなワークスペースをフィットさせます。
	Select Mode		標準の選択モードに設定します。
	Select Area		エリア選択モードに設定します。
	Highlight		選択したオブジェクトをハイライトします。
	Mark	Ctrl + M	[Device] ビューで選択したオブジェクトにマークを付けます。



## 共通のポップアップ メニュー コマンド

ポップアップ メニュー コマンドには、複数のウィンドウで使用できるものが多数あります。次のコマンドは、PlanAhead の多くのウィンドウおよび環境で使用されます。

次のコマンドには、ロジックがあらかじめ選択されているときのみ使用可能なものもあります。ポップアップ メニューの内容は、アクティブなウィンドウや選択されているオブジェクトの種類によって異なります。

次に、共通の右クリック コマンドおよびその説明を示します。

- **[Instance Properties]/[Pblock Properties]/[Net Properties]** : 適切な **[Properties]** ビューを開きます。
- **[Delete]** : 選択したオブジェクトを削除します。削除する前に確認のダイアログ ボックスが表示されます。
- **[Unplace]** : 選択した配置制約を削除します。
- **[Assign]** : 選択したインスタンスを既存の **Pblock** に割り当てます。**[Select Pblock]** ダイアログ ボックスが表示され、インスタンスを割り当てる **Pblock** を選択できます。
- **[Unassign]** : 選択した **Pblock** へのインスタンス割り当てを削除します。
- **[Draw Pblock]** : **[Device]** ビューで長方形を描画できます。選択したインスタンスを割り当てた **Pblock** が作成されます。
- **[New Pblock]** : **[Physical Hierarchy]** ビューに、選択したインスタンスが割り当てられた新しい **Pblock** を作成します。長方形は作成されません。
- **[Clear Rectangle]** : **Pblock** から選択した長方形を削除します。**Pblock** は削除されません。
- **[Set Pblock Size]** : 任意の場所に新しい長方形を描画できます。ほかの既存の長方形が削除されます。
- **[Add Pblock Rectanble]** : **Pblock** に長方形を追加できます。**Pblock** に長方形以外の形を作成するときに便利です。
- **[Select Children]** : 選択した **Pblock** の子 **Pblock** すべてを選択します。
- **[Select Primitives]** : 現在の **[Schematic]** ビューに含まれるプリミティブ ロジック オブジェクトをすべて選択します。モジュールを選択した場合は、そのモジュール内のプリミティブ ロジック オブジェクトのみが選択されます。このコマンドは、その他のウィンドウでも使用できます。
- **[Select Primitives Parents]** : 選択されたプリミティブ ロジック オブジェクトすべての親モジュールを選択します。モジュールを選択した場合、モジュールは選択されたままになります。このコマンドはその階層にのみ適用され、モジュールの親が選択されます。このコマンドは、その他のウィンドウでも使用できます。
- **[Highlight Primitives]** : 選択されたモジュールのプリミティブ ロジックを、サブメニューで選択した色でハイライトします。このコマンドは、多くのウィンドウで使用できます。

モジュールのグループを選択した場合は、ポップアップ メニューのサブメニューで **[Cycle Colors]** オプションを選択して、各モジュール プリミティブに別々の色を使用してハイライトできます。








このコマンドは、ロジック階層のグループの配置位置を表示する場合にとっても便利です。**[Netlist]** ビューにあるモジュールのアイコンも同じ色でハイライトされるため、対応するオブジェクトが容易にわかります。

- **[Unhighlight Primitives]**：選択したプリミティブのハイライトを解除します。モジュールが選択されている場合は、これらのモジュール内のプリミティブ ロジック オブジェクトのハイライトが解除されます。
- **[Schematic]**：選択したロジックを含む **[Schematic]** ビューを新規作成します。
- **[Show Connectivity]**：選択したインスタンスに接続されているネットをすべて選択します。表示されているネットすべてが接続されているインスタンスを連続して選択しても、このコマンドを正しく実行できます。再度実行すると、ロジック コーンに含まれる次のグループの拡張ネットがハイライトされます。
- **[Show Hierarchy]**：デザイン全体を表示する **[Hierarchy]** ビューを表示します。このウィンドウでは、モジュール内の選択されたオブジェクトがハイライトされています。
- **[Fix Instances]**：ロジックの配置を固定します。ロジックが固定されると、ユーザー割り当てと見なされ、デフォルトで **ISE** にエクスポートされます。
- **[Unfix Instances]**：固定した配置を解除します。
- **[Highlight]**：現在選択されているハイライト色を使用して選択したオブジェクトをハイライトします。
- **[Highlight with]**：選択したハイライト 色を使用して選択したオブジェクトをハイライトします。
- **[Mark]**：[Device] ビューで選択されたエレメントすべてにマーク シンボルを付けます。
- **[Select]**：ポップアップ メニューが表示されるロケーションで選択可能なオブジェクトをリストしたサブメニューを開きます。これは、重なったオブジェクト間で特定のオブジェクトを選択するときに役立ちます。
- **[View]**：コマンドのサブメニューを開きます。
  - **[Zoom]**：現在の表示または選択したオブジェクトを拡大表示または縮小表示するコマンドのサブメニューを表示します。
  - **[Fit Selection]**：選択したオブジェクトすべてを含むように表示をフィットさせます。
  - **[Fit Highlight]**：ハイライトしたオブジェクト すべてを含むように表示をフィットさせます。
  - **[Fit Markers]**：マークを付けたオブジェクト すべてを含むように表示をフィットさせます。
  - **[Options]**：[PlanAhead Options] ダイアログ ボックスを表示します。このダイアログ ボックスは、[Tools] → [Options] でも開くことができます。詳細は、[145 ページの「PlanAhead の表示オプションのカスタマイズ」](#)を参照してください。
  - **[Refresh]**：表示を再描画し、最新の情報に更新します。
- **[Metric]**：表示可能なすべてのメトリックをリストするサブメニューを開きます。

## 共通のウィンドウ ツールバー コマンド

次に、最も一般的なウィンドウ ツールバー コマンドを示します。

表 A-11：共通のウィンドウ ツールバー コマンド

ツールバー ボタン	コマンド	説明
	Show Search	テーブル リスト で任意の列を検索対象として使用するテキスト ベースのフィルタ 機能をイネーブルにします。
	Collapse All	展開表示したツリー全体を非展開します。
	Expand All	ツリー全体を展開します。
	Automatically scroll to selected objects	特定のウィンドウで、新しく選択したオブジェクトまで自動的にツリーを展開してツリーをスクロールするか、しないかを切り替えます。すべてのウィンドウで、このコマンドがデフォルトでオンになっています。
	Automatically update the contents of this window	ほかのウィンドウでオブジェクトを新しく選択したときに、[Properties] ビューを自動的に更新してそのプロパティを表示するか、更新しないかを切り替えます。デフォルトではこのコマンドがオンになっています。
	Previous Object  Previous Position	選択したオブジェクトのリストを古い方へ戻ります。  ワークスペース ウィンドウでは、以前に使用したズーム レベルが反映されます。
	Next Object  Next Position	選択したオブジェクトのリストを新しい方へ戻ります。このボタンは、[Previous Object] ボタンを使用すると使用できるようになります。  ワークスペースは、その時点で使用していたズーム レベルで表示されます。

その他にも、ウィンドウ パナーに表示されるツールバー ボタンがあります。これらの詳細は、[第 4 章](#)の「ビュー パナーを使用したビューの操作」を参照してください。



# PlanAhead の入力ファイルおよび出力ファイル

---

この付録は、次のセクションから構成されています。

- [「PlanAhead への入力ファイル」](#)
- [「レポートの出力」](#)
- [「デフォルト環境での出力ファイル」](#)
- [「プロジェクト データの出力」](#)

## PlanAhead への入力ファイル

この付録では、デザイン データをインポートするときに使用されるフォーマットおよび手順を簡単に説明します

入力ファイルは、次のとおりです。リンクをクリックすると、その説明にジャンプします。

- [「RTL ソース ファイル \(Verilog/VHDL、その他のデザイン テキスト ファイル\)」](#)
- [「I/O ポート リスト \(CSV\)」](#)
- [「最上位ネットリスト \(EDIF、NGC\)」](#)
- [「モジュール レベルのネットリスト \(EDIF\)」](#)
- [「ザイリンクス コア \(NGC/NGO\)」](#)
- [「制約ファイル \(UCF / NCF / XNCF\)」](#)
- [「ザイリンクス ISE 配置結果 \(NCD / XDL\)」](#)
- [「ザイリンクス TRCE タイミング結果 \(TWX/TWR\)」](#)

PlanAhead™ では、入力ファイルの読み込み中に発生するエラー、警告、およびメッセージが planAhead.log ファイルに書き込まれます。これらのメッセージは、PlanAhead の [Console] ウィンドウにも表示されます。

## RTL ソース ファイル (Verilog/VHDL、その他のデザイン テキスト ファイル)

Verilog や VHDL ファイルをインポートおよびエラボレートして、ロジックを解析したり、ソースを修正することができます。元のソース ファイルはそのままの位置で参照することも、プロジェクトにコピーすることもできます。検索ディレクトリは、RTL ソース ファイルのインポート時に指定します。ディレクトリに含まれた認識可能なファイルおよびファイル タイプはすべてプロジェクトにインポートされます。

## I/O ポート リスト (CSV)

CSV (カンマ区切り) フォーマット ファイルは、インポートして I/O Planner の [I/O Ports] ウィンドウに表示できます。この機能は、I/O ピンを配置する空のプロジェクトでのみ使用できます。

これらの I/O ポートを物理パッケージ ピンに割り当てて、デバイス ピンの設定を定義できます。CSV ファイルの内容およびフォーマットの詳細は、第 8 章「I/O ピンの配置」を参照してください。

## 最上位ネットリスト (EDIF、NGC)

現バージョンの PlanAhead では、EDIF ネットリストのインポートがサポートされています。このネットリストは、Virtex<sup>®</sup>-4、Virtex-5、Virtex-6、Spartan<sup>®</sup>-3 または Spartan-6 デバイスの合成に使用されます。

PlanAhead では、階層デザイン手法をサポートする複数の EDIF ネットリストを使用してデザインを構築できます。最上位ロジックを選択すると、下位のモジュールが自動的にインポートされます。インクリメンタルなネットリストのインポート機能では、どのレベルのデザイン階層のネットリストでも更新できます。作成中のフロアプラン制約は、更新されても保持されます。

## モジュール レベルのネットリスト (EDIF)

PlanAhead では、階層デザイン手法をサポートする複数の EDIF ネットリストを使用してデザインを構築できます。最上位ロジックを選択すると、下位のモジュールが自動的にインポートされます。最上位ロジックを選択すると、下位のモジュールが自動的にインポートされます。 デザイン モジュールを検索する検索パスを定義できるため、デザインをアップデートするとき非常に柔軟に対応できます。PlanAhead のインクリメンタル ネットリスト インポート機能では、どのレベルのデザイン階層のネットリストでも更新できます。

## ザイリンクス コア (NGC/NGO)

PlanAhead では、ザイリンクス コア ファイルや XST 出力ネットリストなどの NGC フォーマットのネットリストを使用するデザインをサポートできます。NGC ファイルが最上位ネットリストなのか、またはモジュール レベルのネットリストなのかによって、PlanAhead での処理は異なります。PlanAhead でネットリストがインポートされる時、NGC および NGO フォーマットのコア ファイルは EDIF に自動的に変換されます。

- ザイリンクスの `ngc2edif` コマンドでは、NGC フォーマット ファイルが EDIF に変換されます。
- ザイリンクスの `ngc2edif` コマンドおよび `ngc2edif` コマンドでは、NGO フォーマット ファイルが EDIF に変換されます。

セキュリティ保護されているコアの場合は、LUT 式が変換された EDIF から削除されます。これらの種類の NGC または NGO コア ファイルは通常、パフォーマンスを最大にするよう手動で配置されます。フロアプランでこれらのパフォーマンスが向上することは稀です。このため、コア モジュール内のロジックはフロアプランしないでください。ただし、コア全体とその周辺ロジックのロケーションをフロアプランすることは可能です。

**メモ：** `ngc2edif` コマンドの出力ログは、PlanAhead を起動したターミナル ウィンドウに表示されます。 `ngc2edif` コマンドでは、使用が不可能であったり対応する NCF 制約と一致しなかったりした EDIF ファイルが生成される場合があります。このような問題が発生した場合は、問題を再現するためのデータを電子メールでザイリンクスまで送信してください。また、コアをインポートせずにフロアプランを継続できます。PlanAhead では、見つからないロジックに対してブラックボックスが作成されます。この場合 NGC コア ファイルのネットリストを ISE の `/run` ディレクトリにコピーする必要があります。

## 制約ファイル (UCF / NCF / XNCF)

PlanAhead では、タイミング制約および物理制約用の UCF、NCF、および XNCF フォーマット ファイルのインポートがサポートされています。PlanAhead では、複数の UCF ファイルをインポートできるので、物理制約、I/O 制約、およびタイミング制約を区別できます。

NCF ファイルなど、コア特有のモジュール レベルの制約もインポートできます。

PlanAhead ではザイリンクスでサポートされている UCF 制約がすべてサポートされています。UCF 制約およびサポートされる構文の詳細は、『制約ガイド』(UG612) を参照してください。

## ザイリンクス ISE 配置結果 (NCD / XDL)

PlanAhead では、XDL フォーマット データを使用して ISE 配置結果をインポートできます。XDL データはインプリメンテーション実行が PlanAhead から起動されると自動的に作成されます。

ISE コマンドが正しく実行されれば、XDL ファイルは <placed\_design\_name>.ncd ファイルから作成できます。XDL ファイルを作成したら、個々のブロックまたはデザイン全体の配置をインポートできます。

[Import Placement] コマンドを使用して、<placed\_design\_name>.ncd ファイルを指定すると、XDL コマンドが自動的に実行されます。

手動でこのコマンドを実行するには、ファイル構文は次のとおりです。

```
xdl -ncd2xdl <placed_design_name>.ncd
```

このコマンドを実行すると、<placed\_design\_name>.xdl ファイルが生成されます。

XDL コマンドのステータスは、PlanAhead ターミナル ウィンドウに表示されます。

## ザイリンクス TRCE タイミング結果 (TWX/TWR)

PlanAhead では、ザイリンクス `trce` コマンドで生成されるタイミング レポート (TWX および TWR) をインポートできます。インポートすると、すべての信号トレースおよび選択が [Timing Results] ウィンドウに表示されます。

## レポートの出力

このセクションでは、通常 PlanAhead デザイン操作で生成されるファイルについて簡単に説明します。これらのファイルは、重要な情報が含まれている可能性があります。最後の 2 つのレポートは自動的に生成されないため、ユーザーが作成する必要があります。

出力ログおよびレポート ファイルは次のとおりです。

- 「I/O ピン配置 (CSV)」
- 「I/O ピン配置 (RTL : Verilog または VHDL)」
- 「ログ ファイル (planAhead.log)」
- 「ジャーナル ファイル (planAhead.jou)」
- 「エラー ログ ファイル (planAhead\_pidxxxx.debug および hs\_err\_pidxxxx.log)」
- 「DRC 結果 (results\_x\_drc.txt)」
- 「タイミング解析結果 (Excel ファイル)」
- 「ネットリスト モジュール、Pblock、およびクロック領域統計レポート」



- 「SSN 解析レポート」(ユーザーが作成する必要あり)
- 「WASSO 解析レポート」(ユーザーが作成する必要あり)

## I/O ピン配置 (CSV)

CSV フォーマット ファイルで、すべての I/O ポート配置と関連するパッケージ ピン情報が含まれています。

このファイルは、RTL ポートのヘッダ定義および PCB 回路シンボル生成で使用されます。

## I/O ピン配置 (RTL : Verilog または VHDL)

Verilog または VHDL フォーマットのファイルで、すべての I/O ポートの配置がポートとして定義されています。このファイルは、RTL ポートのヘッダ定義で使用されます。

## ログ ファイル (planAhead.log)

ログ ファイル planAhead.log には、PlanAhead のコマンドを実行したときに生成されるメッセージの内容が含まれています。

このファイルは、次のディレクトリに作成されます。

- (Linux) PlanAhead の起動ディレクトリ
- (Windows) C:\Documents and Settings\<user>\Application Data\HDI

PlanAhead で [Window] → [View Log File] をクリックすると、このファイルを表示できます。

## ジャーナル ファイル (planAhead.jou)

ジャーナル ファイル planAhead.jou には、起動した PlanAhead セッションの Tcl コマンドすべてが含まれています。このファイルは、次のディレクトリに作成されます。

- (Linux) PlanAhead の起動ディレクトリ
- (Windows) C:\Documents and Settings\<user>\Application Data\HDI

ジャーナル ファイルを再生すると、前のセッションで使用したコマンドを再利用できます。Tcl スクリプトは、ジャーナル ファイルからコマンドをコピーすると生成できます。

このファイルでは、エラーを含むコマンドまたは再生する前の複数の PlanAhead セッションのコマンドを削除する必要がある場合があります。

**メモ :** PlanAhead の操作によっては、ジャーナル ファイルに Tcl コマンドが書き込まれないものがあります。

## エラー ログ ファイル (planAhead\_pidxxxx.debug および hs\_err\_pidxxxx.log)

エラー ログ ファイルには、PlanAhead のエラーをデバッグするときに役立つ重要な情報が含まれています。PlanAhead で内部例外エラーの警告ダイアログ ボックスが表示されると、エラー ファイルが次のディレクトリに保存されます。

- (Linux) PlanAhead の起動ディレクトリ
- (Windows) C:\Documents and Settings\<user>\Application Data\HDI

ザイリンクスのテクニカル サポートでケースを開くときは、PlanAhead ジャーナル ファイル (planAhead.jou) およびエラー ログ ファイル (planAhead.log) を添付してください。これらのファイルにはデザイン データは含まれていません。

## DRC 結果 (results\_x\_drc.txt)

デザイン ルール チェック (DRC) の結果は、次のディレクトリに作成される results\_x\_drc.txt に含まれています。

- (Linux) PlanAhead の起動ディレクトリ
- (Windows) C:\Documents and Settings\

DRC が実行されるたびに、PlanAhead の DRC ダイアログ ボックスに表示される結果を反映する内容の新しいファイルが生成されます。

## タイミング解析結果 (Excel ファイル)

タイミング解析の結果は、テキスト ファイルにエクスポートできます。データをエクスポートするには、[Timing Results] ウィンドウで [Export to Text File] アイコンをクリックします。

## ネットリスト モジュール、Pblock、およびクロック領域統計レポート

[Instance Properties]、[Clock Regions Properties]、および [Pblock Properties] ウィンドウに表示されるリソース統計はマイクロソフトの Excel 形式のファイルにエクスポートできます。このファイルには、リソース使用率、RPM、キャリー チェーンのサイズ、クロックおよびクロックが供給されるインスタンス、およびその他のリソースのデータなどの情報が含まれます。

データをエクスポートするには、これらのウィンドウの [Statistics] タブで [Export Statistics] ボタンをクリックします。ダイアログ ボックスが表示され、レポートに含める情報や階層のレベル数を定義でき、ファイル名および保存場所を指定できます。

## SSN 解析レポート

PlanAhead 同時スイッチ ノイズ (SSN) 解析の結果は、[Run SSN Analysis] ダイアログ ボックスでファイル名およびファイルを保存する場所を指定して、CVS 形式のレポート ファイルにエクスポートできます。

## WASSO 解析レポート

WASSO 解析の結果は、[Run WASSO Analysis] ダイアログ ボックスでファイル名およびファイルを保存する場所を指定して、テキスト形式のレポート ファイルにエクスポートできます。

## デフォルト環境での出力ファイル

このセクションでは、通常 PlanAhead デザイン操作中に生成されるファイルについて簡単に説明します。これらのファイルは、重要な情報が含まれている可能性があります。最後の 2 つのレポートは自動的に生成されないため、ユーザーが作成する必要があります。

出力ファイルは、次のとおりです。

- 「ウィンドウ表示オプション ファイル (planAhead.ini と <theme\_names>.patheme)」
- 「ウィンドウ レイアウト ファイル (<layoutname>.layout)」
- 「ショートカット スキーマ (default.xml)」
- 「ストラテジ ファイル (<strategyname>.psg)」

### ウィンドウ表示オプション ファイル (planAhead.ini と <theme\_names>.patheme)

初期化ファイル planAhead.ini には、表示色など PlanAhead 環境での表示オプションをはじめとする現時点でのツールのオプション設定がすべて含まれています。PlanAhead を閉じるときに、カスタム設定が次の PlanAhead セッションで使用できるように保存されます。

このファイルは、自動的にホーム ディレクトリに書き込まれます。通常書き込まれるディレクトリは、次のとおりです。 C:\Documents and Settings\<Username>\Application Data\HDI\<version\_number>\planAhead.ini.

PlanAhead を起動すると、まず最初に PlanAhead のインストール ディレクトリから自動的にインポートされます。その後、次のディレクトリからインポートされます。

- (Windows) C:\Documents and Settings\Owner\Application Data\HDI\<version\_number> (ファイルがある場合)
- (Linux) ~/.HDI/planAhead.ini

PlanAhead を起動すると、このファイルが PlanAhead のインストール ディレクトリから自動的にインポートされ、続けて ~/.HDI ディレクトリにこのファイルがある場合は、インポートされます。

カスタムのテーマ ファイルを今後のセッションで使用できるように保存するには、[PlanAhead Options] ダイアログ ボックスの [Themes] ページで [Save As] をクリックします。このページは、[Tools] → [Options] → [Themes] をクリックすると表示されます。

プルダウン メニューで、作業中の PlanAhead セッションに使用するテーマ ファイルを選択できます。詳細は、153 ページの「PlanAhead の動作の設定」を参照してください。

プルダウン メニューに含まれる [PlanAhead Light Theme] または [PlanAhead Dark Theme] を選択すると、あらかじめ設定されているデフォルト設定で次のディレクトリが上書きされます。

- (Windows) C:\Documents and Settings\Owner\Application Data\HDI\<version\_number>\planAhead.ini
- (Linux) ~/.HDI/planAhead.ini

カスタム設定が失われないように、カスタム設定ファイルのバックアップを保存しておいてください。

## ウィンドウ レイアウト ファイル (<layoutname>.layout)

ウィンドウ レイアウト ファイルは、[Save Layout As] または [Save as Default Layout] コマンドを使用して生成できます。このファイルには、現在の PlanAhead のデスクトップ表示設定が再び使用できるように保存されます。表示環境の設定は、次のサブディレクトリに保存されます。

- (Windows) C:\Documents and Settings\\Application Data\HDI\\layouts\
- (Linux) ~/.HDI

## ショートカット スキーマ (default.xml)

[PlanAhead Options] ダイアログ ボックスでは、アクセラレータ キー定義 (ショートカット スキーマ) を作成できます。これらのスキーマでは、PlanAhead コマンドへのキーワード ショートカットのマッピングを定義します。たとえば、Ctrl + F はデフォルトで [Edit] → [Find] コマンドにマップされています。複数のスキーマを定義、設定できます。これらのスキーマは、次のディレクトリに含まれるデフォルトの XML ファイルに保存されます。

- (Windows) C:\Documents and Settings\\Application Data\HDI\\layouts\
- (Linux) ~/.HDI/shortcuts

## ストラテジ ファイル (<strategyname>.psg)

ストラテジ ファイルには、ISE インプリメンテーション コマンドすべてに対するユーザー指定のデフォルトのコマンド ライン オプションが含まれています。ストラテジは、PlanAhead を使用したどの ISE インプリメンテーション実行にも適用でき、最初から作成したり、または提供されているストラテジをコピーすることができます。ユーザー定義のストラテジ ファイルは、次のホーム ディレクトリに保存されます。

- (Windows) : C:\Documents and Settings\\Application Data\HDI\\strategies.
- (Linux) ~/.HDI/strategies

## プロジェクト データの出力

このセクションでは、PlanAhead プロジェクトで生成されるファイルについて簡単に説明します。これらのファイルは、PlanAhead で管理されるので、手動で変更しないでください。プロジェクトの出力ファイルは、次のとおりです。

- 「プロジェクト ディレクトリ (<projectname>)」
- 「プロジェクト ファイル (<projectname>.ppr)」
- 「プロパティ データ ディレクトリ (<projectname>.data)」
- 「プロジェクト データ : ネットリスト サブディレクトリ (netlist)」
- 「プロジェクト データ : 制約セット サブディレクトリおよびファイル (<constraint\_set\_name>)」
- 「プロパティ RTL ディレクトリ (<projectname>.srcs)」

## プロジェクト ディレクトリ (<projectname>)

新しいプロジェクトが作成されると、PlanAhead ではプロジェクト ファイル、プロジェクト データ ディレクトリ、および ISE インプリメンテーション結果を含めるプロジェクト ディレクトリが作成されます。このプロパティ ディレクトリには、New Project ウィザードで入力したプロジェクト名と同じ名前が付けられます。

## プロジェクト ファイル (<projectname>.ppr)

プロジェクトの PPR ファイルには、プロジェクトのステートが保存されます。このファイルには、プロジェクトに含まれるネットリストと複数の制約セット/ソースに関する情報が含まれます。

このファイルは、PlanAhead を起動している間継続して管理されるので、保存する必要はありません。このファイルは、手動で変更しないでください。

PPR ファイルは、既存のプロジェクトを開くときに PlanAhead ブラウザで選択するファイルです。

## プロパティ データ ディレクトリ (<projectname>.data)

プロジェクト データ ディレクトリには、プロジェクトに含まれるすべての制約とネットリストに関連するデータが含まれています。これらのフォルダは、PlanAhead で管理されるため、ユーザーが管理する必要はありません。

**注意：**これらのファイルを変更すると、プロジェクト データが破損する可能性があります。

## プロジェクト データ：ネットリスト サブディレクトリ (netlist)

netlist というサブディレクトリには、デザイン全体のネットリストのコピーが保存されます。

RTL ベースのプロジェクトの場合、各合成実行に対しサブディレクトリが作成され、生成されたネットリストが保存されます。このディレクトリは合成実行がリセットされるたびにリフレッシュされます。

ネットリスト ベースのプロジェクトの場合、インポートされたネットリストを含む 1 つのネットリスト ディレクトリが作成され、デザインで使用された NGC コア ファイルのすべてのコピーもここに保存されます。

[File] → [Update Netlist] をクリックすると、このサブディレクトリ内もアップデートされます。

## プロジェクト データ：制約セット サブディレクトリおよびファイル (<constraint\_set\_name>)

制約セットを作成すると、PlanAhead では <projectname>.data ディレクトリの下にそのサブディレクトリが作成されます。

このディレクトリに含まれるファイルは、次のとおりです。

- \*.ucf : インポートされた UCF ファイルすべて。入力ファイルによって異なる場合があります。
- iseloc.xml : PlanAhead で固定されている配置制約と ISE からインポートされた固定されていない配置制約を区別するのに使用します。
- pfi.xml : デザインの制約ターゲット デバイスが含まれています。
- pfp.xml : 現在の PlanAhead の実行情報が含まれています。
- expX サブ : PlanAhead の各実行情報が含まれています。

## プロパティ RTL ディレクトリ (<projectname>.srcs)

プロジェクト ソース ディレクトリには、プロジェクトにインポートされた HDL ソース ファイルがすべて保存されます。これらのフォルダは、PlanAhead で管理されるため、ユーザーが管理する必要はありません。

**注意：**これらのファイルを変更すると、プロジェクト データが破損する可能性があります。

## ISE インプリメンテーションの出力ファイル

このセクションでは、PlanAhead の ISE インプリメンテーション デザイン操作で生成されるファイルについて簡単に説明します。これらのファイルは、PlanAhead で管理されるので、手動で変更しないでください。

ISE インプリメンテーションで生成されるファイルは、次のとおりです。

- 「実行ディレクトリ (<projectname>.runs)」
- 「EDIF ネットリスト (.edf)」
- 「ザイリンクス コア (NGC/NGO)」
- 「ザイリンクス ISE 配置結果 (NCD / XDL)」
- 「制約ファイル (.ucf)」
- 「ISE 起動スクリプト (jobx.bat/sh、runme.bat/sh および <ISE\_command>.rst)」

### 実行ディレクトリ (<projectname>.runs)

PlanAhead では、複数の ISE インプリメンテーションの実行をキューに含めて順番に実行できます。このとき、/run ディレクトリの作成先を指定するダイアログ ボックスが表示されます。デフォルトでは、保存先にプロジェクト ディレクトリが表示されます。

各実行ディレクトリには完全な EDIF ネットリストおよび UCF 制約ファイルが含まれています。PlanAhead では、run ディレクトリごとにユーザー指定のオプションで ISE コマンドを実行する実行スクリプトが作成されます。

各ディレクトリには、ネットリストおよび制約ファイルを含むすべてのインプリメンテーション デザイン データが保存されています。要件を満たしたインプリメンテーションが達成されると、ディレクトリ全体をアーカイブすることができます。

### EDIF ネットリスト (.edf)

PlanAhead では、EDIF フォーマットの ASCII ネットリストがエクスポートされます。このファイルは、次のコマンドを実行すると生成されます。

- [Implement] および [Launch Runs] (PlanAhead)
- [File] → [Export Netlist]
- [File] → [Export Pblocks]
- [File] → [Export IP]

### [Implement] および [Launch Runs] コマンド

このコマンドを実行すると、PlanAhead の実行に必要なファイルが自動的にエクスポートされ、この実行に適用するストラテジで指定したオプションを使用して ISE コマンドが実行されます。

[Launch Runs] コマンドを実行すると、EDIF および UCF データが自動的にエクスポートされます。このとき、最上位デザインの EDIF フォーマットのネットリストおよび UCF フォーマットの制約ファイルを含む実行ディレクトリが作成されます。ファイル名は、インポートされた EDIF ファイルの元の最上位ネットリスト名と同じになります。

NGC/NGO フォーマットのモジュールのネットリスト ファイルが使用されている場合は、各実行ディレクトリにこれらがコピーされます。

実行ディレクトリの場所は、PlanAhead の [Implementation Run Properties] ウィンドウの [General] タブで確認できます。

## [Export Netlist] コマンド

このコマンドを使用して、PlanAhead 環境外の ISE インプリメンテーション用にデザインの EDIF ファイルを提供するためにネットリストをエクスポートします。出力ネットリストには元の論理ネットリストの階層が含まれています。出力ファイル名は [Export Netlist] ダイアログ ボックスで指定できます。

## [Export Pblocks] コマンド

特定の Pblock の EDIF および UCF ファイルを PlanAhead 環境外の ISE インプリメンテーションで使用するために、このコマンドを使用して Pblock をエクスポートします。

Pblock がエクスポートされると、PlanAhead で Pblock のロジック割り当てに基づいてネットリストが作成されます。EDIF およびモジュール ポート リストが生成され、PlanAhead の物理階層構造が使用されます。EDIF ネットリストが 1 つ生成され、ここに Pblock に割り当てられたロジックがすべて含まれます。このため、ブロック ベースのインプリメンテーション ストラテジを使用するとき非常に柔軟に対応できるようになります。

エクスポートされる Pblock ファイルは、選択した各 Pblock に対しネットリスト 1 つ、制約ファイル 1 つです。ブロック レベルのディレクトリ構造が自動的に作成、管理されるので、ブロック ベースの ISE アプローチが簡単になります。選択した Pblock をエクスポートすると、<pblockname>\_CV.edn および <pblockname>\_CV.ucf ファイルを含む <pblockname>\_CV サブディレクトリが作成されます。

## [Export IP] コマンド

再利用可能な IP ブロックの作成に使用する指定のネットリスト モジュールの EDIF および UCF ファイルを書き出すために、このコマンドを使用して IP をエクスポートします。

[Export IP] コマンドはデザインで選択したネットリスト階層で実行します。RPM も IP モジュールの出力として作成できます。エクスポート ファイルには、元のネットリスト フォーマットの EDIF ネットリストおよび UCF 物理制約が含まれます。インターフェイスをそのまま保持することで、次のデザインのインプリメンテーションが簡単に実行できます。エクスポートされた EDIF ファイルを使用して、ブラック ボックスの RTL モジュールを新しいデザインに含めることができます。

XST を使用している場合、エクスポートした EDIF ファイルをタイミング データを得るために使用できます。

また、エクスポートした UCF ファイルは Pblock の配置制約の再生成に使用できます。モジュールのインポート後にモジュールを移動させると、複数のモジュールに同じ配置を複製できます。

## ChipScope コアのネットリスト (.ngc)

PlanAhead は ChipScope と統合しているため、ILA コアを挿入およびコンフィギュレーションすることができます。このコアがインプリメントされると NGC フォーマットのネットリストがコンパ



イルされ、プロジェクト ネットリスト ディレクトリに保存され、各インプリメンテーション実行ディレクトリに実行ごとにコピーされます。詳細は、第 12 章「デザインのプログラムとデバッグ」を参照してください。

## 制約ファイル (.ucf)

PlanAhead では、ISE で使用されるタイミング制約および物理制約を含む UCF フォーマットの ASCII ファイルが書き出されます。このファイルは、次のコマンドを実行すると生成されます。

- [Implement] および [Launch Runs] (PlanAhead)
- [File] → [Export Constraints]
- [File] → [Export Pblocks]
- [File] → [Export IP]

### [Implement] および [Launch Runs] コマンド

[Launch Runs] コマンドを実行すると、EDIF および UCF データが自動的にエクスポートされます。実行を起動すると、出力ネットリストに元の論理階層を含む実行ディレクトリが作成されます。実行に対しエクスポートされるファイルは、最上位デザイン全体の EDIF フォーマットのネットリストと UCF フォーマットの制約ファイルです。ファイル名はインポートされた EDIF ファイルの元の最上位ネットリスト名と同じです。

### [Export Constraints] コマンド

このコマンドを使用して制約をエクスポートすると、元の UCF ファイルの内容と構造 (コメントも含む) が保持されます。

出力ファイル名は [Export Constraints] ダイアログ ボックスで指定できます。

### [Export Pblocks] コマンド

このコマンドを使用して Pblock をエクスポートすると、PlanAhead で Pblock の割り当てに基づいてネットリスト階層が作成されます。

この UCF では、エクスポートされた EDIF ネットリスト名と一致するよう、PlanAhead の物理階層構造が参照され、ブロック ベースのインプリメンテーション ストラテジを使用するときに柔軟に対応できます。

エクスポートされる Pblock ファイルは、ネットリスト 1 つと制約ファイル 1 つです。ブロックレベルのディレクトリ構造が自動的に作成、管理されるので、ブロック ベースの ISE アプローチが簡単になります。選択した Pblock をエクスポートすると、<pblockname>\_CV.edn および <pblockname>\_CV.ucf ファイルを含む <pblockname>\_CV サブディレクトリが作成されます。

### [Export IP] コマンド

デザインでモジュール インスタンスを選択して [Export IP] コマンドを実行すると、Pblock ロジックおよび配置制約がエクスポートされます。エクスポート ファイルには、元のネットリスト フォーマットの EDIF ネットリストおよび UCF 物理制約が含まれます。インターフェイスをそのまま保持することで、次のデザインのインプリメンテーションが簡単に実行できます。また、エクスポートした UCF ファイルは Pblock の配置制約の再生成に使用できます。モジュールのインポート後にモジュールを移動させると、複数のモジュールに同じ配置を複製できます。

## ISE 起動スクリプト (jobx.bat/sh、runme.bat/sh および <ISE\_command>.rst)

ISE 起動スクリプトは、PlanAhead の [Implement ] または [Launch Runs] コマンドを使用すると自動的に生成されます。スクリプトには、PlanAhead のストラテジで指定されたコマンドおよびコマンド ライン オプションが含まれています。

jobx.bat/sh スクリプトは、.jobs サブディレクトリにあるプロジェクト実行ディレクトリに保存され、選択された各実行を順番に起動します。このスクリプトにより各実行の runme.bat/sh スクリプトが呼び出されます。これらのスクリプトは、個別に実行することもできます。

# PlanAhead の用語

---

## プロジェクト

PlanAhead™ の各セッションでは、アクティブなプロジェクトを 1 つ開始します。プロジェクトは、使用しているデザイン フローごとにさまざまな入力フォーマットで作成できます。

- RTL ソース ファイルは、RTL からビットストリーム生成までのフローに適したプロジェクトを作成するためにインポートします。
- 合成ネットリストは、ネットリストからビットストリームまでのフローに使用するためにインポートします。
- 空のプロジェクトは、デバイスのリソースを試したり、I/O ピン配置を開始するために作成します。
- 以前のコマンド ライン インプリメンテーションからの結果をインポートしてプロジェクトを作成する方法もあります。

作成するプロジェクト タイプにより、プロジェクトには複数のネットリストが含まれることがあります。それぞれのプロジェクトでは、複数のインプリメンテーション実行を起動できます。

プロジェクト情報は、次の組み合わせを含むディレクトリ構造に保存されます。

- プロジェクト ファイル (例 : `project_1.ppr`)
- プロジェクト データ ディレクトリ (例 : `project_1.data`)
- プロジェクト ソース ディレクトリ (例 : `project_1.srcs`)
- プロジェクト実行ディレクトリ (例 : `project_1.runs`)

ソース ディレクトリには、プロジェクトにインポートされたすべての RTL 関連ソース ファイルが含まれます。データ ディレクトリには、プロジェクト ネットリストを含むネットリスト ディレクトリ、およびプロジェクト内の各デザインのディレクトリが含まれています。/runs ディレクトリには、PlanAhead で作成された ISE インプリメンテーション実行のデータが保存されています。

プロジェクト データは、PlanAhead で自動的に管理されます。PlanAhead では、前回ツールを終了した時点のデータでプロジェクトが開くため、手動でこれらのファイルに変更を加えないようにします。

PlanAhead では、ファイルを開いたときに自動的にプロジェクトの状態が復元されます。作業したデザインおよび各デザインに関連する実行を含むプロジェクトのステータスが更新され、プロジェクトを再度開いたときに表示されます。

## ソース

プロジェクトはさまざまなフォーマットの入力ファイルを使用して作成できます。プロジェクトは、Verilog および VHDL フォーマットの RTL ソース ファイル、IP コア モジュール、および NGC または EDIF フォーマットの合成済みネットリストをインポートして作成できます。こうしたファイルはソース ファイルと呼ばれます。

## デザイン

デザインは、選択したネットリストおよびターゲット デバイスに関連する制約セットです。PlanAhead を使用するのにデザインを作成する必要はありません。デザインは、PlanAhead の現在使用中のセッション中でのみメモリに保存され、デザイン スナップショットの解析および実行の起動に使用されます。インプリメンテーション実行は外部ユーザー制約ファイル (UCF) を使用して起動できます。各プロジェクトのネットリストで、異なる制約やデバイスを使用した複数のフロアプランをサポートできます。

## ネットリスト

ネットリストはデザインの論理記述です。ネットリストは、最上位ネットリストとその下位ネットリスト (モジュール) から構成される階層構造である必要があります。PlanAhead の RTL ベース プロジェクトには、複数の合成実行を使用できるため、複数のネットリストを含めることができます。

## 制約

制約は、論理タイミング、ビヘイビア要件、または物理的な配置要件の記述です。I/O ポートの割り当ても、制約で定義されます。

## 制約セット

制約セットは、解析およびインプリメンテーションで使用される複数の UCF ファイルの 1 つです。これらは、PlanAhead の [Sources] ビューで管理されます。異なる制約セットを使用して制約の影響を確認したり、または異なるデバイスを試してみることが可能です。

## 物理ブロック (Pblock)

Pblock は、PlanAhead のフロアプラン実行中に定義されます。従来の方法では、1 つの Pblock に 1 つのロジック インスタンスまたはロジック インスタンスのグループが割り当てられます。Pblock では、FPGA デバイス上に長方形のエリアを定義して、そのロジックに制約を付けることができます。Pblock 内に配置されたネットリスト ロジックには、ISE で AREA\_GROUP 制約が付けられます。Pblock は、特定の RANGE タイプを使用して、SLICE、RAM/MULT、DSP など特定のロジックのみを含めるように指定できます。また Pblock は、複数の長方形を使用して L 形 および T 形などの長方形以外の形を作成できるように定義することもできます。

---

## インスタンス

ネットリストに含まれるインスタンスと呼ばれるエレメントには、下位ロジック プリミティブと階層モジュールのコンポーネントが含まれます。このマニュアルでは、モジュール コンポーネントはモジュールと呼びます。

## モジュール

ネットリストに含まれる階層モジュールのインスタンス化を表現するエレメントをモジュールまたはコンポーネントと呼びます。下位プリミティブ ロジックは、インスタンスまたはプリミティブと呼びます。

## プリミティブ

ネットリストに含まれる LUT、フリップフロップなどの下位ロジック オブジェクトを表現するエレメントは、プリミティブと呼びます。

## 実行

各合成またはインプリメンテーションの試みを「実行」と呼びます。各実行は特定のストラテジに関連付けられています。複数の実行を複数のプロセッサを使用して同時に実行したり、または 1 つずつ実行できます。実行は順次に起動し、**PlanAhead** にそのステータスが表示されます。

## ストラテジ

ストラテジは、ツールのコマンド オプションの定義済みセットです。ツールで提供されるストラテジを適用したり、ユーザー ストラテジを作成したりできます。ストラテジは個々の実行に適用できます。

## サイト

**PlanAhead** では、デザイン ネットリストをインプリメントするときに使用される特定 **FPGA** デバイス リソースがタイルで表示されます。プリミティブ ロジックのサイトには、ネットリストのインスタンスを配置できます。これらのサイトは、オブジェクトの種類 (**RAM**、**MULT**、**CLB**、**DSP**、**PPC**、**MGT** など) を区別するために、それぞれ形と色が異なります。下位ロジックは、配置制約を使用して特定のスライスに割り当てるか、**BEL** 制約を使用してスライス内のゲートに割り当てることができます。

## サイト配置制約 (LOC)

ロケーション制約 (**LOC**) は、特定のスライス座標に割り当てられた固定配置サイトがある下位インスタンスに割り当てられます。この制約はロジックをスライス内の特定のロジック ゲートに固定しないので、**BEL** 制約とは異なります。**LOC** 制約を割り当てると、そのインスタンスに対してエクスポートされた **UCF** ファイルに **LOC** 制約が書き込まれます。**LOC** 制約は、**[Device]** ウィンドウでズーム レベルに応じて、この制約が付けられているサイト内で長方形として、またはサイト内のロジック ファンクション シンボルとして表示されます。

## BEL 配置制約 (BEL)

BEL (Basic Element of Logic) 制約は、特定のロジック デバイス ゲートに割り当てられた配置サイトがある下位インスタンスに割り当てられます。BEL 制約を割り当てると、そのインスタンスに対してエクスポートされた UCF ファイルに BEL 制約が書き込まれます。この制約は、[Device] ウィンドウでズーム レベルに応じて、この制約が付けられているサイト内で長方形として、またはサイト内のロジック ファンクション シンボルとして表示されます。

## I/O ポート

I/O ポートは物理パッケージ ピンに割り当てるユーザー I/O です。各 I/O 信号はポートとして定義されます。

## パッケージ ピン

パッケージ ピンは、I/O ポートが割り当てられるパッケージの物理ピンです。パッケージ ピンは、I/O バンクにグループ化されます。パッケージ ピンおよび I/O バンクの詳細は、デバイスの仕様を参照してください。

# XilinxNotify を使用したリリースのインストール

---

メモ：この章の説明は、PlanAhead™ のフルバージョンにのみ適用されます。

この付録は、次のセクションから構成されています。

- 「PlanAhead のリリース ストラテジ」
- 「XilinxNotify の実行」
- 「アップデートの自動検出」

## PlanAhead のリリース ストラテジ

PlanAhead ソフトウェアのリリース ストラテジは、ほかのザイリンクス ソフトウェア ツールと同様です。PlanAhead では、新しい技術の導入やカスタマのリクエストに迅速に対応するため、定期的に新規リリースが入手できるようになっています。12.1 や 12.2 などのバージョン番号は、リリースを示します。[Help] → [About PlanAhead] をクリックすると、現在インストールされている PlanAhead のバージョンを確認できます。

新しいリリースを確認するには、[Help] → [Check for Updates] をクリックします。

ザイリンクス ツール インストールの詳細は、『ISE Design Suite 12 : インストール、ライセンス、およびリリース ノート』を参照してください。

## XilinxNotify の実行

PlanAhead では、XilinxNotify が起動されます。このユーティリティではインストールされているすべてのツールが検出され、ザイリンクスの Web サイトにアップデートがある場合はユーザーに通知します。

アップデートを確認するには、[Help] → [Check for Updates] をクリックします。

## アップデートの自動検出

PlanAhead は、起動のたびにインクリメンタル リリースが自動的に検出されるように設定できます。[Tools] → [Options] をクリックし、[PlanAhead Options] ダイアログ ボックスの [General] ページで、[Automatically check xilinx.com for software updates on startup] をオンにします。



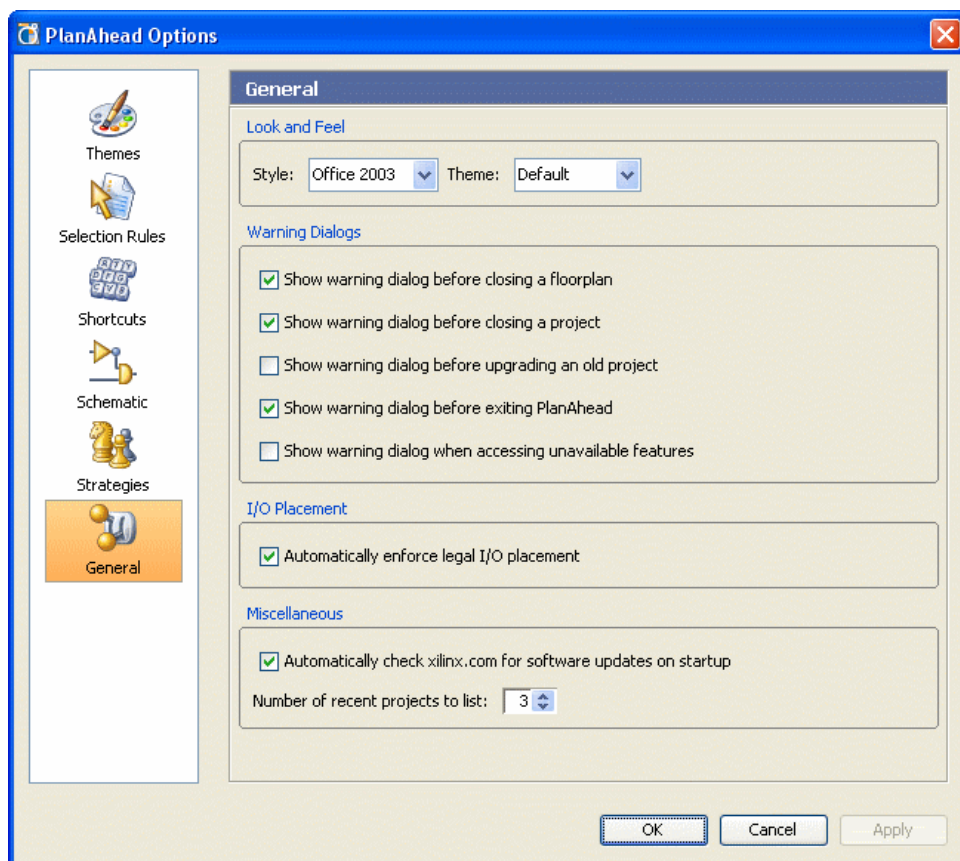


図 D-1 : [Automatically check xilinx.com for software updates on startup] オプション

# パスワード入力なしの SSH の設定

---

## SSH の設定

PlanAhead ソフトウェアを複数のホストで実行するには、Linux OS で提供されているサービス、セキュア シェル (SSH) を使用します。PlanAhead ソフトウェアで複数のホストを設定する前に、リモート マシンにログインするたびにパスワードを入力する必要がないように SSH を設定できます。SSH は、Linux ターミナルまたはシェルで次のコマンドを入力して設定します。

**メモ：**これは一度設定しておけば、繰り返し設定する必要はありません。

1. Linux ターミナルまたはシェルで次のコマンドを実行し、パブリック キーをプライマリ コンピュータで生成します。必須ではありませんが、セキュリティ保護のため、プライベート キーを入力および記憶しておくようにします。

```
ssh-keygen -t rsa
```

2. パブリック キーをリモート コンピュータの `authorized_keys` ファイルに追加します。次の `<remote_server>` には、有効なホスト名を入力します。

```
cat ~/.ssh/id_rsa.pub | ssh <remote_server> "cat - >>  
~/.ssh/authorized_keys"
```

3. プライベート キーを取得するため次のコマンドを実行し、キーを有効にします。

```
ssh-add
```

これで、どのリモート コンピュータでもパスワードを入力せずに使用できます。新しいコンピュータに初めてアクセスする場合は、パスワードを入力するよう求められますが、その次回からは入力する必要はありません。毎回パスワードの入力を求められる場合は、システム管理者に連絡し、パスワードを入力せずに SSH が使用できる Linux アカウントを設定してもらいます。

SSH が設定されたら、リモート ホストの設定に進んでください (Linux のみ)。

