PlanAhead ソフトウェア チュートリアル

I/O ピン配置

UG 674 (v 12.1) 2010 年 5 月 3 日

XILINX®

Xilinx is disclosing this Document and Intellectual Property (hereinafter “the Design”) to you for use in thedevelopment of designs to operate on, or interface with Xilinx FPGAs. Except as stated herein, none of the
Design may be copied, reproduced, distributed, republished, downloaded, displayed, posted, or transmitted in any form or by any means including, but not limited to, electronic, mechanical, photocopying, recording, or otherwise, without the prior written consent of Xilinx. Any unauthorized use of the Design may violate copyright laws, trademark laws, the laws of privacy and publicity, andcommunications regulations and statutes.

Xilinx does not assume any liability arising out of the application or use of the Design; nor does Xilinx convey any license under its patents, copyrights, or any rights of others. You are responsible for obtaining any rights you may require for your use or implementation of the Design. Xilinx reserves the right to make changes, at any time, to the Design as deemed desirable in the sole discretion of Xilinx. Xilinx assumes no obligation to correct any errors contained herein or to advise you of any correction if such be made. Xilinx will not assume any liability for the accuracy or correctness of any engineering or technical support orassistance provided to you in connection with the Design.

THE DESIGN IS PROVIDED “AS IS" WITH ALL FAULTS, AND THE ENTIRE RISK AS TO ITS FUNCTION AND IMPLEMENTATION IS WITH YOU. YOU ACKNOWLEDGE AND AGREE THAT YOU HAVE NOT RELIED ON ANY ORAL OR WRITTEN INFORMATION OR ADVICE, WHETHER GIVEN BY XILINX, OR ITS AGENTS OR EMPLOYEES. XILINX MAKES NO OTHER WARRANTIES, WHETHER EXPRESS, IMPLIED, OR STATUTORY, REGARDING THE DESIGN, INCLUDING ANY WARRANTIES OF MERCHANTABILITY, FITNESS FOR A PARTICULAR PURPOSE, TITLE, AND NONINFRINGEMENT OF THIRD-PARTY RIGHTS.

IN NO EVENT WILL XILINX BE LIABLE FOR ANY CONSEQUENTIAL, INDIRECT, EXEMPLARY, SPECIAL, OR INCIDENTAL DAMAGES, INCLUDING ANY LOST DATA AND LOST PROFITS, ARISING FROM OR RELATING TO YOUR USE OF THE DESIGN, EVEN IF YOU HAVE BEEN ADVISED OF THE POSSIBILITY OF SUCH DAMAGES. THE TOTAL CUMULATIVE LIABILITY OF XILINX IN CONNECTION WITH YOUR USE OF THE DESIGN, WHETHER IN CONTRACT OR TORT OR OTHERWISE, WILL IN NO EVENT EXCEED THE AMOUNT OF FEES PAID BY YOU TO XILINX HEREUNDER FOR USE OF THE DESIGN. YOU ACKNOWLEDGE THAT THE FEES, IF ANY, REFLECT THE ALLOCATION OF RISK SET FORTH IN THIS AGREEMENT AND THAT XILINX WOULD NOT MAKE AVAILABLE THE DESIGN TO YOU WITHOUT THESE LIMITATIONS OF LIABILITY.

The Design is not designed or intended for use in the development of on-line control equipment in hazardous environments requiring fail-safe controls, such as in the operation of nuclear facilities, aircraft navigation or communications systems, air traffic control, life support, or weapons systems (“High-Risk Applications” Xilinx specifically disclaims any express or implied warranties of fitness for such High-Risk Applications. You represent that use of the Design in such High-Risk Applications is fully at your risk.

© 2010 Xilinx, Inc. All rights reserved. XILINX, the Xilinx logo, and other designated brands included herein are trademarks of Xilinx, Inc. All other trademarks are the property of their respective owners.

Demo Design License

© 2010 Xilinx, Inc.

This Design is free software; you can redistribute it and/or modify it under the terms of the GNU Lesser General Public License as published by the Free Software Foundation; either version 2.1 of the License, or (at your option) any later version.

This library is distributed in the hope that it will be useful, but WITHOUT ANY WARRANTY; without even the implied warranty of MERCHANTABILITY or FITNESS FOR A PARTICULAR PURPOSE. See the GNU Lesser General Public License for more details.

You should have received a copy of the GNU Library General Public License along with this design file; if not, see:
http://www.gnu.org/licenses/

PlanAhead™ ソースコードには、次のプログラムのソースコードが使用されています。

Centerpoint XML

- The initial developer of the original code is CenterPoint – Connective Software
- Software Engineering GmbH. portions created by CenterPoint – Connective Software
- Software Engineering GmbH. are Copyright© 1998-2000 CenterPoint - Connective Software Engineering GmbH. All Rights Reserved. Source code for CenterPoint is available at http://www.cpointc.com/XML/

NLView Schematic Engine

- Copyright© Concept Engineering.

Static Timing Engine by Parallax Software Inc.

- Copyright© Parallax Software Inc.

Java Two Standard Edition

- Includes portions of software from RSA Security, Inc. and some portions licensed from IBM are available at http://oss.software.ibm.com/icu4j/
- Powered By JIDE – http://www.jidesoft.com

The BSD License for the JGoodies Looks

Copyright© 2001-2010 JGoodies Karsten Lentzsch. All rights reserved.

Redistribution and use in source and binary forms, with or without modification, are permitted provided that the following conditions are met:
- Redistributions of source code must retain the above copyright notice, this list of conditions and the following disclaimer.
- Redistributions in binary form must reproduce the above copyright notice, this list of conditions and the following disclaimer in the documentation and/or other materials provided with the distribution.
- Neither the name of JGoodies Karsten Lentzsch nor the names of its contributors may be used to endorse or promote products derived from this software without specific prior written permission.

THIS SOFTWARE IS PROVIDED BY THE COPYRIGHT HOLDERS AND CONTRIBUTORS "AS IS" AND ANY EXPRESS OR IMPLIED WARRANTIES, INCLUDING, BUT NOT LIMITED TO, THE IMPLIED WARRANTIES OF MERCHANTABILITY AND FITNESS FOR A PARTICULAR
PURPOSE ARE DISCLAIMED. IN NO EVENT SHALL THE COPYRIGHT OWNER OR CONTRIBUTORS BE LIABLE FOR ANY DIRECT, INDIRECT, INCIDENTAL, SPECIAL, EXEMPLARY, OR CONSEQUENTIAL DAMAGES (INCLUDING, BUT NOT LIMITED TO, PROCUREMENT OF SUBSTITUTE GOODS OR SERVICES; LOSS OF USE, DATA, OR PROFITS; OR BUSINESS INTERRUPTION) HOWEVER CAUSED AND ON ANY THEORY OF LIABILITY, WHETHER IN CONTRACT, STRICT LIABILITY, OR TORT (INCLUDING NEGLIGENCE OR OTHERWISE) ARISING IN ANY WAY OUT OF THE USE OF THIS SOFTWARE, EVEN IF ADVISED OF THE POSSIBILITY OF SUCH DAMAGE.

Free IP Core License

This is the Entire License for all of our Free IP Cores.

Copyright (C) 2000-2003, ASICs World Services, LTD. AUTHORS

All rights reserved.

Redistribution and use in source, netlist, binary and silicon forms, with or without modification, are permitted provided that the following conditions are met:

Redistributions of source code must retain the above copyright notice, this list of conditions and the following disclaimer.

Redistributions in binary form must reproduce the above copyright notice, this list of conditions and the following disclaimer in the documentation and/or other materials provided with the distribution.

Neither the name of ASICS World Services, the Authors and/or the names of its contributors may be used to endorse or promote products derived from this software without specific prior written permission.

THIS SOFTWARE IS PROVIDED BY THE COPYRIGHT HOLDERS AND CONTRIBUTORS “AS IS” AND ANY EXPRESS OR IMPLIED WARRANTIES, INCLUDING, BUT NOT LIMITED TO, THE IMPLIED WARRANTIES OF MERCHANTABILITY AND FITNESS FOR A PARTICULAR PURPOSE ARE DISCLAIMED. IN NO EVENT SHALL THE COPYRIGHT OWNER OR CONTRIBUTORS BE LIABLE FOR ANY DIRECT, INDIRECT, INCIDENTAL, SPECIAL, EXEMPLARY, OR CONSEQUENTIAL DAMAGES (INCLUDING, BUT NOT LIMITED TO, PROCUREMENT OF SUBSTITUTE GOODS OR SERVICES; LOSS OF USE, DATA, OR PROFITS; OR BUSINESS INTERRUPTION) HOWEVER CAUSED AND ON ANY THEORY OF LIABILITY, WHETHER IN CONTRACT, STRICT LIABILITY, OR TORT (INCLUDING NEGLIGENCE OR OTHERWISE) ARISING IN ANY WAY OUT OF THE USE OF THIS SOFTWARE, EVEN IF ADVISED OF THE POSSIBILITY OF SUCH DAMAGE.

目次

I/O ピン配置 7
はじめに 7
サンプル デザイン データ 7
ザイリンクス ISE および PlanAhead ソフトウェア 8
ハードウェア要件 8
PlanAhead のマニュアルと情報 8
チュートリアルの説明 9
チュートリアルの目標 9
チュートリアルの手順 10
I/O ピン配置プロジェクトの作成 手順 1 11
デバイス I/O リソースの検証 手順 2 15
ターゲット デバイスの変更 手順 3 18
I/O ポートの作成と設定 手順 4 19
I/O ポートのリストのインポート 手順 5 20
デバイスと I/O ピン割り当てのエクスポート 手順 6 21
ネットリストを開いて I/O ポート配置を解析 手順 7 23
I/O ポート インターフェイスの作成 手順 8 26
インポートした I/O 配置制約の削除 手順 9 30
I/O ポートの配置 手順 10 32
ギガビット トランシーバおよびクロック ロジックの配置 手順 11 38
多機能ピンの表示とデバイス コンフィギュレーション モードの設定 手順 12 48
DRC と SSN ノイズ解析の実行 手順 13 50
まとめ 53

PlanAhead ソフトウェア チュートリアル

I/O ピン配置

はじめに

このチュートリアルでは、ザイリンクス PlanAhead ソフトウェアの機能と FPGA デバイスの I/O ピン配置を実行する際の利点について紹介します。また、I/O ポートを作成して物理パッケージ ピンに割り当てる手順について説明します。I/O Planner 環境を使用すると、I/O ポートの初期リストを作成、インポート、コンフィギュレーションでき、関連ポートをインターフェイスにまとめて、それらをパッケージ ピンに割り当てることができます。

I/O ポートの割り当ては、全自動と半自動のいずれかのモードで制御できます。I/O Planner 環境では、物理パッケージ ピンおよびバンクとそれらのチップの I/O パッド間の関係が表示されます。PCB と FPGA 間の接続は、自動的に最適化されます。

I/O ピン配置は、デザイン サイクルのさまざまな段階で実行できます。初期段階でのパッケージ I/O ピンの割り当ては、デザイン ソースが使用可能になる前であっても、ピン配置プロジェクトを使用して実行できます。I/O 配置用に CSV 形式のファイルをインポートしたり、PCB 回路図シンボルまたは HDL ヘッダの生成用にエクスポートしたりできます。

PlanAhead では、エラボレートされた RTL デザインや合成済みネットリスト デザインで I/O ピン配置ができます。PlanAhead では、ネットリスト デザインを使用した方がよりわかりやすい I/O やクロックのデザイン ルール チェック (DRC) が実行できます。このチュートリアルでは、どちらについても説明します。

すべてのコマンドやコマンド オプションの説明が含まれているわけではありませんので、ご了承ください。このチュートリアルでは、ISE® Design Suite バージョン 12 の一部として含まれる PlanAhead ソフトウェアの機能を使用しています。

サンプル デザイン データ

このチュートリアルでは、PlanAhead ソフトウェアをインストールすると含まれる次のサンプル デザイン データを使用します。

<*ISE_install_Dir*>/PlanAhead/testcases/PlanAhead_Tutorial.zip

このサンプル データおよびすべての PlanAhead チュートリアルを実行するのに必要なサンプル デザイン データは、次のザイリンクス サイトからダウンロードできます。

http://japan.xilinx.com/support/documentation/dt_planahead_planahead12-1_tutorials.htm

書き込み権のあるディレクトリに ZIP ファイルを保存し、抽出します。チュートリアルでは、解凍ファイルのディレクトリを <*Install_Dir*> と記述しています。

チュートリアルのサンプル データは、チュートリアルを実行中に変更されます。各チュートリアルを実行する前に、まず元の PlanAhead_Tutorial データのコピーを取っておいてください。サンプル デザインの詳細は、「チュートリアルの説明」セクションを参照してください。

ザイリンクス ISE および PlanAhead ソフトウェア

PlanAhead ソフトウェアは、ISE Design Suite 12.1 ソフトウェアをインストールするとインストールされます。チュートリアルを始める前に、PlanAhead が起動できるか、サンプル デザイン データがインストールされているかを確認してください。ソフトウェアのインストール方法および詳細は、次のザイリンクス サイトから『ISE Design Suite 12 : インストール、ライセンス、リリース ノート』を参照してください。

http://japan.xilinx.com/support/documentation/sw_manuals/xilinx12_1/irn.pdf

ハードウェア要件

大規模デバイスで PlanAhead ソフトウェアを使用するには、2GB 以上の RAM が推奨されます。このチュートリアルでは、小型の XC6VLX75T デザインを使用し、1 度に開くことができるデザイン数を制限していますので、1GB で十分ですが、パフォーマンスに影響のでることもあります。

PlanAhead のマニュアルと情報

PlanAhead ソフトウェアの詳細については、次のマニュアルを参照してください。

- 『PlanAhead ユーザー ガイド』(UG632) – PlanAhead ソフトウェアに関する詳細情報
  http://japan.xilinx.com/support/documentation/sw_manuals/xilinx12_1/PlanAhead_UserGuide.pdf
- 『フロアプラン手法ガイド』(UG633) – フロアプランのヒント情報
  http://japan.xilinx.com/support/documentation/sw_manuals/xilinx12_1/Floorplanning_Methodology_Guide.pdf
- 『階層デザイン手法ガイド』(UG748) – PlanAhead の階層デザインの概要
  http://japan.xilinx.com/support/documentation/sw_manuals/xilinx12_1/Hierarchical_Design_Methodology_Guide.pdf
- ビデオ デモなど、PlanAhead のその他の情報については、http://www.xilinx.com/planahead を参照してください。

チュートリアルの説明

このチュートリアルで使用される小型のサンプル デザインには、次が含まれます。

- RISC プロセッサの CPU コア
- 疑似 FFT
- 4 つのギガビットトランシーバ
- 2 つの USB インターフェイス

このデザインは、XC6VLX75T デバイスをターゲットにしています。次を目的に小型デザインが使用されています。

- 最小のハードウェア要件でチュートリアルが実行可能
- チュートリアルにかかる時間を節約
- データ サイズを最小限に抑制

チュートリアルに関する質問および問題は、ザイリンクス テクニカル サポート (ホットライン) までご連絡ください。

チュートリアルの目標

このチュートリアルの目標は、PlanAhead ソフトウェアの I/O Planner 機能を使用して I/O ピン配置プロセスに慣れることにあります。

チュートリアルの手順

チュートリアルは各手順に分けられ、それぞれで大まかな手順が説明された後、細かい手順が説明されていますので、スキル レベルに合った方の手順を参照してください。

大まかな手順でわからない場合はその後の詳細な手順を参照してください。既に手順を理解している場合は、その部分は飛ばして次の手順に進んでください。

このチュートリアルは、次のような手順で進めていきます。

手順 1 : 空の I/O ピン配置プロジェクトの作成

手順 2 : デバイス I/O リソースおよび I/O バンク チップとパッケージの関係を検証

手順 3 : ピン割り当てを維持したままのターゲット デバイスの変更

手順 4 : I/O ポートの作成とコンフィギュレーション

手順 5 : I/O ポートのインポート

手順 6 : I/O ポートのインターフェイスへのグループ分け

手順 7 : パッケージと I/O ピン コンフィギュレーション データのエクスポート

手順 8 : ネットリストを開いて I/O ポート配置を解析

手順 9 : I/O 配置とクロック ロジック制約の削除

手順 10 : さまざまな配置モードを使用した I/O ポートの物理ピンへの配置

手順 11 : ギガビット トランシーバ (GT) とクロック ロジックの配置

手順 12 : 多機能ピンの確認とデバイス コンフィギュレーション モードの設定

手順 13 : DRC および SSN 解析を実行して有効な配置を確認

I/O ピン配置プロジェクトの作成　　手順 1

PlanAhead には、I/O ピンを配置するための I/O Planner というツールが含まれます。I/O Planner を開くと、PlanAhead のレイアウトに I/O ポートが配置しやすいようにウィンドウが表示されます。デバイス リソース解析をする場合は、デザインがなくても I/O Planner を起動できます。I/O Planner は、開いている RTL デザインまたはネットリスト デザインすべてに対しても使用できます。

1-1. 新しいプロジェクトを作成し、I/O Planner を開いて各ビューを確認します。

1-1-1. PlanAhead を開いて、I/O ピン配置プロジェクト (project_pinout) を作成します。

- Windows では、デスクトップ アイコンをダブルクリックするか、[スタート] → [プログラム] → [Xilinx ISE Design Suite 12.1] → [PlanAhead] → [PlanAhead] をクリックします。
- Linux の場合は、<*Install_Dir*>/PlanAhead_Tutorial/Tutorial_Created_Data ディレクトリに移動し、**PlanAhead** と入力します。

1-1-2. Getting Started ページの「Create a New Project」というリンクをクリックします。

1-1-3. **[Next]** をクリックし、[Project Name] ページを表示します。

1-1-4. プロジェクト名に project_pinout を指定します。

1-1-5. プロジェクト ディレクトリに次を指定します。

<*InstallDir*>/PlanAhead_Tutorial/Tutorial_Created_Data

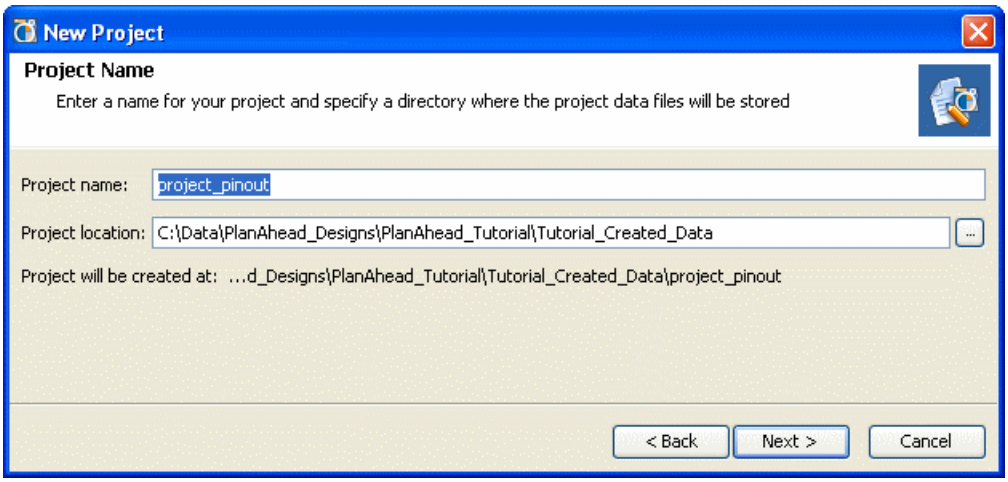


図 1 : New Project ウィザード

1-1-6. **[Next]** をクリックします。[Design Source] ページが表示されます。

1-1-7. **[Create an I/O Planning Project]** をオンにします。

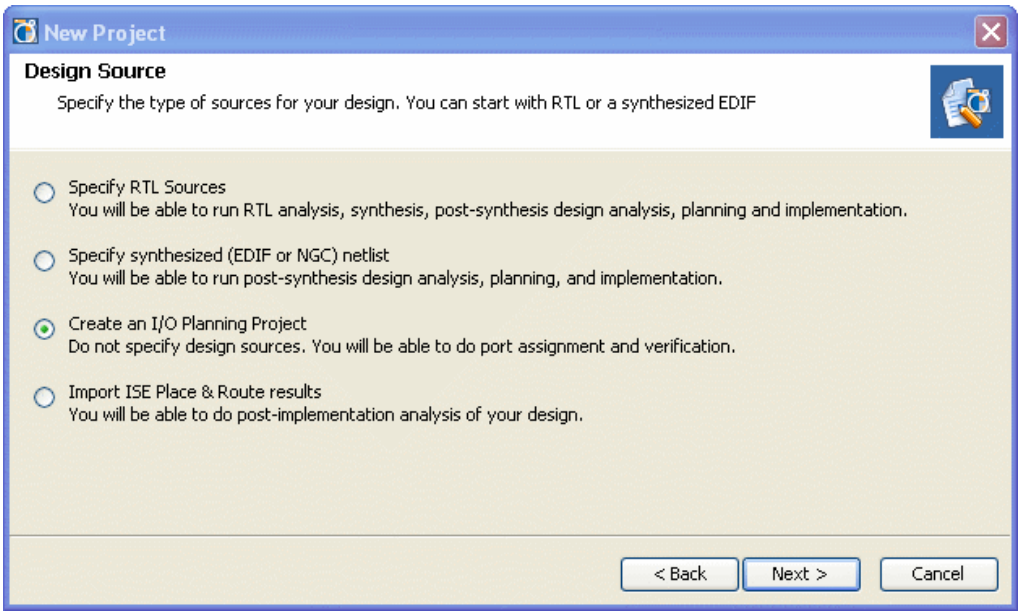


図 2 : [Design Source] ページ

1-1-8. **[Next]** をクリックします。[Import Ports] ページが表示されます。

1-1-9. **[Do not import I/O ports at this time]** をオンにします。

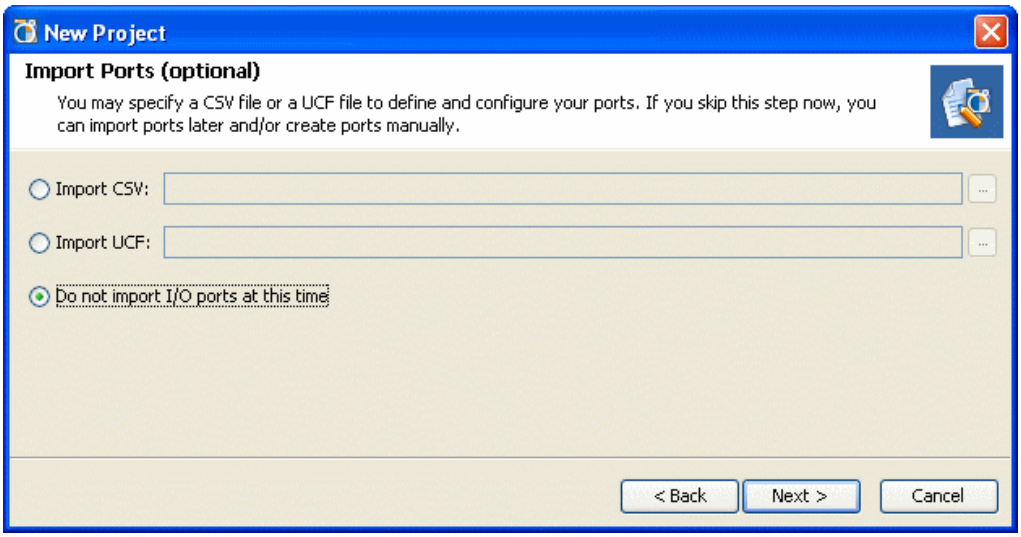


図 3 : [Import Ports] ページ

1-1-10. **[Next]** をクリックします。[Default Part] ページが表示されます。

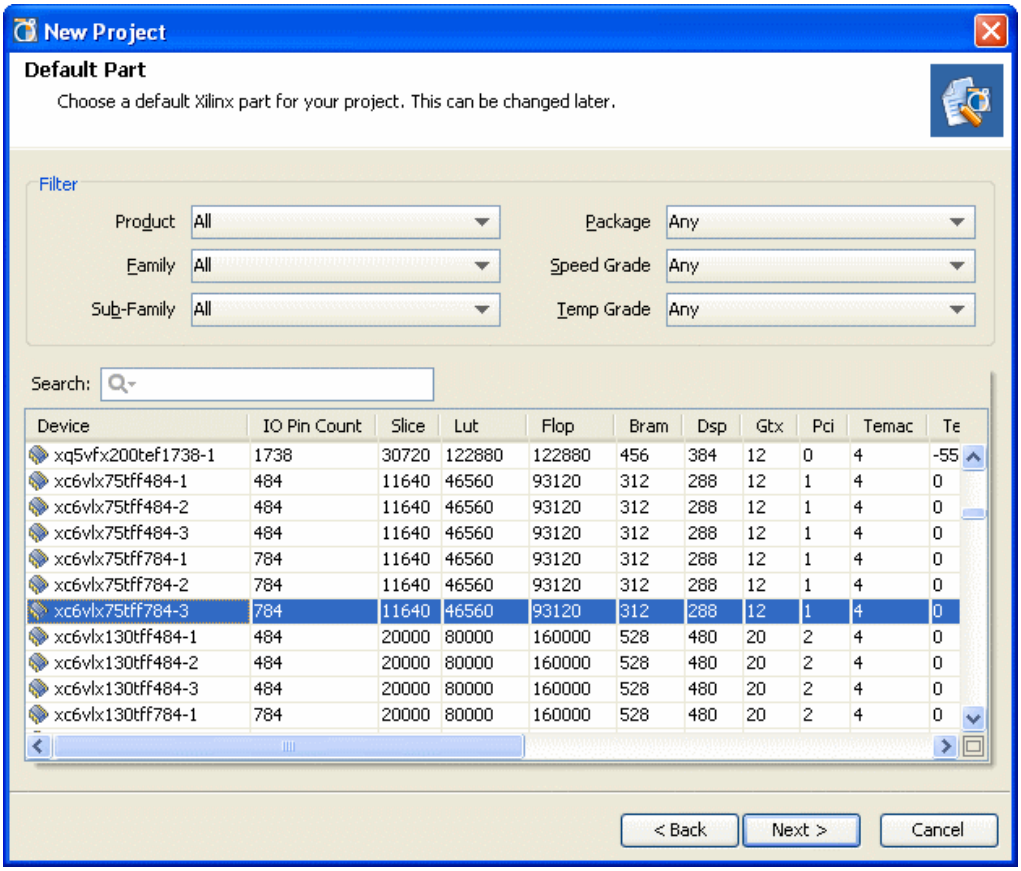


図 4 : [Default Part] ページ

1-1-11. デバイスのフィルタ オプションを確認してください。

1-1-12. **xc6vlx75tff784-3** デバイスを選択します。

1-1-13. **[Next]** をクリックします。[New Project Summary] ページが表示されます。

1-1-14. **[Finish]** をクリックします。図 5 のようにプロジェクトが作成されます。

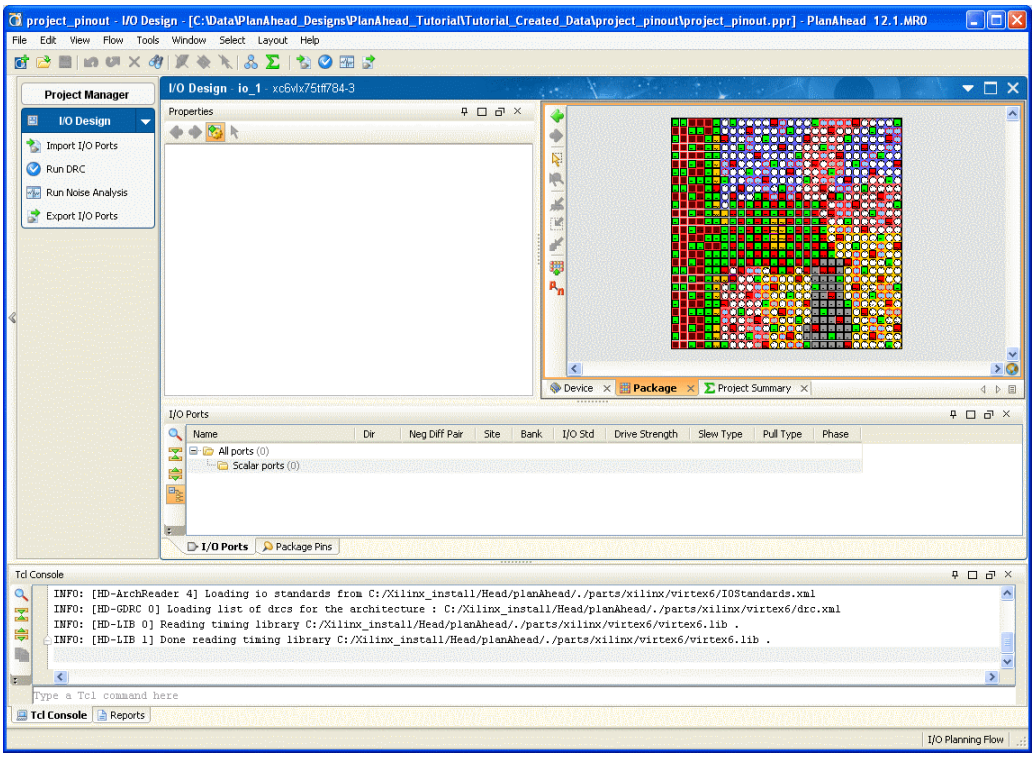


図 5 : I/O Planner 環境

1-1-15. I/O Planner でさまざまなビューを確認します。I/O ポートはまだどれも定義されていないので、ほとんどが空になっています。

1-1-16. [I/O Design] ビューを最大化するには、[Maximize Planner] ボタンをクリックします。

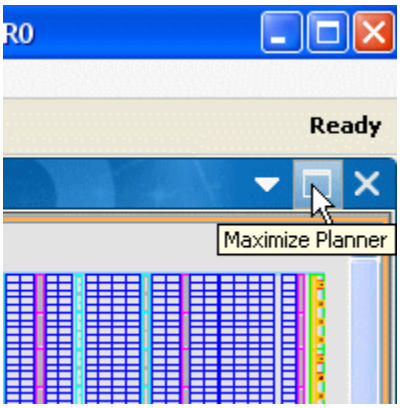


図 6 : [I/O Design] ビューの最大化

1-1-17. [Restore Planner] ボタンをクリックし、Flow Navigator とメッセージの表示を戻します。チュートリアルでは、この方法を使用してウィンドウの大きさを変更してください。

デバイス I/O リソースの検証　　手順 2

PlanAhead の I/O ピン配置環境からは、さまざまなデバイス リソースを確認できます。

PlanAhead では、さまざまな I/O、クロックおよびロジック オブジェクトの位置がグラフィカルに表示され、ビュー同士は連動しています。 これにより、I/O および デバイスに関連するデザイン設定がわかりやすくなっています。[Package Pins] または [I/O Bank Properties] ビューには、通常デバイス データ シートに含まれる I/O 関連の情報が一部表示されます。

次の手順では、I/O バンクのいくつかを選択して、パッケージとチップの関係や I/O バンクのプロパティを確認し、I/O バンク 14 を選択して展開表示し、パッケージ ピンの仕様を確認します。

2-1. I/O バンク プロパティを確認します。

2-1-1. [I/O Design] の下で [Package Pins] ビューを選択します。

2-1-2. [Package Pins] ビューで **[I/O Bank 14]** を展開して選択します。

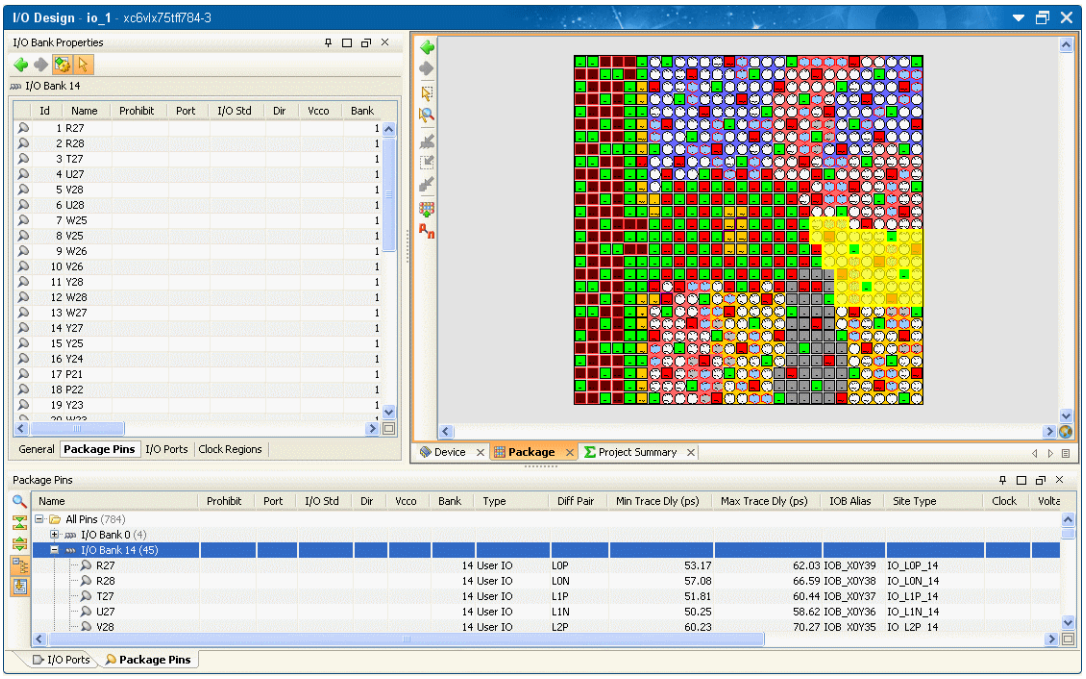


図 7 : I/O および I/O バンクのハイライト表示

I/O バンクの位置が [Package] ビューでハイライトされます。

2-1-3. [Device] タブをクリックすると、チップ 上の I/O バンクの位置がハイライトされます。

I/O バンクの位置を両方のビューで視覚的に確認すると、最適な I/O ポートの割り当てがしやすくなります。

2-1-4. [Package Pins] ビューに表示されるパッケージ ピン情報を確認します。内部パッケージ トレースの最小遅延および最大遅延も表示されます。

2-1-5. [Package Pins] ビューの I/O バンクのリストをスクロールダウンし、表示されている I/O バンクのいくつかを展開表示してみます。

[Package Pin] ビューには GC (Global Clock) ピン とリージョナル CC (Clock Capable) ピンが表示されます。I/O ポートを割り当てるたびに、割り当てられたピン、バンク番号、電圧、I/O 規格などのこの表の情報は増えていきます。

2-1-6. I/O バンクのいずれかを選択します。

2-1-7. [I/O Bank Properties] ビューをスクロール ダウンし、I/O バンクの各ピンの情報を確認します。

2-1-8. [I/O Bank Properties] ビューで [General] タブをクリックします。

I/O カウントと電圧を確認します。この情報は、I/O ポートが I/O バンクに割り当てられると表示されるようになります。これにより、残りの I/O ポートを配置するために互換性のある I/O バンクを検索できるようになります。

2-2. [Package Pins] ビューを確認します。

I/O ポートが I/O パッケージ ピンに割り当てられないようにできます。次の手順では、[Package Pins] ビューを電圧別に並び替え、すべての VREF I/O ピンを選択し、右クリックで [Set Prohibits] をクリックして、その配置を禁止します。

2-2-1. [Package Pins] タブをクリックします。

注意：ワークスペースの [Package] ビューではなく、PlanAhead 環境の [Package Pins] タブの方をクリックしてください。

2-2-2. **[Maximize]** ( ) をクリックします。

[Package Pins] ビューが最大化されます (図 8)。

2-2-3. [Package Pins] ビューの **[Group by I/O Bank]** ボタン ( ) をオフにし、リストをすべてフラットに展開して表示します。

2-2-4. [Voltage] 列のヘッダを 2 回クリックして並び順を反対にし、VREF 値を探します。

2-2-5. 参照電圧 (VREF) ピンをすべて選択します。

2-2-6. 右クリックし、**[Set Prohibit]** をクリックします。

2-2-7. **[Restore]** ( ) をクリックします。

[Package Pins] ビューの表示が元に戻ります。[Package] ビューには、禁止ピンが表示されるようになります。

2-2-8. [Unselect All] ( ) をクリックします。

2-2-9. 次の図のように、[Package] ビューで、赤い X マークの付いた (禁止された) ピンを拡大します。

[Device] ビューで該当エリアの左上から右下に向かって四角形を描画すると、囲んだ部分を拡大できます。

図 8 : 禁止された VREF パッケージ ピンの表示

2-2-10. **[Zoom Fit]** をクリックし、[Package] ビューに全体を表示します(右下から左上に向かって斜めにドラッグします)。

2-2-11. [Package Pins] ビューで **[Group by I/O Bank]** ( ) をクリックします。

2-2-12. **[Collapse All]** ツールバー ボタン ( )をクリックし、ツリー表示をデフォルトの表示構造に戻します。

PlanAhead ソフトウェアには、複数のツリー表示形式のビューが含まれます。各ビューには、検索やフィルタ機能が含まれます。詳細は、『PlanAhead ユーザー ガイド』(UG632) の「ツリー形式表示の使用」の章を参照してください。

ターゲット デバイスの変更　　手順 3

FPGA デザイン プロセス中に、デバイスをより大きいものや、別のタイプに変更する必要のあることがあります。PlanAhead では、デバイスを変更しても、I/O 割り当てが引き継がれるように互換性のあるデバイスが定義できます。

この機能は共通パッケージを使用する Virtex®-5、Virtex-6 および Spartan®-6 デバイスでのみしか動作しません。

3-1. 別のデバイスを定義し、選択したデバイスのパッケージ ピンに禁止制約を割り当てます。

この手順により、I/O ピン配置がデバイス間で動作するようになります。

3-1-1. [Device] ビューまたは [Package] ビューのどちらかで右クリックし、[Set Part Compatibility] をクリックします。

[Set Part Compatibility] ダイアログ ボックスが表示されます

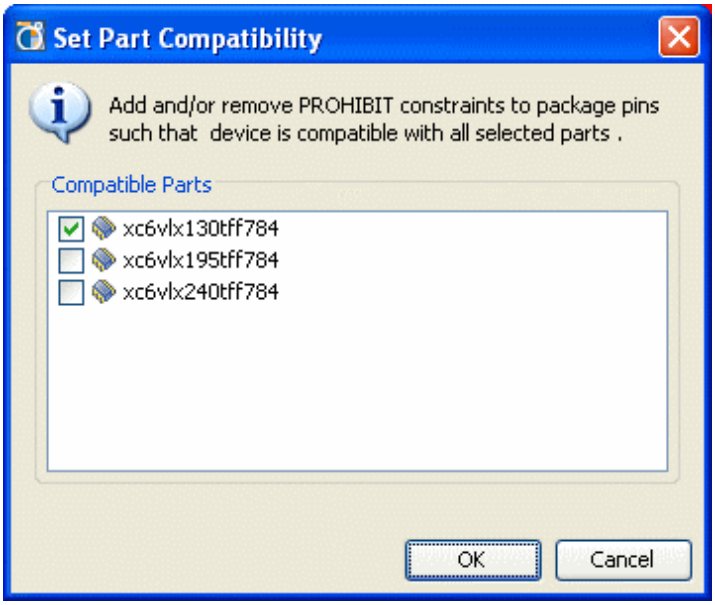


図 9 :互換性のあるパーツの選択

3-1-2. **xc6vlx130tff784** デバイスを選択します。

3-1-3. **[OK]** をクリックします。

最も制限のあるパーツに基づいて、禁止制約が割り当てられます。この例では、一番小型のデバイスをターゲットにするため、禁止制約は配置されません。

3-1-4. 禁止がないことを確認するダイアログ ボックスが表示されたら、**[OK]** をクリックします。

I/O ポートの作成と設定　　手順 4

I/O ポートはインタラクティブに作成および設定できます。

4-1. mybus という I/O バスを新規に作成し、設定します。

4-1-1. [I/O Ports] ビューで右クリックし、**[Create I/O Ports]** をクリックします。

[Create I/O Ports] ダイアログ ボックスが表示されます。

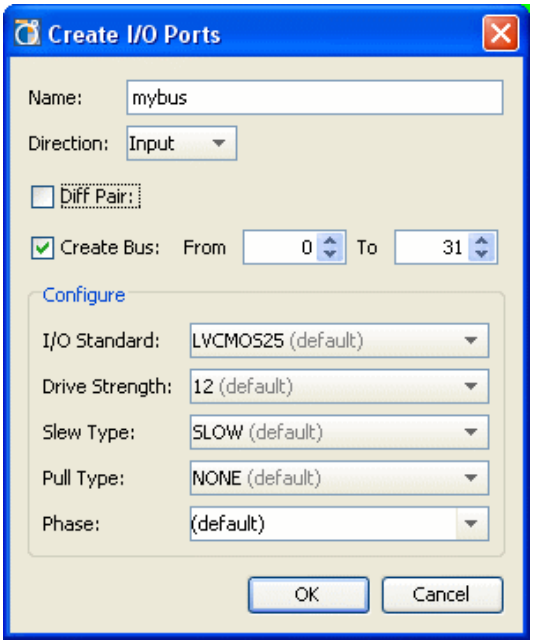


図 10 : I/O ポートの作成

[Configure I/O Ports] ポップアップ メニュー コマンドを使用すると、既存の I/O ポートのコンフィギュレーションができる同様のダイアログ ボックスが表示されます。

4-1-2. [Name] に mybus と入力します。

4-1-3. **[Create Bus]** をオンにします。

4-1-4. 後はデフォルトのまま変更しません。

4-1-5. **[OK]** をクリックします。

[I/O Ports] ウィンドウに新しい I/O ポートが追加されます。

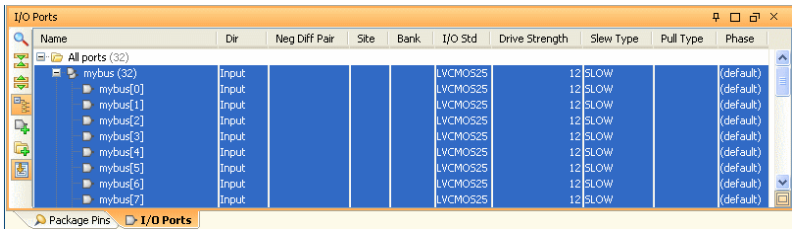


図 11：新しく追加した I/O ポートの表示

4-1-6. **[Edit]** → **[Undo]** をクリックし、追加した I/O ポート、mybus を削除します。

I/O ポートのリストのインポート　　手順 5

PlanAhead には、さまざまなファイル形式をインポートして I/O ピンの配置ができます。合成ネットリストを作成する前に、CSV、UCF、RTF 形式のファイルをインポートして、I/O ピンを確認および割り当てできます。また、I/O ポートをインタラクティブに作成することもできます。

これらの早期入力方法を使用して I/O ピンを配置する場合には、注意が必要です。合成済みネットリストがない場合、I/O ポート配置と DRC ルーチンでクロック、クロック同士の関係、GT ロジックなどは認識されないので、可能であれば、合成済みネットリストをインポートしてから I/O ピンを割り当てるようにしてください。

5-1. CSV 形式の I/O ポート リストをインポートし解析します。

5-1-1. Windows エクスプローラから次のスプレッドシートの I/O ポート リストを開きます。

<*Install_Dir*>/PlanAhead_Tutorial/Sources/IO_Ports_import.csv

5-1-2. I/O ポートのスプレッドシート形式と内容を確認したら、保存せずにファイルを閉じます。

5-1-3. PlanAhead 環境の左側の Flow Navigator で **[I/O Design]** → **[Import I/O Ports]** をクリックします。

5-1-4. CSV ファイル ブラウザを選択して、次のファイルを選択します。

<Install_Dir>/PlanAhead_Tutorial/Sources/IO_Ports_import.csv

[Device] および [Package] ビューに割り当てられたポートと I/O ポートが、[I/O Ports] ビューにインポートされた I/O ポートが表示されます。

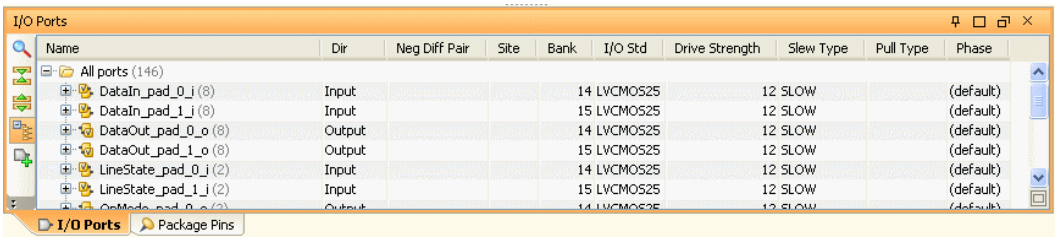


図 12 : バス別に分類された I/O バス ポート

バスがグループ分けされ、展開表示できるようになります。

残りの I/O ピンを割り当てる手順では、この [I/O Ports] ビューを使用します。指定されていない限り、残りの手順はこのビュー内で実行されることを意味します。

デバイスと I/O ピン割り当てのエクスポート　　手順 6

I/O ポートの割り当ては、UCF、CSV、VHDL、Verilog のいずれかの形式でエクスポートできます。エクスポートしたファイルは、HDL ヘッダや PCB 回路図シンボルの生成に使用できます。

CSV ファイルには、すべてのピンのパッケージ情報も含まれ、スプレッドシートから I/O ポートの割り当てを新しく開始できます。

6-1. [Export I/O Ports] をクリックして I/O ポートのリストをエクスポートします。

6-1-1. Flow Navigator で **[Export I/O Ports]** をクリックします。

6-1-2. [Specify Types to Generate] フィールドで **[CSV]** および **[UCF]** をオンにします。

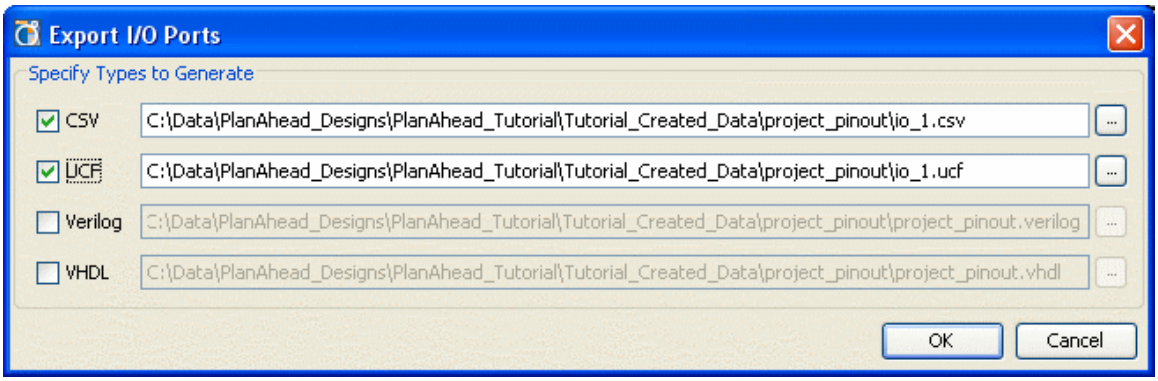


図 13 : I/O ポートの CSV スプレッドシートと UCF ファイルへのエクスポート

6-1-3. デフォルトのファイル名とディレクトリのまま、**[OK]** をクリックします。

6-1-4. Windows エクスプローラから次のエクスポートされた CSV ファイルを開きます。

<*Install_Dir*>/PlanAhead_Tutorial/project_1/io_1.csv

次のように表示されます。

	A	B	C	D	E	F	G	H	I	J	K	L	M	N	O	P
1	#Top: design_netlist_EMPTY Floorplan: io_1 Part: xc6vlx75tff484-2															
2	#Generated by: brianj on: Thu Mar 18 20:24:05 2010															
3	#Build: PlanAhead v12.1.MR0 by: hdbuild on: Wed Mar 17 18:54:56 PDT 2010															
4																
5	IO Bank	Pin Numb	IOB Alias	Site Type	Min Trace	Max Trace	Prohibit	Interface	Signal Nar	Direction	DiffPair T	DiffPair Si	IO Standa	Drive (mA	Slew Rate	Pull Type
6	14	L21	IOB_X0Y3	IO_L3N_1	41.328	48.216		USB0	DataIn_pa	IN			LVCMOS2	12	SLOW	
7	14	L22	IOB_X0Y3	IO_L3P_14	48.3	56.35		USB0	DataIn_pa	IN			LVCMOS2	12	SLOW	
8	14	N21	IOB_X0Y3	IO_L2N_1	38.19	44.555		USB0	DataIn_pa	IN			LVCMOS2	12	SLOW	
9	14	N22	IOB_X0Y3	IO_L2P_14	46.248	53.956		USB0	DataIn_pa	IN			LVCMOS2	12	SLOW	
10	14	M19	IOB_X0Y3	IO_L1N_1	27.246	31.787		USB0	DataIn_pa	IN			LVCMOS2	12	SLOW	
11	14	M20	IOB_X0Y3	IO_L1P_14	34.308	40.026		USB0	DataIn_pa	IN			LVCMOS2	12	SLOW	
12	14	N18	IOB_X0Y3	IO_L0N_1	20.34	23.73		USB0	DataIn_pa	IN			LVCMOS2	12	SLOW	
13	14	M18	IOB_X0Y3	IO_L0P_14	24.666	28.777		USB0	DataIn_pa	IN			LVCMOS2	12	SLOW	
14	14	N20	IOB_X0Y2	IO_L7N_1	31.812	37.114		USB0	DataOut_	OUT			LVCMOS2	12	SLOW	
15	14	M21	IOB_X0Y2	IO_L7P_14	41.55	48.475		USB0	DataOut_	OUT			LVCMOS2	12	SLOW	
16	14	P17	IOB_X0Y2	IO_L6N_1	22.56	26.32		USB0	DataOut_	OUT			LVCMOS2	12	SLOW	
17	14	N17	IOB_X0Y2	IO_L6P_14	21.912	25.564		USB0	DataOut_	OUT			LVCMOS2	12	SLOW	
18	14	T22	IOB_X0Y2	IO_L5N_1	47.4	55.3		USB0	DataOut_	OUT			LVCMOS2	12	SLOW	
19	14	R21	IOB_X0Y2	IO_L5P_14	41.13	47.985		USB0	DataOut_	OUT			LVCMOS2	12	SLOW	
20	14	R22	IOB_X0Y3	IO_L4N_V	46.008	53.676		USB0	DataOut_	OUT			LVCMOS2	12	SLOW	
21	14	P22	IOB_X0Y3	IO_L4P_14	46.518	54.271		USB0	DataOut_	OUT			LVCMOS2	12	SLOW	
22	14	T21	IOB_X0Y2	IO_L8N_S	42.03	49.035		USB0	LineState_	IN			LVCMOS2	12	SLOW	
23	14	U21	IOB_X0Y2	IO_L8P_SF	47.286	55.167		USB0	LineState_	IN			LVCMOS2	12	SLOW	
24	14	P20	IOB_X0Y2	IO_L9N_M	31.152	36.344		USB0	OpMode_	OUT			LVCMOS2	12	SLOW	

図 14 : エクスポートされた I/O ポートのスプレッドシート

このスプレッドシートには、[Interface] グループ名が含まれます。PC ボードを設計する場合は、このスプレッドシートを使用し、インターフェイス別の回路図シンボルを作成できます。I/O ポート インターフェイスの作成については、この後の手順で説明します。

6-1-5. io_1.csv ファイルを閉じます。

6-1-6. [Netlist Design] ビューのバナーで [Restore Design] ボタンをクリックします。

6-2. I/O ピン配置プロジェクトを閉じます。

6-2-1. **[File]** → **[Close Project]** をクリックします。

6-2-2. **[I/O Design – constr_1]** を選択します。

6-2-3. **[保存]** をクリックします。

6-2-4. [Close Project] ダイアログ ボックスで **[OK]** をクリックします。

ネットリストを開いて I/O ポート配置を解析 手順 7

I/O Planner では、さまざまな方法で I/O ポートをパッケージ ピンか I/O ダイ パッドのいずれかに配置できます。自動配置のコマンドを使用すると、すべてまたは選択した I/O ポートのグループがバスおよびインターフェイス別に分けられ、I/O バンク規則に従って配置されます。

また、選択した I/O ポートを [Package] ビューや [Device] ビューにドラッグできる 3 種類の半自動配置モードもあります。

- [Place I/O Ports in an I/O Bank] コマンド
- [Place I/O Ports in Area] コマンド
- [Place I/O Ports Sequentially] コマンド

I/O Planner のインタラクティブな DRC は I/O 配置中にオン/オフを切り替えることができます。

7-1. 合成済みのネットリスト ベースのプロジェクトを開きます。

7-1-1. Getting Started ページで [Open Project] のリンクをクリックするか、**[File]** → **[Open Project]** をクリックします。

7-1-2. 次のプロジェクトを指定します。

<*Install_Dir*>/PlanAhead_Tutorial/Projects/project_cpu_netlist/project_cpu_netlist.ppr

または、Getting Started ページで [Open Example Project] → [CPU (Synthesized)] をクリックします。

7-1-3. [Sources] ビューで constr_1 Constraint フォルダがアクティブになっていることを確認します。アクティブになっていない場合は、右クリックし、**[Make Active]** をクリックします。

7-1-4. Flow Navigator で **[Netlist Design]** をクリックします。

7-1-5. [Netlist Design] ビューのバーナーで **[I/O Planner]** ボタンをクリックします。

I/O Planner ビューのレイアウトが表示されます。

7-2. ワークスペースに [Package] ビューと [Device] ビューの両方を表示します。

PlanAhead には、ワークスペースというグラフィカルな表示エリアがあります。この表示エリアは、複数のウィンドウを一度に表示するために、垂直方向または水平方向に分割できます。これにより、I/O バンクとインターフェイスを選択して、物理パッケージ ピンと内部ダイ パッドの位置を確認できます。

7-2-1. [Package] ビューのタブをクリックし、次の図のようにグレーの長方形が表示されるまでワークスペースの右端にドラッグします。

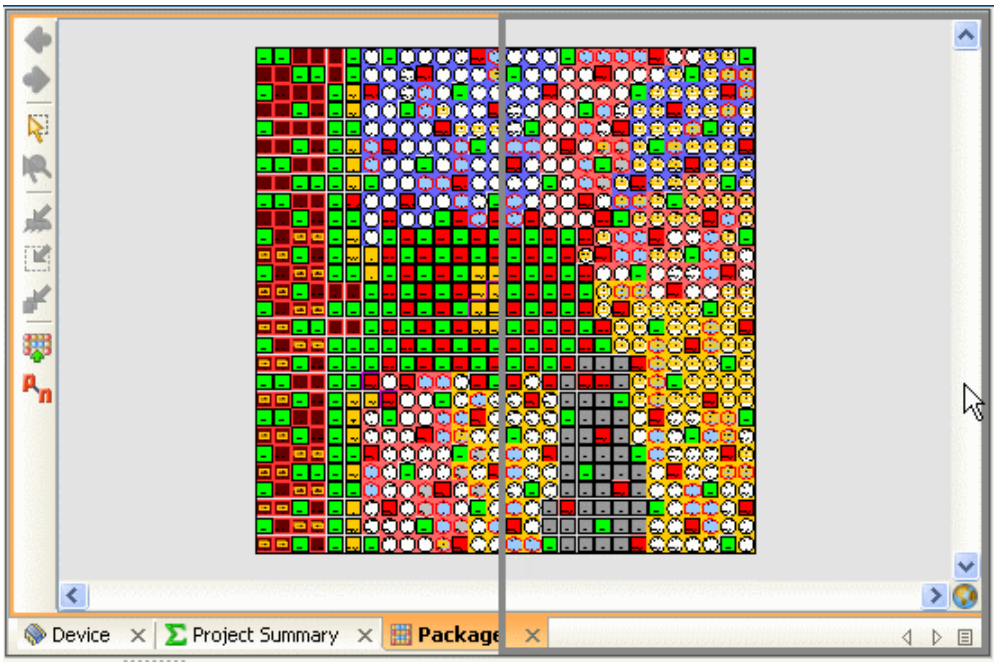


図 15 : ワークスペース

7-2-2. ビューをドロップします。

7-2-3. 必要であれば [Device] ビューのタブをクリックして手前に表示します。

7-2-4. [Package] ビューと [Device] ビューでそれぞれクリックし、カーソルを左上にドラッグして全体を表示します。

7-2-5. 必要であればワークスペースの大きさを調整します。

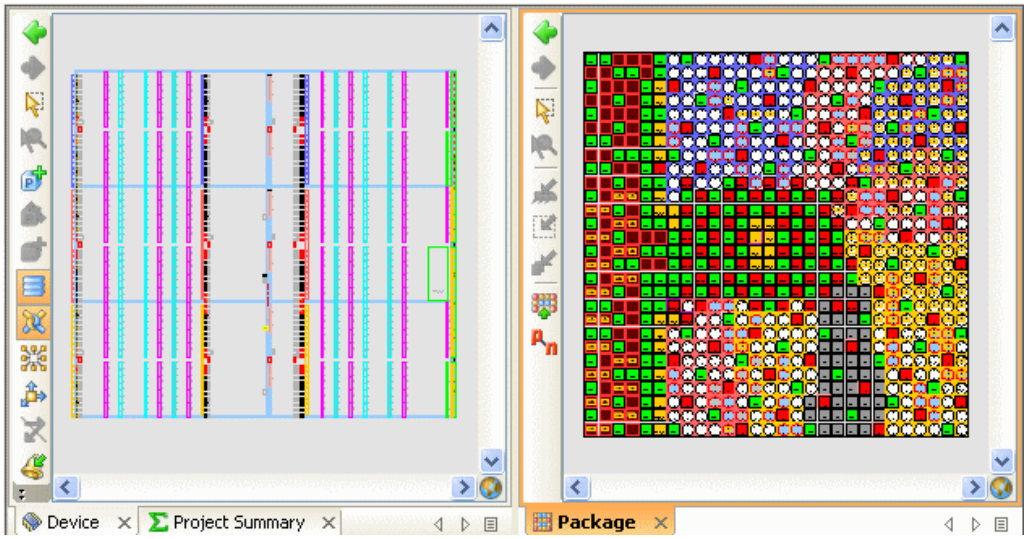


図 16 : [Package] ビューと [Device] ビューの分割表示

7-2-6. [I/O Ports] ビューの **[Maximize]** ボタン ( ) をクリックして、ビューを最大化します。

7-2-7. [I/O Ports] ビューで **[Expand All]** ボタン ( ) をクリックします。

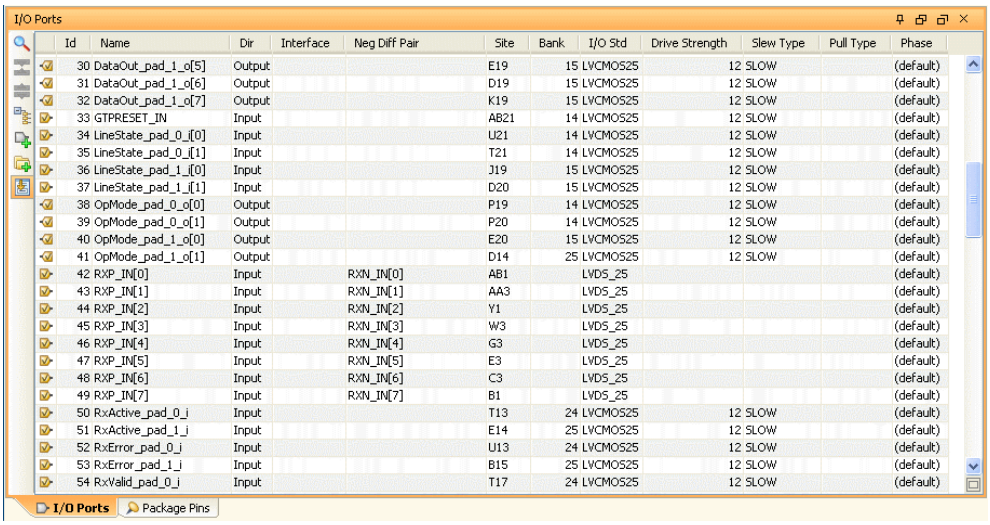
7-2-8. バスと信号のリストをスクロールダウンします。

バスによっては、差動ペアのバスを示す [Neg Diff Pair] フィールドが表示されます。

7-2-9. [I/O Ports] ビューで **[Group by Interface and Bus]** ( ) をクリックします。

I/O ポートが、バス別ではなく、1 つのリストとしてフラットに表示されます。

7-2-10. リストをスクロールダウンし、I/O 規格が適用されていることを確認してください。



I/O Ports

Id	Name	Dir	Interface	Neg Diff Pair	Site	Bank	I/O Std	Drive Strength	Slew Type	Pull Type	Phase
30	DataOut_pad_1_o[5]	Output			E19	15	LVCMOS25	12	SLOW		(default)
31	DataOut_pad_1_o[6]	Output			D19	15	LVCMOS25	12	SLOW		(default)
32	DataOut_pad_1_o[7]	Output			K19	15	LVCMOS25	12	SLOW		(default)
33	GTPRESET_IN	Input			AB21	14	LVCMOS25	12	SLOW		(default)
34	LineState_pad_0_i[0]	Input			U21	14	LVCMOS25	12	SLOW		(default)
35	LineState_pad_0_i[1]	Input			T21	14	LVCMOS25	12	SLOW		(default)
36	LineState_pad_1_i[0]	Input			J19	15	LVCMOS25	12	SLOW		(default)
37	LineState_pad_1_i[1]	Input			D20	15	LVCMOS25	12	SLOW		(default)
38	OpMode_pad_0_o[0]	Output			P19	14	LVCMOS25	12	SLOW		(default)
39	OpMode_pad_0_o[1]	Output			P20	14	LVCMOS25	12	SLOW		(default)
40	OpMode_pad_1_o[0]	Output			E20	15	LVCMOS25	12	SLOW		(default)
41	OpMode_pad_1_o[1]	Output			D14	25	LVCMOS25	12	SLOW		(default)
42	RXP_IN[0]	Input		RXN_IN[0]	AB1		LVDS_25				(default)
43	RXP_IN[1]	Input		RXN_IN[1]	AA3		LVDS_25				(default)
44	RXP_IN[2]	Input		RXN_IN[2]	Y1		LVDS_25				(default)
45	RXP_IN[3]	Input		RXN_IN[3]	W3		LVDS_25				(default)
46	RXP_IN[4]	Input		RXN_IN[4]	G3		LVDS_25				(default)
47	RXP_IN[5]	Input		RXN_IN[5]	E3		LVDS_25				(default)
48	RXP_IN[6]	Input		RXN_IN[6]	C3		LVDS_25				(default)
49	RXP_IN[7]	Input		RXN_IN[7]	B1		LVDS_25				(default)
50	RxActive_pad_0_i	Input			T13	24	LVCMOS25	12	SLOW		(default)
51	RxActive_pad_1_i	Input			E14	25	LVCMOS25	12	SLOW		(default)
52	RxError_pad_0_i	Input			U13	24	LVCMOS25	12	SLOW		(default)
53	RxError_pad_1_i	Input			B15	25	LVCMOS25	12	SLOW		(default)
54	RxValid_pad_0_i	Input			T17	24	LVCMOS25	12	SLOW		(default)

I/O Ports　Package Pins

図 17 : I/O 規格および差動ペアの要件の確認

RXP_IN、TXP_OUT、TILE_REFCLK_PAD* バスは差動ペアで、独自の I/O 規格が使用されていることがわかります。

I/O ポート インターフェイスの作成　　手順 8

I/O ポートを I/O インターフェイス別にグループ分けすると、便利なことがよくあります。I/O Planner では、ピン、バス、その他インターフェイスといったグループを「インターフェイス」と呼ばれるフォルダに定義別にまとめることができます。これにより、I/O ポートの管理がしやすくなり、インターフェイス特有の PCB 回路図シンボルも生成しやすくなります。また、I/O ポートの自動配置機能を使用した場合、そのインターフェイス全体がグループにまとめられます。

8-1. 類似した I/O ポート グループのインターフェイスを作成します。

このチュートリアルで使用されるデザインには、USB インターフェイスが 2 つ含まれ、それぞれに多くの I/O ポートが含まれます。I/O ポート名は上の図で示すように _0 および _1 で区別されています。次の手順では、USB0 および USB1 のすべての信号のインターフェイスを作成します。

8-1-1. [Show Search] ( ) をクリックします。

8-1-2. [Search] フィールドに _0 と入力します。

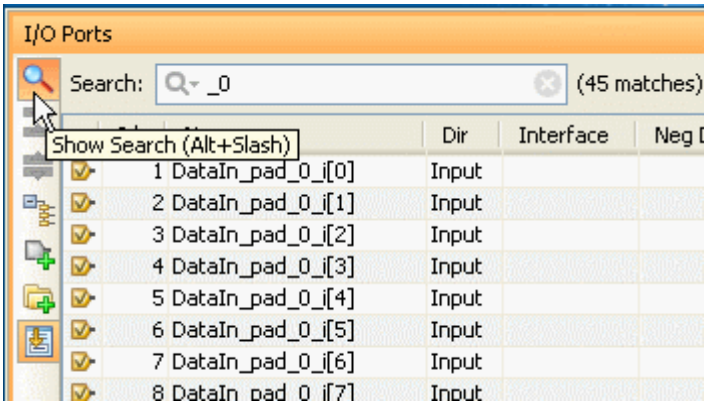


図 18 :USB_0 に関連するバスの選択

8-1-3. フィルタされたリストからポートの 1 つをクリックします。

Ctrl+A を押し、フィルタされたリストですべてのポートを選択します。

8-1-4. 右クリックし、**[Create I/O Port Interface]** をクリックします。

[Create I/O Port Interface] ダイアログ ボックスが表示されます。

8-1-5. [Name] に USB0 と入力します。

8-1-6. **[OK]** をクリックします。

図 19 :I/O ポート インターフェイスの作成

USB0 フォルダが [I/O Ports] ビューに表示されます。

8-1-7. [Search] フィールドに今度は _1 と入力し、同じ手順で USB1 の I/O ポート インターフェイスを作成します。

8-1-8. [Show Search] ( ) をクリックし、検索フィルタを削除します。

8-1-9. [Group by Interface and Bus] ボタン ( ) をクリックします。

8-1-10. [Collapse All] ( ) をクリックします。

I/O ポートは、USB 関連ポート別にインターフェイス グループにまとめられて表示されます。

8-1-11. [Scalar ports] フォルダを展開し、クロック リセットとほかのアイテムを表示します。

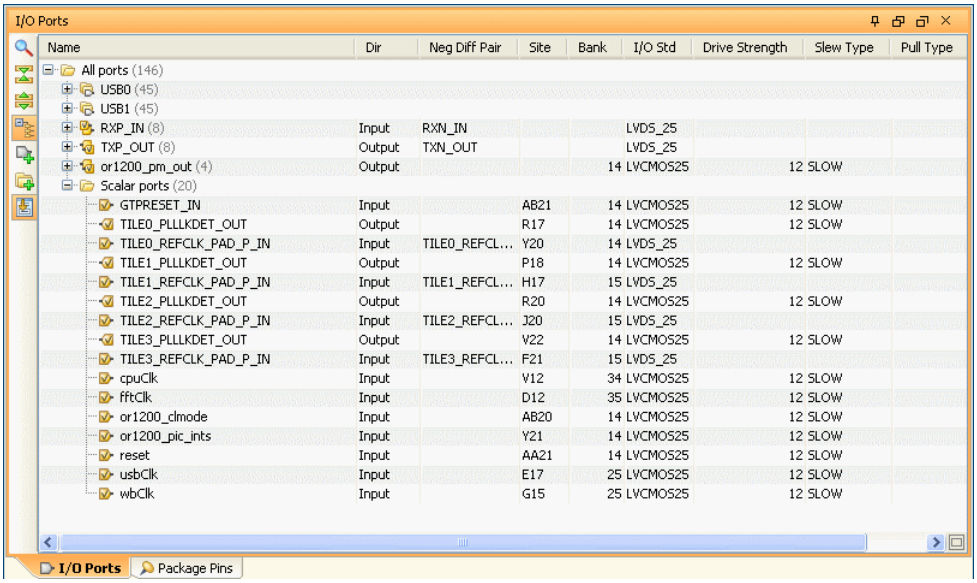


図 20 : I/O ポート インターフェイス グループとスカラ ポートの表示

8-1-12. [Restore View] ( ) をクリックします。

[I/O Ports] ビューが元の位置に戻ります。

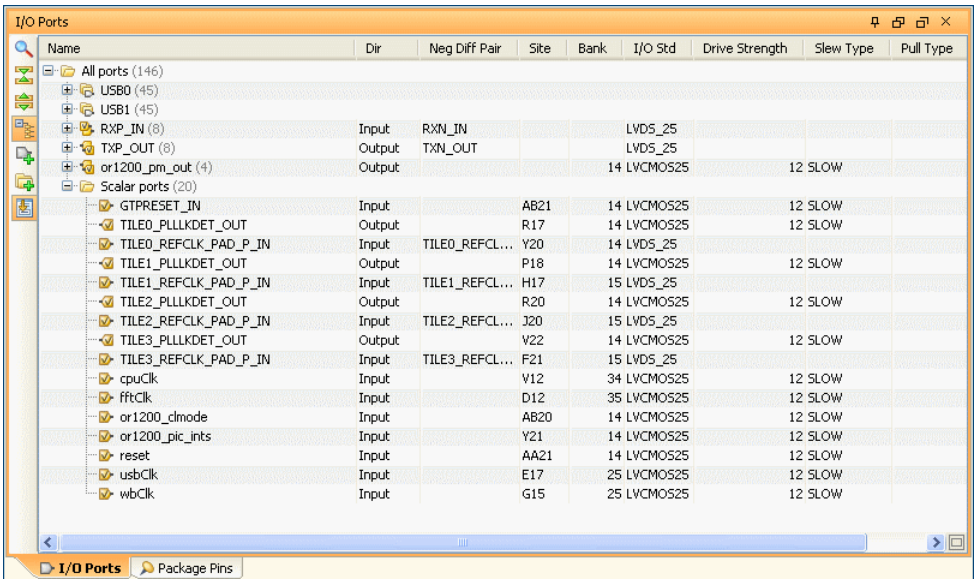


図 21 : 元の位置に戻った [I/O Ports] タブ

8-2. I/O 配置を確認します。

8-2-1. [I/O Ports] ビューで、USB0 インターフェイスを選択します。

I/O ポートの位置が [Package] ビューと [Device] ビューの両方でハイライトされます。ポートは [Package Pins] ビューでグループ分けされ、[Device] ビューの左下の区画に表示されます。

8-2-2. [I/O Ports] ビューで、USB1 インターフェイスを選択します。

ポートは [Package Pins] ビューでグループ分けされ、[Device] ビューの左上の区画に表示されます。

8-2-3. RXP_IN または TXP_OUT バスをクリックし、GT とその I/O 配置を確認します。

8-3. クロック ロジック配置を確認します。

8-3-1. **[Find]** ( ) をクリックします。

8-3-2. 設定されていない場合は、オブジェクト タイプに **[Instances]** を指定します。

8-3-3. ドロップダウン メニューで、**[Instance Type of IO]** → **[GigaBit IO]** を選択します。

8-3-4. **[OK]** をクリックします。

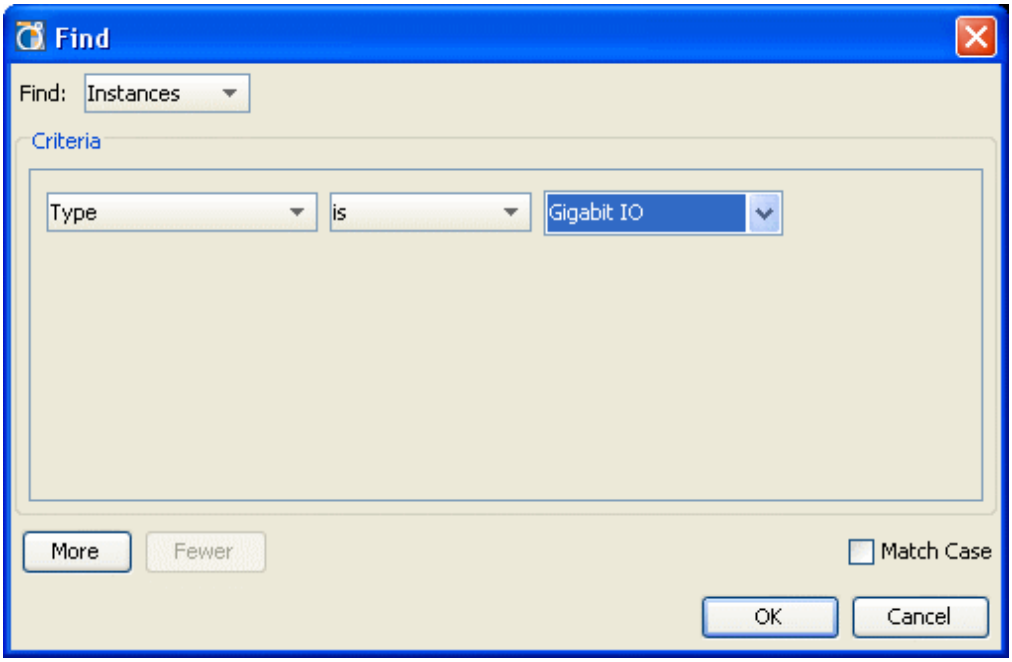


図 22 :すべてのギガビット IO ロジックの検索

[Find Results] ビューにギガビット IO トランシーバすべてが表示されます。

[Find Results] ビューの各クロック ロジック オブジェクトの横のアイコンが青の横線の入ったものになっている場合、そのロジック オブジェクトが配置され、LOC 制約が割り当てられていることを示します。

8-3-5. リストから配置済みオブジェクトの 1 つをクリックします。

そのオブジェクトが [Device] ビューでハイライトされます。

8-3-6. [Find Results] ビューで **Ctrl+A** を押し、ビュー内のすべてのオブジェクトを選択します。

すべてのギガビット ロジック オブジェクトが [Device] ビューでハイライトされます。

インポートした I/O 配置制約の削除　　手順 9

PlanAhead には、配置制約を維持したり、削除したりできるオプションやフィルタがあります。I/O は手動で割り当てられるので、配置された I/O およびクロック ロジックには固定された LOC 配置制約が付きます。PlanAhead では、ユーザー定義の固定された制約と ISE インプリメンテーションで割り当てられた固定されていない制約が区別されるので、どのロジック タイプの LOC 制約を維持するか、削除するかを制御しやすくなっています。固定配置すべてには、ISE インプリメンテーション用にエクスポートされる UCF ファイルで LOC 制約が付けられます。

ピン割り当てを作成するには、まず既存の I/O LOC 制約を削除する必要があります。

9-1. [Clear Placement Constraints] コマンドを使用してインポートされた I/O 制約を削除します。

9-1-1. [Unselect All] ( ) をクリックします。

9-1-2. **[Tools]** → **[Clear Placement]** をクリックします。

Clear Placement Constraints ウィザードが開始します。

9-1-3. **[I/O port placement]** をオンにします。

9-1-4. **[Next]** をクリックします。

[Fixed Placement] ページが開きます。

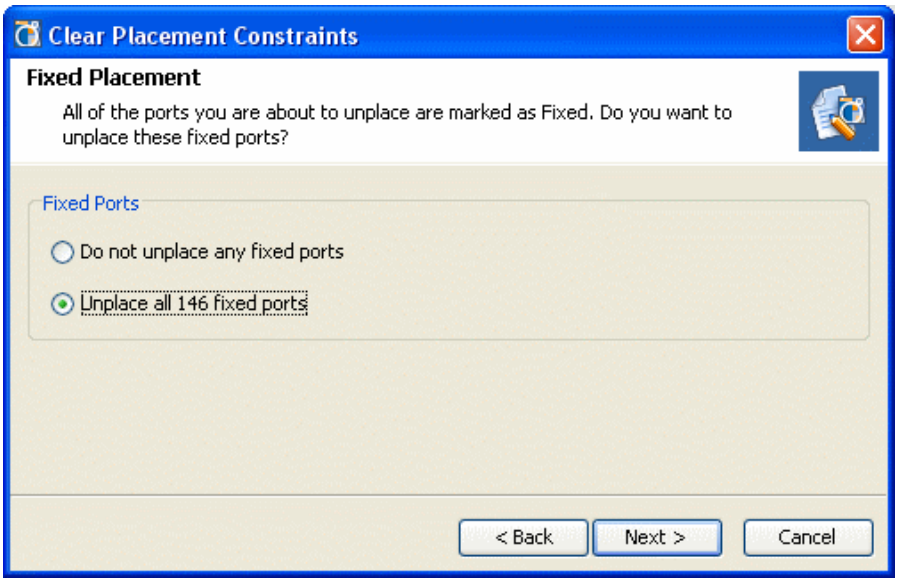


図 23 : 固定フィルタ オプションの選択

9-1-5. **[Unplace all 146 fixed ports]** をオンにします。

9-1-6. **[Next]** をクリックします。

9-1-7. サマリを確認します。

9-1-8. **[Finish]** をクリックします。

配置制約が [Package] ビューと [I/O Ports] ビューで削除されます。

I/O ポートの配置　　手順 10

PlanAhead では、さまざまな方法で I/O ポートをパッケージ ピンか I/O ダイ パッドのいずれかに配置できます。自動配置のコマンドを使用すると、すべてまたは選択した I/O ポートのグループがバスおよびインターフェイス別に分けられ、I/O バンク規則に従って配置されます。

デフォルトでは、I/O 配置中にインタラクティブな DRC が使用されます。このチェックは、[Package] ビューおよび [Device] ビューで、[Automatically Enforce Legal I/O Placement] ボタンをオフにすると実行されなくなります。これは、**[Tools]** → **[Options]** → **[General]** からも設定できます。

また、選択した I/O ポートを [Package] ビューや [Device] ビューにドラッグできる 3 種類の半自動配置モードもあります。

- [Place I/O Ports in an I/O Bank] コマンド
- [Place I/O Ports in Area] コマンド
- [Place I/O Ports Sequentially] コマンド

10-1. ポート インターフェイスの USB0 を [Place I/O Ports in an I/O Bank] を使用して配置します。

10-1-1. USB0 インターフェイスを選択します。

10-1-2. [Package] ビューで **[Place I/O Ports in an I/O Bank]** ボタン ( ) をクリックします。

10-1-3. カーソルを [Package] ビューの上にドラッグします。

カーソルが [Package] ビューにドラッグされると、割り当てパターン表示され、配置するピン数が図のように表示されます。

PlanAhead 下部の情報バーには、I/O バンクやパッケージ ピンを含め、ドラッグされるオブジェクトに関する情報が表示されます。

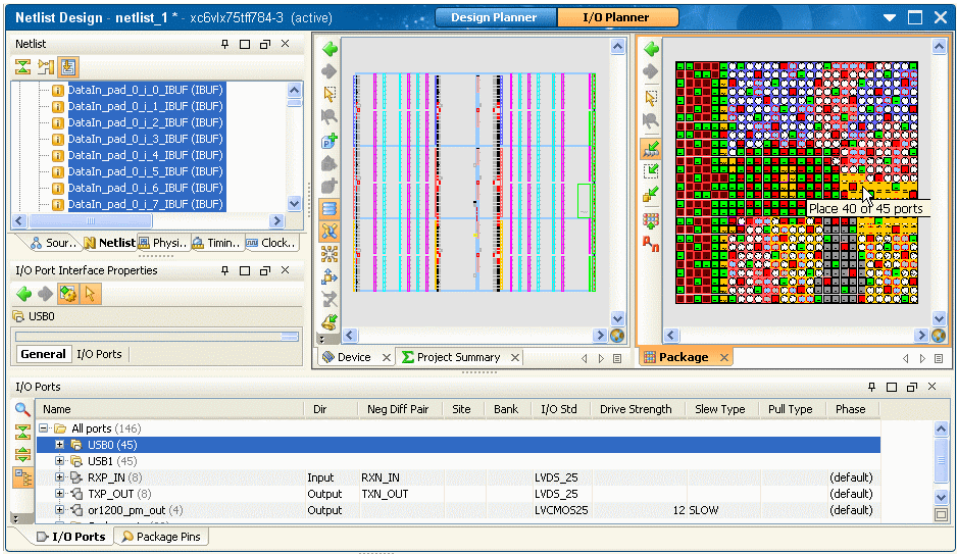


図 24 : [Place I/O Ports in an I/O Bank] コマンド

10-1-4. 上の図のように、[Package] ビューの右側の **[I/O Bank 14]** をクリックし、I/O ポートをドロップします。

10-1-5. 下部の隣接する I/O バンク 24 を選択し、残りの I/O ポートも配置します。

図 25 : I/O ポートの I/O バンクへの配置の続行

I/O ポートが [I/O Ports] ビューの表示どおりに割り当てられます。割り当て順序は、最初に選択したピンから順番になります。

10-1-6. [I/O Ports] ビューで **[Collapse All]** ボタン ( ) をクリックします。

10-2. I/O ポート インターフェイスの USB1 を [Place I/O Ports in an Area] を使用して配置します。

10-2-1. [Device] ビューでデバイスの左上の区画を拡大表示します。

10-2-2. [I/O Ports] ビューで **[USB1 Interface]** を選択します。

10-2-3. [Device] ビューで **[Place I/O Ports in an Area]** ボタン ( ) をクリックします。

カーソルが十字の描画モードになります。

10-2-4. 左上の I/O バンクから下にカーソルをドラッグして四角形を描画し、すべての I/O ポートがその四角形内に収まるようにします。

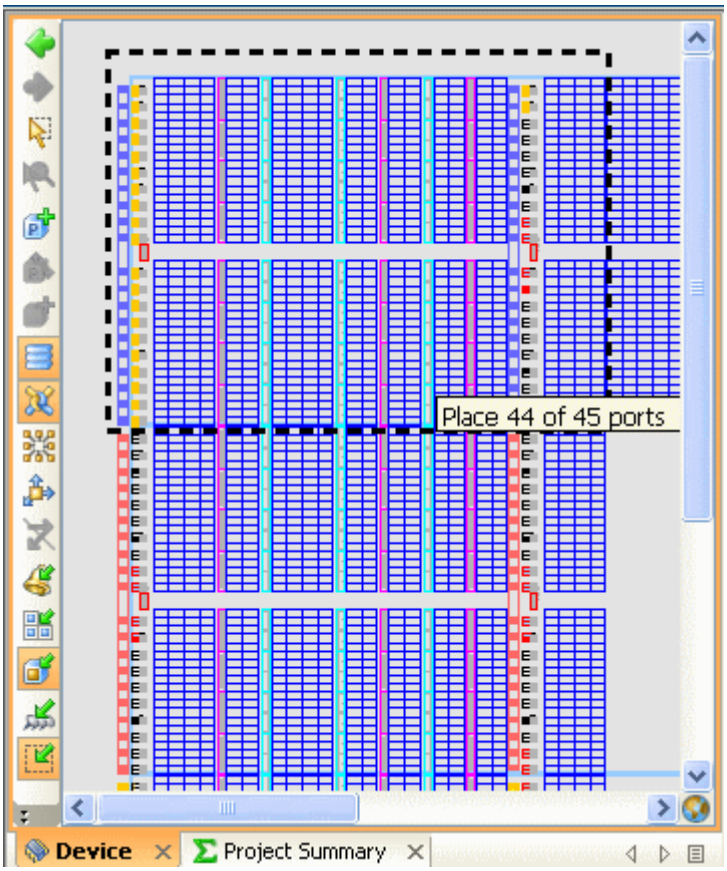


図 26 : USB1 の I/O ポートの配置

まだ配置されていない I/O クロック ポートが 1 つあります。デバイスのこのエリアにはグローバル クロック パッドがありません。グローバル クロック パッドを見つける必要はありません。 自動配置コマンドで後で配置します。

10-2-5. Esc キーを押して、コマンドを終了します。

10-3. RXP_IN 差動ペア バスを [Place I/O Ports Sequentially] で配置します。

10-3-1. [Package] ビューで **[Show Differential I/O pairs]** ボタン ( ) をクリックして表示を切り替えます。

10-3-2. 差動ペア ピンの表示されているデバイスの左下のエリアを拡大します。

10-3-3. [I/O Ports] ビューで、RXP_IN バスを選択します。

10-3-4. [Package] ビューで **[Place I/O Ports Sequentially]** ボタン ( ) をクリックします。

10-3-5. 最初の差動ペア I/O ポートを下部の I/O バンクの 1 つにドラッグし、クリックして配置します。

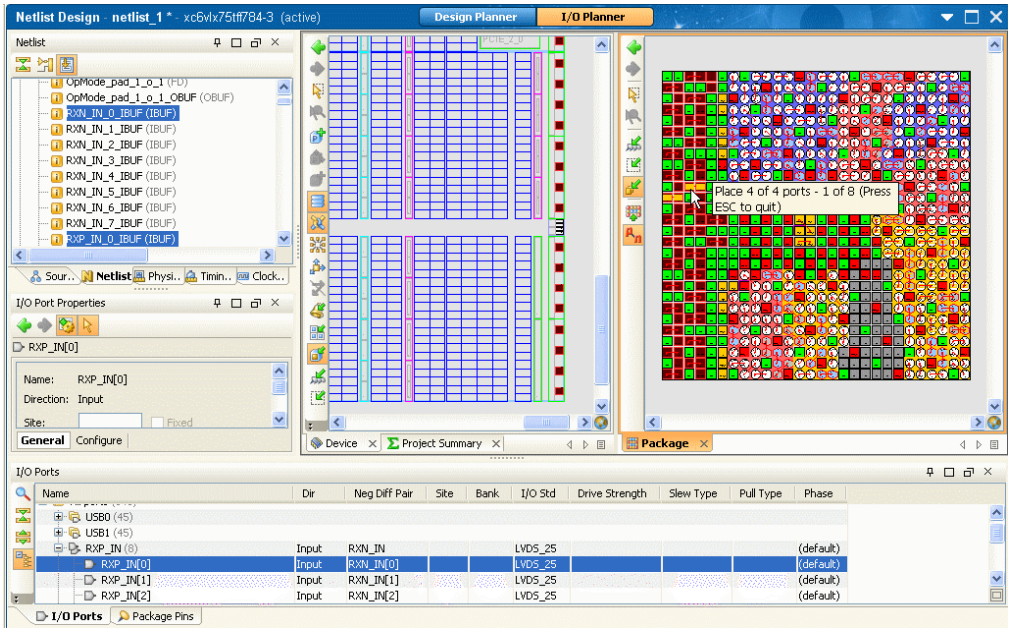


図 27 : 差動ペア I/O バス ポートの順次配置

ギガビット トランシーバ (GT) に関連する差動ペアが両方とも有効なサイトに配置されました。選択したサイトが不正な場合はその理由を示すツールチップが表示されます。

ピン位置は、[I/O Port Properties] ビューの [Site] に手動で入力することもできます。

10-3-6. [Package] ビューで別のピンを選択し、次の差動ペア I/O バス ポートを配置します。

10-3-7. [Device] ビューで下部の GT の I/O サイトの一番上のピンをクリックします。

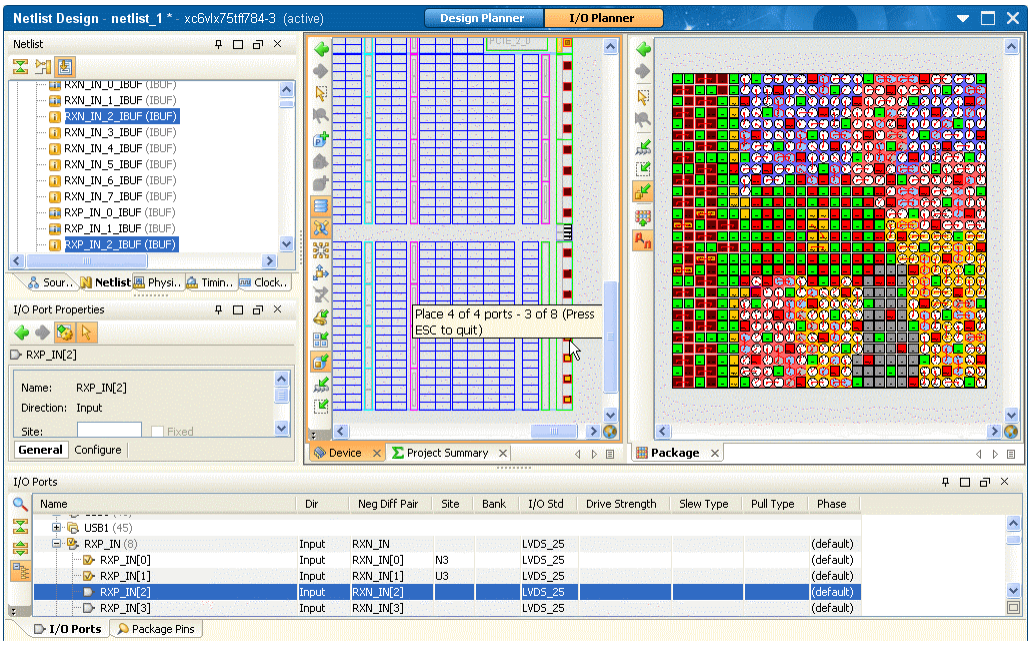


図 28 : [Device] ビューでのギガビット トランシーバ関連の I/O の順次配置

10-3-8. **Esc** キーを押して、コマンドを終了します。

GT とそれに関連する I/O は次の手順で配置します。

10-3-9. [Package] ビューで **[Show Differential I/O pairs]** ボタン ( ) をクリックして表示を切り替えます。

10-3-10. [Zoom Fit] をクリックし、[Package] ビューおよび [Device] ビューに全体を表示します。

10-4. 残りの I/O ポートを自動的に配置します。

10-4-1. オンになっている場合は、[Unselect All] ( ) をクリックしてオフにします。

10-4-2. **[Tools]** → **[Autoplace I/O Ports]** をクリックします。

10-4-3. [Autoplace I/O Ports] ダイアログ ボックスで **[Next]** をクリックします。

[Placed I/O Ports] ページが表示されます。

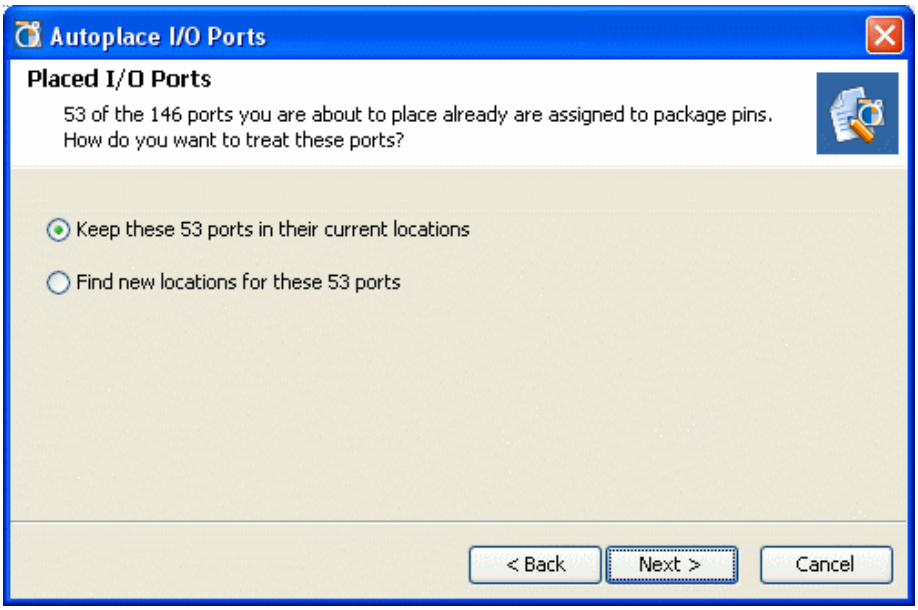


図 29 : [Autoplace I/O Ports] ダイアログ ボックス

このコマンドを実行したときに I/O ポートが選択されている場合は、それらのポートが [Autoplace I/O Ports] の選択フィルタで認識され、自動配置を一部にのみ実行可能です。

10-4-4. [**Keep these 53 ports inn their current locations**] をオンにます。

10-4-5. **[Next]** をクリックします。

デザイン例の配置済みポート数は上の図とは異なることもあります。

10-4-6. [Summary] ページで **[Finish]** をクリックします。

ポートが配置されます。

10-4-7. [I/O Ports] ビューで **[Collapse All]** ボタンをクリックします。

10-4-8. [I/O Ports] ビューで、さまざまなインターフェイスやバスをクリックし、配置中にどのようにグループ分けされたか確認します。

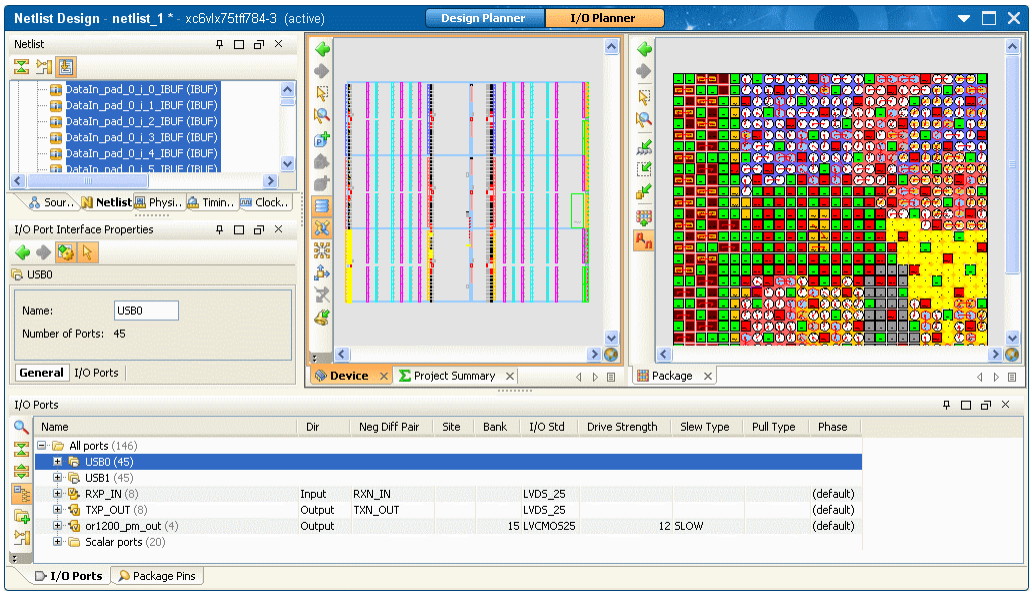


図 30：自動配置結果の検証

ギガビット トランシーバおよびクロック ロジックの配置　　手順 11

PlanAhead では、クリティカル クロックまたは I/O 関連ロジックを配置できます。合成済みネットリストをインポートしたら、クロックおよびクロック関係が確認できるようになるので、これらのオブジェクトを特定のデバイス サイトに固定できます。PlanAhead では、自動的に GT やそれに関連する I/O ピン ペアなどのロジックが分類されるので、こういったロジックの選択や配置がしやすくなります。

11-1. ワークスペースの [Package] ビューと [Device] ビューの分割表示を解除します。

この段階で I/O ポートはすべて配置されたので、[Package] ビューは必要なくなくなりました。分割表示は簡単に解除できます。

11-1-1. [Package] ビューのタブをクリックし、[Device] ビューのタブの上にドラッグします。グレーの長方形で [Device] ビュー全体が囲まれます。

11-1-2. [Package] ビューを [Device] ビューの上にドロップします。

11-1-3. [Device] タブをクリックし、手前に表示します。

11-1-4. 必要であれば大きさを調整します。

11-2. [I/O Planner] ビューを最大化します。

I/O Planner を最大化すると、Flow Navigator とメッセージ エリアが非表示になります。

11-2-1. [Maximize Planner] をクリックします。

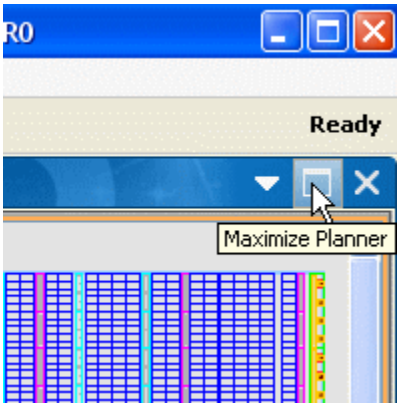


図 31 : ネットリストの I/O Planner 表示の最大化

11-3. ギガビット I/O とグローバル クロック ロジックを検索します。

11-3-1. **[Edit]** → **[Find]** をクリックします。

[Find] ダイアログ ボックスが開きます。

11-3-2. **[More]** ボタンをクリックし、検索にほかのインスタンス タイプも含められるようにします。

11-3-3. 追加したフィルタの行で [Criteria] オプションに **[OR]** を設定します。

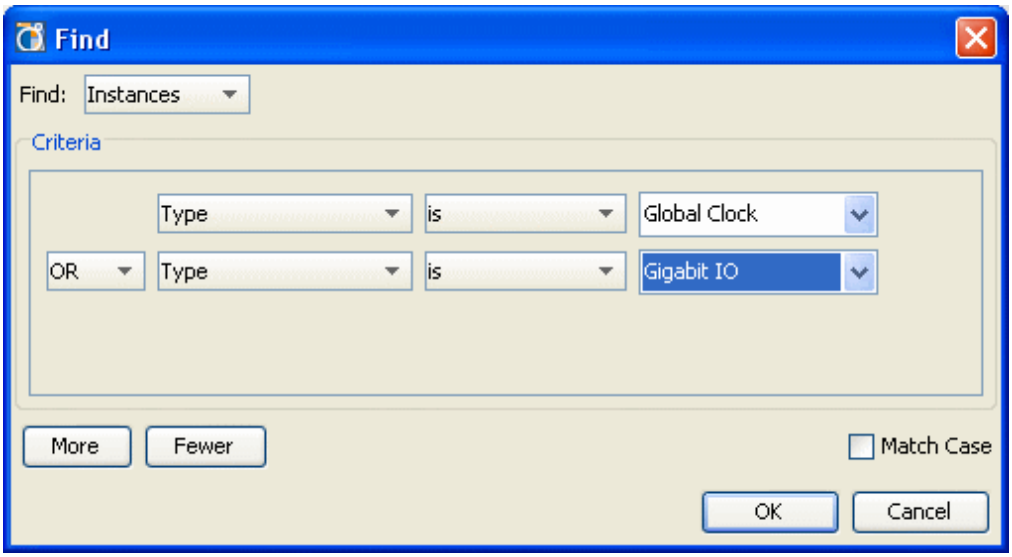


図 32 : グローバル クロックおよびギガビット I/O の検索

11-3-4. フィルタを図 32 と同じように設定します。

11-3-5. **[OK]** をクリックします。

[Find Results] ビューが開きます。

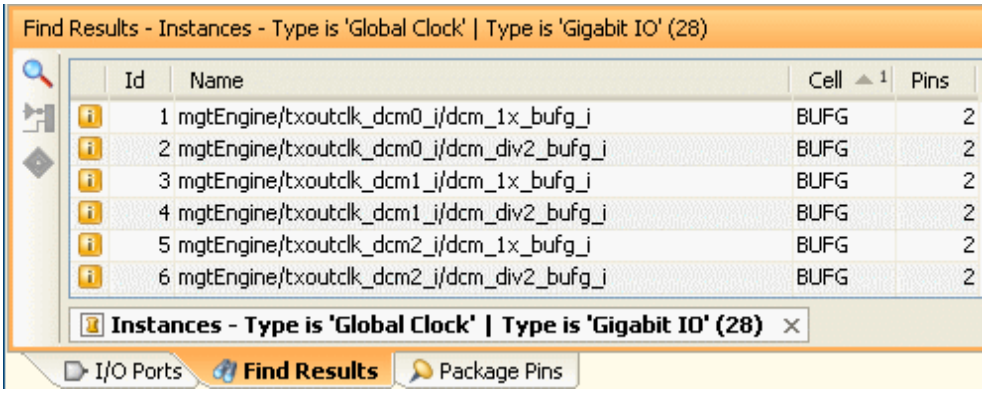


図 33 : グローバル クロック オブジェクト タイプの分類

11-3-6. [Cell] 列のヘッダをクリックし、ロジック タイプ別に並び替えます。結果は、図 33 のようになるはずです。

11-3-7. オブジェクト リストをスクロールダウンします。BUFG、BUFGP、DCM_ADV、GTXE1 を確認します。既に配置されているオブジェクトは、青の横線の入ったアイコンで表示されます。

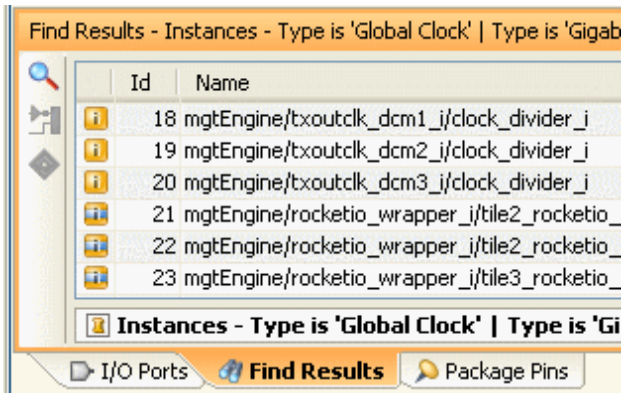


図 34 : 配置の有無を示すアイコン

GT および DCM のロジックは、リストの 0 ～ 3 です。これらのオブジェクトを互いに最適な位置に配置します。

11-3-8. GTXE1 オブジェクトをそれぞれ選択すると、ロジック番号 0 ～ 3 に関しては配置順序が決まっていないように見えます。

11-4. GTX インターフェイスの配置を解除し、これらの配置を最適化します。

11-4-1. [Find Results] ビューで **Shift** キーを押し、すべての GTXE1 オブジェクトを選択します。

11-4-2. 右クリックし、**[Unplace]** をクリックします。

11-4-3. [Find Results] ビューで [Name] 列のヘッダ部分をクリックすると、名前を番号順に並べることができます。

11-4-4. [Device] ビューの右上端を拡大します。

11-4-5. [Device] ビューで **[Create Site Constraint Mode]** ボタンをクリックします。

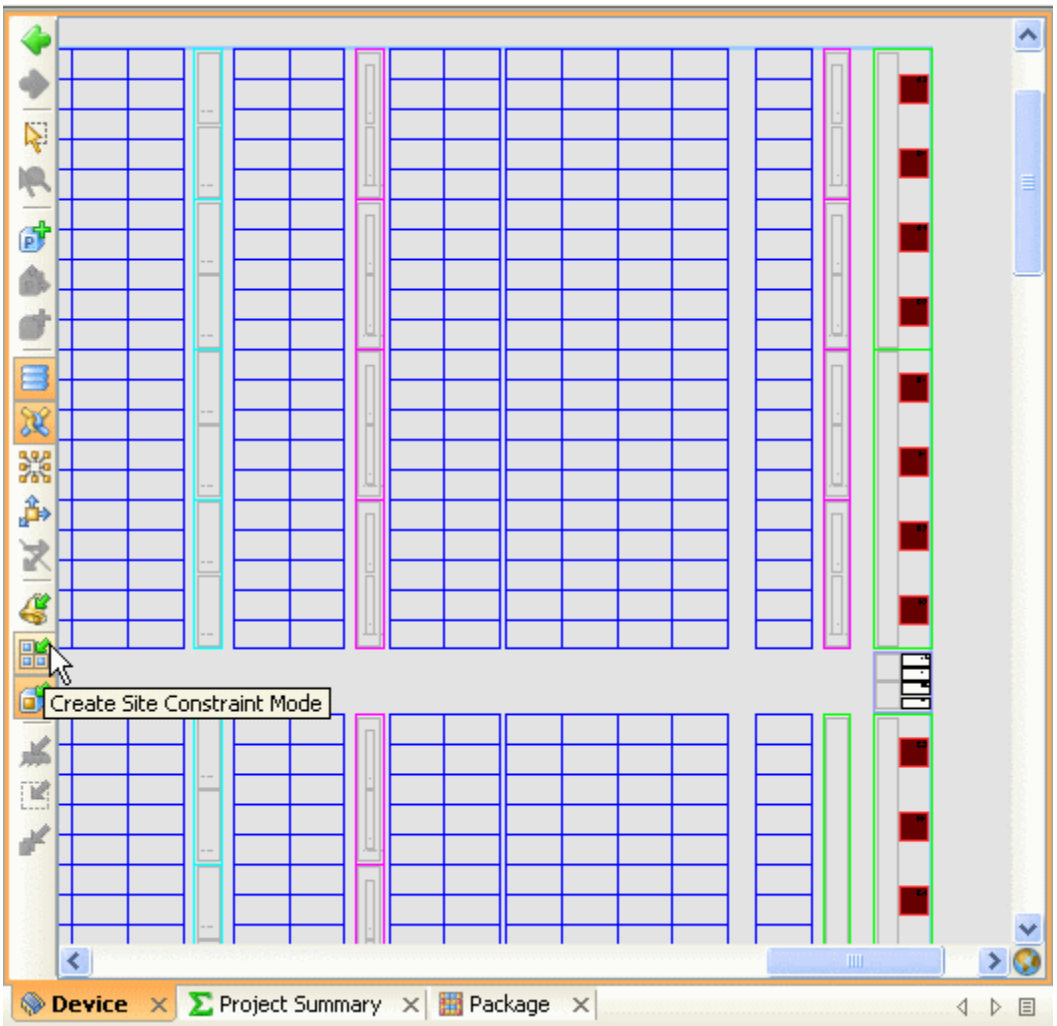


図 35 : [Create Site Constraint Mode] ボタンを使用した LOC 制約の配置

11-4-6. [Find Results] ビューで最初の GTXE1 オブジェクトをクリックして右上の GTX サイトまでドラッグして配置します。

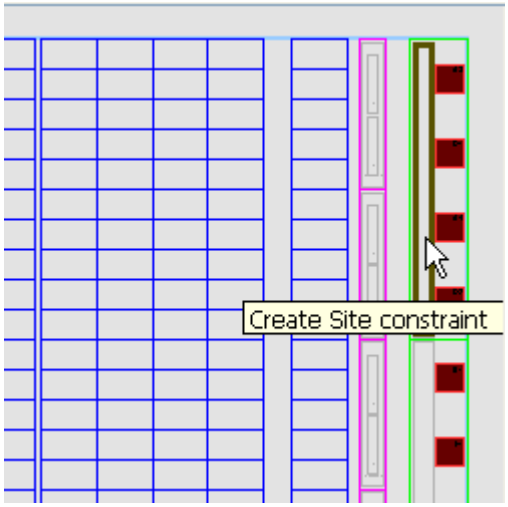


図 36 : GTX の LOC 制約の配置

GT とそれに関連する I/O が一緒に配置されます。

11-4-7. [Find Results] ビューで残りの GTXE1 オブジェクトを同じ方法でデバイスの右側に順番に配置します。

PCI ブロックのすぐ隣の GTX サイトはできれば使用しないでください。

11-5. DCM と BUFG デバイスのサイトを検索します。

11-5-1. **[Edit]** → **[Find]** をクリックします。

[Find] ダイアログ ボックスが開きます。

11-5-2. ドロップダウン リストで **[Sites]** を選択します。

11-5-3. **[More]** をクリックします。

11-5-4. **[OR]** を選択します。

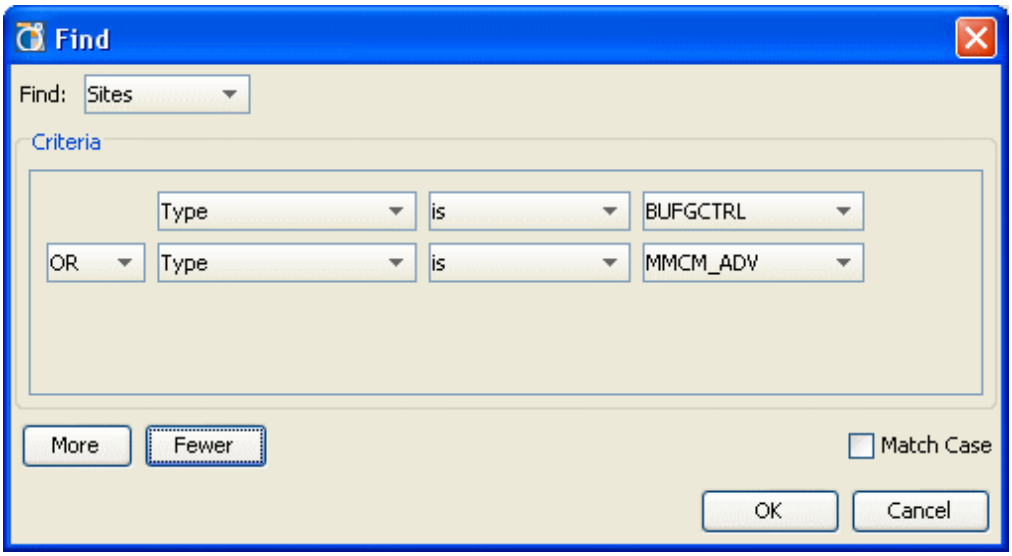


図 37 : GTP_Dual サイトの検索

11-5-5. フィルタを図 37 と同じように設定します。

11-5-6. **[OK]** をクリックします。

11-5-7. [Find Results] ビューでさまざまなロジック タイプをクリックしてみて、それらのロジック オブジェクトがデバイスのどこにあるか確認します。

デバイス ルールでは、関連する MMCM と BUFG は同じ上部半分か下部半分に配置する必要があるとなっています。

11-6. [Device] ビューの右上の区画を拡大します。

11-6-1. [Find Results] ビューで **Ctrl+A** を押し、ビュー内のすべてのオブジェクトを選択します。

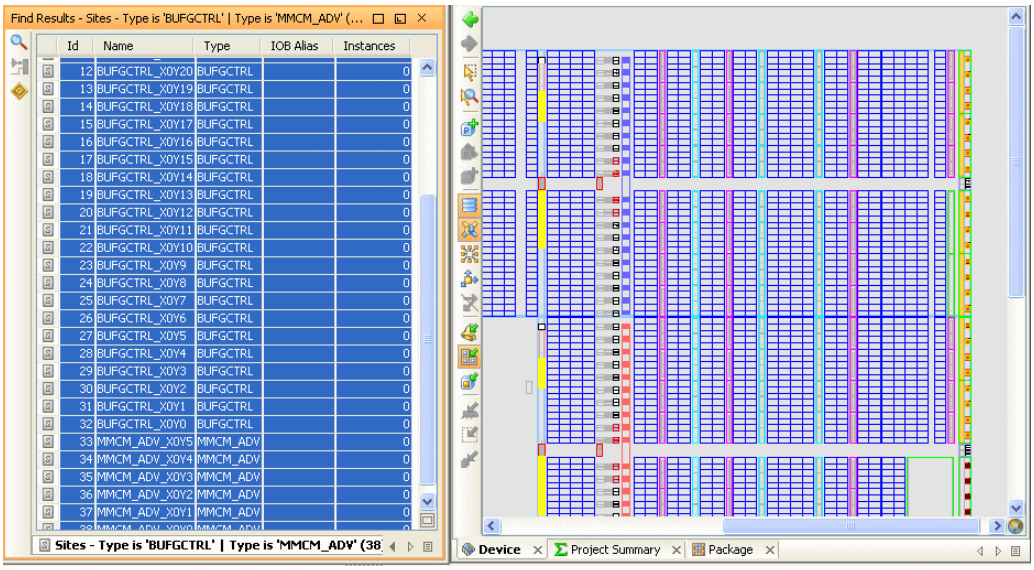


図 38 : GTP_DUAL、DCM、BUFG サイトの検索

MMCM は上部中央に、BUFG はの真ん中の I/O 列沿いにあります。

11-6-2. 右クリックで **[Mark]** をクリックして、これらのサイトにマーカーを配置します。

11-7. 回路図を使用してクロック ロジックの接続を確認します。

ここまでで、さまざまなロジック オブジェクト タイプをどこにドラッグするかわかりました。

[Find] コマンドでは 2 種類の検索が実行されました。これらの表示は、[Find Results] ビューの一番下のタブをクリックすると切り替えられます。

11-7-1. [Find Results] ビューの一番下で [Instances – Type is Global Clock] タブをクリックします。

11-7-2. [Find Results] ビューでリストの DCM_ADV セルを選択します。

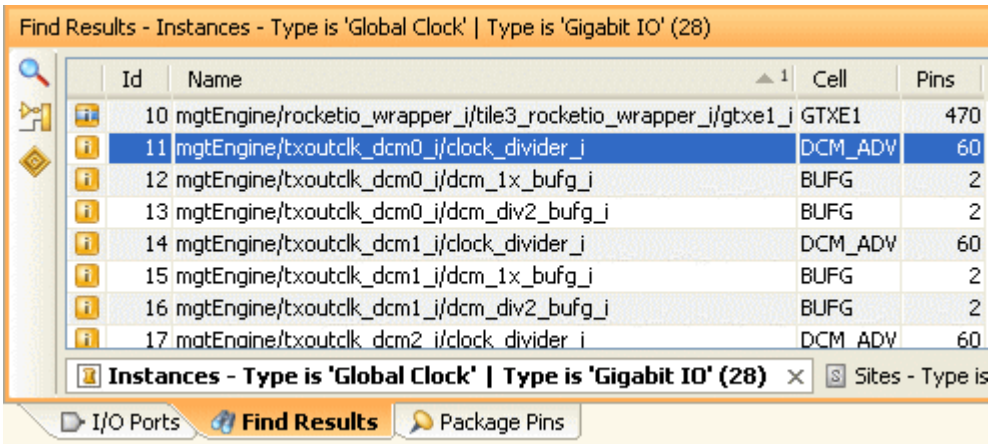


図 39 : 回路図で表示するクロック ロジックの選択

11-7-3. [Find Results] ビューで [Schematic] ボタン ( ) をクリックします。

クロック ロジック配置中のネット接続は、[Schematic] ビューと [Device] ビューから確認できます。

11-7-4. [Schematic] ビューで [Expand all logic outside selected the instance] ボタン ( ) をクリックします。

2 つの BUFG のロジック接続を確認してください。

11-7-5. txoutclk_dcm0_1 モジュールの CLK_IN ポートをダブルクリックします。

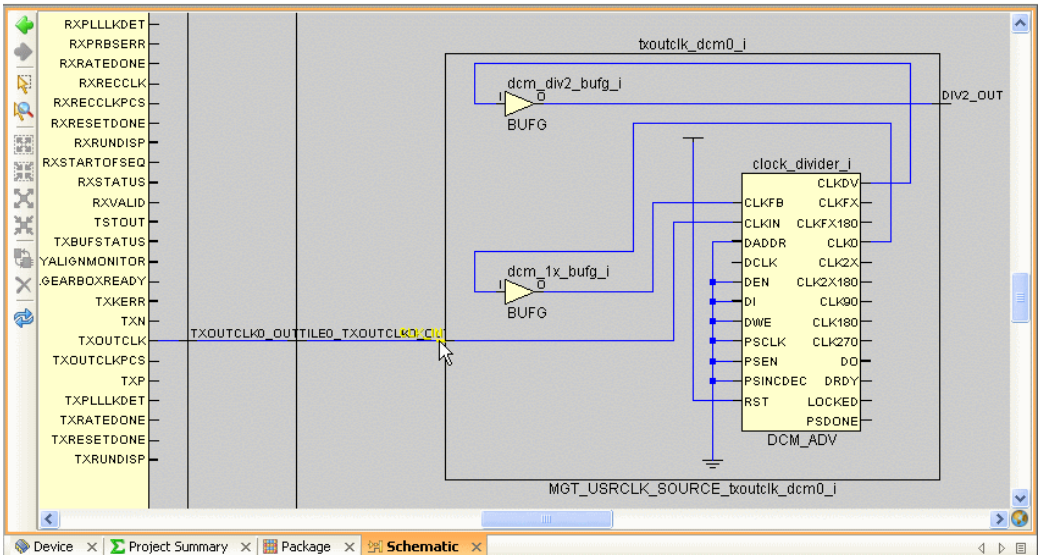


図 40 : クロック ロジック接続の表示

GTX インスタンスへのロジック接続を確認してください。

11-7-6. [Schematic] ビューの X マークをクリックします。

[Schematic] ビューが閉じます。

11-8. 最初の DCM_ADV と BUFG のセットを配置します。

11-8-1. [Device] ビューで [Show/Hide IO Nets] ボタン ( ) をクリックします。

11-8-2. [Device] ビューで **[Create Site Constraint Mode]** ボタン ( ) をクリックします。

11-8-3. [Find Results] ビューで一番上の DCM_ADV オブジェクトをクリックして一番上の MMCM サイトまでドラッグします。

ロジック オブジェクトをドラッグすると、カーソルが禁止マークから有効なサイトを示す + に変わります。

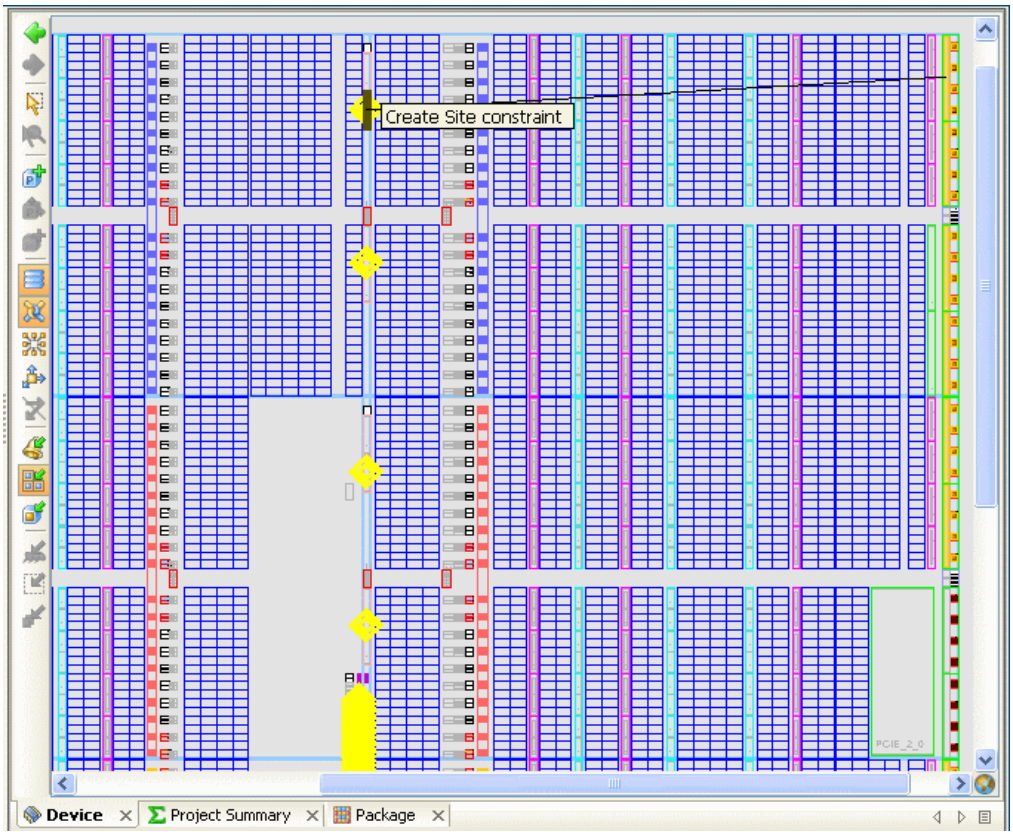


図 41 : DCM_ADV の配置

11-8-4. [Find Results] ビューで配置した DCM のすぐ下の BUFG をクリックします。

11-8-5. DCM をデバイス上半分の BUFG サイトにドラッグします。

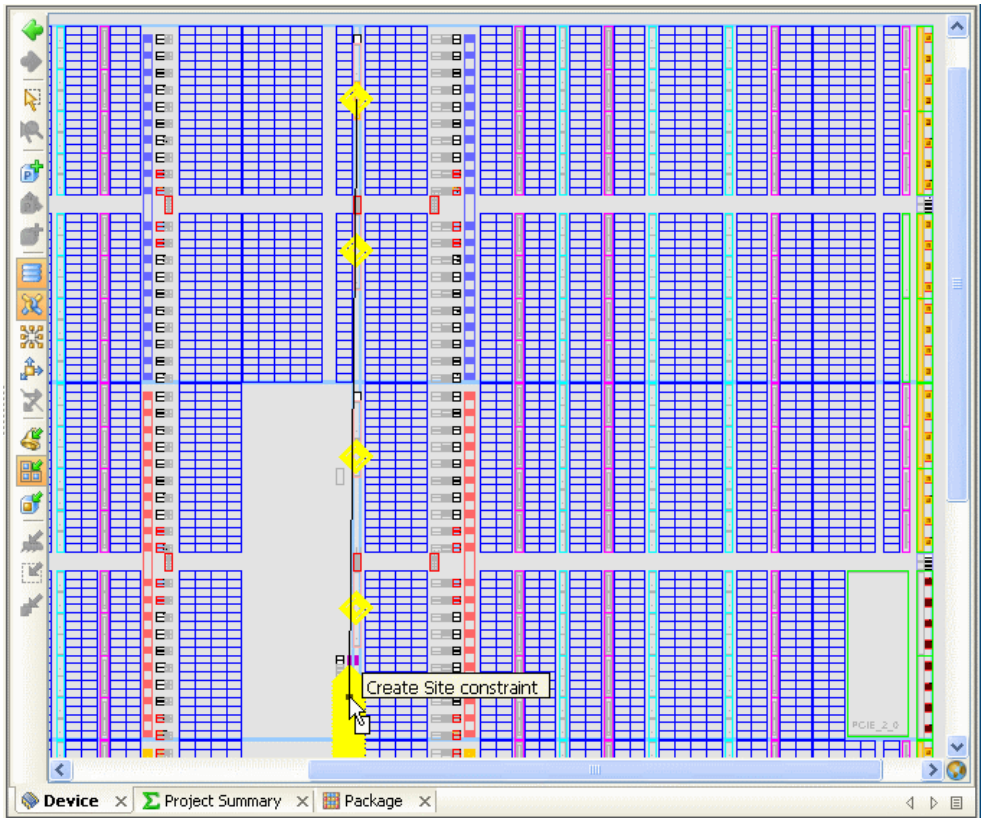


図 42 : デバイスの上半分の DCM

11-8-6. [Find Results] ビューで各 DCM_ADV オブジェクトを選択し、それぞれ DCM サイトにドラッグします。

クロック ロジック配置中のネット接続は、[Schematic] ビューと [Device] ビューから確認できます。

11-8-7. [Find Results] ビューでオブジェクトのリストを確認し、すべての DCM_ADV および BUFG を同様に配置します。

11-8-8. [Unmark All] ツールバー ボタン ( ) をクリックし、サイトのマーカーを取ります。

11-8-9. **[Close]** をクリックします。

[Find Results] ビューが閉じます。

多機能ピンの表示とデバイス コンフィギュレーション モードの設定　　手順 12

12-1. 多機能ピンを確認します。

12-1-1. [Package Pins] タブをクリックします。

[Package Pins] ビューが手前に表示されます。

12-1-2. [Maximize] ( ) をクリックします。

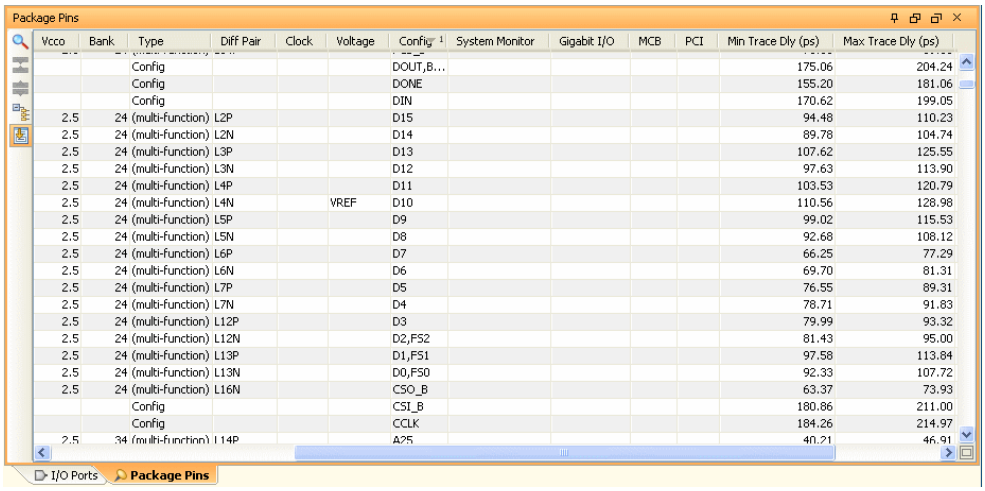
[Package Pins] ビューが最大化されます。

12-1-3. **[Group by IO Bank]** ボタン ( ) をクリックします。

パッケージ ピンのリストがフラットに表示されます。

12-1-4. リストの列名に注目します。

12-1-5. 多機能ピン (multi-function) は、[Type] 列に表示されます。



Vcco	Bank	Type	Diff Pair	Clock	Voltage	Config	System Monitor	Gigabit I/O	MCB	PCI	Min Trace Dly (ps)	Max Trace Dly (ps)
		Config				DOUT,B...					175.06	204.24
		Config				DONE					155.20	181.06
		Config				DIN					170.62	199.05
2.5	24	(multi-function)	L2P			D15					94.48	110.23
2.5	24	(multi-function)	L2N			D14					89.78	104.74
2.5	24	(multi-function)	L3P			D13					107.62	125.55
2.5	24	(multi-function)	L3N			D12					97.63	113.90
2.5	24	(multi-function)	L4P			D11					103.53	120.79
2.5	24	(multi-function)	L4N		VREF	D10					110.56	128.98
2.5	24	(multi-function)	L5P			D9					99.02	115.53
2.5	24	(multi-function)	L5N			D8					92.68	108.12
2.5	24	(multi-function)	L6P			D7					66.25	77.29
2.5	24	(multi-function)	L6N			D6					69.70	81.31
2.5	24	(multi-function)	L7P			D5					76.55	89.31
2.5	24	(multi-function)	L7N			D4					78.71	91.83
2.5	24	(multi-function)	L12P			D3					79.99	93.32
2.5	24	(multi-function)	L12N			D2,FS2					81.43	95.00
2.5	24	(multi-function)	L13P			D1,FS1					97.58	113.84
2.5	24	(multi-function)	L13N			D0,FS0					92.33	107.72
2.5	24	(multi-function)	L16N			CSO_B					63.37	73.93
		Config				CSI_B					180.86	211.00
		Config				CCLK					184.26	214.97
2.5	34	(multi-function)	L14P			A25					40.21	46.91

図 43：多機能ピンの確認

次の列を確認します。

- Config (デバイス コンフィギュレーション ピン)
- System Monitor
- Gigabit I/O
- MCB (メモリ コントローラ ブロック)
- PCI

これらのロジック オブジェクトの多くは、多機能ピンに依存し、決まった I/O 要件を持つので、I/O 配置に影響を与えることがあります。このチュートリアルで使用されるデザインにこれらのオブジェクトが含まれる場合、この表は多機能ピンを検証できるように埋まっています。

12-2. デバイス コンフィギュレーション モードを設定します。

PlanAhead では、複数のデバイス コンフィギュレーション オプションを設定することができます。コンフィギュレーション モードの中には、多機能 I/O ピンに影響を与える可能性のあるものもあります。関連するピンは、[Package Pins] ビューの [Config] 列に表示されます。

12-2-1. 右クリックで **[Set Configuration Modes]** を選択します (図 44)。

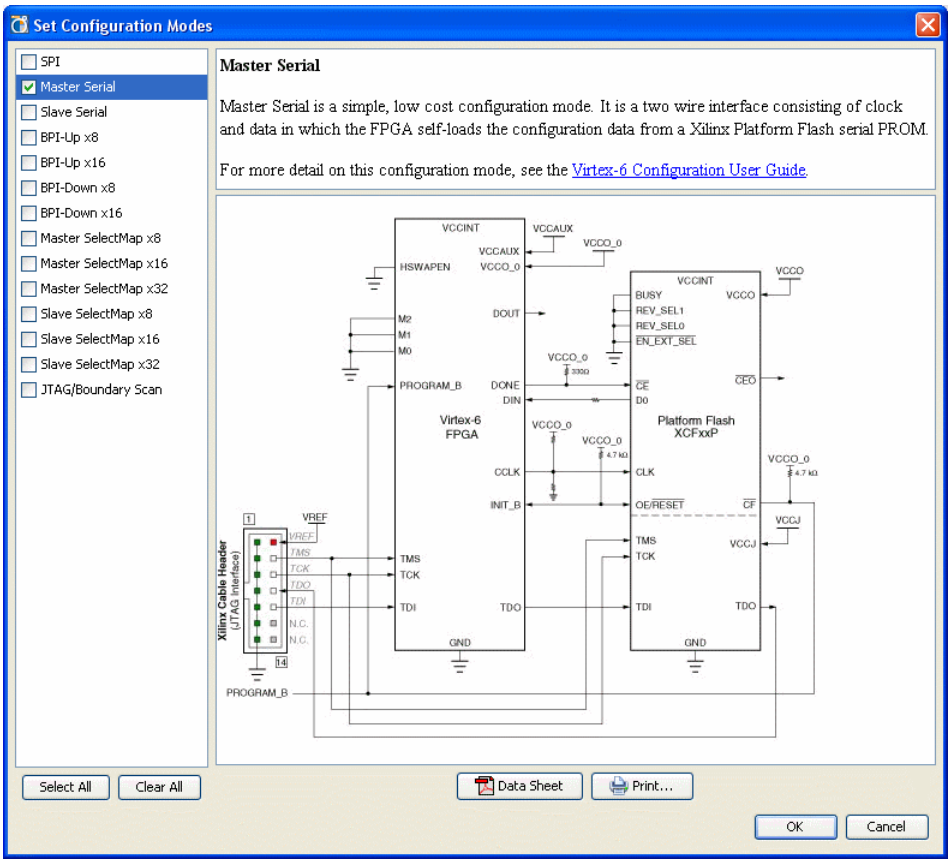


図 44 : デバイス コンフィギュレーション モードの選択

12-2-2. モードをクリックし、その説明や回路図、データシートなどを確認します。

12-2-3. **[OK]** をクリックします。

選択したデバイス コンフィギュレーション モードに関連するピンが [Package Pins] ビューに表示されるので、潜在的な多機能ピンの競合がないか確認できるようになりました。最後の手順に示すとおり、このデザインには競合を起こす可能性のある PCI、MCB、その他のロジックはありません。

12-2-4. [Restore] ( ) をクリックします。

[Package Pins] ビューが元の位置に戻ります。

12-3. [Netlist Design] の表示エリアを元に戻します。

12-3-1. [Restore Planner] をクリックします。

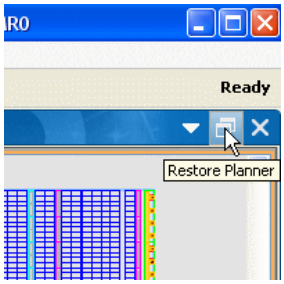


図 45 : 元のサイズに戻す [Restore Planner] ボタン

DRC と SSN ノイズ解析の実行　　手順 13

PlanAhead には、I/O ポートが適切に割り当てられるように I/O に関する DRC が含まれます。違反は、確認してインタラクティブに解決できます。

Simultaneously Switching Noise (SSN) 解析も実行し、潜在的なシグナル インテグリティの問題がないかどうか確認します。

13-1. I/O に関する DRC を実行します。

13-1-1. [Tools] → **[Run DRC]** をクリックします。

13-1-2. [Floorplan]、[DSP48]、[RAM16]、[Netlist] をオフにします。

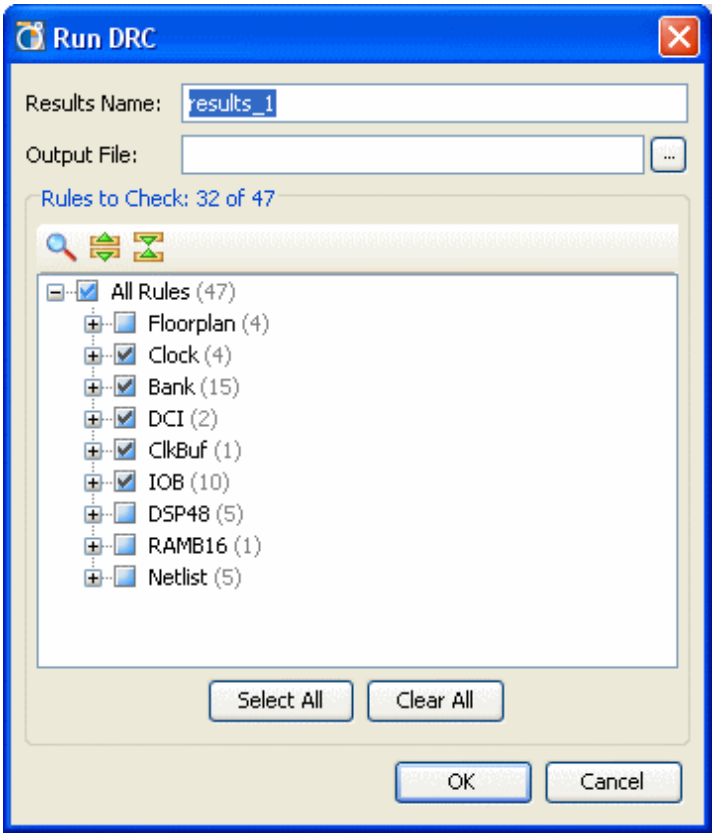


図 46 : I/O に関する DRC の実行

13-1-3. ルール タイプを展開表示して確認します。

13-1-4. **[OK]** をクリックします。

この場合、違反はありません。違反がある場合も、このチュートリルの目的とは関係ないので、無視して先に進みます。

13-2. [Run Noise Analysis] を実行し、潜在的なシグナル インテグリティ問題がないかどうか確認します。

13-2-1. Flow Navigator で **[Run Noise Analysis]** をクリックします。

13-2-2. [Run SSN Analysis] ダイアログ ボックスで **[OK]** をクリックします。

[SSN Results] ビューが開きます。

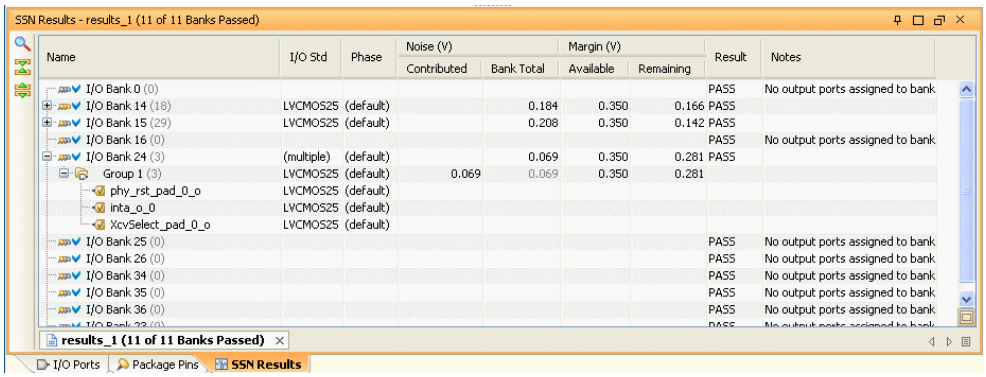


図 47 : [SSN Results] ビュー

13-2-3. [SNN Results] ビューを最大化し、スクロール ダウンして I/O バンクのリストを展開してみます。

レポートには、各グループのノイズの分散、バンク総数、使用可能、残りなどのノイズ情報が表示されます。すべての I/O バンクのステータスは、PASS になっているはずです。

13-3. PlanAhead を終了します。

13-3-1. **[File]** → **[Exit]** をクリックします。

13-3-2. **[OK]** をクリックします。

まとめ

このチュートリアルでは、次を実行しました。

- I/O Planner の I/O ピン配置環境を使用してデバイスの I/O リソースを表示し、そのデザインと互換性のある別のデバイスにターゲットを変更しました。
- I/O ポートをインポートし、作成し、コンフィギュレーションしました。
- 関連する I/O ポートをグループにまとめてインターフェイスを作成しました。
  - 半自動配置モードを使用して、クリティカルな I/O ポートをパッケージ ピンに割り当てました。残りの I/O ポートは、自動配置機能を使用して配置しました。
  - I/O ポートのリストをエクスポートして確認し、HDL ヘッダや PCB 回路図シンボルの生成に使用できるようにしました。
  - ネットリスト ベースのプロジェクトを開き、ロジック接続を正しい配置のガイダンスとして使用して GT、DCM、BUFG オブジェクトなどを配置しました。
  - DRC およびノイズ解析を実行して I/O 配置に問題がないかどうか確認しました。