

CPLD ライブラリ ガイド

UG606 (v12.1) 2010 年 4 月 19 日



Xilinx is disclosing this user guide, manual, release note, and/or specification (the “Documentation”) to you solely for use in the development of designs to operate with Xilinx hardware devices. You may not reproduce, distribute, republish, download, display, post, or transmit the Documentation in any form or by any means including, but not limited to, electronic, mechanical, photocopying, recording, or otherwise, without the prior written consent of Xilinx. Xilinx expressly disclaims any liability arising out of your use of the Documentation. Xilinx reserves the right, at its sole discretion, to change the Documentation without notice at any time. Xilinx assumes no obligation to correct any errors contained in the Documentation, or to advise you of any corrections or updates. Xilinx expressly disclaims any liability in connection with technical support or assistance that may be provided to you in connection with the Information.

THE DOCUMENTATION IS DISCLOSED TO YOU “AS-IS” WITH NO WARRANTY OF ANY KIND. XILINX MAKES NO OTHER WARRANTIES, WHETHER EXPRESS, IMPLIED, OR STATUTORY, REGARDING THE DOCUMENTATION, INCLUDING ANY WARRANTIES OF MERCHANTABILITY, FITNESS FOR A PARTICULAR PURPOSE, OR NONINFRINGEMENT OF THIRD-PARTY RIGHTS. IN NO EVENT WILL XILINX BE LIABLE FOR ANY CONSEQUENTIAL, INDIRECT, EXEMPLARY, SPECIAL, OR INCIDENTAL DAMAGES, INCLUDING ANY LOSS OF DATA OR LOST PROFITS, ARISING FROM YOUR USE OF THE DOCUMENTATION.

© Copyright 2002–2010 Xilinx Inc. All Rights Reserved. XILINX, the Xilinx logo, the Brand Window and other designated brands included herein are trademarks of Xilinx, Inc. All other trademarks are the property of their respective owners.

本資料は英語版 (v.12.1) を翻訳したもので、内容に相違が生じる場合には原文を優先します。
資料によっては英語版の更新に対応していないものがあります。
日本語版は参考用としてご使用の上、最新情報につきましては、必ず最新英語版をご参照ください。

このマニュアルについて

回路図用ライブラリ ガイドは、ISE のオンライン マニュアルの 1 つです。HDL を使用して設計する場合は、HDL 用ライブラリ ガイドを参照してください。

このマニュアルには、次の内容が含まれます。

- ・ 概要
- ・ このアーキテクチャでサポートされるプリミティブとマクロのファンクション別リスト
- ・ 各プリミティブの詳細説明

デザイン エLEMENT

このバージョンのライブラリ ガイドでは、このアーキテクチャのデザイン エLEMENTが記載されています。デザイン エLEMENTはいくつかのカテゴリに分類されています。

- ・ **プリミティブ**：ザイリンクス ライブラリで、ロジックの基本となる最も単純なデザイン エLEMENT。ザイリンクスのプリミティブの例として、BUF (バッファ)、FD (D フリップフロップ) などがあります。
- ・ **マクロ**：ザイリンクス ライブラリの基本となるデザイン エLEMENT。デザイン エLEMENTのプリミティブまたはマクロから作成することができます。たとえば、FD4CE フリップフロップ マクロは 4 つの FDCE プリミティブをまとめたものです。

ザイリンクスでは、さまざまなデバイス アーキテクチャに対応した多数のデザイン エLEMENT (マクロおよびプリミティブ) を含むソフトウェア ライブラリを提供しています。開発システム ソフトウェアのリリースごとに、新しいデザイン エLEMENTが組み込まれます。このマニュアルは、そのようなアーキテクチャ固有のライブラリの 1 つです。

目次

このマニュアルについて.....	3
デザイン エLEMENT	3
1: ファンクション別分類	17
2: デザイン エLEMENT	37
ACC1	38
ACC16	40
ACC4	42
ACC8	44
ADD1	46
ADD16	47
ADD4	49
ADD8	51
ADSU1	53
ADSU16	55
ADSU4	57
ADSU8	59
AND2	61
AND2B1	62
AND2B2	63
AND3	64
AND3B1	65
AND3B2	66
AND3B3	67
AND4	68
AND4B1	69
AND4B2	70
AND4B3	71
AND4B4	72
AND5	73
AND5B1	74
AND5B2	75
AND5B3	76
AND5B4	77
AND5B5	78
AND6	79

AND7	80
AND8	81
AND9	82
BRLSHFT4.....	83
BRLSHFT8.....	84
BUF	86
BUF16.....	87
BUF4	88
BUF8	89
BUFE	90
BUFE16.....	91
BUFE4	92
BUFE8	93
BUFG.....	94
BUFGSR.....	95
BUFGTS.....	96
BUFT	97
BUFT16.....	98
BUFT4	99
BUFT8	101
CB16CE	102
CB16CLE	104
CB16CLED	106
CB16RE.....	108
CB16RLE.....	111
CB16X1.....	113
CB16X2.....	115
CB2CE	117
CB2CLE	119
CB2CLED.....	121
CB2RE	123
CB2RLE	125
CB2X1	127
CB2X2	129
CB4CE	131
CB4CLE	133
CB4CLED.....	135
CB4RE	137

CB4RLE	139
CB4X1	141
CB4X2	143
CB8CE	145
CB8CLE	147
CB8CLED	149
CB8RE	151
CB8RLE	154
CB8X1	156
CB8X2	158
CBD16CE	160
CBD16CLE	162
CBD16CLED	164
CBD16RE	166
CBD16RLE	168
CBD16X1	170
CBD16X2	172
CBD2CE	174
CBD2CLE	177
CBD2CLED	179
CBD2RE	181
CBD2RLE	184
CBD2X1	186
CBD2X2	188
CBD4CE	190
CBD4CLE	192
CBD4CLED	194
CBD4RE	196
CBD4RLE	198
CBD4X1	200
CBD4X2	202
CBD8CE	204
CBD8CLE	206
CBD8CLED	208
CBD8RE	210
CBD8RLE	212
CBD8X1	214
CBD8X2	216

CD4CE.....	218
CD4CLE.....	220
CD4RE.....	222
CD4RLE.....	224
CDD4CE.....	226
CDD4CLE.....	228
CDD4RE.....	230
CDD4RLE.....	232
CJ4CE.....	233
CJ4RE.....	234
CJ5CE.....	235
CJ5RE.....	236
CJ8CE.....	237
CJ8RE.....	238
CJD4CE.....	239
CJD4RE.....	240
CJD5CE.....	242
CJD5RE.....	243
CJD8CE.....	245
CJD8RE.....	246
CLK_DIV10.....	247
CLK_DIV10R.....	248
CLK_DIV10RSD.....	249
CLK_DIV10SD.....	250
CLK_DIV12.....	251
CLK_DIV12R.....	252
CLK_DIV12RSD.....	253
CLK_DIV12SD.....	254
CLK_DIV14.....	255
CLK_DIV14R.....	256
CLK_DIV14RSD.....	257
CLK_DIV14SD.....	258
CLK_DIV16.....	259
CLK_DIV16R.....	260
CLK_DIV16RSD.....	261
CLK_DIV16SD.....	262
CLK_DIV2.....	263
CLK_DIV2R.....	264

CLK_DIV2RSD	265
CLK_DIV2SD	266
CLK_DIV4.....	267
CLK_DIV4R.....	268
CLK_DIV4RSD	269
CLK_DIV4SD	270
CLK_DIV6.....	271
CLK_DIV6R.....	272
CLK_DIV6RSD	273
CLK_DIV6SD	274
CLK_DIV8.....	275
CLK_DIV8R.....	276
CLK_DIV8RSD	277
CLK_DIV8SD	278
COMP16.....	279
COMP2	280
COMP4	281
COMP8	282
COMPM16.....	283
COMPM2.....	285
COMPM4.....	286
COMPM8.....	288
CR16CE	290
CR8CE	291
CRD16CE	292
CRD8CE.....	293
D2_4E.....	294
D3_8E.....	295
D4_16E	297
FD	298
FD16.....	299
FD16CE	300
FD16RE.....	301
FD4	302
FD4CE	303
FD4RE	305
FD8	307
FD8CE	308

FD8RE	309
FDC.....	310
FDCE.....	311
FDCP.....	313
FDCPE.....	315
FDD.....	317
FDD16	318
FDD16CE	319
FDD16RE.....	320
FDD4	321
FDD4CE.....	322
FDD4RE	323
FDD8	324
FDD8CE.....	325
FDD8RE	326
FDDC	327
FDDCE	328
FDDCP.....	330
FDDCPE.....	332
FDDP.....	334
FDDPE.....	336
FDDR.....	338
FDDRE.....	340
FDDRS	342
FDDRSE	344
FDDS	346
FDDSE	348
FDDSR	350
FDDSRE	352
FDP	354
FDPE	355
FDR.....	357
FDRE	358
FDRS	359
FDRSE	361
FDS	363
FDSE	364
FDSR	366

FDSRE	368
FJKC.....	370
FJKCE.....	372
FJKCP	374
FJKCPE.....	376
FJKP	378
FJKPE	380
FJKRSE	382
FJKSRE	384
FTC	386
FTCE	387
FTCLE	389
FTCLEX.....	391
FTCP	393
FTCPE	395
FTCPLE	397
FTDCE.....	399
FTDCLE.....	401
FTDCLEX.....	403
FTDCP	405
FTDRSE	407
FTDRSLE	409
FTP	411
FTPE	413
FTPLE	415
FTRSE.....	417
FTRSLE.....	419
FTSRE.....	421
FTSRLE.....	423
GND	425
IBUF	426
IBUF16.....	427
IBUF4	428
IBUF8	429
INV	430
INV16.....	431
INV4	432
INV8	433

IOBUFE.....	434
KEEPER	435
LD	436
LD16.....	437
LD4	438
LD8	440
LDC.....	441
LDCP.....	443
LDG.....	445
LDG16	447
LDG4	448
LDG8	450
LDP	451
M16_1E.....	453
M2_1	455
M2_1B1.....	456
M2_1B2.....	457
M2_1E	458
M4_1E	459
M8_1E	460
NAND2.....	462
NAND2B1	463
NAND2B2	464
NAND3.....	465
NAND3B1	466
NAND3B2	467
NAND3B3	468
NAND4.....	469
NAND4B1	470
NAND4B2	471
NAND4B3	472
NAND4B4	473
NAND5.....	474
NAND5B1	475
NAND5B2	476
NAND5B3	477
NAND5B4	478
NAND5B5	479

NAND6	480
NAND7	481
NAND8	482
NAND9	483
NOR2	484
NOR2B1	485
NOR2B2	486
NOR3	487
NOR3B1	488
NOR3B2	489
NOR3B3	490
NOR4	491
NOR4B1	492
NOR4B2	493
NOR4B3	494
NOR4B4	495
NOR5	496
NOR5B1	497
NOR5B2	498
NOR5B3	499
NOR5B4	500
NOR5B5	501
NOR6	502
NOR7	503
NOR8	504
NOR9	505
OBUF	506
OBUF16	507
OBUF4	508
OBUF8	509
OBUFE	510
OBUFE16	511
OBUFE4	512
OBUFE8	513
OBUFT	514
OBUFT16	516
OBUFT4	517
OBUFT8	519

OR2	520
OR2B1	521
OR2B2	522
OR3	523
OR3B1	524
OR3B2	525
OR3B3	526
OR4	527
OR4B1	528
OR4B2	529
OR4B3	530
OR4B4	531
OR5	532
OR5B1	533
OR5B2	534
OR5B3	535
OR5B4	536
OR5B5	537
OR6	538
OR7	539
OR8	540
OR9	541
PULLDOWN	542
PULLUP	543
SR16CE	544
SR16CLE	546
SR16CLED	548
SR16RE	550
SR16RLE	552
SR16RLED	554
SR4CE	556
SR4CLE	558
SR4CLED	560
SR4RE	562
SR4RLE	564
SR4RLED	566
SR8CE	568
SR8CLE	570

SR8CLED.....	572
SR8RE	574
SR8RLE	576
SR8RLED	578
SRD16CE.....	580
SRD16CLE.....	582
SRD16CLED.....	584
SRD16RE	586
SRD16RLE	588
SRD16RLED	590
SRD4CE	592
SRD4CLE.....	594
SRD4CLED	596
SRD4RE.....	598
SRD4RLE	600
SRD4RLED.....	602
SRD8CE	604
SRD8CLE.....	606
SRD8CLED	608
SRD8RE.....	610
SRD8RLE.....	612
SRD8RLED.....	614
VCC	616
XNOR2.....	617
XNOR3.....	618
XNOR4.....	619
XNOR5.....	620
XNOR6.....	621
XNOR7.....	622
XNOR8.....	623
XNOR9.....	624
XOR2	625
XOR3	626
XOR4	627
XOR5	628
XOR6	629
XOR7	630
XOR8.....	631

XOR9	632
------------	-----

ファンクション別分類

このセクションでは、デバイスに含まれるデザイン エLEMENTをファンクション別に分類して示します。ELEMENT (プリミティブおよびマクロのインプリメンテーション) は、各カテゴリでアルファベット順にリストしています。

演算ファンクション

バッファ

クロック分周器

コンパレータ

カウンタ

デコーダ

フリップフロップ

汎用ELEMENT

I/O

ラッチ

ロジック

マルチプレクサ

シフトレジスタ

シフタ

演算ファンクション

デザイン エLEMENT	説明
ACC1	マクロ : 1-Bit Loadable Cascadable Accumulator with Carry-In, Carry-Out, and Synchronous Reset
ACC16	マクロ : 16-Bit Loadable Cascadable Accumulator with Carry-In, Carry-Out, and Synchronous Reset
ACC4	マクロ : 4-Bit Loadable Cascadable Accumulator with Carry-In, Carry-Out, and Synchronous Reset
ACC8	マクロ : 8-Bit Loadable Cascadable Accumulator with Carry-In, Carry-Out, and Synchronous Reset
ADD1	マクロ : 1-Bit Full Adder with Carry-In and Carry-Out
ADD16	マクロ : 16-Bit Cascadable Full Adder with Carry-In, Carry-Out, and Overflow
ADD4	マクロ : 4-Bit Cascadable Full Adder with Carry-In, Carry-Out, and Overflow
ADD8	マクロ : 8-Bit Cascadable Full Adder with Carry-In, Carry-Out, and Overflow
ADSU1	マクロ : 1-Bit Cascadable Adder/Subtractor with Carry-In, Carry-Out
ADSU16	マクロ : 16-Bit Cascadable Adder/Subtractor with Carry-In, Carry-Out, and Overflow
ADSU4	マクロ : 4-Bit Cascadable Adder/Subtractor with Carry-In, Carry-Out, and Overflow
ADSU8	マクロ : 8-Bit Cascadable Adder/Subtractor with Carry-In, Carry-Out, and Overflow

バッファ

デザイン エLEMENT	説明
BUF	プリミティブ : General Purpose Buffer
BUF16	マクロ : 16-Bit General Purpose Buffer
BUF4	マクロ : 4-Bit General Purpose Buffer
BUF8	マクロ : 8-Bit General Purpose Buffer
BUFE	プリミティブ : Internal 3-State Buffer with Active High Enable
BUFE16	マクロ : 16-Bit Internal 3-State Buffer with Active High Enable
BUFE4	マクロ : 4-Bit Internal 3-State Buffer with Active High Enable
BUFE8	マクロ : 8-Bit Internal 3-State Buffer with Active High Enable
BUFG	プリミティブ : Global Clock Buffer
BUFGSR	プリミティブ : Global Set/Reset Input Buffer
BUFGTS	プリミティブ : Global 3-State Input Buffer
BUFT	プリミティブ : Internal 3-State Buffer with Active Low Enable
BUFT16	マクロ : 16-Bit Internal 3-State Buffers with Active Low Enable
BUFT4	マクロ : 4-Bit Internal 3-State Buffers with Active Low Enable
BUFT8	マクロ : 8-Bit Internal 3-State Buffers with Active Low Enable

クロック分周器

デザイン エLEMENT	説明
CLK_DIV10	プリミティブ : Simple Global Clock Divide by 10
CLK_DIV10R	プリミティブ : Global Clock Divide by 10 with Synchronous Reset
CLK_DIV10RSD	プリミティブ : Global Clock Divide by 10 with Synchronous Reset and Start Delay
CLK_DIV10SD	プリミティブ : Global Clock Divide by 10 with Start Delay
CLK_DIV12	プリミティブ : Simple Global Clock Divide by 12
CLK_DIV12R	プリミティブ : Global Clock Divide by 12 with Synchronous Reset
CLK_DIV12RSD	プリミティブ : Global Clock Divide by 12 with Synchronous Reset and Start Delay
CLK_DIV12SD	プリミティブ : Global Clock Divide by 12 with Start Delay
CLK_DIV14R	プリミティブ : Global Clock Divide by 14 with Synchronous Reset
CLK_DIV14RSD	プリミティブ : Global Clock Divide by 14 with Synchronous Reset and Start Delay
CLK_DIV14SD	プリミティブ : Global Clock Divide by 14 with Start Delay
CLK_DIV16	プリミティブ : Simple Global Clock Divide by 16
CLK_DIV16R	プリミティブ : Global Clock Divide by 16 with Synchronous Reset

デザイン エLEMENT	説明
CLK_DIV16RSD	プリミティブ : Global Clock Divide by 16 with Synchronous Reset and Start Delay
CLK_DIV16SD	プリミティブ : Global Clock Divide by 16 with Start Delay
CLK_DIV2	プリミティブ : Simple Global Clock Divide by 2
CLK_DIV2R	プリミティブ : Global Clock Divide by 2 with Synchronous Reset
CLK_DIV2RSD	プリミティブ : Global Clock Divide by 2 with Synchronous Reset and Start Delay
CLK_DIV2SD	プリミティブ : Global Clock Divide by 2 with Start Delay
CLK_DIV4	プリミティブ : Simple Global Clock Divide by 4
CLK_DIV4R	プリミティブ : Global Clock Divide by 4 with Synchronous Reset
CLK_DIV4RSD	プリミティブ : Global Clock Divide by 4 with Synchronous Reset and Start Delay
CLK_DIV4SD	プリミティブ : Global Clock Divide by 4 with Start Delay
CLK_DIV6	プリミティブ : Simple Global Clock Divide by 6
CLK_DIV6R	プリミティブ : Global Clock Divide by 6 with Synchronous Reset
CLK_DIV6RSD	プリミティブ : Global Clock Divide by 6 with Synchronous Reset and Start Delay
CLK_DIV6SD	プリミティブ : Global Clock Divide by 6 with Start Delay
CLK_DIV8	プリミティブ : Simple Global Clock Divide by 8
CLK_DIV8R	プリミティブ : Global Clock Divide by 8 with Synchronous Reset
CLK_DIV8RSD	プリミティブ : Global Clock Divide by 8 with Synchronous Reset and Start Delay
CLK_DIV8SD	プリミティブ : Global Clock Divide by 8 with Start Delay

コンパレータ

デザイン エLEMENT	説明
COMP16	マクロ : 16-Bit Identity Comparator
COMP2	マクロ : 2-Bit Identity Comparator
COMP4	マクロ : 4-Bit Identity Comparator
COMP8	マクロ : 8-Bit Identity Comparator
COMPM16	マクロ : 16-Bit Magnitude Comparator
COMPM2	マクロ : 2-Bit Magnitude Comparator
COMPM4	マクロ : 4-Bit Magnitude Comparator
COMPM8	マクロ : 8-Bit Magnitude Comparator

カウンタ

デザイン エLEMENT	説明
--------------	----

デザイン エlement	説明
CB16CE	マクロ：16-Bit Cascadable Binary Counter with Clock Enable and Asynchronous Clear
CB16CLE	マクロ：16-Bit Loadable Cascadable Binary Counters with Clock Enable and Asynchronous Clear
CB16CLED	マクロ：16-Bit Loadable Cascadable Bidirectional Binary Counters with Clock Enable and Asynchronous Clear
CB16RE	マクロ：16-Bit Cascadable Binary Counter with Clock Enable and Synchronous Reset
CB16RLE	マクロ：16-Bit Loadable Cascadable Binary Counter with Clock Enable and Synchronous Reset
CB16X1	マクロ：16-Bit Loadable Cascadable Bidirectional Binary Counter with Clock Enable and Asynchronous Clear
CB16X2	マクロ：16-Bit Loadable Cascadable Bidirectional Binary Counter with Clock Enable and Synchronous Reset
CB2CE	マクロ：2-Bit Cascadable Binary Counter with Clock Enable and Asynchronous Clear
CB2CLE	マクロ：2-Bit Loadable Cascadable Binary Counters with Clock Enable and Asynchronous Clear
CB2CLED	マクロ：2-Bit Loadable Cascadable Bidirectional Binary Counters with Clock Enable and Asynchronous Clear
CB2RE	マクロ：2-Bit Cascadable Binary Counter with Clock Enable and Synchronous Reset
CB2RLE	マクロ：2-Bit Loadable Cascadable Binary Counter with Clock Enable and Synchronous Reset
CB2X1	マクロ：2-Bit Loadable Cascadable Bidirectional Binary Counter with Clock Enable and Asynchronous Clear
CB4CE	マクロ：4-Bit Cascadable Binary Counter with Clock Enable and Asynchronous Clear
CB4CLE	マクロ：4-Bit Loadable Cascadable Binary Counters with Clock Enable and Asynchronous Clear
CB4CLED	マクロ：4-Bit Loadable Cascadable Bidirectional Binary Counters with Clock Enable and Asynchronous Clear
CB4RE	マクロ：4-Bit Cascadable Binary Counter with Clock Enable and Synchronous Reset
CB4RLE	マクロ：4-Bit Loadable Cascadable Binary Counter with Clock Enable and Synchronous Reset
CB4X1	マクロ：4-Bit Loadable Cascadable Bidirectional Binary Counter with Clock Enable and Asynchronous Clear
CB4X2	マクロ：4-Bit Loadable Cascadable Bidirectional Binary Counter with Clock Enable and Synchronous Reset
CB8CE	マクロ：8-Bit Cascadable Binary Counter with Clock Enable and Asynchronous Clear
CB8CLE	マクロ：8-Bit Loadable Cascadable Binary Counters with Clock Enable and Asynchronous Clear
CB8CLED	マクロ：8-Bit Loadable Cascadable Bidirectional Binary Counters with Clock Enable and Asynchronous Clear

デザイン エLEMENT	説明
CB8RE	マクロ : 8-Bit Cascadable Binary Counter with Clock Enable and Synchronous Reset
CB8RLE	マクロ : 8-Bit Loadable Cascadable Binary Counter with Clock Enable and Synchronous Reset
CB8X1	マクロ : 8-Bit Loadable Cascadable Bidirectional Binary Counter with Clock Enable and Asynchronous Clear
CB8X2	マクロ : 8-Bit Loadable Cascadable Bidirectional Binary Counter with Clock Enable and Synchronous Reset
CBD16CE	マクロ : 16-Bit Cascadable Dual Edge Triggered Binary Counter with Clock Enable and Asynchronous Clear
CBD16CLE	マクロ : 16-Bit Loadable Cascadable Dual Edge Triggered Binary Counter with Clock Enable and Asynchronous Clear
CBD16CLED	マクロ : 16-Bit Loadable Cascadable Bidirectional Dual Edge Triggered Binary Counter with Clock Enable and Asynchronous Clear
CBD16RE	マクロ : 16-Bit Cascadable Dual Edge Triggered Binary Counter with Clock Enable and Synchronous Reset
CBD16RLE	マクロ : 16-Bit Loadable Cascadable Dual Edge Triggered Binary Counter with Clock Enable and Synchronous Reset
CBD16X1	マクロ : 16-Bit Loadable Cascadable Bidirectional Dual Edge Triggered Binary Counter with Clock Enable and Asynchronous Clear
CBD16X2	マクロ : 16-Bit Loadable Cascadable Bidirectional Dual Edge Triggered Binary Counter with Clock Enable and Synchronous Reset
CBD2CE	マクロ : 2-Bit Cascadable Dual Edge Triggered Binary Counter with Clock Enable and Asynchronous Clear
CBD2CLE	マクロ : 2-Bit Loadable Cascadable Dual Edge Triggered Binary Counter with Clock Enable and Asynchronous Clear
CBD2CLED	マクロ : 2-Bit Loadable Cascadable Bidirectional Dual Edge Triggered Binary Counter with Clock Enable and Asynchronous Clear
CBD2RE	マクロ : 2-Bit Cascadable Dual Edge Triggered Binary Counter with Clock Enable and Synchronous Reset
CBD2RLE	マクロ : 2-Bit Loadable Cascadable Dual Edge Triggered Binary Counter with Clock Enable and Synchronous Reset
CBD2X1	マクロ : 2-Bit Loadable Cascadable Bidirectional Dual Edge Triggered Binary Counter with Clock Enable and Asynchronous Clear
CBD2X2	マクロ : 2-Bit Loadable Cascadable Bidirectional Dual Edge Triggered Binary Counter with Clock Enable and Synchronous Reset
CBD4CE	マクロ : 4-Bit Cascadable Dual Edge Triggered Binary Counter with Clock Enable and Asynchronous Clear
CBD4CLE	マクロ : 4-Bit Loadable Cascadable Dual Edge Triggered Binary Counter with Clock Enable and Asynchronous Clear
CBD4CLED	マクロ : 4-Bit Loadable Cascadable Bidirectional Dual Edge Triggered Binary Counter with Clock Enable and Asynchronous Clear

デザイン エレメント	説明
CBD4RE	マクロ：4-Bit Cascadable Dual Edge Triggered Binary Counter with Clock Enable and Synchronous Reset
CBD4RLE	マクロ：4-Bit Loadable Cascadable Dual Edge Triggered Binary Counter with Clock Enable and Synchronous Reset
CBD4X1	マクロ：4-Bit Loadable Cascadable Bidirectional Dual Edge Triggered Binary Counter with Clock Enable and Asynchronous Clear
CBD4X2	マクロ：4-Bit Loadable Cascadable Bidirectional Dual Edge Triggered Binary Counter with Clock Enable and Synchronous Reset
CBD8CE	マクロ：8-Bit Cascadable Dual Edge Triggered Binary Counter with Clock Enable and Asynchronous Clear
CBD8CLE	マクロ：8-Bit Loadable Cascadable Dual Edge Triggered Binary Counter with Clock Enable and Asynchronous Clear
CBD8CLED	マクロ：8-Bit Loadable Cascadable Bidirectional Dual Edge Triggered Binary Counter with Clock Enable and Asynchronous Clear
CBD8RE	マクロ：8-Bit Cascadable Dual Edge Triggered Binary Counter with Clock Enable and Synchronous Reset
CBD8X1	マクロ：8-Bit Loadable Cascadable Bidirectional Dual Edge Triggered Binary Counter with Clock Enable and Asynchronous Clear
CBD8X2	マクロ：8-Bit Loadable Cascadable Bidirectional Dual Edge Triggered Binary Counter with Clock Enable and Synchronous Reset
CD4CE	マクロ：4-Bit Cascadable BCD Counter with Clock Enable and Asynchronous Clear
CD4CLE	マクロ：4-Bit Loadable Cascadable BCD Counter with Clock Enable and Asynchronous Clear
CD4RE	マクロ：4-Bit Cascadable BCD Counter with Clock Enable and Synchronous Reset
CD4RLE	マクロ：4-Bit Loadable Cascadable BCD Counter with Clock Enable and Synchronous Reset
CDD4CE	マクロ：4-Bit Cascadable Dual Edge Triggered BCD Counter with Clock Enable and Asynchronous Clear
CDD4CLE	マクロ：4-Bit Loadable Cascadable Dual Edge Triggered BCD Counter with Clock Enable and Asynchronous Clear
CDD4RE	マクロ：4-Bit Cascadable Dual Edge Triggered BCD Counter with Clock Enable and Synchronous Reset
CDD4RLE	マクロ：4-Bit Loadable Cascadable Dual Edge Triggered BCD Counter with Clock Enable and Synchronous Reset
CJ4CE	4-Bit Johnson Counter with Clock Enable and Asynchronous Clear
CJ4RE	マクロ：4-Bit Johnson Counter with Clock Enable and Synchronous Reset
CJ5CE	マクロ：5-Bit Johnson Counter with Clock Enable and Asynchronous Clear

デザイン エLEMENT	説明
CJ5RE	マクロ：5-Bit Johnson Counter with Clock Enable and Synchronous Reset
CJ8CE	マクロ：8-Bit Johnson Counter with Clock Enable and Asynchronous Clear
CJ8RE	マクロ：8-Bit Johnson Counter with Clock Enable and Synchronous Reset
CJD4CE	マクロ：4-Bit Dual Edge Triggered Johnson Counter with Clock Enable and Asynchronous Clear
CJD4RE	マクロ：4-Bit Dual Edge Triggered Johnson Counter with Clock Enable and Synchronous Reset
CJD5CE	マクロ：5-Bit Dual Edge Triggered Johnson Counter with Clock Enable and Asynchronous Clear
CJD5RE	マクロ：5-Bit Dual Edge Triggered Johnson Counter with Clock Enable and Synchronous Reset
CJD8CE	マクロ：8-Bit Dual Edge Triggered Johnson Counter with Clock Enable and Asynchronous Clear
CJD8RE	マクロ：8-Bit Dual Edge Triggered Johnson Counter with Clock Enable and Synchronous Reset
CR16CE	マクロ：16-Bit Negative-Edge Binary Ripple Counter with Clock Enable and Asynchronous Clear
CR8CE	マクロ：8-Bit Negative-Edge Binary Ripple Counter with Clock Enable and Asynchronous Clear
CRD16CE	マクロ：16-Bit Dual-Edge Triggered Binary Ripple Counter with Clock Enable and Asynchronous Clear
CRD8CE	マクロ：8-Bit Dual-Edge Triggered Binary Ripple Counter with Clock Enable and Asynchronous Clear

デコーダ

デザイン エLEMENT	説明
D2_4E	マクロ：2- to 4-Line Decoder/Demultiplexer with Enable
D3_8E	マクロ：3- to 8-Line Decoder/Demultiplexer with Enable
D4_16E	マクロ：4- to 16-Line Decoder/Demultiplexer with Enable

フリップフロップ

デザイン エLEMENT	説明
FD	その他：D Flip-Flop
FD16	マクロ：Multiple D Flip-Flop
FD16CE	マクロ：16-Bit Data Register with Clock Enable and Asynchronous Clear
FD16RE	マクロ：16-Bit Data Register with Clock Enable and Synchronous Reset
FD4	マクロ：Multiple D Flip-Flop

デザイン エLEMENT	説明
FD4CE	マクロ : 4-Bit Data Register with Clock Enable and Asynchronous Clear
FD8	マクロ : Multiple D Flip-Flop
FD8CE	マクロ : 8-Bit Data Register with Clock Enable and Asynchronous Clear
FD8RE	マクロ : 8-Bit Data Register with Clock Enable and Synchronous Reset
FDC	その他 : D Flip-Flop with Asynchronous Clear
FDCE	プリミティブ : D Flip-Flop with Clock Enable and Asynchronous Clear
FDCP	プリミティブ : D Flip-Flop with Asynchronous Preset and Clear
FDCPE	プリミティブ : D Flip-Flop with Clock Enable and Asynchronous Preset and Clear
FDD	マクロ : Dual Edge Triggered D Flip-Flop
FDD16	マクロ : Multiple Dual Edge Triggered D Flip-Flops
FDD16CE	マクロ : 16-Bit Dual Edge Triggered Data Register with Clock Enable and Asynchronous Clear
FDD16RE	マクロ : 16-Bit Dual Edge Triggered Data Register with Clock Enable and Synchronous Reset
FDD4	Multiple Dual Edge Triggered D Flip-Flop
FDD4CE	マクロ : 4-Bit Dual Edge Triggered Data Register with Clock Enable and Asynchronous Clear
FDD4RE	マクロ : 4-Bit Dual Edge Triggered Data Register with Clock Enable and Synchronous Reset
FDD8	マクロ : Multiple Dual Edge Triggered D Flip-Flops
FDD8CE	マクロ : 8-Bit Dual Edge Triggered Data Register with Clock Enable and Asynchronous Clear
FDD8RE	マクロ : 8-Bit Dual Edge Triggered Data Register with Clock Enable and Synchronous Reset
FDDC	マクロ : D Dual Edge Triggered Flip-Flop with Asynchronous Clear
FDDCE	プリミティブ : Dual Edge Triggered D Flip-Flop with Clock Enable and Asynchronous Clear
FDDCP	プリミティブ : Dual Edge Triggered D Flip-Flop Asynchronous Preset and Clear
FDDCPE	マクロ : Dual Edge Triggered D Flip-Flop with Clock Enable and Asynchronous Preset and Clear
FDDP	マクロ : Dual Edge Triggered D Flip-Flop with Asynchronous Preset
FDDPE	プリミティブ : Dual Edge Triggered D Flip-Flop with Clock Enable and Asynchronous Preset
FDDR	マクロ : Dual Edge Triggered D Flip-Flop with Synchronous Reset
FDDRE	マクロ : Dual Edge Triggered D Flip-Flop with Clock Enable and Synchronous Reset

デザイン エLEMENT	説明
FDDRS	マクロ : Dual Edge Triggered D Flip-Flop with Synchronous Reset and Set
FDDRSE	マクロ : Dual Edge Triggered D Flip-Flop with Synchronous Reset and Set and Clock Enable
FDDS	マクロ : Dual Edge Triggered D Flip-Flop with Synchronous Set
FDDSE	マクロ : D Flip-Flop with Clock Enable and Synchronous Set
FDDSR	マクロ : Dual Edge Triggered D Flip-Flop with Synchronous Set and Reset
FDDSRE	マクロ : Dual Edge Triggered D Flip-Flop with Synchronous Set and Reset and Clock Enable
FDP	その他 : D Flip-Flop with Asynchronous Preset
FDPE	プリミティブ : D Flip-Flop with Clock Enable and Asynchronous Preset
FDR	その他 : D Flip-Flop with Synchronous Reset
FDRE	その他 : D Flip-Flop with Clock Enable and Synchronous Reset
FDRS	その他 : マクロ : D Flip-Flop with Synchronous Reset and Set
FDRSE	その他 : D Flip-Flop with Synchronous Reset and Set and Clock Enable
FDS	その他 : D Flip-Flop with Synchronous Set
FDSE	その他 : D Flip-Flop with Clock Enable and Synchronous Set
FDSR	D Flip-Flop with Synchronous Set and Reset
FDSRE	マクロ : D Flip-Flop with Synchronous Set and Reset and Clock Enable
FJKC	マクロ : J-K Flip-Flop with Asynchronous Clear
FJKCE	マクロ : J-K Flip-Flop with Clock Enable and Asynchronous Clear
FJKCP	マクロ : J-K Flip-Flop with Asynchronous Clear and Preset
FJKCPE	マクロ : J-K Flip-Flop with Asynchronous Clear and Preset and Clock Enable
FJKP	マクロ : J-K Flip-Flop with Asynchronous Preset
FJKPE	マクロ : J-K Flip-Flop with Clock Enable and Asynchronous Preset
FJKRSE	マクロ : J-K Flip-Flop with Clock Enable and Synchronous Reset and Set
FJKSRE	マクロ : J-K Flip-Flop with Clock Enable and Synchronous Set and Reset
FTC	マクロ : Toggle Flip-Flop with Asynchronous Clear
FTCE	マクロ : Toggle Flip-Flop with Clock Enable and Asynchronous Clear
FTCLE	マクロ : Toggle/Loadable Flip-Flop with Clock Enable and Asynchronous Clear
FTCLEX	マクロ : Toggle/Loadable Flip-Flop with Clock Enable and Asynchronous Clear

デザイン エLEMENT	説明
FTCP	プリミティブ : Toggle Flip-Flop with Asynchronous Clear and Preset
FTCPE	マクロ : Toggle Flip-Flop with Clock Enable and Asynchronous Clear and Preset
FTCPLE	マクロ : Loadable Toggle Flip-Flop with Clock Enable and Asynchronous Clear and Preset
FTDCE	マクロ : Dual-Edge Triggered Toggle Flip-Flop with Clock Enable and Asynchronous Clear
FTDCLE	マクロ : Dual Edge Triggered D Flip-Flop with Clock Enable and Asynchronous Clear
FTDCLEX	マクロ : Dual Edge Triggered D Flip-Flop with Clock Enable and Asynchronous Clear
FTDCP	プリミティブ : Dual-Edge Triggered Toggle Flip-Flop with Asynchronous Clear and Preset
FTDRSE	マクロ : Dual-Edge Triggered Toggle Flip-Flop with Synchronous Reset, Set, and Clock Enable
FTDRSLE	マクロ : Dual-Edge Triggered Toggle Flip-Flop with Clock Enable and Synchronous Reset and Set
FTP	マクロ : Toggle Flip-Flop with Asynchronous Preset
FTPE	マクロ : Toggle Flip-Flop with Clock Enable and Asynchronous Preset
FTPLE	マクロ : Toggle/Loadable Flip-Flop with Clock Enable and Asynchronous Preset
FTRSE	マクロ : Toggle Flip-Flop with Clock Enable and Synchronous Reset and Set
FTRSLE	マクロ : Toggle/Loadable Flip-Flop with Clock Enable and Synchronous Reset and Set
FTSRE	マクロ : Toggle Flip-Flop with Clock Enable and Synchronous Set and Reset
FTSRLE	マクロ : Toggle/Loadable Flip-Flop with Clock Enable and Synchronous Set and Reset

汎用ELEMENT

デザイン エLEMENT	説明
GND	プリミティブ : Ground-Connection Signal Tag
KEEPER	プリミティブ : KEEPER Symbol
PULLDOWN	プリミティブ : Resistor to GND for Input Pads, Open-Drain, and 3-State Outputs
PULLUP	プリミティブ : Resistor to VCC for Input PADS, Open-Drain, and 3-State Outputs
VCC	プリミティブ : VCC-Connection Signal Tag

I/O

デザイン エレメント	説明
IBUF	プリミティブ : Input Buffer
IBUF16	マクロ : 16-Bit Input Buffer
IBUF4	マクロ : 4-Bit Input Buffer
IBUF8	マクロ : 8-Bit Input Buffer
IOBUFE	プリミティブ : Bi-Directional Buffer
OBUF	プリミティブ : Output Buffer
OBUF16	マクロ : 16-Bit Output Buffer
OBUF4	マクロ : 4-Bit Output Buffer
OBUF8	マクロ : 8-Bit Output Buffer
OBUE	マクロ : 3-State Output Buffer with Active-High Output Enable
OBUE16	マクロ : 16-Bit 3-State Output Buffer with Active-High Output Enable
OBUE4	マクロ : 4-Bit 3-State Output Buffer with Active-High Output Enable
OBUE8	マクロ : 8-Bit 3-State Output Buffer with Active-High Output Enable
OBUFT	プリミティブ : 3-State Output Buffer with Active Low Output Enable
OBUFT16	マクロ : 16-Bit 3-State Output Buffer with Active Low Output Enable
OBUFT4	マクロ : 4-Bit 3-State Output Buffers with Active-Low Output Enable
OBUFT8	マクロ : 8-Bit 3-State Output Buffers with Active-Low Output Enable

ラッチ

デザイン エLEMENT	説明
LD	プリミティブ：Transparent Data Latch
LD16	マクロ：Multiple Transparent Data Latch
LD4	マクロ：Multiple Transparent Data Latch
LD8	マクロ：Multiple Transparent Data Latch
LDC	プリミティブ：マクロ：Transparent Data Latch with Asynchronous Clear
LDCP	プリミティブ：Transparent Data Latch with Asynchronous Clear and Preset
LDG	プリミティブ：Transparent Datagate Latch
LDG16	マクロ：16-bit Transparent Datagate Latch
LDG4	マクロ：4-Bit Transparent Datagate Latch
LDG8	マクロ：8-Bit Transparent Datagate Latch
LDP	プリミティブ：マクロ：Transparent Data Latch with Asynchronous Preset

ロジック

デザイン エLEMENT	説明
AND2	プリミティブ：2-Input AND Gate with Non-Inverted Inputs
AND2B1	プリミティブ：2-Input AND Gate with 1 Inverted and 1 Non-Inverted Inputs
AND2B2	プリミティブ：2-Input AND Gate with Inverted Inputs
AND3	プリミティブ：3-Input AND Gate with Non-Inverted Inputs
AND3B1	プリミティブ：3-Input AND Gate with 1 Inverted and 2 Non-Inverted Inputs
AND3B2	プリミティブ：3-Input AND Gate with 2 Inverted and 1 Non-Inverted Inputs
AND3B3	プリミティブ：3-Input AND Gate with Inverted Inputs
AND4	プリミティブ：4-Input AND Gate with Non-Inverted Inputs
AND4B1	プリミティブ：4-Input AND Gate with 1 Inverted and 3 Non-Inverted Inputs
AND4B2	プリミティブ：4-Input AND Gate with 2 Inverted and 2 Non-Inverted Inputs
AND4B3	プリミティブ：4-Input AND Gate with 3 Inverted and 1 Non-Inverted Inputs
AND4B4	プリミティブ：4-Input AND Gate with Inverted Inputs
AND5	プリミティブ：5-Input AND Gate with Non-Inverted Inputs
AND5B1	プリミティブ：5-Input AND Gate with 1 Inverted and 4 Non-Inverted Inputs

デザイン エLEMENT	説明
AND5B2	プリミティブ : 5-Input AND Gate with 2 Inverted and 3 Non-Inverted Inputs
AND5B3	プリミティブ : 5-Input AND Gate with 3 Inverted and 2 Non-Inverted Inputs
AND5B4	プリミティブ : 5-Input AND Gate with 4 Inverted and 1 Non-Inverted Inputs
AND5B5	プリミティブ : 5-Input AND Gate with Inverted Inputs
AND6	マクロ : 6- Input AND Gate with Non-Inverted Inputs
AND7	マクロ : 7- Input AND Gate with Non-Inverted Inputs
AND8	マクロ : 8- Input AND Gate with Non-Inverted Inputs
AND9	マクロ : 9- Input AND Gate with Non-Inverted Inputs
INV	プリミティブ : Inverter
INV16	マクロ : 16 Inverters
INV4	マクロ : Four Inverters
INV8	マクロ : Eight Inverters
NAND2	プリミティブ : 2- Input NAND Gate with Non-Inverted Inputs
NAND2B1	プリミティブ : 2-Input NAND Gate with 1 Inverted and 1 Non-Inverted Inputs
NAND2B2	プリミティブ : 2-Input NAND Gate with Inverted Inputs
NAND3	プリミティブ : 3- Input NAND Gate with Non-Inverted Inputs
NAND3B1	プリミティブ : 3-Input NAND Gate with 1 Inverted and 2 Non-Inverted Inputs
NAND3B2	プリミティブ : 3-Input NAND Gate with 2 Inverted and 1 Non-Inverted Inputs
NAND3B3	プリミティブ : 3-Input NAND Gate with Inverted Inputs
NAND4	プリミティブ : 4- Input NAND Gate with Non-Inverted Inputs
NAND4B1	プリミティブ : 4-Input NAND Gate with 1 Inverted and 3 Non-Inverted Inputs
NAND4B2	プリミティブ : 4-Input NAND Gate with 2 Inverted and 2 Non-Inverted Inputs
NAND4B3	プリミティブ : 4-Input NAND Gate with 3 Inverted and 1 Non-Inverted Inputs
NAND4B4	プリミティブ : 4-Input NAND Gate with Inverted Inputs
NAND5	プリミティブ : 5- Input NAND Gate with Non-Inverted Inputs
NAND5B1	プリミティブ : 5-Input NAND Gate with 1 Inverted and 4 Non-Inverted Inputs
NAND5B2	プリミティブ : 5-Input NAND Gate with 2 Inverted and 3 Non-Inverted Inputs
NAND5B3	プリミティブ : 5-Input NAND Gate with 3 Inverted and 2 Non-Inverted Inputs
NAND5B4	プリミティブ : 5-Input NAND Gate with 4 Inverted and 1 Non-Inverted Inputs

デザイン エLEMENT	説明
NAND5B5	プリミティブ : 5-Input NAND Gate with Inverted Inputs
NAND6	マクロ : 6- Input NAND Gate with Non-Inverted Inputs
NAND7	マクロ : 7- Input NAND Gate with Non-Inverted Inputs
NAND8	マクロ : 8- Input NAND Gate with Non-Inverted Inputs
NAND9	マクロ : 9- Input NAND Gate with Non-Inverted Inputs
NOR2	プリミティブ : 2-Input NOR Gate with Non-Inverted Inputs
NOR2B1	プリミティブ : 2-Input NOR Gate with 1 Inverted and 1 Non-Inverted Inputs
NOR2B2	プリミティブ : 2-Input NOR Gate with Inverted Inputs
NOR3	プリミティブ : 3-Input NOR Gate with Non-Inverted Inputs
NOR3B1	プリミティブ : 3-Input NOR Gate with 1 Inverted and 2 Non-Inverted Inputs
NOR3B2	プリミティブ : 3-Input NOR Gate with 2 Inverted and 1 Non-Inverted Inputs
NOR3B3	プリミティブ : 3-Input NOR Gate with Inverted Inputs
NOR4	プリミティブ : 4-Input NOR Gate with Non-Inverted Inputs
NOR4B1	プリミティブ : 4-Input NOR Gate with 1 Inverted and 3 Non-Inverted Inputs
NOR4B2	プリミティブ : 4-Input NOR Gate with 2 Inverted and 2 Non-Inverted Inputs
NOR4B3	プリミティブ : 4-Input NOR Gate with 3 Inverted and 1 Non-Inverted Inputs
NOR4B4	プリミティブ : 4-Input NOR Gate with Inverted Inputs
NOR5	プリミティブ : 5-Input NOR Gate with Non-Inverted Inputs
NOR5B1	プリミティブ : 5-Input NOR Gate with 1 Inverted and 4 Non-Inverted Inputs
NOR5B2	プリミティブ : 5-Input NOR Gate with 2 Inverted and 3 Non-Inverted Inputs
NOR5B3	プリミティブ : 5-Input NOR Gate with 3 Inverted and 2 Non-Inverted Inputs
NOR5B4	プリミティブ : 5-Input NOR Gate with 4 Inverted and 1 Non-Inverted Inputs
NOR5B5	プリミティブ : 5-Input NOR Gate with Inverted Inputs
NOR6	マクロ : 6-Input NOR Gate with Non-Inverted Inputs
NOR7	マクロ : 7-Input NOR Gate with Non-Inverted Inputs
NOR8	マクロ : 8-Input NOR Gate with Non-Inverted Inputs
NOR9	マクロ : 9-Input NOR Gate with Non-Inverted Inputs
OR2	プリミティブ : 2-Input OR Gate with Non-Inverted Inputs
OR2B1	プリミティブ : 2-Input OR Gate with 1 Inverted and 1 Non-Inverted Inputs
OR2B2	プリミティブ : 2-Input OR Gate with Inverted Inputs

デザイン エレメント	説明
OR3	プリミティブ : 3-Input OR Gate with Non-Inverted Inputs
OR3B1	プリミティブ : 3-Input OR Gate with 1 Inverted and 2 Non-Inverted Inputs
OR3B2	プリミティブ : 3-Input OR Gate with 2 Inverted and 1 Non-Inverted Inputs
OR3B3	プリミティブ : 3-Input OR Gate with Inverted Inputs
OR4	プリミティブ : 4-Input OR Gate with Non-Inverted Inputs
OR4B1	プリミティブ : 4-Input OR Gate with 1 Inverted and 3 Non-Inverted Inputs
OR4B2	プリミティブ : 4-Input OR Gate with 2 Inverted and 2 Non-Inverted Inputs
OR4B3	プリミティブ : 4-Input OR Gate with 3 Inverted and 1 Non-Inverted Inputs
OR4B4	プリミティブ : 4-Input OR Gate with Inverted Inputs
OR5	プリミティブ : 5-Input OR Gate with Non-Inverted Inputs
OR5B1	プリミティブ : 5-Input OR Gate with 1 Inverted and 4 Non-Inverted Inputs
OR5B2	プリミティブ : 5-Input OR Gate with 2 Inverted and 3 Non-Inverted Inputs
OR5B3	プリミティブ : 5-Input OR Gate with 3 Inverted and 2 Non-Inverted Inputs
OR5B4	プリミティブ : 5-Input OR Gate with 4 Inverted and 1 Non-Inverted Inputs
OR5B5	プリミティブ : 5-Input OR Gate with Inverted Inputs
OR6	マクロ : 6-Input OR Gate with Non-Inverted Inputs
OR7	マクロ : 7-Input OR Gate with Non-Inverted Inputs
OR8	マクロ : 8-Input OR Gate with Non-Inverted Inputs
OR9	マクロ : 9-Input OR Gate with Non-Inverted Inputs
XNOR2	プリミティブ : 2-Input XNOR Gate with Non-Inverted Inputs
XNOR3	プリミティブ : 3-Input XNOR Gate with Non-Inverted Inputs
XNOR4	プリミティブ : 4-Input XNOR Gate with Non-Inverted Inputs
XNOR5	プリミティブ : 5-Input XNOR Gate with Non-Inverted Inputs
XNOR6	マクロ : 6-Input XNOR Gate with Non-Inverted Inputs
XNOR7	マクロ : 7-Input XNOR Gate with Non-Inverted Inputs
XNOR8	マクロ : 8-Input XNOR Gate with Non-Inverted Inputs
XNOR9	マクロ : 9-Input XNOR Gate with Non-Inverted Inputs
XOR2	プリミティブ : 2-Input XOR Gate with Non-Inverted Inputs
XOR3	プリミティブ : 3-Input XOR Gate with Non-Inverted Inputs
XOR4	プリミティブ : 4-Input XOR Gate with Non-Inverted Inputs
XOR5	プリミティブ : 5-Input XOR Gate with Non-Inverted Inputs

デザイン エLEMENT	説明
XOR6	マクロ：6-Input XOR Gate with Non-Inverted Inputs
XOR7	マクロ：7-Input XOR Gate with Non-Inverted Inputs
XOR8	マクロ：8-Input XOR Gate with Non-Inverted Inputs
XOR9	マクロ：9-Input XOR Gate with Non-Inverted Inputs

マルチプレクサ

デザイン エLEMENT	説明
M16_1E	マクロ：16-to-1 Multiplexer with Enable
M2_1	マクロ：2-to-1 Multiplexer
M2_1B1	マクロ：2-to-1 Multiplexer with D0 Inverted
M2_1B2	マクロ：2-to-1 Multiplexer with D0 and D1 Inverted
M2_1E	マクロ：2-to-1 Multiplexer with Enable
M4_1E	マクロ：4-to-1 Multiplexer with Enable
M8_1E	マクロ：8-to-1 Multiplexer with Enable

シフト レジスタ

デザイン エLEMENT	説明
SR16CE	マクロ：16-Bit Serial-In Parallel-Out Shift Register with Clock Enable and Asynchronous Clear
SR16CLE	マクロ：16-Bit Loadable Serial/Parallel-In Parallel-Out Shift Register with Clock Enable and Asynchronous Clear
SR16CLED	マクロ：16-Bit Shift Register with Clock Enable and Asynchronous Clear
SR16RE	マクロ：16-Bit Serial-In Parallel-Out Shift Register with Clock Enable and Synchronous Reset
SR16RLE	マクロ：16-Bit Loadable Serial/Parallel-In Parallel-Out Shift Register with Clock Enable and Synchronous Reset
SR16RLED	マクロ：16-Bit Shift Register with Clock Enable and Synchronous Reset
SR4CE	マクロ：4-Bit Serial-In Parallel-Out Shift Register with Clock Enable and Asynchronous Clear
SR4CLE	マクロ：4-Bit Loadable Serial/Parallel-In Parallel-Out Shift Register with Clock Enable and Asynchronous Clear
SR4CLED	マクロ：4-Bit Shift Register with Clock Enable and Asynchronous Clear
SR4RE	マクロ：4-Bit Serial-In Parallel-Out Shift Register with Clock Enable and Synchronous Reset
SR4RLE	マクロ：4-Bit Loadable Serial/Parallel-In Parallel-Out Shift Register with Clock Enable and Synchronous Reset
SR4RLED	マクロ：4-Bit Shift Register with Clock Enable and Synchronous Reset

デザイン エLEMENT	説明
SR8CE	マクロ : 8-Bit Serial-In Parallel-Out Shift Register with Clock Enable and Asynchronous Clear
SR8CLE	マクロ : 8-Bit Loadable Serial/Parallel-In Parallel-Out Shift Register with Clock Enable and Asynchronous Clear
SR8CLED	マクロ : 8-Bit Shift Register with Clock Enable and Asynchronous Clear
SR8RE	マクロ : 8-Bit Serial-In Parallel-Out Shift Register with Clock Enable and Synchronous Reset
SR8RLE	マクロ : 8-Bit Loadable Serial/Parallel-In Parallel-Out Shift Register with Clock Enable and Synchronous Reset
SR8RLED	マクロ : 8-Bit Shift Register with Clock Enable and Synchronous Reset
SRD16CE	マクロ : 16-Bit Serial-In Parallel-Out Dual Edge Triggered Shift Register with Clock Enable and Asynchronous Clear
SRD16CLE	マクロ : 16-Bit Loadable Serial/Parallel-In Parallel-Out Dual Edge Triggered Shift Register with Clock Enable and Asynchronous Clear
SRD16CLED	マクロ : 16-Bit Dual Edge Triggered Shift Register with Clock Enable and Asynchronous Clear
SRD16RE	マクロ : 16-Bit Serial-In Parallel-Out Dual Edge Triggered Shift Register with Clock Enable and Synchronous Reset
SRD16RLE	マクロ : 16-Bit Loadable Serial/Parallel-In Parallel-Out Dual Edge Triggered Shift Register with Clock Enable and Synchronous Reset
SRD16RLED	マクロ : 16-Bit Dual Edge Triggered Shift Register with Clock Enable and Synchronous Reset
SRD4CE	マクロ : 4-Bit Serial-In Parallel-Out Dual Edge Triggered Shift Register with Clock Enable and Asynchronous Clear
SRD4CLE	マクロ : 4-Bit Loadable Serial/Parallel-In Parallel-Out Dual Edge Triggered Shift Register with Clock Enable and Asynchronous Clear
SRD4CLED	マクロ : 4-Bit Dual Edge Triggered Shift Register with Clock Enable and Asynchronous Clear
SRD4RE	マクロ : 4-Bit Serial-In Parallel-Out Dual Edge Triggered Shift Register with Clock Enable and Synchronous Reset
SRD4RLE	マクロ : 4-Bit Loadable Serial/Parallel-In Parallel-Out Dual Edge Triggered Shift Register with Clock Enable and Synchronous Reset
SRD4RLED	マクロ : 4-Bit Dual Edge Triggered Shift Register with Clock Enable and Synchronous Reset
SRD8CE	マクロ : 8-Bit Serial-In Parallel-Out Dual Edge Triggered Shift Register with Clock Enable and Asynchronous Clear
SRD8CLE	マクロ : 8-Bit Loadable Serial/Parallel-In Parallel-Out Dual Edge Triggered Shift Register with Clock Enable and Asynchronous Clear
SRD8CLED	マクロ : 8-Bit Dual Edge Triggered Shift Register with Clock Enable and Asynchronous Clear

デザイン エlement	説明
SRD8RE	マクロ : 8-Bit Serial-In Parallel-Out Dual Edge Triggered Shift Register with Clock Enable and Synchronous Reset
SRD8RLE	マクロ : 8-Bit Loadable Serial/Parallel-In Parallel-Out Dual Edge Triggered Shift Register with Clock Enable and Synchronous Reset
SRD8RLED	マクロ : 8-Bit Dual Edge Triggered Shift Register with Clock Enable and Synchronous Reset

シフタ

デザイン エlement	説明
BRLSHFT4	マクロ : 4-Bit Barrel Shifter
BRLSHFT8	マクロ : 8-Bit Barrel Shifter

デザイン エLEMENT

このセクションでは、このアーキテクチャで利用できるデザイン エLEMENTについて説明します。デザイン エLEMENTは、アルファベット順に並べられています。

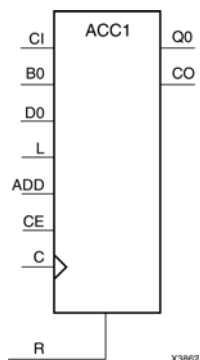
各ライブラリ エLEMENTについて、次の情報を示します。

- ・ 名称
- ・ 説明
- ・ 回路図シンボル (該当するELEMENTでのみ)
- ・ 論理表 (該当するELEMENTでのみ)
- ・ ポートの説明 (該当するELEMENTでのみ)
- ・ デザインの入力方法
- ・ 使用可能な属性 (該当するELEMENTでのみ)
- ・ その他のリソース

VHDL および Verilog のインスタンス化コードの例は、ISE ソフトウェア ([Edit] → [Language Templates]) またはこのアーキテクチャの HDL 用のライブラリ ガイドから入手できます。

ACC1

： 1-Bit Loadable Cascadable Accumulator with Carry-In, Carry-Out, and Synchronous Reset



サポートされているアーキテクチャ

このデザイン エレメントは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

概要

このエレメントは、1 ビット データレジスタの値に対して 1 ビットの符号なしバイナリワードを加算または減算して、結果をレジスタに保存します。レジスタには、1 ビットワードでロードできます。同期リセット (R) は、ほかのすべての入力よりも優先され、R が High になると、クロック (C) が Low から High に切り替わる時に出力が 0 になります。クロック イネーブル (CE) が Low の場合は、C の遷移は無視されます。

ロード入力 (L) が High になると、CE が無視され、クロック (C) が Low から High に切り替わる時に入力 D0 の値が 1 ビット レジスタにロードされます。

制御入力の ADD と CE が共に High になると、アキュムレータは 1 ビットワード (B0) とキャリーイン (CI) を 1 ビットレジスタに加算します。結果はレジスタに保存され、クロックが Low から High に切り替わる時に Q0 に出力されます。キャリー出力 (CO) は、Q0 の値と同時にレジスタに出力されません。CO には、入力 B0 とレジスタの値の加算値が常に出力されます。このため、各アキュムレータの CO を次の段の CI に接続して、ACC1 をカスケード接続できます。加算モードでは、CO はキャリーアウトとして機能し、CO と CI はアクティブ High になります。

ADD が Low に、CE が High になると、1 ビットワード B0 と CI がレジスタの値から減算されます。結果はレジスタに保存され、クロックが Low から High に切り替わる時に Q0 に出力されます。キャリー出力 (CO) は、Q0 の値と同時にレジスタに出力されません。CO には、入力 B0 とレジスタの値の加算値が常に出力されます。このため、各アキュムレータの CO を次の段の CI に接続して、ACC1 をカスケード接続できます。減算モードでは、CO はボローとして機能し、CO と CI はアクティブ Low になります。

電力を供給すると、このデザイン エレメントは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

デザインの入力方法

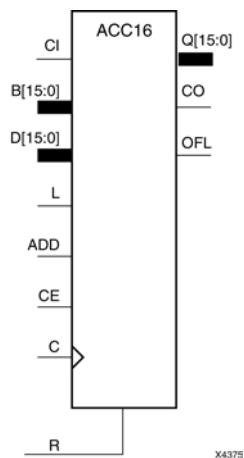
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

ACC16

: 16-Bit Loadable Cascadable Accumulator with Carry-In, Carry-Out, and Synchronous Reset



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

概要

このデザイン エLEMENTは、16 ビット データレジスタの値に対して 16 ビットの符号なし 2 進数または 2 の補数ワードを加算または減算して、その結果をレジスタに保存します。レジスタには、16 ビットワードでロードできます。

ロード入力 (L) が High になると、CE が無視され、クロック (C) が Low から High に切り替わる時に D 入力の値がレジスタにロードされます。ACC16 では、入力 D15 ~ D0 の値が 16 ビットレジスタにロードされます。

このデザイン エLEMENTは、16 ビットの符号なし 2 進数または 16 ビットの 2 の補数を処理します。符号なし 2 進数が入力されると、符号なし 2 進数が出力されます。2 の補数が入力されると、2 の補数が出力されます。この 2 つの唯一の機能的な違いは、オーバーフローの認識方法にあり、オーバーフローの発生を認識するのに符号なし 2 進数ではキャリー出力 (CO) が使用され、2 の補数では OFL が使用されます。

- ・ 符号なし 2 進演算の場合、0 ~ 15 までの数を表現できます。加算モードでは、加算結果が加減算器の範囲を超えると CO がアクティブ (High) になります。減算モードでは、減算器の範囲を超えると CO がアクティブ Low のボロアウトで、Low になります。CO は、データ出力と同時にレジスタに出力されません。CO には、入力 B15 ~ B0 入力の値の加算値が常に出力されます。このため、各 ACC16 の CO を次の段の CI に接続してカスケード接続できます。符号なし 2 進数のオーバーフローは、常にアクティブ High で、ADD と CO を次のようにゲート接続すると発生させることができます。

符号なしオーバーフロー = CO XOR ADD

符号なし 2 進演算では、OFL は無視されます。

- ・ 2 の補数演算の場合、-8 ~ +7 までの数を表現できます。加算または減算の結果がこの範囲を超えると、OFL 出力が High になります。オーバーフロー (OFL) は、データ出力と同時にレジスタに出力されません。OFL には、B 入力 (B15 ~ B0) とレジスタの値の合計が常に出力されます。このため、各 ACC4 の OFL を次の段の CI に接続してカスケード接続できます。

2 の補数演算では、CO は無視されます。

同期リセット (R) は、ほかのすべての入力よりも優先され、R が High になると、クロック (C) が Low から High に切り替わるときに出力が 0 になります。クロック イネーブル (CE) が Low の場合は、C の遷移は無視されます。

電力を供給すると、このデザイン エLEMENTは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

論理表

入力						出力
R	L	CE	ADD	D	C	Q
1	X	X	X	X	↑	0
0	1	X	X	Dn	↑	Dn
0	0	1	1	X	↑	$Q0 + Bn + CI$
0	0	1	0	X	↑	$Q0 - Bn - CI$
0	0	0	X	X	↑	変化なし
Q0 : Q の以前の値 Bn : データ入力 B の値 CI : 入力 CI の値						

デザインの入力方法

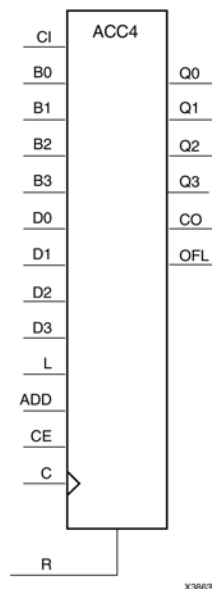
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

ACC4

: 4-Bit Loadable Cascadable Accumulator with Carry-In, Carry-Out, and Synchronous Reset



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

概要

このデザイン エLEMENTは、4 ビット データレジスタの値に対して 4 ビットの符号なし 2 進数または 2 の補数ワードを加算または減算して、その結果をレジスタに保存します。レジスタには、4 ビットワードでロードできます。

ロード入力 (L) が High になると、CE が無視され、クロック (C) が Low から High に切り替わる時に D 入力の値がレジスタにロードされます。ACC4 では、入力 D3 ~ D0 の値が 4 ビットレジスタにロードされます。

このデザイン エLEMENTは、4 ビットの符号なし 2 進数または 4 ビットの 2 の補数を処理します。符号なし 2 進数が入力されると、符号なし 2 進数が出力されます。2 の補数が入力されると、2 の補数が出力されます。この 2 つの唯一の機能的な違いは、オーバーフローの認識方法にあり、オーバーフローの発生を認識するのに符号なし 2 進数ではキャリー出力 (CO) が使用され、2 の補数では OFL が使用されます。

- ・ 符号なし 2 進演算の場合、0 ~ 15 までの数を表現できます。加算モードでは、加算結果が加減算器の範囲を超えると CO がアクティブ (High) になります。減算モードでは、減算器の範囲を超えると CO がアクティブ Low のボローアウトで、Low になります。CO は、データ出力と同時にレジスタに出力されません。CO には、入力 B3 ~ B0 入力の値の加算値が常に出力されます。このため、各 ACC4 の CO を次の段の CI に接続してカスケード接続できます。符号なし 2 進数のオーバーフローは、常にアクティブ High で、ADD と CO を次のようにゲート接続すると発生させることができます。

符号なしオーバーフロー = CO XOR ADD

符号なし 2 進演算では、OFL は無視されます。

- 2 の補数演算の場合、-8 ～ +7 までの数を表現できます。加算または減算の結果がこの範囲を超えると、OFL 出力が High になります。オーバーフロー (OFL) は、データ出力と同時にレジスタに出力されません。OFL には、B 入力 (B3 ～ B0) とレジスタの値の合計が常に出力されます。このため、各 ACC4 の OFL を次の段の CI に接続してカスケード接続できます。

2 の補数演算では、CO は無視されます。

同期リセット (R) は、ほかのすべての入力よりも優先され、R が High になると、クロック (C) が Low から High に切り替わるときに出力が 0 になります。クロック イネーブル (CE) が Low の場合は、C の遷移は無視されます。

電力を供給すると、このデザイン エLEMENT は非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

論理表

入力						出力
R	L	CE	ADD	D	C	Q
1	X	X	X	X	↑	0
0	1	X	X	Dn	↑	Dn
0	0	1	1	X	↑	$Q0 + Bn + CI$
0	0	1	0	X	↑	$Q0 - Bn - CI$
0	0	0	X	X	↑	変化なし
Q0 : Q の以前の値 Bn : データ入力 B の値 CI : 入力 CI の値						

デザインの入力方法

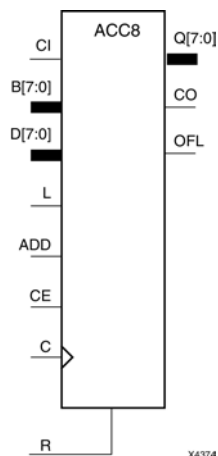
このELEMENTは、回路図でのみ使用できます。

詳細情報

- 該当 CPLD のユーザー ガイド
- 該当 CPLD のデータシート

ACC8

: 8-Bit Loadable Cascadable Accumulator with Carry-In, Carry-Out, and Synchronous Reset



サポートされているアーキテクチャ

このデザイン エレメントは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

概要

このデザイン エレメントは、8 ビット データレジスタの値に対して 8 ビットの符号なし 2 進数または 2 の補数ワードを加算または減算して、その結果をレジスタに保存します。レジスタには、8 ビット ワードでロードできます。

ロード入力 (L) が High になると、CE が無視され、クロック (C) が Low から High に切り替わる時に D 入力の値がレジスタにロードされます。ACC8 では、入力 D7 ~ D0 の値が 8 ビット レジスタにロードされます。

このデザイン エレメントは、8 ビットの符号なし 2 進数または 8 ビットの 2 の補数を処理します。符号なし 2 進数が入力されると、符号なし 2 進数が出力されます。2 の補数が入力されると、2 の補数が出力されます。この 2 つの唯一の機能的な違いは、オーバーフローの認識方法にあり、オーバーフローの発生を認識するのに符号なし 2 進数ではキャリー出力 (CO) が使用され、2 の補数では OFL が使用されます。

- ・ 符号なし 2 進演算の場合、0 ~ 255 までの数を表現できます。加算モードでは、加算結果が加減算器の範囲を超えると CO がアクティブ (High) になります。減算モードでは、減算器の範囲を超えると CO がアクティブ Low のボローアウトで、Low になります。CO は、データ出力と同時にレジスタに出力されません。CO には、入力 B3 ~ B0 入力の値の加算値が常に出力されます。このため、各 ACC8 の CO を次の段の CI に接続してカスケード接続できます。符号なし 2 進数のオーバーフローは、常にアクティブ High で、ADD と CO を次のようにゲート接続すると発生させることができます。

符号なしオーバーフロー = CO XOR ADD

符号なし 2 進演算では、OFL は無視されます。

- ・ 2 の補数演算の場合、-128 ~ +127 までの数を表現できます。加算または減算の結果がこの範囲を超えると、OFL 出力が High になります。オーバーフロー (OFL) は、データ出力と同時にレジスタに出力されません。OFL には、B 入力 (B3 ~ B0) とレジスタの値の合計が常に出力されます。このため、各 ACC8 の OFL を次の段の CI に接続してカスケード接続できます。

2 の補数演算では、CO は無視されます。

同期リセット (R) は、ほかのすべての入力よりも優先され、R が High になると、クロック (C) が Low から High に切り替わるときに出力が 0 になります。クロック イネーブル (CE) が Low の場合は、C の遷移は無視されます。

電力を供給すると、このデザイン エLEMENT は非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスで PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

論理表

入力						出力
R	L	CE	ADD	D	C	Q
1	X	X	X	X	↑	0
0	1	X	X	Dn	↑	Dn
0	0	1	1	X	↑	$Q0 + Bn + CI$
0	0	1	0	X	↑	$Q0 - Bn - CI$
0	0	0	X	X	↑	変化なし
Q0 : Q の以前の値 Bn : データ入力 B の値 CI : 入力 CI の値						

デザインの入力方法

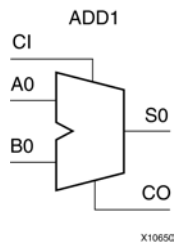
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

ADD1

： 1-Bit Full Adder with Carry-In and Carry-Out



サポートされているアーキテクチャ

このデザイン エレメントは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

概要

このデザイン エレメントは、キャリーインとキャリーアウトがあるカスケード可能な 1 ビット全加算器で、2 つの 1 ビットワード (A と B) とキャリーイン (CI) を加算し、2 進和 (S0) とキャリーアウト (CO) を出力します。

論理表

入力			出力	
A0	B0	CI	S0	CO
0	0	0	0	0
1	0	0	1	0
0	1	0	1	0
1	1	0	0	1
0	0	1	1	0
1	0	1	0	1
0	1	1	0	1
1	1	1	1	1

デザインの入力方法

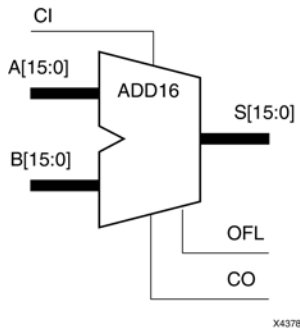
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

ADD16

: 16-Bit Cascadable Full Adder with Carry-In, Carry-Out, and Overflow



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

概要

このELEMENTは、2 つのワードとキャリー入力 (CI) を加算して、その和とキャリー出力 (CO) またはオーバーフロー (OFL) を出力します。A15 ~ A0、B15 ~ B0、および CI が加算され、その和 S15 ~ S0 および CO (または OFL) が出力されます。

論理表

入力		出力
A	B	S
A _n	B _n	A _n + B _n + CI
CI : 入力 CI の値		

2 2

このデザイン ELEMENTは、16 ビットの符号なし 2 進数または 16 ビットの 2 の補数を処理できます。符号なし 2 進数が入力されると、符号なし 2 進数が出力されます。2 の補数が入力されると、2 の補数が出力されます。この 2 つの唯一の機能的な違いは、オーバーフローの認識方法にあり、オーバーフローの発生を認識するのに符号なし 2 進数では CO が使用され、2 の補数では OFL が使用されます。したがって、符号なし 2 進数が入力された場合は CO 出力を確認し、2 の補数が入力された場合は OFL 出力を確認します。

2

符号なし 2 進演算の場合、0 ~ 65535 までの数を表現できます。符号なし 2 進演算では、OFL は無視されます。

2

2 の補数演算の場合、-32768 から +32767 までの数を表現できます。合計値が加算器の範囲を超えると、OFL がアクティブ (High) になります。2 の補数演算では、CO は無視されます。

デザインの入力方法

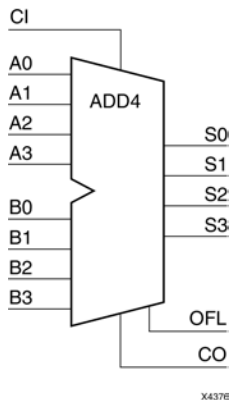
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

ADD4

： 4-Bit Cascadable Full Adder with Carry-In, Carry-Out, and Overflow



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

概要

このELEMENTは、2 つのワードとキャリー入力 (CI) を加算して、その和とキャリー出力 (CO) またはオーバーフロー (OFL) を出力します。A3 ~ A0、B3 ~ B0、および CI が加算され、その和 S3 ~ S0 および CO (または OFL) が出力されます。

論理表

入力		出力
A	B	S
A _n	B _n	A _n + B _n + CI
CI : 入力 CI の値		

2 2

このデザイン ELEMENTは、4 ビットの符号なし 2 進数または 4 ビットの 2 の補数を処理できます。符号なし 2 進数が入力されると、符号なし 2 進数が出力されます。2 の補数が入力されると、2 の補数が出力されます。この 2 つの唯一の機能的な違いは、オーバーフローの認識方法にあり、オーバーフローの発生を認識するのに符号なし 2 進数では CO が使用され、2 の補数では OFL が使用されます。したがって、符号なし 2 進数が入力された場合は CO 出力を確認し、2 の補数が入力された場合は OFL 出力を確認します。

2

符号なし 2 進演算の場合、0 ~ 15 までの数を表現できます。符号なし 2 進演算では、OFL は無視されます。

2

2 の補数演算の場合、-8 から +7 までの数を表現できます。合計値が加算器の範囲を超えると、OFL がアクティブ (High) になります。2 の補数演算では、CO は無視されます。

デザインの入力方法

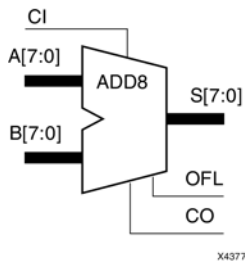
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

ADD8

: 8-Bit Cascadable Full Adder with Carry-In, Carry-Out, and Overflow



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

概要

このELEMENTは、2 つのワードとキャリー入力 (CI) を加算して、その和とキャリー出力 (CO) またはオーバーフロー (OFL) を出力します。A7 ~ A0、B7 ~ B0、および CI が加算され、その和 S7 ~ S0 および CO (または OFL) が出力されます。

論理表

入力		出力
A	B	S
A _n	B _n	A _n + B _n + CI
CI : 入力 CI の値		

2 2

このデザイン ELEMENTは、8 ビットの符号なし 2 進数または 8 ビットの 2 の補数処理できます。符号なし 2 進数が入力されると、符号なし 2 進数が出力されます。2 の補数が入力されると、2 の補数が出力されます。この 2 つの唯一の機能的な違いは、オーバーフローの認識方法にあり、オーバーフローの発生を認識するのに符号なし 2 進数では CO が使用され、2 の補数では OFL が使用されます。したがって、符号なし 2 進数が入力された場合は CO 出力を確認し、2 の補数が入力された場合は OFL 出力を確認します。

2

符号なし 2 進演算の場合、0 ~ 255 までの数を表現できます。符号なし 2 進演算では、OFL は無視されます。

2

2 の補数演算の場合、-128 から +127 までの数を表現できます。合計値が加算器の範囲を超えると、OFL がアクティブ (High) になります。2 の補数演算では、CO は無視されます。

デザインの入力方法

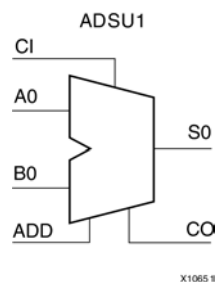
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

ADSU1

： 1-Bit Cascadable Adder/Subtractor with Carry-In, Carry-Out



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

概要

ADD 入力が高の場合、2 つの 1 ビットワード (A0 と B0) とキャリー入力 (CI) が加算され、1 ビットの出力 (S0) とキャリー出力 (CO) が出力されます。ADD 入力が Low の場合、B0 が A0 から減算され、その結果値 (S0) とボロー (CO) が出力されます。

加算モードでは、CO はキャリーアウトを出力し、CO と CI はアクティブ High になります。減算モードでは、CO はボローを出力し、CO と CI はアクティブ Low になります。

加算 (ADD=1)

入力			出力	
A0	B0	CI	S0	CO
0	0	0	0	0
0	1	0	1	0
1	0	0	1	0
1	1	0	0	1
0	0	1	1	0
0	1	1	0	1
1	0	1	0	1
1	1	1	1	1

減算 (ADD=0)

入力			出力	
A0	B0	CI	S0	CO
0	0	0	1	0
0	1	0	0	0
1	0	0	0	1
1	1	0	1	0
0	0	1	0	1
0	1	1	1	0
1	0	1	1	1
1	1	1	0	1
1	0	1	1	1
1	1	1	0	1

デザインの入力方法

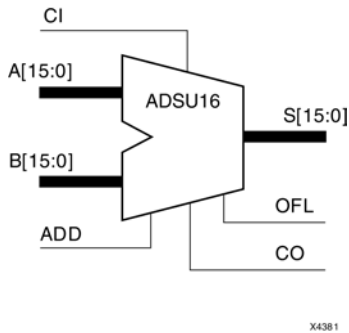
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

ADSU16

: 16-Bit Cascadable Adder/Subtractor with Carry-In, Carry-Out, and Overflow



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

概要

ADD が High の場合、2 つの 16 ビットワード (A15 ~ A0 と B15 ~ B0) とキャリー入力 (CI) を加算し、16 ビットの和 (S15 ~ S0) とキャリー出力 (CO) (またはオーバーフロー (OFL)) を出力します。

ADD 入力が Low の場合、A15 ~ A0 から B15 ~ B0 を減算し、その差とキャリー出力 (CO) またはオーバーフロー (OFL) を出力します。

加算モードでは、CO と CI はアクティブ High になります。減算モードでは、CO と CI はアクティブ Low になります。OFL は、モードにかかわらず常にアクティブ High です。

論理表

入力			出力
ADD	A	B	S
1	A _n	B _n	A _n + B _n + CI*
0	A _n	B _n	A _n - B _n - CI*
CI*: ADD = 0、CI、CO アクティブ Low			
CI*: ADD = 1、CI、CO アクティブ High			

2 2

このデザイン エLEMENTは、16 ビットの符号なし 2 進数または 16 ビットの 2 の補数処理できます。符号なし 2 進数が入力されると、符号なし 2 進数が出力されます。2 の補数が入力されると、2 の補数が出力されます。この 2 つの唯一の機能的な違いは、オーバーフローの認識方法にあり、オーバーフローの発生を認識するのに符号なし 2 進数では CO が使用され、2 の補数では OFL が使用されます。

加減算器では、符号なし 2 進演算でも 2 の補数演算でもオーバーフローが発生します。演算結果がオーバーフローになる場合、オーバーフローが生成されます。同様に、演算結果が桁上がりする場合、キャリー出力が生成されます。

2

符号なし 2 進演算の場合、0 ～ 65535 までの数を表現できます。加算モードでは、加算結果が加減算器の範囲を超えると CO がアクティブ (High) になります。減算モードでは、減算器の範囲を超えると CO がアクティブ Low のボローアウトで、Low になります。

符号なし 2 進数のオーバーフローは、常にアクティブ High で、ADD と CO を次のようにゲート接続すると発生させることができます。

符号なしオーバーフロー = CO XOR ADD

符号なし 2 進演算では、OFL は無視されます。

2

2 の補数演算の場合、-32768 から +32767 までの数を表現できます。

加算または減算の結果がこの範囲を超えると、OFL 出力が High になります。2 の補数演算では、CO は無視されます。

デザインの入力方法

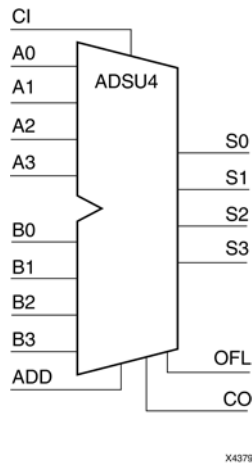
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

ADSU4

： 4-Bit Cascadable Adder/Subtractor with Carry-In, Carry-Out, and Overflow



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

概要

ADD が High の場合、2 つの 4 ビットワード (A3 ~ A0 と B3 ~ B0) とキャリー入力 (CI) を加算し、4 ビットの和 (S3 ~ S0) とキャリー出力 (CO) (またはオーバーフロー (OFL)) を出力します。

ADD 入力が Low の場合、A3 ~ A0 から B3 ~ B0 を減算し、4 ビットの差 (S3 ~ S0) とキャリー出力 (CO) またはオーバーフロー (OFL) を出力します。

加算モードでは、CO と CI はアクティブ High になります。減算モードでは、CO と CI はアクティブ Low になります。OFL は、モードにかかわらず常にアクティブ High です。

論理表

入力			出力
ADD	A	B	S
1	A _n	B _n	A _n + B _n + CI*
0	A _n	B _n	A _n - B _n - CI*
CI* : ADD = 0、CI、CO アクティブ Low			
CI* : ADD = 1、CI、CO アクティブ High			

このデザイン エLEMENTは、4 ビットの符号なし 2 進数または 4 ビットの 2 の補数処理できます。符号なし 2 進数が入力されると、符号なし 2 進数が出力されます。2 の補数が入力されると、2 の補数が出力されます。この 2 つの唯一の機能的な違いは、オーバーフローの認識方法にあり、オーバーフローの発生を認識するのに符号なし 2 進数では CO が使用され、2 の補数では OFL が使用されます。

加減算器では、符号なし 2 進演算でも 2 の補数演算でもオーバーフローが発生します。演算結果がオーバーフローになる場合、オーバーフローが生成されます。同様に、演算結果が桁上がりする場合、キャリー出力が生成されます。

2

符号なし 2 進演算の場合、0 ～ 15 までの数を表現できます。加算モードでは、加算結果が加減算器の範囲を超えると CO がアクティブ (High) になります。減算モードでは、減算器の範囲を超えると CO がアクティブ Low のボローアウトで、Low になります。

符号なし 2 進数のオーバーフローは、常にアクティブ High で、ADD と CO を次のようにゲート接続すると発生させることができます。

符号なしオーバーフロー = CO XOR ADD

符号なし 2 進演算では、OFL は無視されます。

2

2 の補数演算の場合、-8 から +7 までの数を表現できます。

加算または減算の結果がこの範囲を超えると、OFL 出力が High になります。2 の補数演算では、CO は無視されます。

デザインの入力方法

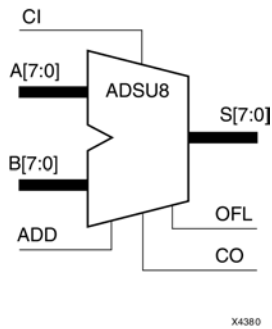
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

ADSU8

: 8-Bit Cascadable Adder/Subtractor with Carry-In, Carry-Out, and Overflow



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

概要

ADD が High の場合、2 つの 8 ビットワード (A7 ～ A0 と B7 ～ B0) とキャリー入力 (CI) を加算し、8 ビットの和 (S7 ～ S0) とキャリー出力 (CO) (またはオーバーフロー (OFL)) を出力します。

ADD 入力が Low の場合、A7 ～ A0 から B7 ～ B0 を減算し、8 ビットの差 (S7 ～ S0) とキャリー出力 (CO) またはオーバーフロー (OFL) を出力します。

加算モードでは、CO と CI はアクティブ High になります。減算モードでは、CO と CI はアクティブ Low になります。OFL は、モードにかかわらず常にアクティブ High です。

論理表

入力			出力
ADD	A	B	S
1	A _n	B _n	A _n + B _n + CI*
0	A _n	B _n	A _n - B _n - CI*
CI*: ADD = 0、CI、CO アクティブ Low			
CI*: ADD = 1、CI、CO アクティブ High			

2 2

このデザイン エLEMENTは、8 ビットの符号なし 2 進数または 8 ビットの 2 の補数を処理できます。符号なし 2 進数が入力されると、符号なし 2 進数が出力されます。2 の補数が入力されると、2 の補数が出力されます。この 2 つの唯一の機能的な違いは、オーバーフローの認識方法にあり、オーバーフローの発生を認識するのに符号なし 2 進数では CO が使用され、2 の補数では OFL が使用されます。

加減算器では、符号なし 2 進演算でも 2 の補数演算でもオーバーフローが発生します。演算結果がオーバーフローになる場合、オーバーフローが生成されます。同様に、演算結果が桁上がりする場合、キャリー出力が生成されます。

2

符号なし 2 進演算の場合、0 ～ 255 までの数を表現できます。加算モードでは、加算結果が加減算器の範囲を超えると CO がアクティブ (High) になります。減算モードでは、減算器の範囲を超えると CO がアクティブ Low のボローアウトで、Low になります。

符号なし 2 進数のオーバーフローは、常にアクティブ High で、ADD と CO を次のようにゲート接続すると発生させることができます。

符号なしオーバーフロー = CO XOR ADD

符号なし 2 進演算では、OFL は無視されます。

2

2 の補数演算の場合、-128 から +127 までの数を表現できます。

加算または減算の結果がこの範囲を超えると、OFL 出力が High になります。2 の補数演算では、CO は無視されます。

デザインの入力方法

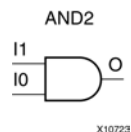
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

AND2

: 2-Input AND Gate with Non-Inverted Inputs



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

概要

5 入力までの AND ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の AND ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転させるには、外部インバータを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

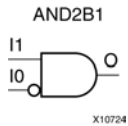
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

AND2B1

: 2-Input AND Gate with 1 Inverted and 1 Non-Inverted Inputs



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

概要

5 入力までの AND ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の AND ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転させるには、外部インバータを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

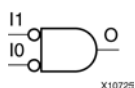
詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

AND2B2

： 2-Input AND Gate with Inverted Inputs

AND2B2



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

概要

5 入力までの AND ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の AND ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転させるには、外部インバータを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

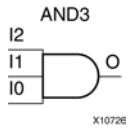
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

AND3

： 3-Input AND Gate with Non-Inverted Inputs



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

概要

5 入力までの AND ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の AND ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転させるには、外部インバータを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

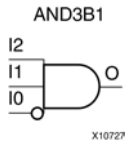
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

AND3B1

: 3-Input AND Gate with 1 Inverted and 2 Non-Inverted Inputs



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

概要

5 入力までの AND ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の AND ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転させるには、外部インバータを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

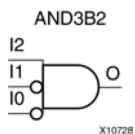
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

AND3B2

: 3-Input AND Gate with 2 Inverted and 1 Non-Inverted Inputs



サポートされているアーキテクチャ

このデザイン エレメントは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

概要

5 入力までの AND ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の AND ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転させるには、外部インバータを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

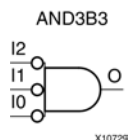
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

AND3B3

： 3-Input AND Gate with Inverted Inputs



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

概要

5 入力までの AND ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の AND ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転させるには、外部インバータを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

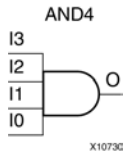
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

AND4

： 4-Input AND Gate with Non-Inverted Inputs



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

概要

5 入力までの AND ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の AND ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転させるには、外部インバータを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

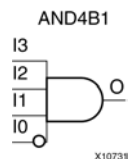
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

AND4B1

: 4-Input AND Gate with 1 Inverted and 3 Non-Inverted Inputs



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

概要

5 入力までの AND ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の AND ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転させるには、外部インバータを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

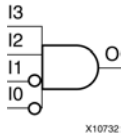
詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

AND4B2

: 4-Input AND Gate with 2 Inverted and 2 Non-Inverted Inputs

AND4B2



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

概要

5 入力までの AND ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の AND ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転させるには、外部インバータを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

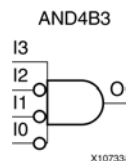
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

AND4B3

: 4-Input AND Gate with 3 Inverted and 1 Non-Inverted Inputs



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

概要

5 入力までの AND ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の AND ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転させるには、外部インバータを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

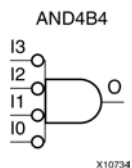
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

AND4B4

: 4-Input AND Gate with Inverted Inputs



サポートされているアーキテクチャ

このデザイン エレメントは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

概要

5 入力までの AND ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の AND ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転させるには、外部インバータを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

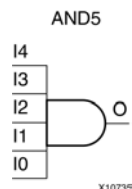
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

AND5

: 5-Input AND Gate with Non-Inverted Inputs



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

概要

5 入力までの AND ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の AND ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転させるには、外部インバータを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

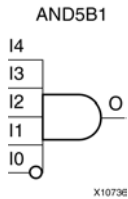
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

AND5B1

: 5-Input AND Gate with 1 Inverted and 4 Non-Inverted Inputs



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

概要

5 入力までの AND ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の AND ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転させるには、外部インバータを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

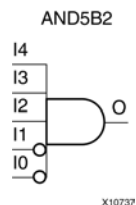
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

AND5B2

: 5-Input AND Gate with 2 Inverted and 3 Non-Inverted Inputs



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

概要

5 入力までの AND ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の AND ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転させるには、外部インバータを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

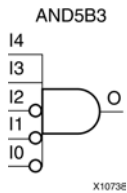
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

AND5B3

: 5-Input AND Gate with 3 Inverted and 2 Non-Inverted Inputs



サポートされているアーキテクチャ

このデザイン エレメントは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

概要

5 入力までの AND ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の AND ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転させるには、外部インバータを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

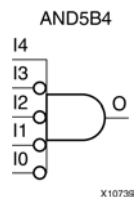
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

AND5B4

: 5-Input AND Gate with 4 Inverted and 1 Non-Inverted Inputs



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

概要

5 入力までの AND ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の AND ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転させるには、外部インバータを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

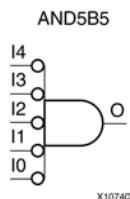
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

AND5B5

: 5-Input AND Gate with Inverted Inputs



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

概要

5 入力までの AND ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の AND ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転させるには、外部インバータを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

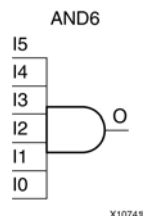
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

AND6

： 6-Input AND Gate with Non-Inverted Inputs



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

概要

5 入力までの AND ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の AND ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転させるには、外部インバータを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

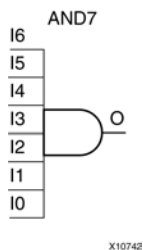
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

AND7

： 7-Input AND Gate with Non-Inverted Inputs



サポートされているアーキテクチャ

このデザイン エレメントは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

概要

5 入力までの AND ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の AND ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転させるには、外部インバータを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

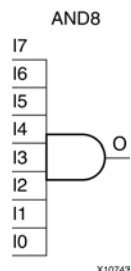
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

AND8

： 8-Input AND Gate with Non-Inverted Inputs



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

概要

5 入力までの AND ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の AND ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転させるには、外部インバータを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

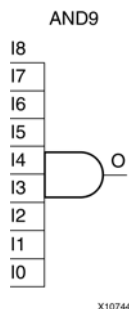
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

AND9

： 9-Input AND Gate with Non-Inverted Inputs



サポートされているアーキテクチャ

このデザイン エレメントは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

概要

5 入力までの AND ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の AND ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転させるには、外部インバータを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

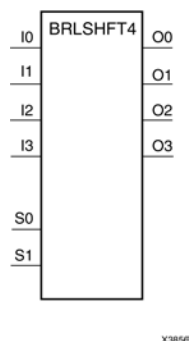
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

BRLSHFT4

： 4-Bit Barrel Shifter



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

概要

このデザイン エLEMENTは 4 ビットのバレル シフタで、4 つの入力 (I3 ~ I0) を 4 回までローテーションできます。制御入力 (S1 と S0) は、データをローテーションする回数 (1 ~ 4) を指定します。4 つの出力 (O3 ~ O0) には、ローテーションされたデータ入力が出力されます。

論理表

入力						出力			
S1	S0	I0	I1	I2	I3	O0	O1	O2	O3
0	0	a	b	c	d	a	b	c	d
0	1	a	b	c	d	b	c	d	a
1	0	a	b	c	d	c	d	a	b
1	1	a	b	c	d	d	a	b	c

デザインの入力方法

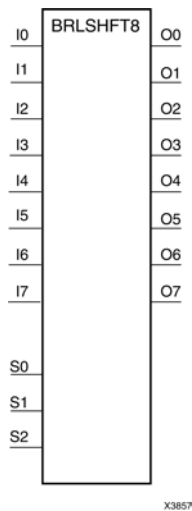
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

BRLSHFT8

: 8-Bit Barrel Shifter



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

概要

このデザイン エLEMENTは、8 ビットのバレル シフタで、8 つの入力 (I7 ~ I0) を 8 回までローテーションできます。制御入力 (S2 ~ S0) は、データをローテーションする回数 (1 ~ 8) を指定します。8 つの出力 (O7 ~ O0) には、ローテーションされたデータ入力が出力されます。

論理表

入力											出力							
S2	S1	S0	I0	I1	I2	I3	I4	I5	I6	I7	O0	O1	O2	O3	O4	O5	O6	O7
0	0	0	a	b	c	d	e	f	g	h	a	b	c	d	e	f	g	h
0	0	1	a	b	c	d	e	f	g	h	b	c	d	e	f	g	h	a
0	1	0	a	b	c	d	e	f	g	h	c	d	e	f	g	h	a	b
0	1	1	a	b	c	d	e	f	g	h	d	e	f	g	h	a	b	c
1	0	0	a	b	c	d	e	f	g	h	e	f	g	h	a	b	c	d
1	0	1	a	b	c	d	e	f	g	h	f	g	h	a	b	c	d	e
1	1	0	a	b	c	d	e	f	g	h	g	h	a	b	c	d	e	f
1	1	1	a	b	c	d	e	f	g	h	h	a	b	c	d	e	f	g

デザインの入力方法

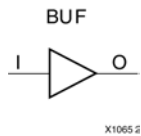
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

BUF

: General Purpose Buffer



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

概要

このデザイン エLEMENTは、汎用の非反転バッファです。

このELEMENTは不要なので、MAP によって削除されます。

デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

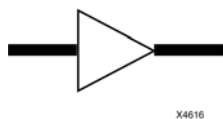
詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

BUF16

: 16-Bit General Purpose Buffer

BUF16



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

概要

このデザイン エLEMENTは、16 ビットの汎用の非反転バッファです。CPLD では、OPT=OFF 属性をこのデザイン エLEMENTに適用するか、または LOGIC_OPT=OFF グローバル属性を使用して最適化を禁止しないと、通常削除されます。

デザインの入力方法

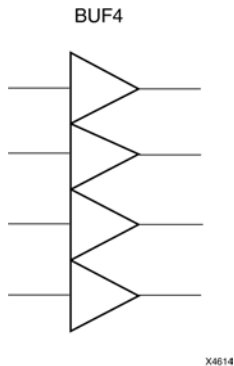
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

BUF4

： 4-Bit General Purpose Buffer



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

概要

このデザイン エLEMENTは、4 ビットの汎用の非反転バッファです。CPLD では、OPT=OFF 属性をこのデザイン エLEMENTに適用するか、または LOGIC_OPT=OFF グローバル属性を使用して最適化を禁止しないと、通常削除されます。

デザインの入力方法

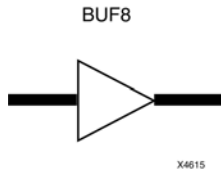
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

BUF8

: 8-Bit General Purpose Buffer



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

概要

このデザイン エLEMENTは、8 ビットの汎用の非反転バッファです。CPLD では、OPT=OFF 属性をこのデザイン エLEMENTに適用するか、または LOGIC_OPT=OFF グローバル属性を使用して最適化を禁止しないと、通常削除されます。

デザインの入力方法

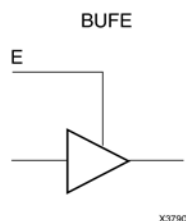
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

BUFE

: Internal 3-State Buffer with Active High Enable



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™ XPLA3

概要

このデザイン エLEMENTは、入力 (I)、出力 (O)、およびアクティブ High の出力イネーブル (E) から構成される単一のトライステート バッファです。E が High の場合、バッファに入力された値が対応する出力に送られます。E が Low になると、出力はハイ インピーダンス (Z ステートまたはオフ) になります。FPGA アーキテクチャでは、バッファの出力は水平ロングラインに接続されます。

このデザイン エLEMENTの複数のシンボルの出力を接続して、バスまたはマルチプレクサを作成できます。この場合は、一度に 1 つの E 入力だけが High になるようにしてください。E 入力がいずれもアクティブ High でない場合、ウィーク キーパ回路によって、出力バスがフロートすることはありませんが、必ずしも最後に入力された値がバスに保持されるわけではありません。一部の CPLD デバイスでは、接続されているすべての BUFE/BUFT がディスエーブルの場合、ネットの出力のロジックレベルが High になります。FPGA デバイスでは、このELEMENTの出力に PULLUP ELEMENTを接続する必要があります。接続されていない場合、NGDBuild で PULLUP ELEMENTが挿入されます。

論理表

入力		出力
E	I	O
0	X	Z
1	1	1
1	0	0

デザインの入力方法

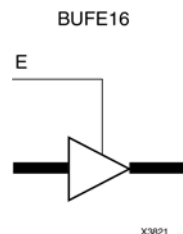
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

BUFE16

： 16-Bit Internal 3-State Buffer with Active High Enable



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™ XPLA3

概要

このデザイン エLEMENTは、入力 (I15 ~ I0)、出力 (O15 ~ O0)、およびアクティブ High の出力イネーブル (E) から構成される複数のトライステート バッファです。E が High の場合、バッファに入力された値が対応する出力に送られます。

E が Low になると、出力はハイ インピーダンス (Z ステートまたはオフ) になります。FPGA アーキテクチャでは、バッファの出力は水平ロングラインに接続されます。複数の BUFE ELEMENTの出力を接続して、バスまたはマルチプレクサを作成することもできます。この場合は、一度に 1 つの E 入力だけが High になるようにしてください。E 入力がいずれもアクティブ High でない場合、ウィークキーパ回路によって、出力バスがフロートすることはありませんが、必ずしも最後に入力された値がバスに保持されるわけではありません。

論理表

入力		出力
E	I	O
0	X	Z
1	1	1
1	0	0

デザインの入力方法

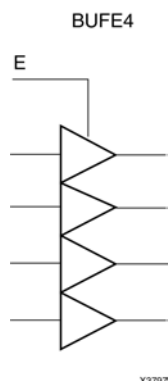
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

BUFE4

： 4-Bit Internal 3-State Buffer with Active High Enable



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™ XPLA3

概要

このデザイン エLEMENTは、入力 (I3 ~ I0)、出力 (O3 ~ O0)、およびアクティブ High の出力イネーブル (E) から構成される複数のトライステート バッファです。E が High の場合、バッファに入力された値が対応する出力に送られます。

E が Low になると、出力はハイ インピーダンス (Z ステートまたはオフ) になります。FPGA アーキテクチャでは、バッファの出力は水平ロングラインに接続されます。複数の BUFE ELEMENTの出力を接続して、バスまたはマルチプレクサを作成することもできます。この場合は、一度に 1 つの E 入力だけが High になるようにしてください。E 入力がいずれもアクティブ High でない場合、ウィークキーパ回路によって、出力バスがフロートすることはありませんが、必ずしも最後に入力された値がバスに保持されるわけではありません。

論理表

入力		出力
E	I	O
0	X	Z
1	1	1
1	0	0

デザインの入力方法

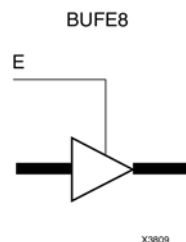
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

BUFE8

： 8-Bit Internal 3-State Buffer with Active High Enable



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™ XPLA3

概要

このデザイン エLEMENTは、入力 (I7 ~ I0)、出力 (O7 ~ O0)、およびアクティブ High の出力イネーブル (E) から構成される複数のトライステートバッファです。E が High の場合、バッファに入力された値が対応する出力に送られます。

E が Low になると、出力はハイ インピーダンス (Z ステートまたはオフ) になります。FPGA アーキテクチャでは、バッファの出力は水平ロングラインに接続されます。複数の BUFE ELEMENTの出力を接続して、バスまたはマルチプレクサを作成することもできます。この場合は、一度に 1 つの E 入力だけが High になるようにしてください。E 入力がいずれもアクティブ High でない場合、ウィークキーパ回路によって、出力バスがフロートすることはありませんが、必ずしも最後に入力された値がバスに保持されるわけではありません。

論理表

入力		出力
E	I	O
0	X	Z
1	1	1
1	0	0

デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

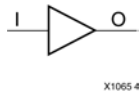
詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

BUFG

: Global Clock Buffer

BUFG



サポートされているアーキテクチャ

このデザイン エレメントは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

概要

このデザイン エレメントは、ファンアウトが大きいバッファで、スキューを抑えて信号を分散するために、グローバル配線リソースへの信号に接続します。BUFG は、通常セット/リセットやクロック イネーブルなどのファンアウトの大きいネットやクロック ネットに使用されます。

ポートの説明

ポート名	タイプ	幅	機能
I	入力	1	クロック バッファ出力
O	出力	1	クロック バッファ入力

デザインの入力方法

このエレメントは、回路図で使用されます。

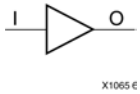
詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当する EDK 資料

BUFGSR

: Global Set/Reset Input Buffer

BUFGSR



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

概要

このデザイン エLEMENTは、XC9500/XV/XL、CoolRunner™ XPLA3、または CoolRunner™-II デバイスの選択したフリップフロップにグローバル セット/リセット (GSR) 信号を供給します。GSR 制御ピンは、CPLD デバイスで使用できます。詳細は、デバイスのデータシートを参照してください。

このデザイン エLEMENTは、常に入力バッファとして機能します。これを回路図で使用するには、GSR 信号のソースを表す IPAD または IOPAD にこのELEMENTのシンボルの入力を接続します。オンチップで生成された GSR 信号は、OBUF タイプのバッファを介してからこのELEMENTに接続する必要があります。

グローバル セット/リセット制御では通常、このELEMENTの出力を FDCP などのフリップフロップ シンボルの CLR 入力または PRE 入力に接続するか、あるいは非同期クリアまたはプリセットのあるレジスタ付きシンボルに接続します。また、グローバル セット/リセット制御信号は、インバータを介すと、アクティブ Low のセット/リセットを出力できます。このELEMENTの出力は、デザイン内の別の場所にあるほかのロジックに対する標準入力信号としても使用できます。このELEMENTでは、デザイン内のフリップフロップをいくつでも制御できます。

デザインの入力方法

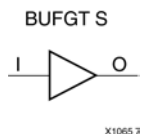
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

BUFGTS

: Global 3-State Input Buffer



サポートされているアーキテクチャ

このデザイン エレメントは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

概要

このデザイン エレメントは、CPLD デバイスの出力パッドドライバにグローバル出力イネーブル信号を供給します。グローバルトライステート (GTS) 制御ピンは、CPLD デバイスに含まれています。詳細は、デバイスのデータシートを参照してください。

このデザイン エレメントは、常に入力バッファとして機能します。このエレメントを回路図で使用するには、GTS 信号のソースを表す IPAD または IOPAD に BUFGTS シンボルの入力を接続します。オンチップで生成された GTS 信号は、OBUF タイプのバッファを介してからこのエレメントに接続する必要があります。

グローバルトライステート制御の場合は、通常このエレメントの出力はトライステート出力バッファ シンボルである OBUFE の E 入力に接続します。グローバルトライステート制御信号は、インバータを介するか、OBUFT シンボルを制御すると、アクティブ Low の出力イネーブルを出力できます。このトライステート制御信号は、インバータの有無にかかわらず、デバイス出力のオルタネート グループをイネーブルにできます。BUFGTS の出力は、デザイン内の別の場所にあるほかのロジックに対する標準入力信号としても使用できます。各 BUFGTS は、デザイン内の出力バッファをいくつでも制御できます。

デザインの入力方法

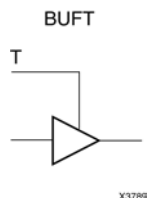
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

BUFT

: Internal 3-State Buffer with Active Low Enable



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™ XPLA3

概要

このデザイン エLEMENTは、入力 (I)、出力 (O)、およびアクティブ High の出力イネーブル (T) から構成される単一のトライステート バッファです。T が Low の場合、バッファに入力された値が対応する出力に送られます。T が High のときは、出力はハイ インピーダンス (Z ステートまたはオフ) になります。FPGA アーキテクチャでは、バッファの出力は水平ロングラインに接続されます。

複数の BUFT シンボルの出力を接続して、バスまたはマルチプレクサを作成できます。この場合、一度に 1 つの T 入力だけが Low になるようにしてください。CPLD デバイスでは、接続されているすべての BUFE/BUFT がディスエーブルの場合、BUFT の出力ネットのロジック レベルが High になります。FPGA では、ネット上にあるすべての BUFT をディスエーブルにすると、ネットは High になります。これを正しくシミュレーションするには、PULLUP エLEMENTをネットに接続する必要があります。PULLUP エLEMENTが接続されていない場合は、NGDBuild で PULLUP エLEMENTが挿入され、デバイスの状態を正しくバックアノテーション シミュレーションできるようになります。

論理表

入力		出力
T	I	O
1	X	Z
0	1	1
0	0	0

デザインの入力方法

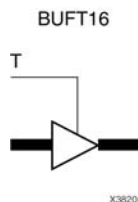
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

BUFT16

: 16-Bit Internal 3-State Buffers with Active Low Enable



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™ XPLA3

概要

このデザイン エLEMENTは、入力 (I15 ~ I0)、出力 (O15 ~ O0)、およびアクティブ Low の出力イネーブル (T) から構成される複数のトライステート バッファです。T が Low の場合、バッファに入力された値が対応する出力に送られます。T が High のときは、出力はハイ インピーダンス (Z ステートまたはオフ) になります。FPGA アーキテクチャでは、バッファの出力は水平ロングラインに接続されます。

複数の BUFT シンボルの出力を接続して、バスまたはマルチプレクサを作成できます。この場合、一度に 1 つの T 入力だけが Low になるようにしてください。CPLD デバイスでは、接続されているすべての BUFE/BUFT がディスエーブルの場合、BUFT の出力ネットのロジック レベルが High になります。FPGA では、ネット上にあるすべての BUFT をディスエーブルにすると、ネットは High になります。これを正しくシミュレーションするには、PULLUP エLEMENTをネットに接続する必要があります。PULLUP エLEMENTが接続されていない場合は、NGDBuild で PULLUP エLEMENTが挿入され、デバイスの状態を正しくバックアノテーション シミュレーションできるようになります。

論理表

入力		出力
T	I	O
1	X	Z
0	1	1
0	0	0

デザインの入力方法

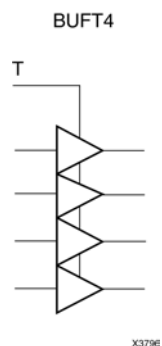
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

BUFT4

： 4-Bit Internal 3-State Buffers with Active Low Enable



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™ XPLA3

概要

このデザイン エLEMENTは、入力 (I3 ~ I0)、出力 (O3 ~ O0)、およびアクティブ Low の出力イネーブル (T) から構成される複数のトライステートバッファです。T が Low の場合、バッファに入力された値が対応する出力に送られます。T が High のときは、出力はハイインピーダンス (Z ステートまたはオフ) になります。FPGA アーキテクチャでは、バッファの出力は水平ロングラインに接続されます。

複数の BUFT シンボルの出力を接続して、バスまたはマルチプレクサを作成できます。この場合、一度に 1 つの T 入力だけが Low になるようにしてください。CPLD デバイスでは、接続されているすべての BUFE/BUFT がディスエーブルの場合、BUFT の出力ネットのロジック レベルが High になります。FPGA では、ネット上にあるすべての BUFT をディスエーブルにすると、ネットは High になります。これを正しくシミュレーションするには、PULLUP エLEMENTをネットに接続する必要があります。PULLUP エLEMENTが接続されていない場合は、NGDBuild で PULLUP エLEMENTが挿入され、デバイスの状態を正しくバックアノテーション シミュレーションできるようになります。

論理表

入力		出力
T	I	O
1	X	Z
0	1	1
0	0	0

デザインの入力方法

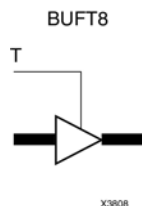
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

BUFT8

： 8-Bit Internal 3-State Buffers with Active Low Enable



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™ XPLA3

概要

このデザイン エLEMENTは、入力 (I7 ~ I0)、出力 (O7 ~ O0)、およびアクティブ Low の出力イネーブル (T) から構成される複数のトリステート バッファです。T が Low の場合、バッファに入力された値が対応する出力に送られます。T が High のときは、出力はハイ インピーダンス (Z ステートまたはオフ) になります。FPGA アーキテクチャでは、バッファの出力は水平ロングラインに接続されます。

複数の BUFT シンボルの出力を接続して、バスまたはマルチプレクサを作成できます。この場合、一度に 1 つの T 入力だけが Low になるようにしてください。CPLD デバイスでは、接続されているすべての BUFE/BUFT がディスエーブルの場合、BUFT の出力ネットのロジック レベルが High になります。FPGA では、ネット上にあるすべての BUFT をディスエーブルにすると、ネットは High になります。これを正しくシミュレーションするには、PULLUP エLEMENTをネットに接続する必要があります。PULLUP エLEMENTが接続されていない場合は、NGDBuild で PULLUP エLEMENTが挿入され、デバイスの状態を正しくバックアノテーション シミュレーションできるようになります。

論理表

入力		出力
T	I	O
1	X	Z
0	1	1
0	0	0

デザインの入力方法

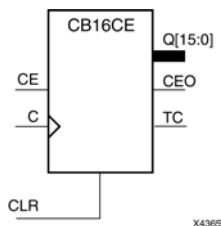
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

CB16CE

： 16-Bit Cascadable Binary Counter with Clock Enable and Asynchronous Clear



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

概要

このデザイン エLEMENTは、非同期クリア可能、カスケード可能なバイナリ カウンタです。非同期クリア (CLR) 入力が高になると、ほかのすべての入力は無視され、クロック (C) の遷移に関係なく、出力 (Q)、ターミナル カウンタ (TC)、およびクロック イネーブル出力 (CEO) が 0 になります。クロック イネーブル入力 (CE) が High の場合、クロック (C) が Low から High に切り替わるときに出力 (Q) がインクリメントされます。CE が Low の場合、クロック遷移は無視されます。すべての Q 出力が高になると、TC 出力が高になります。

1 段目の CEO 出力を次の段の CE 入力に接続し、C および CLR 入力を並列に接続すると、より大型のカウンタを作成できます。TC と CE が High になると、CEO がアクティブ (High) になります。カウンタの長さの最大値は、CE ピンと TC ピン間の伝搬遅延の合計とクロック周期の関係によって決定されます。クロック周期は、 $n(t_{CE-TC})$ より大きい必要があります。ここで、 n は段数、時間 t_{CE-TC} は各段での CE ピンと TC ピン間の伝搬遅延を表します。カウンタをカスケードする場合、CE 入力を使用するときは CEO 出力を、CE 入力を使用しないときは TC 出力を使用します。

電力を供給すると、カウンタは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

論理表

入力			出力		
CLR	CE	C	Q _z - Q ₀	TC	CEO
1	X	X	0	0	0
0	0	X	変化なし	変化なし	0
0	1	↑	インクリメント	TC	CEO
$z = \text{ビット幅} - 1$ $TC = Q_z \cdot Q_{(z-1)} \cdot Q_{(z-2)} \cdot \dots \cdot Q_0$ $CEO = TC \cdot CE$					

デザインの入力方法

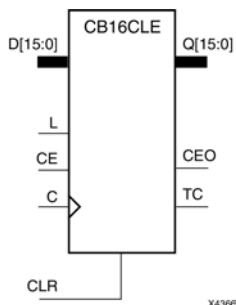
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

CB16CLE

: 16-Bit Loadable Cascadable Binary Counters with Clock Enable and Asynchronous Clear



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

概要

このデザイン エLEMENTは、同期、ロード可能、非同期クリア可能、カスケード可能なバイナリ カウンタです。非同期クリア (CLR) 入力が高になると、ほかのすべての入力は無視され、クロック (C) の遷移に関係なく、出力 (Q)、ターミナル カウンタ (TC)、およびクロック イネーブル出力 (CEO) が 0 になります。ロード イネーブル入力 (L) が High の場合、クロックが Low から High に切り替わるときに、クロック イネーブル (CE) の値に関係なく、入力 (D) の値がカウンタにロードされます。CE が High の場合、クロックが Low から High に切り替わるときに Q 出力がインクリメントされます。CE が Low の場合、クロック遷移は無視されます。すべての Q 出力が高になると、TC 出力が高になります。

1 段目の CEO 出力を次の段の CE 入力に接続し、C、L、および CLR 入力を並列に接続すると、より大型のカウンタを作成できます。TC と CE が High になると、CEO がアクティブ (High) になります。カウンタの長さの最大値は、CE ピンと TC ピン間の伝搬遅延の合計とクロック周期の関係によって決定されます。クロック周期は、 $n(t_{CE-TC})$ より大きい必要があります。ここで、 n は段数、時間 t_{CE-TC} は各段での CE ピンと TC ピン間の伝搬遅延を表します。カウンタをカスケードする場合、CE 入力を使用するときは CEO 出力を、CE 入力を使用しないときは TC 出力を使用します。

電力を供給すると、カウンタは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

論理表

入力					出力		
CLR	L	CE	C	D _z - D ₀	Q _z - Q ₀	TC	CEO
1	X	X	X	X	0	0	0
0	1	X	↑	D _n	D _n	TC	CEO
0	0	0	X	X	変化なし	変化なし	0
0	0	1	↑	X	インクリメント	TC	CEO
$z = \text{ビット幅} - 1$ $TC = Q_z \cdot Q_{(z-1)} \cdot Q_{(z-2)} \cdot \dots \cdot Q_0$ $CEO = TC \cdot CE$							

デザインの入力方法

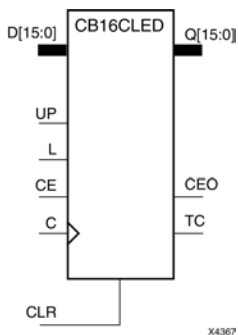
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

CB16CLED

： 16-Bit Loadable Cascadable Bidirectional Binary Counters with Clock Enable and Asynchronous Clear



サポートされているアーキテクチャ

このデザイン エレメントは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

概要

このデザイン エレメントは、同期、ロード可能、非同期クリア可能、カスケード可能な双方向バイナリ カウンタです。非同期クリア (CLR) 入力が高レベルになると、ほかのすべての入力は無視され、クロック (C) の遷移に関係なく、出力 (Q)、ターミナル カウンタ (TC)、およびクロック イネーブル出力 (CEO) が 0 になります。ロード イネーブル入力 (L) が High の場合、クロック (C) が Low から High に切り替わる時に、クロック イネーブル (CE) の値に関係なく、入力 (D) の値がカウンタにロードされます。CE が High、UP が Low の場合、クロックが Low から High に切り替わる時に、Q 出力がデクリメントされます。CE と UP が High の場合、Q 出力がインクリメントされます。CE が Low の場合、クロック遷移は無視されます。

カウントアップする場合、すべての Q 出力と UP が High になると TC 出力が High になります。カウントダウンする場合、すべての Q 出力と UP が Low になると TC 出力が High になります。

1 段目の CEO 出力を次の段の CE 入力に接続し、C、UP、L、および CLR 入力を並列に接続すると、より大型のカウンタを作成できます。TC と CE が High になると、CEO がアクティブ (High) になります。カウンタの長さの最大値は、CE ピンと TC ピン間の伝搬遅延の合計とクロック周期の関係によって決定されます。クロック周期は、 $n(t_{CE-TC})$ より大きい必要があります。ここで、 n は段数、時間 t_{CE-TC} は各段での CE ピンと TC ピン間の伝搬遅延を表します。カウンタをカスケードする場合、CE 入力を使用するときは CEO 出力を、CE 入力を使用しないときは TC 出力を使用します。

CPLD デバイスについては、高速カスケードが可能な双方向カウンタである CB2X1、CB4X1、CB8X1、CB16X1 を参照してください。

電力を供給すると、カウンタは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

論理表

入力						出力		
CLR	L	CE	C	UP	Dz - D0	Qz - Q0	TC	CEO
1	X	X	X	X	X	0	0	0
0	1	X	↑	X	Dn	Dn	TC	CEO
0	0	0	X	X	X	変化なし	変化なし	0
0	0	1	↑	1	X	インクリメント	TC	CEO
0	0	1	↑	0	X	デクリメント	TC	CEO
z = ビット幅 - 1 $TC = (Qz \cdot Q(z-1) \cdot Q(z-2) \cdot \dots \cdot Q0 \cdot UP) + (Qz \cdot Q(z-1) \cdot Q(z-2) \cdot \dots \cdot Q0 \cdot \overline{UP})$ $CEO = TC \cdot CE$								

デザインの入力方法

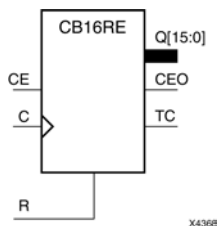
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

CB16RE

: 16-Bit Cascadable Binary Counter with Clock Enable and Synchronous Reset



サポートされているアーキテクチャ

このデザイン エレメントは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

概要

このデザイン エレメントは、同期、リセット可能、カスケード可能なバイナリ カウンタです。同期リセット入力 (R) が High になると、ほかの入力は無視され、クロック (C) が Low から High に切り替わる時に出力 (Q)、ターミナル カウンタ (TC)、およびクロック イネーブル出力 (CEO) が 0 になります。クロック イネーブル入力 (CE) が High の場合、クロック (C) が Low から High に切り替わる時に出力 (Q) がインクリメントされます。CE が Low の場合、クロック遷移は無視されます。すべての Q 出力が High になると、TC 出力が High になります。

1 段目の CEO 出力を次の段の CE 入力に接続し、C および R 入力を並列に接続すると、より大型のカウンタを作成できます。TC と CE が High になると、CEO がアクティブ (High) になります。カウンタの長さの最大値は、CE ピンと TC ピン間の伝搬遅延の合計とクロック周期の関係によって決定されます。クロック周期は、 $n(t_{CE-TC})$ より大きい必要があります。ここで、 n は段数、時間 t_{CE-TC} は各段での CE ピンと TC ピン間の伝搬遅延を表します。カウンタをカスケードする場合、CE 入力を使用するときは CEO 出力を、CE 入力を使用しないときは TC 出力を使用します。

電力を供給すると、カウンタは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

論理表

入力			出力		
R	CE	C	Q _z - Q ₀	TC	CEO
1	X	↑	0	0	0
0	0	X	変化なし	変化なし	0
0	1	↑	インクリメント	TC	CEO
$z = \text{ビット幅} - 1$ $TC = Q_z \cdot Q_{(z-1)} \cdot Q_{(z-2)} \cdot \dots \cdot Q_0$ $CEO = TC \cdot CE$					

デザインの入力方法

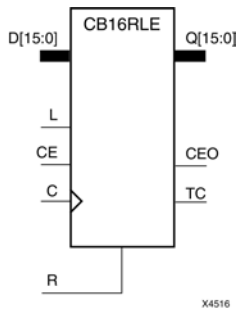
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

CB16RLE

: 16-Bit Loadable Cascadable Binary Counter with Clock Enable and Synchronous Reset



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

概要

このデザイン エLEMENTは、同期、ロード可能、リセット可能、カスケード可能なバイナリ カウンタです。同期リセット入力 (R) が High になると、ほかの入力は無視され、クロック (C) が Low から High に切り替わるときに出力 (Q)、ターミナル カウンタ (TC)、およびクロック イネーブル出力 (CEO) が 0 になります。

ロード イネーブル入力 (L) が High の場合、クロック (C) が Low から High に切り替わるときに、CE の値に関係なく、D 入力の値がカウンタにロードされます。CE が High の場合、クロックが Low から High に切り替わるときに Q 出力がインクリメントされます。CE が Low の場合、クロック遷移は無視されます。すべての Q 出力が High になると、TC 出力が High になります。すべての Q 出力と CE が High になると、CEO 出力が High になるので、カウンタを直接カスケード接続できます。

1 段目の CEO 出力を次の段の CE 入力に接続し、C、L、および R 入力を並列に接続すると、より大型のカウンタを作成できます。TC と CE が High になると、CEO がアクティブ (High) になります。カウンタの長さの最大値は、CE ピンと TC ピン間の伝搬遅延の合計とクロック周期の関係によって決定されます。クロック周期は、 $n(t_{CE-TC})$ より大きい必要があります。ここで、 n は段数、時間 t_{CE-TC} は各段での CE ピンと TC ピン間の伝搬遅延を表します。カウンタをカスケードする場合、CE 入力を使用するときは CEO 出力を、CE 入力を使用しないときは TC 出力を使用します。

電力を供給すると、カウンタは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

論理表

入力					出力		
R	L	CE	C	Dz - D0	Qz - Q0	TC	CEO
1	X	X	↑	X	0	0	0
0	1	X	↑	Dn	Dn	TC	CEO
0	0	0	X	X	変化なし	変化なし	0
0	0	1	↑	X	インクリメント	TC	CEO
z = ビット幅 - 1 $TC = Qz \cdot Q(z-1) \cdot Q(z-2) \cdot \dots \cdot Q0$ $CEO = TC \cdot CE$							

デザインの入力方法

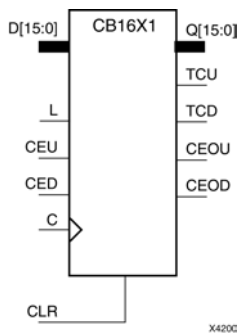
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

CB16X1

: 16-Bit Loadable Cascadable Bidirectional Binary Counter with Clock Enable and Asynchronous Clear



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

概要

このデザイン エLEMENTは、同期、ロード可能、非同期クリア可能、リセット能な双方向バイナリ カウンタです。このカウンタには、アップとダウンの両方向に対してそれぞれカウント イネーブル入力と同期ターミナル カウント出力があり、高速カスケードがサポートされています。

非同期クリア入力 (CLR) が最も優先される入力で、CLR が High になると、ほかのすべての入力は無視されます。クロック遷移に関係なく、出力 (Q) は 0、ターミナル カウント出力 TCU と TCD はそれぞれ 0 と 1、クロック イネーブル出力 CEOU と CEOD はそれぞれ Low と High になります。ロード イネーブル入力 (L) が High の場合、クロック (C) が Low から High に切り替わるときに、CE 入力の値に関係なく、D 入力の値がカウンタにロードされます。

CEU が High、CLR と L が Low の場合、クロックが Low から High に切り替わるときに Q 出力がインクリメントされます。CED が High、CLR と L が Low の場合、Q 出力がデクリメントされます。CEU と CED が Low の場合、クロック遷移は無視されます。クロック遷移の際に CEU と CED の両方を High にしないでください。CEU と CED が両方とも High になっていると、カスケード接続した場合に CEOU および CEOD 出力が正しく機能しません。

カウント アップする場合、すべての Q 出力と CEU が High になると CEOU 出力が High になります。カウント ダウンする場合、すべての Q 出力が Low、CED が High になると CEOD 出力が High になります。カウンタをカスケード接続するには、各カウンタの CEOU 出力および CEOD 出力をそれぞれ次の段の CEU および CED 入力に直接接続します。クロック、L、CLR の各入力は、並列に接続します。

すべてのカウントおよびロード機能に対して、カウンタをいくつカスケード接続しても、カウンタ コンポーネントの最大クロック周波数は影響を受けません。すべての Q 出力が High になると、CEU に関係なく、TCU ターミナル カウント出力が High になります。すべての Q 出力が Low になると、CED に関係なく、TCD 出力は High になります。

カウンタをカスケード接続する場合、最終的なターミナル カウント信号は、TCU 出力 (アップ方向) と TCD 出力 (ダウン方向) をすべて接続した AND ゲートで生成されます。TCU、CEOU、CEOD の各出力は、コンポーネント内の最適化可能な AND ゲートによって生成されます。したがって、これらの出力からの接続がすべてオンチップであれば、CEU および CED の入力と Q 出力のピン間の伝搬遅延がゼロになります。すべてがオンチップでない場合は、マクロセルバッファ遅延が発生します。

電力を供給すると、カウンタは 0 (TCU は Low、TCD は High) に初期化されます。High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

論理表

入力						出力				
CLR	L	CEU	CED	C	Dz - D0	Qz - Q0	TCU	TCD	CEOU	CEOD
1	X	X	X	X	X	0	0	1	0	CEOD
0	1	X	X	↑	Dn	Dn	TCU	TCD	CEOU	CEOD
0	0	0	0	X	X	変化なし	変化なし	変化なし	0	0
0	0	1	0	↑	X	インクリメント	TCU	TCD	CEOU	0
0	0	0	1	↑	X	デクリメント	TCU	TCD	0	CEOD
0	0	1	1	↑	X	インクリメント	TCU	TCD	無効	無効

$z = \text{ビット幅} - 1$

$TCU = Qz \cdot Q(z-1) \cdot Q(z-2) \cdot \dots \cdot Q0$

$TCD = Qz \cdot Q(z-1) \cdot Q(z-2) \cdot \dots \cdot Q0$

$CEOU = TCU \cdot CEU$

$CEOD = TCD \cdot CED$

デザインの入力方法

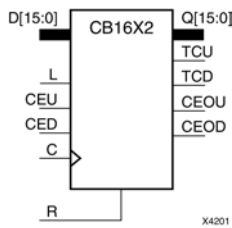
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

CB16X2

： 16-Bit Loadable Cascadable Bidirectional Binary Counter with Clock Enable and Synchro-nous Reset



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

概要

このデザイン エLEMENTは、同期、ロード可能、リセット可能な双方向バイナリ カウンタです。このカウンタには、アップとダウンの両方向に対してそれぞれカウント イネーブル入力と同期ターミナル カウント出力があり、CPLD アーキテクチャでの高速カスケードがサポートされています。

同期リセット入力 (R) は最も優先される入力で、R が High になるとほかのすべての入力は無視されます。クロック (C) が Low から High に切り替わるときに、出力 (Q) の値は 0 に、ターミナル カウント出力 TCU と TCD はそれぞれ 0 と 1 に、クロック イネーブル出力 CEOU と CEOD はそれぞれ Low と High になります。ロード イネーブル入力 (L) が High の場合、クロック (C) が Low から High に切り替わるときに、CE 入力の値に関係なく、D 入力の値がカウンタにロードされます。

CEU が High、R と L が Low の場合、クロックが Low から High に切り替わるときにすべての Q 出力がインクリメントされます。CED が High、R と L が Low の場合、すべての Q 出力がデクリメントされます。CEU と CED が Low の場合、クロック遷移は無視されます。クロック遷移の際に CEU と CED の両方を High にしないでください。CEU と CED が両方とも High になっていると、カスケード接続した場合に CEOU および CEOD 出力が正しく機能しません。

カウントアップする場合、すべての Q 出力と CEU が High になると CEOU 出力が High になります。カウントダウンする場合、すべての Q 出力が Low、CED が High になると CEOD 出力が High になります。カウンタをカスケード接続するには、各カウンタの CEOU 出力および CEOD 出力をそれぞれ次の段の CEU および CED 入力に直接接続します。C、L、および R 入力は、並列に接続します。

すべてのカウントおよびロード機能に対して、カウンタをいくつカスケード接続しても、カウンタ コンポーネントの最大クロック周波数は影響を受けません。すべての Q 出力が High になると、CEU に関係なく、TCU ターミナル カウント出力が High になります。すべての Q 出力が Low になると、CED に関係なく、TCD 出力は High になります。

カウンタをカスケード接続する場合、最終的なターミナル カウント信号は、TCU 出力 (アップ方向) と TCD 出力 (ダウン方向) をすべて接続した AND ゲートで生成されます。TCU、CEOU、CEOD の各出力は、コンポーネント内の最適化可能な AND ゲートによって生成されます。したがって、これらの出力からの接続がすべてオンチップであれば、CEU および CED の入力と Q 出力のピン間の伝搬遅延がゼロになります。すべてがオンチップでない場合は、マクロセルバッファ遅延が発生します。

電力を供給すると、カウンタは 0 (TCU は Low、TCD は High) に初期化されます。High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

論理表

入力						出力				
R	L	CEU	CED	C	Dz - D0	Qz - Q0	TCU	TCD	CEOU	CEOD
1	X	X	X	↑	X	0	0	1	0	CEOD
0	1	X	X	↑	Dn	Dn	TCU	TCD	CEOU	CEOD
0	0	0	0	X	X	変化なし	変化なし	変化なし	0	0
0	0	1	0	↑	X	インクリメント	TCU	TCD	CEOU	0
0	0	0	1	↑	X	デクリメント	TCU	TCD	0	CEOD
0	0	1	1	↑	X	インクリメント	TCU	TCD	無効	無効

$z = \text{ビット幅} - 1$
 $TCU = QzQ(z-1)Q(z-2)...Q0$
 $TCD = QzQ(z-1)Q(z-2)...Q0$
 $CEOU = TCUCU$
 $CEOD = TCDCED$

デザインの入力方法

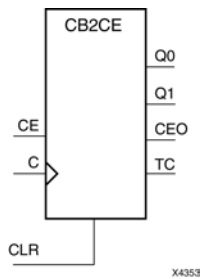
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

CB2CE

: 2-Bit Cascadable Binary Counter with Clock Enable and Asynchronous Clear



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

概要

このデザイン エLEMENTは、非同期クリア可能、カスケード可能なバイナリ カウンタです。非同期クリア (CLR) 入力が高になると、ほかのすべての入力は無視され、クロック (C) の遷移に関係なく、出力 (Q)、ターミナル カウンタ (TC)、およびクロック イネーブル出力 (CEO) が 0 になります。クロック イネーブル入力 (CE) が High の場合、クロック (C) が Low から High に切り替わる時に出力 (Q) がインクリメントされます。CE が Low の場合、クロック遷移は無視されます。すべての Q 出力が高になると、TC 出力が高になります。

1 段目の CEO 出力を次の段の CE 入力に接続し、C および CLR 入力を並列に接続すると、より大型のカウンタを作成できます。TC と CE が High になると、CEO がアクティブ (High) になります。カウンタの長さの最大値は、CE ピンと TC ピン間の伝搬遅延の合計とクロック周期の関係によって決定されます。クロック周期は、 $n(t_{CE-TC})$ より大きい必要があります。ここで、 n は段数、時間 t_{CE-TC} は各段での CE ピンと TC ピン間の伝搬遅延を表します。カウンタをカスケードする場合、CE 入力を使用するときは CEO 出力を、CE 入力を使用しないときは TC 出力を使用します。

電力を供給すると、カウンタは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

論理表

入力			出力		
CLR	CE	C	Qz - Q0	TC	CEO
1	X	X	0	0	0
0	0	X	変化なし	変化なし	0
0	1	↑	インクリメント	TC	CEO
z = ビット幅 - 1 $TC = Q_z \cdot Q(z-1) \cdot Q(z-2) \cdot \dots \cdot Q_0$ $CEO = TC \cdot CE$					

デザインの入力方法

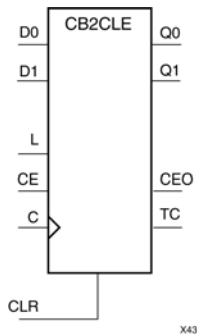
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

CB2CLE

: 2-Bit Loadable Cascadable Binary Counters with Clock Enable and Asynchronous Clear



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

概要

このデザイン エLEMENTは、同期、ロード可能、非同期クリア可能、カスケード可能なバイナリ カウンタです。非同期クリア (CLR) 入力が高になると、ほかのすべての入力は無視され、クロック (C) の遷移に関係なく、出力 (Q)、ターミナル カウンタ (TC)、およびクロック イネーブル出力 (CEO) が 0 になります。ロード イネーブル入力 (L) が High の場合、クロックが Low から High に切り替わるときに、クロック イネーブル (CE) の値に関係なく、入力 (D) の値がカウンタにロードされます。CE が High の場合、クロックが Low から High に切り替わるときに Q 出力がインクリメントされます。CE が Low の場合、クロック遷移は無視されます。すべての Q 出力が高になると、TC 出力が高になります。

1 段目の CEO 出力を次の段の CE 入力に接続し、C、L、および CLR 入力を並列に接続すると、より大型のカウンタを作成できます。TC と CE が High になると、CEO がアクティブ (High) になります。カウンタの長さの最大値は、CE ピンと TC ピン間の伝搬遅延の合計とクロック周期の関係によって決定されます。クロック周期は、 $n(t_{CE-TC})$ より大きい必要があります。ここで、 n は段数、時間 t_{CE-TC} は各段での CE ピンと TC ピン間の伝搬遅延を表します。カウンタをカスケードする場合、CE 入力を使用するときは CEO 出力を、CE 入力を使用しないときは TC 出力を使用します。

電力を供給すると、カウンタは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

論理表

入力					出力		
CLR	L	CE	C	Dz - D0	Qz - Q0	TC	CEO
1	X	X	X	X	0	0	0
0	1	X	↑	Dn	Dn	TC	CEO
0	0	0	X	X	変化なし	変化なし	0
0	0	1	↑	X	インクリメント	TC	CEO
z = ビット幅 - 1 $TC = Qz \cdot Q(z-1) \cdot Q(z-2) \cdot \dots \cdot Q0$ $CEO = TC \cdot CE$							

デザインの入力方法

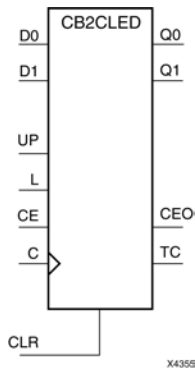
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

CB2CLED

： 2-Bit Loadable Cascadable Bidirectional Binary Counters with Clock Enable and Asynchronous Clear



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

概要

このデザイン エLEMENTは、同期、ロード可能、非同期クリア可能、カスケード可能な双方向バイナリ カウンタです。非同期クリア (CLR) 入力が高レベルになると、ほかのすべての入力は無視され、クロック (C) の遷移に関係なく、出力 (Q)、ターミナル カウンタ (TC)、およびクロック イネーブル出力 (CEO) が 0 になります。ロード イネーブル入力 (L) が High の場合、クロック (C) が Low から High に切り替わる時に、クロック イネーブル (CE) の値に関係なく、入力 (D) の値がカウンタにロードされます。CE が High、UP が Low の場合、クロックが Low から High に切り替わる時に、Q 出力がデクリメントされます。CE と UP が High の場合、Q 出力がインクリメントされます。CE が Low の場合、クロック遷移は無視されます。

カウントアップする場合、すべての Q 出力と UP が High になると TC 出力が High になります。カウントダウンする場合、すべての Q 出力と UP が Low になると TC 出力が High になります。

1 段目の CEO 出力を次の段の CE 入力に接続し、C、UP、L、および CLR 入力を並列に接続すると、より大型のカウンタを作成できます。TC と CE が High になると、CEO がアクティブ (High) になります。カウンタの長さの最大値は、CE ピンと TC ピン間の伝搬遅延の合計とクロック周期の関係によって決定されます。クロック周期は、 $n(t_{CE-TC})$ より大きい必要があります。ここで、 n は段数、時間 t_{CE-TC} は各段での CE ピンと TC ピン間の伝搬遅延を表します。カウンタをカスケードする場合、CE 入力を使用するときは CEO 出力を、CE 入力を使用しないときは TC 出力を使用します。

CPLD デバイスについては、高速カスケードが可能な双方向カウンタである CB2X1、CB4X1、CB8X1、CB16X1 を参照してください。

電力を供給すると、カウンタは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

論理表

入力						出力		
CLR	L	CE	C	UP	Dz - D0	Qz - Q0	TC	CEO
1	X	X	X	X	X	0	0	0
0	1	X	↑	X	Dn	Dn	TC	CEO
0	0	0	X	X	X	変化なし	変化なし	0
0	0	1	↑	1	X	インクリメント	TC	CEO
0	0	1	↑	0	X	デクリメント	TC	CEO
z = ビット幅 - 1 $TC = (Qz \cdot Q(z-1) \cdot Q(z-2) \cdot \dots \cdot Q0 \cdot UP) + (Qz \cdot Q(z-1) \cdot Q(z-2) \cdot \dots \cdot Q0 \cdot \overline{UP})$ $CEO = TC \cdot CE$								

デザインの入力方法

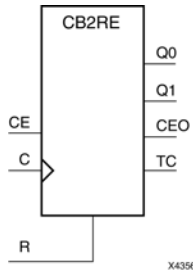
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

CB2RE

: 2-Bit Cascadable Binary Counter with Clock Enable and Synchronous Reset



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

概要

このデザイン エLEMENTは、同期、リセット可能、カスケード可能なバイナリ カウンタです。同期リセット入力 (R) が High になると、ほかの入力は無視され、クロック (C) が Low から High に切り替わる時に出力 (Q)、ターミナル カウンタ (TC)、およびクロック イネーブル出力 (CEO) が 0 になります。クロック イネーブル入力 (CE) が High の場合、クロック (C) が Low から High に切り替わる時に出力 (Q) がインクリメントされます。CE が Low の場合、クロック遷移は無視されます。すべての Q 出力が High になると、TC 出力が High になります。

1 段目の CEO 出力を次の段の CE 入力に接続し、C および R 入力を並列に接続すると、より大型のカウンタを作成できます。TC と CE が High になると、CEO がアクティブ (High) になります。カウンタの長さの最大値は、CE ピンと TC ピン間の伝搬遅延の合計とクロック周期の関係によって決定されます。クロック周期は、 $n(t_{CE-TC})$ より大きい必要があります。ここで、 n は段数、時間 t_{CE-TC} は各段での CE ピンと TC ピン間の伝搬遅延を表します。カウンタをカスケードする場合、CE 入力を使用するときは CEO 出力を、CE 入力を使用しないときは TC 出力を使用します。

電力を供給すると、カウンタは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

論理表

入力			出力		
R	CE	C	Qz - Q0	TC	CEO
1	X	↑	0	0	0
0	0	X	変化なし	変化なし	0
0	1	↑	インクリメント	TC	CEO
$z = \text{ビット幅} - 1$ $TC = Q_z \cdot Q(z-1) \cdot Q(z-2) \cdot \dots \cdot Q_0$ $CEO = TC \cdot CE$					

デザインの入力方法

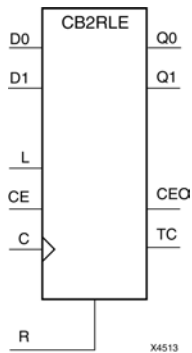
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

CB2RLE

: 2-Bit Loadable Cascadable Binary Counter with Clock Enable and Synchronous Reset



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

概要

このデザイン エLEMENTは、同期、ロード可能、リセット可能、カスケード可能なバイナリ カウンタです。同期リセット入力 (R) が High になると、ほかの入力は無視され、クロック (C) が Low から High に切り替わる時に出力 (Q)、ターミナル カウンタ (TC)、およびクロック イネーブル出力 (CEO) が 0 になります。

ロード イネーブル入力 (L) が High の場合、クロック (C) が Low から High に切り替わる時に、CE の値に関係なく、D 入力の値がカウンタにロードされます。CE が High の場合、クロックが Low から High に切り替わる時に Q 出力がインクリメントされます。CE が Low の場合、クロック遷移は無視されます。すべての Q 出力が High になると、TC 出力が High になります。すべての Q 出力と CE が High になると、CEO 出力が High になるので、カウンタを直接カスケード接続できます。

1 段目の CEO 出力を次の段の CE 入力に接続し、C、L、および R 入力を並列に接続すると、より大型のカウンタを作成できます。TC と CE が High になると、CEO がアクティブ (High) になります。カウンタの長さの最大値は、CE ピンと TC ピン間の伝搬遅延の合計とクロック周期の関係によって決定されます。クロック周期は、 $n(t_{CE-TC})$ より大きい必要があります。ここで、 n は段数、時間 t_{CE-TC} は各段での CE ピンと TC ピン間の伝搬遅延を表します。カウンタをカスケードする場合、CE 入力を使用するときは CEO 出力を、CE 入力を使用しないときは TC 出力を使用します。

電力を供給すると、カウンタは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

論理表

入力					出力		
R	L	CE	C	Dz - D0	Qz - Q0	TC	CEO
1	X	X	↑	X	0	0	0
0	1	X	↑	Dn	Dn	TC	CEO
0	0	0	X	X	変化なし	変化なし	0
0	0	1	↑	X	インクリメント	TC	CEO
z = ビット幅 - 1 $TC = Qz \cdot Q(z-1) \cdot Q(z-2) \cdot \dots \cdot Q0$ $CEO = TC \cdot CE$							

デザインの入力方法

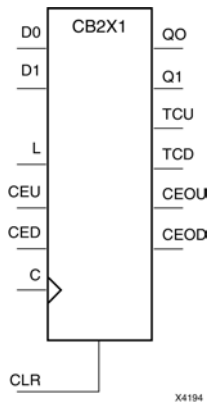
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

CB2X1

: 2-Bit Loadable Cascadable Bidirectional Binary Counter with Clock Enable and Asynchronous Clear



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

概要

このデザイン エLEMENTは、同期、ロード可能、非同期クリア可能、リセット能な双方向バイナリ カウンタです。このカウンタには、アップとダウンの両方向に対してそれぞれカウント イネーブル入力と同期ターミナル カウント出力があり、高速カスケードがサポートされています。

非同期クリア入力 (CLR) が最も優先される入力で、CLR が High になると、ほかのすべての入力は無視されます。クロック遷移に関係なく、出力 (Q) は 0、ターミナル カウント出力 TCU と TCD はそれぞれ 0 と 1、クロック イネーブル出力 CEOU と CEOD はそれぞれ Low と High になります。ロード イネーブル入力 (L) が High の場合、クロック (C) が Low から High に切り替わるときに、CE 入力の値に関係なく、D 入力の値がカウンタにロードされます。

CEU が High、CLR と L が Low の場合、クロックが Low から High に切り替わるときに Q 出力がインクリメントされます。CED が High、CLR と L が Low の場合、Q 出力がデクリメントされます。CEU と CED が Low の場合、クロック遷移は無視されます。クロック遷移の際に CEU と CED の両方を High にしないでください。CEU と CED が両方とも High になっていると、カスケード接続した場合に CEOU および CEOD 出力が正しく機能しません。

カウントアップする場合、すべての Q 出力と CEU が High になると CEOU 出力が High になります。カウントダウンする場合、すべての Q 出力が Low、CED が High になると CEOD 出力が High になります。カウンタをカスケード接続するには、各カウンタの CEOU 出力および CEOD 出力をそれぞれ次の段の CEU および CED 入力に直接接続します。クロック、L、CLR の各入力は、並列に接続します。

すべてのカウントおよびロード機能に対して、カウンタをいくつカスケード接続しても、カウンタ コンポーネントの最大クロック周波数は影響を受けません。すべての Q 出力が High になると、CEU に関係なく、TCU ターミナル カウント出力が High になります。すべての Q 出力が Low になると、CED に関係なく、TCD 出力は High になります。

カウンタをカスケード接続する場合、最終的なターミナル カウント信号は、TCU 出力 (アップ方向) と TCD 出力 (ダウン方向) をすべて接続した AND ゲートで生成されます。TCU、CEOU、CEOD の各出力は、コンポーネント内の最適化可能な AND ゲートによって生成されます。したがって、これらの出力からの接続がすべてオンチップであれば、CEU および CED の入力と Q 出力のピン間の伝搬遅延がゼロになります。すべてがオンチップでない場合は、マクロセルバッファ遅延が発生します。

電力を供給すると、カウンタは 0 (TCU は Low、TCD は High) に初期化されます。High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

論理表

入力						出力				
CLR	L	CEU	CED	C	Dz - D0	Qz - Q0	TCU	TCD	CEOU	CEOD
1	X	X	X	X	X	0	0	1	0	CEOD
0	1	X	X	↑	Dn	Dn	TCU	TCD	CEOU	CEOD
0	0	0	0	X	X	変化なし	変化なし	変化なし	0	0
0	0	1	0	↑	X	インクリメント	TCU	TCD	CEOU	0
0	0	0	1	↑	X	デクリメント	TCU	TCD	0	CEOD
0	0	1	1	↑	X	インクリメント	TCU	TCD	無効	無効

$z = \text{ビット幅} - 1$

$\text{TCU} = Qz \cdot Q(z-1) \cdot Q(z-2) \cdot \dots \cdot Q0$

$\text{TCD} = Qz \cdot Q(z-1) \cdot Q(z-2) \cdot \dots \cdot Q0$

$\text{CEOU} = \text{TCU} \cdot \text{CEU}$

$\text{CEOD} = \text{TCD} \cdot \text{CED}$

デザインの入力方法

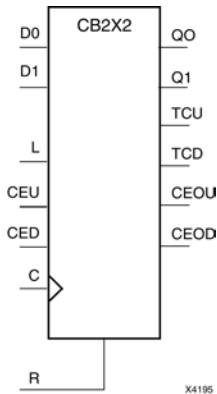
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

CB2X2

: 2-Bit Loadable Cascadable Bidirectional Binary Counter with Clock Enable and Synchronous Reset



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

概要

このデザイン エLEMENTは、同期、ロード可能、リセット可能な双方向バイナリ カウンタです。このカウンタには、アップとダウンの両方向に対してそれぞれカウント イネーブル入力と同期ターミナル カウント出力があり、CPLD アーキテクチャでの高速カスケードがサポートされています。

同期リセット入力 (R) は最も優先される入力で、R が High になるとほかのすべての入力は無視されます。クロック (C) が Low から High に切り替わるときに、出力 (Q) の値は 0 に、ターミナル カウント出力 TCU と TCD はそれぞれ 0 と 1 に、クロック イネーブル出力 CEOU と CEOD はそれぞれ Low と High になります。ロード イネーブル入力 (L) が High の場合、クロック (C) が Low から High に切り替わるときに、CE 入力の値に関係なく、D 入力の値がカウンタにロードされます。

CEU が High、R と L が Low の場合、クロックが Low から High に切り替わるときにすべての Q 出力がインクリメントされます。CED が High、R と L が Low の場合、すべての Q 出力がデクリメントされます。CEU と CED が Low の場合、クロック遷移は無視されます。クロック遷移の際に CEU と CED の両方を High にしないでください。CEU と CED が両方とも High になっていると、カスケード接続した場合に CEOU および CEOD 出力が正しく機能しません。

カウントアップする場合、すべての Q 出力と CEU が High になると CEOU 出力が High になります。カウントダウンする場合、すべての Q 出力が Low、CED が High になると CEOD 出力が High になります。カウンタをカスケード接続するには、各カウンタの CEOU 出力および CEOD 出力をそれぞれ次の段の CEU および CED 入力に直接接続します。C、L、および R 入力は、並列に接続します。

すべてのカウントおよびロード機能に対して、カウンタをいくつカスケード接続しても、カウンタ コンポーネントの最大クロック周波数は影響を受けません。すべての Q 出力が High になると、CEU に関係なく、TCU ターミナル カウント出力が High になります。すべての Q 出力が Low になると、CED に関係なく、TCD 出力は High になります。

カウンタをカスケード接続する場合、最終的なターミナル カウント信号は、TCU 出力 (アップ方向) と TCD 出力 (ダウン方向) をすべて接続した AND ゲートで生成されます。TCU、CEOU、CEOD の各出力は、コンポーネント内の最適化可能な AND ゲートによって生成されます。したがって、これらの出力からの接続がすべてオンチップであれば、CEU および CED の入力と Q 出力のピン間の伝搬遅延がゼロになります。すべてがオンチップでない場合は、マクロセルバッファ遅延が発生します。

電力を供給すると、カウンタは 0 (TCU は Low、TCD は High) に初期化されます。High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

論理表

入力						出力				
R	L	CEU	CED	C	Dz - D0	Qz - Q0	TCU	TCD	CEOU	CEOD
1	X	X	X	↑	X	0	0	1	0	CEOD
0	1	X	X	↑	Dn	Dn	TCU	TCD	CEOU	CEOD
0	0	0	0	X	X	変化なし	変化なし	変化なし	0	0
0	0	1	0	↑	X	インクリメント	TCU	TCD	CEOU	0
0	0	0	1	↑	X	デクリメント	TCU	TCD	0	CEOD
0	0	1	1	↑	X	インクリメント	TCU	TCD	無効	無効

$z = \text{ビット幅} - 1$
 $TCU = QzQ(z-1)Q(z-2)...Q0$
 $TCD = QzQ(z-1)Q(z-2)...Q0$
 $CEOU = TCUCU$
 $CEOD = TCDCED$

デザインの入力方法

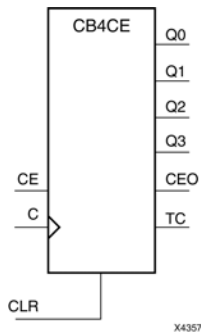
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

CB4CE

: 4-Bit Cascadable Binary Counter with Clock Enable and Asynchronous Clear



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

概要

このデザイン エLEMENTは、非同期クリア可能、カスケード可能なバイナリ カウンタです。非同期クリア (CLR) 入力が高になると、ほかのすべての入力は無視され、クロック (C) の遷移に関係なく、出力 (Q)、ターミナル カウンタ (TC)、およびクロック イネーブル出力 (CEO) が 0 になります。クロック イネーブル入力 (CE) が High の場合、クロック (C) が Low から High に切り替わる時に出力 (Q) がインクリメントされます。CE が Low の場合、クロック遷移は無視されます。すべての Q 出力が高になると、TC 出力が高になります。

1 段目の CEO 出力を次の段の CE 入力に接続し、C および CLR 入力を並列に接続すると、より大型のカウンタを作成できます。TC と CE が High になると、CEO がアクティブ (High) になります。カウンタの長さの最大値は、CE ピンと TC ピン間の伝搬遅延の合計とクロック周期の関係によって決定されます。クロック周期は、 $n(t_{CE-TC})$ より大きい必要があります。ここで、 n は段数、時間 t_{CE-TC} は各段での CE ピンと TC ピン間の伝搬遅延を表します。カウンタをカスケードする場合、CE 入力を使用するときは CEO 出力を、CE 入力を使用しないときは TC 出力を使用します。

電力を供給すると、カウンタは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

論理表

入力			出力		
CLR	CE	C	Qz - Q0	TC	CEO
1	X	X	0	0	0
0	0	X	変化なし	変化なし	0
0	1	↑	インクリメント	TC	CEO
$z = \text{ビット幅} - 1$ $TC = Q_z \cdot Q_{(z-1)} \cdot Q_{(z-2)} \cdot \dots \cdot Q_0$ $CEO = TC \cdot CE$					

デザインの入力方法

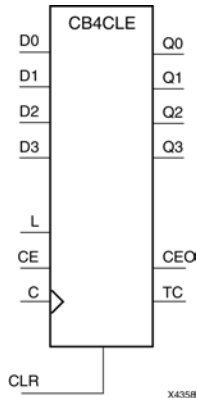
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

CB4CLE

： 4-Bit Loadable Cascadable Binary Counters with Clock Enable and Asynchronous Clear



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

概要

このデザイン エLEMENTは、同期、ロード可能、非同期クリア可能、カスケード可能なバイナリ カウンタです。非同期クリア (CLR) 入力が高レベルになると、ほかのすべての入力は無視され、クロック (C) の遷移に関係なく、出力 (Q)、ターミナル カウンタ (TC)、およびクロック イネーブル出力 (CEO) が 0 になります。ロード イネーブル入力 (L) が High の場合、クロックが Low から High に切り替わるときに、クロック イネーブル (CE) の値に関係なく、入力 (D) の値がカウンタにロードされます。CE が High の場合、クロックが Low から High に切り替わるときに Q 出力がインクリメントされます。CE が Low の場合、クロック遷移は無視されます。すべての Q 出力が高レベルになると、TC 出力が高レベルになります。

1 段目の CEO 出力を次の段の CE 入力に接続し、C、L、および CLR 入力を並列に接続すると、より大型のカウンタを作成できます。TC と CE が High になると、CEO がアクティブ (High) になります。カウンタの長さの最大値は、CE ピンと TC ピン間の伝搬遅延の合計とクロック周期の関係によって決定されます。クロック周期は、 $n(t_{CE-TC})$ より大きい必要があります。ここで、 n は段数、時間 t_{CE-TC} は各段での CE ピンと TC ピン間の伝搬遅延を表します。カウンタをカスケードする場合、CE 入力を使用するときは CEO 出力を、CE 入力を使用しないときは TC 出力を使用します。

電力を供給すると、カウンタは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

論理表

入力					出力		
CLR	L	CE	C	Dz - D0	Qz - Q0	TC	CEO
1	X	X	X	X	0	0	0
0	1	X	↑	Dn	Dn	TC	CEO
0	0	0	X	X	変化なし	変化なし	0
0	0	1	↑	X	インクリメント	TC	CEO
z = ビット幅 - 1 $TC = Qz \cdot Q(z-1) \cdot Q(z-2) \cdot \dots \cdot Q0$ $CEO = TC \cdot CE$							

デザインの入力方法

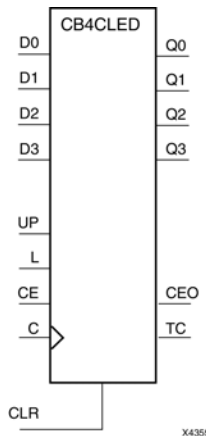
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

CB4CLED

： 4-Bit Loadable Cascadable Bidirectional Binary Counters with Clock Enable and Asynchronous Clear



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

概要

このデザイン エLEMENTは、同期、ロード可能、非同期クリア可能、カスケード可能な双方向バイナリ カウンタです。非同期クリア (CLR) 入力が高レベルになると、ほかのすべての入力は無視され、クロック (C) の遷移に関係なく、出力 (Q)、ターミナル カウンタ (TC)、およびクロック イネーブル出力 (CEO) が 0 になります。ロード イネーブル入力 (L) が High の場合、クロック (C) が Low から High に切り替わる時に、クロック イネーブル (CE) の値に関係なく、入力 (D) の値がカウンタにロードされます。CE が High、UP が Low の場合、クロックが Low から High に切り替わる時に、Q 出力がデクリメントされます。CE と UP が High の場合、Q 出力がインクリメントされます。CE が Low の場合、クロック遷移は無視されます。

カウントアップする場合、すべての Q 出力と UP が High になると TC 出力が高レベルになります。カウントダウンする場合、すべての Q 出力と UP が Low になると TC 出力が高レベルになります。

1 段目の CEO 出力を次の段の CE 入力に接続し、C、UP、L、および CLR 入力を並列に接続すると、より大型のカウンタを作成できます。TC と CE が High になると、CEO がアクティブ (High) になります。カウンタの長さの最大値は、CE ピンと TC ピン間の伝搬遅延の合計とクロック周期の関係によって決定されます。クロック周期は、 $n(t_{CE-TC})$ より大きい必要があります。ここで、 n は段数、時間 t_{CE-TC} は各段での CE ピンと TC ピン間の伝搬遅延を表します。カウンタをカスケードする場合、CE 入力を使用するときは CEO 出力を、CE 入力を使用しないときは TC 出力を使用します。

CPLD デバイスについては、高速カスケードが可能な双方向カウンタである CB2X1、CB4X1、CB8X1、CB16X1 を参照してください。

電力を供給すると、カウンタは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

論理表

入力						出力		
CLR	L	CE	C	UP	Dz - D0	Qz - Q0	TC	CEO
1	X	X	X	X	X	0	0	0
0	1	X	↑	X	Dn	Dn	TC	CEO
0	0	0	X	X	X	変化なし	変化なし	0
0	0	1	↑	1	X	インクリメント	TC	CEO
0	0	1	↑	0	X	デクリメント	TC	CEO
z = ビット幅 - 1 $TC = (Qz \cdot Q(z-1) \cdot Q(z-2) \cdot \dots \cdot Q0 \cdot UP) + (Qz \cdot Q(z-1) \cdot Q(z-2) \cdot \dots \cdot Q0 \cdot \overline{UP})$ $CEO = TC \cdot CE$								

デザインの入力方法

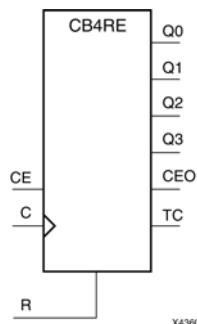
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

CB4RE

: 4-Bit Cascadable Binary Counter with Clock Enable and Synchronous Reset



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

概要

このデザイン エLEMENTは、同期、リセット可能、カスケード可能なバイナリ カウンタです。同期リセット入力 (R) が High になると、ほかの入力は無視され、クロック (C) が Low から High に切り替わる時に出力 (Q)、ターミナル カウンタ (TC)、およびクロック イネーブル出力 (CEO) が 0 になります。クロック イネーブル入力 (CE) が High の場合、クロック (C) が Low から High に切り替わる時に出力 (Q) がインクリメントされます。CE が Low の場合、クロック遷移は無視されます。すべての Q 出力が High になると、TC 出力が High になります。

1 段目の CEO 出力を次の段の CE 入力に接続し、C および R 入力を並列に接続すると、より大型のカウンタを作成できます。TC と CE が High になると、CEO がアクティブ (High) になります。カウンタの長さの最大値は、CE ピンと TC ピン間の伝搬遅延の合計とクロック周期の関係によって決定されます。クロック周期は、 $n(t_{CE-TC})$ より大きい必要があります。ここで、 n は段数、時間 t_{CE-TC} は各段での CE ピンと TC ピン間の伝搬遅延を表します。カウンタをカスケードする場合、CE 入力を使用するときは CEO 出力を、CE 入力を使用しないときは TC 出力を使用します。

電力を供給すると、カウンタは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

論理表

入力			出力		
R	CE	C	Qz - Q0	TC	CEO
1	X	↑	0	0	0
0	0	X	変化なし	変化なし	0
0	1	↑	インクリメント	TC	CEO
z = ビット幅 - 1 $TC = Q_z \cdot Q_{(z-1)} \cdot Q_{(z-2)} \cdot \dots \cdot Q_0$ $CEO = TC \cdot CE$					

デザインの入力方法

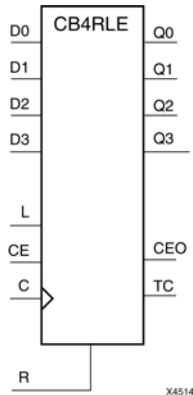
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

CB4RLE

： 4-Bit Loadable Cascadable Binary Counter with Clock Enable and Synchronous Reset



サポートされているアーキテクチャ

このデザイン エレメントは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

概要

このデザイン エレメントは、同期、ロード可能、リセット可能、カスケード可能なバイナリ カウンタです。同期リセット入力 (R) が High になると、ほかの入力は無視され、クロック (C) が Low から High に切り替わる時に出力 (Q)、ターミナルカウンタ (TC)、およびクロック イネーブル出力 (CEO) が 0 になります。

ロード イネーブル入力 (L) が High の場合、クロック (C) が Low から High に切り替わる時に、CE の値に関係なく、D 入力の値がカウンタにロードされます。CE が High の場合、クロックが Low から High に切り替わる時に Q 出力がインクリメントされます。CE が Low の場合、クロック遷移は無視されます。すべての Q 出力が High になると、TC 出力が High になります。すべての Q 出力と CE が High になると、CEO 出力が High になるので、カウンタを直接カスケード接続できます。

1 段目の CEO 出力を次の段の CE 入力に接続し、C、L、および R 入力を並列に接続すると、より大型のカウンタを作成できます。TC と CE が High になると、CEO がアクティブ (High) になります。カウンタの長さの最大値は、CE ピンと TC ピン間の伝搬遅延の合計とクロック周期の関係によって決定されます。クロック周期は、 $n(t_{CE-TC})$ より大きい必要があります。ここで、 n は段数、時間 t_{CE-TC} は各段での CE ピンと TC ピン間の伝搬遅延を表します。カウンタをカスケードする場合、CE 入力を使用するときは CEO 出力を、CE 入力を使用しないときは TC 出力を使用します。

電力を供給すると、カウンタは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

論理表

入力					出力		
R	L	CE	C	Dz - D0	Qz - Q0	TC	CEO
1	X	X	↑	X	0	0	0
0	1	X	↑	Dn	Dn	TC	CEO
0	0	0	X	X	変化なし	変化なし	0
0	0	1	↑	X	インクリメント	TC	CEO
z = ビット幅 - 1 $TC = Qz \cdot Q(z-1) \cdot Q(z-2) \cdot \dots \cdot Q0$ $CEO = TC \cdot CE$							

デザインの入力方法

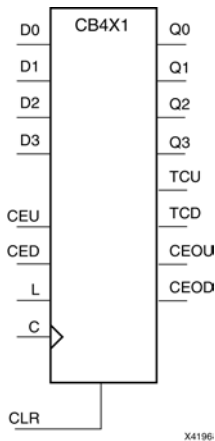
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

CB4X1

： 4-Bit Loadable Cascadable Bidirectional Binary Counter with Clock Enable and Asynchronous Clear



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

概要

このデザイン エLEMENTは、同期、ロード可能、非同期クリア可能、リセット能な双方向バイナリ カウンタです。このカウンタには、アップとダウンの両方向に対してそれぞれカウント イネーブル入力と同期ターミナル カウント出力があり、高速カスケードがサポートされています。

非同期クリア入力 (CLR) が最も優先される入力で、CLR が High になると、ほかのすべての入力は無視されます。クロック遷移に関係なく、出力 (Q) は 0、ターミナル カウント出力 TCU と TCD はそれぞれ 0 と 1、クロック イネーブル出力 CEOU と CEOD はそれぞれ Low と High になります。ロード イネーブル入力 (L) が High の場合、クロック (C) が Low から High に切り替わるときに、CE 入力の値に関係なく、D 入力の値がカウンタにロードされます。

CEU が High、CLR と L が Low の場合、クロックが Low から High に切り替わるときに Q 出力がインクリメントされます。CED が High、CLR と L が Low の場合、Q 出力がデクリメントされます。CEU と CED が Low の場合、クロック遷移は無視されます。クロック遷移の際に CEU と CED の両方を High にしないでください。CEU と CED が両方とも High になっていると、カスケード接続した場合に CEOU および CEOD 出力が正しく機能しません。

カウントアップする場合、すべての Q 出力と CEU が High になると CEOU 出力が High になります。カウントダウンする場合、すべての Q 出力が Low、CED が High になると CEOD 出力が High になります。カウンタをカスケード接続するには、各カウンタの CEOU 出力および CEOD 出力をそれぞれ次の段の CEU および CED 入力に直接接続します。クロック、L、CLR の各入力は、並列に接続します。

すべてのカウントおよびロード機能に対して、カウンタをいくつカスケード接続しても、カウンタ コンポーネントの最大クロック周波数は影響を受けません。すべての Q 出力が High になると、CEU に関係なく、TCU ターミナル カウント出力が High になります。すべての Q 出力が Low になると、CED に関係なく、TCD 出力は High になります。

カウンタをカスケード接続する場合、最終的なターミナル カウント信号は、TCU 出力 (アップ方向) と TCD 出力 (ダウン方向) をすべて接続した AND ゲートで生成されます。TCU、CEOU、CEOD の各出力は、コンポーネント内の最適化可能な AND ゲートによって生成されます。したがって、これらの出力からの接続がすべてオンチップであれば、CEU および CED の入力と Q 出力のピン間の伝搬遅延がゼロになります。すべてがオンチップでない場合は、マクロセルバッファ遅延が発生します。

電力を供給すると、カウンタは 0 (TCU は Low、TCD は High) に初期化されます。High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

論理表

入力						出力				
CLR	L	CEU	CED	C	Dz - D0	Qz - Q0	TCU	TCD	CEOU	CEOD
1	X	X	X	X	X	0	0	1	0	CEOD
0	1	X	X	↑	Dn	Dn	TCU	TCD	CEOU	CEOD
0	0	0	0	X	X	変化なし	変化なし	変化なし	0	0
0	0	1	0	↑	X	インクリメント	TCU	TCD	CEOU	0
0	0	0	1	↑	X	デクリメント	TCU	TCD	0	CEOD
0	0	1	1	↑	X	インクリメント	TCU	TCD	無効	無効

$z = \text{ビット幅} - 1$

$\text{TCU} = Qz \cdot Q(z-1) \cdot Q(z-2) \cdot \dots \cdot Q0$

$\text{TCD} = Qz \cdot Q(z-1) \cdot Q(z-2) \cdot \dots \cdot Q0$

$\text{CEOU} = \text{TCU} \cdot \text{CEU}$

$\text{CEOD} = \text{TCD} \cdot \text{CED}$

デザインの入力方法

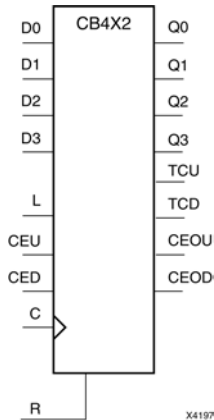
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

CB4X2

: 4-Bit Loadable Cascadable Bidirectional Binary Counter with Clock Enable and Synchronous Reset



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

概要

このデザイン エLEMENTは、同期、ロード可能、リセット可能な双方向バイナリ カウンタです。このカウンタには、アップとダウンの両方向に対してそれぞれカウント イネーブル入力と同期ターミナル カウント出力があり、CPLD アーキテクチャでの高速カスケードがサポートされています。

同期リセット入力 (R) は最も優先される入力で、R が High になるとほかのすべての入力は無視されます。クロック (C) が Low から High に切り替わるときに、出力 (Q) の値は 0 に、ターミナル カウント出力 TCU と TCD はそれぞれ 0 と 1 に、クロック イネーブル出力 CEOU と CEOD はそれぞれ Low と High になります。ロード イネーブル入力 (L) が High の場合、クロック (C) が Low から High に切り替わるときに、CE 入力の値に関係なく、D 入力の値がカウンタにロードされます。

CEU が High、R と L が Low の場合、クロックが Low から High に切り替わるときにすべての Q 出力がインクリメントされます。CED が High、R と L が Low の場合、すべての Q 出力がデクリメントされます。CEU と CED が Low の場合、クロック遷移は無視されます。クロック遷移の際に CEU と CED の両方を High にしないでください。CEU と CED が両方とも High になっていると、カスケード接続した場合に CEOU および CEOD 出力が正しく機能しません。

カウントアップする場合、すべての Q 出力と CEU が High になると CEOU 出力が High になります。カウントダウンする場合、すべての Q 出力が Low、CED が High になると CEOD 出力が High になります。カウンタをカスケード接続するには、各カウンタの CEOU 出力および CEOD 出力をそれぞれ次の段の CEU および CED 入力に直接接続します。C、L、および R 入力は、並列に接続します。

すべてのカウントおよびロード機能に対して、カウンタをいくつカスケード接続しても、カウンタ コンポーネントの最大クロック周波数は影響を受けません。すべての Q 出力が High になると、CEU に関係なく、TCU ターミナル カウント出力が High になります。すべての Q 出力が Low になると、CED に関係なく、TCD 出力は High になります。

カウンタをカスケード接続する場合、最終的なターミナル カウント信号は、TCU 出力 (アップ方向) と TCD 出力 (ダウン方向) をすべて接続した AND ゲートで生成されます。TCU、CEOU、CEOD の各出力は、コンポーネント内の最適化可能な AND ゲートによって生成されます。したがって、これらの出力からの接続がすべてオンチップであれば、CEU および CED の入力と Q 出力のピン間の伝搬遅延がゼロになります。すべてがオンチップでない場合は、マクロセルバッファ遅延が発生します。

電力を供給すると、カウンタは 0 (TCU は Low、TCD は High) に初期化されます。High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

論理表

入力						出力				
R	L	CEU	CED	C	Dz - D0	Qz - Q0	TCU	TCD	CEOU	CEOD
1	X	X	X	↑	X	0	0	1	0	CEOD
0	1	X	X	↑	Dn	Dn	TCU	TCD	CEOU	CEOD
0	0	0	0	X	X	変化なし	変化なし	変化なし	0	0
0	0	1	0	↑	X	インクリメント	TCU	TCD	CEOU	0
0	0	0	1	↑	X	デクリメント	TCU	TCD	0	CEOD
0	0	1	1	↑	X	インクリメント	TCU	TCD	無効	無効

$z = \text{ビット幅} - 1$

$TCU = Q_z Q_{(z-1)} Q_{(z-2)} \dots Q_0$

$TCD = Q_z Q_{(z-1)} Q_{(z-2)} \dots Q_0$

$CEOU = TCU CEU$

$CEOD = TCD CED$

デザインの入力方法

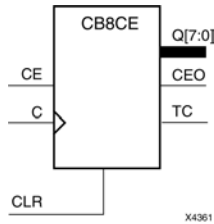
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

CB8CE

: 8-Bit Cascadable Binary Counter with Clock Enable and Asynchronous Clear



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

概要

このデザイン エLEMENTは、非同期クリア可能、カスケード可能なバイナリ カウンタです。非同期クリア (CLR) 入力が高になると、ほかのすべての入力は無視され、クロック (C) の遷移に関係なく、出力 (Q)、ターミナル カウンタ (TC)、およびクロック イネーブル出力 (CEO) が 0 になります。クロック イネーブル入力 (CE) が High の場合、クロック (C) が Low から High に切り替わるときに出力 (Q) がインクリメントされます。CE が Low の場合、クロック遷移は無視されます。すべての Q 出力が高になると、TC 出力が高になります。

1 段目の CEO 出力を次の段の CE 入力に接続し、C および CLR 入力を並列に接続すると、より大型のカウンタを作成できます。TC と CE が High になると、CEO がアクティブ (High) になります。カウンタの長さの最大値は、CE ピンと TC ピン間の伝搬遅延の合計とクロック周期の関係によって決定されます。クロック周期は、 $n(t_{CE-TC})$ より大きい必要があります。ここで、 n は段数、時間 t_{CE-TC} は各段での CE ピンと TC ピン間の伝搬遅延を表します。カウンタをカスケードする場合、CE 入力を使用するときは CEO 出力を、CE 入力を使用しないときは TC 出力を使用します。

電力を供給すると、カウンタは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

論理表

入力			出力		
CLR	CE	C	Q _z - Q ₀	TC	CEO
1	X	X	0	0	0
0	0	X	変化なし	変化なし	0
0	1	↑	インクリメント	TC	CEO
$z = \text{ビット幅} - 1$ $TC = Q_z \cdot Q_{(z-1)} \cdot Q_{(z-2)} \cdot \dots \cdot Q_0$ $CEO = TC \cdot CE$					

デザインの入力方法

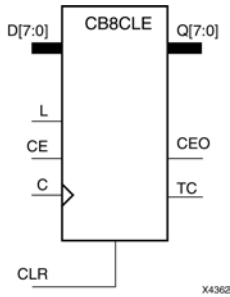
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

CB8CLE

: 8-Bit Loadable Cascadable Binary Counters with Clock Enable and Asynchronous Clear



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

概要

このデザイン エLEMENTは、同期、ロード可能、非同期クリア可能、カスケード可能なバイナリ カウンタです。非同期クリア (CLR) 入力が高になると、ほかのすべての入力は無視され、クロック (C) の遷移に関係なく、出力 (Q)、ターミナル カウンタ (TC)、およびクロック イネーブル出力 (CEO) が 0 になります。ロード イネーブル入力 (L) が High の場合、クロックが Low から High に切り替わるときに、クロック イネーブル (CE) の値に関係なく、入力 (D) の値がカウンタにロードされます。CE が High の場合、クロックが Low から High に切り替わるときに Q 出力がインクリメントされます。CE が Low の場合、クロック遷移は無視されます。すべての Q 出力が高になると、TC 出力が高になります。

1 段目の CEO 出力を次の段の CE 入力に接続し、C、L、および CLR 入力を並列に接続すると、より大型のカウンタを作成できます。TC と CE が High になると、CEO がアクティブ (High) になります。カウンタの長さの最大値は、CE ピンと TC ピン間の伝搬遅延の合計とクロック周期の関係によって決定されます。クロック周期は、 $n(t_{CE-TC})$ より大きい必要があります。ここで、 n は段数、時間 t_{CE-TC} は各段での CE ピンと TC ピン間の伝搬遅延を表します。カウンタをカスケードする場合、CE 入力を使用するときは CEO 出力を、CE 入力を使用しないときは TC 出力を使用します。

電力を供給すると、カウンタは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

論理表

入力					出力		
CLR	L	CE	C	Dz - D0	Qz - Q0	TC	CEO
1	X	X	X	X	0	0	0
0	1	X	↑	Dn	Dn	TC	CEO
0	0	0	X	X	変化なし	変化なし	0
0	0	1	↑	X	インクリメント	TC	CEO
z = ビット幅 - 1 $TC = Qz \cdot Q(z-1) \cdot Q(z-2) \cdot \dots \cdot Q0$ $CEO = TC \cdot CE$							

デザインの入力方法

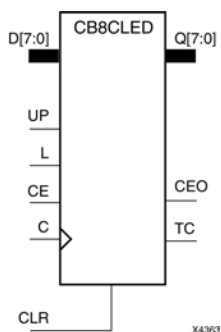
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

CB8CLED

: 8-Bit Loadable Cascadable Bidirectional Binary Counters with Clock Enable and Asynchronous Clear



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

概要

このデザイン エLEMENTは、同期、ロード可能、非同期クリア可能、カスケード可能な双方向バイナリ カウンタです。非同期クリア (CLR) 入力が高レベルになると、ほかのすべての入力は無視され、クロック (C) の遷移に関係なく、出力 (Q)、ターミナル カウンタ (TC)、およびクロック イネーブル出力 (CEO) が 0 になります。ロード イネーブル入力 (L) が High の場合、クロック (C) が Low から High に切り替わるときに、クロック イネーブル (CE) の値に関係なく、入力 (D) の値がカウンタにロードされます。CE が High、UP が Low の場合、クロックが Low から High に切り替わるときに、Q 出力がデクリメントされます。CE と UP が High の場合、Q 出力がインクリメントされます。CE が Low の場合、クロック遷移は無視されます。

カウントアップする場合、すべての Q 出力と UP が High になると TC 出力が High になります。カウントダウンする場合、すべての Q 出力と UP が Low になると TC 出力が High になります。

1 段目の CEO 出力を次の段の CE 入力に接続し、C、UP、L、および CLR 入力を並列に接続すると、より大型のカウンタを作成できます。TC と CE が High になると、CEO がアクティブ (High) になります。カウンタの長さの最大値は、CE ピンと TC ピン間の伝搬遅延の合計とクロック周期の関係によって決定されます。クロック周期は、 $n(t_{CE-TC})$ より大きい必要があります。ここで、 n は段数、時間 t_{CE-TC} は各段での CE ピンと TC ピン間の伝搬遅延を表します。カウンタをカスケードする場合、CE 入力を使用するときは CEO 出力を、CE 入力を使用しないときは TC 出力を使用します。

CPLD デバイスについては、高速カスケードが可能な双方向カウンタである CB2X1、CB4X1、CB8X1、CB16X1 を参照してください。

電力を供給すると、カウンタは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

論理表

入力						出力		
CLR	L	CE	C	UP	Dz - D0	Qz - Q0	TC	CEO
1	X	X	X	X	X	0	0	0
0	1	X	↑	X	Dn	Dn	TC	CEO
0	0	0	X	X	X	変化なし	変化なし	0
0	0	1	↑	1	X	インクリメント	TC	CEO
0	0	1	↑	0	X	デクリメント	TC	CEO
z = ビット幅 - 1 $TC = (Qz \cdot Q(z-1) \cdot Q(z-2) \cdot \dots \cdot Q0 \cdot UP) + (Qz \cdot Q(z-1) \cdot Q(z-2) \cdot \dots \cdot Q0 \cdot \overline{UP})$ $CEO = TC \cdot CE$								

デザインの入力方法

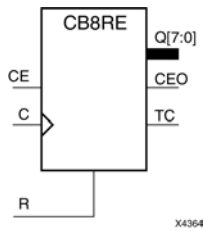
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

CB8RE

： 8-Bit Cascadable Binary Counter with Clock Enable and Synchronous Reset



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

概要

このデザイン エLEMENTは、同期、リセット可能、カスケード可能なバイナリ カウンタです。同期リセット入力 (R) が High になると、ほかの入力は無視され、クロック (C) が Low から High に切り替わる時に出力 (Q)、ターミナル カウンタ (TC)、およびクロック イネーブル出力 (CEO) が 0 になります。クロック イネーブル入力 (CE) が High の場合、クロック (C) が Low から High に切り替わる時に出力 (Q) がインクリメントされます。CE が Low の場合、クロック遷移は無視されます。すべての Q 出力が High になると、TC 出力が High になります。

1 段目の CEO 出力を次の段の CE 入力に接続し、C および R 入力を並列に接続すると、より大型のカウンタを作成できます。TC と CE が High になると、CEO がアクティブ (High) になります。カウンタの長さの最大値は、CE ピンと TC ピン間の伝搬遅延の合計とクロック周期の関係によって決定されます。クロック周期は、 $n(t_{CE-TC})$ より大きい必要があります。ここで、 n は段数、時間 t_{CE-TC} は各段での CE ピンと TC ピン間の伝搬遅延を表します。カウンタをカスケードする場合、CE 入力を使用するときは CEO 出力を、CE 入力を使用しないときは TC 出力を使用します。

電力を供給すると、カウンタは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

論理表

入力			出力		
R	CE	C	Q _z - Q ₀	TC	CEO
1	X	↑	0	0	0
0	0	X	変化なし	変化なし	0
0	1	↑	インクリメント	TC	CEO
$z = \text{ビット幅} - 1$ $TC = Q_z \cdot Q_{(z-1)} \cdot Q_{(z-2)} \cdot \dots \cdot Q_0$ $CEO = TC \cdot CE$					

デザインの入力方法

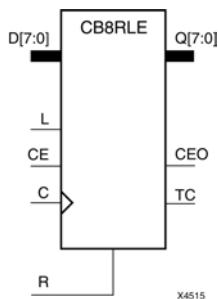
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

CB8RLE

: 8-Bit Loadable Cascadable Binary Counter with Clock Enable and Synchronous Reset



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

概要

このデザイン エLEMENTは、同期、ロード可能、リセット可能、カスケード可能なバイナリ カウンタです。同期リセット入力 (R) が High になると、ほかの入力は無視され、クロック (C) が Low から High に切り替わる時に出力 (Q)、ターミナルカウンタ (TC)、およびクロック イネーブル出力 (CEO) が 0 になります。

ロード イネーブル入力 (L) が High の場合、クロック (C) が Low から High に切り替わる時に、CE の値に関係なく、D 入力の値がカウンタにロードされます。CE が High の場合、クロックが Low から High に切り替わる時に Q 出力がインクリメントされます。CE が Low の場合、クロック遷移は無視されます。すべての Q 出力が High になると、TC 出力が High になります。すべての Q 出力と CE が High になると、CEO 出力が High になるので、カウンタを直接カスケード接続できます。

1 段目の CEO 出力を次の段の CE 入力に接続し、C、L、および R 入力を並列に接続すると、より大型のカウンタを作成できます。TC と CE が High になると、CEO がアクティブ (High) になります。カウンタの長さの最大値は、CE ピンと TC ピン間の伝搬遅延の合計とクロック周期の関係によって決定されます。クロック周期は、 $n(t_{CE-TC})$ より大きい必要があります。ここで、 n は段数、時間 t_{CE-TC} は各段での CE ピンと TC ピン間の伝搬遅延を表します。カウンタをカスケードする場合、CE 入力を使用するときは CEO 出力を、CE 入力を使用しないときは TC 出力を使用します。

電力を供給すると、カウンタは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

論理表

入力					出力		
R	L	CE	C	Dz - D0	Qz - Q0	TC	CEO
1	X	X	↑	X	0	0	0
0	1	X	↑	Dn	Dn	TC	CEO
0	0	0	X	X	変化なし	変化なし	0
0	0	1	↑	X	インクリメント	TC	CEO
z = ビット幅 - 1 $TC = Qz \cdot Q(z-1) \cdot Q(z-2) \cdot \dots \cdot Q0$ $CEO = TC \cdot CE$							

デザインの入力方法

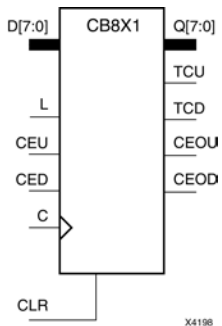
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

CB8X1

： 8-Bit Loadable Cascadable Bidirectional Binary Counter with Clock Enable and Asynchronous Clear



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

概要

このデザイン エLEMENTは、同期、ロード可能、非同期クリア可能、リセット能な双方向バイナリ カウンタです。このカウンタには、アップとダウンの両方向に対してそれぞれカウント イネーブル入力と同期ターミナル カウント出力があり、高速カスケードがサポートされています。

非同期クリア入力 (CLR) が最も優先される入力で、CLR が High になると、ほかのすべての入力は無視されます。クロック遷移に関係なく、出力 (Q) は 0、ターミナル カウント出力 TCU と TCD はそれぞれ 0 と 1、クロック イネーブル出力 CEOD と CEOD はそれぞれ Low と High になります。ロード イネーブル入力 (L) が High の場合、クロック (C) が Low から High に切り替わるときに、CE 入力の値に関係なく、D 入力の値がカウンタにロードされます。

CEU が High、CLR と L が Low の場合、クロックが Low から High に切り替わるときに Q 出力がインクリメントされます。CED が High、CLR と L が Low の場合、Q 出力がデクリメントされます。CEU と CED が Low の場合、クロック遷移は無視されます。クロック遷移の際に CEU と CED の両方を High にしないでください。CEU と CED が両方とも High になっていると、カスケード接続した場合に CEOD および CEOD 出力が正しく機能しません。

カウント アップする場合、すべての Q 出力と CEU が High になると CEOD 出力が High になります。カウント ダウンする場合、すべての Q 出力が Low、CED が High になると CEOD 出力が High になります。カウンタをカスケード接続するには、各カウンタの CEOD 出力および CEOD 出力をそれぞれ次の段の CEU および CED 入力に直接接続します。クロック、L、CLR の各入力は、並列に接続します。

すべてのカウントおよびロード機能に対して、カウンタをいくつカスケード接続しても、カウンタ コンポーネントの最大クロック周波数は影響を受けません。すべての Q 出力が High になると、CEU に関係なく、TCU ターミナル カウント出力が High になります。すべての Q 出力が Low になると、CED に関係なく、TCD 出力は High になります。

カウンタをカスケード接続する場合、最終的なターミナル カウント信号は、TCU 出力 (アップ方向) と TCD 出力 (ダウン方向) をすべて接続した AND ゲートで生成されます。TCU、CEOD、CEOD の各出力は、コンポーネント内の最適化可能な AND ゲートによって生成されます。したがって、これらの出力からの接続がすべてオンチップであれば、CEU および CED の入力と Q 出力のピン間の伝搬遅延がゼロになります。すべてがオンチップでない場合は、マクロセルバッファ遅延が発生します。

電力を供給すると、カウンタは 0 (TCU は Low、TCD は High) に初期化されます。High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

論理表

入力						出力				
CLR	L	CEU	CED	C	Dz - D0	Qz - Q0	TCU	TCD	CEOU	CEOD
1	X	X	X	X	X	0	0	1	0	CEOD
0	1	X	X	↑	Dn	Dn	TCU	TCD	CEOU	CEOD
0	0	0	0	X	X	変化なし	変化なし	変化なし	0	0
0	0	1	0	↑	X	インクリメント	TCU	TCD	CEOU	0
0	0	0	1	↑	X	デクリメント	TCU	TCD	0	CEOD
0	0	1	1	↑	X	インクリメント	TCU	TCD	無効	無効

$z = \text{ビット幅} - 1$

$TCU = Qz \cdot Q(z-1) \cdot Q(z-2) \cdot \dots \cdot Q0$

$TCD = Qz \cdot Q(z-1) \cdot Q(z-2) \cdot \dots \cdot Q0$

$CEOU = TCU \cdot CEU$

$CEOD = TCD \cdot CED$

デザインの入力方法

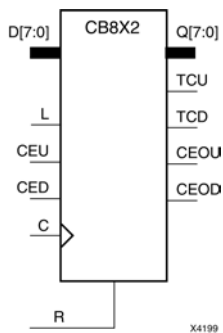
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

CB8X2

: 8-Bit Loadable Cascadable Bidirectional Binary Counter with Clock Enable and Synchronous Reset



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

概要

このデザイン エLEMENTは、同期、ロード可能、リセット可能な双方向バイナリ カウンタです。このカウンタには、アップとダウンの両方向に対してそれぞれカウント イネーブル入力と同期ターミナル カウント出力があり、CPLD アーキテクチャでの高速カスケードがサポートされています。

同期リセット入力 (R) は最も優先される入力で、R が High になるとほかのすべての入力は無視されます。クロック (C) が Low から High に切り替わるときに、出力 (Q) の値は 0 に、ターミナル カウント出力 TCU と TCD はそれぞれ 0 と 1 に、クロック イネーブル出力 CEOU と CEOD はそれぞれ Low と High になります。ロード イネーブル入力 (L) が High の場合、クロック (C) が Low から High に切り替わるときに、CE 入力の値に関係なく、D 入力の値がカウンタにロードされます。

CEU が High、R と L が Low の場合、クロックが Low から High に切り替わる時にすべての Q 出力がインクリメントされます。CED が High、R と L が Low の場合、すべての Q 出力がデクリメントされます。CEU と CED が Low の場合、クロック遷移は無視されます。クロック遷移の際に CEU と CED の両方を High にしないでください。CEU と CED が両方とも High になっていると、カスケード接続した場合に CEOU および CEOD 出力が正しく機能しません。

カウントアップする場合、すべての Q 出力と CEU が High になると CEOU 出力が High になります。カウントダウンする場合、すべての Q 出力が Low、CED が High になると CEOD 出力が High になります。カウンタをカスケード接続するには、各カウンタの CEOU 出力および CEOD 出力をそれぞれ次の段の CEU および CED 入力に直接接続します。C、L、および R 入力は、並列に接続します。

すべてのカウントおよびロード機能に対して、カウンタをいくつカスケード接続しても、カウンタ コンポーネントの最大クロック周波数は影響を受けません。すべての Q 出力が High になると、CEU に関係なく、TCU ターミナル カウント出力が High になります。すべての Q 出力が Low になると、CED に関係なく、TCD 出力は High になります。

カウンタをカスケード接続する場合、最終的なターミナル カウント信号は、TCU 出力 (アップ方向) と TCD 出力 (ダウン方向) をすべて接続した AND ゲートで生成されます。TCU、CEOU、CEOD の各出力は、コンポーネント内の最適化可能な AND ゲートによって生成されます。したがって、これらの出力からの接続がすべてオンチップであれば、CEU および CED の入力と Q 出力のピン間の伝搬遅延がゼロになります。すべてがオンチップでない場合は、マクロセルバッファ遅延が発生します。

電力を供給すると、カウンタは 0 (TCU は Low、TCD は High) に初期化されます。High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

論理表

入力						出力				
R	L	CEU	CED	C	Dz - D0	Qz - Q0	TCU	TCD	CEOU	CEOD
1	X	X	X	↑	X	0	0	1	0	CEOD
0	1	X	X	↑	Dn	Dn	TCU	TCD	CEOU	CEOD
0	0	0	0	X	X	変化なし	変化なし	変化なし	0	0
0	0	1	0	↑	X	インクリメント	TCU	TCD	CEOU	0
0	0	0	1	↑	X	デクリメント	TCU	TCD	0	CEOD
0	0	1	1	↑	X	インクリメント	TCU	TCD	無効	無効

$z = \text{ビット幅} - 1$
 $TCU = QzQ(z-1)Q(z-2)\dots Q0$
 $TCD = QzQ(z-1)Q(z-2)\dots Q0$
 $CEOU = TCUCEU$
 $CEOD = TCD CED$

デザインの入力方法

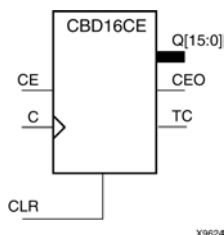
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

CBD16CE

: 16-Bit Cascadable Dual Edge Triggered Binary Counter with Clock Enable and Asynchronous Clear



サポートされているアーキテクチャ

このデザイン エレメントは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

概要

このデザイン エレメントは、両エッジで動作する非同期クリア可能、カスケード可能なバイナリカウンタです。非同期クリア (CLR) 入力が高になると、ほかのすべての入力は無視され、クロック (C) の遷移に関係なく、出力 (Q)、ターミナルカウンタ (TC)、およびクロックイネーブル出力 (CEO) が 0 になります。クロックイネーブル入力 (CE) が High の場合、クロック (C) が Low から High、または High から Low に切り替わるときに出力 (Q) がインクリメントされます。CE が Low の場合、クロック遷移は無視されます。すべての Q 出力が高になると、TC 出力が高になります。

1 段目の CEO 出力を次の段の CE 入力に接続し、C および CLR 入力を並列に接続すると、より大型のカウンタを作成できます。TC と CE が High になると、CEO がアクティブ (High) になります。カウンタの長さの最大値は、CE ピンと TC ピン間の伝搬遅延の合計とクロック周期の関係によって決定されます。クロック周期は、 $n(t_{CE-TC})$ より大きい必要があります。ここで、 n は段数、時間 t_{CE-TC} は各段での CE ピンと TC ピン間の伝搬遅延を表します。カウンタをカスケードする場合、CE 入力を使用するときは CEO 出力を、CE 入力を使用しないときは TC 出力を使用します。

電力を供給すると、カウンタは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

論理表

入力			出力		
CLR	CE	C	Q _z : Q ₀	TC	CEO
1	X	X	0	0	0
0	0	X	変化なし	変化なし	0
0	1	↑	インクリメント	TC	CEO
0	1	↓	インクリメント	TC	CEO
$z = \text{ビット幅} - 1$ $TC = Q_z \cdot Q_{(z-1)} \cdot Q_{(z-2)} \cdot \dots \cdot Q_0$ $CEO = TC \cdot CE$					

デザインの入力方法

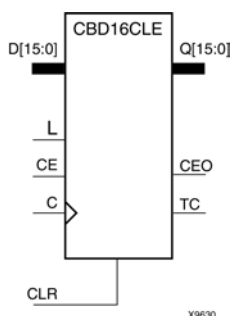
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

CBD16CLE

: 16-Bit Loadable Cascadable Dual Edge Triggered Binary Counter with Clock Enable and Asynchronous Clear



サポートされているアーキテクチャ

このデザイン エレメントは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

概要

このデザイン エレメントは、クロックの両エッジで動作する同期ロード可能、非同期クリア可能、カスケード可能な双方向バイナリカウンタです。非同期クリア (CLR) 入力が高になると、ほかのすべての入力は無視され、クロック (C) の遷移に関係なく、出力 (Q)、ターミナル カウンタ (TC)、およびクロック イネーブル出力 (CEO) が 0 になります。ロード イネーブル入力 (L) が High の場合、クロックが Low から High に切り替わるときに、クロック イネーブル (CE) の値に関係なく、入力 (D) の値がカウンタにロードされます。CE が High の場合、クロックが Low から High、または High から Low に切り替わるときに Q 出力がインクリメントされます。CE が Low の場合、クロック遷移は無視されます。すべての Q 出力が高になると、TC 出力が高になります。

1 段目の CEO 出力を次の段の CE 入力に接続し、C、L、および CLR 入力を並列に接続すると、より大型のカウンタを作成できます。TC と CE が High になると、CEO がアクティブ (High) になります。カウンタの長さの最大値は、CE ピンと TC ピン間の伝搬遅延の合計とクロック周期の関係によって決定されます。クロック周期は、 $n(t_{CE-TC})$ より大きい必要があります。ここで、 n は段数、時間 t_{CE-TC} は各段での CE ピンと TC ピン間の伝搬遅延を表します。カウンタをカスケードする場合、CE 入力を使用するときは CEO 出力を、CE 入力を使用しないときは TC 出力を使用します。

電力を供給すると、カウンタは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

論理表

入力					出力		
CLR	L	CE	C	Dz : D0	Qz : Q0	TC	CEO
1	X	X	X	X	0	0	0
0	1	X	↑	Dn	Dn	TC	CEO
0	1	X	↓	Dn	Dn	TC	CEO
0	0	0	X	X	変化なし	変化なし	0
0	0	1	↑	X	インクリメント	TC	CEO
0	0	1	↓	X	インクリメント	TC	CEO
z = ビット幅 - 1 $TC = Qz \cdot Q(z-1) \cdot Q(z-2) \cdot \dots \cdot Q0$ $CEO = TC \cdot CE$							

デザインの入力方法

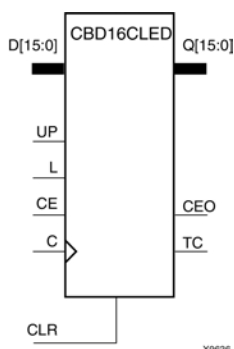
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

CBD16CLED

： 16-Bit Loadable Cascadable Bidirectional Dual Edge Triggered Binary Counter with Clock Enable and Asynchronous Clear



サポートされているアーキテクチャ

このデザイン エレメントは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

概要

このデザイン エレメントは、クロックの両エッジで動作する同期ロード可能、非同期クリア可能、カスケード可能な双方向バイナリカウンタです。非同期クリア (CLR) 入力が高レベルになると、ほかのすべての入力は無視され、クロック (C) の遷移に関係なく、出力 (Q)、ターミナル カウンタ (TC)、およびクロック イネーブル出力 (CEO) が 0 になります。ロード イネーブル入力 (L) が High の場合、クロック (C) が Low から High に切り替わるときに、クロック イネーブル (CE) の値に関係なく、入力 (D) の値がカウンタにロードされます。CE が High、UP が Low の場合、クロックが Low から High、または High から Low に切り替わるときに、Q 出力がデクリメントされます。CE と UP が High の場合、Q 出力がインクリメントされます。CE が Low の場合、クロック遷移は無視されます。

カウントアップする場合、すべての Q 出力と UP が High になると TC 出力が High になります。カウントダウンする場合、すべての Q 出力と UP が Low になると TC 出力が High になります。

1 段目の CEO 出力を次の段の CE 入力に接続し、C、UP、L、および CLR 入力を並列に接続すると、より大型のカウンタを作成できます。TC と CE が High になると、CEO がアクティブ (High) になります。カウンタの長さの最大値は、CE ピンと TC ピン間の伝搬遅延の合計とクロック周期の関係によって決定されます。クロック周期は、 $n(t_{CE-TC})$ より大きい必要があります。ここで、 n は段数、時間 t_{CE-TC} は各段での CE ピンと TC ピン間の伝搬遅延を表します。カウンタをカスケードする場合、CE 入力を使用するときは CEO 出力を、CE 入力を使用しないときは TC 出力を使用します。

高速カスケードが可能な双方向カウンタの詳細は、CB2X1、CB4X1、CB8X1、CB16X1 を参照してください。

電力を供給すると、カウンタは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

論理表

入力						出力		
CLR	L	CE	C	UP	Dz : D0	Qz : Q0	TC	CEO
1	X	X	X	X	X	0	0	0
0	1	X	↑	X	Dn	Dn	TC	CEO
0	1	X	↓	X	Dn	Dn	TC	CEO
0	0	0	X	X	X	変化なし	変化なし	0
0	0	1	↑	1	X	インクリメント	TC	CEO
0	0	1	↓	1	X	インクリメント	TC	CEO
0	0	1	↑	0	X	デクリメント	TC	CEO
0	0	1	↓	0	X	デクリメント	TC	CEO

$z = \text{ビット幅} - 1$
 $TC = (QzQ(z-1)Q(z-2)...Q0UP) + (QzQ(z-1)Q(z-2)...Q0UP)$
 $CEO = TCCE$

デザインの入力方法

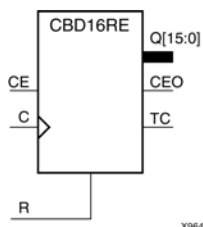
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

CBD16RE

: 16-Bit Cascadable Dual Edge Triggered Binary Counter with Clock Enable and Synchronous Reset



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

概要

このデザイン エLEMENTは、クロックの両エッジで動作する同期、リセット可能、カスケード可能なバイナリ カウンタです。同期リセット入力 (R) が High になると、ほかの入力は無視され、クロック (C) が Low から High に切り替わるときと High から Low に切り替わるときに出力 (Q)、ターミナル カウンタ (TC)、およびクロック イネーブル出力 (CEO) が 0 になります。クロック イネーブル入力 (CE) が High の場合、クロック (C) が Low から High、または High から Low に切り替わるときに出力 (Q) がインクリメントされます。CE が Low の場合、クロック遷移は無視されます。すべての Q 出力が High になると、TC 出力が High になります。

1 段目の CEO 出力を次の段の CE 入力に接続し、C および R 入力を並列に接続すると、より大型のカウンタを作成できます。TC と CE が High になると、CEO がアクティブ (High) になります。カウンタの長さの最大値は、CE ピンと TC ピン間の伝搬遅延の合計とクロック周期の関係によって決定されます。クロック周期は、 $n(t_{CE-TC})$ より大きい必要があります。ここで、 n は段数、時間 t_{CE-TC} は各段での CE ピンと TC ピン間の伝搬遅延を表します。カウンタをカスケードする場合、CE 入力を使用するときは CEO 出力を、CE 入力を使用しないときは TC 出力を使用します。

電力を供給すると、カウンタは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

論理表

入力			出力		
R	CE	C	Qz - Q0	TC	CEO
1	X	↑	0	0	0
1	X	↓	0	0	0
0	0	X	変化なし	変化なし	0
0	1	↑	インクリメント	TC	CEO
0	1	↓	インクリメント	TC	CEO
$z = \text{ビット幅} - 1$ $TC = Qz \cdot Q(z-1) \cdot Q(z-2) \cdot \dots \cdot Q0$ $CEO = TC \cdot CE$					

デザインの入力方法

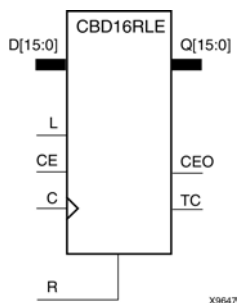
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

CBD16RLE

: 16-Bit Loadable Cascadable Dual Edge Triggered Binary Counter with Clock Enable and Synchronous Reset



サポートされているアーキテクチャ

このデザイン エレメントは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

概要

このデザイン エレメントは、クロックの両エッジで動作する同期、ロード可能、リセット可能、カスケード可能なバイナリ カウンタです。同期リセット入力 (R) が High になると、ほかの入力は無視され、クロック (C) が Low から High に切り替わるときと High から Low に切り替わるときに出力 (Q)、ターミナル カウンタ (TC)、およびクロック イネーブル出力 (CEO) が 0 になります。

ロード イネーブル入力 (L) が High の場合、クロック (C) が Low から High、または High から Low に切り替わるときに、CE の値に関係なく、D 入力の値がカウンタにロードされます。CE が High の場合、クロックが Low から High、または High から Low に切り替わるときに Q 出力がインクリメントされます。CE が Low の場合、クロック遷移は無視されます。すべての Q 出力が High になると、TC 出力が High になります。すべての Q 出力と CE が High になると、CEO 出力が High になるので、カウンタを直接カスケード接続できます。

1 段目の CEO 出力を次の段の CE 入力に接続し、C、L、および R 入力を並列に接続すると、より大型のカウンタを作成できます。TC と CE が High になると、CEO がアクティブ (High) になります。カウンタの長さの最大値は、CE ピンと TC ピン間の伝搬遅延の合計とクロック周期の関係によって決定されます。クロック周期は、 $n(t_{CE-TC})$ より大きい必要があります。ここで、 n は段数、時間 t_{CE-TC} は各段での CE ピンと TC ピン間の伝搬遅延を表します。カウンタをカスケードする場合、CE 入力を使用するときは CEO 出力を、CE 入力を使用しないときは TC 出力を使用します。

電力を供給すると、カウンタは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

論理表

入力					出力		
R	L	CE	C	Dz : D0	Qz : Q0	TC	CEO
1	X	X	↑	X	0	0	0
1	X	X	↓	X	0	0	0
0	1	X	↑	Dn	Dn	TC	CEO
0	1	X	↓	Dn	Dn	TC	CEO
0	0	0	X	X	変化なし	変化なし	0
0	0	1	↑	X	インクリメント	TC	CEO
0	0	1	↓	X	インクリメント	TC	CEO

$z = \text{ビット幅} - 1$
 $TC = Qz \cdot Q(z-1) \cdot Q(z-2) \cdot \dots \cdot Q0$
 $CEO = TC \cdot CE$

デザインの入力方法

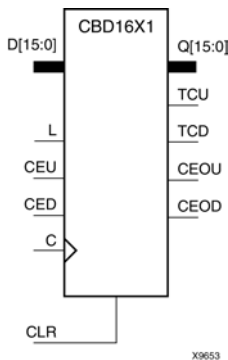
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

CBD16X1

: 16-Bit Loadable Cascadable Bidirectional Dual Edge Triggered Binary Counter with Clock Enable and Asynchronous Clear



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

概要

このデザイン エLEMENTは、クロックの両エッジで動作する同期ロード可能、非同期クリア可能な双方向バイナリ カウンタです。このカウンタには、アップとダウンの両方向に対してそれぞれカウント イネーブル入力と同期ターミナル カウント出力があり、高速カスケードがサポートされています。

非同期クリア入力 (CLR) が最も優先される入力で、CLR が High になると、ほかのすべての入力は無視されます。クロック遷移に関係なく、出力 (Q) は 0、ターミナル カウント出力 TCU と TCD はそれぞれ 0 と 1、クロック イネーブル出力 CEOU と CEOD はそれぞれ Low と High になります。ロード イネーブル入力 (L) が High の場合、クロック (C) が Low から High、または High から Low に切り替わる時に、CE 入力に関係なく、D 入力の値がカウンタにロードされます。

CEU が High、CLR と L が Low の場合、クロックが Low から High、または High から Low に切り替わる時に Q 出力がインクリメントされます。CED が High、CLR と L が Low の場合、Q 出力がデクリメントされます。CEU と CED が Low の場合、クロック遷移は無視されます。クロック遷移の際に CEU と CED の両方を High にしないでください。CEU と CED が両方とも High になっていると、カスケード接続した場合に CEOU および CEOD 出力が正しく機能しません。

カウントアップする場合、すべての Q 出力と CEU が High になると CEOU 出力が High になります。カウントダウンする場合、すべての Q 出力が Low、CED が High になると CEOD 出力が High になります。カウンタをカスケード接続するには、各カウンタの CEOU および CEOD 出力をそれぞれ次の段の CEU および CED 入力に直接接続します。クロック、L、CLR の入力は、並列に接続します。

すべてのカウントおよびロード機能に対して、カウンタをいくつカスケード接続しても、カウンタの最大クロック周波数は影響を受けません。すべての Q 出力が High になると、CEU に関係なく、TCU ターミナル カウント出力が High になります。すべての Q 出力が Low になると、CED に関係なく、TCD 出力は High になります。

カウンタをカスケード接続する場合、最終的なターミナル カウント信号は、TCU 出力 (アップ方向) と TCD 出力 (ダウン方向) をすべて接続した AND ゲートで生成されます。TCU、CEOU、CEOD の各出力は、コンポーネント内の最適化可能な AND ゲートによって生成されます。したがって、これらの出力からの接続がすべてオンチップであれば、CEU および CED の入力と Q 出力のピン間の伝搬遅延がゼロになります。すべてがオンチップでない場合は、マクロセルバッファ遅延が発生します。

電力を供給すると、カウンタは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

論理表

入力						出力				
CLR	L	CEU	CED	C	Dz - D0	Qz - Q0	TCU	TCD	CEOU	CEOD
1	X	X	X	X	X	0	0	1	0	CEOD
0	1	X	X	↑	Dn	Dn	TCU	TCD	CEOU	CEOD
0	1	X	X	↓	Dn	Dn	TCU	TCD	CEOU	CEOD
0	0	0	0	X	X	変化なし	変化なし	変化なし	0	0
0	0	1	0	↑	X	インクリメント	TCU	TCD	CEOU	0
0	0	1	0	↓	X	インクリメント	TCU	TCD	CEOU	0
0	0	0	1	↑	X	デクリメント	TCU	TCD	0	CEOD
0	0	0	1	↓	X	デクリメント	TCU	TCD	0	CEOD
0	0	1	1	↑	X	インクリメント	TCU	TCD	無効	無効
0	0	1	1	↓	X	インクリメント	TCU	TCD	無効	無効

$z = \text{ビット幅} - 1$
 $TCU = Qz \cdot Q(z-1) \cdot Q(z-2) \cdot \dots \cdot Q0$
 $TCD = Qz \cdot Q(z-1) \cdot Q(z-2) \cdot \dots \cdot Q0$
 $CEOU = TCU \cdot CEU$
 $CEOD = TCD \cdot CED$

デザインの入力方法

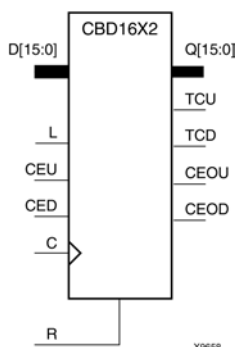
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

CBD16X2

: 16-Bit Loadable Cascadable Bidirectional Dual Edge Triggered Binary Counter with Clock Enable and Synchronous Reset



サポートされているアーキテクチャ

このデザイン エレメントは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

概要

このデザイン エレメントは、クロックの両エッジで動作する同期、ロード可能、リセット可能な双方向バイナリ カウンタです。このカウンタには、アップとダウンの両方向に対してそれぞれカウント イネーブル入力と同期ターミナル カウント出力があり、高速カスケードがサポートされています。

同期リセット入力 (R) は最も優先される入力で、R が High になるとほかのすべての入力は無視されます。クロック (C) が Low から High に切り替わるときと High から Low に切り替わるときに、出力 (Q) の値は 0 に、ターミナル カウント出力 TCU と TCD はそれぞれ 0 と 1 に、クロック イネーブル出力 CEOU と CEOD はそれぞれ Low と High になります。ロード イネーブル入力 (L) が High の場合、クロック (C) が Low から High、または High から Low に切り替わるときに、CE 入力に関係なく、D 入力の値がカウンタにロードされます。

CEU が High、R と L が Low の場合、クロックが Low から High、または High から Low に切り替わるときにすべての Q 出力がインクリメントされます。CED が High、R と L が Low の場合、すべての Q 出力がデクリメントされます。CEU と CED が Low の場合、クロック遷移は無視されます。クロック遷移の際に CEU と CED の両方を High にしないでください。CEU と CED が両方とも High になっていると、カスケード接続した場合に CEOU および CEOD 出力が正しく機能しません。

カウント アップする場合、すべての Q 出力と CEU が High になると CEOU 出力が High になります。カウント ダウンする場合、すべての Q 出力が Low、CED が High になると CEOD 出力が High になります。カウンタをカスケード接続するには、各カウンタの CEOU 出力および CEOD 出力をそれぞれ次の段の CEU および CED 入力に直接接続します。C、L、および R 入力は、並列に接続します。

すべてのカウントおよびロード機能に対して、カウンタをいくつカスケード接続しても、カウンタ コンポーネントの最大クロック周波数は影響を受けません。すべての Q 出力が High になると、CEU に関係なく、TCU ターミナル カウント出力が High になります。すべての Q 出力が Low になると、CED に関係なく、TCD 出力は High になります。

カウンタをカスケード接続する場合、最終的なターミナル カウント信号は、TCU 出力 (アップ方向) と TCD 出力 (ダウン方向) をすべて接続した AND ゲートで生成されます。TCU、CEOU、CEOD の各出力は、コンポーネント内の最適化可能な AND ゲートによって生成されます。したがって、これらの出力からの接続がすべてオンチップであれば、CEU および CED の入力と Q 出力のピン間の伝搬遅延がゼロになります。すべてがオンチップでない場合は、マクロセルバッファ遅延が発生します。

電力を供給すると、カウンタは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

論理表

入力						出力				
R	L	CEU	CED	C	Dz : D0	Qz : Q0	TCU	TCD	CEOU	CEOD
1	X	X	X	↑	X	0	0	1	0	CEOD
1	X	X	X	↓	X	0	0	1	0	CEOD
0	1	X	X	↑	Dn	Dn	TCU	TCD	CEOU	CEOD
0	1	X	X	↓	Dn	Dn	TCU	TCD	CEOU	CEOD
0	0	0	0	X	X	変化なし	変化なし	変化なし	0	0
0	0	1	0	↑	X	インクリメント	TCU	TCD	CEOU	0
0	0	1	0	↓	X	インクリメント	TCU	TCD	CEOU	0
0	0	0	1	↑	X	デクリメント	TCU	TCD	0	CEOD
0	0	0	1	↓	X	デクリメント	TCU	TCD	0	CEOD
0	0	1	1	↑	X	インクリメント	TCU	TCD	無効	無効
0	0	1	1	↓	X	インクリメント	TCU	TCD	無効	無効

$z = \text{ビット幅} - 1$

$TCU = Qz \cdot Q(z-1) \cdot Q(z-2) \cdot \dots \cdot Q0$

$TCD = Qz \cdot Q(z-1) \cdot Q(z-2) \cdot \dots \cdot Q0$

$CEOU = TCU \cdot CEU$

$CEOD = TCD \cdot CED$

デザインの入力方法

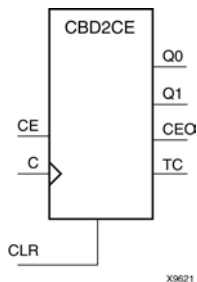
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

CBD2CE

: 2-Bit Cascadable Dual Edge Triggered Binary Counter with Clock Enable and Asynchronous Clear



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

概要

このデザイン エLEMENTは、両エッジで動作する非同期クリア可能、カスケード可能なバイナリカウンタです。非同期クリア (CLR) 入力が高レベルになると、ほかのすべての入力は無視され、クロック (C) の遷移に関係なく、出力 (Q)、ターミナルカウンタ (TC)、およびクロック イネーブル出力 (CEO) が 0 になります。クロック イネーブル入力 (CE) が High の場合、クロック (C) が Low から High、または High から Low に切り替わるときに出力 (Q) がインクリメントされます。CE が Low の場合、クロック遷移は無視されます。すべての Q 出力が高レベルになると、TC 出力が高レベルになります。

1 段目の CEO 出力を次の段の CE 入力に接続し、C および CLR 入力を並列に接続すると、より大型のカウンタを作成できます。TC と CE が High になると、CEO がアクティブ (High) になります。カウンタの長さの最大値は、CE ピンと TC ピン間の伝搬遅延の合計とクロック周期の関係によって決定されます。クロック周期は、 $n(t_{CE-TC})$ より大きい必要があります。ここで、 n は段数、時間 t_{CE-TC} は各段での CE ピンと TC ピン間の伝搬遅延を表します。カウンタをカスケードする場合、CE 入力を使用するときは CEO 出力を、CE 入力を使用しないときは TC 出力を使用します。

電力を供給すると、カウンタは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

論理表

入力			出力		
CLR	CE	C	Qz : Q0	TC	CEO
1	X	X	0	0	0
0	0	X	変化なし	変化なし	0
0	1	↑	インクリメント	TC	CEO
0	1	↓	インクリメント	TC	CEO
z = ビット幅 - 1 $TC = Qz \cdot Q(z-1) \cdot Q(z-2) \cdot \dots \cdot Q0$ $CEO = TC \cdot CE$					

デザインの入力方法

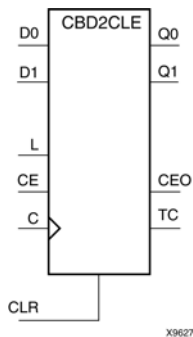
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

CBD2CLE

: 2-Bit Loadable Cascadable Dual Edge Triggered Binary Counter with Clock Enable and Asynchronous Clear



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

概要

このデザイン エLEMENTは、クロックの両エッジで動作する同期ロード可能、非同期クリア可能、カスケード可能な双方向バイナリカウンタです。非同期クリア (CLR) 入力が高になると、ほかのすべての入力は無視され、クロック (C) の遷移に関係なく、出力 (Q)、ターミナル カウンタ (TC)、およびクロック イネーブル出力 (CEO) が 0 になります。ロード イネーブル入力 (L) が High の場合、クロックが Low から High に切り替わるときに、クロック イネーブル (CE) の値に関係なく、入力 (D) の値がカウンタにロードされます。CE が High の場合、クロックが Low から High、または High から Low に切り替わるときに Q 出力がインクリメントされます。CE が Low の場合、クロック遷移は無視されます。すべての Q 出力が高になると、TC 出力が高になります。

1 段目の CEO 出力を次の段の CE 入力に接続し、C、L、および CLR 入力を並列に接続すると、より大型のカウンタを作成できます。TC と CE が High になると、CEO がアクティブ (High) になります。カウンタの長さの最大値は、CE ピンと TC ピン間の伝搬遅延の合計とクロック周期の関係によって決定されます。クロック周期は、 $n(t_{CE-TC})$ より大きい必要があります。ここで、 n は段数、時間 t_{CE-TC} は各段での CE ピンと TC ピン間の伝搬遅延を表します。カウンタをカスケードする場合、CE 入力を使用するときは CEO 出力を、CE 入力を使用しないときは TC 出力を使用します。

電力を供給すると、カウンタは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

論理表

入力					出力		
CLR	L	CE	C	Dz : D0	Qz : Q0	TC	CEO
1	X	X	X	X	0	0	0
0	1	X	↑	Dn	Dn	TC	CEO
0	1	X	↓	Dn	Dn	TC	CEO
0	0	0	X	X	変化なし	変化なし	0
0	0	1	↑	X	インクリメント	TC	CEO
0	0	1	↓	X	インクリメント	TC	CEO
z = ビット幅 - 1 $TC = Qz \cdot Q(z-1) \cdot Q(z-2) \cdot \dots \cdot Q0$ $CEO = TC \cdot CE$							

デザインの入力方法

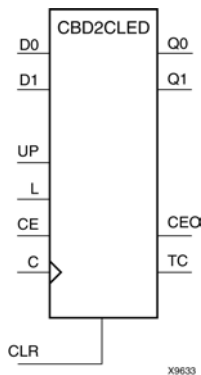
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

CBD2CLED

： 2-Bit Loadable Cascadable Bidirectional Dual Edge Triggered Binary Counter with Clock Enable and Asynchronous Clear



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

概要

このデザイン エLEMENTは、クロックの両エッジで動作する同期ロード可能、非同期クリア可能、カスケード可能な双方向バイナリカウンタです。非同期クリア (CLR) 入力が高レベルになると、ほかのすべての入力は無視され、クロック (C) の遷移に関係なく、出力 (Q)、ターミナルカウンタ (TC)、およびクロックイネーブル出力 (CEO) が 0 になります。ロードイネーブル入力 (L) が High の場合、クロック (C) が Low から High に切り替わるときに、クロックイネーブル (CE) の値に関係なく、入力 (D) の値がカウンタにロードされます。CE が High、UP が Low の場合、クロックが Low から High、または High から Low に切り替わるときに、Q 出力がデクリメントされます。CE と UP が High の場合、Q 出力がインクリメントされます。CE が Low の場合、クロック遷移は無視されます。

カウントアップする場合、すべての Q 出力と UP が High になると TC 出力が High になります。カウントダウンする場合、すべての Q 出力と UP が Low になると TC 出力が High になります。

1 段目の CEO 出力を次の段の CE 入力に接続し、C、UP、L、および CLR 入力を並列に接続すると、より大型のカウンタを作成できます。TC と CE が High になると、CEO がアクティブ (High) になります。カウンタの長さの最大値は、CE ピンと TC ピン間の伝搬遅延の合計とクロック周期の関係によって決定されます。クロック周期は、 $n(t_{CE-TC})$ より大きい必要があります。ここで、 n は段数、時間 t_{CE-TC} は各段での CE ピンと TC ピン間の伝搬遅延を表します。カウンタをカスケードする場合、CE 入力を使用するときは CEO 出力を、CE 入力を使用しないときは TC 出力を使用します。

高速カスケードが可能な双方向カウンタの詳細は、CB2X1、CB4X1、CB8X1、CB16X1 を参照してください。

電力を供給すると、カウンタは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

論理表

入力						出力		
CLR	L	CE	C	UP	Dz : D0	Qz : Q0	TC	CEO
1	X	X	X	X	X	0	0	0
0	1	X	↑	X	Dn	Dn	TC	CEO
0	1	X	↓	X	Dn	Dn	TC	CEO
0	0	0	X	X	X	変化なし	変化なし	0
0	0	1	↑	1	X	インクリメント	TC	CEO
0	0	1	↓	1	X	インクリメント	TC	CEO
0	0	1	↑	0	X	デクリメント	TC	CEO
0	0	1	↓	0	X	デクリメント	TC	CEO

$z = \text{ビット幅} - 1$
 $TC = (QzQ(z-1)Q(z-2)...Q0UP) + (QzQ(z-1)Q(z-2)...Q0UP)$
 $CEO = TCCE$

デザインの入力方法

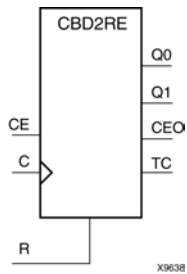
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

CBD2RE

: 2-Bit Cascadable Dual Edge Triggered Binary Counter with Clock Enable and Synchronous Reset



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

概要

このデザイン エLEMENTは、クロックの両エッジで動作する同期、リセット可能、カスケード可能なバイナリ カウンタです。同期リセット入力 (R) が High になると、ほかの入力は無視され、クロック (C) が Low から High に切り替わる時に High から Low に切り替わる時に出力 (Q)、ターミナル カウンタ (TC)、およびクロック イネーブル出力 (CEO) が 0 になります。クロック イネーブル入力 (CE) が High の場合、クロック (C) が Low から High、または High から Low に切り替わる時に出力 (Q) がインクリメントされます。CE が Low の場合、クロック遷移は無視されます。すべての Q 出力が High になると、TC 出力が High になります。

1 段目の CEO 出力を次の段の CE 入力に接続し、C および R 入力を並列に接続すると、より大型のカウンタを作成できます。TC と CE が High になると、CEO がアクティブ (High) になります。カウンタの長さの最大値は、CE ピンと TC ピン間の伝搬遅延の合計とクロック周期の関係によって決定されます。クロック周期は、 $n(t_{CE-TC})$ より大きい必要があります。ここで、 n は段数、時間 t_{CE-TC} は各段での CE ピンと TC ピン間の伝搬遅延を表します。カウンタをカスケードする場合、CE 入力を使用するときは CEO 出力を、CE 入力を使用しないときは TC 出力を使用します。

電力を供給すると、カウンタは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

論理表

入力			出力		
R	CE	C	Qz - Q0	TC	CEO
1	X	↑	0	0	0
1	X	↓	0	0	0
0	0	X	変化なし	変化なし	0
0	1	↑	インクリメント	TC	CEO
0	1	↓	インクリメント	TC	CEO
$z = \text{ビット幅} - 1$ $TC = Qz \cdot Q(z-1) \cdot Q(z-2) \cdot \dots \cdot Q0$ $CEO = TC \cdot CE$					

デザインの入力方法

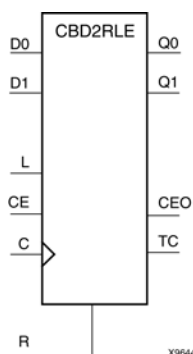
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

CBD2RLE

: 2-Bit Loadable Cascadable Dual Edge Triggered Binary Counter with Clock Enable and Synchronous Reset



サポートされているアーキテクチャ

このデザイン エレメントは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

概要

このデザイン エレメントは、クロックの両エッジで動作する同期、ロード可能、リセット可能、カスケード可能なバイナリ カウンタです。同期リセット入力 (R) が High になると、ほかの入力は無視され、クロック (C) が Low から High に切り替わるときと High から Low に切り替わるときに出力 (Q)、ターミナル カウンタ (TC)、およびクロック イネーブル出力 (CEO) が 0 になります。

ロード イネーブル入力 (L) が High の場合、クロック (C) が Low から High、または High から Low に切り替わるときに、CE の値に関係なく、D 入力の値がカウンタにロードされます。CE が High の場合、クロックが Low から High、または High から Low に切り替わるときに Q 出力がインクリメントされます。CE が Low の場合、クロック遷移は無視されます。すべての Q 出力が High になると、TC 出力が High になります。すべての Q 出力と CE が High になると、CEO 出力が High になるので、カウンタを直接カスケード接続できます。

1 段目の CEO 出力を次の段の CE 入力に接続し、C、L、および R 入力を並列に接続すると、より大型のカウンタを作成できます。TC と CE が High になると、CEO がアクティブ (High) になります。カウンタの長さの最大値は、CE ピンと TC ピン間の伝搬遅延の合計とクロック周期の関係によって決定されます。クロック周期は、 $n(t_{CE-TC})$ より大きい必要があります。ここで、 n は段数、時間 t_{CE-TC} は各段での CE ピンと TC ピン間の伝搬遅延を表します。カウンタをカスケードする場合、CE 入力を使用するときは CEO 出力を、CE 入力を使用しないときは TC 出力を使用します。

電力を供給すると、カウンタは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

論理表

入力					出力		
R	L	CE	C	Dz : D0	Qz : Q0	TC	CEO
1	X	X	↑	X	0	0	0
1	X	X	↓	X	0	0	0
0	1	X	↑	Dn	Dn	TC	CEO
0	1	X	↓	Dn	Dn	TC	CEO
0	0	0	X	X	変化なし	変化なし	0
0	0	1	↑	X	インクリメント	TC	CEO
0	0	1	↓	X	インクリメント	TC	CEO

$z = \text{ビット幅} - 1$
 $TC = Qz \cdot Q(z-1) \cdot Q(z-2) \cdot \dots \cdot Q0$
 $CEO = TC \cdot CE$

デザインの入力方法

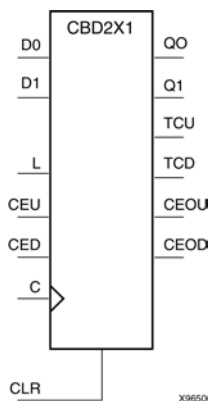
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

CBD2X1

： 2-Bit Loadable Cascadable Bidirectional Dual Edge Triggered Binary Counter with Clock Enable and Asynchronous Clear



サポートされているアーキテクチャ

このデザイン エレメントは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

概要

このデザイン エレメントは、クロックの両エッジで動作する同期ロード可能、非同期クリア可能な双方向バイナリ カウンタです。このカウンタには、アップとダウンの両方向に対してそれぞれカウント イネーブル入力と同期ターミナル カウント出力があり、高速カスケードがサポートされています。

非同期クリア入力 (CLR) が最も優先される入力で、CLR が High になると、ほかのすべての入力は無視されます。クロック遷移に関係なく、出力 (Q) は 0、ターミナル カウント出力 TCU と TCD はそれぞれ 0 と 1、クロック イネーブル出力 CEOU と CEOD はそれぞれ Low と High になります。ロード イネーブル入力 (L) が High の場合、クロック (C) が Low から High、または High から Low に切り替わるときに、CE 入力に関係なく、D 入力の値がカウンタにロードされます。

CEU が High、CLR と L が Low の場合、クロックが Low から High、または High から Low に切り替わるときに Q 出力がインクリメントされます。CED が High、CLR と L が Low の場合、Q 出力がデクリメントされます。CEU と CED が Low の場合、クロック遷移は無視されます。クロック遷移の際に CEU と CED の両方を High にしないでください。CEU と CED が両方とも High になっていると、カスケード接続した場合に CEOU および CEOD 出力が正しく機能しません。

カウントアップする場合、すべての Q 出力と CEU が High になると CEOU 出力が High になります。カウントダウンする場合、すべての Q 出力が Low、CED が High になると CEOD 出力が High になります。カウンタをカスケード接続するには、各カウンタの CEOU および CEOD 出力をそれぞれ次の段の CEU および CED 入力に直接接続します。クロック、L、CLR の入力は、並列に接続します。

すべてのカウントおよびロード機能に対して、カウンタをいくつカスケード接続しても、カウンタの最大クロック周波数は影響を受けません。すべての Q 出力が High になると、CEU に関係なく、TCU ターミナル カウント出力が High になります。すべての Q 出力が Low になると、CED に関係なく、TCD 出力は High になります。

カウンタをカスケード接続する場合、最終的なターミナル カウント信号は、TCU 出力 (アップ方向) と TCD 出力 (ダウン方向) をすべて接続した AND ゲートで生成されます。TCU、CEOU、CEOD の各出力は、コンポーネント内の最適化可能な AND ゲートによって生成されます。したがって、これらの出力からの接続がすべてオンチップであれば、CEU および CED の入力と Q 出力のピン間の伝搬遅延がゼロになります。すべてがオンチップでない場合は、マクロセルバッファ遅延が発生します。

電力を供給すると、カウンタは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

論理表

入力						出力				
CLR	L	CEU	CED	C	Dz - D0	Qz - Q0	TCU	TCD	CEOU	CEOD
1	X	X	X	X	X	0	0	1	0	CEOD
0	1	X	X	↑	Dn	Dn	TCU	TCD	CEOU	CEOD
0	1	X	X	↓	Dn	Dn	TCU	TCD	CEOU	CEOD
0	0	0	0	X	X	変化なし	変化なし	変化なし	0	0
0	0	1	0	↑	X	インクリメント	TCU	TCD	CEOU	0
0	0	1	0	↓	X	インクリメント	TCU	TCD	CEOU	0
0	0	0	1	↑	X	デクリメント	TCU	TCD	0	CEOD
0	0	0	1	↓	X	デクリメント	TCU	TCD	0	CEOD
0	0	1	1	↑	X	インクリメント	TCU	TCD	無効	無効
0	0	1	1	↓	X	インクリメント	TCU	TCD	無効	無効

$z = \text{ビット幅} - 1$
 $TCU = Qz \cdot Q(z-1) \cdot Q(z-2) \cdot \dots \cdot Q0$
 $TCD = Qz \cdot Q(z-1) \cdot Q(z-2) \cdot \dots \cdot Q0$
 $CEOU = TCU \cdot CEU$
 $CEOD = TCD \cdot CED$

デザインの入力方法

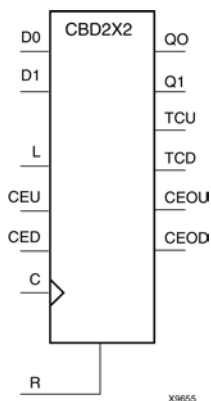
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

CBD2X2

： 2-Bit Loadable Cascadable Bidirectional Dual Edge Triggered Binary Counter with Clock Enable and Synchronous Reset



サポートされているアーキテクチャ

このデザイン エレメントは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

概要

このデザイン エレメントは、クロックの両エッジで動作する同期、ロード可能、リセット可能な双方向バイナリ カウンタです。このカウンタには、アップとダウンの両方向に対してそれぞれカウント イネーブル入力と同期ターミナル カウント出力があり、高速カスケードがサポートされています。

同期リセット入力 (R) は最も優先される入力で、R が High になるとほかのすべての入力は無視されます。クロック (C) が Low から High に切り替わるときと High から Low に切り替わるときに、出力 (Q) の値は 0 に、ターミナル カウント出力 TCU と TCD はそれぞれ 0 と 1 に、クロック イネーブル出力 CEOU と CEOD はそれぞれ Low と High になります。ロード イネーブル入力 (L) が High の場合、クロック (C) が Low から High、または High から Low に切り替わるときに、CE 入力に関係なく、D 入力の値がカウンタにロードされます。

CEU が High、R と L が Low の場合、クロックが Low から High、または High から Low に切り替わるときにすべての Q 出力がインクリメントされます。CED が High、R と L が Low の場合、すべての Q 出力がデクリメントされます。CEU と CED が Low の場合、クロック遷移は無視されます。クロック遷移の際に CEU と CED の両方を High にしないでください。CEU と CED が両方とも High になっていると、カスケード接続した場合に CEOU および CEOD 出力が正しく機能しません。

カウントアップする場合、すべての Q 出力と CEU が High になると CEOU 出力が High になります。カウントダウンする場合、すべての Q 出力が Low、CED が High になると CEOD 出力が High になります。カウンタをカスケード接続するには、各カウンタの CEOU 出力および CEOD 出力をそれぞれ次の段の CEU および CED 入力に直接接続します。C、L、および R 入力は、並列に接続します。

すべてのカウントおよびロード機能に対して、カウンタをいくつカスケード接続しても、カウンタ コンポーネントの最大クロック周波数は影響を受けません。すべての Q 出力が High になると、CEU に関係なく、TCU ターミナル カウント出力が High になります。すべての Q 出力が Low になると、CED に関係なく、TCD 出力は High になります。

カウンタをカスケード接続する場合、最終的なターミナル カウント信号は、TCU 出力 (アップ方向) と TCD 出力 (ダウン方向) をすべて接続した AND ゲートで生成されます。TCU、CEOU、CEOD の各出力は、コンポーネント内の最適化可能な AND ゲートによって生成されます。したがって、これらの出力からの接続がすべてオンチップであれば、CEU および CED の入力と Q 出力のピン間の伝搬遅延がゼロになります。すべてがオンチップでない場合は、マクロセルバッファ遅延が発生します。

電力を供給すると、カウンタは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

論理表

入力						出力				
R	L	CEU	CED	C	Dz : D0	Qz : Q0	TCU	TCD	CEOU	CEOD
1	X	X	X	↑	X	0	0	1	0	CEOD
1	X	X	X	↓	X	0	0	1	0	CEOD
0	1	X	X	↑	Dn	Dn	TCU	TCD	CEOU	CEOD
0	1	X	X	↓	Dn	Dn	TCU	TCD	CEOU	CEOD
0	0	0	0	X	X	変化なし	変化なし	変化なし	0	0
0	0	1	0	↑	X	インクリメント	TCU	TCD	CEOU	0
0	0	1	0	↓	X	インクリメント	TCU	TCD	CEOU	0
0	0	0	1	↑	X	デクリメント	TCU	TCD	0	CEOD
0	0	0	1	↓	X	デクリメント	TCU	TCD	0	CEOD
0	0	1	1	↑	X	インクリメント	TCU	TCD	無効	無効
0	0	1	1	↓	X	インクリメント	TCU	TCD	無効	無効

$z = \text{ビット幅} - 1$

$TCU = Qz \cdot Q(z-1) \cdot Q(z-2) \cdot \dots \cdot Q0$

$TCD = Qz \cdot Q(z-1) \cdot Q(z-2) \cdot \dots \cdot Q0$

$CEOU = TCU \cdot CEU$

$CEOD = TCD \cdot CED$

デザインの入力方法

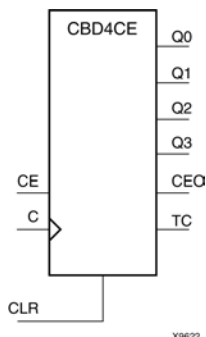
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

CBD4CE

: 4-Bit Cascadable Dual Edge Triggered Binary Counter with Clock Enable and Asynchronous Clear



サポートされているアーキテクチャ

このデザイン エレメントは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

概要

このデザイン エレメントは、両エッジで動作する非同期クリア可能、カスケード可能なバイナリカウンタです。非同期クリア (CLR) 入力が高になると、ほかのすべての入力は無視され、クロック (C) の遷移に関係なく、出力 (Q)、ターミナルカウンタ (TC)、およびクロックイネーブル出力 (CEO) が 0 になります。クロックイネーブル入力 (CE) が High の場合、クロック (C) が Low から High、または High から Low に切り替わるときに出力 (Q) がインクリメントされます。CE が Low の場合、クロック遷移は無視されます。すべての Q 出力が高になると、TC 出力が高になります。

1 段目の CEO 出力を次の段の CE 入力に接続し、C および CLR 入力を並列に接続すると、より大型のカウンタを作成できます。TC と CE が High になると、CEO がアクティブ (High) になります。カウンタの長さの最大値は、CE ピンと TC ピン間の伝搬遅延の合計とクロック周期の関係によって決定されます。クロック周期は、 $n(t_{CE-TC})$ より大きい必要があります。ここで、 n は段数、時間 t_{CE-TC} は各段での CE ピンと TC ピン間の伝搬遅延を表します。カウンタをカスケードする場合、CE 入力を使用するときは CEO 出力を、CE 入力を使用しないときは TC 出力を使用します。

電力を供給すると、カウンタは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

論理表

入力			出力		
CLR	CE	C	Qz : Q0	TC	CEO
1	X	X	0	0	0
0	0	X	変化なし	変化なし	0
0	1	↑	インクリメント	TC	CEO
0	1	↓	インクリメント	TC	CEO
$z = \text{ビット幅} - 1$ $TC = Qz \cdot Q(z-1) \cdot Q(z-2) \cdot \dots \cdot Q0$ $CEO = TC \cdot CE$					

デザインの入力方法

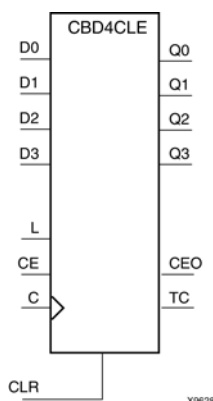
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

CBD4CLE

： 4-Bit Loadable Cascadable Dual Edge Triggered Binary Counter with Clock Enable and Asynchronous Clear



サポートされているアーキテクチャ

このデザイン エレメントは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

概要

このデザイン エレメントは、クロックの両エッジで動作する同期ロード可能、非同期クリア可能、カスケード可能な双方向バイナリカウンタです。非同期クリア (CLR) 入力が高レベルになると、ほかのすべての入力は無視され、クロック (C) の遷移に関係なく、出力 (Q)、ターミナル カウンタ (TC)、およびクロック イネーブル出力 (CEO) が 0 になります。ロード イネーブル入力 (L) が High の場合、クロックが Low から High に切り替わるたびに、クロック イネーブル (CE) の値に関係なく、入力 (D) の値がカウンタにロードされます。CE が High の場合、クロックが Low から High、または High から Low に切り替わるたびに Q 出力がインクリメントされます。CE が Low の場合、クロック遷移は無視されます。すべての Q 出力が高レベルになると、TC 出力が高レベルになります。

1 段目の CEO 出力を次の段の CE 入力に接続し、C、L、および CLR 入力を並列に接続すると、より大型のカウンタを作成できます。TC と CE が High になると、CEO がアクティブ (High) になります。カウンタの長さの最大値は、CE ピンと TC ピン間の伝搬遅延の合計とクロック周期の関係によって決定されます。クロック周期は、 $n(t_{CE-TC})$ より大きい必要があります。ここで、 n は段数、時間 t_{CE-TC} は各段での CE ピンと TC ピン間の伝搬遅延を表します。カウンタをカスケードする場合、CE 入力を使用するときは CEO 出力を、CE 入力を使用しないときは TC 出力を使用します。

電力を供給すると、カウンタは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

論理表

入力					出力		
CLR	L	CE	C	Dz : D0	Qz : Q0	TC	CEO
1	X	X	X	X	0	0	0
0	1	X	↑	Dn	Dn	TC	CEO
0	1	X	↓	Dn	Dn	TC	CEO
0	0	0	X	X	変化なし	変化なし	0
0	0	1	↑	X	インクリメント	TC	CEO
0	0	1	↓	X	インクリメント	TC	CEO
z = ビット幅 - 1 $TC = Qz \cdot Q(z-1) \cdot Q(z-2) \cdot \dots \cdot Q0$ $CEO = TC \cdot CE$							

デザインの入力方法

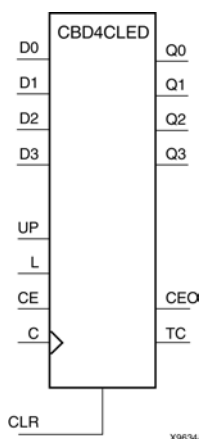
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

CBD4CLED

： 4-Bit Loadable Cascadable Bidirectional Dual Edge Triggered Binary Counter with Clock Enable and Asynchronous Clear



サポートされているアーキテクチャ

このデザイン エレメントは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

概要

このデザイン エレメントは、クロックの両エッジで動作する同期ロード可能、非同期クリア可能、カスケード可能な双方向バイナリカウンタです。非同期クリア (CLR) 入力が高レベルになると、ほかのすべての入力は無視され、クロック (C) の遷移に関係なく、出力 (Q)、ターミナル カウンタ (TC)、およびクロック イネーブル出力 (CEO) が 0 になります。ロード イネーブル入力 (L) が High の場合、クロック (C) が Low から High に切り替わるときに、クロック イネーブル (CE) の値に関係なく、入力 (D) の値がカウンタにロードされます。CE が High、UP が Low の場合、クロックが Low から High、または High から Low に切り替わるときに、Q 出力がデクリメントされます。CE と UP が High の場合、Q 出力がインクリメントされます。CE が Low の場合、クロック遷移は無視されます。

カウントアップする場合、すべての Q 出力と UP が High になると TC 出力が High になります。カウントダウンする場合、すべての Q 出力と UP が Low になると TC 出力が High になります。

1 段目の CEO 出力を次の段の CE 入力に接続し、C、UP、L、および CLR 入力を並列に接続すると、より大型のカウンタを作成できます。TC と CE が High になると、CEO がアクティブ (High) になります。カウンタの長さの最大値は、CE ピンと TC ピン間の伝搬遅延の合計とクロック周期の関係によって決定されます。クロック周期は、 $n(t_{CE-TC})$ より大きい必要があります。ここで、 n は段数、時間 t_{CE-TC} は各段での CE ピンと TC ピン間の伝搬遅延を表します。カウンタをカスケードする場合、CE 入力を使用するときは CEO 出力を、CE 入力を使用しないときは TC 出力を使用します。

高速カスケードが可能な双方向カウンタの詳細は、CB2X1、CB4X1、CB8X1、CB16X1 を参照してください。

電力を供給すると、カウンタは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスで PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

論理表

入力						出力		
CLR	L	CE	C	UP	Dz : D0	Qz : Q0	TC	CEO
1	X	X	X	X	X	0	0	0
0	1	X	↑	X	Dn	Dn	TC	CEO
0	1	X	↓	X	Dn	Dn	TC	CEO
0	0	0	X	X	X	変化なし	変化なし	0
0	0	1	↑	1	X	インクリメント	TC	CEO
0	0	1	↓	1	X	インクリメント	TC	CEO
0	0	1	↑	0	X	デクリメント	TC	CEO
0	0	1	↓	0	X	デクリメント	TC	CEO

$z = \text{ビット幅} - 1$
 $TC = (Q_z Q_{(z-1)} Q_{(z-2)} \dots Q_0 UP) + (Q_z Q_{(z-1)} Q_{(z-2)} \dots Q_0 \overline{UP})$
 $CEO = TCCE$

デザインの入力方法

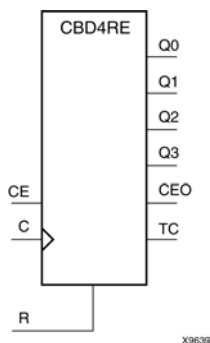
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

CBD4RE

: 4-Bit Cascadable Dual Edge Triggered Binary Counter with Clock Enable and Synchronous Reset



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

概要

このデザイン エLEMENTは、クロックの両エッジで動作する同期、リセット可能、カスケード可能なバイナリ カウンタです。同期リセット入力 (R) が High になると、ほかの入力は無視され、クロック (C) が Low から High に切り替わるときと High から Low に切り替わるときに出力 (Q)、ターミナル カウンタ (TC)、およびクロック イネーブル出力 (CEO) が 0 になります。クロック イネーブル入力 (CE) が High の場合、クロック (C) が Low から High、または High から Low に切り替わるときに出力 (Q) がインクリメントされます。CE が Low の場合、クロック遷移は無視されます。すべての Q 出力が High になると、TC 出力が High になります。

1 段目の CEO 出力を次の段の CE 入力に接続し、C および R 入力を並列に接続すると、より大型のカウンタを作成できます。TC と CE が High になると、CEO がアクティブ (High) になります。カウンタの長さの最大値は、CE ピンと TC ピン間の伝搬遅延の合計とクロック周期の関係によって決定されます。クロック周期は、 $n(t_{CE-TC})$ より大きい必要があります。ここで、 n は段数、時間 t_{CE-TC} は各段での CE ピンと TC ピン間の伝搬遅延を表します。カウンタをカスケードする場合、CE 入力を使用するときは CEO 出力を、CE 入力を使用しないときは TC 出力を使用します。

電力を供給すると、カウンタは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

論理表

入力			出力		
R	CE	C	Q _z - Q ₀	TC	CEO
1	X	↑	0	0	0
1	X	↓	0	0	0
0	0	X	変化なし	変化なし	0
0	1	↑	インクリメント	TC	CEO
0	1	↓	インクリメント	TC	CEO
z = ビット幅 - 1 $TC = Q_z \cdot Q_{(z-1)} \cdot Q_{(z-2)} \cdot \dots \cdot Q_0$ $CEO = TC \cdot CE$					

デザインの入力方法

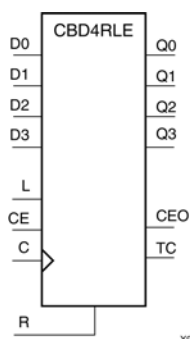
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

CBD4RLE

: 4-Bit Loadable Cascadable Dual Edge Triggered Binary Counter with Clock Enable and Synchronous Reset



サポートされているアーキテクチャ

このデザイン エレメントは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

概要

このデザイン エレメントは、クロックの両エッジで動作する同期、ロード可能、リセット可能、カスケード可能なバイナリ カウンタです。同期リセット入力 (R) が High になると、ほかの入力は無視され、クロック (C) が Low から High に切り替わるときと High から Low に切り替わるときに出力 (Q)、ターミナル カウンタ (TC)、およびクロック イネーブル出力 (CEO) が 0 になります。

ロード イネーブル入力 (L) が High の場合、クロック (C) が Low から High、または High から Low に切り替わるときに、CE の値に関係なく、D 入力の値がカウンタにロードされます。CE が High の場合、クロックが Low から High、または High から Low に切り替わるときに Q 出力がインクリメントされます。CE が Low の場合、クロック遷移は無視されます。すべての Q 出力が High になると、TC 出力が High になります。すべての Q 出力と CE が High になると、CEO 出力が High になるので、カウンタを直接カスケード接続できます。

1 段目の CEO 出力を次の段の CE 入力に接続し、C、L、および R 入力を並列に接続すると、より大型のカウンタを作成できます。TC と CE が High になると、CEO がアクティブ (High) になります。カウンタの長さの最大値は、CE ピンと TC ピン間の伝搬遅延の合計とクロック周期の関係によって決定されます。クロック周期は、 $n(t_{CE-TC})$ より大きい必要があります。ここで、 n は段数、時間 t_{CE-TC} は各段での CE ピンと TC ピン間の伝搬遅延を表します。カウンタをカスケードする場合、CE 入力を使用するときは CEO 出力を、CE 入力を使用しないときは TC 出力を使用します。

電力を供給すると、カウンタは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

論理表

入力					出力		
R	L	CE	C	Dz : D0	Qz : Q0	TC	CEO
1	X	X	↑	X	0	0	0
1	X	X	↓	X	0	0	0
0	1	X	↑	Dn	Dn	TC	CEO
0	1	X	↓	Dn	Dn	TC	CEO
0	0	0	X	X	変化なし	変化なし	0
0	0	1	↑	X	インクリメント	TC	CEO
0	0	1	↓	X	インクリメント	TC	CEO

$z = \text{ビット幅} - 1$
 $TC = Qz \cdot Q(z-1) \cdot Q(z-2) \cdot \dots \cdot Q0$
 $CEO = TC \cdot CE$

デザインの入力方法

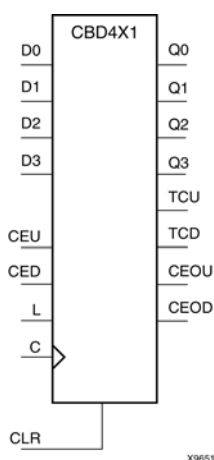
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

CBD4X1

: 4-Bit Loadable Cascadable Bidirectional Dual Edge Triggered Binary Counter with Clock Enable and Asynchronous Clear



サポートされているアーキテクチャ

このデザイン エレメントは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

概要

このデザイン エレメントは、クロックの両エッジで動作する同期ロード可能、非同期クリア可能な双方向バイナリ カウンタです。このカウンタには、アップとダウンの両方向に対してそれぞれカウント イネーブル入力と同期ターミナル カウント出力があり、高速カスケードがサポートされています。

非同期クリア入力 (CLR) が最も優先される入力で、CLR が High になると、ほかのすべての入力は無視されます。クロック遷移に関係なく、出力 (Q) は 0、ターミナル カウント出力 TCU と TCD はそれぞれ 0 と 1、クロック イネーブル出力 CEOU と CEOD はそれぞれ Low と High になります。ロード イネーブル入力 (L) が High の場合、クロック (C) が Low から High、または High から Low に切り替わるときに、CE 入力に関係なく、D 入力の値がカウンタにロードされます。

CEU が High、CLR と L が Low の場合、クロックが Low から High、または High から Low に切り替わるときに Q 出力がインクリメントされます。CED が High、CLR と L が Low の場合、Q 出力がデクリメントされます。CEU と CED が Low の場合、クロック遷移は無視されます。クロック遷移の際に CEU と CED の両方を High にしないでください。CEU と CED が両方とも High になっていると、カスケード接続した場合に CEOU および CEOD 出力が正しく機能しません。

カウントアップする場合、すべての Q 出力と CEU が High になると CEOU 出力が High になります。カウントダウンする場合、すべての Q 出力が Low、CED が High になると CEOD 出力が High になります。カウンタをカスケード接続するには、各カウンタの CEOU および CEOD 出力をそれぞれ次の段の CEU および CED 入力に直接接続します。クロック、L、CLR の入力は、並列に接続します。

すべてのカウントおよびロード機能に対して、カウンタをいくつカスケード接続しても、カウンタの最大クロック周波数は影響を受けません。すべての Q 出力が High になると、CEU に関係なく、TCU ターミナル カウント出力が High になります。すべての Q 出力が Low になると、CED に関係なく、TCD 出力は High になります。

カウンタをカスケード接続する場合、最終的なターミナル カウント信号は、TCU 出力 (アップ方向) と TCD 出力 (ダウン方向) をすべて接続した AND ゲートで生成されます。TCU、CEOU、CEOD の各出力は、コンポーネント内の最適化可能な AND ゲートによって生成されます。したがって、これらの出力からの接続がすべてオンチップであれば、CEU および CED の入力と Q 出力のピン間の伝搬遅延がゼロになります。すべてがオンチップでない場合は、マクロセルバッファ遅延が発生します。

電力を供給すると、カウンタは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

論理表

入力						出力				
CLR	L	CEU	CED	C	Dz - D0	Qz - Q0	TCU	TCD	CEOU	CEOD
1	X	X	X	X	X	0	0	1	0	CEOD
0	1	X	X	↑	Dn	Dn	TCU	TCD	CEOU	CEOD
0	1	X	X	↓	Dn	Dn	TCU	TCD	CEOU	CEOD
0	0	0	0	X	X	変化なし	変化なし	変化なし	0	0
0	0	1	0	↑	X	インクリメント	TCU	TCD	CEOU	0
0	0	1	0	↓	X	インクリメント	TCU	TCD	CEOU	0
0	0	0	1	↑	X	デクリメント	TCU	TCD	0	CEOD
0	0	0	1	↓	X	デクリメント	TCU	TCD	0	CEOD
0	0	1	1	↑	X	インクリメント	TCU	TCD	無効	無効
0	0	1	1	↓	X	インクリメント	TCU	TCD	無効	無効

$z = \text{ビット幅} - 1$

$TCU = Qz \cdot Q(z-1) \cdot Q(z-2) \cdot \dots \cdot Q0$

$TCD = Qz \cdot Q(z-1) \cdot Q(z-2) \cdot \dots \cdot Q0$

$CEOU = TCU \cdot CEU$

$CEOD = TCD \cdot CED$

デザインの入力方法

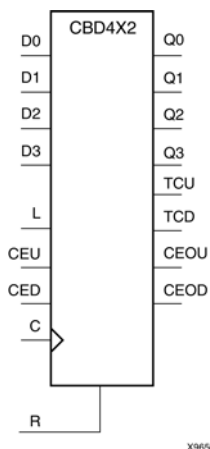
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

CBD4X2

： 4-Bit Loadable Cascadable Bidirectional Dual Edge Triggered Binary Counter with Clock Enable and Synchronous Reset



サポートされているアーキテクチャ

このデザイン エレメントは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

概要

このデザイン エレメントは、クロックの両エッジで動作する同期、ロード可能、リセット可能な双方向バイナリ カウンタです。このカウンタには、アップとダウンの両方向に対してそれぞれカウント イネーブル入力と同期ターミナル カウント出力があり、高速カスケードがサポートされています。

同期リセット入力 (R) は最も優先される入力で、R が High になるとほかのすべての入力は無視されます。クロック (C) が Low から High に切り替わるときと High から Low に切り替わるときに、出力 (Q) の値は 0 に、ターミナル カウント出力 TCU と TCD はそれぞれ 0 と 1 に、クロック イネーブル出力 CEOU と CEOD はそれぞれ Low と High になります。ロード イネーブル入力 (L) が High の場合、クロック (C) が Low から High、または High から Low に切り替わるときに、CE 入力に関係なく、D 入力の値がカウンタにロードされます。

CEU が High、R と L が Low の場合、クロックが Low から High、または High から Low に切り替わるときにすべての Q 出力がインクリメントされます。CED が High、R と L が Low の場合、すべての Q 出力がデクリメントされます。CEU と CED が Low の場合、クロック遷移は無視されます。クロック遷移の際に CEU と CED の両方を High にしないでください。CEU と CED が両方とも High になっていると、カスケード接続した場合に CEOU および CEOD 出力が正しく機能しません。

カウントアップする場合、すべての Q 出力と CEU が High になると CEOU 出力が High になります。カウントダウンする場合、すべての Q 出力が Low、CED が High になると CEOD 出力が High になります。カウンタをカスケード接続するには、各カウンタの CEOU 出力および CEOD 出力をそれぞれ次の段の CEU および CED 入力に直接接続します。C、L、および R 入力は、並列に接続します。

すべてのカウントおよびロード機能に対して、カウンタをいくつカスケード接続しても、カウンタ コンポーネントの最大クロック周波数は影響を受けません。すべての Q 出力が High になると、CEU に関係なく、TCU ターミナル カウント出力が High になります。すべての Q 出力が Low になると、CED に関係なく、TCD 出力は High になります。

カウンタをカスケード接続する場合、最終的なターミナル カウント信号は、TCU 出力 (アップ方向) と TCD 出力 (ダウン方向) をすべて接続した AND ゲートで生成されます。TCU、CEOU、CEOD の各出力は、コンポーネント内の最適化可能な AND ゲートによって生成されます。したがって、これらの出力からの接続がすべてオンチップであれば、CEU および CED の入力と Q 出力のピン間の伝搬遅延がゼロになります。すべてがオンチップでない場合は、マクロセルバッファ遅延が発生します。

電力を供給すると、カウンタは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

論理表

入力						出力				
R	L	CEU	CED	C	Dz : D0	Qz : Q0	TCU	TCD	CEOU	CEOD
1	X	X	X	↑	X	0	0	1	0	CEOD
1	X	X	X	↓	X	0	0	1	0	CEOD
0	1	X	X	↑	Dn	Dn	TCU	TCD	CEOU	CEOD
0	1	X	X	↓	Dn	Dn	TCU	TCD	CEOU	CEOD
0	0	0	0	X	X	変化なし	変化なし	変化なし	0	0
0	0	1	0	↑	X	インクリメント	TCU	TCD	CEOU	0
0	0	1	0	↓	X	インクリメント	TCU	TCD	CEOU	0
0	0	0	1	↑	X	デクリメント	TCU	TCD	0	CEOD
0	0	0	1	↓	X	デクリメント	TCU	TCD	0	CEOD
0	0	1	1	↑	X	インクリメント	TCU	TCD	無効	無効
0	0	1	1	↓	X	インクリメント	TCU	TCD	無効	無効

$z = \text{ビット幅} - 1$

$TCU = Qz \cdot Q(z-1) \cdot Q(z-2) \cdot \dots \cdot Q0$

$TCD = Qz \cdot Q(z-1) \cdot Q(z-2) \cdot \dots \cdot Q0$

$CEOU = TCU \cdot CEU$

$CEOD = TCD \cdot CED$

デザインの入力方法

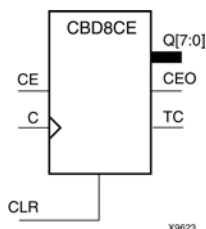
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

CBD8CE

: 8-Bit Cascadable Dual Edge Triggered Binary Counter with Clock Enable and Asynchronous Clear



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

概要

このデザイン エLEMENTは、両エッジで動作する非同期クリア可能、カスケード可能なバイナリカウンタです。非同期クリア (CLR) 入力が高になると、ほかのすべての入力は無視され、クロック (C) の遷移に関係なく、出力 (Q)、ターミナルカウンタ (TC)、およびクロックイネーブル出力 (CEO) が 0 になります。クロックイネーブル入力 (CE) が High の場合、クロック (C) が Low から High、または High から Low に切り替わる時に出力 (Q) がインクリメントされます。CE が Low の場合、クロック遷移は無視されます。すべての Q 出力が高になると、TC 出力が高になります。

1 段目の CEO 出力を次の段の CE 入力に接続し、C および CLR 入力を並列に接続すると、より大型のカウンタを作成できます。TC と CE が High になると、CEO がアクティブ (High) になります。カウンタの長さの最大値は、CE ピンと TC ピン間の伝搬遅延の合計とクロック周期の関係によって決定されます。クロック周期は、 $n(t_{CE-TC})$ より大きい必要があります。ここで、 n は段数、時間 t_{CE-TC} は各段での CE ピンと TC ピン間の伝搬遅延を表します。カウンタをカスケードする場合、CE 入力を使用するときは CEO 出力を、CE 入力を使用しないときは TC 出力を使用します。

電力を供給すると、カウンタは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

論理表

入力			出力		
CLR	CE	C	Q _z : Q ₀	TC	CEO
1	X	X	0	0	0
0	0	X	変化なし	変化なし	0
0	1	↑	インクリメント	TC	CEO
0	1	↓	インクリメント	TC	CEO
$z = \text{ビット幅} - 1$ $TC = Q_z \cdot Q_{(z-1)} \cdot Q_{(z-2)} \cdot \dots \cdot Q_0$ $CEO = TC \cdot CE$					

デザインの入力方法

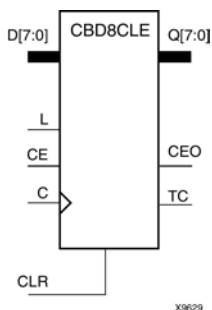
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

CBD8CLE

: 8-Bit Loadable Cascadable Dual Edge Triggered Binary Counter with Clock Enable and Asynchronous Clear



サポートされているアーキテクチャ

このデザイン エレメントは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

概要

このデザイン エレメントは、クロックの両エッジで動作する同期ロード可能、非同期クリア可能、カスケード可能な双方向バイナリカウンタです。非同期クリア (CLR) 入力が高になると、ほかのすべての入力は無視され、クロック (C) の遷移に関係なく、出力 (Q)、ターミナルカウンタ (TC)、およびクロックイネーブル出力 (CEO) が 0 になります。ロードイネーブル入力 (L) が High の場合、クロックが Low から High に切り替わるときに、クロックイネーブル (CE) の値に関係なく、入力 (D) の値がカウンタにロードされます。CE が High の場合、クロックが Low から High、または High から Low に切り替わるときに Q 出力がインクリメントされます。CE が Low の場合、クロック遷移は無視されます。すべての Q 出力が高になると、TC 出力が高になります。

1 段目の CEO 出力を次の段の CE 入力に接続し、C、L、および CLR 入力を並列に接続すると、より大型のカウンタを作成できます。TC と CE が High になると、CEO がアクティブ (High) になります。カウンタの長さの最大値は、CE ピンと TC ピン間の伝搬遅延の合計とクロック周期の関係によって決定されます。クロック周期は、 $n(t_{CE-TC})$ より大きい必要があります。ここで、 n は段数、時間 t_{CE-TC} は各段での CE ピンと TC ピン間の伝搬遅延を表します。カウンタをカスケードする場合、CE 入力を使用するときは CEO 出力を、CE 入力を使用しないときは TC 出力を使用します。

電力を供給すると、カウンタは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

論理表

入力					出力		
CLR	L	CE	C	Dz : D0	Qz : Q0	TC	CEO
1	X	X	X	X	0	0	0
0	1	X	↑	Dn	Dn	TC	CEO
0	1	X	↓	Dn	Dn	TC	CEO
0	0	0	X	X	変化なし	変化なし	0
0	0	1	↑	X	インクリメント	TC	CEO
0	0	1	↓	X	インクリメント	TC	CEO
z = ビット幅 - 1 $TC = Qz \cdot Q(z-1) \cdot Q(z-2) \cdot \dots \cdot Q0$ $CEO = TC \cdot CE$							

デザインの入力方法

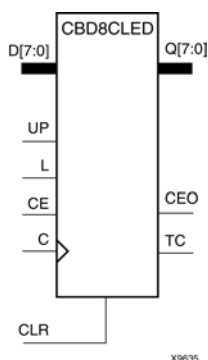
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

CBD8CLED

： 8-Bit Loadable Cascadable Bidirectional Dual Edge Triggered Binary Counter with Clock Enable and Asynchronous Clear



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

概要

このデザイン エLEMENTは、クロックの両エッジで動作する同期ロード可能、非同期クリア可能、カスケード可能な双方向バイナリカウンタです。非同期クリア (CLR) 入力が高レベルになると、ほかのすべての入力は無視され、クロック (C) の遷移に関係なく、出力 (Q)、ターミナルカウンタ (TC)、およびクロックイネーブル出力 (CEO) が 0 になります。ロードイネーブル入力 (L) が High の場合、クロック (C) が Low から High に切り替わるときに、クロックイネーブル (CE) の値に関係なく、入力 (D) の値がカウンタにロードされます。CE が High、UP が Low の場合、クロックが Low から High、または High から Low に切り替わるときに、Q 出力がデクリメントされます。CE と UP が High の場合、Q 出力がインクリメントされます。CE が Low の場合、クロック遷移は無視されます。

カウントアップする場合、すべての Q 出力と UP が High になると TC 出力が High になります。カウントダウンする場合、すべての Q 出力と UP が Low になると TC 出力が High になります。

1 段目の CEO 出力を次の段の CE 入力に接続し、C、UP、L、および CLR 入力を並列に接続すると、より大型のカウンタを作成できます。TC と CE が High になると、CEO がアクティブ (High) になります。カウンタの長さの最大値は、CE ピンと TC ピン間の伝搬遅延の合計とクロック周期の関係によって決定されます。クロック周期は、 $n(t_{CE-TC})$ より大きい必要があります。ここで、 n は段数、時間 t_{CE-TC} は各段での CE ピンと TC ピン間の伝搬遅延を表します。カウンタをカスケードする場合、CE 入力を使用するときは CEO 出力を、CE 入力を使用しないときは TC 出力を使用します。

高速カスケードが可能な双方向カウンタの詳細は、CB2X1、CB4X1、CB8X1、CB16X1 を参照してください。

電力を供給すると、カウンタは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバルネットに適用すると、電源投入時の状態をシミュレーションできます。

論理表

入力						出力		
CLR	L	CE	C	UP	Dz : D0	Qz : Q0	TC	CEO
1	X	X	X	X	X	0	0	0
0	1	X	↑	X	Dn	Dn	TC	CEO
0	1	X	↓	X	Dn	Dn	TC	CEO
0	0	0	X	X	X	変化なし	変化なし	0
0	0	1	↑	1	X	インクリメント	TC	CEO
0	0	1	↓	1	X	インクリメント	TC	CEO
0	0	1	↑	0	X	デクリメント	TC	CEO
0	0	1	↓	0	X	デクリメント	TC	CEO

$z = \text{ビット幅} - 1$
 $TC = (QzQ(z-1)Q(z-2)...Q0UP) + (QzQ(z-1)Q(z-2)...Q0UP)$
 $CEO = TCCE$

デザインの入力方法

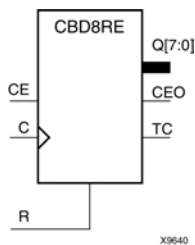
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

CBD8RE

: 8-Bit Cascadable Dual Edge Triggered Binary Counter with Clock Enable and Synchronous Reset



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

概要

このデザイン エLEMENTは、クロックの両エッジで動作する同期、リセット可能、カスケード可能なバイナリ カウンタです。同期リセット入力 (R) が High になると、ほかの入力は無視され、クロック (C) が Low から High に切り替わるときと High から Low に切り替わるときに出力 (Q)、ターミナル カウンタ (TC)、およびクロック イネーブル出力 (CEO) が 0 になります。クロック イネーブル入力 (CE) が High の場合、クロック (C) が Low から High、または High から Low に切り替わるときに出力 (Q) がインクリメントされます。CE が Low の場合、クロック遷移は無視されます。すべての Q 出力が High になると、TC 出力が High になります。

1 段目の CEO 出力を次の段の CE 入力に接続し、C および R 入力を並列に接続すると、より大型のカウンタを作成できます。TC と CE が High になると、CEO がアクティブ (High) になります。カウンタの長さの最大値は、CE ピンと TC ピン間の伝搬遅延の合計とクロック周期の関係によって決定されます。クロック周期は、 $n(t_{CE-TC})$ より大きい必要があります。ここで、 n は段数、時間 t_{CE-TC} は各段での CE ピンと TC ピン間の伝搬遅延を表します。カウンタをカスケードする場合、CE 入力を使用するときは CEO 出力を、CE 入力を使用しないときは TC 出力を使用します。

電力を供給すると、カウンタは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

論理表

入力			出力		
R	CE	C	Qz - Q0	TC	CEO
1	X	↑	0	0	0
1	X	↓	0	0	0
0	0	X	変化なし	変化なし	0
0	1	↑	インクリメント	TC	CEO
0	1	↓	インクリメント	TC	CEO
$z = \text{ビット幅} - 1$ $TC = Qz \cdot Q(z-1) \cdot Q(z-2) \cdot \dots \cdot Q0$ $CEO = TC \cdot CE$					

デザインの入力方法

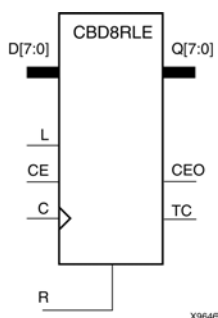
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

CBD8RLE

： 8-Bit Loadable Cascadable Dual Edge Triggered Binary Counter with Clock Enable and Synchronous Reset



サポートされているアーキテクチャ

このデザイン エレメントは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

概要

このデザイン エレメントは、クロックの両エッジで動作する同期、ロード可能、リセット可能、カスケード可能なバイナリ カウンタです。同期リセット入力 (R) が High になると、ほかの入力は無視され、クロック (C) が Low から High に切り替わるときと High から Low に切り替わるときに出力 (Q)、ターミナル カウンタ (TC)、およびクロック イネーブル出力 (CEO) が 0 になります。

ロード イネーブル入力 (L) が High の場合、クロック (C) が Low から High、または High から Low に切り替わるときに、CE の値に関係なく、D 入力の値がカウンタにロードされます。CE が High の場合、クロックが Low から High、または High から Low に切り替わるときに Q 出力がインクリメントされます。CE が Low の場合、クロック遷移は無視されます。すべての Q 出力が High になると、TC 出力が High になります。すべての Q 出力と CE が High になると、CEO 出力が High になるので、カウンタを直接カスケード接続できます。

1 段目の CEO 出力を次の段の CE 入力に接続し、C、L、および R 入力を並列に接続すると、より大型のカウンタを作成できます。TC と CE が High になると、CEO がアクティブ (High) になります。カウンタの長さの最大値は、CE ピンと TC ピン間の伝搬遅延の合計とクロック周期の関係によって決定されます。クロック周期は、 $n(t_{CE-TC})$ より大きい必要があります。ここで、 n は段数、時間 t_{CE-TC} は各段での CE ピンと TC ピン間の伝搬遅延を表します。カウンタをカスケードする場合、CE 入力を使用するときは CEO 出力を、CE 入力を使用しないときは TC 出力を使用します。

電力を供給すると、カウンタは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

論理表

入力					出力		
R	L	CE	C	Dz : D0	Qz : Q0	TC	CEO
1	X	X	↑	X	0	0	0
1	X	X	↓	X	0	0	0
0	1	X	↑	Dn	Dn	TC	CEO
0	1	X	↓	Dn	Dn	TC	CEO
0	0	0	X	X	変化なし	変化なし	0
0	0	1	↑	X	インクリメント	TC	CEO
0	0	1	↓	X	インクリメント	TC	CEO

$z = \text{ビット幅} - 1$
 $TC = Qz \cdot Q(z-1) \cdot Q(z-2) \cdot \dots \cdot Q0$
 $CEO = TC \cdot CE$

デザインの入力方法

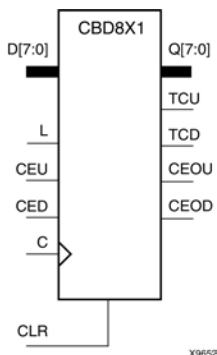
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

CBD8X1

: 8-Bit Loadable Cascadable Bidirectional Dual Edge Triggered Binary Counter with Clock Enable and Asynchronous Clear



サポートされているアーキテクチャ

このデザイン エレメントは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

概要

このデザイン エレメントは、クロックの両エッジで動作する同期ロード可能、非同期クリア可能な双方向バイナリ カウンタです。このカウンタには、アップとダウンの両方向に対してそれぞれカウント イネーブル入力と同期ターミナル カウント出力があり、高速カスケードがサポートされています。

非同期クリア入力 (CLR) が最も優先される入力で、CLR が High になると、ほかのすべての入力は無視されます。クロック遷移に関係なく、出力 (Q) は 0、ターミナル カウント出力 TCU と TCD はそれぞれ 0 と 1、クロック イネーブル出力 CEOU と CEOD はそれぞれ Low と High になります。ロード イネーブル入力 (L) が High の場合、クロック (C) が Low から High、または High から Low に切り替わる時に、CE 入力に関係なく、D 入力の値がカウンタにロードされます。

CEU が High、CLR と L が Low の場合、クロックが Low から High、または High から Low に切り替わる時に Q 出力がインクリメントされます。CED が High、CLR と L が Low の場合、Q 出力がデクリメントされます。CEU と CED が Low の場合、クロック遷移は無視されます。クロック遷移の際に CEU と CED の両方を High にしないでください。CEU と CED が両方とも High になっていると、カスケード接続した場合に CEOU および CEOD 出力が正しく機能しません。

カウントアップする場合、すべての Q 出力と CEU が High になると CEOU 出力が High になります。カウントダウンする場合、すべての Q 出力が Low、CED が High になると CEOD 出力が High になります。カウンタをカスケード接続するには、各カウンタの CEOU および CEOD 出力をそれぞれ次の段の CEU および CED 入力に直接接続します。クロック、L、CLR の入力は、並列に接続します。

すべてのカウントおよびロード機能に対して、カウンタをいくつカスケード接続しても、カウンタの最大クロック周波数は影響を受けません。すべての Q 出力が High になると、CEU に関係なく、TCU ターミナル カウント出力が High になります。すべての Q 出力が Low になると、CED に関係なく、TCD 出力は High になります。

カウンタをカスケード接続する場合、最終的なターミナル カウント信号は、TCU 出力 (アップ方向) と TCD 出力 (ダウン方向) をすべて接続した AND ゲートで生成されます。TCU、CEOU、CEOD の各出力は、コンポーネント内の最適化可能な AND ゲートによって生成されます。したがって、これらの出力からの接続がすべてオンチップであれば、CEU および CED の入力と Q 出力のピン間の伝搬遅延がゼロになります。すべてがオンチップでない場合は、マクロセルバッファ遅延が発生します。

電力を供給すると、カウンタは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

論理表

入力						出力				
CLR	L	CEU	CED	C	Dz - D0	Qz - Q0	TCU	TCD	CEOU	CEOD
1	X	X	X	X	X	0	0	1	0	CEOD
0	1	X	X	↑	Dn	Dn	TCU	TCD	CEOU	CEOD
0	1	X	X	↓	Dn	Dn	TCU	TCD	CEOU	CEOD
0	0	0	0	X	X	変化なし	変化なし	変化なし	0	0
0	0	1	0	↑	X	インクリメント	TCU	TCD	CEOU	0
0	0	1	0	↓	X	インクリメント	TCU	TCD	CEOU	0
0	0	0	1	↑	X	デクリメント	TCU	TCD	0	CEOD
0	0	0	1	↓	X	デクリメント	TCU	TCD	0	CEOD
0	0	1	1	↑	X	インクリメント	TCU	TCD	無効	無効
0	0	1	1	↓	X	インクリメント	TCU	TCD	無効	無効

$z = \text{ビット幅} - 1$
 $TCU = Qz \cdot Q(z-1) \cdot Q(z-2) \cdot \dots \cdot Q0$
 $TCD = Qz \cdot Q(z-1) \cdot Q(z-2) \cdot \dots \cdot Q0$
 $CEOU = TCU \cdot CEU$
 $CEOD = TCD \cdot CED$

デザインの入力方法

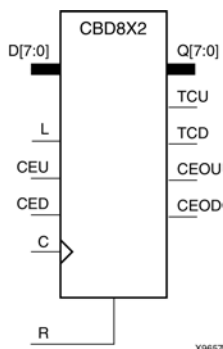
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

CBD8X2

： 8-Bit Loadable Cascadable Bidirectional Dual Edge Triggered Binary Counter with Clock Enable and Synchronous Reset



サポートされているアーキテクチャ

このデザイン エレメントは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

概要

このデザイン エレメントは、クロックの両エッジで動作する同期、ロード可能、リセット可能な双方向バイナリ カウンタです。このカウンタには、アップとダウンの両方向に対してそれぞれカウント イネーブル入力と同期ターミナル カウント出力があり、高速カスケードがサポートされています。

同期リセット入力 (R) は最も優先される入力で、R が High になるとほかのすべての入力は無視されます。クロック (C) が Low から High に切り替わるときと High から Low に切り替わるときに、出力 (Q) の値は 0 に、ターミナル カウント出力 TCU と TCD はそれぞれ 0 と 1 に、クロック イネーブル出力 CEOU と CEOD はそれぞれ Low と High になります。ロード イネーブル入力 (L) が High の場合、クロック (C) が Low から High、または High から Low に切り替わるときに、CE 入力に関係なく、D 入力の値がカウンタにロードされます。

CEU が High、R と L が Low の場合、クロックが Low から High、または High から Low に切り替わるときにすべての Q 出力がインクリメントされます。CED が High、R と L が Low の場合、すべての Q 出力がデクリメントされます。CEU と CED が Low の場合、クロック遷移は無視されます。クロック遷移の際に CEU と CED の両方を High にしないでください。CEU と CED が両方とも High になっていると、カスケード接続した場合に CEOU および CEOD 出力が正しく機能しません。

カウント アップする場合、すべての Q 出力と CEU が High になると CEOU 出力が High になります。カウント ダウンする場合、すべての Q 出力が Low、CED が High になると CEOD 出力が High になります。カウンタをカスケード接続するには、各カウンタの CEOU 出力および CEOD 出力をそれぞれ次の段の CEU および CED 入力に直接接続します。C、L、および R 入力は、並列に接続します。

すべてのカウントおよびロード機能に対して、カウンタをいくつカスケード接続しても、カウンタ コンポーネントの最大クロック周波数は影響を受けません。すべての Q 出力が High になると、CEU に関係なく、TCU ターミナル カウント出力が High になります。すべての Q 出力が Low になると、CED に関係なく、TCD 出力は High になります。

カウンタをカスケード接続する場合、最終的なターミナル カウント信号は、TCU 出力 (アップ方向) と TCD 出力 (ダウン方向) をすべて接続した AND ゲートで生成されます。TCU、CEOU、CEOD の各出力は、コンポーネント内の最適化可能な AND ゲートによって生成されます。したがって、これらの出力からの接続がすべてオンチップであれば、CEU および CED の入力と Q 出力のピン間の伝搬遅延がゼロになります。すべてがオンチップでない場合は、マクロセルバッファ遅延が発生します。

電力を供給すると、カウンタは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

論理表

入力						出力				
R	L	CEU	CED	C	Dz : D0	Qz : Q0	TCU	TCD	CEOU	CEOD
1	X	X	X	↑	X	0	0	1	0	CEOD
1	X	X	X	↓	X	0	0	1	0	CEOD
0	1	X	X	↑	Dn	Dn	TCU	TCD	CEOU	CEOD
0	1	X	X	↓	Dn	Dn	TCU	TCD	CEOU	CEOD
0	0	0	0	X	X	変化なし	変化なし	変化なし	0	0
0	0	1	0	↑	X	インクリメント	TCU	TCD	CEOU	0
0	0	1	0	↓	X	インクリメント	TCU	TCD	CEOU	0
0	0	0	1	↑	X	デクリメント	TCU	TCD	0	CEOD
0	0	0	1	↓	X	デクリメント	TCU	TCD	0	CEOD
0	0	1	1	↑	X	インクリメント	TCU	TCD	無効	無効
0	0	1	1	↓	X	インクリメント	TCU	TCD	無効	無効

$z = \text{ビット幅} - 1$

$TCU = Qz \cdot Q(z-1) \cdot Q(z-2) \cdot \dots \cdot Q0$

$TCD = Qz \cdot Q(z-1) \cdot Q(z-2) \cdot \dots \cdot Q0$

$CEOU = TCU \cdot CEU$

$CEOD = TCD \cdot CED$

デザインの入力方法

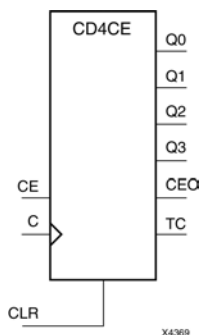
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

CD4CE

: 4-Bit Cascadable BCD Counter with Clock Enable and Asynchronous Clear



サポートされているアーキテクチャ

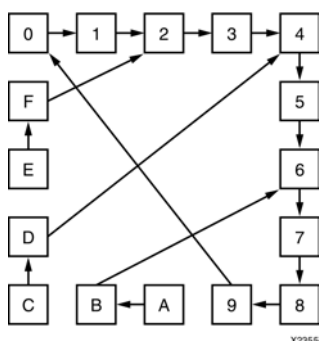
このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

概要

CD4CE は、4 ビットの非同期、クリア可能、カスケード可能な 2 進化 10 進法 (BCD) のカウンタです。非同期クリア入力 (CLR) が最も優先される入力で、High の場合、クロック (C) の遷移に関係なく、Q 出力、ターミナル カウント (TC)、クロック イネーブル出力 (CEO) が 0 になります。クロック イネーブル (CE) が High の場合、クロック (C) が Low から High に切り替わるときに Q 出力がインクリメントされます。CE が Low の場合、クロック遷移は無視されます。Q3 と Q0 が High、Q2 と Q1 が Low になると、TC 出力が High になります。

次のステート ダイアグラムに示すように、カウンタは 6 通りの無効状態から 2 クロック サイクル以内に通常のカウントシーケンスに復帰します。



1 段目の CEO 出力を次の段の CE 入力に接続し、C および CLR 入力を並列に接続すると、より大型のカウンタを作成できます。TC と CE が High になると、CEO がアクティブ (High) になります。カウンタの長さの最大値は、CE ピンと TC ピン間の伝搬遅延の合計とクロック周期の関係によって決定されます。クロック周期は、 $n(t_{CE-TC})$ より大きい必要があります。ここで、 n は段数、時間 t_{CE-TC} は各段での CE ピンと TC ピン間の伝搬遅延を表します。カウンタをカスケードする場合、CE 入力を使用するときは CEO 出力を、CE 入力を使用しないときは TC 出力を使用します。

電力を供給すると、カウンタは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

論理表

入力			出力					
CLR	CE	C	Q3	Q2	Q1	Q0	TC	CEO
1	X	X	0	0	0	0	0	0
0	1	↑	インクリメント	インクリメント	インクリメント	インクリメント	TC	CEO
0	0	X	変化なし	変化なし	変化なし	変化なし	TC	0
0	1	X	1	0	0	1	1	1
TC = Q3·!Q2·!Q1·Q0								
CEO = TC·CE								

デザインの入力方法

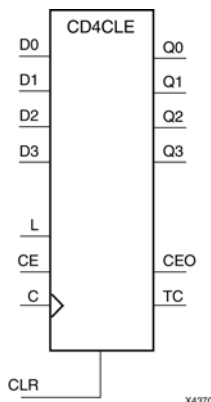
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

CD4CLE

: 4-Bit Loadable Cascadable BCD Counter with Clock Enable and Asynchronous Clear



サポートされているアーキテクチャ

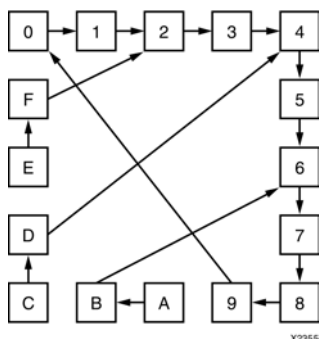
このデザイン エレメントは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

概要

CD4CLE は、4 ビットの同期ロード可能、非同期クリア可能、カスケード可能なバイナリ カウンタです。非同期クリア入力 (CLR) が最も優先される入力で、High の場合、クロック (C) の遷移に関係なく、Q 出力、ターミナル カウント (TC)、クロック イネーブル出力 (CEO) が 0 になります。ロード イネーブル入力 (L) が High の場合、クロック (C) が Low から High に切り替わるときに D 入力の値がカウンタにロードされます。クロック イネーブル入力 (CE) が High の場合、クロックが Low から High に切り替わるときに Q 出力がインクリメントされます。CE が Low の場合、クロック遷移は無視されます。Q3 と Q0 が High、Q2 と Q1 が Low になると、TC 出力が High になります。

次のステート ダイアグラムに示すように、カウンタは 6 通りの無効状態から 2 クロック サイクル以内に通常のカウントシーケンスに復帰します。



1 段目の CEO 出力を次の段の CE 入力に接続し、C、L、および CLR 入力を並列に接続すると、より大型のカウンタを作成できます。TC と CE が High になると、CEO がアクティブ (High) になります。カウンタの長さの最大値は、CE ピンと TC ピン間の伝搬遅延の合計とクロック周期の関係によって決定されます。クロック周期は、 $n(t_{CE-TC})$ より大きい必要があります。ここで、 n は段数、時間 t_{CE-TC} は各段での CE ピンと TC ピン間の伝搬遅延を表します。カウンタをカスケードする場合、CE 入力を使用するときは CEO 出力を、CE 入力を使用しないときは TC 出力を使用します。

電力を供給すると、カウンタは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

論理表

入力					出力					
CLR	L	CE	D3 : D0	C	Q3	Q2	Q1	Q0	TC	CEO
1	X	X	X	X	0	0	0	0	0	0
0	1	X	D3 : D0	↑	D3	D2	D1	D0	TC	CEO
0	0	1	X	↑	インクリメント	インクリメント	インクリメント	インクリメント	TC	CEO
0	0	0	X	X	変化なし	変化なし	変化なし	変化なし	TC	0
0	0	1	X	X	1	0	0	1	1	1
TC = Q3·!Q2·!Q1·Q0										
CEO = TC·CE										

デザインの入力方法

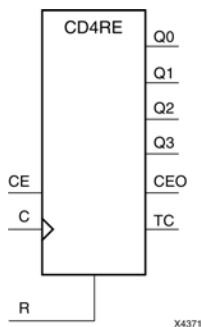
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

CD4RE

: 4-Bit Cascadable BCD Counter with Clock Enable and Synchronous Reset



サポートされているアーキテクチャ

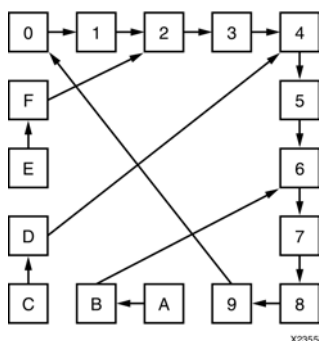
このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

概要

CD4RE は、4 ビットの同期、リセット可能、カスケード可能な 2 進法 10 進法 (BCD) のカウンタです。同期リセット入力 (R) は最も優先される入力で、R が High になるとほかのすべての入力は無視され、クロック (C) が Low から High に切り替わる時に、Q 出力、ターミナル カウント (TC)、クロック イネーブル出力 (CEO) が 0 になります。クロック イネーブル入力 (CE) が High の場合、クロックが Low から High に切り替わる時に Q 出力がインクリメントされます。CE が Low の場合、クロック遷移は無視されます。Q3 と Q0 が High、Q2 と Q1 が Low になると、TC 出力が High になります。

次のステート ダイアグラムに示すように、カウンタは 6 通りの無効状態から 2 クロック サイクル以内に通常のカウントシーケンスに復帰します。



1 段目の CEO 出力を次の段の CE 入力に接続し、C および R 入力を並列に接続すると、より大型のカウンタを作成できます。TC と CE が High になると、CEO がアクティブ (High) になります。カウンタの長さの最大値は、CE ピンと TC ピン間の伝搬遅延の合計とクロック周期の関係によって決定されます。クロック周期は、 $n(t_{CE-TC})$ より大きい必要があります。ここで、 n は段数、時間 t_{CE-TC} は各段での CE ピンと TC ピン間の伝搬遅延を表します。カウンタをカスケードする場合、CE 入力を使用するときは CEO 出力を、CE 入力を使用しないときは TC 出力を使用します。

電力を供給すると、カウンタは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

論理表

入力			出力					
R	CE	C	Q3	Q2	Q1	Q0	TC	CEO
1	X	↑	0	0	0	0	0	0
0	1	↑	インクリメント	インクリメント	インクリメント	インクリメント	TC	CEO
0	0	X	変化なし	変化なし	変化なし	変化なし	TC	0
0	1	X	1	0	0	1	1	1
TC = $Q3 \cdot !Q2 \cdot !Q1 \cdot Q0$ CEO = TC · CE								

デザインの入力方法

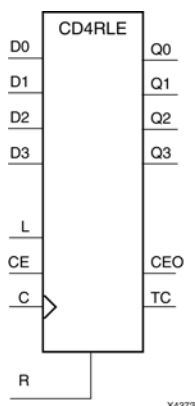
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

CD4RLE

: 4-Bit Loadable Cascadable BCD Counter with Clock Enable and Synchronous Reset



サポートされているアーキテクチャ

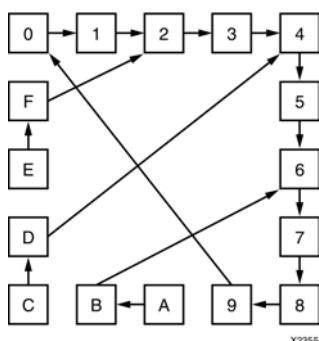
このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

概要

CD4RLE は、4 ビットの同期、ロード可能、リセット可能な 2 進 10 進法 (BCD) カウンタです。同期リセット入力 (R) は最も優先される入力、R が High になると、ほかのすべての入力は無視され、クロックが Low から High に切り替わるときに、Q 出力、ターミナル カウント (TC)、クロック イネーブル出力 (CEO) が 0 になります。ロード イネーブル入力 (L) が High の場合、クロック (C) が Low から High に切り替わるときに D 入力の値がカウンタにロードされます。クロック イネーブル入力 (CE) が High の場合、クロックが Low から High に切り替わるときに Q 出力がインクリメントされます。CE が Low の場合、クロック遷移は無視されます。Q3 と Q0 が High、Q2 と Q1 が Low になると、TC 出力が High になります。

次のステート ダイアグラムに示すように、カウンタは 6 通りの無効状態から 2 クロック サイクル以内に通常のカウントシーケンスに復帰します。



1 段目の CEO 出力を次の段の CE 入力に接続し、C、L、および R 入力を並列に接続すると、より大型のカウンタを作成できます。TC と CE が High になると、CEO がアクティブ (High) になります。カウンタの長さの最大値は、CE ピンと TC ピン間の伝搬遅延の合計とクロック周期の関係によって決定されます。クロック周期は、 $n(t_{CE-TC})$ より大きい必要があります。ここで、 n は段数、時間 t_{CE-TC} は各段での CE ピンと TC ピン間の伝搬遅延を表します。カウンタをカスケードする場合、CE 入力を使用するときは CEO 出力を、CE 入力を使用しないときは TC 出力を使用します。

電力を供給すると、カウンタは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

論理表

入力					出力					
R	L	CE	D3 : D0	C	Q3	Q2	Q1	Q0	TC	CEO
1	X	X	X	↑	0	0	0	0	0	0
0	1	X	D3 : D0	↑	D3	D	D	D0	TC	CEO
0	0	1	X	↑	インクリメント	インクリメント	インクリメント	インクリメント	TC	CEO
0	0	0	X	X	変化なし	変化なし	変化なし	変化なし	TC	0
0	0	1	X	X	1	0	0	1	1	1
TC = Q3·!Q2·!Q1·Q0										
CEO = TC·CE										

デザインの入力方法

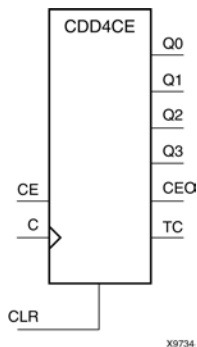
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

CDD4CE

: 4-Bit Cascadable Dual Edge Triggered BCD Counter with Clock Enable and Asynchronous Clear



サポートされているアーキテクチャ

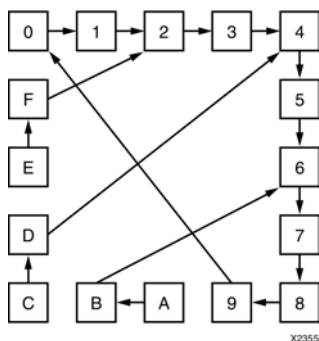
このデザイン エレメントは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

概要

CDD4CE は、4 ビットの非同期、クリア可能、カスケード可能な 2 進法 10 進法 (BCD) のカウンタで、クロックの両エッジで動作します。非同期クリア入力 (CLR) が最も優先される入力で、High の場合、クロック (C) の遷移に関係なく、Q 出力、ターミナル カウント (TC)、クロック イネーブル出力 (CEO) が 0 になります。クロック イネーブル入力 (CE) が High の場合、クロック (C) が Low から High、または High から Low に切り替わるときに出力 (Q) がインクリメントされます。CE が Low の場合、クロック遷移は無視されます。Q3 と Q0 が High、Q2 と Q1 が Low になると、TC 出力が High になります。カウンタは、無効状態から 1 クロック サイクル以内に通常のカウントシーケンスに復帰します。

次のステート ダイアグラムに示すように、カウンタは 6 通りの無効状態から 2 クロック サイクル以内に通常のカウントシーケンスに復帰します。



1 段目の CEO 出力を次の段の CE 入力に接続し、C および CLR 入力を並列に接続すると、より大型のカウンタを作成できます。TC と CE が High になると、CEO がアクティブ (High) になります。カウンタの長さの最大値は、CE ピンと TC ピン間の伝搬遅延の合計とクロック周期の関係によって決定されます。クロック周期は、 $n(t_{CE-TC})$ より大きい必要があります。ここで、 n は段数、時間 t_{CE-TC} は各段での CE ピンと TC ピン間の伝搬遅延を表します。カウンタをカスケードする場合、CE 入力を使用するときは CEO 出力を、CE 入力を使用しないときは TC 出力を使用します。

電力を供給すると、カウンタは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

論理表

入力			出力					
CLR	CE	C	Q3	Q2	Q1	Q0	TC	CEO
1	X	X	0	0	0	0	0	0
0	1	↑	インクリメント	インクリメント	インクリメント	インクリメント	TC	CEO
0	1	↓	インクリメント	インクリメント	インクリメント	インクリメント	TC	CEO
0	0	X	変化なし	変化なし	変化なし	変化なし	TC	0
0	1	X	1	0	0	1	1	1
TC = Q3·!Q2·!Q1·Q0								

デザインの入力方法

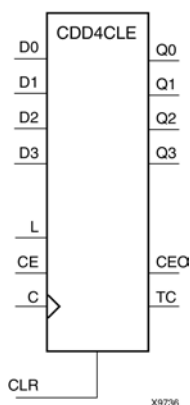
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

CDD4CLE

: 4-Bit Loadable Cascadable Dual Edge Triggered BCD Counter with Clock Enable and Asynchronous Clear



サポートされているアーキテクチャ

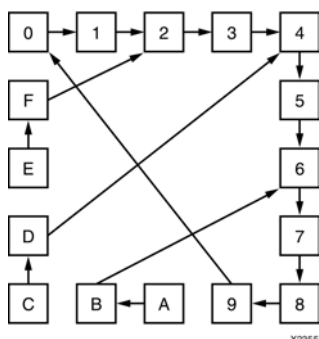
このデザイン エレメントは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

概要

CDD4CLE は、4 ビットの同期ロード可能、非同期クリア可能、カスケード可能なバイナリ カウンタで、クロックの両エッジで動作します。非同期クリア入力 (CLR) が最も優先される入力で、High の場合、クロック (C) の遷移に関係なく、Q 出力、ターミナル カウント (TC)、クロック イネーブル出力 (CEO) が 0 になります。ロード イネーブル入力 (L) が High の場合、クロック (C) が Low から High、または High から Low に切り替わる時に D 入力の値がカウンタにロードされます。クロック イネーブル入力 (CE) が High の場合、クロックが Low から High に切り替わる時に Q 出力がインクリメントされます。CE が Low の場合、クロック遷移は無視されます。Q3 と Q0 が High、Q2 と Q1 が Low になると、TC 出力が High になります。カウンタは、無効状態から 1 クロック サイクル以内に通常のカウントシーケンスに復帰します。

次のステート ダイアグラムに示すように、カウンタは 6 通りの無効状態から 2 クロック サイクル以内に通常のカウントシーケンスに復帰します。



1 段目の CEO 出力を次の段の CE 入力に接続し、C、L、および CLR 入力を並列に接続すると、より大型のカウンタを作成できます。TC と CE が High になると、CEO がアクティブ (High) になります。カウンタの長さの最大値は、CE ピンと TC ピン間の伝搬遅延の合計とクロック周期の関係によって決定されます。クロック周期は、 $n(t_{CE-TC})$ より大きい必要があります。ここで、 n は段数、時間 t_{CE-TC} は各段での CE ピンと TC ピン間の伝搬遅延を表します。カウンタをカスケードする場合、CE 入力を使用するときは CEO 出力を、CE 入力を使用しないときは TC 出力を使用します。

電力を供給すると、カウンタは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

論理表

入力					出力					
CLR	L	CE	D3 : D0	C	Q3	Q2	Q1	Q0	TC	CEO
1	X	X	X	X	0	0	0	0	0	0
0	1	X	D3 : D0	↑	D3	D2	D1	D0	TC	CEO
0	1	X	D3 : D0	↓	D3	D2	D1	D0	TC	CEO
0	0	1	X	↑	インクリメント	インクリメント	インクリメント	インクリメント	TC	CEO
0	0	1	X	↓	インクリメント	インクリメント	インクリメント	インクリメント	TC	CEO
0	0	0	X	X	変化なし	変化なし	変化なし	変化なし	TC	0
0	0	1	X	X	1	0	0	1	1	1
TC = Q3·!Q2·!Q1·Q0										
CEO = TC·CE										

デザインの入力方法

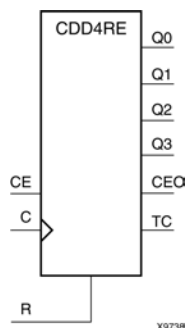
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

CDD4RE

: 4-Bit Cascadable Dual Edge Triggered BCD Counter with Clock Enable and Synchronous Reset



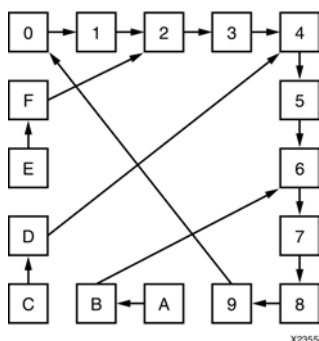
サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

概要

CDD4RE は、クロックの両エッジで動作する同期、リセット可能、カスケード可能な 2 進法 10 進法 (BCD) の 4 ビット カウンタです。同期リセット入力 (R) は最も優先される入力で、R が High になると、ほかのすべての入力は無視され、クロック (C) が Low から High に切り替わるときと High から Low に切り替わるときに、Q 出力、ターミナル カウント (TC)、クロック イネーブル出力 (CEO) が 0 になります。クロック イネーブル入力 (CE) が High の場合、クロック (C) が Low から High、または High から Low に切り替わるときに出力 (Q) がインクリメントされます。CE が Low の場合、クロック遷移は無視されます。Q3 と Q0 が High、Q2 と Q1 が Low になると、TC 出力が High になります。カウンタは、無効状態から 1 クロック サイクル以内に通常のカウント シーケンスに復帰します。

次のステート ダイアグラムに示すように、カウンタは 6 通りの無効状態から 2 クロック サイクル以内に通常のカウント シーケンスに復帰します。



1 段目の CEO 出力を次の段の CE 入力に接続し、C および R 入力を並列に接続すると、より大型のカウンタを作成できます。TC と CE が High になると、CEO がアクティブ (High) になります。カウンタの長さの最大値は、CE ピンと TC ピン間の伝搬遅延の合計とクロック周期の関係によって決定されます。クロック周期は、 $n(t_{CE-TC})$ より大きい必要があります。ここで、 n は段数、時間 t_{CE-TC} は各段での CE ピンと TC ピン間の伝搬遅延を表します。カウンタをカスケードする場合、CE 入力を使用するときは CEO 出力を、CE 入力を使用しないときは TC 出力を使用します。

電力を供給すると、カウンタは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

論理表

入力			出力					
R	CE	C	Q3	Q2	Q1	Q0	TC	CEO
1	X	↑	0	0	0	0	0	0
1	X	↓	0	0	0	0	0	0
0	1	↑	インクリメント	インクリメント	インクリメント	インクリメント	TC	CEO
0	1	↓	インクリメント	インクリメント	インクリメント	インクリメント	TC	CEO
0	0	X	変化なし	変化なし	変化なし	変化なし	TC	0
0	1	X	1	0	0	1	1	1
TC = Q3!Q2!Q1Q0								
CEO = TCCE								

デザインの入力方法

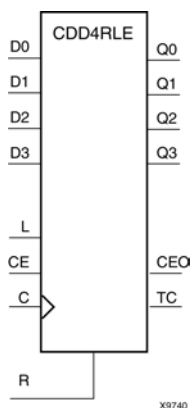
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

CDD4RLE

: 4-Bit Loadable Cascadable Dual Edge Triggered BCD Counter with Clock Enable and Synchronous Reset



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

概要

このデザイン エLEMENTは、クロックの両エッジで動作する同期、ロード可能、リセット可能な 2 進化 10 進法 (BCD) の 4 ビット カウンタです。同期リセット入力 (R) は最も優先される入力で、R が High になると、ほかのすべての入力は無視され、クロックが Low から High に切り替わるときと High から Low に切り替わるときに、Q 出力、ターミナル カウント (TC)、クロック イネーブル出力 (CEO) が 0 になります。ロード イネーブル入力 (L) が High の場合、クロック (C) が Low から High、または High から Low に切り替わるときに D 入力の値がカウンタにロードされます。クロック イネーブル入力 (CE) が High の場合、クロック (C) が Low から High、または High から Low に切り替わるときに出力 (Q) がインクリメントされます。CE が Low の場合、クロック遷移は無視されます。Q3 と Q0 が High、Q2 と Q1 が Low になると、TC 出力が High になります。カウンタは、無効状態から 1 クロック サイクル以内に通常のカウンタシーケンスに復帰します。

1 段目のカウンタ イネーブル出力 (CEO) を次の段の CE 入力に接続し、R、L、C 入力を並列に接続すると、より大型のカウンタを作成できます。TC と CE が High になると、CEO がアクティブ (High) になります。カウンタの長さの最大値は、CE ピンと TC ピン間の伝搬遅延の合計とクロック周期の関係によって決定されます。クロック周期は、 $n(t_{CE-TC})$ より大きい必要があります。ここで、 n は段数、時間 t_{CE-TC} は各段での CE ピンと TC ピン間の伝搬遅延を表します。カウンタをカスケードする場合、CE 入力を使用するときは CEO 出力を、CE 入力を使用しないときは TC 出力を使用します。

電力を供給すると、カウンタは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

デザインの入力方法

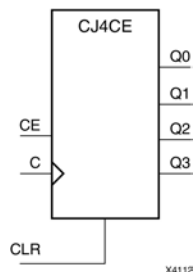
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

CJ4CE

4-Bit Johnson Counter with Clock Enable and Asynchronous Clear



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

概要

このデザイン エLEMENTは、クリア可能なジョンソン/シフト カウンタです。非同期クリア (CLR) 入力が高になると、ほかのすべての入力は無視され、クロック (C) の遷移に関係なく、出力 (Q) が 0 になります。クロック イネーブル入力 (CE) が High の場合、クロックが Low から High に切り替わる時にカウンタがインクリメント (Q0 → Q1、Q1 → Q2 のようにシフト) します。CE が Low の場合、クロック遷移は無視されます。

このデザイン エLEMENTでは、Q3 の出力が反転されて入力 Q0 にフィードバックされ、連続したカウント処理が行われます。

電力を供給すると、カウンタは非同期にクリアされ、出力が Low になります。

論理表

入力			出力	
CLR	CE	C	Q0	Q1 - Q3
1	X	X	0	0
0	0	X	変化なし	変化なし
0	1	↑	!q3	q0 - q2

q = アクティブなクロック エッジの 1 セットアップ タイム前の対応する出力の値

デザインの入力方法

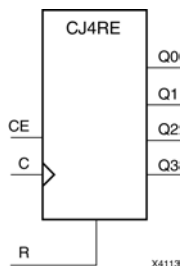
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

CJ4RE

: 4-Bit Johnson Counter with Clock Enable and Synchronous Reset



サポートされているアーキテクチャ

このデザイン エレメントは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

概要

このデザイン エレメントは、リセット可能なジョンソン/シフト カウンタです。同期 R が High になると、ほかのすべての入力は無視され、クロック (C) が Low から High に切り替わるときに出力が 0 になります。クロック イネーブル入力 (CE) が High の場合、クロックが Low から High に切り替わるときにカウンタがインクリメント (Q0 → Q1、Q1 → Q2 のようにシフト) します。CE が Low の場合、クロック遷移は無視されます。

このデザイン エレメントでは、Q3 の出力が反転されて入力 Q0 にフィードバックされ、連続したカウント処理が行われます。

電力を供給すると、カウンタは非同期にクリアされ、出力が Low になります。

論理表

入力			出力	
R	CE	C	Q0	Q1 - Q3
1	X	↑	0	0
0	0	X	変化なし	変化なし
0	1	↑	!q3	q0 - q2

q = アクティブなクロック エッジの 1 セットアップ タイム前の対応する出力の値

デザインの入力方法

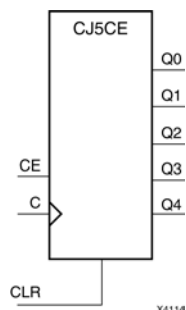
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

CJ5CE

: 5-Bit Johnson Counter with Clock Enable and Asynchronous Clear



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

概要

このデザイン エLEMENTは、クリア可能なジョンソン/シフト カウンタです。非同期クリア (CLR) 入力が高になると、ほかのすべての入力は無視され、クロック (C) の遷移に関係なく、出力 (Q) が 0 になります。クロック イネーブル入力 (CE) が High の場合、クロックが Low から High に切り替わるときにカウンタがインクリメント (Q0 → Q1、Q1 → Q2 のようにシフト) します。CE が Low の場合、クロック遷移は無視されます。

このデザイン エLEMENTでは、Q4 の出力が反転されて入力 Q0 にフィードバックされ、連続したカウント処理が行われます。

電力を供給すると、カウンタは非同期にクリアされ、出力が Low になります。

論理表

入力			出力	
CLR	CE	C	Q0	Q1 - Q4
1	X	X	0	0
0	0	X	変化なし	変化なし
0	1	↑	!q4	q0 - q3
q = アクティブなクロック エッジの 1 セットアップ タイム前の対応する出力の値				

デザインの入力方法

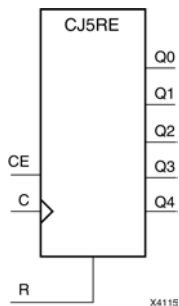
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

CJ5RE

: 5-Bit Johnson Counter with Clock Enable and Synchronous Reset



サポートされているアーキテクチャ

このデザイン エレメントは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

概要

このデザイン エレメントは、リセット可能なジョンソン/シフト カウンタです。同期 R が High になると、ほかのすべての入力は無視され、クロック (C) が Low から High に切り替わる時に出力が 0 になります。クロック イネーブル入力 (CE) が High の場合、クロックが Low から High に切り替わる時にカウンタがインクリメント (Q0 → Q1、Q1 → Q2 のようにシフト) します。CE が Low の場合、クロック遷移は無視されます。

このデザイン エレメントでは、Q4 の出力が反転されて入力 Q0 にフィードバックされ、連続したカウント処理が行われます。

電力を供給すると、カウンタは非同期にクリアされ、出力が Low になります。

論理表

入力			出力	
R	CE	C	Q0	Q1 - Q4
1	X	↑	0	0
0	0	X	変化なし	変化なし
0	1	↑	!q4	q0 - q3

q = アクティブなクロック エッジの 1 セットアップ タイム前の対応する出力の値

デザインの入力方法

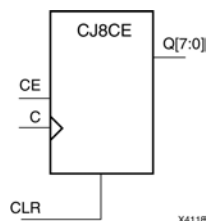
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

CJ8CE

： 8-Bit Johnson Counter with Clock Enable and Asynchronous Clear



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

概要

このデザイン エLEMENTは、クリア可能なジョンソン/シフト カウンタです。非同期クリア (CLR) 入力が高になると、ほかのすべての入力は無視され、クロック (C) の遷移に関係なく、出力 (Q) が 0 になります。クロック イネーブル入力 (CE) が High の場合、クロックが Low から High に切り替わる時にカウンタがインクリメント (Q0 → Q1、Q1 → Q2 のようにシフト) します。CE が Low の場合、クロック遷移は無視されます。

このデザイン エLEMENTでは、Q7 の出力が反転されて入力 Q0 にフィードバックされ、連続したカウント処理が行われます。

電力を供給すると、カウンタは非同期にクリアされ、出力が Low になります。

論理表

入力			出力	
CLR	CE	C	Q0	Q1 - Q8
1	X	X	0	0
0	0	X	変化なし	変化なし
0	1	↑	!q7	q0 - q7
q = アクティブなクロック エッジの 1 セットアップ タイム前の対応する出力の値				

デザインの入力方法

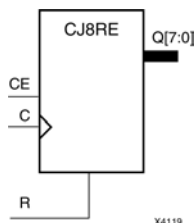
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

CJ8RE

： 8-Bit Johnson Counter with Clock Enable and Synchronous Reset



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

概要

このデザイン エLEMENTは、リセット可能なジョンソン/シフト カウンタです。同期 R が High になると、ほかのすべての入力は無視され、クロック (C) が Low から High に切り替わる時に出力が 0 になります。クロック イネーブル入力 (CE) が High の場合、クロックが Low から High に切り替わる時にカウンタがインクリメント (Q0 → Q1、Q1 → Q2 のようにシフト) します。CE が Low の場合、クロック遷移は無視されます。

このデザイン エLEMENTでは、Q7 の出力が反転されて入力 Q0 にフィードバックされ、連続したカウント処理が行われます。

電力を供給すると、カウンタは非同期にクリアされ、出力が Low になります。

論理表

入力			出力	
R	CE	C	Q0	Q1 - Q7
1	X	↑	0	0
0	0	X	変化なし	変化なし
0	1	↑	!q7	q0 - q6
q = アクティブなクロック エッジの 1 セットアップ タイム前の対応する出力の値				

デザインの入力方法

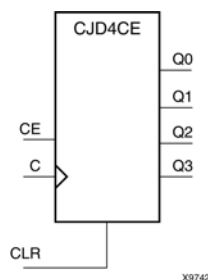
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

CJD4CE

: 4-Bit Dual Edge Triggered Johnson Counter with Clock Enable and Asynchronous Clear



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

概要

このデザイン エLEMENTは、クロックの両エッジで動作するクリア可能なジョンソン/シフト カウンタです。非同期クリア (CLR) 入力が高になると、ほかのすべての入力は無視され、クロック (C) の遷移に関係なく、出力 (Q) が 0 になります。クロック イネーブル入力 (CE) が High の場合、クロックが Low から High、または High から Low に切り替わる時にカウンタがインクリメント (Q0 → Q1、Q1 → Q2 のようにシフト) します。CE が Low の場合、クロック遷移は無視されます。

このデザイン エLEMENTでは、Q3 の出力が反転されて入力 Q0 にフィードバックされ、連続したカウント処理が行われます。

電力を供給すると、カウンタは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

論理表

入力			出力	
CLR	CE	C	Q0	Q1 - Q3
1	X	X	0	0
0	0	X	変化なし	変化なし
0	1	↑	!q3	q0 - q2
0	1	↓	!q3	q0 - q2

q = アクティブなクロック エッジの 1 セットアップ タイム前の対応する出力の値

デザインの入力方法

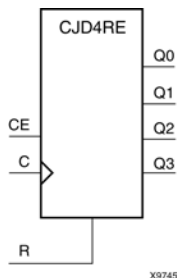
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

CJD4RE

: 4-Bit Dual Edge Triggered Johnson Counter with Clock Enable and Synchronous Reset



サポートされているアーキテクチャ

このデザイン エレメントは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

概要

このデザイン エレメントは、クロックの両エッジで動作するリセット可能なジョンソン/シフトカウンタです。同期 R が High になると、ほかのすべての入力は無視され、クロック (C) が Low から High、または High から Low に切り替わる時に出力が 0 になります。クロック イネーブル入力 (CE) が High の場合、クロックが Low から High、または High から Low に切り替わる時にカウンタがインクリメント (Q0 → Q1、Q1 → Q2 のようにシフト) します。CE が Low の場合、クロック 遷移は無視されます。

このデザイン エレメントでは、Q3 の出力が反転されて入力 Q0 にフィードバックされ、連続したカウント処理が行われます。

電力を供給すると、カウンタは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

論理表

入力			出力	
R	CE	C	Q0	Q1 : Q3
1	X	↑	0	0
1	X	↓	0	0
0	0	X	変化なし	変化なし
0	1	↑	!q3	q0 : q2
0	1	↓	!q3	q0 : q2
q = アクティブなクロック エッジの 1 セットアップ タイム前の対応する出力の値				

デザインの入力方法

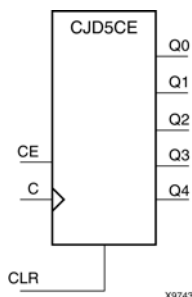
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

CJD5CE

: 5-Bit Dual Edge Triggered Johnson Counter with Clock Enable and Asynchronous Clear



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

概要

このデザイン エLEMENTは、クロックの両エッジで動作するクリア可能なジョンソン/シフト カウンタです。非同期クリア (CLR) 入力が高レベルになると、ほかのすべての入力は無視され、クロック (C) の遷移に関係なく、出力 (Q) が 0 になります。クロック イネーブル入力 (CE) が High の場合、クロックが Low から High、または High から Low に切り替わるときにカウンタがインクリメント (Q0 → Q1、Q1 → Q2 のようにシフト) します。CE が Low の場合、クロック遷移は無視されます。

このデザイン エLEMENTでは、Q4 の出力が反転されて入力 Q0 にフィードバックされ、連続したカウント処理が行われます。

電力を供給すると、カウンタは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスで PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

論理表

入力			出力	
CLR	CE	C	Q0	Q1 - Q4
1	X	X	0	0
0	0	X	変化なし	変化なし
0	1	↑	!q4	q0 - q3
0	1	↓	!q4	q0 - q3
q = アクティブなクロック エッジの 1 セットアップ タイム前の対応する出力の値				

デザインの入力方法

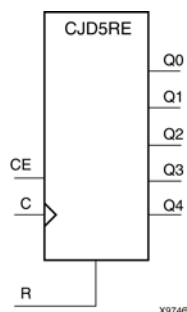
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

CJD5RE

: 5-Bit Dual Edge Triggered Johnson Counter with Clock Enable and Synchronous Reset



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

概要

このデザイン エLEMENTは、クロックの両エッジで動作するリセット可能なジョンソン/シフト カウンタです。同期 R が High になると、ほかのすべての入力は無視され、クロック (C) が Low から High、または High から Low に切り替わる時に出力が 0 になります。クロック イネーブル入力 (CE) が High の場合、クロックが Low から High、または High から Low に切り替わる時にカウンタがインクリメント (Q0 → Q1、Q1 → Q2 のようにシフト) します。CE が Low の場合、クロック 遷移は無視されます。

このデザイン エLEMENTでは、Q4 の出力が反転されて入力 Q0 にフィードバックされ、連続したカウント処理が行われます。

電力を供給すると、カウンタは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

論理表

入力			出力	
R	CE	C	Q0	Q1 : Q4
1	X	↑	0	0
1	X	↓	0	0
0	0	X	変化なし	変化なし
0	1	↑	!q4	q0 : q3
0	1	↓	!q4	q0 : q3

q = アクティブなクロック エッジの 1 セットアップ タイム前の対応する出力の値

デザインの入力方法

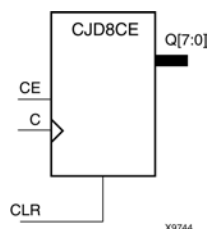
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

CJD8CE

: 8-Bit Dual Edge Triggered Johnson Counter with Clock Enable and Asynchronous Clear



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

概要

このデザイン エLEMENTは、クロックの両エッジで動作するクリア可能なジョンソン/シフト カウンタです。非同期クリア (CLR) 入力が高になると、ほかのすべての入力は無視され、クロック (C) の遷移に関係なく、出力 (Q) が 0 になります。クロック イネーブル入力 (CE) が High の場合、クロックが Low から High、または High から Low に切り替わるときにカウンタがインクリメント (Q0 → Q1、Q1 → Q2 のようにシフト) します。CE が Low の場合、クロック遷移は無視されます。

このデザイン エLEMENTでは、Q7 の出力が反転されて入力 Q0 にフィードバックされ、連続したカウント処理が行われます。

電力を供給すると、カウンタは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

論理表

入力			出力	
CLR	CE	C	Q0	Q1 - Q7
1	X	X	0	0
0	0	X	変化なし	変化なし
0	1	↑	!q7	q0 - q6
0	1	↓	!q7	q0 - q6
q = アクティブなクロック エッジの 1 セットアップ タイム前の対応する出力の値				

デザインの入力方法

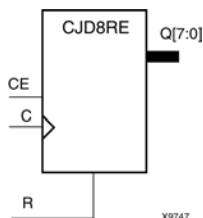
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

CJD8RE

: 8-Bit Dual Edge Triggered Johnson Counter with Clock Enable and Synchronous Reset



サポートされているアーキテクチャ

このデザイン エレメントは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

概要

このデザイン エレメントは、クロックの両エッジで動作するリセット可能なジョンソン/シフト カウンタです。同期 R が High になると、ほかのすべての入力は無視され、クロック (C) が Low から High、または High から Low に切り替わる時に出力が 0 になります。クロック イネーブル入力 (CE) が High の場合、クロックが Low から High、または High から Low に切り替わる時にカウンタがインクリメント (Q0 → Q1、Q1 → Q2 のようにシフト) します。CE が Low の場合、クロック 遷移は無視されます。

このデザイン エレメントでは、Q7 の出力が反転されて入力 Q0 にフィードバックされ、連続したカウント処理が行われます。

電力を供給すると、カウンタは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

論理表

入力			出力	
R	CE	C	Q0	Q1 : Q7
1	X	↑	0	0
1	X	↓	0	0
0	0	X	変化なし	変化なし
0	1	↑	!q7	q0 : q6
0	1	↓	!q7	q0 : q6
q = アクティブなクロック エッジの 1 セットアップ タイム前の対応する出力の値				

デザインの入力方法

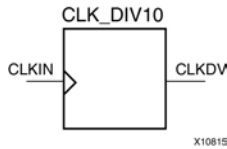
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

CLK_DIV10

: Simple Global Clock Divide by 10



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

概要

このデザイン エLEMENTは、ユーザーにより供給される外部クロック信号 gclk<2> を 10 で分周します。

クロック分周器は各デザインに 1 つしか使用できません。このグローバル クロック分周器は、CoolRunner-II デバイスのうち XC2C128、XC2C256、XC2C384、および XC2C512 では使用できますが、XC2C32 と XC2C64 では使用できません。CLKIN 入力は、デバイスの gclk<2> ピンにしか接続できません。CLKDV 出力のデューティサイクルは、50-50 です。この出力は、同期ELEMENTのクロック入力にのみ接続できます。組み合わせロジックとして使用したり、出力ピンに直接配線することはできません。

CLKDV 出力は、パワーオン リセット回路により Low にリセットされます。

デバイス上の専用クロック分周リセットピン (CDRST) が予約されていて、ユーザー ロジックで使用できない場合があります。

デザインの入力方法

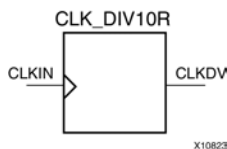
このELEMENTは、回路図で使用されます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

CLK_DIV10R

: Global Clock Divide by 10 with Synchronous Reset



サポートされているアーキテクチャ

このデザイン エレメントは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

概要

このデザイン エレメントは、ユーザーにより供給される外部クロック信号 `gclk<2>` を 10 で分周します。

クロック分周器は各デザインに 1 つしか使用できません。このグローバル クロック分周器は、CoolRunner™-II デバイスのうち XC2C128、XC2C256、XC2C384、および XC2C512 では使用できますが、XC2C32 と XC2C64 では使用できません。CLKIN および CDRST 入力、それぞれデバイスの `gclk<2>` ピンおよび CDRST にしか接続できません。CLKDV 出力のデューティサイクルは、50-50 です。この出力は、同期エレメントのクロック入力にのみ接続できます。組み合わせロジックとして使用したり、出力ピンに直接配線することはできません。

CDRST 入力は、アクティブ High の同期リセットです。CLKDV 出力が High のとき、CDRST 入力が High になると、CLKDV 出力は最後のクロック パルスが完了するまで High のままで、その後で Low になります。

CLKDV 出力は、パワーオン リセット回路により Low にリセットされます。

デバイスの専用クロック分周リセットピンがクロック分周のリセット専用に予約されていて、使用されていない場合でもユーザー ロジックとして使用できない場合があります。

デザインの入力方法

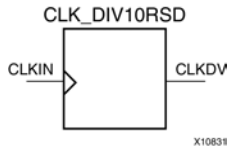
このエレメントは、回路図で使用されます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

CLK_DIV10RSD

: Global Clock Divide by 10 with Synchronous Reset and Start Delay



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

概要

このデザイン エLEMENTは、ユーザーにより供給される外部クロック信号 `gclk<2>` を 10 で分周します。

クロック分周器は各デザインに 1 つしか使用できません。このグローバル クロック分周器は、CoolRunner™-II デバイスのうち XC2C128、XC2C256、XC2C384、および XC2C512 では使用できますが、XC2C32 と XC2C64 では使用できません。CLKIN および CDRST 入力は、それぞれデバイスの `gclk<2>` ピンおよび CDRST にしか接続できません。CLKDV 出力のデューティサイクルは、50-50 です。この出力は、同期ELEMENTのクロック入力にのみ接続できます。組み合わせロジックとして使用したり、出力ピンに直接配線することはできません。

CDRST 入力は、アクティブ High の同期リセットです。CLKDV 出力が High のとき、CDRST 入力が High になると、CLKDV 出力は最後のクロックパルスが完了するまで High のままで、その後で Low になります。

開始遅延機能は CLKDV 出力の開始を (n+1) クロック分遅らせます。ここで、n は、クロック分周器の除数を指します。

CLKDV 出力は、パワーオンリセット回路により Low にリセットされます。

デバイスの専用クロック分周リセットピンがクロック分周のリセット専用に予約されていて、使用されていない場合でもユーザー ロジックとして使用できない場合があります。

デザインの入力方法

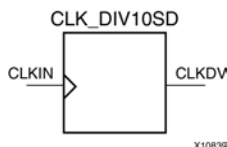
このELEMENTは、回路図で使用されます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

CLK_DIV10SD

: Global Clock Divide by 10 with Start Delay



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

概要

このデザイン エLEMENTは、ユーザーにより供給される外部クロック信号 `gclk<2>` を 10 で分周します。

クロック分周器は各デザインに 1 つしか使用できません。このグローバル クロック分周器は、CoolRunner-II デバイスのうち XC2C128、XC2C256、XC2C384、および XC2C512 では使用できますが、XC2C32 と XC2C64 では使用できません。CLKIN 入力は、デバイスの `gclk<2>` ピンにしか接続できません。CLKDV 出力のデューティサイクルは、50-50 です。この出力は、同期ELEMENTのクロック入力にのみ接続できます。組み合わせロジックとして使用したり、出力ピンに直接配線することはできません。

開始遅延機能は CLKDV 出力の開始を (n+1) クロック分遅らせます。ここで、n は、クロック分周器の除数を指します。

CLKDV 出力は、パワーオン リセット回路により Low にリセットされます。

デバイス上の専用クロック分周リセット ピン (CDRST) が予約されていて、ユーザー ロジックで使用できない場合があります。

デザインの入力方法

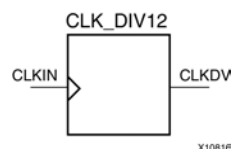
このELEMENTは、回路図で使用されます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

CLK_DIV12

: Simple Global Clock Divide by 12



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

概要

このデザイン エLEMENTは、ユーザーにより供給される外部クロック信号 gclk<2> を 12 で分周します。

クロック分周器は各デザインに 1 つしか使用できません。このグローバル クロック分周器は、CoolRunner-II デバイスのうち XC2C128、XC2C256、XC2C384、および XC2C512 では使用できますが、XC2C32 と XC2C64 では使用できません。CLKIN 入力は、デバイスの gclk<2> ピンにしか接続できません。CLKDV 出力のデューティサイクルは、50-50 です。この出力は、同期ELEMENTのクロック入力にのみ接続できます。組み合わせロジックとして使用したり、出力ピンに直接配線することはできません。

CLKDV 出力は、パワーオン リセット回路により Low にリセットされます。

デバイス上の専用クロック分周リセットピン (CDRST) が予約されていて、ユーザー ロジックで使用できない場合があります。

デザインの入力方法

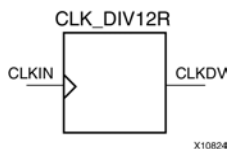
このELEMENTは、回路図で使用されます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

CLK_DIV12R

: Global Clock Divide by 12 with Synchronous Reset



サポートされているアーキテクチャ

このデザイン エレメントは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

概要

このデザイン エレメントは、ユーザーにより供給される外部クロック信号 `gclk<2>` を 12 で分周します。

クロック分周器は各デザインに 1 つしか使用できません。このグローバル クロック分周器は、CoolRunner™-II デバイスのうち XC2C128、XC2C256、XC2C384、および XC2C512 では使用できますが、XC2C32 と XC2C64 では使用できません。CLKIN および CDRST 入力、それぞれデバイスの `gclk<2>` ピンおよび CDRST にしか接続できません。CLKDV 出力のデューティサイクルは、50-50 です。この出力は、同期エレメントのクロック入力にのみ接続できます。組み合わせロジックとして使用したり、出力ピンに直接配線することはできません。

CDRST 入力は、アクティブ High の同期リセットです。CLKDV 出力が High のとき、CDRST 入力が High になると、CLKDV 出力は最後のクロック パルスが完了するまで High のままで、その後で Low になります。

CLKDV 出力は、パワーオン リセット回路により Low にリセットされます。

デバイスの専用クロック分周リセットピンがクロック分周のリセット専用に予約されていて、使用されていない場合でもユーザー ロジックとして使用できない場合があります。

デザインの入力方法

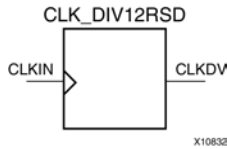
このエレメントは、回路図で使用されます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

CLK_DIV12RSD

: Global Clock Divide by 12 with Synchronous Reset and Start Delay



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

概要

このデザイン エLEMENTは、ユーザーにより供給される外部クロック信号 `gclk<2>` を 12 で分周します。

クロック分周器は各デザインに 1 つしか使用できません。このグローバル クロック分周器は、CoolRunner™-II デバイスのうち XC2C128、XC2C256、XC2C384、および XC2C512 では使用できますが、XC2C32 と XC2C64 では使用できません。CLKIN および CDRST 入力は、それぞれデバイスの `gclk<2>` ピンおよび CDRST にしか接続できません。CLKDV 出力のデューティサイクルは、50-50 です。この出力は、同期ELEMENTのクロック入力にのみ接続できます。組み合わせロジックとして使用したり、出力ピンに直接配線することはできません。

CDRST 入力は、アクティブ High の同期リセットです。CLKDV 出力が High のとき、CDRST 入力が High になると、CLKDV 出力は最後のクロックパルスが完了するまで High のままで、その後で Low になります。

開始遅延機能は CLKDV 出力の開始を (n+1) クロック分遅らせます。ここで、n は、クロック分周器の除数を指します。

CLKDV 出力は、パワーオンリセット回路により Low にリセットされます。

デバイスの専用クロック分周リセットピンがクロック分周のリセット専用予約されていて、使用されていない場合でもユーザー ロジックとして使用できない場合があります。

デザインの入力方法

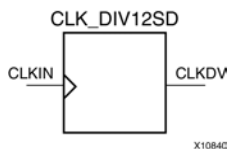
このELEMENTは、回路図で使用されます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

CLK_DIV12SD

: Global Clock Divide by 12 with Start Delay



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

概要

このデザイン エLEMENTは、ユーザーにより供給される外部クロック信号 `gclk<2>` を 12 で分周します。

クロック分周器は各デザインに 1 つしか使用できません。このグローバル クロック分周器は、CoolRunner-II デバイスのうち XC2C128、XC2C256、XC2C384、および XC2C512 では使用できますが、XC2C32 と XC2C64 では使用できません。CLKIN 入力は、デバイスの `gclk<2>` ピンにしか接続できません。CLKDV 出力のデューティサイクルは、50-50 です。この出力は、同期ELEMENTのクロック入力にのみ接続できます。組み合わせロジックとして使用したり、出力ピンに直接配線することはできません。

開始遅延機能は CLKDV 出力の開始を (n+1) クロック分遅らせます。ここで、n は、クロック分周器の除数を指します。

CLKDV 出力は、パワーオン リセット回路により Low にリセットされます。

デバイス上の専用クロック分周リセット ピン (CDRST) が予約されていて、ユーザー ロジックで使用できない場合があります。

デザインの入力方法

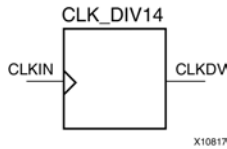
このELEMENTは、回路図で使用されます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

CLK_DIV14

: Simple Global Clock Divide by 14



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

概要

このデザイン エLEMENTは、ユーザーにより供給される外部クロック信号 gclk<2> を 14 で分周します。

クロック分周器は各デザインに 1 つしか使用できません。このグローバル クロック分周器は、CoolRunner-II デバイスのうち XC2C128、XC2C256、XC2C384、および XC2C512 では使用できますが、XC2C32 と XC2C64 では使用できません。CLKIN 入力は、デバイスの gclk<2> ピンにしか接続できません。CLKDV 出力のデューティサイクルは、50-50 です。この出力は、同期ELEMENTのクロック入力にのみ接続できます。組み合わせロジックとして使用したり、出力ピンに直接配線することはできません。

CLKDV 出力は、パワーオン リセット回路により Low にリセットされます。

デバイス上の専用クロック分周リセットピン (CDRST) が予約されていて、ユーザー ロジックで使用できない場合があります。

デザインの入力方法

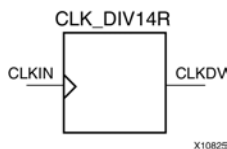
このELEMENTは、回路図で使用されます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

CLK_DIV14R

: Global Clock Divide by 14 with Synchronous Reset



サポートされているアーキテクチャ

このデザイン エレメントは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

概要

このデザイン エレメントは、ユーザーにより供給される外部クロック信号 `gclk<2>` を 14 で分周します。

クロック分周器は各デザインに 1 つしか使用できません。このグローバル クロック分周器は、CoolRunner™-II デバイスのうち XC2C128、XC2C256、XC2C384、および XC2C512 では使用できますが、XC2C32 と XC2C64 では使用できません。CLKIN および CDRST 入力は、それぞれデバイスの `gclk<2>` ピンおよび CDRST にしか接続できません。CLKDV 出力のデューティサイクルは、50-50 です。この出力は、同期エレメントのクロック入力にのみ接続できます。組み合わせロジックとして使用したり、出力ピンに直接配線することはできません。

CDRST 入力は、アクティブ High の同期リセットです。CLKDV 出力が High のとき、CDRST 入力が High になると、CLKDV 出力は最後のクロック パルスが完了するまで High のままで、その後で Low になります。

CLKDV 出力は、パワーオン リセット回路により Low にリセットされます。

デバイスの専用クロック分周リセットピンがクロック分周のリセット専用に予約されていて、使用されていない場合でもユーザー ロジックとして使用できない場合があります。

デザインの入力方法

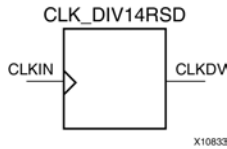
このエレメントは、回路図で使用されます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

CLK_DIV14RSD

: Global Clock Divide by 14 with Synchronous Reset and Start Delay



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

概要

このデザイン エLEMENTは、ユーザーにより供給される外部クロック信号 gclk<2> を 14 で分周します。

クロック分周器は各デザインに 1 つしか使用できません。このグローバル クロック分周器は、CoolRunner™-II デバイスのうち XC2C128、XC2C256、XC2C384、および XC2C512 では使用できますが、XC2C32 と XC2C64 では使用できません。CLKIN および CDRST 入力は、それぞれデバイスの gclk<2> ピンおよび CDRST にしか接続できません。CLKDV 出力のデューティサイクルは、50-50 です。この出力は、同期ELEMENTのクロック入力にのみ接続できます。組み合わせロジックとして使用したり、出力ピンに直接配線することはできません。

CDRST 入力は、アクティブ High の同期リセットです。CLKDV 出力が High のとき、CDRST 入力が High になると、CLKDV 出力は最後のクロックパルスが完了するまで High のままで、その後で Low になります。

開始遅延機能は CLKDV 出力の開始を (n+1) クロック分遅らせます。ここで、n は、クロック分周器の除数を指します。

CLKDV 出力は、パワーオンリセット回路により Low にリセットされます。

デバイスの専用クロック分周リセットピンがクロック分周のリセット専用に予約されていて、使用されていない場合でもユーザー ロジックとして使用できない場合があります。

デザインの入力方法

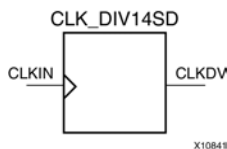
このELEMENTは、回路図で使用されます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

CLK_DIV14SD

: Global Clock Divide by 14 with Start Delay



サポートされているアーキテクチャ

このデザイン エレメントは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

概要

このデザイン エレメントは、ユーザーにより供給される外部クロック信号 `gclk<2>` を 14 で分周します。

クロック分周器は各デザインに 1 つしか使用できません。このグローバル クロック分周器は、CoolRunner-II デバイスのうち XC2C128、XC2C256、XC2C384、および XC2C512 では使用できますが、XC2C32 と XC2C64 では使用できません。CLKIN 入力は、デバイスの `gclk<2>` ピンにしか接続できません。CLKDV 出力のデューティサイクルは、50-50 です。この出力は、同期エレメントのクロック入力にのみ接続できます。組み合わせロジックとして使用したり、出力ピンに直接配線することはできません。

開始遅延機能は CLKDV 出力の開始を (n+1) クロック分遅らせます。ここで、n は、クロック分周器の除数を指します。

CLKDV 出力は、パワーオン リセット回路により Low にリセットされます。

デバイス上の専用クロック分周リセット ピン (CDRST) が予約されていて、ユーザー ロジックで使用できない場合があります。

デザインの入力方法

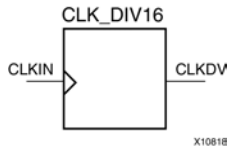
このエレメントは、回路図で使用されます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

CLK_DIV16

: Simple Global Clock Divide by 16



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

概要

このデザイン エLEMENTは、ユーザーにより供給される外部クロック信号 gclk<2> を 16 で分周します。

クロック分周器は各デザインに 1 つしか使用できません。このグローバル クロック分周器は、CoolRunner-II デバイスのうち XC2C128、XC2C256、XC2C384、および XC2C512 では使用できますが、XC2C32 と XC2C64 では使用できません。CLKIN 入力は、デバイスの gclk<2> ピンにしか接続できません。CLKDV 出力のデューティサイクルは、50-50 です。この出力は、同期ELEMENTのクロック入力にのみ接続できます。組み合わせロジックとして使用したり、出力ピンに直接配線することはできません。

このコンポーネントを使用すると、専用クロック分周リセットピン (CDRST) が予約され、ユーザー ロジックで使用できない場合があります。

CLKDV 出力は、パワーオン リセット回路により Low にリセットされます。

デバイス上の専用クロック分周リセットピン (CDRST) が予約されていて、ユーザー ロジックで使用できない場合があります。

デザインの入力方法

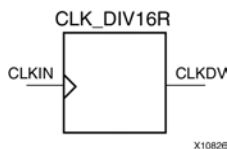
このELEMENTは、回路図で使用されます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

CLK_DIV16R

: Global Clock Divide by 16 with Synchronous Reset



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

概要

このデザイン エLEMENTは、ユーザーにより供給される外部クロック信号 `gclk<2>` を 16 で分周します。

クロック分周器は各デザインに 1 つしか使用できません。このグローバル クロック分周器は、CoolRunner™-II デバイスのうち XC2C128、XC2C256、XC2C384、および XC2C512 では使用できますが、XC2C32 と XC2C64 では使用できません。CLKIN および CDRST 入力、それぞれデバイスの `gclk<2>` ピンおよび CDRST にしか接続できません。CLKDV 出力のデューティサイクルは、50-50 です。この出力は、同期ELEMENTのクロック入力にのみ接続できます。組み合わせロジックとして使用したり、出力ピンに直接配線することはできません。

CDRST 入力は、アクティブ High の同期リセットです。CLKDV 出力が High のとき、CDRST 入力が High になると、CLKDV 出力は最後のクロック パルスが完了するまで High のままで、その後で Low になります。

CLKDV 出力は、パワーオン リセット回路により Low にリセットされます。

デバイスの専用クロック分周リセットピンがクロック分周のリセット専用に予約されていて、使用されていない場合でもユーザー ロジックとして使用できない場合があります。

デザインの入力方法

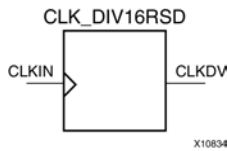
このELEMENTは、回路図で使用されます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

CLK_DIV16RSD

: Global Clock Divide by 16 with Synchronous Reset and Start Delay



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

概要

このデザイン エLEMENTは、ユーザーにより供給される外部クロック信号 `gclk<2>` を 16 で分周します。

クロック分周器は各デザインに 1 つしか使用できません。このグローバル クロック分周器は、CoolRunner™-II デバイスのうち XC2C128、XC2C256、XC2C384、および XC2C512 では使用できますが、XC2C32 と XC2C64 では使用できません。CLKIN および CDRST 入力は、それぞれデバイスの `gclk<2>` ピンおよび CDRST にしか接続できません。CLKDV 出力のデューティサイクルは、50-50 です。この出力は、同期ELEMENTのクロック入力にのみ接続できます。組み合わせロジックとして使用したり、出力ピンに直接配線することはできません。

CDRST 入力は、アクティブ High の同期リセットです。CLKDV 出力が High のとき、CDRST 入力が High になると、CLKDV 出力は最後のクロックパルスが完了するまで High のままで、その後で Low になります。

開始遅延機能は CLKDV 出力の開始を (n+1) クロック分遅らせます。ここで、n は、クロック分周器の除数を指します。

CLKDV 出力は、パワーオンリセット回路により Low にリセットされます。

デバイスの専用クロック分周リセットピンがクロック分周のリセット専用予約されていて、使用されていない場合でもユーザー ロジックとして使用できない場合があります。

デザインの入力方法

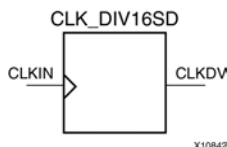
このELEMENTは、回路図で使用されます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

CLK_DIV16SD

: Global Clock Divide by 16 with Start Delay



サポートされているアーキテクチャ

このデザイン エレメントは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

概要

このデザイン エレメントは、ユーザーにより供給される外部クロック信号 `gclk<2>` を 16 で分周します。

クロック分周器は各デザインに 1 つしか使用できません。このグローバル クロック分周器は、CoolRunner-II デバイスのうち XC2C128、XC2C256、XC2C384、および XC2C512 では使用できますが、XC2C32 と XC2C64 では使用できません。CLKIN 入力は、デバイスの `gclk<2>` ピンにしか接続できません。CLKDV 出力のデューティサイクルは、50-50 です。この出力は、同期エレメントのクロック入力にのみ接続できます。組み合わせロジックとして使用したり、出力ピンに直接配線することはできません。

開始遅延機能は CLKDV 出力の開始を (n+1) クロック分遅らせます。ここで、n は、クロック分周器の除数を指します。

CLKDV 出力は、パワーオン リセット回路により Low にリセットされます。

デバイス上の専用クロック分周リセット ピン (CDRST) が予約されていて、ユーザー ロジックで使用できない場合があります。

デザインの入力方法

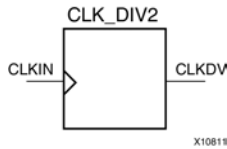
このエレメントは、回路図で使用されます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

CLK_DIV2

: Simple Global Clock Divide by 2



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

概要

このデザイン エLEMENTは、ユーザーにより供給される外部クロック信号 gclk<2> を 2 で分周します。

クロック分周器は各デザインに 1 つしか使用できません。このグローバル クロック分周器は、CoolRunner-II デバイスのうち XC2C128、XC2C256、XC2C384、および XC2C512 では使用できますが、XC2C32 と XC2C64 では使用できません。CLKIN 入力は、デバイスの gclk<2> ピンにしか接続できません。CLKDV 出力のデューティサイクルは、50-50 です。この出力は、同期ELEMENTのクロック入力にのみ接続できます。組み合わせロジックとして使用したり、出力ピンに直接配線することはできません。

CLKDV 出力は、パワーオン リセット回路により Low にリセットされます。

デバイス上の専用クロック分周リセットピン (CDRST) が予約されていて、ユーザー ロジックで使用できない場合があります。

デザインの入力方法

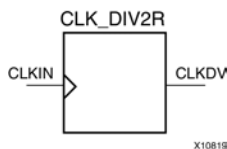
このELEMENTは、回路図で使用されます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

CLK_DIV2R

: Global Clock Divide by 2 with Synchronous Reset



サポートされているアーキテクチャ

このデザイン エレメントは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

概要

このデザイン エレメントは、ユーザーにより供給される外部クロック信号 `gclk<2>` を 2 で分周します。

クロック分周器は各デザインに 1 つしか使用できません。このグローバル クロック分周器は、CoolRunner™-II デバイスのうち XC2C128、XC2C256、XC2C384、および XC2C512 では使用できますが、XC2C32 と XC2C64 では使用できません。CLKIN および CDRST 入力は、それぞれデバイスの `gclk<2>` ピンおよび CDRST にしか接続できません。CLKDV 出力のデューティサイクルは、50-50 です。この出力は、同期エレメントのクロック入力にのみ接続できます。組み合わせロジックとして使用したり、出力ピンに直接配線することはできません。

CDRST 入力は、アクティブ High の同期リセットです。CLKDV 出力が High のとき、CDRST 入力が High になると、CLKDV 出力は最後のクロック パルスが完了するまで High のままで、その後で Low になります。

CLKDV 出力は、パワーオン リセット回路により Low にリセットされます。

デバイスの専用クロック分周リセットピンがクロック分周のリセット専用に予約されていて、使用されていない場合でもユーザー ロジックとして使用できない場合があります。

デザインの入力方法

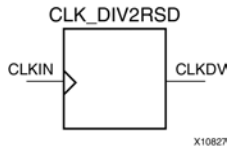
このエレメントは、回路図で使用されます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

CLK_DIV2RSD

: Global Clock Divide by 2 with Synchronous Reset and Start Delay



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

概要

このデザイン エLEMENTは、ユーザーにより供給される外部クロック信号 `gclk<2>` を 2 で分周します。

クロック分周器は各デザインに 1 つしか使用できません。このグローバル クロック分周器は、CoolRunner™-II デバイスのうち XC2C128、XC2C256、XC2C384、および XC2C512 では使用できますが、XC2C32 と XC2C64 では使用できません。CLKIN および CDRST 入力は、それぞれデバイスの `gclk<2>` ピンおよび CDRST にしか接続できません。CLKDV 出力のデューティサイクルは、50-50 です。この出力は、同期ELEMENTのクロック入力にのみ接続できます。組み合わせロジックとして使用したり、出力ピンに直接配線することはできません。

CDRST 入力は、アクティブ High の同期リセットです。CLKDV 出力が High のとき、CDRST 入力が High になると、CLKDV 出力は最後のクロックパルスが完了するまで High のままで、その後で Low になります。

開始遅延機能は CLKDV 出力の開始を (n+1) クロック分遅らせます。ここで、n は、クロック分周器の除数を指します。

CLKDV 出力は、パワーオンリセット回路により Low にリセットされます。

デバイスの専用クロック分周リセットピンがクロック分周のリセット専用に予約されていて、使用されていない場合でもユーザー ロジックとして使用できない場合があります。

デザインの入力方法

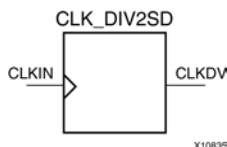
このELEMENTは、回路図で使用されます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

CLK_DIV2SD

: Global Clock Divide by 2 with Start Delay



サポートされているアーキテクチャ

このデザイン エレメントは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

概要

このデザイン エレメントは、ユーザーにより供給される外部クロック信号 `gclk<2>` を 2 で分周します。

クロック分周器は各デザインに 1 つしか使用できません。このグローバル クロック分周器は、CoolRunner-II デバイスのうち XC2C128、XC2C256、XC2C384、および XC2C512 では使用できますが、XC2C32 と XC2C64 では使用できません。CLKIN 入力は、デバイスの `gclk<2>` ピンにしか接続できません。CLKDV 出力のデューティサイクルは、50-50 です。この出力は、同期エレメントのクロック入力にのみ接続できます。組み合わせロジックとして使用したり、出力ピンに直接配線することはできません。

開始遅延機能は CLKDV 出力の開始を (n+1) クロック分遅らせます。ここで、n は、クロック分周器の除数を指します。

CLKDV 出力は、パワーオン リセット回路により Low にリセットされます。

デバイス上の専用クロック分周リセット ピン (CDRST) が予約されていて、ユーザー ロジックで使用できない場合があります。

デザインの入力方法

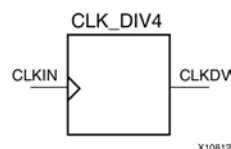
このエレメントは、回路図で使用されます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

CLK_DIV4

: Simple Global Clock Divide by 4



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

概要

このデザイン エLEMENTは、ユーザーにより供給される外部クロック信号 `gclk<2>` を 4 で分周します。

クロック分周器は各デザインに 1 つしか使用できません。このグローバル クロック分周器は、CoolRunner-II デバイスのうち XC2C128、XC2C256、XC2C384、および XC2C512 では使用できますが、XC2C32 と XC2C64 では使用できません。CLKIN 入力は、デバイスの `gclk<2>` ピンにしか接続できません。CLKDV 出力のデューティサイクルは、50-50 です。この出力は、同期ELEMENTのクロック入力にのみ接続できます。組み合わせロジックとして使用したり、出力ピンに直接配線することはできません。

CLKDV 出力は、パワーオン リセット回路により Low にリセットされます。

デバイス上の専用クロック分周リセットピン (CDRST) が予約されていて、ユーザー ロジックで使用できない場合があります。

デザインの入力方法

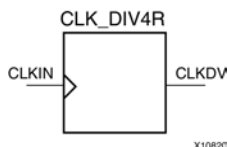
このELEMENTは、回路図で使用されます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

CLK_DIV4R

: Global Clock Divide by 4 with Synchronous Reset



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

概要

このデザイン エLEMENTは、ユーザーにより供給される外部クロック信号 gclk<2> を 4 で分周します。

クロック分周器は各デザインに 1 つしか使用できません。このグローバル クロック分周器は、CoolRunner™-II デバイスのうち XC2C128、XC2C256、XC2C384、および XC2C512 では使用できますが、XC2C32 と XC2C64 では使用できません。CLKIN および CDRST 入力は、それぞれデバイスの gclk<2> ピンおよび CDRST にしか接続できません。CLKDV 出力のデューティサイクルは、50-50 です。この出力は、同期ELEMENTのクロック入力にのみ接続できます。組み合わせロジックとして使用したり、出力ピンに直接配線することはできません。

CDRST 入力は、アクティブ High の同期リセットです。CLKDV 出力が High のとき、CDRST 入力が High になると、CLKDV 出力は最後のクロック パルスが完了するまで High のままで、その後で Low になります。

CLKDV 出力は、パワーオン リセット回路により Low にリセットされます。

デバイスの専用クロック分周リセットピンがクロック分周のリセット専用に予約されていて、使用されていない場合でもユーザー ロジックとして使用できない場合があります。

デザインの入力方法

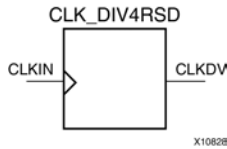
このELEMENTは、回路図で使用されます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

CLK_DIV4RSD

: Global Clock Divide by 4 with Synchronous Reset and Start Delay



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

概要

このデザイン エLEMENTは、ユーザーにより供給される外部クロック信号 `gclk<2>` を 4 で分周します。

クロック分周器は各デザインに 1 つしか使用できません。このグローバル クロック分周器は、CoolRunner™-II デバイスのうち XC2C128、XC2C256、XC2C384、および XC2C512 では使用できますが、XC2C32 と XC2C64 では使用できません。CLKIN および CDRST 入力は、それぞれデバイスの `gclk<2>` ピンおよび CDRST にしか接続できません。CLKDV 出力のデューティサイクルは、50-50 です。この出力は、同期ELEMENTのクロック入力にのみ接続できます。組み合わせロジックとして使用したり、出力ピンに直接配線することはできません。

CDRST 入力は、アクティブ High の同期リセットです。CLKDV 出力が High のとき、CDRST 入力が High になると、CLKDV 出力は最後のクロックパルスが完了するまで High のままで、その後で Low になります。

開始遅延機能は CLKDV 出力の開始を (n+1) クロック分遅らせます。ここで、n は、クロック分周器の除数を指します。

CLKDV 出力は、パワーオンリセット回路により Low にリセットされます。

デバイスの専用クロック分周リセットピンがクロック分周のリセット専用予約されていて、使用されていない場合でもユーザーロジックとして使用できない場合があります。

デザインの入力方法

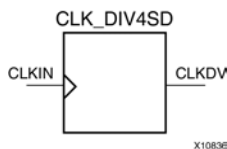
このELEMENTは、回路図で使用されます。

詳細情報

- ・ 該当 CPLD のユーザーガイド
- ・ 該当 CPLD のデータシート

CLK_DIV4SD

: Global Clock Divide by 4 with Start Delay



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

概要

このデザイン エLEMENTは、ユーザーにより供給される外部クロック信号 `gclk<2>` を 4 で分周します。

クロック分周器は各デザインに 1 つしか使用できません。このグローバル クロック分周器は、CoolRunner-II デバイスのうち XC2C128、XC2C256、XC2C384、および XC2C512 では使用できますが、XC2C32 と XC2C64 では使用できません。CLKIN 入力は、デバイスの `gclk<2>` ピンにしか接続できません。CLKDV 出力のデューティサイクルは、50-50 です。この出力は、同期ELEMENTのクロック入力にのみ接続できます。組み合わせロジックとして使用したり、出力ピンに直接配線することはできません。

開始遅延機能は CLKDV 出力の開始を (n+1) クロック分遅らせます。ここで、n は、クロック分周器の除数を指します。

CLKDV 出力は、パワーオン リセット回路により Low にリセットされます。

デバイス上の専用クロック分周リセット ピン (CDRST) が予約されていて、ユーザー ロジックで使用できない場合があります。

デザインの入力方法

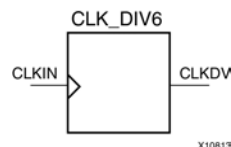
このELEMENTは、回路図で使用されます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

CLK_DIV6

: Simple Global Clock Divide by 6



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

概要

このデザイン エLEMENTは、ユーザーにより供給される外部クロック信号 gclk<2> を 6 で分周します。

クロック分周器は各デザインに 1 つしか使用できません。このグローバル クロック分周器は、CoolRunner-II デバイスのうち XC2C128、XC2C256、XC2C384、および XC2C512 では使用できますが、XC2C32 と XC2C64 では使用できません。CLKIN 入力は、デバイスの gclk<2> ピンにしか接続できません。CLKDV 出力のデューティサイクルは、50-50 です。この出力は、同期ELEMENTのクロック入力にのみ接続できます。組み合わせロジックとして使用したり、出力ピンに直接配線することはできません。

CLKDV 出力は、パワーオン リセット回路により Low にリセットされます。

デバイス上の専用クロック分周リセットピン (CDRST) が予約されていて、ユーザー ロジックで使用できない場合があります。

デザインの入力方法

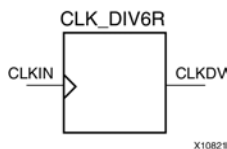
このELEMENTは、回路図で使用されます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

CLK_DIV6R

: Global Clock Divide by 6 with Synchronous Reset



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

概要

このデザイン エLEMENTは、ユーザーにより供給される外部クロック信号 gclk<2> を 6 で分周します。

クロック分周器は各デザインに 1 つしか使用できません。このグローバル クロック分周器は、CoolRunner™-II デバイスのうち XC2C128、XC2C256、XC2C384、および XC2C512 では使用できますが、XC2C32 と XC2C64 では使用できません。CLKIN および CDRST 入力、それぞれデバイスの gclk<2> ピンおよび CDRST にしか接続できません。CLKDV 出力のデューティサイクルは、50-50 です。この出力は、同期ELEMENTのクロック入力にのみ接続できます。組み合わせロジックとして使用したり、出力ピンに直接配線することはできません。

CDRST 入力は、アクティブ High の同期リセットです。CLKDV 出力が High のとき、CDRST 入力が High になると、CLKDV 出力は最後のクロック パルスが完了するまで High のままで、その後で Low になります。

CLKDV 出力は、パワーオン リセット回路により Low にリセットされます。

デバイスの専用クロック分周リセットピンがクロック分周のリセット専用に予約されていて、使用されていない場合でもユーザー ロジックとして使用できない場合があります。

デザインの入力方法

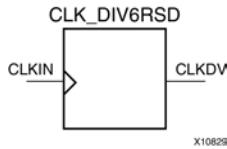
このELEMENTは、回路図で使用されます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

CLK_DIV6RSD

: Global Clock Divide by 6 with Synchronous Reset and Start Delay



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

概要

このデザイン エLEMENTは、ユーザーにより供給される外部クロック信号 `gclk<2>` を 6 で分周します。

クロック分周器は各デザインに 1 つしか使用できません。このグローバル クロック分周器は、CoolRunner™-II デバイスのうち XC2C128、XC2C256、XC2C384、および XC2C512 では使用できますが、XC2C32 と XC2C64 では使用できません。CLKIN および CDRST 入力は、それぞれデバイスの `gclk<2>` ピンおよび CDRST にしか接続できません。CLKDV 出力のデューティサイクルは、50-50 です。この出力は、同期ELEMENTのクロック入力にのみ接続できます。組み合わせロジックとして使用したり、出力ピンに直接配線することはできません。

CDRST 入力は、アクティブ High の同期リセットです。CLKDV 出力が High のとき、CDRST 入力が High になると、CLKDV 出力は最後のクロックパルスが完了するまで High のままで、その後で Low になります。

開始遅延機能は CLKDV 出力の開始を (n+1) クロック分遅らせます。ここで、n は、クロック分周器の除数を指します。

CLKDV 出力は、パワーオンリセット回路により Low にリセットされます。

デバイスの専用クロック分周リセットピンがクロック分周のリセット専用に予約されていて、使用されていない場合でもユーザー ロジックとして使用できない場合があります。

デザインの入力方法

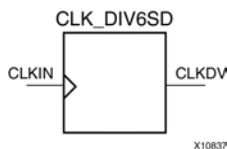
このELEMENTは、回路図で使用されます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

CLK_DIV6SD

: Global Clock Divide by 6 with Start Delay



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

概要

このデザイン エLEMENTは、ユーザーにより供給される外部クロック信号 `gclk<2>` を 6 で分周します。

クロック分周器は各デザインに 1 つしか使用できません。このグローバル クロック分周器は、CoolRunner-II デバイスのうち XC2C128、XC2C256、XC2C384、および XC2C512 では使用できますが、XC2C32 と XC2C64 では使用できません。CLKIN 入力は、デバイスの `gclk<2>` ピンにしか接続できません。CLKDV 出力のデューティサイクルは、50-50 です。この出力は、同期ELEMENTのクロック入力にのみ接続できます。組み合わせロジックとして使用したり、出力ピンに直接配線することはできません。

開始遅延機能は CLKDV 出力の開始を (n+1) クロック分遅らせます。ここで、n は、クロック分周器の除数を指します。

CLKDV 出力は、パワーオン リセット回路により Low にリセットされます。

デバイス上の専用クロック分周リセット ピン (CDRST) が予約されていて、ユーザー ロジックで使用できない場合があります。

デザインの入力方法

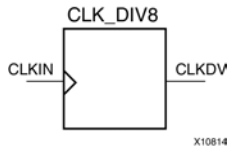
このELEMENTは、回路図で使用されます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

CLK_DIV8

: Simple Global Clock Divide by 8



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

概要

このデザイン エLEMENTは、ユーザーにより供給される外部クロック信号 gclk<2> を 8 で分周します。

クロック分周器は各デザインに 1 つしか使用できません。このグローバル クロック分周器は、CoolRunner-II デバイスのうち XC2C128、XC2C256、XC2C384、および XC2C512 では使用できますが、XC2C32 と XC2C64 では使用できません。CLKIN 入力は、デバイスの gclk<2> ピンにしか接続できません。CLKDV 出力のデューティサイクルは、50-50 です。この出力は、同期ELEMENTのクロック入力にのみ接続できます。組み合わせロジックとして使用したり、出力ピンに直接配線することはできません。

CLKDV 出力は、パワーオン リセット回路により Low にリセットされます。

デバイス上の専用クロック分周リセットピン (CDRST) が予約されていて、ユーザー ロジックで使用できない場合があります。

デザインの入力方法

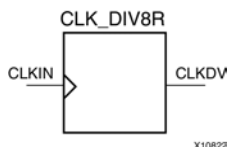
このELEMENTは、回路図で使用されます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

CLK_DIV8R

: Global Clock Divide by 8 with Synchronous Reset



サポートされているアーキテクチャ

このデザイン エレメントは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

概要

このデザイン エレメントは、ユーザーにより供給される外部クロック信号 gclk<2> を 8 で分周します。

クロック分周器は各デザインに 1 つしか使用できません。このグローバル クロック分周器は、CoolRunner™-II デバイスのうち XC2C128、XC2C256、XC2C384、および XC2C512 では使用できますが、XC2C32 と XC2C64 では使用できません。CLKIN および CDRST 入力は、それぞれデバイスの gclk<2> ピンおよび CDRST にしか接続できません。CLKDV 出力のデューティサイクルは、50-50 です。この出力は、同期エレメントのクロック入力にのみ接続できます。組み合わせロジックとして使用したり、出力ピンに直接配線することはできません。

CDRST 入力は、アクティブ High の同期リセットです。CLKDV 出力が High のとき、CDRST 入力が High になると、CLKDV 出力は最後のクロック パルスが完了するまで High のままで、その後で Low になります。

CLKDV 出力は、パワーオン リセット回路により Low にリセットされます。

デバイスの専用クロック分周リセットピンがクロック分周のリセット専用に予約されていて、使用されていない場合でもユーザー ロジックとして使用できない場合があります。

デザインの入力方法

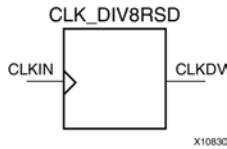
このエレメントは、回路図で使用されます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

CLK_DIV8RSD

: Global Clock Divide by 8 with Synchronous Reset and Start Delay



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

概要

このデザイン エLEMENTは、ユーザーにより供給される外部クロック信号 `gclk<2>` を 8 で分周します。

クロック分周器は各デザインに 1 つしか使用できません。このグローバル クロック分周器は、CoolRunner™-II デバイスのうち XC2C128、XC2C256、XC2C384、および XC2C512 では使用できますが、XC2C32 と XC2C64 では使用できません。CLKIN および CDRST 入力は、それぞれデバイスの `gclk<2>` ピンおよび CDRST にしか接続できません。CLKDV 出力のデューティサイクルは、50-50 です。この出力は、同期ELEMENTのクロック入力にのみ接続できます。組み合わせロジックとして使用したり、出力ピンに直接配線することはできません。

CDRST 入力は、アクティブ High の同期リセットです。CLKDV 出力が High のとき、CDRST 入力が High になると、CLKDV 出力は最後のクロックパルスが完了するまで High のままで、その後で Low になります。

開始遅延機能は CLKDV 出力の開始を (n+1) クロック分遅らせます。ここで、n は、クロック分周器の除数を指します。

CLKDV 出力は、パワーオンリセット回路により Low にリセットされます。

デバイスの専用クロック分周リセットピンがクロック分周のリセット専用予約されていて、使用されていない場合でもユーザー ロジックとして使用できない場合があります。

デザインの入力方法

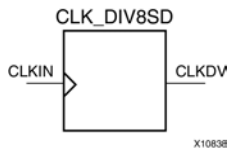
このELEMENTは、回路図で使用されます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

CLK_DIV8SD

: Global Clock Divide by 8 with Start Delay



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

概要

このデザイン エLEMENTは、ユーザーにより供給される外部クロック信号 `gclk<2>` を 8 で分周します。

クロック分周器は各デザインに 1 つしか使用できません。このグローバル クロック分周器は、CoolRunner-II デバイスのうち XC2C128、XC2C256、XC2C384、および XC2C512 では使用できますが、XC2C32 と XC2C64 では使用できません。CLKIN 入力は、デバイスの `gclk<2>` ピンにしか接続できません。CLKDV 出力のデューティサイクルは、50-50 です。この出力は、同期ELEMENTのクロック入力にのみ接続できます。組み合わせロジックとして使用したり、出力ピンに直接配線することはできません。

開始遅延機能は CLKDV 出力の開始を (n+1) クロック分遅らせます。ここで、n は、クロック分周器の除数を指します。

CLKDV 出力は、パワーオン リセット回路により Low にリセットされます。

デバイス上の専用クロック分周リセット ピン (CDRST) が予約されていて、ユーザー ロジックで使用できない場合があります。

デザインの入力方法

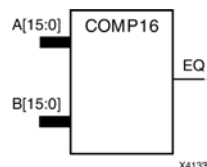
このELEMENTは、回路図で使用されます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

COMP16

: 16-Bit Identity Comparator



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

概要

このデザイン エLEMENTは、16 ビットのアイデンティティ コンパレータです。イコール出力 (EQ) は、A15 ～ A0 および B15 ～ B0 の 2 つのワードが等しいと High になります。

2 つのワードが等しいかどうかは、各ビットを比較して判断されます。各ワードの対応するビットのいずれかに等しくないものがある場合、EQ 出力は Low になります。

デザインの入力方法

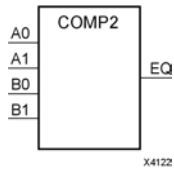
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

COMP2

: 2-Bit Identity Comparator



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

概要

このデザイン エLEMENTは、2 ビットのアイデンティティ コンパレータです。イコール出力 (EQ) は、A1 ~ A0 および B1 ~ B0 の 2 つのワードが等しいと High になります。

2 つのワードが等しいかどうかは、各ビットを比較して判断されます。各ワードの対応するビットのいずれかに等しくないものがある場合、EQ 出力は Low になります。

デザインの入力方法

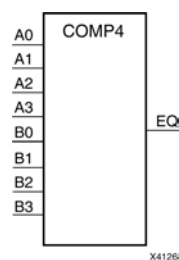
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

COMP4

: 4-Bit Identity Comparator



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

概要

このデザイン エLEMENTは、4 ビットのアイデンティティコンパレータです。イコール出力 (EQ) は、A3 ~ A0 および B3 ~ B0 の 2 つのワードが等しいと High になります。

2 つのワードが等しいかどうかは、各ビットを比較して判断されます。各ワードの対応するビットのいずれかに等しくないものがある場合、EQ 出力は Low になります。

デザインの入力方法

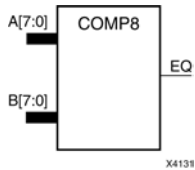
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

COMP8

: 8-Bit Identity Comparator



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

概要

このデザイン エLEMENTは、8 ビットのアイデンティティコンパレータです。イコール出力 (EQ) は、A7 ～ A0 および B7 ～ B0 の 2 つのワードが等しいと High になります。

2 つのワードが等しいかどうかは、各ビットを比較して判断されます。各ワードの対応するビットのいずれかに等しくないものがある場合、EQ 出力は Low になります。

デザインの入力方法

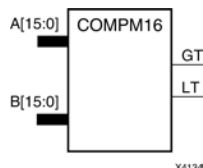
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

COMPM16

: 16-Bit Magnitude Comparator



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

概要

このデザイン エLEMENTは 16 ビットのマグニチュード コンパレータであり、2 つの正の 2 進重み付きワード A15 ~ A0 と B15 ~ B0 を比較します。この場合、A15 と B15 が最上位ビットです。

大なり出力 (GT) は $A > B$ のとき High になり、小なり出力 (LT) は $A < B$ のとき High になります。2 つのワードが等しいときは、GT と LT の両方が Low になります。このマクロで等価性を調べるには、両方の出力を NOR ゲートで比較します。

論理表

入力								出力	
A7、B7	A6、B6	A5、B5	A4、B4	A3、B3	A2、B2	A1、B1	A0、B0	GT	LT
A7>B7	X	X	X	X	X	X	X	1	0
A7<B7	X	X	X	X	X	X	X	0	1
A7=B7	A6>B6	X	X	X	X	X	X	1	0
A7=B7	A6<B6	X	X	X	X	X	X	0	1
A7=B7	A6=B6	A5>B5	X	X	X	X	X	1	0
A7=B7	A6=B6	A5<B5	X	X	X	X	X	0	1
A7=B7	A6=B6	A5=B5	A4>B4	X	X	X	X	1	0
A7=B7	A6=B6	A5=B5	A4<B4	X	X	X	X	0	1
A7=B7	A6=B6	A5=B5	A4=B4	A3>B3	X	X	X	1	0
A7=B7	A6=B6	A5=B5	A4=B4	A3<B3	X	X	X	0	1
A7=B7	A6=B6	A5=B5	A4=B4	A3=B3	A2>B2	X	X	1	0
A7=B7	A6=B6	A5=B5	A4=B4	A3=B3	A2<B2	X	X	0	1
A7=B7	A6=B6	A5=B5	A4=B4	A3=B3	A2=B2	A1>B1	X	1	0
A7=B7	A6=B6	A5=B5	A4=B4	A3=B3	A2=B2	A1<B1	X	0	1
A7=B7	A6=B6	A5=B5	A4=B4	A3=B3	A2=B2	A1=B1	A0>B0	1	0
A7=B7	A6=B6	A5=B5	A4=B4	A3=B3	A2=B2	A1=B1	A0<B0	0	1
A7=B7	A6=B6	A5=B5	A4=B4	A3=B3	A2=B2	A1=B1	A0=B0	0	0

デザインの入力方法

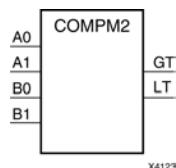
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

COMPM2

: 2-Bit Magnitude Comparator



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

概要

このデザイン エLEMENTは 2 ビットのマグニチュード コンパレータであり、2 つの正の 2 進重み付きワード A1 ~ A0 と B1 ~ B0 を比較します。この場合、A1 と B1 が最上位ビットです。

大なり出力 (GT) は $A > B$ のとき High になり、小なり出力 (LT) は $A < B$ のとき High になります。2 つのワードが等しいときは、GT と LT の両方が Low になります。このマクロで等価性を調べるには、両方の出力を NOR ゲートで比較します。

論理表

入力				出力	
A1	B1	A0	B0	GT	LT
0	0	0	0	0	0
0	0	1	0	1	0
0	0	0	1	0	1
0	0	1	1	0	0
1	1	0	0	0	0
1	1	1	0	1	0
1	1	0	1	0	1
1	1	1	1	0	0
1	0	X	X	1	0
0	1	X	X	0	1

デザインの入力方法

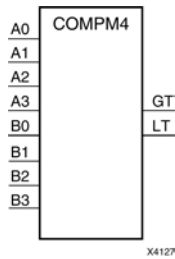
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

COMPM4

: 4-Bit Magnitude Comparator



サポートされているアーキテクチャ

このデザイン エレメントは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

概要

このデザイン エレメントは 4 ビットのマグニチュード コンパレータであり、2 つの正の 2 進重み付きワード A3 ~ A0 と B3 ~ B0 を比較します。この場合、A3 と B3 が最上位ビットです。

大なり出力 (GT) は $A > B$ のとき High になり、小なり出力 (LT) は $A < B$ のとき High になります。2 つのワードが等しいときは、GT と LT の両方が Low になります。このマクロで等価性を調べるには、両方の出力を NOR ゲートで比較します。

論理表

入力				出力	
A3、B3	A2、B2	A1、B1	A0、B0	GT	LT
$A3 > B3$	X	X	X	1	0
$A3 < B3$	X	X	X	0	1
$A3 = B3$	$A2 > B2$	X	X	1	0
$A3 = B3$	$A2 < B2$	X	X	0	1
$A3 = B3$	$A2 = B2$	$A1 > B1$	X	1	0
$A3 = B3$	$A2 = B2$	$A1 < B1$	X	0	1
$A3 = B3$	$A2 = B2$	$A1 = B1$	$A0 > B0$	1	0
$A3 = B3$	$A2 = B2$	$A1 = B1$	$A0 < B0$	0	1
$A3 = B3$	$A2 = B2$	$A1 = B1$	$A0 = B0$	0	0

デザインの入力方法

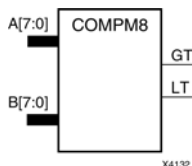
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

COMP8

: 8-Bit Magnitude Comparator



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

概要

このデザイン エLEMENTは 8 ビットのマグニチュード コンパレータであり、2 つの正の 2 進重み付きワード A7 ~ A0 と B7 ~ B0 を比較します。この場合、A7 と B7 が最上位ビットです。

大なり出力 (GT) は $A > B$ のとき High になり、小なり出力 (LT) は $A < B$ のとき High になります。2 つのワードが等しいときは、GT と LT の両方が Low になります。このマクロで等価性を調べるには、両方の出力を NOR ゲートで比較します。

論理表

入力								出力	
A7、B7	A6、B6	A5、B5	A4、B4	A3、B3	A2、B2	A1、B1	A0、B0	GT	LT
A7>B7	X	X	X	X	X	X	X	1	0
A7<B7	X	X	X	X	X	X	X	0	1
A7=B7	A6>B6	X	X	X	X	X	X	1	0
A7=B7	A6<B6	X	X	X	X	X	X	0	1
A7=B7	A6=B6	A5>B5	X	X	X	X	X	1	0
A7=B7	A6=B6	A5<B5	X	X	X	X	X	0	1
A7=B7	A6=B6	A5=B5	A4>B4	X	X	X	X	1	0
A7=B7	A6=B6	A5=B5	A4<B4	X	X	X	X	0	1
A7=B7	A6=B6	A5=B5	A4=B4	A3>B3	X	X	X	1	0
A7=B7	A6=B6	A5=B5	A4=B4	A3<B3	X	X	X	0	1
A7=B7	A6=B6	A5=B5	A4=B4	A3=B3	A2>B2	X	X	1	0
A7=B7	A6=B6	A5=B5	A4=B4	A3=B3	A2<B2	X	X	0	1
A7=B7	A6=B6	A5=B5	A4=B4	A3=B3	A2=B2	A1>B1	X	1	0
A7=B7	A6=B6	A5=B5	A4=B4	A3=B3	A2=B2	A1<B1	X	0	1
A7=B7	A6=B6	A5=B5	A4=B4	A3=B3	A2=B2	A1=B1	A0>B0	1	0
A7=B7	A6=B6	A5=B5	A4=B4	A3=B3	A2=B2	A1=B1	A0<B0	0	1
A7=B7	A6=B6	A5=B5	A4=B4	A3=B3	A2=B2	A1=B1	A0=B0	0	0

デザインの入力方法

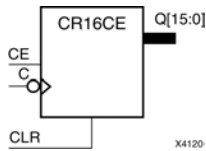
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

CR16CE

: 16-Bit Negative-Edge Binary Ripple Counter with Clock Enable and Asynchronous Clear



サポートされているアーキテクチャ

このデザイン エレメントは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

概要

このデザイン エレメントは、クロック イネーブルと非同期クリアがある、カスケード可能、クリア可能な 16 ビットのバイナリ リップル カウンタです。

1 段目の最後の Q 出力を次の段のクロック入力に接続し、CLR および CE 入力を並列に接続すると、より大型のカウンタを作成できます。クロック周期は、リップル カウンタ全体の長さの影響を受けません。クロック ピンと出力ピンの伝搬遅延は、 $n(t_{c-q})$ です。ここで、 n は段数、時間 $n(t_{c-q})$ は各段における C ピンと Q_z ピン間の伝搬遅延を表します。

電力を供給すると、カウンタは非同期にクリアされ、出力が Low になります。

論理表

入力			出力
CLR	CE	C	$Q_z : Q_0$
1	X	X	0
0	0	X	変化なし
0	1	↓	インクリメント
$z = \text{ビット幅} - 1$			

デザインの入力方法

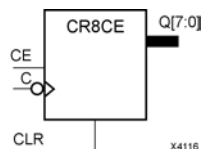
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

CR8CE

： 8-Bit Negative-Edge Binary Ripple Counter with Clock Enable and Asynchronous Clear



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

概要

このデザイン エLEMENTは、クロック イネーブルと非同期クリアがある、カスケード可能、クリア可能な 8 ビットのバイナリ リップル カウンタです。

非同期クリア (CLR) が High になると、ほかのすべての入力は無視され、Q 出力が 0 になります。クロック イネーブル入力 (CE) が High の場合、クロック (C) が High から Low に切り替わるときにカウンタがインクリメントします。CE が Low の場合、クロック遷移は無視されます。

1 段目の最後の Q 出力を次の段のクロック入力に接続し、CLR および CE 入力を並列に接続すると、より大型のカウンタを作成できます。クロック周期は、リップル カウンタ全体の長さの影響を受けません。クロック ピンと出力ピンの伝搬遅延は、 $n(t_c - q)$ です。ここで、 n は段数、時間 $n(t_c - q)$ は各段における C ピンと Qz ピン間の伝搬遅延を表します。

電力を供給すると、カウンタは非同期にクリアされ、出力が Low になります。

論理表

入力			出力
CLR	CE	C	Qz : Q0
1	X	X	0
0	0	X	変化なし
0	1	↓	インクリメント
z = ビット幅 - 1			

デザインの入力方法

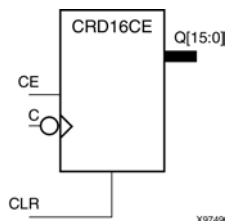
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

CRD16CE

: 16-Bit Dual-Edge Triggered Binary Ripple Counter with Clock Enable and Asynchronous Clear



サポートされているアーキテクチャ

このデザイン エレメントは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

概要

このデザイン エレメントは、クロックの両エッジで動作するカスケード可能、クリア可能な 16 ビットのバイナリリップル カウンタです。

非同期クリア (CLR) が High になると、ほかのすべての入力は無視され、Q 出力が 0 になります。クロック イネーブル入力 (CE) が High の場合、クロック (C) が High から Low、または Low から High に切り替わるときにカウンタがインクリメントします。CE が Low の場合、クロック遷移は無視されます。

1 段目の最後の Q 出力を次の段のクロック入力に接続し、CLR および CE 入力を並列に接続すると、より大型のカウンタを作成できます。クロック周期は、リップル カウンタ全体の長さの影響を受けません。クロック ピンと出力ピンの伝搬遅延は、 $n(t_c - q)$ です。ここで、 n は段数、時間 $n(t_c - q)$ は各段における C ピンと Qz ピン間の伝搬遅延を表します。

電力を供給すると、カウンタは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

論理表

入力			出力
CLR	CE	C	Qz : Q0
1	X	X	0
0	0	X	変化なし
0	1	↑	インクリメント
0	1	↓	インクリメント
z = ビット幅 - 1			

デザインの入力方法

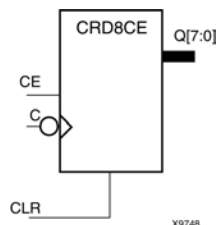
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

CRD8CE

: 8-Bit Dual-Edge Triggered Binary Ripple Counter with Clock Enable and Asynchronous Clear



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

概要

このデザイン エLEMENTは、クロックの両エッジで動作するカスケード可能、クリア可能な 8 ビットのバイナリリップル カウンタです。

非同期クリア (CLR) が High になると、ほかのすべての入力は無視され、Q 出力が 0 になります。クロック イネーブル入力 (CE) が High の場合、クロック (C) が High から Low、または Low から High に切り替わるときにカウンタがインクリメントします。CE が Low の場合、クロック遷移は無視されます。

1 段目の最後の Q 出力を次の段のクロック入力に接続し、CLR および CE 入力を並列に接続すると、より大型のカウンタを作成できます。クロック周期は、リップル カウンタ全体の長さの影響を受けません。クロック ピンと出力ピンの伝搬遅延は、 $n(t_c - q)$ です。ここで、 n は段数、時間 $n(t_c - q)$ は各段における C ピンと Qz ピン間の伝搬遅延を表します。

電力を供給すると、カウンタは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

論理表

入力			出力
CLR	CE	C	Qz : Q0
1	X	X	0
0	0	X	変化なし
0	1	↑	インクリメント
0	1	↓	インクリメント
z = ビット幅 - 1			

デザインの入力方法

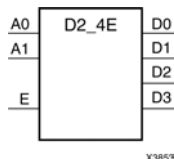
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

D2_4E

: 2- to 4-Line Decoder/Demultiplexer with Enable



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

概要

このデザイン エLEMENTは、デコーダ/デマルチプレクサです。イネーブル (E) 入力が高の場合、2 ビットのバイナリ アドレス (A1 ~ A0) 入力に応じて 4 つのアクティブ High の出力 (D3 ~ D0) のいずれかが High になります。それ以外の出力は、Low になります。E 入力が高の場合は、すべての出力が Low になります。デマルチプレクサ アプリケーションでは、E 入力が入力値になります。

論理表

入力			出力			
A1	A0	E	D3	D2	D1	D0
X	X	0	0	0	0	0
0	0	1	0	0	0	1
0	1	1	0	0	1	0
1	0	1	0	1	0	0
1	1	1	1	0	0	0

デザインの入力方法

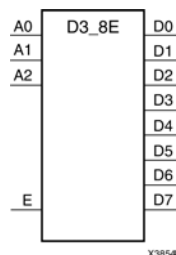
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

D3_8E

： 3- to 8-Line Decoder/Demultiplexer with Enable



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

概要

D3_8E デコーダ/デマルチプレクサのイネーブル (E) 入力が高の場合、3 ビットのバイナリ アドレス (A2 ~ A0) 入力によって 8 つのアクティブ High の出力 (D7 ~ D0) のいずれかが High になります。それ以外の出力は、Low になります。E 入力が高の場合は、すべての出力が Low になります。デマルチプレクサ アプリケーションでは、E 入力が入力値になります。

論理表

入力				出力							
A2	A1	A0	E	D7	D6	D5	D4	D3	D2	D1	D0
X	X	X	0	0	0	0	0	0	0	0	0
0	0	0	1	0	0	0	0	0	0	0	1
0	0	1	1	0	0	0	0	0	0	1	0
0	1	0	1	0	0	0	0	0	1	0	0
0	1	1	1	0	0	0	0	1	0	0	0
1	0	0	1	0	0	0	1	0	0	0	0
1	0	1	1	0	0	1	0	0	0	0	0
1	1	0	1	0	1	0	0	0	0	0	0
1	1	1	1	1	0	0	0	0	0	0	0

デザインの入力方法

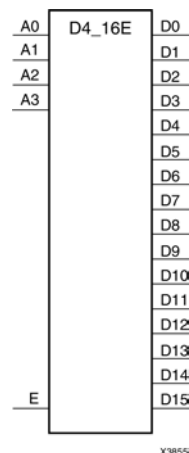
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

D4_16E

: 4- to 16-Line Decoder/Demultiplexer with Enable



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

概要

このデザイン エLEMENTは、デコーダ/デマルチプレクサです。D4_16E デコーダ/デマルチプレクサのイネーブル (E) 入力が高になると、4 ビットのバイナリアドレス (A3 ~ A0) 入力に応じて 16 のアクティブ High の出力 (D15 ~ D0) のいずれかが High になります。それ以外の出力は、Low になります。E 入力が高の場合は、すべての出力が Low になります。デマルチプレクサ アプリケーションでは、E 入力が入力値になります。

デザインの入力方法

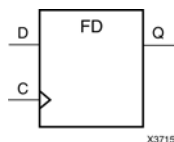
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

FD

: D Flip-Flop



サポートされているアーキテクチャ

このデザイン エレメントは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

概要

このデザイン エレメントは、データ入力 (D) とデータ出力 (Q) がある D フリップフロップです。D 入力の値は、クロック (C) が Low から High に切り替わる時にフリップフロップにロードされます。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

論理表

入力		出力
D	C	Q
0	↑	0
1	↑	1

デザインの入力方法

このエレメントは、回路図でのみ使用できます。

使用可能な属性

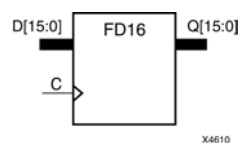
属性	タイプ	値	デフォルト	説明
INIT	2 進数	0、1	0	コンフィギュレーション後の Q 出力の初期値を指定

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

FD16

: Multiple D Flip-Flop



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

概要

このデザイン エLEMENTは、データ入力 (D)、データ出力 (Q) がある 16 ビットの複数 D フリップフロップで、共通のクロック (C) があります。D 入力の値は、クロック (C) が Low から High に切り替わる時にフリップフロップにロードされます。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

論理表

入力		出力
Dz : D0	C	Qz : Q0
0	↑	0
1	↑	1
z = ビット幅 - 1		

デザインの入力方法

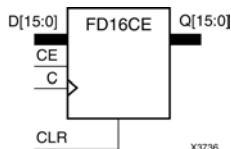
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

FD16CE

: 16-Bit Data Register with Clock Enable and Asynchronous Clear



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

概要

このデザイン エLEMENTは、クロック イネーブルと非同期クリアがある 16 ビットのデータレジスタです。クロック イネーブル (CE) が High、非同期クリア (CLR) が Low の場合、クロック (C) が Low から High に切り替わるときにデータ入力 (D) の値がデータ出力 (Q) に送られます。CLR が High になると、ほかの入力はすべて無視され、出力 (Q) が Low にリセットされます。CE が Low の場合、クロック遷移は無視されます。

電力を供給すると、レジスタは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

論理表

入力				出力
CLR	CE	Dz : D0	C	Qz : Q0
1	X	X	X	0
0	0	X	X	変化なし
0	1	Dn	↑	Dn
z = ビット幅 - 1				

デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

使用可能な属性

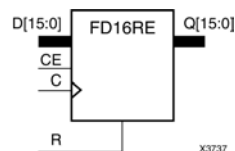
属性	タイプ	値	デフォルト	説明
INIT	2 進数	16 ビット値	すべてゼロ	コンフィギュレーション後の Q 出力の初期値を指定

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

FD16RE

: 16-Bit Data Register with Clock Enable and Synchronous Reset



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

概要

このデザイン エLEMENTは、16 ビットのデータレジスタです。クロック イネーブル入力 (CE) が High、同期リセット入力 (R) が Low の場合、クロック (C) が Low から High に切り替わるときに入力 (D) の値が対応する出力 (Q) に送られます。R が High になると、ほかの入力はすべて無視され、クロックが Low から High に切り替わるときに出力 (Q) の値が Low にリセットされます。CE が Low の場合、クロック遷移は無視されます。

電力を供給すると、レジスタは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

論理表

入力				出力
R	CE	Dz : D0	C	Qz : Q0
1	X	X	↑	0
0	0	X	X	変化なし
0	1	Dn	↑	Dn
z = ビット幅 - 1				

デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

使用可能な属性

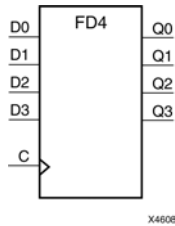
属性	タイプ	値	デフォルト	説明
INIT	2 進数	16 ビット値	すべてゼロ	コンフィギュレーション後の Q 出力の初期値を指定

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

FD4

: Multiple D Flip-Flop



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

概要

このデザイン エLEMENTは、データ入力 (D)、データ出力 (Q) がある 4 ビットの複数 D フリップフロップで、共通のクロック (C) があります。D 入力の値は、クロック (C) が Low から High に切り替わる時にフリップフロップにロードされます。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

論理表

入力		出力
Dz : D0	C	Qz : Q0
0	↑	0
1	↑	1
z = ビット幅 - 1		

デザインの入力方法

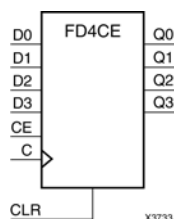
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

FD4CE

： 4-Bit Data Register with Clock Enable and Asynchronous Clear



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

概要

このデザイン エLEMENTは、クロック イネーブルと非同期クリアがある 4 ビットのデータレジスタです。クロック イネーブル (CE) が High、非同期クリア (CLR) が Low の場合、クロック (C) が Low から High に切り替わるときにデータ入力 (D) の値がデータ出力 (Q) に送られます。CLR が High になると、ほかの入力はすべて無視され、出力 (Q) が Low にリセットされます。CE が Low の場合、クロック遷移は無視されます。

電力を供給すると、レジスタは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

論理表

入力				出力
CLR	CE	Dz : D0	C	Qz : Q0
1	X	X	X	0
0	0	X	X	変化なし
0	1	Dn	↑	Dn
z = ビット幅 - 1				

デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

使用可能な属性

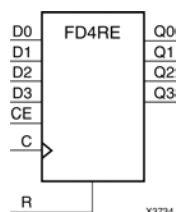
属性	タイプ	値	デフォルト	説明
INIT	2 進数	4 ビット値	すべてゼロ	コンフィギュレーション後の Q 出力の初期値を指定

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

FD4RE

： 4-Bit Data Register with Clock Enable and Synchronous Reset



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

概要

このデザイン エLEMENTは、4 ビットのデータレジスタです。クロック イネーブル入力 (CE) が High、同期リセット入力 (R) が Low の場合、クロック (C) が Low から High に切り替わるときに入力 (D) の値が対応する出力 (Q) に送られます。R が High になると、ほかの入力はすべて無視され、クロックが Low から High に切り替わるときに出力 (Q) の値が Low にリセットされます。CE が Low の場合、クロック遷移は無視されます。

電力を供給すると、レジスタは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

論理表

入力				出力
R	CE	Dz : D0	C	Qz : Q0
1	X	X	↑	0
0	0	X	X	変化なし
0	1	Dn	↑	Dn
z = ビット幅 - 1				

デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

使用可能な属性

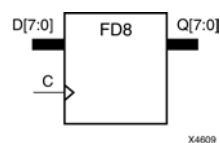
属性	タイプ	値	デフォルト	説明
INIT	2 進数	4 ビット値	すべてゼロ	コンフィギュレーション後の Q 出力の初期値を指定

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

FD8

: Multiple D Flip-Flop



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

概要

このデザイン エLEMENTは、データ入力 (D)、データ出力 (Q) がある 8 ビットの複数 D フリップフロップで、共通のクロック (C) があります。D 入力の値は、クロック (C) が Low から High に切り替わる時にフリップフロップにロードされます。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

論理表

入力		出力
Dz : D0	C	Qz : Q0
0	↑	0
1	↑	1
z = ビット幅 - 1		

デザインの入力方法

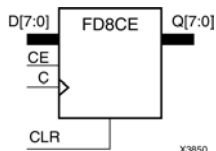
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

FD8CE

: 8-Bit Data Register with Clock Enable and Asynchronous Clear



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

概要

このデザイン エLEMENTは、クロック イネーブルと非同期クリアがある 8 ビットのデータレジスタです。クロック イネーブル (CE) が High、非同期クリア (CLR) が Low の場合、クロック (C) が Low から High に切り替わるときにデータ入力 (D) の値がデータ出力 (Q) に送られます。CLR が High になると、ほかの入力はすべて無視され、出力 (Q) が Low にリセットされます。CE が Low の場合、クロック遷移は無視されます。

電力を供給すると、レジスタは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

論理表

入力				出力
CLR	CE	Dz : D0	C	Qz : Q0
1	X	X	X	0
0	0	X	X	変化なし
0	1	Dn	↑	Dn
z = ビット幅 - 1				

デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

使用可能な属性

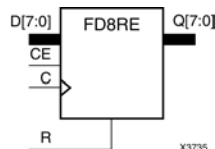
属性	タイプ	値	デフォルト	説明
INIT	2 進数	8 ビット値	すべてゼロ	コンフィギュレーション後の Q 出力の初期値を指定

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

FD8RE

: 8-Bit Data Register with Clock Enable and Synchronous Reset



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

概要

このデザイン エLEMENTは、8 ビットのデータレジスタです。クロック イネーブル入力 (CE) が High、同期リセット入力 (R) が Low の場合、クロック (C) が Low から High に切り替わるときに入力 (D) の値が対応する出力 (Q) に送られます。R が High になると、ほかの入力はすべて無視され、クロックが Low から High に切り替わるときに出力 (Q) の値が Low にリセットされます。CE が Low の場合、クロック遷移は無視されます。

電力を供給すると、レジスタは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

論理表

入力				出力
R	CE	Dz : D0	C	Qz : Q0
1	X	X	↑	0
0	0	X	X	変化なし
0	1	Dn	↑	Dn
z = ビット幅 - 1				

デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

使用可能な属性

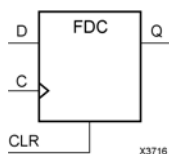
属性	タイプ	値	デフォルト	説明
INIT	2 進数	8 ビット値	すべてゼロ	コンフィギュレーション後の Q 出力の初期値を指定

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

FDC

: D Flip-Flop with Asynchronous Clear



サポートされているアーキテクチャ

このデザイン エレメントは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

概要

このデザイン エレメントは、データ入力 (D)、非同期クリア入力 (CLR)、データ出力 (Q) がある単一の D フリップフロップです。非同期 CLR が High になると、ほかのすべての入力は無視され、Q 出力が Low になります。CLR が Low の場合、クロックが Low から High に切り替わるときに D 入力の値がフリップフロップにロードされます。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

論理表

入力			出力
CLR	D	C	Q
1	X	X	0
0	D	↑	D

デザインの入力方法

このエレメントは、回路図でのみ使用できます。

使用可能な属性

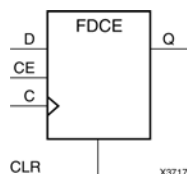
属性	タイプ	値	デフォルト	説明
INIT	2 進数	0、1	0	コンフィギュレーション後の Q 出力の初期値を指定。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

FDCE

: D Flip-Flop with Clock Enable and Asynchronous Clear



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

概要

このデザイン エLEMENTは、クロック イネーブルと非同期クリアがある単一の D タイプ フリップフロップです。クロック イネーブル (CE) が High、非同期クリア (CLR) が Low の場合、クロック (C) が Low から High に切り替わるときにデータ入力 (D) の値がデータ出力 (Q) に送られます。CLR が High になると、ほかのすべての入力は無視され、出力 (Q) の値が Low にリセットされます。CE が Low の場合、クロック遷移は無視されます。

XC9500XL および XC9500XV デバイスの場合、クロック イネーブル入力 (CE) に接続されたロジックは、マクロセルのクロック イネーブル積項を使用してインプリメントできます。ただし、ほかのマクロセルからのフィードバックなしで、CE に使用可能な積項を 1 つ使用してロジックを完全にインプリメントできることが条件となります。クロック イネーブル積項を利用できるフリップフロップ プリミティブは、FDCE と FDPE のみです。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのバースを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

論理表

入力				出力
CLR	CE	D	C	Q
1	X	X	X	0
0	0	X	X	変化なし
0	1	D	↑	D

デザインの入力方法

このELEMENTは、回路図で使用されます。

使用可能な属性

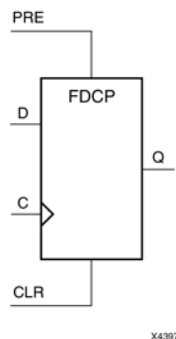
属性	タイプ	値	デフォルト	説明
INIT	2 進数	0、1	0	コンフィギュレーション後の Q 出力の初期値を指定。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

FDCP

: D Flip-Flop with Asynchronous Preset and Clear



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

概要

このデザイン エLEMENTは、データ (D)、非同期プリセット (PRE)、クリア (CLR) の各入力とデータ出力 (Q) がある単一の D タイプ フリップフロップです。非同期 PRE が High になると、Q 出力が High にセットされます。CLR が High になると、出力が Low にリセットされます。PRE と CLR が Low の場合、クロック (C) が Low から High に切り替わる時に D 入力の値がフリップフロップにロードされます。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

論理表

入力				出力
CLR	PRE	D	C	Q
1	X	X	X	0
0	1	X	X	1
0	0	D	↑	D

デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

使用可能な属性

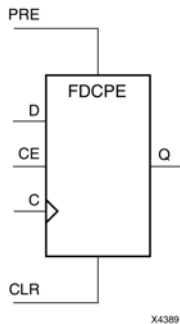
属性	タイプ	値	デフォルト	説明
INIT	2 進数	0、1	0	コンフィギュレーション後の Q 出力の初期値を指定

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

FDCPE

: D Flip-Flop with Clock Enable and Asynchronous Preset and Clear



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

概要

このデザイン エLEMENTは、データ (D)、クロック イネーブル (CE)、非同期プリセット (PRE)、非同期クリア (CLR) の各入力とデータ出力 (Q) がある単一の D タイプ フリップフロップです。非同期 PRE が High になると Q 出力が High にセットされ、CLR が High になると出力が Low にリセットされます (CLR 入力が PRE 入力よりも優先される)。PRE と CLR が Low で CE が High の場合、クロック (C) が Low から High に切り替わるときに D 入力の値がフリップフロップにロードされます。CE が Low の場合クロック遷移は無視され、以前の値が保持されます。FDCPE は通常、スライスまたは IOB レジスタとしてインプリメントされます。

CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。FPGA では電源が投入されると、INIT 属性を使用して指定した初期値に設定されます。GSR (グローバル セット/リセット) をアサートすると、INIT で指定した初期値に非同期で設定されます。

メモ： 非同期のセットおよびリセットの使用がサポートされていますが、これらの使用は通常お勧めしません。非同期信号を使用するとタイミングの問題が検出および制御しにくく、またロジックの最適化に悪影響を及ぼし、同期セットまたはリセットを使用した場合に比べて消費電力が大きくなる場合があります。

論理表

入力					出力
CLR	PRE	CE	D	C	Q
1	X	X	X	X	0
0	1	X	X	X	1
0	0	0	X	X	変化なし
0	0	1	D	↑	D

ポートの説明

ポート名	方向	幅	機能
Q	出力	1	データ出力
C	入力	1	クロック入力
CE	入力	1	クロック イネーブル入力
CLR	入力	1	非同期クリア入力
D	入力	1	データ入力
PRE	入力	1	非同期セット入力

デザインの入力方法

このELEMENTは、回路図で使用されます。

使用可能な属性

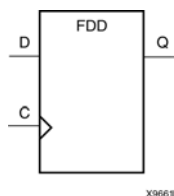
属性	タイプ	値	デフォルト	説明
INIT	2 進数	0、1	0	コンフィギュレーション後および GSR 入力時の Q 出力の初期値を指定

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

FDD

: Dual Edge Triggered D Flip-Flop



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

概要

このデザイン エLEMENTは、クロックの両エッジで動作する単一の D フリップフロップで、入力 (D) と出力 (Q) があります。D 入力の値は、クロック (C) が Low から High または High から Low に切り替わるときにフリップフロップにロードされます。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

論理表

入力		出力
D	C	Q
0	↑	0
1	↑	1
0	↓	0
1	↓	1

デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

使用可能な属性

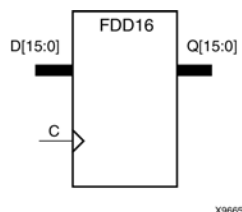
属性	タイプ	値	デフォルト	説明
INIT	2 進数	0、1	0	コンフィギュレーション後の Q 出力の初期値を指定

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

FDD16

: Multiple Dual Edge Triggered D Flip-Flop



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

概要

このデザイン エLEMENTは、クロックの両エッジで動作する複数の D フリップフロップで、入力 (D) と出力 (Q) があります。16 ビットレジスタで、共通のクロック (C) があります。D 入力の値は、クロック (C) が Low から High または High から Low に切り替わるときにフリップフロップにロードされます。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

論理表

入力		出力
Dz : D0	C	Qz : Q0
0	↑	0
1	↑	1
0	↓	0
1	↓	1
z = ビット幅 - 1		

デザインの入力方法

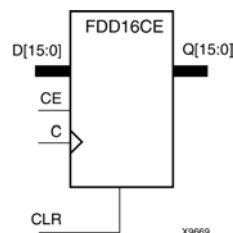
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

FDD16CE

: 16-Bit Dual Edge Triggered Data Register with Clock Enable and Asynchronous Clear



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

概要

このデザイン エLEMENTは、クロック イネーブルと非同期クリアがある 16 ビットのデータレジスタです。クロック イネーブル (CE) が High、非同期クリア (CLR) が Low の場合、クロック (C) が Low から High または High から Low に切り替わる時に、入力 (D) の値が出力 (Q) に送られます。CLR が High になると、ほかの入力はすべて無視され、出力 (Q) が Low にリセットされます。CE が Low の場合、クロック遷移は無視されます。

電力を供給すると、レジスタは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスで PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

論理表

入力				出力
CLR	CE	Dz : D0	C	Qz : Q0
1	X	X	X	0
0	0	X	X	変化なし
0	1	Dn	↑	Dn
0	1	Dn	↓	Dn
z = ビット幅 - 1				

デザインの入力方法

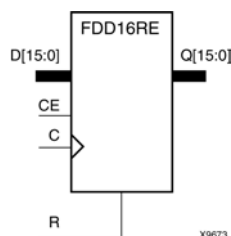
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

FDD16RE

: 16-Bit Dual Edge Triggered Data Register with Clock Enable and Synchronous Reset



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

概要

このデザイン エLEMENTは、16 ビットのデータレジスタです。クロック イネーブル入力 (CE) が High、同期リセット入力 (R) が Low の場合、クロック (C) が Low から High または High から Low に切り替わるときに、入力 (D) の値が対応する出力 (Q0) に送られます。R が High になると、ほかの入力はすべて無視され、クロックが Low から High または High から Low に切り替わるときに、出力 (Q) の値が Low にリセットされます。CE が Low の場合、クロック遷移は無視されます。

電力を供給すると、レジスタは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

論理表

入力				出力
R	CE	Dz : D0	C	Qz : Q0
1	X	X	↑	0
1	X	X	↓	0
0	0	X	X	変化なし
0	1	Dn	↑	Dn
0	1	Dn	↓	Dn

z = ビット幅 - 1

デザインの入力方法

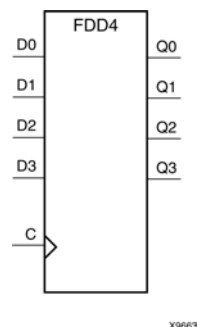
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

FDD4

Multiple Dual Edge Triggered D Flip-Flops



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

概要

このデザイン エLEMENTは、クロックの両エッジで動作する複数の D フリップフロップで、入力 (D) と出力 (Q) があります。4 ビットレジスタで、共通のクロック (C) があります。D 入力の値は、クロック (C) が Low から High または High から Low に切り替わる時にフリップフロップにロードされます。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

論理表

入力		出力
Dz : D0	C	Qz : Q0
0	↑	0
1	↑	1
0	↓	0
1	↓	1
z = ビット幅 - 1		

デザインの入力方法

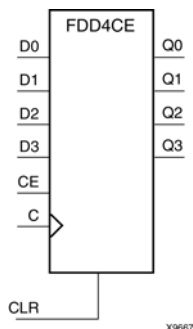
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

FDD4CE

: 4-Bit Dual Edge Triggered Data Register with Clock Enable and Asynchronous Clear



サポートされているアーキテクチャ

このデザイン エレメントは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

概要

このデザイン エレメントは、クロック イネーブルと非同期クリアがある 4 ビットのデータレジスタです。クロック イネーブル (CE) が High、非同期クリア (CLR) が Low の場合、クロック (C) が Low から High または High から Low に切り替わる時に、入力 (D) の値が出力 (Q) に送られます。CLR が High になると、ほかの入力はすべて無視され、出力 (Q) が Low にリセットされます。CE が Low の場合、クロック遷移は無視されます。

電力を供給すると、レジスタは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

論理表

入力				出力
CLR	CE	Dz : D0	C	Qz : Q0
1	X	X	X	0
0	0	X	X	変化なし
0	1	Dn	↑	Dn
0	1	Dn	↓	Dn
z = ビット幅 - 1				

デザインの入力方法

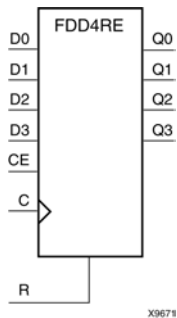
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

FDD4RE

: 4-Bit Dual Edge Triggered Data Register with Clock Enable and Synchronous Reset



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

概要

このデザイン エLEMENTは、4 ビットのデータレジスタです。クロック イネーブル入力 (CE) が High、同期リセット入力 (R) が Low の場合、クロック (C) が Low から High または High から Low に切り替わるときに、入力 (D) の値が対応する出力 (Q0) に送られます。R が High になると、ほかの入力はすべて無視され、クロックが Low から High または High から Low に切り替わるときに、出力 (Q) の値が Low にリセットされます。CE が Low の場合、クロック遷移は無視されます。

電力を供給すると、レジスタは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

論理表

入力				出力
R	CE	Dz : D0	C	Qz : Q0
1	X	X	↑	0
1	X	X	↓	0
0	0	X	X	変化なし
0	1	Dn	↑	Dn
0	1	Dn	↓	Dn
z = ビット幅 - 1				

デザインの入力方法

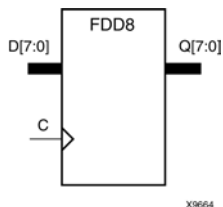
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

FDD8

: Multiple Dual Edge Triggered D Flip-Flop



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

概要

このデザイン エLEMENTは、クロックの両エッジで動作する複数の D フリップフロップで、入力 (D) と出力 (Q) があります。8 ビットレジスタで、共通のクロック (C) があります。D 入力の値は、クロック (C) が Low から High または High から Low に切り替わるときにフリップフロップにロードされます。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

論理表

入力		出力
Dz : D0	C	Qz : Q0
0	↑	0
1	↑	1
0	↓	0
1	↓	1
z = ビット幅 - 1		

デザインの入力方法

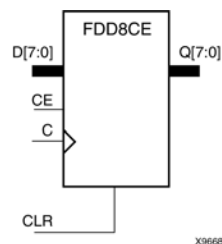
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

FDD8CE

： 8-Bit Dual Edge Triggered Data Register with Clock Enable and Asynchronous Clear



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

概要

このデザイン エLEMENTは、クロック イネーブルと非同期クリアがある 8 ビットのデータレジスタです。クロック イネーブル (CE) が High、非同期クリア (CLR) が Low の場合、クロック (C) が Low から High または High から Low に切り替わる時に、入力 (D) の値が出力 (Q) に送られます。CLR が High になると、ほかの入力はすべて無視され、出力 (Q) が Low にリセットされます。CE が Low の場合、クロック遷移は無視されます。

電力を供給すると、レジスタは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

論理表

入力				出力
CLR	CE	Dz : D0	C	Qz : Q0
1	X	X	X	0
0	0	X	X	変化なし
0	1	Dn	↑	Dn
0	1	Dn	↓	Dn
z = ビット幅 - 1				

デザインの入力方法

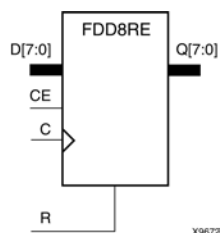
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

FDD8RE

: 8-Bit Dual Edge Triggered Data Register with Clock Enable and Synchronous Reset



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

概要

このデザイン エLEMENTは、8 ビットのデータレジスタです。クロック イネーブル入力 (CE) が High、同期リセット入力 (R) が Low の場合、クロック (C) が Low から High または High から Low に切り替わるときに、入力 (D) の値が対応する出力 (Q0) に送られます。R が High になると、ほかの入力はすべて無視され、クロックが Low から High または High から Low に切り替わるときに、出力 (Q) の値が Low にリセットされます。CE が Low の場合、クロック遷移は無視されます。

電力を供給すると、レジスタは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

論理表

入力				出力
R	CE	Dz : D0	C	Qz : Q0
1	X	X	↑	0
1	X	X	↓	0
0	0	X	X	変化なし
0	1	Dn	↑	Dn
0	1	Dn	↓	Dn
z = ビット幅 - 1				

デザインの入力方法

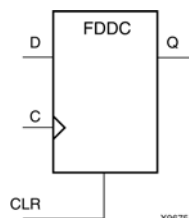
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

FDDC

: D Dual Edge Triggered Flip-Flop with Asynchronous Clear



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

概要

このデザイン エLEMENTは、クロックの両エッジで動作する単一の D フリップフロップで、入力 (D)、非同期クリア入力 (CLR)、出力 (Q) があります。非同期 CLR が High になると、ほかのすべての入力は無視され、Q 出力が Low になります。CLR が Low の場合、クロックが Low から High または High から Low に切り替わる時に D 入力の値がフリップフロップにロードされます。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスで PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

論理表

入力			出力
CLR	D	C	Q
1	X	X	0
0	1	↑	1
0	1	↓	1
0	0	↑	0
0	0	↓	0

デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

使用可能な属性

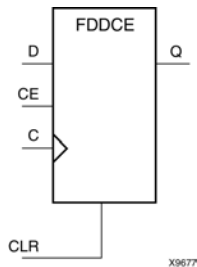
属性	タイプ	値	デフォルト	説明
INIT	2 進数	0、1	0	コンフィギュレーション後の Q 出力の初期値を指定

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

FDDCE

: Dual Edge Triggered D Flip-Flop with Clock Enable and Asynchronous Clear



サポートされているアーキテクチャ

このデザイン エレメントは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

概要

このデザイン エレメントは、クロックの両エッジで動作する単一の D フリップフロップで、クロック イネーブルと非同期クリアがあります。クロック イネーブル (CE) が High、非同期クリア (CLR) が Low の場合、クロック (C) が Low から High または High から Low に切り替わるときに、入力 (D) の値が出力 (Q) に送られます。CLR が High になると、ほかのすべての入力は無視され、出力 (Q) の値が Low にリセットされます。CE が Low の場合、クロック遷移は無視されます。

クロック イネーブル入力 (CE) に接続されたロジックは、マクロセルのクロック イネーブル積項 (p-term) を使用してインプリメントできます。ただし、ほかのマクロセルからのフィードバックなしで、CE に使用可能な積項を 1 つ使用してロジックを完全にインプリメントできることが条件となります。クロック イネーブル積項を利用できるフリップフロップ プリミティブは、FDDCE と FDDPE のみです。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

論理表

入力				出力
CLR	CE	D	C	Q
1	X	X	X	0
0	0	X	X	変化なし
0	1	1	↑	1
0	1	0	↑	0
0	1	1	↓	1
0	1	0	↓	0

デザインの入力方法

このエレメントは、回路図でのみ使用できます。

使用可能な属性

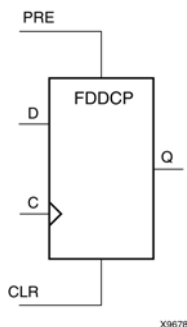
属性	タイプ	値	デフォルト	説明
INIT	2 進数	0、1	0	コンフィギュレーション後の Q 出力の初期値を指定

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

FDDCP

: Dual Edge Triggered D Flip-Flop Asynchronous Preset and Clear



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

概要

このデザイン エLEMENTは、クロックの両エッジで動作する単一の D フリップフロップで、入力 (D)、非同期プリセット入力 (PRE)、クリア入力 (CLR)、出力 (Q) があります。非同期 PRE が High になると、Q 出力が High にセットされます。CLR が High になると、出力が Low にリセットされます。PRE および CLR が Low の場合、クロックが Low から High または High から Low に切り替わる時に、D 入力の値がフリップフロップにロードされます。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

論理表

入力				出力
CLR	PRE	D	C	Q
1	X	X	X	0
0	1	X	X	1
0	0	0	↑	0
0	0	1	↑	1
0	0	0	↓	0
0	0	1	↓	1

デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

使用可能な属性

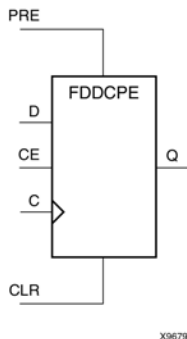
属性	タイプ	値	デフォルト	説明
INIT	2 進数	0、1	0	コンフィギュレーション後の Q 出力の初期値を指定

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

FDDCPE

: Dual Edge Triggered D Flip-Flop with Clock Enable and Asynchronous Preset and Clear



サポートされているアーキテクチャ

このデザイン エレメントは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

概要

このデザイン エレメントは、クロックの両エッジで動作する単一の D フリップフロップで、入力 (D)、クロック イネーブル (CE)、非同期プリセット (PRE)、非同期クリア (CLR) の各入力と出力 (Q) があります。非同期 PRE が High になると、Q 出力が High にセットされます。CLR が High になると、出力が Low にリセットされます。PRE と CLR が Low、CE が High の場合、クロック (C) が Low から High または High から Low に切り替わる時に、D 入力の値がフリップフロップにロードされます。CE が Low の場合、クロック遷移は無視されます。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスで PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

論理表

入力					出力
CLR	PRE	CE	D	C	Q
1	X	X	X	X	0
0	1	X	X	X	1
0	0	0	X	X	変化なし
0	0	1	0	↑	0
0	0	1	1	↑	1
0	0	1	0	↓	0
0	0	1	1	↓	1

デザインの入力方法

このエレメントは、回路図でのみ使用できます。

使用可能な属性

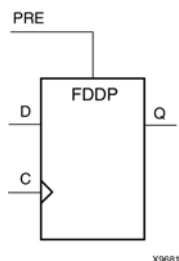
属性	タイプ	値	デフォルト	説明
INIT	2 進数	0、1	0	コンフィギュレーション後の Q 出力の初期値を指定

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

FDDP

: Dual Edge Triggered D Flip-Flop with Asynchronous Preset



サポートされているアーキテクチャ

このデザイン エレメントは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

概要

このデザイン エレメントは、クロックの両エッジで動作する単一の D フリップフロップで、入力 (D)、非同期プリセット入力 (PRE)、出力 (Q) があります。非同期 PRE が High になると、ほかのすべての入力は無視され、Q 出力が High にプリセットされます。PRE が Low の場合、クロックが Low から High または High から Low に切り替わるときに、D 入力の値がフリップフロップにロードされます。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスで PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

論理表

入力			出力
PRE	C	D	Q
1	X	X	1
0	↑	1	1
0	↑	0	0
0	↓	1	1
0	↓	0	0

デザインの入力方法

このエレメントは、回路図でのみ使用できます。

使用可能な属性

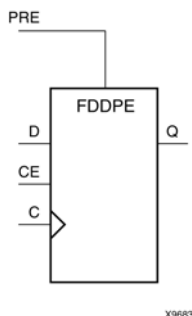
属性	タイプ	値	デフォルト	説明
INIT	2 進数	0、1	1	コンフィギュレーション後の Q 出力の初期値を指定

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

FDDPE

: Dual Edge Triggered D Flip-Flop with Clock Enable and Asynchronous Preset



サポートされているアーキテクチャ

このデザイン エレメントは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

概要

このデザイン エレメントは、クロックの両エッジで動作する単一の D フリップフロップで、入力 (D)、クロック イネーブル (CE)、非同期プリセット入力 (PRE)、出力 (Q) があります。非同期の PRE が High になると、ほかのすべての入力は無視され、Q 出力が High にセットされます。PRE が Low、CE が High の場合、クロック (C) が Low から High または High から Low に切り替わるときに、D 入力の値がフリップフロップにロードされます。CE が Low の場合、クロック遷移は無視されます。

クロック イネーブル入力 (CE) に接続されたロジックは、マクロセルのクロック イネーブル積項 (p-term) を使用してインプリメントできます。ただし、ほかのマクロセルからのフィードバックなしで、CE に使用可能な積項を 1 つ使用してロジックを完全にインプリメントできることが条件となります。クロック イネーブル積項を利用できるフリップフロップ プリミティブは、FDDCE と FDDPE のみです。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

論理表

入力				出力
PRE	CE	D	C	Q
1	X	X	X	1
0	0	X	X	変化なし
0	1	0	↑	0
0	1	1	↑	1
0	1	0	↓	0
0	1	1	↓	1

デザインの入力方法

このエレメントは、回路図でのみ使用できます。

使用可能な属性

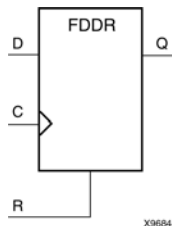
属性	タイプ	値	デフォルト	説明
INIT	2 進数	0、1	1	コンフィギュレーション後の Q 出力の初期値を指定

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

FDDR

: Dual Edge Triggered D Flip-Flop with Synchronous Reset



サポートされているアーキテクチャ

このデザイン エレメントは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

概要

このデザイン エレメントは、クロックの両エッジで動作する単一の D フリップフロップで、入力 (D)、同期リセット入力 (R)、出力 (Q) があります。同期リセット入力 (R) が High になると、ほかの入力は無視され、クロック (C) が Low から High または High から Low に切り替わるときに、出力 (Q) が Low にリセットされます。R が Low の場合、クロックが Low から High または High から Low に切り替わるときに、D 入力の値がフリップフロップにロードされます。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスで PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

論理表

入力			出力
R	D	C	Q
1	X	↑	0
1	X	↓	0
0	1	↑	1
0	0	↑	0
0	1	↓	1
0	0	↓	0

デザインの入力方法

このエレメントは、回路図でのみ使用できます。

使用可能な属性

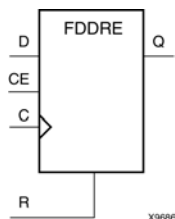
属性	タイプ	値	デフォルト	説明
INIT	2 進数	0、1	0	コンフィギュレーション後の Q 出力の初期値を指定

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

FDDRE

: Dual Edge Triggered D Flip-Flop with Clock Enable and Synchronous Reset



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

概要

FDDRE は、クロックの両エッジで動作する単一の D フリップフロップで、入力 (D)、クロック イネーブル (CE)、同期リセット (R) の各入力と出力 (Q) があります。同期リセット入力 (R) が High になると、ほかの入力は無視され、クロック (C) が Low から High または High から Low に切り替わるときに、出力 (Q) が Low にリセットされます。R が Low、CE が High の場合、クロックが Low から High または High から Low に切り替わるときに D 入力の値がフリップフロップにロードされます。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

論理表

入力				出力
R	CE	D	C	Q
1	X	X	↑	0
1	X	X	↓	0
0	0	X	X	変化なし
0	1	1	↑	1
0	1	0	↑	0
0	1	1	↓	1
0	1	0	↓	0

デザインの入力方法

このELEMENTは、回路図で使用されます。

使用可能な属性

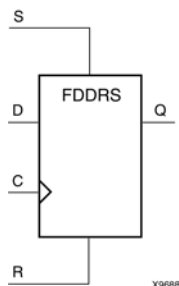
属性	タイプ	値	デフォルト	説明
INIT	2 進数	0、1	0	コンフィギュレーション後の Q 出力の初期値を指定

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

FDDRS

: Dual Edge Triggered D Flip-Flop with Synchronous Reset and Set



サポートされているアーキテクチャ

このデザイン エレメントは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

概要

FDDRS は、クロックの両エッジで動作する単一の D フリップフロップで、入力 (D)、同期セット (S)、同期リセット (R) の各入力と出力 (Q) があります。同期リセット入力 (R) が High になると、ほかの入力はすべて無視され、クロック (C) が Low から High または High から Low に切り替わるときに、出力 (Q) が Low にリセットされます (リセットがセットよりも優先される)。S が High、R が Low の場合、クロックが Low から High または High から Low に切り替わるときにフリップフロップがセットされ、出力が High になります。R および S が Low の場合、クロックが Low から High または High から Low に切り替わるときに、D 入力の値がフリップフロップにロードされます。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスで PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

論理表

入力				出力
R	S	D	C	Q
1	X	X	↑	0
1	X	X	↓	0
0	1	X	↑	1
0	1	X	↓	1
0	0	1	↑	1
0	0	1	↓	1
0	0	0	↑	0
0	0	0	↓	0

デザインの入力方法

このエレメントは、回路図でのみ使用できます。

使用可能な属性

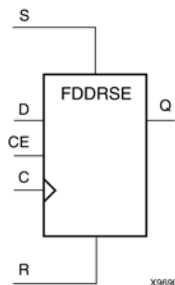
属性	タイプ	値	デフォルト	説明
INIT	2 進数	0、1	0	コンフィギュレーション後の Q 出力の初期値を指定

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

FDDRSE

: Dual Edge Triggered D Flip-Flop with Synchronous Reset and Set and Clock Enable



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

概要

FDDRSE は、クロックの両エッジで動作する単一の D フリップフロップで、同期リセット (R)、同期セット (S)、クロック イネーブル (CE) の各入力と出力 (Q) があります。同期リセット入力 (R) が High になると、ほかの入力はすべて無視され、クロック (C) が Low から High または High から Low に切り替わるときに、出力 (Q) が Low にリセットされます (リセットがセットよりも優先される)。S が High、R が Low の場合、クロック (C) が Low から High または High から Low に切り替わるときにフリップフロップがセットされ、出力が High になります。R および S が Low、CE が High の場合、クロックが Low から High または High から Low に切り替わるときに D 入力の値がフリップフロップにロードされます。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスで PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

論理表

入力					出力
R	S	CE	D	C	Q
1	X	X	X	↑	0
1	X	X	X	↓	0
0	1	X	X	↑	1
0	1	X	X	↓	1
0	0	0	X	X	変化なし
0	0	1	1	↑	1
0	0	1	0	↑	0
0	0	1	1	↓	1
0	0	1	0	↓	0

デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

使用可能な属性

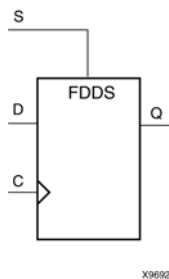
属性	タイプ	値	デフォルト	説明
INIT	2 進数	0、1	0	コンフィギュレーション後の Q 出力の初期値を指定

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

FDDS

: Dual Edge Triggered D Flip-Flop with Synchronous Set



サポートされているアーキテクチャ

このデザイン エレメントは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

概要

FDDS は、クロックの両エッジで動作する単一の D フリップフロップで、入力 (D)、同期セット入力 (S)、出力 (Q) があります。同期セット入力が高レベルになると、クロック (C) が Low から High または High から Low に切り替わるときに、Q 出力が高レベルにセットされます。S が Low の場合、クロック (C) が Low から High または High から Low に切り替わるときに D 入力の値がフリップフロップにロードされます。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

論理表

入力			出力
S	D	C	Q
1	X	↑	1
1	X	↓	1
0	1	↑	1
0	0	↑	0
0	1	↓	1
0	0	↓	0

デザインの入力方法

このエレメントは、回路図でのみ使用できます。

使用可能な属性

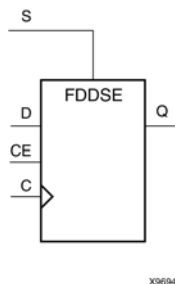
属性	タイプ	値	デフォルト	説明
INIT	2 進数	0、1	0	コンフィギュレーション後の Q 出力の初期値を指定

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

FDDSE

: D Flip-Flop with Clock Enable and Synchronous Set



サポートされているアーキテクチャ

このデザイン エレメントは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

概要

FDDSE は、クロックの両エッジで動作する単一の D フリップフロップで、入力 (D)、クロック イネーブル (CE)、同期セット (S) の各入力と出力 (Q) があります。同期セット (S) 入力が High になると、クロック イネーブル (CE) 入力は無視され、クロック (C) が Low から High または High から Low に切り替わるときに、Q 出力が High にセットされます。S が Low、CE が High の場合、クロック (C) が Low から High または High から Low に切り替わるときに D 入力の値がフリップフロップにロードされます。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのバースを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

論理表

入力				出力
S	CE	D	C	Q
1	X	X	↑	1
1	X	X	↓	1
0	0	X	X	変化なし
0	1	1	↑	1
0	1	0	↑	0
0	1	1	↓	1
0	1	0	↓	0

デザインの入力方法

このエレメントは、回路図でのみ使用できます。

使用可能な属性

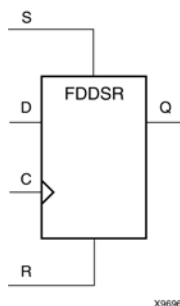
属性	タイプ	値	デフォルト	説明
INIT	2 進数	0、1	0	コンフィギュレーション後の Q 出力の初期値を指定

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

FDDSR

: Dual Edge Triggered D Flip-Flop with Synchronous Set and Reset



サポートされているアーキテクチャ

このデザイン エレメントは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

概要

FDDSR は、クロックの両エッジで動作する単一の D フリップフロップで、入力 (D)、同期リセット (R)、同期セット (S)、の各入力と出力 (Q) があります。同期セット (S) 入力が高レベルになっていると、ほかの入力は無視され、クロック (C) が Low から High または High から Low に切り替わるときに、Q 出力が高レベルにセットされます (セットがリセットよりも優先される)。リセット (R) が High、セット (S) が Low の場合、クロックが Low から High または High から Low に切り替わるときにフリップフロップがリセットされ、出力が Low になります。S と R が Low の場合、クロックが Low から High または High から Low に切り替わるときに D 入力の値がフリップフロップにロードされます。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

論理表

入力				出力
S	R	D	C	Q
1	X	X	↑	1
1	X	X	↓	1
0	1	X	↑	0
0	1	X	↓	0
0	0	1	↑	1
0	0	0	↑	0
0	0	1	↓	1
0	0	0	↓	0

デザインの入力方法

このエレメントは、回路図でのみ使用できます。

使用可能な属性

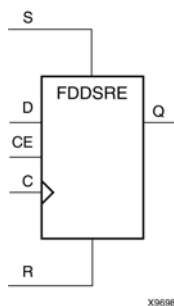
属性	タイプ	値	デフォルト	説明
INIT	2 進数	0、1	0	コンフィギュレーション後の Q 出力の初期値を指定

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

FDDSRE

: Dual Edge Triggered D Flip-Flop with Synchronous Set and Reset and Clock Enable



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

概要

FDDSRE は、クロックの両エッジで動作する単一の D フリップフロップで、同期セット (S)、同期リセット (R)、クロック イネーブル (CE) の各入力と出力 (Q) があります。同期セット (S) 入力が High になると、ほかの入力は無視され、クロック (C) が Low から High または High から Low に切り替わるときに、Q 出力が High にセットされます (セットがリセットよりも優先される)。R が High、S が Low の場合、クロックが Low から High または High から Low に切り替わるときに Q 出力が Low にリセットされます。R および S が Low、CE が High の場合、クロックが Low から High または High から Low に切り替わるときに、値がフリップフロップにロードされます。CE が Low の場合、クロック遷移は無視されます。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのバースを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

論理表

入力					出力
S	R	CE	D	C	Q
1	X	X	X	↑	1
1	X	X	X	↓	1
0	1	X	X	↑	0
0	1	X	X	↓	0
0	0	0	X	X	変化なし
0	0	1	1	↑	1
0	0	1	0	↑	0
0	0	1	1	↓	1
0	0	1	0	↓	0

デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

使用可能な属性

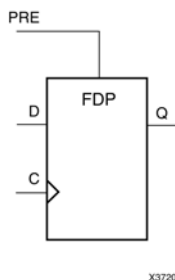
属性	タイプ	値	デフォルト	説明
INIT	2 進数	0、1	0	コンフィギュレーション後の Q 出力の初期値を指定

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

FDP

: D Flip-Flop with Asynchronous Preset



サポートされているアーキテクチャ

このデザイン エレメントは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

概要

このデザイン エレメントは、データ (D)、非同期プリセット (PRE) の各入力とデータ出力 (Q) がある単一の D フリップフロップです。非同期 PRE が High になると、ほかのすべての入力は無視され、Q 出力が High にプリセットされます。PRE が Low の場合、クロック (C) が Low から High に切り替わるときに D 入力の値がフリップフロップにロードされます。

CPLD では、電力を供給すると、フリップフロップは非同期にクリアされ、出力が Low になります。High レベルのパルス を PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

論理表

入力			出力
PRE	C	D	Q
1	X	X	1
0	↑	D	D

デザインの入力方法

このエレメントは、回路図でのみ使用できます。

使用可能な属性

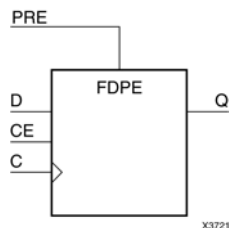
属性	タイプ	値	デフォルト	説明
INIT	2 進数	0、1	1	コンフィギュレーション後の Q 出力の初期値を指定。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

FDPE

: D Flip-Flop with Clock Enable and Asynchronous Preset



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

概要

このデザイン エLEMENTは、データ (D)、クロック イネーブル (CE)、非同期プリセット (PRE) の各入力とデータ出力 (Q) がある単一の D フリップフロップです。非同期の PRE が High になると、ほかのすべての入力は無視され、Q 出力が High にセットされます。PRE が Low、CE が High の場合、クロック (C) が Low から High に切り替わるときに D 入力の値がフリップフロップにロードされます。CE が Low の場合、クロック遷移は無視されます。

CPLD では、電力を供給すると、フリップフロップは非同期にクリアされ、出力が Low になります。High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

論理表

入力				出力
PRE	CE	D	C	Q
1	X	X	X	1
0	0	X	X	変化なし
0	1	D	↑	D

デザインの入力方法

このELEMENTは、回路図で使用されます。

使用可能な属性

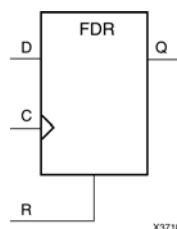
属性	タイプ	値	デフォルト	説明
INIT	2 進数	0、1	1	コンフィギュレーション後の Q 出力の初期値を指定。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

FDR

: D Flip-Flop with Synchronous Reset



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

概要

このデザイン エLEMENTは、データ (D)、同期リセット (R) の各入力とデータ出力 (Q) がある単一の D タイプ フリップフロップです。同期リセット入力 (R) が High になると、ほかの入力は無視され、クロック (C) が Low から High に切り替わるときに出力 (Q) が Low にリセットされます。R が Low の場合、クロックが Low から High に切り替わるときに D 入力の値がフリップフロップにロードされます。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

論理表

入力			出力
R	D	C	Q
1	X	↑	0
0	D	↑	D

デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

使用可能な属性

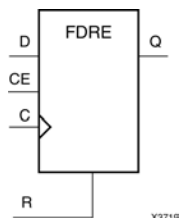
属性	タイプ	値	デフォルト	説明
INIT	2 進数	0、1	0	コンフィギュレーション後の Q 出力の初期値を指定

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

FDRE

: D Flip-Flop with Clock Enable and Synchronous Reset



サポートされているアーキテクチャ

このデザイン エレメントは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

概要

このデザイン エレメントは、データ (D)、クロック イネーブル (CE)、同期リセット (R) の各入力とデータ出力 (Q) がある単一の D タイプ フリップフロップです。同期リセット入力 (R) が High になると、ほかの入力は無視され、クロック (C) が Low から High に切り替わるときに出力 (Q) が Low にリセットされます。R が Low、CE が High の場合、クロックが Low から High に切り替わるときに D 入力の値がフリップフロップにロードされます。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

論理表

入力				出力
R	CE	D	C	Q
1	X	X	↑	0
0	0	X	X	変化なし
0	1	D	↑	D

デザインの入力方法

このエレメントは、回路図で使用されます。

使用可能な属性

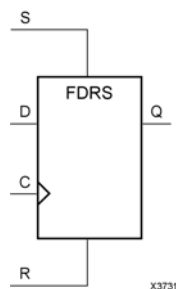
属性	タイプ	値	デフォルト	説明
INIT	2 進数	0、1	0	コンフィギュレーション後の Q 出力の初期値を指定。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

FDRS

: D Flip-Flop with Synchronous Reset and Set



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

概要

FDRS は、データ (D)、同期セット (S)、同期リセット (R) の各入力とデータ出力 (Q) がある単一の D タイプ フリップフロップです。同期リセット入力 (R) が High になると、ほかの入力は無視され、クロック (C) が Low から High に切り替わる時に出力 (Q) が Low にリセットされます (リセットがセットよりも優先される)。S が High、R が Low の場合、クロックが Low から High に切り替わる時にフリップフロップがセットされ、出力が High になります。R と S が Low の場合、クロックが Low から High に切り替わる時に D 入力の値がフリップフロップにロードされます。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

論理表

入力				出力
R	S	D	C	Q
1	X	X	↓	0
0	1	X	↓	1
0	0	D	↓	D

デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

使用可能な属性

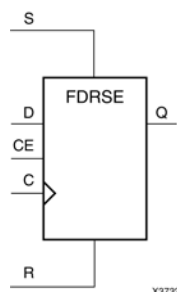
属性	タイプ	値	デフォルト	説明
INIT	2 進数	0、1	0	コンフィギュレーション後の Q 出力の初期値を指定

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

FDRSE

: D Flip-Flop with Synchronous Reset and Set and Clock Enable



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

概要

FDRSE は、同期リセット (R)、同期セット (S)、クロック イネーブル (CE) の各入力とデータ出力 (Q) がある単一の D タイプ フリップフロップです。同期リセット入力 (R) が High になると、ほかの入力は無視され、クロック (C) が Low から High に切り替わる時に出力 (Q) が Low にリセットされます (リセットがセットよりも優先される)。セット入力 (S) が High、R が Low の場合、クロック (C) が Low から High に切り替わる時にフリップフロップがセットされ、出力が High になります。R と S が Low、CE が High の場合、クロックが Low から High に切り替わる時に D 入力の値がフリップフロップにロードされます。

電源が投入されると、INIT 属性を使用して指定した初期値に設定されます。GSR (グローバル セット/リセット) をアサートすると、INIT で指定した初期値に非同期で設定されます。

論理表

入力					出力
R	S	CE	D	C	Q
1	X	X	X	↑	0
0	1	X	X	↑	1
0	0	0	X	X	変化なし
0	0	1	1	↑	1
0	0	1	0	↑	0

デザインの入力方法

このELEMENTは、回路図で使用されます。

使用可能な属性

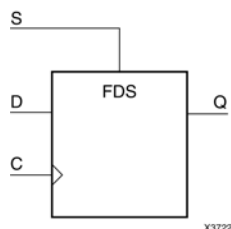
属性	タイプ	値	デフォルト	説明
INIT	2 進数	0、1	0	コンフィギュレーション後および GSR 入力時の Q 出力の初期値を指定

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

FDS

: D Flip-Flop with Synchronous Set



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

概要

FDS は、データ (D)、同期セット (S) の各入力とデータ出力 (Q) がある単一の D タイプ フリップフロップです。同期セット入力が High になると、クロック (C) が Low から High に切り替わるときに Q 出力が High にセットされます。S が Low の場合、クロック (C) が Low から High に切り替わるときに D 入力の値がフリップフロップにロードされます。

CPLD では、電力を供給すると、フリップフロップは非同期にクリアされ、出力が Low になります。High レベルのパルス を PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

論理表

入力			出力
S	D	C	Q
1	X	↑	1
0	D	↑	D

デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

使用可能な属性

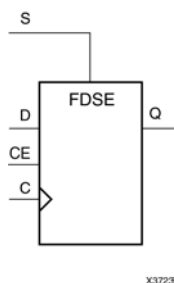
属性	タイプ	値	デフォルト	説明
INIT	2 進数	0、1	1	コンフィギュレーション後の Q 出力の初期値を指定

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

FDSE

: D Flip-Flop with Clock Enable and Synchronous Set



サポートされているアーキテクチャ

このデザイン エレメントは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

概要

FDSE は、データ (D)、クロック イネーブル (CE)、同期セット (S) の各入力とデータ出力 (Q) がある単一の D タイプ フリップフロップです。同期セット (S) 入力が High になると、クロック イネーブル (CE) 入力は無視され、クロック (C) が Low から High に切り替わるときに Q 出力が High にセットされます。S が Low、CE が High の場合、クロック (C) が Low から High に切り替わるときに D 入力の値がフリップフロップにロードされます。

CPLD では、電力を供給すると、フリップフロップは非同期にクリアされ、出力が Low になります。High レベルのパルス を PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

論理表

入力				出力
S	CE	D	C	Q
1	X	X	↑	1
0	0	X	X	変化なし
0	1	D	↑	D

デザインの入力方法

このエレメントは、回路図で使用されます。

使用可能な属性

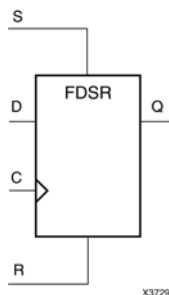
属性	タイプ	値	デフォルト	説明
INIT	2 進数	0、1	1	コンフィギュレーション後の Q 出力の初期値を指定。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

FDSR

D Flip-Flop with Synchronous Set and Reset



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

概要

FDSR は、入力 (D)、同期リセット (R)、同期セット (S) の各入力と出力 (Q) がある単一の D タイプ フリップフロップです。同期セット (S) 入力が高になると、ほかの入力は無視され、クロック (C) が Low から High に切り替わる時に Q 出力が高にセットされます (セットがリセットよりも優先される)。リセット (R) が High、セット (S) が Low の場合、クロックが Low から High に切り替わる時にフリップフロップがリセットされ、出力が Low になります。S と R が Low の場合、クロックが Low から High に切り替わる時に D 入力の値がフリップフロップにロードされます。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

論理表

入力				出力
S	R	D	C	Q
1	X	X	↑	1
0	1	X	↑	0
0	0	1	↑	1
0	0	0	↑	0

デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

使用可能な属性

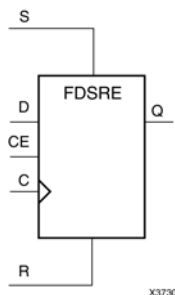
属性	タイプ	値	デフォルト	説明
INIT	2 進数	0、1	0	コンフィギュレーション後の Q 出力の初期値を指定

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

FDSRE

: D Flip-Flop with Synchronous Set and Reset and Clock Enable



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

概要

FDSRE は、同期セット (S)、同期リセット (R)、クロック イネーブル (CE) の各入力と出力 (Q) がある単一の D タイプ フリップフロップです。同期セット入力 (S) が High になると、ほかの入力は無視され、クロック (C) が Low から High に切り替わるときに Q 出力が High にセットされます (セットがリセットよりも優先される)。同期リセット (R) が High、S が Low の場合、クロックが Low から High に切り替わるときに Q 出力が Low にリセットされます。S と R が Low、CE が High の場合、クロックが Low から High に切り替わるときに D の値がフリップフロップにロードされます。CE が Low の場合、クロック遷移は無視されます。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

論理表

入力					出力
S	R	CE	D	C	Q
1	X	X	X	↑	1
0	1	X	X	↑	0
0	0	0	X	X	変化なし
0	0	1	1	↑	1
0	0	1	0	↑	0

デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

使用可能な属性

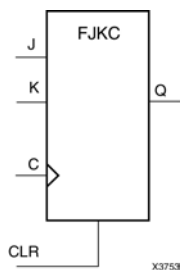
属性	タイプ	値	デフォルト	説明
INIT	2 進数	0、1	0	コンフィギュレーション後の Q 出力の初期値を指定

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

FJKC

: J-K Flip-Flop with Asynchronous Clear



サポートされているアーキテクチャ

このデザイン エレメントは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

概要

このデザイン エレメントは、J、K、非同期クリア (CLR) の各入力とデータ出力 (Q) がある単一の J-K タイプ フリップフロップです。非同期クリア入力 (CLR) が High になると、ほかのすべての入力は無視され、Q 出力が Low にリセットされます。CLR が Low になると、次の論理表に示すように、クロックが Low から High に切り替わるときに、J および K 入力の値に応じて出力の値が変化します。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスで PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

論理表

入力				出力
CLR	J	K	C	Q
1	X	X	X	0
0	0	0	↑	変化なし
0	0	1	↑	0
0	1	0	↑	1
0	1	1	↑	トグル

デザインの入力方法

このエレメントは、回路図でのみ使用できます。

使用可能な属性

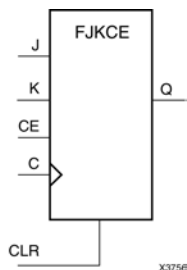
属性	タイプ	値	デフォルト	説明
INIT	2 進数	0、1	0	コンフィギュレーション後の Q 出力の初期値を指定。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

FJKCE

: J-K Flip-Flop with Clock Enable and Asynchronous Clear



サポートされているアーキテクチャ

このデザイン エレメントは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

概要

このデザイン エレメントは、J、K、クロック イネーブル (CE)、非同期クリア (CLR) の各入力とデータ出力 (Q) がある単一の J-K タイプ フリップフロップです。非同期クリア (CLR) が High になると、ほかのすべての入力は無視され、Q 出力が Low にリセットされます。CLR が Low、CE が High の場合、次の論理表に示すように、クロックが Low から High に切り替わるたびに、J および K 入力の値に応じて Q の値が変化します。CE が Low の場合、クロック遷移は無視されます。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスで PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

論理表

入力					出力
CLR	CE	J	K	C	Q
1	X	X	X	X	0
0	0	X	X	X	変化なし
0	1	0	0	X	変化なし
0	1	0	1	↑	0
0	1	1	0	↑	1
0	1	1	1	↑	トグル

デザインの入力方法

このエレメントは、回路図でのみ使用できます。

使用可能な属性

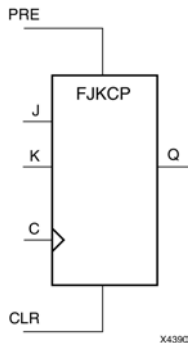
属性	タイプ	値	デフォルト	説明
INIT	2 進数	0、1	0	コンフィギュレーション後の Q 出力の初期値を指定。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

FJKCP

: J-K Flip-Flop with Asynchronous Clear and Preset



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

概要

このデザイン エLEMENTは、J、K、非同期クリア (CLR)、非同期プリセット (PRE) の各入力と出力 (Q) がある単一の J-K フリップフロップです。非同期クリア入力 (CLR) が High になると、ほかのすべての入力は無視され、Q 出力が Low にリセットされます。非同期プリセット (PRE) が High、CLR が Low になると、ほかのすべての入力は無視され、Q 出力が High にセットされます。CLR と PRE が Low の場合、次の論理表に示すように、クロックが Low から High に切り替わるときに、J および K 入力の値に応じて Q の値が変化します。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

論理表

入力					出力
CLR	PRE	J	K	C	Q
1	X	X	X	X	0
0	1	X	X	X	1
0	0	0	0	X	変化なし
0	0	0	1	↑	0
0	0	1	0	↑	1
0	0	1	1	↑	トグル

デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

使用可能な属性

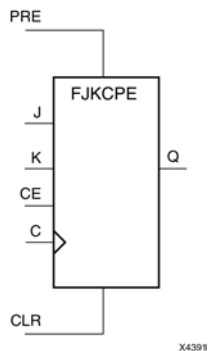
属性	タイプ	値	デフォルト	説明
INIT	2 進数	0、1	0	コンフィギュレーション後の Q 出力の初期値を指定

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

FJKCPE

: J-K Flip-Flop with Asynchronous Clear and Preset and Clock Enable



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

概要

このデザイン エLEMENTは、J、K、非同期クリア (CLR)、非同期プリセット (PRE)、クロック イネーブル (CE) の各入力と出力 (Q) がある単一の J-K フリップフロップです。非同期クリア入力 (CLR) が High になると、ほかのすべての入力は無視され、Q 出力が Low にリセットされます。非同期プリセット (PRE) が High、CLR が Low になると、ほかのすべての入力は無視され、Q 出力が High にセットされます。CLR と PRE が Low、CE が High の場合、次の論理表に示すように、クロックが Low から High に切り替わるときに、J および K 入力の値に応じて Q の値が変化します。CE が Low の場合、クロック遷移は無視されます。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

論理表

入力						出力
CLR	PRE	CE	J	K	C	Q
1	X	X	X	X	X	0
0	1	X	X	X	X	1
0	0	0	0	X	X	変化なし
0	0	1	0	0	X	変化なし
0	0	1	0	1	↑	0
0	0	1	1	0	↑	1
0	0	1	1	1	↑	トグル

デザインの入力方法

このエレメントは、回路図でのみ使用できます。

使用可能な属性

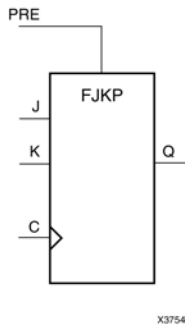
属性	タイプ	値	デフォルト	説明
INIT	2 進数	0、1	0	コンフィギュレーション後の Q 出力の初期値を指定

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

FJKP

： J-K Flip-Flop with Asynchronous Preset



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

概要

このデザイン エLEMENTは、J、K、非同期プリセット (PRE) の各入力とデータ出力 (Q) がある単一の J-K フリップフロップです。非同期プリセット入力 (PRE) が High になると、ほかのすべての入力は無視され、Q 出力が High にセットされます。PRE が Low の場合、次の論理表に示すように、クロックが Low から High に切り替わるときに、J および K 入力の値に応じて Q の値が変化します。

CPLD では、電力を供給すると、フリップフロップは非同期にクリアされ、出力が Low になります。High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

論理表

入力				出力
PRE	J	K	C	Q
1	X	X	X	1
0	0	0	X	変化なし
0	0	1	↑	0
0	1	0	↑	1
0	1	1	↑	トグル

デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

使用可能な属性

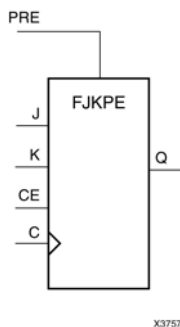
属性	タイプ	値	デフォルト	説明
INIT	2 進数	0、1	1	コンフィギュレーション後の Q 出力の初期値を指定。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

FJKPE

: J-K Flip-Flop with Clock Enable and Asynchronous Preset



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- XC9500
- CoolRunner™-II
- CoolRunner XPLA3

概要

このデザイン エLEMENTは、J、K、クロック イネーブル (CE)、非同期プリセット (PRE) の各入力とデータ出力 (Q) がある単一の J-K フリップフロップです。非同期プリセット (PRE) が High になると、ほかのすべての入力は無視され、Q 出力が High にセットされます。PRE が Low、CE が High の場合、次の論理表に示すように、クロック (C) が Low から High に切り替わる時に、J および K 入力の値に応じて Q 出力の値が変化します。CE が Low の場合、クロック遷移は無視されます。

CPLD では、電力を供給すると、フリップフロップは非同期にクリアされ、出力が Low になります。High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

論理表

入力					出力
PRE	CE	J	K	C	Q
1	X	X	X	X	1
0	0	X	X	X	変化なし
0	1	0	0	X	変化なし
0	1	0	1	↑	0
0	1	1	0	↑	1
0	1	1	1	↑	トグル

デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

使用可能な属性

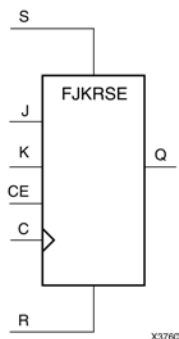
属性	タイプ	値	デフォルト	説明
INIT	2 進数	0、1	1	コンフィギュレーション後の Q 出力の初期値を指定。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

FJKRSE

: J-K Flip-Flop with Clock Enable and Synchronous Reset and Set



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

概要

このデザイン エLEMENTは、J、K、同期リセット (R)、同期セット (S)、クロック イネーブル (CE) の各入力とデータ出力 (Q) がある単一の J-K フリップフロップです。同期リセット (R) が High になると、ほかのすべての入力は無視され、クロック (C) が Low から High に切り替わるときに Q が Low にリセットされます。同期セット (S) が High、R が Low の場合、Q 出力が High にセットされます。R と S が Low、CE が High の場合、次の論理表に示すように、クロック (C) が Low から High に切り替わるときに、J および K 入力の値に応じて Q 出力が変化します。CE が Low の場合、クロック遷移は無視されます。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

論理表

入力						出力
R	S	CE	J	K	C	Q
1	X	X	X	X	↑	0
0	1	X	X	X	↑	1
0	0	0	X	X	X	変化なし
0	0	1	0	0	X	変化なし
0	0	1	0	1	↑	0
0	0	1	1	0	↑	1
0	0	1	1	0	↑	1
0	0	1	1	1	↑	トグル

デザインの入力方法

このエレメントは、回路図でのみ使用できます。

使用可能な属性

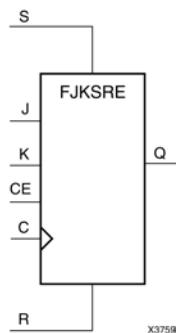
属性	タイプ	値	デフォルト	説明
INIT	2 進数	0、1	0	コンフィギュレーション後の Q 出力の初期値を指定

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

FJKSRE

: J-K Flip-Flop with Clock Enable and Synchronous Set and Reset



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

概要

このデザイン エLEMENTは、J、K、同期セット (S)、同期リセット (R)、クロック イネーブル (CE) の各入力とデータ出力 (Q) がある単一の J-K タイプ フリップフロップです。同期セット (S) が High になると、ほかのすべての入力は無視され、クロック (C) が Low から High に切り替わるときに Q が High にセットされます。同期リセット (R) が High、S が Low の場合、出力 Q が Low にリセットされます。S と R が Low、CE が High の場合、次の論理表に示すように、クロック (C) が Low から High に切り替わるときに、J および K 入力の値に応じて Q 出力が変化します。CE が Low の場合、クロック 遷移は無視されます。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

論理表

入力						出力
S	R	CE	J	K	C	Q
1	X	X	X	X	↑	1
0	1	X	X	X	↑	0
0	0	0	X	X	X	変化なし
0	0	1	0	0	X	変化なし
0	0	1	0	1	↑	0
0	0	1	1	0	↑	1
0	0	1	1	1	↑	トグル

デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

使用可能な属性

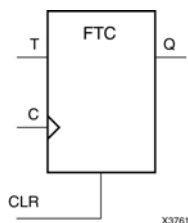
属性	タイプ	値	デフォルト	説明
INIT	2 進数	0、1	1	コンフィギュレーション後の Q 出力の初期値を指定

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

FTC

: Toggle Flip-Flop with Asynchronous Clear



サポートされているアーキテクチャ

このデザイン エレメントは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

概要

このデザイン エレメントは、リセット可能な同期トグル フリップフロップです。非同期クリア入力 (CLR) が High になると、ほかのすべての入力は無視され、出力 (Q) が Low にリセットされます。トグル イネーブル入力 (T) が High、CLR が Low の場合、クロックが Low から High に切り替わるときに Q 出力がトグルし、値が変化します。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

論理表

入力			出力
CLR	T	C	Q
1	X	X	0
0	0	X	変化なし
0	1	↑	トグル

デザインの入力方法

このエレメントは、CPLD を使用しているときはインスタンスエートできますが、FPGA を使用しているときはインスタンスエートできません。

使用可能な属性

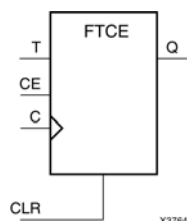
属性	タイプ	値	デフォルト	説明
INIT	2 進数	0、1	0	コンフィギュレーション後の Q 出力の初期値を指定。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

FTCE

: Toggle Flip-Flop with Clock Enable and Asynchronous Clear



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

概要

このデザイン エLEMENTは、トグル イネーブル、クロック イネーブル、非同期クリアがあるトグル フリップフロップです。非同期クリア入力 (CLR) が High になると、ほかのすべての入力は無視され、出力 (Q) の値が Low にリセットされます。CLR が Low、トグル イネーブル (T) とクロック イネーブル (CE) が High の場合、クロック (C) が Low から High に切り替わるときに Q 出力がトグルし、値が変化します。CE が Low の場合、クロック遷移は無視されます。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスで PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

論理表

入力				出力
CLR	CE	T	C	Q
1	X	X	X	0
0	0	X	X	変化なし
0	1	0	X	変化なし
0	1	1	↑	トグル

デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

使用可能な属性

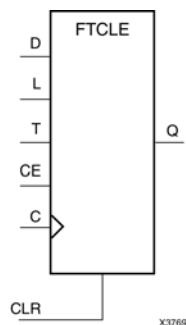
属性	タイプ	値	デフォルト	説明
INIT	2 進数	0、1	0	コンフィギュレーション後の Q 出力の初期値を指定。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

FTCLE

: Toggle/Loadable Flip-Flop with Clock Enable and Asynchronous Clear



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

概要

このデザイン エLEMENTは、トグル イネーブル、クロック イネーブル、非同期クリアがあるロード可能なトグル フリップフロップです。非同期クリア入力 (CLR) が High になると、ほかのすべての入力は無視され、出力 Q が Low にリセットされます。ロード イネーブル入力 (L) が High、CLR が Low の場合、クロック イネーブル (CE) は無視され、クロック (C) が Low から High に切り替わるときに、データ入力 (D) の値がフリップフロップにロードされます。トグル イネーブル (T) と CE が High、L と CLR が Low の場合、クロックが Low から High に切り替わるときに出力 Q がトグルし、値が変化します。CE が Low の場合、クロック遷移は無視されます。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

論理表

入力						出力
CLR	L	CE	T	D	C	Q
1	X	X	X	X	X	0
0	1	X	X	D	↑	D
0	0	0	X	X	X	変化なし
0	0	1	0	X	X	変化なし
0	0	1	1	X	↑	トグル

デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

使用可能な属性

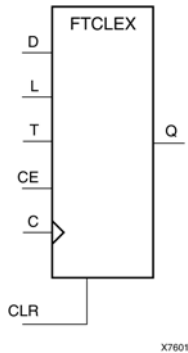
属性	タイプ	値	デフォルト	説明
INIT	2 進数	0、1	0	コンフィギュレーション後の Q 出力の初期値を指定。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

FTCLEX

: Toggle/Loadable Flip-Flop with Clock Enable and Asynchronous Clear



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

概要

このデザイン エLEMENTは、トグル イネーブル、クロック イネーブル、非同期クリアがあるロード可能なトグル フリップフロップです。非同期クリア入力 (CLR) が High になると、ほかのすべての入力は無視され、出力 Q が Low にリセットされます。ロード イネーブル入力 (L) と CE が High、CLR が Low の場合、クロック (C) が Low から High に切り替わる時に、入力 (D) の値がフリップフロップにロードされます。トグル イネーブル (T) と CE が High、L と CLR が Low の場合、クロックが Low から High に切り替わる時に出力 Q がトグルし、値が変化します。CE が Low の場合、クロック遷移は無視されます。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスで PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

論理表

入力						出力
CLR	L	CE	T	D	C	Q
1	X	X	X	X	X	0
0	1	X	X	D	↑	D
0	0	0	X	X	X	変化なし
0	0	1	0	X	X	変化なし
0	0	1	1	X	↑	トグル

デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

使用可能な属性

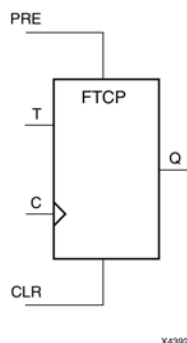
属性	タイプ	値	デフォルト	説明
INIT	2 進数	0、1	0	コンフィギュレーション後の Q 出力の初期値を指定。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

FTCP

: Toggle Flip-Flop with Asynchronous Clear and Preset



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

概要

このデザイン エLEMENTは、トグル イネーブル、非同期クリア、非同期プリセットがあるトグル フリップフロップです。非同期クリア入力 (CLR) が High になると、ほかのすべての入力は無視され、出力 (Q) が Low にリセットされます。非同期プリセット入力 (PRE) が High、CLR が Low になると、ほかのすべての入力は無視され、Q 出力が High になります。トグル イネーブル入力 (T) が High、CLR と PRE が Low の場合、クロック (C) が Low から High に切り替わる時に出力 Q がトグルし、Q の値が変化します。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

論理表

入力				出力
CLR	PRE	T	C	Q
1	X	X	X	0
0	1	X	X	1
0	0	0	X	変化なし
0	0	1	↑	トグル

デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

使用可能な属性

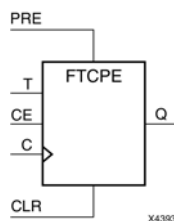
属性	タイプ	値	デフォルト	説明
INIT	2 進数	0、1	0	コンフィギュレーション後の Q 出力の初期値を指定

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

FTCPE

: Toggle Flip-Flop with Clock Enable and Asynchronous Clear and Preset



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

概要

このデザイン エLEMENTは、トグル イネーブル、クロック イネーブル、非同期クリア、非同期プリセットがあるトグル フリップフロップです。非同期クリア入力 (CLR) が High になると、ほかのすべての入力は無視され、出力 (Q) が Low にリセットされます。非同期プリセット入力 (PRE) が High、CLR が Low になると、ほかのすべての入力は無視され、Q 出力が High になります。トグル イネーブル入力 (T) とクロック イネーブル入力 (CE) が High、CLR と PRE が Low の場合、クロック (C) が Low から High に切り替わるときに出力 Q がトグルし、値が変化します。CE が Low の場合、クロック遷移は無視されます。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのバースを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

論理表

入力					出力
CLR	PRE	CE	T	C	Q
1	X	X	X	X	0
0	1	X	X	X	1
0	0	0	X	X	変化なし
0	0	1	0	X	変化なし
0	0	1	1	↑	トグル

デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

使用可能な属性

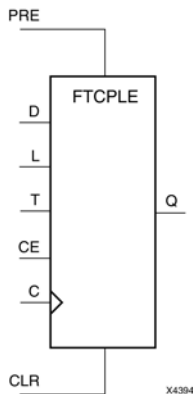
属性	タイプ	値	デフォルト	説明
INIT	2 進数	0、1	0	コンフィギュレーション後の Q 出力の初期値を指定

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

FTCPLD

: Loadable Toggle Flip-Flop with Clock Enable and Asynchronous Clear and Preset



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

概要

このデザイン エLEMENTは、トグル イネーブル、クロック イネーブル、非同期クリア、非同期プリセットがあるロード可能なトグル フリップフロップです。非同期クリア入力 (CLR) が High になると、ほかのすべての入力は無視され、出力 (Q) が Low にリセットされます。非同期プリセット入力 (PRE) が High、CLR が Low になると、ほかのすべての入力は無視され、Q 出力が High になります。ロード入力 (L) が High の場合、クロック イネーブル (CE) は無視され、クロック (C) が Low から High に切り替わるときに入力 (D) の値がフリップフロップにロードされます。トグル イネーブル入力 (T) とクロック イネーブル入力 (CE) が High、CLR、PRE、L が Low の場合、クロック (C) が Low から High に切り替わるときに出力 Q がトグルし、値が変化します。CE が Low の場合、クロック遷移は無視されます。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

論理表

入力							出力
CLR	PRE	L	CE	T	C	D	Q
1	X	X	X	X	X	X	0
0	1	X	X	X	X	X	1
0	0	1	X	X	↑	0	0
0	0	1	X	X	↑	1	1
0	0	0	0	X	X	X	変化なし
0	0	0	1	0	X	X	変化なし
0	0	0	1	1	↑	X	トグル

デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

使用可能な属性

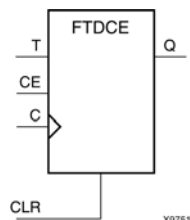
属性	タイプ	値	デフォルト	説明
INIT	2 進数	0、1	0	コンフィギュレーション後の Q 出力の初期値を指定

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

FTDCE

: Dual-Edge Triggered Toggle Flip-Flop with Clock Enable and Asynchronous Clear



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

概要

このデザイン エLEMENTは、クロックの両エッジで動作するトグル フリップフロップで、トグル イネーブル、クロック イネーブル、非同期クリアがあります。非同期クリア入力 (CLR) が High になると、ほかのすべての入力は無視され、出力 (Q) の値が Low にリセットされます。CLR が Low、トグル イネーブル (T) とクロック イネーブル (CE) が High の場合、クロック (C) が Low から High または High から Low に切り替わるときに Q 出力がトグルし、値が変化します。CE が Low の場合、クロック遷移は無視されます。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

論理表

入力				出力
CLR	CE	T	C	Q
1	X	X	X	0
0	0	X	X	変化なし
0	1	0	X	変化なし
0	1	1	↑	トグル
0	1	1	↓	トグル

デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

使用可能な属性

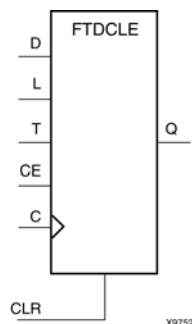
属性	タイプ	値	デフォルト	説明
INIT	2 進数	0、1	0	コンフィギュレーション後の Q 出力の初期値を指定

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

FTDCLE

: Dual-Edge Triggered Toggle/Loadable Flip-Flop with Clock Enable and Asynchronous Clear



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

概要

このデザイン エLEMENTは、クロックの両エッジで動作するロード可能なトグル フリップフロップで、トグル イネーブル、クロック イネーブル、非同期クリアがあります。非同期クリア入力 (CLR) が High になると、ほかのすべての入力は無視され、出力 Q が Low にリセットされます。ロード イネーブル入力 (L) が High、CLR が Low の場合、クロック イネーブル (CE) は無視され、クロック (C) が Low から High または High から Low に切り替わる時に、入力 (D) の値がフリップフロップにロードされます。トグル イネーブル (T) と CE が High、L と CLR が Low の場合、クロックが Low から High または High から Low に切り替わる時に出力 Q がトグルし、値が変化します。CE が Low の場合、クロック遷移は無視されます。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

論理表

入力						出力
CLR	L	CE	T	D	C	Q
1	X	X	X	X	X	0
0	1	X	X	1	↑	1
0	1	X	X	1	↓	1
0	1	X	X	0	↑	0
0	1	X	X	0	↓	0
0	0	0	X	X	X	変化なし
0	0	1	0	X	X	変化なし
0	0	1	1	X	↑	トグル
0	0	1	1	X	↓	トグル

デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

使用可能な属性

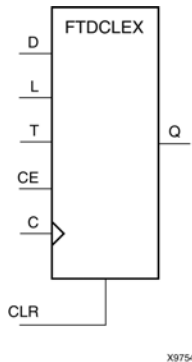
属性	タイプ	値	デフォルト	説明
INIT	2 進数	0、1	0	コンフィギュレーション後の Q 出力の初期値を指定

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

FTDCLEX

: Dual-Edge Triggered Toggle/Loadable Flip-Flop with Clock Enable and Asynchronous Clear



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

概要

このデザイン エLEMENTは、クロックの両エッジで動作するロード可能なトグル フリップフロップで、トグル イネーブル、クロック イネーブル、非同期クリアがあります。非同期クリア入力 (CLR) が High になると、ほかのすべての入力は無視され、出力 Q が Low にリセットされます。ロード イネーブル入力 (L) とクロック イネーブル入力 (CE) が High、CLR が Low の場合、クロック (C) が Low から High または High から Low に切り替わる時に、入力 (D) の値がフリップフロップにロードされます。トグル イネーブル (T) と CE が High、L と CLR が Low の場合、クロックが Low から High または High から Low に切り替わる時に出力 Q がトグルし、値が変化します。CE が Low の場合、クロック遷移は無視されます。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

論理表

入力						出力
CLR	L	CE	T	D	C	Q
1	X	X	X	X	X	0
0	1	1	X	1	↑	1
0	1	1	X	1	↓	1
0	1	1	X	0	↑	0
0	1	1	X	0	↓	0
0	0	0	X	X	X	変化なし
0	0	1	0	X	X	変化なし
0	0	1	1	X	↑	トグル
0	0	1	1	X	↓	トグル

デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

使用可能な属性

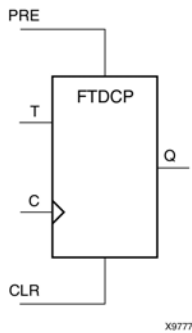
属性	タイプ	値	デフォルト	説明
INIT	2 進数	0、1	0	コンフィギュレーション後の Q 出力の初期値を指定

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

FTDCP

: Dual-Edge Triggered Toggle Flip-Flop with Asynchronous Clear and Preset



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

概要

このデザイン エLEMENTは、トグル イネーブル、非同期クリア、非同期プリセットがあるトグル フリップフロップです。非同期クリア入力 (CLR) が High になると、ほかのすべての入力は無視され、出力 (Q) が Low にリセットされます。非同期プリセット入力 (PRE) が High、CLR が Low になると、ほかのすべての入力は無視され、Q 出力が High になります。トグル イネーブル入力 (T) が High、CLR と PRE が Low の場合、クロック (C) が Low から High または High から Low に切り替わるときに出力 Q がトグルし、値が変化します。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスで PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

論理表

入力				出力
CLR	PRE	T	C	Q
1	X	X	X	0
0	1	X	X	1
0	0	0	X	変化なし
0	0	1	↑	トグル
0	0	1	↓	トグル

デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

使用可能な属性

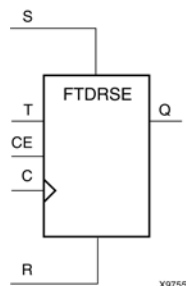
属性	タイプ	値	デフォルト	説明
INIT	2 進数	0、1	0	コンフィギュレーション後の Q 出力の初期値を指定

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

FTDRSE

: Dual-Edge Triggered Toggle Flip-Flop with Synchronous Reset, Set, and Clock Enable



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

概要

このデザイン エLEMENTは、クロックの両エッジで動作するトグル フリップフロップで、トグル イネーブル、クロック イネーブル、同期セット、同期リセットがあります。同期リセット入力 (R) が High になると、ほかのすべての入力は無視され、クロック (C) が Low から High に切り替わる時に、出力 (Q) の値が Low にリセットされます。R が Low、同期セット入力 (S) が High の場合、クロック イネーブル入力 (CE) は無視され、クロック (C) が Low から High に切り替わる時に、出力 Q が High にセットされます (リセットがセットよりも優先される)。トグル イネーブル入力 (T) と CE が High、S と R が Low の場合、クロックが Low から High または High から Low に切り替わる時に出力 Q がトグルし、値が変化します。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスで PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

論理表

入力					出力
R	S	CE	T	C	Q
1	X	X	X	↑	0
1	X	X	X	↓	0
0	1	X	X	↑	1
0	1	X	X	↓	1
0	0	0	X	X	変化なし
0	0	1	0	X	変化なし
0	0	1	1	↑	トグル
0	0	1	1	↓	トグル

デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

使用可能な属性

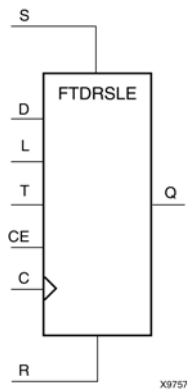
属性	タイプ	値	デフォルト	説明
INIT	2 進数	0、1	0	コンフィギュレーション後の Q 出力の初期値を指定

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

FTDRSLE

: Dual-Edge Triggered Toggle Flip-Flop with Clock Enable and Synchronous Reset and Set



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

概要

このデザイン エLEMENTは、クロックの両エッジで動作するロード可能なトグル フリップフロップで、トグル イネーブル、クロック イネーブル、同期セット、同期リセットがあります。同期リセット入力 (R) が High になると、ほかのすべての入力は無視され、クロック (C) が Low から High に切り替わるときに、出力 (Q) が Low にリセットされます (リセットがセットよりも優先される)。R が Low、同期セット入力 (S) が High の場合、クロック イネーブル入力 (CE) は無視され、クロック (C) が Low から High に切り替わるときに、出力 Q が High にセットされます。R と S が Low、ロード イネーブル入力 (L) が High の場合、クロック イネーブル (CE) は無視され、クロックが Low から High または High から Low に切り替わる時に、入力 (D) の値がフリップフロップにロードされます。R、S、L が Low、CE とトグル イネーブル (T) が High の場合、クロックが Low から High または High から Low に切り替わる時に Q 出力がトグルし、値が変化します。CE が Low の場合、クロック遷移は無視されます。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスで PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

論理表

入力							出力
R	S	L	CE	T	D	C	Q
1	0	X	X	X	X	↑	0
1	0	X	X	X	X	↓	0
0	1	X	X	X	X	↑	1
0	1	X	X	X	X	↓	1
0	0	1	X	X	1	↑	1
0	0	1	X	X	1	↓	1
0	0	1	X	X	0	↑	0
0	0	1	X	X	0	↓	0
0	0	0	0	X	X	X	変化なし
0	0	0	1	0	X	X	変化なし
0	0	0	1	1	X	↑	トグル
0	0	0	1	1	X	↓	トグル

デザインの入力方法

このエレメントは、回路図でのみ使用できます。

使用可能な属性

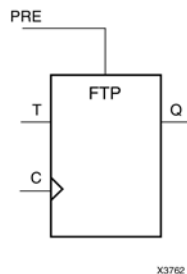
属性	タイプ	値	デフォルト	説明
INIT	2 進数	0、1	0	コンフィギュレーション後の Q 出力の初期値を指定

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

FTP

: Toggle Flip-Flop with Asynchronous Preset



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

概要

このデザイン エLEMENTは、トグル イネーブルと非同期プリセットがあるトグル フリップフロップです。非同期プリセット入力 (PRE) が High になると、ほかのすべての入力は無視され、出力 Q が High にセットされます。トグル イネーブル入力 (T) が High、PRE が Low の場合、クロック (C) が Low から High に切り替わるときに出力 Q がトグルし、値が変化します。

CPLD では、電力を供給すると、フリップフロップは非同期にクリアされ、出力が Low になります。High レベルのパルス を PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

論理表

入力			出力
PRE	T	C	Q
1	X	X	1
0	0	X	変化なし
0	1	↑	トグル

デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

使用可能な属性

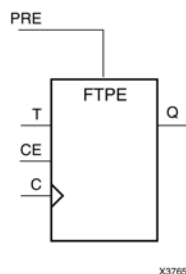
属性	タイプ	値	デフォルト	説明
INIT	2 進数	0、1	1	コンフィギュレーション後の Q 出力の初期値を指定。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

FTPE

: Toggle Flip-Flop with Clock Enable and Asynchronous Preset



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

概要

このデザイン エLEMENTは、トグル イネーブル、クロック イネーブル、非同期プリセットがあるトグル フリップフロップです。非同期プリセット入力 (PRE) が High になると、ほかのすべての入力は無視され、出力 Q が High にセットされます。トグル イネーブル入力 (T) とクロック イネーブル入力 (CE) が High、PRE が Low の場合、クロックが Low から High に切り替わるときに出力 Q がトグルし、値が変化します。CE が Low の場合、クロック遷移は無視されます。

CPLD では、電力を供給すると、フリップフロップは非同期にクリアされ、出力が Low になります。High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

論理表

入力				出力
PRE	CE	T	C	Q
1	X	X	X	1
0	0	X	X	変化なし
0	1	0	X	変化なし
0	1	1	↑	トグル

デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

使用可能な属性

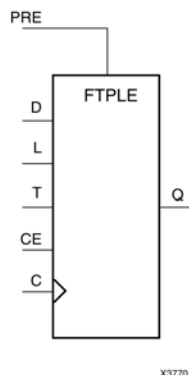
属性	タイプ	値	デフォルト	説明
INIT	2 進数	0、1	1	コンフィギュレーション後の Q 出力の初期値を指定。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

FTPLE

: Toggle/Loadable Flip-Flop with Clock Enable and Asynchronous Preset



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

概要

このデザイン エLEMENTは、トグル イネーブル、クロック イネーブル、非同期プリセットがあるロード可能なトグル フリップフロップです。非同期プリセット入力 (PRE) が High になると、ほかのすべての入力は無視され、出力 Q が High にセットされます。ロード イネーブル入力 (L) が High、PRE が Low の場合、クロック イネーブル (CE) は無視され、クロックが Low から High に切り替わるときに、D の値がフリップフロップにロードされます。L と PRE が Low、トグル イネーブル入力 (T) と CE が High の場合、クロックが Low から High に切り替わるときに出力 Q がトグルし、値が変化します。CE が Low の場合、クロック遷移は無視されます。

CPLD では、電力を供給すると、フリップフロップは非同期にクリアされ、出力が Low になります。High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

論理表

入力						出力
PRE	L	CE	T	D	C	Q
1	X	X	X	X	X	1
0	1	X	X	D	↑	D
0	0	0	X	X	X	変化なし
0	0	1	0	X	X	変化なし
0	0	1	1	X	↑	トグル

デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

使用可能な属性

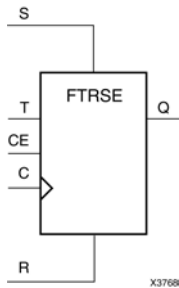
属性	タイプ	値	デフォルト	説明
INIT	2 進数	0、1	1	コンフィギュレーション後の Q 出力の初期値を指定。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

FTRSE

: Toggle Flip-Flop with Clock Enable and Synchronous Reset and Set



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

概要

このデザイン エLEMENTは、トグル イネーブル、クロック イネーブル、同期セット、同期リセットがあるトグル フリップフロップです。同期リセット入力 (R) が High になると、ほかのすべての入力は無視され、クロック (C) が Low から High に切り替わるときに、出力 (Q) の値が Low にリセットされます。R が Low、同期セット入力 (S) が High の場合、クロック イネーブル入力 (CE) は無視され、クロック (C) が Low から High に切り替わるときに、出力 Q が High にセットされます (リセットがセットよりも優先される)。トグル イネーブル入力 (T) と CE が High、S と R が Low の場合、クロック (C) が Low から High に切り替わるときに出力 Q がトグルし、値が変化します。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

論理表

入力					出力
R	S	CE	T	C	Q
1	X	X	X	↑	0
0	1	X	X	↑	1
0	0	0	X	X	変化なし
0	0	1	0	X	変化なし
0	0	1	1	↑	トグル

デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

使用可能な属性

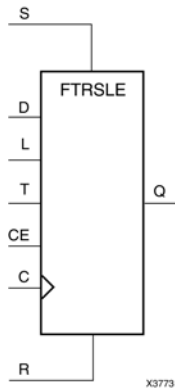
属性	タイプ	値	デフォルト	説明
INIT	2 進数	0、1	0	コンフィギュレーション後の Q 出力の初期値を指定

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

FTRSLE

: Toggle/Loadable Flip-Flop with Clock Enable and Synchronous Reset and Set



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

概要

このデザイン エLEMENTは、トグル イネーブル、クロック イネーブル、同期セット、同期リセットがあるロード可能なトグル フリップフロップです。同期リセット入力 (R) が High になると、ほかのすべての入力は無視され、クロック (C) が Low から High に切り替わるときに、出力 (Q) が Low にリセットされます (リセットがセットよりも優先される)。R が Low、同期セット入力 (S) が High の場合、クロック イネーブル入力 (CE) は無視され、クロック (C) が Low から High に切り替わるときに、出力 Q が High にセットされます。R と S が Low、ロード イネーブル入力 (L) が High の場合、CE は無視され、クロック (C) が Low から High に切り替わるときに、データ入力 (D) の値がフリップフロップにロードされます。R、S、L が Low、CE とトグル イネーブル (T) が High の場合、クロック (C) が Low から High に切り替わるときに出力 Q がトグルし、値が変化します。CE が Low の場合、クロック遷移は無視されます。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

論理表

入力							出力
R	S	L	CE	T	D	C	Q
1	0	X	X	X	X	↑	0
0	1	X	X	X	X	↑	1
0	0	1	X	X	1	↑	1
0	0	1	X	X	0	↑	0
0	0	0	0	X	X	X	変化なし
0	0	0	1	0	X	X	変化なし
0	0	0	1	1	X	↑	トグル

デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

使用可能な属性

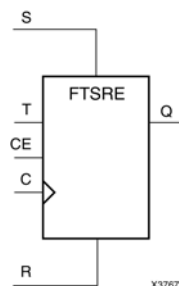
属性	タイプ	値	デフォルト	説明
INIT	2 進数	0、1	0	コンフィギュレーション後の Q 出力の初期値を指定

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

FTSRE

: Toggle Flip-Flop with Clock Enable and Synchronous Set and Reset



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

概要

このデザイン エLEMENTは、トグル イネーブル、クロック イネーブル、同期セット、同期リセットがあるトグル フリップフロップです。同期セット入力 (S) が High になると、ほかのすべての入力は無視され、クロック (C) が Low から High に切り替わる時に、データ出力 (Q) が High にセットされます (セットがリセットよりも優先される)。同期リセット (R) が High、S が Low の場合、クロック イネーブル入力 (CE) は無視され、クロック (C) が Low から High に切り替わる時に、出力 Q が Low にリセットされます。トグル イネーブル入力 (T) と CE が High、S と R が Low の場合、クロック (C) が Low から High に切り替わる時に出力 Q がトグルし、値が変化します。CE が Low の場合、クロック遷移は無視されます。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

論理表

入力					出力
S	R	CE	T	C	Q
1	X	X	X	↑	1
0	1	X	X	↑	0
0	0	0	X	X	変化なし
0	0	1	0	X	変化なし
0	0	1	1	↑	トグル

デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

使用可能な属性

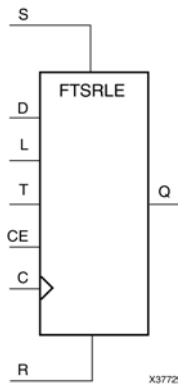
属性	タイプ	値	デフォルト	説明
INIT	2 進数	0、1	1	コンフィギュレーション後の Q 出力の初期値を指定

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

FTSRLE

: Toggle/Loadable Flip-Flop with Clock Enable and Synchronous Set and Reset



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

概要

このデザイン エLEMENTは、トグル イネーブル、クロック イネーブル、同期セット、同期リセットがあるロード可能なトグル フリップフロップです。同期セット入力 (S) が High になると、ほかのすべての入力は無視され、クロック (C) が Low から High に切り替わるときに、データ出力 (Q) が High にセットされます (セットがリセットよりも優先される)。同期リセット (R) が High、S が Low の場合、クロック イネーブル入力 (CE) は無視され、クロック (C) が Low から High に切り替わるときに、出力 Q が Low にリセットされます。ロード イネーブル入力 (L) が High、S と R が Low の場合、CE は無視され、クロックが Low から High に切り替わるときに、入力 (D) の値がフリップフロップにロードされます。トグル イネーブル入力 (T) と CE が High、S、R、L が Low の場合、クロック (C) が Low から High に切り替わるときに出力 Q がトグルし、値が変化します。CE が Low の場合、クロック遷移は無視されます。

CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

論理表

入力							出力
S	R	L	CE	T	D	C	Q
1	X	X	X	X	X	↑	1
0	1	X	X	X	X	↑	0
0	0	1	X	X	1	↑	1
0	0	1	X	X	0	↑	0
0	0	0	0	X	X	X	変化なし
0	0	0	1	0	X	X	変化なし
0	0	0	1	1	X	↑	トグル

デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

使用可能な属性

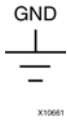
属性	タイプ	値	デフォルト	説明
INIT	2 進数	0、1	1	コンフィギュレーション後の Q 出力の初期値を指定

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

GND

: Ground-Connection Signal Tag



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

概要

GND 信号タグは、ネットまたは入力ファンクションの論理レベルを Low にします。GND に接続されたネットは、ほかのソースに接続できません。

ロジックトリム ソフトウェアまたはフィッタでは、GND に接続されたネットまたは入力ファンクションがあると、GND 信号でディスエーブルになるロジックが削除されます。ディスエーブルになるロジックを削除できない場合のみ、GND 信号がインプリメントされます。

デザインの入力方法

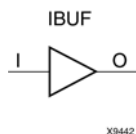
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

IBUF

: Input Buffer



サポートされているアーキテクチャ

このデザイン エレメントは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

概要

このデザイン エレメントは、最上位の入力ポートまたは入出力ポートに接続されている信号に自動的に挿入されます。このバッファは通常、合成ツールで推論しますが、必要に応じてインスタンスエートすることも可能です。インスタンスエートするには、入力ポート (I) を関連する最上位の入力ポートまたは入出力ポートに接続し、出力ポート (O) をそのポートをソースとする FPGA ロジックに接続します。必要なジェネリック マップ (VHDL) またはパラメータ値代入 (Verilog) に変更を加えて、コンポーネントのデフォルトのビヘイビアを変更します。

ポートの説明

ポート名	方向	幅	機能
O	出力	1	バッファの出力
I	入力	1	バッファの入力

デザインの入力方法

このエレメントは、回路図で使用されます。

このエレメントは通常、デザインの最上位入力ポートに対して推論されます。通常はソースコードで指定する必要はありませんが、必要に応じてインスタンスエートできます。このコンポーネントをインスタンスエートするには、該当するライブラリ ガイドに含まれるインスタンスエーション コードを最上位エンティティ/モジュールに挿入します。デザイン階層を保つために、すべての I/O コンポーネントを必ずデザインの最上位に配置してください。I ポートをデザインの最上位入力ポートに、O ポートをこの入力が見込まれるロジックに直接接続します。generic/defparam 値を設定し、バッファのビヘイビアを適切に設定してください。

使用可能な属性

属性	タイプ	値	デフォルト	説明
IOSTANDARD	文字列	データシートを参照	DEFAULT	エレメントに I/O 規格を割り当て

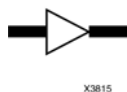
詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当する EDK 資料

IBUF16

: 16-Bit Input Buffer

IBUF16



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

概要

IBUF は、チップに入力される信号から内部回路を分離します。このデザイン エLEMENTは I/O ブロック (IOB) に含まれており、I/O の I/O 規格を指定できます。通常シングルエンドのデータ入力ピンまたは双方向ピンに使用されます。

デザインの入力方法

このELEMENTは、回路図で使用されます。

このELEMENTは通常、デザインの最上位入力ポートに対して推論されます。通常はソースコードで指定する必要はありませんが、必要に応じてインスタシエートできます。このコンポーネントをインスタシエートするには、該当するライブラリ ガイドに含まれるインスタシエーション コードを最上位エンティティ/モジュールに挿入します。デザイン階層を保つために、すべての I/O コンポーネントを必ずデザインの最上位に配置してください。I ポートをデザインの最上位入力ポートに、O ポートをこの入力 that 供給されるロジックに直接接続します。generic/defparam 値を設定し、バッファのビヘイビアを適切に設定してください。

使用可能な属性

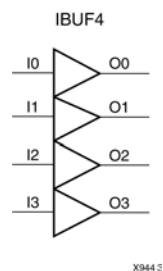
属性	タイプ	値	デフォルト	説明
IOSTANDARD	文字列	データシートを参照	DEFAULT	ELEMENTに I/O 規格を割り当て

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

IBUF4

: 4-Bit Input Buffer



サポートされているアーキテクチャ

このデザイン エレメントは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

概要

IBUF は、チップに入力される信号から内部回路を分離します。このデザイン エレメントは I/O ブロック (IOB) に含まれており、I/O の I/O 規格を指定できます。通常シングルエンドのデータ入力ピンまたは双方向ピンに使用されます。

デザインの入力方法

このエレメントは、回路図で使用されます。

このエレメントは通常、デザインの最上位入力ポートに対して推論されます。通常はソースコードで指定する必要はありませんが、必要に応じてインスタシエートできます。このコンポーネントをインスタシエートするには、該当するライブラリ ガイドに含まれるインスタシエーション コードを最上位エンティティ/モジュールに挿入します。デザイン階層を保つために、すべての I/O コンポーネントを必ずデザインの最上位に配置してください。I ポートをデザインの最上位入力ポートに、O ポートをこの入力 that 供給されるロジックに直接接続します。generic/defparam 値を設定し、バッファのビヘイビアを適切に設定してください。

使用可能な属性

属性	タイプ	値	デフォルト	説明
IOSTANDARD	文字列	データシートを参照	DEFAULT	エレメントに I/O 規格を割り当て

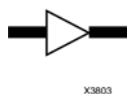
詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

IBUF8

: 8-Bit Input Buffer

IBUF8



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

概要

IBUF は、チップに入力される信号から内部回路を分離します。このデザイン エLEMENTは I/O ブロック (IOB) に含まれており、I/O の I/O 規格を指定できます。通常シングルエンドのデータ入力ピンまたは双方向ピンに使用されます。

デザインの入力方法

このELEMENTは、回路図で使用されます。

このELEMENTは通常、デザインの最上位入力ポートに対して推論されます。通常はソースコードで指定する必要はありませんが、必要に応じてインスタシエートできます。このコンポーネントをインスタシエートするには、該当するライブラリ ガイドに含まれるインスタシエーション コードを最上位エンティティ/モジュールに挿入します。デザイン階層を保つために、すべての I/O コンポーネントを必ずデザインの最上位に配置してください。I ポートをデザインの最上位入力ポートに、O ポートをこの入力 that 供給されるロジックに直接接続します。generic/defparam 値を設定し、バッファのビヘイビアを適切に設定してください。

使用可能な属性

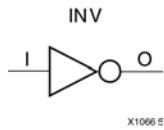
属性	タイプ	値	デフォルト	説明
IOSTANDARD	文字列	データシートを参照	DEFAULT	ELEMENTに I/O 規格を割り当て

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

INV

: Inverter



サポートされているアーキテクチャ

このデザイン エレメントは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

概要

このデザイン エレメントは、回路図で信号を反転する単一のインバータです。

デザインの入力方法

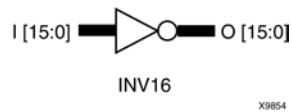
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

INV16

: 16 Inverters



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

概要

このデザイン エLEMENTは、回路図で信号を反転する複数のインバータです。

デザインの入力方法

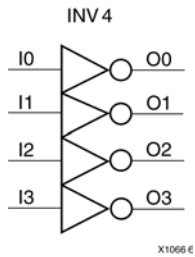
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

INV4

: Four Inverters



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

概要

このデザイン エLEMENTは、回路図で信号を反転する複数のインバータです。

デザインの入力方法

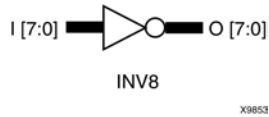
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

INV8

: Eight Inverters



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

概要

このデザイン エLEMENTは、回路図で信号を反転する複数のインバータです。

デザインの入力方法

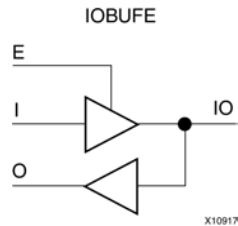
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

IOBUFE

: Bi-Directional Buffer



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

概要

このデザイン エLEMENTは、IBUF および OBUFE から構成される双方向バッファです。IO (入出力) が Z の場合、出力 O は X (不定) です。IOBUFE は、IOBUFE を構成するELEMENTの内部接続としてインプリメントできます。

論理表

入力		双方向	出力
E	I	I/O	O
0	0	Z	X
0	1	Z	X
1	0	0	0
1	1	1	1

デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

KEEPER

: KEEPER Symbol



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

概要

このデザイン エLEMENTは、双方向出力ピンに接続されるネットの値を保持するウィークキーパ エLEMENTです。たとえば、ネットに対して論理値 1 を駆動すると、KEEPER はそのネットにウィーク/抵抗値 1 を駆動します。その後、ネットドライバがトライステートになっても、KEEPER はウィーク/抵抗値 1 を駆動し続けます。

ポートの説明

ポート名	方向	幅	機能
O	出力	1 ビット	キーパ出力

デザインの入力方法

このELEMENTは、回路図で使用されます。

このELEMENTは、最上位の回路図ファイルで次のネットに接続できます。

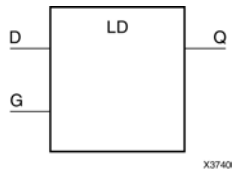
- ・ 入力 I/O マーカーに接続されたネット
- ・ 出力 I/O マーカーおよび OBUFT のようなトライステートにできる I/O ELEMENTの両方に接続されたネット

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当する EDK 資料

LD

: Transparent Data Latch



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

概要

LD は透過データラッチです。ゲートイネーブル入力 (G) が High の場合、データ出力 (Q) にデータ入力 (D) の値が出力されます。D 入力の値は、G が High から Low に切り替わるときにラッチ内に格納されます。Q 出力の値は、G が Low の間は変化しません。

電力を供給すると、ラッチは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

論理表

入力		出力
G	D	Q
1	D	D
0	X	変化なし
↓	D	D

デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

使用可能な属性

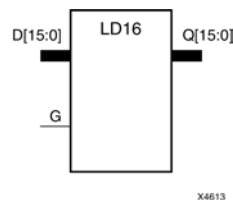
属性	タイプ	値	デフォルト	説明
INIT	2 進数	0、1	0	コンフィギュレーション後の Q 出力の初期値を指定

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

LD16

: Multiple Transparent Data Latch



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

概要

このデザイン エLEMENTは透過データ ラッチ 16 個で構成されており、共通のゲート イネーブル (G) が 1 つあります。ゲート イネーブル入力 (G) が High の場合、データ出力 (Q) にデータ入力 (D) の値が出力されます。D 入力の値は、G が High から Low に切り替わるときにラッチ内に格納されます。Q 出力の値は、G が Low の間は変化しません。

電力を供給すると、ラッチは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

論理表

入力		出力
G	D	Q
1	D _n	D _n
0	X	変化なし
↓	D _n	D _n

デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

使用可能な属性

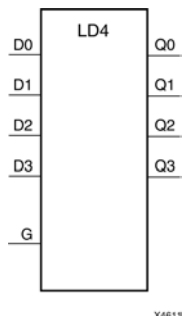
属性	タイプ	値	デフォルト	説明
INIT	2 進数	16 ビット値	すべてゼロ	コンフィギュレーション後の Q 出力の初期値を指定

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

LD4

: Multiple Transparent Data Latch



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

概要

このデザイン エLEMENTは透過データ ラッチ 4 個で構成されており、共通のゲート イネーブル (G) が 1 つあります。ゲート イネーブル入力 (G) が High の場合、データ出力 (Q) にデータ入力 (D) の値が出力されます。D 入力の値は、G が High から Low に切り替わるときにラッチ内に格納されます。Q 出力の値は、G が Low の間は変化しません。

電力を供給すると、ラッチは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

論理表

入力		出力
G	D	Q
1	Dn	Dn
0	X	変化なし
↓	Dn	Dn

デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

使用可能な属性

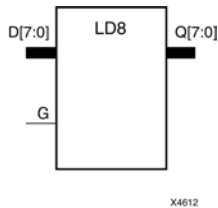
属性	タイプ	値	デフォルト	説明
INIT	2 進数	4 ビット値	すべてゼロ	コンフィギュレーション後の Q 出力の初期値を指定

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

LD8

: Multiple Transparent Data Latch



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

概要

このデザイン エLEMENTは透過データ ラッチ 8 個で構成されており、共通のゲート イネーブル (G) が 1 つあります。ゲート イネーブル入力 (G) が High の場合、データ出力 (Q) にデータ入力 (D) の値が出力されます。D 入力の値は、G が High から Low に切り替わるときにラッチ内に格納されます。Q 出力の値は、G が Low の間は変化しません。

電力を供給すると、ラッチは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

論理表

入力		出力
G	D	Q
1	Dn	Dn
0	X	変化なし
↓	Dn	Dn

デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

使用可能な属性

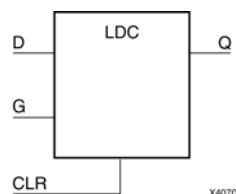
属性	タイプ	値	デフォルト	説明
INIT	2 進数	8 ビット値	すべてゼロ	コンフィギュレーション後の Q 出力の初期値を指定

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

LDC

： Transparent Data Latch with Asynchronous Clear



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

概要

このデザイン エLEMENTは、非同期クリア (CLR) がある透過データラッチです。非同期クリア入力 (CLR) が High になると、ほかの入力は無視され、データ出力 (Q) が Low にリセットされます。ゲートイネーブル入力 (G) が High で CLR が Low の場合、Q にデータ入力 (D) の値が出力されます。D 入力の値は、G が High から Low に切り替わる時にラッチ内に格納されます。Q 出力の値は、G が Low の間は変化しません。

電力を供給すると、ラッチは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

論理表

入力			出力
CLR	G	D	Q
1	X	X	0
0	1	D	D
0	0	X	変化なし
0	↓	D	D

デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

使用可能な属性

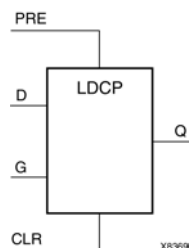
属性	タイプ	値	デフォルト	説明
INIT	2 進数	0、1	0	コンフィギュレーション後の Q 出力の初期値を指定

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

LDCP

: Transparent Data Latch with Asynchronous Clear and Preset



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

概要

このデザイン エLEMENTは、データ入力 (D)、非同期クリア入力 (CLR)、プリセット入力 (PRE) がある透過データ ラッチです。CLR が High になると、ほかの入力は無視され、データ出力 (Q) が Low にリセットされます。XC9500 デバイスの場合、PRE が High、CLR が Low の場合、データ出力 (Q) は High にプリセットされます。CoolRunner™-II および CoolRunner™ XPLA3 の場合、PRE はゲート (G) またはデータ (D) 入力よりも優先順位が低くなり、これらの入力に影響を及ぼしません。ゲート入力 (G) が High で CLR と PRE が Low の場合、Q にデータ入力 (D) の値が出力されます。D 入力の値は、G が High から Low に切り替わる時にラッチ内に格納されます。Q 出力の値は、G が Low の間は変化しません。

電力を供給すると、ラッチは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

論理表

入力				出力
CLR	PRE	G	D	Q
1	X	X	X	0
0	X	1	X	1
0	0	1	D	D
0	0	0	X	変化なし
0	0	↓	D	D

デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

使用可能な属性

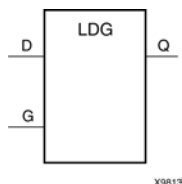
属性	タイプ	値	デフォルト	説明
INIT	整数	0、1	0	電源投入時または Q ポートに対する GSR のアサート時の初期値を指定

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

LDG

: Transparent Datagate Latch



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

概要

このデザイン エLEMENTは、ゲートで入力信号を制御して消費電力を低減するために使用される透過 DataGate ラッチです。ゲート (G) 入力 Low の場合、データ出力 (Q) にデータ入力 (D) の値が出力されます。D 入力の値は、G が Low から High に切り替わるときにラッチ内に格納されます。Q 出力の値は、G が High の間は変化しません。

入力 D は、デバイスの入力パッドに接続される必要があり、それ以外のファンアウトを持つことはできません。入力 G は、CPLD フィッタによってデバイスの DataGate Enable 制御ピン (DGE) に接続されます。デザインに使用できる DataGate Enable 信号は 1 つのみです。DataGate Enable 信号は、デバイスの入力ピンまたはオンチップのロジックソースによって駆動でき、デザインのほかのロジックで再使用できます。

電力を供給すると、ラッチは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

論理表

入力		出力
G	D	Q
0	0	0
0	1	1
1	X	変化なし
↑	D	D

デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

使用可能な属性

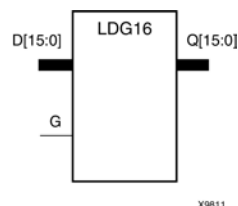
属性	タイプ	値	デフォルト	説明
INIT	2 進数	0、1	0	コンフィギュレーション後の Q 出力の初期値を指定

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

LDG16

: 16-bit Transparent Datagate Latch



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

概要

このデザイン エLEMENTは透過 DataGate ラッチ 16 個で構成されており、共通のゲート イネーブル (G) が 1 つあります。これらのラッチは、入力ピンの動作が CPLD に影響を与えない間、ゲートで入力信号を制御して消費電力の低減を図るために使用されます。ゲート (G) 入力が高レベルの場合、データ出力 (Q) にデータ入力 (D) の値が出力されます。D 入力の値は、G が Low から High に切り替わるときにラッチ内に格納されます。Q 出力の値は、G が High の間は変化しません。

入力 D は、デバイスの入力パッドに接続される必要があり、それ以外のファンアウトを持つことはできません。入力 G は、CPLD フィットによってデバイスの DataGate Enable 制御ピン (DGE) に接続されます。デザインに使用できる DataGate Enable 信号は 1 つのみです。DataGate Enable 信号は、デバイスの入力ピンまたはオンチップのロジックソースによって駆動でき、デザインのほかのロジックで再使用できます。

電力を供給すると、ラッチは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

論理表

入力		出力
G	D	Q
0	0	0
0	1	1
1	X	変化なし
↑	D	D

デザインの入力方法

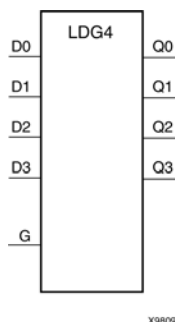
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

LDG4

： 4-Bit Transparent Datagate Latch



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

概要

このデザイン エLEMENTは透過 DataGate ラッチ 4 個で構成されており、共通のゲート イネーブル (G) が 1 つあります。これらのラッチは、入力ピンの動作が CPLD に影響を与えない間、ゲートで入力信号を制御して消費電力の低減を図るために使用されます。ゲート (G) 入力 Low の場合、データ出力 (Q) にデータ入力 (D) の値が出力されます。D 入力の値は、G が Low から High に切り替わるときにラッチ内に格納されます。Q 出力の値は、G が High の間は変化しません。

入力 D は、デバイスの入力パッドに接続される必要があり、それ以外のファンアウトを持つことはできません。入力 G は、CPLD フィットによってデバイスの DataGate Enable 制御ピン (DGE) に接続されます。デザインに使用できる DataGate Enable 信号は 1 つのみです。DataGate Enable 信号は、デバイスの入力ピンまたはオンチップのロジックソースによって駆動でき、デザインのほかのロジックで再使用できます。

電力を供給すると、ラッチは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

論理表

入力		出力
G	D	Q
0	0	0
0	1	1
1	X	変化なし
↑	D	D

デザインの入力方法

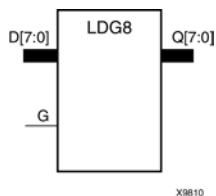
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

LDG8

: 8-Bit Transparent Datagate Latch



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

概要

このデザイン エLEMENTは透過 DataGate ラッチ 8 個で構成されており、共通のゲート イネーブル (G) が 1 つあります。これらのラッチは、入力ピンの動作が CPLD に影響を与えない間、ゲートで入力信号を制御して消費電力の低減を図るために使用されます。ゲート (G) 入力 Low の場合、データ出力 (Q) にデータ入力 (D) の値が出力されます。D 入力の値は、G が Low から High に切り替わるときにラッチ内に格納されます。Q 出力の値は、G が High の間は変化しません。

入力 D は、デバイスの入力パッドに接続される必要があり、それ以外のファンアウトを持つことはできません。入力 G は、CPLD フィットによってデバイスの DataGate Enable 制御ピン (DGE) に接続されます。デザインに使用できる DataGate Enable 信号は 1 つのみです。DataGate Enable 信号は、デバイスの入力ピンまたはオンチップのロジックソースによって駆動でき、デザインのほかのロジックで再使用できます。

電力を供給すると、ラッチは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

論理表

入力		出力
G	D	Q
0	0	0
0	1	1
1	X	変化なし
↑	D	D

デザインの入力方法

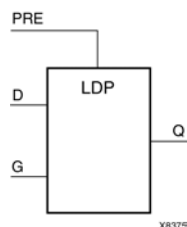
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

LDP

: Transparent Data Latch with Asynchronous Preset



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

概要

このデザイン エLEMENTは、非同期プリセット (PRE) がある透過データラッチです。XC9500 デバイスの場合、PRE が High になると、ほかの入力は無視され、データ出力 (Q) が High にプリセットされます。CoolRunner™-II および CoolRunner™ XPLA3 の場合、PRE はゲート (G) またはデータ (D) 入力よりも優先順位が低くなり、これらの入力に影響を及ぼしません。ゲート入力 (G) が High で PRE が Low の場合、Q にはデータ入力 (D) の値が出力されます。D 入力の値は、G が High から Low に切り替わるときにラッチ内に格納されます。Q 出力の値は、G が Low の間は変化しません。

電力が供給されると、ラッチは非同期にプリセットされ、出力が High になります。

論理表

入力			出力
PRE	G	D	Q
1	X	X	1
0	1	0	0
0	1	1	1
0	0	X	変化なし
0	↓	D	D

デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

使用可能な属性

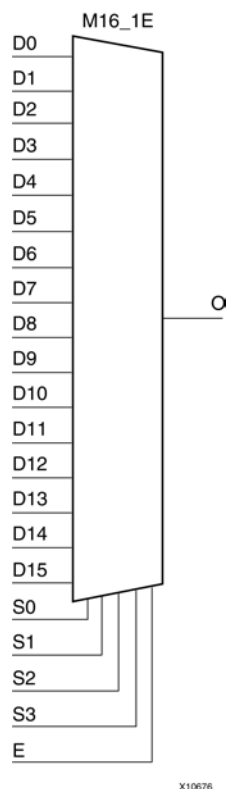
属性	タイプ	値	デフォルト	説明
INIT	2 進数	0、1	1	電源投入時または Q ポートに対する GSR のアサート時の初期値を指定

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

M16_1E

: 16-to-1 Multiplexer with Enable



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

概要

このデザイン エLEMENTは、イネーブル付き 16:1 マルチプレクサです。イネーブル入力 (E) が High の場合、セレクト入力 (S3 ~ S0) の値に応じて、16 個の入力 (D15 ~ D0) のうち 1 つのデータビットが選択されます。出力 (O) には、次の論理表に示すように、選択された入力の値が出力されます。E が Low の場合、出力は Low になります。

論理表

入力						出力
E	S3	S2	S1	S0	D15 ~ D0	O
0	X	X	X	X	X	0
1	0	0	0	0	D0	D0
1	0	0	0	1	D1	D1
1	0	0	1	0	D2	D2
1	0	0	1	1	D3	D3
.
.
.
1	1	1	0	0	D12	D12
1	1	1	0	1	D13	D13
1	1	1	1	0	D14	D14
1	1	1	1	1	D15	D15

デザインの入力方法

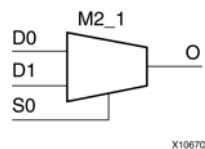
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

M2_1

: 2-to-1 Multiplexer



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

概要

このデザイン エLEMENTは、セレクト入力 (S0) の値に応じて、2 つの入力 (D1 または D0) のうち 1 つのデータビットを選択します。出力 (O) には、選択された入力の値が出力されます。S0 が Low の場合は D0 が選択され、High の場合は D1 が選択されます。

論理表

入力			出力
S0	D1	D0	O
1	D1	X	D1
0	X	D0	D0

デザインの入力方法

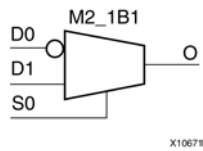
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

M2_1B1

： 2-to-1 Multiplexer with D0 Inverted



サポートされているアーキテクチャ

このデザイン エレメントは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

概要

このデザイン エレメントは、セレクト入力 (S0) の値に応じて、2 つの入力 (D1 または D0) のうち 1 つのデータビットを選択します。S0 が Low の場合は O に D0 の反転値が出力され、S0 が High の場合は D1 の値が出力されます。

論理表

入力			出力
S0	D1	D0	O
1	1	X	1
1	0	X	0
0	X	1	0
0	X	0	1

デザインの入力方法

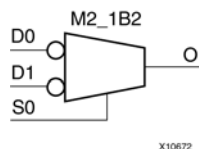
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

M2_1B2

: 2-to-1 Multiplexer with D0 and D1 Inverted



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

概要

このデザイン エLEMENTは、セレクト入力 (S0) の値に応じて、2 つの入力 (D1 または D0) のうち 1 つのデータビットを選択します。S0 が Low の場合は O に D0 の反転値が出力され、S0 が High の場合は D1 の反転値が出力されます。

論理表

入力			出力
S0	D1	D0	O
1	1	X	0
1	0	X	1
0	X	1	0
0	X	0	1

デザインの入力方法

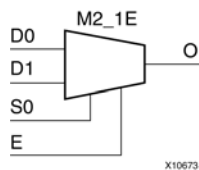
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

M2_1E

: 2-to-1 Multiplexer with Enable



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

概要

このデザイン エLEMENTは、イネーブル付き 2:1 マルチプレクサです。イネーブル入力 (E) が High の場合、セレクト入力 (S0) の値に応じて、2 つの入力 (D1 または D0) のうち 1 つのデータビットが選択されます。S0 が Low の場合は D0 が選択され、High の場合は D1 が選択されます。E が Low の場合、出力は Low になります。

論理表

入力				出力
E	S0	D1	D0	O
0	X	X	X	0
1	0	X	1	1
1	0	X	0	0
1	1	1	X	1
1	1	0	X	0

デザインの入力方法

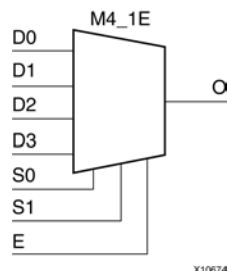
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

M4_1E

： 4-to-1 Multiplexer with Enable



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

概要

このデザイン エLEMENTは、イネーブル付き 4:1 マルチプレクサです。イネーブル入力 (E) が High の場合、セレクト入力 (S1 ~ S0) の値に応じて、4 つの入力 (D3、D2、D1、D0) のうち 1 つのデータビットが選択されます。出力 (O) には、次の論理表に示すように、選択された入力の値が出力されます。E が Low の場合、出力は Low になります。

論理表

入力							出力
E	S1	S0	D0	D1	D2	D3	O
0	X	X	X	X	X	X	0
1	0	0	D0	X	X	X	D0
1	0	1	X	D1	X	X	D1
1	1	0	X	X	D2	X	D2
1	1	1	X	X	X	D3	D3

デザインの入力方法

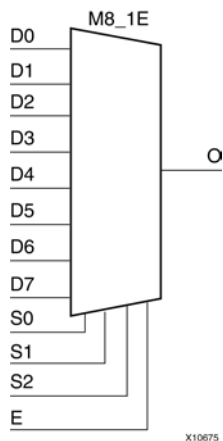
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

M8_1E

: 8-to-1 Multiplexer with Enable



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

概要

このデザイン エLEMENTは、イネーブル付き 8:1 マルチプレクサです。イネーブル入力 (E) が High の場合、セレクト入力 (S2 ~ S0) の値に応じて、8 つの入力 (D7 ~ D0) のうち 1 つのデータビットが選択されます。出力 (O) には、次の論理表に示すように、選択された入力の値が出力されます。E が Low の場合、出力は Low になります。

論理表

入力					出力
E	S2	S1	S0	D7 ~ D0	O
0	X	X	X	X	0
1	0	0	0	D0	D0
1	0	0	1	D1	D1
1	0	1	0	D2	D2
1	0	1	1	D3	D3
1	1	0	0	D4	D4
1	1	0	1	D5	D5
1	1	1	0	D6	D6
1	1	1	1	D7	D7

デザインの入力方法

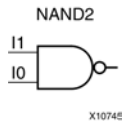
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

NAND2

: 2- Input NAND Gate with Non-Inverted Inputs



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

概要

5 入力までの NAND ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NAND ファンクションには、非反転入力のみが使用されています。入力を反転するには、外部インバータを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

デザインの入力方法

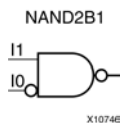
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

NAND2B1

: 2-Input NAND Gate with 1 Inverted and 1 Non-Inverted Inputs



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

概要

5 入力までの NAND ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NAND ファンクションには、非反転入力のみが使用されています。入力を反転するには、外部インバータを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

デザインの入力方法

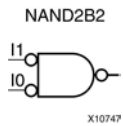
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

NAND2B2

: 2-Input NAND Gate with Inverted Inputs



サポートされているアーキテクチャ

このデザイン エレメントは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

概要

5 入力までの NAND ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NAND ファンクションには、非反転入力のみが使用されています。入力を反転するには、外部インバータを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

デザインの入力方法

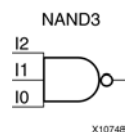
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

NAND3

： 3- Input NAND Gate with Non-Inverted Inputs



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

概要

5 入力までの NAND ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NAND ファンクションには、非反転入力のみが使用されています。入力を反転するには、外部インバータを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

デザインの入力方法

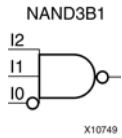
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

NAND3B1

: 3-Input NAND Gate with 1 Inverted and 2 Non-Inverted Inputs



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

概要

5 入力までの NAND ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NAND ファンクションには、非反転入力のみが使用されています。入力を反転するには、外部インバータを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

デザインの入力方法

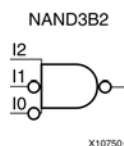
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

NAND3B2

： 3-Input NAND Gate with 2 Inverted and 1 Non-Inverted Inputs



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

概要

5 入力までの NAND ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NAND ファンクションには、非反転入力のみが使用されています。入力を反転するには、外部インバータを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

デザインの入力方法

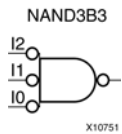
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

NAND3B3

: 3-Input NAND Gate with Inverted Inputs



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

概要

5 入力までの NAND ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NAND ファンクションには、非反転入力のみが使用されています。入力を反転するには、外部インバータを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

デザインの入力方法

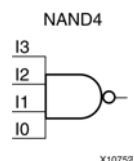
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

NAND4

： 4- Input NAND Gate with Non-Inverted Inputs



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

概要

5 入力までの NAND ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NAND ファンクションには、非反転入力のみが使用されています。入力を反転するには、外部インバータを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

デザインの入力方法

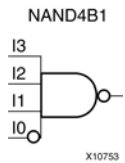
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

NAND4B1

: 4-Input NAND Gate with 1 Inverted and 3 Non-Inverted Inputs



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

概要

5 入力までの NAND ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NAND ファンクションには、非反転入力のみが使用されています。入力を反転するには、外部インバータを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

デザインの入力方法

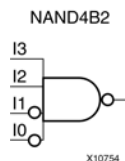
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

NAND4B2

: 4-Input NAND Gate with 2 Inverted and 2 Non-Inverted Inputs



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

概要

5 入力までの NAND ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NAND ファンクションには、非反転入力のみが使用されています。入力を反転するには、外部インバータを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

デザインの入力方法

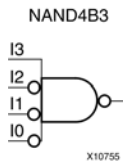
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

NAND4B3

： 4-Input NAND Gate with 3 Inverted and 1 Non-Inverted Inputs



サポートされているアーキテクチャ

このデザイン エレメントは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

概要

5 入力までの NAND ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NAND ファンクションには、非反転入力のみが使用されています。入力を反転するには、外部インバータを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

デザインの入力方法

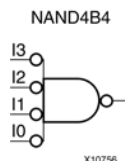
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

NAND4B4

: 4-Input NAND Gate with Inverted Inputs



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

概要

5 入力までの NAND ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NAND ファンクションには、非反転入力のみが使用されています。入力を反転するには、外部インバータを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

デザインの入力方法

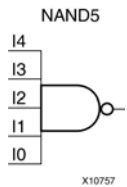
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

NAND5

: 5- Input NAND Gate with Non-Inverted Inputs



サポートされているアーキテクチャ

このデザイン エレメントは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

概要

5 入力までの NAND ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NAND ファンクションには、非反転入力のみが使用されています。入力を反転するには、外部インバータを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

デザインの入力方法

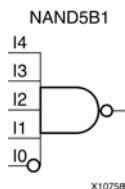
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

NAND5B1

: 5-Input NAND Gate with 1 Inverted and 4 Non-Inverted Inputs



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

概要

5 入力までの NAND ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NAND ファンクションには、非反転入力のみが使用されています。入力を反転するには、外部インバータを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

デザインの入力方法

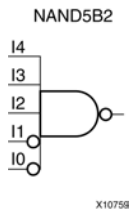
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

NAND5B2

: 5-Input NAND Gate with 2 Inverted and 3 Non-Inverted Inputs



サポートされているアーキテクチャ

このデザイン エレメントは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

概要

5 入力までの NAND ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NAND ファンクションには、非反転入力のみが使用されています。入力を反転するには、外部インバータを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

デザインの入力方法

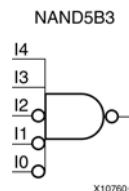
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

NAND5B3

: 5-Input NAND Gate with 3 Inverted and 2 Non-Inverted Inputs



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

概要

5 入力までの NAND ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NAND ファンクションには、非反転入力のみが使用されています。入力を反転するには、外部インバータを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

デザインの入力方法

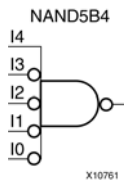
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

NAND5B4

: 5-Input NAND Gate with 4 Inverted and 1 Non-Inverted Inputs



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

概要

5 入力までの NAND ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NAND ファンクションには、非反転入力のみが使用されています。入力を反転するには、外部インバータを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

デザインの入力方法

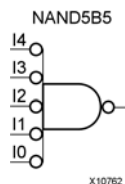
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

NAND5B5

: 5-Input NAND Gate with Inverted Inputs



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

概要

5 入力までの NAND ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NAND ファンクションには、非反転入力のみが使用されています。入力を反転するには、外部インバータを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

デザインの入力方法

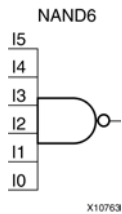
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

NAND6

： 6- Input NAND Gate with Non-Inverted Inputs



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

概要

5 入力までの NAND ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NAND ファンクションには、非反転入力のみが使用されています。入力を反転するには、外部インバータを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

デザインの入力方法

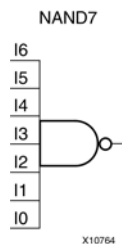
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

NAND7

： 7- Input NAND Gate with Non-Inverted Inputs



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

概要

5 入力までの NAND ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NAND ファンクションには、非反転入力のみが使用されています。入力を反転するには、外部インバータを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

デザインの入力方法

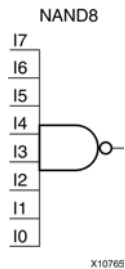
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

NAND8

： 8- Input NAND Gate with Non-Inverted Inputs



サポートされているアーキテクチャ

このデザイン エレメントは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

概要

5 入力までの NAND ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NAND ファンクションには、非反転入力のみが使用されています。入力を反転するには、外部インバータを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

デザインの入力方法

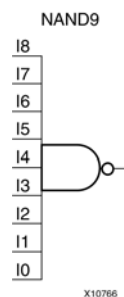
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

NAND9

: 9- Input NAND Gate with Non-Inverted Inputs



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

概要

5 入力までの NAND ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NAND ファンクションには、非反転入力のみが使用されています。入力を反転するには、外部インバータを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

デザインの入力方法

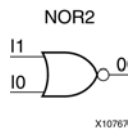
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

NOR2

： 2-Input NOR Gate with Non-Inverted Inputs



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

概要

5 入力までの NOR ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NOR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバータを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

デザインの入力方法

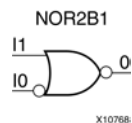
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

NOR2B1

: 2-Input NOR Gate with 1 Inverted and 1 Non-Inverted Inputs



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

概要

5 入力までの NOR ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NOR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバータを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

デザインの入力方法

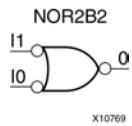
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

NOR2B2

： 2-Input NOR Gate with Inverted Inputs



サポートされているアーキテクチャ

このデザイン エレメントは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

概要

5 入力までの NOR ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NOR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバータを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

デザインの入力方法

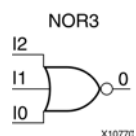
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

NOR3

： 3-Input NOR Gate with Non-Inverted Inputs



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

概要

5 入力までの NOR ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NOR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバータを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

デザインの入力方法

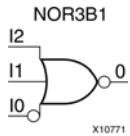
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

NOR3B1

: 3-Input NOR Gate with 1 Inverted and 2 Non-Inverted Inputs



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

概要

5 入力までの NOR ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NOR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバータを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

デザインの入力方法

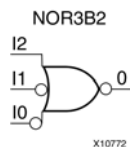
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

NOR3B2

： 3-Input NOR Gate with 2 Inverted and 1 Non-Inverted Inputs



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

概要

5 入力までの NOR ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NOR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバータを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

デザインの入力方法

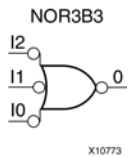
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

NOR3B3

: 3-Input NOR Gate with Inverted Inputs



サポートされているアーキテクチャ

このデザイン エレメントは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

概要

5 入力までの NOR ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NOR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバータを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

デザインの入力方法

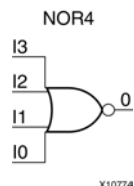
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

NOR4

: 4-Input NOR Gate with Non-Inverted Inputs



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

概要

5 入力までの NOR ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NOR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバータを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

デザインの入力方法

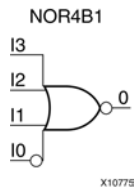
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

NOR4B1

: 4-Input NOR Gate with 1 Inverted and 3 Non-Inverted Inputs



サポートされているアーキテクチャ

このデザイン エレメントは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

概要

5 入力までの NOR ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NOR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバータを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

デザインの入力方法

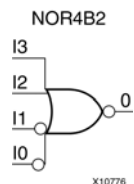
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

NOR4B2

: 4-Input NOR Gate with 2 Inverted and 2 Non-Inverted Inputs



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

概要

5 入力までの NOR ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NOR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバータを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

デザインの入力方法

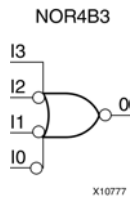
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

NOR4B3

: 4-Input NOR Gate with 3 Inverted and 1 Non-Inverted Inputs



サポートされているアーキテクチャ

このデザイン エレメントは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

概要

5 入力までの NOR ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NOR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバータを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

デザインの入力方法

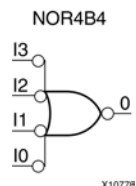
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

NOR4B4

: 4-Input NOR Gate with Inverted Inputs



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

概要

5 入力までの NOR ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NOR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバータを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

デザインの入力方法

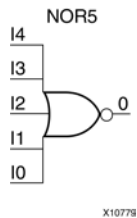
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

NOR5

: 5-Input NOR Gate with Non-Inverted Inputs



サポートされているアーキテクチャ

このデザイン エレメントは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

概要

5 入力までの NOR ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NOR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバータを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

デザインの入力方法

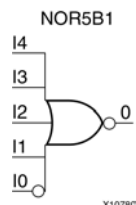
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

NOR5B1

: 5-Input NOR Gate with 1 Inverted and 4 Non-Inverted Inputs



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

概要

5 入力までの NOR ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NOR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバータを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

デザインの入力方法

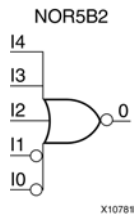
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

NOR5B2

: 5-Input NOR Gate with 2 Inverted and 3 Non-Inverted Inputs



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

概要

5 入力までの NOR ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NOR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバータを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

デザインの入力方法

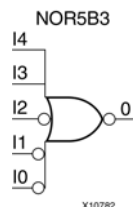
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

NOR5B3

: 5-Input NOR Gate with 3 Inverted and 2 Non-Inverted Inputs



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

概要

5 入力までの NOR ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NOR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバータを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

デザインの入力方法

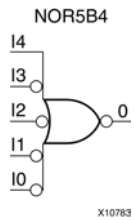
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

NOR5B4

: 5-Input NOR Gate with 4 Inverted and 1 Non-Inverted Inputs



サポートされているアーキテクチャ

このデザイン エレメントは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

概要

5 入力までの NOR ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NOR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバータを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

デザインの入力方法

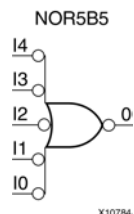
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

NOR5B5

： 5-Input NOR Gate with Inverted Inputs



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

概要

5 入力までの NOR ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NOR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバータを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

デザインの入力方法

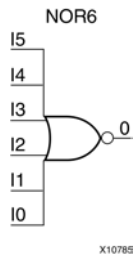
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

NOR6

： 6-Input NOR Gate with Non-Inverted Inputs



サポートされているアーキテクチャ

このデザイン エレメントは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

概要

5 入力までの NOR ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NOR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバータを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

デザインの入力方法

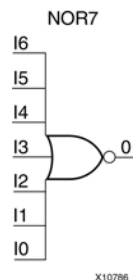
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

NOR7

： 7-Input NOR Gate with Non-Inverted Inputs



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

概要

5 入力までの NOR ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NOR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバータを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

デザインの入力方法

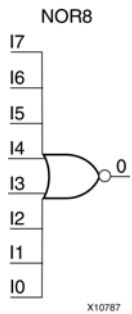
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

NOR8

： 8-Input NOR Gate with Non-Inverted Inputs



サポートされているアーキテクチャ

このデザイン エレメントは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

概要

5 入力までの NOR ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NOR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバータを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

デザインの入力方法

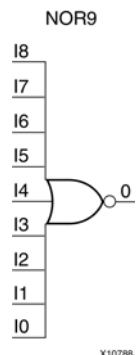
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

NOR9

： 9-Input NOR Gate with Non-Inverted Inputs



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

概要

5 入力までの NOR ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NOR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバータを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

デザインの入力方法

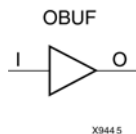
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

OBUF

: Output Buffer



サポートされているアーキテクチャ

このデザイン エレメントは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

概要

このデザイン エレメントは単純な出力バッファで、出力信号を、トライステートでない FPGA デバイス ピンに駆動するために使用します。デザインのすべての出力ポートに OBUF、OBUFT、OBUFDS、OBUFTDS のいずれかを接続する必要があります。

このエレメントは内部回路を外部から分離し、チップから出力する信号の駆動電流を供給します。I/O ブロック (IOB) 内にあります。出力 (O) は、OPAD または IOPAD に接続されます。このエレメントでは、LVTTL 規格が使用され、DRIVE 制約と SLOW または FAST 制約を使用して駆動電流とスルー レートを選択できます。デフォルトでは、DRIVE=12mA、スルー レートは SLOW に設定されています。

ポートの説明

ポート名	方向	幅	機能
O	出力	1	最上位出力ポートに直接接続される OBUF の出力
I	入力	1	OBUF の入力。出力ポートを駆動するロジックに接続

デザインの入力方法

このエレメントは、回路図で使用されます。

使用可能な属性

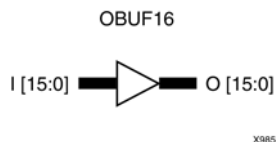
属性	タイプ	値	デフォルト	説明
IOSTANDARD	文字列	データシートを参照	DEFAULT	エレメントに I/O 規格を割り当てます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当する EDK 資料

OBUF16

: 16-Bit Output Buffer



サポートされているアーキテクチャ

このデザイン エレメントは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

概要

このデザイン エレメントは、複数の出力バッファです。

このエレメントは内部回路を外部から分離し、チップから出力する信号の駆動電流を供給します。I/O ブロック (IOB) 内にあります。出力 (O) は、OPAD または IOPAD に接続されます。このエレメントでは、LVTTTL 規格が使用され、DRIVE 制約と SLOW または FAST 制約を使用して駆動電流とスルー レートを選択できます。デフォルトでは、DRIVE=12mA、スルー レートは SLOW に設定されています。

デザインの入力方法

このエレメントは、回路図で使用されます。

使用可能な属性

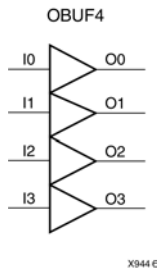
属性	タイプ	値	デフォルト	説明
IOSTANDARD	文字列	データシートを参照	DEFAULT	エレメントに I/O 規格を割り当てます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

OBUF4

： 4-Bit Output Buffer



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

概要

このデザイン エLEMENTは、複数の出力バッファです。

このELEMENTは内部回路を外部から分離し、チップから出力する信号の駆動電流を供給します。I/O ブロック (IOB) 内にあります。出力 (O) は、OPAD または IOPAD に接続されます。このELEMENTでは、LVTTL 規格が使用され、DRIVE 制約と SLOW または FAST 制約を使用して駆動電流とスルー レートを選択できます。デフォルトでは、DRIVE=12mA、スルー レートは SLOW に設定されています。

デザインの入力方法

このELEMENTは、回路図で使用されます。

使用可能な属性

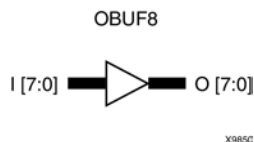
属性	タイプ	値	デフォルト	説明
IOSTANDARD	文字列	データシートを参照	DEFAULT	ELEMENTに I/O 規格を割り当てます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

OBUF8

： 8-Bit Output Buffer



サポートされているアーキテクチャ

このデザイン エレメントは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

概要

このデザイン エレメントは、複数の出力バッファです。

このエレメントは内部回路を外部から分離し、チップから出力する信号の駆動電流を供給します。I/O ブロック (IOB) 内にあります。出力 (O) は、OPAD または IOPAD に接続されます。このエレメントでは、LVTTTL 規格が使用され、DRIVE 制約と SLOW または FAST 制約を使用して駆動電流とスルー レートを選択できます。デフォルトでは、DRIVE=12mA、スルー レートは SLOW に設定されています。

デザインの入力方法

このエレメントは、回路図で使用されます。

使用可能な属性

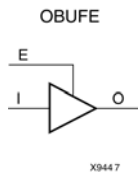
属性	タイプ	値	デフォルト	説明
IOSTANDARD	文字列	データシートを参照	DEFAULT	エレメントに I/O 規格を割り当てます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

OBUFE

: 3-State Output Buffer with Active-High Output Enable



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

概要

このデザイン エLEMENTは、入力 (I)、出力 (O)、およびアクティブ High の出力イネーブル (E) から構成されるトライステート バッファです。

E が High の場合、バッファに入力された値が対応する出力に送られます。E が Low になると、出力はハイインピーダンス (オフまたは Z ステート) になります。このデザイン エLEMENTは内部回路を外部から分離し、チップから出力する信号の駆動電流を供給します。出力はOPAD または IOPAD に接続され、入力 は内部回路に接続されます。

論理表

入力		出力
E	I	O
0	X	Z
1	1	1
1	0	0

デザインの入力方法

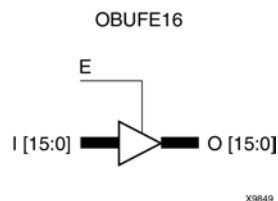
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

OBUFE16

： 16-Bit 3-State Output Buffer with Active-High Output Enable



サポートされているアーキテクチャ

このデザイン エレメントは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

概要

このデザイン エレメントは、入力 (I15 ~ I0)、出力 (O15 ~ O0)、およびアクティブ High の出力イネーブル (E) から構成されるトリステート バッファです。

E が High の場合、バッファに入力された値が対応する出力に送られます。E が Low になると、出力はハイ インピーダンス (オフまたは Z ステート) になります。このデザイン エレメントは内部回路を外部から分離し、チップから出力する信号の駆動電流を供給します。出力はOPAD または IOPAD に接続され、入力 は内部回路に接続されます。

論理表

入力		出力
E	I	O
0	X	Z
1	1	1
1	0	0

デザインの入力方法

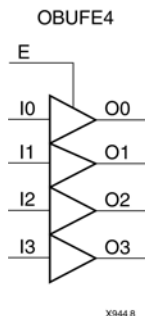
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

OBUFE4

： 4-Bit 3-State Output Buffer with Active-High Output Enable



サポートされているアーキテクチャ

このデザイン エレメントは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

概要

このデザイン エレメントは、入力 (I3 ~ I0)、出力 (O3 ~ O0)、およびアクティブ High の出力イネーブル (E) から構成されるトリステート バッファです。

E が High の場合、バッファに入力された値が対応する出力に送られます。E が Low になると、出力はハイ インピーダンス (オフまたは Z ステート) になります。このデザイン エレメントは内部回路を外部から分離し、チップから出力する信号の駆動電流を供給します。出力はOPAD または IOPAD に接続され、入力 は内部回路に接続されます。

論理表

入力		出力
E	I	O
0	X	Z
1	1	1
1	0	0

デザインの入力方法

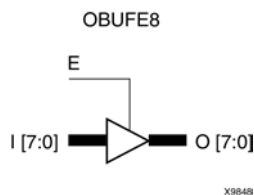
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

OBUFE8

： 8-Bit 3-State Output Buffer with Active-High Output Enable



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

概要

このデザイン エLEMENTは、入力 (I7 ~ I0)、出力 (O7 ~ O0)、およびアクティブ High の出力イネーブル (E) から構成されるトライステート バッファです。

E が High の場合、バッファに入力された値が対応する出力に送られます。E が Low になると、出力はハイ インピーダンス (オフまたは Z ステート) になります。このデザイン エLEMENTは内部回路を外部から分離し、チップから出力する信号の駆動電流を供給します。出力はOPAD または IOPAD に接続され、入力 は内部回路に接続されます。

論理表

入力		出力
E	I	O
0	X	Z
1	1	1
1	0	0

デザインの入力方法

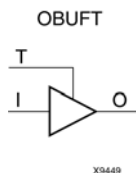
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

OBUFT

: 3-State Output Buffer with Active Low Output Enable



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

概要

このデザイン エLEMENTは、入力 (I)、出力 (O)、アクティブ Low 出力イネーブル (T) を持つ単一のトライステート出力バッファです。このELEMENTでは、LVTTTL 規格が使用され、DRIVE 制約と SLOW または FAST 制約を使用して駆動電流とスルー レートを選択できます。デフォルトでは、DRIVE=12mA、スルー レートは SLOW に設定されています。

T が Low の場合、バッファに入力された値が対応する出力に送られます。T が High の場合は、出力がハイ インピーダンス (オフまたは Z ステート) になります。OBUFT は、双方向 I/O を作成するなど、トライステート機能にシングルエンド出力を使用する必要がある場合に使用します。

論理表

入力		出力
T	I	O
1	X	Z
0	1	1
0	0	0

ポートの説明

ポート名	方向	幅	機能
O	出力	1	バッファ出力 (最上位ポートに直接接続)
I	入力	1	バッファの入力
T	入力	1	トライステート イネーブル入力

デザインの入力方法

このELEMENTは、回路図で使用されます。

使用可能な属性

属性	タイプ	値	デフォルト	説明
IOSTANDARD	文字列	データシートを参照	DEFAULT	ELEMENTに I/O 規格を割り当てます。

VHDL 記述 (インスタンス化)

次の 2 つの構文が存在しない場合はコピーし、エンティティ宣言の前に貼り付けます。

```
Library UNISIM;  
use UNISIM.vcomponents.all;
```

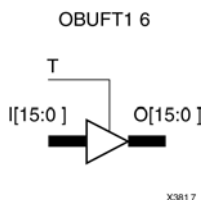
Verilog 記述 (インスタンス化)

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当する EDK 資料

OBUFT16

: 16-Bit 3-State Output Buffer with Active Low Output Enable



サポートされているアーキテクチャ

このデザイン エレメントは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

概要

このデザイン エレメントは、入力 (I)、出力 (O)、アクティブ Low 出力イネーブル (T) を持つ複数のトライステート出力バッファです。このエレメントでは、LVTTTL 規格が使用され、DRIVE 制約と SLOW または FAST 制約を使用して駆動電流とスルー レートを選択できます。デフォルトでは、DRIVE=12mA、スルー レートは SLOW に設定されています。

T が Low の場合、バッファに入力された値が対応する出力に送られます。T が High の場合は、出力がハイ インピーダンス (オフまたは Z ステート) になります。OBUFT は、双方向 I/O を作成するなど、トライステート機能にシングルエンド出力を使用する必要がある場合に使用します。

論理表

入力		出力
T	I	O
1	X	Z
0	1	1
0	0	0

デザインの入力方法

このエレメントは、回路図でのみ使用できます。

使用可能な属性

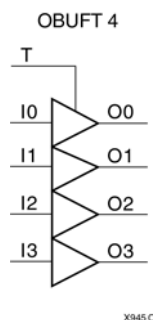
属性	タイプ	値	デフォルト	説明
IOSTANDARD	文字列	データシートを参照	DEFAULT	エレメントに I/O 規格を割り当てます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

OBUFT4

: 4-Bit 3-State Output Buffers with Active-Low Output Enable



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

概要

このデザイン エLEMENTは、入力 (I)、出力 (O)、アクティブ Low 出力イネーブル (T) を持つ複数のトライステート出力バッファです。このELEMENTでは、LVTTTL 規格が使用され、DRIVE 制約と SLOW または FAST 制約を使用して駆動電流とスルー レートを選択できます。デフォルトでは、DRIVE=12mA、スルー レートは SLOW に設定されています。

T が Low の場合、バッファに入力された値が対応する出力に送られます。T が High の場合は、出力がハイ インピーダンス (オフまたは Z ステート) になります。OBUFT は、双方向 I/O を作成するなど、トライステート機能にシングルエンド出力を使用する必要がある場合に使用します。

論理表

入力		出力
T	I	O
1	X	Z
0	1	1
0	0	0

デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

使用可能な属性

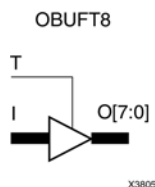
属性	タイプ	値	デフォルト	説明
IOSTANDARD	文字列	データシートを参照	DEFAULT	ELEMENTに I/O 規格を割り当てます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

OBUFT8

: 8-Bit 3-State Output Buffers with Active-Low Output Enable



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

概要

このデザイン エLEMENTは、入力 (I)、出力 (O)、アクティブ Low 出力イネーブル (T) を持つ複数のトライステート出力バッファです。このELEMENTでは、LVTTTL 規格が使用され、DRIVE 制約と SLOW または FAST 制約を使用して駆動電流とスルー レートを選択できます。デフォルトでは、DRIVE=12mA、スルー レートは SLOW に設定されています。

T が Low の場合、バッファに入力された値が対応する出力に送られます。T が High の場合は、出力がハイ インピーダンス (オフまたは Z ステート) になります。OBUFT は、双方向 I/O を作成するなど、トライステート機能にシングルエンド出力を使用する必要がある場合に使用します。

論理表

入力		出力
T	I	O
1	X	Z
0	1	1
0	0	0

デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

使用可能な属性

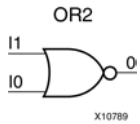
属性	タイプ	値	デフォルト	説明
IOSTANDARD	文字列	データシートを参照	DEFAULT	ELEMENTに I/O 規格を割り当てます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

OR2

： 2-Input OR Gate with Non-Inverted Inputs



サポートされているアーキテクチャ

このデザイン エレメントは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

概要

5 入力までの OR ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の OR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバータを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

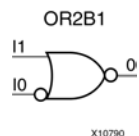
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

OR2B1

: 2-Input OR Gate with 1 Inverted and 1 Non-Inverted Inputs



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

概要

5 入力までの OR ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の OR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバータを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

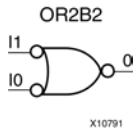
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

OR2B2

: 2-Input OR Gate with Inverted Inputs



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

概要

5 入力までの OR ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の OR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバータを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

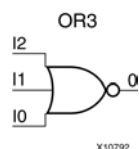
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

OR3

： 3-Input OR Gate with Non-Inverted Inputs



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

概要

5 入力までの OR ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の OR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバータを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

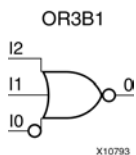
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

OR3B1

: 3-Input OR Gate with 1 Inverted and 2 Non-Inverted Inputs



サポートされているアーキテクチャ

このデザイン エレメントは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

概要

5 入力までの OR ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の OR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバータを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

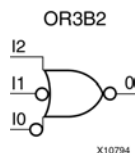
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

OR3B2

: 3-Input OR Gate with 2 Inverted and 1 Non-Inverted Inputs



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

概要

5 入力までの OR ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の OR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバータを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

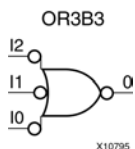
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

OR3B3

: 3-Input OR Gate with Inverted Inputs



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

概要

5 入力までの OR ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の OR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバータを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

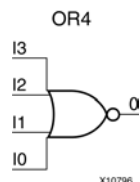
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

OR4

: 4-Input OR Gate with Non-Inverted Inputs



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

概要

5 入力までの OR ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の OR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバータを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

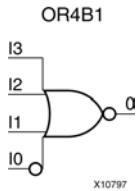
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

OR4B1

: 4-Input OR Gate with 1 Inverted and 3 Non-Inverted Inputs



サポートされているアーキテクチャ

このデザイン エレメントは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

概要

5 入力までの OR ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の OR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバータを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

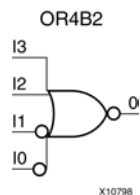
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

OR4B2

: 4-Input OR Gate with 2 Inverted and 2 Non-Inverted Inputs



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

概要

5 入力までの OR ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の OR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバータを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

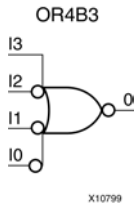
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

OR4B3

: 4-Input OR Gate with 3 Inverted and 1 Non-Inverted Inputs



サポートされているアーキテクチャ

このデザイン エレメントは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

概要

5 入力までの OR ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の OR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバータを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

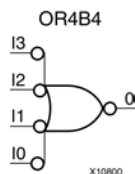
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

OR4B4

： 4-Input OR Gate with Inverted Inputs



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

概要

5 入力までの OR ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の OR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバータを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

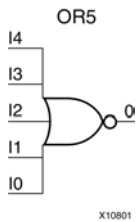
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

OR5

： 5-Input OR Gate with Non-Inverted Inputs



サポートされているアーキテクチャ

このデザイン エレメントは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

概要

5 入力までの OR ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の OR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバータを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

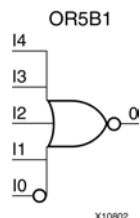
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

OR5B1

: 5-Input OR Gate with 1 Inverted and 4 Non-Inverted Inputs



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

概要

5 入力までの OR ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の OR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバータを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

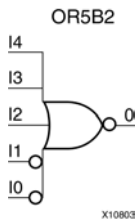
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

OR5B2

: 5-Input OR Gate with 2 Inverted and 3 Non-Inverted Inputs



サポートされているアーキテクチャ

このデザイン エレメントは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

概要

5 入力までの OR ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の OR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバータを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

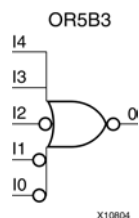
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

OR5B3

: 5-Input OR Gate with 3 Inverted and 2 Non-Inverted Inputs



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

概要

5 入力までの OR ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の OR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバータを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

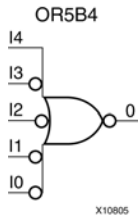
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

OR5B4

： 5-Input OR Gate with 4 Inverted and 1 Non-Inverted Inputs



サポートされているアーキテクチャ

このデザイン エレメントは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

概要

5 入力までの OR ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の OR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバータを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

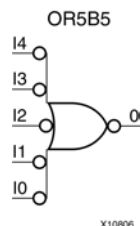
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

OR5B5

: 5-Input OR Gate with Inverted Inputs



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

概要

5 入力までの OR ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の OR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバータを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

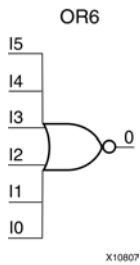
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

OR6

： 6-Input OR Gate with Non-Inverted Inputs



サポートされているアーキテクチャ

このデザイン エレメントは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

概要

5 入力までの OR ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の OR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバータを使用します。各入力に CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

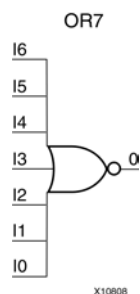
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

OR7

： 7-Input OR Gate with Non-Inverted Inputs



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

概要

5 入力までの OR ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の OR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバータを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

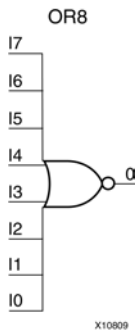
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

OR8

： 8-Input OR Gate with Non-Inverted Inputs



サポートされているアーキテクチャ

このデザイン エレメントは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

概要

5 入力までの OR ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の OR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバータを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

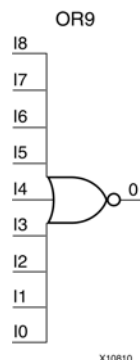
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

OR9

： 9-Input OR Gate with Non-Inverted Inputs



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

概要

5 入力までの OR ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の OR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバータを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

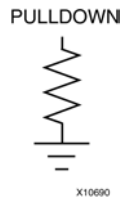
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

PULLDOWN

: Resistor to GND for Input Pads, Open-Drain, and 3-State Outputs



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

概要

この抵抗ELEMENTは、入力、出力、双方向のパッドに接続し、フロートする可能性のあるノードのロジックレベルを Low にします。

ポートの説明

ポート名	方向	幅	機能
O	出力	1	プルダウン出力 (最上位ポートに直接接続)

デザインの入力方法

このELEMENTは、回路図で使用されます。

このELEMENTは、最上位の回路図ファイルで次のネットに接続できます。

- ・ 入力 I/O マーカーに接続されたネット
- ・ 出力 I/O マーカーおよび OBUFT のようなトライステートにできる I/O ELEMENTの両方に接続されたネット

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当する EDK 資料

PULLUP

: Resistor to VCC for Input PADs, Open-Drain, and 3-State Outputs



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

概要

このデザイン エLEMENTは、1 つの入力、トライステート出力、または双方向ポートが内部または外部ソースで駆動されないときに、値、weak High で駆動できます。このELEMENTは、すべてのドライバが使用されていないときにオープンドレイン エLEMENTおよびマクロのロジック レベルを 1 (High) にします。

ポートの説明

ポート名	方向	幅	機能
O	出力	1	プルアップ出力 (最上位ポートに直接接続)

デザインの入力方法

このELEMENTは、回路図で使用されます。

このELEMENTは、最上位の回路図ファイルで次のネットに接続できます。

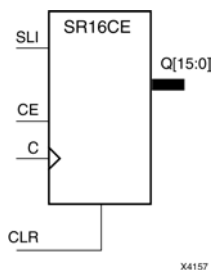
- ・ 入力 I/O マーカーに接続されたネット
- ・ 出力 I/O マーカーおよび OBUFT のようなトライステートにできる I/O ELEMENTの両方に接続されたネット

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当する EDK 資料

SR16CE

： 16-Bit Serial-In Parallel-Out Shift Register with Clock Enable and Asynchronous Clear



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

概要

このデザイン エLEMENTはシフトレジスタで、シフト レフト シリアル入力 (SLI)、パラレル出力 (Q)、クロック イネーブル (CE)、非同期クリア入力 (CLR) があります。CLR 入力が高になると、ほかのすべての入力は無視され、出力 (Q) が Low にリセットされます。CE が High で CLR が Low の場合、クロック (C) が Low から High に切り替わるときに SLI 入力の値がシフトレジスタの第 1 ビットにロードされ、Q0 に出力されます。次にクロックが Low から High に切り替わるときに CE が High で CLR が Low の場合、値が次の高位ビットの位置にシフトされ、新しい値が Q0 にロードされます (例：SLI → Q0、Q0 → Q1、Q1 → Q2)。CE が Low の場合は、クロック遷移は無視されます。

最後の Q 出力を次の段の SLI 入力に接続し、クロック、CE、CLR を並列に接続すると、複数のレジスタをカスケード接続できます。

電力を供給すると、レジスタは非同期にクリアされ、出力が Low になります。

論理表

入力				出力	
CLR	CE	SLI	C	Q0	Qz : Q1
1	X	X	X	0	0
0	0	X	X	変化なし	変化なし
0	1	SLI	↑	SLI	qn-1
z = ビット幅 - 1					
qn-1 = アクティブなクロック エッジの 1 セットアップ タイム前の対応する出力の値					

デザインの入力方法

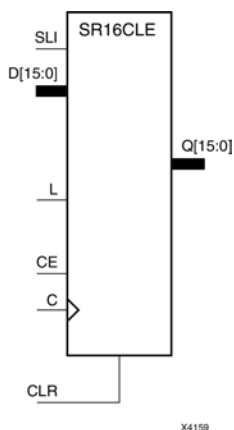
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

SR16CLE

: 16-Bit Loadable Serial/Parallel-In Parallel-Out Shift Register with Clock Enable and Asynchronous Clear



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

概要

このデザイン エLEMENTはシフトレジスタで、シフトレフトシリアル入力 (SLI)、パラレル入力 (D)、パラレル出力 (Q) に加え、クロック イネーブル (CE)、ロード イネーブル (L)、非同期クリア (CLR) の 3 つの制御入力があります。L と CE が Low の場合、クロック遷移は無視されます。CLR が High になると、ほかのすべての入力は無視され、出力 (Q) が Low にリセットされます。L が High で CLR が Low の場合、クロック (C) が Low から High に切り替わるときに、Dn ~ D0 入力の値は対応する Qn ~ Q0 ビットにロードされます。

CE が High で L および CLR が Low の場合、C が Low から High に切り替わるときに、SLI 入力の値がシフトレジスタの第 1 ビットにロードされ、Q0 に出力されます。次のクロック遷移で CE が High、L と CLR が Low の場合、値が次の高位ビットの位置にシフトされ、新しい値が Q0 にロードされます (例: SLI → Q0、Q0 → Q1、Q1 → Q2)。

最後の Q 出力を次の段の SLI 入力に接続し、クロック、CE、L、CLR を並列に接続すると、複数のレジスタをカスケード接続できます。

電力を供給すると、レジスタは非同期にクリアされ、出力が Low になります。

論理表

入力						出力	
CLR	L	CE	SLI	Dn:D0	C	Q0	Qz : Q1
1	X	X	X	X	X	0	0
0	1	X	X	Dn:D0	↑	D0	Dn
0	0	1	SLI	X	↑	SLI	qn-1
0	0	0	X	X	X	変化なし	変化なし
z = ビット幅 -1							
qn-1 = アクティブなクロック エッジの 1 セットアップ タイム前の対応する出力の値							

デザインの入力方法

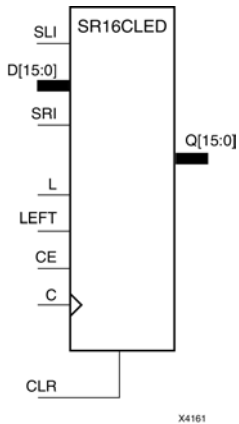
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

SR16CLED

: 16-Bit Shift Register with Clock Enable and Asynchronous Clear



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

概要

このデザイン エLEMENTはシフトレジスタで、シフト レフト シリアル入力 (SLI)、シフト ライト シリアル入力 (SRI)、パラレル 入力 (D)、パラレル出力 (Q) に加え、クロック イネーブル (CE)、ロード イネーブル (L)、シフト レフト/ライト (LEFT)、非同期クリア (CLR) の 4 つの制御入力があります。CE と L が Low の場合、クロック遷移は無視されます。CLR が High になると、ほかのすべての入力は無視され、出力 (Q) が Low にリセットされます。

L が High で CLR が Low の場合、クロック (C) が Low から High に切り替わる時に、D 入力の値が対応する Q ビットにロードされます。CE が High で L および CLR が Low の場合、LEFT 入力の値に応じて、レジスタの値は高位ビットまたは下位ビットにシフトされます。LEFT が High の場合は、クロックが Low から High に切り替わる時に SLI の値が Q0 にロードされ、次の Low から High へのクロック遷移で高位ビットにシフトされます (例: Q0 → Q1、Q1 → Q2)。LEFT が Low の場合は、クロックが Low から High に切り替わる時に SRI の値が最後の Q にロードされ、次のクロック遷移で右方向にシフトされます。論理表にすべての入力条件に対する Q 出力の値を示します。

電力を供給すると、レジスタは非同期にクリアされ、出力が Low になります。

論理表

入力								出力		
CLR	L	CE	LEFT	SLI	SRI	D15 : D0	C	Q0	Q15	Q14 : Q1
1	X	X	X	X	X	X	X	0	0	0
0	1	X	X	X	X	D15 : D0	↑	D0	D15	Dn
0	0	0	X	X	X	X	X	変化なし	変化なし	変化なし
0	0	1	1	SLI	X	X	↑	SLI	q14	qn-1
0	0	1	0	X	SRI	X	↑	q1	SRI	qn+1
qn-1 または qn+1 = アクティブなクロック エッジの 1 セットアップ タイム前の対応する出力の値										

デザインの入力方法

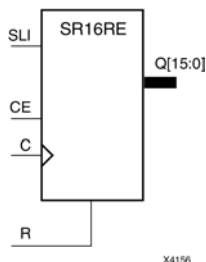
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

SR16RE

: 16-Bit Serial-In Parallel-Out Shift Register with Clock Enable and Synchronous Reset



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

概要

このデザイン エLEMENTはシフトレジスタで、シフトレフトシリアル入力 (SLI)、パラレル出力 (Qn)、クロック イネーブル (CE)、同期リセット入力 (R) があります。R 入力が高レベルになると、ほかのすべての入力は無視され、クロック (C) が Low から High に切り替わる時に出力 (Q) が Low にリセットされます。

CE が High で R が Low の場合、クロック (C) が Low から High に切り替わる時に SLI の値がシフトレジスタの第 1 ビットにロードされ、Q0 に出力されます。次にクロックが Low から High に切り替わる時に CE が High で R が Low の場合、値が次の高位ビットの位置にシフトされ、新しい値が Q0 にロードされます (例: SLI → Q0、Q0 → Q1、Q1 → Q2)。CE が Low の場合は、クロック遷移は無視されます。

最後の Q 出力を次の段の SLI 入力に接続し、クロック、CE、R を並列に接続すると、複数のレジスタをカスケード接続できます。

電力を供給すると、レジスタは非同期にクリアされ、出力が Low になります。

論理表

入力				出力	
R	CE	SLI	C	Q0	Qz : Q1
1	X	X	↑	0	0
0	0	X	X	変化なし	変化なし
0	1	SLI	↑	SLI	qn-1
z = ビット幅 -1					
qn-1 = アクティブなクロック エッジの 1 セットアップ タイム前の対応する出力の値					

デザインの入力方法

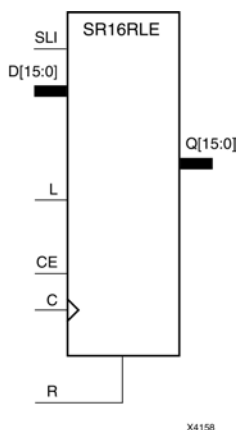
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

SR16RLE

： 16-Bit Loadable Serial/Parallel-In Parallel-Out Shift Register with Clock Enable and Synchronous Reset



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

概要

このデザイン エLEMENTはシフトレジスタで、シフトレフトシリアル入力 (SLI)、パラレル入力 (D)、パラレル出力 (Q) に加え、クロック イネーブル (CE)、ロード イネーブル (L)、同期リセット (R) の 3 つの制御入力があります。L と CE が Low の場合、クロック遷移は無視されます。R が High になると、ほかのすべての入力は無視され、クロック (C) が Low から High に切り替わるときに Q が Low にリセットされます。L が High で R が Low の場合、C が Low から High に切り替わる時に、D 入力の値が対応する Q ビットにロードされます。

CE が High で L および R が Low の場合は、C が Low から High に切り替わる時に SLI 入力の値がシフトレジスタの第 1 ビットにロードされ、Q0 に出力されます。次のクロック遷移で CE が High、L と R が Low の場合、シフトレジスタの値は次の高位ビットにシフトされ、新しい値が Q0 にロードされます。

最後の Q 出力を次の段の SLI 入力に接続し、クロック、CE、L、R を並列に接続すると、複数のレジスタをカスケード接続できます。

電力を供給すると、レジスタは非同期的にクリアされ、出力が Low になります。

論理表

入力						出力	
R	L	CE	SLI	Dz : D0	C	Q0	Qz : Q1
1	X	X	X	X	↑	0	0
0	1	X	X	Dz : D0	↑	D0	Dn
0	0	1	SLI	X	↑	SLI	qn-1
0	0	0	X	X	X	変化なし	変化なし
z = ビット幅 -1							
qn-1 = アクティブなクロック エッジの 1 セットアップ タイム前の対応する出力の値							

デザインの入力方法

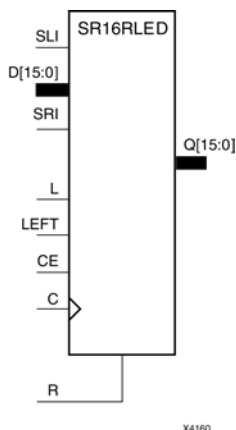
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

SR16RLED

: 16-Bit Shift Register with Clock Enable and Synchronous Reset



サポートされているアーキテクチャ

このデザイン エレメントは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

概要

このデザイン エレメントはシフトレジスタで、シフトレフトシリアル入力 (SLI)、シフトライトシリアル入力 (SRI)、パラレル入力 (D)、パラレル出力 (Q) に加え、クロック イネーブル (CE)、ロード イネーブル (L)、シフトレフト/ライト (LEFT)、同期リセット (R) の 4 つの制御入力があります。CE と L が Low の場合、クロック遷移は無視されます。R が High になると、ほかのすべての入力は無視され、クロック (C) が Low から High に切り替わるときに Q が Low にリセットされます。L が High で R が Low の場合、C が Low から High に切り替わるときに、D 入力の値が対応する Q ビットにロードされます。

CE が High で L および R が Low の場合、LEFT 入力の値に応じて、レジスタの値は高位ビットまたは下位ビットにシフトされます。LEFT が High の場合は、クロックが Low から High に切り替わるときに SLI の値が Q0 にロードされ、次の Low から High へのクロック遷移で高位ビットにシフトされます (例: Q0 → Q1, Q1 → Q2)。LEFT が Low の場合は、クロックが Low から High に切り替わるときに SRI の値が最後の Q にロードされ、次のクロック遷移で右方向にシフトされます。論理表にすべての入力条件に対する Q 出力の値を示します。

電力を供給すると、レジスタは非同期にクリアされ、出力が Low になります。

論理表

入力								出力		
R	L	CE	LEFT	SLI	SRI	D15:D0	C	Q0	Q15	Q14:Q1
1	X	X	X	X	X	X	↑	0	0	0
0	1	X	X	X	X	D15:D0	↑	D0	D15	Dn
0	0	0	X	X	X	X	X	変化なし	変化なし	変化なし
0	0	1	1	SLI	X	X	↑	SLI	q14	qn-1
0	0	1	0	X	SRI	X	↑	q1	SRI	qn+1
qn-1 または qn+1 = アクティブなクロック エッジの 1 セットアップ タイム前の対応する出力の値										

デザインの入力方法

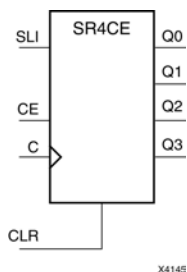
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

SR4CE

： 4-Bit Serial-In Parallel-Out Shift Register with Clock Enable and Asynchronous Clear



サポートされているアーキテクチャ

このデザイン エレメントは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

概要

このデザイン エレメントはシフトレジスタで、シフト レフト シリアル入力 (SLI)、パラレル出力 (Q)、クロック イネーブル (CE)、非同期クリア入力 (CLR) があります。CLR 入力が高になると、ほかのすべての入力は無視され、出力 (Q) が Low にリセットされます。CE が High で CLR が Low の場合、クロック (C) が Low から High に切り替わるときに SLI 入力の値がシフトレジスタの第 1 ビットにロードされ、Q0 に出力されます。次にクロックが Low から High に切り替わるときに CE が High で CLR が Low の場合、値が次の高位ビットの位置にシフトされ、新しい値が Q0 にロードされます (例：SLI → Q0、Q0 → Q1、Q1 → Q2)。CE が Low の場合は、クロック遷移は無視されます。

最後の Q 出力を次の段の SLI 入力に接続し、クロック、CE、CLR を並列に接続すると、複数のレジスタをカスケード接続できます。

電力を供給すると、レジスタは非同期にクリアされ、出力が Low になります。

論理表

入力				出力	
CLR	CE	SLI	C	Q0	Qz : Q1
1	X	X	X	0	0
0	0	X	X	変化なし	変化なし
0	1	SLI	↑	SLI	qn-1
z = ビット幅 - 1					
qn-1 = アクティブなクロック エッジの 1 セットアップ タイム前の対応する出力の値					

デザインの入力方法

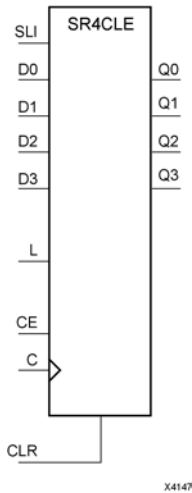
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

SR4CLE

： 4-Bit Loadable Serial/Parallel-In Parallel-Out Shift Register with Clock Enable and Asynchronous Clear



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

概要

このデザイン エLEMENTはシフトレジスタで、シフトレフトシリアル入力 (SLI)、パラレル入力 (D)、パラレル出力 (Q) に加え、クロック イネーブル (CE)、ロード イネーブル (L)、非同期クリア (CLR) の 3 つの制御入力があります。L と CE が Low の場合、クロック遷移は無視されます。CLR が High になると、ほかのすべての入力は無視され、出力 (Q) が Low にリセットされます。L が High で CLR が Low の場合、クロック (C) が Low から High に切り替わるときに、Dn ~ D0 入力の値は対応する Qn ~ Q0 ビットにロードされます。

CE が High で L および CLR が Low の場合、C が Low から High に切り替わるときに、SLI 入力の値がシフトレジスタの第 1 ビットにロードされ、Q0 に出力されます。次のクロック遷移で CE が High、L と CLR が Low の場合、値が次の高位ビットの位置にシフトされ、新しい値が Q0 にロードされます (例：SLI → Q0、Q0 → Q1、Q1 → Q2)。

最後の Q 出力を次の段の SLI 入力に接続し、クロック、CE、L、CLR を並列に接続すると、複数のレジスタをカスケード接続できます。

電力を供給すると、レジスタは非同期にクリアされ、出力が Low になります。

論理表

入力						出力	
CLR	L	CE	SLI	Dn:D0	C	Q0	Qz : Q1
1	X	X	X	X	X	0	0
0	1	X	X	Dn:D0	↑	D0	Dn
0	0	1	SLI	X	↑	SLI	qn-1
0	0	0	X	X	X	変化なし	変化なし
z = ビット幅 -1							
qn-1 = アクティブなクロック エッジの 1 セットアップ タイム前の対応する出力の値							

デザインの入力方法

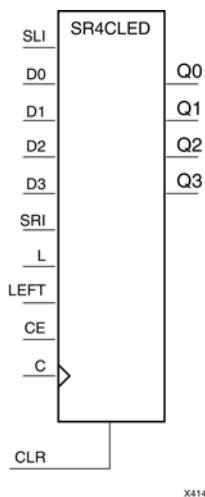
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

SR4CLED

: 4-Bit Shift Register with Clock Enable and Asynchronous Clear



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

概要

このデザイン エLEMENTはシフトレジスタで、シフトレフトシリアル入力 (SLI)、シフトライトシリアル入力 (SRI)、パラレル入力 (D)、パラレル出力 (Q) に加え、クロックイネーブル (CE)、ロードイネーブル (L)、シフトレフト/ライト (LEFT)、非同期クリア (CLR) の 4 つの制御入力があります。CE と L が Low の場合、クロック遷移は無視されます。CLR が High になると、ほかのすべての入力は無視され、出力 (Q) が Low にリセットされます。

L が High で CLR が Low の場合、クロック (C) が Low から High に切り替わる時に、D 入力の値が対応する Q ビットにロードされます。CE が High で L および CLR が Low の場合、LEFT 入力の値に応じて、レジスタの値は高位ビットまたは下位ビットにシフトされます。LEFT が High の場合は、クロックが Low から High に切り替わる時に SLI の値が Q0 にロードされ、次の Low から High へのクロック遷移で高位ビットにシフトされます (例: Q0 → Q1, Q1 → Q2)。LEFT が Low の場合は、クロックが Low から High に切り替わる時に SRI の値が最後の Q にロードされ、次のクロック遷移で右方向にシフトされます。論理表にすべての入力条件に対する Q 出力の値を示します。

電力を供給すると、レジスタは非同期にクリアされ、出力が Low になります。

論理表

入力								出力		
CLR	L	CE	LEFT	SLI	SRI	D3 : D0	C	Q0	Q3	Q2 : Q1
1	X	X	X	X	X	X	X	0	0	0
0	1	X	X	X	X	D3:D0	↑	D0	D3	Dn
0	0	0	X	X	X	X	X	変化なし	変化なし	変化なし
0	0	1	1	SLI	X	X	↑	SLI	q2	qn-1
0	0	1	0	X	SRI	X	↑	q1	SRI	qn+1
qn-1 および qn+1 = アクティブなクロック エッジの 1 セットアップ タイム前の対応する出力の値										

デザインの入力方法

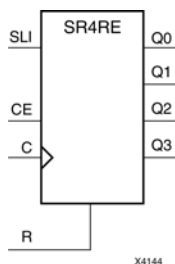
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

SR4RE

： 4-Bit Serial-In Parallel-Out Shift Register with Clock Enable and Synchronous Reset



サポートされているアーキテクチャ

このデザイン エレメントは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

概要

このデザイン エレメントはシフトレジスタで、シフトレフトシリアル入力 (SLI)、パラレル出力 (Qn)、クロック イネーブル (CE)、同期リセット入力 (R) があります。R 入力が高レベルになると、ほかのすべての入力は無視され、クロック (C) が Low から High に切り替わる時に出力 (Q) が Low にリセットされます。

CE が High で R が Low の場合、クロック (C) が Low から High に切り替わる時に SLI の値がシフトレジスタの第 1 ビットにロードされ、Q0 に出力されます。次にクロックが Low から High に切り替わる時に CE が High で R が Low の場合、値が次の高位ビットの位置にシフトされ、新しい値が Q0 にロードされます (例：SLI → Q0、Q0 → Q1、Q1 → Q2)。CE が Low の場合は、クロック遷移は無視されます。

最後の Q 出力を次の段の SLI 入力に接続し、クロック、CE、R を並列に接続すると、複数のレジスタをカスケード接続できます。

電力を供給すると、レジスタは非同期にクリアされ、出力が Low になります。

論理表

入力				出力	
R	CE	SLI	C	Q0	Qz : Q1
1	X	X	↑	0	0
0	0	X	X	変化なし	変化なし
0	1	SLI	↑	SLI	qn-1
z = ビット幅 -1					
qn-1 = アクティブなクロック エッジの 1 セットアップ タイム前の対応する出力の値					

デザインの入力方法

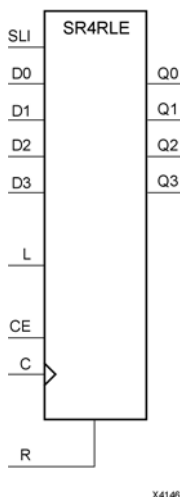
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

SR4RLE

： 4-Bit Loadable Serial/Parallel-In Parallel-Out Shift Register with Clock Enable and Synchronous Reset



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

概要

このデザイン エLEMENTはシフトレジスタで、シフトレフトシリアル入力 (SLI)、パラレル入力 (D)、パラレル出力 (Q) に加え、クロックイネーブル (CE)、ロードイネーブル (L)、同期リセット (R) の 3 つの制御入力があります。L と CE が Low の場合、クロック遷移は無視されます。R が High になると、ほかのすべての入力は無視され、クロック (C) が Low から High に切り替わる時に Q が Low にリセットされます。L が High で R が Low の場合、C が Low から High に切り替わる時に、D 入力の値が対応する Q ビットにロードされます。

CE が High で L および R が Low の場合は、C が Low から High に切り替わる時に SLI 入力の値がシフトレジスタの第 1 ビットにロードされ、Q0 に出力されます。次のクロック遷移で CE が High、L と R が Low の場合、シフトレジスタの値は次の高位ビットにシフトされ、新しい値が Q0 にロードされます。

最後の Q 出力を次の段の SLI 入力に接続し、クロック、CE、L、R を並列に接続すると、複数のレジスタをカスケード接続できます。

電力を供給すると、レジスタは非同期にクリアされ、出力が Low になります。

論理表

入力						出力	
R	L	CE	SLI	Dz : D0	C	Q0	Qz : Q1
1	X	X	X	X	↑	0	0
0	1	X	X	Dz : D0	↑	D0	Dn
0	0	1	SLI	X	↑	SLI	qn-1
0	0	0	X	X	X	変化なし	変化なし
z = ビット幅 -1							
qn-1 = アクティブなクロック エッジの 1 セットアップ タイム前の対応する出力の値							

デザインの入力方法

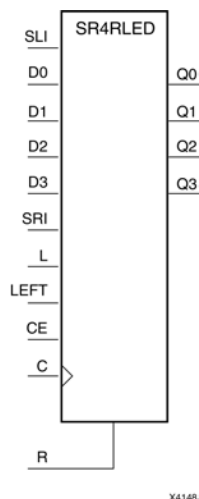
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

SR4RLED

: 4-Bit Shift Register with Clock Enable and Synchronous Reset



サポートされているアーキテクチャ

このデザイン エレメントは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

概要

このデザイン エレメントはシフトレジスタで、シフトレフトシリアル入力 (SLI)、シフトライトシリアル入力 (SRI)、パラレル入力 (D)、パラレル出力 (Q) に加え、クロック イネーブル (CE)、ロード イネーブル (L)、シフトレフト/ライト (LEFT)、同期リセット (R) の 4 つの制御入力があります。CE と L が Low の場合、クロック遷移は無視されます。R が High になると、ほかのすべての入力は無視され、クロック (C) が Low から High に切り替わるときに Q が Low にリセットされます。L が High で R が Low の場合、C が Low から High に切り替わるときに、D 入力の値が対応する Q ビットにロードされます。

CE が High で L および R が Low の場合、LEFT 入力の値に応じて、レジスタの値は高位ビットまたは下位ビットにシフトされます。LEFT が High の場合は、クロックが Low から High に切り替わるときに SLI の値が Q0 にロードされ、次の Low から High へのクロック遷移で高位ビットにシフトされます (例: Q0 → Q1, Q1 → Q2)。LEFT が Low の場合は、クロックが Low から High に切り替わるときに SRI の値が最後の Q にロードされ、次のクロック遷移で右方向にシフトされます。論理表にすべての入力条件に対する Q 出力の値を示します。

電力を供給すると、レジスタは非同期にクリアされ、出力が Low になります。

論理表

入力								出力		
R	L	CE	LEFT	SLI	SRI	D3 : D0	C	Q0	Q3	Q2 : Q1
1	X	X	X	X	X	X	↑	0	0	0
0	1	X	X	X	X	D3 : D0	↑	D0	D3	Dn
0	0	0	X	X	X	X	X	変化なし	変化なし	変化なし
0	0	1	1	SLI	X	X	↑	SLI	q2	qn-1
0	0	1	0	X	SRI	X	↑	q1	SRI	qn+1
qn-1 または qn+1 = アクティブなクロック エッジの 1 セットアップ タイム前の対応する出力の値										

デザインの入力方法

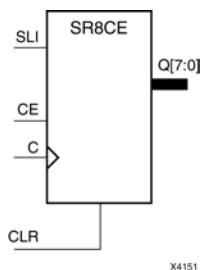
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

SR8CE

： 8-Bit Serial-In Parallel-Out Shift Register with Clock Enable and Asynchronous Clear



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

概要

このデザイン エLEMENTはシフトレジスタで、シフトレフトシリアル入力 (SLI)、パラレル出力 (Q)、クロックイネーブル (CE)、非同期クリア入力 (CLR) があります。CLR 入力が高になると、ほかのすべての入力は無視され、出力 (Q) が Low にリセットされます。CE が High で CLR が Low の場合、クロック (C) が Low から High に切り替わるたびに SLI 入力の値がシフトレジスタの第 1 ビットにロードされ、Q0 に出力されます。次にクロックが Low から High に切り替わるたびに CE が High で CLR が Low の場合、値が次の高位ビットの位置にシフトされ、新しい値が Q0 にロードされます (例：SLI → Q0、Q0 → Q1、Q1 → Q2)。CE が Low の場合は、クロック遷移は無視されます。

最後の Q 出力を次の段の SLI 入力に接続し、クロック、CE、CLR を並列に接続すると、複数のレジスタをカスケード接続できます。

電力を供給すると、レジスタは非同期にクリアされ、出力が Low になります。

論理表

入力				出力	
CLR	CE	SLI	C	Q0	Qz : Q1
1	X	X	X	0	0
0	0	X	X	変化なし	変化なし
0	1	SLI	↑	SLI	qn-1
z = ビット幅 - 1					
qn-1 = アクティブなクロック エッジの 1 セットアップ タイム前の対応する出力の値					

デザインの入力方法

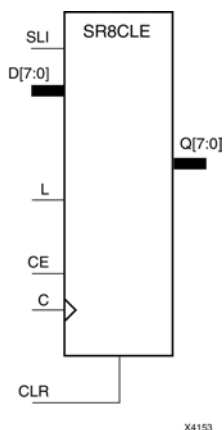
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

SR8CLE

： 8-Bit Loadable Serial/Parallel-In Parallel-Out Shift Register with Clock Enable and Asynchronous Clear



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

概要

このデザイン エLEMENTはシフトレジスタで、シフトレフトシリアル入力 (SLI)、パラレル入力 (D)、パラレル出力 (Q) に加え、クロック イネーブル (CE)、ロード イネーブル (L)、非同期クリア (CLR) の 3 つの制御入力があります。L と CE が Low の場合、クロック遷移は無視されます。CLR が High になると、ほかのすべての入力は無視され、出力 (Q) が Low にリセットされます。L が High で CLR が Low の場合、クロック (C) が Low から High に切り替わるときに、Dn ~ D0 入力の値は対応する Qn ~ Q0 ビットにロードされます。

CE が High で L および CLR が Low の場合、C が Low から High に切り替わるときに、SLI 入力の値がシフトレジスタの第 1 ビットにロードされ、Q0 に出力されます。次のクロック遷移で CE が High、L と CLR が Low の場合、値が次の高位ビットの位置にシフトされ、新しい値が Q0 にロードされます (例：SLI → Q0、Q0 → Q1、Q1 → Q2)。

最後の Q 出力を次の段の SLI 入力に接続し、クロック、CE、L、CLR を並列に接続すると、複数のレジスタをカスケード接続できます。

電力を供給すると、レジスタは非同期にクリアされ、出力が Low になります。

論理表

入力						出力	
CLR	L	CE	SLI	Dn:D0	C	Q0	Qz : Q1
1	X	X	X	X	X	0	0
0	1	X	X	Dn:D0	↑	D0	Dn
0	0	1	SLI	X	↑	SLI	qn-1
0	0	0	X	X	X	変化なし	変化なし
z = ビット幅 -1							
qn-1 = アクティブなクロック エッジの 1 セットアップ タイム前の対応する出力の値							

デザインの入力方法

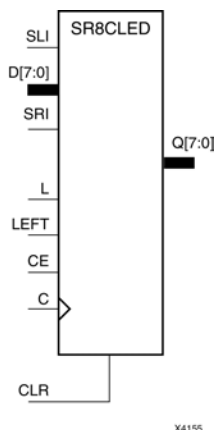
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

SR8CLED

: 8-Bit Shift Register with Clock Enable and Asynchronous Clear



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

概要

このデザイン エLEMENTはシフトレジスタで、シフトレフトシリアル入力 (SLI)、シフトライトシリアル入力 (SRI)、パラレル入力 (D)、パラレル出力 (Q) に加え、クロックイネーブル (CE)、ロードイネーブル (L)、シフトレフト/ライト (LEFT)、非同期クリア (CLR) の 4 つの制御入力があります。CE と L が Low の場合、クロック遷移は無視されます。CLR が High になると、ほかのすべての入力は無視され、出力 (Q) が Low にリセットされます。

L が High で CLR が Low の場合、クロック (C) が Low から High に切り替わる時に、D 入力の値が対応する Q ビットにロードされます。CE が High で L および CLR が Low の場合、LEFT 入力の値に応じて、レジスタの値は高位ビットまたは下位ビットにシフトされます。LEFT が High の場合は、クロックが Low から High に切り替わる時に SLI の値が Q0 にロードされ、次の Low から High へのクロック遷移で高位ビットにシフトされます (例: Q0 → Q1、Q1 → Q2)。LEFT が Low の場合は、クロックが Low から High に切り替わる時に SRI の値が最後の Q にロードされ、次のクロック遷移で右方向にシフトされます。論理表にすべての入力条件に対する Q 出力の値を示します。

電力を供給すると、レジスタは非同期にクリアされ、出力が Low になります。

論理表

入力								出力		
CLR	L	CE	LEFT	SLI	SRI	D7 : D0	C	Q0	Q7	Q6 : Q1
1	X	X	X	X	X	X	X	0	0	0
0	1	X	X	X	X	D7 : D0	↑	D0	D7	Dn
0	0	0	X	X	X	X	X	変化なし	変化なし	変化なし
0	0	1	1	SLI	X	X	↑	SLI	q6	qn-1
0	0	1	0	X	SRI	X	↑	q1	SRI	qn+1
qn-1 または qn+1 = アクティブなクロック エッジの 1 セットアップ タイム前の対応する出力の値										

デザインの入力方法

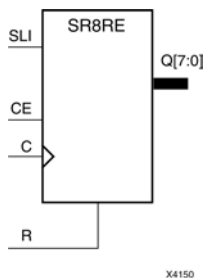
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

SR8RE

: 8-Bit Serial-In Parallel-Out Shift Register with Clock Enable and Synchronous Reset



サポートされているアーキテクチャ

このデザイン エレメントは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

概要

このデザイン エレメントはシフトレジスタで、シフトレフトシリアル入力 (SLI)、パラレル出力 (Qn)、クロック イネーブル (CE)、同期リセット入力 (R) があります。R 入力が高レベルになると、ほかのすべての入力は無視され、クロック (C) が Low から High に切り替わる時に出力 (Q) が Low にリセットされます。

CE が High で R が Low の場合、クロック (C) が Low から High に切り替わる時に SLI の値がシフトレジスタの第 1 ビットにロードされ、Q0 に出力されます。次にクロックが Low から High に切り替わる時に CE が High で R が Low の場合、値が次の高位ビットの位置にシフトされ、新しい値が Q0 にロードされます (例: SLI → Q0、Q0 → Q1、Q1 → Q2)。CE が Low の場合は、クロック遷移は無視されます。

最後の Q 出力を次の段の SLI 入力に接続し、クロック、CE、R を並列に接続すると、複数のレジスタをカスケード接続できます。

電力を供給すると、レジスタは非同期にクリアされ、出力が Low になります。

論理表

入力				出力	
R	CE	SLI	C	Q0	Qz : Q1
1	X	X	↑	0	0
0	0	X	X	変化なし	変化なし
0	1	SLI	↑	SLI	qn-1
z = ビット幅 -1					
qn-1 = アクティブなクロック エッジの 1 セットアップ タイム前の対応する出力の値					

デザインの入力方法

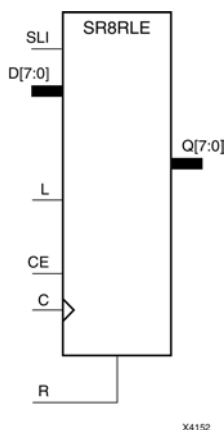
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

SR8RLE

： 8-Bit Loadable Serial/Parallel-In Parallel-Out Shift Register with Clock Enable and Synchronous Reset



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

概要

このデザイン エLEMENTはシフトレジスタで、シフトレフトシリアル入力 (SLI)、パラレル入力 (D)、パラレル出力 (Q) に加え、クロック イネーブル (CE)、ロード イネーブル (L)、同期リセット (R) の 3 つの制御入力があります。L と CE が Low の場合、クロック遷移は無視されます。R が High になると、ほかのすべての入力は無視され、クロック (C) が Low から High に切り替わるときに Q が Low にリセットされます。L が High で R が Low の場合、C が Low から High に切り替わる時に、D 入力の値が対応する Q ビットにロードされます。

CE が High で L および R が Low の場合は、C が Low から High に切り替わる時に SLI 入力の値がシフトレジスタの第 1 ビットにロードされ、Q0 に出力されます。次のクロック遷移で CE が High、L と R が Low の場合、シフトレジスタの値は次の高位ビットにシフトされ、新しい値が Q0 にロードされます。

最後の Q 出力を次の段の SLI 入力に接続し、クロック、CE、L、R を並列に接続すると、複数のレジスタをカスケード接続できます。

電力を供給すると、レジスタは非同期にクリアされ、出力が Low になります。

論理表

入力						出力	
R	L	CE	SLI	Dz : D0	C	Q0	Qz : Q1
1	X	X	X	X	↑	0	0
0	1	X	X	Dz : D0	↑	D0	Dn
0	0	1	SLI	X	↑	SLI	qn-1
0	0	0	X	X	X	変化なし	変化なし
z = ビット幅 -1							
qn-1 = アクティブなクロック エッジの 1 セットアップ タイム前の対応する出力の値							

デザインの入力方法

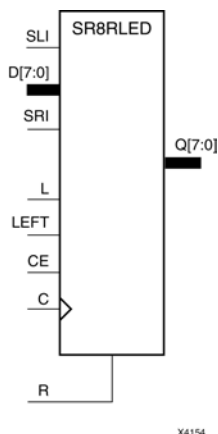
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

SR8RLED

: 8-Bit Shift Register with Clock Enable and Synchronous Reset



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

概要

このデザイン エLEMENTはシフトレジスタで、シフトレフトシリアル入力 (SLI)、シフトライトシリアル入力 (SRI)、パラレル入力 (D)、パラレル出力 (Q) に加え、クロック イネーブル (CE)、ロード イネーブル (L)、シフトレフト/ライト (LEFT)、同期リセット (R) の 4 つの制御入力があります。CE と L が Low の場合、クロック遷移は無視されます。R が High になると、ほかのすべての入力は無視され、クロック (C) が Low から High に切り替わるときに Q が Low にリセットされます。L が High で R が Low の場合、C が Low から High に切り替わるときに、D 入力の値が対応する Q ビットにロードされます。

CE が High で L および R が Low の場合、LEFT 入力の値に応じて、レジスタの値は高位ビットまたは下位ビットにシフトされます。LEFT が High の場合は、クロックが Low から High に切り替わるときに SLI の値が Q0 にロードされ、次の Low から High へのクロック遷移で高位ビットにシフトされます (例: Q0 → Q1, Q1 → Q2)。LEFT が Low の場合は、クロックが Low から High に切り替わるときに SRI の値が最後の Q にロードされ、次のクロック遷移で右方向にシフトされます。論理表にすべての入力条件に対する Q 出力の値を示します。

電力を供給すると、レジスタは非同期にクリアされ、出力が Low になります。

論理表

入力								出力		
R	L	CE	LEFT	SLI	SRI	D7 : D0	C	Q0	Q7	Q6 : Q1
1	X	X	X	X	X	X	↑	0	0	0
0	1	X	X	X	X	D7 : D0	↑	D0	D7	Dn
0	0	0	X	X	X	X	X	変化なし	変化なし	変化なし
0	0	1	1	SLI	X	X	↑	SLI	q6	qn-1
0	0	1	0	X	SRI	X	↑	q1	SRI	qn+1
qn-1 または qn+1 = アクティブなクロック エッジの 1 セットアップ タイム前の対応する出力の値										

デザインの入力方法

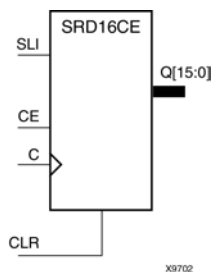
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

SRD16CE

: 16-Bit Serial-In Parallel-Out Dual Edge Triggered Shift Register with Clock Enable and Asynchronous Clear



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

概要

このデザイン エLEMENTは両エッジで動作するシフトレジスタで、シフトレフトシリアル入力 (SLI)、パラレル出力 (Q)、クロック イネーブル (CE)、非同期クリア入力 (CLR) があります。CLR 入力が高になると、ほかのすべての入力は無視され、出力 (Q) が Low にリセットされます。CE が High で CLR が Low の場合、C が Low から High または High から Low に切り替わるときに、SLI 入力の値がシフトレジスタの第 1 ビットにロードされ、Q0 に出力されます。次のクロック遷移で CE が High、CLR が Low の場合、シフトレジスタの値は次の高位ビットにシフトされ、新しい値が Q0 にロードされます。CE が Low の場合は、クロック遷移は無視されます。

最後の Q 出力を次の段の SLI 入力に接続し、クロック、CE、CLR を並列に接続すると、複数のレジスタをカスケード接続できます。

電力を供給すると、レジスタは非同期にクリアされ、出力が Low になります。

High レベルのパルスを PRLD グローバル ネットに適用すると、パワーオンの状態をシミュレーションできます。

論理表

入力				出力	
CLR	CE	SLI	C	Q0	Qz : Q1
1	X	X	X	0	0
0	0	X	X	変化なし	変化なし
0	1	1	↑	1	qn-1
0	1	1	↓	1	qn-1
0	1	0	↑	0	qn-1
0	1	0	↓	0	qn-1
z = ビット幅 -1					
qn-1 = アクティブなクロック エッジの 1 セットアップ タイム前の対応する出力の値					

デザインの入力方法

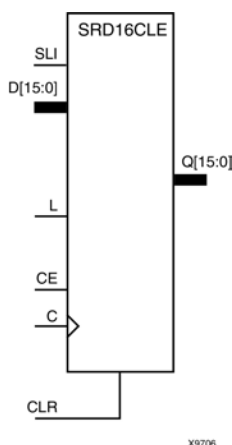
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

SRD16CLE

: 16-Bit Loadable Serial/Parallel-In Parallel-Out Dual Edge Triggered Shift Register with Clock Enable and Asynchronous Clear



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

概要

このデザイン エLEMENTは、両エッジで動作するシフトレジスタで、シフトレフトシリアル入力 (SLI)、パラレル入力 (D)、パラレル出力 (Q) に加え、クロック イネーブル (CE)、ロード イネーブル (L)、非同期クリア (CLR) の 3 つの制御入力があります。L と CE が Low の場合、クロック遷移は無視されます。CLR が High になると、ほかのすべての入力は無視され、出力 (Q) が Low にリセットされます。L が High で CLR が Low の場合、クロック (C) が Low から High または High から Low に切り替わるときに、Dn:D0 入力の値は対応する Qn:Q0 ビットにロードされます。CE が High で L と CLR が Low の場合、C が Low から High または High から Low に切り替わるときに、SLI 入力の値がシフトレジスタの第 1 ビットにロードされ、Q0 に出力されます。次のクロック遷移で CE が High、L と CLR が Low の場合、シフトレジスタの値は次の高位ビットにシフトされ、新しい値が Q0 にロードされます。

最後の Q 出力を次の段の SLI 入力に接続し、クロック、CE、L、CLR を並列に接続すると、複数のレジスタをカスケード接続できます。

電力を供給すると、レジスタは非同期にクリアされ、出力が Low になります。High レベルのパルスを PRLD グローバル ネットに適用すると、パワーオンの状態をシミュレーションできます。

論理表

入力						出力	
CLR	L	CE	SLI	Dn:D0	C	Q0	Qz:Q1
1	X	X	X	X	X	0	0
0	1	X	X	Dn:D0	↑	D0	Dn
0	1	X	X	Dn:D0	↓	D0	Dn
0	0	1	SLI	X	↑	SLI	qn-1
0	0	1	SLI	X	↓	SLI	qn-1
0	0	0	X	X	X	変化なし	変化なし
z = ビット幅 -1							
qn-1 = アクティブなクロック エッジの 1 セットアップ タイム前の対応する出力の値							

デザインの入力方法

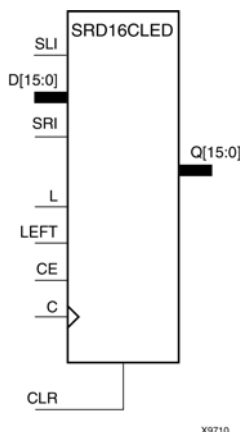
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

SRD16CLED

: 16-Bit Dual Edge Triggered Shift Register with Clock Enable and Asynchronous Clear



サポートされているアーキテクチャ

このデザイン エレメントは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

概要

このデザイン エレメントは両エッジで動作するシフトレジスタで、シフトレフトシリアル入力 (SLI)、シフトライトシリアル入力 (SRI)、パラレル入力 (D)、パラレル出力 (Q) に加え、クロックイネーブル (CE)、ロードイネーブル (L)、シフトレフト/ライト (LEFT)、非同期クリア (CLR) の 4 つの制御入力があります。CE と L が Low の場合、クロック遷移は無視されます。CLR が High になると、ほかのすべての入力は無視され、出力 (Q) が Low にリセットされます。L が High で CLR が Low の場合、クロック (C) が Low から High または High から Low に切り替わるときに、D 入力の値は対応する Q ビットにロードされます。CE が High で L および CLR が Low の場合、LEFT 入力の値に応じて、レジスタの値は高位ビットまたは下位ビットにシフトされます。LEFT が High の場合は、クロックが Low から High または High から Low に切り替わるときに SLI の値が Q0 にロードされ、その後のクロック遷移で高位ビットにシフトされます。LEFT が Low の場合は、クロックが Low から High または High から Low に切り替わるときに SRI の値が最後の Q にロードされ、次のクロック遷移で右方向にシフトされます。論理表にすべての入力条件に対する Q 出力の値を示します。

電力を供給すると、レジスタは非同期にクリアされ、出力が Low になります。High レベルのパルスを PRLD グローバルネットに適用すると、パワーオンの状態をシミュレーションできます。

論理表

入力								出力		
CLR	L	CE	LEFT	SLI	SRI	D15 : D0	C	Q0	Q15	Q14 : Q1
1	X	X	X	X	X	X	X	0	0	0
0	1	X	X	X	X	D15 : D0	↑	D0	D15	Dn
0	1	X	X	X	X	D15 : D0	↓	D0	D15	Dn
0	0	0	X	X	X	X	X	変化なし	変化なし	変化なし
0	0	1	1	SLI	X	X	↑	SLI	q14	qn-1
0	0	1	1	SLI	X	X	↓	SLI	q14	qn-1
0	0	1	0	X	SRI	X	↑	q1	SRI	qn+1
0	0	1	0	X	SRI	X	↓	q1	SRI	qn+1
qn-1 または qn+1 = アクティブなクロック エッジの 1 セットアップ タイム前の対応する出力の値										

デザインの入力方法

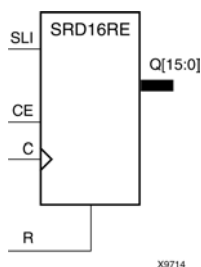
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

SRD16RE

: 16-Bit Serial-In Parallel-Out Dual Edge Triggered Shift Register with Clock Enable and Synchronous Reset



サポートされているアーキテクチャ

このデザイン エレメントは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

概要

このデザイン エレメントは両エッジで動作するシフトレジスタで、シフトレフトシリアル入力 (SLI)、パラレル出力 (Q)、クロック イネーブル (CE)、同期リセット入力 (R) があります。R が High になると、ほかのすべての入力は無視され、クロック (C) が Low から High または High から Low に切り替わるときに、Q が Low にリセットされます。CE が High で R が Low の場合、C が Low から High または High から Low に切り替わるときに、SLI 入力の値がシフトレジスタの第 1 ビットにロードされ、Q0 に出力されます。次のクロック遷移で CE が High、R が Low の場合、シフトレジスタの値は次の高位ビットにシフトされ、新しい値が Q0 にロードされます。CE が Low の場合は、クロック遷移は無視されます。

最後の Q 出力を次の段の SLI 入力に接続し、クロック、CE、R を並列に接続すると、複数のレジスタをカスケード接続できます。

電力を供給すると、レジスタは非同期にクリアされ、出力が Low になります。High レベルのパルスを PRLD グローバル ネットに適用すると、パワーオンの状態をシミュレーションできます。

論理表

入力				出力	
R	CE	SLI	C	Q0	Qz:Q1
1	X	X	↑	0	0
1	X	X	↓	0	0
0	0	X	X	変化なし	変化なし
0	1	1	↑	1	qn-1
0	1	1	↓	1	qn-1
0	1	0	↑	0	qn-1
0	1	0	↓	0	qn-1
z = ビット幅 -1					
qn-1 = アクティブなクロック エッジの 1 セットアップ タイム前の対応する出力の値					

デザインの入力方法

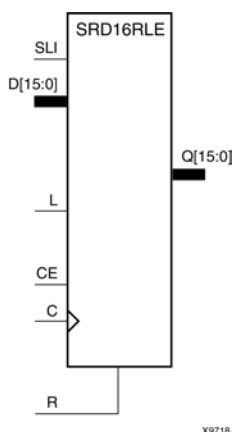
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

SRD16RLE

： 16-Bit Loadable Serial/Parallel-In Parallel-Out Dual Edge Triggered Shift Register with Clock Enable and Synchronous Reset



サポートされているアーキテクチャ

このデザイン エレメントは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

概要

このデザイン エレメントは、両エッジで動作するシフトレジスタで、シフトレフトシリアル入力 (SLI)、パラレル入力 (D)、パラレル出力 (Q) に加え、クロックイネーブル (CE)、ロードイネーブル (L)、同期リセット (R) の 3 つの制御入力があります。L と CE が Low の場合、クロック遷移は無視されます。R が High になると、ほかのすべての入力は無視され、クロック (C) が Low から High または High から Low に切り替わるときに、出力 (Q) が Low にリセットされます。L が High で R が Low の場合、クロックが Low から High または High から Low に切り替わるときに、D 入力の値が対応する Q ビットにロードされます。CE が High で L と R が Low の場合、C が Low から High または High から Low に切り替わるときに、SLI 入力の値がシフトレジスタの第 1 ビットにロードされ、Q0 に出力されます。次のクロック遷移で CE が High、L と R が Low の場合、シフトレジスタの値は次の高位ビットにシフトされ、新しい値が Q0 にロードされます。

最後の Q 出力を次の段の SLI 入力に接続し、クロック、CE、L、R を並列に接続すると、複数のレジスタをカスケード接続できます。

電力を供給すると、レジスタは非同期にクリアされ、出力が Low になります。High レベルのパルスを PRLD グローバルネットに適用すると、パワーオンの状態をシミュレーションできます。

論理表

入力						出力	
R	L	CE	SLI	Dz:D0	C	Q0	Qz:Q1
1	X	X	X	X	↑	0	0
1	X	X	X	X	↓	0	0
0	1	X	X	Dz:D0	↑	D0	Dn
0	1	X	X	Dz:D0	↓	D0	Dn
0	0	1	SLI	X	↑	SLI	qn-1
0	0	1	SLI	X	↓	SLI	qn-1
0	0	0	X	X	X	変化なし	変化なし

z = ビット幅 -1

デザインの入力方法

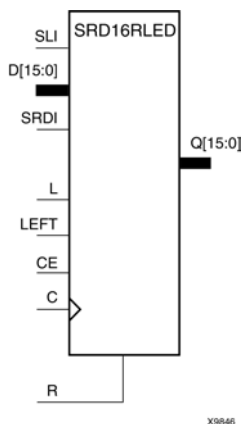
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

SRD16RLED

: 16-Bit Dual Edge Triggered Shift Register with Clock Enable and Synchronous Reset



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

概要

このデザイン エLEMENTは両エッジで動作するシフトレジスタで、シフトレフトシリアル入力 (SLI)、シフトライトシリアル入力 (SRDI)、パラレル入力 (D)、パラレル出力 (Q) に加え、クロック イネーブル (CE)、ロード イネーブル (L)、シフトレフト/ライト (LEFT)、同期リセット (R) の 4 つの制御入力があります。CE と L が Low の場合、クロック遷移は無視されます。R が High になると、ほかのすべての入力は無視され、クロック (C) が Low から High または High から Low に切り替わるたびに、出力 (Q) が Low にリセットされます。L が High で R が Low の場合、C が Low から High または High から Low に切り替わるたびに D 入力の値が対応する Q ビットにロードされます。CE が High で L および R が Low の場合、LEFT 入力の値に応じて、レジスタの値は高位ビットまたは下位ビットにシフトされます。LEFT が High の場合は、クロックが Low から High または High から Low に切り替わるたびに SLI の値が Q0 にロードされ、その後のクロック遷移で高位ビットにシフトされます (Q0 → Q1、Q1 → Q2 など)。LEFT が Low の場合は、クロックが Low から High または High から Low に切り替わるたびに SRDI の値が最後の Q0 にロードされ、次のクロック遷移で右方向にシフトされます。論理表にすべての入力条件に対する Q 出力の値を示します。

電力を供給すると、レジスタは非同期にクリアされ、出力が Low になります。High レベルのパルスを PRLD グローバル ネットに適用すると、パワーオンの状態をシミュレーションできます。

論理表

入力								出力		
R	L	CE	LEFT	SLI	SRDI	D15 : D0	C	Q0	Q15	Q14 : Q1
1	X	X	X	X	X	X	↑	0	0	0
1	X	X	X	X	X	X	↓	0	0	0
0	1	X	X	X	X	D15 : D0	↑	D0	D15	Dn
0	1	X	X	X	X	D15 : D0	↓	D0	D15	Dn
0	0	0	X	X	X	X	X	変化なし	変化なし	変化なし
0	0	1	1	SLI	X	X	↑	SLI	q14	qn-1
0	0	1	1	SLI	X	X	↓	SLI	q14	qn-1
0	0	1	0	X	SRDI	X	↑	q1	SRDI	qn+1
0	0	1	0	X	SRDI	X	↓	q1	SRDI	qn+1
qn-1 または qn+1 = アクティブなクロック エッジの 1 セットアップ タイム前の対応する出力の値										

デザインの入力方法

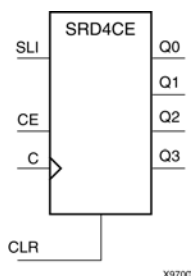
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

SRD4CE

: 4-Bit Serial-In Parallel-Out Dual Edge Triggered Shift Register with Clock Enable and Asynchronous Clear



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

概要

このデザイン エLEMENTは両エッジで動作するシフトレジスタで、シフトレフトシリアル入力 (SLI)、パラレル出力 (Q)、クロック イネーブル (CE)、非同期クリア入力 (CLR) があります。CLR 入力が高になると、ほかのすべての入力は無視され、出力 (Q) が Low にリセットされます。CE が High で CLR が Low の場合、C が Low から High または High から Low に切り替わるときに、SLI 入力の値がシフトレジスタの第 1 ビットにロードされ、Q0 に出力されます。次のクロック遷移で CE が High、CLR が Low の場合、シフトレジスタの値は次の高位ビットにシフトされ、新しい値が Q0 にロードされます。CE が Low の場合は、クロック遷移は無視されます。

最後の Q 出力を次の段の SLI 入力に接続し、クロック、CE、CLR を並列に接続すると、複数のレジスタをカスケード接続できます。

電力を供給すると、レジスタは非同期にクリアされ、出力が Low になります。

High レベルのパルスを PRLD グローバル ネットに適用すると、パワーオンの状態をシミュレーションできます。

論理表

入力				出力	
CLR	CE	SLI	C	Q0	Qz : Q1
1	X	X	X	0	0
0	0	X	X	変化なし	変化なし
0	1	1	↑	1	qn-1
0	1	1	↓	1	qn-1
0	1	0	↑	0	qn-1
0	1	0	↓	0	qn-1
z = ビット幅 -1					
qn-1 = アクティブなクロック エッジの 1 セットアップ タイム前の対応する出力の値					

デザインの入力方法

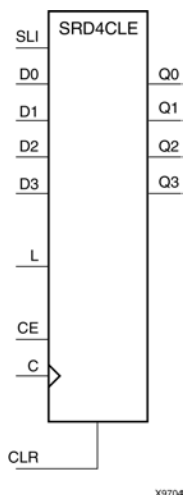
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

SRD4CLE

: 4-Bit Loadable Serial/Parallel-In Parallel-Out Dual Edge Triggered Shift Register with Clock Enable and Asynchronous Clear



X9704

サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

概要

このデザイン エLEMENTは、両エッジで動作するシフトレジスタで、シフトレフトシリアル入力 (SLI)、パラレル入力 (D)、パラレル出力 (Q) に加え、クロック イネーブル (CE)、ロード イネーブル (L)、非同期クリア (CLR) の 3 つの制御入力があります。L と CE が Low の場合、クロック遷移は無視されます。CLR が High になると、ほかのすべての入力は無視され、出力 (Q) が Low にリセットされます。L が High で CLR が Low の場合、クロック (C) が Low から High または High から Low に切り替わるたびに、Dn:D0 入力の値は対応する Qn:Q0 ビットにロードされます。CE が High で L と CLR が Low の場合、C が Low から High または High から Low に切り替わるたびに、SLI 入力の値がシフトレジスタの第 1 ビットにロードされ、Q0 に出力されます。次のクロック遷移で CE が High、L と CLR が Low の場合、シフトレジスタの値は次の高位ビットにシフトされ、新しい値が Q0 にロードされます。

最後の Q 出力を次の段の SLI 入力に接続し、クロック、CE、L、CLR を並列に接続すると、複数のレジスタをカスケード接続できます。

電力を供給すると、レジスタは非同期にクリアされ、出力が Low になります。High レベルのパルスを PRLD グローバル ネットに適用すると、パワーオンの状態をシミュレーションできます。

論理表

入力						出力	
CLR	L	CE	SLI	Dn:D0	C	Q0	Qz:Q1
1	X	X	X	X	X	0	0
0	1	X	X	Dn:D0	↑	D0	Dn
0	1	X	X	Dn:D0	↓	D0	Dn
0	0	1	SLI	X	↑	SLI	qn-1
0	0	1	SLI	X	↓	SLI	qn-1
0	0	0	X	X	X	変化なし	変化なし
z = ビット幅 -1							
qn-1 = アクティブなクロック エッジの 1 セットアップ タイム前の対応する出力の値							

デザインの入力方法

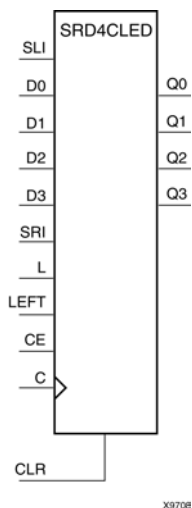
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

SRD4CLED

: 4-Bit Dual Edge Triggered Shift Register with Clock Enable and Asynchronous Clear



サポートされているアーキテクチャ

このデザイン エレメントは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

概要

このデザイン エレメントは両エッジで動作するシフトレジスタで、シフトレフトシリアル入力 (SLI)、シフトライトシリアル入力 (SRI)、パラレル入力 (D)、パラレル出力 (Q) に加え、クロックイネーブル (CE)、ロードイネーブル (L)、シフトレフト/ライト (LEFT)、非同期クリア (CLR) の 4 つの制御入力があります。CE と L が Low の場合、クロック遷移は無視されます。CLR が High になると、ほかのすべての入力は無視され、出力 (Q) が Low にリセットされます。L が High で CLR が Low の場合、クロック (C) が Low から High または High から Low に切り替わるときに、D 入力の値は対応する Q ビットにロードされます。CE が High で L および CLR が Low の場合、LEFT 入力の値に応じて、レジスタの値は高位ビットまたは下位ビットにシフトされます。LEFT が High の場合は、クロックが Low から High または High から Low に切り替わるときに SLI の値が Q0 にロードされ、その後のクロック遷移で高位ビットにシフトされます。LEFT が Low の場合は、クロックが Low から High または High から Low に切り替わるときに SRI の値が最後の Q にロードされ、次のクロック遷移で右方向にシフトされます。論理表にすべての入力条件に対する Q 出力の値を示します。

電力を供給すると、レジスタは非同期にクリアされ、出力が Low になります。High レベルのパルスを PRLD グローバルネットに適用すると、パワーオンの状態をシミュレーションできます。

論理表

入力								出力		
CLR	L	CE	LEFT	SLI	SRI	D3:D0	C	Q0	Q3	Q2:Q1
1	X	X	X	X	X	X	X	0	0	0
0	1	X	X	X	X	D3:D0	↑	D0	D3	Dn
0	1	X	X	X	X	D3:D0	↓	D0	D3	Dn
0	0	0	X	X	X	X	X	変化なし	変化なし	変化なし
0	0	1	1	SLI	X	X	↑	SLI	q2	qn-1
0	0	1	1	SLI	X	X	↓	SLI	q2	qn-1
0	0	1	0	X	SRI	X	↑	q1	SRI	qn+1
0	0	1	0	X	SRI	X	↓	q1	SRI	qn+1
qn-1 および qn+1 = アクティブなクロック エッジの 1 セットアップ タイム前の対応する出力の値										

デザインの入力方法

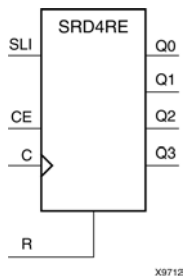
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

SRD4RE

: 4-Bit Serial-In Parallel-Out Dual Edge Triggered Shift Register with Clock Enable and Synchronous Reset



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

概要

このデザイン エLEMENTは両エッジで動作するシフトレジスタで、シフトレフトシリアル入力 (SLI)、パラレル出力 (Q)、クロック イネーブル (CE)、同期リセット入力 (R) があります。R が High になると、ほかのすべての入力は無視され、クロック (C) が Low から High または High から Low に切り替わるときに、Q が Low にリセットされます。CE が High で R が Low の場合、C が Low から High または High から Low に切り替わるときに、SLI 入力の値がシフトレジスタの第 1 ビットにロードされ、Q0 に出力されます。次のクロック遷移で CE が High、R が Low の場合、シフトレジスタの値は次の高位ビットにシフトされ、新しい値が Q0 にロードされます。CE が Low の場合は、クロック遷移は無視されます。

最後の Q 出力を次の段の SLI 入力に接続し、クロック、CE、R を並列に接続すると、複数のレジスタをカスケード接続できます。

電力を供給すると、レジスタは非同期にクリアされ、出力が Low になります。High レベルのパルスを PRLD グローバル ネットに適用すると、パワーオンの状態をシミュレーションできます。

論理表

入力				出力	
R	CE	SLI	C	Q0	Qz:Q1
1	X	X	↑	0	0
1	X	X	↓	0	0
0	0	X	X	変化なし	変化なし
0	1	1	↑	1	qn-1
0	1	1	↓	1	qn-1
0	1	0	↑	0	qn-1
0	1	0	↓	0	qn-1
z = ビット幅 -1					
qn-1 = アクティブなクロック エッジの 1 セットアップ タイム前の対応する出力の値					

デザインの入力方法

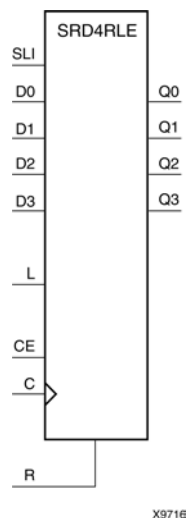
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

SRD4RLE

： 4-Bit Loadable Serial/Parallel-In Parallel-Out Dual Edge Triggered Shift Register with Clock Enable and Synchronous Reset



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

概要

このデザイン エLEMENTは、両エッジで動作するシフトレジスタで、シフトレフトシリアル入力 (SLI)、パラレル入力 (D)、パラレル出力 (Q) に加え、クロック イネーブル (CE)、ロード イネーブル (L)、同期リセット (R) の 3 つの制御入力があります。L と CE が Low の場合、クロック遷移は無視されます。R が High になると、ほかのすべての入力は無視され、クロック (C) が Low から High または High から Low に切り替わるときに、出力 (Q) が Low にリセットされます。L が High で R が Low の場合、クロックが Low から High または High から Low に切り替わるときに、D 入力の値が対応する Q ビットにロードされます。CE が High で L と R が Low の場合、C が Low から High または High から Low に切り替わる時に、SLI 入力の値がシフトレジスタの第 1 ビットにロードされ、Q0 に出力されます。次のクロック遷移で CE が High、L と R が Low の場合、シフトレジスタの値は次の高位ビットにシフトされ、新しい値が Q0 にロードされます。

最後の Q 出力を次の段の SLI 入力に接続し、クロック、CE、L、R を並列に接続すると、複数のレジスタをカスケード接続できます。

電力を供給すると、レジスタは非同期にクリアされ、出力が Low になります。High レベルのパルスを PRLD グローバル ネットに適用すると、パワーオンの状態をシミュレーションできます。

論理表

入力						出力	
R	L	CE	SLI	Dz:D0	C	Q0	Qz:Q1
1	X	X	X	X	↑	0	0
1	X	X	X	X	↓	0	0
0	1	X	X	Dz:D0	↑	D0	Dn
0	1	X	X	Dz:D0	↓	D0	Dn
0	0	1	SLI	X	↑	SLI	qn-1
0	0	1	SLI	X	↓	SLI	qn-1
0	0	0	X	X	X	変化なし	変化なし

z = ビット幅 -1

デザインの入力方法

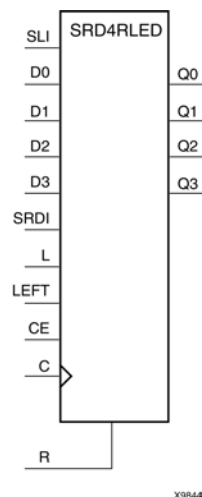
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

SRD4RLED

: 4-Bit Dual Edge Triggered Shift Register with Clock Enable and Synchronous Reset



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

概要

このデザイン エLEMENTは両エッジで動作するシフトレジスタで、シフトレフトシリアル入力 (SLI)、シフトライトシリアル入力 (SRDI)、パラレル入力 (D)、パラレル出力 (Q) に加え、クロック イネーブル (CE)、ロード イネーブル (L)、シフトレフト/ライト (LEFT)、同期リセット (R) の 4 つの制御入力があります。CE と L が Low の場合、クロック遷移は無視されます。R が High になると、ほかのすべての入力は無視され、クロック (C) が Low から High または High から Low に切り替わるたびに、出力 (Q) が Low にリセットされます。L が High で R が Low の場合、C が Low から High または High から Low に切り替わるたびに D 入力の値が対応する Q ビットにロードされます。CE が High で L および R が Low の場合、LEFT 入力の値に応じて、レジスタの値は高位ビットまたは下位ビットにシフトされます。LEFT が High の場合は、クロックが Low から High または High から Low に切り替わるたびに SLI の値が Q0 にロードされ、その後のクロック遷移で高位ビットにシフトされます (Q0 → Q1、Q1 → Q2 など)。LEFT が Low の場合は、クロックが Low から High または High から Low に切り替わるたびに SRDI の値が最後の Q0 にロードされ、次のクロック遷移で右方向にシフトされます。論理表にすべての入力条件に対する Q 出力の値を示します。

電力を供給すると、レジスタは非同期にクリアされ、出力が Low になります。High レベルのパルスを PRLD グローバルネットに適用すると、パワーオンの状態をシミュレーションできます。

論理表

入力								出力		
R	L	CE	LEFT	SLI	SRDI	D3:D0	C	Q0	Q3	Q2:Q1
1	X	X	X	X	X	X	↑	0	0	0
1	X	X	X	X	X	X	↓	0	0	0
0	1	X	X	X	X	D3 : D0	↑	D0	D3	Dn
0	1	X	X	X	X	D3 : D0	↓	D0	D3	Dn
0	0	0	X	X	X	X	X	変化なし	変化なし	変化なし
0	0	1	1	SLI	X	X	↑	SLI	q2	qn-1
0	0	1	1	SLI	X	X	↓	SLI	q2	qn-1
0	0	1	0	X	SRDI	X	↑	q1	SRDI	qn+1
0	0	1	0	X	SRDI	X	↓	q1	SRDI	qn+1
qn-1 または qn+1 = アクティブなクロック エッジの 1 セットアップ タイム前の対応する出力の値										

デザインの入力方法

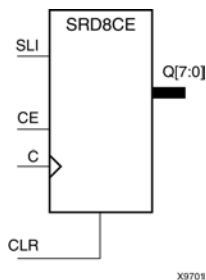
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

SRD8CE

： 8-Bit Serial-In Parallel-Out Dual Edge Triggered Shift Register with Clock Enable and Asynchronous Clear



サポートされているアーキテクチャ

このデザイン エレメントは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

概要

このデザイン エレメントは両エッジで動作するシフトレジスタで、シフトレフトシリアル入力 (SLI)、パラレル出力 (Q)、クロックイネーブル (CE)、非同期クリア入力 (CLR) があります。CLR 入力が高レベルになると、ほかのすべての入力は無視され、出力 (Q) が Low にリセットされます。CE が High で CLR が Low の場合、C が Low から High または High から Low に切り替わるときに、SLI 入力の値がシフトレジスタの第 1 ビットにロードされ、Q0 に出力されます。次のクロック遷移で CE が High、CLR が Low の場合、シフトレジスタの値は次の高位ビットにシフトされ、新しい値が Q0 にロードされます。CE が Low の場合は、クロック遷移は無視されます。

最後の Q 出力を次の段の SLI 入力に接続し、クロック、CE、CLR を並列に接続すると、複数のレジスタをカスケード接続できます。

電力を供給すると、レジスタは非同期にクリアされ、出力が Low になります。

High レベルのパルスを PRLD グローバル ネットに適用すると、パワーオンの状態をシミュレーションできます。

論理表

入力				出力	
CLR	CE	SLI	C	Q0	Qz : Q1
1	X	X	X	0	0
0	0	X	X	変化なし	変化なし
0	1	1	↑	1	qn-1
0	1	1	↓	1	qn-1
0	1	0	↑	0	qn-1
0	1	0	↓	0	qn-1
z = ビット幅 -1					
qn-1 = アクティブなクロック エッジの 1 セットアップ タイム前の対応する出力の値					

デザインの入力方法

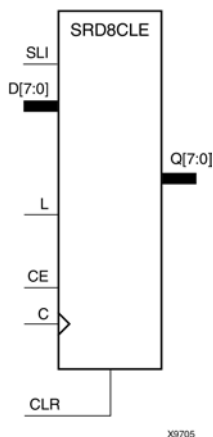
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

SRD8CLE

： 8-Bit Loadable Serial/Parallel-In Parallel-Out Dual Edge Triggered Shift Register with Clock Enable and Asynchronous Clear



サポートされているアーキテクチャ

このデザイン エレメントは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

概要

このデザイン エレメントは、両エッジで動作するシフトレジスタで、シフトレフト シリアル入力 (SLI)、パラレル入力 (D)、パラレル出力 (Q) に加え、クロック イネーブル (CE)、ロード イネーブル (L)、非同期クリア (CLR) の 3 つの制御入力があります。L と CE が Low の場合、クロック遷移は無視されます。CLR が High になると、ほかのすべての入力は無視され、出力 (Q) が Low にリセットされます。L が High で CLR が Low の場合、クロック (C) が Low から High または High から Low に切り替わるときに、Dn:D0 入力の値は対応する Qn:Q0 ビットにロードされます。CE が High で L と CLR が Low の場合、C が Low から High または High から Low に切り替わるときに、SLI 入力の値がシフトレジスタの第 1 ビットにロードされ、Q0 に出力されます。次のクロック遷移で CE が High、L と CLR が Low の場合、シフトレジスタの値は次の高位ビットにシフトされ、新しい値が Q0 にロードされます。

最後の Q 出力を次の段の SLI 入力に接続し、クロック、CE、L、CLR を並列に接続すると、複数のレジスタをカスケード接続できます。

電力を供給すると、レジスタは非同期にクリアされ、出力が Low になります。High レベルのパルスを PRLD グローバル ネットに適用すると、パワーオンの状態をシミュレーションできます。

論理表

入力						出力	
CLR	L	CE	SLI	Dn:D0	C	Q0	Qz:Q1
1	X	X	X	X	X	0	0
0	1	X	X	Dn:D0	↑	D0	Dn
0	1	X	X	Dn:D0	↓	D0	Dn
0	0	1	SLI	X	↑	SLI	qn-1
0	0	1	SLI	X	↓	SLI	qn-1
0	0	0	X	X	X	変化なし	変化なし
z = ビット幅 -1							
qn-1 = アクティブなクロック エッジの 1 セットアップ タイム前の対応する出力の値							

デザインの入力方法

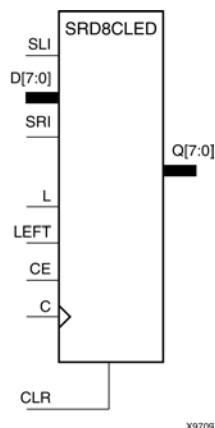
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

SRD8CLED

: 8-Bit Dual Edge Triggered Shift Register with Clock Enable and Asynchronous Clear



サポートされているアーキテクチャ

このデザイン エレメントは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

概要

このデザイン エレメントは両エッジで動作するシフトレジスタで、シフトレフトシリアル入力 (SLI)、シフトライトシリアル入力 (SRI)、パラレル入力 (D)、パラレル出力 (Q) に加え、クロックイネーブル (CE)、ロードイネーブル (L)、シフトレフト/ライト (LEFT)、非同期クリア (CLR) の 4 つの制御入力があります。CE と L が Low の場合、クロック遷移は無視されます。CLR が High になると、ほかのすべての入力は無視され、出力 (Q) が Low にリセットされます。L が High で CLR が Low の場合、クロック (C) が Low から High または High から Low に切り替わるときに、D 入力の値は対応する Q ビットにロードされます。CE が High で L および CLR が Low の場合、LEFT 入力の値に応じて、レジスタの値は高位ビットまたは下位ビットにシフトされます。LEFT が High の場合は、クロックが Low から High または High から Low に切り替わるときに SLI の値が Q0 にロードされ、その後のクロック遷移で高位ビットにシフトされます。LEFT が Low の場合は、クロックが Low から High または High から Low に切り替わるときに SRI の値が最後の Q にロードされ、次のクロック遷移で右方向にシフトされます。論理表にすべての入力条件に対する Q 出力の値を示します。

電力を供給すると、レジスタは非同期にクリアされ、出力が Low になります。High レベルのパルスを PRLD グローバルネットに適用すると、パワーオンの状態をシミュレーションできます。

論理表

入力								出力		
CLR	L	CE	LEFT	SLI	SRI	D7:D0	C	Q0	Q7	Q6:Q1
1	X	X	X	X	X	X	X	0	0	0
0	1	X	X	X	X	D7:D0	↑	D0	D7	Dn
0	1	X	X	X	X	D7:D0	↓	D0	D7	Dn
0	0	0	X	X	X	X	X	変化なし	変化なし	変化なし
0	0	1	1	SLI	X	X	↑	SLI	q6	qn-1
0	0	1	1	SLI	X	X	↓	SLI	q6	qn-1
0	0	1	0	X	SRI	X	↑	q1	SRI	qn+1
0	0	1	0	X	SRI	X	↓	q1	SRI	qn+1
qn-1 または qn+1 = アクティブなクロック エッジの 1 セットアップ タイム前の対応する出力の値										

デザインの入力方法

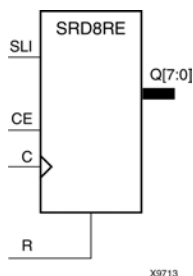
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

SRD8RE

: 8-Bit Serial-In Parallel-Out Dual Edge Triggered Shift Register with Clock Enable and Synchronous Reset



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

概要

このデザイン エLEMENTは両エッジで動作するシフトレジスタで、シフトレフトシリアル入力 (SLI)、パラレル出力 (Q)、クロック イネーブル (CE)、同期リセット入力 (R) があります。R が High になると、ほかのすべての入力は無視され、クロック (C) が Low から High または High から Low に切り替わるときに、Q が Low にリセットされます。CE が High で R が Low の場合、C が Low から High または High から Low に切り替わるときに、SLI 入力の値がシフトレジスタの第 1 ビットにロードされ、Q0 に出力されます。次のクロック遷移で CE が High、R が Low の場合、シフトレジスタの値は次の高位ビットにシフトされ、新しい値が Q0 にロードされます。CE が Low の場合は、クロック遷移は無視されます。

最後の Q 出力を次の段の SLI 入力に接続し、クロック、CE、R を並列に接続すると、複数のレジスタをカスケード接続できます。

電力を供給すると、レジスタは非同期にクリアされ、出力が Low になります。High レベルのパルスを PRLD グローバル ネットに適用すると、パワーオンの状態をシミュレーションできます。

論理表

入力				出力	
R	CE	SLI	C	Q0	Qz:Q1
1	X	X	↑	0	0
1	X	X	↓	0	0
0	0	X	X	変化なし	変化なし
0	1	1	↑	1	qn-1
0	1	1	↓	1	qn-1
0	1	0	↑	0	qn-1
0	1	0	↓	0	qn-1
z = ビット幅 -1					
qn-1 = アクティブなクロック エッジの 1 セットアップ タイム前の対応する出力の値					

デザインの入力方法

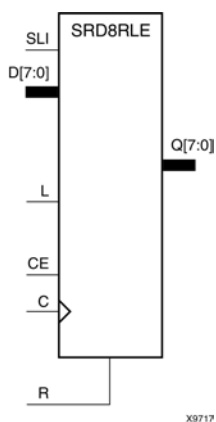
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

SRD8RLE

： 8-Bit Loadable Serial/Parallel-In Parallel-Out Dual Edge Triggered Shift Register with Clock Enable and Synchronous Reset



サポートされているアーキテクチャ

このデザイン エレメントは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

概要

このデザイン エレメントは、両エッジで動作するシフトレジスタで、シフトレフトシリアル入力 (SLI)、パラレル入力 (D)、パラレル出力 (Q) に加え、クロック イネーブル (CE)、ロード イネーブル (L)、同期リセット (R) の 3 つの制御入力があります。L と CE が Low の場合、クロック遷移は無視されます。R が High になると、ほかのすべての入力は無視され、クロック (C) が Low から High または High から Low に切り替わるときに、出力 (Q) が Low にリセットされます。L が High で R が Low の場合、クロックが Low から High または High から Low に切り替わるときに、D 入力の値が対応する Q ビットにロードされます。CE が High で L と R が Low の場合、C が Low から High または High から Low に切り替わるときに、SLI 入力の値がシフトレジスタの第 1 ビットにロードされ、Q0 に出力されます。次のクロック遷移で CE が High、L と R が Low の場合、シフトレジスタの値は次の高位ビットにシフトされ、新しい値が Q0 にロードされます。

最後の Q 出力を次の段の SLI 入力に接続し、クロック、CE、L、R を並列に接続すると、複数のレジスタをカスケード接続できます。

電力を供給すると、レジスタは非同期にクリアされ、出力が Low になります。High レベルのパルスを PRLD グローバル ネットに適用すると、パワーオンの状態をシミュレーションできます。

論理表

入力						出力	
R	L	CE	SLI	Dz:D0	C	Q0	Qz:Q1
1	X	X	X	X	↑	0	0
1	X	X	X	X	↓	0	0
0	1	X	X	Dz:D0	↑	D0	Dn
0	1	X	X	Dz:D0	↓	D0	Dn
0	0	1	SLI	X	↑	SLI	qn-1
0	0	1	SLI	X	↓	SLI	qn-1
0	0	0	X	X	X	変化なし	変化なし

z = ビット幅 -1

デザインの入力方法

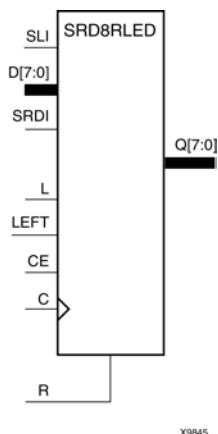
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

SRD8RLED

: 8-Bit Dual Edge Triggered Shift Register with Clock Enable and Synchronous Reset



サポートされているアーキテクチャ

このデザイン エレメントは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

概要

このデザイン エレメントは両エッジで動作するシフトレジスタで、シフトレフトシリアル入力 (SLI)、シフトライトシリアル入力 (SRDI)、パラレル入力 (D)、パラレル出力 (Q) に加え、クロック イネーブル (CE)、ロード イネーブル (L)、シフトレフト/ライト (LEFT)、同期リセット (R) の 4 つの制御入力があります。CE と L が Low の場合、クロック遷移は無視されます。R が High になると、ほかのすべての入力は無視され、クロック (C) が Low から High または High から Low に切り替わるたびに、出力 (Q) が Low にリセットされます。L が High で R が Low の場合、C が Low から High または High から Low に切り替わるたびに D 入力の値が対応する Q ビットにロードされます。CE が High で L および R が Low の場合、LEFT 入力の値に応じて、レジスタの値は高位ビットまたは下位ビットにシフトされます。LEFT が High の場合は、クロックが Low から High または High から Low に切り替わるたびに SLI の値が Q0 にロードされ、その後のクロック遷移で高位ビットにシフトされます (Q0 → Q1、Q1 → Q2 など)。LEFT が Low の場合は、クロックが Low から High または High から Low に切り替わるたびに SRDI の値が最後の Q0 にロードされ、次のクロック遷移で右方向にシフトされます。論理表にすべての入力条件に対する Q 出力の値を示します。

電力を供給すると、レジスタは非同期にクリアされ、出力が Low になります。High レベルのパルスを PRLD グローバルネットに適用すると、パワーオンの状態をシミュレーションできます。

論理表

入力								出力		
R	L	CE	LEFT	SLI	SRDI	D7 : D0	C	Q0	Q7	Q6 : Q1
1	X	X	X	X	X	X	↑	0	0	0
1	X	X	X	X	X	X	↓	0	0	0
0	1	X	X	X	X	D7 : D0	↑	D0	D7	Dn
0	1	X	X	X	X	D7 : D0	↓	D0	D7	Dn
0	0	0	X	X	X	X	X	変化なし	変化なし	変化なし
0	0	1	1	SLI	X	X	↑	SLI	q6	qn-1
0	0	1	1	SLI	X	X	↓	SLI	q6	qn-1
0	0	1	0	X	SRDI	X	↑	q1	SRDI	qn+1
0	0	1	0	X	SRDI	X	↓	q1	SRDI	qn+1
qn-1 または qn+1 = アクティブなクロック エッジの 1 セットアップ タイム前の対応する出力の値										

デザインの入力方法

このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

VCC

： VCC-Connection Signal Tag



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

概要

このデザイン エLEMENTは信号タグまたはパラメータであり、ネットや入力ファンクションを強制的に High にします。このELEMENTに接続したネットを、ほかのソースに接続することはできません。

配置配線のプロセスで VCC に接続されたネットまたは入力ファンクションが検出されると、VCC 信号でディスエーブルになるロジックは削除されます。VCC 信号は、ディスエーブルされたロジックが削除できない場合のみインプリメントされます。

デザインの入力方法

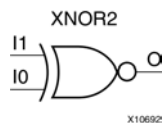
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

XNOR2

: 2-Input XNOR Gate with Non-Inverted Inputs



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

概要

XNOR ファンクションには入力 が 9 個のものまでありますが、入力はすべて非反転入力です。各入力 で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

論理表

入力	出力
I0 ~ Iz	O
奇数個の 1	0
偶数個の 1	1

デザインの入力方法

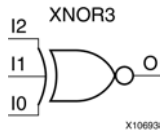
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

XNOR3

： 3-Input XNOR Gate with Non-Inverted Inputs



サポートされているアーキテクチャ

このデザイン エレメントは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

概要

XNOR ファンクションには入力 が 9 個のものまでありますが、入力はすべて非反転入力です。各入力 で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

論理表

入力	出力
I0 ~ I2	O
奇数個の 1	0
偶数個の 1	1

デザインの入力方法

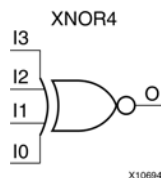
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

XNOR4

: 4-Input XNOR Gate with Non-Inverted Inputs



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

概要

XNOR ファンクションには入力が 9 個のものまでありますが、入力はすべて非反転入力です。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

論理表

入力	出力
I0 ~ Iz	O
奇数個の 1	0
偶数個の 1	1

デザインの入力方法

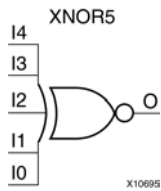
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

XNOR5

: 5-Input XNOR Gate with Non-Inverted Inputs



サポートされているアーキテクチャ

このデザイン エレメントは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

概要

XNOR ファンクションには入力が 9 個のものまでありますが、入力はすべて非反転入力です。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

論理表

入力	出力
I0 ~ I4	O
奇数個の 1	0
偶数個の 1	1

デザインの入力方法

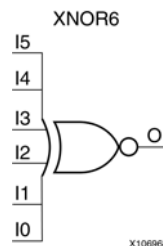
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

XNOR6

: 6-Input XNOR Gate with Non-Inverted Inputs



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

概要

XNOR ファンクションには入力が 9 個のものまでがありますが、入力はすべて非反転入力です。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

論理表

入力	出力
I0 ~ Iz	O
奇数個の 1	0
偶数個の 1	1

デザインの入力方法

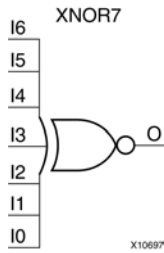
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

XNOR7

： 7-Input XNOR Gate with Non-Inverted Inputs



サポートされているアーキテクチャ

このデザイン エレメントは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

概要

XNOR ファンクションには入力 が 9 個のものまでがありますが、入力はすべて非反転入力です。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

論理表

入力	出力
I0 ~ I2	O
奇数個の 1	0
偶数個の 1	1

デザインの入力方法

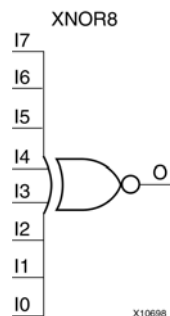
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

XNOR8

： 8-Input XNOR Gate with Non-Inverted Inputs



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

概要

XNOR ファンクションには入力が 9 個のものまでありますが、入力はすべて非反転入力です。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

論理表

入力	出力
I0 ~ I2	0
奇数個の 1	0
偶数個の 1	1

デザインの入力方法

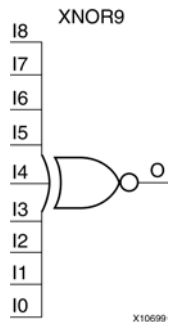
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

XNOR9

： 9-Input XNOR Gate with Non-Inverted Inputs



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

概要

XNOR ファンクションには入力 が 9 個のものまでありますが、入力はすべて非反転入力です。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

論理表

入力	出力
I0 ~ I8	O
奇数個の 1	0
偶数個の 1	1

デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

XOR2

: 2-Input XOR Gate with Non-Inverted Inputs



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

概要

XOR ファンクションには入力が 9 個のものまでありますが、入力はすべて非反転入力です。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

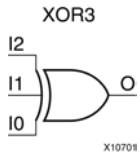
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

XOR3

: 3-Input XOR Gate with Non-Inverted Inputs



サポートされているアーキテクチャ

このデザイン エレメントは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

概要

XOR ファンクションには入力が 9 個のものまでありますが、入力はすべて非反転入力です。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

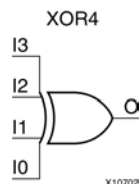
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

XOR4

: 4-Input XOR Gate with Non-Inverted Inputs



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

概要

XOR ファンクションには入力が 9 個のものまでありますが、入力はすべて非反転入力です。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

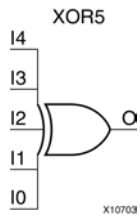
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

XOR5

: 5-Input XOR Gate with Non-Inverted Inputs



サポートされているアーキテクチャ

このデザイン エレメントは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

概要

XOR ファンクションには入力 9 個のものまでがありますが、入力はすべて非反転入力です。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

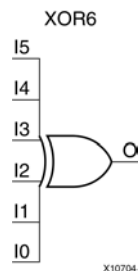
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

XOR6

: 6-Input XOR Gate with Non-Inverted Inputs



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

概要

XOR ファンクションには入力 9 個のものまでがありますが、入力はすべて非反転入力です。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

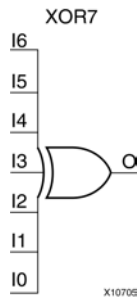
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

XOR7

： 7-Input XOR Gate with Non-Inverted Inputs



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

概要

XOR ファンクションには入力 が 9 個のものまでがありますが、入力はすべて非反転入力です。各入力 で CLB リソース が使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

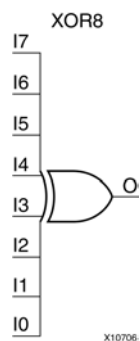
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

XOR8

： 8-Input XOR Gate with Non-Inverted Inputs



サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

概要

XOR ファンクションには入力 9 個のものまでがありますが、入力はすべて非反転入力です。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

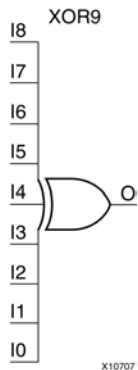
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

XOR9

： 9-Input XOR Gate with Non-Inverted Inputs



サポートされているアーキテクチャ

このデザイン エレメントは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

概要

XOR ファンクションには入力 9 個のものまでがありますが、入力はすべて非反転入力です。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート