

# PlanAhead ソフトウェア チュートリアル

## 予測可能な結果に対する保存デザインの利用

UG747 (v12.2) 2010 年 7 月 23 日





Xilinx is disclosing this Document and Intellectual Property (hereinafter “the Design”) to you for use in the development of designs to operate on, or interface with Xilinx FPGAs. Except as stated herein, none of the

Design may be copied, reproduced, distributed, republished, downloaded, displayed, posted, or transmitted in any form or by any means including, but not limited to, electronic, mechanical, photocopying, recording, or otherwise, without the prior written consent of Xilinx. Any unauthorized use of the Design may violate copyright laws, trademark laws, the laws of privacy and publicity, and communications regulations and statutes.

Xilinx does not assume any liability arising out of the application or use of the Design; nor does Xilinx convey any license under its patents, copyrights, or any rights of others. You are responsible for obtaining any rights you may require for your use or implementation of the Design. Xilinx reserves the right to make changes, at any time, to the Design as deemed desirable in the sole discretion of Xilinx. Xilinx assumes no obligation to correct any errors contained herein or to advise you of any correction if such be made. Xilinx will not assume any liability for the accuracy or correctness of any engineering or technical support or assistance provided to you in connection with the Design.

THE DESIGN IS PROVIDED “AS IS” WITH ALL FAULTS, AND THE ENTIRE RISK AS TO ITS FUNCTION AND IMPLEMENTATION IS WITH YOU. YOU ACKNOWLEDGE AND AGREE THAT YOU HAVE NOT RELIED ON ANY ORAL OR WRITTEN INFORMATION OR ADVICE, WHETHER GIVEN BY XILINX, OR ITS AGENTS OR EMPLOYEES. XILINX MAKES NO OTHER WARRANTIES, WHETHER EXPRESS, IMPLIED, OR STATUTORY, REGARDING THE DESIGN, INCLUDING ANY WARRANTIES OF MERCHANTABILITY, FITNESS FOR A PARTICULAR PURPOSE, TITLE, AND NONINFRINGEMENT OF THIRD-PARTY RIGHTS.

IN NO EVENT WILL XILINX BE LIABLE FOR ANY CONSEQUENTIAL, INDIRECT, EXEMPLARY, SPECIAL, OR INCIDENTAL DAMAGES, INCLUDING ANY LOST DATA AND LOST PROFITS, ARISING FROM OR RELATING TO YOUR USE OF THE DESIGN, EVEN IF YOU HAVE BEEN ADVISED OF THE POSSIBILITY OF SUCH DAMAGES. THE TOTAL CUMULATIVE LIABILITY OF XILINX IN CONNECTION WITH YOUR USE OF THE DESIGN, WHETHER IN CONTRACT OR TORT OR OTHERWISE, WILL IN NO EVENT EXCEED THE AMOUNT OF FEES PAID BY YOU TO XILINX HEREUNDER FOR USE OF THE DESIGN. YOU ACKNOWLEDGE THAT THE FEES, IF ANY, REFLECT THE ALLOCATION OF RISK SET FORTH IN THIS AGREEMENT AND THAT XILINX WOULD NOT MAKE AVAILABLE THE DESIGN TO YOU WITHOUT THESE LIMITATIONS OF LIABILITY.

The Design is not designed or intended for use in the development of on-line control equipment in hazardous environments requiring fail-safe controls, such as in the operation of nuclear facilities, aircraft navigation or communications systems, air traffic control, life support, or weapons systems (“High-Risk Applications”) Xilinx specifically disclaims any express or implied warranties of fitness for such High-Risk Applications. You represent that use of the Design in such High-Risk Applications is fully at your risk.

© 2010 Xilinx, Inc. All rights reserved. XILINX, the Xilinx logo, and other designated brands included herein are trademarks of Xilinx, Inc. All other trademarks are the property of their respective owners.

#### Demo Design License

© 2010 Xilinx, Inc.

This Design is free software; you can redistribute it and/or modify it under the terms of the GNU Lesser General Public License as published by the Free Software Foundation; either version 2.1 of the License, or (at your option) any later version.

This library is distributed in the hope that it will be useful, but WITHOUT ANY WARRANTY; without even the implied warranty of MERCHANTABILITY or FITNESS FOR A PARTICULAR PURPOSE. See the GNU Lesser General Public License for more details.

You should have received a copy of the GNU Library General Public License along with this design file; if not, see:

<http://www.gnu.org/licenses/>



PlanAhead™ ソースコードには、次のプログラムのソースコードが使用されています。

Centerpoint XML

- The initial developer of the original code is CenterPoint – Connective Software
- Software Engineering GmbH. portions created by CenterPoint – Connective Software
- Software Engineering GmbH. are Copyright© 1998-2000 CenterPoint - Connective Software Engineering GmbH. All Rights Reserved. Source code for CenterPoint is available at <http://www.cpointc.com/XML/>

NLView Schematic Engine

- Copyright© Concept Engineering.

Static Timing Engine by Parallax Software Inc.

- Copyright© Parallax Software Inc.

Java Two Standard Edition

- Includes portions of software from RSA Security, Inc. and some portions licensed from IBM are available at <http://oss.software.ibm.com/icu4j/>
- Powered By JIDE – <http://www.jidesoft.com>

The BSD License for the JGoodies Looks

Copyright© 2001-2010 JGoodies Karsten Lentzsch. All rights reserved.

Redistribution and use in source and binary forms, with or without modification, are permitted provided the following conditions are met:

- Redistributions of source code must retain the above copyright notice, this list of conditions and the following disclaimer.
- Redistributions in binary form must reproduce the above copyright notice, this list of conditions and the following disclaimer in the documentation and/or other materials provided with the distribution.
- Neither the name of JGoodies Karsten Lentzsch nor the names of its contributors may be used to endorse or promote products derived from this software without specific prior written permission.

THIS SOFTWARE IS PROVIDED BY THE COPYRIGHT HOLDERS AND CONTRIBUTORS "AS IS" AND ANY EXPRESS OR IMPLIED WARRANTIES, INCLUDING, BUT NOT LIMITED TO, THE IMPLIED WARRANTIES OF MERCHANTABILITY AND FITNESS FOR A PARTICULAR PURPOSE ARE DISCLAIMED. IN NO EVENT SHALL THE COPYRIGHT OWNER OR CONTRIBUTORS BE LIABLE FOR ANY DIRECT, INDIRECT, INCIDENTAL, SPECIAL, EXEMPLARY, OR CONSEQUENTIAL DAMAGES (INCLUDING, BUT NOT LIMITED TO, PROCUREMENT OF SUBSTITUTE GOODS OR SERVICES; LOSS OF USE, DATA, OR PROFITS; OR BUSINESS INTERRUPTION) HOWEVER CAUSED AND ON ANY THEORY OF LIABILITY, WHETHER IN CONTRACT, STRICT LIABILITY, OR TORT (INCLUDING NEGLIGENCE OR OTHERWISE) ARISING IN ANY WAY OUT OF THE USE OF THIS SOFTWARE, EVEN IF ADVISED OF THE POSSIBILITY OF SUCH DAMAGE.



## Free IP Core License

This is the Entire License for all of our Free IP Cores.

Copyright (C) 2000-2003, ASICS World Services, LTD. AUTHORS

All rights reserved.

Redistribution and use in source, netlist, binary and silicon forms, with or without modification, are permitted provided that the following conditions are met:

Redistributions of source code must retain the above copyright notice, this list of conditions and the following disclaimer.

Redistributions in binary form must reproduce the above copyright notice, this list of conditions and the following disclaimer in the documentation and/or other materials provided with the distribution.

Neither the name of ASICS World Services, the Authors and/or the names of its contributors may be used to endorse or promote products derived from this software without specific prior written permission.

THIS SOFTWARE IS PROVIDED BY THE COPYRIGHT HOLDERS AND CONTRIBUTORS "AS IS" AND ANY EXPRESS OR IMPLIED WARRANTIES, INCLUDING, BUT NOT LIMITED TO, THE IMPLIED WARRANTIES OF MERCHANTABILITY AND FITNESS FOR A PARTICULAR PURPOSE ARE DISCLAIMED. IN NO EVENT SHALL THE COPYRIGHT OWNER OR CONTRIBUTORS BE LIABLE FOR ANY DIRECT, INDIRECT, INCIDENTAL, SPECIAL, EXEMPLARY, OR CONSEQUENTIAL DAMAGES (INCLUDING, BUT NOT LIMITED TO, PROCUREMENT OF SUBSTITUTE GOODS OR SERVICES; LOSS OF USE, DATA, OR PROFITS; OR BUSINESS INTERRUPTION) HOWEVER CAUSED AND ON ANY THEORY OF LIABILITY, WHETHER IN CONTRACT, STRICT LIABILITY, OR TORT (INCLUDING NEGLIGENCE OR OTHERWISE) ARISING IN ANY WAY OUT OF THE USE OF THIS SOFTWARE, EVEN IF ADVISED OF THE POSSIBILITY OF SUCH DAMAGE.

# 目次

PlanAhead ソフトウェア チュートリアル .....	5
予測可能な結果に対する保存デザインの利用 .....	5
はじめに .....	5
サンプル デザイン データ .....	5
必要なサイリンクス ISE と PlanAhead ソフトウェア .....	5
ハードウェア要件 .....	5
PlanAhead のマニュアルと情報 .....	6
チュートリアルの説明 .....	6
チュートリアルの目標 .....	6
チュートリアルの手順 .....	7
PlanAhead プロジェクトの新規作成      手順 1 .....	8
結果のインプリメントと解析      手順 2 .....	11
パーティションと Pblock 範囲の定義および再インプリメント      手順 3 .....	17
問題なくインプリメントされたパーティションのプロモート      手順 4 .....	23
最上位レベルのパーティションのアップデート      手順 5 .....	27
USB パーティションのインポート中の最上位レベルの再インプリメント      手順 6 .....	29
まとめ .....	30

# PlanAhead ソフトウェア チュートリアル

## 予測可能な結果に対する保存デザインの利用

### はじめに

このチュートリアルでは、デザイン保持フローの概要について次の手順に分けて説明します。

- パーティションを定義し、デザインをインプリメント
- パーティションに分けられたインスタンスに対して AREA\_GROUP を定義し再インプリメント
- 問題のなかったインプリメンテーション結果をプロモート
- 最上位レベルのパーティションをアップデート
- 変更のないパーティション 2 つをインポート中に修正済み最上位レベルを再インプリメント

PlanAhead™ ソフトウェアの解析機能の詳細は、ほかのチュートリアルで紹介しています。すべてのコマンド オプションについて説明されているわけではりません。このチュートリアルでは、ISE® Design Suite ソフトウェアの一部として含まれる PlanAhead ソフトウェアの機能を使用しています。

### サンプル デザイン データ

このチュートリアルでは、PlanAhead ソフトウェアをインストールすると含まれるサンプル デザイン データを使用します。サンプル デザイン データは、次のディレクトリにあります。

`<ISE_install_Dir>/PlanAhead/testcases/PlanAhead_Tutorial.zip`

PlanAhead のインストール プロセスが実行されると、上記のディレクトリに ZIP ファイルが自動的に保存されます。この ZIP ファイルは、書き込み権のあるディレクトリに解凍しておくこともできます。チュートリアルでは、解凍ファイルのディレクトリを `<Install_Dir>` と記述しています。

**メモ：** ZIP ファイルをデフォルトの `<ISE_install_dir>/PlanAhead/testcases/PlanAhead_Tutorial` ディレクトリでそのまま解凍すると、最初に表示される Getting Started ページの **[Open an Example Project]** のリンクをクリックするだけで、チュートリアルのデザインを開くことができます。

サンプル デザインの詳細は、このチュートリアルの「チュートリアルの説明」セクションを参照してください。

### 必要なザイリンクス ISE と PlanAhead ソフトウェア

このチュートリアルを実行するには、ISE Design Suite を使用できるようにしておく必要があります。

デフォルトでは、PlanAhead ソフトウェア パッケージは、ISE 12.2 をすべてインストールすると自動的にインストールされます。チュートリアルを始める前に、PlanAhead が起動できるか、サンプル デザイン データがインストールされているかを確認してください。ソフトウェアのインストール方法および詳細は、次のザイリンクス サイトから『ISE Design Suite 12 : インストール、ライセンス、リリース ノート』を参照してください。

[http://japan.xilinx.com/support/documentation/sw\\_manuals/xilinx12\\_2/irn.pdf](http://japan.xilinx.com/support/documentation/sw_manuals/xilinx12_2/irn.pdf)

### ハードウェア要件

ターゲット デバイスが大規模の場合、2GB 以上の RAM 容量が必要です。このチュートリアルでは、小型のデザインが使用されますので、1GB で十分ですが、パフォーマンスに影響のでもあります。

## PlanAhead のマニュアルと情報

次のマニュアルは、ザイリンクス Web サイトから入手できます。

- 『PlanAhead ユーザー ガイド』(UG632) – PlanAhead ソフトウェアに関する詳細情報  
[http://japan.xilinx.com/support/documentation/sw\\_manuals/xilinx12\\_2/PlanAhead\\_UserGuide.pdf](http://japan.xilinx.com/support/documentation/sw_manuals/xilinx12_2/PlanAhead_UserGuide.pdf)
- 『フロアプラン手法ガイド』(UG633) – フロアプランのヒント情報  
[http://japan.xilinx.com/support/documentation/sw\\_manuals/xilinx12\\_2/Floorplanning\\_Methodology\\_Guide.pdf](http://japan.xilinx.com/support/documentation/sw_manuals/xilinx12_2/Floorplanning_Methodology_Guide.pdf)
- 『階層デザイン手法ガイド』(UG748) – PlanAhead の階層デザインの概要  
[http://japan.xilinx.com/support/documentation/sw\\_manuals/xilinx12\\_2/Hierarchical\\_Design\\_Methodology\\_Guide.pdf](http://japan.xilinx.com/support/documentation/sw_manuals/xilinx12_2/Hierarchical_Design_Methodology_Guide.pdf)

パーシャル リコンフィギュレーションの詳細は、<http://japan.xilinx.com/tools/partial-reconfiguration> から『パーシャル リコンフィギュレーション ユーザー ガイド』(UG702) およびチュートリアルを参照してください。

パーシャル リコンフィギュレーションのライセンスは、ザイリンクス Web サイト <http://japan.xilinx.com/getproduct> から入手できます。

PlanAhead の利点を説明したデモ ビデオなどを含む PlanAhead の詳細は、次の Web サイトを参照してください。  
<http://japan.xilinx.com/planahead>

## チュートリアルの説明

このチュートリアルで使用されるサンプル デザインには、合成結果が 2 セット含まれます。1 つは、標準的なトップダウン合成フローを使用しており、フラット インプリメンテーションに使用されます。もう 1 つは、インクリメンタル合成フローを使用しており、デザイン保持フローに使用されます。これには、パーティション分割されるモジュール インスタンスのネットリストがそれぞれ含まれます。このチュートリアルで使用されるデザインには、次が含まれます。

- RISC プロセッサ
- FFT
- ギガビットトランシーバ
- パーティション分割される USB ポート モジュール 2 つ
- xc6vlx75tff784 デバイス

ハードウェア リソースやチュートリアルにかかる時間、データ サイズを節約するために、小型のデザインを使用しています。

チュートリアルに関する質問および問題は、ザイリンクス テクニカル サポート (ホットライン) までご連絡ください。

## チュートリアルの目標

このチュートリアルでは、PlanAhead ソフトウェアを使用したパーティションとデザイン保持フローについて説明します。

## チュートリアルの手順

- 手順 1 PlanAhead プロジェクトの新規作成
- 手順 2 結果のインプリメントと解析
- 手順 3 パーティションと Pblock 範囲の定義および再インプリメント
- 手順 4 問題なくインプリメントされたパーティションのプロモート
- 手順 5 最上位レベルのパーティションのアップデート
- 手順 6 USB パーティションのインポート中の最上位レベルの再インプリメント



## PlanAhead プロジェクトの新規作成

## 手順 1

このチュートリアルでは、合成が終了していると仮定し、合成済みネットリストをソースとして使用します。デザイン保持用の合成プロジェクトの設定については、『階層デザイン手法ガイド』(UG748) を参照してください。

[http://japan.xilinx.com/support/documentation/sw\\_manuals/xilinx12\\_2/Hierarchical\\_Design\\_Methodology\\_Guide.pdf](http://japan.xilinx.com/support/documentation/sw_manuals/xilinx12_2/Hierarchical_Design_Methodology_Guide.pdf)

パーティション デザインに対する PlanAhead の RTL プロジェクトは、今後の PlanAhead リリースでサポートされる予定です。

### 1-1. PlanAhead プロジェクトを新規に作成します。

1-1-1. PlanAhead を開いて、I/O ピン配置プロジェクト (project\_pinout) を作成します。

- Windows では、デスクトップ アイコンをダブルクリックするか、[スタート] → [プログラム] → [Xilinx ISE Design Suite 12.2] → [PlanAhead] → [PlanAhead] をクリックします。
- Linux の場合は、<Install\_Dir>/PlanAhead\_Tutorial/Tutorial\_Created\_Data ディレクトリに移動し、**planAhead** と入力します。

1-1-2. PlanAhead を開いて、Getting Started ページで **[Create New Project]** のリンクをクリックします。

[Create a New PlanAhead Project] ページが開きます (図 1)。

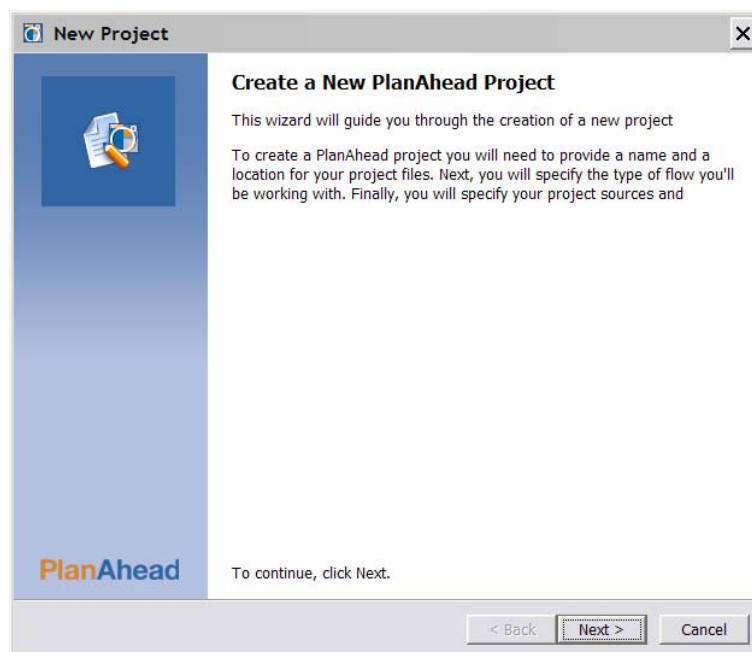


図 1 : New Project ウィザードの [Create a New PlanAhead Project] ページ

1-1-3. **[Next]** をクリックします。

1-1-4. プロジェクト名とディレクトリを選択し、**[Next]** をクリックします (図 2)。

このチュートリアルでは、プロジェクト名は project\_1、プロジェクト ディレクトリは <Install\_Dir>\PlanAhead\testcases\PlanAhead\_Tutorial\Tutorial\_Created\_Data に指定します。

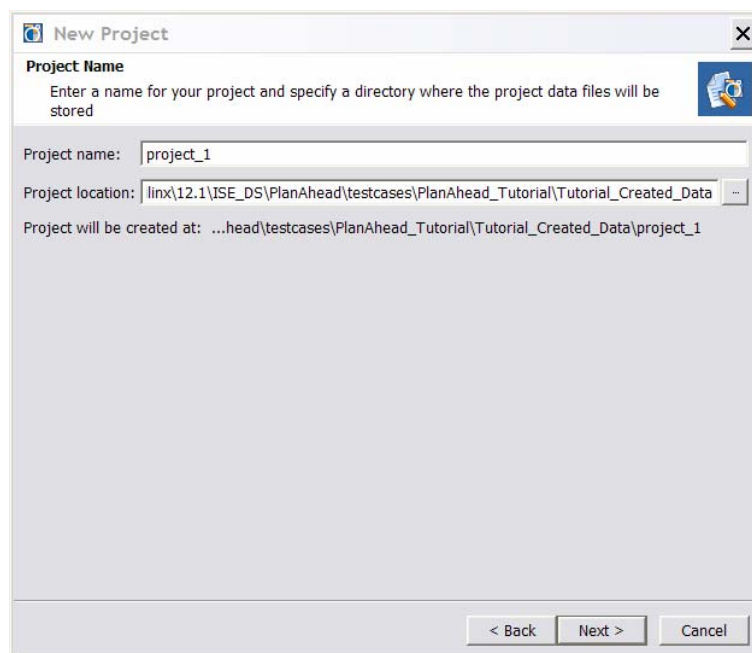


図 2 : [Project Name] ページ

- 1-1-5. [Design Source] ページで **[Specify synthesized (EDIF or NGC) netlist]** をオンにし、[Next] をクリックします (図 3)。

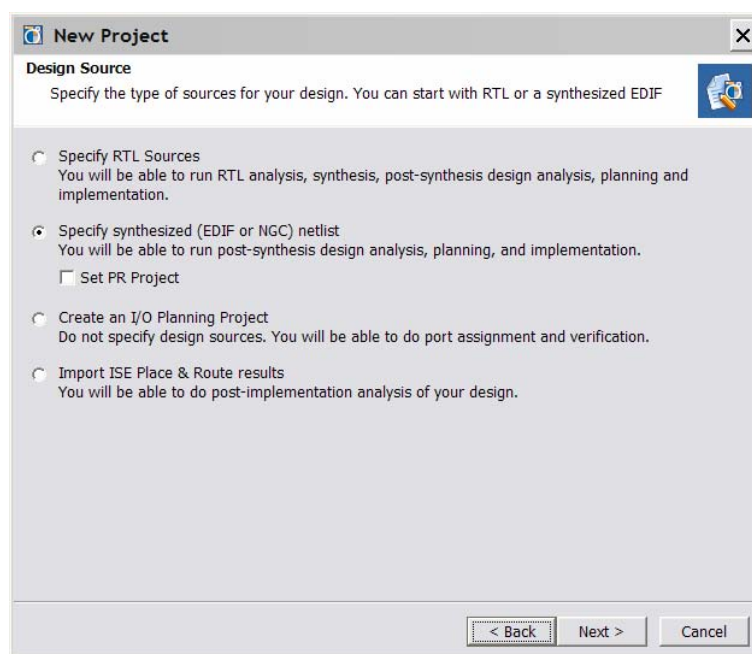


図 3 : [Design Source] ページ

- 1-1-6. [Specify Top Netlist File] ページで  
<Install\_Dir>\PlanAhead\testcases\PlanAhead\_Tutorial\Sources\netlist\top.edf のネットリストを参照し、[開く]  
をクリックします。

下位レベルのネットリストは同じディレクトリにあるので、ネットリスト ディレクトリを追加する必要はありません (図 4)。

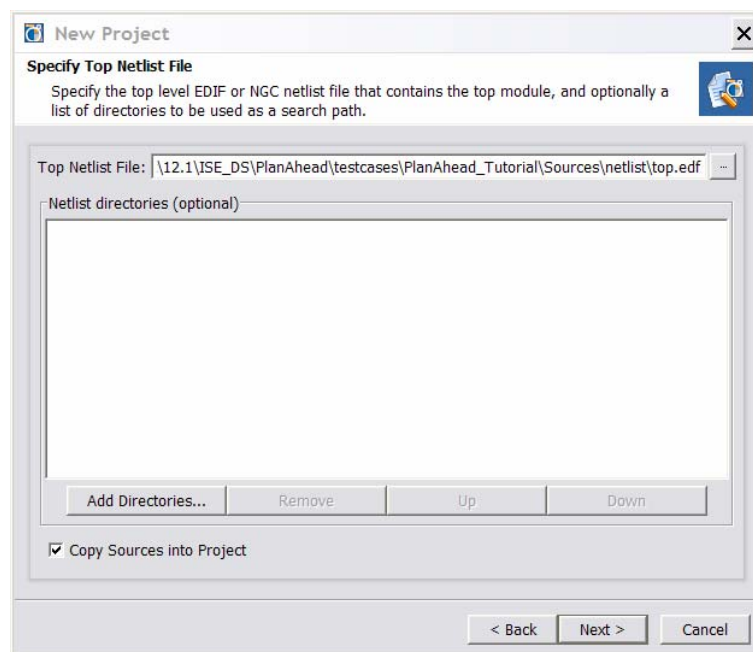


図 4 : 最上位ネットリスト ファイルの指定

1-1-7. [Next] をクリックします。

1-1-8. [Constraints File] ページで [Add Files] をクリックし、  
<Install\_Dir>\\PlanAhead\\testcases\\PlanAhead\_Tutorial\\Sources\\netlist\\top.edf の UCF を指定します (図 5)。

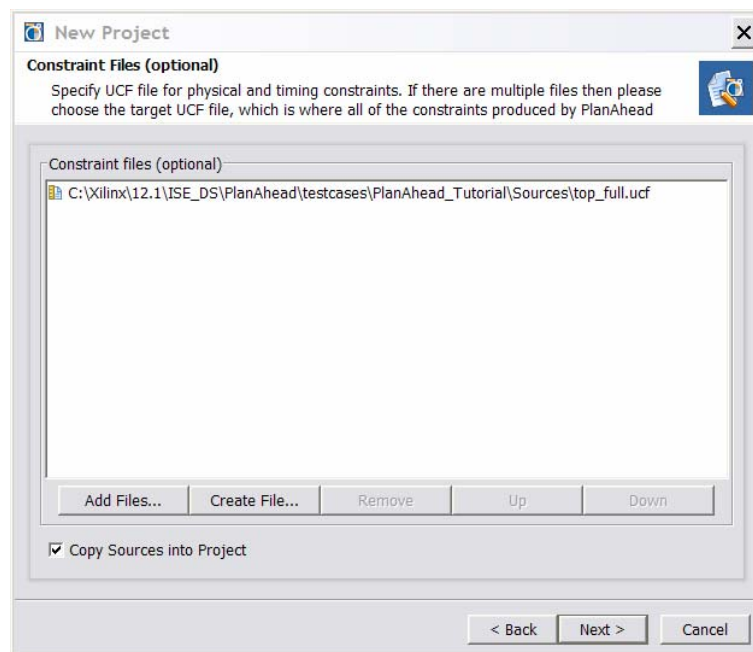


図 5 : UCF ファイルの指定

1-1-9. [Next] をクリックします。

1-1-10. [Default Part] ページでは、最上レベルのネットリストからのパーツが自動的に選択されます。このチュートリアルでは、ネットリスト (-1) で定義されているのとは異なるスピード グレードを選択します。選択パーツを xc6vlx75tff784-3 に変更し、[Next] をクリックします。

1-1-11. [New Project Summary] ページで [Finish] をクリックして、プロジェクトを作成します (図 6)。

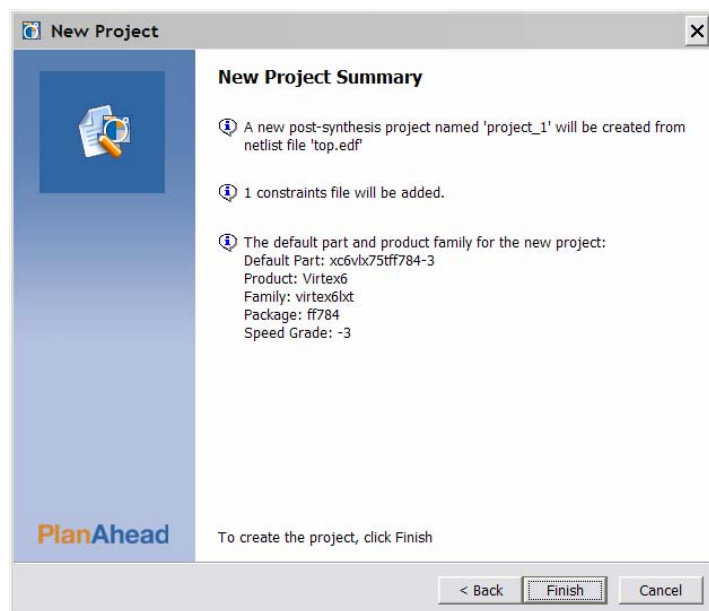


図 6 : [New Project Summary] ページ

## 結果のインプリメントと解析

## 手順 2

「フラット フロー」という用語は、パーティションを含まないデザインを示しています。パーティションを追加すると、PlanAhead ソフトウェアで階層デザイン (HD) ツール セットが起動され、デザイン保持フローなどのフローが使用できるようになります。このチュートリアルでは、フラット デザインをインプリメントし、その結果を解析し、パーティションを追加します。

2-1. フラット デザイン (パーティションなし) をインプリメントします。

2-1-1. Flow Navigator から [Implement] をクリックします (図 7)。このボタンを使用すると、1 クリックだけで、ISE インプリメンテーション ツールを起動できます。インプリメンテーション ツールでは現在アクティブなストラテジが使用されます。デフォルトは [ISE defaults] ストラテジです。

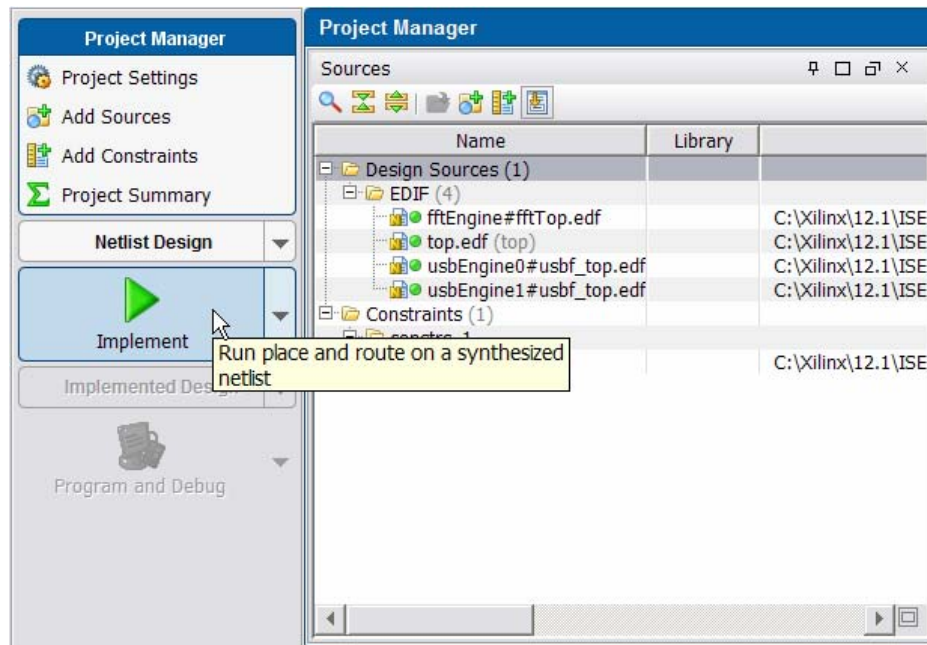


図 7 : デザインのインプリメンテーション

- 2-1-2. インプリメンテーションが終了するまでお待ちください (この run では混線が発生し、インプリメンテーション (特に PAR) が終了するのに 2 時間以上かかる可能性があります。このチュートリアルほかのインプリメンテーションではこの問題が修正されているので、インプリメンテーション run はもっと速くなります)。このインプリメンテーション手順を飛ばす場合は、手順 2-2 まで読んで、解析結果を確認してから、手順 3 に進んでください。

インプリメンテーションの進捗状況は、次のいずれかで確認できます。

- PlanAhead 右上のステータス バーから
- [Project Summary] ビューから
- [Window] → [Design Runs] をクリックすると開く [Design Runs] ビューから
- [Compilation Log] ビューから (詳細表示あり)

## 2-2. インプリメンテーション結果を解析します。

- 2-2-1. インプリメンテーションが終了したら、[Implementation Completed] ダイアログ ボックスが表示されます。**[Open Implemented Design]** をオンにし、**[OK]** をクリックします。このダイアログ ボックスが表示されない場合、または別のオプションを選択した場合は、Flow Navigator で **[Implemented Design]** をクリックしてもインプリメンテーション結果が表示されます。
- 2-2-2. インプリメンテーション結果が読み込まれると、[Project Summary] ビューにサマリが表示されます。**[Project Summary]** タブをクリックし、一番下までスクロール ダウンし、**[Implemented Timing]** サマリを確認します (図 8)。タイミング スコアは 0 ではありません。これは、デザインにタイミング エラーがあったことを意味します。サマリには、エラーのあったタイミング制約もリストされます。

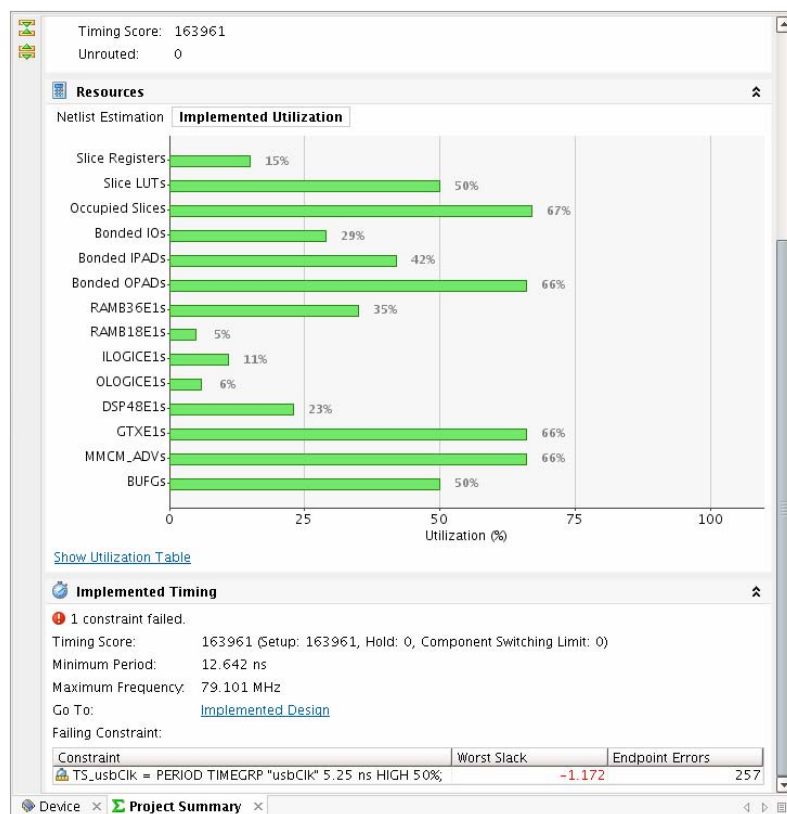


図 8 : [Project Summary] ビュー

- 2-2-3. インプリメンテーション結果が読み込まれたので、[Timing Results] ビューにタイミング レポートが表示されます。このレポートから、エラーのあったパスの詳細が確認できます。エラーのあったパスはすべて usbEngine モジュールにあることがわかります。
- 2-2-4. [Device] タブをクリックし、表示を [Project Summary] から [Device] ビューに切り替えます。
- 2-2-5. [Timing Results] ビューでエラーのあったパスを選択します (図 9)。



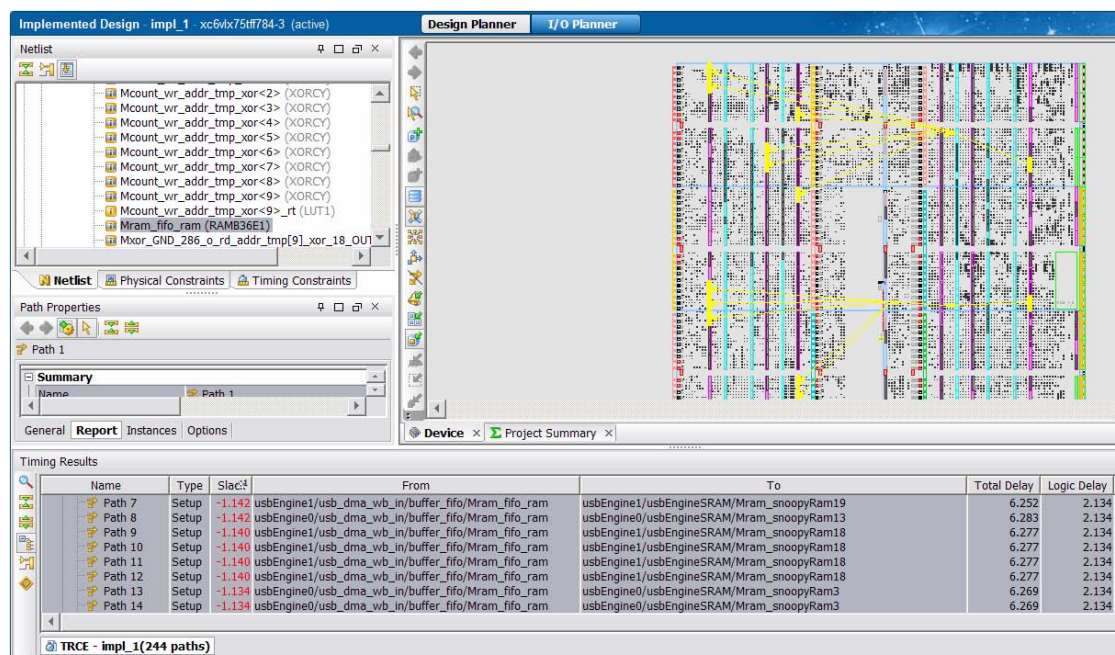


図 9: タイミング エラーの選択

エラーのあったパスを確認すると、次がわかります。

- エラーのあったパスは主に **BRAM** 関連である
- 接続された **BRAM** 同士の位置が離れすぎている

2-2-6. 2 つの usbEngine インスタンス プリミティブを選択するには、それらを [Netlist] ビューで選択して右クリックし、[Highlight Primitives] → [Cycle Colors] を選択します (図 10)。

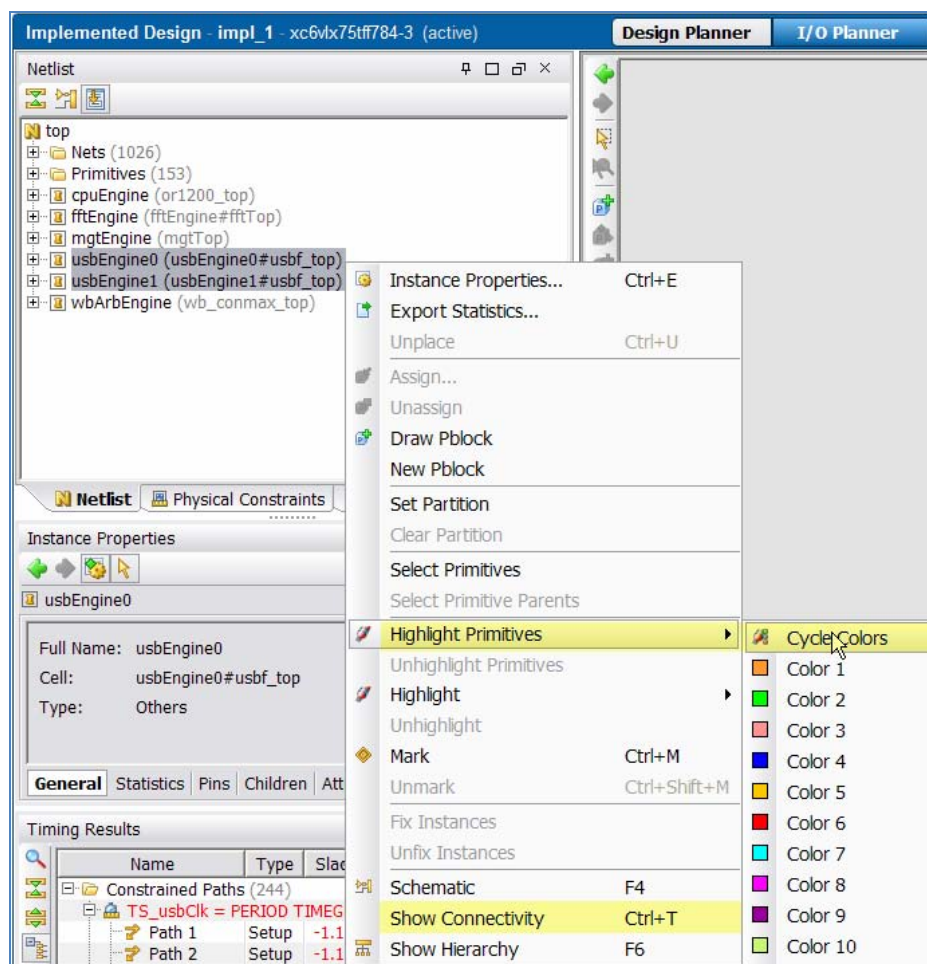


図 10 : usbEngine プリミティブのハイライト

- 2-2-7. usbEngine コアの接続を表示するには、それらを [Netlist] ビューで選択して右クリックし、**[Show Connectivity]** を選択します。
- 2-2-8. [Device] ビューで前の 2 つの手順の結果を確認します (図 11)。



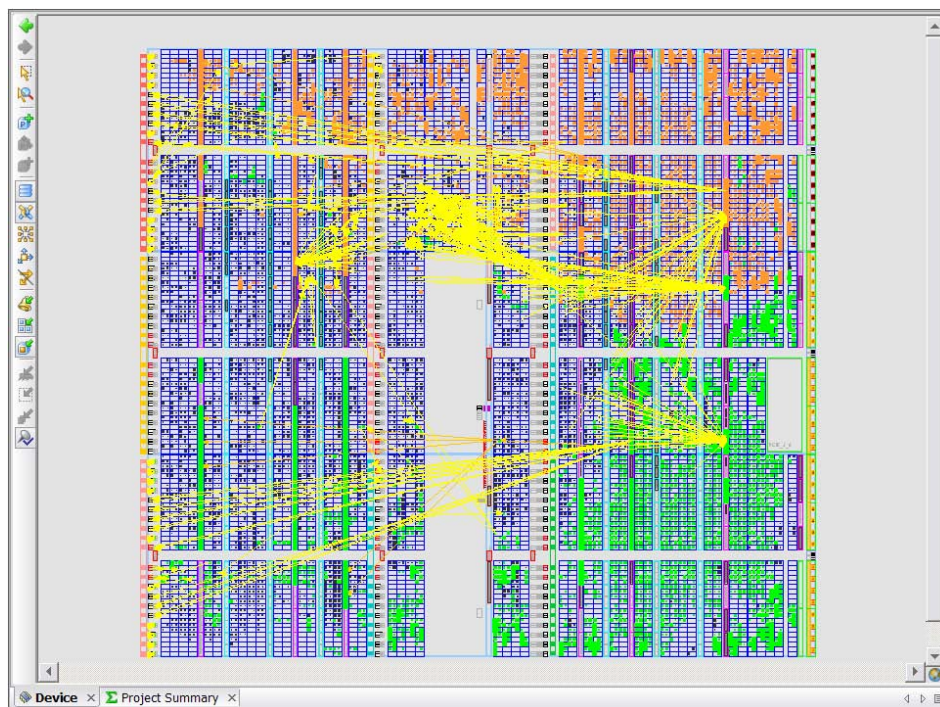


図 11 : [Show Connectivity] を選択した後の [Device] ビュー

2 つの usbEngine コアの配置がかなり広がっていることがわかります。

- usbEngine1 インスタンスはデバイスの上半分にあります、usbEngine0 は主にデバイスの下半分にあります。
- また、usbEngine コアがデバイスの左側の I/O ポートに接続されていることもわかります (usbEngine1 は上半分の I/O に、usbEngine0 は下半分の I/O に接続されています)。

これら 2 つのコアは、デバイスの左側に配置しておくのが理想的です。これにより、コアの I/O インターフェイスへのタイミングが改善されるだけでなく、ブロック RAM 配置が近くにまとめられるので、ほかのモジュール用にデバイスの残りの部分を空けることができます。

また、これらのインスタンスがタイミングを満たしている場合は、そのインプリメンテーション結果を保持しておく便利です。これらはデザインのタイミング クリティカル モジュールで、それ以上ロジックを変更することのない完成した USB コアなので、パーティションには理想的です。

この段階では、[Implemented Design] ビューを閉じて問題ありません。

#### 2-2-9. Flow Navigator から [Implemented Design] → [Close] をクリックします。

**メモ :** この手順を飛ばすと、12.3 リリースで修正予定の既知の問題が原因で、このチュートリアルの後半で PlanAhead がクラッシュすることがあります。

## パーティションと Pblock 範囲の定義および再インプリメント

## 手順 3

前の手順のタイミング結果では、usbEngine コアはパーティション用のインスタンスとして識別されています。これは、これらのコアがタイミング クリティカルモジュールで、問題のなかった結果を保持しておくで後で便利な場合があるからです。ただし、これだけではパーティションに向いているとは言えません。これらがパーティションに向いているのは、残りのデザイン部分から孤立しており、インターフェイス タイミングが適しているからです。モジュールがパーティションに向いているかどうかは、PlanAhead の DRC を使用して確認できます。パーティション用のモジュール インスタンスを選択する方法については、『階層デザイン手法ガイド』(UG748)を参照してください。

[http://japan.xilinx.com/support/documentation/sw\\_manuals/xilinx12\\_2/Hierarchical\\_Design\\_Methodology\\_Guide.pdf](http://japan.xilinx.com/support/documentation/sw_manuals/xilinx12_2/Hierarchical_Design_Methodology_Guide.pdf)

パーティション分割されたインスタンスは、ほかのインスタンスと同様にフロアプランできます。また、Pblock (AREA\_GROUP 制約) を作成することで、タイミング クロージャを達成し、ランタイムを改善しやすくなります。前段階で記述したように、usbEngine インスタンスはパーツの左側の I/O へ接続されているので、これらのモジュールをフロアプランすると、配置配線が制御しやすくなります。

このチュートリアルには、2 つの usbEngine インスタンス用に AREA\_GROUP 制約が含まれています。PlanAhead ソフトウェアを使用した AREA\_GROUP 制約の作成に関しては、『PlanAhead チュートリアル：デザイン解析とフロアプラン』(UG676)を参照してください。

[http://japan.xilinx.com/support/documentation/dt\\_planahead\\_planahead12-2\\_tutorials.htm](http://japan.xilinx.com/support/documentation/dt_planahead_planahead12-2_tutorials.htm)

### 3-1. 2 つの usbEngine コアのパーティションを作成します。

3-1-1. Flow Navigator から [Netlist Design] ビューを開いて [Netlist] タブをクリックします (図 12)。

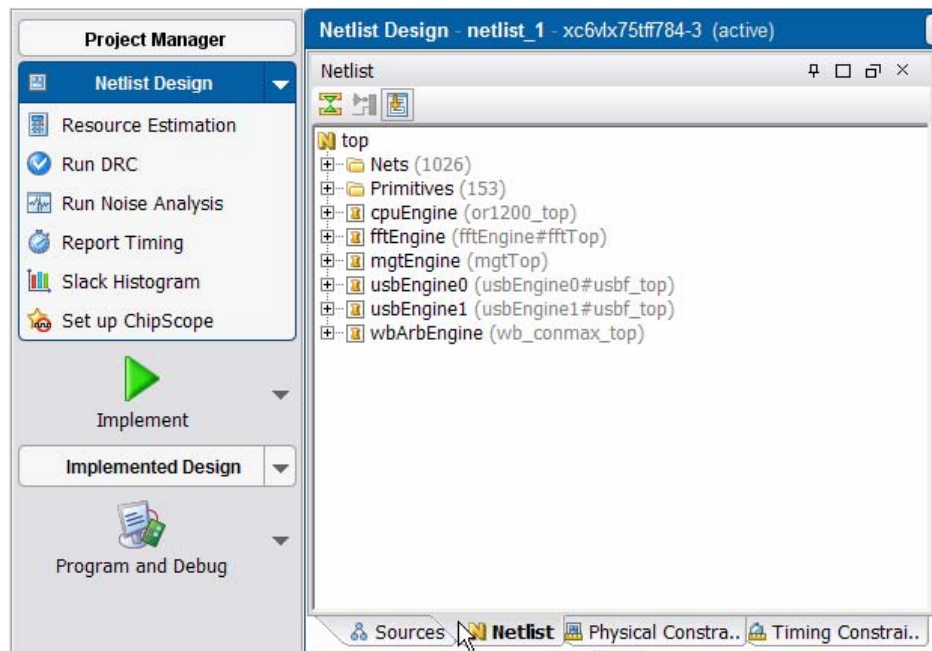




図 12 : PlanAhead の RTL 環境

3-1-2. 2 つの usbEngine インスタンスを選択して右クリックし、[Set Partition] を選択します (図 13)。パーティションとして設定すると、そのインスタンスのアイコンが  から  に変更されます。

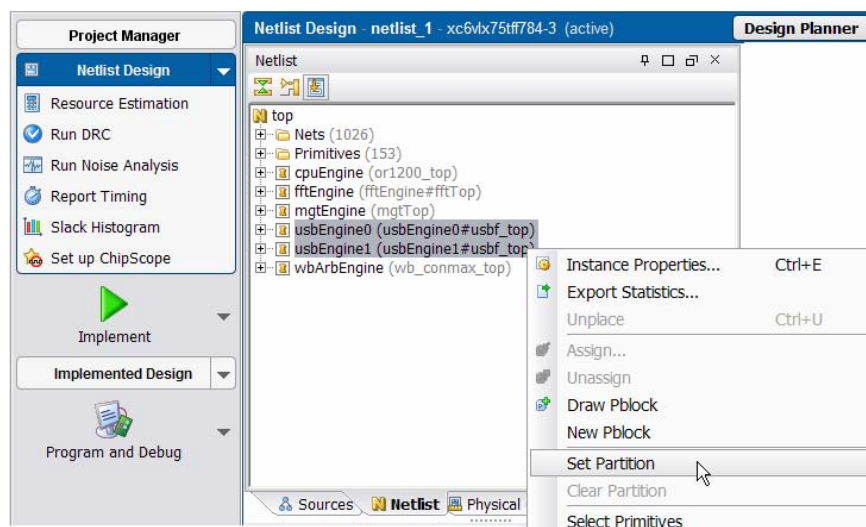



図 13 : usbEngine コアへのパーティション設定

### 3-2. AREA\_GROUP 制約を追加し、インプリメンテーションを開始します。

- 3-2-1. [Netlist] ビューで usbEngine0 を右クリックし、[Draw Pblock] を選択します (メモ : [Device] ビューのツールバーで [Draw Pblock] ボタン (  ) を使用することも可能です)。

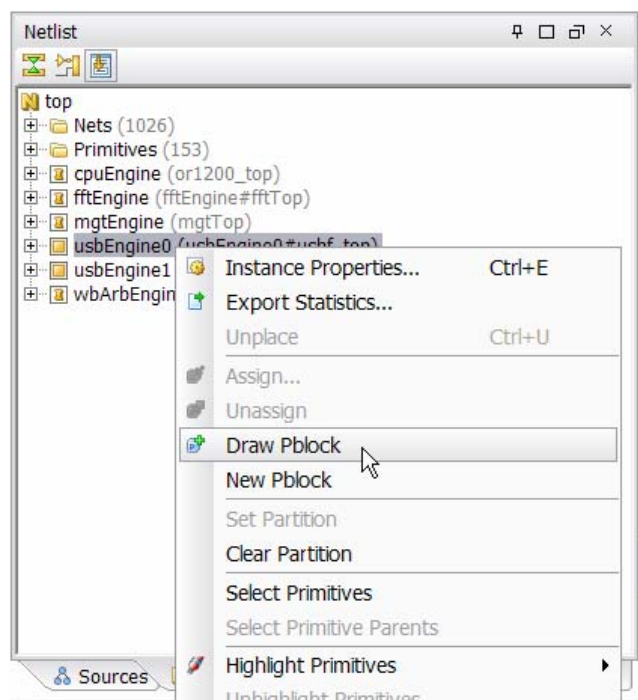


図 14 : [Draw Pblock] の選択

- 3-2-2. [Draw Pblock] を実行した状態で [Device] ビューでカーソルを移動します。
- 3-2-3. CLB が開始するデバイスの左上の端でクリックし、そのままデバイスの左上の区画のほとんどの部分をカバーするような長方形をドラッグして描画します (図 15)。



- 3-2-4. [New Pblock] ダイアログ ボックスで [SLICE] と [RAMB36] がオンで、その他のリソースがオフになっていることを確認します (図 15)。
- 3-2-5. [OK] をクリックします。

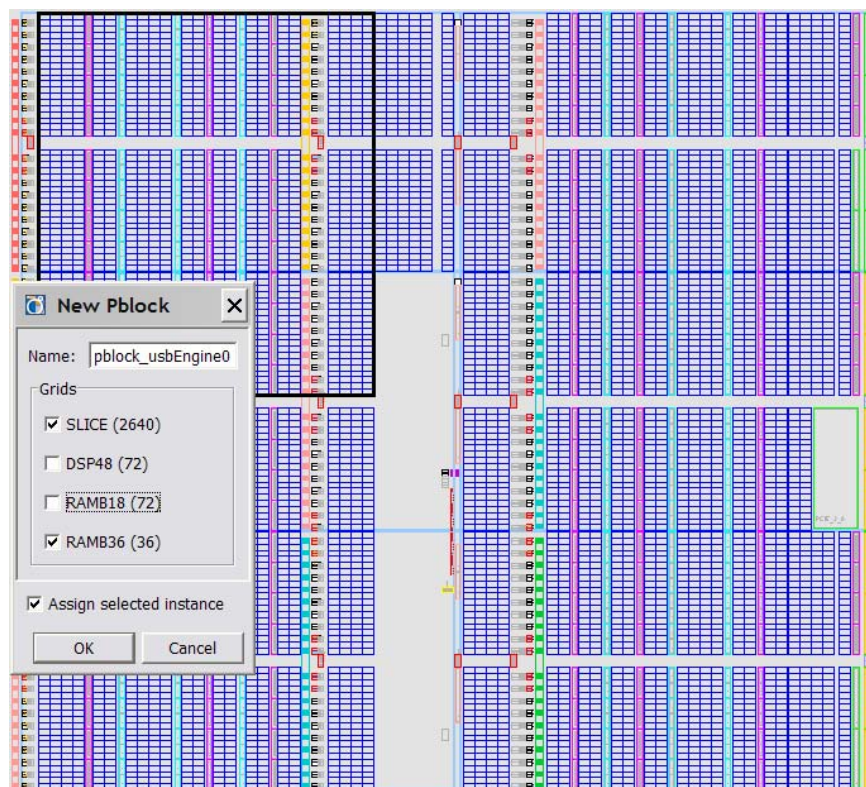
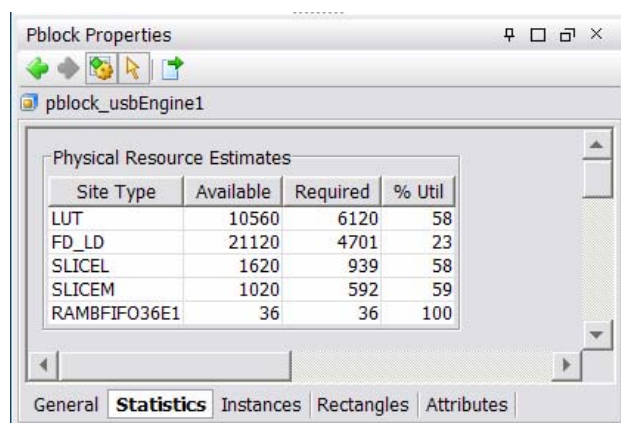


図 15 : usbEngine0 の Pblock の長方形

ここで重要なのは、使用可能な RAMB36 リソースの数です。図 15 のように Pblock の長方形が RAMB36 を完全にカバーしないと、リソースの数が必要な 36 未満になる可能性があります。この場合は、Pblock の長方形のサイズを調整する必要があります。

- 3-3. 左下の区画の usbEngine1 で手順 3-2 を繰り返します。
- 3-4. RAMB36 リソースの数は 36 になるようにしてください。
- 3-4-1. 各 Pblock を選択し、[Pblock Properties] ビューで [Statistics] タブをクリックして統計を表示します (図 16)。



Pblock Properties

pblock\_usbEngine1

Physical Resource Estimates

Site Type	Available	Required	% Util
LUT	10560	6120	58
FD_LD	21120	4701	23
SLICEL	1620	939	58
SLICEM	1020	592	59
RAMBFIFO36E1	36	36	100

General **Statistics** Instances Rectangles Attributes

図 16 : [Pblock Properties] の表示

3-4-2. 図 17 のフロアプランと同じになるように、必要であれば 2 つの Pblock のサイズや位置を変更します。

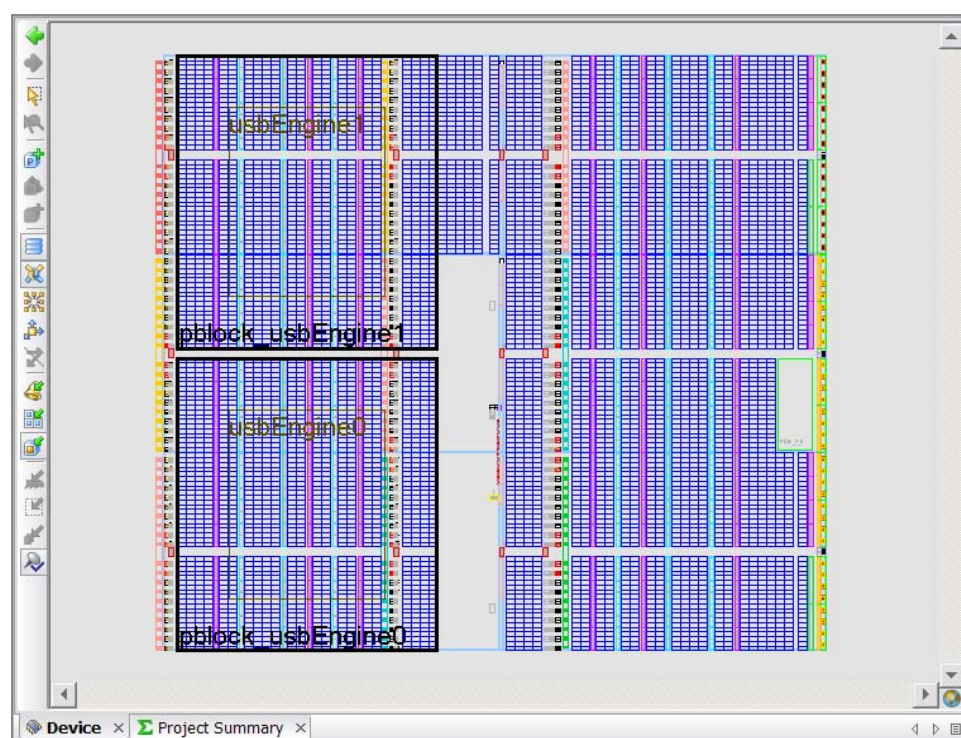


図 17 : 最終的な Pblock の長方形

### 3-5. パーティションで DRC チェックを実行します。

これでパーティションがプロジェクトに実行されました。デザイン ルール チェック (DRC) を実行して問題があるかどうか確認します。

3-5-1. Flow Navigator の [Netlist Design] ビューの下で **[Run DRC]** をクリックします (または **[Tools]** → **[Run DRC]** をクリックします)。

3-5-2. [Run DRC] ダイアログ ボックスで [Partition] 以外のルールをオフにして、**[OK]** をクリックします (図 18)。

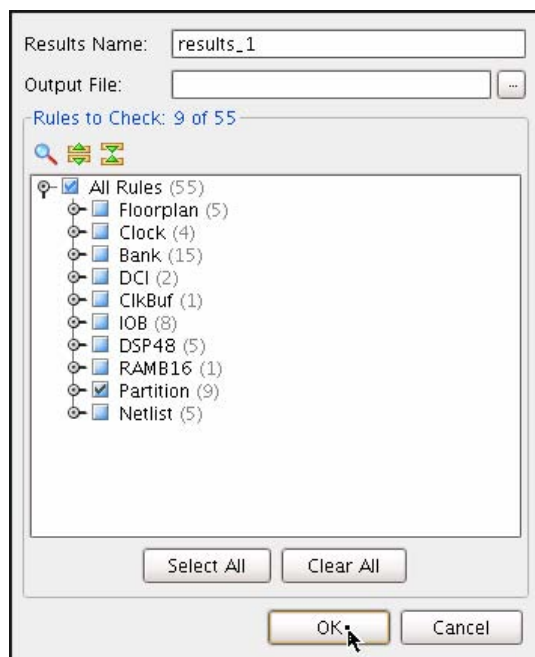


図 18 : パーティションの DRC 実行

DRC の結果、アドバイザリ メッセージが表示されます。PlanAhead からは、DRC ルールに対してアドバイザリ、警告、エラー、致命エラー、といったメッセージが表示されます。このチュートリアルでは、アドバイザリ メッセージは無視しますが、実際のデザインの場合は、DRC でレポートされるメッセージはすべて必要に応じて処理する必要があります。

3-5-3. Flow Navigator で **[Implement]** をクリックします。

この時点では usbEngine コアにパーティションと AREA\_GROUP 制約が設定されているので、結果は異なります。

3-5-4. NGDDBuild が終了したら、**[Report]** タブをクリックし、ISE インプリメンテーション レポート ファイルすべてのリストを表示します。

3-5-5. プロセスが終了したら、**[NGDDBuild Report]** をダブルクリックし、レポート ファイルを開きます。レポート ファイルの一番下までスクロール ダウンし、パーティション情報を確認します (図 19)。

この情報はすべてのレポート ファイル (NGDDBuild、MAP、PAR) に表示されます。これにより、指定した run のすべてのパーティションのステータスを簡単に確認できます。

```
Partition Implementation Status
-----

Preserved Partitions:

Implemented Partitions:

Partition "/top":
Attribute STATE set to IMPLEMENT.

Partition "/top/usbEngine0":
Attribute STATE set to IMPLEMENT.

Partition "/top/usbEngine1":
Attribute STATE set to IMPLEMENT.

-----
```

図 19 : レポート ファイルのパーティションのインプリメンテーション ステータス

このインプリメンテーションには約 1 時間かかります (ISE ツールを実行するシステムによってかかる時間は異なります)。

## 問題なくインプリメントされたパーティションのプロモート

## 手順 4

インプリメンテーションが問題なく終了したら、その結果をプロモートできます。結果をプロモートすると、`<project_name>.promote\X<run_name>` (例: `project_1.promote\Ximpl_1`) のインプリメンテーション ディレクトリのコピーが作成されます。PlanAhead は、プロモートされた最新の `run` を追跡し、プロモートされたパーティションのステートを自動的に設定し、一番最新のプロモート ディレクトリからインポートします。これらは、すべて PlanAhead から手動で管理できます。

### 4-1. 問題のなかったインプリメンテーション結果をプロモートします。

4-1-1. インプリメンテーションが終了したら、[Implementation Completed] ダイアログ ボックスが表示されます。

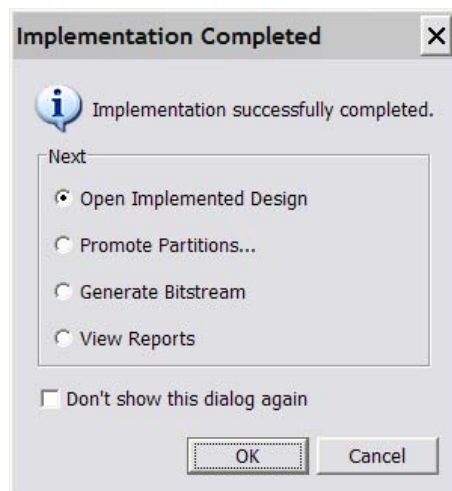


図 20 : [Implementation Completed] ダイアログ ボックス

4-1-2. [Open Implemented Design] をオンにし、[OK] をクリックします。

オプションはほかにもあります。[Promote Partitions] をオンにすると、結果がここでプロモートされますが、このチュートリアルでは別の方法を使用します。

[Implementation Completed] ダイアログ ボックスが表示されない場合は、Flow Navigator で [Implemented Design] をクリックして結果を読み込むこともできます。

4-1-3. 最終的なタイミング スコアや詳細なタイミング レポートを確認して、結果が問題ないかどうか検証します (図 21)。

この場合は、インプリメンテーションは問題なく終了しているはずですが、タイミング エラーがあった場合は、[Implemented Design] ビューを使用してタイミング クリティカル パスを識別できます。

[Design Runs] ビューでレポートされるタイミング スコアは 0 で (未配線ネットも 0)、[Timing Results] ビューには正の数値のスラックがあるワースト ケース パスが表示されます (図 21)。制約はすべて達成されています。このチュートリアルの手順 2 の説明のように、インプリメンテーション結果は [Project Summary] ビューからも確認できます。



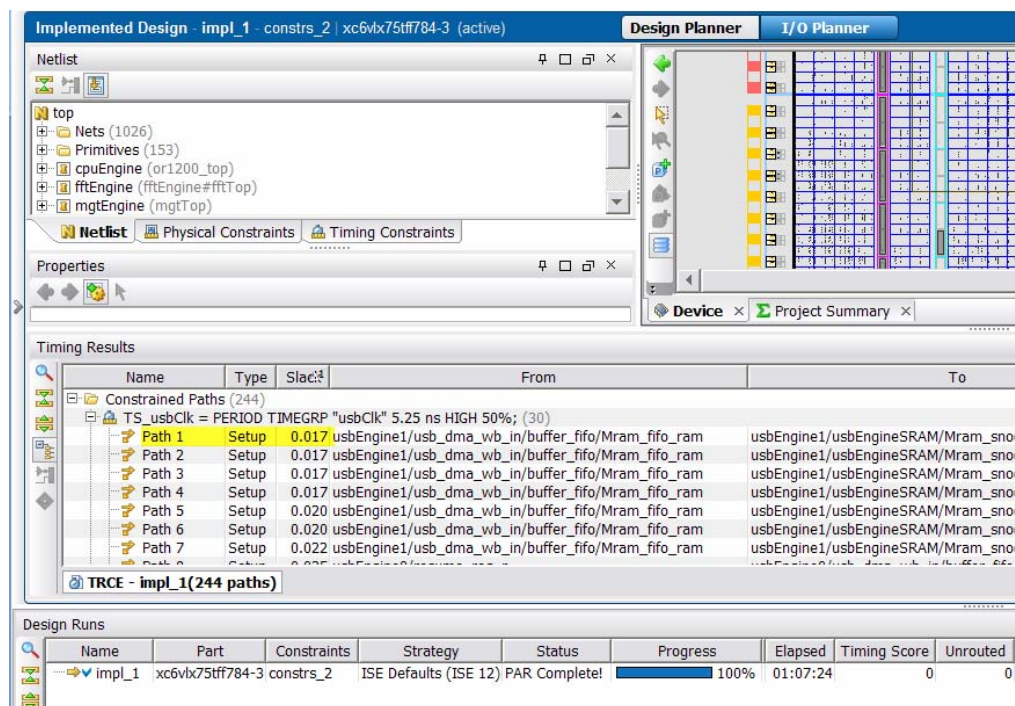


図 21 : 問題のなかったインプリメンテーション結果の確認

4-1-4. Flow Navigator で **[Promote Partitions]** をクリックし、インプリメンテーション結果をプロモートします (図 22)。

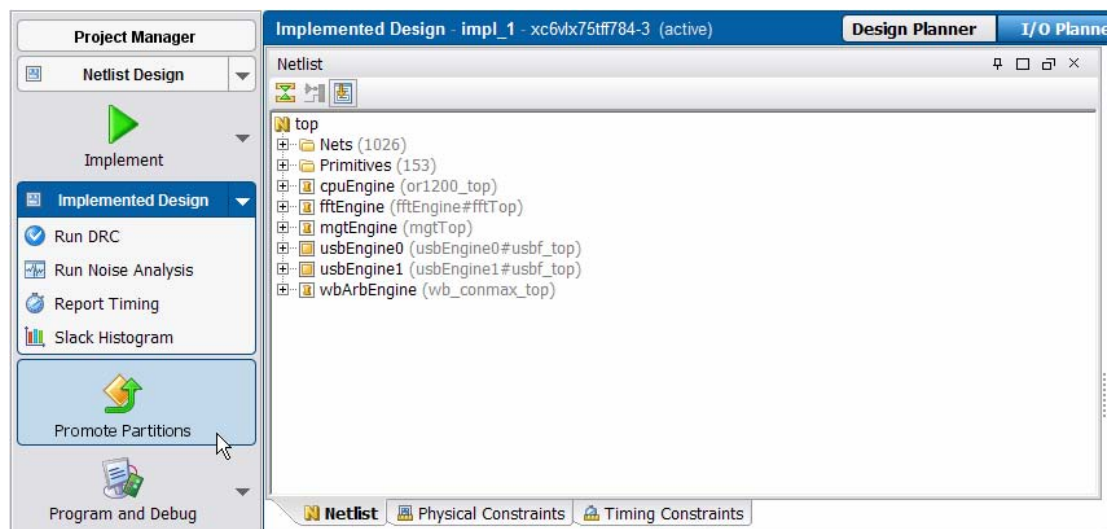


図 22 : [Promote Partitions] ボタン

4-1-5. 2 つの usbEngine インスタンスがプロモート用にチェックされます (図 23)。

最上位レベルのパーティションはデフォルトでは選択されませんが、このパーティションは他のパーティションと同様にプロモートできます。このチュートリアルでは、最上位レベルのパーティションをこの後アップデートするので、ここでプロモートする必要はありません。

4-1-6. **[OK]** をクリックし、2 つの usbEngine パーティションをプロモートします。オプションで、プロモートされたデータに関する詳細を入力することもできます。

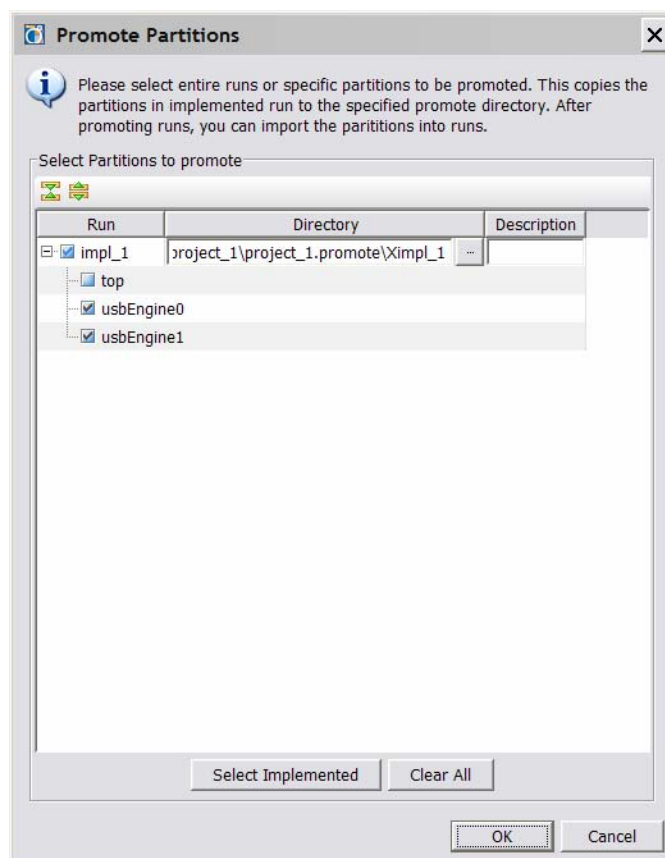


図 23 : [Promote Partitions] ダイアログ ボックス

4-1-7. パーティションをプロモートすると、次の表示が変更されます (図 24)。

- [Netlist Design] ビューに [Promoted Partitions] タブが新しく表示される
- [Implementation Run Properties] ビューの [Partitions] タブで usbEngine インスタンスの [Action] が [Import] に変更される

メモ : [Implementation Run Properties] ビューは、[Design Runs] ビューが開いた状態で run を選択すると表示できます。

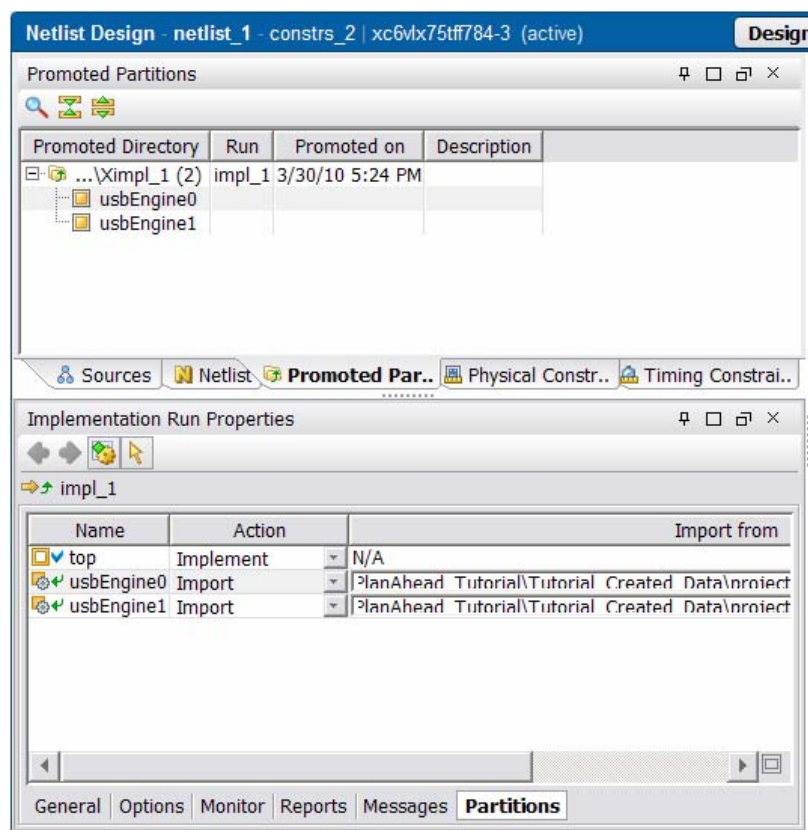


図 24 : プロモートされたパーティション

## 最上位レベルのパーティションのアップデート

## 手順 5

PlanAhead はリモート ソースに変更がないかどうかを監視しますが、ローカルでソースを PlanAhead プロジェクト ディレクトリにコピーする場合または新しいソースが別のディレクトリにある場合、古いソースを削除して新しいソースを追加することで、ソースをアップデートできます。

### 5-1. 最新の top.edf ファイルを修正したバージョンにアップデートします。

5-1-1. Flow Navigator の [Project Manager] をクリックして [Project Manager] ビューを開きます。

5-1-2. [Sources] ビューで top.edf を選択します。

5-1-3. top.edf を右クリックし、[Update File] をクリックします (図 25)。

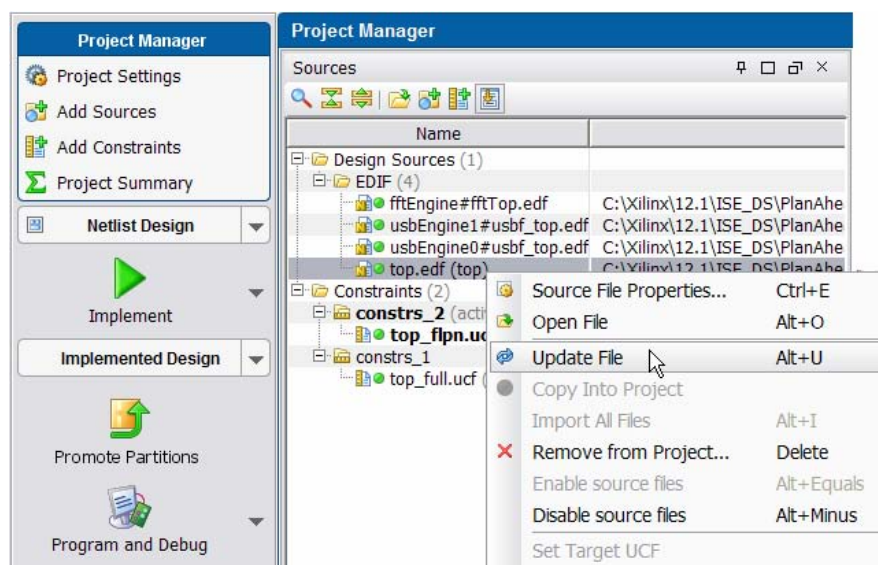


図 25 : top.edf のアップデート

5-1-4. Update File ウィザードで

<Install\_Dir>\PlanAhead\testcases\PlanAhead\_Tutorial\Sources\netlist\Iteration\_netlist\top.edf の修正したネットリストを指定します。

5-1-5. [Open] をクリックし、top.edf のアップデートを終了します。

5-1-6. [Netlist Design] ビューに戻って、タイトル バーの [Reload] リンクをクリックしてデザインをアップデートします (図 26)。

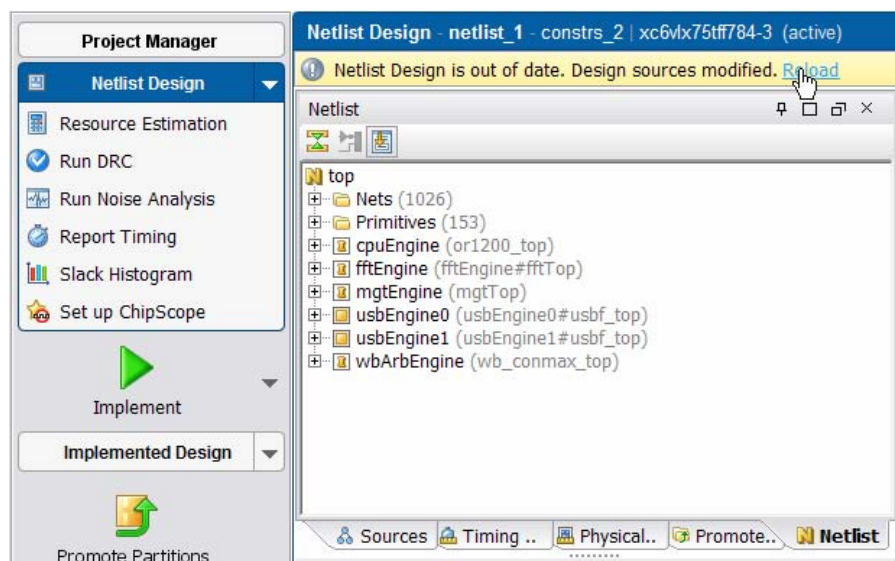


図 26 : [Reload] リンクを使用したデザインのアップデート

**メモ** : ソース ファイルがアップデートされてから [Netlist Design] ビューを閉じると、次にビューを開いたときにその新規ソースが使用されますが、[Update File] コマンドを使用したときに [Netlist Design] ビューを開いていた場合は、[Reload] コマンドを使用してデザインを読み込む必要があります。

## USB パーティションのインポート中の最上位レベルの再インプリメント 手順 6

この段階までで、デザインをインプリメントし、2 つの usbEngine インスタンスをプロモートし、最上位レベルのパーティションに変更を加えました。次は、その修正した最上位レベルのパーティションを、同じ配置配線結果のコピーを維持したままでインプリメントし直します。

### 6-1. パーティションのステートを確認し、デザインをインプリメントし直します。

- 6-1-1. [Design Runs] ビュー ([Window] → [Design Runs]) で [impl\_1] を選択します。
- 6-1-2. [Implementation Run Properties] ビューで [Partitions] タブを選択します (図 27)。
- 6-1-3. 最上位レベルのパーティションが [Implement] に、2 つの usbEngine パーティションが [Import] に設定されているのを確認します。

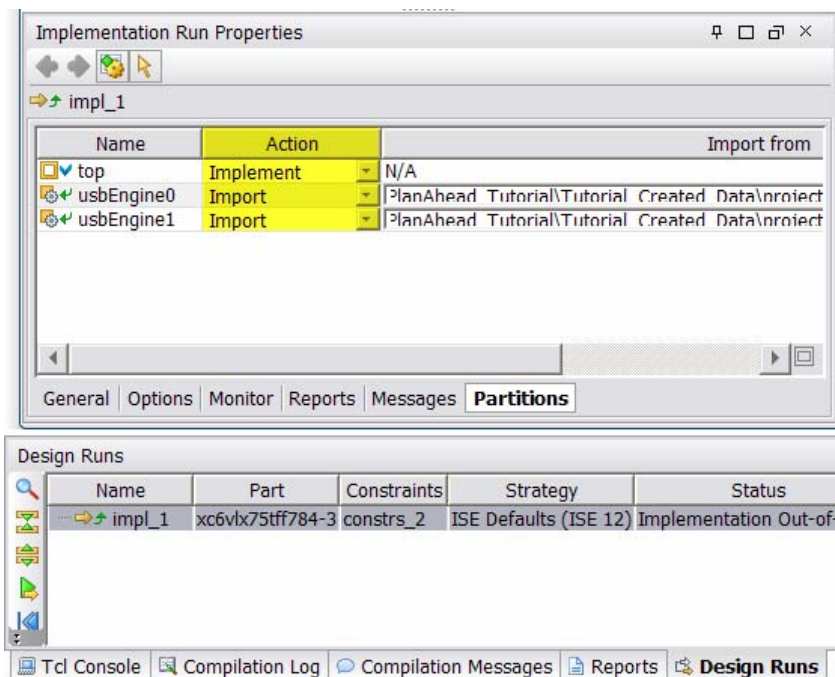


図 27 : パーティション ステートの検証

- 6-1-4. Flow Navigator で [Implement] をクリックし、インプリメンテーションを実行します。確認するメッセージが表示されたら [Yes] をクリックしてインプリメンテーション前にプロジェクトを保存します。  
2 つの大きな usbEngine コアがインポートされるので、このインプリメンテーションは前回ほど時間がかからないはずですが、それでも約 30 分かかります (ISE ツールを実行するシステムによってかかる時間は異なります)。
- 6-1-5. 2 つの usbEngine パーティションがインポートされ、すべてのタイミング制約が満たされていることを確認します。NGDBuild、MAP、PAR レポートのパーティション セクションを確認します (図 28)。



```
Partition Implementation Status
-----

Preserved Partitions:

Partition "/top/usbEngine0"

Partition "/top/usbEngine1"

Implemented Partitions:

Partition "/top":
Attribute STATE set to IMPLEMENT.

-----
```

図 28 : レポート ファイルのパーティションのインプリメンテーション ステータス

## まとめ

このチュートリアルでは、エリア グループもパーティションも設定されていないフラット デザインをインプリメントし、エラーのあったパスを解析してから、エリア グループとパーティションを 2 つの USB コアに追加してデザインをインプリメントし直しました。この段階でデザインはタイミングを満たしたので、この問題のなかったインプリメンテーション結果をプロモートして、今後繰り返しインポートできるようにしました。最上位モジュールをアップデートしたので、インプリメンテーションをやり直す必要がありますが、USB コアは変更されずにインポートされたので、同じ配置配線結果が維持されます。2 つの大きなタイミング クリティカル コアのタイミング結果は保証されているので、usbEngine インスタンスに変更を加えなければ、今後繰り返し使用することができます。