

# CPLD ライブラリ ガイド

UG606 (v12.2) 2010 年 7 月 23 日



Xilinx is disclosing this user guide, manual, release note, and/or specification (the “Documentation”) to you solely for use in the development of designs to operate with Xilinx hardware devices. You may not reproduce, distribute, republish, download, display, post, or transmit the Documentation in any form or by any means including, but not limited to, electronic, mechanical, photocopying, recording, or otherwise, without the prior written consent of Xilinx. Xilinx expressly disclaims any liability arising out of your use of the Documentation. Xilinx reserves the right, at its sole discretion, to change the Documentation without notice at any time. Xilinx assumes no obligation to correct any errors contained in the Documentation, or to advise you of any corrections or updates. Xilinx expressly disclaims any liability in connection with technical support or assistance that may be provided to you in connection with the Information.

THE DOCUMENTATION IS DISCLOSED TO YOU “AS-IS” WITH NO WARRANTY OF ANY KIND. XILINX MAKES NO OTHER WARRANTIES, WHETHER EXPRESS, IMPLIED, OR STATUTORY, REGARDING THE DOCUMENTATION, INCLUDING ANY WARRANTIES OF MERCHANTABILITY, FITNESS FOR A PARTICULAR PURPOSE, OR NONINFRINGEMENT OF THIRD-PARTY RIGHTS. IN NO EVENT WILL XILINX BE LIABLE FOR ANY CONSEQUENTIAL, INDIRECT, EXEMPLARY, SPECIAL, OR INCIDENTAL DAMAGES, INCLUDING ANY LOSS OF DATA OR LOST PROFITS, ARISING FROM YOUR USE OF THE DOCUMENTATION.

© Copyright 2002–2010 Xilinx Inc. All Rights Reserved. XILINX, the Xilinx logo, the Brand Window and other designated brands included herein are trademarks of Xilinx, Inc. All other trademarks are the property of their respective owners.

本資料は英語版 (v.12.2) を翻訳したもので、内容に相違が生じる場合には原文を優先します。  
資料によっては英語版の更新に対応していないものがあります。  
日本語版は参考用としてご使用の上、最新情報につきましては、必ず最新英語版をご参照ください。

# このマニュアルについて

---

回路図用ライブラリ ガイドは、ISE のオンライン マニュアルの 1 つです。HDL を使用して設計する場合は、HDL 用ライブラリ ガイドを参照してください。

このマニュアルには、次の内容が含まれます。

- ・ 概要
- ・ このアーキテクチャでサポートされるプリミティブとマクロのファンクション別リスト
- ・ 各プリミティブの詳細説明

## デザイン エLEMENT

このバージョンのライブラリ ガイドでは、このアーキテクチャのデザイン エLEMENTが記載されています。デザイン エLEMENTはいくつかのカテゴリに分類されています。

- ・ **プリミティブ**：ザイリンクス ライブラリで、ロジックの基本となる最も単純なデザイン エLEMENT。ザイリンクスのプリミティブの例として、BUF (バッファ)、FD (D フリップフロップ) などがあります。
- ・ **マクロ**：ザイリンクス ライブラリの基本となるデザイン エLEMENT。デザイン エLEMENTのプリミティブまたはマクロから作成することができます。たとえば、FD4CE フリップフロップ マクロは 4 つの FDCE プリミティブをまとめたものです。

ザイリンクスでは、さまざまなデバイス アーキテクチャに対応した多数のデザイン エLEMENT (マクロおよびプリミティブ) を含むソフトウェア ライブラリを提供しています。開発システム ソフトウェアのリリースごとに、新しいデザイン エLEMENTが組み込まれます。このマニュアルは、そのようなアーキテクチャ固有のライブラリの 1 つです。

# 目次

---

このマニュアルについて.....	3
デザイン エLEMENT .....	3
1: ファンクション別分類 .....	17
2: デザイン エLEMENT .....	37
ACC1 .....	38
ACC16 .....	40
ACC4 .....	42
ACC8 .....	44
ADD1 .....	46
ADD16 .....	47
ADD4 .....	49
ADD8 .....	51
ADSU1 .....	53
ADSU16 .....	55
ADSU4 .....	57
ADSU8 .....	59
AND2 .....	61
AND2B1 .....	62
AND2B2 .....	63
AND3 .....	64
AND3B1 .....	65
AND3B2 .....	66
AND3B3 .....	67
AND4 .....	68
AND4B1 .....	69
AND4B2 .....	70
AND4B3 .....	71
AND4B4 .....	72
AND5 .....	73
AND5B1 .....	74
AND5B2 .....	75
AND5B3 .....	76
AND5B4 .....	77
AND5B5 .....	78
AND6 .....	79



AND7 .....	80
AND8 .....	81
AND9 .....	82
BRLSHFT4.....	83
BRLSHFT8.....	84
BUF .....	86
BUF16.....	87
BUF4 .....	88
BUF8 .....	89
BUFE .....	90
BUFE16.....	91
BUFE4 .....	92
BUFE8 .....	93
BUFG.....	94
BUFGSR.....	96
BUFGTS.....	97
BUFT .....	98
BUFT16.....	99
BUFT4 .....	100
BUFT8 .....	102
CB16CE .....	103
CB16CLE .....	105
CB16CLED .....	107
CB16RE.....	109
CB16RLE.....	112
CB16X1.....	114
CB16X2.....	116
CB2CE .....	118
CB2CLE .....	120
CB2CLED.....	122
CB2RE .....	124
CB2RLE .....	126
CB2X1 .....	128
CB2X2 .....	130
CB4CE .....	132
CB4CLE .....	134
CB4CLED.....	136
CB4RE .....	138

CB4RLE .....	140
CB4X1 .....	142
CB4X2 .....	144
CB8CE .....	146
CB8CLE .....	148
CB8CLED .....	150
CB8RE .....	152
CB8RLE .....	154
CB8X1 .....	156
CB8X2 .....	158
CBD16CE .....	160
CBD16CLE .....	162
CBD16CLED .....	164
CBD16RE .....	166
CBD16RLE .....	168
CBD16X1 .....	170
CBD16X2 .....	172
CBD2CE .....	174
CBD2CLE .....	176
CBD2CLED .....	178
CBD2RE .....	180
CBD2RLE .....	182
CBD2X1 .....	184
CBD2X2 .....	186
CBD4CE .....	188
CBD4CLE .....	190
CBD4CLED .....	192
CBD4RE .....	194
CBD4RLE .....	196
CBD4X1 .....	198
CBD4X2 .....	200
CBD8CE .....	202
CBD8CLE .....	204
CBD8CLED .....	206
CBD8RE .....	208
CBD8RLE .....	210
CBD8X1 .....	212
CBD8X2 .....	214

CD4CE.....	216
CD4CLE.....	218
CD4RE.....	220
CD4RLE.....	222
CDD4CE.....	224
CDD4CLE.....	226
CDD4RE.....	228
CDD4RLE.....	230
CJ4CE.....	231
CJ4RE.....	232
CJ5CE.....	233
CJ5RE.....	234
CJ8CE.....	235
CJ8RE.....	236
CJD4CE.....	237
CJD4RE.....	238
CJD5CE.....	240
CJD5RE.....	241
CJD8CE.....	243
CJD8RE.....	244
CLK_DIV10.....	245
CLK_DIV10R.....	247
CLK_DIV10RSD.....	249
CLK_DIV10SD.....	251
CLK_DIV12.....	253
CLK_DIV12R.....	255
CLK_DIV12RSD.....	257
CLK_DIV12SD.....	259
CLK_DIV14.....	261
CLK_DIV14R.....	263
CLK_DIV14RSD.....	265
CLK_DIV14SD.....	267
CLK_DIV16.....	269
CLK_DIV16R.....	271
CLK_DIV16RSD.....	273
CLK_DIV16SD.....	275
CLK_DIV2.....	277
CLK_DIV2R.....	279

CLK_DIV2RSD .....	281
CLK_DIV2SD .....	283
CLK_DIV4.....	285
CLK_DIV4R.....	287
CLK_DIV4RSD .....	289
CLK_DIV4SD .....	291
CLK_DIV6.....	293
CLK_DIV6R.....	295
CLK_DIV6RSD .....	297
CLK_DIV6SD .....	299
CLK_DIV8.....	301
CLK_DIV8R.....	303
CLK_DIV8RSD .....	305
CLK_DIV8SD .....	307
COMP16.....	309
COMP2 .....	310
COMP4 .....	311
COMP8 .....	312
COMPM16.....	313
COMPM2.....	315
COMPM4.....	316
COMPM8.....	318
CR16CE .....	320
CR8CE .....	321
CRD16CE .....	322
CRD8CE.....	324
D2_4E.....	326
D3_8E.....	327
D4_16E .....	329
FD .....	330
FD16.....	331
FD16CE .....	332
FD16RE.....	333
FD4 .....	334
FD4CE .....	335
FD4RE .....	337
FD8 .....	339
FD8CE .....	340

FD8RE .....	341
FDC.....	342
FDCE.....	343
FDCP.....	345
FDCPE.....	347
FDD.....	350
FDD16 .....	351
FDD16CE .....	352
FDD16RE.....	353
FDD4 .....	354
FDD4CE.....	355
FDD4RE .....	356
FDD8 .....	357
FDD8CE.....	358
FDD8RE .....	359
FDDC .....	360
FDDCE .....	362
FDDCP.....	364
FDDCPE.....	366
FDDP.....	368
FDDPE.....	370
FDDR.....	372
FDDRE.....	374
FDDRS .....	376
FDDRSE .....	378
FDDS .....	380
FDDSE .....	382
FDDSR .....	384
FDDSRE .....	386
FDP .....	388
FDPE .....	389
FDR.....	391
FDRE .....	392
FDRS .....	394
FDRSE .....	396
FDS .....	399
FDSE .....	400
FDSR .....	402

FDSRE .....	404
FJKC.....	406
FJKCE.....	408
FJKCP .....	410
FJKCPE.....	412
FJKP .....	414
FJKPE .....	416
FJKRSE .....	418
FJKSRE .....	420
FTC .....	422
FTCE .....	424
FTCLE .....	426
FTCLEX.....	428
FTCP .....	430
FTCPE .....	432
FTCPLE .....	434
FTDCE.....	436
FTDCLE.....	438
FTDCLEX.....	440
FTDCP .....	442
FTDRSE .....	444
FTDRSLE .....	446
FTP .....	448
FTPE .....	450
FTPLE .....	452
FTRSE.....	454
FTRSLE.....	456
FTSRE.....	458
FTSRLE.....	460
GND .....	462
IBUF .....	463
IBUF16.....	465
IBUF4 .....	466
IBUF8 .....	467
INV .....	468
INV16.....	469
INV4 .....	470
INV8 .....	471

IOBUFE.....	472
KEEPER .....	474
LD .....	476
LD16.....	477
LD4 .....	478
LD8 .....	480
LDC.....	481
LDCP.....	483
LDG.....	485
LDG16 .....	487
LDG4 .....	488
LDG8 .....	490
LDP .....	491
M16_1E.....	493
M2_1 .....	495
M2_1B1.....	496
M2_1B2.....	497
M2_1E .....	498
M4_1E .....	499
M8_1E .....	500
NAND2.....	502
NAND2B1 .....	503
NAND2B2 .....	504
NAND3.....	505
NAND3B1 .....	506
NAND3B2 .....	507
NAND3B3 .....	508
NAND4.....	509
NAND4B1 .....	510
NAND4B2 .....	511
NAND4B3 .....	512
NAND4B4 .....	513
NAND5.....	514
NAND5B1 .....	515
NAND5B2 .....	516
NAND5B3 .....	517
NAND5B4 .....	518
NAND5B5 .....	519

NAND6 .....	520
NAND7 .....	521
NAND8 .....	522
NAND9 .....	523
NOR2 .....	524
NOR2B1 .....	525
NOR2B2 .....	526
NOR3 .....	527
NOR3B1 .....	528
NOR3B2 .....	529
NOR3B3 .....	530
NOR4 .....	531
NOR4B1 .....	532
NOR4B2 .....	533
NOR4B3 .....	534
NOR4B4 .....	535
NOR5 .....	536
NOR5B1 .....	537
NOR5B2 .....	538
NOR5B3 .....	539
NOR5B4 .....	540
NOR5B5 .....	541
NOR6 .....	542
NOR7 .....	543
NOR8 .....	544
NOR9 .....	545
OBUF .....	546
OBUF16 .....	548
OBUF4 .....	549
OBUF8 .....	550
OBUE .....	551
OBUE16 .....	552
OBUE4 .....	553
OBUE8 .....	554
OBUFF .....	555
OBUFF16 .....	557
OBUFF4 .....	558
OBUFF8 .....	560



OR2 .....	561
OR2B1 .....	562
OR2B2 .....	563
OR3 .....	564
OR3B1 .....	565
OR3B2 .....	566
OR3B3 .....	567
OR4 .....	568
OR4B1 .....	569
OR4B2 .....	570
OR4B3 .....	571
OR4B4 .....	572
OR5 .....	573
OR5B1 .....	574
OR5B2 .....	575
OR5B3 .....	576
OR5B4 .....	577
OR5B5 .....	578
OR6 .....	579
OR7 .....	580
OR8 .....	581
OR9 .....	582
PULLDOWN .....	583
PULLUP .....	585
SR16CE .....	587
SR16CLE .....	589
SR16CLED .....	591
SR16RE .....	593
SR16RLE .....	595
SR16RLED .....	597
SR4CE .....	599
SR4CLE .....	601
SR4CLED .....	603
SR4RE .....	605
SR4RLE .....	607
SR4RLED .....	609
SR8CE .....	611
SR8CLE .....	613

SR8CLED.....	615
SR8RE .....	617
SR8RLE .....	619
SR8RLED .....	621
SRD16CE.....	623
SRD16CLE.....	625
SRD16CLED.....	627
SRD16RE .....	629
SRD16RLE .....	631
SRD16RLED .....	633
SRD4CE .....	635
SRD4CLE.....	637
SRD4CLED .....	639
SRD4RE.....	641
SRD4RLE.....	643
SRD4RLED.....	645
SRD8CE .....	647
SRD8CLE.....	649
SRD8CLED .....	651
SRD8RE.....	653
SRD8RLE.....	655
SRD8RLED.....	657
VCC .....	659
XNOR2.....	660
XNOR3.....	661
XNOR4.....	662
XNOR5.....	663
XNOR6.....	664
XNOR7.....	665
XNOR8.....	666
XNOR9.....	667
XOR2 .....	668
XOR3 .....	669
XOR4 .....	670
XOR5 .....	671
XOR6 .....	672
XOR7 .....	673
XOR8.....	674

XOR9 .....	675
------------	-----



## ファンクション別分類

---

このセクションでは、デバイスに含まれるデザイン エLEMENTをファンクション別に分類して示します。ELEMENT (プリミティブおよびマクロのインプリメンテーション) は、各カテゴリでアルファベット順にリストしています。

演算ファンクション

バッファ

クロック分周器

コンパレータ

カウンタ

デコーダ

フリップフロップ

汎用ELEMENT

I/O

ラッチ

ロジック

マルチプレクサ

シフトレジスタ

シフタ

## 演算ファンクション

デザイン エLEMENT	説明
ACC1	マクロ：1-Bit Loadable Cascadable Accumulator with Carry-In, Carry-Out, and Synchronous Reset
ACC16	マクロ：16-Bit Loadable Cascadable Accumulator with Carry-In, Carry-Out, and Synchronous Reset
ACC4	マクロ：4-Bit Loadable Cascadable Accumulator with Carry-In, Carry-Out, and Synchronous Reset
ACC8	マクロ：8-Bit Loadable Cascadable Accumulator with Carry-In, Carry-Out, and Synchronous Reset
ADD1	マクロ：1-Bit Full Adder with Carry-In and Carry-Out
ADD16	マクロ：16-Bit Cascadable Full Adder with Carry-In, Carry-Out, and Overflow
ADD4	マクロ：4-Bit Cascadable Full Adder with Carry-In, Carry-Out, and Overflow
ADD8	マクロ：8-Bit Cascadable Full Adder with Carry-In, Carry-Out, and Overflow
ADSU1	マクロ：1-Bit Cascadable Adder/Subtractor with Carry-In, Carry-Out
ADSU16	マクロ：16-Bit Cascadable Adder/Subtractor with Carry-In, Carry-Out, and Overflow
ADSU4	マクロ：4-Bit Cascadable Adder/Subtractor with Carry-In, Carry-Out, and Overflow
ADSU8	マクロ：8-Bit Cascadable Adder/Subtractor with Carry-In, Carry-Out, and Overflow

## バッファ

デザイン エLEMENT	説明
BUF	プリミティブ : General Purpose Buffer
BUF16	マクロ : 16-Bit General Purpose Buffer
BUF4	マクロ : 4-Bit General Purpose Buffer
BUF8	マクロ : 8-Bit General Purpose Buffer
BUFE	プリミティブ : Internal 3-State Buffer with Active High Enable
BUFE16	マクロ : 16-Bit Internal 3-State Buffer with Active High Enable
BUFE4	マクロ : 4-Bit Internal 3-State Buffer with Active High Enable
BUFE8	マクロ : 8-Bit Internal 3-State Buffer with Active High Enable
BUFG	プリミティブ : Global Clock Buffer
BUFGSR	プリミティブ : Global Set/Reset Input Buffer
BUFGTS	プリミティブ : Global 3-State Input Buffer
BUFT	プリミティブ : Internal 3-State Buffer with Active Low Enable
BUFT16	マクロ : 16-Bit Internal 3-State Buffers with Active Low Enable
BUFT4	マクロ : 4-Bit Internal 3-State Buffers with Active Low Enable
BUFT8	マクロ : 8-Bit Internal 3-State Buffers with Active Low Enable

## クロック分周器

デザイン エLEMENT	説明
CLK_DIV10	プリミティブ : Simple Global Clock Divide by 10
CLK_DIV10R	プリミティブ : Global Clock Divide by 10 with Synchronous Reset
CLK_DIV10RSD	プリミティブ : Global Clock Divide by 10 with Synchronous Reset and Start Delay
CLK_DIV10SD	プリミティブ : Global Clock Divide by 10 with Start Delay
CLK_DIV12	プリミティブ : Simple Global Clock Divide by 12
CLK_DIV12R	プリミティブ : Global Clock Divide by 12 with Synchronous Reset
CLK_DIV12RSD	プリミティブ : Global Clock Divide by 12 with Synchronous Reset and Start Delay
CLK_DIV12SD	プリミティブ : Global Clock Divide by 12 with Start Delay
CLK_DIV14	プリミティブ : Simple Global Clock Divide by 14
CLK_DIV14R	プリミティブ : Global Clock Divide by 14 with Synchronous Reset
CLK_DIV14RSD	プリミティブ : Global Clock Divide by 14 with Synchronous Reset and Start Delay
CLK_DIV14SD	プリミティブ : Global Clock Divide by 14 with Start Delay
CLK_DIV16	プリミティブ : Simple Global Clock Divide by 16

デザイン エLEMENT	説明
CLK_DIV16R	プリミティブ : Global Clock Divide by 16 with Synchronous Reset
CLK_DIV16RSD	プリミティブ : Global Clock Divide by 16 with Synchronous Reset and Start Delay
CLK_DIV16SD	プリミティブ : Global Clock Divide by 16 with Start Delay
CLK_DIV2	プリミティブ : Simple Global Clock Divide by 2
CLK_DIV2R	プリミティブ : Global Clock Divide by 2 with Synchronous Reset
CLK_DIV2RSD	プリミティブ : Global Clock Divide by 2 with Synchronous Reset and Start Delay
CLK_DIV2SD	プリミティブ : Global Clock Divide by 2 with Start Delay
CLK_DIV4	プリミティブ : Simple Global Clock Divide by 4
CLK_DIV4R	プリミティブ : Global Clock Divide by 4 with Synchronous Reset
CLK_DIV4RSD	プリミティブ : Global Clock Divide by 4 with Synchronous Reset and Start Delay
CLK_DIV4SD	プリミティブ : Global Clock Divide by 4 with Start Delay
CLK_DIV6	プリミティブ : Simple Global Clock Divide by 6
CLK_DIV6R	プリミティブ : Global Clock Divide by 6 with Synchronous Reset
CLK_DIV6RSD	プリミティブ : Global Clock Divide by 6 with Synchronous Reset and Start Delay
CLK_DIV6SD	プリミティブ : Global Clock Divide by 6 with Start Delay
CLK_DIV8	プリミティブ : Simple Global Clock Divide by 8
CLK_DIV8R	プリミティブ : Global Clock Divide by 8 with Synchronous Reset
CLK_DIV8RSD	プリミティブ : Global Clock Divide by 8 with Synchronous Reset and Start Delay
CLK_DIV8SD	プリミティブ : Global Clock Divide by 8 with Start Delay

## コンパレータ

デザイン エLEMENT	説明
COMP16	マクロ : 16-Bit Identity Comparator
COMP2	マクロ : 2-Bit Identity Comparator
COMP4	マクロ : 4-Bit Identity Comparator
COMP8	マクロ : 8-Bit Identity Comparator
COMPM16	マクロ : 16-Bit Magnitude Comparator
COMPM2	マクロ : 2-Bit Magnitude Comparator
COMPM4	マクロ : 4-Bit Magnitude Comparator
COMPM8	マクロ : 8-Bit Magnitude Comparator



## カウンタ

デザイン エLEMENT	説明
CB16CE	マクロ：16-Bit Cascadable Binary Counter with Clock Enable and Asynchronous Clear
CB16CLE	マクロ：16-Bit Loadable Cascadable Binary Counters with Clock Enable and Asynchronous Clear
CB16CLED	マクロ：16-Bit Loadable Cascadable Bidirectional Binary Counters with Clock Enable and Asynchronous Clear
CB16RE	マクロ：16-Bit Cascadable Binary Counter with Clock Enable and Synchronous Reset
CB16RLE	マクロ：16-Bit Loadable Cascadable Binary Counter with Clock Enable and Synchronous Reset
CB16X1	マクロ：16-Bit Loadable Cascadable Bidirectional Binary Counter with Clock Enable and Asynchronous Clear
CB16X2	マクロ：16-Bit Loadable Cascadable Bidirectional Binary Counter with Clock Enable and Synchronous Reset
CB2CE	マクロ：2-Bit Cascadable Binary Counter with Clock Enable and Asynchronous Clear
CB2CLE	マクロ：2-Bit Loadable Cascadable Binary Counters with Clock Enable and Asynchronous Clear
CB2CLED	マクロ：2-Bit Loadable Cascadable Bidirectional Binary Counters with Clock Enable and Asynchronous Clear
CB2RE	マクロ：2-Bit Cascadable Binary Counter with Clock Enable and Synchronous Reset
CB2RLE	マクロ：2-Bit Loadable Cascadable Binary Counter with Clock Enable and Synchronous Reset
CB2X1	マクロ：2-Bit Loadable Cascadable Bidirectional Binary Counter with Clock Enable and Asynchronous Clear
CB2X2	マクロ：2-Bit Loadable Cascadable Bidirectional Binary Counter with Clock Enable and Synchronous Reset
CB4CE	マクロ：4-Bit Cascadable Binary Counter with Clock Enable and Asynchronous Clear
CB4CLE	マクロ：4-Bit Loadable Cascadable Binary Counters with Clock Enable and Asynchronous Clear
CB4CLED	マクロ：4-Bit Loadable Cascadable Bidirectional Binary Counters with Clock Enable and Asynchronous Clear
CB4RE	マクロ：4-Bit Cascadable Binary Counter with Clock Enable and Synchronous Reset
CB4RLE	マクロ：4-Bit Loadable Cascadable Binary Counter with Clock Enable and Synchronous Reset
CB4X1	マクロ：4-Bit Loadable Cascadable Bidirectional Binary Counter with Clock Enable and Asynchronous Clear
CB4X2	マクロ：4-Bit Loadable Cascadable Bidirectional Binary Counter with Clock Enable and Synchronous Reset
CB8CE	マクロ：8-Bit Cascadable Binary Counter with Clock Enable and Asynchronous Clear
CB8CLE	マクロ：8-Bit Loadable Cascadable Binary Counters with Clock Enable and Asynchronous Clear

デザイン エLEMENT	説明
CB8CLED	マクロ : 8-Bit Loadable Cascadable Bidirectional Binary Counters with Clock Enable and Asynchronous Clear
CB8RE	マクロ : 8-Bit Cascadable Binary Counter with Clock Enable and Synchronous Reset
CB8RLE	マクロ : 8-Bit Loadable Cascadable Binary Counter with Clock Enable and Synchronous Reset
CB8X1	マクロ : 8-Bit Loadable Cascadable Bidirectional Binary Counter with Clock Enable and Asynchronous Clear
CB8X2	マクロ : 8-Bit Loadable Cascadable Bidirectional Binary Counter with Clock Enable and Synchronous Reset
CBD16CE	マクロ : 16-Bit Cascadable Dual Edge Triggered Binary Counter with Clock Enable and Asynchronous Clear
CBD16CLE	マクロ : 16-Bit Loadable Cascadable Dual Edge Triggered Binary Counter with Clock Enable and Asynchronous Clear
CBD16CLED	マクロ : 16-Bit Loadable Cascadable Bidirectional Dual Edge Triggered Binary Counter with Clock Enable and Asynchronous Clear
CBD16RE	マクロ : 16-Bit Cascadable Dual Edge Triggered Binary Counter with Clock Enable and Synchronous Reset
CBD16RLE	マクロ : 16-Bit Loadable Cascadable Dual Edge Triggered Binary Counter with Clock Enable and Synchronous Reset
CBD16X1	マクロ : 16-Bit Loadable Cascadable Bidirectional Dual Edge Triggered Binary Counter with Clock Enable and Asynchronous Clear
CBD16X2	マクロ : 16-Bit Loadable Cascadable Bidirectional Dual Edge Triggered Binary Counter with Clock Enable and Synchronous Reset
CBD2CE	マクロ : 2-Bit Cascadable Dual Edge Triggered Binary Counter with Clock Enable and Asynchronous Clear
CBD2CLE	マクロ : 2-Bit Loadable Cascadable Dual Edge Triggered Binary Counter with Clock Enable and Asynchronous Clear
CBD2CLED	マクロ : 2-Bit Loadable Cascadable Bidirectional Dual Edge Triggered Binary Counter with Clock Enable and Asynchronous Clear
CBD2RE	マクロ : 2-Bit Cascadable Dual Edge Triggered Binary Counter with Clock Enable and Synchronous Reset
CBD2RLE	マクロ : 2-Bit Loadable Cascadable Dual Edge Triggered Binary Counter with Clock Enable and Synchronous Reset
CBD2X1	マクロ : 2-Bit Loadable Cascadable Bidirectional Dual Edge Triggered Binary Counter with Clock Enable and Asynchronous Clear
CBD2X2	マクロ : 2-Bit Loadable Cascadable Bidirectional Dual Edge Triggered Binary Counter with Clock Enable and Synchronous Reset
CBD4CE	マクロ : 4-Bit Cascadable Dual Edge Triggered Binary Counter with Clock Enable and Asynchronous Clear
CBD4CLE	マクロ : 4-Bit Loadable Cascadable Dual Edge Triggered Binary Counter with Clock Enable and Asynchronous Clear

デザイン エLEMENT	説明
CBD4CLED	マクロ：4-Bit Loadable Cascadable Bidirectional Dual Edge Triggered Binary Counter with Clock Enable and Asynchronous Clear
CBD4RE	マクロ：4-Bit Cascadable Dual Edge Triggered Binary Counter with Clock Enable and Synchronous Reset
CBD4RLE	マクロ：4-Bit Loadable Cascadable Dual Edge Triggered Binary Counter with Clock Enable and Synchronous Reset
CBD4X1	マクロ：4-Bit Loadable Cascadable Bidirectional Dual Edge Triggered Binary Counter with Clock Enable and Asynchronous Clear
CBD4X2	マクロ：4-Bit Loadable Cascadable Bidirectional Dual Edge Triggered Binary Counter with Clock Enable and Synchronous Reset
CBD8CE	マクロ：8-Bit Cascadable Dual Edge Triggered Binary Counter with Clock Enable and Asynchronous Clear
CBD8CLE	マクロ：8-Bit Loadable Cascadable Dual Edge Triggered Binary Counter with Clock Enable and Asynchronous Clear
CBD8CLED	マクロ：8-Bit Loadable Cascadable Bidirectional Dual Edge Triggered Binary Counter with Clock Enable and Asynchronous Clear
CBD8RE	マクロ：8-Bit Cascadable Dual Edge Triggered Binary Counter with Clock Enable and Synchronous Reset
CBD8RLE	マクロ：8-Bit Loadable Cascadable Dual Edge Triggered Binary Counter with Clock Enable and Synchronous Reset
CBD8X1	マクロ：8-Bit Loadable Cascadable Bidirectional Dual Edge Triggered Binary Counter with Clock Enable and Asynchronous Clear
CBD8X2	マクロ：8-Bit Loadable Cascadable Bidirectional Dual Edge Triggered Binary Counter with Clock Enable and Synchronous Reset
CD4CE	マクロ：4-Bit Cascadable BCD Counter with Clock Enable and Asynchronous Clear
CD4CLE	マクロ：4-Bit Loadable Cascadable BCD Counter with Clock Enable and Asynchronous Clear
CD4RE	マクロ：4-Bit Cascadable BCD Counter with Clock Enable and Synchronous Reset
CD4RLE	マクロ：4-Bit Loadable Cascadable BCD Counter with Clock Enable and Synchronous Reset
CDD4CE	マクロ：4-Bit Cascadable Dual Edge Triggered BCD Counter with Clock Enable and Asynchronous Clear
CDD4CLE	マクロ：4-Bit Loadable Cascadable Dual Edge Triggered BCD Counter with Clock Enable and Asynchronous Clear
CDD4RE	マクロ：4-Bit Cascadable Dual Edge Triggered BCD Counter with Clock Enable and Synchronous Reset
CDD4RLE	マクロ：4-Bit Loadable Cascadable Dual Edge Triggered BCD Counter with Clock Enable and Synchronous Reset
CJ4CE	4-Bit Johnson Counter with Clock Enable and Asynchronous Clear

デザイン エLEMENT	説明
CJ4RE	マクロ：4-Bit Johnson Counter with Clock Enable and Synchronous Reset
CJ5CE	マクロ：5-Bit Johnson Counter with Clock Enable and Asynchronous Clear
CJ5RE	マクロ：5-Bit Johnson Counter with Clock Enable and Synchronous Reset
CJ8CE	マクロ：8-Bit Johnson Counter with Clock Enable and Asynchronous Clear
CJ8RE	マクロ：8-Bit Johnson Counter with Clock Enable and Synchronous Reset
CJD4CE	マクロ：4-Bit Dual Edge Triggered Johnson Counter with Clock Enable and Asynchronous Clear
CJD4RE	マクロ：4-Bit Dual Edge Triggered Johnson Counter with Clock Enable and Synchronous Reset
CJD5CE	マクロ：5-Bit Dual Edge Triggered Johnson Counter with Clock Enable and Asynchronous Clear
CJD5RE	マクロ：5-Bit Dual Edge Triggered Johnson Counter with Clock Enable and Synchronous Reset
CJD8CE	マクロ：8-Bit Dual Edge Triggered Johnson Counter with Clock Enable and Asynchronous Clear
CJD8RE	マクロ：8-Bit Dual Edge Triggered Johnson Counter with Clock Enable and Synchronous Reset
CR16CE	マクロ：16-Bit Negative-Edge Binary Ripple Counter with Clock Enable and Asynchronous Clear
CR8CE	マクロ：8-Bit Negative-Edge Binary Ripple Counter with Clock Enable and Asynchronous Clear
CRD16CE	マクロ：16-Bit Dual-Edge Triggered Binary Ripple Counter with Clock Enable and Asynchronous Clear
CRD8CE	マクロ：8-Bit Dual-Edge Triggered Binary Ripple Counter with Clock Enable and Asynchronous Clear

## デコーダ

デザイン エLEMENT	説明
D2_4E	マクロ：2- to 4-Line Decoder/Demultiplexer with Enable
D3_8E	マクロ：3- to 8-Line Decoder/Demultiplexer with Enable
D4_16E	マクロ：4- to 16-Line Decoder/Demultiplexer with Enable

## フリップフロップ

デザイン エLEMENT	説明
FD	その他：D Flip-Flop
FD16	マクロ：Multiple D Flip-Flop

デザイン エLEMENT	説明
FD16CE	マクロ：16-Bit Data Register with Clock Enable and Asynchronous Clear
FD16RE	マクロ：16-Bit Data Register with Clock Enable and Synchronous Reset
FD4	マクロ：Multiple D Flip-Flop
FD4CE	マクロ：4-Bit Data Register with Clock Enable and Asynchronous Clear
FD4RE	マクロ：4-Bit Data Register with Clock Enable and Synchronous Reset
FD8	マクロ：Multiple D Flip-Flop
FD8CE	マクロ：8-Bit Data Register with Clock Enable and Asynchronous Clear
FD8RE	マクロ：8-Bit Data Register with Clock Enable and Synchronous Reset
FDC	その他：D Flip-Flop with Asynchronous Clear
FDCE	プリミティブ：D Flip-Flop with Clock Enable and Asynchronous Clear
FDCP	プリミティブ：D Flip-Flop with Asynchronous Preset and Clear
FDCPE	プリミティブ：D Flip-Flop with Clock Enable and Asynchronous Preset and Clear
FDD	マクロ：Dual Edge Triggered D Flip-Flop
FDD16	マクロ：Multiple Dual Edge Triggered D Flip-Flops
FDD16CE	マクロ：16-Bit Dual Edge Triggered Data Register with Clock Enable and Asynchronous Clear
FDD16RE	マクロ：16-Bit Dual Edge Triggered Data Register with Clock Enable and Synchronous Reset
FDD4	Multiple Dual Edge Triggered D Flip-Flop
FDD4CE	マクロ：4-Bit Dual Edge Triggered Data Register with Clock Enable and Asynchronous Clear
FDD4RE	マクロ：4-Bit Dual Edge Triggered Data Register with Clock Enable and Synchronous Reset
FDD8	マクロ：Multiple Dual Edge Triggered D Flip-Flops
FDD8CE	マクロ：8-Bit Dual Edge Triggered Data Register with Clock Enable and Asynchronous Clear
FDD8RE	マクロ：8-Bit Dual Edge Triggered Data Register with Clock Enable and Synchronous Reset
FDDC	マクロ：D Dual Edge Triggered Flip-Flop with Asynchronous Clear
FDDCE	プリミティブ：Dual Edge Triggered D Flip-Flop with Clock Enable and Asynchronous Clear
FDDCP	プリミティブ：Dual Edge Triggered D Flip-Flop Asynchronous Preset and Clear
FDDCPE	マクロ：Dual Edge Triggered D Flip-Flop with Clock Enable and Asynchronous Preset and Clear

デザイン エレメント	説明
FDDP	マクロ : Dual Edge Triggered D Flip-Flop with Asynchronous Preset
FDDPE	プリミティブ : Dual Edge Triggered D Flip-Flop with Clock Enable and Asynchronous Preset
FDDR	マクロ : Dual Edge Triggered D Flip-Flop with Synchronous Reset
FDDRE	マクロ : Dual Edge Triggered D Flip-Flop with Clock Enable and Synchronous Reset
FDDRS	マクロ : Dual Edge Triggered D Flip-Flop with Synchronous Reset and Set
FDDRSE	マクロ : Dual Edge Triggered D Flip-Flop with Synchronous Reset and Set and Clock Enable
FDDS	マクロ : Dual Edge Triggered D Flip-Flop with Synchronous Set
FDDSE	マクロ : D Flip-Flop with Clock Enable and Synchronous Set
FDDSR	マクロ : Dual Edge Triggered D Flip-Flop with Synchronous Set and Reset
FDDSRE	マクロ : Dual Edge Triggered D Flip-Flop with Synchronous Set and Reset and Clock Enable
FDP	その他 : D Flip-Flop with Asynchronous Preset
FDPE	プリミティブ : D Flip-Flop with Clock Enable and Asynchronous Preset
FDR	その他 : D Flip-Flop with Synchronous Reset
FDRE	その他 : D Flip-Flop with Clock Enable and Synchronous Reset
FDRS	その他 : マクロ : D Flip-Flop with Synchronous Reset and Set
FDRSE	その他 : D Flip-Flop with Synchronous Reset and Set and Clock Enable
FDS	その他 : D Flip-Flop with Synchronous Set
FDSE	その他 : D Flip-Flop with Clock Enable and Synchronous Set
FDSR	D Flip-Flop with Synchronous Set and Reset
FDSRE	マクロ : D Flip-Flop with Synchronous Set and Reset and Clock Enable
FJKC	マクロ : J-K Flip-Flop with Asynchronous Clear
FJKCE	マクロ : J-K Flip-Flop with Clock Enable and Asynchronous Clear
FJKCP	マクロ : J-K Flip-Flop with Asynchronous Clear and Preset
FJKCPE	マクロ : J-K Flip-Flop with Asynchronous Clear and Preset and Clock Enable
FJKP	マクロ : J-K Flip-Flop with Asynchronous Preset
FJKPE	マクロ : J-K Flip-Flop with Clock Enable and Asynchronous Preset
FJKRSE	マクロ : J-K Flip-Flop with Clock Enable and Synchronous Reset and Set
FJKSRE	マクロ : J-K Flip-Flop with Clock Enable and Synchronous Set and Reset

デザイン エLEMENT	説明
FTC	マクロ : Toggle Flip-Flop with Asynchronous Clear
FTCE	マクロ : Toggle Flip-Flop with Clock Enable and Asynchronous Clear
FTCLE	マクロ : Toggle/Loadable Flip-Flop with Clock Enable and Asynchronous Clear
FTCLEX	マクロ : Toggle/Loadable Flip-Flop with Clock Enable and Asynchronous Clear
FTCP	プリミティブ : Toggle Flip-Flop with Asynchronous Clear and Preset
FTCPE	マクロ : Toggle Flip-Flop with Clock Enable and Asynchronous Clear and Preset
FTCPLE	マクロ : Loadable Toggle Flip-Flop with Clock Enable and Asynchronous Clear and Preset
FTDCE	マクロ : Dual-Edge Triggered Toggle Flip-Flop with Clock Enable and Asynchronous Clear
FTDCLE	マクロ : Dual Edge Triggered D Flip-Flop with Clock Enable and Asynchronous Clear
FTDCLEX	マクロ : Dual Edge Triggered D Flip-Flop with Clock Enable and Asynchronous Clear
FTDCP	プリミティブ : Dual-Edge Triggered Toggle Flip-Flop with Asynchronous Clear and Preset
FTDRSE	マクロ : Dual-Edge Triggered Toggle Flip-Flop with Synchronous Reset, Set, and Clock Enable
FTDRSLE	マクロ : Dual-Edge Triggered Toggle Flip-Flop with Clock Enable and Synchronous Reset and Set
FTP	マクロ : Toggle Flip-Flop with Asynchronous Preset
FTPE	マクロ : Toggle Flip-Flop with Clock Enable and Asynchronous Preset
FTPLE	マクロ : Toggle/Loadable Flip-Flop with Clock Enable and Asynchronous Preset
FTRSE	マクロ : Toggle Flip-Flop with Clock Enable and Synchronous Reset and Set
FTRSLE	マクロ : Toggle/Loadable Flip-Flop with Clock Enable and Synchronous Reset and Set
FTSRE	マクロ : Toggle Flip-Flop with Clock Enable and Synchronous Set and Reset
FTSRLE	マクロ : Toggle/Loadable Flip-Flop with Clock Enable and Synchronous Set and Reset

## 汎用エレメント

デザイン エレメント	説明
GND	プリミティブ : Ground-Connection Signal Tag
KEEPER	プリミティブ : KEEPER Symbol
PULLDOWN	プリミティブ : Resistor to GND for Input Pads, Open-Drain, and 3-State Outputs
PULLUP	プリミティブ : Resistor to VCC for Input PADS, Open-Drain, and 3-State Outputs
VCC	プリミティブ : VCC-Connection Signal Tag

## I/O

デザイン エレメント	説明
IBUF	プリミティブ : Input Buffer
IBUF16	マクロ : 16-Bit Input Buffer
IBUF4	マクロ : 4-Bit Input Buffer
IBUF8	マクロ : 8-Bit Input Buffer
IOBUFE	プリミティブ : Bi-Directional Buffer
OBUF	プリミティブ : Output Buffer
OBUF16	マクロ : 16-Bit Output Buffer
OBUF4	マクロ : 4-Bit Output Buffer
OBUF8	マクロ : 8-Bit Output Buffer
OBUEFE	マクロ : 3-State Output Buffer with Active-High Output Enable
OBUEFE16	マクロ : 16-Bit 3-State Output Buffer with Active-High Output Enable
OBUEFE4	マクロ : 4-Bit 3-State Output Buffer with Active-High Output Enable
OBUEFE8	マクロ : 8-Bit 3-State Output Buffer with Active-High Output Enable
OBUFT	プリミティブ : 3-State Output Buffer with Active Low Output Enable
OBUFT16	マクロ : 16-Bit 3-State Output Buffer with Active Low Output Enable
OBUFT4	マクロ : 4-Bit 3-State Output Buffers with Active-Low Output Enable
OBUFT8	マクロ : 8-Bit 3-State Output Buffers with Active-Low Output Enable



## ラッチ

デザイン エLEMENT	説明
LD	プリミティブ：Transparent Data Latch
LD16	マクロ：Multiple Transparent Data Latch
LD4	マクロ：Multiple Transparent Data Latch
LD8	マクロ：Multiple Transparent Data Latch
LDC	プリミティブ：マクロ：Transparent Data Latch with Asynchronous Clear
LDCP	プリミティブ：Transparent Data Latch with Asynchronous Clear and Preset
LDG	プリミティブ：Transparent Datagate Latch
LDG16	マクロ：16-bit Transparent Datagate Latch
LDG4	マクロ：4-Bit Transparent Datagate Latch
LDG8	マクロ：8-Bit Transparent Datagate Latch
LDP	プリミティブ：マクロ：Transparent Data Latch with Asynchronous Preset

## ロジック

デザイン エLEMENT	説明
AND2	プリミティブ：2-Input AND Gate with Non-Inverted Inputs
AND2B1	プリミティブ：2-Input AND Gate with 1 Inverted and 1 Non-Inverted Inputs
AND2B2	プリミティブ：2-Input AND Gate with Inverted Inputs
AND3	プリミティブ：3-Input AND Gate with Non-Inverted Inputs
AND3B1	プリミティブ：3-Input AND Gate with 1 Inverted and 2 Non-Inverted Inputs
AND3B2	プリミティブ：3-Input AND Gate with 2 Inverted and 1 Non-Inverted Inputs
AND3B3	プリミティブ：3-Input AND Gate with Inverted Inputs
AND4	プリミティブ：4-Input AND Gate with Non-Inverted Inputs
AND4B1	プリミティブ：4-Input AND Gate with 1 Inverted and 3 Non-Inverted Inputs
AND4B2	プリミティブ：4-Input AND Gate with 2 Inverted and 2 Non-Inverted Inputs
AND4B3	プリミティブ：4-Input AND Gate with 3 Inverted and 1 Non-Inverted Inputs
AND4B4	プリミティブ：4-Input AND Gate with Inverted Inputs
AND5	プリミティブ：5-Input AND Gate with Non-Inverted Inputs
AND5B1	プリミティブ：5-Input AND Gate with 1 Inverted and 4 Non-Inverted Inputs

デザイン エLEMENT	説明
AND5B2	プリミティブ : 5-Input AND Gate with 2 Inverted and 3 Non-Inverted Inputs
AND5B3	プリミティブ : 5-Input AND Gate with 3 Inverted and 2 Non-Inverted Inputs
AND5B4	プリミティブ : 5-Input AND Gate with 4 Inverted and 1 Non-Inverted Inputs
AND5B5	プリミティブ : 5-Input AND Gate with Inverted Inputs
AND6	マクロ : 6- Input AND Gate with Non-Inverted Inputs
AND7	マクロ : 7- Input AND Gate with Non-Inverted Inputs
AND8	マクロ : 8- Input AND Gate with Non-Inverted Inputs
AND9	マクロ : 9- Input AND Gate with Non-Inverted Inputs
INV	プリミティブ : Inverter
INV16	マクロ : 16 Inverters
INV4	マクロ : Four Inverters
INV8	マクロ : Eight Inverters
NAND2	プリミティブ : 2- Input NAND Gate with Non-Inverted Inputs
NAND2B1	プリミティブ : 2-Input NAND Gate with 1 Inverted and 1 Non-Inverted Inputs
NAND2B2	プリミティブ : 2-Input NAND Gate with Inverted Inputs
NAND3	プリミティブ : 3- Input NAND Gate with Non-Inverted Inputs
NAND3B1	プリミティブ : 3-Input NAND Gate with 1 Inverted and 2 Non-Inverted Inputs
NAND3B2	プリミティブ : 3-Input NAND Gate with 2 Inverted and 1 Non-Inverted Inputs
NAND3B3	プリミティブ : 3-Input NAND Gate with Inverted Inputs
NAND4	プリミティブ : 4- Input NAND Gate with Non-Inverted Inputs
NAND4B1	プリミティブ : 4-Input NAND Gate with 1 Inverted and 3 Non-Inverted Inputs
NAND4B2	プリミティブ : 4-Input NAND Gate with 2 Inverted and 2 Non-Inverted Inputs
NAND4B3	プリミティブ : 4-Input NAND Gate with 3 Inverted and 1 Non-Inverted Inputs
NAND4B4	プリミティブ : 4-Input NAND Gate with Inverted Inputs
NAND5	プリミティブ : 5- Input NAND Gate with Non-Inverted Inputs
NAND5B1	プリミティブ : 5-Input NAND Gate with 1 Inverted and 4 Non-Inverted Inputs
NAND5B2	プリミティブ : 5-Input NAND Gate with 2 Inverted and 3 Non-Inverted Inputs
NAND5B3	プリミティブ : 5-Input NAND Gate with 3 Inverted and 2 Non-Inverted Inputs
NAND5B4	プリミティブ : 5-Input NAND Gate with 4 Inverted and 1 Non-Inverted Inputs

デザイン エLEMENT	説明
NAND5B5	プリミティブ : 5-Input NAND Gate with Inverted Inputs
NAND6	マクロ : 6- Input NAND Gate with Non-Inverted Inputs
NAND7	マクロ : 7- Input NAND Gate with Non-Inverted Inputs
NAND8	マクロ : 8- Input NAND Gate with Non-Inverted Inputs
NAND9	マクロ : 9- Input NAND Gate with Non-Inverted Inputs
NOR2	プリミティブ : 2-Input NOR Gate with Non-Inverted Inputs
NOR2B1	プリミティブ : 2-Input NOR Gate with 1 Inverted and 1 Non-Inverted Inputs
NOR2B2	プリミティブ : 2-Input NOR Gate with Inverted Inputs
NOR3	プリミティブ : 3-Input NOR Gate with Non-Inverted Inputs
NOR3B1	プリミティブ : 3-Input NOR Gate with 1 Inverted and 2 Non-Inverted Inputs
NOR3B2	プリミティブ : 3-Input NOR Gate with 2 Inverted and 1 Non-Inverted Inputs
NOR3B3	プリミティブ : 3-Input NOR Gate with Inverted Inputs
NOR4	プリミティブ : 4-Input NOR Gate with Non-Inverted Inputs
NOR4B1	プリミティブ : 4-Input NOR Gate with 1 Inverted and 3 Non-Inverted Inputs
NOR4B2	プリミティブ : 4-Input NOR Gate with 2 Inverted and 2 Non-Inverted Inputs
NOR4B3	プリミティブ : 4-Input NOR Gate with 3 Inverted and 1 Non-Inverted Inputs
NOR4B4	プリミティブ : 4-Input NOR Gate with Inverted Inputs
NOR5	プリミティブ : 5-Input NOR Gate with Non-Inverted Inputs
NOR5B1	プリミティブ : 5-Input NOR Gate with 1 Inverted and 4 Non-Inverted Inputs
NOR5B2	プリミティブ : 5-Input NOR Gate with 2 Inverted and 3 Non-Inverted Inputs
NOR5B3	プリミティブ : 5-Input NOR Gate with 3 Inverted and 2 Non-Inverted Inputs
NOR5B4	プリミティブ : 5-Input NOR Gate with 4 Inverted and 1 Non-Inverted Inputs
NOR5B5	プリミティブ : 5-Input NOR Gate with Inverted Inputs
NOR6	マクロ : 6-Input NOR Gate with Non-Inverted Inputs
NOR7	マクロ : 7-Input NOR Gate with Non-Inverted Inputs
NOR8	マクロ : 8-Input NOR Gate with Non-Inverted Inputs
NOR9	マクロ : 9-Input NOR Gate with Non-Inverted Inputs
OR2	プリミティブ : 2-Input OR Gate with Non-Inverted Inputs
OR2B1	プリミティブ : 2-Input OR Gate with 1 Inverted and 1 Non-Inverted Inputs
OR2B2	プリミティブ : 2-Input OR Gate with Inverted Inputs

デザイン エLEMENT	説明
OR3	プリミティブ : 3-Input OR Gate with Non-Inverted Inputs
OR3B1	プリミティブ : 3-Input OR Gate with 1 Inverted and 2 Non-Inverted Inputs
OR3B2	プリミティブ : 3-Input OR Gate with 2 Inverted and 1 Non-Inverted Inputs
OR3B3	プリミティブ : 3-Input OR Gate with Inverted Inputs
OR4	プリミティブ : 4-Input OR Gate with Non-Inverted Inputs
OR4B1	プリミティブ : 4-Input OR Gate with 1 Inverted and 3 Non-Inverted Inputs
OR4B2	プリミティブ : 4-Input OR Gate with 2 Inverted and 2 Non-Inverted Inputs
OR4B3	プリミティブ : 4-Input OR Gate with 3 Inverted and 1 Non-Inverted Inputs
OR4B4	プリミティブ : 4-Input OR Gate with Inverted Inputs
OR5	プリミティブ : 5-Input OR Gate with Non-Inverted Inputs
OR5B1	プリミティブ : 5-Input OR Gate with 1 Inverted and 4 Non-Inverted Inputs
OR5B2	プリミティブ : 5-Input OR Gate with 2 Inverted and 3 Non-Inverted Inputs
OR5B3	プリミティブ : 5-Input OR Gate with 3 Inverted and 2 Non-Inverted Inputs
OR5B4	プリミティブ : 5-Input OR Gate with 4 Inverted and 1 Non-Inverted Inputs
OR5B5	プリミティブ : 5-Input OR Gate with Inverted Inputs
OR6	マクロ : 6-Input OR Gate with Non-Inverted Inputs
OR7	マクロ : 7-Input OR Gate with Non-Inverted Inputs
OR8	マクロ : 8-Input OR Gate with Non-Inverted Inputs
OR9	マクロ : 9-Input OR Gate with Non-Inverted Inputs
XNOR2	プリミティブ : 2-Input XNOR Gate with Non-Inverted Inputs
XNOR3	プリミティブ : 3-Input XNOR Gate with Non-Inverted Inputs
XNOR4	プリミティブ : 4-Input XNOR Gate with Non-Inverted Inputs
XNOR5	プリミティブ : 5-Input XNOR Gate with Non-Inverted Inputs
XNOR6	マクロ : 6-Input XNOR Gate with Non-Inverted Inputs
XNOR7	マクロ : 7-Input XNOR Gate with Non-Inverted Inputs
XNOR8	マクロ : 8-Input XNOR Gate with Non-Inverted Inputs
XNOR9	マクロ : 9-Input XNOR Gate with Non-Inverted Inputs
XOR2	プリミティブ : 2-Input XOR Gate with Non-Inverted Inputs
XOR3	プリミティブ : 3-Input XOR Gate with Non-Inverted Inputs
XOR4	プリミティブ : 4-Input XOR Gate with Non-Inverted Inputs
XOR5	プリミティブ : 5-Input XOR Gate with Non-Inverted Inputs

デザイン エLEMENT	説明
XOR6	マクロ：6-Input XOR Gate with Non-Inverted Inputs
XOR7	マクロ：7-Input XOR Gate with Non-Inverted Inputs
XOR8	マクロ：8-Input XOR Gate with Non-Inverted Inputs
XOR9	マクロ：9-Input XOR Gate with Non-Inverted Inputs

### マルチプレクサ

デザイン エLEMENT	説明
M16_1E	マクロ：16-to-1 Multiplexer with Enable
M2_1	マクロ：2-to-1 Multiplexer
M2_1B1	マクロ：2-to-1 Multiplexer with D0 Inverted
M2_1B2	マクロ：2-to-1 Multiplexer with D0 and D1 Inverted
M2_1E	マクロ：2-to-1 Multiplexer with Enable
M4_1E	マクロ：4-to-1 Multiplexer with Enable
M8_1E	マクロ：8-to-1 Multiplexer with Enable

### シフト レジスタ

デザイン エLEMENT	説明
SR16CE	マクロ：16-Bit Serial-In Parallel-Out Shift Register with Clock Enable and Asynchronous Clear
SR16CLE	マクロ：16-Bit Loadable Serial/Parallel-In Parallel-Out Shift Register with Clock Enable and Asynchronous Clear
SR16CLED	マクロ：16-Bit Shift Register with Clock Enable and Asynchronous Clear
SR16RE	マクロ：16-Bit Serial-In Parallel-Out Shift Register with Clock Enable and Synchronous Reset
SR16RLE	マクロ：16-Bit Loadable Serial/Parallel-In Parallel-Out Shift Register with Clock Enable and Synchronous Reset
SR16RLED	マクロ：16-Bit Shift Register with Clock Enable and Synchronous Reset
SR4CE	マクロ：4-Bit Serial-In Parallel-Out Shift Register with Clock Enable and Asynchronous Clear
SR4CLE	マクロ：4-Bit Loadable Serial/Parallel-In Parallel-Out Shift Register with Clock Enable and Asynchronous Clear
SR4CLED	マクロ：4-Bit Shift Register with Clock Enable and Asynchronous Clear
SR4RE	マクロ：4-Bit Serial-In Parallel-Out Shift Register with Clock Enable and Synchronous Reset
SR4RLE	マクロ：4-Bit Loadable Serial/Parallel-In Parallel-Out Shift Register with Clock Enable and Synchronous Reset
SR4RLED	マクロ：4-Bit Shift Register with Clock Enable and Synchronous Reset

デザイン エLEMENT	説明
SR8CE	マクロ : 8-Bit Serial-In Parallel-Out Shift Register with Clock Enable and Asynchronous Clear
SR8CLE	マクロ : 8-Bit Loadable Serial/Parallel-In Parallel-Out Shift Register with Clock Enable and Asynchronous Clear
SR8CLED	マクロ : 8-Bit Shift Register with Clock Enable and Asynchronous Clear
SR8RE	マクロ : 8-Bit Serial-In Parallel-Out Shift Register with Clock Enable and Synchronous Reset
SR8RLE	マクロ : 8-Bit Loadable Serial/Parallel-In Parallel-Out Shift Register with Clock Enable and Synchronous Reset
SR8RLED	マクロ : 8-Bit Shift Register with Clock Enable and Synchronous Reset
SRD16CE	マクロ : 16-Bit Serial-In Parallel-Out Dual Edge Triggered Shift Register with Clock Enable and Asynchronous Clear
SRD16CLE	マクロ : 16-Bit Loadable Serial/Parallel-In Parallel-Out Dual Edge Triggered Shift Register with Clock Enable and Asynchronous Clear
SRD16CLED	マクロ : 16-Bit Dual Edge Triggered Shift Register with Clock Enable and Asynchronous Clear
SRD16RE	マクロ : 16-Bit Serial-In Parallel-Out Dual Edge Triggered Shift Register with Clock Enable and Synchronous Reset
SRD16RLE	マクロ : 16-Bit Loadable Serial/Parallel-In Parallel-Out Dual Edge Triggered Shift Register with Clock Enable and Synchronous Reset
SRD16RLED	マクロ : 16-Bit Dual Edge Triggered Shift Register with Clock Enable and Synchronous Reset
SRD4CE	マクロ : 4-Bit Serial-In Parallel-Out Dual Edge Triggered Shift Register with Clock Enable and Asynchronous Clear
SRD4CLE	マクロ : 4-Bit Loadable Serial/Parallel-In Parallel-Out Dual Edge Triggered Shift Register with Clock Enable and Asynchronous Clear
SRD4CLED	マクロ : 4-Bit Dual Edge Triggered Shift Register with Clock Enable and Asynchronous Clear
SRD4RE	マクロ : 4-Bit Serial-In Parallel-Out Dual Edge Triggered Shift Register with Clock Enable and Synchronous Reset
SRD4RLE	マクロ : 4-Bit Loadable Serial/Parallel-In Parallel-Out Dual Edge Triggered Shift Register with Clock Enable and Synchronous Reset
SRD4RLED	マクロ : 4-Bit Dual Edge Triggered Shift Register with Clock Enable and Synchronous Reset
SRD8CE	マクロ : 8-Bit Serial-In Parallel-Out Dual Edge Triggered Shift Register with Clock Enable and Asynchronous Clear
SRD8CLE	マクロ : 8-Bit Loadable Serial/Parallel-In Parallel-Out Dual Edge Triggered Shift Register with Clock Enable and Asynchronous Clear
SRD8CLED	マクロ : 8-Bit Dual Edge Triggered Shift Register with Clock Enable and Asynchronous Clear

デザイン エLEMENT	説明
<a href="#">SRD8RE</a>	マクロ：8-Bit Serial-In Parallel-Out Dual Edge Triggered Shift Register with Clock Enable and Synchronous Reset
<a href="#">SRD8RLE</a>	マクロ：8-Bit Loadable Serial/Parallel-In Parallel-Out Dual Edge Triggered Shift Register with Clock Enable and Synchronous Reset
<a href="#">SRD8RLED</a>	マクロ：8-Bit Dual Edge Triggered Shift Register with Clock Enable and Synchronous Reset

## シフタ

デザイン エLEMENT	説明
<a href="#">BRLSHFT4</a>	マクロ：4-Bit Barrel Shifter
<a href="#">BRLSHFT8</a>	マクロ：8-Bit Barrel Shifter





## デザイン エLEMENT

---

このセクションでは、このアーキテクチャで利用できるデザイン エLEMENTについて説明します。デザイン エLEMENTは、アルファベット順に並べられています。

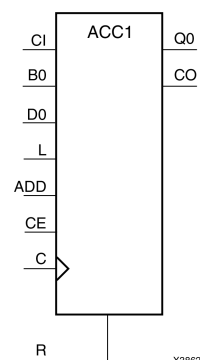
各ライブラリ エLEMENTについて、次の情報を示します。

- ・ 名称
- ・ 説明
- ・ 回路図シンボル (該当するELEMENTでのみ)
- ・ 論理表 (該当するELEMENTでのみ)
- ・ ポートの説明 (該当するELEMENTでのみ)
- ・ デザインの入力方法
- ・ 使用可能な属性 (該当するELEMENTでのみ)
- ・ その他のリソース

VHDL および Verilog のインスタンス化コードの例は、ISE ソフトウェア ([Edit] → [Language Templates]) またはこのアーキテクチャの HDL 用のライブラリ ガイドから入手できます。

## ACC1

**マクロ：1-Bit Loadable Cascadable Accumulator with Carry-In, Carry-Out, and Synchronous Reset**



## サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

## 概要

このELEMENTは、1 ビット データレジスタの値に対して 1 ビットの符号なしバイナリワードを加算または減算して、結果をレジスタに保存します。レジスタには、1 ビットワードでロードできます。同期リセット (R) は、ほかのすべての入力よりも優先され、R が High になると、クロック (C) が Low から High に切り替わる時に出力が 0 になります。クロック イネーブル (CE) が Low の場合は、C の遷移は無視されます。

### ロード

ロード入力 (L) が High になると、CE が無視され、クロック (C) が Low から High に切り替わる時に入力 D0 の値が 1 ビットレジスタにロードされます。

### 加算

制御入力の ADD と CE が共に High になると、アキュムレータは 1 ビットワード (B0) とキャリーイン (CI) を 1 ビットレジスタに加算します。結果はレジスタに保存され、クロックが Low から High に切り替わる時に Q0 に出力されます。キャリー出力 (CO) は、Q0 の値と同時にレジスタに出力されません。CO には、入力 B0 とレジスタの値の加算値が常に出力されます。このため、各アキュムレータの CO を次の段の CI に接続して、ACC1 をカスケード接続できます。加算モードでは、CO はキャリーアウトとして機能し、CO と CI はアクティブ High になります。

### 減算

ADD が Low に、CE が High になると、1 ビットワード B0 と CI がレジスタの値から減算されます。結果はレジスタに保存され、クロックが Low から High に切り替わる時に Q0 に出力されます。キャリー出力 (CO) は、Q0 の値と同時にレジスタに出力されません。CO には、入力 B0 とレジスタの値の加算値が常に出力されます。このため、各アキュムレータの CO を次の段の CI に接続して、ACC1 をカスケード接続できます。減算モードでは、CO はボローとして機能し、CO と CI はアクティブ Low になります。

電力を供給すると、このデザイン エLEMENTは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

## デザインの入力方法

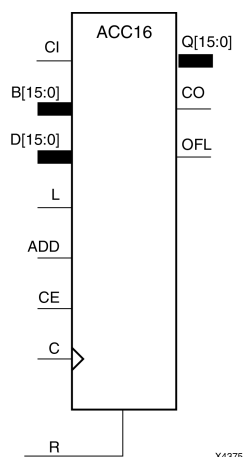
このエレメントは、回路図でのみ使用できます。

## 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

## ACC16

**マクロ：16-Bit Loadable Cascadable Accumulator with Carry-In, Carry-Out, and Synchronous Reset**



## サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

## 概要

このデザイン エLEMENTは、16 ビット データレジスタの値に対して 16 ビットの符号なし 2 進数または 2 の補数ワードを加算または減算して、その結果をレジスタに保存します。レジスタには、16 ビット ワードでロードできます。

ロード入力 (L) が High になると、CE が無視され、クロック (C) が Low から High に切り替わるときに D 入力の値がレジスタにロードされます。ACC16 では、入力 D15 ~ D0 の値が 16 ビット レジスタにロードされます。

このデザイン エLEMENTは、16 ビットの符号なし 2 進数または 16 ビットの 2 の補数を処理します。符号なし 2 進数が入力されると、符号なし 2 進数が出力されます。2 の補数が入力されると、2 の補数が出力されます。この 2 つの唯一の機能的な違いは、オーバーフローの認識方法にあり、オーバーフローの発生を認識するのに符号なし 2 進数ではキャリー出力 (CO) が使用され、2 の補数では OFL が使用されます。

- ・ 符号なし 2 進演算の場合、0 ~ 15 までの数を表現できます。加算モードでは、加算結果が加減算器の範囲を超えると CO がアクティブ (High) になります。減算モードでは、減算器の範囲を超えると CO がアクティブ Low のボロアウトで、Low になります。CO は、データ出力と同時にレジスタに出力されません。CO には、入力 B15 ~ B0 入力の値の加算値が常に出力されます。このため、各 ACC16 の CO を次の段の CI に接続してカスケード接続できます。符号なし 2 進数のオーバーフローは、常にアクティブ High で、ADD と CO を次のようにゲート接続すると発生させることができます。

符号なしオーバーフロー = CO XOR ADD

符号なし 2 進演算では、OFL は無視されます。

- ・ 2 の補数演算の場合、-8 ~ +7 までの数を表現できます。加算または減算の結果がこの範囲を超えると、OFL 出力が High になります。オーバーフロー (OFL) は、データ出力と同時にレジスタに出力されません。OFL には、B 入力 (B15 ~ B0) とレジスタの値の合計が常に出力されます。このため、各 ACC4 の OFL を次の段の CI に接続してカスケード接続できます。

2 の補数演算では、CO は無視されます。

同期リセット (R) は、ほかのすべての入力よりも優先され、R が High になると、クロック (C) が Low から High に切り替わるときに出力が 0 になります。クロック イネーブル (CE) が Low の場合は、C の遷移は無視されます。

電力を供給すると、このデザイン エLEMENT は非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

## 論理表

入力						出力
R	L	CE	ADD	D	C	Q
1	X	X	X	X	↑	0
0	1	X	X	Dn	↑	Dn
0	0	1	1	X	↑	$Q0 + Bn + CI$
0	0	1	0	X	↑	$Q0 - Bn - CI$
0	0	0	X	X	↑	変化なし
Q0 : Q の以前の値 Bn : データ入力 B の値 CI : 入力 CI の値						

## デザインの入力方法

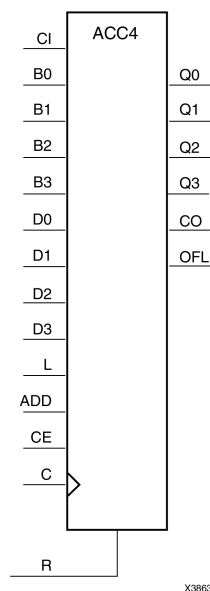
このELEMENTは、回路図でのみ使用できます。

## 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

## ACC4

**マクロ：4-Bit Loadable Cascadable Accumulator with Carry-In, Carry-Out, and Synchronous Reset**



## サポートされているアーキテクチャ

このデザイン エレメントは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

## 概要

このデザイン エレメントは、4 ビット データレジスタの値に対して 4 ビットの符号なし 2 進数または 2 の補数ワードを加算または減算して、その結果をレジスタに保存します。レジスタには、4 ビットワードでロードできます。

ロード入力 (L) が High になると、CE が無視され、クロック (C) が Low から High に切り替わる時に D 入力の値がレジスタにロードされます。ACC4 では、入力 D3 ~ D0 の値が 4 ビットレジスタにロードされます。

このデザイン エレメントは、4 ビットの符号なし 2 進数または 4 ビットの 2 の補数を処理します。符号なし 2 進数が入力されると、符号なし 2 進数が出力されます。2 の補数が入力されると、2 の補数が出力されます。この 2 つの唯一の機能的な違いは、オーバーフローの認識方法にあり、オーバーフローの発生を認識するのに符号なし 2 進数ではキャリー出力 (CO) が使用され、2 の補数では OFL が使用されます。

- ・ 符号なし 2 進演算の場合、0 ~ 15 までの数を表現できます。加算モードでは、加算結果が加減算器の範囲を超えると CO がアクティブ (High) になります。減算モードでは、減算器の範囲を超えると CO がアクティブ Low のボローアウトで、Low になります。CO は、データ出力と同時にレジスタに出力されません。CO には、入力 B3 ~ B0 入力の値の加算値が常に出力されます。このため、各 ACC4 の CO を次の段の CI に接続してカスケード接続できます。符号なし 2 進数のオーバーフローは、常にアクティブ High で、ADD と CO を次のようにゲート接続すると発生させることができます。

符号なしオーバーフロー = CO XOR ADD

符号なし 2 進演算では、OFL は無視されます。

- 2 の補数演算の場合、-8 ～ +7 までの数を表現できます。加算または減算の結果がこの範囲を超えると、OFL 出力が High になります。オーバーフロー (OFL) は、データ出力と同時にレジスタに出力されません。OFL には、B 入力 (B3 ～ B0) とレジスタの値の合計が常に出力されます。このため、各 ACC4 の OFL を次の段の CI に接続してカスケード接続できます。

2 の補数演算では、CO は無視されます。

同期リセット (R) は、ほかのすべての入力よりも優先され、R が High になると、クロック (C) が Low から High に切り替わるときに出力が 0 になります。クロック イネーブル (CE) が Low の場合は、C の遷移は無視されます。

電力を供給すると、このデザイン エLEMENT は非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

## 論理表

入力						出力
R	L	CE	ADD	D	C	Q
1	X	X	X	X	↑	0
0	1	X	X	Dn	↑	Dn
0	0	1	1	X	↑	$Q0 + Bn + CI$
0	0	1	0	X	↑	$Q0 - Bn - CI$
0	0	0	X	X	↑	変化なし
Q0 : Q の以前の値 Bn : データ入力 B の値 CI : 入力 CI の値						

## デザインの入力方法

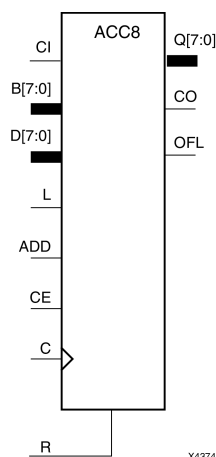
このELEMENTは、回路図でのみ使用できます。

## 詳細情報

- 該当 CPLD のユーザー ガイド
- 該当 CPLD のデータシート

## ACC8

**マクロ：8-Bit Loadable Cascadable Accumulator with Carry-In, Carry-Out, and Synchronous Reset**



## サポートされているアーキテクチャ

このデザイン エレメントは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

## 概要

このデザイン エレメントは、8 ビット データレジスタの値に対して 8 ビットの符号なし 2 進数または 2 の補数ワードを加算または減算して、その結果をレジスタに保存します。レジスタには、8 ビットワードでロードできます。

ロード入力 (L) が High になると、CE が無視され、クロック (C) が Low から High に切り替わるときに D 入力の値がレジスタにロードされます。ACC8 では、入力 D7 ~ D0 の値が 8 ビットレジスタにロードされます。

このデザイン エレメントは、8 ビットの符号なし 2 進数または 8 ビットの 2 の補数を処理します。符号なし 2 進数が入力されると、符号なし 2 進数が出力されます。2 の補数が入力されると、2 の補数が出力されます。この 2 つの唯一の機能的な違いは、オーバーフローの認識方法にあり、オーバーフローの発生を認識するのに符号なし 2 進数ではキャリー出力 (CO) が使用され、2 の補数では OFL が使用されます。

- ・ 符号なし 2 進演算の場合、0 ~ 255 までの数を表現できます。加算モードでは、加算結果が加減算器の範囲を超えると CO がアクティブ (High) になります。減算モードでは、減算器の範囲を超えると CO がアクティブ Low のボローアウトで、Low になります。CO は、データ出力と同時にレジスタに出力されません。CO には、入力 B3 ~ B0 入力の値の加算値が常に出力されます。このため、各 ACC8 の CO を次の段の CI に接続してカスケード接続できます。符号なし 2 進数のオーバーフローは、常にアクティブ High で、ADD と CO を次のようにゲート接続すると発生させることができます。

符号なしオーバーフロー = CO XOR ADD

符号なし 2 進演算では、OFL は無視されます。

- ・ 2 の補数演算の場合、-128 ~ +127 までの数を表現できます。加算または減算の結果がこの範囲を超えると、OFL 出力が High になります。オーバーフロー (OFL) は、データ出力と同時にレジスタに出力されません。OFL には、B 入力 (B3 ~ B0) とレジスタの値の合計が常に出力されます。このため、各 ACC8 の OFL を次の段の CI に接続してカスケード接続できます。



2 の補数演算では、CO は無視されます。

同期リセット (R) は、ほかのすべての入力よりも優先され、R が High になると、クロック (C) が Low から High に切り替わるときに出力が 0 になります。クロック イネーブル (CE) が Low の場合は、C の遷移は無視されます。

電力を供給すると、このデザイン エLEMENT は非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

## 論理表

入力						出力
R	L	CE	ADD	D	C	Q
1	X	X	X	X	↑	0
0	1	X	X	Dn	↑	Dn
0	0	1	1	X	↑	$Q0 + Bn + CI$
0	0	1	0	X	↑	$Q0 - Bn - CI$
0	0	0	X	X	↑	変化なし
Q0 : Q の以前の値 Bn : データ入力 B の値 CI : 入力 CI の値						

## デザインの入力方法

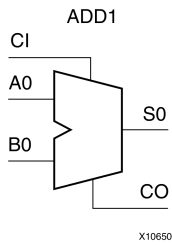
このELEMENTは、回路図でのみ使用できます。

## 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

## ADD1

マクロ：1-Bit Full Adder with Carry-In and Carry-Out



## サポートされているアーキテクチャ

このデザイン エレメントは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

## 概要

このデザイン エレメントは、キャリーインとキャリーアウトがあるカスケード可能な 1 ビット全加算器で、2 つの 1 ビットワード (A と B) とキャリーイン (CI) を加算し、2 進和 (S0) とキャリーアウト (CO) を出力します。

## 論理表

入力			出力	
A0	B0	CI	S0	CO
0	0	0	0	0
1	0	0	1	0
0	1	0	1	0
1	1	0	0	1
0	0	1	1	0
1	0	1	0	1
0	1	1	0	1
1	1	1	1	1

## デザインの入力方法

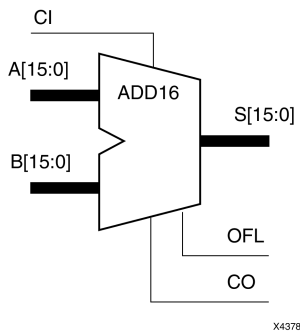
このエレメントは、回路図でのみ使用できます。

## 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

## ADD16

マクロ：16-Bit Cascadable Full Adder with Carry-In, Carry-Out, and Overflow



### サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

### 概要

このELEMENTは、2つのワードとキャリー入力 (CI) を加算して、その和とキャリー出力 (CO) またはオーバーフロー (OFL) を出力します。A15 ~ A0、B15 ~ B0、および CI が加算され、その和 S15 ~ S0 および CO (または OFL) が出力されます。

### 論理表

入力		出力
A	B	S
A <sub>n</sub>	B <sub>n</sub>	A <sub>n</sub> + B <sub>n</sub> + CI
CI: 入力 CI の値		

#### 符号なし 2 進数と 2 の補数

このデザイン ELEMENTは、16 ビットの符号なし 2 進数または 16 ビットの 2 の補数を処理できます。符号なし 2 進数が入力されると、符号なし 2 進数が出力されます。2 の補数が入力されると、2 の補数が出力されます。この 2 つの唯一の機能的な違いは、オーバーフローの認識方法にあり、オーバーフローの発生を認識するのに符号なし 2 進数では CO が使用され、2 の補数では OFL が使用されます。したがって、符号なし 2 進数が入力された場合は CO 出力を確認し、2 の補数が入力された場合は OFL 出力を確認します。

#### 符号なし 2 進演算

符号なし 2 進演算の場合、0 ~ 65535 までの数を表現できます。符号なし 2 進演算では、OFL は無視されます。

#### 2 の補数演算

2 の補数演算の場合、-32768 から +32767 までの数を表現できます。合計値が加算器の範囲を超えると、OFL がアクティブ (High) になります。2 の補数演算では、CO は無視されます。

## デザインの入力方法

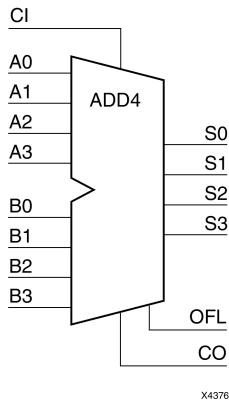
このELEMENTは、回路図でのみ使用できます。

### 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

## ADD4

マクロ：4-Bit Cascadable Full Adder with Carry-In, Carry-Out, and Overflow



## サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

## 概要

このELEMENTは、2つのワードとキャリー入力 (CI) を加算して、その和とキャリー出力 (CO) またはオーバーフロー (OFL) を出力します。A3 ~ A0、B3 ~ B0、および CI が加算され、その和 S3 ~ S0 および CO (または OFL) が出力されます。

## 論理表

入力		出力
A	B	S
A <sub>n</sub>	B <sub>n</sub>	A <sub>n</sub> + B <sub>n</sub> + CI
CI : 入力 CI の値		

### 符号なし 2 進数と 2 の補数

このデザイン ELEMENTは、4ビットの符号なし 2 進数または 4ビットの 2 の補数を処理できます。符号なし 2 進数が入力されると、符号なし 2 進数が出力されます。2 の補数が入力されると、2 の補数が出力されます。この 2 つの唯一の機能的な違いは、オーバーフローの認識方法にあり、オーバーフローの発生を認識するのに符号なし 2 進数では CO が使用され、2 の補数では OFL が使用されます。したがって、符号なし 2 進数が入力された場合は CO 出力を確認し、2 の補数が入力された場合は OFL 出力を確認します。

### 符号なし 2 進演算

符号なし 2 進演算の場合、0 ~ 15 までの数を表現できます。符号なし 2 進演算では、OFL は無視されます。

### 2 の補数演算

2 の補数演算の場合、-8 から +7 までの数を表現できます。合計値が加算器の範囲を超えると、OFL がアクティブ (High) になります。2 の補数演算では、CO は無視されます。

## デザインの入力方法

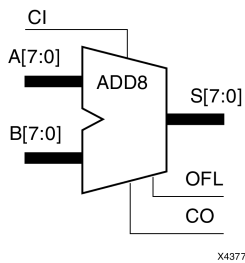
このELEMENTは、回路図でのみ使用できます。

### 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

## ADD8

マクロ：8-Bit Cascadable Full Adder with Carry-In, Carry-Out, and Overflow



## サポートされているアーキテクチャ

このデザイン エレメントは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

## 概要

このエレメントは、2 つのワードとキャリー入力 (CI) を加算して、その和とキャリー出力 (CO) またはオーバーフロー (OFL) を出力します。A7 ~ A0、B7 ~ B0、および CI が加算され、その和 S7 ~ S0 および CO (または OFL) が出力されます。

## 論理表

入力		出力
A	B	S
A <sub>n</sub>	B <sub>n</sub>	A <sub>n</sub> + B <sub>n</sub> + CI
CI : 入力 CI の値		

### 符号なし 2 進数と 2 の補数

このデザイン エレメントは、8 ビットの符号なし 2 進数または 8 ビットの 2 の補数を処理できます。符号なし 2 進数が入力されると、符号なし 2 進数が出力されます。2 の補数が入力されると、2 の補数が出力されます。この 2 つの唯一の機能的な違いは、オーバーフローの認識方法にあり、オーバーフローの発生を認識するのに符号なし 2 進数では CO が使用され、2 の補数では OFL が使用されます。したがって、符号なし 2 進数が入力された場合は CO 出力を確認し、2 の補数が入力された場合は OFL 出力を確認します。

### 符号なし 2 進演算

符号なし 2 進演算の場合、0 ~ 255 までの数を表現できます。符号なし 2 進演算では、OFL は無視されます。

### 2 の補数演算

2 の補数演算の場合、-128 から +127 までの数を表現できます。合計値が加算器の範囲を超えると、OFL がアクティブ (High) になります。2 の補数演算では、CO は無視されます。

## デザインの入力方法

このエレメントは、回路図でのみ使用できます。

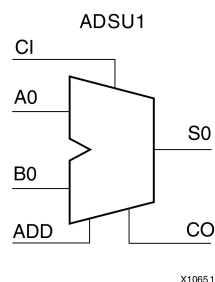
## 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート



## ADSU1

マクロ：1-Bit Cascadable Adder/Subtractor with Carry-In, Carry-Out



## サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

## 概要

ADD 入力が High の場合、2 つの 1 ビットワード (A0 と B0) とキャリー入力 (CI) が加算され、1 ビットの出力 (S0) とキャリー出力 (CO) が出力されます。ADD 入力が Low の場合、B0 が A0 から減算され、その結果値 (S0) とボロー (CO) が出力されます。

加算モードでは、CO はキャリーアウトを出力し、CO と CI はアクティブ High になります。減算モードでは、CO はボローを出力し、CO と CI はアクティブ Low になります。

加算 (ADD=1)

入力			出力	
A0	B0	CI	S0	CO
0	0	0	0	0
0	1	0	1	0
1	0	0	1	0
1	1	0	0	1
0	0	1	1	0
0	1	1	0	1
1	0	1	0	1
1	1	1	1	1

減算 (ADD=0)

入力			出力	
A0	B0	CI	S0	CO
0	0	0	1	0
0	1	0	0	0
1	0	0	0	1
1	1	0	1	0
0	0	1	0	1
0	1	1	1	0
1	0	1	1	1
1	1	1	0	1
1	0	1	1	1
1	1	1	0	1

## デザインの入力方法

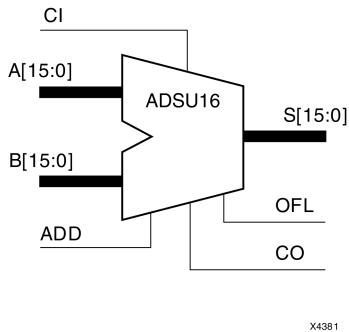
このELEMENTは、回路図でのみ使用できます。

## 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

## ADSU16

マクロ：16-Bit Cascadable Adder/Subtractor with Carry-In, Carry-Out, and Overflow



## サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

## 概要

ADD が High の場合、2 つの 16 ビットワード (A15 ～ A0 と B15 ～ B0) とキャリー入力 (CI) を加算し、16 ビットの和 (S15 ～ S0) とキャリー出力 (CO) (またはオーバーフロー (OFL)) を出力します。

ADD 入力が Low の場合、A15 ～ A0 から B15 ～ B0 を減算し、その差とキャリー出力 (CO) またはオーバーフロー (OFL) を出力します。

加算モードでは、CO と CI はアクティブ High になります。減算モードでは、CO と CI はアクティブ Low になります。OFL は、モードにかかわらず常にアクティブ High です。

## 論理表

入力			出力
ADD	A	B	S
1	A <sub>n</sub>	B <sub>n</sub>	A <sub>n</sub> + B <sub>n</sub> + CI*
0	A <sub>n</sub>	B <sub>n</sub>	A <sub>n</sub> - B <sub>n</sub> - CI*
CI* : ADD = 0、CI、CO アクティブ Low			
CI* : ADD = 1、CI、CO アクティブ High			

## 符号なし 2 進数と 2 の補数

このデザイン エLEMENTは、16 ビットの符号なし 2 進数または 16 ビットの 2 の補数を処理できます。符号なし 2 進数が入力されると、符号なし 2 進数が出力されます。2 の補数が入力されると、2 の補数が出力されます。この 2 つの唯一の機能的な違いは、オーバーフローの認識方法にあり、オーバーフローの発生を認識するのに符号なし 2 進数では CO が使用され、2 の補数では OFL が使用されます。

加減算器では、符号なし 2 進演算でも 2 の補数演算でもオーバーフローが発生します。演算結果がオーバーフローになる場合、オーバーフローが生成されます。同様に、演算結果が桁上がりする場合、キャリー出力が生成されます。

## 符号なし 2 進演算

符号なし 2 進演算の場合、0 ～ 65535 までの数を表現できます。加算モードでは、加算結果が加減算器の範囲を超えると CO がアクティブ (High) になります。減算モードでは、減算器の範囲を超えると CO がアクティブ Low のボロアウトで、Low になります。

符号なし 2 進数のオーバーフローは、常にアクティブ High で、ADD と CO を次のようにゲート接続すると発生させることができます。

符号なしオーバーフロー = CO XOR ADD

符号なし 2 進演算では、OFL は無視されます。

## 2 の補数演算

2 の補数演算の場合、-32768 から +32767 までの数を表現できます。

加算または減算の結果がこの範囲を超えると、OFL 出力が High になります。2 の補数演算では、CO は無視されます。

## デザインの入力方法

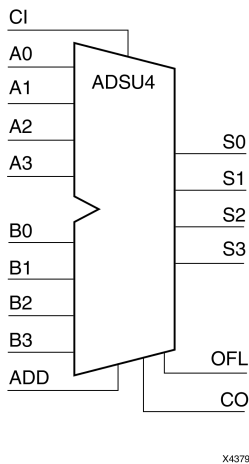
このELEMENTは、回路図でのみ使用できます。

## 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

## ADSU4

マクロ：4-Bit Cascadable Adder/Subtractor with Carry-In, Carry-Out, and Overflow



## サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

## 概要

ADD が High の場合、2 つの 4 ビットワード (A3 ~ A0 と B3 ~ B0) とキャリー入力 (CI) を加算し、4 ビットの和 (S3 ~ S0) とキャリー出力 (CO) (またはオーバーフロー (OFL)) を出力します。

ADD 入力が Low の場合、A3 ~ A0 から B3 ~ B0 を減算し、4 ビットの差 (S3 ~ S0) とキャリー出力 (CO) またはオーバーフロー (OFL) を出力します。

加算モードでは、CO と CI はアクティブ High になります。減算モードでは、CO と CI はアクティブ Low になります。OFL は、モードにかかわらず常にアクティブ High です。

## 論理表

入力			出力
ADD	A	B	S
1	A <sub>n</sub>	B <sub>n</sub>	A <sub>n</sub> + B <sub>n</sub> + CI*
0	A <sub>n</sub>	B <sub>n</sub>	A <sub>n</sub> - B <sub>n</sub> - CI*
CI* : ADD = 0、CI、CO アクティブ Low			
CI* : ADD = 1、CI、CO アクティブ High			

符号なし 2 進数と 2 の補数

このデザイン エLEMENTは、4 ビットの符号なし 2 進数または 4 ビットの 2 の補数処理できます。符号なし 2 進数が入力されると、符号なし 2 進数が出力されます。2 の補数が入力されると、2 の補数が出力されます。この 2 つの唯一の機能的な違いは、オーバーフローの認識方法にあり、オーバーフローの発生を認識するのに符号なし 2 進数では CO が使用され、2 の補数では OFL が使用されます。

加減算器では、符号なし 2 進演算でも 2 の補数演算でもオーバーフローが発生します。演算結果がオーバーフローになる場合、オーバーフローが生成されます。同様に、演算結果が桁上がりする場合、キャリー出力が生成されます。

### 符号なし 2 進演算

符号なし 2 進演算の場合、0 ～ 15 までの数を表現できます。加算モードでは、加算結果が加減算器の範囲を超えると CO がアクティブ (High) になります。減算モードでは、減算器の範囲を超えると CO がアクティブ Low のボローアウトで、Low になります。

符号なし 2 進数のオーバーフローは、常にアクティブ High で、ADD と CO を次のようにゲート接続すると発生させることができます。

符号なしオーバーフロー = CO XOR ADD

符号なし 2 進演算では、OFL は無視されます。

### 2 の補数演算

2 の補数演算の場合、-8 から +7 までの数を表現できます。

加算または減算の結果がこの範囲を超えると、OFL 出力が High になります。2 の補数演算では、CO は無視されます。

## デザインの入力方法

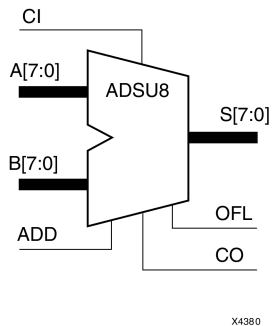
このELEMENTは、回路図でのみ使用できます。

### 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

## ADSU8

### マクロ：8-Bit Cascadable Adder/Subtractor with Carry-In, Carry-Out, and Overflow



## サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

## 概要

ADD が High の場合、2 つの 8 ビットワード (A7 ～ A0 と B7 ～ B0) とキャリー入力 (CI) を加算し、8 ビットの和 (S7 ～ S0) とキャリー出力 (CO) (またはオーバーフロー (OFL)) を出力します。

ADD 入力が Low の場合、A7 ～ A0 から B7 ～ B0 を減算し、8 ビットの差 (S7 ～ S0) とキャリー出力 (CO) またはオーバーフロー (OFL) を出力します。

加算モードでは、CO と CI はアクティブ High になります。減算モードでは、CO と CI はアクティブ Low になります。OFL は、モードにかかわらず常にアクティブ High です。

## 論理表

入力			出力
ADD	A	B	S
1	A <sub>n</sub>	B <sub>n</sub>	A <sub>n</sub> + B <sub>n</sub> + CI*
0	A <sub>n</sub>	B <sub>n</sub>	A <sub>n</sub> - B <sub>n</sub> - CI*
CI* : ADD = 0、CI、CO アクティブ Low			
CI* : ADD = 1、CI、CO アクティブ High			

### 符号なし 2 進数と 2 の補数

このデザイン エLEMENTは、8 ビットの符号なし 2 進数または 8 ビットの 2 の補数を処理できます。符号なし 2 進数が入力されると、符号なし 2 進数が出力されます。2 の補数が入力されると、2 の補数が出力されます。この 2 つの唯一の機能的な違いは、オーバーフローの認識方法にあり、オーバーフローの発生を認識するのに符号なし 2 進数では CO が使用され、2 の補数では OFL が使用されます。

加減算器では、符号なし 2 進演算でも 2 の補数演算でもオーバーフローが発生します。演算結果がオーバーフローになる場合、オーバーフローが生成されます。同様に、演算結果が桁上がりする場合、キャリー出力が生成されます。

## 符号なし 2 進演算

符号なし 2 進演算の場合、0 ～ 255 までの数を表現できます。加算モードでは、加算結果が加減算器の範囲を超えると CO がアクティブ (High) になります。減算モードでは、減算器の範囲を超えると CO がアクティブ Low のボローアウトで、Low になります。

符号なし 2 進数のオーバーフローは、常にアクティブ High で、ADD と CO を次のようにゲート接続すると発生させることができます。

符号なしオーバーフロー = CO XOR ADD

符号なし 2 進演算では、OFL は無視されます。

## 2 の補数演算

2 の補数演算の場合、-128 から +127 までの数を表現できます。

加算または減算の結果がこの範囲を超えると、OFL 出力が High になります。2 の補数演算では、CO は無視されます。

## デザインの入力方法

このエレメントは、回路図でのみ使用できます。

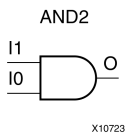
## 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート



## AND2

プリミティブ：2-Input AND Gate with Non-Inverted Inputs



## サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

## 概要

5 入力までの AND ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の AND ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転させるには、外部インバータを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

## デザインの入力方法

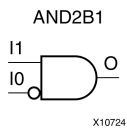
このELEMENTは、回路図でのみ使用できます。

## 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

## AND2B1

プリミティブ：2-Input AND Gate with 1 Inverted and 1 Non-Inverted Inputs



## サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

## 概要

5 入力までの AND ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の AND ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転させるには、外部インバータを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

## デザインの入力方法

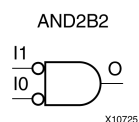
このELEMENTは、回路図でのみ使用できます。

## 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

## AND2B2

### プリミティブ：2-Input AND Gate with Inverted Inputs



## サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

## 概要

5 入力までの AND ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の AND ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転させるには、外部インバータを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

## デザインの入力方法

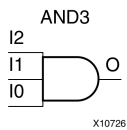
このELEMENTは、回路図でのみ使用できます。

## 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

## AND3

プリミティブ：3-Input AND Gate with Non-Inverted Inputs



## サポートされているアーキテクチャ

このデザイン エレメントは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

## 概要

5 入力までの AND ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の AND ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転させるには、外部インバータを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

## デザインの入力方法

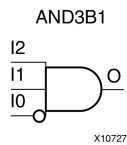
このエレメントは、回路図でのみ使用できます。

## 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

## AND3B1

プリミティブ：3-Input AND Gate with 1 Inverted and 2 Non-Inverted Inputs



## サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

## 概要

5 入力までの AND ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の AND ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転させるには、外部インバータを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

## デザインの入力方法

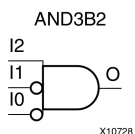
このELEMENTは、回路図でのみ使用できます。

## 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

## AND3B2

プリミティブ：3-Input AND Gate with 2 Inverted and 1 Non-Inverted Inputs



### サポートされているアーキテクチャ

このデザイン エレメントは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

### 概要

5 入力までの AND ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の AND ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転させるには、外部インバータを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

### デザインの入力方法

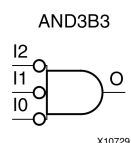
このエレメントは、回路図でのみ使用できます。

### 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

## AND3B3

プリミティブ：3-Input AND Gate with Inverted Inputs



## サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

## 概要

5 入力までの AND ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の AND ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転させるには、外部インバータを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

## デザインの入力方法

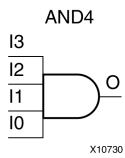
このELEMENTは、回路図でのみ使用できます。

## 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

## AND4

### プリミティブ：4-Input AND Gate with Non-Inverted Inputs



## サポートされているアーキテクチャ

このデザイン エレメントは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

## 概要

5 入力までの AND ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の AND ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転させるには、外部インバータを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

## デザインの入力方法

このエレメントは、回路図でのみ使用できます。

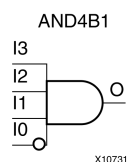
## 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート



## AND4B1

プリミティブ：4-Input AND Gate with 1 Inverted and 3 Non-Inverted Inputs



## サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

## 概要

5 入力までの AND ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の AND ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転させるには、外部インバータを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

## デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

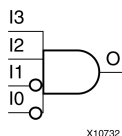
## 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

## AND4B2

プリミティブ：4-Input AND Gate with 2 Inverted and 2 Non-Inverted Inputs

AND4B2



## サポートされているアーキテクチャ

このデザイン エレメントは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

## 概要

5 入力までの AND ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の AND ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転させるには、外部インバータを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

## デザインの入力方法

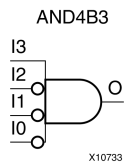
このエレメントは、回路図でのみ使用できます。

## 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

## AND4B3

プリミティブ：4-Input AND Gate with 3 Inverted and 1 Non-Inverted Inputs



## サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

## 概要

5 入力までの AND ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の AND ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転させるには、外部インバータを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

## デザインの入力方法

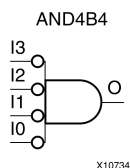
このELEMENTは、回路図でのみ使用できます。

## 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

## AND4B4

プリミティブ：4-Input AND Gate with Inverted Inputs



### サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

### 概要

5 入力までの AND ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の AND ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転させるには、外部インバータを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

### デザインの入力方法

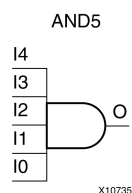
このELEMENTは、回路図でのみ使用できます。

### 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

## AND5

プリミティブ：5-Input AND Gate with Non-Inverted Inputs



## サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

## 概要

5 入力までの AND ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の AND ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転させるには、外部インバータを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

## デザインの入力方法

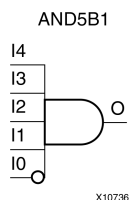
このELEMENTは、回路図でのみ使用できます。

## 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

## AND5B1

プリミティブ：5-Input AND Gate with 1 Inverted and 4 Non-Inverted Inputs



## サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

## 概要

5 入力までの AND ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の AND ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転させるには、外部インバータを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

## デザインの入力方法

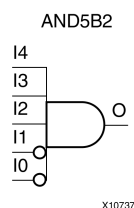
このELEMENTは、回路図でのみ使用できます。

## 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

## AND5B2

プリミティブ：5-Input AND Gate with 2 Inverted and 3 Non-Inverted Inputs



## サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

## 概要

5 入力までの AND ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の AND ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転させるには、外部インバータを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

## デザインの入力方法

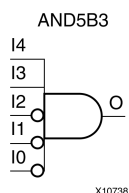
このELEMENTは、回路図でのみ使用できます。

## 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

## AND5B3

プリミティブ：5-Input AND Gate with 3 Inverted and 2 Non-Inverted Inputs



## サポートされているアーキテクチャ

このデザイン エレメントは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

## 概要

5 入力までの AND ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の AND ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転させるには、外部インバータを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

## デザインの入力方法

このエレメントは、回路図でのみ使用できます。

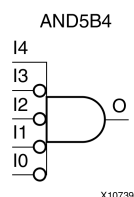
## 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート



## AND5B4

プリミティブ：5-Input AND Gate with 4 Inverted and 1 Non-Inverted Inputs



## サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

## 概要

5 入力までの AND ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の AND ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転させるには、外部インバータを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

## デザインの入力方法

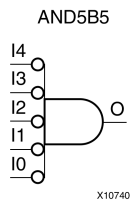
このELEMENTは、回路図でのみ使用できます。

## 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

## AND5B5

### プリミティブ：5-Input AND Gate with Inverted Inputs



## サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

## 概要

5 入力までの AND ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の AND ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転させるには、外部インバータを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

## デザインの入力方法

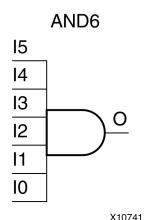
このELEMENTは、回路図でのみ使用できます。

## 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

## AND6

マクロ：6-Input AND Gate with Non-Inverted Inputs



### サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

### 概要

5 入力までの AND ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の AND ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転させるには、外部インバータを使用します。各入力に CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

### デザインの入力方法

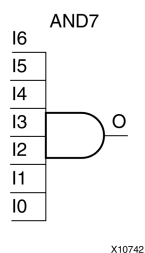
このELEMENTは、回路図でのみ使用できます。

### 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

## AND7

### マクロ：7-Input AND Gate with Non-Inverted Inputs



## サポートされているアーキテクチャ

このデザイン エレメントは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

## 概要

5 入力までの AND ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の AND ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転させるには、外部インバータを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

## デザインの入力方法

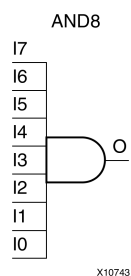
このエレメントは、回路図でのみ使用できます。

## 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

## AND8

マクロ：8-Input AND Gate with Non-Inverted Inputs



## サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

## 概要

5 入力までの AND ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の AND ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転させるには、外部インバータを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

## デザインの入力方法

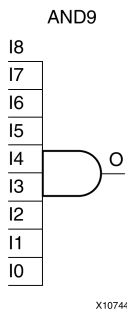
このELEMENTは、回路図でのみ使用できます。

## 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

## AND9

### マクロ：9-Input AND Gate with Non-Inverted Inputs



## サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

## 概要

5 入力までの AND ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の AND ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転させるには、外部インバータを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

## デザインの入力方法

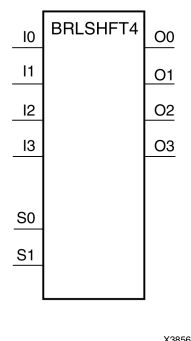
このELEMENTは、回路図でのみ使用できます。

## 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

## BRLSHFT4

### マクロ：4-Bit Barrel Shifter



## サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

## 概要

このデザイン エLEMENTは 4 ビットのバレル シフタで、4 つの入力 (I3 ~ I0) を 4 回までローテーションできます。制御入力 (S1 と S0) は、データをローテーションする回数 (1 ~ 4) を指定します。4 つの出力 (O3 ~ O0) には、ローテーションされたデータ入力が出力されます。

## 論理表

入力						出力			
S1	S0	I0	I1	I2	I3	O0	O1	O2	O3
0	0	a	b	c	d	a	b	c	d
0	1	a	b	c	d	b	c	d	a
1	0	a	b	c	d	c	d	a	b
1	1	a	b	c	d	d	a	b	c

## デザインの入力方法

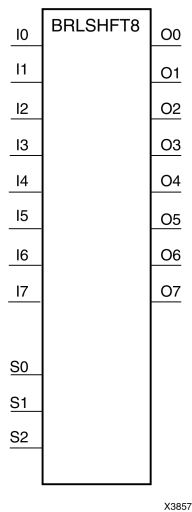
このELEMENTは、回路図でのみ使用できます。

## 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

## BRLSHFT8

### マクロ : 8-Bit Barrel Shifter



### サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

### 概要

このデザイン エLEMENTは、8ビットのバレル シフタで、8つの入力 (I7 ~ I0) を8回までローテーションできます。制御入力 (S2 ~ S0) は、データをローテーションする回数 (1 ~ 8) を指定します。8つの出力 (O7 ~ O0) には、ローテーションされたデータ入力が出力されます。

### 論理表

入力											出力							
S2	S1	S0	I0	I1	I2	I3	I4	I5	I6	I7	O0	O1	O2	O3	O4	O5	O6	O7
0	0	0	a	b	c	d	e	f	g	h	a	b	c	d	e	f	g	h
0	0	1	a	b	c	d	e	f	g	h	b	c	d	e	f	g	h	a
0	1	0	a	b	c	d	e	f	g	h	c	d	e	f	g	h	a	b
0	1	1	a	b	c	d	e	f	g	h	d	e	f	g	h	a	b	c
1	0	0	a	b	c	d	e	f	g	h	e	f	g	h	a	b	c	d
1	0	1	a	b	c	d	e	f	g	h	f	g	h	a	b	c	d	e
1	1	0	a	b	c	d	e	f	g	h	g	h	a	b	c	d	e	f
1	1	1	a	b	c	d	e	f	g	h	h	a	b	c	d	e	f	g



## デザインの入力方法

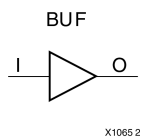
このエレメントは、回路図でのみ使用できます。

## 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

## BUF

### プリミティブ：General Purpose Buffer



## サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

## 概要

このデザイン エLEMENTは、汎用の非反転バッファです。

このELEMENTは不要なので、MAP によって削除されます。

## デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

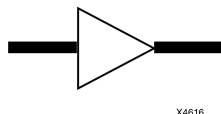
## 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

## BUF16

マクロ：16-Bit General Purpose Buffer

BUF16



### サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

### 概要

このデザイン エLEMENTは、16 ビットの汎用の非反転バッファです。CPLD では、OPT=OFF 属性をこのデザイン エLEMENTに適用するか、または LOGIC\_OPT=OFF グローバル属性を使用して最適化を禁止しないと、通常削除されます。

### デザインの入力方法

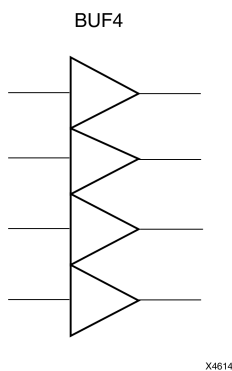
このELEMENTは、回路図でのみ使用できます。

### 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

## BUF4

マクロ：4-Bit General Purpose Buffer



### サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

### 概要

このデザイン エLEMENTは、4 ビットの汎用の非反転バッファです。CPLD では、OPT=OFF 属性をこのデザイン エLEMENTに適用するか、または LOGIC\_OPT=OFF グローバル属性を使用して最適化を禁止しないと、通常削除されます。

### デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

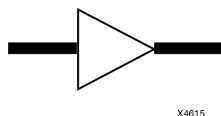
### 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

## BUF8

マクロ：8-Bit General Purpose Buffer

BUF8



### サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

### 概要

このデザイン エLEMENTは、8 ビットの汎用の非反転バッファです。CPLD では、OPT=OFF 属性をこのデザイン エLEMENTに適用するか、または LOGIC\_OPT=OFF グローバル属性を使用して最適化を禁止しないと、通常削除されます。

### デザインの入力方法

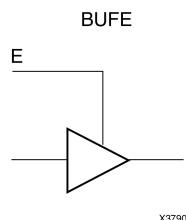
このELEMENTは、回路図でのみ使用できます。

### 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

## BUFE

### プリミティブ：Internal 3-State Buffer with Active High Enable



## サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™ XPLA3

## 概要

このデザイン エLEMENTは、入力 (I)、出力 (O)、およびアクティブ High の出力イネーブル (E) から構成される単一のトライステート バッファです。E が High の場合、バッファに入力された値が対応する出力に送られます。E が Low になると、出力はハイ インピーダンス (Z ステートまたはオフ) になります。FPGA アーキテクチャでは、バッファの出力は水平ロングラインに接続されます。

このデザイン エLEMENTの複数のシンボルの出力を接続して、バスまたはマルチプレクサを作成できます。この場合は、一度に 1 つの E 入力だけが High になるようにしてください。E 入力がいずれもアクティブ High でない場合、ウィークキーパ回路によって、出力バスがフロートすることはありませんが、必ずしも最後に入力された値がバスに保持されるわけではありません。一部の CPLD デバイスでは、接続されているすべての BUFE/BUFT がディスエーブルの場合、ネットの出力のロジックレベルが High になります。FPGA デバイスでは、このELEMENTの出力に PULLUP ELEMENTを接続する必要があります。接続されていない場合、NGDBuild で PULLUP ELEMENTが挿入されます。

## 論理表

入力		出力
E	I	O
0	X	Z
1	1	1
1	0	0

## デザインの入力方法

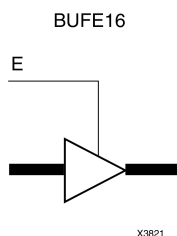
このELEMENTは、回路図でのみ使用できます。

## 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

## BUFE16

マクロ：16-Bit Internal 3-State Buffer with Active High Enable



## サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™ XPLA3

## 概要

このデザイン エLEMENTは、入力 (I15 ~ I0)、出力 (O15 ~ O0)、およびアクティブ High の出力イネーブル (E) から構成される複数のトライステート バッファです。E が High の場合、バッファに入力された値が対応する出力に送られます。

E が Low になると、出力はハイ インピーダンス (Z ステートまたはオフ) になります。FPGA アーキテクチャでは、バッファの出力は水平ロングラインに接続されます。複数の BUFE エLEMENTの出力を接続して、バスまたはマルチプレクサを作成することもできます。この場合は、一度に 1 つの E 入力だけが High になるようにしてください。E 入力がいずれもアクティブ High でない場合、ウィークキーパ回路によって、出力バスがフロートすることはありませんが、必ずしも最後に入力された値がバスに保持されるわけではありません。

## 論理表

入力		出力
E	I	O
0	X	Z
1	1	1
1	0	0

## デザインの入力方法

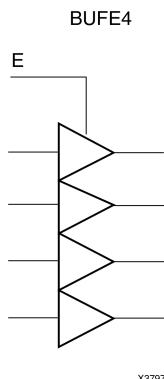
このELEMENTは、回路図でのみ使用できます。

## 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

## BUFE4

マクロ：4-Bit Internal 3-State Buffer with Active High Enable



### サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™ XPLA3

### 概要

このデザイン エLEMENTは、入力 (I3 ~ I0)、出力 (O3 ~ O0)、およびアクティブ High の出力イネーブル (E) から構成される複数のトライステート バッファです。E が High の場合、バッファに入力された値が対応する出力に送られます。

E が Low になると、出力はハイ インピーダンス (Z ステートまたはオフ) になります。FPGA アーキテクチャでは、バッファの出力は水平ロングラインに接続されます。複数の BUFE ELEMENTの出力を接続して、バスまたはマルチプレクサを作成することもできます。この場合は、一度に 1 つの E 入力だけが High になるようにしてください。E 入力がいずれもアクティブ High でない場合、ウィークキーパ回路によって、出力バスがフロートすることはありませんが、必ずしも最後に入力された値がバスに保持されるわけではありません。

### 論理表

入力		出力
E	I	O
0	X	Z
1	1	1
1	0	0

### デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

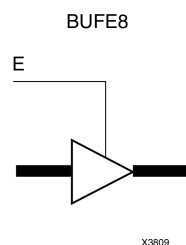
### 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート



## BUFE8

マクロ：8-Bit Internal 3-State Buffer with Active High Enable



## サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™ XPLA3

## 概要

このデザイン エLEMENTは、入力 (I7 ~ I0)、出力 (O7 ~ O0)、およびアクティブ High の出力イネーブル (E) から構成される複数のトライステートバッファです。E が High の場合、バッファに入力された値が対応する出力に送られます。

E が Low になると、出力はハイインピーダンス (Z ステートまたはオフ) になります。FPGA アーキテクチャでは、バッファの出力は水平ロングラインに接続されます。複数の BUFE ELEMENTの出力を接続して、バスまたはマルチプレクサを作成することもできます。この場合は、一度に 1 つの E 入力だけが High になるようにしてください。E 入力がいずれもアクティブ High でない場合、ウィークキーパ回路によって、出力バスがフロートすることはありませんが、必ずしも最後に入力された値がバスに保持されるわけではありません。

## 論理表

入力		出力
E	I	O
0	X	Z
1	1	1
1	0	0

## デザインの入力方法

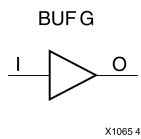
このELEMENTは、回路図でのみ使用できます。

## 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

## BUFG

### プリミティブ：Global Clock Buffer



## サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

## 概要

このデザイン エLEMENTは、ファンアウトが大きいバッファで、スキューを抑えて信号を分散するために、グローバル配線リソースへの信号に接続します。BUFG は、通常セット/リセットやクロック イネーブルなどのファンアウトの大きいネットやクロック ネットに使用されます。

## ポートの説明

ポート名	タイプ	幅	機能
I	入力	1	クロック バッファ出力
O	出力	1	クロック バッファ入力

## デザインの入力方法

インスタンス化	可
推論	推奨
CORE Generator™ およびウィザード	不可
マクロのサポート	不可

このELEMENTは、回路図で使用されます。

## VHDL 記述 (インスタンス化)

次の 2 つの構文が存在しない場合はコピーし、エンティティ宣言の前に貼り付けます。

```
Library UNISIM;
use UNISIM.vcomponents.all;

-- BUFG: Global Clock Buffer
--      Virtex-6
-- Xilinx HDL Libraries Guide, version 11.2

BUFG_inst : BUFG
generic map (
)
port map (
    O => O, -- 1-bit Clock buffer output
    I => I  -- 1-bit Clock buffer input
);

-- End of BUFG_inst instantiation
```

## Verilog 記述 (インスタンス化)

```
// BUFG: Global Clock Buffer (source by an internal signal)
//      All FPGAs
// Xilinx HDL Libraries Guide, version 11.2

BUFG BUFG_inst (
    .O(O),      // Clock buffer output
    .I(I)       // Clock buffer input
);

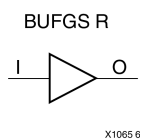
// End of BUFG_inst instantiation
```

## 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当する EDK 資料

## BUFGSR

### プリミティブ：Global Set/Reset Input Buffer



## サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

## 概要

このデザイン エLEMENTは、XC9500/XV/XL、CoolRunner™ XPLA3、または CoolRunner™-II デバイスの選択したフリップフロップにグローバル セット/リセット (GSR) 信号を供給します。GSR 制御ピンは、CPLD デバイスで使用できます。詳細は、デバイスのデータシートを参照してください。

このデザイン エLEMENTは、常に入力バッファとして機能します。これを回路図で使用するには、GSR 信号のソースを表す IPAD または IOPAD にこのELEMENTのシンボルの入力を接続します。オンチップで生成された GSR 信号は、OBUF タイプのバッファを介してからこのELEMENTに接続する必要があります。

グローバル セット/リセット制御では通常、このELEMENTの出力を FDCP などのフリップフロップ シンボルの CLR 入力または PRE 入りに接続するか、あるいは非同期クリアまたはプリセットのあるレジスタ付きシンボルに接続します。また、グローバル セット/リセット制御信号は、インバータを介すと、アクティブ Low のセット/リセットを出力できます。このELEMENTの出力は、デザイン内の別の場所にあるほかのロジックに対する標準入力信号としても使用できます。このELEMENTでは、デザイン内のフリップフロップをいくつでも制御できます。

## デザインの入力方法

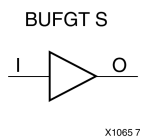
このELEMENTは、回路図でのみ使用できます。

## 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

## BUFGTS

### プリミティブ：Global 3-State Input Buffer



## サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

## 概要

このデザイン エLEMENTは、CPLD デバイスの出力パッドドライバにグローバル出力イネーブル信号を供給します。グローバルトライステート (GTS) 制御ピンは、CPLD デバイスに含まれています。詳細は、デバイスのデータシートを参照してください。

このデザイン エLEMENTは、常に入力バッファとして機能します。このELEMENTを回路図で使用するには、GTS 信号のソースを表す IPAD または IOPAD に BUFGTS シンボルの入力を接続します。オンチップで生成された GTS 信号は、OBUF タイプのバッファを介してからこのELEMENTに接続する必要があります。

グローバルトライステート制御の場合は、通常このELEMENTの出力はトライステート出力バッファシンボルである OBUFE の E 入力に接続します。グローバルトライステート制御信号は、インバータを介するか、OBUFT シンボルを制御すると、アクティブ Low の出力イネーブルを出力できます。このトライステート制御信号は、インバータの有無にかかわらず、デバイス出力のオルタネート グループをイネーブルにできます。BUFGTS の出力は、デザイン内の別の場所にあるほかのロジックに対する標準入力信号としても使用できます。各 BUFGTS は、デザイン内の出力バッファをいくつでも制御できます。

## デザインの入力方法

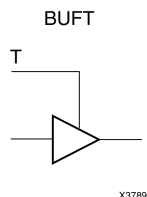
このELEMENTは、回路図でのみ使用できます。

## 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

## BUFT

### プリミティブ：Internal 3-State Buffer with Active Low Enable



## サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™ XPLA3

## 概要

このデザイン エLEMENTは、入力 (I)、出力 (O)、およびアクティブ High の出力イネーブル (T) から構成される単一のトライステート バッファです。T が Low の場合、バッファに入力された値が対応する出力に送られます。T が High のときは、出力はハイ インピーダンス (Z ステートまたはオフ) になります。FPGA アーキテクチャでは、バッファの出力は水平ロングラインに接続されます。

複数の BUFT シンボルの出力を接続して、バスまたはマルチプレクサを作成できます。この場合、一度に 1 つの T 入力だけが Low になるようにしてください。CPLD デバイスでは、接続されているすべての BUFE/BUFT がディスエーブルの場合、BUFT の出力ネットのロジック レベルが High になります。FPGA では、ネット上にあるすべての BUFT をディスエーブルにすると、ネットは High になります。これを正しくシミュレーションするには、PULLUP エLEMENTをネットに接続する必要があります。PULLUP エLEMENTが接続されていない場合は、NGDBuild で PULLUP エLEMENTが挿入され、デバイスの状態を正しくバックアノテーション シミュレーションできるようになります。

## 論理表

入力		出力
T	I	O
1	X	Z
0	1	1
0	0	0

## デザインの入力方法

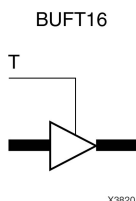
このELEMENTは、回路図でのみ使用できます。

## 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

## BUFT16

### マクロ：16-Bit Internal 3-State Buffers with Active Low Enable



## サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™ XPLA3

## 概要

このデザイン エLEMENTは、入力 (I15 ~ I0)、出力 (O15 ~ O0)、およびアクティブ Low の出力イネーブル (T) から構成される複数のトライステート バッファです。T が Low の場合、バッファに入力された値が対応する出力に送られます。T が High のときは、出力はハイ インピーダンス (Z ステートまたはオフ) になります。FPGA アーキテクチャでは、バッファの出力は水平ロングラインに接続されます。

複数の BUFT シンボルの出力を接続して、バスまたはマルチプレクサを作成できます。この場合、一度に 1 つの T 入力だけが Low になるようにしてください。CPLD デバイスでは、接続されているすべての BUFE/BUFT がディスエーブルの場合、BUFT の出力ネットのロジック レベルが High になります。FPGA では、ネット上にあるすべての BUFT をディスエーブルにすると、ネットは High になります。これを正しくシミュレーションするには、PULLUP エLEMENTをネットに接続する必要があります。PULLUP エLEMENTが接続されていない場合は、NGDBuild で PULLUP エLEMENTが挿入され、デバイスの状態を正しくバックアノテーション シミュレーションできるようになります。

## 論理表

入力		出力
T	I	O
1	X	Z
0	1	1
0	0	0

## デザインの入力方法

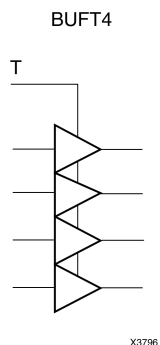
このELEMENTは、回路図でのみ使用できます。

## 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

## BUFT4

マクロ：4-Bit Internal 3-State Buffers with Active Low Enable



### サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™ XPLA3

### 概要

このデザイン エLEMENTは、入力 (I3 ~ I0)、出力 (O3 ~ O0)、およびアクティブ Low の出力イネーブル (T) から構成される複数のトリステートバッファです。T が Low の場合、バッファに入力された値が対応する出力に送られます。T が High のときは、出力はハイインピーダンス (Z ステートまたはオフ) になります。FPGA アーキテクチャでは、バッファの出力は水平ロングラインに接続されます。

複数の BUFT シンボルの出力を接続して、バスまたはマルチプレクサを作成できます。この場合、一度に 1 つの T 入力だけが Low になるようにしてください。CPLD デバイスでは、接続されているすべての BUFE/BUFT がディスエーブルの場合、BUFT の出力ネットのロジックレベルが High になります。FPGA では、ネット上にあるすべての BUFT をディスエーブルにすると、ネットは High になります。これを正しくシミュレーションするには、PULLUP エLEMENTをネットに接続する必要があります。PULLUP エLEMENTが接続されていない場合は、NGDBuild で PULLUP エLEMENTが挿入され、デバイスの状態を正しくバックアノテーションシミュレーションできるようになります。

### 論理表

入力		出力
T	I	O
1	X	Z
0	1	1
0	0	0

### デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

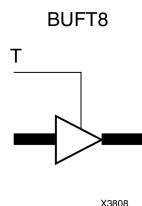


## 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

## BUFT8

### マクロ：8-Bit Internal 3-State Buffers with Active Low Enable



## サポートされているアーキテクチャ

このデザイン エレメントは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™ XPLA3

## 概要

このデザイン エレメントは、入力 (I7 ~ I0)、出力 (O7 ~ O0)、およびアクティブ Low の出力イネーブル (T) から構成される複数のトライステートバッファです。T が Low の場合、バッファに入力された値が対応する出力に送られます。T が High のときは、出力はハイインピーダンス (Z ステートまたはオフ) になります。FPGA アーキテクチャでは、バッファの出力は水平ロングラインに接続されます。

複数の BUFT シンボルの出力を接続して、バスまたはマルチプレクサを作成できます。この場合、一度に 1 つの T 入力だけが Low になるようにしてください。CPLD デバイスでは、接続されているすべての BUFE/BUFT がディスエーブルの場合、BUFT の出力ネットのロジックレベルが High になります。FPGA では、ネット上にあるすべての BUFT をディスエーブルにすると、ネットは High になります。これを正しくシミュレーションするには、PULLUP エレメントをネットに接続する必要があります。PULLUP エレメントが接続されていない場合は、NGDBuild で PULLUP エレメントが挿入され、デバイスの状態を正しくバックアノテーションシミュレーションできるようになります。

## 論理表

入力		出力
T	I	O
1	X	Z
0	1	1
0	0	0

## デザインの入力方法

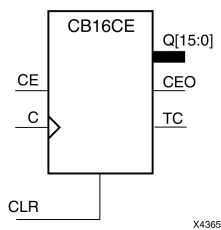
このエレメントは、回路図でのみ使用できます。

## 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

## CB16CE

マクロ：16-Bit Cascadable Binary Counter with Clock Enable and Asynchronous Clear



## サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

## 概要

このデザイン エLEMENTは、非同期クリア可能、カスケード可能なバイナリ カウンタです。非同期クリア (CLR) 入力が高になると、ほかのすべての入力は無視され、クロック (C) の遷移に関係なく、出力 (Q)、ターミナル カウンタ (TC)、およびクロック イネーブル出力 (CEO) が 0 になります。クロック イネーブル入力 (CE) が High の場合、クロック (C) が Low から High に切り替わる時に出力 (Q) がインクリメントされます。CE が Low の場合、クロック遷移は無視されます。すべての Q 出力が高になると、TC 出力が高になります。

1 段目の CEO 出力を次の段の CE 入力に接続し、C および CLR 入力を並列に接続すると、より大型のカウンタを作成できます。TC と CE が High になると、CEO がアクティブ (High) になります。カウンタの長さの最大値は、CE ピンと TC ピン間の伝搬遅延の合計とクロック周期の関係によって決定されます。クロック周期は、 $n(t_{CE-TC})$  より大きい必要があります。ここで、 $n$  は段数、時間  $t_{CE-TC}$  は各段での CE ピンと TC ピン間の伝搬遅延を表します。カウンタをカスケードする場合、CE 入力を使用するときは CEO 出力を、CE 入力を使用しないときは TC 出力を使用します。

電力を供給すると、カウンタは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

## 論理表

入力			出力		
CLR	CE	C	Q <sub>z</sub> - Q <sub>0</sub>	TC	CEO
1	X	X	0	0	0
0	0	X	変化なし	変化なし	0
0	1	↑	インクリメント	TC	CEO
$z = \text{ビット幅} - 1$ $TC = Q_z \cdot Q(z-1) \cdot Q(z-2) \cdot \dots \cdot Q_0$ $CEO = TC \cdot CE$					

## デザインの入力方法

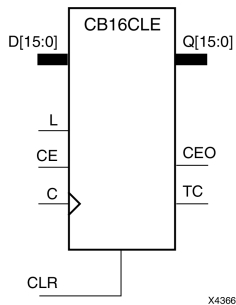
このELEMENTは、回路図でのみ使用できます。

### 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

## CB16CLE

マクロ：16-Bit Loadable Cascadable Binary Counters with Clock Enable and Asynchronous Clear



## サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

## 概要

このデザイン エLEMENTは、同期、ロード可能、非同期クリア可能、カスケード可能なバイナリカウンタです。非同期クリア (CLR) 入力が高になると、ほかのすべての入力は無視され、クロック (C) の遷移に関係なく、出力 (Q)、ターミナルカウンタ (TC)、およびクロックイネーブル出力 (CEO) が 0 になります。ロードイネーブル入力 (L) が High の場合、クロックが Low から High に切り替わるときに、クロックイネーブル (CE) の値に関係なく、入力 (D) の値がカウンタにロードされます。CE が High の場合、クロックが Low から High に切り替わるときに Q 出力がインクリメントされます。CE が Low の場合、クロック遷移は無視されます。すべての Q 出力が高になると、TC 出力が高になります。

1 段目の CEO 出力を次の段の CE 入力に接続し、C、L、および CLR 入力を並列に接続すると、より大型のカウンタを作成できます。TC と CE が High になると、CEO がアクティブ (High) になります。カウンタの長さの最大値は、CE ピンと TC ピン間の伝搬遅延の合計とクロック周期の関係によって決定されます。クロック周期は、 $n(t_{CE-TC})$  より大きい必要があります。ここで、 $n$  は段数、時間  $t_{CE-TC}$  は各段での CE ピンと TC ピン間の伝搬遅延を表します。カウンタをカスケードする場合、CE 入力を使用するときは CEO 出力を、CE 入力を使用しないときは TC 出力を使用します。

電力を供給すると、カウンタは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

## 論理表

入力					出力		
CLR	L	CE	C	Dz - D0	Qz - Q0	TC	CEO
1	X	X	X	X	0	0	0
0	1	X	↑	Dn	Dn	TC	CEO
0	0	0	X	X	変化なし	変化なし	0
0	0	1	↑	X	インクリメント	TC	CEO
z = ビット幅 - 1 $TC = Qz \cdot Q(z-1) \cdot Q(z-2) \cdot \dots \cdot Q0$ $CEO = TC \cdot CE$							

## デザインの入力方法

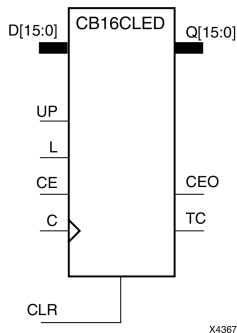
このエレメントは、回路図でのみ使用できます。

## 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

## CB16CLED

**マクロ：16-Bit Loadable Cascadable Bidirectional Binary Counters with Clock Enable and Asynchronous Clear**



## サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

## 概要

このデザイン エLEMENTは、同期、ロード可能、非同期クリア可能、カスケード可能な双方向バイナリ カウンタです。非同期クリア (CLR) 入力が高レベルになると、ほかのすべての入力は無視され、クロック (C) の遷移に関係なく、出力 (Q)、ターミナル カウンタ (TC)、およびクロック イネーブル出力 (CEO) が 0 になります。ロード イネーブル入力 (L) が High の場合、クロック (C) が Low から High に切り替わる時に、クロック イネーブル (CE) の値に関係なく、入力 (D) の値がカウンタにロードされます。CE が High、UP が Low の場合、クロックが Low から High に切り替わる時に、Q 出力がデクリメントされます。CE と UP が High の場合、Q 出力がインクリメントされます。CE が Low の場合、クロック遷移は無視されます。

カウントアップする場合、すべての Q 出力と UP が High になると TC 出力が High になります。カウントダウンする場合、すべての Q 出力と UP が Low になると TC 出力が High になります。

1 段目の CEO 出力を次の段の CE 入力に接続し、C、UP、L、および CLR 入力を並列に接続すると、より大型のカウンタを作成できます。TC と CE が High になると、CEO がアクティブ (High) になります。カウンタの長さの最大値は、CE ピンと TC ピン間の伝搬遅延の合計とクロック周期の関係によって決定されます。クロック周期は、 $n(t_{CE-TC})$  より大きい必要があります。ここで、 $n$  は段数、時間  $t_{CE-TC}$  は各段での CE ピンと TC ピン間の伝搬遅延を表します。カウンタをカスケードする場合、CE 入力を使用するときは CEO 出力を、CE 入力を使用しないときは TC 出力を使用します。

CPLD デバイスについては、高速カスケードが可能な双方向カウンタである CB2X1、CB4X1、CB8X1、CB16X1 を参照してください。

電力を供給すると、カウンタは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

## 論理表

入力						出力		
CLR	L	CE	C	UP	Dz - D0	Qz - Q0	TC	CEO
1	X	X	X	X	X	0	0	0
0	1	X	↑	X	Dn	Dn	TC	CEO
0	0	0	X	X	X	変化なし	変化なし	0
0	0	1	↑	1	X	インクリメント	TC	CEO
0	0	1	↑	0	X	デクリメント	TC	CEO
z = ビット幅 - 1 $TC = (Qz \cdot Q(z-1) \cdot Q(z-2) \cdot \dots \cdot Q0 \cdot UP) + (Qz \cdot Q(z-1) \cdot Q(z-2) \cdot \dots \cdot Q0 \cdot \overline{UP})$ $CEO = TC \cdot CE$								

## デザインの入力方法

このエレメントは、回路図でのみ使用できます。

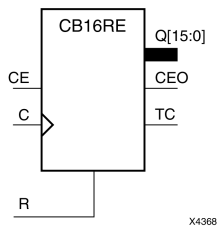
## 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート



## CB16RE

マクロ：16-Bit Cascadable Binary Counter with Clock Enable and Synchronous Reset



## サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

## 概要

このデザイン エLEMENTは、同期、リセット可能、カスケード可能なバイナリ カウンタです。同期リセット入力 (R) が High になると、ほかの入力は無視され、クロック (C) が Low から High に切り替わる時に出力 (Q)、ターミナル カウンタ (TC)、およびクロック イネーブル出力 (CEO) が 0 になります。クロック イネーブル入力 (CE) が High の場合、クロック (C) が Low から High に切り替わる時に出力 (Q) がインクリメントされます。CE が Low の場合、クロック遷移は無視されます。すべての Q 出力が High になると、TC 出力が High になります。

1 段目の CEO 出力を次の段の CE 入力に接続し、C および R 入力を並列に接続すると、より大型のカウンタを作成できます。TC と CE が High になると、CEO がアクティブ (High) になります。カウンタの長さの最大値は、CE ピンと TC ピン間の伝搬遅延の合計とクロック周期の関係によって決定されます。クロック周期は、 $n(t_{CE-TC})$  より大きい必要があります。ここで、 $n$  は段数、時間  $t_{CE-TC}$  は各段での CE ピンと TC ピン間の伝搬遅延を表します。カウンタをカスケードする場合、CE 入力を使用するときは CEO 出力を、CE 入力を使用しないときは TC 出力を使用します。

電力を供給すると、カウンタは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

## 論理表

入力			出力		
R	CE	C	Q <sub>z</sub> - Q <sub>0</sub>	TC	CEO
1	X	↑	0	0	0
0	0	X	変化なし	変化なし	0
0	1	↑	インクリメント	TC	CEO
$z = \text{ビット幅} - 1$ $TC = Q_z \cdot Q_{(z-1)} \cdot Q_{(z-2)} \cdot \dots \cdot Q_0$ $CEO = TC \cdot CE$					

## デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

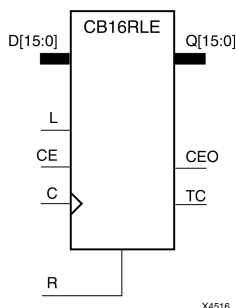
### 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート



## CB16RLE

マクロ：16-Bit Loadable Cascadable Binary Counter with Clock Enable and Synchronous Reset



### サポートされているアーキテクチャ

このデザイン エレメントは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

### 概要

このデザイン エレメントは、同期、ロード可能、リセット可能、カスケード可能なバイナリ カウンタです。同期リセット入力 (R) が High になると、ほかの入力は無視され、クロック (C) が Low から High に切り替わる時に出力 (Q)、ターミナルカウンタ (TC)、およびクロック イネーブル出力 (CEO) が 0 になります。

ロード イネーブル入力 (L) が High の場合、クロック (C) が Low から High に切り替わる時に、CE の値に関係なく、D 入力の値がカウンタにロードされます。CE が High の場合、クロックが Low から High に切り替わる時に Q 出力がインクリメントされます。CE が Low の場合、クロック遷移は無視されます。すべての Q 出力が High になると、TC 出力が High になります。すべての Q 出力と CE が High になると、CEO 出力が High になるので、カウンタを直接カスケード接続できます。

1 段目の CEO 出力を次の段の CE 入力に接続し、C、L、および R 入力を並列に接続すると、より大型のカウンタを作成できます。TC と CE が High になると、CEO がアクティブ (High) になります。カウンタの長さの最大値は、CE ピンと TC ピン間の伝搬遅延の合計とクロック周期の関係によって決定されます。クロック周期は、 $n(t_{CE-TC})$  より大きい必要があります。ここで、 $n$  は段数、時間  $t_{CE-TC}$  は各段での CE ピンと TC ピン間の伝搬遅延を表します。カウンタをカスケードする場合、CE 入力を使用するときは CEO 出力を、CE 入力を使用しないときは TC 出力を使用します。

電力を供給すると、カウンタは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

## 論理表

入力					出力		
R	L	CE	C	Dz - D0	Qz - Q0	TC	CEO
1	X	X	↑	X	0	0	0
0	1	X	↑	Dn	Dn	TC	CEO
0	0	0	X	X	変化なし	変化なし	0
0	0	1	↑	X	インクリメント	TC	CEO
z = ビット幅 - 1 $TC = Qz \cdot Q(z-1) \cdot Q(z-2) \cdot \dots \cdot Q0$ $CEO = TC \cdot CE$							

## デザインの入力方法

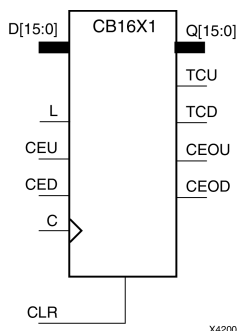
このエレメントは、回路図でのみ使用できます。

## 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

## CB16X1

**マクロ：16-Bit Loadable Cascadable Bidirectional Binary Counter with Clock Enable and Asynchronous Clear**



## サポートされているアーキテクチャ

このデザイン エレメントは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

## 概要

このデザイン エレメントは、同期、ロード可能、非同期クリア可能、リセット能な双方向バイナリ カウンタです。このカウンタには、アップとダウンの両方向に対してそれぞれカウント イネーブル入力と同期ターミナル カウント出力があり、高速カスケードがサポートされています。

非同期クリア入力 (CLR) が最も優先される入力で、CLR が High になると、ほかのすべての入力は無視されます。クロック遷移に関係なく、出力 (Q) は 0、ターミナル カウント出力 TCU と TCD はそれぞれ 0 と 1、クロック イネーブル出力 CEOU と CEOD はそれぞれ Low と High になります。ロード イネーブル入力 (L) が High の場合、クロック (C) が Low から High に切り替わるときに、CE 入力の値に関係なく、D 入力の値がカウンタにロードされます。

CEU が High、CLR と L が Low の場合、クロックが Low から High に切り替わるときに Q 出力がインクリメントされます。CED が High、CLR と L が Low の場合、Q 出力がデクリメントされます。CEU と CED が Low の場合、クロック遷移は無視されます。クロック遷移の際に CEU と CED の両方を High にしないでください。CEU と CED が両方とも High になっていると、カスケード接続した場合に CEOU および CEOD 出力が正しく機能しません。

カウントアップする場合、すべての Q 出力と CEU が High になると CEOU 出力が High になります。カウントダウンする場合、すべての Q 出力が Low、CED が High になると CEOD 出力が High になります。カウンタをカスケード接続するには、各カウンタの CEOU 出力および CEOD 出力をそれぞれ次の段の CEU および CED 入力に直接接続します。クロック、L、CLR の各入力は、並列に接続します。

すべてのカウントおよびロード機能に対して、カウンタをいくつカスケード接続しても、カウンタ コンポーネントの最大クロック周波数は影響を受けません。すべての Q 出力が High になると、CEU に関係なく、TCU ターミナル カウント出力が High になります。すべての Q 出力が Low になると、CED に関係なく、TCD 出力は High になります。

カウンタをカスケード接続する場合、最終的なターミナル カウント信号は、TCU 出力 (アップ方向) と TCD 出力 (ダウン方向) をすべて接続した AND ゲートで生成されます。TCU、CEOU、CEOD の各出力は、コンポーネント内の最適化可能な AND ゲートによって生成されます。したがって、これらの出力からの接続がすべてオンチップであれば、CEU および CED の入力と Q 出力のピン間の伝搬遅延がゼロになります。すべてがオンチップでない場合は、マクロセルバッファ遅延が発生します。

電力を供給すると、カウンタは 0 (TCU は Low、TCD は High) に初期化されます。High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

## 論理表

入力						出力				
CLR	L	CEU	CED	C	Dz - D0	Qz - Q0	TCU	TCD	CEOU	CEOD
1	X	X	X	X	X	0	0	1	0	CEOD
0	1	X	X	↑	Dn	Dn	TCU	TCD	CEOU	CEOD
0	0	0	0	X	X	変化なし	変化なし	変化なし	0	0
0	0	1	0	↑	X	インクリメント	TCU	TCD	CEOU	0
0	0	0	1	↑	X	デクリメント	TCU	TCD	0	CEOD
0	0	1	1	↑	X	インクリメント	TCU	TCD	無効	無効

$z = \text{ビット幅} - 1$

$TCU = Qz \cdot Q(z-1) \cdot Q(z-2) \cdot \dots \cdot Q0$

$TCD = Qz \cdot Q(z-1) \cdot Q(z-2) \cdot \dots \cdot Q0$

$CEOU = TCU \cdot CEU$

$CEOD = TCD \cdot CED$

## デザインの入力方法

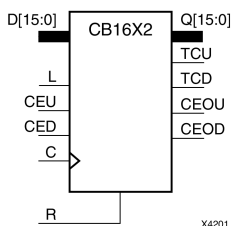
このエレメントは、回路図でのみ使用できます。

## 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

## CB16X2

**マクロ：16-Bit Loadable Cascadable Bidirectional Binary Counter with Clock Enable and Synchro-nous Reset**



## サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

## 概要

このデザイン エLEMENTは、同期、ロード可能、リセット可能な双方向バイナリ カウンタです。このカウンタには、アップとダウンの両方向に対してそれぞれカウント イネーブル入力と同期ターミナル カウント出力があり、CPLD アーキテクチャでの高速カスケードがサポートされています。

同期リセット入力 (R) は最も優先される入力で、R が High になるとほかのすべての入力は無視されます。クロック (C) が Low から High に切り替わるときに、出力 (Q) の値は 0 に、ターミナル カウント出力 TCU と TCD はそれぞれ 0 と 1 に、クロック イネーブル出力 CEOU と CEOD はそれぞれ Low と High になります。ロード イネーブル入力 (L) が High の場合、クロック (C) が Low から High に切り替わるときに、CE 入力の値に関係なく、D 入力の値がカウンタにロードされます。

CEU が High、R と L が Low の場合、クロックが Low から High に切り替わるときにすべての Q 出力がインクリメントされます。CED が High、R と L が Low の場合、すべての Q 出力がデクリメントされます。CEU と CED が Low の場合、クロック遷移は無視されます。クロック遷移の際に CEU と CED の両方を High にしないでください。CEU と CED が両方とも High になっていると、カスケード接続した場合に CEOU および CEOD 出力が正しく機能しません。

カウントアップする場合、すべての Q 出力と CEU が High になると CEOU 出力が High になります。カウントダウンする場合、すべての Q 出力が Low、CED が High になると CEOD 出力が High になります。カウンタをカスケード接続するには、各カウンタの CEOU 出力および CEOD 出力をそれぞれ次の段の CEU および CED 入力に直接接続します。C、L、および R 入力は、並列に接続します。

すべてのカウントおよびロード機能に対して、カウンタをいくつカスケード接続しても、カウンタ コンポーネントの最大クロック周波数は影響を受けません。すべての Q 出力が High になると、CEU に関係なく、TCU ターミナル カウント出力が High になります。すべての Q 出力が Low になると、CED に関係なく、TCD 出力は High になります。

カウンタをカスケード接続する場合、最終的なターミナル カウント信号は、TCU 出力 (アップ方向) と TCD 出力 (ダウン方向) をすべて接続した AND ゲートで生成されます。TCU、CEOU、CEOD の各出力は、コンポーネント内の最適化可能な AND ゲートによって生成されます。したがって、これらの出力からの接続がすべてオンチップであれば、CEU および CED の入力と Q 出力のピン間の伝搬遅延がゼロになります。すべてがオンチップでない場合は、マクロセルバッファ遅延が発生します。

電力を供給すると、カウンタは 0 (TCU は Low、TCD は High) に初期化されます。High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。



## 論理表

入力						出力				
R	L	CEU	CED	C	Dz - D0	Qz - Q0	TCU	TCD	CEOU	CEOD
1	X	X	X	↑	X	0	0	1	0	CEOD
0	1	X	X	↑	Dn	Dn	TCU	TCD	CEOU	CEOD
0	0	0	0	X	X	変化なし	変化なし	変化なし	0	0
0	0	1	0	↑	X	インクリメント	TCU	TCD	CEOU	0
0	0	0	1	↑	X	デクリメント	TCU	TCD	0	CEOD
0	0	1	1	↑	X	インクリメント	TCU	TCD	無効	無効

$z = \text{ビット幅} - 1$   
 $TCU = QzQ(z-1)Q(z-2)...Q0$   
 $TCD = QzQ(z-1)Q(z-2)...Q0$   
 $CEOU = TCUCU$   
 $CEOD = TCDCED$

## デザインの入力方法

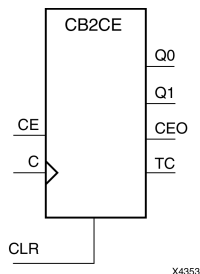
このELEMENTは、回路図でのみ使用できます。

## 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

## CB2CE

マクロ：2-Bit Cascadable Binary Counter with Clock Enable and Asynchronous Clear



## サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

## 概要

このデザイン エLEMENTは、非同期クリア可能、カスケード可能なバイナリ カウンタです。非同期クリア (CLR) 入力が高になると、ほかのすべての入力は無視され、クロック (C) の遷移に関係なく、出力 (Q)、ターミナル カウンタ (TC)、およびクロック イネーブル出力 (CEO) が 0 になります。クロック イネーブル入力 (CE) が High の場合、クロック (C) が Low から High に切り替わる時に出力 (Q) がインクリメントされます。CE が Low の場合、クロック遷移は無視されます。すべての Q 出力が高になると、TC 出力が高になります。

1 段目の CEO 出力を次の段の CE 入力に接続し、C および CLR 入力を並列に接続すると、より大型のカウンタを作成できます。TC と CE が High になると、CEO がアクティブ (High) になります。カウンタの長さの最大値は、CE ピンと TC ピン間の伝搬遅延の合計とクロック周期の関係によって決定されます。クロック周期は、 $n(t_{CE-TC})$  より大きい必要があります。ここで、 $n$  は段数、時間  $t_{CE-TC}$  は各段での CE ピンと TC ピン間の伝搬遅延を表します。カウンタをカスケードする場合、CE 入力を使用するときは CEO 出力を、CE 入力を使用しないときは TC 出力を使用します。

電力を供給すると、カウンタは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

## 論理表

入力			出力		
CLR	CE	C	Qz - Q0	TC	CEO
1	X	X	0	0	0
0	0	X	変化なし	変化なし	0
0	1	↑	インクリメント	TC	CEO
$z = \text{ビット幅} - 1$ $TC = Q_z \cdot Q(z-1) \cdot Q(z-2) \cdot \dots \cdot Q_0$ $CEO = TC \cdot CE$					

## デザインの入力方法

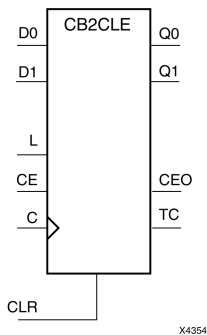
このエレメントは、回路図でのみ使用できます。

## 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

## CB2CLE

マクロ：2-Bit Loadable Cascadable Binary Counters with Clock Enable and Asynchronous Clear



## サポートされているアーキテクチャ

このデザイン エレメントは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

## 概要

このデザイン エレメントは、同期、ロード可能、非同期クリア可能、カスケード可能なバイナリ カウンタです。非同期クリア (CLR) 入力が高になると、ほかのすべての入力は無視され、クロック (C) の遷移に関係なく、出力 (Q)、ターミナル カウンタ (TC)、およびクロック イネーブル出力 (CEO) が 0 になります。ロード イネーブル入力 (L) が High の場合、クロックが Low から High に切り替わるときに、クロック イネーブル (CE) の値に関係なく、入力 (D) の値がカウンタにロードされます。CE が High の場合、クロックが Low から High に切り替わるときに Q 出力がインクリメントされます。CE が Low の場合、クロック遷移は無視されます。すべての Q 出力が高になると、TC 出力が高になります。

1 段目の CEO 出力を次の段の CE 入力に接続し、C、L、および CLR 入力を並列に接続すると、より大型のカウンタを作成できます。TC と CE が High になると、CEO がアクティブ (High) になります。カウンタの長さの最大値は、CE ピンと TC ピン間の伝搬遅延の合計とクロック周期の関係によって決定されます。クロック周期は、 $n(t_{CE-TC})$  より大きい必要があります。ここで、 $n$  は段数、時間  $t_{CE-TC}$  は各段での CE ピンと TC ピン間の伝搬遅延を表します。カウンタをカスケードする場合、CE 入力を使用するときは CEO 出力を、CE 入力を使用しないときは TC 出力を使用します。

電力を供給すると、カウンタは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

## 論理表

入力					出力		
CLR	L	CE	C	Dz - D0	Qz - Q0	TC	CEO
1	X	X	X	X	0	0	0
0	1	X	↑	Dn	Dn	TC	CEO
0	0	0	X	X	変化なし	変化なし	0
0	0	1	↑	X	インクリメント	TC	CEO
z = ビット幅 - 1 $TC = Qz \cdot Q(z-1) \cdot Q(z-2) \cdot \dots \cdot Q0$ $CEO = TC \cdot CE$							

## デザインの入力方法

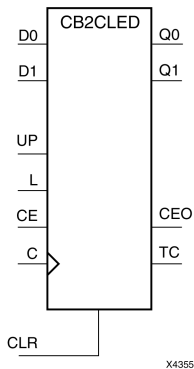
このELEMENTは、回路図でのみ使用できます。

## 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

## CB2CLED

**マクロ：2-Bit Loadable Cascadable Bidirectional Binary Counters with Clock Enable and Asynchronous Clear**



## サポートされているアーキテクチャ

このデザイン エレメントは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

## 概要

このデザイン エレメントは、同期、ロード可能、非同期クリア可能、カスケード可能な双方向バイナリ カウンタです。非同期クリア (CLR) 入力が高レベルになると、ほかのすべての入力は無視され、クロック (C) の遷移に関係なく、出力 (Q)、ターミナル カウンタ (TC)、およびクロック イネーブル出力 (CEO) が 0 になります。ロード イネーブル入力 (L) が High の場合、クロック (C) が Low から High に切り替わる時に、クロック イネーブル (CE) の値に関係なく、入力 (D) の値がカウンタにロードされます。CE が High、UP が Low の場合、クロックが Low から High に切り替わる時に、Q 出力がデクリメントされます。CE と UP が High の場合、Q 出力がインクリメントされます。CE が Low の場合、クロック遷移は無視されます。

カウントアップする場合、すべての Q 出力と UP が High になると TC 出力が High になります。カウントダウンする場合、すべての Q 出力と UP が Low になると TC 出力が High になります。

1 段目の CEO 出力を次の段の CE 入力に接続し、C、UP、L、および CLR 入力を並列に接続すると、より大型のカウンタを作成できます。TC と CE が High になると、CEO がアクティブ (High) になります。カウンタの長さの最大値は、CE ピンと TC ピン間の伝搬遅延の合計とクロック周期の関係によって決定されます。クロック周期は、 $n(t_{CE-TC})$  より大きい必要があります。ここで、 $n$  は段数、時間  $t_{CE-TC}$  は各段での CE ピンと TC ピン間の伝搬遅延を表します。カウンタをカスケードする場合、CE 入力を使用するときは CEO 出力を、CE 入力を使用しないときは TC 出力を使用します。

CPLD デバイスについては、高速カスケードが可能な双方向カウンタである CB2X1、CB4X1、CB8X1、CB16X1 を参照してください。

電力を供給すると、カウンタは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

## 論理表

入力						出力		
CLR	L	CE	C	UP	Dz - D0	Qz - Q0	TC	CEO
1	X	X	X	X	X	0	0	0
0	1	X	↑	X	Dn	Dn	TC	CEO
0	0	0	X	X	X	変化なし	変化なし	0
0	0	1	↑	1	X	インクリメント	TC	CEO
0	0	1	↑	0	X	デクリメント	TC	CEO
$z = \text{ビット幅} - 1$ $TC = (Qz \cdot Q(z-1) \cdot Q(z-2) \cdot \dots \cdot Q0 \cdot UP) + (Qz \cdot Q(z-1) \cdot Q(z-2) \cdot \dots \cdot Q0 \cdot \overline{UP})$ $CEO = TC \cdot CE$								

## デザインの入力方法

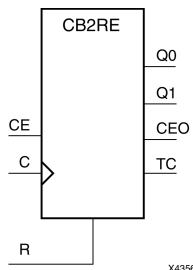
このエレメントは、回路図でのみ使用できます。

## 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

## CB2RE

### マクロ：2-Bit Cascadable Binary Counter with Clock Enable and Synchronous Reset



## サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

## 概要

このデザイン エLEMENTは、同期、リセット可能、カスケード可能なバイナリカウンタです。同期リセット入力 (R) が High になると、ほかの入力は無視され、クロック (C) が Low から High に切り替わる時に出力 (Q)、ターミナル カウンタ (TC)、およびクロック イネーブル出力 (CEO) が 0 になります。クロック イネーブル入力 (CE) が High の場合、クロック (C) が Low から High に切り替わる時に出力 (Q) がインクリメントされます。CE が Low の場合、クロック遷移は無視されます。すべての Q 出力が High になると、TC 出力が High になります。

1 段目の CEO 出力を次の段の CE 入力に接続し、C および R 入力を並列に接続すると、より大型のカウンタを作成できます。TC と CE が High になると、CEO がアクティブ (High) になります。カウンタの長さの最大値は、CE ピンと TC ピン間の伝搬遅延の合計とクロック周期の関係によって決定されます。クロック周期は、 $n(t_{CE-TC})$  より大きい必要があります。ここで、 $n$  は段数、時間  $t_{CE-TC}$  は各段での CE ピンと TC ピン間の伝搬遅延を表します。カウンタをカスケードする場合、CE 入力を使用するときは CEO 出力を、CE 入力を使用しないときは TC 出力を使用します。

電力を供給すると、カウンタは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

## 論理表

入力			出力		
R	CE	C	Qz - Q0	TC	CEO
1	X	↑	0	0	0
0	0	X	変化なし	変化なし	0
0	1	↑	インクリメント	TC	CEO
$z = \text{ビット幅} - 1$ $TC = Q_z \cdot Q_{(z-1)} \cdot Q_{(z-2)} \cdot \dots \cdot Q_0$ $CEO = TC \cdot CE$					



## デザインの入力方法

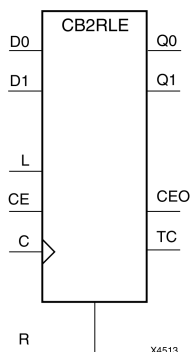
このエレメントは、回路図でのみ使用できます。

## 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

## CB2RLE

マクロ：2-Bit Loadable Cascadable Binary Counter with Clock Enable and Synchronous Reset



## サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

## 概要

このデザイン エLEMENTは、同期、ロード可能、リセット可能、カスケード可能なバイナリ カウンタです。同期リセット入力 (R) が High になると、ほかの入力は無視され、クロック (C) が Low から High に切り替わる時に出力 (Q)、ターミナル カウンタ (TC)、およびクロック イネーブル出力 (CEO) が 0 になります。

ロード イネーブル入力 (L) が High の場合、クロック (C) が Low から High に切り替わる時に、CE の値に関係なく、D 入力の値がカウンタにロードされます。CE が High の場合、クロックが Low から High に切り替わる時に Q 出力がインクリメントされます。CE が Low の場合、クロック遷移は無視されます。すべての Q 出力が High になると、TC 出力が High になります。すべての Q 出力と CE が High になると、CEO 出力が High になるので、カウンタを直接カスケード接続できます。

1 段目の CEO 出力を次の段の CE 入力に接続し、C、L、および R 入力を並列に接続すると、より大型のカウンタを作成できます。TC と CE が High になると、CEO がアクティブ (High) になります。カウンタの長さの最大値は、CE ピンと TC ピン間の伝搬遅延の合計とクロック周期の関係によって決定されます。クロック周期は、 $n(t_{CE-TC})$  より大きい必要があります。ここで、 $n$  は段数、時間  $t_{CE-TC}$  は各段での CE ピンと TC ピン間の伝搬遅延を表します。カウンタをカスケードする場合、CE 入力を使用するときは CEO 出力を、CE 入力を使用しないときは TC 出力を使用します。

電力を供給すると、カウンタは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

## 論理表

入力					出力		
R	L	CE	C	Dz - D0	Qz - Q0	TC	CEO
1	X	X	↑	X	0	0	0
0	1	X	↑	Dn	Dn	TC	CEO
0	0	0	X	X	変化なし	変化なし	0
0	0	1	↑	X	インクリメント	TC	CEO
z = ビット幅 - 1 $TC = Qz \cdot Q(z-1) \cdot Q(z-2) \cdot \dots \cdot Q0$ $CEO = TC \cdot CE$							

## デザインの入力方法

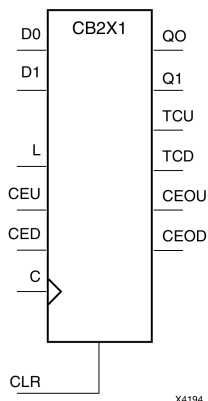
このエレメントは、回路図でのみ使用できます。

## 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

## CB2X1

**マクロ：2-Bit Loadable Cascadable Bidirectional Binary Counter with Clock Enable and Asynchronous Clear**



## サポートされているアーキテクチャ

このデザイン エレメントは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

## 概要

このデザイン エレメントは、同期、ロード可能、非同期クリア可能、リセット能な双方向バイナリ カウンタです。このカウンタには、アップとダウンの両方向に対してそれぞれカウント イネーブル入力と同期ターミナル カウント出力があり、高速カスケードがサポートされています。

非同期クリア入力 (CLR) が最も優先される入力で、CLR が High になると、ほかのすべての入力は無視されます。クロック遷移に関係なく、出力 (Q) は 0、ターミナル カウント出力 TCU と TCD はそれぞれ 0 と 1、クロック イネーブル出力 CEUO と CEOD はそれぞれ Low と High になります。ロード イネーブル入力 (L) が High の場合、クロック (C) が Low から High に切り替わるときに、CE 入力の値に関係なく、D 入力の値がカウンタにロードされます。

CEU が High、CLR と L が Low の場合、クロックが Low から High に切り替わるときに Q 出力がインクリメントされます。CED が High、CLR と L が Low の場合、Q 出力がデクリメントされます。CEU と CED が Low の場合、クロック遷移は無視されます。クロック遷移の際に CEU と CED の両方を High にしないでください。CEU と CED が両方とも High になっていると、カスケード接続した場合に CEUO および CEOD 出力が正しく機能しません。

カウント アップする場合、すべての Q 出力と CEU が High になると CEUO 出力が High になります。カウント ダウンする場合、すべての Q 出力が Low、CED が High になると CEOD 出力が High になります。カウンタをカスケード接続するには、各カウンタの CEUO 出力および CEOD 出力をそれぞれ次の段の CEU および CED 入力に直接接続します。クロック、L、CLR の各入力は、並列に接続します。

すべてのカウントおよびロード機能に対して、カウンタをいくつカスケード接続しても、カウンタ コンポーネントの最大クロック周波数は影響を受けません。すべての Q 出力が High になると、CEU に関係なく、TCU ターミナル カウント出力が High になります。すべての Q 出力が Low になると、CED に関係なく、TCD 出力は High になります。

カウンタをカスケード接続する場合、最終的なターミナル カウント信号は、TCU 出力 (アップ方向) と TCD 出力 (ダウン方向) をすべて接続した AND ゲートで生成されます。TCU、CEOU、CEOD の各出力は、コンポーネント内の最適化可能な AND ゲートによって生成されます。したがって、これらの出力からの接続がすべてオンチップであれば、CEU および CED の入力と Q 出力のピン間の伝搬遅延がゼロになります。すべてがオンチップでない場合は、マクロセルバッファ遅延が発生します。

電力を供給すると、カウンタは 0 (TCU は Low、TCD は High) に初期化されます。High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

## 論理表

入力						出力				
CLR	L	CEU	CED	C	Dz - D0	Qz - Q0	TCU	TCD	CEOU	CEOD
1	X	X	X	X	X	0	0	1	0	CEOD
0	1	X	X	↑	Dn	Dn	TCU	TCD	CEOU	CEOD
0	0	0	0	X	X	変化なし	変化なし	変化なし	0	0
0	0	1	0	↑	X	インクリメント	TCU	TCD	CEOU	0
0	0	0	1	↑	X	デクリメント	TCU	TCD	0	CEOD
0	0	1	1	↑	X	インクリメント	TCU	TCD	無効	無効

$z = \text{ビット幅} - 1$

$TCU = Qz \cdot Q(z-1) \cdot Q(z-2) \cdot \dots \cdot Q0$

$TCD = Qz \cdot Q(z-1) \cdot Q(z-2) \cdot \dots \cdot Q0$

$CEOU = TCU \cdot CEU$

$CEOD = TCD \cdot CED$

## デザインの入力方法

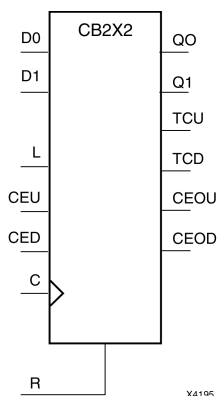
このエレメントは、回路図でのみ使用できます。

## 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

## CB2X2

**マクロ：2-Bit Loadable Cascadable Bidirectional Binary Counter with Clock Enable and Synchronous Reset**



## サポートされているアーキテクチャ

このデザイン エレメントは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

## 概要

このデザイン エレメントは、同期、ロード可能、リセット可能な双方向バイナリ カウンタです。このカウンタには、アップとダウンの両方向に対してそれぞれカウント イネーブル入力と同期ターミナル カウント出力があり、CPLD アーキテクチャでの高速カスケードがサポートされています。

同期リセット入力 (R) は最も優先される入力で、R が High になるとほかのすべての入力は無視されます。クロック (C) が Low から High に切り替わるときに、出力 (Q) の値は 0 に、ターミナル カウント出力 TCU と TCD はそれぞれ 0 と 1 に、クロック イネーブル出力 CEOU と CEOD はそれぞれ Low と High になります。ロード イネーブル入力 (L) が High の場合、クロック (C) が Low から High に切り替わるときに、CE 入力の値に関係なく、D 入力の値がカウンタにロードされます。

CEU が High、R と L が Low の場合、クロックが Low から High に切り替わるときにすべての Q 出力がインクリメントされます。CED が High、R と L が Low の場合、すべての Q 出力がデクリメントされます。CEU と CED が Low の場合、クロック遷移は無視されます。クロック遷移の際に CEU と CED の両方を High にしないでください。CEU と CED が両方とも High になっていると、カスケード接続した場合に CEOU および CEOD 出力が正しく機能しません。

カウントアップする場合、すべての Q 出力と CEU が High になると CEOU 出力が High になります。カウントダウンする場合、すべての Q 出力が Low、CED が High になると CEOD 出力が High になります。カウンタをカスケード接続するには、各カウンタの CEOU 出力および CEOD 出力をそれぞれ次の段の CEU および CED 入力に直接接続します。C、L、および R 入力は、並列に接続します。

すべてのカウントおよびロード機能に対して、カウンタをいくつカスケード接続しても、カウンタ コンポーネントの最大クロック周波数は影響を受けません。すべての Q 出力が High になると、CEU に関係なく、TCU ターミナル カウント出力が High になります。すべての Q 出力が Low になると、CED に関係なく、TCD 出力は High になります。

カウンタをカスケード接続する場合、最終的なターミナル カウント信号は、TCU 出力 (アップ方向) と TCD 出力 (ダウン方向) をすべて接続した AND ゲートで生成されます。TCU、CEOU、CEOD の各出力は、コンポーネント内の最適化可能な AND ゲートによって生成されます。したがって、これらの出力からの接続がすべてオンチップであれば、CEU および CED の入力と Q 出力のピン間の伝搬遅延がゼロになります。すべてがオンチップでない場合は、マクロセルバッファ遅延が発生します。

電力を供給すると、カウンタは 0 (TCU は Low、TCD は High) に初期化されます。High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

## 論理表

入力						出力				
R	L	CEU	CED	C	Dz - D0	Qz - Q0	TCU	TCD	CEOU	CEOD
1	X	X	X	↑	X	0	0	1	0	CEOD
0	1	X	X	↑	Dn	Dn	TCU	TCD	CEOU	CEOD
0	0	0	0	X	X	変化なし	変化なし	変化なし	0	0
0	0	1	0	↑	X	インクリメント	TCU	TCD	CEOU	0
0	0	0	1	↑	X	デクリメント	TCU	TCD	0	CEOD
0	0	1	1	↑	X	インクリメント	TCU	TCD	無効	無効

$z = \text{ビット幅} - 1$

$TCU = Q_z Q_{(z-1)} Q_{(z-2)} \dots Q_0$

$TCD = Q_z Q_{(z-1)} Q_{(z-2)} \dots Q_0$

$CEOU = TCU CEU$

$CEOD = TCD CED$

## デザインの入力方法

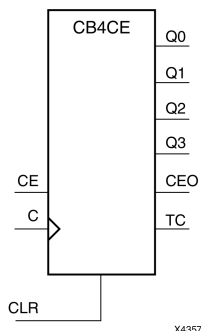
このエレメントは、回路図でのみ使用できます。

## 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

## CB4CE

マクロ：4-Bit Cascadable Binary Counter with Clock Enable and Asynchronous Clear



## サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

## 概要

このデザイン エLEMENTは、非同期クリア可能、カスケード可能なバイナリ カウンタです。非同期クリア (CLR) 入力が高になると、ほかのすべての入力は無視され、クロック (C) の遷移に関係なく、出力 (Q)、ターミナル カウンタ (TC)、およびクロック イネーブル出力 (CEO) が 0 になります。クロック イネーブル入力 (CE) が High の場合、クロック (C) が Low から High に切り替わる時に出力 (Q) がインクリメントされます。CE が Low の場合、クロック遷移は無視されます。すべての Q 出力が高になると、TC 出力が高になります。

1 段目の CEO 出力を次の段の CE 入力に接続し、C および CLR 入力を並列に接続すると、より大型のカウンタを作成できます。TC と CE が High になると、CEO がアクティブ (High) になります。カウンタの長さの最大値は、CE ピンと TC ピン間の伝搬遅延の合計とクロック周期の関係によって決定されます。クロック周期は、 $n(t_{CE-TC})$  より大きい必要があります。ここで、 $n$  は段数、時間  $t_{CE-TC}$  は各段での CE ピンと TC ピン間の伝搬遅延を表します。カウンタをカスケードする場合、CE 入力を使用するときは CEO 出力を、CE 入力を使用しないときは TC 出力を使用します。

電力を供給すると、カウンタは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

## 論理表

入力			出力		
CLR	CE	C	Q <sub>z</sub> - Q <sub>0</sub>	TC	CEO
1	X	X	0	0	0
0	0	X	変化なし	変化なし	0
0	1	↑	インクリメント	TC	CEO
$z = \text{ビット幅} - 1$ $TC = Q_z \cdot Q_{(z-1)} \cdot Q_{(z-2)} \cdot \dots \cdot Q_0$ $CEO = TC \cdot CE$					



## デザインの入力方法

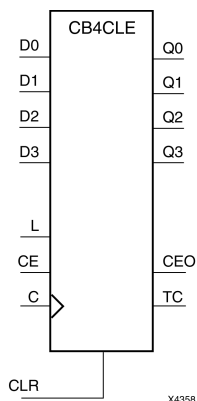
このエレメントは、回路図でのみ使用できます。

## 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

## CB4CLE

マクロ：4-Bit Loadable Cascadable Binary Counters with Clock Enable and Asynchronous Clear



## サポートされているアーキテクチャ

このデザイン エレメントは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

## 概要

このデザイン エレメントは、同期、ロード可能、非同期クリア可能、カスケード可能なバイナリ カウンタです。非同期クリア (CLR) 入力が高になると、ほかのすべての入力は無視され、クロック (C) の遷移に関係なく、出力 (Q)、ターミナル カウンタ (TC)、およびクロック イネーブル出力 (CEO) が 0 になります。ロード イネーブル入力 (L) が High の場合、クロックが Low から High に切り替わるときに、クロック イネーブル (CE) の値に関係なく、入力 (D) の値がカウンタにロードされます。CE が High の場合、クロックが Low から High に切り替わるときに Q 出力がインクリメントされます。CE が Low の場合、クロック遷移は無視されます。すべての Q 出力が高になると、TC 出力が高になります。

1 段目の CEO 出力を次の段の CE 入力に接続し、C、L、および CLR 入力を並列に接続すると、より大型のカウンタを作成できます。TC と CE が High になると、CEO がアクティブ (High) になります。カウンタの長さの最大値は、CE ピンと TC ピン間の伝搬遅延の合計とクロック周期の関係によって決定されます。クロック周期は、 $n(t_{CE-TC})$  より大きい必要があります。ここで、 $n$  は段数、時間  $t_{CE-TC}$  は各段での CE ピンと TC ピン間の伝搬遅延を表します。カウンタをカスケードする場合、CE 入力を使用するときは CEO 出力を、CE 入力を使用しないときは TC 出力を使用します。

電力を供給すると、カウンタは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

## 論理表

入力					出力		
CLR	L	CE	C	Dz - D0	Qz - Q0	TC	CEO
1	X	X	X	X	0	0	0
0	1	X	↑	Dn	Dn	TC	CEO
0	0	0	X	X	変化なし	変化なし	0
0	0	1	↑	X	インクリメント	TC	CEO
z = ビット幅 - 1 $TC = Qz \cdot Q(z-1) \cdot Q(z-2) \cdot \dots \cdot Q0$ $CEO = TC \cdot CE$							

## デザインの入力方法

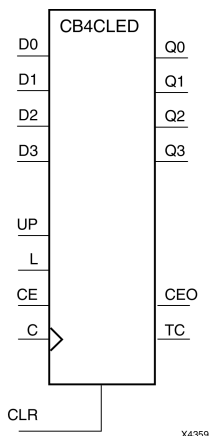
このエレメントは、回路図でのみ使用できます。

## 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

## CB4CLED

**マクロ : 4-Bit Loadable Cascadable Bidirectional Binary Counters with Clock Enable and Asynchronous Clear**



### サポートされているアーキテクチャ

このデザイン エレメントは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

### 概要

このデザイン エレメントは、同期、ロード可能、非同期クリア可能、カスケード可能な双方向バイナリ カウンタです。非同期クリア (CLR) 入力が高レベルになると、ほかのすべての入力は無視され、クロック (C) の遷移に関係なく、出力 (Q)、ターミナル カウンタ (TC)、およびクロック イネーブル出力 (CEO) が 0 になります。ロード イネーブル入力 (L) が High の場合、クロック (C) が Low から High に切り替わる時に、クロック イネーブル (CE) の値に関係なく、入力 (D) の値がカウンタにロードされます。CE が High、UP が Low の場合、クロックが Low から High に切り替わる時に、Q 出力がデクリメントされます。CE と UP が High の場合、Q 出力がインクリメントされます。CE が Low の場合、クロック遷移は無視されます。

カウントアップする場合、すべての Q 出力と UP が High になると TC 出力が High になります。カウントダウンする場合、すべての Q 出力と UP が Low になると TC 出力が High になります。

1 段目の CEO 出力を次の段の CE 入力に接続し、C、UP、L、および CLR 入力を並列に接続すると、より大型のカウンタを作成できます。TC と CE が High になると、CEO がアクティブ (High) になります。カウンタの長さの最大値は、CE ピンと TC ピン間の伝搬遅延の合計とクロック周期の関係によって決定されます。クロック周期は、 $n(t_{CE-TC})$  より大きい必要があります。ここで、 $n$  は段数、時間  $t_{CE-TC}$  は各段での CE ピンと TC ピン間の伝搬遅延を表します。カウンタをカスケードする場合、CE 入力を使用するときは CEO 出力を、CE 入力を使用しないときは TC 出力を使用します。

CPLD デバイスについては、高速カスケードが可能な双方向カウンタである CB2X1、CB4X1、CB8X1、CB16X1 を参照してください。

電力を供給すると、カウンタは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

## 論理表

入力						出力		
CLR	L	CE	C	UP	Dz - D0	Qz - Q0	TC	CEO
1	X	X	X	X	X	0	0	0
0	1	X	↑	X	Dn	Dn	TC	CEO
0	0	0	X	X	X	変化なし	変化なし	0
0	0	1	↑	1	X	インクリメント	TC	CEO
0	0	1	↑	0	X	デクリメント	TC	CEO
$z = \text{ビット幅} - 1$ $TC = (Qz \cdot Q(z-1) \cdot Q(z-2) \cdot \dots \cdot Q0 \cdot UP) + (Qz \cdot Q(z-1) \cdot Q(z-2) \cdot \dots \cdot Q0 \cdot \overline{UP})$ $CEO = TC \cdot CE$								

## デザインの入力方法

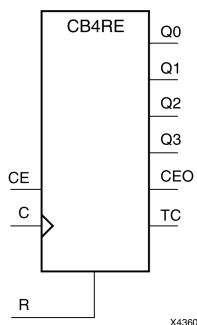
このELEMENTは、回路図でのみ使用できます。

## 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

## CB4RE

マクロ：4-Bit Cascadable Binary Counter with Clock Enable and Synchronous Reset



## サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

## 概要

このデザイン エLEMENTは、同期、リセット可能、カスケード可能なバイナリ カウンタです。同期リセット入力 (R) が High になると、ほかの入力は無視され、クロック (C) が Low から High に切り替わる時に出力 (Q)、ターミナル カウンタ (TC)、およびクロック イネーブル出力 (CEO) が 0 になります。クロック イネーブル入力 (CE) が High の場合、クロック (C) が Low から High に切り替わる時に出力 (Q) がインクリメントされます。CE が Low の場合、クロック遷移は無視されます。すべての Q 出力が High になると、TC 出力が High になります。

1 段目の CEO 出力を次の段の CE 入力に接続し、C および R 入力を並列に接続すると、より大型のカウンタを作成できます。TC と CE が High になると、CEO がアクティブ (High) になります。カウンタの長さの最大値は、CE ピンと TC ピン間の伝搬遅延の合計とクロック周期の関係によって決定されます。クロック周期は、 $n(t_{CE-TC})$  より大きい必要があります。ここで、 $n$  は段数、時間  $t_{CE-TC}$  は各段での CE ピンと TC ピン間の伝搬遅延を表します。カウンタをカスケードする場合、CE 入力を使用するときは CEO 出力を、CE 入力を使用しないときは TC 出力を使用します。

電力を供給すると、カウンタは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

## 論理表

入力			出力		
R	CE	C	Qz - Q0	TC	CEO
1	X	↑	0	0	0
0	0	X	変化なし	変化なし	0
0	1	↑	インクリメント	TC	CEO
$z = \text{ビット幅} - 1$ $TC = Q_z \cdot Q_{(z-1)} \cdot Q_{(z-2)} \cdot \dots \cdot Q_0$ $CEO = TC \cdot CE$					

## デザインの入力方法

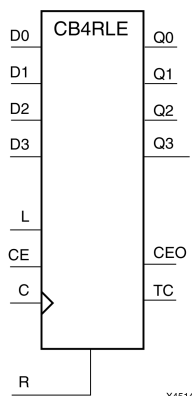
このエレメントは、回路図でのみ使用できます。

## 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

## CB4RLE

マクロ：4-Bit Loadable Cascadable Binary Counter with Clock Enable and Synchronous Reset



## サポートされているアーキテクチャ

このデザイン エレメントは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

## 概要

このデザイン エレメントは、同期、ロード可能、リセット可能、カスケード可能なバイナリ カウンタです。同期リセット入力 (R) が High になると、ほかの入力は無視され、クロック (C) が Low から High に切り替わるときに出力 (Q)、ターミナルカウンタ (TC)、およびクロック イネーブル出力 (CEO) が 0 になります。

ロード イネーブル入力 (L) が High の場合、クロック (C) が Low から High に切り替わるときに、CE の値に関係なく、D 入力の値がカウンタにロードされます。CE が High の場合、クロックが Low から High に切り替わるときに Q 出力がインクリメントされます。CE が Low の場合、クロック遷移は無視されます。すべての Q 出力が High になると、TC 出力が High になります。すべての Q 出力と CE が High になると、CEO 出力が High になるので、カウンタを直接カスケード接続できます。

1 段目の CEO 出力を次の段の CE 入力に接続し、C、L、および R 入力を並列に接続すると、より大型のカウンタを作成できます。TC と CE が High になると、CEO がアクティブ (High) になります。カウンタの長さの最大値は、CE ピンと TC ピン間の伝搬遅延の合計とクロック周期の関係によって決定されます。クロック周期は、 $n(t_{CE-TC})$  より大きい必要があります。ここで、 $n$  は段数、時間  $t_{CE-TC}$  は各段での CE ピンと TC ピン間の伝搬遅延を表します。カウンタをカスケードする場合、CE 入力を使用するときは CEO 出力を、CE 入力を使用しないときは TC 出力を使用します。

電力を供給すると、カウンタは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。



## 論理表

入力					出力		
R	L	CE	C	Dz - D0	Qz - Q0	TC	CEO
1	X	X	↑	X	0	0	0
0	1	X	↑	Dn	Dn	TC	CEO
0	0	0	X	X	変化なし	変化なし	0
0	0	1	↑	X	インクリメント	TC	CEO
z = ビット幅 - 1 $TC = Qz \cdot Q(z-1) \cdot Q(z-2) \cdot \dots \cdot Q0$ $CEO = TC \cdot CE$							

## デザインの入力方法

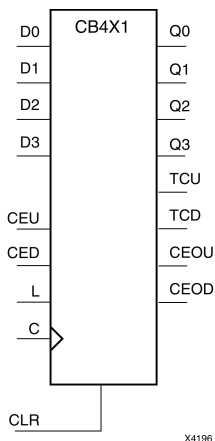
このエレメントは、回路図でのみ使用できます。

## 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

## CB4X1

**マクロ：4-Bit Loadable Cascadable Bidirectional Binary Counter with Clock Enable and Asynchronous Clear**



X4196

## サポートされているアーキテクチャ

このデザイン エレメントは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

## 概要

このデザイン エレメントは、同期、ロード可能、非同期クリア可能、リセット能な双方向バイナリ カウンタです。このカウンタには、アップとダウンの両方向に対してそれぞれカウント イネーブル入力と同期ターミナル カウント出力があり、高速カスケードがサポートされています。

非同期クリア入力 (CLR) が最も優先される入力で、CLR が High になると、ほかのすべての入力は無視されます。クロック遷移に関係なく、出力 (Q) は 0、ターミナル カウント出力 TCU と TCD はそれぞれ 0 と 1、クロック イネーブル出力 CEOU と CEOD はそれぞれ Low と High になります。ロード イネーブル入力 (L) が High の場合、クロック (C) が Low から High に切り替わるときに、CE 入力の値に関係なく、D 入力の値がカウンタにロードされます。

CEU が High、CLR と L が Low の場合、クロックが Low から High に切り替わるときに Q 出力がインクリメントされます。CED が High、CLR と L が Low の場合、Q 出力がデクリメントされます。CEU と CED が Low の場合、クロック遷移は無視されます。クロック遷移の際に CEU と CED の両方を High にしないでください。CEU と CED が両方とも High になっていると、カスケード接続した場合に CEOU および CEOD 出力が正しく機能しません。

カウントアップする場合、すべての Q 出力と CEU が High になると CEOU 出力が High になります。カウントダウンする場合、すべての Q 出力が Low、CED が High になると CEOD 出力が High になります。カウンタをカスケード接続するには、各カウンタの CEOU 出力および CEOD 出力をそれぞれ次の段の CEU および CED 入力に直接接続します。クロック、L、CLR の各入力は、並列に接続します。

すべてのカウントおよびロード機能に対して、カウンタをいくつカスケード接続しても、カウンタ コンポーネントの最大クロック周波数は影響を受けません。すべての Q 出力が High になると、CEU に関係なく、TCU ターミナル カウント出力が High になります。すべての Q 出力が Low になると、CED に関係なく、TCD 出力は High になります。

カウンタをカスケード接続する場合、最終的なターミナル カウント信号は、TCU 出力 (アップ方向) と TCD 出力 (ダウン方向) をすべて接続した AND ゲートで生成されます。TCU、CEOU、CEOD の各出力は、コンポーネント内の最適化可能な AND ゲートによって生成されます。したがって、これらの出力からの接続がすべてオンチップであれば、CEU および CED の入力と Q 出力のピン間の伝搬遅延がゼロになります。すべてがオンチップでない場合は、マクロセルバッファ遅延が発生します。

電力を供給すると、カウンタは 0 (TCU は Low、TCD は High) に初期化されます。High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

## 論理表

入力						出力				
CLR	L	CEU	CED	C	Dz - D0	Qz - Q0	TCU	TCD	CEOU	CEOD
1	X	X	X	X	X	0	0	1	0	CEOD
0	1	X	X	↑	Dn	Dn	TCU	TCD	CEOU	CEOD
0	0	0	0	X	X	変化なし	変化なし	変化なし	0	0
0	0	1	0	↑	X	インクリメント	TCU	TCD	CEOU	0
0	0	0	1	↑	X	デクリメント	TCU	TCD	0	CEOD
0	0	1	1	↑	X	インクリメント	TCU	TCD	無効	無効

$z = \text{ビット幅} - 1$   
 $TCU = Qz \cdot Q(z-1) \cdot Q(z-2) \cdot \dots \cdot Q0$   
 $TCD = Qz \cdot Q(z-1) \cdot Q(z-2) \cdot \dots \cdot Q0$   
 $CEOU = TCU \cdot CEU$   
 $CEOD = TCD \cdot CED$

## デザインの入力方法

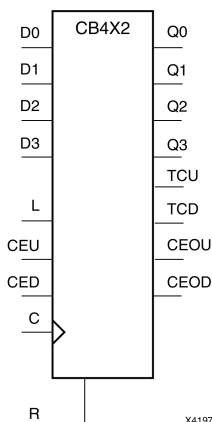
このエレメントは、回路図でのみ使用できます。

## 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

## CB4X2

**マクロ：4-Bit Loadable Cascadable Bidirectional Binary Counter with Clock Enable and Synchronous Reset**



## サポートされているアーキテクチャ

このデザイン エレメントは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

## 概要

このデザイン エレメントは、同期、ロード可能、リセット可能な双方向バイナリ カウンタです。このカウンタには、アップとダウンの両方向に対してそれぞれカウント イネーブル入力と同期ターミナル カウント出力があり、CPLD アーキテクチャでの高速カスケードがサポートされています。

同期リセット入力 (R) は最も優先される入力で、R が High になるとほかのすべての入力は無視されます。クロック (C) が Low から High に切り替わるときに、出力 (Q) の値は 0 に、ターミナル カウント出力 TCU と TCD はそれぞれ 0 と 1 に、クロック イネーブル出力 CEOU と CEOD はそれぞれ Low と High になります。ロード イネーブル入力 (L) が High の場合、クロック (C) が Low から High に切り替わるときに、CE 入力の値に関係なく、D 入力の値がカウンタにロードされます。

CEU が High、R と L が Low の場合、クロックが Low から High に切り替わるときにすべての Q 出力がインクリメントされます。CED が High、R と L が Low の場合、すべての Q 出力がデクリメントされます。CEU と CED が Low の場合、クロック遷移は無視されます。クロック遷移の際に CEU と CED の両方を High にしないでください。CEU と CED が両方とも High になっていると、カスケード接続した場合に CEOU および CEOD 出力が正しく機能しません。

カウントアップする場合、すべての Q 出力と CEU が High になると CEOU 出力が High になります。カウントダウンする場合、すべての Q 出力が Low、CED が High になると CEOD 出力が High になります。カウンタをカスケード接続するには、各カウンタの CEOU 出力および CEOD 出力をそれぞれ次の段の CEU および CED 入力に直接接続します。C、L、および R 入力は、並列に接続します。

すべてのカウントおよびロード機能に対して、カウンタをいくつカスケード接続しても、カウンタ コンポーネントの最大クロック周波数は影響を受けません。すべての Q 出力が High になると、CEU に関係なく、TCU ターミナル カウント出力が High になります。すべての Q 出力が Low になると、CED に関係なく、TCD 出力は High になります。

カウンタをカスケード接続する場合、最終的なターミナル カウント信号は、TCU 出力 (アップ方向) と TCD 出力 (ダウン方向) をすべて接続した AND ゲートで生成されます。TCU、CEOU、CEOD の各出力は、コンポーネント内の最適化可能な AND ゲートによって生成されます。したがって、これらの出力からの接続がすべてオンチップであれば、CEU および CED の入力と Q 出力のピン間の伝搬遅延がゼロになります。すべてがオンチップでない場合は、マクロセルバッファ遅延が発生します。

電力を供給すると、カウンタは 0 (TCU は Low、TCD は High) に初期化されます。High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

## 論理表

入力						出力				
R	L	CEU	CED	C	Dz - D0	Qz - Q0	TCU	TCD	CEOU	CEOD
1	X	X	X	↑	X	0	0	1	0	CEOD
0	1	X	X	↑	Dn	Dn	TCU	TCD	CEOU	CEOD
0	0	0	0	X	X	変化なし	変化なし	変化なし	0	0
0	0	1	0	↑	X	インクリメント	TCU	TCD	CEOU	0
0	0	0	1	↑	X	デクリメント	TCU	TCD	0	CEOD
0	0	1	1	↑	X	インクリメント	TCU	TCD	無効	無効

$z = \text{ビット幅} - 1$

$TCU = Q_z Q_{(z-1)} Q_{(z-2)} \dots Q_0$

$TCD = Q_z Q_{(z-1)} Q_{(z-2)} \dots Q_0$

$CEOU = TCU CEU$

$CEOD = TCD CED$

## デザインの入力方法

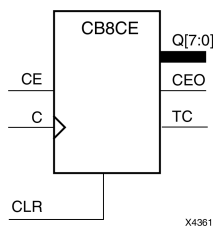
このエレメントは、回路図でのみ使用できます。

## 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

## CB8CE

マクロ：8-Bit Cascadable Binary Counter with Clock Enable and Asynchronous Clear



## サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

## 概要

このデザイン エLEMENTは、非同期クリア可能、カスケード可能なバイナリ カウンタです。非同期クリア (CLR) 入力が高になると、ほかのすべての入力は無視され、クロック (C) の遷移に関係なく、出力 (Q)、ターミナル カウンタ (TC)、およびクロック イネーブル出力 (CEO) が 0 になります。クロック イネーブル入力 (CE) が High の場合、クロック (C) が Low から High に切り替わる時に出力 (Q) がインクリメントされます。CE が Low の場合、クロック遷移は無視されます。すべての Q 出力が高になると、TC 出力が高になります。

1 段目の CEO 出力を次の段の CE 入力に接続し、C および CLR 入力を並列に接続すると、より大型のカウンタを作成できます。TC と CE が High になると、CEO がアクティブ (High) になります。カウンタの長さの最大値は、CE ピンと TC ピン間の伝搬遅延の合計とクロック周期の関係によって決定されます。クロック周期は、 $n(t_{CE-TC})$  より大きい必要があります。ここで、 $n$  は段数、時間  $t_{CE-TC}$  は各段での CE ピンと TC ピン間の伝搬遅延を表します。カウンタをカスケードする場合、CE 入力を使用するときは CEO 出力を、CE 入力を使用しないときは TC 出力を使用します。

電力を供給すると、カウンタは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

## 論理表

入力			出力		
CLR	CE	C	Q <sub>z</sub> - Q <sub>0</sub>	TC	CEO
1	X	X	0	0	0
0	0	X	変化なし	変化なし	0
0	1	↑	インクリメント	TC	CEO
$z = \text{ビット幅} - 1$ $TC = Q_z \cdot Q_{(z-1)} \cdot Q_{(z-2)} \cdot \dots \cdot Q_0$ $CEO = TC \cdot CE$					

## デザインの入力方法

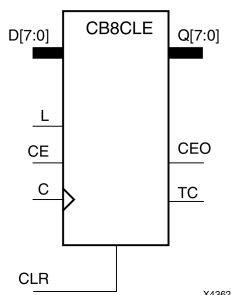
このエレメントは、回路図でのみ使用できます。

## 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

## CB8CLE

マクロ：8-Bit Loadable Cascadable Binary Counters with Clock Enable and Asynchronous Clear



## サポートされているアーキテクチャ

このデザイン エレメントは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

## 概要

このデザイン エレメントは、同期、ロード可能、非同期クリア可能、カスケード可能なバイナリ カウンタです。非同期クリア (CLR) 入力が高になると、ほかのすべての入力は無視され、クロック (C) の遷移に関係なく、出力 (Q)、ターミナル カウンタ (TC)、およびクロック イネーブル出力 (CEO) が 0 になります。ロード イネーブル入力 (L) が High の場合、クロックが Low から High に切り替わるときに、クロック イネーブル (CE) の値に関係なく、入力 (D) の値がカウンタにロードされます。CE が High の場合、クロックが Low から High に切り替わるときに Q 出力がインクリメントされます。CE が Low の場合、クロック遷移は無視されます。すべての Q 出力が高になると、TC 出力が高になります。

1 段目の CEO 出力を次の段の CE 入力に接続し、C、L、および CLR 入力を並列に接続すると、より大型のカウンタを作成できます。TC と CE が High になると、CEO がアクティブ (High) になります。カウンタの長さの最大値は、CE ピンと TC ピン間の伝搬遅延の合計とクロック周期の関係によって決定されます。クロック周期は、 $n(t_{CE-TC})$  より大きい必要があります。ここで、 $n$  は段数、時間  $t_{CE-TC}$  は各段での CE ピンと TC ピン間の伝搬遅延を表します。カウンタをカスケードする場合、CE 入力を使用するときは CEO 出力を、CE 入力を使用しないときは TC 出力を使用します。

電力を供給すると、カウンタは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。



## 論理表

入力					出力		
CLR	L	CE	C	Dz - D0	Qz - Q0	TC	CEO
1	X	X	X	X	0	0	0
0	1	X	↑	Dn	Dn	TC	CEO
0	0	0	X	X	変化なし	変化なし	0
0	0	1	↑	X	インクリメント	TC	CEO
z = ビット幅 - 1 $TC = Qz \cdot Q(z-1) \cdot Q(z-2) \cdot \dots \cdot Q0$ $CEO = TC \cdot CE$							

## デザインの入力方法

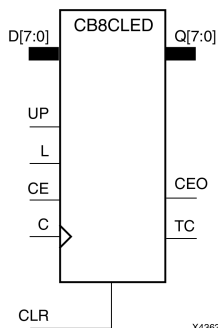
このエレメントは、回路図でのみ使用できます。

## 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

## CB8CLED

**マクロ：8-Bit Loadable Cascadable Bidirectional Binary Counters with Clock Enable and Asynchronous Clear**



## サポートされているアーキテクチャ

このデザイン エレメントは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

## 概要

このデザイン エレメントは、同期、ロード可能、非同期クリア可能、カスケード可能な双方向バイナリ カウンタです。非同期クリア (CLR) 入力が高レベルになると、ほかのすべての入力は無視され、クロック (C) の遷移に関係なく、出力 (Q)、ターミナル カウンタ (TC)、およびクロック イネーブル出力 (CEO) が 0 になります。ロード イネーブル入力 (L) が High の場合、クロック (C) が Low から High に切り替わる時に、クロック イネーブル (CE) の値に関係なく、入力 (D) の値がカウンタにロードされます。CE が High、UP が Low の場合、クロックが Low から High に切り替わる時に、Q 出力がデクリメントされます。CE と UP が High の場合、Q 出力がインクリメントされます。CE が Low の場合、クロック遷移は無視されます。

カウントアップする場合、すべての Q 出力と UP が High になると TC 出力が High になります。カウントダウンする場合、すべての Q 出力と UP が Low になると TC 出力が High になります。

1 段目の CEO 出力を次の段の CE 入力に接続し、C、UP、L、および CLR 入力を並列に接続すると、より大型のカウンタを作成できます。TC と CE が High になると、CEO がアクティブ (High) になります。カウンタの長さの最大値は、CE ピンと TC ピン間の伝搬遅延の合計とクロック周期の関係によって決定されます。クロック周期は、 $n(t_{CE-TC})$  より大きい必要があります。ここで、 $n$  は段数、時間  $t_{CE-TC}$  は各段での CE ピンと TC ピン間の伝搬遅延を表します。カウンタをカスケードする場合、CE 入力を使用するときは CEO 出力を、CE 入力を使用しないときは TC 出力を使用します。

CPLD デバイスについては、高速カスケードが可能な双方向カウンタである CB2X1、CB4X1、CB8X1、CB16X1 を参照してください。

電力を供給すると、カウンタは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

## 論理表

入力						出力		
CLR	L	CE	C	UP	Dz - D0	Qz - Q0	TC	CEO
1	X	X	X	X	X	0	0	0
0	1	X	↑	X	Dn	Dn	TC	CEO
0	0	0	X	X	X	変化なし	変化なし	0
0	0	1	↑	1	X	インクリメント	TC	CEO
0	0	1	↑	0	X	デクリメント	TC	CEO
$z = \text{ビット幅} - 1$ $TC = (Qz \cdot Q(z-1) \cdot Q(z-2) \cdot \dots \cdot Q0 \cdot UP) + (Qz \cdot Q(z-1) \cdot Q(z-2) \cdot \dots \cdot Q0 \cdot \overline{UP})$ $CEO = TC \cdot CE$								

## デザインの入力方法

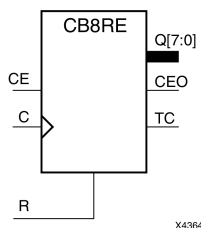
このエレメントは、回路図でのみ使用できます。

## 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

## CB8RE

マクロ：8-Bit Cascadable Binary Counter with Clock Enable and Synchronous Reset



## サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

## 概要

このデザイン エLEMENTは、同期、リセット可能、カスケード可能なバイナリ カウンタです。同期リセット入力 (R) が High になると、ほかの入力は無視され、クロック (C) が Low から High に切り替わる時に出力 (Q)、ターミナル カウンタ (TC)、およびクロック イネーブル出力 (CEO) が 0 になります。クロック イネーブル入力 (CE) が High の場合、クロック (C) が Low から High に切り替わる時に出力 (Q) がインクリメントされます。CE が Low の場合、クロック遷移は無視されます。すべての Q 出力が High になると、TC 出力が High になります。

1 段目の CEO 出力を次の段の CE 入力に接続し、C および R 入力を並列に接続すると、より大型のカウンタを作成できます。TC と CE が High になると、CEO がアクティブ (High) になります。カウンタの長さの最大値は、CE ピンと TC ピン間の伝搬遅延の合計とクロック周期の関係によって決定されます。クロック周期は、 $n(t_{CE-TC})$  より大きい必要があります。ここで、 $n$  は段数、時間  $t_{CE-TC}$  は各段での CE ピンと TC ピン間の伝搬遅延を表します。カウンタをカスケードする場合、CE 入力を使用するときは CEO 出力を、CE 入力を使用しないときは TC 出力を使用します。

電力を供給すると、カウンタは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

## 論理表

入力			出力		
R	CE	C	Qz - Q0	TC	CEO
1	X	↑	0	0	0
0	0	X	変化なし	変化なし	0
0	1	↑	インクリメント	TC	CEO
z = ビット幅 - 1 $TC = Qz \cdot Q(z-1) \cdot Q(z-2) \cdot \dots \cdot Q0$ $CEO = TC \cdot CE$					

## デザインの入力方法

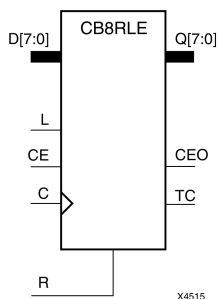
このエレメントは、回路図でのみ使用できます。

## 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

## CB8RLE

マクロ：8-Bit Loadable Cascadable Binary Counter with Clock Enable and Synchronous Reset



### サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

### 概要

このデザイン エLEMENTは、同期、ロード可能、リセット可能、カスケード可能なバイナリ カウンタです。同期リセット入力 (R) が High になると、ほかの入力は無視され、クロック (C) が Low から High に切り替わる時に出力 (Q)、ターミナルカウンタ (TC)、およびクロック イネーブル出力 (CEO) が 0 になります。

ロード イネーブル入力 (L) が High の場合、クロック (C) が Low から High に切り替わる時に、CE の値に関係なく、D 入力の値がカウンタにロードされます。CE が High の場合、クロックが Low から High に切り替わる時に Q 出力がインクリメントされます。CE が Low の場合、クロック遷移は無視されます。すべての Q 出力が High になると、TC 出力が High になります。すべての Q 出力と CE が High になると、CEO 出力が High になるので、カウンタを直接カスケード接続できます。

1 段目の CEO 出力を次の段の CE 入力に接続し、C、L、および R 入力を並列に接続すると、より大型のカウンタを作成できます。TC と CE が High になると、CEO がアクティブ (High) になります。カウンタの長さの最大値は、CE ピンと TC ピン間の伝搬遅延の合計とクロック周期の関係によって決定されます。クロック周期は、 $n(t_{CE-TC})$  より大きい必要があります。ここで、 $n$  は段数、時間  $t_{CE-TC}$  は各段での CE ピンと TC ピン間の伝搬遅延を表します。カウンタをカスケードする場合、CE 入力を使用するときは CEO 出力を、CE 入力を使用しないときは TC 出力を使用します。

電力を供給すると、カウンタは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

## 論理表

入力					出力		
R	L	CE	C	Dz - D0	Qz - Q0	TC	CEO
1	X	X	↑	X	0	0	0
0	1	X	↑	Dn	Dn	TC	CEO
0	0	0	X	X	変化なし	変化なし	0
0	0	1	↑	X	インクリメント	TC	CEO
z = ビット幅 - 1 $TC = Qz \cdot Q(z-1) \cdot Q(z-2) \cdot \dots \cdot Q0$ $CEO = TC \cdot CE$							

## デザインの入力方法

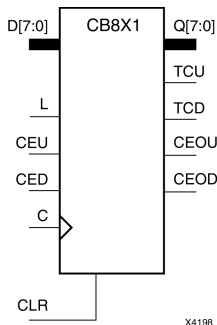
このエレメントは、回路図でのみ使用できます。

## 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

## CB8X1

**マクロ：8-Bit Loadable Cascadable Bidirectional Binary Counter with Clock Enable and Asynchronous Clear**



## サポートされているアーキテクチャ

このデザイン エレメントは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

## 概要

このデザイン エレメントは、同期、ロード可能、非同期クリア可能、リセット能な双方向バイナリ カウンタです。このカウンタには、アップとダウンの両方向に対してそれぞれカウント イネーブル入力と同期ターミナル カウント出力があり、高速カスケードがサポートされています。

非同期クリア入力 (CLR) が最も優先される入力で、CLR が High になると、ほかのすべての入力は無視されます。クロック遷移に関係なく、出力 (Q) は 0、ターミナル カウント出力 TCU と TCD はそれぞれ 0 と 1、クロック イネーブル出力 CEOU と CEOD はそれぞれ Low と High になります。ロード イネーブル入力 (L) が High の場合、クロック (C) が Low から High に切り替わる時に、CE 入力の値に関係なく、D 入力の値がカウンタにロードされます。

CEU が High、CLR と L が Low の場合、クロックが Low から High に切り替わる時に Q 出力がインクリメントされます。CED が High、CLR と L が Low の場合、Q 出力がデクリメントされます。CEU と CED が Low の場合、クロック遷移は無視されます。クロック遷移の際に CEU と CED の両方を High にしないでください。CEU と CED が両方とも High になっていると、カスケード接続した場合に CEOU および CEOD 出力が正しく機能しません。

カウント アップする場合、すべての Q 出力と CEU が High になると CEOU 出力が High になります。カウント ダウンする場合、すべての Q 出力が Low、CED が High になると CEOD 出力が High になります。カウンタをカスケード接続するには、各カウンタの CEOU 出力および CEOD 出力をそれぞれ次の段の CEU および CED 入力に直接接続します。クロック、L、CLR の各入力は、並列に接続します。

すべてのカウントおよびロード機能に対して、カウンタをいくつカスケード接続しても、カウンタ コンポーネントの最大クロック周波数は影響を受けません。すべての Q 出力が High になると、CEU に関係なく、TCU ターミナル カウント出力が High になります。すべての Q 出力が Low になると、CED に関係なく、TCD 出力は High になります。

カウンタをカスケード接続する場合、最終的なターミナル カウント信号は、TCU 出力 (アップ方向) と TCD 出力 (ダウン方向) をすべて接続した AND ゲートで生成されます。TCU、CEOU、CEOD の各出力は、コンポーネント内の最適化可能な AND ゲートによって生成されます。したがって、これらの出力からの接続がすべてオンチップであれば、CEU および CED の入力と Q 出力のピン間の伝搬遅延がゼロになります。すべてがオンチップでない場合は、マクロセルバッファ遅延が発生します。



電力を供給すると、カウンタは 0 (TCU は Low、TCD は High) に初期化されます。High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

## 論理表

入力						出力				
CLR	L	CEU	CED	C	Dz - D0	Qz - Q0	TCU	TCD	CEOU	CEOD
1	X	X	X	X	X	0	0	1	0	CEOD
0	1	X	X	↑	Dn	Dn	TCU	TCD	CEOU	CEOD
0	0	0	0	X	X	変化なし	変化なし	変化なし	0	0
0	0	1	0	↑	X	インクリメント	TCU	TCD	CEOU	0
0	0	0	1	↑	X	デクリメント	TCU	TCD	0	CEOD
0	0	1	1	↑	X	インクリメント	TCU	TCD	無効	無効

$z = \text{ビット幅} - 1$

$TCU = Qz \cdot Q(z-1) \cdot Q(z-2) \cdot \dots \cdot Q0$

$TCD = Qz \cdot Q(z-1) \cdot Q(z-2) \cdot \dots \cdot Q0$

$CEOU = TCU \cdot CEU$

$CEOD = TCD \cdot CED$

## デザインの入力方法

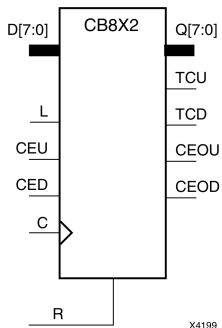
このエレメントは、回路図でのみ使用できます。

## 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

## CB8X2

**マクロ：8-Bit Loadable Cascadable Bidirectional Binary Counter with Clock Enable and Synchronous Reset**



## サポートされているアーキテクチャ

このデザイン エレメントは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

## 概要

このデザイン エレメントは、同期、ロード可能、リセット可能な双方向バイナリ カウンタです。このカウンタには、アップとダウンの両方向に対してそれぞれカウント イネーブル入力と同期ターミナル カウント出力があり、CPLD アーキテクチャでの高速カスケードがサポートされています。

同期リセット入力 (R) は最も優先される入力で、R が High になるとほかのすべての入力は無視されます。クロック (C) が Low から High に切り替わるときに、出力 (Q) の値は 0 に、ターミナル カウント出力 TCU と TCD はそれぞれ 0 と 1 に、クロック イネーブル出力 CEOU と CEOD はそれぞれ Low と High になります。ロード イネーブル入力 (L) が High の場合、クロック (C) が Low から High に切り替わるときに、CE 入力の値に関係なく、D 入力の値がカウンタにロードされます。

CEU が High、R と L が Low の場合、クロックが Low から High に切り替わる時にすべての Q 出力がインクリメントされます。CED が High、R と L が Low の場合、すべての Q 出力がデクリメントされます。CEU と CED が Low の場合、クロック遷移は無視されます。クロック遷移の際に CEU と CED の両方を High にしないでください。CEU と CED が両方も High になっていると、カスケード接続した場合に CEOU および CEOD 出力が正しく機能しません。

カウントアップする場合、すべての Q 出力と CEU が High になると CEOU 出力が High になります。カウントダウンする場合、すべての Q 出力が Low、CED が High になると CEOD 出力が High になります。カウンタをカスケード接続するには、各カウンタの CEOU 出力および CEOD 出力をそれぞれ次の段の CEU および CED 入力に直接接続します。C、L、および R 入力は、並列に接続します。

すべてのカウントおよびロード機能に対して、カウンタをいくつカスケード接続しても、カウンタ コンポーネントの最大クロック周波数は影響を受けません。すべての Q 出力が High になると、CEU に関係なく、TCU ターミナル カウント出力が High になります。すべての Q 出力が Low になると、CED に関係なく、TCD 出力は High になります。

カウンタをカスケード接続する場合、最終的なターミナル カウント信号は、TCU 出力 (アップ方向) と TCD 出力 (ダウン方向) をすべて接続した AND ゲートで生成されます。TCU、CEOU、CEOD の各出力は、コンポーネント内の最適化可能な AND ゲートによって生成されます。したがって、これらの出力からの接続がすべてオンチップであれば、CEU および CED の入力と Q 出力のピン間の伝搬遅延がゼロになります。すべてがオンチップでない場合は、マクロセルバッファ遅延が発生します。

電力を供給すると、カウンタは 0 (TCU は Low、TCD は High) に初期化されます。High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

## 論理表

入力						出力				
R	L	CEU	CED	C	Dz - D0	Qz - Q0	TCU	TCD	CEOU	CEOD
1	X	X	X	↑	X	0	0	1	0	CEOD
0	1	X	X	↑	Dn	Dn	TCU	TCD	CEOU	CEOD
0	0	0	0	X	X	変化なし	変化なし	変化なし	0	0
0	0	1	0	↑	X	インクリメント	TCU	TCD	CEOU	0
0	0	0	1	↑	X	デクリメント	TCU	TCD	0	CEOD
0	0	1	1	↑	X	インクリメント	TCU	TCD	無効	無効

$z = \text{ビット幅} - 1$

$TCU = Q_z Q_{(z-1)} Q_{(z-2)} \dots Q_0$

$TCD = Q_z Q_{(z-1)} Q_{(z-2)} \dots Q_0$

$CEOU = TCU CEU$

$CEOD = TCD CED$

## デザインの入力方法

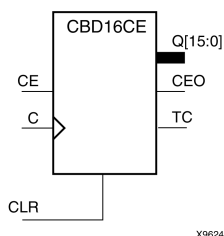
このエレメントは、回路図でのみ使用できます。

## 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

## CBD16CE

**マクロ：16-Bit Cascadable Dual Edge Triggered Binary Counter with Clock Enable and Asynchronous Clear**



## サポートされているアーキテクチャ

このデザイン エレメントは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

## 概要

このデザイン エレメントは、両エッジで動作する非同期クリア可能、カスケード可能なバイナリカウンタです。非同期クリア (CLR) 入力が高レベルになると、ほかのすべての入力は無視され、クロック (C) の遷移に関係なく、出力 (Q)、ターミナルカウンタ (TC)、およびクロック イネーブル出力 (CEO) が 0 になります。クロック イネーブル入力 (CE) が High の場合、クロック (C) が Low から High、または High から Low に切り替わる時に出力 (Q) がインクリメントされます。CE が Low の場合、クロック遷移は無視されます。すべての Q 出力が高レベルになると、TC 出力が高レベルになります。

1 段目の CEO 出力を次の段の CE 入力に接続し、C および CLR 入力を並列に接続すると、より大型のカウンタを作成できます。TC と CE が High になると、CEO がアクティブ (High) になります。カウンタの長さの最大値は、CE ピンと TC ピン間の伝搬遅延の合計とクロック周期の関係によって決定されます。クロック周期は、 $n(t_{CE-TC})$  より大きい必要があります。ここで、 $n$  は段数、時間  $t_{CE-TC}$  は各段での CE ピンと TC ピン間の伝搬遅延を表します。カウンタをカスケードする場合、CE 入力を使用するときは CEO 出力を、CE 入力を使用しないときは TC 出力を使用します。

電力を供給すると、カウンタは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

## 論理表

入力			出力		
CLR	CE	C	Q <sub>z</sub> : Q <sub>0</sub>	TC	CEO
1	X	X	0	0	0
0	0	X	変化なし	変化なし	0
0	1	↑	インクリメント	TC	CEO
0	1	↓	インクリメント	TC	CEO
$z = \text{ビット幅} - 1$ $TC = Q_z \cdot Q_{(z-1)} \cdot Q_{(z-2)} \cdot \dots \cdot Q_0$ $CEO = TC \cdot CE$					

## デザインの入力方法

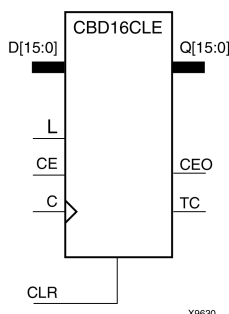
このエレメントは、回路図でのみ使用できます。

## 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

## CBD16CLE

**マクロ：16-Bit Loadable Cascadable Dual Edge Triggered Binary Counter with Clock Enable and Asynchronous Clear**



### サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

### 概要

このデザイン エLEMENTは、クロックの両エッジで動作する同期ロード可能、非同期クリア可能、カスケード可能な双方向バイナリカウンタです。非同期クリア (CLR) 入力が高になると、ほかのすべての入力は無視され、クロック (C) の遷移に関係なく、出力 (Q)、ターミナルカウンタ (TC)、およびクロックイネーブル出力 (CEO) が 0 になります。ロードイネーブル入力 (L) が High の場合、クロックが Low から High に切り替わるたびに、クロックイネーブル (CE) の値に関係なく、入力 (D) の値がカウンタにロードされます。CE が High の場合、クロックが Low から High、または High から Low に切り替わるたびに Q 出力がインクリメントされます。CE が Low の場合、クロック遷移は無視されます。すべての Q 出力が高になると、TC 出力が高になります。

1 段目の CEO 出力を次の段の CE 入力に接続し、C、L、および CLR 入力を並列に接続すると、より大型のカウンタを作成できます。TC と CE が High になると、CEO がアクティブ (High) になります。カウンタの長さの最大値は、CE ピンと TC ピン間の伝搬遅延の合計とクロック周期の関係によって決定されます。クロック周期は、 $n(t_{CE-TC})$  より大きい必要があります。ここで、 $n$  は段数、時間  $t_{CE-TC}$  は各段での CE ピンと TC ピン間の伝搬遅延を表します。カウンタをカスケードする場合、CE 入力を使用するときは CEO 出力を、CE 入力を使用しないときは TC 出力を使用します。

電力を供給すると、カウンタは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

## 論理表

入力					出力		
CLR	L	CE	C	Dz : D0	Qz : Q0	TC	CEO
1	X	X	X	X	0	0	0
0	1	X	↑	Dn	Dn	TC	CEO
0	1	X	↓	Dn	Dn	TC	CEO
0	0	0	X	X	変化なし	変化なし	0
0	0	1	↑	X	インクリメント	TC	CEO
0	0	1	↓	X	インクリメント	TC	CEO
z = ビット幅 - 1 $TC = Qz \cdot Q(z-1) \cdot Q(z-2) \cdot \dots \cdot Q0$ $CEO = TC \cdot CE$							

## デザインの入力方法

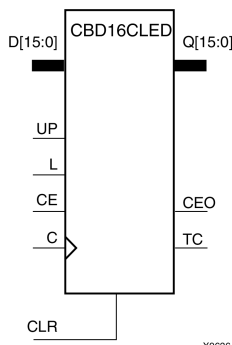
このエレメントは、回路図でのみ使用できます。

## 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

## CBD16CLED

**マクロ：16-Bit Loadable Cascadable Bidirectional Dual Edge Triggered Binary Counter with Clock Enable and Asynchronous Clear**



## サポートされているアーキテクチャ

このデザイン エレメントは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

## 概要

このデザイン エレメントは、クロックの両エッジで動作する同期ロード可能、非同期クリア可能、カスケード可能な双方向バイナリカウンタです。非同期クリア (CLR) 入力が高レベルになると、ほかのすべての入力は無視され、クロック (C) の遷移に関係なく、出力 (Q)、ターミナル カウンタ (TC)、およびクロック イネーブル出力 (CEO) が 0 になります。ロード イネーブル入力 (L) が High の場合、クロック (C) が Low から High に切り替わるときに、クロック イネーブル (CE) の値に関係なく、入力 (D) の値がカウンタにロードされます。CE が High、UP が Low の場合、クロックが Low から High、または High から Low に切り替わるときに、Q 出力がデクリメントされます。CE と UP が High の場合、Q 出力がインクリメントされます。CE が Low の場合、クロック遷移は無視されます。

カウントアップする場合、すべての Q 出力と UP が High になると TC 出力が High になります。カウントダウンする場合、すべての Q 出力と UP が Low になると TC 出力が High になります。

1 段目の CEO 出力を次の段の CE 入力に接続し、C、UP、L、および CLR 入力を並列に接続すると、より大型のカウンタを作成できます。TC と CE が High になると、CEO がアクティブ (High) になります。カウンタの長さの最大値は、CE ピンと TC ピン間の伝搬遅延の合計とクロック周期の関係によって決定されます。クロック周期は、 $n(t_{CE-TC})$  より大きい必要があります。ここで、 $n$  は段数、時間  $t_{CE-TC}$  は各段での CE ピンと TC ピン間の伝搬遅延を表します。カウンタをカスケードする場合、CE 入力を使用するときは CEO 出力を、CE 入力を使用しないときは TC 出力を使用します。

高速カスケードが可能な双方向カウンタの詳細は、CB2X1、CB4X1、CB8X1、CB16X1 を参照してください。

電力を供給すると、カウンタは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。



## 論理表

入力						出力		
CLR	L	CE	C	UP	Dz : D0	Qz : Q0	TC	CEO
1	X	X	X	X	X	0	0	0
0	1	X	↑	X	Dn	Dn	TC	CEO
0	1	X	↓	X	Dn	Dn	TC	CEO
0	0	0	X	X	X	変化なし	変化なし	0
0	0	1	↑	1	X	インクリメント	TC	CEO
0	0	1	↓	1	X	インクリメント	TC	CEO
0	0	1	↑	0	X	デクリメント	TC	CEO
0	0	1	↓	0	X	デクリメント	TC	CEO

$z = \text{ビット幅} - 1$   
 $TC = (Q_z Q_{(z-1)} Q_{(z-2)} \dots Q_0 UP) + (Q_z Q_{(z-1)} Q_{(z-2)} \dots Q_0 \overline{UP})$   
 $CEO = TCCE$

## デザインの入力方法

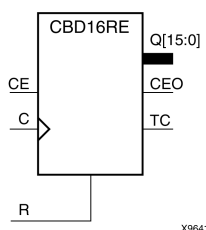
このエレメントは、回路図でのみ使用できます。

## 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

## CBD16RE

**マクロ : 16-Bit Cascadable Dual Edge Triggered Binary Counter with Clock Enable and Synchronous Reset**



## サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

## 概要

このデザイン エLEMENTは、クロックの両エッジで動作する同期、リセット可能、カスケード可能なバイナリ カウンタです。同期リセット入力 (R) が High になると、ほかの入力は無視され、クロック (C) が Low から High に切り替わる時に High から Low に切り替わる時に出力 (Q)、ターミナル カウンタ (TC)、およびクロック イネーブル出力 (CEO) が 0 になります。クロック イネーブル入力 (CE) が High の場合、クロック (C) が Low から High、または High から Low に切り替わる時に出力 (Q) がインクリメントされます。CE が Low の場合、クロック遷移は無視されます。すべての Q 出力が High になると、TC 出力が High になります。

1 段目の CEO 出力を次の段の CE 入力に接続し、C および R 入力を並列に接続すると、より大型のカウンタを作成できます。TC と CE が High になると、CEO がアクティブ (High) になります。カウンタの長さの最大値は、CE ピンと TC ピン間の伝搬遅延の合計とクロック周期の関係によって決定されます。クロック周期は、 $n(t_{CE-TC})$  より大きい必要があります。ここで、 $n$  は段数、時間  $t_{CE-TC}$  は各段での CE ピンと TC ピン間の伝搬遅延を表します。カウンタをカスケードする場合、CE 入力を使用するときは CEO 出力を、CE 入力を使用しないときは TC 出力を使用します。

電力を供給すると、カウンタは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

## 論理表

入力			出力		
R	CE	C	Qz - Q0	TC	CEO
1	X	↑	0	0	0
1	X	↓	0	0	0
0	0	X	変化なし	変化なし	0
0	1	↑	インクリメント	TC	CEO
0	1	↓	インクリメント	TC	CEO
$z = \text{ビット幅} - 1$ $TC = Qz \cdot Q(z-1) \cdot Q(z-2) \cdot \dots \cdot Q0$ $CEO = TC \cdot CE$					

## デザインの入力方法

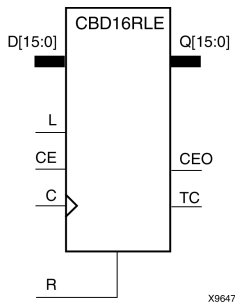
このエレメントは、回路図でのみ使用できます。

## 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

## CBD16RLE

**マクロ：16-Bit Loadable Cascadable Dual Edge Triggered Binary Counter with Clock Enable and Synchronous Reset**



### サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

### 概要

このデザイン エLEMENTは、クロックの両エッジで動作する同期、ロード可能、リセット可能、カスケード可能なバイナリ カウンタです。同期リセット入力 (R) が High になると、ほかの入力は無視され、クロック (C) が Low から High に切り替わるときと High から Low に切り替わるときに出力 (Q)、ターミナル カウンタ (TC)、およびクロック イネーブル出力 (CEO) が 0 になります。

ロード イネーブル入力 (L) が High の場合、クロック (C) が Low から High、または High から Low に切り替わるときに、CE の値に関係なく、D 入力の値がカウンタにロードされます。CE が High の場合、クロックが Low から High、または High から Low に切り替わるときに Q 出力がインクリメントされます。CE が Low の場合、クロック遷移は無視されます。すべての Q 出力が High になると、TC 出力が High になります。すべての Q 出力と CE が High になると、CEO 出力が High になるので、カウンタを直接カスケード接続できます。

1 段目の CEO 出力を次の段の CE 入力に接続し、C、L、および R 入力を並列に接続すると、より大型のカウンタを作成できます。TC と CE が High になると、CEO がアクティブ (High) になります。カウンタの長さの最大値は、CE ピンと TC ピン間の伝搬遅延の合計とクロック周期の関係によって決定されます。クロック周期は、 $n(t_{CE-TC})$  より大きい必要があります。ここで、 $n$  は段数、時間  $t_{CE-TC}$  は各段での CE ピンと TC ピン間の伝搬遅延を表します。カウンタをカスケードする場合、CE 入力を使用するときは CEO 出力を、CE 入力を使用しないときは TC 出力を使用します。

電力を供給すると、カウンタは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

## 論理表

入力					出力		
R	L	CE	C	Dz : D0	Qz : Q0	TC	CEO
1	X	X	↑	X	0	0	0
1	X	X	↓	X	0	0	0
0	1	X	↑	Dn	Dn	TC	CEO
0	1	X	↓	Dn	Dn	TC	CEO
0	0	0	X	X	変化なし	変化なし	0
0	0	1	↑	X	インクリメント	TC	CEO
0	0	1	↓	X	インクリメント	TC	CEO

$z = \text{ビット幅} - 1$   
 $TC = Qz \cdot Q(z-1) \cdot Q(z-2) \cdot \dots \cdot Q0$   
 $CEO = TC \cdot CE$

## デザインの入力方法

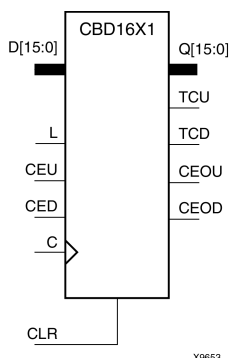
このエレメントは、回路図でのみ使用できます。

## 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

## CBD16X1

**マクロ：16-Bit Loadable Cascadable Bidirectional Dual Edge Triggered Binary Counter with Clock Enable and Asynchronous Clear**



## サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

## 概要

このデザイン エLEMENTは、クロックの両エッジで動作する同期ロード可能、非同期クリア可能な双方向バイナリ カウンタです。このカウンタには、アップとダウンの両方向に対してそれぞれカウント イネーブル入力と同期ターミナル カウント出力があり、高速カスケードがサポートされています。

非同期クリア入力 (CLR) が最も優先される入力で、CLR が High になると、ほかのすべての入力は無視されます。クロック遷移に関係なく、出力 (Q) は 0、ターミナル カウント出力 TCU と TCD はそれぞれ 0 と 1、クロック イネーブル出力 CEOU と CEOD はそれぞれ Low と High になります。ロード イネーブル入力 (L) が High の場合、クロック (C) が Low から High、または High から Low に切り替わるときに、CE 入力に関係なく、D 入力の値がカウンタにロードされます。

CEU が High、CLR と L が Low の場合、クロックが Low から High、または High から Low に切り替わるときに Q 出力がインクリメントされます。CED が High、CLR と L が Low の場合、Q 出力がデクリメントされます。CEU と CED が Low の場合、クロック遷移は無視されます。クロック遷移の際に CEU と CED の両方を High にしないでください。CEU と CED が両方とも High になっていると、カスケード接続した場合に CEOU および CEOD 出力が正しく機能しません。

カウントアップする場合、すべての Q 出力と CEU が High になると CEOU 出力が High になります。カウントダウンする場合、すべての Q 出力が Low、CED が High になると CEOD 出力が High になります。カウンタをカスケード接続するには、各カウンタの CEOU および CEOD 出力をそれぞれ次の段の CEU および CED 入力に直接接続します。クロック、L、CLR の入力は、並列に接続します。

すべてのカウントおよびロード機能に対して、カウンタをいくつカスケード接続しても、カウンタの最大クロック周波数は影響を受けません。すべての Q 出力が High になると、CEU に関係なく、TCU ターミナル カウント出力が High になります。すべての Q 出力が Low になると、CED に関係なく、TCD 出力は High になります。

カウンタをカスケード接続する場合、最終的なターミナル カウント信号は、TCU 出力 (アップ方向) と TCD 出力 (ダウン方向) をすべて接続した AND ゲートで生成されます。TCU、CEOU、CEOD の各出力は、コンポーネント内の最適化可能な AND ゲートによって生成されます。したがって、これらの出力からの接続がすべてオンチップであれば、CEU および CED の入力と Q 出力のピン間の伝搬遅延がゼロになります。すべてがオンチップでない場合は、マクロセルバッファ遅延が発生します。

電力を供給すると、カウンタは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

## 論理表

入力						出力				
CLR	L	CEU	CED	C	Dz - D0	Qz - Q0	TCU	TCD	CEOU	CEOD
1	X	X	X	X	X	0	0	1	0	CEOD
0	1	X	X	↑	Dn	Dn	TCU	TCD	CEOU	CEOD
0	1	X	X	↓	Dn	Dn	TCU	TCD	CEOU	CEOD
0	0	0	0	X	X	変化なし	変化なし	変化なし	0	0
0	0	1	0	↑	X	インクリメント	TCU	TCD	CEOU	0
0	0	1	0	↓	X	インクリメント	TCU	TCD	CEOU	0
0	0	0	1	↑	X	デクリメント	TCU	TCD	0	CEOD
0	0	0	1	↓	X	デクリメント	TCU	TCD	0	CEOD
0	0	1	1	↑	X	インクリメント	TCU	TCD	無効	無効
0	0	1	1	↓	X	インクリメント	TCU	TCD	無効	無効

$z = \text{ビット幅} - 1$

$TCU = Qz \cdot Q(z-1) \cdot Q(z-2) \cdot \dots \cdot Q0$

$TCD = Qz \cdot Q(z-1) \cdot Q(z-2) \cdot \dots \cdot Q0$

$CEOU = TCU \cdot CEU$

$CEOD = TCD \cdot CED$

## デザインの入力方法

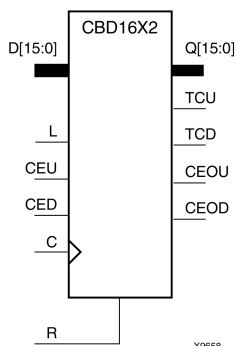
このエレメントは、回路図でのみ使用できます。

## 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

## CBD16X2

**マクロ : 16-Bit Loadable Cascadable Bidirectional Dual Edge Triggered Binary Counter with Clock Enable and Synchronous Reset**



### サポートされているアーキテクチャ

このデザイン エレメントは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

### 概要

このデザイン エレメントは、クロックの両エッジで動作する同期、ロード可能、リセット可能な双方向バイナリ カウンタです。このカウンタには、アップとダウンの両方向に対してそれぞれカウント イネーブル入力と同期ターミナル カウント出力があり、高速カスケードがサポートされています。

同期リセット入力 (R) は最も優先される入力で、R が High になるとほかのすべての入力は無視されます。クロック (C) が Low から High に切り替わるときと High から Low に切り替わるときに、出力 (Q) の値は 0 に、ターミナル カウント出力 TCU と TCD はそれぞれ 0 と 1 に、クロック イネーブル出力 CEOU と CEOD はそれぞれ Low と High になります。ロード イネーブル入力 (L) が High の場合、クロック (C) が Low から High、または High から Low に切り替わるときに、CE 入力に関係なく、D 入力の値がカウンタにロードされます。

CEU が High、R と L が Low の場合、クロックが Low から High、または High から Low に切り替わるときにすべての Q 出力がインクリメントされます。CED が High、R と L が Low の場合、すべての Q 出力がデクリメントされます。CEU と CED が Low の場合、クロック遷移は無視されます。クロック遷移の際に CEU と CED の両方を High にしないでください。CEU と CED が両方とも High になっていると、カスケード接続した場合に CEOU および CEOD 出力が正しく機能しません。

カウント アップする場合、すべての Q 出力と CEU が High になると CEOU 出力が High になります。カウント ダウンする場合、すべての Q 出力が Low、CED が High になると CEOD 出力が High になります。カウンタをカスケード接続するには、各カウンタの CEOU 出力および CEOD 出力をそれぞれ次の段の CEU および CED 入力に直接接続します。C、L、および R 入力は、並列に接続します。

すべてのカウントおよびロード機能に対して、カウンタをいくつカスケード接続しても、カウンタ コンポーネントの最大クロック周波数は影響を受けません。すべての Q 出力が High になると、CEU に関係なく、TCU ターミナル カウント出力が High になります。すべての Q 出力が Low になると、CED に関係なく、TCD 出力は High になります。

カウンタをカスケード接続する場合、最終的なターミナル カウント信号は、TCU 出力 (アップ方向) と TCD 出力 (ダウン方向) をすべて接続した AND ゲートで生成されます。TCU、CEOU、CEOD の各出力は、コンポーネント内の最適化可能な AND ゲートによって生成されます。したがって、これらの出力からの接続がすべてオンチップであれば、CEU および CED の入力と Q 出力のピン間の伝搬遅延がゼロになります。すべてがオンチップでない場合は、マクロセルバッファ遅延が発生します。



電力を供給すると、カウンタは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

## 論理表

入力						出力				
R	L	CEU	CED	C	Dz : D0	Qz : Q0	TCU	TCD	CEOU	CEOD
1	X	X	X	↑	X	0	0	1	0	CEOD
1	X	X	X	↓	X	0	0	1	0	CEOD
0	1	X	X	↑	Dn	Dn	TCU	TCD	CEOU	CEOD
0	1	X	X	↓	Dn	Dn	TCU	TCD	CEOU	CEOD
0	0	0	0	X	X	変化なし	変化なし	変化なし	0	0
0	0	1	0	↑	X	インクリメント	TCU	TCD	CEOU	0
0	0	1	0	↓	X	インクリメント	TCU	TCD	CEOU	0
0	0	0	1	↑	X	デクリメント	TCU	TCD	0	CEOD
0	0	0	1	↓	X	デクリメント	TCU	TCD	0	CEOD
0	0	1	1	↑	X	インクリメント	TCU	TCD	無効	無効
0	0	1	1	↓	X	インクリメント	TCU	TCD	無効	無効

$z = \text{ビット幅} - 1$

$TCU = Qz \cdot Q(z-1) \cdot Q(z-2) \cdot \dots \cdot Q0$

$TCD = Qz \cdot Q(z-1) \cdot Q(z-2) \cdot \dots \cdot Q0$

$CEOU = TCU \cdot CEU$

$CEOD = TCD \cdot CED$

## デザインの入力方法

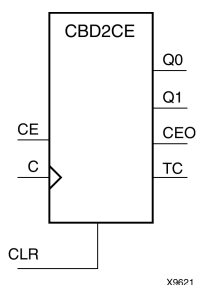
このエレメントは、回路図でのみ使用できます。

## 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

## CBD2CE

**マクロ：2-Bit Cascadable Dual Edge Triggered Binary Counter with Clock Enable and Asynchronous Clear**



## サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

## 概要

このデザイン エLEMENTは、両エッジで動作する非同期クリア可能、カスケード可能なバイナリカウンタです。非同期クリア (CLR) 入力が高になると、ほかのすべての入力は無視され、クロック (C) の遷移に関係なく、出力 (Q)、ターミナルカウンタ (TC)、およびクロック イネーブル出力 (CEO) が 0 になります。クロック イネーブル入力 (CE) が High の場合、クロック (C) が Low から High、または High から Low に切り替わるときに出力 (Q) がインクリメントされます。CE が Low の場合、クロック遷移は無視されます。すべての Q 出力が高になると、TC 出力が高になります。

1 段目の CEO 出力を次の段の CE 入力に接続し、C および CLR 入力を並列に接続すると、より大型のカウンタを作成できます。TC と CE が High になると、CEO がアクティブ (High) になります。カウンタの長さの最大値は、CE ピンと TC ピン間の伝搬遅延の合計とクロック周期の関係によって決定されます。クロック周期は、 $n(t_{CE-TC})$  より大きい必要があります。ここで、 $n$  は段数、時間  $t_{CE-TC}$  は各段での CE ピンと TC ピン間の伝搬遅延を表します。カウンタをカスケードする場合、CE 入力を使用するときは CEO 出力を、CE 入力を使用しないときは TC 出力を使用します。

電力を供給すると、カウンタは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

## 論理表

入力			出力		
CLR	CE	C	Qz : Q0	TC	CEO
1	X	X	0	0	0
0	0	X	変化なし	変化なし	0
0	1	↑	インクリメント	TC	CEO
0	1	↓	インクリメント	TC	CEO
$z = \text{ビット幅} - 1$ $TC = Qz \cdot Q(z-1) \cdot Q(z-2) \cdot \dots \cdot Q0$ $CEO = TC \cdot CE$					

## デザインの入力方法

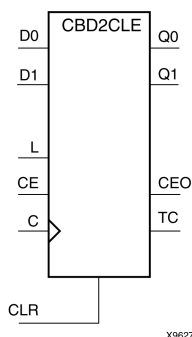
このエレメントは、回路図でのみ使用できます。

## 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

## CBD2CLE

**マクロ：2-Bit Loadable Cascadable Dual Edge Triggered Binary Counter with Clock Enable and Asynchronous Clear**



## サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

## 概要

このデザイン エLEMENTは、クロックの両エッジで動作する同期ロード可能、非同期クリア可能、カスケード可能な双方向バイナリカウンタです。非同期クリア (CLR) 入力が高になると、ほかのすべての入力は無視され、クロック (C) の遷移に関係なく、出力 (Q)、ターミナルカウンタ (TC)、およびクロックイネーブル出力 (CEO) が 0 になります。ロードイネーブル入力 (L) が High の場合、クロックが Low から High に切り替わるときに、クロックイネーブル (CE) の値に関係なく、入力 (D) の値がカウンタにロードされます。CE が High の場合、クロックが Low から High、または High から Low に切り替わるときに Q 出力がインクリメントされます。CE が Low の場合、クロック遷移は無視されます。すべての Q 出力が高になると、TC 出力が高になります。

1 段目の CEO 出力を次の段の CE 入力に接続し、C、L、および CLR 入力を並列に接続すると、より大型のカウンタを作成できます。TC と CE が High になると、CEO がアクティブ (High) になります。カウンタの長さの最大値は、CE ピンと TC ピン間の伝搬遅延の合計とクロック周期の関係によって決定されます。クロック周期は、 $n(t_{CE-TC})$  より大きい必要があります。ここで、 $n$  は段数、時間  $t_{CE-TC}$  は各段での CE ピンと TC ピン間の伝搬遅延を表します。カウンタをカスケードする場合、CE 入力を使用するときは CEO 出力を、CE 入力を使用しないときは TC 出力を使用します。

電力を供給すると、カウンタは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

## 論理表

入力					出力		
CLR	L	CE	C	Dz : D0	Qz : Q0	TC	CEO
1	X	X	X	X	0	0	0
0	1	X	↑	Dn	Dn	TC	CEO
0	1	X	↓	Dn	Dn	TC	CEO
0	0	0	X	X	変化なし	変化なし	0
0	0	1	↑	X	インクリメント	TC	CEO
0	0	1	↓	X	インクリメント	TC	CEO
z = ビット幅 - 1 $TC = Qz \cdot Q(z-1) \cdot Q(z-2) \cdot \dots \cdot Q0$ $CEO = TC \cdot CE$							

## デザインの入力方法

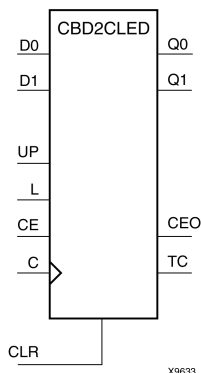
このエレメントは、回路図でのみ使用できます。

## 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

## CBD2CLED

**マクロ：2-Bit Loadable Cascadable Bidirectional Dual Edge Triggered Binary Counter with Clock Enable and Asynchronous Clear**



## サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

## 概要

このデザイン エLEMENTは、クロックの両エッジで動作する同期ロード可能、非同期クリア可能、カスケード可能な双方向バイナリカウンタです。非同期クリア (CLR) 入力が高レベルになると、ほかのすべての入力は無視され、クロック (C) の遷移に関係なく、出力 (Q)、ターミナルカウンタ (TC)、およびクロックイネーブル出力 (CEO) が 0 になります。ロードイネーブル入力 (L) が High の場合、クロック (C) が Low から High に切り替わるたびに、クロックイネーブル (CE) の値に関係なく、入力 (D) の値がカウンタにロードされます。CE が High、UP が Low の場合、クロックが Low から High、または High から Low に切り替わるたびに、Q 出力がデクリメントされます。CE と UP が High の場合、Q 出力がインクリメントされます。CE が Low の場合、クロック遷移は無視されます。

カウントアップする場合、すべての Q 出力と UP が High になると TC 出力が High になります。カウントダウンする場合、すべての Q 出力と UP が Low になると TC 出力が High になります。

1 段目の CEO 出力を次の段の CE 入力に接続し、C、UP、L、および CLR 入力を並列に接続すると、より大型のカウンタを作成できます。TC と CE が High になると、CEO がアクティブ (High) になります。カウンタの長さの最大値は、CE ピンと TC ピン間の伝搬遅延の合計とクロック周期の関係によって決定されます。クロック周期は、 $n(t_{CE-TC})$  より大きい必要があります。ここで、 $n$  は段数、時間  $t_{CE-TC}$  は各段での CE ピンと TC ピン間の伝搬遅延を表します。カウンタをカスケードする場合、CE 入力を使用するときは CEO 出力を、CE 入力を使用しないときは TC 出力を使用します。

高速カスケードが可能な双方向カウンタの詳細は、CB2X1、CB4X1、CB8X1、CB16X1 を参照してください。

電力を供給すると、カウンタは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

## 論理表

入力						出力		
CLR	L	CE	C	UP	Dz : D0	Qz : Q0	TC	CEO
1	X	X	X	X	X	0	0	0
0	1	X	↑	X	Dn	Dn	TC	CEO
0	1	X	↓	X	Dn	Dn	TC	CEO
0	0	0	X	X	X	変化なし	変化なし	0
0	0	1	↑	1	X	インクリメント	TC	CEO
0	0	1	↓	1	X	インクリメント	TC	CEO
0	0	1	↑	0	X	デクリメント	TC	CEO
0	0	1	↓	0	X	デクリメント	TC	CEO

$z = \text{ビット幅} - 1$   
 $TC = (QzQ(z-1)Q(z-2)...Q0UP) + (QzQ(z-1)Q(z-2)...Q0UP)$   
 $CEO = TCCE$

## デザインの入力方法

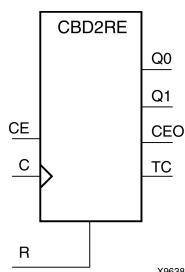
このエレメントは、回路図でのみ使用できます。

## 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

## CBD2RE

**マクロ : 2-Bit Cascadable Dual Edge Triggered Binary Counter with Clock Enable and Synchronous Reset**



## サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

## 概要

このデザイン エLEMENTは、クロックの両エッジで動作する同期、リセット可能、カスケード可能なバイナリ カウンタです。同期リセット入力 (R) が High になると、ほかの入力は無視され、クロック (C) が Low から High に切り替わるときと High から Low に切り替わるときに出力 (Q)、ターミナル カウンタ (TC)、およびクロック イネーブル出力 (CEO) が 0 になります。クロック イネーブル入力 (CE) が High の場合、クロック (C) が Low から High、または High から Low に切り替わるときに出力 (Q) がインクリメントされます。CE が Low の場合、クロック遷移は無視されます。すべての Q 出力が High になると、TC 出力が High になります。

1 段目の CEO 出力を次の段の CE 入力に接続し、C および R 入力を並列に接続すると、より大型のカウンタを作成できます。TC と CE が High になると、CEO がアクティブ (High) になります。カウンタの長さの最大値は、CE ピンと TC ピン間の伝搬遅延の合計とクロック周期の関係によって決定されます。クロック周期は、 $n(t_{CE-TC})$  より大きい必要があります。ここで、 $n$  は段数、時間  $t_{CE-TC}$  は各段での CE ピンと TC ピン間の伝搬遅延を表します。カウンタをカスケードする場合、CE 入力を使用するときは CEO 出力を、CE 入力を使用しないときは TC 出力を使用します。

電力を供給すると、カウンタは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

## 論理表

入力			出力		
R	CE	C	Qz - Q0	TC	CEO
1	X	↑	0	0	0
1	X	↓	0	0	0
0	0	X	変化なし	変化なし	0
0	1	↑	インクリメント	TC	CEO
0	1	↓	インクリメント	TC	CEO
$z = \text{ビット幅} - 1$ $TC = Qz \cdot Q(z-1) \cdot Q(z-2) \cdot \dots \cdot Q0$ $CEO = TC \cdot CE$					



## デザインの入力方法

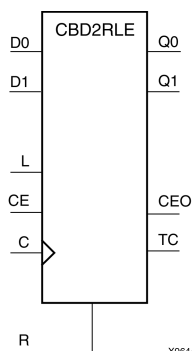
このエレメントは、回路図でのみ使用できます。

## 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

## CBD2RLE

**マクロ：2-Bit Loadable Cascadable Dual Edge Triggered Binary Counter with Clock Enable and Synchronous Reset**



## サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

## 概要

このデザイン エLEMENTは、クロックの両エッジで動作する同期、ロード可能、リセット可能、カスケード可能なバイナリ カウンタです。同期リセット入力 (R) が High になると、ほかの入力は無視され、クロック (C) が Low から High に切り替わるときと High から Low に切り替わるときに出力 (Q)、ターミナル カウンタ (TC)、およびクロック イネーブル出力 (CEO) が 0 になります。

ロード イネーブル入力 (L) が High の場合、クロック (C) が Low から High、または High から Low に切り替わるときに、CE の値に関係なく、D 入力の値がカウンタにロードされます。CE が High の場合、クロックが Low から High、または High から Low に切り替わるときに Q 出力がインクリメントされます。CE が Low の場合、クロック遷移は無視されます。すべての Q 出力が High になると、TC 出力が High になります。すべての Q 出力と CE が High になると、CEO 出力が High になるので、カウンタを直接カスケード接続できます。

1 段目の CEO 出力を次の段の CE 入力に接続し、C、L、および R 入力を並列に接続すると、より大型のカウンタを作成できます。TC と CE が High になると、CEO がアクティブ (High) になります。カウンタの長さの最大値は、CE ピンと TC ピン間の伝搬遅延の合計とクロック周期の関係によって決定されます。クロック周期は、 $n(t_{CE-TC})$  より大きい必要があります。ここで、 $n$  は段数、時間  $t_{CE-TC}$  は各段での CE ピンと TC ピン間の伝搬遅延を表します。カウンタをカスケードする場合、CE 入力を使用するときは CEO 出力を、CE 入力を使用しないときは TC 出力を使用します。

電力を供給すると、カウンタは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

## 論理表

入力					出力		
R	L	CE	C	Dz : D0	Qz : Q0	TC	CEO
1	X	X	↑	X	0	0	0
1	X	X	↓	X	0	0	0
0	1	X	↑	Dn	Dn	TC	CEO
0	1	X	↓	Dn	Dn	TC	CEO
0	0	0	X	X	変化なし	変化なし	0
0	0	1	↑	X	インクリメント	TC	CEO
0	0	1	↓	X	インクリメント	TC	CEO

$z = \text{ビット幅} - 1$   
 $TC = Qz \cdot Q(z-1) \cdot Q(z-2) \cdot \dots \cdot Q0$   
 $CEO = TC \cdot CE$

## デザインの入力方法

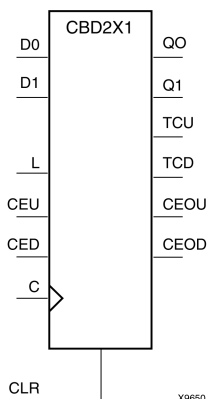
このエレメントは、回路図でのみ使用できます。

## 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

## CBD2X1

**マクロ：2-Bit Loadable Cascadable Bidirectional Dual Edge Triggered Binary Counter with Clock Enable and Asynchronous Clear**



## サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

## 概要

このデザイン エLEMENTは、クロックの両エッジで動作する同期ロード可能、非同期クリア可能な双方向バイナリ カウンタです。このカウンタには、アップとダウンの両方向に対してそれぞれカウント イネーブル入力と同期ターミナル カウント出力があり、高速カスケードがサポートされています。

非同期クリア入力 (CLR) が最も優先される入力で、CLR が High になると、ほかのすべての入力は無視されます。クロック遷移に関係なく、出力 (Q) は 0、ターミナル カウント出力 TCU と TCD はそれぞれ 0 と 1、クロック イネーブル出力 CEOU と CEOD はそれぞれ Low と High になります。ロード イネーブル入力 (L) が High の場合、クロック (C) が Low から High、または High から Low に切り替わる時に、CE 入力に関係なく、D 入力の値がカウンタにロードされます。

CEU が High、CLR と L が Low の場合、クロックが Low から High、または High から Low に切り替わる時に Q 出力がインクリメントされます。CED が High、CLR と L が Low の場合、Q 出力がデクリメントされます。CEU と CED が Low の場合、クロック遷移は無視されます。クロック遷移の際に CEU と CED の両方を High にしないでください。CEU と CED が両方とも High になっていると、カスケード接続した場合に CEOU および CEOD 出力が正しく機能しません。

カウント アップする場合、すべての Q 出力と CEU が High になると CEOU 出力が High になります。カウント ダウンする場合、すべての Q 出力が Low、CED が High になると CEOD 出力が High になります。カウンタをカスケード接続するには、各カウンタの CEOU および CEOD 出力をそれぞれ次の段の CEU および CED 入力に直接接続します。クロック、L、CLR の入力は、並列に接続します。

すべてのカウントおよびロード機能に対して、カウンタをいくつカスケード接続しても、カウンタの最大クロック周波数は影響を受けません。すべての Q 出力が High になると、CEU に関係なく、TCU ターミナル カウント出力が High になります。すべての Q 出力が Low になると、CED に関係なく、TCD 出力は High になります。

カウンタをカスケード接続する場合、最終的なターミナル カウント信号は、TCU 出力 (アップ方向) と TCD 出力 (ダウン方向) をすべて接続した AND ゲートで生成されます。TCU、CEOU、CEOD の各出力は、コンポーネント内の最適化可能な AND ゲートによって生成されます。したがって、これらの出力からの接続がすべてオンチップであれば、CEU および CED の入力と Q 出力のピン間の伝搬遅延がゼロになります。すべてがオンチップでない場合は、マクロセルバッファ遅延が発生します。

電力を供給すると、カウンタは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

## 論理表

入力						出力				
CLR	L	CEU	CED	C	Dz - D0	Qz - Q0	TCU	TCD	CEOU	CEOD
1	X	X	X	X	X	0	0	1	0	CEOD
0	1	X	X	↑	Dn	Dn	TCU	TCD	CEOU	CEOD
0	1	X	X	↓	Dn	Dn	TCU	TCD	CEOU	CEOD
0	0	0	0	X	X	変化なし	変化なし	変化なし	0	0
0	0	1	0	↑	X	インクリメント	TCU	TCD	CEOU	0
0	0	1	0	↓	X	インクリメント	TCU	TCD	CEOU	0
0	0	0	1	↑	X	デクリメント	TCU	TCD	0	CEOD
0	0	0	1	↓	X	デクリメント	TCU	TCD	0	CEOD
0	0	1	1	↑	X	インクリメント	TCU	TCD	無効	無効
0	0	1	1	↓	X	インクリメント	TCU	TCD	無効	無効

$z = \text{ビット幅} - 1$   
 $TCU = Qz \cdot Q(z-1) \cdot Q(z-2) \cdot \dots \cdot Q0$   
 $TCD = Qz \cdot Q(z-1) \cdot Q(z-2) \cdot \dots \cdot Q0$   
 $CEOU = TCU \cdot CEU$   
 $CEOD = TCD \cdot CED$

## デザインの入力方法

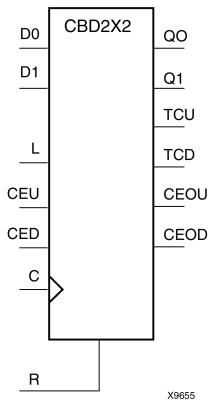
このエレメントは、回路図でのみ使用できます。

## 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

## CBD2X2

**マクロ：2-Bit Loadable Cascadable Bidirectional Dual Edge Triggered Binary Counter with Clock Enable and Synchronous Reset**



## サポートされているアーキテクチャ

このデザイン エレメントは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

## 概要

このデザイン エレメントは、クロックの両エッジで動作する同期、ロード可能、リセット可能な双方向バイナリ カウンタです。このカウンタには、アップとダウンの両方向に対してそれぞれカウント イネーブル入力と同期ターミナル カウント出力があり、高速カスケードがサポートされています。

同期リセット入力 (R) は最も優先される入力で、R が High になるとほかのすべての入力は無視されます。クロック (C) が Low から High に切り替わるときと High から Low に切り替わるときに、出力 (Q) の値は 0 に、ターミナル カウント出力 TCU と TCD はそれぞれ 0 と 1 に、クロック イネーブル出力 CEOU と CEOD はそれぞれ Low と High になります。ロード イネーブル入力 (L) が High の場合、クロック (C) が Low から High、または High から Low に切り替わるときに、CE 入力に関係なく、D 入力の値がカウンタにロードされます。

CEU が High、R と L が Low の場合、クロックが Low から High、または High から Low に切り替わるときにすべての Q 出力がインクリメントされます。CED が High、R と L が Low の場合、すべての Q 出力がデクリメントされます。CEU と CED が Low の場合、クロック遷移は無視されます。クロック遷移の際に CEU と CED の両方を High にしないでください。CEU と CED が両方とも High になっていると、カスケード接続した場合に CEOU および CEOD 出力が正しく機能しません。

カウントアップする場合、すべての Q 出力と CEU が High になると CEOU 出力が High になります。カウントダウンする場合、すべての Q 出力が Low、CED が High になると CEOD 出力が High になります。カウンタをカスケード接続するには、各カウンタの CEOU 出力および CEOD 出力をそれぞれ次の段の CEU および CED 入力に直接接続します。C、L、および R 入力は、並列に接続します。

すべてのカウントおよびロード機能に対して、カウンタをいくつカスケード接続しても、カウンタ コンポーネントの最大クロック周波数は影響を受けません。すべての Q 出力が High になると、CEU に関係なく、TCU ターミナル カウント出力が High になります。すべての Q 出力が Low になると、CED に関係なく、TCD 出力は High になります。

カウンタをカスケード接続する場合、最終的なターミナル カウント信号は、TCU 出力 (アップ方向) と TCD 出力 (ダウン方向) をすべて接続した AND ゲートで生成されます。TCU、CEOU、CEOD の各出力は、コンポーネント内の最適化可能な AND ゲートによって生成されます。したがって、これらの出力からの接続がすべてオンチップであれば、CEU および CED の入力と Q 出力のピン間の伝搬遅延がゼロになります。すべてがオンチップでない場合は、マクロセルバッファ遅延が発生します。

電力を供給すると、カウンタは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

## 論理表

入力						出力				
R	L	CEU	CED	C	Dz : D0	Qz : Q0	TCU	TCD	CEOU	CEOD
1	X	X	X	↑	X	0	0	1	0	CEOD
1	X	X	X	↓	X	0	0	1	0	CEOD
0	1	X	X	↑	Dn	Dn	TCU	TCD	CEOU	CEOD
0	1	X	X	↓	Dn	Dn	TCU	TCD	CEOU	CEOD
0	0	0	0	X	X	変化なし	変化なし	変化なし	0	0
0	0	1	0	↑	X	インクリメント	TCU	TCD	CEOU	0
0	0	1	0	↓	X	インクリメント	TCU	TCD	CEOU	0
0	0	0	1	↑	X	デクリメント	TCU	TCD	0	CEOD
0	0	0	1	↓	X	デクリメント	TCU	TCD	0	CEOD
0	0	1	1	↑	X	インクリメント	TCU	TCD	無効	無効
0	0	1	1	↓	X	インクリメント	TCU	TCD	無効	無効

$z = \text{ビット幅} - 1$

$TCU = Qz \cdot Q(z-1) \cdot Q(z-2) \cdot \dots \cdot Q0$

$TCD = Qz \cdot Q(z-1) \cdot Q(z-2) \cdot \dots \cdot Q0$

$CEOU = TCU \cdot CEU$

$CEOD = TCD \cdot CED$

## デザインの入力方法

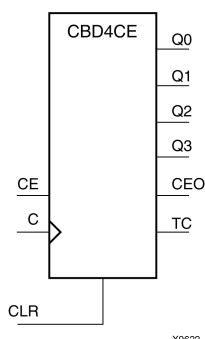
このエレメントは、回路図でのみ使用できます。

## 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

## CBD4CE

**マクロ：4-Bit Cascadable Dual Edge Triggered Binary Counter with Clock Enable and Asynchronous Clear**



## サポートされているアーキテクチャ

このデザイン エレメントは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

## 概要

このデザイン エレメントは、両エッジで動作する非同期クリア可能、カスケード可能なバイナリカウンタです。非同期クリア (CLR) 入力が高レベルになると、ほかのすべての入力は無視され、クロック (C) の遷移に関係なく、出力 (Q)、ターミナルカウンタ (TC)、およびクロックイネーブル出力 (CEO) が 0 になります。クロックイネーブル入力 (CE) が High の場合、クロック (C) が Low から High、または High から Low に切り替わる時に出力 (Q) がインクリメントされます。CE が Low の場合、クロック遷移は無視されます。すべての Q 出力が高レベルになると、TC 出力が高レベルになります。

1 段目の CEO 出力を次の段の CE 入力に接続し、C および CLR 入力を並列に接続すると、より大型のカウンタを作成できます。TC と CE が High になると、CEO がアクティブ (High) になります。カウンタの長さの最大値は、CE ピンと TC ピン間の伝搬遅延の合計とクロック周期の関係によって決定されます。クロック周期は、 $n(t_{CE-TC})$  より大きい必要があります。ここで、 $n$  は段数、時間  $t_{CE-TC}$  は各段での CE ピンと TC ピン間の伝搬遅延を表します。カウンタをカスケードする場合、CE 入力を使用するときは CEO 出力を、CE 入力を使用しないときは TC 出力を使用します。

電力を供給すると、カウンタは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

## 論理表

入力			出力		
CLR	CE	C	Qz : Q0	TC	CEO
1	X	X	0	0	0
0	0	X	変化なし	変化なし	0
0	1	↑	インクリメント	TC	CEO
0	1	↓	インクリメント	TC	CEO
$z = \text{ビット幅} - 1$ $TC = Qz \cdot Q(z-1) \cdot Q(z-2) \cdot \dots \cdot Q0$ $CEO = TC \cdot CE$					



## デザインの入力方法

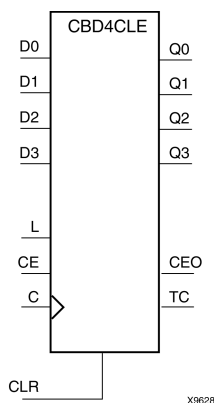
このエレメントは、回路図でのみ使用できます。

## 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

## CBD4CLE

**マクロ：4-Bit Loadable Cascadable Dual Edge Triggered Binary Counter with Clock Enable and Asynchronous Clear**



## サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

## 概要

このデザイン エLEMENTは、クロックの両エッジで動作する同期ロード可能、非同期クリア可能、カスケード可能な双方向バイナリカウンタです。非同期クリア (CLR) 入力が高になると、ほかのすべての入力は無視され、クロック (C) の遷移に関係なく、出力 (Q)、ターミナル カウンタ (TC)、およびクロック イネーブル出力 (CEO) が 0 になります。ロード イネーブル入力 (L) が High の場合、クロックが Low から High に切り替わるときに、クロック イネーブル (CE) の値に関係なく、入力 (D) の値がカウンタにロードされます。CE が High の場合、クロックが Low から High、または High から Low に切り替わるときに Q 出力がインクリメントされます。CE が Low の場合、クロック遷移は無視されます。すべての Q 出力が高になると、TC 出力が高になります。

1 段目の CEO 出力を次の段の CE 入力に接続し、C、L、および CLR 入力を並列に接続すると、より大型のカウンタを作成できます。TC と CE が High になると、CEO がアクティブ (High) になります。カウンタの長さの最大値は、CE ピンと TC ピン間の伝搬遅延の合計とクロック周期の関係によって決定されます。クロック周期は、 $n(t_{CE-TC})$  より大きい必要があります。ここで、 $n$  は段数、時間  $t_{CE-TC}$  は各段での CE ピンと TC ピン間の伝搬遅延を表します。カウンタをカスケードする場合、CE 入力を使用するときは CEO 出力を、CE 入力を使用しないときは TC 出力を使用します。

電力を供給すると、カウンタは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

## 論理表

入力					出力		
CLR	L	CE	C	Dz : D0	Qz : Q0	TC	CEO
1	X	X	X	X	0	0	0
0	1	X	↑	Dn	Dn	TC	CEO
0	1	X	↓	Dn	Dn	TC	CEO
0	0	0	X	X	変化なし	変化なし	0
0	0	1	↑	X	インクリメント	TC	CEO
0	0	1	↓	X	インクリメント	TC	CEO
z = ビット幅 - 1 $TC = Qz \cdot Q(z-1) \cdot Q(z-2) \cdot \dots \cdot Q0$ $CEO = TC \cdot CE$							

## デザインの入力方法

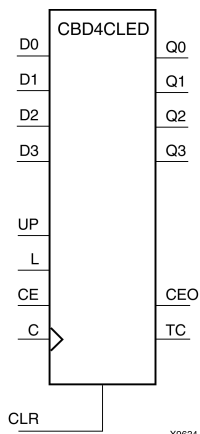
このエレメントは、回路図でのみ使用できます。

## 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

## CBD4CLED

**マクロ：4-Bit Loadable Cascadable Bidirectional Dual Edge Triggered Binary Counter with Clock Enable and Asynchronous Clear**



## サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

## 概要

このデザイン エLEMENTは、クロックの両エッジで動作する同期ロード可能、非同期クリア可能、カスケード可能な双方向バイナリカウンタです。非同期クリア (CLR) 入力が高レベルになると、ほかのすべての入力は無視され、クロック (C) の遷移に関係なく、出力 (Q)、ターミナルカウンタ (TC)、およびクロックイネーブル出力 (CEO) が 0 になります。ロードイネーブル入力 (L) が High の場合、クロック (C) が Low から High に切り替わるたびに、クロックイネーブル (CE) の値に関係なく、入力 (D) の値がカウンタにロードされます。CE が High、UP が Low の場合、クロックが Low から High、または High から Low に切り替わるたびに、Q 出力がデクリメントされます。CE と UP が High の場合、Q 出力がインクリメントされます。CE が Low の場合、クロック遷移は無視されます。

カウントアップする場合、すべての Q 出力と UP が High になると TC 出力が High になります。カウントダウンする場合、すべての Q 出力と UP が Low になると TC 出力が High になります。

1 段目の CEO 出力を次の段の CE 入力に接続し、C、UP、L、および CLR 入力を並列に接続すると、より大型のカウンタを作成できます。TC と CE が High になると、CEO がアクティブ (High) になります。カウンタの長さの最大値は、CE ピンと TC ピン間の伝搬遅延の合計とクロック周期の関係によって決定されます。クロック周期は、 $n(t_{CE-TC})$  より大きい必要があります。ここで、 $n$  は段数、時間  $t_{CE-TC}$  は各段での CE ピンと TC ピン間の伝搬遅延を表します。カウンタをカスケードする場合、CE 入力を使用するときは CEO 出力を、CE 入力を使用しないときは TC 出力を使用します。

高速カスケードが可能な双方向カウンタの詳細は、CB2X1、CB4X1、CB8X1、CB16X1 を参照してください。

電力を供給すると、カウンタは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

## 論理表

入力						出力		
CLR	L	CE	C	UP	Dz : D0	Qz : Q0	TC	CEO
1	X	X	X	X	X	0	0	0
0	1	X	↑	X	Dn	Dn	TC	CEO
0	1	X	↓	X	Dn	Dn	TC	CEO
0	0	0	X	X	X	変化なし	変化なし	0
0	0	1	↑	1	X	インクリメント	TC	CEO
0	0	1	↓	1	X	インクリメント	TC	CEO
0	0	1	↑	0	X	デクリメント	TC	CEO
0	0	1	↓	0	X	デクリメント	TC	CEO

$z = \text{ビット幅} - 1$   
 $TC = (QzQ(z-1)Q(z-2)...Q0UP) + (QzQ(z-1)Q(z-2)...Q0UP)$   
 $CEO = TCCE$

## デザインの入力方法

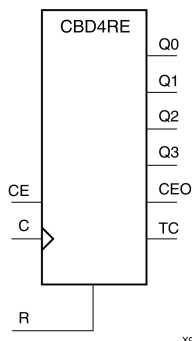
このエレメントは、回路図でのみ使用できます。

## 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

## CBD4RE

**マクロ：4-Bit Cascadable Dual Edge Triggered Binary Counter with Clock Enable and Synchronous Reset**



### サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

### 概要

このデザイン エLEMENTは、クロックの両エッジで動作する同期、リセット可能、カスケード可能なバイナリ カウンタです。同期リセット入力 (R) が High になると、ほかの入力は無視され、クロック (C) が Low から High に切り替わる時と High から Low に切り替わる時に出力 (Q)、ターミナル カウンタ (TC)、およびクロック イネーブル出力 (CEO) が 0 になります。クロック イネーブル入力 (CE) が High の場合、クロック (C) が Low から High、または High から Low に切り替わる時に出力 (Q) がインクリメントされます。CE が Low の場合、クロック遷移は無視されます。すべての Q 出力が High になると、TC 出力が High になります。

1 段目の CEO 出力を次の段の CE 入力に接続し、C および R 入力を並列に接続すると、より大型のカウンタを作成できます。TC と CE が High になると、CEO がアクティブ (High) になります。カウンタの長さの最大値は、CE ピンと TC ピン間の伝搬遅延の合計とクロック周期の関係によって決定されます。クロック周期は、 $n(t_{CE-TC})$  より大きい必要があります。ここで、 $n$  は段数、時間  $t_{CE-TC}$  は各段での CE ピンと TC ピン間の伝搬遅延を表します。カウンタをカスケードする場合、CE 入力を使用するときは CEO 出力を、CE 入力を使用しないときは TC 出力を使用します。

電力を供給すると、カウンタは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

## 論理表

入力			出力		
R	CE	C	Q <sub>z</sub> - Q <sub>0</sub>	TC	CEO
1	X	↑	0	0	0
1	X	↓	0	0	0
0	0	X	変化なし	変化なし	0
0	1	↑	インクリメント	TC	CEO
0	1	↓	インクリメント	TC	CEO
z = ビット幅 - 1 $TC = Q_z \cdot Q_{(z-1)} \cdot Q_{(z-2)} \cdot \dots \cdot Q_0$ $CEO = TC \cdot CE$					

## デザインの入力方法

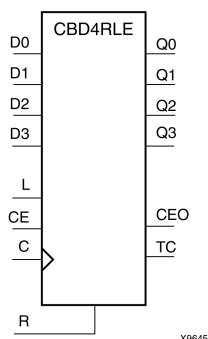
このエレメントは、回路図でのみ使用できます。

## 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

## CBD4RLE

**マクロ：4-Bit Loadable Cascadable Dual Edge Triggered Binary Counter with Clock Enable and Synchronous Reset**



## サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

## 概要

このデザイン エLEMENTは、クロックの両エッジで動作する同期、ロード可能、リセット可能、カスケード可能なバイナリ カウンタです。同期リセット入力 (R) が High になると、ほかの入力は無視され、クロック (C) が Low から High に切り替わるときと High から Low に切り替わるときに出力 (Q)、ターミナル カウンタ (TC)、およびクロック イネーブル出力 (CEO) が 0 になります。

ロード イネーブル入力 (L) が High の場合、クロック (C) が Low から High、または High から Low に切り替わるときに、CE の値に関係なく、D 入力の値がカウンタにロードされます。CE が High の場合、クロックが Low から High、または High から Low に切り替わるときに Q 出力がインクリメントされます。CE が Low の場合、クロック遷移は無視されます。すべての Q 出力が High になると、TC 出力が High になります。すべての Q 出力と CE が High になると、CEO 出力が High になるので、カウンタを直接カスケード接続できます。

1 段目の CEO 出力を次の段の CE 入力に接続し、C、L、および R 入力を並列に接続すると、より大型のカウンタを作成できます。TC と CE が High になると、CEO がアクティブ (High) になります。カウンタの長さの最大値は、CE ピンと TC ピン間の伝搬遅延の合計とクロック周期の関係によって決定されます。クロック周期は、 $n(t_{CE-TC})$  より大きい必要があります。ここで、 $n$  は段数、時間  $t_{CE-TC}$  は各段での CE ピンと TC ピン間の伝搬遅延を表します。カウンタをカスケードする場合、CE 入力を使用するときは CEO 出力を、CE 入力を使用しないときは TC 出力を使用します。

電力を供給すると、カウンタは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。



## 論理表

入力					出力		
R	L	CE	C	Dz : D0	Qz : Q0	TC	CEO
1	X	X	↑	X	0	0	0
1	X	X	↓	X	0	0	0
0	1	X	↑	Dn	Dn	TC	CEO
0	1	X	↓	Dn	Dn	TC	CEO
0	0	0	X	X	変化なし	変化なし	0
0	0	1	↑	X	インクリメント	TC	CEO
0	0	1	↓	X	インクリメント	TC	CEO

$z = \text{ビット幅} - 1$   
 $TC = Qz \cdot Q(z-1) \cdot Q(z-2) \cdot \dots \cdot Q0$   
 $CEO = TC \cdot CE$

## デザインの入力方法

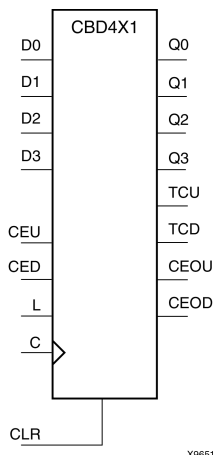
このエレメントは、回路図でのみ使用できます。

## 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

## CBD4X1

**マクロ：4-Bit Loadable Cascadable Bidirectional Dual Edge Triggered Binary Counter with Clock Enable and Asynchronous Clear**



## サポートされているアーキテクチャ

このデザイン エレメントは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

## 概要

このデザイン エレメントは、クロックの両エッジで動作する同期ロード可能、非同期クリア可能な双方向バイナリ カウンタです。このカウンタには、アップとダウンの両方向に対してそれぞれカウント イネーブル入力と同期ターミナル カウント出力があり、高速カスケードがサポートされています。

非同期クリア入力 (CLR) が最も優先される入力で、CLR が High になると、ほかのすべての入力は無視されます。クロック遷移に関係なく、出力 (Q) は 0、ターミナル カウント出力 TCU と TCD はそれぞれ 0 と 1、クロック イネーブル出力 CEOU と CEOD はそれぞれ Low と High になります。ロード イネーブル入力 (L) が High の場合、クロック (C) が Low から High、または High から Low に切り替わるときに、CE 入力に関係なく、D 入力の値がカウンタにロードされます。

CEU が High、CLR と L が Low の場合、クロックが Low から High、または High から Low に切り替わるときに Q 出力がインクリメントされます。CED が High、CLR と L が Low の場合、Q 出力がデクリメントされます。CEU と CED が Low の場合、クロック遷移は無視されます。クロック遷移の際に CEU と CED の両方を High にしないでください。CEU と CED が両方とも High になっていると、カスケード接続した場合に CEOU および CEOD 出力が正しく機能しません。

カウント アップする場合、すべての Q 出力と CEU が High になると CEOU 出力が High になります。カウント ダウンする場合、すべての Q 出力が Low、CED が High になると CEOD 出力が High になります。カウンタをカスケード接続するには、各カウンタの CEOU および CEOD 出力をそれぞれ次の段の CEU および CED 入力に直接接続します。クロック、L、CLR の入力は、並列に接続します。

すべてのカウントおよびロード機能に対して、カウンタをいくつカスケード接続しても、カウンタの最大クロック周波数は影響を受けません。すべての Q 出力が High になると、CEU に関係なく、TCU ターミナル カウント出力が High になります。すべての Q 出力が Low になると、CED に関係なく、TCD 出力は High になります。

カウンタをカスケード接続する場合、最終的なターミナル カウント信号は、TCU 出力 (アップ方向) と TCD 出力 (ダウン方向) をすべて接続した AND ゲートで生成されます。TCU、CEOU、CEOD の各出力は、コンポーネント内の最適化可能な AND ゲートによって生成されます。したがって、これらの出力からの接続がすべてオンチップであれば、CEU および CED の入力と Q 出力のピン間の伝搬遅延がゼロになります。すべてがオンチップでない場合は、マクロセルバッファ遅延が発生します。

電力を供給すると、カウンタは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

## 論理表

入力						出力				
CLR	L	CEU	CED	C	Dz - D0	Qz - Q0	TCU	TCD	CEOU	CEOD
1	X	X	X	X	X	0	0	1	0	CEOD
0	1	X	X	↑	Dn	Dn	TCU	TCD	CEOU	CEOD
0	1	X	X	↓	Dn	Dn	TCU	TCD	CEOU	CEOD
0	0	0	0	X	X	変化なし	変化なし	変化なし	0	0
0	0	1	0	↑	X	インクリメント	TCU	TCD	CEOU	0
0	0	1	0	↓	X	インクリメント	TCU	TCD	CEOU	0
0	0	0	1	↑	X	デクリメント	TCU	TCD	0	CEOD
0	0	0	1	↓	X	デクリメント	TCU	TCD	0	CEOD
0	0	1	1	↑	X	インクリメント	TCU	TCD	無効	無効
0	0	1	1	↓	X	インクリメント	TCU	TCD	無効	無効

$z = \text{ビット幅} - 1$   
 $TCU = Qz \cdot Q(z-1) \cdot Q(z-2) \cdot \dots \cdot Q0$   
 $TCD = Qz \cdot Q(z-1) \cdot Q(z-2) \cdot \dots \cdot Q0$   
 $CEOU = TCU \cdot CEU$   
 $CEOD = TCD \cdot CED$

## デザインの入力方法

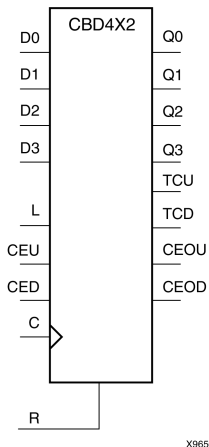
このエレメントは、回路図でのみ使用できます。

## 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

## CBD4X2

**マクロ：4-Bit Loadable Cascadable Bidirectional Dual Edge Triggered Binary Counter with Clock Enable and Synchronous Reset**



## サポートされているアーキテクチャ

このデザイン エレメントは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

## 概要

このデザイン エレメントは、クロックの両エッジで動作する同期、ロード可能、リセット可能な双方向バイナリ カウンタです。このカウンタには、アップとダウンの両方向に対してそれぞれカウント イネーブル入力と同期ターミナル カウント出力があり、高速カスケードがサポートされています。

同期リセット入力 (R) は最も優先される入力で、R が High になるとほかのすべての入力は無視されます。クロック (C) が Low から High に切り替わるときと High から Low に切り替わるときに、出力 (Q) の値は 0 に、ターミナル カウント出力 TCU と TCD はそれぞれ 0 と 1 に、クロック イネーブル出力 CEOU と CEOD はそれぞれ Low と High になります。ロード イネーブル入力 (L) が High の場合、クロック (C) が Low から High、または High から Low に切り替わるときに、CE 入力に関係なく、D 入力の値がカウンタにロードされます。

CEU が High、R と L が Low の場合、クロックが Low から High、または High から Low に切り替わるときにすべての Q 出力がインクリメントされます。CED が High、R と L が Low の場合、すべての Q 出力がデクリメントされます。CEU と CED が Low の場合、クロック遷移は無視されます。クロック遷移の際に CEU と CED の両方を High にしないでください。CEU と CED が両方とも High になっていると、カスケード接続した場合に CEOU および CEOD 出力が正しく機能しません。

カウントアップする場合、すべての Q 出力と CEU が High になると CEOU 出力が High になります。カウントダウンする場合、すべての Q 出力が Low、CED が High になると CEOD 出力が High になります。カウンタをカスケード接続するには、各カウンタの CEOU 出力および CEOD 出力をそれぞれ次の段の CEU および CED 入力に直接接続します。C、L、および R 入力は、並列に接続します。

すべてのカウントおよびロード機能に対して、カウンタをいくつカスケード接続しても、カウンタ コンポーネントの最大クロック周波数は影響を受けません。すべての Q 出力が High になると、CEU に関係なく、TCU ターミナル カウント出力が High になります。すべての Q 出力が Low になると、CED に関係なく、TCD 出力は High になります。

カウンタをカスケード接続する場合、最終的なターミナル カウント信号は、TCU 出力 (アップ方向) と TCD 出力 (ダウン方向) をすべて接続した AND ゲートで生成されます。TCU、CEOU、CEOD の各出力は、コンポーネント内の最適化可能な AND ゲートによって生成されます。したがって、これらの出力からの接続がすべてオンチップであれば、CEU および CED の入力と Q 出力のピン間の伝搬遅延がゼロになります。すべてがオンチップでない場合は、マクロセルバッファ遅延が発生します。

電力を供給すると、カウンタは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

## 論理表

入力						出力				
R	L	CEU	CED	C	Dz : D0	Qz : Q0	TCU	TCD	CEOU	CEOD
1	X	X	X	↑	X	0	0	1	0	CEOD
1	X	X	X	↓	X	0	0	1	0	CEOD
0	1	X	X	↑	Dn	Dn	TCU	TCD	CEOU	CEOD
0	1	X	X	↓	Dn	Dn	TCU	TCD	CEOU	CEOD
0	0	0	0	X	X	変化なし	変化なし	変化なし	0	0
0	0	1	0	↑	X	インクリメント	TCU	TCD	CEOU	0
0	0	1	0	↓	X	インクリメント	TCU	TCD	CEOU	0
0	0	0	1	↑	X	デクリメント	TCU	TCD	0	CEOD
0	0	0	1	↓	X	デクリメント	TCU	TCD	0	CEOD
0	0	1	1	↑	X	インクリメント	TCU	TCD	無効	無効
0	0	1	1	↓	X	インクリメント	TCU	TCD	無効	無効

$z = \text{ビット幅} - 1$

$TCU = Qz \cdot Q(z-1) \cdot Q(z-2) \cdot \dots \cdot Q0$

$TCD = Qz \cdot Q(z-1) \cdot Q(z-2) \cdot \dots \cdot Q0$

$CEOU = TCU \cdot CEU$

$CEOD = TCD \cdot CED$

## デザインの入力方法

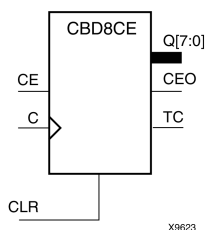
このエレメントは、回路図でのみ使用できます。

## 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

## CBD8CE

**マクロ：8-Bit Cascadable Dual Edge Triggered Binary Counter with Clock Enable and Asynchronous Clear**



## サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

## 概要

このデザイン エLEMENTは、両エッジで動作する非同期クリア可能、カスケード可能なバイナリカウンタです。非同期クリア (CLR) 入力が高になると、ほかのすべての入力は無視され、クロック (C) の遷移に関係なく、出力 (Q)、ターミナルカウンタ (TC)、およびクロックイネーブル出力 (CEO) が 0 になります。クロックイネーブル入力 (CE) が High の場合、クロック (C) が Low から High、または High から Low に切り替わるときに出力 (Q) がインクリメントされます。CE が Low の場合、クロック遷移は無視されます。すべての Q 出力が高になると、TC 出力が高になります。

1 段目の CEO 出力を次の段の CE 入力に接続し、C および CLR 入力を並列に接続すると、より大型のカウンタを作成できます。TC と CE が High になると、CEO がアクティブ (High) になります。カウンタの長さの最大値は、CE ピンと TC ピン間の伝搬遅延の合計とクロック周期の関係によって決定されます。クロック周期は、 $n(t_{CE-TC})$  より大きい必要があります。ここで、 $n$  は段数、時間  $t_{CE-TC}$  は各段での CE ピンと TC ピン間の伝搬遅延を表します。カウンタをカスケードする場合、CE 入力を使用するときは CEO 出力を、CE 入力を使用しないときは TC 出力を使用します。

電力を供給すると、カウンタは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

## 論理表

入力			出力		
CLR	CE	C	Qz : Q0	TC	CEO
1	X	X	0	0	0
0	0	X	変化なし	変化なし	0
0	1	↑	インクリメント	TC	CEO
0	1	↓	インクリメント	TC	CEO
$z = \text{ビット幅} - 1$ $TC = Qz \cdot Q(z-1) \cdot Q(z-2) \cdot \dots \cdot Q0$ $CEO = TC \cdot CE$					

## デザインの入力方法

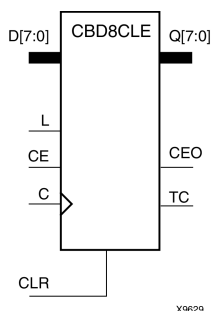
このエレメントは、回路図でのみ使用できます。

## 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

## CBD8CLE

**マクロ：8-Bit Loadable Cascadable Dual Edge Triggered Binary Counter with Clock Enable and Asynchronous Clear**



### サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

### 概要

このデザイン エLEMENTは、クロックの両エッジで動作する同期ロード可能、非同期クリア可能、カスケード可能な双方向バイナリカウンタです。非同期クリア (CLR) 入力が高になると、ほかのすべての入力は無視され、クロック (C) の遷移に関係なく、出力 (Q)、ターミナル カウンタ (TC)、およびクロック イネーブル出力 (CEO) が 0 になります。ロード イネーブル入力 (L) が High の場合、クロックが Low から High に切り替わるときに、クロック イネーブル (CE) の値に関係なく、入力 (D) の値がカウンタにロードされます。CE が High の場合、クロックが Low から High、または High から Low に切り替わるときに Q 出力がインクリメントされます。CE が Low の場合、クロック遷移は無視されます。すべての Q 出力が高になると、TC 出力が高になります。

1 段目の CEO 出力を次の段の CE 入力に接続し、C、L、および CLR 入力を並列に接続すると、より大型のカウンタを作成できます。TC と CE が High になると、CEO がアクティブ (High) になります。カウンタの長さの最大値は、CE ピンと TC ピン間の伝搬遅延の合計とクロック周期の関係によって決定されます。クロック周期は、 $n(t_{CE-TC})$  より大きい必要があります。ここで、 $n$  は段数、時間  $t_{CE-TC}$  は各段での CE ピンと TC ピン間の伝搬遅延を表します。カウンタをカスケードする場合、CE 入力を使用するときは CEO 出力を、CE 入力を使用しないときは TC 出力を使用します。

電力を供給すると、カウンタは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。



## 論理表

入力					出力		
CLR	L	CE	C	Dz : D0	Qz : Q0	TC	CEO
1	X	X	X	X	0	0	0
0	1	X	↑	Dn	Dn	TC	CEO
0	1	X	↓	Dn	Dn	TC	CEO
0	0	0	X	X	変化なし	変化なし	0
0	0	1	↑	X	インクリメント	TC	CEO
0	0	1	↓	X	インクリメント	TC	CEO

$z = \text{ビット幅} - 1$   
 $TC = Qz \cdot Q(z-1) \cdot Q(z-2) \cdot \dots \cdot Q0$   
 $CEO = TC \cdot CE$

## デザインの入力方法

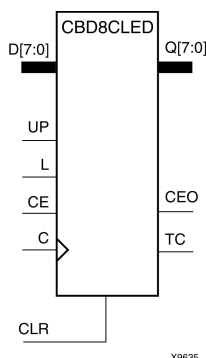
このELEMENTは、回路図でのみ使用できます。

## 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

## CBD8CLED

**マクロ：8-Bit Loadable Cascadable Bidirectional Dual Edge Triggered Binary Counter with Clock Enable and Asynchronous Clear**



### サポートされているアーキテクチャ

このデザイン エレメントは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

### 概要

このデザイン エレメントは、クロックの両エッジで動作する同期ロード可能、非同期クリア可能、カスケード可能な双方向バイナリカウンタです。非同期クリア (CLR) 入力が高レベルになると、ほかのすべての入力は無視され、クロック (C) の遷移に関係なく、出力 (Q)、ターミナル カウンタ (TC)、およびクロック イネーブル出力 (CEO) が 0 になります。ロード イネーブル入力 (L) が High の場合、クロック (C) が Low から High に切り替わるときに、クロック イネーブル (CE) の値に関係なく、入力 (D) の値がカウンタにロードされます。CE が High、UP が Low の場合、クロックが Low から High、または High から Low に切り替わるときに、Q 出力がデクリメントされます。CE と UP が High の場合、Q 出力がインクリメントされます。CE が Low の場合、クロック遷移は無視されます。

カウントアップする場合、すべての Q 出力と UP が High になると TC 出力が High になります。カウントダウンする場合、すべての Q 出力と UP が Low になると TC 出力が High になります。

1 段目の CEO 出力を次の段の CE 入力に接続し、C、UP、L、および CLR 入力を並列に接続すると、より大型のカウンタを作成できます。TC と CE が High になると、CEO がアクティブ (High) になります。カウンタの長さの最大値は、CE ピンと TC ピン間の伝搬遅延の合計とクロック周期の関係によって決定されます。クロック周期は、 $n(t_{CE-TC})$  より大きい必要があります。ここで、 $n$  は段数、時間  $t_{CE-TC}$  は各段での CE ピンと TC ピン間の伝搬遅延を表します。カウンタをカスケードする場合、CE 入力を使用するときは CEO 出力を、CE 入力を使用しないときは TC 出力を使用します。

高速カスケードが可能な双方向カウンタの詳細は、CB2X1、CB4X1、CB8X1、CB16X1 を参照してください。

電力を供給すると、カウンタは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスで PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

## 論理表

入力						出力		
CLR	L	CE	C	UP	Dz : D0	Qz : Q0	TC	CEO
1	X	X	X	X	X	0	0	0
0	1	X	↑	X	Dn	Dn	TC	CEO
0	1	X	↓	X	Dn	Dn	TC	CEO
0	0	0	X	X	X	変化なし	変化なし	0
0	0	1	↑	1	X	インクリメント	TC	CEO
0	0	1	↓	1	X	インクリメント	TC	CEO
0	0	1	↑	0	X	デクリメント	TC	CEO
0	0	1	↓	0	X	デクリメント	TC	CEO

$z = \text{ビット幅} - 1$   
 $TC = (QzQ(z-1)Q(z-2)...Q0UP) + (QzQ(z-1)Q(z-2)...Q0UP)$   
 $CEO = TCCE$

## デザインの入力方法

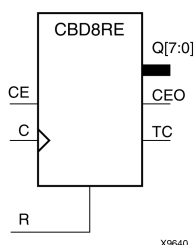
このエレメントは、回路図でのみ使用できます。

## 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

## CBD8RE

**マクロ：8-Bit Cascadable Dual Edge Triggered Binary Counter with Clock Enable and Synchronous Reset**



## サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

## 概要

このデザイン エLEMENTは、クロックの両エッジで動作する同期、リセット可能、カスケード可能なバイナリ カウンタです。同期リセット入力 (R) が High になると、ほかの入力は無視され、クロック (C) が Low から High に切り替わる時と High から Low に切り替わる時に出力 (Q)、ターミナル カウンタ (TC)、およびクロック イネーブル出力 (CEO) が 0 になります。クロック イネーブル入力 (CE) が High の場合、クロック (C) が Low から High、または High から Low に切り替わる時に出力 (Q) がインクリメントされます。CE が Low の場合、クロック遷移は無視されます。すべての Q 出力が High になると、TC 出力が High になります。

1 段目の CEO 出力を次の段の CE 入力に接続し、C および R 入力を並列に接続すると、より大型のカウンタを作成できます。TC と CE が High になると、CEO がアクティブ (High) になります。カウンタの長さの最大値は、CE ピンと TC ピン間の伝搬遅延の合計とクロック周期の関係によって決定されます。クロック周期は、 $n(t_{CE-TC})$  より大きい必要があります。ここで、 $n$  は段数、時間  $t_{CE-TC}$  は各段での CE ピンと TC ピン間の伝搬遅延を表します。カウンタをカスケードする場合、CE 入力を使用するときは CEO 出力を、CE 入力を使用しないときは TC 出力を使用します。

電力を供給すると、カウンタは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

## 論理表

入力			出力		
R	CE	C	Qz - Q0	TC	CEO
1	X	↑	0	0	0
1	X	↓	0	0	0
0	0	X	変化なし	変化なし	0
0	1	↑	インクリメント	TC	CEO
0	1	↓	インクリメント	TC	CEO
$z = \text{ビット幅} - 1$ $TC = Qz \cdot Q(z-1) \cdot Q(z-2) \cdot \dots \cdot Q0$ $CEO = TC \cdot CE$					

## デザインの入力方法

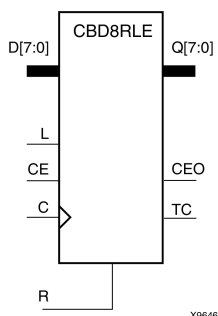
このエレメントは、回路図でのみ使用できます。

## 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

## CBD8RLE

**マクロ：8-Bit Loadable Cascadable Dual Edge Triggered Binary Counter with Clock Enable and Synchronous Reset**



## サポートされているアーキテクチャ

このデザイン エレメントは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

## 概要

このデザイン エレメントは、クロックの両エッジで動作する同期、ロード可能、リセット可能、カスケード可能なバイナリ カウンタです。同期リセット入力 (R) が High になると、ほかの入力は無視され、クロック (C) が Low から High に切り替わるときと High から Low に切り替わるときに出力 (Q)、ターミナル カウンタ (TC)、およびクロック イネーブル出力 (CEO) が 0 になります。

ロード イネーブル入力 (L) が High の場合、クロック (C) が Low から High、または High から Low に切り替わるときに、CE の値に関係なく、D 入力の値がカウンタにロードされます。CE が High の場合、クロックが Low から High、または High から Low に切り替わるときに Q 出力がインクリメントされます。CE が Low の場合、クロック遷移は無視されます。すべての Q 出力が High になると、TC 出力が High になります。すべての Q 出力と CE が High になると、CEO 出力が High になるので、カウンタを直接カスケード接続できます。

1 段目の CEO 出力を次の段の CE 入力に接続し、C、L、および R 入力を並列に接続すると、より大型のカウンタを作成できます。TC と CE が High になると、CEO がアクティブ (High) になります。カウンタの長さの最大値は、CE ピンと TC ピン間の伝搬遅延の合計とクロック周期の関係によって決定されます。クロック周期は、 $n(t_{CE-TC})$  より大きい必要があります。ここで、 $n$  は段数、時間  $t_{CE-TC}$  は各段での CE ピンと TC ピン間の伝搬遅延を表します。カウンタをカスケードする場合、CE 入力を使用するときは CEO 出力を、CE 入力を使用しないときは TC 出力を使用します。

電力を供給すると、カウンタは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

## 論理表

入力					出力		
R	L	CE	C	Dz : D0	Qz : Q0	TC	CEO
1	X	X	↑	X	0	0	0
1	X	X	↓	X	0	0	0
0	1	X	↑	Dn	Dn	TC	CEO
0	1	X	↓	Dn	Dn	TC	CEO
0	0	0	X	X	変化なし	変化なし	0
0	0	1	↑	X	インクリメント	TC	CEO
0	0	1	↓	X	インクリメント	TC	CEO

$z = \text{ビット幅} - 1$   
 $TC = Qz \cdot Q(z-1) \cdot Q(z-2) \cdot \dots \cdot Q0$   
 $CEO = TC \cdot CE$

## デザインの入力方法

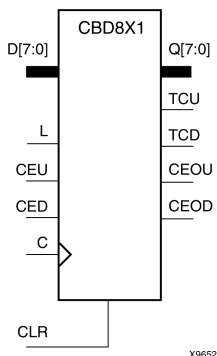
このエレメントは、回路図でのみ使用できます。

## 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

## CBD8X1

**マクロ：8-Bit Loadable Cascadable Bidirectional Dual Edge Triggered Binary Counter with Clock Enable and Asynchronous Clear**



## サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

## 概要

このデザイン エLEMENTは、クロックの両エッジで動作する同期ロード可能、非同期クリア可能な双方向バイナリ カウンタです。このカウンタには、アップとダウンの両方向に対してそれぞれカウント イネーブル入力と同期ターミナル カウント出力があり、高速カスケードがサポートされています。

非同期クリア入力 (CLR) が最も優先される入力で、CLR が High になると、ほかのすべての入力は無視されます。クロック遷移に関係なく、出力 (Q) は 0、ターミナル カウント出力 TCU と TCD はそれぞれ 0 と 1、クロック イネーブル出力 CEOU と CEOD はそれぞれ Low と High になります。ロード イネーブル入力 (L) が High の場合、クロック (C) が Low から High、または High から Low に切り替わる時に、CE 入力に関係なく、D 入力の値がカウンタにロードされます。

CEU が High、CLR と L が Low の場合、クロックが Low から High、または High から Low に切り替わる時に Q 出力がインクリメントされます。CED が High、CLR と L が Low の場合、Q 出力がデクリメントされます。CEU と CED が Low の場合、クロック遷移は無視されます。クロック遷移の際に CEU と CED の両方を High にしないでください。CEU と CED が両方とも High になっていると、カスケード接続した場合に CEOU および CEOD 出力が正しく機能しません。

カウントアップする場合、すべての Q 出力と CEU が High になると CEOU 出力が High になります。カウントダウンする場合、すべての Q 出力が Low、CED が High になると CEOD 出力が High になります。カウンタをカスケード接続するには、各カウンタの CEOU および CEOD 出力をそれぞれ次の段の CEU および CED 入力に直接接続します。クロック、L、CLR の入力は、並列に接続します。

すべてのカウントおよびロード機能に対して、カウンタをいくつカスケード接続しても、カウンタの最大クロック周波数は影響を受けません。すべての Q 出力が High になると、CEU に関係なく、TCU ターミナル カウント出力が High になります。すべての Q 出力が Low になると、CED に関係なく、TCD 出力は High になります。

カウンタをカスケード接続する場合、最終的なターミナル カウント信号は、TCU 出力 (アップ方向) と TCD 出力 (ダウン方向) をすべて接続した AND ゲートで生成されます。TCU、CEOU、CEOD の各出力は、コンポーネント内の最適化可能な AND ゲートによって生成されます。したがって、これらの出力からの接続がすべてオンチップであれば、CEU および CED の入力と Q 出力のピン間の伝搬遅延がゼロになります。すべてがオンチップでない場合は、マクロセルバッファ遅延が発生します。

電力を供給すると、カウンタは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。



## 論理表

入力						出力				
CLR	L	CEU	CED	C	Dz - D0	Qz - Q0	TCU	TCD	CEOU	CEOD
1	X	X	X	X	X	0	0	1	0	CEOD
0	1	X	X	↑	Dn	Dn	TCU	TCD	CEOU	CEOD
0	1	X	X	↓	Dn	Dn	TCU	TCD	CEOU	CEOD
0	0	0	0	X	X	変化なし	変化なし	変化なし	0	0
0	0	1	0	↑	X	インクリメント	TCU	TCD	CEOU	0
0	0	1	0	↓	X	インクリメント	TCU	TCD	CEOU	0
0	0	0	1	↑	X	デクリメント	TCU	TCD	0	CEOD
0	0	0	1	↓	X	デクリメント	TCU	TCD	0	CEOD
0	0	1	1	↑	X	インクリメント	TCU	TCD	無効	無効
0	0	1	1	↓	X	インクリメント	TCU	TCD	無効	無効

$z = \text{ビット幅} - 1$   
 $TCU = Qz \cdot Q(z-1) \cdot Q(z-2) \cdot \dots \cdot Q0$   
 $TCD = Qz \cdot Q(z-1) \cdot Q(z-2) \cdot \dots \cdot Q0$   
 $CEOU = TCU \cdot CEU$   
 $CEOD = TCD \cdot CED$

## デザインの入力方法

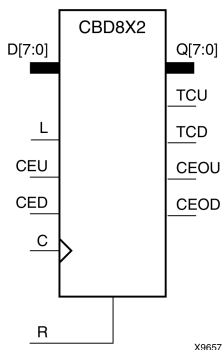
このELEMENTは、回路図でのみ使用できます。

## 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

## CBD8X2

**マクロ：8-Bit Loadable Cascadable Bidirectional Dual Edge Triggered Binary Counter with Clock Enable and Synchronous Reset**



### サポートされているアーキテクチャ

このデザイン エレメントは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

### 概要

このデザイン エレメントは、クロックの両エッジで動作する同期、ロード可能、リセット可能な双方向バイナリ カウンタです。このカウンタには、アップとダウンの両方向に対してそれぞれカウント イネーブル入力と同期ターミナル カウント出力があり、高速カスケードがサポートされています。

同期リセット入力 (R) は最も優先される入力で、R が High になるとほかのすべての入力は無視されます。クロック (C) が Low から High に切り替わるときと High から Low に切り替わるときに、出力 (Q) の値は 0 に、ターミナル カウント出力 TCU と TCD はそれぞれ 0 と 1 に、クロック イネーブル出力 CEOU と CEOD はそれぞれ Low と High になります。ロード イネーブル入力 (L) が High の場合、クロック (C) が Low から High、または High から Low に切り替わるときに、CE 入力に関係なく、D 入力の値がカウンタにロードされます。

CEU が High、R と L が Low の場合、クロックが Low から High、または High から Low に切り替わるときにすべての Q 出力がインクリメントされます。CED が High、R と L が Low の場合、すべての Q 出力がデクリメントされます。CEU と CED が Low の場合、クロック遷移は無視されます。クロック遷移の際に CEU と CED の両方を High にしないでください。CEU と CED が両方とも High になっていると、カスケード接続した場合に CEOU および CEOD 出力が正しく機能しません。

カウント アップする場合、すべての Q 出力と CEU が High になると CEOU 出力が High になります。カウント ダウンする場合、すべての Q 出力が Low、CED が High になると CEOD 出力が High になります。カウンタをカスケード接続するには、各カウンタの CEOU 出力および CEOD 出力をそれぞれ次の段の CEU および CED 入力に直接接続します。C、L、および R 入力は、並列に接続します。

すべてのカウントおよびロード機能に対して、カウンタをいくつカスケード接続しても、カウンタ コンポーネントの最大クロック周波数は影響を受けません。すべての Q 出力が High になると、CEU に関係なく、TCU ターミナル カウント出力が High になります。すべての Q 出力が Low になると、CED に関係なく、TCD 出力は High になります。

カウンタをカスケード接続する場合、最終的なターミナル カウント信号は、TCU 出力 (アップ方向) と TCD 出力 (ダウン方向) をすべて接続した AND ゲートで生成されます。TCU、CEOU、CEOD の各出力は、コンポーネント内の最適化可能な AND ゲートによって生成されます。したがって、これらの出力からの接続がすべてオンチップであれば、CEU および CED の入力と Q 出力のピン間の伝搬遅延がゼロになります。すべてがオンチップでない場合は、マクロセルバッファ遅延が発生します。

電力を供給すると、カウンタは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

## 論理表

入力						出力				
R	L	CEU	CED	C	Dz : D0	Qz : Q0	TCU	TCD	CEOU	CEOD
1	X	X	X	↑	X	0	0	1	0	CEOD
1	X	X	X	↓	X	0	0	1	0	CEOD
0	1	X	X	↑	Dn	Dn	TCU	TCD	CEOU	CEOD
0	1	X	X	↓	Dn	Dn	TCU	TCD	CEOU	CEOD
0	0	0	0	X	X	変化なし	変化なし	変化なし	0	0
0	0	1	0	↑	X	インクリメント	TCU	TCD	CEOU	0
0	0	1	0	↓	X	インクリメント	TCU	TCD	CEOU	0
0	0	0	1	↑	X	デクリメント	TCU	TCD	0	CEOD
0	0	0	1	↓	X	デクリメント	TCU	TCD	0	CEOD
0	0	1	1	↑	X	インクリメント	TCU	TCD	無効	無効
0	0	1	1	↓	X	インクリメント	TCU	TCD	無効	無効

$z = \text{ビット幅} - 1$

$TCU = Qz \cdot Q(z-1) \cdot Q(z-2) \cdot \dots \cdot Q0$

$TCD = Qz \cdot Q(z-1) \cdot Q(z-2) \cdot \dots \cdot Q0$

$CEOU = TCU \cdot CEU$

$CEOD = TCD \cdot CED$

## デザインの入力方法

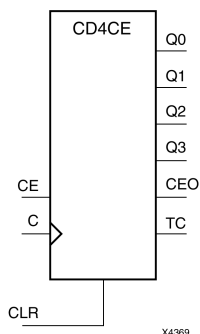
このエレメントは、回路図でのみ使用できます。

## 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

## CD4CE

マクロ：4-Bit Cascadable BCD Counter with Clock Enable and Asynchronous Clear



### サポートされているアーキテクチャ

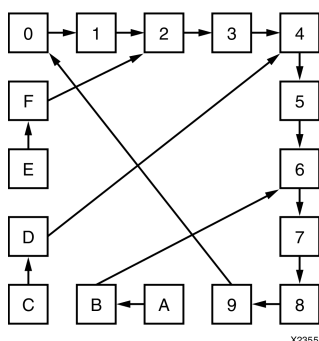
このデザイン エレメントは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

### 概要

CD4CE は、4 ビットの非同期、クリア可能、カスケード可能な 2 進化 10 進法 (BCD) のカウンタです。非同期クリア入力 (CLR) が最も優先される入力で、High の場合、クロック (C) の遷移に関係なく、Q 出力、ターミナル カウント (TC)、クロック イネーブル出力 (CEO) が 0 になります。クロック イネーブル (CE) が High の場合、クロック (C) が Low から High に切り替わる時に Q 出力がインクリメントされます。CE が Low の場合、クロック遷移は無視されます。Q3 と Q0 が High、Q2 と Q1 が Low になると、TC 出力が High になります。

次のステート ダイアグラムに示すように、カウンタは 6 通りの無効状態から 2 クロック サイクル以内に通常のカウントシーケンスに復帰します。



1 段目の CEO 出力を次の段の CE 入力に接続し、C および CLR 入力を並列に接続すると、より大型のカウンタを作成できます。TC と CE が High になると、CEO がアクティブ (High) になります。カウンタの長さの最大値は、CE ピンと TC ピン間の伝搬遅延の合計とクロック周期の関係によって決定されます。クロック周期は、 $n(t_{CE-TC})$  より大きい必要があります。ここで、 $n$  は段数、時間  $t_{CE-TC}$  は各段での CE ピンと TC ピン間の伝搬遅延を表します。カウンタをカスケードする場合、CE 入力を使用するときは CEO 出力を、CE 入力を使用しないときは TC 出力を使用します。

電力を供給すると、カウンタは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

## 論理表

入力			出力					
CLR	CE	C	Q3	Q2	Q1	Q0	TC	CEO
1	X	X	0	0	0	0	0	0
0	1	↑	インクリメント	インクリメント	インクリメント	インクリメント	TC	CEO
0	0	X	変化なし	変化なし	変化なし	変化なし	TC	0
0	1	X	1	0	0	1	1	1
TC = Q3·!Q2·!Q1·Q0								
CEO = TC·CE								

## デザインの入力方法

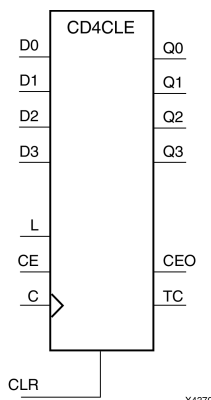
このエレメントは、回路図でのみ使用できます。

## 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

## CD4CLE

**マクロ：4-Bit Loadable Cascadable BCD Counter with Clock Enable and Asynchronous Clear**



## サポートされているアーキテクチャ

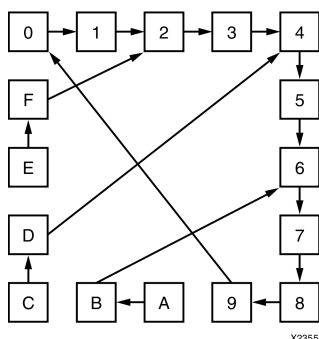
このデザイン エレメントは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

## 概要

CD4CLE は、4 ビットの同期ロード可能、非同期クリア可能、カスケード可能なバイナリ カウンタです。非同期クリア入力 (CLR) が最も優先される入力で、High の場合、クロック (C) の遷移に関係なく、Q 出力、ターミナル カウント (TC)、クロック イネーブル出力 (CEO) が 0 になります。ロード イネーブル入力 (L) が High の場合、クロック (C) が Low から High に切り替わるときに D 入力の値がカウンタにロードされます。クロック イネーブル入力 (CE) が High の場合、クロックが Low から High に切り替わるときに Q 出力がインクリメントされます。CE が Low の場合、クロック遷移は無視されます。Q3 と Q0 が High、Q2 と Q1 が Low になると、TC 出力が High になります。

次のステート ダイアグラムに示すように、カウンタは 6 通りの無効状態から 2 クロック サイクル以内に通常のカウントシーケンスに復帰します。



1 段目の CEO 出力を次の段の CE 入力に接続し、C、L、および CLR 入力を並列に接続すると、より大型のカウンタを作成できます。TC と CE が High になると、CEO がアクティブ (High) になります。カウンタの長さの最大値は、CE ピンと TC ピン間の伝搬遅延の合計とクロック周期の関係によって決定されます。クロック周期は、 $n(t_{CE-TC})$  より大きい必要があります。ここで、 $n$  は段数、時間  $t_{CE-TC}$  は各段での CE ピンと TC ピン間の伝搬遅延を表します。カウンタをカスケードする場合、CE 入力を使用するときは CEO 出力を、CE 入力を使用しないときは TC 出力を使用します。

電力を供給すると、カウンタは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

## 論理表

入力					出力					
CLR	L	CE	D3 : D0	C	Q3	Q2	Q1	Q0	TC	CEO
1	X	X	X	X	0	0	0	0	0	0
0	1	X	D3 : D0	↑	D3	D2	D1	D0	TC	CEO
0	0	1	X	↑	インクリメント	インクリメント	インクリメント	インクリメント	TC	CEO
0	0	0	X	X	変化なし	変化なし	変化なし	変化なし	TC	0
0	0	1	X	X	1	0	0	1	1	1
TC = Q3·!Q2·!Q1·Q0										
CEO = TC·CE										

## デザインの入力方法

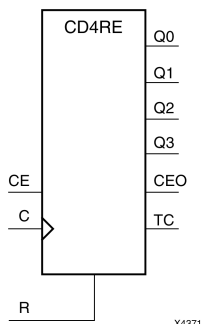
このエレメントは、回路図でのみ使用できます。

## 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

## CD4RE

### マクロ：4-Bit Cascadable BCD Counter with Clock Enable and Synchronous Reset



## サポートされているアーキテクチャ

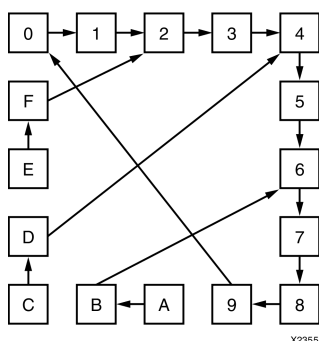
このデザイン エレメントは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

## 概要

CD4RE は、4 ビットの同期、リセット可能、カスケード可能な 2 進法 10 進法 (BCD) のカウンタです。同期リセット入力 (R) は最も優先される入力で、R が High になるとほかのすべての入力は無視され、クロック (C) が Low から High に切り替わるときに、Q 出力、ターミナル カウント (TC)、クロック イネーブル出力 (CEO) が 0 になります。クロック イネーブル入力 (CE) が High の場合、クロックが Low から High に切り替わるときに Q 出力がインクリメントされます。CE が Low の場合、クロック遷移は無視されます。Q3 と Q0 が High、Q2 と Q1 が Low になると、TC 出力が High になります。

次のステート ダイアグラムに示すように、カウンタは 6 通りの無効状態から 2 クロック サイクル以内に通常のカウントシーケンスに復帰します。



1 段目の CEO 出力を次の段の CE 入力に接続し、C および R 入力を並列に接続すると、より大型のカウンタを作成できます。TC と CE が High になると、CEO がアクティブ (High) になります。カウンタの長さの最大値は、CE ピンと TC ピン間の伝搬遅延の合計とクロック周期の関係によって決定されます。クロック周期は、 $n(t_{CE-TC})$  より大きい必要があります。ここで、 $n$  は段数、時間  $t_{CE-TC}$  は各段での CE ピンと TC ピン間の伝搬遅延を表します。カウンタをカスケードする場合、CE 入力を使用するときは CEO 出力を、CE 入力を使用しないときは TC 出力を使用します。

電力を供給すると、カウンタは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。



## 論理表

入力			出力					
R	CE	C	Q3	Q2	Q1	Q0	TC	CEO
1	X	↑	0	0	0	0	0	0
0	1	↑	インクリメント	インクリメント	インクリメント	インクリメント	TC	CEO
0	0	X	変化なし	変化なし	変化なし	変化なし	TC	0
0	1	X	1	0	0	1	1	1
TC = $Q3 \cdot !Q2 \cdot !Q1 \cdot Q0$								
CEO = TC · CE								

## デザインの入力方法

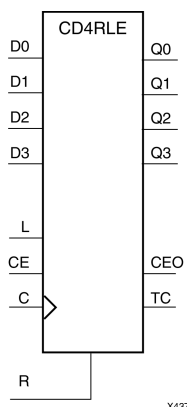
このエレメントは、回路図でのみ使用できます。

## 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

## CD4RLE

**マクロ : 4-Bit Loadable Cascadable BCD Counter with Clock Enable and Synchronous Reset**



### サポートされているアーキテクチャ

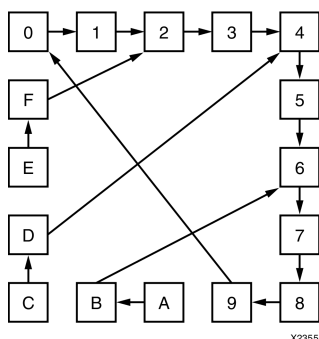
このデザイン エレメントは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

### 概要

CD4RLE は、4 ビットの同期、ロード可能、リセット可能な 2 進 10 進法 (BCD) カウンタです。同期リセット入力 (R) は最も優先される入力で、R が High になると、ほかのすべての入力は無視され、クロックが Low から High に切り替わるときに、Q 出力、ターミナル カウント (TC)、クロック イネーブル出力 (CEO) が 0 になります。ロード イネーブル入力 (L) が High の場合、クロック (C) が Low から High に切り替わるときに D 入力の値がカウンタにロードされます。クロック イネーブル入力 (CE) が High の場合、クロックが Low から High に切り替わるときに Q 出力がインクリメントされます。CE が Low の場合、クロック遷移は無視されます。Q3 と Q0 が High、Q2 と Q1 が Low になると、TC 出力が High になります。

次のステート ダイアグラムに示すように、カウンタは 6 通りの無効状態から 2 クロック サイクル以内に通常のカウントシーケンスに復帰します。



1 段目の CEO 出力を次の段の CE 入力に接続し、C、L、および R 入力を並列に接続すると、より大型のカウンタを作成できます。TC と CE が High になると、CEO がアクティブ (High) になります。カウンタの長さの最大値は、CE ピンと TC ピン間の伝搬遅延の合計とクロック周期の関係によって決定されます。クロック周期は、 $n(t_{CE-TC})$  より大きい必要があります。ここで、 $n$  は段数、時間  $t_{CE-TC}$  は各段での CE ピンと TC ピン間の伝搬遅延を表します。カウンタをカスケードする場合、CE 入力を使用するときは CEO 出力を、CE 入力を使用しないときは TC 出力を使用します。

電力を供給すると、カウンタは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

## 論理表

入力					出力					
R	L	CE	D3 : D0	C	Q3	Q2	Q1	Q0	TC	CEO
1	X	X	X	↑	0	0	0	0	0	0
0	1	X	D3 : D0	↑	D3	D	D	D0	TC	CEO
0	0	1	X	↑	インクリメント	インクリメント	インクリメント	インクリメント	TC	CEO
0	0	0	X	X	変化なし	変化なし	変化なし	変化なし	TC	0
0	0	1	X	X	1	0	0	1	1	1
TC = Q3·!Q2·!Q1·Q0										
CEO = TC·CE										

## デザインの入力方法

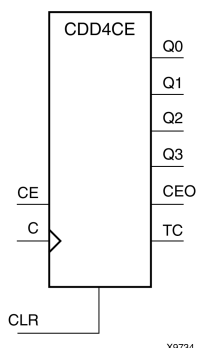
このエレメントは、回路図でのみ使用できます。

## 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

## CDD4CE

**マクロ：4-Bit Cascadable Dual Edge Triggered BCD Counter with Clock Enable and Asynchronous Clear**



## サポートされているアーキテクチャ

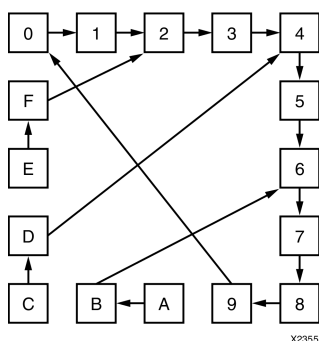
このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

## 概要

CDD4CE は、4 ビットの非同期、クリア可能、カスケード可能な 2 進法 10 進法 (BCD) のカウンタで、クロックの両エッジで動作します。非同期クリア入力 (CLR) が最も優先される入力で、High の場合、クロック (C) の遷移に関係なく、Q 出力、ターミナル カウント (TC)、クロック イネーブル出力 (CEO) が 0 になります。クロック イネーブル入力 (CE) が High の場合、クロック (C) が Low から High、または High から Low に切り替わるときに出力 (Q) がインクリメントされます。CE が Low の場合、クロック遷移は無視されます。Q3 と Q0 が High、Q2 と Q1 が Low になると、TC 出力が High になります。カウンタは、無効状態から 1 クロック サイクル以内に通常のカウンタ シーケンスに復帰します。

次のステート ダイアグラムに示すように、カウンタは 6 通りの無効状態から 2 クロック サイクル以内に通常のカウンタ シーケンスに復帰します。



1 段目の CEO 出力を次の段の CE 入力に接続し、C および CLR 入力を並列に接続すると、より大型のカウンタを作成できます。TC と CE が High になると、CEO がアクティブ (High) になります。カウンタの長さの最大値は、CE ピンと TC ピン間の伝搬遅延の合計とクロック周期の関係によって決定されます。クロック周期は、 $n(t_{CE-TC})$  より大きい必要があります。ここで、 $n$  は段数、時間  $t_{CE-TC}$  は各段での CE ピンと TC ピン間の伝搬遅延を表します。カウンタをカスケードする場合、CE 入力を使用するときは CEO 出力を、CE 入力を使用しないときは TC 出力を使用します。

電力を供給すると、カウンタは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

## 論理表

入力			出力					
CLR	CE	C	Q3	Q2	Q1	Q0	TC	CEO
1	X	X	0	0	0	0	0	0
0	1	↑	インクリメント	インクリメント	インクリメント	インクリメント	TC	CEO
0	1	↓	インクリメント	インクリメント	インクリメント	インクリメント	TC	CEO
0	0	X	変化なし	変化なし	変化なし	変化なし	TC	0
0	1	X	1	0	0	1	1	1
TC = Q3·!Q2·!Q1·Q0								

## デザインの入力方法

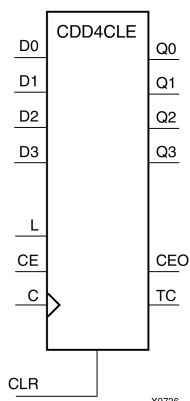
このエレメントは、回路図でのみ使用できます。

## 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

## CDD4CLE

**マクロ：4-Bit Loadable Cascadable Dual Edge Triggered BCD Counter with Clock Enable and Asynchronous Clear**



## サポートされているアーキテクチャ

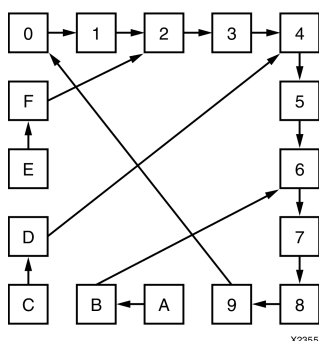
このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

## 概要

CDD4CLE は、4 ビットの同期ロード可能、非同期クリア可能、カスケード可能なバイナリ カウンタで、クロックの両エッジで動作します。非同期クリア入力 (CLR) が最も優先される入力で、High の場合、クロック (C) の遷移に関係なく、Q 出力、ターミナル カウント (TC)、クロック イネーブル出力 (CEO) が 0 になります。ロード イネーブル入力 (L) が High の場合、クロック (C) が Low から High、または High から Low に切り替わる時に D 入力の値がカウンタにロードされます。クロック イネーブル入力 (CE) が High の場合、クロックが Low から High に切り替わる時に Q 出力がインクリメントされます。CE が Low の場合、クロック遷移は無視されます。Q3 と Q0 が High、Q2 と Q1 が Low になると、TC 出力が High になります。カウンタは、無効状態から 1 クロック サイクル以内に通常のカウントシーケンスに復帰します。

次のステート ダイアグラムに示すように、カウンタは 6 通りの無効状態から 2 クロック サイクル以内に通常のカウントシーケンスに復帰します。



1 段目の CEO 出力を次の段の CE 入力に接続し、C、L、および CLR 入力を並列に接続すると、より大型のカウンタを作成できます。TC と CE が High になると、CEO がアクティブ (High) になります。カウンタの長さの最大値は、CE ピンと TC ピン間の伝搬遅延の合計とクロック周期の関係によって決定されます。クロック周期は、 $n(t_{CE-TC})$  より大きい必要があります。ここで、 $n$  は段数、時間  $t_{CE-TC}$  は各段での CE ピンと TC ピン間の伝搬遅延を表します。カウンタをカスケードする場合、CE 入力を使用するときは CEO 出力を、CE 入力を使用しないときは TC 出力を使用します。

電力を供給すると、カウンタは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

## 論理表

入力					出力					
CLR	L	CE	D3 : D0	C	Q3	Q2	Q1	Q0	TC	CEO
1	X	X	X	X	0	0	0	0	0	0
0	1	X	D3 : D0	↑	D3	D2	D1	D0	TC	CEO
0	1	X	D3 : D0	↓	D3	D2	D1	D0	TC	CEO
0	0	1	X	↑	インクリメント	インクリメント	インクリメント	インクリメント	TC	CEO
0	0	1	X	↓	インクリメント	インクリメント	インクリメント	インクリメント	TC	CEO
0	0	0	X	X	変化なし	変化なし	変化なし	変化なし	TC	0
0	0	1	X	X	1	0	0	1	1	1
TC = Q3·!Q2·!Q1·Q0										
CEO = TC·CE										

## デザインの入力方法

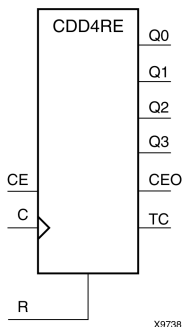
このエレメントは、回路図でのみ使用できます。

## 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

## CDD4RE

**マクロ：4-Bit Cascadable Dual Edge Triggered BCD Counter with Clock Enable and Synchronous Reset**



## サポートされているアーキテクチャ

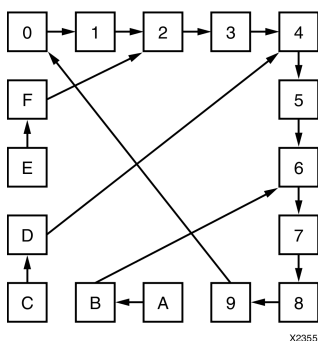
このデザイン エレメントは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

## 概要

CDD4RE は、クロックの両エッジで動作する同期、リセット可能、カスケード可能な 2 進法 10 進法 (BCD) の 4 ビット カウンタです。同期リセット入力 (R) は最も優先される入力で、R が High になると、ほかのすべての入力は無視され、クロック (C) が Low から High に切り替わるときと High から Low に切り替わるときに、Q 出力、ターミナル カウント (TC)、クロック イネーブル出力 (CEO) が 0 になります。クロック イネーブル入力 (CE) が High の場合、クロック (C) が Low から High、または High から Low に切り替わるときに出力 (Q) がインクリメントされます。CE が Low の場合、クロック遷移は無視されます。Q3 と Q0 が High、Q2 と Q1 が Low になると、TC 出力が High になります。カウンタは、無効状態から 1 クロック サイクル以内に通常のカウント シーケンスに復帰します。

次のステート ダイアグラムに示すように、カウンタは 6 通りの無効状態から 2 クロック サイクル以内に通常のカウント シーケンスに復帰します。



1 段目の CEO 出力を次の段の CE 入力に接続し、C および R 入力を並列に接続すると、より大型のカウンタを作成できます。TC と CE が High になると、CEO がアクティブ (High) になります。カウンタの長さの最大値は、CE ピンと TC ピン間の伝搬遅延の合計とクロック周期の関係によって決定されます。クロック周期は、 $n(t_{CE-TC})$  より大きい必要があります。ここで、 $n$  は段数、時間  $t_{CE-TC}$  は各段での CE ピンと TC ピン間の伝搬遅延を表します。カウンタをカスケードする場合、CE 入力を使用するときは CEO 出力を、CE 入力を使用しないときは TC 出力を使用します。

電力を供給すると、カウンタは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。



## 論理表

入力			出力					
R	CE	C	Q3	Q2	Q1	Q0	TC	CEO
1	X	↑	0	0	0	0	0	0
1	X	↓	0	0	0	0	0	0
0	1	↑	インクリメント	インクリメント	インクリメント	インクリメント	TC	CEO
0	1	↓	インクリメント	インクリメント	インクリメント	インクリメント	TC	CEO
0	0	X	変化なし	変化なし	変化なし	変化なし	TC	0
0	1	X	1	0	0	1	1	1
TC = Q3!Q2!Q1Q0								
CEO = TCCE								

## デザインの入力方法

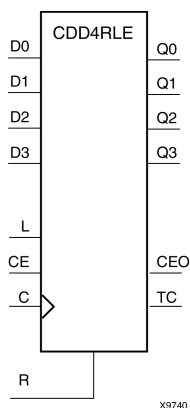
このエレメントは、回路図でのみ使用できます。

## 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

## CDD4RLE

**マクロ：4-Bit Loadable Cascadable Dual Edge Triggered BCD Counter with Clock Enable and Synchronous Reset**



## サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

## 概要

このデザイン エLEMENTは、クロックの両エッジで動作する同期、ロード可能、リセット可能な 2 進法 10 進法 (BCD) の 4 ビット カウンタです。同期リセット入力 (R) は最も優先される入力で、R が High になると、ほかのすべての入力は無視され、クロックが Low から High に切り替わるときと High から Low に切り替わるときに、Q 出力、ターミナル カウント (TC)、クロック イネーブル出力 (CEO) が 0 になります。ロード イネーブル入力 (L) が High の場合、クロック (C) が Low から High、または High から Low に切り替わるときに D 入力の値がカウンタにロードされます。クロック イネーブル入力 (CE) が High の場合、クロック (C) が Low から High、または High から Low に切り替わるときに出力 (Q) がインクリメントされます。CE が Low の場合、クロック遷移は無視されます。Q3 と Q0 が High、Q2 と Q1 が Low になると、TC 出力が High になります。カウンタは、無効状態から 1 クロック サイクル以内に通常のカウント シーケンスに復帰します。

1 段目のカウント イネーブル出力 (CEO) を次の段の CE 入力に接続し、R、L、C 入力を並列に接続すると、より大型のカウンタを作成できます。TC と CE が High になると、CEO がアクティブ (High) になります。カウンタの長さの最大値は、CE ピンと TC ピン間の伝搬遅延の合計とクロック周期の関係によって決定されます。クロック周期は、 $n(t_{CE-TC})$  より大きい必要があります。ここで、 $n$  は段数、時間  $t_{CE-TC}$  は各段での CE ピンと TC ピン間の伝搬遅延を表します。カウンタをカスケードする場合、CE 入力を使用するときは CEO 出力を、CE 入力を使用しないときは TC 出力を使用します。

電力を供給すると、カウンタは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

## デザインの入力方法

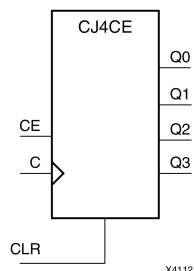
このELEMENTは、回路図でのみ使用できます。

## 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

## CJ4CE

### 4-Bit Johnson Counter with Clock Enable and Asynchronous Clear



## サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

## 概要

このデザイン エLEMENTは、クリア可能なジョンソン/シフト カウンタです。非同期クリア (CLR) 入力が高になると、ほかのすべての入力は無視され、クロック (C) の遷移に関係なく、出力 (Q) が 0 になります。クロック イネーブル入力 (CE) が High の場合、クロックが Low から High に切り替わる時にカウンタがインクリメント (Q0 → Q1、Q1 → Q2 のようにシフト) します。CE が Low の場合、クロック遷移は無視されます。

このデザイン エLEMENTでは、Q3 の出力が反転されて入力 Q0 にフィードバックされ、連続したカウント処理が行われます。

電力を供給すると、カウンタは非同期にクリアされ、出力が Low になります。

## 論理表

入力			出力	
CLR	CE	C	Q0	Q1 - Q3
1	X	X	0	0
0	0	X	変化なし	変化なし
0	1	↑	!q3	q0 - q2

q = アクティブなクロック エッジの 1 セットアップ タイム前の対応する出力の値

## デザインの入力方法

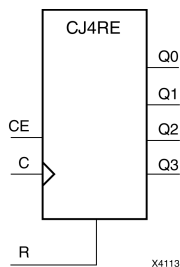
このELEMENTは、回路図でのみ使用できます。

## 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

## CJ4RE

マクロ：4-Bit Johnson Counter with Clock Enable and Synchronous Reset



## サポートされているアーキテクチャ

このデザイン エレメントは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

## 概要

このデザイン エレメントは、リセット可能なジョンソン/シフト カウンタです。同期 R が High になると、ほかのすべての入力は無視され、クロック (C) が Low から High に切り替わる時に出力が 0 になります。クロック イネーブル入力 (CE) が High の場合、クロックが Low から High に切り替わる時にカウンタがインクリメント (Q0 → Q1、Q1 → Q2 のようにシフト) します。CE が Low の場合、クロック遷移は無視されます。

このデザイン エレメントでは、Q3 の出力が反転されて入力 Q0 にフィードバックされ、連続したカウント処理が行われます。

電力を供給すると、カウンタは非同期にクリアされ、出力が Low になります。

## 論理表

入力			出力	
R	CE	C	Q0	Q1 - Q3
1	X	↑	0	0
0	0	X	変化なし	変化なし
0	1	↑	!q3	q0 - q2

q = アクティブなクロック エッジの 1 セットアップ タイム前の対応する出力の値

## デザインの入力方法

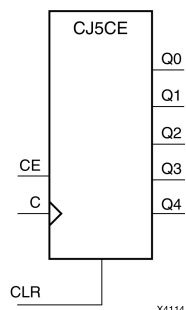
このエレメントは、回路図でのみ使用できます。

## 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

## CJ5CE

マクロ：5-Bit Johnson Counter with Clock Enable and Asynchronous Clear



## サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

## 概要

このデザイン エLEMENTは、クリア可能なジョンソン/シフト カウンタです。非同期クリア (CLR) 入力が高になると、ほかのすべての入力は無視され、クロック (C) の遷移に関係なく、出力 (Q) が 0 になります。クロック イネーブル入力 (CE) が High の場合、クロックが Low から High に切り替わる時にカウンタがインクリメント (Q0 → Q1、Q1 → Q2 のようにシフト) します。CE が Low の場合、クロック遷移は無視されます。

このデザイン エLEMENTでは、Q4 の出力が反転されて入力 Q0 にフィードバックされ、連続したカウント処理が行われます。

電力を供給すると、カウンタは非同期にクリアされ、出力が Low になります。

## 論理表

入力			出力	
CLR	CE	C	Q0	Q1 - Q4
1	X	X	0	0
0	0	X	変化なし	変化なし
0	1	↑	!q4	q0 - q3
q = アクティブなクロック エッジの 1 セットアップ タイム前の対応する出力の値				

## デザインの入力方法

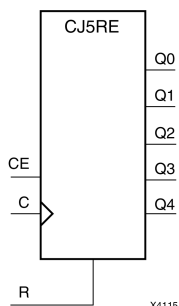
このELEMENTは、回路図でのみ使用できます。

## 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

## CJ5RE

**マクロ：5-Bit Johnson Counter with Clock Enable and Synchronous Reset**



## サポートされているアーキテクチャ

このデザイン エレメントは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

## 概要

このデザイン エレメントは、リセット可能なジョンソン/シフト カウンタです。同期 R が High になると、ほかのすべての入力は無視され、クロック (C) が Low から High に切り替わる時に出力が 0 になります。クロック イネーブル入力 (CE) が High の場合、クロックが Low から High に切り替わる時にカウンタがインクリメント (Q0 → Q1、Q1 → Q2 のようにシフト) します。CE が Low の場合、クロック遷移は無視されます。

このデザイン エレメントでは、Q4 の出力が反転されて入力 Q0 にフィードバックされ、連続したカウント処理が行われます。

電力を供給すると、カウンタは非同期にクリアされ、出力が Low になります。

## 論理表

入力			出力	
R	CE	C	Q0	Q1 – Q4
1	X	↑	0	0
0	0	X	変化なし	変化なし
0	1	↑	!q4	q0 – q3
q = アクティブなクロック エッジの 1 セットアップ タイム前の対応する出力の値				

## デザインの入力方法

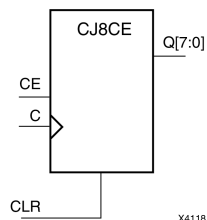
このエレメントは、回路図でのみ使用できます。

## 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

## CJ8CE

マクロ：8-Bit Johnson Counter with Clock Enable and Asynchronous Clear



## サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

## 概要

このデザイン エLEMENTは、クリア可能なジョンソン/シフト カウンタです。非同期クリア (CLR) 入力が高になると、ほかのすべての入力は無視され、クロック (C) の遷移に関係なく、出力 (Q) が 0 になります。クロック イネーブル入力 (CE) が High の場合、クロックが Low から High に切り替わる時にカウンタがインクリメント (Q0 → Q1、Q1 → Q2 のようにシフト) します。CE が Low の場合、クロック遷移は無視されます。

このデザイン エLEMENTでは、Q7 の出力が反転されて入力 Q0 にフィードバックされ、連続したカウント処理が行われます。

電力を供給すると、カウンタは非同期にクリアされ、出力が Low になります。

## 論理表

入力			出力	
CLR	CE	C	Q0	Q1 - Q8
1	X	X	0	0
0	0	X	変化なし	変化なし
0	1	↑	!q7	q0 - q7
q = アクティブなクロック エッジの 1 セットアップ タイム前の対応する出力の値				

## デザインの入力方法

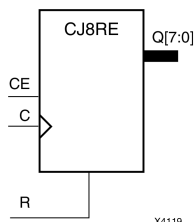
このELEMENTは、回路図でのみ使用できます。

## 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

## CJ8RE

マクロ：8-Bit Johnson Counter with Clock Enable and Synchronous Reset



## サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

## 概要

このデザイン エLEMENTは、リセット可能なジョンソン/シフト カウンタです。同期 R が High になると、ほかのすべての入力は無視され、クロック (C) が Low から High に切り替わる時に出力が 0 になります。クロック イネーブル入力 (CE) が High の場合、クロックが Low から High に切り替わる時にカウンタがインクリメント (Q0 → Q1、Q1 → Q2 のようにシフト) します。CE が Low の場合、クロック遷移は無視されます。

このデザイン エLEMENTでは、Q7 の出力が反転されて入力 Q0 にフィードバックされ、連続したカウント処理が行われます。

電力を供給すると、カウンタは非同期にクリアされ、出力が Low になります。

## 論理表

入力			出力	
R	CE	C	Q0	Q1 - Q7
1	X	↑	0	0
0	0	X	変化なし	変化なし
0	1	↑	!q7	q0 - q6
q = アクティブなクロック エッジの 1 セットアップ タイム前の対応する出力の値				

## デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

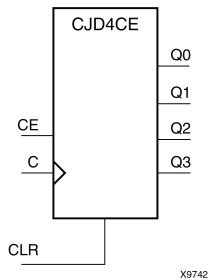
## 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート



## CJD4CE

マクロ：4-Bit Dual Edge Triggered Johnson Counter with Clock Enable and Asynchronous Clear



### サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

### 概要

このデザイン エLEMENTは、クロックの両エッジで動作するクリア可能なジョンソン/シフト カウンタです。非同期クリア (CLR) 入力が高レベルになると、ほかのすべての入力は無視され、クロック (C) の遷移に関係なく、出力 (Q) が 0 になります。クロック イネーブル入力 (CE) が High の場合、クロックが Low から High、または High から Low に切り替わるたびにカウンタがインクリメント (Q0 → Q1、Q1 → Q2 のようにシフト) します。CE が Low の場合、クロック遷移は無視されます。

このデザイン エLEMENTでは、Q3 の出力が反転されて入力 Q0 にフィードバックされ、連続したカウント処理が行われます。

電力を供給すると、カウンタは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

### 論理表

入力			出力	
CLR	CE	C	Q0	Q1 - Q3
1	X	X	0	0
0	0	X	変化なし	変化なし
0	1	↑	!q3	q0 - q2
0	1	↓	!q3	q0 - q2
q = アクティブなクロック エッジの 1 セットアップ タイム前の対応する出力の値				

### デザインの入力方法

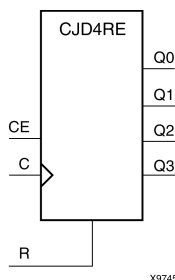
このELEMENTは、回路図でのみ使用できます。

### 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

## CJD4RE

マクロ：4-Bit Dual Edge Triggered Johnson Counter with Clock Enable and Synchronous Reset



### サポートされているアーキテクチャ

このデザイン エレメントは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

### 概要

このデザイン エレメントは、クロックの両エッジで動作するリセット可能なジョンソン/シフトカウンタです。同期 R が High になると、ほかのすべての入力は無視され、クロック (C) が Low から High、または High から Low に切り替わる時に出力が 0 になります。クロック イネーブル入力 (CE) が High の場合、クロックが Low から High、または High から Low に切り替わる時にカウンタがインクリメント (Q0 → Q1、Q1 → Q2 のようにシフト) します。CE が Low の場合、クロック 遷移は無視されます。

このデザイン エレメントでは、Q3 の出力が反転されて入力 Q0 にフィードバックされ、連続したカウント処理が行われます。

電力を供給すると、カウンタは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

### 論理表

入力			出力	
R	CE	C	Q0	Q1 : Q3
1	X	↑	0	0
1	X	↓	0	0
0	0	X	変化なし	変化なし
0	1	↑	!q3	q0 : q2
0	1	↓	!q3	q0 : q2

q = アクティブなクロック エッジの 1 セットアップ タイム前の対応する出力の値

### デザインの入力方法

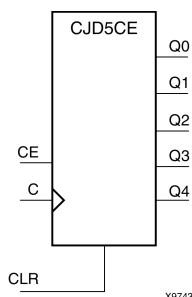
このエレメントは、回路図でのみ使用できます。

## 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

## CJD5CE

マクロ：5-Bit Dual Edge Triggered Johnson Counter with Clock Enable and Asynchronous Clear



### サポートされているアーキテクチャ

このデザイン エレメントは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

### 概要

このデザイン エレメントは、クロックの両エッジで動作するクリア可能なジョンソン/シフト カウンタです。非同期クリア (CLR) 入力が高レベルになると、ほかのすべての入力は無視され、クロック (C) の遷移に関係なく、出力 (Q) が 0 になります。クロック イネーブル入力 (CE) が High の場合、クロックが Low から High、または High から Low に切り替わるたびにカウンタがインクリメント (Q0 → Q1、Q1 → Q2 のようにシフト) します。CE が Low の場合、クロック遷移は無視されます。

このデザイン エレメントでは、Q4 の出力が反転されて入力 Q0 にフィードバックされ、連続したカウント処理が行われます。

電力を供給すると、カウンタは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

### 論理表

入力			出力	
CLR	CE	C	Q0	Q1 - Q4
1	X	X	0	0
0	0	X	変化なし	変化なし
0	1	↑	!q4	q0 - q3
0	1	↓	!q4	q0 - q3
q = アクティブなクロック エッジの 1 セットアップ タイム前の対応する出力の値				

### デザインの入力方法

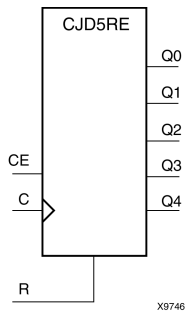
このエレメントは、回路図でのみ使用できます。

### 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

## CJD5RE

マクロ：5-Bit Dual Edge Triggered Johnson Counter with Clock Enable and Synchronous Reset



## サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

## 概要

このデザイン エLEMENTは、クロックの両エッジで動作するリセット可能なジョンソン/シフト カウンタです。同期 R が High になると、ほかのすべての入力は無視され、クロック (C) が Low から High、または High から Low に切り替わる時に出力が 0 になります。クロック イネーブル入力 (CE) が High の場合、クロックが Low から High、または High から Low に切り替わる時にカウンタがインクリメント (Q0 → Q1、Q1 → Q2 のようにシフト) します。CE が Low の場合、クロック 遷移は無視されます。

このデザイン エLEMENTでは、Q4 の出力が反転されて入力 Q0 にフィードバックされ、連続したカウント処理が行われます。

電力を供給すると、カウンタは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

## 論理表

入力			出力	
R	CE	C	Q0	Q1 : Q4
1	X	↑	0	0
1	X	↓	0	0
0	0	X	変化なし	変化なし
0	1	↑	!q4	q0 : q3
0	1	↓	!q4	q0 : q3
q = アクティブなクロック エッジの 1 セットアップ タイム前の対応する出力の値				

## デザインの入力方法

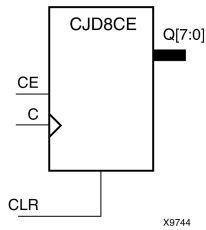
このELEMENTは、回路図でのみ使用できます。

## 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

## CJD8CE

マクロ：8-Bit Dual Edge Triggered Johnson Counter with Clock Enable and Asynchronous Clear



### サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

### 概要

このデザイン エLEMENTは、クロックの両エッジで動作するクリア可能なジョンソン/シフト カウンタです。非同期クリア (CLR) 入力が高レベルになると、ほかのすべての入力は無視され、クロック (C) の遷移に関係なく、出力 (Q) が 0 になります。クロック イネーブル入力 (CE) が High の場合、クロックが Low から High、または High から Low に切り替わるときにカウンタがインクリメント (Q0 → Q1、Q1 → Q2 のようにシフト) します。CE が Low の場合、クロック遷移は無視されます。

このデザイン エLEMENTでは、Q7 の出力が反転されて入力 Q0 にフィードバックされ、連続したカウント処理が行われます。

電力を供給すると、カウンタは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

### 論理表

入力			出力	
CLR	CE	C	Q0	Q1 - Q7
1	X	X	0	0
0	0	X	変化なし	変化なし
0	1	↑	!q7	q0 - q6
0	1	↓	!q7	q0 - q6
q = アクティブなクロック エッジの 1 セットアップ タイム前の対応する出力の値				

### デザインの入力方法

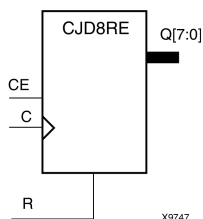
このELEMENTは、回路図でのみ使用できます。

### 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

## CJD8RE

**マクロ : 8-Bit Dual Edge Triggered Johnson Counter with Clock Enable and Synchronous Reset**



## サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

## 概要

このデザイン エLEMENTは、クロックの両エッジで動作するリセット可能なジョンソン/シフトカウンタです。同期 R が High になると、ほかのすべての入力は無視され、クロック (C) が Low から High、または High から Low に切り替わる時に出力が 0 になります。クロック イネーブル入力 (CE) が High の場合、クロックが Low から High、または High から Low に切り替わる時にカウンタがインクリメント (Q0 → Q1、Q1 → Q2 のようにシフト) します。CE が Low の場合、クロック 遷移は無視されます。

このデザイン エLEMENTでは、Q7 の出力が反転されて入力 Q0 にフィードバックされ、連続したカウント処理が行われます。

電力を供給すると、カウンタは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

## 論理表

入力			出力	
R	CE	C	Q0	Q1 : Q7
1	X	↑	0	0
1	X	↓	0	0
0	0	X	変化なし	変化なし
0	1	↑	!q7	q0 : q6
0	1	↓	!q7	q0 : q6

q = アクティブなクロック エッジの 1 セットアップ タイム前の対応する出力の値

## デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

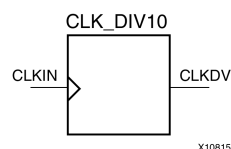
## 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート



## CLK\_DIV10

**プリミティブ：Simple Global Clock Divide by 10**



## サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

## 概要

このデザイン エLEMENTは、ユーザーにより供給される外部クロック信号 `gclk<2>` を 10 で分周します。

クロック分周器は各デザインに 1 つしか使用できません。このグローバル クロック分周器は、CoolRunner-II デバイスのうち XC2C128、XC2C256、XC2C384、および XC2C512 では使用できますが、XC2C32 と XC2C64 では使用できません。CLKIN 入力は、デバイスの `gclk<2>` ピンにしか接続できません。CLKDV 出力のデューティサイクルは、50-50 です。この出力は、同期ELEMENTのクロック入力にのみ接続できます。組み合わせロジックとして使用したり、出力ピンに直接配線することはできません。

CLKDV 出力は、パワーオン リセット回路により Low にリセットされます。

デバイス上の専用クロック分周リセット ピン (CDRST) が予約されていて、ユーザー ロジックで使用できない場合があります。

## デザインの入力方法

インスタンス化	推奨
推論	不可
CORE Generator™ およびウィザード	不可
マクロのサポート	不可

このELEMENTは、回路図で使用されます。

## VHDL 記述 (インスタンス化)

次の 2 つの構文が存在しない場合はコピーし、エンティティ宣言の前に貼り付けます。

```
Library UNISIM;  
use UNISIM.vcomponents.all;  
  
-- CLK_DIV10: Simple Clock Divide by 10  
--           CoolRunner-II  
-- Xilinx HDL Language Template, version 10.1  
  
CLK_DIV10_inst : CLK_DIV10  
port map (  
    CLKDV => CLKDV,    -- Divided clock output  
    CLKIN => CLKIN     -- Clock input  
);  
  
-- End of CLK_DIV10_inst instantiation
```

## Verilog 記述 (インスタンス化)

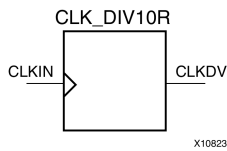
```
// CLK_DIV10: Simple Clock Divide by 10  
//           CoolRunner-II  
// Xilinx HDL Language Template, version 10.1  
  
CLK_DIV10 CLK_DIV10_inst (  
    .CLKDV(CLKDV),      // Divided clock output  
    .CLKIN(CLKIN)       // Clock input  
);  
  
// End of CLK_DIV10_inst instantiation
```

## 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

## CLK\_DIV10R

**プリミティブ：Global Clock Divide by 10 with Synchronous Reset**



## サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

## 概要

このデザイン エLEMENTは、ユーザーにより供給される外部クロック信号 `gclk<2>` を 10 で分周します。

クロック分周器は各デザインに 1 つしか使用できません。このグローバル クロック分周器は、CoolRunner™-II デバイスのうち XC2C128、XC2C256、XC2C384、および XC2C512 では使用できますが、XC2C32 と XC2C64 では使用できません。CLKIN および CDRST 入力は、それぞれデバイスの `gclk<2>` ピンおよび CDRST にしか接続できません。CLKDV 出力のデューティ サイクルは、50-50 です。この出力は、同期ELEMENTのクロック入力にのみ接続できます。組み合わせロジックとして使用したり、出力ピンに直接配線することはできません。

CDRST 入力は、アクティブ High の同期リセットです。CLKDV 出力が High のとき、CDRST 入力が High になると、CLKDV 出力は最後のクロック パルスが完了するまで High のままで、その後で Low になります。

CLKDV 出力は、パワーオン リセット回路により Low にリセットされます。

デバイスの専用クロック分周リセット ピンがクロック分周のリセット専用に予約されていて、使用されていない場合でもユーザー ロジックとして使用できない場合があります。

## デザインの入力方法

インスタンス化	推奨
推論	不可
CORE Generator™ およびウィザード	不可
マクロのサポート	不可

このELEMENTは、回路図で使用されます。

## VHDL 記述 (インスタンス化)

次の 2 つの構文が存在しない場合はコピーし、エンティティ宣言の前に貼り付けます。

```
Library UNISIM;
use UNISIM.vcomponents.all;

-- CLK_DIV10R: Clock Divide by 10 with Synchronous Reset
--           CoolRunner-II
-- Xilinx HDL Language Template, version 10.1

CLK_DIV10R_inst : CLK_DIV10R
port map (
    CLKDV => CLKDV,    -- Divided clock output
    CDRST => CDRST,    -- Synchronous reset input
    CLKIN => CLKIN     -- Clock input
);

-- End of CLK_DIV10R_inst instantiation
```

## Verilog 記述 (インスタンス化)

```
// CLK_DIV10R: Clock Divide by 10 with Synchronous Reset
//           CoolRunner-II
// Xilinx HDL Language Template, version 10.1

CLK_DIV10R CLK_DIV10R_inst (
    .CLKDV(CLKDV),      // Divided clock output
    .CDRST(CDRST),     // Synchronous reset input
    .CLKIN(CLKIN)      // Clock input
);

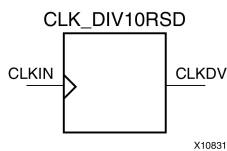
// End of CLK_DIV10R_inst instantiation
```

## 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

## CLK\_DIV10RSD

**プリミティブ：Global Clock Divide by 10 with Synchronous Reset and Start Delay**



## サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

## 概要

このデザイン エLEMENTは、ユーザーにより供給される外部クロック信号 `gclk<2>` を 10 で分周します。

クロック分周器は各デザインに 1 つしか使用できません。このグローバル クロック分周器は、CoolRunner™-II デバイスのうち XC2C128、XC2C256、XC2C384、および XC2C512 では使用できますが、XC2C32 と XC2C64 では使用できません。CLKIN および CDRST 入力は、それぞれデバイスの `gclk<2>` ピンおよび CDRST にしか接続できません。CLKDV 出力のデューティ サイクルは、50-50 です。この出力は、同期ELEMENTのクロック入力にのみ接続できます。組み合わせロジックとして使用したり、出力ピンに直接配線することはできません。

CDRST 入力は、アクティブ High の同期リセットです。CLKDV 出力が High のとき、CDRST 入力が High になると、CLKDV 出力は最後のクロック パルスが完了するまで High のままで、その後で Low になります。

開始遅延機能は CLKDV 出力の開始を (n+1) クロック分遅らせます。ここで、n は、クロック分周器の除数を指します。

CLKDV 出力は、パワーオン リセット回路により Low にリセットされます。

デバイスの専用クロック分周リセットピンがクロック分周のリセット専用に予約されていて、使用されていない場合でもユーザー ロジックとして使用できない場合があります。

## デザインの入力方法

インスタンシエーション	推奨
推論	不可
CORE Generator™ およびウィザード	不可
マクロのサポート	不可

このELEMENTは、回路図で使用されます。

## VHDL 記述 (インスタンスレーション)

次の 2 つの構文が存在しない場合はコピーし、エンティティ宣言の前に貼り付けます。

```
Library UNISIM;
use UNISIM.vcomponents.all;

-- CLK_DIV10RSD: Clock Divide by 10 with Synchronous Reset and Start
-- Delay
-- CoolRunner-II
-- Xilinx HDL Language Template, version 10.1

CLK_DIV10RSD_inst : CLK_DIV10RSD
-- Edit the following generic to specify the number of clock cycles
-- to delay before starting.
generic map (
    DIVIDER_DELAY => 1)
port map (
    CLKDV => CLKDV,    -- Divided clock output
    CDRST => CDRST,    -- Synchronous reset input
    CLKIN => CLKIN     -- Clock input
);

-- End of CLK_DIV10RSD_inst instantiation
```

## Verilog 記述 (インスタンスレーション)

```
// CLK_DIV12RSD: Clock Divide by 12 with Synchronous Reset and Start
// Delay
// CoolRunner-II
// Xilinx HDL Language Template, version 10.1

CLK_DIV12RSD CLK_DIV12RSD_inst (
    .CLKDV(CLKDV), // Divided clock output
    .CDRST(CDRST), // Synchronous reset input
    .CLKIN(CLKIN) // Clock input
);

// Edit the following defparam to specify the number of clock
// cycles to delay before starting. If the instance name to
// the clock divider is changed, that change needs to be
// reflected in the defparam statements.

defparam CLK_DIV12RSD_inst.DIVIDER_DELAY = 1;

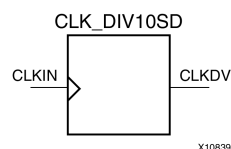
// End of CLK_DIV12RSD_inst instantiation
```

## 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

## CLK\_DIV10SD

**プリミティブ：Global Clock Divide by 10 with Start Delay**



## サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

## 概要

このデザイン エLEMENTは、ユーザーにより供給される外部クロック信号 `gclk<2>` を 10 で分周します。

クロック分周器は各デザインに 1 つしか使用できません。このグローバル クロック分周器は、CoolRunner-II デバイスのうち XC2C128、XC2C256、XC2C384、および XC2C512 では使用できますが、XC2C32 と XC2C64 では使用できません。CLKIN 入力は、デバイスの `gclk<2>` ピンにしか接続できません。CLKDV 出力のデューティサイクルは、50-50 です。この出力は、同期ELEMENTのクロック入力にのみ接続できます。組み合わせロジックとして使用したり、出力ピンに直接配線することはできません。

開始遅延機能は CLKDV 出力の開始を (n+1) クロック分遅らせます。ここで、n は、クロック分周器の除数を指します。

CLKDV 出力は、パワーオン リセット回路により Low にリセットされます。

デバイス上の専用クロック分周リセット ピン (CDRST) が予約されていて、ユーザー ロジックで使用できない場合があります。

## デザインの入力方法

インスタンス化	推奨
推論	不可
CORE Generator™ およびウィザード	不可
マクロのサポート	不可

このELEMENTは、回路図で使用されます。

## VHDL 記述 (インスタンス化)

次の 2 つの構文が存在しない場合はコピーし、エンティティ宣言の前に貼り付けます。

```
Library UNISIM;
use UNISIM.vcomponents.all;

-- CLK_DIV10SD: Clock Divide by 10 with Start Delay
--           CoolRunner-II
-- Xilinx HDL Language Template, version 10.1

CLK_DIV10SD_inst : CLK_DIV10SD
-- Edit the following generic to specify the number of clock cycles
-- to delay before starting.
generic map (
    DIVIDER_DELAY => 1)
port map (
    CLKDV => CLKDV,    -- Divided clock output
    CLKIN => CLKIN     -- Clock input
);

-- End of CLK_DIV10SD_inst instantiation
```

## Verilog 記述 (インスタンス化)

```
// CLK_DIV10SD: Clock Divide by 10 with Start Delay
//           CoolRunner-II
// Xilinx HDL Language Template, version 10.1

CLK_DIV10SD CLK_DIV10SD_inst (
    .CLKDV(CLKDV), // Divided clock output
    .CDRST(CDRST), // Synchronous reset input
    .CLKIN(CLKIN) // Clock input
);

// Edit the following defparam to specify the number of clock
// cycles to delay before starting. If the instance name to
// the clock divider is changed, that change needs to be
// reflected in the defparam statements.

defparam CLK_DIV10SD_inst.DIVIDER_DELAY = 1;

// End of CLK_DIV10SD_inst instantiation
```

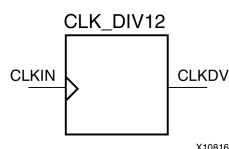
## 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート



## CLK\_DIV12

プリミティブ：Simple Global Clock Divide by 12



### サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

### 概要

このデザイン エLEMENTは、ユーザーにより供給される外部クロック信号 `gclk<2>` を 12 で分周します。

クロック分周器は各デザインに 1 つしか使用できません。このグローバル クロック分周器は、CoolRunner-II デバイスのうち XC2C128、XC2C256、XC2C384、および XC2C512 では使用できますが、XC2C32 と XC2C64 では使用できません。CLKIN 入力は、デバイスの `gclk<2>` ピンにしか接続できません。CLKDV 出力のデューティサイクルは、50-50 です。この出力は、同期ELEMENTのクロック入力にのみ接続できます。組み合わせロジックとして使用したり、出力ピンに直接配線することはできません。

CLKDV 出力は、パワーオン リセット回路により Low にリセットされます。

デバイス上の専用クロック分周リセット ピン (CDRST) が予約されていて、ユーザー ロジックで使用できない場合があります。

### デザインの入力方法

インスタンス化	推奨
推論	不可
CORE Generator™ およびウィザード	不可
マクロのサポート	不可

このELEMENTは、回路図で使用されます。

## VHDL 記述 (インスタンス化)

次の 2 つの構文が存在しない場合はコピーし、エンティティ宣言の前に貼り付けます。

```
Library UNISIM;  
use UNISIM.vcomponents.all;  
  
-- CLK_DIV12: Simple Clock Divide by 12  
--           CoolRunner-II  
-- Xilinx HDL Language Template, version 10.1  
  
CLK_DIV12_inst : CLK_DIV12  
port map (  
    CLKDV => CLKDV,    -- Divided clock output  
    CLKIN => CLKIN     -- Clock input  
);  
  
-- End of CLK_DIV12_inst instantiation
```

## Verilog 記述 (インスタンス化)

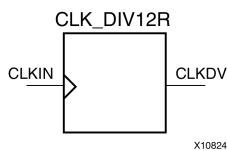
```
// CLK_DIV12: Simple Clock Divide by 12  
//           CoolRunner-II  
// Xilinx HDL Language Template, version 10.1  
  
CLK_DIV12 CLK_DIV12_inst (  
    .CLKDV(CLKDV),      // Divided clock output  
    .CLKIN(CLKIN)       // Clock input  
);  
  
// End of CLK_DIV12_inst instantiation
```

## 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

## CLK\_DIV12R

**プリミティブ：Global Clock Divide by 12 with Synchronous Reset**



### サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

### 概要

このデザイン エLEMENTは、ユーザーにより供給される外部クロック信号 `gclk<2>` を 12 で分周します。

クロック分周器は各デザインに 1 つしか使用できません。このグローバル クロック分周器は、CoolRunner™-II デバイスのうち XC2C128、XC2C256、XC2C384、および XC2C512 では使用できますが、XC2C32 と XC2C64 では使用できません。CLKIN および CDRST 入力は、それぞれデバイスの `gclk<2>` ピンおよび CDRST にしか接続できません。CLKDV 出力のデューティ サイクルは、50-50 です。この出力は、同期ELEMENTのクロック入力にのみ接続できます。組み合わせロジックとして使用したり、出力ピンに直接配線することはできません。

CDRST 入力は、アクティブ High の同期リセットです。CLKDV 出力が High のとき、CDRST 入力が High になると、CLKDV 出力は最後のクロック パルスが完了するまで High のままで、その後で Low になります。

CLKDV 出力は、パワーオン リセット回路により Low にリセットされます。

デバイスの専用クロック分周リセット ピンがクロック分周のリセット専用に予約されていて、使用されていない場合でもユーザー ロジックとして使用できない場合があります。

### デザインの入力方法

インスタンス化	推奨
推論	不可
CORE Generator™ およびウィザード	不可
マクロのサポート	不可

このELEMENTは、回路図で使用されます。

## VHDL 記述 (インスタンス化)

次の 2 つの構文が存在しない場合はコピーし、エンティティ宣言の前に貼り付けます。

```
Library UNISIM;
use UNISIM.vcomponents.all;

-- CLK_DIV12R: Clock Divide by 12 with Synchronous Reset
--           CoolRunner-II
-- Xilinx HDL Language Template, version 10.1

CLK_DIV12R_inst : CLK_DIV12R
port map (
    CLKDV => CLKDV,    -- Divided clock output
    CDRST => CDRST,    -- Synchronous reset input
    CLKIN => CLKIN     -- Clock input
);

-- End of CLK_DIV12R_inst instantiation
```

## Verilog 記述 (インスタンス化)

```
// CLK_DIV12R: Clock Divide by 12 with Synchronous Reset
//           CoolRunner-II
// Xilinx HDL Language Template, version 10.1

CLK_DIV12R CLK_DIV12R_inst (
    .CLKDV(CLKDV),    // Divided clock output
    .CDRST(CDRST),    // Synchronous reset input
    .CLKIN(CLKIN)     // Clock input
);

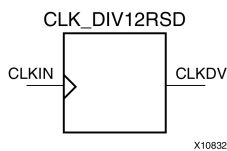
// End of CLK_DIV12R_inst instantiation
```

## 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

## CLK\_DIV12RSD

**プリミティブ：Global Clock Divide by 12 with Synchronous Reset and Start Delay**



## サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

## 概要

このデザイン エLEMENTは、ユーザーにより供給される外部クロック信号 `gclk<2>` を 12 で分周します。

クロック分周器は各デザインに 1 つしか使用できません。このグローバル クロック分周器は、CoolRunner™-II デバイスのうち XC2C128、XC2C256、XC2C384、および XC2C512 では使用できますが、XC2C32 と XC2C64 では使用できません。CLKIN および CDRST 入力は、それぞれデバイスの `gclk<2>` ピンおよび CDRST にしか接続できません。CLKDV 出力のデューティ サイクルは、50-50 です。この出力は、同期ELEMENTのクロック入力にのみ接続できます。組み合わせロジックとして使用したり、出力ピンに直接配線することはできません。

CDRST 入力は、アクティブ High の同期リセットです。CLKDV 出力が High のとき、CDRST 入力が High になると、CLKDV 出力は最後のクロック パルスが完了するまで High のままで、その後で Low になります。

開始遅延機能は CLKDV 出力の開始を (n+1) クロック分遅らせます。ここで、n は、クロック分周器の除数を指します。

CLKDV 出力は、パワーオン リセット回路により Low にリセットされます。

デバイスの専用クロック分周リセットピンがクロック分周のリセット専用に予約されていて、使用されていない場合でもユーザー ロジックとして使用できない場合があります。

## デザインの入力方法

インスタンス化	推奨
推論	不可
CORE Generator™ およびウィザード	不可
マクロのサポート	不可

このELEMENTは、回路図で使用されます。

## VHDL 記述 (インスタンス化)

次の 2 つの構文が存在しない場合はコピーし、エンティティ宣言の前に貼り付けます。

```
Library UNISIM;
use UNISIM.vcomponents.all;

-- CLK_DIV12RSD: Clock Divide by 12 with Synchronous Reset and Start
-- Delay
-- CoolRunner-II
-- Xilinx HDL Language Template, version 10.1

CLK_DIV12RSD_inst : CLK_DIV12RSD
-- Edit the following generic to specify the number of clock cycles
-- to delay before starting.
generic map (
    DIVIDER_DELAY => 1)
port map (
    CLKDV => CLKDV,    -- Divided clock output
    CDRST => CDRST,    -- Synchronous reset input
    CLKIN => CLKIN      -- Clock input
);

-- End of CLK_DIV12RSD_inst instantiation
```

## Verilog 記述 (インスタンス化)

```
// CLK_DIV12RSD: Clock Divide by 12 with Synchronous Reset and Start
// Delay
// CoolRunner-II
// Xilinx HDL Language Template, version 10.1

CLK_DIV12RSD CLK_DIV12RSD_inst (
    .CLKDV(CLKDV), // Divided clock output
    .CDRST(CDRST), // Synchronous reset input
    .CLKIN(CLKIN)  // Clock input
);

// Edit the following defparam to specify the number of clock
// cycles to delay before starting. If the instance name to
// the clock divider is changed, that change needs to be
// reflected in the defparam statements.

defparam CLK_DIV12RSD_inst.DIVIDER_DELAY = 1;

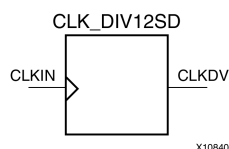
// End of CLK_DIV12RSD_inst instantiation
```

## 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

## CLK\_DIV12SD

**プリミティブ：Global Clock Divide by 12 with Start Delay**



## サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

## 概要

このデザイン エLEMENTは、ユーザーにより供給される外部クロック信号 `gclk<2>` を 12 で分周します。

クロック分周器は各デザインに 1 つしか使用できません。このグローバル クロック分周器は、CoolRunner-II デバイスのうち XC2C128、XC2C256、XC2C384、および XC2C512 では使用できますが、XC2C32 と XC2C64 では使用できません。CLKIN 入力は、デバイスの `gclk<2>` ピンにしか接続できません。CLKDV 出力のデューティサイクルは、50-50 です。この出力は、同期ELEMENTのクロック入力にのみ接続できます。組み合わせロジックとして使用したり、出力ピンに直接配線することはできません。

開始遅延機能は CLKDV 出力の開始を (n+1) クロック分遅らせます。ここで、n は、クロック分周器の除数を指します。

CLKDV 出力は、パワーオン リセット回路により Low にリセットされます。

デバイス上の専用クロック分周リセット ピン (CDRST) が予約されていて、ユーザー ロジックで使用できない場合があります。

## デザインの入力方法

インスタンス化	推奨
推論	不可
CORE Generator™ およびウィザード	不可
マクロのサポート	不可

このELEMENTは、回路図で使用されます。

## VHDL 記述 (インスタンス化)

次の 2 つの構文が存在しない場合はコピーし、エンティティ宣言の前に貼り付けます。

```
Library UNISIM;
use UNISIM.vcomponents.all;

-- CLK_DIV12SD: Clock Divide by 12 with Start Delay
--           CoolRunner-II
-- Xilinx HDL Language Template, version 10.1

CLK_DIV12SD_inst : CLK_DIV12SD
-- Edit the following generic to specify the number of clock cycles
-- to delay before starting.
generic map (
    DIVIDER_DELAY => 1)
port map (
    CLKDV => CLKDV,    -- Divided clock output
    CLKIN => CLKIN     -- Clock input
);

-- End of CLK_DIV12SD_inst instantiation
```

## Verilog 記述 (インスタンス化)

```
// CLK_DIV12SD: Clock Divide by 12 with Start Delay
//           CoolRunner-II
// Xilinx HDL Language Template, version 10.1

CLK_DIV12SD CLK_DIV12SD_inst (
    .CLKDV(CLKDV), // Divided clock output
    .CDRST(CDRST), // Synchronous reset input
    .CLKIN(CLKIN) // Clock input
);

// Edit the following defparam to specify the number of clock
// cycles to delay before starting. If the instance name to
// the clock divider is changed, that change needs to be
// reflected in the defparam statements.

defparam CLK_DIV12SD_inst.DIVIDER_DELAY = 1;

// End of CLK_DIV12SD_inst instantiation
```

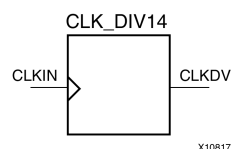
## 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート



## CLK\_DIV14

プリミティブ：Simple Global Clock Divide by 14



## サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

## 概要

このデザイン エLEMENTは、ユーザーにより供給される外部クロック信号 `gclk<2>` を 14 で分周します。

クロック分周器は各デザインに 1 つしか使用できません。このグローバル クロック分周器は、CoolRunner-II デバイスのうち XC2C128、XC2C256、XC2C384、および XC2C512 では使用できますが、XC2C32 と XC2C64 では使用できません。CLKIN 入力は、デバイスの `gclk<2>` ピンにしか接続できません。CLKDV 出力のデューティサイクルは、50-50 です。この出力は、同期ELEMENTのクロック入力にのみ接続できます。組み合わせロジックとして使用したり、出力ピンに直接配線することはできません。

CLKDV 出力は、パワーオン リセット回路により Low にリセットされます。

デバイス上の専用クロック分周リセット ピン (CDRST) が予約されていて、ユーザー ロジックで使用できない場合があります。

## デザインの入力方法

インスタンス化	推奨
推論	不可
CORE Generator™ およびウィザード	不可
マクロのサポート	不可

このELEMENTは、回路図で使用されます。

## VHDL 記述 (インスタンス化)

次の 2 つの構文が存在しない場合はコピーし、エンティティ宣言の前に貼り付けます。

```
Library UNISIM;
use UNISIM.vcomponents.all;

-- CLK_DIV14: Simple Clock Divide by 14
--           CoolRunner-II
-- Xilinx HDL Language Template, version 10.1

CLK_DIV14_inst : CLK_DIV14
port map (
    CLKDV => CLKDV,    -- Divided clock output
    CLKIN => CLKIN      -- Clock input
);

-- End of CLK_DIV14_inst instantiation
```

## Verilog 記述 (インスタンス化)

```
// CLK_DIV14: Simple Clock Divide by 14
//           CoolRunner-II
// Xilinx HDL Language Template, version 10.1

CLK_DIV14 CLK_DIV14_inst (
    .CLKDV(CLKDV),      // Divided clock output
    .CLKIN(CLKIN)       // Clock input
);

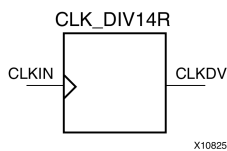
// End of CLK_DIV14_inst instantiation
```

## 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

## CLK\_DIV14R

**プリミティブ：Global Clock Divide by 14 with Synchronous Reset**



## サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

## 概要

このデザイン エLEMENTは、ユーザーにより供給される外部クロック信号 `gclk<2>` を 14 で分周します。

クロック分周器は各デザインに 1 つしか使用できません。このグローバル クロック分周器は、CoolRunner™-II デバイスのうち XC2C128、XC2C256、XC2C384、および XC2C512 では使用できますが、XC2C32 と XC2C64 では使用できません。CLKIN および CDRST 入力は、それぞれデバイスの `gclk<2>` ピンおよび CDRST にしか接続できません。CLKDV 出力のデューティ サイクルは、50-50 です。この出力は、同期ELEMENTのクロック入力にのみ接続できます。組み合わせロジックとして使用したり、出力ピンに直接配線することはできません。

CDRST 入力は、アクティブ High の同期リセットです。CLKDV 出力が High のとき、CDRST 入力が High になると、CLKDV 出力は最後のクロック パルスが完了するまで High のままで、その後で Low になります。

CLKDV 出力は、パワーオン リセット回路により Low にリセットされます。

デバイスの専用クロック分周リセット ピンがクロック分周のリセット専用に予約されていて、使用されていない場合でもユーザー ロジックとして使用できない場合があります。

## デザインの入力方法

インスタンス化	推奨
推論	不可
CORE Generator™ およびウィザード	不可
マクロのサポート	不可

このELEMENTは、回路図で使用されます。

## VHDL 記述 (インスタンス化)

次の 2 つの構文が存在しない場合はコピーし、エンティティ宣言の前に貼り付けます。

```
Library UNISIM;
use UNISIM.vcomponents.all;

-- CLK_DIV14R: Clock Divide by 14 with Synchronous Reset
--           CoolRunner-II
-- Xilinx HDL Language Template, version 10.1

CLK_DIV14R_inst : CLK_DIV14R
port map (
    CLKDV => CLKDV,    -- Divided clock output
    CDRST => CDRST,    -- Synchronous reset input
    CLKIN => CLKIN     -- Clock input
);

-- End of CLK_DIV14R_inst instantiation
```

## Verilog 記述 (インスタンス化)

```
// CLK_DIV14R: Clock Divide by 14 with Synchronous Reset
//           CoolRunner-II
// Xilinx HDL Language Template, version 10.1

CLK_DIV14R CLK_DIV14R_inst (
    .CLKDV(CLKDV),      // Divided clock output
    .CDRST(CDRST),     // Synchronous reset input
    .CLKIN(CLKIN)       // Clock input
);

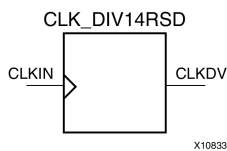
// End of CLK_DIV14R_inst instantiation
```

## 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

## CLK\_DIV14RSD

**プリミティブ：Global Clock Divide by 14 with Synchronous Reset and Start Delay**



### サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

### 概要

このデザイン エLEMENTは、ユーザーにより供給される外部クロック信号 gclk<2> を 14 で分周します。

クロック分周器は各デザインに 1 つしか使用できません。このグローバル クロック分周器は、CoolRunner™-II デバイスのうち XC2C128、XC2C256、XC2C384、および XC2C512 では使用できますが、XC2C32 と XC2C64 では使用できません。CLKIN および CDRST 入力、それぞれデバイスの gclk<2> ピンおよび CDRST にしか接続できません。CLKDVS 出力のデューティ サイクルは、50-50 です。この出力は、同期ELEMENTのクロック入力にのみ接続できます。組み合わせロジックとして使用したり、出力ピンに直接配線することはできません。

CDRST 入力は、アクティブ High の同期リセットです。CLKDVS 出力が High のとき、CDRST 入力が High になると、CLKDVS 出力は最後のクロック パルスが完了するまで High のままで、その後で Low になります。

開始遅延機能は CLKDVS 出力の開始を (n+1) クロック分遅らせます。ここで、n は、クロック分周器の除数を指します。

CLKDVS 出力は、パワーオン リセット回路により Low にリセットされます。

デバイスの専用クロック分周リセットピンがクロック分周のリセット専用に予約されていて、使用されていない場合でもユーザー ロジックとして使用できない場合があります。

### デザインの入力方法

インスタンシエーション	推奨
推論	不可
CORE Generator™ およびウィザード	不可
マクロのサポート	不可

このELEMENTは、回路図で使用されます。

## VHDL 記述 (インスタンス化)

次の 2 つの構文が存在しない場合はコピーし、エンティティ宣言の前に貼り付けます。

```
Library UNISIM;
use UNISIM.vcomponents.all;

-- CLK_DIV14RSD: Clock Divide by 14 with Synchronous Reset and Start
-- Delay
-- CoolRunner-II
-- Xilinx HDL Language Template, version 10.1

CLK_DIV14RSD_inst : CLK_DIV14RSD
-- Edit the following generic to specify the number of clock cycles
-- to delay before starting.
generic map (
    DIVIDER_DELAY => 1)
port map (
    CLKDV => CLKDV,    -- Divided clock output
    CDRST => CDRST,    -- Synchronous reset input
    CLKIN => CLKIN      -- Clock input
);

-- End of CLK_DIV14RSD_inst instantiation
```

## Verilog 記述 (インスタンス化)

```
// CLK_DIV14RSD: Clock Divide by 14 with Synchronous Reset and Start
// Delay
// CoolRunner-II
// Xilinx HDL Language Template, version 10.1

CLK_DIV14RSD CLK_DIV14RSD_inst (
    .CLKDV(CLKDV), // Divided clock output
    .CDRST(CDRST), // Synchronous reset input
    .CLKIN(CLKIN)  // Clock input
);

// Edit the following defparam to specify the number of clock
// cycles to delay before starting. If the instance name to
// the clock divider is changed, that change needs to be
// reflected in the defparam statements.

defparam CLK_DIV14RSD_inst.DIVIDER_DELAY = 1;

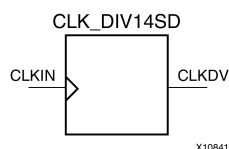
// End of CLK_DIV14RSD_inst instantiation
```

## 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

## CLK\_DIV14SD

**プリミティブ：Global Clock Divide by 14 with Start Delay**



## サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

## 概要

このデザイン エLEMENTは、ユーザーにより供給される外部クロック信号 `gclk<2>` を 14 で分周します。

クロック分周器は各デザインに 1 つしか使用できません。このグローバル クロック分周器は、CoolRunner-II デバイスのうち XC2C128、XC2C256、XC2C384、および XC2C512 では使用できますが、XC2C32 と XC2C64 では使用できません。CLKIN 入力は、デバイスの `gclk<2>` ピンにしか接続できません。CLKDV 出力のデューティサイクルは、50-50 です。この出力は、同期ELEMENTのクロック入力にのみ接続できます。組み合わせロジックとして使用したり、出力ピンに直接配線することはできません。

開始遅延機能は CLKDV 出力の開始を (n+1) クロック分遅らせます。ここで、n は、クロック分周器の除数を指します。

CLKDV 出力は、パワーオン リセット回路により Low にリセットされます。

デバイス上の専用クロック分周リセット ピン (CDRST) が予約されていて、ユーザー ロジックで使用できない場合があります。

## デザインの入力方法

インスタンス化	推奨
推論	不可
CORE Generator™ およびウィザード	不可
マクロのサポート	不可

このELEMENTは、回路図で使用されます。

## VHDL 記述 (インスタンス化)

次の 2 つの構文が存在しない場合はコピーし、エンティティ宣言の前に貼り付けます。

```
Library UNISIM;
use UNISIM.vcomponents.all;

-- CLK_DIV14SD: Clock Divide by 14 with Start Delay
--           CoolRunner-II
-- Xilinx HDL Language Template, version 10.1

CLK_DIV14SD_inst : CLK_DIV14SD
-- Edit the following generic to specify the number of clock cycles
-- to delay before starting.
generic map (
    DIVIDER_DELAY => 1)
port map (
    CLKDV => CLKDV,    -- Divided clock output
    CLKIN => CLKIN     -- Clock input
);

-- End of CLK_DIV14SD_inst instantiation
```

## Verilog 記述 (インスタンス化)

```
// CLK_DIV14SD: Clock Divide by 14 with Start Delay
//           CoolRunner-II
// Xilinx HDL Language Template, version 10.1

CLK_DIV14SD CLK_DIV14SD_inst (
    .CLKDV(CLKDV), // Divided clock output
    .CDRST(CDRST), // Synchronous reset input
    .CLKIN(CLKIN) // Clock input
);

// Edit the following defparam to specify the number of clock
// cycles to delay before starting. If the instance name to
// the clock divider is changed, that change needs to be
// reflected in the defparam statements.

defparam CLK_DIV14SD_inst.DIVIDER_DELAY = 1;

// End of CLK_DIV14SD_inst instantiation
```

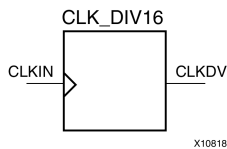
## 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート



## CLK\_DIV16

プリミティブ：Simple Global Clock Divide by 16



## サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

## 概要

このデザイン エLEMENTは、ユーザーにより供給される外部クロック信号 `gclk<2>` を 16 で分周します。

クロック分周器は各デザインに 1 つしか使用できません。このグローバル クロック分周器は、CoolRunner-II デバイスのうち XC2C128、XC2C256、XC2C384、および XC2C512 では使用できますが、XC2C32 と XC2C64 では使用できません。CLKIN 入力は、デバイスの `gclk<2>` ピンにしか接続できません。CLKDV 出力のデューティサイクルは、50-50 です。この出力は、同期ELEMENTのクロック入力にのみ接続できます。組み合わせロジックとして使用したり、出力ピンに直接配線することはできません。

このコンポーネントを使用すると、専用クロック分周リセット ピン (CDRST) が予約され、ユーザー ロジックで使用できない場合があります。

CLKDV 出力は、パワーオン リセット回路により Low にリセットされます。

デバイス上の専用クロック分周リセット ピン (CDRST) が予約されていて、ユーザー ロジックで使用できない場合があります。

## デザインの入力方法

インスタンス化	推奨
推論	不可
CORE Generator™ およびウィザード	不可
マクロのサポート	不可

このELEMENTは、回路図で使用されます。

## VHDL 記述 (インスタンス化)

次の 2 つの構文が存在しない場合はコピーし、エンティティ宣言の前に貼り付けます。

```
Library UNISIM;  
use UNISIM.vcomponents.all;  
  
-- CLK_DIV16: Simple Clock Divide by 16  
--           CoolRunner-II  
-- Xilinx HDL Language Template, version 10.1  
  
CLK_DIV16_inst : CLK_DIV16  
port map (  
    CLKDV => CLKDV,    -- Divided clock output  
    CLKIN => CLKIN     -- Clock input  
);  
  
-- End of CLK_DIV16_inst instantiation
```

## Verilog 記述 (インスタンス化)

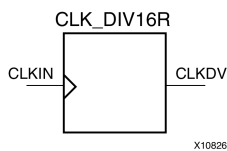
```
// CLK_DIV16: Simple Clock Divide by 16  
//           CoolRunner-II  
// Xilinx HDL Language Template, version 10.1  
  
CLK_DIV16 CLK_DIV16_inst (  
    .CLKDV(CLKDV),      // Divided clock output  
    .CLKIN(CLKIN)       // Clock input  
);  
  
// End of CLK_DIV16_inst instantiation
```

## 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

## CLK\_DIV16R

**プリミティブ：Global Clock Divide by 16 with Synchronous Reset**



### サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

### 概要

このデザイン エLEMENTは、ユーザーにより供給される外部クロック信号 `gclk<2>` を 16 で分周します。

クロック分周器は各デザインに 1 つしか使用できません。このグローバル クロック分周器は、CoolRunner™-II デバイスのうち XC2C128、XC2C256、XC2C384、および XC2C512 では使用できますが、XC2C32 と XC2C64 では使用できません。CLKIN および CDRST 入力は、それぞれデバイスの `gclk<2>` ピンおよび CDRST にしか接続できません。CLKDV 出力のデューティ サイクルは、50-50 です。この出力は、同期ELEMENTのクロック入力にのみ接続できます。組み合わせロジックとして使用したり、出力ピンに直接配線することはできません。

CDRST 入力は、アクティブ High の同期リセットです。CLKDV 出力が High のとき、CDRST 入力が High になると、CLKDV 出力は最後のクロック パルスが完了するまで High のままで、その後で Low になります。

CLKDV 出力は、パワーオン リセット回路により Low にリセットされます。

デバイスの専用クロック分周リセット ピンがクロック分周のリセット専用に予約されていて、使用されていない場合でもユーザー ロジックとして使用できない場合があります。

### デザインの入力方法

インスタンス化	推奨
推論	不可
CORE Generator™ およびウィザード	不可
マクロのサポート	不可

このELEMENTは、回路図で使用されます。

## VHDL 記述 (インスタンス化)

次の 2 つの構文が存在しない場合はコピーし、エンティティ宣言の前に貼り付けます。

```
Library UNISIM;
use UNISIM.vcomponents.all;

-- CLK_DIV16R: Clock Divide by 16 with Synchronous Reset
--           CoolRunner-II
-- Xilinx HDL Language Template, version 10.1

CLK_DIV16R_inst : CLK_DIV16R
port map (
    CLKDV => CLKDV,    -- Divided clock output
    CDRST => CDRST,    -- Synchronous reset input
    CLKIN => CLKIN     -- Clock input
);

-- End of CLK_DIV16R_inst instantiation
```

## Verilog 記述 (インスタンス化)

```
// CLK_DIV16R: Clock Divide by 16 with Synchronous Reset
//           CoolRunner-II
// Xilinx HDL Language Template, version 10.1

CLK_DIV16R CLK_DIV16R_inst (
    .CLKDV(CLKDV),    // Divided clock output
    .CDRST(CDRST),    // Synchronous reset input
    .CLKIN(CLKIN)     // Clock input
);

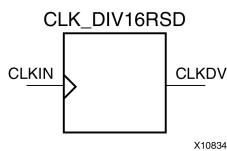
// End of CLK_DIV16R_inst instantiation
```

## 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

## CLK\_DIV16RSD

**プリミティブ：Global Clock Divide by 16 with Synchronous Reset and Start Delay**



## サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

## 概要

このデザイン エLEMENTは、ユーザーにより供給される外部クロック信号 `gclk<2>` を 16 で分周します。

クロック分周器は各デザインに 1 つしか使用できません。このグローバル クロック分周器は、CoolRunner™-II デバイスのうち XC2C128、XC2C256、XC2C384、および XC2C512 では使用できますが、XC2C32 と XC2C64 では使用できません。CLKIN および CDRST 入力、それぞれデバイスの `gclk<2>` ピンおよび CDRST にしか接続できません。CLKDV 出力のデューティサイクルは、50-50 です。この出力は、同期ELEMENTのクロック入力にのみ接続できます。組み合わせロジックとして使用したり、出力ピンに直接配線することはできません。

CDRST 入力は、アクティブ High の同期リセットです。CLKDV 出力が High のとき、CDRST 入力が High になると、CLKDV 出力は最後のクロックパルスが完了するまで High のままで、その後で Low になります。

開始遅延機能は CLKDV 出力の開始を (n+1) クロック分遅らせます。ここで、n は、クロック分周器の除数を指します。

CLKDV 出力は、パワーオン リセット回路により Low にリセットされます。

デバイスの専用クロック分周リセットピンがクロック分周のリセット専用に予約されていて、使用されていない場合でもユーザー ロジックとして使用できない場合があります。

## デザインの入力方法

インスタンシエーション	推奨
推論	不可
CORE Generator™ およびウィザード	不可
マクロのサポート	不可

このELEMENTは、回路図で使用されます。

## VHDL 記述 (インスタンス化)

次の 2 つの構文が存在しない場合はコピーし、エンティティ宣言の前に貼り付けます。

```
Library UNISIM;
use UNISIM.vcomponents.all;

-- CLK_DIV16RSD: Clock Divide by 16 with Synchronous Reset and Start
-- Delay
-- CoolRunner-II
-- Xilinx HDL Language Template, version 10.1

CLK_DIV16RSD_inst : CLK_DIV16RSD
-- Edit the following generic to specify the number of clock cycles
-- to delay before starting.
generic map (
    DIVIDER_DELAY => 1)
port map (
    CLKDV => CLKDV,      -- Divided clock output
    CDRST => CDRST,      -- Synchronous reset input
    CLKIN => CLKIN       -- Clock input
);

-- End of CLK_DIV16RSD_inst instantiation
```

## Verilog 記述 (インスタンス化)

```
// CLK_DIV16RSD: Clock Divide by 16 with Synchronous Reset and Start
// Delay
// CoolRunner-II
// Xilinx HDL Language Template, version 10.1

CLK_DIV16RSD CLK_DIV16RSD_inst (
    .CLKDV(CLKDV), // Divided clock output
    .CDRST(CDRST), // Synchronous reset input
    .CLKIN(CLKIN)  // Clock input
);

// Edit the following defparam to specify the number of clock
// cycles to delay before starting. If the instance name to
// the clock divider is changed, that change needs to be
// reflected in the defparam statements.

defparam CLK_DIV16RSD_inst.DIVIDER_DELAY = 1;

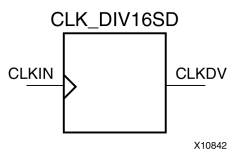
// End of CLK_DIV16RSD_inst instantiation
```

## 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

## CLK\_DIV16SD

**プリミティブ：Global Clock Divide by 16 with Start Delay**



### サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

### 概要

このデザイン エLEMENTは、ユーザーにより供給される外部クロック信号 `gclk<2>` を 16 で分周します。

クロック分周器は各デザインに 1 つしか使用できません。このグローバル クロック分周器は、CoolRunner-II デバイスのうち XC2C128、XC2C256、XC2C384、および XC2C512 では使用できますが、XC2C32 と XC2C64 では使用できません。CLKIN 入力は、デバイスの `gclk<2>` ピンにしか接続できません。CLKDV 出力のデューティサイクルは、50-50 です。この出力は、同期ELEMENTのクロック入力にのみ接続できます。組み合わせロジックとして使用したり、出力ピンに直接配線することはできません。

開始遅延機能は CLKDV 出力の開始を (n+1) クロック分遅らせます。ここで、n は、クロック分周器の除数を指します。

CLKDV 出力は、パワーオン リセット回路により Low にリセットされます。

デバイス上の専用クロック分周リセット ピン (CDRST) が予約されていて、ユーザー ロジックで使用できない場合があります。

### デザインの入力方法

インスタンス化	推奨
推論	不可
CORE Generator™ およびウィザード	不可
マクロのサポート	不可

このELEMENTは、回路図で使用されます。

## VHDL 記述 (インスタンス化)

次の 2 つの構文が存在しない場合はコピーし、エンティティ宣言の前に貼り付けます。

```
Library UNISIM;
use UNISIM.vcomponents.all;

-- CLK_DIV16SD: Clock Divide by 16 with Start Delay
--           CoolRunner-II
-- Xilinx HDL Language Template, version 10.1

CLK_DIV16SD_inst : CLK_DIV16SD
-- Edit the following generic to specify the number of clock cycles
-- to delay before starting.
generic map (
    DIVIDER_DELAY => 1)
port map (
    CLKDV => CLKDV,    -- Divided clock output
    CLKIN => CLKIN     -- Clock input
);

-- End of CLK_DIV16SD_inst instantiation
```

## Verilog 記述 (インスタンス化)

```
// CLK_DIV16SD: Clock Divide by 16 with Start Delay
//           CoolRunner-II
// Xilinx HDL Language Template, version 10.1

CLK_DIV16SD CLK_DIV16SD_inst (
    .CLKDV(CLKDV), // Divided clock output
    .CDRST(CDRST), // Synchronous reset input
    .CLKIN(CLKIN) // Clock input
);

// Edit the following defparam to specify the number of clock
// cycles to delay before starting. If the instance name to
// the clock divider is changed, that change needs to be
// reflected in the defparam statements.

defparam CLK_DIV16SD_inst.DIVIDER_DELAY = 1;

// End of CLK_DIV16SD_inst instantiation
```

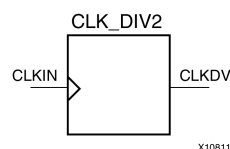
## 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート



## CLK\_DIV2

プリミティブ：Simple Global Clock Divide by 2



## サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

## 概要

このデザイン エLEMENTは、ユーザーにより供給される外部クロック信号 gclk<2> を 2 で分周します。

クロック分周器は各デザインに 1 つしか使用できません。このグローバル クロック分周器は、CoolRunner-II デバイスのうち XC2C128、XC2C256、XC2C384、および XC2C512 では使用できますが、XC2C32 と XC2C64 では使用できません。CLKIN 入力は、デバイスの gclk<2> ピンにしか接続できません。CLKDV 出力のデューティサイクルは、50-50 です。この出力は、同期ELEMENTのクロック入力にのみ接続できます。組み合わせロジックとして使用したり、出力ピンに直接配線することはできません。

CLKDV 出力は、パワーオン リセット回路により Low にリセットされます。

デバイス上の専用クロック分周リセット ピン (CDRST) が予約されていて、ユーザー ロジックで使用できない場合があります。

## デザインの入力方法

インスタンス化	推奨
推論	不可
CORE Generator™ およびウィザード	不可
マクロのサポート	不可

このELEMENTは、回路図で使用されます。

## VHDL 記述 (インスタンス化)

次の 2 つの構文が存在しない場合はコピーし、エンティティ宣言の前に貼り付けます。

```
Library UNISIM;  
use UNISIM.vcomponents.all;  
  
-- CLK_DIV2: Simple Clock Divide by 2  
--           CoolRunner-II  
-- Xilinx HDL Language Template, version 10.1  
  
CLK_DIV2_inst : CLK_DIV2  
port map (  
    CLKDV => CLKDV,    -- Divided clock output  
    CLKIN => CLKIN     -- Clock input  
);  
  
-- End of CLK_DIV2_inst instantiation
```

## Verilog 記述 (インスタンス化)

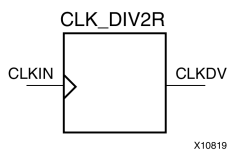
```
// CLK_DIV2: Simple Clock Divide by 2  
//           CoolRunner-II  
// Xilinx HDL Language Template, version 10.1  
  
CLK_DIV2 CLK_DIV2_inst (  
    .CLKDV(CLKDV),      // Divided clock output  
    .CLKIN(CLKIN)       // Clock input  
);  
  
// End of CLK_DIV2_inst instantiation
```

## 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

## CLK\_DIV2R

**プリミティブ：Global Clock Divide by 2 with Synchronous Reset**



## サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

## 概要

このデザイン エLEMENTは、ユーザーにより供給される外部クロック信号 `gclk<2>` を 2 で分周します。

クロック分周器は各デザインに 1 つしか使用できません。このグローバル クロック分周器は、CoolRunner™-II デバイスのうち XC2C128、XC2C256、XC2C384、および XC2C512 では使用できますが、XC2C32 と XC2C64 では使用できません。CLKIN および CDRST 入力は、それぞれデバイスの `gclk<2>` ピンおよび CDRST にしか接続できません。CLKDV 出力のデューティ サイクルは、50-50 です。この出力は、同期ELEMENTのクロック入力にのみ接続できます。組み合わせロジックとして使用したり、出力ピンに直接配線することはできません。

CDRST 入力は、アクティブ High の同期リセットです。CLKDV 出力が High のとき、CDRST 入力が High になると、CLKDV 出力は最後のクロック パルスが完了するまで High のままで、その後で Low になります。

CLKDV 出力は、パワーオン リセット回路により Low にリセットされます。

デバイスの専用クロック分周リセット ピンがクロック分周のリセット専用に予約されていて、使用されていない場合でもユーザー ロジックとして使用できない場合があります。

## デザインの入力方法

インスタンス化	推奨
推論	不可
CORE Generator™ およびウィザード	不可
マクロのサポート	不可

このELEMENTは、回路図で使用されます。

## VHDL 記述 (インスタンス化)

次の 2 つの構文が存在しない場合はコピーし、エンティティ宣言の前に貼り付けます。

```
Library UNISIM;
use UNISIM.vcomponents.all;

-- CLK_DIV2R: Clock Divide by 2 with Synchronous Reset
--           CoolRunner-II
-- Xilinx HDL Language Template, version 10.1

CLK_DIV2R_inst : CLK_DIV2R
port map (
    CLKDV => CLKDV,    -- Divided clock output
    CDRST => CDRST,    -- Synchronous reset input
    CLKIN => CLKIN     -- Clock input
);

-- End of CLK_DIV2R_inst instantiation
```

## Verilog 記述 (インスタンス化)

```
// CLK_DIV2R: Clock Divide by 2 with Synchronous Reset
//           CoolRunner-II
// Xilinx HDL Language Template, version 10.1

CLK_DIV2R CLK_DIV2R_inst (
    .CLKDV(CLKDV),      // Divided clock output
    .CDRST(CDRST),     // Synchronous reset input
    .CLKIN(CLKIN)       // Clock input
);

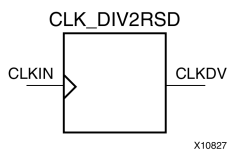
// End of CLK_DIV2R_inst instantiation
```

## 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

## CLK\_DIV2RSD

**プリミティブ：Global Clock Divide by 2 with Synchronous Reset and Start Delay**



## サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

## 概要

このデザイン エLEMENTは、ユーザーにより供給される外部クロック信号 `gclk<2>` を 2 で分周します。

クロック分周器は各デザインに 1 つしか使用できません。このグローバル クロック分周器は、CoolRunner™-II デバイスのうち XC2C128、XC2C256、XC2C384、および XC2C512 では使用できますが、XC2C32 と XC2C64 では使用できません。CLKIN および CDRST 入力は、それぞれデバイスの `gclk<2>` ピンおよび CDRST にしか接続できません。CLKDV 出力のデューティサイクルは、50-50 です。この出力は、同期ELEMENTのクロック入力にのみ接続できます。組み合わせロジックとして使用したり、出力ピンに直接配線することはできません。

CDRST 入力は、アクティブ High の同期リセットです。CLKDV 出力が High のとき、CDRST 入力が High になると、CLKDV 出力は最後のクロックパルスが完了するまで High のままで、その後で Low になります。

開始遅延機能は CLKDV 出力の開始を (n+1) クロック分遅らせます。ここで、n は、クロック分周器の除数を指します。

CLKDV 出力は、パワーオン リセット回路により Low にリセットされます。

デバイスの専用クロック分周リセットピンがクロック分周のリセット専用に予約されていて、使用されていない場合でもユーザー ロジックとして使用できない場合があります。

## デザインの入力方法

インスタンス化	推奨
推論	不可
CORE Generator™ およびウィザード	不可
マクロのサポート	不可

このELEMENTは、回路図で使用されます。

## VHDL 記述 (インスタンス化)

次の 2 つの構文が存在しない場合はコピーし、エンティティ宣言の前に貼り付けます。

```
Library UNISIM;
use UNISIM.vcomponents.all;

-- CLK_DIV2RSD: Clock Divide by 2 with Synchronous Reset and Start
-- Delay
-- CoolRunner-II
-- Xilinx HDL Language Template, version 10.1

CLK_DIV2RSD_inst : CLK_DIV2RSD
-- Edit the following generic to specify the number of clock cycles
-- to delay before starting.
generic map (
    DIVIDER_DELAY => 1)
port map (
    CLKDV => CLKDV,    -- Divided clock output
    CDRST => CDRST,    -- Synchronous reset input
    CLKIN => CLKIN     -- Clock input
);

-- End of CLK_DIV2RSD_inst instantiation
```

## Verilog 記述 (インスタンス化)

```
// CLK_DIV2RSD: Clock Divide by 2 with Synchronous Reset and Start
// Delay
// CoolRunner-II
// Xilinx HDL Language Template, version 10.1

CLK_DIV2RSD CLK_DIV2RSD_inst (
    .CLKDV(CLKDV), // Divided clock output
    .CDRST(CDRST), // Synchronous reset input
    .CLKIN(CLKIN) // Clock input
);

// Edit the following defparam to specify the number of clock
// cycles to delay before starting. If the instance name to
// the clock divider is changed, that change needs to be
// reflected in the defparam statements.

defparam CLK_DIV2RSD_inst.DIVIDER_DELAY = 1;

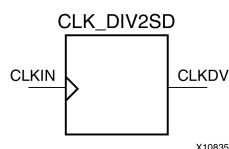
// End of CLK_DIV2RSD_inst instantiation
```

## 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

## CLK\_DIV2SD

**プリミティブ：Global Clock Divide by 2 with Start Delay**



## サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

## 概要

このデザイン エLEMENTは、ユーザーにより供給される外部クロック信号 `gclk<2>` を 2 で分周します。

クロック分周器は各デザインに 1 つしか使用できません。このグローバル クロック分周器は、CoolRunner-II デバイスのうち XC2C128、XC2C256、XC2C384、および XC2C512 では使用できますが、XC2C32 と XC2C64 では使用できません。CLKIN 入力は、デバイスの `gclk<2>` ピンにしか接続できません。CLKDV 出力のデューティサイクルは、50-50 です。この出力は、同期ELEMENTのクロック入力にのみ接続できます。組み合わせロジックとして使用したり、出力ピンに直接配線することはできません。

開始遅延機能は CLKDV 出力の開始を (n+1) クロック分遅らせます。ここで、n は、クロック分周器の除数を指します。

CLKDV 出力は、パワーオン リセット回路により Low にリセットされます。

デバイス上の専用クロック分周リセット ピン (CDRST) が予約されていて、ユーザー ロジックで使用できない場合があります。

## デザインの入力方法

インスタンス化	推奨
推論	不可
CORE Generator™ およびウィザード	不可
マクロのサポート	不可

このELEMENTは、回路図で使用されます。

## VHDL 記述 (インスタンスレーション)

次の 2 つの構文が存在しない場合はコピーし、エンティティ宣言の前に貼り付けます。

```
Library UNISIM;
use UNISIM.vcomponents.all;

-- CLK_DIV2SD: Clock Divide by 2 with Start Delay
--           CoolRunner-II
-- Xilinx HDL Language Template, version 10.1

CLK_DIV2SD_inst : CLK_DIV2SD
-- Edit the following generic to specify the number of clock cycles
-- to delay before starting.
generic map (
    DIVIDER_DELAY => 1)
port map (
    CLKDV => CLKDV,    -- Divided clock output
    CLKIN => CLKIN     -- Clock input
);

-- End of CLK_DIV2SD_inst instantiation
```

## Verilog 記述 (インスタンスレーション)

```
// CLK_DIV2SD: Clock Divide by 2 with Start Delay
//           CoolRunner-II
// Xilinx HDL Language Template, version 10.1

CLK_DIV2SD CLK_DIV2SD_inst (
    .CLKDV(CLKDV), // Divided clock output
    .CDRST(CDRST), // Synchronous reset input
    .CLKIN(CLKIN) // Clock input
);

// Edit the following defparam to specify the number of clock
// cycles to delay before starting. If the instance name to
// the clock divider is changed, that change needs to be
// reflected in the defparam statements.

defparam CLK_DIV2SD_inst.DIVIDER_DELAY = 1;

// End of CLK_DIV2SD_inst instantiation
```

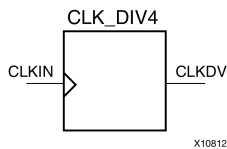
## 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート



## CLK\_DIV4

プリミティブ：Simple Global Clock Divide by 4



## サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

## 概要

このデザイン エLEMENTは、ユーザーにより供給される外部クロック信号 gclk<2> を 4 で分周します。

クロック分周器は各デザインに 1 つしか使用できません。このグローバル クロック分周器は、CoolRunner-II デバイスのうち XC2C128、XC2C256、XC2C384、および XC2C512 では使用できますが、XC2C32 と XC2C64 では使用できません。CLKIN 入力は、デバイスの gclk<2> ピンにしか接続できません。CLKDV 出力のデューティサイクルは、50-50 です。この出力は、同期ELEMENTのクロック入力にのみ接続できます。組み合わせロジックとして使用したり、出力ピンに直接配線することはできません。

CLKDV 出力は、パワーオン リセット回路により Low にリセットされます。

デバイス上の専用クロック分周リセット ピン (CDRST) が予約されていて、ユーザー ロジックで使用できない場合があります。

## デザインの入力方法

インスタンス化	推奨
推論	不可
CORE Generator™ およびウィザード	不可
マクロのサポート	不可

このELEMENTは、回路図で使用されます。

## VHDL 記述 (インスタンス化)

次の 2 つの構文が存在しない場合はコピーし、エンティティ宣言の前に貼り付けます。

```
Library UNISIM;
use UNISIM.vcomponents.all;

-- CLK_DIV4: Simple Clock Divide by 4
--           CoolRunner-II
-- Xilinx HDL Language Template, version 10.1

CLK_DIV4_inst : CLK_DIV4
port map (
    CLKDV => CLKDV,    -- Divided clock output
    CLKIN => CLKIN      -- Clock input
);

-- End of CLK_DIV4_inst instantiation
```

## Verilog 記述 (インスタンス化)

```
// CLK_DIV4: Simple Clock Divide by 4
//           CoolRunner-II
// Xilinx HDL Language Template, version 10.1

CLK_DIV4 CLK_DIV4_inst (
    .CLKDV(CLKDV),      // Divided clock output
    .CLKIN(CLKIN)       // Clock input
);

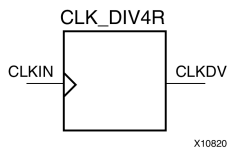
// End of CLK_DIV4_inst instantiation
```

## 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

## CLK\_DIV4R

**プリミティブ：Global Clock Divide by 4 with Synchronous Reset**



## サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

## 概要

このデザイン エLEMENTは、ユーザーにより供給される外部クロック信号 `gclk<2>` を 4 で分周します。

クロック分周器は各デザインに 1 つしか使用できません。このグローバル クロック分周器は、CoolRunner™-II デバイスのうち XC2C128、XC2C256、XC2C384、および XC2C512 では使用できますが、XC2C32 と XC2C64 では使用できません。CLKIN および CDRST 入力は、それぞれデバイスの `gclk<2>` ピンおよび CDRST にしか接続できません。CLKDV 出力のデューティ サイクルは、50-50 です。この出力は、同期ELEMENTのクロック入力にのみ接続できます。組み合わせロジックとして使用したり、出力ピンに直接配線することはできません。

CDRST 入力は、アクティブ High の同期リセットです。CLKDV 出力が High のとき、CDRST 入力が High になると、CLKDV 出力は最後のクロック パルスが完了するまで High のままで、その後で Low になります。

CLKDV 出力は、パワーオン リセット回路により Low にリセットされます。

デバイスの専用クロック分周リセット ピンがクロック分周のリセット専用に予約されていて、使用されていない場合でもユーザー ロジックとして使用できない場合があります。

## デザインの入力方法

インスタンス化	推奨
推論	不可
CORE Generator™ およびウィザード	不可
マクロのサポート	不可

このELEMENTは、回路図で使用されます。

## VHDL 記述 (インスタンス化)

次の 2 つの構文が存在しない場合はコピーし、エンティティ宣言の前に貼り付けます。

```
Library UNISIM;
use UNISIM.vcomponents.all;

-- CLK_DIV4R: Clock Divide by 4 with Synchronous Reset
--           CoolRunner-II
-- Xilinx HDL Language Template, version 10.1

CLK_DIV4R_inst : CLK_DIV4R
port map (
    CLKDV => CLKDV,    -- Divided clock output
    CDRST => CDRST,    -- Synchronous reset input
    CLKIN => CLKIN     -- Clock input
);

-- End of CLK_DIV4R_inst instantiation
```

## Verilog 記述 (インスタンス化)

```
// CLK_DIV4R: Clock Divide by 4 with Synchronous Reset
//           CoolRunner-II
// Xilinx HDL Language Template, version 10.1

CLK_DIV4R CLK_DIV4R_inst (
    .CLKDV(CLKDV),      // Divided clock output
    .CDRST(CDRST),     // Synchronous reset input
    .CLKIN(CLKIN)       // Clock input
);

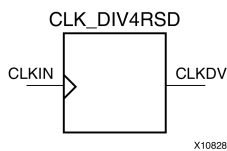
// End of CLK_DIV4R_inst instantiation
```

## 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

## CLK\_DIV4RSD

**プリミティブ：Global Clock Divide by 4 with Synchronous Reset and Start Delay**



## サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

## 概要

このデザイン エLEMENTは、ユーザーにより供給される外部クロック信号 `gclk<2>` を 4 で分周します。

クロック分周器は各デザインに 1 つしか使用できません。このグローバル クロック分周器は、CoolRunner™-II デバイスのうち XC2C128、XC2C256、XC2C384、および XC2C512 では使用できますが、XC2C32 と XC2C64 では使用できません。CLKIN および CDRST 入力は、それぞれデバイスの `gclk<2>` ピンおよび CDRST にしか接続できません。CLKDV 出力のデューティ サイクルは、50-50 です。この出力は、同期ELEMENTのクロック入力にのみ接続できます。組み合わせロジックとして使用したり、出力ピンに直接配線することはできません。

CDRST 入力は、アクティブ High の同期リセットです。CLKDV 出力が High のとき、CDRST 入力が High になると、CLKDV 出力は最後のクロック パルスが完了するまで High のままで、その後で Low になります。

開始遅延機能は CLKDV 出力の開始を (n+1) クロック分遅らせます。ここで、n は、クロック分周器の除数を指します。

CLKDV 出力は、パワーオン リセット回路により Low にリセットされます。

デバイスの専用クロック分周リセットピンがクロック分周のリセット専用に予約されていて、使用されていない場合でもユーザー ロジックとして使用できない場合があります。

## デザインの入力方法

インスタンス化	推奨
推論	不可
CORE Generator™ およびウィザード	不可
マクロのサポート	不可

このELEMENTは、回路図で使用されます。

## VHDL 記述 (インスタンス化)

次の 2 つの構文が存在しない場合はコピーし、エンティティ宣言の前に貼り付けます。

```
Library UNISIM;
use UNISIM.vcomponents.all;

-- CLK_DIV4RSD: Clock Divide by 4 with Synchronous Reset and Start
-- Delay
-- CoolRunner-II
-- Xilinx HDL Language Template, version 10.1

CLK_DIV4RSD_inst : CLK_DIV4RSD
-- Edit the following generic to specify the number of clock cycles
-- to delay before starting.
generic map (
    DIVIDER_DELAY => 1)
port map (
    CLKDV => CLKDV,    -- Divided clock output
    CDRST => CDRST,    -- Synchronous reset input
    CLKIN => CLKIN     -- Clock input
);

-- End of CLK_DIV4RSD_inst instantiation
```

## Verilog 記述 (インスタンス化)

```
// CLK_DIV4RSD: Clock Divide by 4 with Synchronous Reset and Start
// Delay
// CoolRunner-II
// Xilinx HDL Language Template, version 10.1

CLK_DIV4RSD CLK_DIV4RSD_inst (
    .CLKDV(CLKDV), // Divided clock output
    .CDRST(CDRST), // Synchronous reset input
    .CLKIN(CLKIN) // Clock input
);

// Edit the following defparam to specify the number of clock
// cycles to delay before starting. If the instance name to
// the clock divider is changed, that change needs to be
// reflected in the defparam statements.

defparam CLK_DIV4RSD_inst.DIVIDER_DELAY = 1;

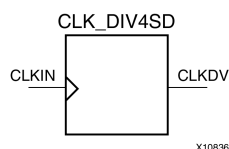
// End of CLK_DIV4RSD_inst instantiation
```

## 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

## CLK\_DIV4SD

**プリミティブ：Global Clock Divide by 4 with Start Delay**



## サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

## 概要

このデザイン エLEMENTは、ユーザーにより供給される外部クロック信号 `gclk<2>` を 4 で分周します。

クロック分周器は各デザインに 1 つしか使用できません。このグローバル クロック分周器は、CoolRunner-II デバイスのうち XC2C128、XC2C256、XC2C384、および XC2C512 では使用できますが、XC2C32 と XC2C64 では使用できません。CLKIN 入力は、デバイスの `gclk<2>` ピンにしか接続できません。CLKDV 出力のデューティサイクルは、50-50 です。この出力は、同期ELEMENTのクロック入力にのみ接続できます。組み合わせロジックとして使用したり、出力ピンに直接配線することはできません。

開始遅延機能は CLKDV 出力の開始を (n+1) クロック分遅らせます。ここで、n は、クロック分周器の除数を指します。

CLKDV 出力は、パワーオン リセット回路により Low にリセットされます。

デバイス上の専用クロック分周リセット ピン (CDRST) が予約されていて、ユーザー ロジックで使用できない場合があります。

## デザインの入力方法

インスタンス化	推奨
推論	不可
CORE Generator™ およびウィザード	不可
マクロのサポート	不可

このELEMENTは、回路図で使用されます。

## VHDL 記述 (インスタンスレーション)

次の 2 つの構文が存在しない場合はコピーし、エンティティ宣言の前に貼り付けます。

```
Library UNISIM;
use UNISIM.vcomponents.all;

-- CLK_DIV4SD: Clock Divide by 4 with Start Delay
--          CoolRunner-II
-- Xilinx HDL Language Template, version 10.1

CLK_DIV4SD_inst : CLK_DIV4SD
-- Edit the following generic to specify the number of clock cycles
-- to delay before starting.
generic map (
    DIVIDER_DELAY => 1)
port map (
    CLKDV => CLKDV,    -- Divided clock output
    CLKIN => CLKIN     -- Clock input
);

-- End of CLK_DIV4SD_inst instantiation
```

## Verilog 記述 (インスタンスレーション)

```
// CLK_DIV4SD: Clock Divide by 4 with Start Delay
//          CoolRunner-II
// Xilinx HDL Language Template, version 10.1

CLK_DIV4SD CLK_DIV4SD_inst (
    .CLKDV(CLKDV), // Divided clock output
    .CDRST(CDRST), // Synchronous reset input
    .CLKIN(CLKIN) // Clock input
);

// Edit the following defparam to specify the number of clock
// cycles to delay before starting. If the instance name to
// the clock divider is changed, that change needs to be
// reflected in the defparam statements.

defparam CLK_DIV4SD_inst.DIVIDER_DELAY = 1;

// End of CLK_DIV4SD_inst instantiation
```

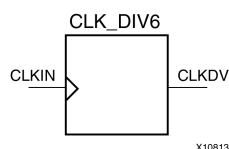
## 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート



## CLK\_DIV6

プリミティブ：Simple Global Clock Divide by 6



## サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

## 概要

このデザイン エLEMENTは、ユーザーにより供給される外部クロック信号 gclk<2> を 6 で分周します。

クロック分周器は各デザインに 1 つしか使用できません。このグローバル クロック分周器は、CoolRunner-II デバイスのうち XC2C128、XC2C256、XC2C384、および XC2C512 では使用できますが、XC2C32 と XC2C64 では使用できません。CLKIN 入力は、デバイスの gclk<2> ピンにしか接続できません。CLKDV 出力のデューティサイクルは、50-50 です。この出力は、同期ELEMENTのクロック入力にのみ接続できます。組み合わせロジックとして使用したり、出力ピンに直接配線することはできません。

CLKDV 出力は、パワーオン リセット回路により Low にリセットされます。

デバイス上の専用クロック分周リセット ピン (CDRST) が予約されていて、ユーザー ロジックで使用できない場合があります。

## デザインの入力方法

インスタンス化	推奨
推論	不可
CORE Generator™ およびウィザード	不可
マクロのサポート	不可

このELEMENTは、回路図で使用されます。

## VHDL 記述 (インスタンス化)

次の 2 つの構文が存在しない場合はコピーし、エンティティ宣言の前に貼り付けます。

```
Library UNISIM;
use UNISIM.vcomponents.all;

-- CLK_DIV6: Simple Clock Divide by 6
--           CoolRunner-II
-- Xilinx HDL Language Template, version 10.1

CLK_DIV6_inst : CLK_DIV6
port map (
    CLKDV => CLKDV,    -- Divided clock output
    CLKIN => CLKIN     -- Clock input
);

-- End of CLK_DIV6_inst instantiation
```

## Verilog 記述 (インスタンス化)

```
// CLK_DIV6: Simple Clock Divide by 6
//           CoolRunner-II
// Xilinx HDL Language Template, version 10.1

CLK_DIV6 CLK_DIV6_inst (
    .CLKDV(CLKDV),    // Divided clock output
    .CLKIN(CLKIN)     // Clock input
);

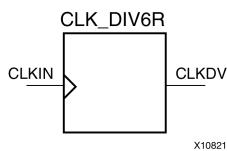
// End of CLK_DIV6_inst instantiation
```

## 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

## CLK\_DIV6R

**プリミティブ：Global Clock Divide by 6 with Synchronous Reset**



## サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

## 概要

このデザイン エLEMENTは、ユーザーにより供給される外部クロック信号 `gclk<2>` を 6 で分周します。

クロック分周器は各デザインに 1 つしか使用できません。このグローバル クロック分周器は、CoolRunner™-II デバイスのうち XC2C128、XC2C256、XC2C384、および XC2C512 では使用できますが、XC2C32 と XC2C64 では使用できません。CLKIN および CDRST 入力は、それぞれデバイスの `gclk<2>` ピンおよび CDRST にしか接続できません。CLKDV 出力のデューティ サイクルは、50-50 です。この出力は、同期ELEMENTのクロック入力にのみ接続できます。組み合わせロジックとして使用したり、出力ピンに直接配線することはできません。

CDRST 入力は、アクティブ High の同期リセットです。CLKDV 出力が High のとき、CDRST 入力が High になると、CLKDV 出力は最後のクロック パルスが完了するまで High のままで、その後で Low になります。

CLKDV 出力は、パワーオン リセット回路により Low にリセットされます。

デバイスの専用クロック分周リセット ピンがクロック分周のリセット専用に予約されていて、使用されていない場合でもユーザー ロジックとして使用できない場合があります。

## デザインの入力方法

インスタンス化	推奨
推論	不可
CORE Generator™ およびウィザード	不可
マクロのサポート	不可

このELEMENTは、回路図で使用されます。

## VHDL 記述 (インスタンス化)

次の 2 つの構文が存在しない場合はコピーし、エンティティ宣言の前に貼り付けます。

```
Library UNISIM;
use UNISIM.vcomponents.all;

-- CLK_DIV6R: Clock Divide by 6 with Synchronous Reset
--           CoolRunner-II
-- Xilinx HDL Language Template, version 10.1

CLK_DIV6R_inst : CLK_DIV6R
port map (
    CLKDV => CLKDV,    -- Divided clock output
    CDRST => CDRST,    -- Synchronous reset input
    CLKIN => CLKIN      -- Clock input
);

-- End of CLK_DIV6R_inst instantiation
```

## Verilog 記述 (インスタンス化)

```
// CLK_DIV6R: Clock Divide by 6 with Synchronous Reset
//           CoolRunner-II
// Xilinx HDL Language Template, version 10.1

CLK_DIV6R CLK_DIV6R_inst (
    .CLKDV(CLKDV),      // Divided clock output
    .CDRST(CDRST),     // Synchronous reset input
    .CLKIN(CLKIN)       // Clock input
);

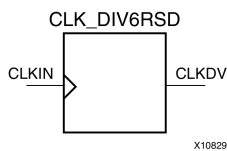
// End of CLK_DIV6R_inst instantiation
```

## 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

## CLK\_DIV6RSD

**プリミティブ：Global Clock Divide by 6 with Synchronous Reset and Start Delay**



## サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

## 概要

このデザイン エLEMENTは、ユーザーにより供給される外部クロック信号 `gclk<2>` を 6 で分周します。

クロック分周器は各デザインに 1 つしか使用できません。このグローバル クロック分周器は、CoolRunner™-II デバイスのうち XC2C128、XC2C256、XC2C384、および XC2C512 では使用できますが、XC2C32 と XC2C64 では使用できません。CLKIN および CDRST 入力は、それぞれデバイスの `gclk<2>` ピンおよび CDRST にしか接続できません。CLKDV 出力のデューティサイクルは、50-50 です。この出力は、同期ELEMENTのクロック入力にのみ接続できます。組み合わせロジックとして使用したり、出力ピンに直接配線することはできません。

CDRST 入力は、アクティブ High の同期リセットです。CLKDV 出力が High のとき、CDRST 入力が High になると、CLKDV 出力は最後のクロックパルスが完了するまで High のままで、その後で Low になります。

開始遅延機能は CLKDV 出力の開始を (n+1) クロック分遅らせます。ここで、n は、クロック分周器の除数を指します。

CLKDV 出力は、パワーオン リセット回路により Low にリセットされます。

デバイスの専用クロック分周リセットピンがクロック分周のリセット専用に予約されていて、使用されていない場合でもユーザー ロジックとして使用できない場合があります。

## デザインの入力方法

インスタンス化	推奨
推論	不可
CORE Generator™ およびウィザード	不可
マクロのサポート	不可

このELEMENTは、回路図で使用されます。

## VHDL 記述 (インスタンス化)

次の 2 つの構文が存在しない場合はコピーし、エンティティ宣言の前に貼り付けます。

```
Library UNISIM;
use UNISIM.vcomponents.all;

-- CLK_DIV6RSD: Clock Divide by 6 with Synchronous Reset and Start
-- Delay
-- CoolRunner-II
-- Xilinx HDL Language Template, version 10.1

CLK_DIV6RSD_inst : CLK_DIV6RSD
-- Edit the following generic to specify the number of clock cycles
-- to delay before starting.
generic map (
    DIVIDER_DELAY => 1)
port map (
    CLKDV => CLKDV,    -- Divided clock output
    CDRST => CDRST,    -- Synchronous reset input
    CLKIN => CLKIN      -- Clock input
);

-- End of CLK_DIV6RSD_inst instantiation
```

## Verilog 記述 (インスタンス化)

```
// CLK_DIV6RSD: Clock Divide by 6 with Synchronous Reset and Start
// Delay
// CoolRunner-II
// Xilinx HDL Language Template, version 10.1

CLK_DIV6RSD CLK_DIV6RSD_inst (
    .CLKDV(CLKDV), // Divided clock output
    .CDRST(CDRST), // Synchronous reset input
    .CLKIN(CLKIN)  // Clock input
);

// Edit the following defparam to specify the number of clock
// cycles to delay before starting. If the instance name to
// the clock divider is changed, that change needs to be
// reflected in the defparam statements.

defparam CLK_DIV6RSD_inst.DIVIDER_DELAY = 1;

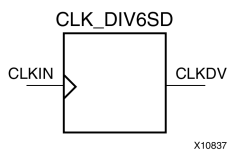
// End of CLK_DIV6RSD_inst instantiation
```

## 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

## CLK\_DIV6SD

**プリミティブ：Global Clock Divide by 6 with Start Delay**



## サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

## 概要

このデザイン エLEMENTは、ユーザーにより供給される外部クロック信号 `gclk<2>` を 6 で分周します。

クロック分周器は各デザインに 1 つしか使用できません。このグローバル クロック分周器は、CoolRunner-II デバイスのうち XC2C128、XC2C256、XC2C384、および XC2C512 では使用できますが、XC2C32 と XC2C64 では使用できません。CLKIN 入力は、デバイスの `gclk<2>` ピンにしか接続できません。CLKDV 出力のデューティサイクルは、50-50 です。この出力は、同期ELEMENTのクロック入力にのみ接続できます。組み合わせロジックとして使用したり、出力ピンに直接配線することはできません。

開始遅延機能は CLKDV 出力の開始を (n+1) クロック分遅らせます。ここで、n は、クロック分周器の除数を指します。

CLKDV 出力は、パワーオン リセット回路により Low にリセットされます。

デバイス上の専用クロック分周リセット ピン (CDRST) が予約されていて、ユーザー ロジックで使用できない場合があります。

## デザインの入力方法

インスタンス化	推奨
推論	不可
CORE Generator™ およびウィザード	不可
マクロのサポート	不可

このELEMENTは、回路図で使用されます。

## VHDL 記述 (インスタンス化)

次の 2 つの構文が存在しない場合はコピーし、エンティティ宣言の前に貼り付けます。

```
Library UNISIM;
use UNISIM.vcomponents.all;

-- CLK_DIV6SD: Clock Divide by 6 with Start Delay
--           CoolRunner-II
-- Xilinx HDL Language Template, version 10.1

CLK_DIV6SD_inst : CLK_DIV6SD
-- Edit the following generic to specify the number of clock cycles
-- to delay before starting.
generic map (
    DIVIDER_DELAY => 1)
port map (
    CLKDV => CLKDV,    -- Divided clock output
    CLKIN => CLKIN     -- Clock input
);

-- End of CLK_DIV4SD_inst instantiation
```

## Verilog 記述 (インスタンス化)

```
// CLK_DIV6SD: Clock Divide by 6 with Start Delay
//           CoolRunner-II
// Xilinx HDL Language Template, version 10.1

CLK_DIV6SD CLK_DIV6SD_inst (
    .CLKDV(CLKDV), // Divided clock output
    .CDRST(CDRST), // Synchronous reset input
    .CLKIN(CLKIN) // Clock input
);

// Edit the following defparam to specify the number of clock
// cycles to delay before starting. If the instance name to
// the clock divider is changed, that change needs to be
// reflected in the defparam statements.

defparam CLK_DIV6SD_inst.DIVIDER_DELAY = 1;

// End of CLK_DIV6SD_inst instantiation
```

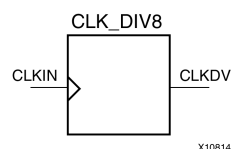
## 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート



## CLK\_DIV8

プリミティブ：Simple Global Clock Divide by 8



## サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

## 概要

このデザイン エLEMENTは、ユーザーにより供給される外部クロック信号 gclk<2> を 8 で分周します。

クロック分周器は各デザインに 1 つしか使用できません。このグローバル クロック分周器は、CoolRunner-II デバイスのうち XC2C128、XC2C256、XC2C384、および XC2C512 では使用できますが、XC2C32 と XC2C64 では使用できません。CLKIN 入力は、デバイスの gclk<2> ピンにしか接続できません。CLKDV 出力のデューティサイクルは、50-50 です。この出力は、同期ELEMENTのクロック入力にのみ接続できます。組み合わせロジックとして使用したり、出力ピンに直接配線することはできません。

CLKDV 出力は、パワーオン リセット回路により Low にリセットされます。

デバイス上の専用クロック分周リセット ピン (CDRST) が予約されていて、ユーザー ロジックで使用できない場合があります。

## デザインの入力方法

インスタンス化	推奨
推論	不可
CORE Generator™ およびウィザード	不可
マクロのサポート	不可

このELEMENTは、回路図で使用されます。

## VHDL 記述 (インスタンス化)

次の 2 つの構文が存在しない場合はコピーし、エンティティ宣言の前に貼り付けます。

```
Library UNISIM;  
use UNISIM.vcomponents.all;  
  
-- CLK_DIV8: Simple Clock Divide by 8  
--           CoolRunner-II  
-- Xilinx HDL Language Template, version 10.1  
  
CLK_DIV8_inst : CLK_DIV8  
port map (  
    CLKDV => CLKDV,    -- Divided clock output  
    CLKIN => CLKIN     -- Clock input  
);  
  
-- End of CLK_DIV8_inst instantiation
```

## Verilog 記述 (インスタンス化)

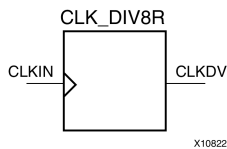
```
// CLK_DIV8: Simple Clock Divide by 8  
//           CoolRunner-II  
// Xilinx HDL Language Template, version 10.1  
  
CLK_DIV8 CLK_DIV8_inst (  
    .CLKDV(CLKDV),      // Divided clock output  
    .CLKIN(CLKIN)       // Clock input  
);  
  
// End of CLK_DIV8_inst instantiation
```

## 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

## CLK\_DIV8R

**プリミティブ：Global Clock Divide by 8 with Synchronous Reset**



## サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

## 概要

このデザイン エLEMENTは、ユーザーにより供給される外部クロック信号 `gclk<2>` を 8 で分周します。

クロック分周器は各デザインに 1 つしか使用できません。このグローバル クロック分周器は、CoolRunner™-II デバイスのうち XC2C128、XC2C256、XC2C384、および XC2C512 では使用できますが、XC2C32 と XC2C64 では使用できません。CLKIN および CDRST 入力は、それぞれデバイスの `gclk<2>` ピンおよび CDRST にしか接続できません。CLKDV 出力のデューティ サイクルは、50-50 です。この出力は、同期ELEMENTのクロック入力にのみ接続できます。組み合わせロジックとして使用したり、出力ピンに直接配線することはできません。

CDRST 入力は、アクティブ High の同期リセットです。CLKDV 出力が High のとき、CDRST 入力が High になると、CLKDV 出力は最後のクロック パルスが完了するまで High のままで、その後で Low になります。

CLKDV 出力は、パワーオン リセット回路により Low にリセットされます。

デバイスの専用クロック分周リセット ピンがクロック分周のリセット専用に予約されていて、使用されていない場合でもユーザー ロジックとして使用できない場合があります。

## デザインの入力方法

インスタンス化	推奨
推論	不可
CORE Generator™ およびウィザード	不可
マクロのサポート	不可

このELEMENTは、回路図で使用されます。

## VHDL 記述 (インスタンス化)

次の 2 つの構文が存在しない場合はコピーし、エンティティ宣言の前に貼り付けます。

```
Library UNISIM;
use UNISIM.vcomponents.all;

-- CLK_DIV8R: Clock Divide by 8 with Synchronous Reset
--           CoolRunner-II
-- Xilinx HDL Language Template, version 10.1

CLK_DIV8R_inst : CLK_DIV8R
port map (
    CLKDV => CLKDV,    -- Divided clock output
    CDRST => CDRST,    -- Synchronous reset input
    CLKIN => CLKIN     -- Clock input
);

-- End of CLK_DIV8R_inst instantiation
```

## Verilog 記述 (インスタンス化)

```
// CLK_DIV8R: Clock Divide by 8 with Synchronous Reset
//           CoolRunner-II
// Xilinx HDL Language Template, version 10.1

CLK_DIV8R CLK_DIV8R_inst (
    .CLKDV(CLKDV),      // Divided clock output
    .CDRST(CDRST),     // Synchronous reset input
    .CLKIN(CLKIN)      // Clock input
);

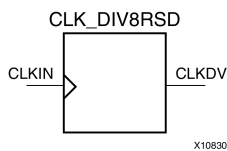
// End of CLK_DIV8R_inst instantiation
```

## 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

## CLK\_DIV8RSD

**プリミティブ：Global Clock Divide by 8 with Synchronous Reset and Start Delay**



### サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

### 概要

このデザイン エLEMENTは、ユーザーにより供給される外部クロック信号 `gclk<2>` を 8 で分周します。

クロック分周器は各デザインに 1 つしか使用できません。このグローバル クロック分周器は、CoolRunner™-II デバイスのうち XC2C128、XC2C256、XC2C384、および XC2C512 では使用できますが、XC2C32 と XC2C64 では使用できません。CLKIN および CDRST 入力は、それぞれデバイスの `gclk<2>` ピンおよび CDRST にしか接続できません。CLKDV 出力のデューティサイクルは、50-50 です。この出力は、同期ELEMENTのクロック入力にのみ接続できます。組み合わせロジックとして使用したり、出力ピンに直接配線することはできません。

CDRST 入力は、アクティブ High の同期リセットです。CLKDV 出力が High のとき、CDRST 入力が High になると、CLKDV 出力は最後のクロックパルスが完了するまで High のままで、その後で Low になります。

開始遅延機能は CLKDV 出力の開始を (n+1) クロック分遅らせます。ここで、n は、クロック分周器の除数を指します。

CLKDV 出力は、パワーオン リセット回路により Low にリセットされます。

デバイスの専用クロック分周リセットピンがクロック分周のリセット専用に予約されていて、使用されていない場合でもユーザー ロジックとして使用できない場合があります。

### デザインの入力方法

インスタンシエーション	推奨
推論	不可
CORE Generator™ およびウィザード	不可
マクロのサポート	不可

このELEMENTは、回路図で使用されます。

## VHDL 記述 (インスタンス化)

次の 2 つの構文が存在しない場合はコピーし、エンティティ宣言の前に貼り付けます。

```
Library UNISIM;
use UNISIM.vcomponents.all;

-- CLK_DIV8RSD: Clock Divide by 8 with Synchronous Reset and Start
-- Delay
-- CoolRunner-II
-- Xilinx HDL Language Template, version 10.1

CLK_DIV8RSD_inst : CLK_DIV8RSD
-- Edit the following generic to specify the number of clock cycles
-- to delay before starting.
generic map (
    DIVIDER_DELAY => 1)
port map (
    CLKDV => CLKDV,    -- Divided clock output
    CDRST => CDRST,    -- Synchronous reset input
    CLKIN => CLKIN      -- Clock input
);

-- End of CLK_DIV8RSD_inst instantiation
```

## Verilog 記述 (インスタンス化)

```
// CLK_DIV8RSD: Clock Divide by 8 with Synchronous Reset and Start
// Delay
// CoolRunner-II
// Xilinx HDL Language Template, version 10.1

CLK_DIV8RSD CLK_DIV8RSD_inst (
    .CLKDV(CLKDV), // Divided clock output
    .CDRST(CDRST), // Synchronous reset input
    .CLKIN(CLKIN)  // Clock input
);

// Edit the following defparam to specify the number of clock
// cycles to delay before starting. If the instance name to
// the clock divider is changed, that change needs to be
// reflected in the defparam statements.

defparam CLK_DIV8RSD_inst.DIVIDER_DELAY = 1;

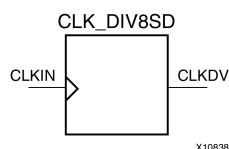
// End of CLK_DIV8RSD_inst instantiation
```

## 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

## CLK\_DIV8SD

**プリミティブ：Global Clock Divide by 8 with Start Delay**



## サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

## 概要

このデザイン エLEMENTは、ユーザーにより供給される外部クロック信号 `gclk<2>` を 8 で分周します。

クロック分周器は各デザインに 1 つしか使用できません。このグローバル クロック分周器は、CoolRunner-II デバイスのうち XC2C128、XC2C256、XC2C384、および XC2C512 では使用できますが、XC2C32 と XC2C64 では使用できません。CLKIN 入力は、デバイスの `gclk<2>` ピンにしか接続できません。CLKDV 出力のデューティサイクルは、50-50 です。この出力は、同期ELEMENTのクロック入力にのみ接続できます。組み合わせロジックとして使用したり、出力ピンに直接配線することはできません。

開始遅延機能は CLKDV 出力の開始を (n+1) クロック分遅らせます。ここで、n は、クロック分周器の除数を指します。

CLKDV 出力は、パワーオン リセット回路により Low にリセットされます。

デバイス上の専用クロック分周リセット ピン (CDRST) が予約されていて、ユーザー ロジックで使用できない場合があります。

## デザインの入力方法

インスタンス化	推奨
推論	不可
CORE Generator™ およびウィザード	不可
マクロのサポート	不可

このELEMENTは、回路図で使用されます。

## VHDL 記述 (インスタンス化)

次の 2 つの構文が存在しない場合はコピーし、エンティティ宣言の前に貼り付けます。

```
Library UNISIM;
use UNISIM.vcomponents.all;

-- CLK_DIV8SD: Clock Divide by 8 with Start Delay
--           CoolRunner-II
-- Xilinx HDL Language Template, version 10.1

CLK_DIV8SD_inst : CLK_DIV8SD
-- Edit the following generic to specify the number of clock cycles
-- to delay before starting.
generic map (
    DIVIDER_DELAY => 1)
port map (
    CLKDV => CLKDV,    -- Divided clock output
    CLKIN => CLKIN     -- Clock input
);

-- End of CLK_DIV8SD_inst instantiation
```

## Verilog 記述 (インスタンス化)

```
// CLK_DIV8SD: Clock Divide by 8 with Start Delay
//           CoolRunner-II
// Xilinx HDL Language Template, version 10.1

CLK_DIV8SD CLK_DIV8SD_inst (
    .CLKDV(CLKDV), // Divided clock output
    .CDRST(CDRST), // Synchronous reset input
    .CLKIN(CLKIN) // Clock input
);

// Edit the following defparam to specify the number of clock
// cycles to delay before starting. If the instance name to
// the clock divider is changed, that change needs to be
// reflected in the defparam statements.

defparam CLK_DIV8SD_inst.DIVIDER_DELAY = 1;

// End of CLK_DIV8SD_inst instantiation
```

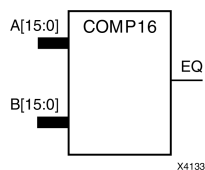
## 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート



## COMP16

### マクロ：16-Bit Identity Comparator



## サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

## 概要

このデザイン エLEMENTは、16 ビットのアイデンティティ コンパレータです。イコール出力 (EQ) は、A15 ～ A0 および B15 ～ B0 の 2 つのワードが等しいと High になります。

2 つのワードが等しいかどうかは、各ビットを比較して判断されます。各ワードの対応するビットのいずれかに等しくないものがある場合、EQ 出力は Low になります。

## デザインの入力方法

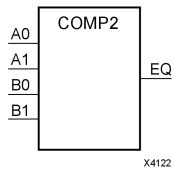
このELEMENTは、回路図でのみ使用できます。

## 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

## COMP2

### マクロ：2-Bit Identity Comparator



## サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

## 概要

このデザイン エLEMENTは、2 ビットのアイデンティティコンパレータです。イコール出力 (EQ) は、A1 ~ A0 および B1 ~ B0 の 2 つのワードが等しいと High になります。

2 つのワードが等しいかどうかは、各ビットを比較して判断されます。各ワードの対応するビットのいずれかに等しくないものがある場合、EQ 出力は Low になります。

## デザインの入力方法

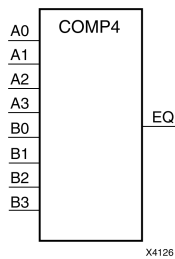
このELEMENTは、回路図でのみ使用できます。

## 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

## COMP4

### マクロ：4-Bit Identity Comparator



## サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

## 概要

このデザイン エLEMENTは、4 ビットのアイデンティティ コンパレータです。イコール出力 (EQ) は、A3 ～ A0 および B3 ～ B0 の 2 つのワードが等しいと High になります。

2 つのワードが等しいかどうかは、各ビットを比較して判断されます。各ワードの対応するビットのいずれかに等しくないものがある場合、EQ 出力は Low になります。

## デザインの入力方法

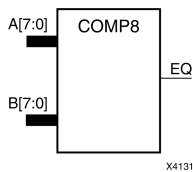
このELEMENTは、回路図でのみ使用できます。

## 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

## COMP8

### マクロ：8-Bit Identity Comparator



## サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

## 概要

このデザイン エLEMENTは、8 ビットのアイデンティティコンパレータです。イコール出力 (EQ) は、A7 ～ A0 および B7 ～ B0 の 2 つのワードが等しいと High になります。

2 つのワードが等しいかどうかは、各ビットを比較して判断されます。各ワードの対応するビットのいずれかに等しくないものがある場合、EQ 出力は Low になります。

## デザインの入力方法

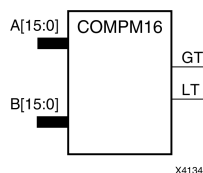
このELEMENTは、回路図でのみ使用できます。

## 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

## COMPM16

### マクロ：16-Bit Magnitude Comparator



### サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

### 概要

このデザイン エLEMENTは 16 ビットのマグニチュード コンパレータであり、2 つの正の 2 進重み付きワード A15 ～ A0 と B15 ～ B0 を比較します。この場合、A15 と B15 が最上位ビットです。

大なり出力 (GT) は A > B のとき High になり、小なり出力 (LT) は A < B のとき High になります。2 つのワードが等しいときは、GT と LT の両方が Low になります。このマクロで等価性を調べるには、両方の出力を NOR ゲートで比較します。

### 論理表

入力								出力	
A7、B7	A6、B6	A5、B5	A4、B4	A3、B3	A2、B2	A1、B1	A0、B0	GT	LT
A7>B7	X	X	X	X	X	X	X	1	0
A7<B7	X	X	X	X	X	X	X	0	1
A7=B7	A6>B6	X	X	X	X	X	X	1	0
A7=B7	A6<B6	X	X	X	X	X	X	0	1
A7=B7	A6=B6	A5>B5	X	X	X	X	X	1	0
A7=B7	A6=B6	A5<B5	X	X	X	X	X	0	1
A7=B7	A6=B6	A5=B5	A4>B4	X	X	X	X	1	0
A7=B7	A6=B6	A5=B5	A4<B4	X	X	X	X	0	1
A7=B7	A6=B6	A5=B5	A4=B4	A3>B3	X	X	X	1	0
A7=B7	A6=B6	A5=B5	A4=B4	A3<B3	X	X	X	0	1
A7=B7	A6=B6	A5=B5	A4=B4	A3=B3	A2>B2	X	X	1	0
A7=B7	A6=B6	A5=B5	A4=B4	A3=B3	A2<B2	X	X	0	1
A7=B7	A6=B6	A5=B5	A4=B4	A3=B3	A2=B2	A1>B1	X	1	0
A7=B7	A6=B6	A5=B5	A4=B4	A3=B3	A2=B2	A1<B1	X	0	1
A7=B7	A6=B6	A5=B5	A4=B4	A3=B3	A2=B2	A1=B1	A0>B0	1	0
A7=B7	A6=B6	A5=B5	A4=B4	A3=B3	A2=B2	A1=B1	A0<B0	0	1
A7=B7	A6=B6	A5=B5	A4=B4	A3=B3	A2=B2	A1=B1	A0=B0	0	0

## デザインの入力方法

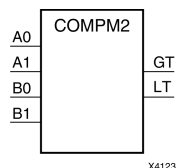
このELEMENTは、回路図でのみ使用できます。

### 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

## COMPM2

### マクロ：2-Bit Magnitude Comparator



### サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

### 概要

このデザイン エLEMENTは 2 ビットのマグニチュード コンパレータであり、2 つの正の 2 進重み付きワード A1 ~ A0 と B1 ~ B0 を比較します。この場合、A1 と B1 が最上位ビットです。

大なり出力 (GT) は  $A > B$  のとき High になり、小なり出力 (LT) は  $A < B$  のとき High になります。2 つのワードが等しいときは、GT と LT の両方が Low になります。このマクロで等価性を調べるには、両方の出力を NOR ゲートで比較します。

### 論理表

入力				出力	
A1	B1	A0	B0	GT	LT
0	0	0	0	0	0
0	0	1	0	1	0
0	0	0	1	0	1
0	0	1	1	0	0
1	1	0	0	0	0
1	1	1	0	1	0
1	1	0	1	0	1
1	1	1	1	0	0
1	0	X	X	1	0
0	1	X	X	0	1

### デザインの入力方法

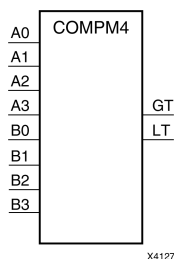
このELEMENTは、回路図でのみ使用できます。

### 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

## COMPM4

### マクロ : 4-Bit Magnitude Comparator



### サポートされているアーキテクチャ

このデザイン エレメントは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

### 概要

このデザイン エレメントは 4 ビットのマグニチュード コンパレータであり、2 つの正の 2 進重み付きワード A3 ~ A0 と B3 ~ B0 を比較します。この場合、A3 と B3 が最上位ビットです。

大なり出力 (GT) は  $A > B$  のとき High になり、小なり出力 (LT) は  $A < B$  のとき High になります。2 つのワードが等しいときは、GT と LT の両方が Low になります。このマクロで等価性を調べるには、両方の出力を NOR ゲートで比較します。

### 論理表

入力				出力	
A3、B3	A2、B2	A1、B1	A0、B0	GT	LT
$A3 > B3$	X	X	X	1	0
$A3 < B3$	X	X	X	0	1
$A3 = B3$	$A2 > B2$	X	X	1	0
$A3 = B3$	$A2 < B2$	X	X	0	1
$A3 = B3$	$A2 = B2$	$A1 > B1$	X	1	0
$A3 = B3$	$A2 = B2$	$A1 < B1$	X	0	1
$A3 = B3$	$A2 = B2$	$A1 = B1$	$A0 > B0$	1	0
$A3 = B3$	$A2 = B2$	$A1 = B1$	$A0 < B0$	0	1
$A3 = B3$	$A2 = B2$	$A1 = B1$	$A0 = B0$	0	0

### デザインの入力方法

このエレメントは、回路図でのみ使用できます。

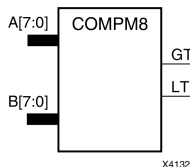


## 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

## COMP8

### マクロ：8-Bit Magnitude Comparator



### サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

### 概要

このデザイン エLEMENTは 8 ビットのマグニチュード コンパレータであり、2 つの正の 2 進重み付きワード A7 ～ A0 と B7 ～ B0 を比較します。この場合、A7 と B7 が最上位ビットです。

大なり出力 (GT) は  $A > B$  のとき High になり、小なり出力 (LT) は  $A < B$  のとき High になります。2 つのワードが等しいときは、GT と LT の両方が Low になります。このマクロで等価性を調べるには、両方の出力を NOR ゲートで比較します。

### 論理表

入力								出力	
A7、B7	A6、B6	A5、B5	A4、B4	A3、B3	A2、B2	A1、B1	A0、B0	GT	LT
A7>B7	X	X	X	X	X	X	X	1	0
A7<B7	X	X	X	X	X	X	X	0	1
A7=B7	A6>B6	X	X	X	X	X	X	1	0
A7=B7	A6<B6	X	X	X	X	X	X	0	1
A7=B7	A6=B6	A5>B5	X	X	X	X	X	1	0
A7=B7	A6=B6	A5<B5	X	X	X	X	X	0	1
A7=B7	A6=B6	A5=B5	A4>B4	X	X	X	X	1	0
A7=B7	A6=B6	A5=B5	A4<B4	X	X	X	X	0	1
A7=B7	A6=B6	A5=B5	A4=B4	A3>B3	X	X	X	1	0
A7=B7	A6=B6	A5=B5	A4=B4	A3<B3	X	X	X	0	1
A7=B7	A6=B6	A5=B5	A4=B4	A3=B3	A2>B2	X	X	1	0
A7=B7	A6=B6	A5=B5	A4=B4	A3=B3	A2<B2	X	X	0	1
A7=B7	A6=B6	A5=B5	A4=B4	A3=B3	A2=B2	A1>B1	X	1	0
A7=B7	A6=B6	A5=B5	A4=B4	A3=B3	A2=B2	A1<B1	X	0	1
A7=B7	A6=B6	A5=B5	A4=B4	A3=B3	A2=B2	A1=B1	A0>B0	1	0
A7=B7	A6=B6	A5=B5	A4=B4	A3=B3	A2=B2	A1=B1	A0<B0	0	1
A7=B7	A6=B6	A5=B5	A4=B4	A3=B3	A2=B2	A1=B1	A0=B0	0	0

## デザインの入力方法

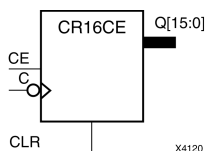
このエレメントは、回路図でのみ使用できます。

## 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

## CR16CE

**マクロ：16-Bit Negative-Edge Binary Ripple Counter with Clock Enable and Asynchronous Clear**



## サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

## 概要

このデザイン エLEMENTは、クロック イネーブルと非同期クリアがある、カスケード可能、クリア可能な 16 ビットのバイナリ リップル カウンタです。

1 段目の最後の Q 出力を次の段のクロック入力に接続し、CLR および CE 入力を並列に接続すると、より大型のカウンタを作成できます。クロック周期は、リップル カウンタ全体の長さの影響を受けません。クロック ピンと出力ピンの伝搬遅延は、 $n(t_c - q)$  です。ここで、 $n$  は段数、時間  $n(t_c - q)$  は各段における C ピンと Qz ピン間の伝搬遅延を表します。

電力を供給すると、カウンタは非同期にクリアされ、出力が Low になります。

## 論理表

入力			出力
CLR	CE	C	Qz : Q0
1	X	X	0
0	0	X	変化なし
0	1	↓	インクリメント
z = ビット幅 - 1			

## デザインの入力方法

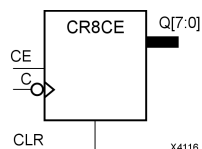
このELEMENTは、回路図でのみ使用できます。

## 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

## CR8CE

**マクロ : 8-Bit Negative-Edge Binary Ripple Counter with Clock Enable and Asynchronous Clear**



## サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

## 概要

このデザイン エLEMENTは、クロック イネーブルと非同期クリアがある、カスケード可能、クリア可能な 8 ビットのバイナリ リップル カウンタです。

非同期クリア (CLR) が High になると、ほかのすべての入力は無視され、Q 出力が 0 になります。クロック イネーブル入力 (CE) が High の場合、クロック (C) が High から Low に切り替わる時にカウンタがインクリメントします。CE が Low の場合、クロック遷移は無視されます。

1 段目の最後の Q 出力を次の段のクロック入力に接続し、CLR および CE 入力を並列に接続すると、より大型のカウンタを作成できます。クロック周期は、リップル カウンタ全体の長さの影響を受けません。クロック ピンと出力ピンの伝搬遅延は、 $n(t_{C-Q})$  です。ここで、 $n$  は段数、時間  $n(t_{C-Q})$  は各段における C ピンと Qz ピン間の伝搬遅延を表します。

電力を供給すると、カウンタは非同期にクリアされ、出力が Low になります。

## 論理表

入力			出力
CLR	CE	C	Qz : Q0
1	X	X	0
0	0	X	変化なし
0	1	↓	インクリメント
z = ビット幅 - 1			

## デザインの入力方法

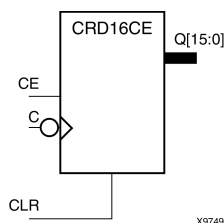
このELEMENTは、回路図でのみ使用できます。

## 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

## CRD16CE

**マクロ : 16-Bit Dual-Edge Triggered Binary Ripple Counter with Clock Enable and Asynchronous Clear**



### サポートされているアーキテクチャ

このデザイン エレメントは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

### 概要

このデザイン エレメントは、クロックの両エッジで動作するカスケード可能、クリア可能な 16 ビットのバイナリリップル カウンタです。

非同期クリア (CLR) が High になると、ほかのすべての入力は無視され、Q 出力が 0 になります。クロック イネーブル入力 (CE) が High の場合、クロック (C) が High から Low、または Low から High に切り替わるときにカウンタがインクリメントします。CE が Low の場合、クロック遷移は無視されます。

1 段目の最後の Q 出力を次の段のクロック入力に接続し、CLR および CE 入力を並列に接続すると、より大型のカウンタを作成できます。クロック周期は、リップル カウンタ全体の長さの影響を受けません。クロック ピンと出力ピンの伝搬遅延は、 $n(t_c - q)$  です。ここで、 $n$  は段数、時間  $n(t_c - q)$  は各段における C ピンと Qz ピン間の伝搬遅延を表します。

電力を供給すると、カウンタは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

### 論理表

入力			出力
CLR	CE	C	Qz : Q0
1	X	X	0
0	0	X	変化なし
0	1	↑	インクリメント
0	1	↓	インクリメント
z = ビット幅 - 1			

### デザインの入力方法

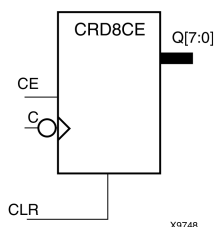
このエレメントは、回路図でのみ使用できます。

## 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

## CRD8CE

**マクロ：8-Bit Dual-Edge Triggered Binary Ripple Counter with Clock Enable and Asynchronous Clear**



## サポートされているアーキテクチャ

このデザイン エレメントは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

## 概要

このデザイン エレメントは、クロックの両エッジで動作するカスケード可能、クリア可能な 8 ビットのバイナリリップル カウンタです。

非同期クリア (CLR) が High になると、ほかのすべての入力は無視され、Q 出力が 0 になります。クロック イネーブル入力 (CE) が High の場合、クロック (C) が High から Low、または Low から High に切り替わるときにカウンタがインクリメントします。CE が Low の場合、クロック遷移は無視されます。

1 段目の最後の Q 出力を次の段のクロック入力に接続し、CLR および CE 入力を並列に接続すると、より大型のカウンタを作成できます。クロック周期は、リップル カウンタ全体の長さの影響を受けません。クロック ピンと出力ピンの伝搬遅延は、 $n(t_c - q)$  です。ここで、 $n$  は段数、時間  $n(t_c - q)$  は各段における C ピンと Qz ピン間の伝搬遅延を表します。

電力を供給すると、カウンタは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

## 論理表

入力			出力
CLR	CE	C	Qz : Q0
1	X	X	0
0	0	X	変化なし
0	1	↑	インクリメント
0	1	↓	インクリメント
z = ビット幅 - 1			

## デザインの入力方法

このエレメントは、回路図でのみ使用できます。

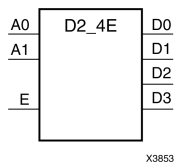


## 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

## D2\_4E

マクロ：2- to 4-Line Decoder/Demultiplexer with Enable



## サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

## 概要

このデザイン エLEMENTは、デコーダ/デマルチプレクサです。イネーブル (E) 入力が高の場合、2 ビットのバイナリ アドレス (A1 ~ A0) 入力に応じて 4 つのアクティブ High の出力 (D3 ~ D0) のいずれかが High になります。それ以外の出力は、Low になります。E 入力が高の場合は、すべての出力が Low になります。デマルチプレクサ アプリケーションでは、E 入力が入力値になります。

## 論理表

入力			出力			
A1	A0	E	D3	D2	D1	D0
X	X	0	0	0	0	0
0	0	1	0	0	0	1
0	1	1	0	0	1	0
1	0	1	0	1	0	0
1	1	1	1	0	0	0

## デザインの入力方法

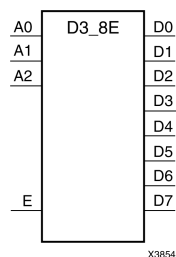
このELEMENTは、回路図でのみ使用できます。

## 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

## D3\_8E

マクロ：3- to 8-Line Decoder/Demultiplexer with Enable



## サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

## 概要

D3\_8E デコーダ/デマルチプレクサのイネーブル (E) 入力が高の場合、3 ビットのバイナリ アドレス (A2 ~ A0) 入力によって 8 つのアクティブ High の出力 (D7 ~ D0) のいずれかが High になります。それ以外の出力は、Low になります。E 入力が高の場合は、すべての出力が Low になります。デマルチプレクサ アプリケーションでは、E 入力が入力値になります。

## 論理表

入力				出力							
A2	A1	A0	E	D7	D6	D5	D4	D3	D2	D1	D0
X	X	X	0	0	0	0	0	0	0	0	0
0	0	0	1	0	0	0	0	0	0	0	1
0	0	1	1	0	0	0	0	0	0	1	0
0	1	0	1	0	0	0	0	0	1	0	0
0	1	1	1	0	0	0	0	1	0	0	0
1	0	0	1	0	0	0	1	0	0	0	0
1	0	1	1	0	0	1	0	0	0	0	0
1	1	0	1	0	1	0	0	0	0	0	0
1	1	1	1	1	0	0	0	0	0	0	0

## デザインの入力方法

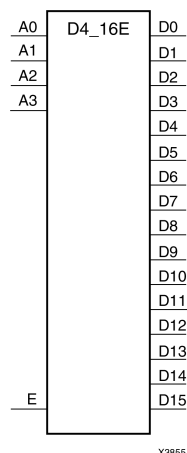
このELEMENTは、回路図でのみ使用できます。

## 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

## D4\_16E

マクロ：4- to 16-Line Decoder/Demultiplexer with Enable



### サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

### 概要

このデザイン エLEMENTは、デコーダ/デマルチプレクサです。D4\_16E デコーダ/デマルチプレクサのイネーブル (E) 入力が高レベルになると、4 ビットのバイナリ アドレス (A3 ~ A0) 入力に応じて 16 のアクティブ High の出力 (D15 ~ D0) のいずれかが High になります。それ以外の出力は、Low になります。E 入力が高レベルの場合は、すべての出力が Low になります。デマルチプレクサ アプリケーションでは、E 入力が入力値になります。

### デザインの入力方法

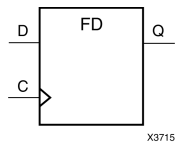
このELEMENTは、回路図でのみ使用できます。

### 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

## FD

### マクロ：D Flip-Flop



## サポートされているアーキテクチャ

このデザイン エレメントは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

## 概要

このデザイン エレメントは、データ入力 (D) とデータ出力 (Q) がある D フリップフロップです。D 入力の値は、クロック (C) が Low から High に切り替わるときにフリップフロップにロードされます。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスで PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

## 論理表

入力		出力
D	C	Q
0	↑	0
1	↑	1

## デザインの入力方法

このエレメントは、回路図でのみ使用できます。

## 使用可能な属性

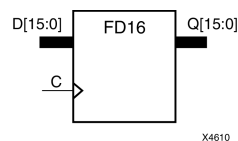
属性	タイプ	値	デフォルト	説明
INIT	2 進数	0、1	0	コンフィギュレーション後の Q 出力の初期値を指定

## 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

## FD16

### マクロ：Multiple D Flip-Flop



## サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

## 概要

このデザイン エLEMENTは、データ入力 (D)、データ出力 (Q) がある 16 ビットの複数 D フリップフロップで、共通のクロック (C) があります。D 入力の値は、クロック (C) が Low から High に切り替わる時にフリップフロップにロードされます。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスで PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

## 論理表

入力		出力
Dz : D0	C	Qz : Q0
0	↑	0
1	↑	1
z = ビット幅 - 1		

## デザインの入力方法

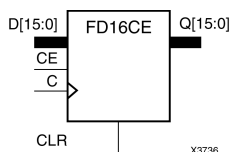
このELEMENTは、回路図でのみ使用できます。

## 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

## FD16CE

### マクロ：16-Bit Data Register with Clock Enable and Asynchronous Clear



## サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

## 概要

このデザイン エLEMENTは、クロック イネーブルと非同期クリアがある 16 ビットのデータレジスタです。クロック イネーブル (CE) が High、非同期クリア (CLR) が Low の場合、クロック (C) が Low から High に切り替わる時にデータ入力 (D) の値がデータ出力 (Q) に送られます。CLR が High になると、ほかの入力はすべて無視され、出力 (Q) が Low にリセットされます。CE が Low の場合、クロック遷移は無視されます。

電力を供給すると、レジスタは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

## 論理表

入力				出力
CLR	CE	Dz : D0	C	Qz : Q0
1	X	X	X	0
0	0	X	X	変化なし
0	1	Dn	↑	Dn
z = ビット幅 - 1				

## デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

## 使用可能な属性

属性	タイプ	値	デフォルト	説明
INIT	2 進数	16 ビット値	すべてゼロ	コンフィギュレーション後の Q 出力の初期値を指定

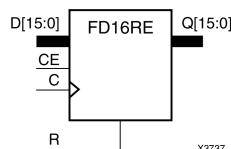
## 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート



## FD16RE

### マクロ : 16-Bit Data Register with Clock Enable and Synchronous Reset



## サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

## 概要

このデザイン エLEMENTは、16 ビットのデータレジスタです。クロック イネーブル入力 (CE) が High、同期リセット入力 (R) が Low の場合、クロック (C) が Low から High に切り替わるときに入力 (D) の値が対応する出力 (Q) に送られます。R が High になると、ほかの入力はすべて無視され、クロックが Low から High に切り替わるときに出力 (Q) の値が Low にリセットされます。CE が Low の場合、クロック遷移は無視されます。

電力を供給すると、レジスタは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

## 論理表

入力				出力
R	CE	Dz : D0	C	Qz : Q0
1	X	X	↑	0
0	0	X	X	変化なし
0	1	Dn	↑	Dn
z = ビット幅 - 1				

## デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

## 使用可能な属性

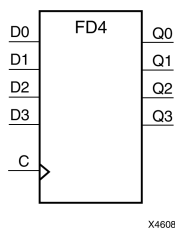
属性	タイプ	値	デフォルト	説明
INIT	2 進数	16 ビット値	すべてゼロ	コンフィギュレーション後の Q 出力の初期値を指定

## 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

## FD4

### マクロ：Multiple D Flip-Flop



## サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

## 概要

このデザイン エLEMENTは、データ入力 (D)、データ出力 (Q) がある 4 ビットの複数 D フリップフロップで、共通のクロック (C) があります。D 入力の値は、クロック (C) が Low から High に切り替わる時にフリップフロップにロードされます。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

## 論理表

入力		出力
Dz : D0	C	Qz : Q0
0	↑	0
1	↑	1
z = ビット幅 - 1		

## デザインの入力方法

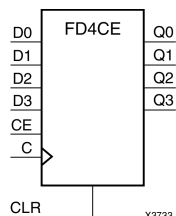
このELEMENTは、回路図でのみ使用できます。

## 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

## FD4CE

マクロ：4-Bit Data Register with Clock Enable and Asynchronous Clear



## サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

## 概要

このデザイン エLEMENTは、クロック イネーブルと非同期クリアがある 4 ビットのデータレジスタです。クロック イネーブル (CE) が High、非同期クリア (CLR) が Low の場合、クロック (C) が Low から High に切り替わる時にデータ入力 (D) の値がデータ出力 (Q) に送られます。CLR が High になると、ほかの入力はすべて無視され、出力 (Q) が Low にリセットされます。CE が Low の場合、クロック遷移は無視されます。

電力を供給すると、レジスタは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

## 論理表

入力				出力
CLR	CE	Dz : D0	C	Qz : Q0
1	X	X	X	0
0	0	X	X	変化なし
0	1	Dn	↑	Dn
z = ビット幅 - 1				

## デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

## 使用可能な属性

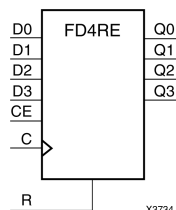
属性	タイプ	値	デフォルト	説明
INIT	2 進数	4 ビット値	すべてゼロ	コンフィギュレーション後の Q 出力の初期値を指定

## 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

## FD4RE

マクロ：4-Bit Data Register with Clock Enable and Synchronous Reset



## サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

## 概要

このデザイン エLEMENTは、4 ビットのデータレジスタです。クロック イネーブル入力 (CE) が High、同期リセット入力 (R) が Low の場合、クロック (C) が Low から High に切り替わるときに入力 (D) の値が対応する出力 (Q) に送られます。R が High になると、ほかの入力はすべて無視され、クロックが Low から High に切り替わるときに出力 (Q) の値が Low にリセットされます。CE が Low の場合、クロック遷移は無視されます。

電力を供給すると、レジスタは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

## 論理表

入力				出力
R	CE	Dz : D0	C	Qz : Q0
1	X	X	↑	0
0	0	X	X	変化なし
0	1	Dn	↑	Dn
z = ビット幅 - 1				

## デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

## 使用可能な属性

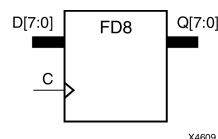
属性	タイプ	値	デフォルト	説明
INIT	2 進数	4 ビット値	すべてゼロ	コンフィギュレーション後の Q 出力の初期値を指定

## 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

## FD8

マクロ：Multiple D Flip-Flop



## サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

## 概要

このデザイン エLEMENTは、データ入力 (D)、データ出力 (Q) がある 8 ビットの複数 D フリップフロップで、共通のクロック (C) があります。D 入力の値は、クロック (C) が Low から High に切り替わる時にフリップフロップにロードされます。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスで PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

## 論理表

入力		出力
Dz : D0	C	Qz : Q0
0	↑	0
1	↑	1
z = ビット幅 - 1		

## デザインの入力方法

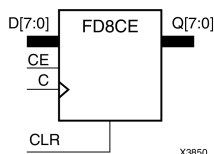
このELEMENTは、回路図でのみ使用できます。

## 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

## FD8CE

マクロ：8-Bit Data Register with Clock Enable and Asynchronous Clear



## サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

## 概要

このデザイン エLEMENTは、クロック イネーブルと非同期クリアがある 8 ビットのデータレジスタです。クロック イネーブル (CE) が High、非同期クリア (CLR) が Low の場合、クロック (C) が Low から High に切り替わる時にデータ入力 (D) の値がデータ出力 (Q) に送られます。CLR が High になると、ほかの入力はすべて無視され、出力 (Q) が Low にリセットされます。CE が Low の場合、クロック遷移は無視されます。

電力を供給すると、レジスタは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

## 論理表

入力				出力
CLR	CE	Dz : D0	C	Qz : Q0
1	X	X	X	0
0	0	X	X	変化なし
0	1	Dn	↑	Dn
z = ビット幅 - 1				

## デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

## 使用可能な属性

属性	タイプ	値	デフォルト	説明
INIT	2 進数	8 ビット値	すべてゼロ	コンフィギュレーション後の Q 出力の初期値を指定

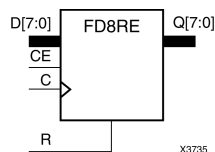
## 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート



## FD8RE

マクロ：8-Bit Data Register with Clock Enable and Synchronous Reset



## サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

## 概要

このデザイン エLEMENTは、8 ビットのデータレジスタです。クロック イネーブル入力 (CE) が High、同期リセット入力 (R) が Low の場合、クロック (C) が Low から High に切り替わるときに入力 (D) の値が対応する出力 (Q) に送られます。R が High になると、ほかの入力はすべて無視され、クロックが Low から High に切り替わるときに出力 (Q) の値が Low にリセットされます。CE が Low の場合、クロック遷移は無視されます。

電力を供給すると、レジスタは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

## 論理表

入力				出力
R	CE	Dz : D0	C	Qz : Q0
1	X	X	↑	0
0	0	X	X	変化なし
0	1	Dn	↑	Dn
z = ビット幅 - 1				

## デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

## 使用可能な属性

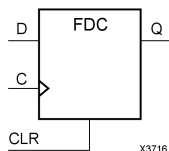
属性	タイプ	値	デフォルト	説明
INIT	2 進数	8 ビット値	すべてゼロ	コンフィギュレーション後の Q 出力の初期値を指定

## 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

## FDC

### マクロ：D Flip-Flop with Asynchronous Clear



## サポートされているアーキテクチャ

このデザイン エレメントは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

## 概要

このデザイン エレメントは、データ入力 (D)、非同期クリア入力 (CLR)、データ出力 (Q) がある単一の D フリップフロップです。非同期 CLR が High になると、ほかのすべての入力は無視され、Q 出力が Low になります。CLR が Low の場合、クロックが Low から High に切り替わるときに D 入力の値がフリップフロップにロードされます。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

## 論理表

入力			出力
CLR	D	C	Q
1	X	X	0
0	D	↑	D

## デザインの入力方法

このエレメントは、回路図でのみ使用できます。

## 使用可能な属性

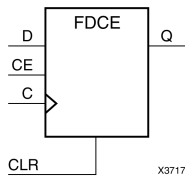
属性	タイプ	値	デフォルト	説明
INIT	2 進数	0、1	0	コンフィギュレーション後の Q 出力の初期値を指定。

## 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

## FDCE

### プリミティブ：D Flip-Flop with Clock Enable and Asynchronous Clear



## サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

## 概要

このデザイン エLEMENTは、クロック イネーブルと非同期クリアがある単一の D タイプ フリップフロップです。クロック イネーブル (CE) が High、非同期クリア (CLR) が Low の場合、クロック (C) が Low から High に切り替わるときにデータ入力 (D) の値がデータ出力 (Q) に送られます。CLR が High になると、ほかのすべての入力は無視され、出力 (Q) の値が Low にリセットされます。CE が Low の場合、クロック遷移は無視されます。

XC9500XL および XC9500XV デバイスの場合、クロック イネーブル入力 (CE) に接続されたロジックは、マクロセルのクロック イネーブル積項を使用してインプリメントできます。ただし、ほかのマクロセルからのフィードバックなしで、CE に使用可能な積項を 1 つ使用してロジックを完全にインプリメントできることが条件となります。クロック イネーブル積項を利用できるフリップフロップ プリミティブは、FDCE と FDPE のみです。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

## 論理表

入力				出力
CLR	CE	D	C	Q
1	X	X	X	0
0	0	X	X	変化なし
0	1	D	↑	D

## デザインの入力方法

インスタンス化	可
推論	推奨
CORE Generator™ およびウィザード	不可
マクロのサポート	不可

このELEMENTは、回路図で使用されます。

## 使用可能な属性

属性	タイプ	値	デフォルト	説明
INIT	2 進数	0、1	0	コンフィギュレーション後の Q 出力の初期値を指定。

## VHDL 記述 (インスタンスレーション)

次の 2 つの構文が存在しない場合はコピーし、エンティティ宣言の前に貼り付けます。

```
Library UNISIM;
use UNISIM.vcomponents.all;

-- FDCE: Single Data Rate D Flip-Flop with Asynchronous Clear and
--       Clock Enable (posedge clk). All families.
-- Xilinx HDL Libraries Guide, version 11.2

FDCE_inst : FDCE
generic map (
  INIT => '0') -- Initial value of register ('0' or '1')
port map (
  Q => Q,      -- Data output
  C => C,      -- Clock input
  CE => CE,    -- Clock enable input
  CLR => CLR,  -- Asynchronous clear input
  D => D      -- Data input
);

-- End of FDCE_inst instantiation
```

## Verilog 記述 (インスタンスレーション)

```
// FDCE: Single Data Rate D Flip-Flop with Asynchronous Clear and
//       Clock Enable (posedge clk).
//       All families.
// Xilinx HDL Libraries Guide, version 11.2

FDCE #(
  .INIT(1'b0) // Initial value of register (1'b0 or 1'b1)
) FDCE_inst (
  .Q(Q),      // Data output
  .C(C),      // Clock input
  .CE(CE),    // Clock enable input
  .CLR(CLR),  // Asynchronous clear input
  .D(D)       // Data input
);

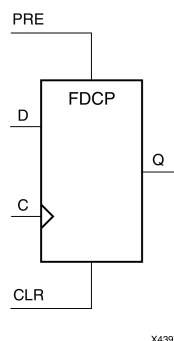
// End of FDCE_inst instantiation
```

## 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

## FDCP

### プリミティブ：D Flip-Flop with Asynchronous Preset and Clear



## サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

## 概要

このデザイン エLEMENTは、データ (D)、非同期プリセット (PRE)、クリア (CLR) の各入力とデータ出力 (Q) がある単一の D タイプ フリップフロップです。非同期 PRE が High になると、Q 出力が High にセットされます。CLR が High になると、出力が Low にリセットされます。PRE と CLR が Low の場合、クロック (C) が Low から High に切り替わる時に D 入力の値がフリップフロップにロードされます。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

## 論理表

入力				出力
CLR	PRE	D	C	Q
1	X	X	X	0
0	1	X	X	1
0	0	D	↑	D

## デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

## 使用可能な属性

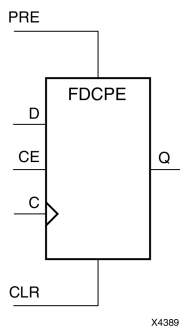
属性	タイプ	値	デフォルト	説明
INIT	2 進数	0、1	0	コンフィギュレーション後の Q 出力の初期値を指定

## 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

## FDCPE

### プリミティブ：D Flip-Flop with Clock Enable and Asynchronous Preset and Clear



## サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

## 概要

このデザイン エLEMENTは、データ (D)、クロック イネーブル (CE)、非同期プリセット (PRE)、非同期クリア (CLR) の各入力とデータ出力 (Q) がある単一の D タイプ フリップフロップです。非同期 PRE が High になると Q 出力が High にセットされ、CLR が High になると出力が Low にリセットされます (CLR 入力が PRE 入力よりも優先される)。PRE と CLR が Low で CE が High の場合、クロック (C) が Low から High に切り替わるときに D 入力の値がフリップフロップにロードされます。CE が Low の場合クロック遷移は無視され、以前の値が保持されます。FDCPE は通常、スライスまたは IOB レジスタとしてインプリメントされます。

CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。FPGA では電源が投入されると、INIT 属性を使用して指定した初期値に設定されます。GSR (グローバル セット / リセット) をアサートすると、INIT で指定した初期値に非同期で設定されます。

**メモ：** 非同期のセットおよびリセットの使用がサポートされていますが、これらの使用は通常お勧めしません。非同期信号を使用するとタイミングの問題が検出および制御しにくく、またロジックの最適化に悪影響を及ぼし、同期セットまたはリセットを使用した場合に比べて消費電力が大きくなる場合があります。

## 論理表

入力					出力
CLR	PRE	CE	D	C	Q
1	X	X	X	X	0
0	1	X	X	X	1
0	0	0	X	X	変化なし
0	0	1	D	↑	D

## ポートの説明

ポート名	方向	幅	機能
Q	出力	1	データ出力
C	入力	1	クロック入力
CE	入力	1	クロック イネーブル入力
CLR	入力	1	非同期クリア入力
D	入力	1	データ入力
PRE	入力	1	非同期セット入力

## デザインの入力方法

インスタンス化	可
推論	推奨
CORE Generator™ およびウィザード	不可
マクロのサポート	不可

このエレメントは、回路図で使用されます。

## 使用可能な属性

属性	タイプ	値	デフォルト	説明
INIT	2 進数	0、1	0	コンフィギュレーション後および GSR 入力時の Q 出力の初期値を指定

## VHDL 記述 (インスタンス化)

次の 2 つの構文が存在しない場合はコピーし、エンティティ宣言の前に貼り付けます。

```
Library UNISIM;
use UNISIM.vcomponents.all;

-- FDCPE: Single Data Rate D Flip-Flop with Asynchronous Clear, Set and
--       Clock Enable (posedge clk).
--       Virtex-4/5, Spartan-3/3E/3A/3A DSP
-- Xilinx HDL Libraries Guide, version 11.2

FDCPE_inst : FDCPE
generic map (
  INIT => '0' -- Initial value of register ('0' or '1')
)
port map (
  Q => Q,      -- Data output
  C => C,      -- Clock input
  CE => CE,    -- Clock enable input
  CLR => CLR,  -- Asynchronous clear input
  D => D,      -- Data input
  PRE => PRE   -- Asynchronous set input
);

-- End of FDCPE_inst instantiation
```



## Verilog 記述 (インスタンス化)

```
// FDCPE: Single Data Rate D Flip-Flop with Asynchronous Clear, Set and
//          Clock Enable (posedge clk).
//          Virtex-4/5, Spartan-3/3E/3A/3A DSP
// Xilinx HDL Libraries Guide, version 11.2

FDCPE #(
    .INIT(1'b0) // Initial value of register (1'b0 or 1'b1)
) FDCPE_inst (
    .Q(Q),      // Data output
    .C(C),      // Clock input
    .CE(CE),    // Clock enable input
    .CLR(CLR),  // Asynchronous clear input
    .D(D),      // Data input
    .PRE(PRE)   // Asynchronous set input
);

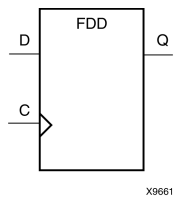
// End of FDCPE_inst instantiation
```

## 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

## FDD

### マクロ：Dual Edge Triggered D Flip-Flop



## サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

## 概要

このデザイン エLEMENTは、クロックの両エッジで動作する単一の D フリップフロップで、入力 (D) と出力 (Q) があります。D 入力の値は、クロック (C) が Low から High または High から Low に切り替わるときにフリップフロップにロードされます。

電力を供給すると、このフリップフロップは非同期的にクリアされ、出力が Low になります。CPLD では、High レベルのパルスで PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

## 論理表

入力		出力
D	C	Q
0	↑	0
1	↑	1
0	↓	0
1	↓	1

## デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

## 使用可能な属性

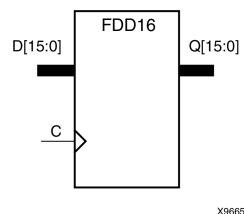
属性	タイプ	値	デフォルト	説明
INIT	2 進数	0、1	0	コンフィギュレーション後の Q 出力の初期値を指定

## 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

## FDD16

マクロ：Multiple Dual Edge Triggered D Flip-Flop



## サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

## 概要

このデザイン エLEMENTは、クロックの両エッジで動作する複数の D フリップフロップで、入力 (D) と出力 (Q) があります。16 ビットレジスタで、共通のクロック (C) があります。D 入力の値は、クロック (C) が Low から High または High から Low に切り替わるときにフリップフロップにロードされます。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

## 論理表

入力		出力
Dz : D0	C	Qz : Q0
0	↑	0
1	↑	1
0	↓	0
1	↓	1
z = ビット幅 - 1		

## デザインの入力方法

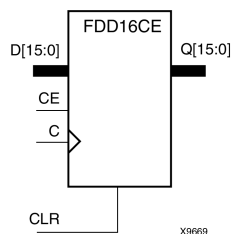
このELEMENTは、回路図でのみ使用できます。

## 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

## FDD16CE

マクロ：16-Bit Dual Edge Triggered Data Register with Clock Enable and Asynchronous Clear



## サポートされているアーキテクチャ

このデザイン エレメントは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

## 概要

このデザイン エレメントは、クロック イネーブルと非同期クリアがある 16 ビットのデータレジスタです。クロック イネーブル (CE) が High、非同期クリア (CLR) が Low の場合、クロック (C) が Low から High または High から Low に切り替わる時に、入力 (D) の値が出力 (Q) に送られます。CLR が High になると、ほかの入力はすべて無視され、出力 (Q) が Low にリセットされます。CE が Low の場合、クロック遷移は無視されます。

電力を供給すると、レジスタは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスで PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

## 論理表

入力				出力
CLR	CE	Dz : D0	C	Qz : Q0
1	X	X	X	0
0	0	X	X	変化なし
0	1	Dn	↑	Dn
0	1	Dn	↓	Dn
z = ビット幅 - 1				

## デザインの入力方法

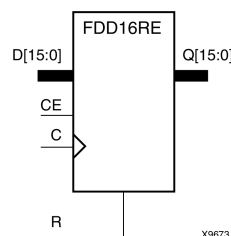
このエレメントは、回路図でのみ使用できます。

## 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

## FDD16RE

マクロ：16-Bit Dual Edge Triggered Data Register with Clock Enable and Synchronous Reset



## サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

## 概要

このデザイン エLEMENTは、16 ビットのデータレジスタです。クロック イネーブル入力 (CE) が High、同期リセット入力 (R) が Low の場合、クロック (C) が Low から High または High から Low に切り替わるときに、入力 (D) の値が対応する出力 (Q0) に送られます。R が High になると、ほかの入力はすべて無視され、クロックが Low から High または High から Low に切り替わるときに、出力 (Q) の値が Low にリセットされます。CE が Low の場合、クロック遷移は無視されます。

電力を供給すると、レジスタは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

## 論理表

入力				出力
R	CE	Dz : D0	C	Qz : Q0
1	X	X	↑	0
1	X	X	↓	0
0	0	X	X	変化なし
0	1	Dn	↑	Dn
0	1	Dn	↓	Dn
z = ビット幅 - 1				

## デザインの入力方法

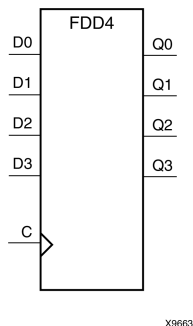
このELEMENTは、回路図でのみ使用できます。

## 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

## FDD4

### Multiple Dual Edge Triggered D Flip-Flops



### サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

### 概要

このデザイン エLEMENTは、クロックの両エッジで動作する複数の D フリップフロップで、入力 (D) と出力 (Q) があります。4 ビットレジスタで、共通のクロック (C) があります。D 入力の値は、クロック (C) が Low から High または High から Low に切り替わるときにフリップフロップにロードされます。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスで PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

### 論理表

入力		出力
Dz : D0	C	Qz : Q0
0	↑	0
1	↑	1
0	↓	0
1	↓	1
z = ビット幅 - 1		

### デザインの入力方法

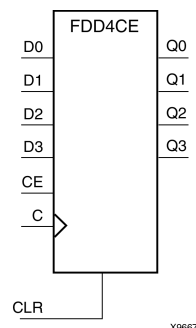
このELEMENTは、回路図でのみ使用できます。

### 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

## FDD4CE

マクロ：4-Bit Dual Edge Triggered Data Register with Clock Enable and Asynchronous Clear



## サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

## 概要

このデザイン エLEMENTは、クロック イネーブルと非同期クリアがある 4 ビットのデータレジスタです。クロック イネーブル (CE) が High、非同期クリア (CLR) が Low の場合、クロック (C) が Low から High または High から Low に切り替わる時に、入力 (D) の値が出力 (Q) に送られます。CLR が High になると、ほかの入力はすべて無視され、出力 (Q) が Low にリセットされます。CE が Low の場合、クロック遷移は無視されます。

電力を供給すると、レジスタは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

## 論理表

入力				出力
CLR	CE	Dz : D0	C	Qz : Q0
1	X	X	X	0
0	0	X	X	変化なし
0	1	Dn	↑	Dn
0	1	Dn	↓	Dn
z = ビット幅 - 1				

## デザインの入力方法

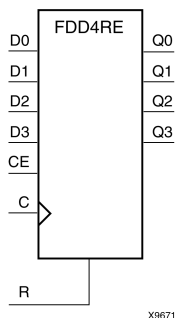
このELEMENTは、回路図でのみ使用できます。

## 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

## FDD4RE

マクロ：4-Bit Dual Edge Triggered Data Register with Clock Enable and Synchronous Reset



## サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

## 概要

このデザイン エLEMENTは、4 ビットのデータレジスタです。クロック イネーブル入力 (CE) が High、同期リセット入力 (R) が Low の場合、クロック (C) が Low から High または High から Low に切り替わるときに、入力 (D) の値が対応する出力 (Q0) に送られます。R が High になると、ほかの入力はすべて無視され、クロックが Low から High または High から Low に切り替わるときに、出力 (Q) の値が Low にリセットされます。CE が Low の場合、クロック遷移は無視されます。

電力を供給すると、レジスタは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

## 論理表

入力				出力
R	CE	Dz : D0	C	Qz : Q0
1	X	X	↑	0
1	X	X	↓	0
0	0	X	X	変化なし
0	1	Dn	↑	Dn
0	1	Dn	↓	Dn
z = ビット幅 - 1				

## デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

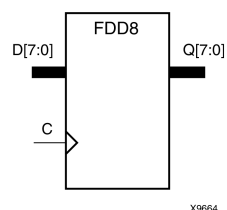
## 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート



## FDD8

マクロ：Multiple Dual Edge Triggered D Flip-Flop



## サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

## 概要

このデザイン エLEMENTは、クロックの両エッジで動作する複数の D フリップフロップで、入力 (D) と出力 (Q) があります。8 ビットレジスタで、共通のクロック (C) があります。D 入力の値は、クロック (C) が Low から High または High から Low に切り替わる時にフリップフロップにロードされます。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスで PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

## 論理表

入力		出力
Dz : D0	C	Qz : Q0
0	↑	0
1	↑	1
0	↓	0
1	↓	1
z = ビット幅 - 1		

## デザインの入力方法

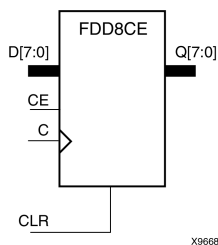
このELEMENTは、回路図でのみ使用できます。

## 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

## FDD8CE

マクロ：8-Bit Dual Edge Triggered Data Register with Clock Enable and Asynchronous Clear



## サポートされているアーキテクチャ

このデザイン エレメントは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

## 概要

このデザイン エレメントは、クロック イネーブルと非同期クリアがある 8 ビットのデータレジスタです。クロック イネーブル (CE) が High、非同期クリア (CLR) が Low の場合、クロック (C) が Low から High または High から Low に切り替わる時に、入力 (D) の値が出力 (Q) に送られます。CLR が High になると、ほかの入力はすべて無視され、出力 (Q) が Low にリセットされます。CE が Low の場合、クロック遷移は無視されます。

電力を供給すると、レジスタは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

## 論理表

入力				出力
CLR	CE	Dz : D0	C	Qz : Q0
1	X	X	X	0
0	0	X	X	変化なし
0	1	Dn	↑	Dn
0	1	Dn	↓	Dn
z = ビット幅 - 1				

## デザインの入力方法

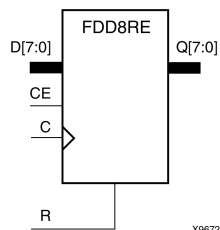
このエレメントは、回路図でのみ使用できます。

## 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

## FDD8RE

マクロ：8-Bit Dual Edge Triggered Data Register with Clock Enable and Synchronous Reset



### サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

### 概要

このデザイン エLEMENTは、8 ビットのデータレジスタです。クロック イネーブル入力 (CE) が High、同期リセット入力 (R) が Low の場合、クロック (C) が Low から High または High から Low に切り替わるときに、入力 (D) の値が対応する出力 (Q0) に送られます。R が High になると、ほかの入力はすべて無視され、クロックが Low から High または High から Low に切り替わるときに、出力 (Q) の値が Low にリセットされます。CE が Low の場合、クロック遷移は無視されます。

電力を供給すると、レジスタは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

### 論理表

入力				出力
R	CE	Dz : D0	C	Qz : Q0
1	X	X	↑	0
1	X	X	↓	0
0	0	X	X	変化なし
0	1	Dn	↑	Dn
0	1	Dn	↓	Dn
z = ビット幅 - 1				

### デザインの入力方法

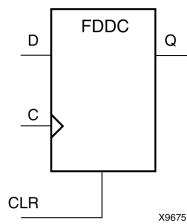
このELEMENTは、回路図でのみ使用できます。

### 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

## FDDC

マクロ：D Dual Edge Triggered Flip-Flop with Asynchronous Clear



## サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

## 概要

このデザイン エLEMENTは、クロックの両エッジで動作する単一の D フリップフロップで、入力 (D)、非同期クリア入力 (CLR)、出力 (Q) があります。非同期 CLR が High になると、ほかのすべての入力は無視され、Q 出力が Low になります。CLR が Low の場合、クロックが Low から High または High から Low に切り替わる時に D 入力の値がフリップフロップにロードされます。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスで PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

## 論理表

入力			出力
CLR	D	C	Q
1	X	X	0
0	1	↑	1
0	1	↓	1
0	0	↑	0
0	0	↓	0

## デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

## 使用可能な属性

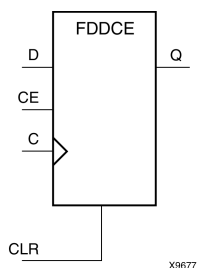
属性	タイプ	値	デフォルト	説明
INIT	2 進数	0、1	0	コンフィギュレーション後の Q 出力の初期値を指定

## 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

## FDDCE

**プリミティブ：Dual Edge Triggered D Flip-Flop with Clock Enable and Asynchronous Clear**



## サポートされているアーキテクチャ

このデザイン エレメントは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

## 概要

このデザイン エレメントは、クロックの両エッジで動作する単一の D フリップフロップで、クロック イネーブルと非同期クリアがあります。クロック イネーブル (CE) が High、非同期クリア (CLR) が Low の場合、クロック (C) が Low から High または High から Low に切り替わるときに、入力 (D) の値が出力 (Q) に送られます。CLR が High になると、ほかのすべての入力は無視され、出力 (Q) の値が Low にリセットされます。CE が Low の場合、クロック遷移は無視されます。

クロック イネーブル入力 (CE) に接続されたロジックは、マクロセルのクロック イネーブル積項 (p-term) を使用してインプリメントできます。ただし、ほかのマクロセルからのフィードバックなしで、CE に使用可能な積項を 1 つ使用してロジックを完全にインプリメントできることが条件となります。クロック イネーブル積項を利用できるフリップフロップ プリミティブは、FDDCE と FDDPE のみです。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

## 論理表

入力				出力
CLR	CE	D	C	Q
1	X	X	X	0
0	0	X	X	変化なし
0	1	1	↑	1
0	1	0	↑	0
0	1	1	↓	1
0	1	0	↓	0

## デザインの入力方法

このエレメントは、回路図でのみ使用できます。

## 使用可能な属性

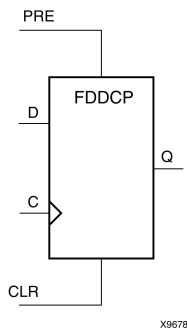
属性	タイプ	値	デフォルト	説明
INIT	2 進数	0、1	0	コンフィギュレーション後の Q 出力の初期値を指定

## 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

## FDDCP

**プリミティブ**：Dual Edge Triggered D Flip-Flop Asynchronous Preset and Clear



## サポートされているアーキテクチャ

このデザイン エレメントは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

## 概要

このデザイン エレメントは、クロックの両エッジで動作する単一の D フリップフロップで、入力 (D)、非同期プリセット入力 (PRE)、クリア入力 (CLR)、出力 (Q) があります。非同期 PRE が High になると、Q 出力が High にセットされます。CLR が High になると、出力が Low にリセットされます。PRE および CLR が Low の場合、クロックが Low から High または High から Low に切り替わる時に、D 入力の値がフリップフロップにロードされます。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスで PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

## 論理表

入力				出力
CLR	PRE	D	C	Q
1	X	X	X	0
0	1	X	X	1
0	0	0	↑	0
0	0	1	↑	1
0	0	0	↓	0
0	0	1	↓	1

## デザインの入力方法

このエレメントは、回路図でのみ使用できます。

## 使用可能な属性

属性	タイプ	値	デフォルト	説明
INIT	2 進数	0、1	0	コンフィギュレーション後の Q 出力の初期値を指定

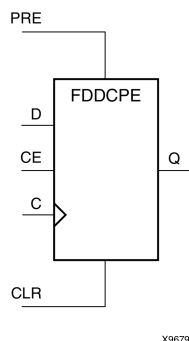


## 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

## FDDCPE

**マクロ：Dual Edge Triggered D Flip-Flop with Clock Enable and Asynchronous Preset and Clear**



## サポートされているアーキテクチャ

このデザイン エレメントは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

## 概要

このデザイン エレメントは、クロックの両エッジで動作する単一の D フリップフロップで、入力 (D)、クロック イネーブル (CE)、非同期プリセット (PRE)、非同期クリア (CLR) の各入力と出力 (Q) があります。非同期 PRE が High になると、Q 出力が High にセットされます。CLR が High になると、出力が Low にリセットされます。PRE と CLR が Low、CE が High の場合、クロック (C) が Low から High または High から Low に切り替わるときに、D 入力の値がフリップフロップにロードされます。CE が Low の場合、クロック遷移は無視されます。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

## 論理表

入力					出力
CLR	PRE	CE	D	C	Q
1	X	X	X	X	0
0	1	X	X	X	1
0	0	0	X	X	変化なし
0	0	1	0	↑	0
0	0	1	1	↑	1
0	0	1	0	↓	0
0	0	1	1	↓	1

## デザインの入力方法

このエレメントは、回路図でのみ使用できます。

## 使用可能な属性

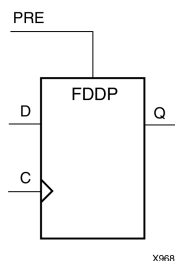
属性	タイプ	値	デフォルト	説明
INIT	2 進数	0、1	0	コンフィギュレーション後の Q 出力の初期値を指定

## 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

## FDDP

マクロ：Dual Edge Triggered D Flip-Flop with Asynchronous Preset



## サポートされているアーキテクチャ

このデザイン エレメントは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

## 概要

このデザイン エレメントは、クロックの両エッジで動作する単一の D フリップフロップで、入力 (D)、非同期プリセット入力 (PRE)、出力 (Q) があります。非同期 PRE が High になると、ほかのすべての入力は無視され、Q 出力が High にプリセットされます。PRE が Low の場合、クロックが Low から High または High から Low に切り替わるたびに、D 入力の値がフリップフロップにロードされます。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスで PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

## 論理表

入力			出力
PRE	C	D	Q
1	X	X	1
0	↑	1	1
0	↑	0	0
0	↓	1	1
0	↓	0	0

## デザインの入力方法

このエレメントは、回路図でのみ使用できます。

## 使用可能な属性

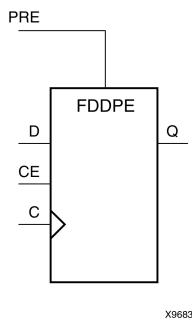
属性	タイプ	値	デフォルト	説明
INIT	2 進数	0、1	1	コンフィギュレーション後の Q 出力の初期値を指定

## 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

## FDDPE

**プリミティブ**：Dual Edge Triggered D Flip-Flop with Clock Enable and Asynchronous Preset



## サポートされているアーキテクチャ

このデザイン エレメントは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

## 概要

このデザイン エレメントは、クロックの両エッジで動作する単一の D フリップフロップで、入力 (D)、クロック イネーブル (CE)、非同期プリセット入力 (PRE)、出力 (Q) があります。非同期の PRE が High になると、ほかのすべての入力は無視され、Q 出力が High にセットされます。PRE が Low、CE が High の場合、クロック (C) が Low から High または High から Low に切り替わるときに、D 入力の値がフリップフロップにロードされます。CE が Low の場合、クロック遷移は無視されます。

クロック イネーブル入力 (CE) に接続されたロジックは、マクロセルのクロック イネーブル積項 (p-term) を使用してインプリメントできます。ただし、ほかのマクロセルからのフィードバックなしで、CE に使用可能な積項を 1 つ使用してロジックを完全にインプリメントできることが条件となります。クロック イネーブル積項を利用できるフリップフロップ プリミティブは、FDDCE と FDDPE のみです。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

## 論理表

入力				出力
PRE	CE	D	C	Q
1	X	X	X	1
0	0	X	X	変化なし
0	1	0	↑	0
0	1	1	↑	1
0	1	0	↓	0
0	1	1	↓	1

## デザインの入力方法

このエレメントは、回路図でのみ使用できます。

## 使用可能な属性

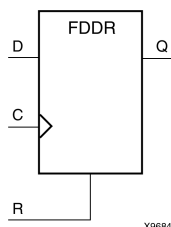
属性	タイプ	値	デフォルト	説明
INIT	2 進数	0、1	1	コンフィギュレーション後の Q 出力の初期値を指定

## 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

## FDDR

マクロ：Dual Edge Triggered D Flip-Flop with Synchronous Reset



## サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

## 概要

このデザイン エLEMENTは、クロックの両エッジで動作する単一の D フリップフロップで、入力 (D)、同期リセット入力 (R)、出力 (Q) があります。同期リセット入力 (R) が High になると、ほかの入力は無視され、クロック (C) が Low から High または High から Low に切り替わるときに、出力 (Q) が Low にリセットされます。R が Low の場合、クロックが Low から High または High から Low に切り替わるときに、D 入力の値がフリップフロップにロードされます。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスで PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

## 論理表

入力			出力
R	D	C	Q
1	X	↑	0
1	X	↓	0
0	1	↑	1
0	0	↑	0
0	1	↓	1
0	0	↓	0

## デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

## 使用可能な属性

属性	タイプ	値	デフォルト	説明
INIT	2 進数	0、1	0	コンフィギュレーション後の Q 出力の初期値を指定

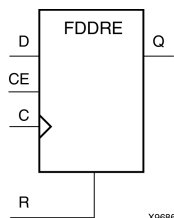


## 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

## FDDRE

マクロ：Dual Edge Triggered D Flip-Flop with Clock Enable and Synchronous Reset



## サポートされているアーキテクチャ

このデザイン エレメントは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

## 概要

FDDRE は、クロックの両エッジで動作する単一の D フリップフロップで、入力 (D)、クロック イネーブル (CE)、同期リセット (R) の各入力と出力 (Q) があります。同期リセット入力 (R) が High になると、ほかの入力は無視され、クロック (C) が Low から High または High から Low に切り替わるときに、出力 (Q) が Low にリセットされます。R が Low、CE が High の場合、クロックが Low から High または High から Low に切り替わるときに D 入力の値がフリップフロップにロードされます。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

## 論理表

入力				出力
R	CE	D	C	Q
1	X	X	↑	0
1	X	X	↓	0
0	0	X	X	変化なし
0	1	1	↑	1
0	1	0	↑	0
0	1	1	↓	1
0	1	0	↓	0

## デザインの入力方法

インスタンス化	可
推論	推奨
CORE Generator™ およびウィザード	不可
マクロのサポート	不可

このエレメントは、回路図で使用されます。

## 使用可能な属性

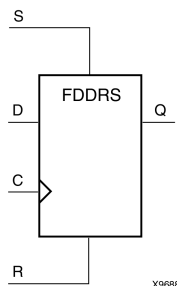
属性	タイプ	値	デフォルト	説明
INIT	2 進数	0、1	0	コンフィギュレーション後の Q 出力の初期値を指定

## 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

## FDDRS

マクロ：Dual Edge Triggered D Flip-Flop with Synchronous Reset and Set



## サポートされているアーキテクチャ

このデザイン エレメントは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

## 概要

FDDRS は、クロックの両エッジで動作する単一の D フリップフロップで、入力 (D)、同期セット (S)、同期リセット (R) の各入力と出力 (Q) があります。同期リセット入力 (R) が High になると、ほかの入力はすべて無視され、クロック (C) が Low から High または High から Low に切り替わる時に、出力 (Q) が Low にリセットされます (リセットがセットよりも優先される)。S が High、R が Low の場合、クロックが Low から High または High から Low に切り替わる時にフリップフロップがセットされ、出力が High になります。R および S が Low の場合、クロックが Low から High または High から Low に切り替わる時に、D 入力の値がフリップフロップにロードされます。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスで PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

## 論理表

入力				出力
R	S	D	C	Q
1	X	X	↑	0
1	X	X	↓	0
0	1	X	↑	1
0	1	X	↓	1
0	0	1	↑	1
0	0	1	↓	1
0	0	0	↑	0
0	0	0	↓	0

## デザインの入力方法

このエレメントは、回路図でのみ使用できます。

## 使用可能な属性

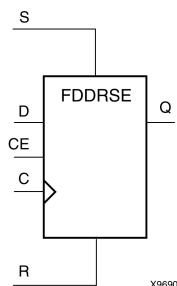
属性	タイプ	値	デフォルト	説明
INIT	2 進数	0、1	0	コンフィギュレーション後の Q 出力の初期値を指定

## 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

## FDDRSE

マクロ：Dual Edge Triggered D Flip-Flop with Synchronous Reset and Set and Clock Enable



## サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

## 概要

FDDRSE は、クロックの両エッジで動作する単一の D フリップフロップで、同期リセット (R)、同期セット (S)、クロック イネーブル (CE) の各入力と出力 (Q) があります。同期リセット入力 (R) が High になると、ほかの入力はすべて無視され、クロック (C) が Low から High または High から Low に切り替わるときに、出力 (Q) が Low にリセットされます (リセットがセットよりも優先される)。S が High、R が Low の場合、クロック (C) が Low から High または High から Low に切り替わるときにフリップフロップがセットされ、出力が High になります。R および S が Low、CE が High の場合、クロックが Low から High または High から Low に切り替わるときに D 入力の値がフリップフロップにロードされます。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

## 論理表

入力					出力
R	S	CE	D	C	Q
1	X	X	X	↑	0
1	X	X	X	↓	0
0	1	X	X	↑	1
0	1	X	X	↓	1
0	0	0	X	X	変化なし
0	0	1	1	↑	1
0	0	1	0	↑	0
0	0	1	1	↓	1
0	0	1	0	↓	0

## デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

## 使用可能な属性

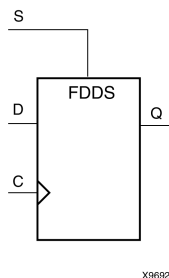
属性	タイプ	値	デフォルト	説明
INIT	2 進数	0、1	0	コンフィギュレーション後の Q 出力の初期値を指定

## 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

## FDDS

マクロ：Dual Edge Triggered D Flip-Flop with Synchronous Set



## サポートされているアーキテクチャ

このデザイン エレメントは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

## 概要

FDDS は、クロックの両エッジで動作する単一の D フリップフロップで、入力 (D)、同期セット入力 (S)、出力 (Q) があります。同期セット入力が高レベルになると、クロック (C) が Low から High または High から Low に切り替わるときに、Q 出力が高レベルにセットされます。S が Low の場合、クロック (C) が Low から High または High から Low に切り替わるときに D 入力の値がフリップフロップにロードされます。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスで PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

## 論理表

入力			出力
S	D	C	Q
1	X	↑	1
1	X	↓	1
0	1	↑	1
0	0	↑	0
0	1	↓	1
0	0	↓	0

## デザインの入力方法

このエレメントは、回路図でのみ使用できます。

## 使用可能な属性

属性	タイプ	値	デフォルト	説明
INIT	2 進数	0、1	1	コンフィギュレーション後の Q 出力の初期値を指定

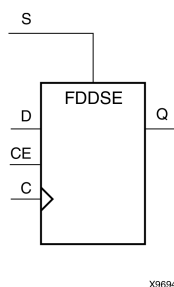


## 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

## FDDSE

マクロ：D Flip-Flop with Clock Enable and Synchronous Set



## サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

## 概要

FDDSE は、クロックの両エッジで動作する単一の D フリップフロップで、入力 (D)、クロック イネーブル (CE)、同期セット (S) の各入力と出力 (Q) があります。同期セット (S) 入力が High になると、クロック イネーブル (CE) 入力は無視され、クロック (C) が Low から High または High から Low に切り替わるときに、Q 出力が High にセットされます。S が Low、CE が High の場合、クロック (C) が Low から High または High から Low に切り替わるときに D 入力の値がフリップフロップにロードされます。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

## 論理表

入力				出力
S	CE	D	C	Q
1	X	X	↑	1
1	X	X	↓	1
0	0	X	X	変化なし
0	1	1	↑	1
0	1	0	↑	0
0	1	1	↓	1
0	1	0	↓	0

## デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

## 使用可能な属性

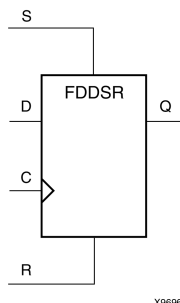
属性	タイプ	値	デフォルト	説明
INIT	2 進数	0、1	1	コンフィギュレーション後の Q 出力の初期値を指定

## 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

## FDDSR

マクロ：Dual Edge Triggered D Flip-Flop with Synchronous Set and Reset



## サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

## 概要

FDDSR は、クロックの両エッジで動作する単一の D フリップフロップで、入力 (D)、同期リセット (R)、同期セット (S)、の各入力と出力 (Q) があります。同期セット (S) 入力が高になっていると、ほかの入力は無視され、クロック (C) が Low から High または High から Low に切り替わるときに、Q 出力が高にセットされます (セットがリセットよりも優先される)。リセット (R) が High、セット (S) が Low の場合、クロックが Low から High または High から Low に切り替わるときにフリップフロップがリセットされ、出力が Low になります。S と R が Low の場合、クロックが Low から High または High から Low に切り替わるときに D 入力の値がフリップフロップにロードされます。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスで PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

## 論理表

入力				出力
S	R	D	C	Q
1	X	X	↑	1
1	X	X	↓	1
0	1	X	↑	0
0	1	X	↓	0
0	0	1	↑	1
0	0	0	↑	0
0	0	1	↓	1
0	0	0	↓	0

## デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

## 使用可能な属性

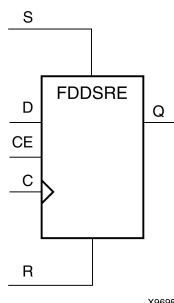
属性	タイプ	値	デフォルト	説明
INIT	2 進数	0、1	1	コンフィギュレーション後の Q 出力の初期値を指定

## 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

## FDDSRE

**マクロ：Dual Edge Triggered D Flip-Flop with Synchronous Set and Reset and Clock Enable**



## サポートされているアーキテクチャ

このデザイン エレメントは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

## 概要

FDDSRE は、クロックの両エッジで動作する単一の D フリップフロップで、同期セット (S)、同期リセット (R)、クロック イネーブル (CE) の各入力と出力 (Q) があります。同期セット (S) 入力が High になると、ほかの入力は無視され、クロック (C) が Low から High または High から Low に切り替わるときに、Q 出力が High にセットされます (セットがリセットよりも優先される)。R が High、S が Low の場合、クロックが Low から High または High から Low に切り替わるときに Q 出力が Low にリセットされます。R および S が Low、CE が High の場合、クロックが Low から High または High から Low に切り替わるときに、値がフリップフロップにロードされます。CE が Low の場合、クロック遷移は無視されます。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスで PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

## 論理表

入力					出力
S	R	CE	D	C	Q
1	X	X	X	↑	1
1	X	X	X	↓	1
0	1	X	X	↑	0
0	1	X	X	↓	0
0	0	0	X	X	変化なし
0	0	1	1	↑	1
0	0	1	0	↑	0
0	0	1	1	↓	1
0	0	1	0	↓	0

## デザインの入力方法

このエレメントは、回路図でのみ使用できます。

## 使用可能な属性

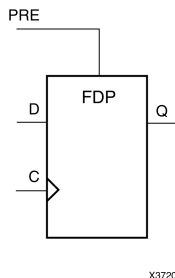
属性	タイプ	値	デフォルト	説明
INIT	2 進数	0、1	1	コンフィギュレーション後の Q 出力の初期値を指定

## 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

## FDP

### マクロ : D Flip-Flop with Asynchronous Preset



## サポートされているアーキテクチャ

このデザイン エレメントは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

## 概要

このデザイン エレメントは、データ (D)、非同期プリセット (PRE) の各入力とデータ出力 (Q) がある単一の D フリップフロップです。非同期 PRE が High になると、ほかのすべての入力は無視され、Q 出力が High にプリセットされます。PRE が Low の場合、クロック (C) が Low から High に切り替わるときに D 入力の値がフリップフロップにロードされます。

CPLD では、電力を供給すると、フリップフロップは非同期にクリアされ、出力が Low になります。High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

## 論理表

入力			出力
PRE	C	D	Q
1	X	X	1
0	↑	D	D

## デザインの入力方法

このエレメントは、回路図でのみ使用できます。

## 使用可能な属性

属性	タイプ	値	デフォルト	説明
INIT	2 進数	0、1	1	コンフィギュレーション後の Q 出力の初期値を指定。

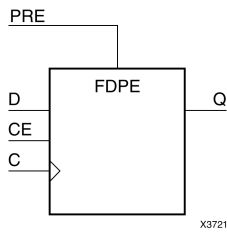
## 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート



## FDPE

### プリミティブ：D Flip-Flop with Clock Enable and Asynchronous Preset



## サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

## 概要

このデザイン エLEMENTは、データ (D)、クロック イネーブル (CE)、非同期プリセット (PRE) の各入力とデータ出力 (Q) がある単一の D フリップフロップです。非同期の PRE が High になると、ほかのすべての入力は無視され、Q 出力が High にセットされます。PRE が Low、CE が High の場合、クロック (C) が Low から High に切り替わるときに D 入力の値がフリップフロップにロードされます。CE が Low の場合、クロック遷移は無視されます。

CPLD では、電力を供給すると、フリップフロップは非同期にクリアされ、出力が Low になります。High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

## 論理表

入力				出力
PRE	CE	D	C	Q
1	X	X	X	1
0	0	X	X	変化なし
0	1	D	↑	D

## デザインの入力方法

インスタンス化	可
推論	推奨
CORE Generator™ およびウィザード	不可
マクロのサポート	不可

このELEMENTは、回路図で使用されます。

## 使用可能な属性

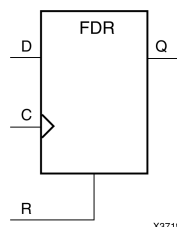
属性	タイプ	値	デフォルト	説明
INIT	2 進数	0、1	1	コンフィギュレーション後の Q 出力の初期値を指定。

## 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

## FDR

### マクロ：D Flip-Flop with Synchronous Reset



## サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

## 概要

このデザイン エLEMENTは、データ (D)、同期リセット (R) の各入力とデータ出力 (Q) がある単一の D タイプ フリップフロップです。同期リセット入力 (R) が High になると、ほかの入力は無視され、クロック (C) が Low から High に切り替わるときに出力 (Q) が Low にリセットされます。R が Low の場合、クロックが Low から High に切り替わるときに D 入力の値がフリップフロップにロードされます。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

## 論理表

入力			出力
R	D	C	Q
1	X	↑	0
0	D	↑	D

## デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

## 使用可能な属性

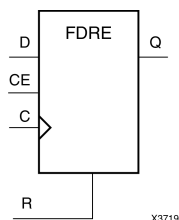
属性	タイプ	値	デフォルト	説明
INIT	2 進数	0、1	0	コンフィギュレーション後の Q 出力の初期値を指定

## 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

## FDRE

マクロ：D Flip-Flop with Clock Enable and Synchronous Reset



## サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

## 概要

このデザイン エLEMENTは、データ (D)、クロック イネーブル (CE)、同期リセット (R) の各入力とデータ出力 (Q) がある単一の D タイプ フリップフロップです。同期リセット入力 (R) が High になると、ほかの入力は無視され、クロック (C) が Low から High に切り替わる時に出力 (Q) が Low にリセットされます。R が Low、CE が High の場合、クロックが Low から High に切り替わる時に D 入力の値がフリップフロップにロードされます。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

## 論理表

入力				出力
R	CE	D	C	Q
1	X	X	↑	0
0	0	X	X	変化なし
0	1	D	↑	D

## デザインの入力方法

インスタンス化	可
推論	推奨
CORE Generator™ およびウィザード	不可
マクロのサポート	不可

このELEMENTは、回路図で使用されます。

## 使用可能な属性

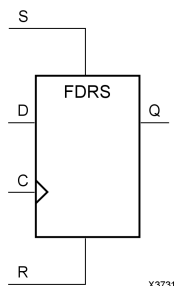
属性	タイプ	値	デフォルト	説明
INIT	2 進数	0、1	0	コンフィギュレーション後の Q 出力の初期値を指定。

## 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

## FDRS

### マクロ：D Flip-Flop with Synchronous Reset and Set



## サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

## 概要

FDRS は、データ (D)、同期セット (S)、同期リセット (R) の各入力とデータ出力 (Q) がある単一の D タイプ フリップフロップです。同期リセット入力 (R) が High になると、ほかの入力は無視され、クロック (C) が Low から High に切り替わる時に出力 (Q) が Low にリセットされます (リセットがセットよりも優先される)。S が High、R が Low の場合、クロックが Low から High に切り替わる時にフリップフロップがセットされ、出力が High になります。R と S が Low の場合、クロックが Low から High に切り替わる時に D 入力の値がフリップフロップにロードされます。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのバースを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

## 論理表

入力				出力
R	S	D	C	Q
1	X	X	↓	0
0	1	X	↓	1
0	0	D	↓	D

## デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

## 使用可能な属性

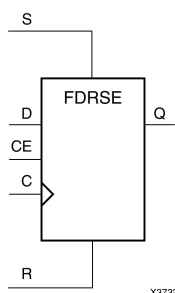
属性	タイプ	値	デフォルト	説明
INIT	2 進数	0、1	0	コンフィギュレーション後の Q 出力の初期値を指定

## 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

## FDRSE

マクロ：D Flip-Flop with Synchronous Reset and Set and Clock Enable



## サポートされているアーキテクチャ

このデザイン エレメントは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

## 概要

FDRSE は、同期リセット (R)、同期セット (S)、クロック イネーブル (CE) の各入力とデータ出力 (Q) がある単一の D タイプ フリップフロップです。同期リセット入力 (R) が High になると、ほかの入力は無視され、クロック (C) が Low から High に切り替わる時に出力 (Q) が Low にリセットされます (リセットがセットよりも優先される)。セット入力 (S) が High、R が Low の場合、クロック (C) が Low から High に切り替わる時にフリップフロップがセットされ、出力が High になります。R と S が Low、CE が High の場合、クロックが Low から High に切り替わる時に D 入力の値がフリップフロップにロードされます。

電源が投入されると、INIT 属性を使用して指定した初期値に設定されます。GSR (グローバル セット/リセット) をアサートすると、INIT で指定した初期値に非同期で設定されます。

## 論理表

入力					出力
R	S	CE	D	C	Q
1	X	X	X	↑	0
0	1	X	X	↑	1
0	0	0	X	X	変化なし
0	0	1	1	↑	1
0	0	1	0	↑	0



## デザインの入力方法

インスタンス化	可
推論	推奨
CORE Generator™ およびウィザード	不可
マクロのサポート	不可

このエレメントは、回路図で使用されます。

## 使用可能な属性

属性	タイプ	値	デフォルト	説明
INIT	2 進数	0、1	0	コンフィギュレーション後および GSR 入力時の Q 出力の初期値を指定

## VHDL 記述 (インスタンス化)

次の 2 つの構文が存在しない場合はコピーし、エンティティ宣言の前に貼り付けます。

```
Library UNISIM;
use UNISIM.vcomponents.all;

-- FDRSE: Single Data Rate D Flip-Flop with Synchronous Clear, Set and
--       Clock Enable (posedge clk).
--       Virtex-4/5, Spartan-3/3E/3A/3A DSP
-- Xilinx HDL Libraries Guide, version 11.2

FDRSE_inst : FDRSE
generic map (
  INIT => '0') -- Initial value of register ('0' or '1')
port map (
  Q => Q,      -- Data output
  C => C,      -- Clock input
  CE => CE,    -- Clock enable input
  D => D,      -- Data input
  R => R,      -- Synchronous reset input
  S => S       -- Synchronous set input
);

-- End of FDRSE_inst instantiation
```

## Verilog 記述 (インスタンス化)

```
// FDRSE: Single Data Rate D Flip-Flop with Synchronous Clear, Set and
//       Clock Enable (posedge clk).
//       Virtex-4/5, Spartan-3/3E/3A/3A DSP
// Xilinx HDL Libraries Guide, version 11.2

FDRSE #(
  .INIT(1'b0) // Initial value of register (1'b0 or 1'b1)
) FDRSE_inst (
  .Q(Q),      // Data output
  .C(C),      // Clock input
  .CE(CE),    // Clock enable input
  .D(D),      // Data input
  .R(R),      // Synchronous reset input
  .S(S)       // Synchronous set input
);

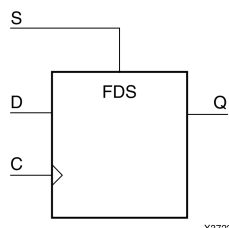
// End of FDRSE_inst instantiation
```

## 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

## FDS

### マクロ：D Flip-Flop with Synchronous Set



## サポートされているアーキテクチャ

このデザイン エレメントは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

## 概要

FDS は、データ (D)、同期セット (S) の各入力とデータ出力 (Q) がある単一の D タイプ フリップフロップです。同期セット入力が High になると、クロック (C) が Low から High に切り替わるときに Q 出力が High にセットされます。S が Low の場合、クロック (C) が Low から High に切り替わるときに D 入力の値がフリップフロップにロードされます。

CPLD では、電力を供給すると、フリップフロップは非同期にクリアされ、出力が Low になります。High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

## 論理表

入力			出力
S	D	C	Q
1	X	↑	1
0	D	↑	D

## デザインの入力方法

このエレメントは、回路図でのみ使用できます。

## 使用可能な属性

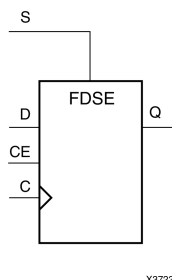
属性	タイプ	値	デフォルト	説明
INIT	2 進数	0、1	1	コンフィギュレーション後の Q 出力の初期値を指定

## 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

## FDSE

### マクロ : D Flip-Flop with Clock Enable and Synchronous Set



## サポートされているアーキテクチャ

このデザイン エレメントは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

## 概要

FDSE は、データ (D)、クロック イネーブル (CE)、同期セット (S) の各入力とデータ出力 (Q) がある単一の D タイプ フリップフロップです。同期セット (S) 入力が High になると、クロック イネーブル (CE) 入力は無視され、クロック (C) が Low から High に切り替わるときに Q 出力が High にセットされます。S が Low、CE が High の場合、クロック (C) が Low から High に切り替わるときに D 入力の値がフリップフロップにロードされます。

CPLD では、電力を供給すると、フリップフロップは非同期にクリアされ、出力が Low になります。High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

## 論理表

入力				出力
S	CE	D	C	Q
1	X	X	↑	1
0	0	X	X	変化なし
0	1	D	↑	D

## デザインの入力方法

インスタンス化	可
推論	推奨
CORE Generator™ およびウィザード	不可
マクロのサポート	不可

このエレメントは、回路図で使用されます。

## 使用可能な属性

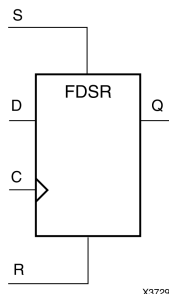
属性	タイプ	値	デフォルト	説明
INIT	2 進数	0、1	1	コンフィギュレーション後の Q 出力の初期値を指定。

## 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

## FDSR

### D Flip-Flop with Synchronous Set and Reset



### サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

### 概要

FDSR は、入力 (D)、同期リセット (R)、同期セット (S) の各入力と出力 (Q) がある単一の D タイプ フリップフロップです。同期セット (S) 入力が High になると、ほかの入力は無視され、クロック (C) が Low から High に切り替わるときに Q 出力が High にセットされます (セットがリセットよりも優先される)。リセット (R) が High、セット (S) が Low の場合、クロックが Low から High に切り替わる時にフリップフロップがリセットされ、出力が Low になります。S と R が Low の場合、クロックが Low から High に切り替わる時に D 入力の値がフリップフロップにロードされます。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

### 論理表

入力				出力
S	R	D	C	Q
1	X	X	↑	1
0	1	X	↑	0
0	0	1	↑	1
0	0	0	↑	0

### デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

### 使用可能な属性

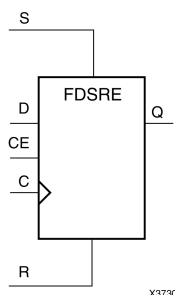
属性	タイプ	値	デフォルト	説明
INIT	2 進数	0、1	0	コンフィギュレーション後の Q 出力の初期値を指定

## 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

## FDSRE

### マクロ：D Flip-Flop with Synchronous Set and Reset and Clock Enable



## サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

## 概要

FDSRE は、同期セット (S)、同期リセット (R)、クロック イネーブル (CE) の各入力と出力 (Q) がある単一の D タイプ フリップフロップです。同期セット入力 (S) が High になると、ほかの入力は無視され、クロック (C) が Low から High に切り替わるときに Q 出力が High にセットされます (セットがリセットよりも優先される)。同期リセット (R) が High、S が Low の場合、クロックが Low から High に切り替わるときに Q 出力が Low にリセットされます。S と R が Low、CE が High の場合、クロックが Low から High に切り替わるときに D の値がフリップフロップにロードされます。CE が Low の場合、クロック遷移は無視されます。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスで PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

## 論理表

入力					出力
S	R	CE	D	C	Q
1	X	X	X	↑	1
0	1	X	X	↑	0
0	0	0	X	X	変化なし
0	0	1	1	↑	1
0	0	1	0	↑	0

## デザインの入力方法

このELEMENTは、回路図でのみ使用できます。



## 使用可能な属性

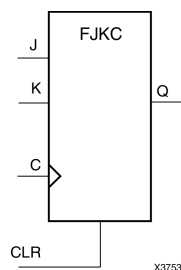
属性	タイプ	値	デフォルト	説明
INIT	2 進数	0、1	0	コンフィギュレーション後の Q 出力の初期値を指定

## 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

## FJKC

### マクロ：J-K Flip-Flop with Asynchronous Clear



## サポートされているアーキテクチャ

このデザイン エレメントは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

## 概要

このデザイン エレメントは、J、K、非同期クリア (CLR) の各入力とデータ出力 (Q) がある単一の J-K タイプ フリップフロップです。非同期クリア入力 (CLR) が High になると、ほかのすべての入力は無視され、Q 出力が Low にリセットされます。CLR が Low になると、次の論理表に示すように、クロックが Low から High に切り替わるときに、J および K 入力の値に応じて出力の値が変化します。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスで PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

## 論理表

入力				出力
CLR	J	K	C	Q
1	X	X	X	0
0	0	0	↑	変化なし
0	0	1	↑	0
0	1	0	↑	1
0	1	1	↑	トグル

## デザインの入力方法

このエレメントは、回路図でのみ使用できます。

## 使用可能な属性

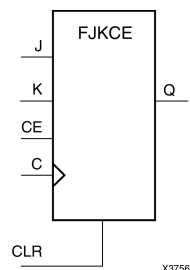
属性	タイプ	値	デフォルト	説明
INIT	2 進数	0、1	0	コンフィギュレーション後の Q 出力の初期値を指定

## 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

## FJKCE

マクロ：J-K Flip-Flop with Clock Enable and Asynchronous Clear



## サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

## 概要

このデザイン エLEMENTは、J、K、クロック イネーブル (CE)、非同期クリア (CLR) の各入力とデータ出力 (Q) がある単一の J-K タイプ フリップフロップです。非同期クリア (CLR) が High になると、ほかのすべての入力は無視され、Q 出力が Low にリセットされます。CLR が Low、CE が High の場合、次の論理表に示すように、クロックが Low から High に切り替わるたびに、J および K 入力の値に応じて Q の値が変化します。CE が Low の場合、クロック遷移は無視されます。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのバースを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

## 論理表

入力					出力
CLR	CE	J	K	C	Q
1	X	X	X	X	0
0	0	X	X	X	変化なし
0	1	0	0	X	変化なし
0	1	0	1	↑	0
0	1	1	0	↑	1
0	1	1	1	↑	トグル

## デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

## 使用可能な属性

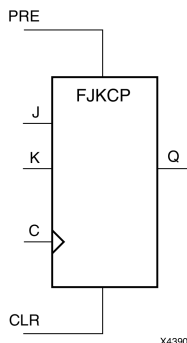
属性	タイプ	値	デフォルト	説明
INIT	2 進数	0、1	0	コンフィギュレーション後の Q 出力の初期値を指定。

## 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

## FJKCP

### マクロ：J-K Flip-Flop with Asynchronous Clear and Preset



### サポートされているアーキテクチャ

このデザイン エレメントは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

### 概要

このデザイン エレメントは、J、K、非同期クリア (CLR)、非同期プリセット (PRE) の各入力と出力 (Q) がある単一の J-K フリップフロップです。非同期クリア入力 (CLR) が High になると、ほかのすべての入力は無視され、Q 出力が Low にリセットされます。非同期プリセット (PRE) が High、CLR が Low になると、ほかのすべての入力は無視され、Q 出力が High にセットされます。CLR と PRE が Low の場合、次の論理表に示すように、クロックが Low から High に切り替わるときに、J および K 入力の値に応じて Q の値が変化します。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのバースを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

### 論理表

入力					出力
CLR	PRE	J	K	C	Q
1	X	X	X	X	0
0	1	X	X	X	1
0	0	0	0	X	変化なし
0	0	0	1	↑	0
0	0	1	0	↑	1
0	0	1	1	↑	トグル

### デザインの入力方法

このエレメントは、回路図でのみ使用できます。

## 使用可能な属性

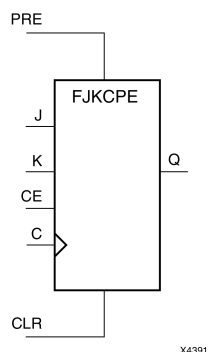
属性	タイプ	値	デフォルト	説明
INIT	2 進数	0、1	0	コンフィギュレーション後の Q 出力の初期値を指定

## 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

## FJKCPE

マクロ：J-K Flip-Flop with Asynchronous Clear and Preset and Clock Enable



## サポートされているアーキテクチャ

このデザイン エレメントは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

## 概要

このデザイン エレメントは、J、K、非同期クリア (CLR)、非同期プリセット (PRE)、クロック イネーブル (CE) の各入力と出力 (Q) がある単一の J-K フリップフロップです。非同期クリア入力 (CLR) が High になると、ほかのすべての入力は無視され、Q 出力が Low にリセットされます。非同期プリセット (PRE) が High、CLR が Low になると、ほかのすべての入力は無視され、Q 出力が High にセットされます。CLR と PRE が Low、CE が High の場合、次の論理表に示すように、クロックが Low から High に切り替わるときに、J および K 入力の値に応じて Q の値が変化します。CE が Low の場合、クロック遷移は無視されます。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

## 論理表

入力						出力
CLR	PRE	CE	J	K	C	Q
1	X	X	X	X	X	0
0	1	X	X	X	X	1
0	0	0	0	X	X	変化なし
0	0	1	0	0	X	変化なし
0	0	1	0	1	↑	0
0	0	1	1	0	↑	1
0	0	1	1	1	↑	トグル



## デザインの入力方法

このエレメントは、回路図でのみ使用できます。

## 使用可能な属性

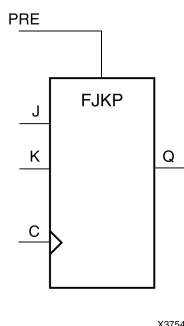
属性	タイプ	値	デフォルト	説明
INIT	2 進数	0、1	0	コンフィギュレーション後の Q 出力の初期値を指定

## 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

## FJKP

## マクロ：J-K Flip-Flop with Asynchronous Preset



X3754

## サポートされているアーキテクチャ

このデザイン エレメントは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

## 概要

このデザイン エレメントは、J、K、非同期プリセット (PRE) の各入力とデータ出力 (Q) がある単一の J-K フリップフロップです。非同期プリセット入力 (PRE) が High になると、ほかのすべての入力は無視され、Q 出力が High にセットされます。PRE が Low の場合、次の論理表に示すように、クロックが Low から High に切り替わるときに、J および K 入力の値に応じて Q の値が変化します。

CPLD では、電力を供給すると、フリップフロップは非同期にクリアされ、出力が Low になります。High レベルのパルス を PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

## 論理表

入力				出力
PRE	J	K	C	Q
1	X	X	X	1
0	0	0	X	変化なし
0	0	1	↑	0
0	1	0	↑	1
0	1	1	↑	トグル

## デザインの入力方法

このエレメントは、回路図でのみ使用できます。

## 使用可能な属性

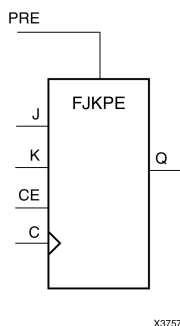
属性	タイプ	値	デフォルト	説明
INIT	2 進数	0、1	0	コンフィギュレーション後の Q 出力の初期値を指定

## 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

## FJKPE

### マクロ：J-K Flip-Flop with Clock Enable and Asynchronous Preset



## サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

## 概要

このデザイン エLEMENTは、J、K、クロック イネーブル (CE)、非同期プリセット (PRE) の各入力とデータ出力 (Q) がある単一の J-K フリップフロップです。非同期プリセット (PRE) が High になると、ほかのすべての入力は無視され、Q 出力が High にセットされます。PRE が Low、CE が High の場合、次の論理表に示すように、クロック (C) が Low から High に切り替わる時に、J および K 入力の値に応じて Q 出力の値が変化します。CE が Low の場合、クロック遷移は無視されます。

CPLD では、電力を供給すると、フリップフロップは非同期にクリアされ、出力が Low になります。High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

## 論理表

入力					出力
PRE	CE	J	K	C	Q
1	X	X	X	X	1
0	0	X	X	X	変化なし
0	1	0	0	X	変化なし
0	1	0	1	↑	0
0	1	1	0	↑	1
0	1	1	1	↑	トグル

## デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

## 使用可能な属性

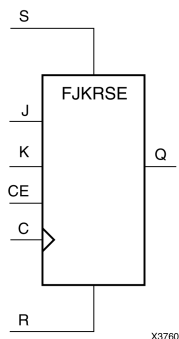
属性	タイプ	値	デフォルト	説明
INIT	2 進数	0、1	0	コンフィギュレーション後の Q 出力の初期値を指定

## 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

## FJKRSE

マクロ：J-K Flip-Flop with Clock Enable and Synchronous Reset and Set



## サポートされているアーキテクチャ

このデザイン エレメントは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

## 概要

このデザイン エレメントは、J、K、同期リセット (R)、同期セット (S)、クロック イネーブル (CE) の各入力とデータ出力 (Q) がある単一の J-K フリップフロップです。同期リセット (R) が High になると、ほかのすべての入力は無視され、クロック (C) が Low から High に切り替わるときに Q が Low にリセットされます。同期セット (S) が High、R が Low の場合、Q 出力が High にセットされます。R と S が Low、CE が High の場合、次の論理表に示すように、クロック (C) が Low から High に切り替わるときに、J および K 入力の値に応じて Q 出力が変化します。CE が Low の場合、クロック遷移は無視されます。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスで PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

## 論理表

入力						出力
R	S	CE	J	K	C	Q
1	X	X	X	X	↑	0
0	1	X	X	X	↑	1
0	0	0	X	X	X	変化なし
0	0	1	0	0	X	変化なし
0	0	1	0	1	↑	0
0	0	1	1	0	↑	1
0	0	1	1	0	↑	1
0	0	1	1	1	↑	トグル

## デザインの入力方法

このエレメントは、回路図でのみ使用できます。

## 使用可能な属性

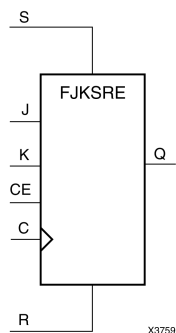
属性	タイプ	値	デフォルト	説明
INIT	2 進数	0、1	0	コンフィギュレーション後の Q 出力の初期値を指定

## 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

## FJKSRE

マクロ：J-K Flip-Flop with Clock Enable and Synchronous Set and Reset



## サポートされているアーキテクチャ

このデザイン エレメントは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

## 概要

このデザイン エレメントは、J、K、同期セット (S)、同期リセット (R)、クロック イネーブル (CE) の各入力とデータ出力 (Q) がある単一の J-K タイプ フリップフロップです。同期セット (S) が High になると、ほかのすべての入力は無視され、クロック (C) が Low から High に切り替わるときに Q が High にセットされます。同期リセット (R) が High、S が Low の場合、出力 Q が Low にリセットされます。S と R が Low、CE が High の場合、次の論理表に示すように、クロック (C) が Low から High に切り替わるときに、J および K 入力の値に応じて Q 出力が変化します。CE が Low の場合、クロック 遷移は無視されます。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

## 論理表

入力						出力
S	R	CE	J	K	C	Q
1	X	X	X	X	↑	1
0	1	X	X	X	↑	0
0	0	0	X	X	X	変化なし
0	0	1	0	0	X	変化なし
0	0	1	0	1	↑	0
0	0	1	1	0	↑	1
0	0	1	1	1	↑	トグル



## デザインの入力方法

このエレメントは、回路図でのみ使用できます。

## 使用可能な属性

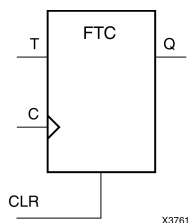
属性	タイプ	値	デフォルト	説明
INIT	2 進数	0、1	1	コンフィギュレーション後の Q 出力の初期値を指定

## 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

## FTC

### マクロ：Toggle Flip-Flop with Asynchronous Clear



## サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

## 概要

このデザイン エLEMENTは、リセット可能な同期トグル フリップフロップです。非同期クリア入力 (CLR) が High になると、ほかのすべての入力は無視され、出力 (Q) が Low にリセットされます。トグル イネーブル入力 (T) が High、CLR が Low の場合、クロックが Low から High に切り替わる時に Q 出力がトグルし、値が変化します。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

## 論理表

入力			出力
CLR	T	C	Q
1	X	X	0
0	0	X	変化なし
0	1	↑	トグル

## デザインの入力方法

このELEMENTは、CPLD を使用しているときはインスタンスエートできますが、FPGA を使用しているときはインスタンスエートできません。

## 使用可能な属性

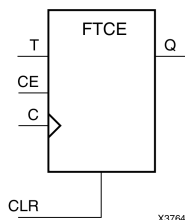
属性	タイプ	値	デフォルト	説明
INIT	2 進数	0、1	0	コンフィギュレーション後の Q 出力の初期値を指定。

## 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

## FTCE

マクロ : Toggle Flip-Flop with Clock Enable and Asynchronous Clear



## サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

## 概要

このデザイン エLEMENTは、トグル イネーブル、クロック イネーブル、非同期クリアがあるトグル フリップフロップです。非同期クリア入力 (CLR) が High になると、ほかのすべての入力は無視され、出力 (Q) の値が Low にリセットされます。CLR が Low、トグル イネーブル (T) とクロック イネーブル (CE) が High の場合、クロック (C) が Low から High に切り替わるときに Q 出力がトグルし、値が変化します。CE が Low の場合、クロック遷移は無視されます。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスで PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

## 論理表

入力				出力
CLR	CE	T	C	Q
1	X	X	X	0
0	0	X	X	変化なし
0	1	0	X	変化なし
0	1	1	↑	トグル

## デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

## 使用可能な属性

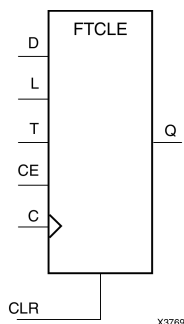
属性	タイプ	値	デフォルト	説明
INIT	2 進数	0、1	0	コンフィギュレーション後の Q 出力の初期値を指定。

## 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

## FTCLE

マクロ：Toggle/Loadable Flip-Flop with Clock Enable and Asynchronous Clear



## サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

## 概要

このデザイン エLEMENTは、トグル イネーブル、クロック イネーブル、非同期クリアがあるロード可能なトグル フリップフロップです。非同期クリア入力 (CLR) が High になると、ほかのすべての入力は無視され、出力 Q が Low にリセットされます。ロード イネーブル入力 (L) が High、CLR が Low の場合、クロック イネーブル (CE) は無視され、クロック (C) が Low から High に切り替わるときに、データ入力 (D) の値がフリップフロップにロードされます。トグル イネーブル (T) と CE が High、L と CLR が Low の場合、クロックが Low から High に切り替わるときに出力 Q がトグルし、値が変化します。CE が Low の場合、クロック遷移は無視されます。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

## 論理表

入力						出力
CLR	L	CE	T	D	C	Q
1	X	X	X	X	X	0
0	1	X	X	D	↑	D
0	0	0	X	X	X	変化なし
0	0	1	0	X	X	変化なし
0	0	1	1	X	↑	トグル

## デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

## 使用可能な属性

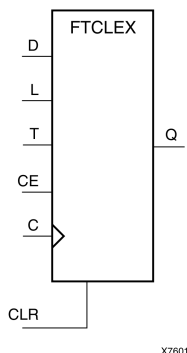
属性	タイプ	値	デフォルト	説明
INIT	2 進数	0、1	0	コンフィギュレーション後の Q 出力の初期値を指定。

## 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

## FTCLEX

マクロ：Toggle/Loadable Flip-Flop with Clock Enable and Asynchronous Clear



## サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

## 概要

このデザイン エLEMENTは、トグル イネーブル、クロック イネーブル、非同期クリアがあるロード可能なトグル フリップフロップです。非同期クリア入力 (CLR) が High になると、ほかのすべての入力は無視され、出力 Q が Low にリセットされます。ロード イネーブル入力 (L) と CE が High、CLR が Low の場合、クロック (C) が Low から High に切り替わる時に、入力 (D) の値がフリップフロップにロードされます。トグル イネーブル (T) と CE が High、L と CLR が Low の場合、クロックが Low から High に切り替わる時に出力 Q がトグルし、値が変化します。CE が Low の場合、クロック遷移は無視されます。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスで PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

## 論理表

入力						出力
CLR	L	CE	T	D	C	Q
1	X	X	X	X	X	0
0	1	X	X	D	↑	D
0	0	0	X	X	X	変化なし
0	0	1	0	X	X	変化なし
0	0	1	1	X	↑	トグル

## デザインの入力方法

このELEMENTは、回路図でのみ使用できます。



## 使用可能な属性

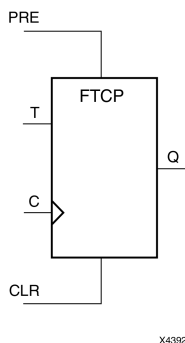
属性	タイプ	値	デフォルト	説明
INIT	2 進数	0、1	0	コンフィギュレーション後の Q 出力の初期値を指定。

## 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

## FTCP

### プリミティブ：Toggle Flip-Flop with Asynchronous Clear and Preset



## サポートされているアーキテクチャ

このデザイン エレメントは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

## 概要

このデザイン エレメントは、トグル イネーブル、非同期クリア、非同期プリセットがあるトグル フリップフロップです。非同期クリア入力 (CLR) が High になると、ほかのすべての入力は無視され、出力 (Q) が Low にリセットされます。非同期プリセット入力 (PRE) が High、CLR が Low になると、ほかのすべての入力は無視され、Q 出力が High になります。トグル イネーブル入力 (T) が High、CLR と PRE が Low の場合、クロック (C) が Low から High に切り替わる時に出力 Q がトグルし、Q の値が変化します。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

## 論理表

入力				出力
CLR	PRE	T	C	Q
1	X	X	X	0
0	1	X	X	1
0	0	0	X	変化なし
0	0	1	↑	トグル

## デザインの入力方法

このエレメントは、回路図でのみ使用できます。

## 使用可能な属性

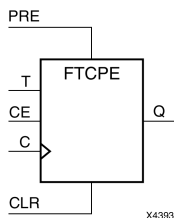
属性	タイプ	値	デフォルト	説明
INIT	2 進数	0、1	0	コンフィギュレーション後の Q 出力の初期値を指定

## 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

## FTCPE

**マクロ** : Toggle Flip-Flop with Clock Enable and Asynchronous Clear and Preset



## サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

## 概要

このデザイン エLEMENTは、トグル イネーブル、クロック イネーブル、非同期クリア、非同期プリセットがあるトグル フリップフロップです。非同期クリア入力 (CLR) が High になると、ほかのすべての入力は無視され、出力 (Q) が Low にリセットされます。非同期プリセット入力 (PRE) が High、CLR が Low になると、ほかのすべての入力は無視され、Q 出力が High になります。トグル イネーブル入力 (T) とクロック イネーブル入力 (CE) が High、CLR と PRE が Low の場合、クロック (C) が Low から High に切り替わるときに出力 Q がトグルし、値が変化します。CE が Low の場合、クロック遷移は無視されます。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスで PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

## 論理表

入力					出力
CLR	PRE	CE	T	C	Q
1	X	X	X	X	0
0	1	X	X	X	1
0	0	0	X	X	変化なし
0	0	1	0	X	変化なし
0	0	1	1	↑	トグル

## デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

## 使用可能な属性

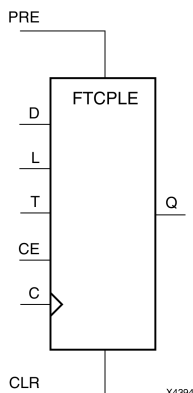
属性	タイプ	値	デフォルト	説明
INIT	2 進数	0、1	0	コンフィギュレーション後の Q 出力の初期値を指定

## 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

## FTCPLE

**マクロ：Loadable Toggle Flip-Flop with Clock Enable and Asynchronous Clear and Preset**



## サポートされているアーキテクチャ

このデザイン エレメントは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

## 概要

このデザイン エレメントは、トグル イネーブル、クロック イネーブル、非同期クリア、非同期プリセットがあるロード可能なトグル フリップフロップです。非同期クリア入力 (CLR) が High になると、ほかのすべての入力は無視され、出力 (Q) が Low にリセットされます。非同期プリセット入力 (PRE) が High、CLR が Low になると、ほかのすべての入力は無視され、Q 出力が High になります。ロード入力 (L) が High の場合、クロック イネーブル (CE) は無視され、クロック (C) が Low から High に切り替わるときに入力 (D) の値がフリップフロップにロードされます。トグル イネーブル入力 (T) とクロック イネーブル入力 (CE) が High、CLR、PRE、L が Low の場合、クロック (C) が Low から High に切り替わるときに出力 Q がトグルし、値が変化します。CE が Low の場合、クロック遷移は無視されます。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスで PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

## 論理表

入力							出力
CLR	PRE	L	CE	T	C	D	Q
1	X	X	X	X	X	X	0
0	1	X	X	X	X	X	1
0	0	1	X	X	↑	0	0
0	0	1	X	X	↑	1	1
0	0	0	0	X	X	X	変化なし
0	0	0	1	0	X	X	変化なし
0	0	0	1	1	↑	X	トグル

## デザインの入力方法

このエレメントは、回路図でのみ使用できます。

## 使用可能な属性

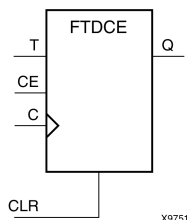
属性	タイプ	値	デフォルト	説明
INIT	2 進数	0、1	0	コンフィギュレーション後の Q 出力の初期値を指定

## 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

## FTDCE

マクロ：Dual-Edge Triggered Toggle Flip-Flop with Clock Enable and Asynchronous Clear



## サポートされているアーキテクチャ

このデザイン エレメントは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

## 概要

このデザイン エレメントは、クロックの両エッジで動作するトグル フリップフロップで、トグル イネーブル、クロック イネーブル、非同期クリアがあります。非同期クリア入力 (CLR) が High になると、ほかのすべての入力は無視され、出力 (Q) の値が Low にリセットされます。CLR が Low、トグル イネーブル (T) とクロック イネーブル (CE) が High の場合、クロック (C) が Low から High または High から Low に切り替わるときに Q 出力がトグルし、値が変化します。CE が Low の場合、クロック遷移は無視されます。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

## 論理表

入力				出力
CLR	CE	T	C	Q
1	X	X	X	0
0	0	X	X	変化なし
0	1	0	X	変化なし
0	1	1	↑	トグル
0	1	1	↓	トグル

## デザインの入力方法

このエレメントは、回路図でのみ使用できます。

## 使用可能な属性

属性	タイプ	値	デフォルト	説明
INIT	2 進数	0、1	0	コンフィギュレーション後の Q 出力の初期値を指定

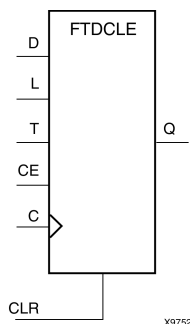


## 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

## FTDCLE

マクロ : Dual Edge Triggered D Flip-Flop with Clock Enable and Asynchronous Clear



## サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

## 概要

このデザイン エLEMENTは、クロックの両エッジで動作するロード可能なトグル フリップフロップで、トグル イネーブル、クロック イネーブル、非同期クリアがあります。非同期クリア入力 (CLR) が High になると、ほかのすべての入力は無視され、出力 Q が Low にリセットされます。ロード イネーブル入力 (L) が High、CLR が Low の場合、クロック イネーブル (CE) は無視され、クロック (C) が Low から High または High から Low に切り替わる時に、入力 (D) の値がフリップフロップにロードされます。トグル イネーブル (T) と CE が High、L と CLR が Low の場合、クロックが Low から High または High から Low に切り替わる時に出力 Q がトグルし、値が変化します。CE が Low の場合、クロック遷移は無視されます。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスで PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

## 論理表

入力						出力
CLR	L	CE	T	D	C	Q
1	X	X	X	X	X	0
0	1	X	X	1	↑	1
0	1	X	X	1	↓	1
0	1	X	X	0	↑	0
0	1	X	X	0	↓	0
0	0	0	X	X	X	変化なし
0	0	1	0	X	X	変化なし
0	0	1	1	X	↑	トグル
0	0	1	1	X	↓	トグル

## デザインの入力方法

このエレメントは、回路図でのみ使用できます。

## 使用可能な属性

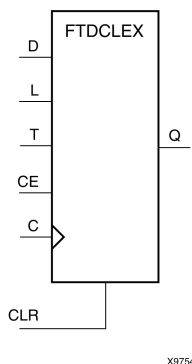
属性	タイプ	値	デフォルト	説明
INIT	2 進数	0、1	0	コンフィギュレーション後の Q 出力の初期値を指定

## 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

## FTDCLEX

マクロ : Dual Edge Triggered D Flip-Flop with Clock Enable and Asynchronous Clear



### サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

### 概要

このデザイン エLEMENTは、クロックの両エッジで動作するロード可能なトグル フリップフロップで、トグル イネーブル、クロック イネーブル、非同期クリアがあります。非同期クリア入力 (CLR) が High になると、ほかのすべての入力は無視され、出力 Q が Low にリセットされます。ロード イネーブル入力 (L) とクロック イネーブル入力 (CE) が High、CLR が Low の場合、クロック (C) が Low から High または High から Low に切り替わるときに、入力 (D) の値がフリップフロップにロードされます。トグル イネーブル (T) と CE が High、L と CLR が Low の場合、クロックが Low から High または High から Low に切り替わるときに出力 Q がトグルし、値が変化します。CE が Low の場合、クロック遷移は無視されます。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスで PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

### 論理表

入力						出力
CLR	L	CE	T	D	C	Q
1	X	X	X	X	X	0
0	1	1	X	1	↑	1
0	1	1	X	1	↓	1
0	1	1	X	0	↑	0
0	1	1	X	0	↓	0
0	0	0	X	X	X	変化なし
0	0	1	0	X	X	変化なし
0	0	1	1	X	↑	トグル
0	0	1	1	X	↓	トグル

## デザインの入力方法

このエレメントは、回路図でのみ使用できます。

## 使用可能な属性

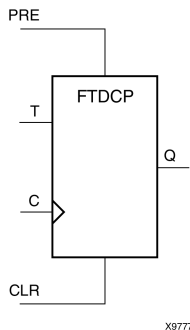
属性	タイプ	値	デフォルト	説明
INIT	2 進数	0、1	0	コンフィギュレーション後の Q 出力の初期値を指定

## 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

## FTDCP

**プリミティブ**：Dual-Edge Triggered Toggle Flip-Flop with Asynchronous Clear and Preset



## サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

## 概要

このデザイン エLEMENTは、トグル イネーブル、非同期クリア、非同期プリセットがあるトグル フリップフロップです。非同期クリア入力 (CLR) が High になると、ほかのすべての入力は無視され、出力 (Q) が Low にリセットされます。非同期プリセット入力 (PRE) が High、CLR が Low になると、ほかのすべての入力は無視され、Q 出力が High になります。トグル イネーブル入力 (T) が High、CLR と PRE が Low の場合、クロック (C) が Low から High または High から Low に切り替わるときに出力 Q がトグルし、値が変化します。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスで PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

## 論理表

入力				出力
CLR	PRE	T	C	Q
1	X	X	X	0
0	1	X	X	1
0	0	0	X	変化なし
0	0	1	↑	トグル
0	0	1	↓	トグル

## デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

## 使用可能な属性

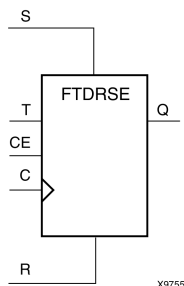
属性	タイプ	値	デフォルト	説明
INIT	2 進数	0、1	0	コンフィギュレーション後の Q 出力の初期値を指定

## 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

## FTDRSE

**マクロ : Dual-Edge Triggered Toggle Flip-Flop with Synchronous Reset, Set, and Clock Enable**



## サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

## 概要

このデザイン エLEMENTは、クロックの両エッジで動作するトグル フリップフロップで、トグル イネーブル、クロック イネーブル、同期セット、同期リセットがあります。同期リセット入力 (R) が High になると、ほかのすべての入力は無視され、クロック (C) が Low から High に切り替わる時に、出力 (Q) の値が Low にリセットされます。R が Low、同期セット入力 (S) が High の場合、クロック イネーブル入力 (CE) は無視され、クロック (C) が Low から High に切り替わる時に、出力 Q が High にセットされます (リセットがセットよりも優先される)。トグル イネーブル入力 (T) と CE が High、S と R が Low の場合、クロックが Low から High または High から Low に切り替わる時に出力 Q がトグルし、値が変化します。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスで PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

## 論理表

入力					出力
R	S	CE	T	C	Q
1	X	X	X	↑	0
1	X	X	X	↓	0
0	1	X	X	↑	1
0	1	X	X	↓	1
0	0	0	X	X	変化なし
0	0	1	0	X	変化なし
0	0	1	1	↑	トグル
0	0	1	1	↓	トグル

## デザインの入力方法

このELEMENTは、回路図でのみ使用できます。



## 使用可能な属性

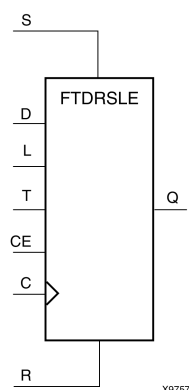
属性	タイプ	値	デフォルト	説明
INIT	2 進数	0、1	0	コンフィギュレーション後の Q 出力の初期値を指定

## 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

## FTDRSLE

**マクロ：Dual-Edge Triggered Toggle Flip-Flop with Clock Enable and Synchronous Reset and Set**



### サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

### 概要

このデザイン エLEMENTは、クロックの両エッジで動作するロード可能なトグル フリップフロップで、トグル イネーブル、クロック イネーブル、同期セット、同期リセットがあります。同期リセット入力 (R) が High になると、ほかのすべての入力は無視され、クロック (C) が Low から High に切り替わるときに、出力 (Q) が Low にリセットされます (リセットがセットよりも優先される)。R が Low、同期セット入力 (S) が High の場合、クロック イネーブル入力 (CE) は無視され、クロック (C) が Low から High に切り替わるときに、出力 Q が High にセットされます。R と S が Low、ロード イネーブル入力 (L) が High の場合、クロック イネーブル (CE) は無視され、クロックが Low から High または High から Low に切り替わる時に、入力 (D) の値がフリップフロップにロードされます。R、S、L が Low、CE とトグル イネーブル (T) が High の場合、クロックが Low から High または High から Low に切り替わる時に Q 出力がトグルし、値が変化します。CE が Low の場合、クロック遷移は無視されます。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

## 論理表

入力							出力
R	S	L	CE	T	D	C	Q
1	0	X	X	X	X	↑	0
1	0	X	X	X	X	↓	0
0	1	X	X	X	X	↑	1
0	1	X	X	X	X	↓	1
0	0	1	X	X	1	↑	1
0	0	1	X	X	1	↓	1
0	0	1	X	X	0	↑	0
0	0	1	X	X	0	↓	0
0	0	0	0	X	X	X	変化なし
0	0	0	1	0	X	X	変化なし
0	0	0	1	1	X	↑	トグル
0	0	0	1	1	X	↓	トグル

## デザインの入力方法

このエレメントは、回路図でのみ使用できます。

## 使用可能な属性

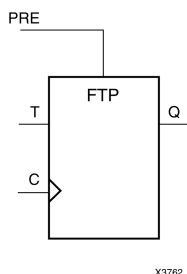
属性	タイプ	値	デフォルト	説明
INIT	2 進数	0、1	0	コンフィギュレーション後の Q 出力の初期値を指定

## 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

## FTP

### マクロ：Toggle Flip-Flop with Asynchronous Preset



## サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

## 概要

このデザイン エLEMENTは、トグル イネーブルと非同期プリセットがあるトグル フリップフロップです。非同期プリセット入力 (PRE) が High になると、ほかのすべての入力は無視され、出力 Q が High にセットされます。トグル イネーブル入力 (T) が High、PRE が Low の場合、クロック (C) が Low から High に切り替わる時に出力 Q がトグルし、値が変化します。

CPLD では、電力を供給すると、フリップフロップは非同期にクリアされ、出力が Low になります。High レベルのパルス を PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

## 論理表

入力			出力
PRE	T	C	Q
1	X	X	1
0	0	X	変化なし
0	1	↑	トグル

## デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

## 使用可能な属性

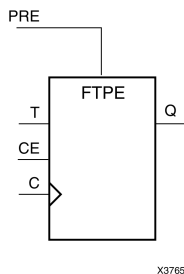
属性	タイプ	値	デフォルト	説明
INIT	2 進数	0、1	1	コンフィギュレーション後の Q 出力の初期値を指定。

## 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

## FTPE

### マクロ：Toggle Flip-Flop with Clock Enable and Asynchronous Preset



## サポートされているアーキテクチャ

このデザイン エレメントは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

## 概要

このデザイン エレメントは、トグル イネーブル、クロック イネーブル、非同期プリセットがあるトグル フリップフロップです。非同期プリセット入力 (PRE) が High になると、ほかのすべての入力は無視され、出力 Q が High にセットされます。トグル イネーブル入力 (T) とクロック イネーブル入力 (CE) が High、PRE が Low の場合、クロックが Low から High に切り替わるときに出力 Q がトグルし、値が変化します。CE が Low の場合、クロック遷移は無視されます。

CPLD では、電力を供給すると、フリップフロップは非同期にクリアされ、出力が Low になります。High レベルのパルス を PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

## 論理表

入力				出力
PRE	CE	T	C	Q
1	X	X	X	1
0	0	X	X	変化なし
0	1	0	X	変化なし
0	1	1	↑	トグル

## デザインの入力方法

このエレメントは、回路図でのみ使用できます。

## 使用可能な属性

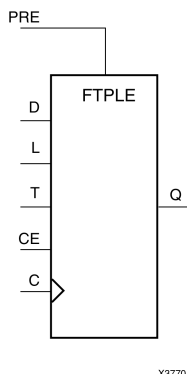
属性	タイプ	値	デフォルト	説明
INIT	2 進数	0、1	1	コンフィギュレーション後の Q 出力の初期値を指定。

## 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

## FTPLE

マクロ：Toggle/Loadable Flip-Flop with Clock Enable and Asynchronous Preset



## サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

## 概要

このデザイン エLEMENTは、トグル イネーブル、クロック イネーブル、非同期プリセットがあるロード可能なトグル フリップフロップです。非同期プリセット入力 (PRE) が High になると、ほかのすべての入力は無視され、出力 Q が High にセットされます。ロード イネーブル入力 (L) が High、PRE が Low の場合、クロック イネーブル (CE) は無視され、クロックが Low から High に切り替わる時に、D の値がフリップフロップにロードされます。L と PRE が Low、トグル イネーブル入力 (T) と CE が High の場合、クロックが Low から High に切り替わる時に出力 Q がトグルし、値が変化します。CE が Low の場合、クロック遷移は無視されます。

CPLD では、電力を供給すると、フリップフロップは非同期にクリアされ、出力が Low になります。High レベルのパルス を PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

## 論理表

入力						出力
PRE	L	CE	T	D	C	Q
1	X	X	X	X	X	1
0	1	X	X	D	↑	D
0	0	0	X	X	X	変化なし
0	0	1	0	X	X	変化なし
0	0	1	1	X	↑	トグル

## デザインの入力方法

このELEMENTは、回路図でのみ使用できます。



## 使用可能な属性

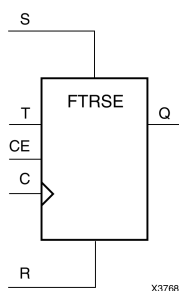
属性	タイプ	値	デフォルト	説明
INIT	2 進数	0、1	1	コンフィギュレーション後の Q 出力の初期値を指定。

## 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

## FTRSE

マクロ : Toggle Flip-Flop with Clock Enable and Synchronous Reset and Set



## サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

## 概要

このデザイン エLEMENTは、トグル イネーブル、クロック イネーブル、同期セット、同期リセットがあるトグル フリップフロップです。同期リセット入力 (R) が High になると、ほかのすべての入力は無視され、クロック (C) が Low から High に切り替わるときに、出力 (Q) の値が Low にリセットされます。R が Low、同期セット入力 (S) が High の場合、クロック イネーブル入力 (CE) は無視され、クロック (C) が Low から High に切り替わるときに、出力 Q が High にセットされます (リセットがセットよりも優先される)。トグル イネーブル入力 (T) と CE が High、S と R が Low の場合、クロック (C) が Low から High に切り替わるときに出力 Q がトグルし、値が変化します。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスで PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

## 論理表

入力					出力
R	S	CE	T	C	Q
1	X	X	X	↑	0
0	1	X	X	↑	1
0	0	0	X	X	変化なし
0	0	1	0	X	変化なし
0	0	1	1	↑	トグル

## デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

## 使用可能な属性

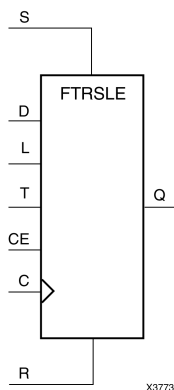
属性	タイプ	値	デフォルト	説明
INIT	2 進数	0、1	0	コンフィギュレーション後の Q 出力の初期値を指定

## 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

## FTRSLE

マクロ：Toggle/Loadable Flip-Flop with Clock Enable and Synchronous Reset and Set



### サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

### 概要

このデザイン エLEMENTは、トグル イネーブル、クロック イネーブル、同期セット、同期リセットがあるロード可能なトグル フリップフロップです。同期リセット入力 (R) が High になると、ほかのすべての入力は無視され、クロック (C) が Low から High に切り替わる時に、出力 (Q) が Low にリセットされます (リセットがセットよりも優先される)。R が Low、同期セット入力 (S) が High の場合、クロック イネーブル入力 (CE) は無視され、クロック (C) が Low から High に切り替わる時に、出力 Q が High にセットされます。R と S が Low、ロード イネーブル入力 (L) が High の場合、CE は無視され、クロック (C) が Low から High に切り替わる時に、データ入力 (D) の値がフリップフロップにロードされます。R、S、L が Low、CE とトグル イネーブル (T) が High の場合、クロック (C) が Low から High に切り替わる時に出力 Q がトグルし、値が変化します。CE が Low の場合、クロック遷移は無視されます。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

### 論理表

入力							出力
R	S	L	CE	T	D	C	Q
1	0	X	X	X	X	↑	0
0	1	X	X	X	X	↑	1
0	0	1	X	X	1	↑	1
0	0	1	X	X	0	↑	0
0	0	0	0	X	X	X	変化なし
0	0	0	1	0	X	X	変化なし
0	0	0	1	1	X	↑	トグル

## デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

## 使用可能な属性

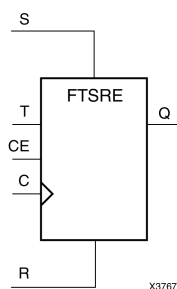
属性	タイプ	値	デフォルト	説明
INIT	2 進数	0、1	0	コンフィギュレーション後の Q 出力の初期値を指定

## 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

## FTSRE

マクロ : Toggle Flip-Flop with Clock Enable and Synchronous Set and Reset



## サポートされているアーキテクチャ

このデザイン エレメントは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

## 概要

このデザイン エレメントは、トグル イネーブル、クロック イネーブル、同期セット、同期リセットがあるトグル フリップフロップです。同期セット入力 (S) が High になると、ほかのすべての入力は無視され、クロック (C) が Low から High に切り替わるときに、データ出力 (Q) が High にセットされます (セットがリセットよりも優先される)。同期リセット (R) が High、S が Low の場合、クロック イネーブル入力 (CE) は無視され、クロック (C) が Low から High に切り替わるときに、出力 Q が Low にリセットされます。トグル イネーブル入力 (T) と CE が High、S と R が Low の場合、クロック (C) が Low から High に切り替わるときに出力 Q がトグルし、値が変化します。CE が Low の場合、クロック遷移は無視されます。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスで PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

## 論理表

入力					出力
S	R	CE	T	C	Q
1	X	X	X	↑	1
0	1	X	X	↑	0
0	0	0	X	X	変化なし
0	0	1	0	X	変化なし
0	0	1	1	↑	トグル

## デザインの入力方法

このエレメントは、回路図でのみ使用できます。

## 使用可能な属性

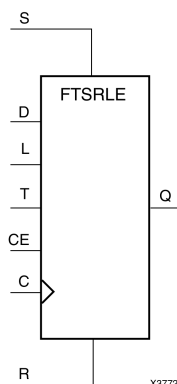
属性	タイプ	値	デフォルト	説明
INIT	2 進数	0、1	1	コンフィギュレーション後の Q 出力の初期値を指定

## 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

## FTSRLE

**マクロ : Toggle/Loadable Flip-Flop with Clock Enable and Synchronous Set and Reset**



### サポートされているアーキテクチャ

このデザイン エレメントは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

### 概要

このデザイン エレメントは、トグル イネーブル、クロック イネーブル、同期セット、同期リセットがあるロード可能なトグル フリップフロップです。同期セット入力 (S) が High になると、ほかのすべての入力は無視され、クロック (C) が Low から High に切り替わるときに、データ出力 (Q) が High にセットされます (セットがリセットよりも優先される)。同期リセット (R) が High、S が Low の場合、クロック イネーブル入力 (CE) は無視され、クロック (C) が Low から High に切り替わるときに、出力 Q が Low にリセットされます。ロード イネーブル入力 (L) が High、S と R が Low の場合、CE は無視され、クロックが Low から High に切り替わるときに、入力 (D) の値がフリップフロップにロードされます。トグル イネーブル入力 (T) と CE が High、S、R、L が Low の場合、クロック (C) が Low から High に切り替わるときに出力 Q がトグルし、値が変化します。CE が Low の場合、クロック遷移は無視されます。

CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

### 論理表

入力							出力
S	R	L	CE	T	D	C	Q
1	X	X	X	X	X	↑	1
0	1	X	X	X	X	↑	0
0	0	1	X	X	1	↑	1
0	0	1	X	X	0	↑	0
0	0	0	0	X	X	X	変化なし
0	0	0	1	0	X	X	変化なし
0	0	0	1	1	X	↑	トグル



## デザインの入力方法

このエレメントは、回路図でのみ使用できます。

## 使用可能な属性

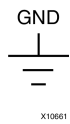
属性	タイプ	値	デフォルト	説明
INIT	2 進数	0、1	1	コンフィギュレーション後の Q 出力の初期値を指定

## 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

## GND

### プリミティブ：Ground-Connection Signal Tag



## サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

## 概要

GND 信号タグは、ネットまたは入力ファンクションの論理レベルを Low にします。GND に接続されたネットは、ほかのソースに接続できません。

ロジックトリム ソフトウェアまたはフィタでは、GND に接続されたネットまたは入力ファンクションがあると、GND 信号でディスエーブルになるロジックが削除されます。ディスエーブルになるロジックを削除できない場合のみ、GND 信号がインプリメントされます。

## デザインの入力方法

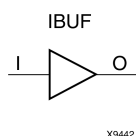
このELEMENTは、回路図でのみ使用できます。

## 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

## IBUF

プリミティブ：Input Buffer



## サポートされているアーキテクチャ

このデザイン エレメントは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

## 概要

このデザイン エレメントは、最上位の入力ポートまたは入出力ポートに接続されている信号に自動的に挿入されます。このバッファは通常、合成ツールで推論しますが、必要に応じてインスタンスエートすることも可能です。インスタンスエートするには、入力ポート (I) を関連する最上位の入力ポートまたは入出力ポートに接続し、出力ポート (O) をそのポートをソースとする FPGA ロジックに接続します。必要なジェネリック マップ (VHDL) またはパラメータ値代入 (Verilog) に変更を加えて、コンポーネントのデフォルトのビヘイビアを変更します。

## ポートの説明

ポート名	方向	幅	機能
O	出力	1	バッファの出力
I	入力	1	バッファの入力

## デザインの入力方法

インスタンスエーション	可
推論	推奨
CORE Generator™ およびウィザード	不可
マクロのサポート	不可

このエレメントは、回路図で使用されます。

このエレメントは通常、デザインの最上位入力ポートに対して推論されます。通常はソースコードで指定する必要はありませんが、必要に応じてインスタンスエートできます。このコンポーネントをインスタンスエートするには、該当するライブラリ ガイドに含まれるインスタンスエーション コードを最上位エンティティ/モジュールに挿入します。デザイン階層を保つために、すべての I/O コンポーネントを必ずデザインの最上位に配置してください。I ポートをデザインの最上位入力ポートに、O ポートをこの入力が生供給されるロジックに直接接続します。generic/defparam 値を設定し、バッファのビヘイビアを適切に設定してください。

## 使用可能な属性

属性	タイプ	値	デフォルト	説明
IOSTANDARD	文字列	データシートを参照	DEFAULT	エレメントに I/O 規格を割り当て

## VHDL 記述 (インスタンス化)

次の 2 つの構文が存在しない場合はコピーし、エンティティ宣言の前に貼り付けます。

```
Library UNISIM;
use UNISIM.vcomponents.all;

-- IBUF: Single-ended Input Buffer
-- All devices
-- Xilinx HDL Libraries Guide, version 11.2

IBUF_inst : IBUF
generic map (
  IBUF_DELAY_VALUE => "0", -- Specify the amount of added input delay for buffer,
                           -- "0"-12" (Spartan-3E)
                           -- "0"-16" (Spartan-3A)
  IFD_DELAY_VALUE => "AUTO", -- Specify the amount of added delay for input register,
                           -- "AUTO", "0"-6" (Spartan-3E)
                           -- "AUTO", "0"-8" (Spartan-3A)
  IOSTANDARD => "DEFAULT")
port map (
  O => O,      -- Buffer output
  I => I       -- Buffer input (connect directly to top-level port)
);

-- End of IBUF_inst instantiation
```

## Verilog 記述 (インスタンス化)

```
// IBUF: Single-ended Input Buffer
// All devices
// Xilinx HDL Libraries Guide, version 11.2

IBUF #(
  .IBUF_DELAY_VALUE("0"), // Specify the amount of added input delay for
                          // the buffer: "0"-12" (Spartan-3E)
                          // "0"-16" (Spartan-3A)
  .IFD_DELAY_VALUE("AUTO"), // Specify the amount of added delay for input
                          // register: "AUTO", "0"-6" (Spartan-3E)
                          // "AUTO", "0"-8" (Spartan-3A)
  .IOSTANDARD("DEFAULT")) // Specify the input I/O standard
IBUF_inst (
  .O(O), // Buffer output
  .I(I) // Buffer input (connect directly to top-level port)
);

// End of IBUF_inst instantiation
```

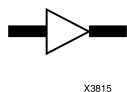
## 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当する EDK 資料

## IBUF16

## マクロ：16-Bit Input Buffer

IBUF16



## サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

## 概要

IBUF は、チップに入力される信号から内部回路を分離します。このデザイン エLEMENTは I/O ブロック (IOB) に含まれており、I/O の I/O 規格を指定できます。通常シングルエンドのデータ入力ピンまたは双方向ピンに使用されます。

## デザインの入力方法

インスタンス化	可
推論	推奨
CORE Generator™ およびウィザード	不可
マクロのサポート	不可

このELEMENTは、回路図で使用されます。

このELEMENTは通常、デザインの最上位入力ポートに対して推論されます。通常はソースコードで指定する必要はありませんが、必要に応じてインスタンス化できます。このコンポーネントをインスタンス化するには、該当するライブラリ ガイドに含まれるインスタンス化コードを最上位エンティティ/モジュールに挿入します。デザイン階層を保つために、すべての I/O コンポーネントを必ずデザインの最上位に配置してください。I ポートをデザインの最上位入力ポートに、O ポートをこの入力供給されるロジックに直接接続します。generic/defparam 値を設定し、バッファのビヘイビアを適切に設定してください。

## 使用可能な属性

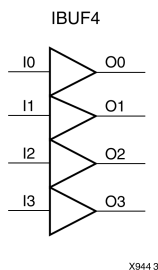
属性	タイプ	値	デフォルト	説明
IOSTANDARD	文字列	データシートを参照	DEFAULT	ELEMENTに I/O 規格を割り当て

## 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

## IBUF4

### マクロ：4-Bit Input Buffer



X944.3

## サポートされているアーキテクチャ

このデザイン エレメントは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

## 概要

IBUF は、チップに入力される信号から内部回路を分離します。このデザイン エレメントは I/O ブロック (IOB) に含まれており、I/O の I/O 規格を指定できます。通常シングルエンドのデータ入力ピンまたは双方向ピンに使用されます。

## デザインの入力方法

インスタンス化	可
推論	推奨
CORE Generator™ およびウィザード	不可
マクロのサポート	不可

このエレメントは、回路図で使用されます。

このエレメントは通常、デザインの最上位入力ポートに対して推論されます。通常はソースコードで指定する必要はありませんが、必要に応じてインスタンス化できます。このコンポーネントをインスタンス化するには、該当するライブラリ ガイドに含まれるインスタンス化コードを最上位エンティティ/モジュールに挿入します。デザイン階層を保つために、すべての I/O コンポーネントを必ずデザインの最上位に配置してください。I ポートをデザインの最上位入力ポートに、O ポートをこの入力が見込まれるロジックに直接接続します。generic/defparam 値を設定し、バッファのビヘイビアを適切に設定してください。

## 使用可能な属性

属性	タイプ	値	デフォルト	説明
IOSTANDARD	文字列	データシートを参照	DEFAULT	エレメントに I/O 規格を割り当て

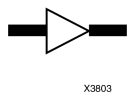
## 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

## IBUF8

### マクロ：8-Bit Input Buffer

IBUF8



## サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

## 概要

IBUF は、チップに入力される信号から内部回路を分離します。このデザイン エLEMENTは I/O ブロック (IOB) に含まれており、I/O の I/O 規格を指定できます。通常シングルエンドのデータ入力ピンまたは双方向ピンに使用されます。

## デザインの入力方法

インスタンス化	可
推論	推奨
CORE Generator™ およびウィザード	不可
マクロのサポート	不可

このELEMENTは、回路図で使用されます。

このELEMENTは通常、デザインの最上位入力ポートに対して推論されます。通常はソースコードで指定する必要はありませんが、必要に応じてインスタンス化できます。このコンポーネントをインスタンス化するには、該当するライブラリ ガイドに含まれるインスタンス化コードを最上位エンティティ/モジュールに挿入します。デザイン階層を保つために、すべての I/O コンポーネントを必ずデザインの最上位に配置してください。I ポートをデザインの最上位入力ポートに、O ポートをこの入力供給されるロジックに直接接続します。generic/defparam 値を設定し、バッファのビヘイビアを適切に設定してください。

## 使用可能な属性

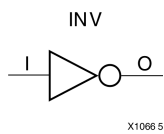
属性	タイプ	値	デフォルト	説明
IOSTANDARD	文字列	データシートを参照	DEFAULT	ELEMENTに I/O 規格を割り当て

## 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

## INV

プリミティブ：Inverter



## サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

## 概要

このデザイン エLEMENTは、回路図で信号を反転する単一のインバータです。

## デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

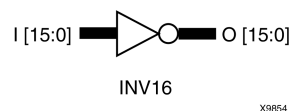
## 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート



## INV16

マクロ：16 Inverters



### サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

### 概要

このデザイン エLEMENTは、回路図で信号を反転する複数のインバータです。

### デザインの入力方法

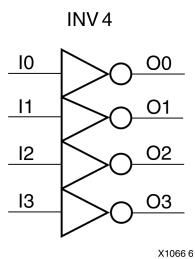
このELEMENTは、回路図でのみ使用できます。

### 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

## INV4

### マクロ：Four Inverters



## サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

## 概要

このデザイン エLEMENTは、回路図で信号を反転する複数のインバータです。

## デザインの入力方法

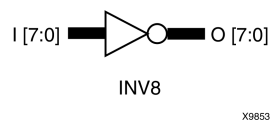
このELEMENTは、回路図でのみ使用できます。

## 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

## INV8

### マクロ：Eight Inverters



## サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

## 概要

このデザイン エLEMENTは、回路図で信号を反転する複数のインバータです。

## デザインの入力方法

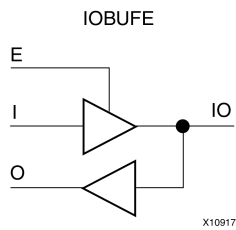
このELEMENTは、回路図でのみ使用できます。

## 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

## IOBUFE

プリミティブ：Bi-Directional Buffer



## サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

## 概要

このデザイン エLEMENTは、IBUF および OBUFE から構成される双方向バッファです。IO (入出力) が Z の場合、出力 O は X (不定) です。IOBUFE は、IOBUFE を構成するELEMENTの内部接続としてインプリメントできます。

## 論理表

入力		双方向	出力
E	I	I/O	O
0	0	Z	X
0	1	Z	X
1	0	0	0
1	1	1	1

## デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

## VHDL 記述 (インスタンスレーション)

次の 2 つの構文が存在しない場合はコピーし、エンティティ宣言の前に貼り付けます。

```
Library UNISIM;
use UNISIM.vcomponents.all;

-- IOBUFE: Bi-Directional Buffer
--      XC9500XL/CoolRunner-II/XPLA-3
-- Xilinx HDL Language Template, version 10.1

IOBUFE_inst : IOBUFE
port map (O => user_O,
IO => user_IO,
I => user_I,
E => user_E);

-- End of IOBUFE_inst instantiation
```

## Verilog 記述 (インスタンスレーション)

```
// IOBUFE: Bi-Directional Buffer
//      XC9500XL/CoolRunner-II/XPLA-3
// Xilinx HDL Language Template, version 10.1

IOBUFE IOBUFE_inst (.O (user_O),
.IO (user_IO),
.I (user_I),
.E (user_E));

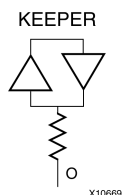
// End of IOBUFE_inst instantiation
```

## 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

## KEEPER

### プリミティブ：KEEPER Symbol



## サポートされているアーキテクチャ

このデザイン エレメントは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

## 概要

このデザイン エレメントは、双方向出力ピンに接続されるネットの値を保持するウィークキーパ エレメントです。たとえば、ネットに対して論理値 1 を駆動すると、KEEPER はそのネットにウィーク/抵抗値 1 を駆動します。その後、ネットドライバがトライステートになっても、KEEPER はウィーク/抵抗値 1 を駆動し続けます。

## ポートの説明

ポート名	方向	幅	機能
O	出力	1 ビット	キーパ出力

## デザインの入力方法

インスタンス化	可
推論	不可
CORE Generator™ およびウィザード	不可
マクロのサポート	不可

このエレメントは、回路図で使用されます。

このエレメントは、最上位の回路図ファイルで次のネットに接続できます。

- ・ 入力 I/O マーカーに接続されたネット
- ・ 出力 I/O マーカーおよび OBUFT のようなトライステートにできる I/O エレメントの両方に接続されたネット

## VHDL 記述 (インスタンスレーション)

次の 2 つの構文が存在しない場合はコピーし、エンティティ宣言の前に貼り付けます。

```
Library UNISIM;
use UNISIM.vcomponents.all;

-- KEEPER: I/O Buffer Weak Keeper
--           All FPGA, CoolRunner-II
-- Xilinx HDL Libraries Guide, version 11.2

KEEPER_inst : KEEPER
port map (
  O => O      -- Keeper output (connect directly to top-level port)
);

-- End of KEEPER_inst instantiation
```

## Verilog 記述 (インスタンスレーション)

```
// KEEPER: I/O Buffer Weak Keeper
//           All FPGA, CoolRunner-II
// Xilinx HDL Libraries Guide, version 11.2

KEEPER KEEPER_inst (
  .O(O)      // Keeper output (connect directly to top-level port)
);

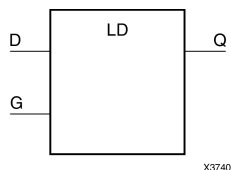
// End of KEEPER_inst instantiation
```

## 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当する EDK 資料

## LD

### プリミティブ：Transparent Data Latch



### サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

### 概要

LD は透過データ ラッチです。ゲート イネーブル入力 (G) が High の場合、データ出力 (Q) にデータ入力 (D) の値が出力されます。D 入力の値は、G が High から Low に切り替わるときにラッチ内に格納されます。Q 出力の値は、G が Low の間は変化しません。

電力を供給すると、ラッチは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスで PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

### 論理表

入力		出力
G	D	Q
1	D	D
0	X	変化なし
↓	D	D

### デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

### 使用可能な属性

属性	タイプ	値	デフォルト	説明
INIT	2 進数	0、1	0	コンフィギュレーション後の Q 出力の初期値を指定

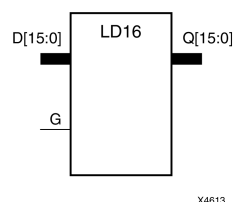
### 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート



## LD16

### マクロ：Multiple Transparent Data Latch



### サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

### 概要

このデザイン エLEMENTは透過データ ラッチ 16 個で構成されており、共通のゲート イネーブル (G) が 1 つあります。ゲート イネーブル入力 (G) が High の場合、データ出力 (Q) にデータ入力 (D) の値が出力されます。D 入力の値は、G が High から Low に切り替わるときにラッチ内に格納されます。Q 出力の値は、G が Low の間は変化しません。

電力を供給すると、ラッチは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

### 論理表

入力		出力
G	D	Q
1	D <sub>n</sub>	D <sub>n</sub>
0	X	変化なし
↓	D <sub>n</sub>	D <sub>n</sub>

### デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

### 使用可能な属性

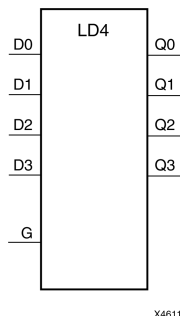
属性	タイプ	値	デフォルト	説明
INIT	2 進数	16 ビット値	すべてゼロ	コンフィギュレーション後の Q 出力の初期値を指定

### 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

## LD4

### マクロ：Multiple Transparent Data Latch



## サポートされているアーキテクチャ

このデザイン エレメントは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

## 概要

このデザイン エレメントは透過データ ラッチ 4 個で構成されており、共通のゲート イネーブル (G) が 1 つあります。ゲート イネーブル入力 (G) が High の場合、データ出力 (Q) にデータ入力 (D) の値が出力されます。D 入力の値は、G が High から Low に切り替わるときにラッチ内に格納されます。Q 出力の値は、G が Low の間は変化しません。

電力を供給すると、ラッチは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

## 論理表

入力		出力
G	D	Q
1	Dn	Dn
0	X	変化なし
↓	Dn	Dn

## デザインの入力方法

このエレメントは、回路図でのみ使用できます。

## 使用可能な属性

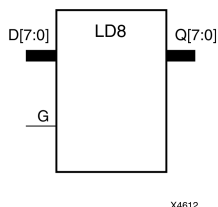
属性	タイプ	値	デフォルト	説明
INIT	2 進数	4 ビット値	すべてゼロ	コンフィギュレーション後の Q 出力の初期値を指定

## 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

## LD8

### マクロ：Multiple Transparent Data Latch



## サポートされているアーキテクチャ

このデザイン エレメントは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

## 概要

このデザイン エレメントは透過データ ラッチ 8 個で構成されており、共通のゲート イネーブル (G) が 1 つあります。ゲート イネーブル入力 (G) が High の場合、データ出力 (Q) にデータ入力 (D) の値が出力されます。D 入力の値は、G が High から Low に切り替わるときにラッチ内に格納されます。Q 出力の値は、G が Low の間は変化しません。

電力を供給すると、ラッチは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

## 論理表

入力		出力
G	D	Q
1	Dn	Dn
0	X	変化なし
↓	Dn	Dn

## デザインの入力方法

このエレメントは、回路図でのみ使用できます。

## 使用可能な属性

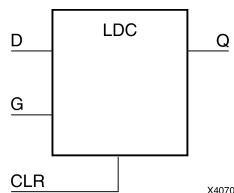
属性	タイプ	値	デフォルト	説明
INIT	2 進数	8 ビット値	すべてゼロ	コンフィギュレーション後の Q 出力の初期値を指定

## 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

## LDC

プリミティブ：マクロ：Transparent Data Latch with Asynchronous Clear



## サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

## 概要

このデザイン エLEMENTは、非同期クリア (CLR) がある透過データラッチです。非同期クリア入力 (CLR) が High になると、ほかの入力は無視され、データ出力 (Q) が Low にリセットされます。ゲート イネーブル入力 (G) が High で CLR が Low の場合、Q にデータ入力 (D) の値が出力されます。D 入力の値は、G が High から Low に切り替わるときにラッチ内に格納されます。Q 出力の値は、G が Low の間は変化しません。

電力を供給すると、ラッチは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスで PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

## 論理表

入力			出力
CLR	G	D	Q
1	X	X	0
0	1	D	D
0	0	X	変化なし
0	↓	D	D

## デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

## 使用可能な属性

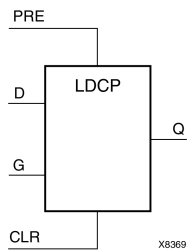
属性	タイプ	値	デフォルト	説明
INIT	2 進数	0、1	0	コンフィギュレーション後の Q 出力の初期値を指定

## 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

## LDCP

### プリミティブ：Transparent Data Latch with Asynchronous Clear and Preset



## サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

## 概要

このデザイン エLEMENTは、データ入力 (D)、非同期クリア入力 (CLR)、プリセット入力 (PRE) がある透過データ ラッチです。CLR が High になると、ほかの入力は無視され、データ出力 (Q) が Low にリセットされます。XC9500 デバイスの場合、PRE が High、CLR が Low の場合、データ出力 (Q) は High にプリセットされます。CoolRunner™-II および CoolRunner™ XPLA3 の場合、PRE はゲート (G) またはデータ (D) 入力よりも優先順位が低くなり、これらの入力に影響を及ぼしません。ゲート入力 (G) が High で CLR と PRE が Low の場合、Q にデータ入力 (D) の値が出力されます。D 入力の値は、G が High から Low に切り替わるときにラッチ内に格納されます。Q 出力の値は、G が Low の間は変化しません。

電力を供給すると、ラッチは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

## 論理表

入力				出力
CLR	PRE	G	D	Q
1	X	X	X	0
0	X	1	X	1
0	0	1	D	D
0	0	0	X	変化なし
0	0	↓	D	D

## デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

## 使用可能な属性

属性	タイプ	値	デフォルト	説明
INIT	整数	0、1	0	電源投入時または Q ポートに対する GSR のアサート時の初期値を指定

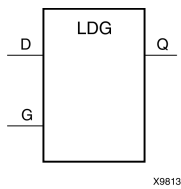
## 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート



## LDG

### プリミティブ：Transparent Datagate Latch



## サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

## 概要

このデザイン エLEMENTは、ゲートで入力信号を制御して消費電力を低減するために使用される透過 DataGate ラッチです。ゲート (G) 入力 Low の場合、データ出力 (Q) にデータ入力 (D) の値が出力されます。D 入力の値は、G が Low から High に切り替わるときにラッチ内に格納されます。Q 出力の値は、G が High の間は変化しません。

入力 D は、デバイスの入力パッドに接続される必要があり、それ以外のファンアウトを持つことはできません。入力 G は、CPLD フィットによってデバイスの DataGate Enable 制御ピン (DGE) に接続されます。デザインに使用できる DataGate Enable 信号は 1 つのみです。DataGate Enable 信号は、デバイスの入力ピンまたはオンチップのロジックソースによって駆動でき、デザインのほかのロジックで再使用できます。

電力を供給すると、ラッチは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

## 論理表

入力		出力
G	D	Q
0	0	0
0	1	1
1	X	変化なし
↑	D	D

## デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

## 使用可能な属性

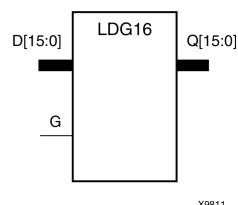
属性	タイプ	値	デフォルト	説明
INIT	2 進数	0、1	0	コンフィギュレーション後の Q 出力の初期値を指定

## 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

## LDG16

### マクロ：16-bit Transparent Datagate Latch



## サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

## 概要

このデザイン エLEMENTは透過 DataGate ラッチ 16 個で構成されており、共通のゲート イネーブル (G) が 1 つあります。これらのラッチは、入力ピンの動作が CPLD に影響を与えない間、ゲートで入力信号を制御して消費電力の低減を図るために使用されます。ゲート (G) 入力が Low の場合、データ出力 (Q) にデータ入力 (D) の値が出力されます。D 入力の値は、G が Low から High に切り替わるときにラッチ内に格納されます。Q 出力の値は、G が High の間は変化しません。

入力 D は、デバイスの入力パッドに接続される必要があり、それ以外のファンアウトを持つことはできません。入力 G は、CPLD フィッタによってデバイスの DataGate Enable 制御ピン (DGE) に接続されます。デザインに使用できる DataGate Enable 信号は 1 つのみです。DataGate Enable 信号は、デバイスの入力ピンまたはオンチップのロジックソースによって駆動でき、デザインのほかのロジックで再使用できます。

電力を供給すると、ラッチは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

## 論理表

入力		出力
G	D	Q
0	0	0
0	1	1
1	X	変化なし
↑	D	D

## デザインの入力方法

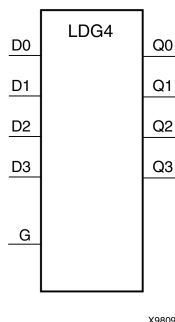
このELEMENTは、回路図でのみ使用できます。

## 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

## LDG4

## マクロ：4-Bit Transparent Datagate Latch



## サポートされているアーキテクチャ

このデザイン エレメントは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

## 概要

このデザイン エレメントは透過 DataGate ラッチ 4 個で構成されており、共通のゲートイネーブル (G) が 1 つあります。これらのラッチは、入力ピンの動作が CPLD に影響を与えない間、ゲートで入力信号を制御して消費電力の低減を図るために使用されます。ゲート (G) 入力が高レベルの場合、データ出力 (Q) にデータ入力 (D) の値が出力されます。D 入力の値は、G が Low から High に切り替わるときにラッチ内に格納されます。Q 出力の値は、G が High の間は変化しません。

入力 D は、デバイスの入力パッドに接続される必要があり、それ以外のファンアウトを持つことはできません。入力 G は、CPLD フィットによってデバイスの DataGate Enable 制御ピン (DGE) に接続されます。デザインに使用できる DataGate Enable 信号は 1 つのみです。DataGate Enable 信号は、デバイスの入力ピンまたはオンチップのロジックソースによって駆動でき、デザインのほかのロジックで再使用できます。

電力を供給すると、ラッチは非同期にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

## 論理表

入力		出力
G	D	Q
0	0	0
0	1	1
1	X	変化なし
↑	D	D

## デザインの入力方法

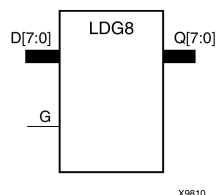
このエレメントは、回路図でのみ使用できます。

## 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

## LDG8

### マクロ：8-Bit Transparent Datagate Latch



## サポートされているアーキテクチャ

このデザイン エレメントは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

## 概要

このデザイン エレメントは透過 DataGate ラッチ 8 個で構成されており、共通のゲート イネーブル (G) が 1 つあります。これらのラッチは、入力ピンの動作が CPLD に影響を与えない間、ゲートで入力信号を制御して消費電力の低減を図るために使用されます。ゲート (G) 入力が Low の場合、データ出力 (Q) にデータ入力 (D) の値が出力されます。D 入力の値は、G が Low から High に切り替わるときにラッチ内に格納されます。Q 出力の値は、G が High の間は変化しません。

入力 D は、デバイスの入力パッドに接続される必要があり、それ以外のファンアウトを持つことはできません。入力 G は、CPLD フィッタによってデバイスの DataGate Enable 制御ピン (DGE) に接続されます。デザインに使用できる DataGate Enable 信号は 1 つのみです。DataGate Enable 信号は、デバイスの入力ピンまたはオンチップのロジックソースによって駆動でき、デザインのほかのロジックで再使用できます。

電力を供給すると、ラッチは非同期的にクリアされ、出力が Low になります。CPLD では、High レベルのパルスを PRLD グローバル ネットに適用すると、電源投入時の状態をシミュレーションできます。

## 論理表

入力		出力
G	D	Q
0	0	0
0	1	1
1	X	変化なし
↑	D	D

## デザインの入力方法

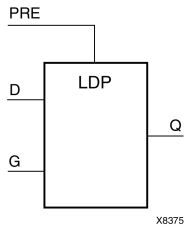
このエレメントは、回路図でのみ使用できます。

## 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

## LDP

プリミティブ：マクロ：Transparent Data Latch with Asynchronous Preset



## サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

## 概要

このデザイン エLEMENTは、非同期プリセット (PRE) がある透過データ ラッチです。XC9500 デバイスの場合、PRE が High になると、ほかの入力は無視され、データ出力 (Q) が High にプリセットされます。CoolRunner™-II および CoolRunner™ XPLA3 の場合、PRE はゲート (G) またはデータ (D) 入力よりも優先順位が低くなり、これらの入力に影響を及ぼしません。ゲート入力 (G) が High で PRE が Low の場合、Q にはデータ入力 (D) の値が出力されます。D 入力の値は、G が High から Low に切り替わるときにラッチ内に格納されます。Q 出力の値は、G が Low の間は変化しません。

電力が供給されると、ラッチは非同期にプリセットされ、出力が High になります。

## 論理表

入力			出力
PRE	G	D	Q
1	X	X	1
0	1	0	0
0	1	1	1
0	0	X	変化なし
0	↓	D	D

## デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

## 使用可能な属性

属性	タイプ	値	デフォルト	説明
INIT	2 進数	0、1	1	電源投入時または Q ポートに対する GSR のアサート時の初期値を指定

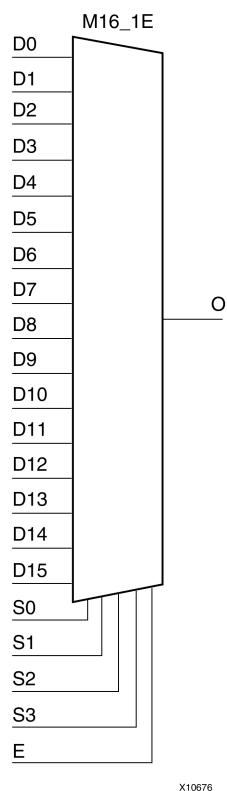
## 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート



## M16\_1E

マクロ：16-to-1 Multiplexer with Enable



### サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

### 概要

このデザイン エLEMENTは、イネーブル付き 16:1 マルチプレクサです。イネーブル入力 (E) が High の場合、セレクト入力 (S3 ~ S0) の値に応じて、16 個の入力 (D15 ~ D0) のうち 1 つのデータビットが選択されます。出力 (O) には、次の論理表に示すように、選択された入力の値が出力されます。E が Low の場合、出力は Low になります。

## 論理表

入力						出力
E	S3	S2	S1	S0	D15 ~ D0	O
0	X	X	X	X	X	0
1	0	0	0	0	D0	D0
1	0	0	0	1	D1	D1
1	0	0	1	0	D2	D2
1	0	0	1	1	D3	D3
.	.	.	.	.	.	.
.	.	.	.	.	.	.
.	.	.	.	.	.	.
1	1	1	0	0	D12	D12
1	1	1	0	1	D13	D13
1	1	1	1	0	D14	D14
1	1	1	1	1	D15	D15

## デザインの入力方法

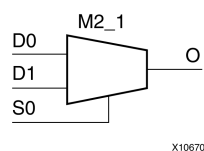
このELEMENTは、回路図でのみ使用できます。

## 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

## M2\_1

### マクロ：2-to-1 Multiplexer



## サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

## 概要

このデザイン エLEMENTは、セレクト入力 (S0) の値に応じて、2 つの入力 (D1 または D0) のうち 1 つのデータビットを選択します。出力 (O) には、選択された入力の値が出力されます。S0 が Low の場合は D0 が選択され、High の場合は D1 が選択されます。

## 論理表

入力			出力
S0	D1	D0	O
1	D1	X	D1
0	X	D0	D0

## デザインの入力方法

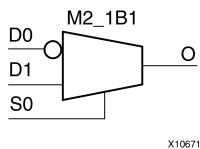
このELEMENTは、回路図でのみ使用できます。

## 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

## M2\_1B1

マクロ：2-to-1 Multiplexer with D0 Inverted



### サポートされているアーキテクチャ

このデザイン エレメントは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

### 概要

このデザイン エレメントは、セレクト入力 (S0) の値に応じて、2 つの入力 (D1 または D0) のうち 1 つのデータビットを選択します。S0 が Low の場合は O に D0 の反転値が出力され、S0 が High の場合は D1 の値が出力されます。

### 論理表

入力			出力
S0	D1	D0	O
1	1	X	1
1	0	X	0
0	X	1	0
0	X	0	1

### デザインの入力方法

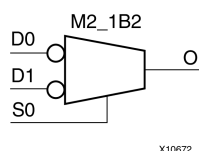
このエレメントは、回路図でのみ使用できます。

### 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

## M2\_1B2

マクロ：2-to-1 Multiplexer with D0 and D1 Inverted



## サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

## 概要

このデザイン エLEMENTは、セレクト入力 (S0) の値に応じて、2 つの入力 (D1 または D0) のうち 1 つのデータビットを選択します。S0 が Low の場合は O に D0 の反転値が出力され、S0 が High の場合は D1 の反転値が出力されます。

## 論理表

入力			出力
S0	D1	D0	O
1	1	X	0
1	0	X	1
0	X	1	0
0	X	0	1

## デザインの入力方法

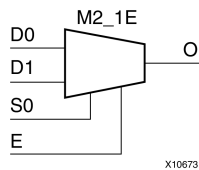
このELEMENTは、回路図でのみ使用できます。

## 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

## M2\_1E

マクロ : 2-to-1 Multiplexer with Enable



### サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

### 概要

このデザイン エLEMENTは、イネーブル付き 2:1 マルチプレクサです。イネーブル入力 (E) が High の場合、セレクト入力 (S0) の値に応じて、2 つの入力 (D1 または D0) のうち 1 つのデータビットが選択されます。S0 が Low の場合は D0 が選択され、High の場合は D1 が選択されます。E が Low の場合、出力は Low になります。

### 論理表

入力				出力
E	S0	D1	D0	O
0	X	X	X	0
1	0	X	1	1
1	0	X	0	0
1	1	1	X	1
1	1	0	X	0

### デザインの入力方法

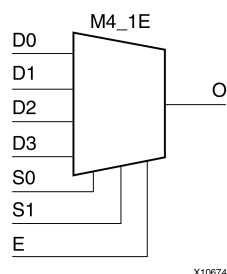
このELEMENTは、回路図でのみ使用できます。

### 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

## M4\_1E

マクロ：4-to-1 Multiplexer with Enable



## サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

## 概要

このデザイン エLEMENTは、イネーブル付き 4:1 マルチプレクサです。イネーブル入力 (E) が High の場合、セレクト入力 (S1 ~ S0) の値に応じて、4 つの入力 (D3、D2、D1、D0) のうち 1 つのデータビットが選択されます。出力 (O) には、次の論理表に示すように、選択された入力の値が出力されます。E が Low の場合、出力は Low になります。

## 論理表

入力							出力
E	S1	S0	D0	D1	D2	D3	O
0	X	X	X	X	X	X	0
1	0	0	D0	X	X	X	D0
1	0	1	X	D1	X	X	D1
1	1	0	X	X	D2	X	D2
1	1	1	X	X	X	D3	D3

## デザインの入力方法

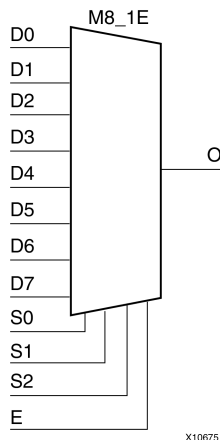
このELEMENTは、回路図でのみ使用できます。

## 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

## M8\_1E

マクロ：8-to-1 Multiplexer with Enable



### サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

### 概要

このデザイン エLEMENTは、イネーブル付き 8:1 マルチプレクサです。イネーブル入力 (E) が High の場合、セレクト入力 (S2 ~ S0) の値に応じて、8 つの入力 (D7 ~ D0) のうち 1 つのデータビットが選択されます。出力 (O) には、次の論理表に示すように、選択された入力の値が出力されます。E が Low の場合、出力は Low になります。

### 論理表

入力					出力
E	S2	S1	S0	D7 ~ D0	O
0	X	X	X	X	0
1	0	0	0	D0	D0
1	0	0	1	D1	D1
1	0	1	0	D2	D2
1	0	1	1	D3	D3
1	1	0	0	D4	D4
1	1	0	1	D5	D5
1	1	1	0	D6	D6
1	1	1	1	D7	D7

### デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

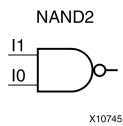


## 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

## NAND2

プリミティブ：2- Input NAND Gate with Non-Inverted Inputs



### サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

### 概要

5 入力までの NAND ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NAND ファンクションには、非反転入力のみが使用されています。入力を反転するには、外部インバータを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

### デザインの入力方法

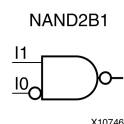
このELEMENTは、回路図でのみ使用できます。

### 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

## NAND2B1

プリミティブ：2-Input NAND Gate with 1 Inverted and 1 Non-Inverted Inputs



### サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

### 概要

5 入力までの NAND ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NAND ファンクションには、非反転入力のみが使用されています。入力を反転するには、外部インバータを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

### デザインの入力方法

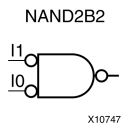
このELEMENTは、回路図でのみ使用できます。

### 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

## NAND2B2

### プリミティブ：2-Input NAND Gate with Inverted Inputs



## サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

## 概要

5 入力までの NAND ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NAND ファンクションには、非反転入力のみが使用されています。入力を反転するには、外部インバータを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

## デザインの入力方法

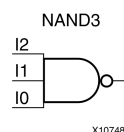
このELEMENTは、回路図でのみ使用できます。

## 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

## NAND3

プリミティブ：3- Input NAND Gate with Non-Inverted Inputs



## サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

## 概要

5 入力までの NAND ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NAND ファンクションには、非反転入力のみが使用されています。入力を反転するには、外部インバータを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

## デザインの入力方法

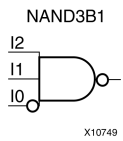
このELEMENTは、回路図でのみ使用できます。

## 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

## NAND3B1

プリミティブ：3-Input NAND Gate with 1 Inverted and 2 Non-Inverted Inputs



### サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

### 概要

5 入力までの NAND ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NAND ファンクションには、非反転入力のみが使用されています。入力を反転するには、外部インバータを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

### デザインの入力方法

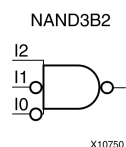
このELEMENTは、回路図でのみ使用できます。

### 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

## NAND3B2

プリミティブ：3-Input NAND Gate with 2 Inverted and 1 Non-Inverted Inputs



## サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

## 概要

5 入力までの NAND ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NAND ファンクションには、非反転入力のみが使用されています。入力を反転するには、外部インバータを使用します。各入力に 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

## デザインの入力方法

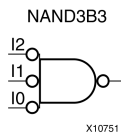
このELEMENTは、回路図でのみ使用できます。

## 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

## NAND3B3

### プリミティブ：3-Input NAND Gate with Inverted Inputs



## サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

## 概要

5 入力までの NAND ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NAND ファンクションには、非反転入力のみが使用されています。入力を反転するには、外部インバータを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

## デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

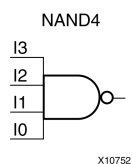
## 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート



## NAND4

プリミティブ：4- Input NAND Gate with Non-Inverted Inputs



## サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

## 概要

5 入力までの NAND ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NAND ファンクションには、非反転入力のみが使用されています。入力を反転するには、外部インバータを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

## デザインの入力方法

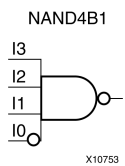
このELEMENTは、回路図でのみ使用できます。

## 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

## NAND4B1

プリミティブ：4-Input NAND Gate with 1 Inverted and 3 Non-Inverted Inputs



### サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

### 概要

5 入力までの NAND ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NAND ファンクションには、非反転入力のみが使用されています。入力を反転するには、外部インバータを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

### デザインの入力方法

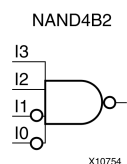
このELEMENTは、回路図でのみ使用できます。

### 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

## NAND4B2

プリミティブ：4-Input NAND Gate with 2 Inverted and 2 Non-Inverted Inputs



## サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

## 概要

5 入力までの NAND ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NAND ファンクションには、非反転入力のみが使用されています。入力を反転するには、外部インバータを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

## デザインの入力方法

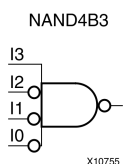
このELEMENTは、回路図でのみ使用できます。

## 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

## NAND4B3

プリミティブ：4-Input NAND Gate with 3 Inverted and 1 Non-Inverted Inputs



### サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

### 概要

5 入力までの NAND ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NAND ファンクションには、非反転入力のみが使用されています。入力を反転するには、外部インバータを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

### デザインの入力方法

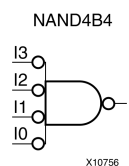
このELEMENTは、回路図でのみ使用できます。

### 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

## NAND4B4

### プリミティブ：4-Input NAND Gate with Inverted Inputs



## サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

## 概要

5 入力までの NAND ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NAND ファンクションには、非反転入力のみが使用されています。入力を反転するには、外部インバータを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

## デザインの入力方法

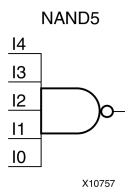
このELEMENTは、回路図でのみ使用できます。

## 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

## NAND5

プリミティブ：5- Input NAND Gate with Non-Inverted Inputs



### サポートされているアーキテクチャ

このデザイン エレメントは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

### 概要

5 入力までの NAND ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NAND ファンクションには、非反転入力のみが使用されています。入力を反転するには、外部インバータを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

### デザインの入力方法

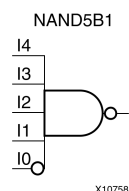
このエレメントは、回路図でのみ使用できます。

### 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

## NAND5B1

プリミティブ：5-Input NAND Gate with 1 Inverted and 4 Non-Inverted Inputs



### サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

### 概要

5 入力までの NAND ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NAND ファンクションには、非反転入力のみが使用されています。入力を反転するには、外部インバータを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

### デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

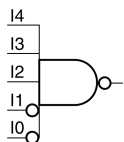
### 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

## NAND5B2

プリミティブ：5-Input NAND Gate with 2 Inverted and 3 Non-Inverted Inputs

NAND5B2



X10759

## サポートされているアーキテクチャ

このデザイン エレメントは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

## 概要

5 入力までの NAND ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NAND ファンクションには、非反転入力のみが使用されています。入力を反転するには、外部インバータを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

## デザインの入力方法

このエレメントは、回路図でのみ使用できます。

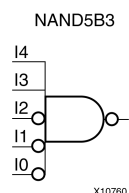
## 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート



## NAND5B3

プリミティブ：5-Input NAND Gate with 3 Inverted and 2 Non-Inverted Inputs



## サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

## 概要

5 入力までの NAND ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NAND ファンクションには、非反転入力のみが使用されています。入力を反転するには、外部インバータを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

## デザインの入力方法

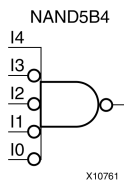
このELEMENTは、回路図でのみ使用できます。

## 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

## NAND5B4

プリミティブ：5-Input NAND Gate with 4 Inverted and 1 Non-Inverted Inputs



## サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

## 概要

5 入力までの NAND ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NAND ファンクションには、非反転入力のみが使用されています。入力を反転するには、外部インバータを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

## デザインの入力方法

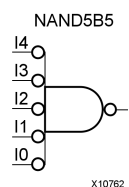
このELEMENTは、回路図でのみ使用できます。

## 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

## NAND5B5

プリミティブ：5-Input NAND Gate with Inverted Inputs



### サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

### 概要

5 入力までの NAND ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NAND ファンクションには、非反転入力のみが使用されています。入力を反転するには、外部インバータを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

### デザインの入力方法

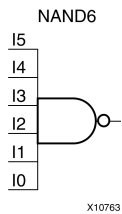
このELEMENTは、回路図でのみ使用できます。

### 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

## NAND6

### マクロ：6- Input NAND Gate with Non-Inverted Inputs



## サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

## 概要

5 入力までの NAND ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NAND ファンクションには、非反転入力のみが使用されています。入力を反転するには、外部インバータを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

## デザインの入力方法

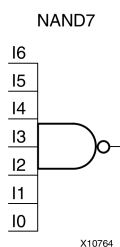
このELEMENTは、回路図でのみ使用できます。

## 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

## NAND7

### マクロ：7- Input NAND Gate with Non-Inverted Inputs



## サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

## 概要

5 入力までの NAND ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NAND ファンクションには、非反転入力のみが使用されています。入力を反転するには、外部インバータを使用します。各入力に 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

## デザインの入力方法

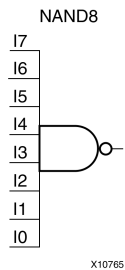
このELEMENTは、回路図でのみ使用できます。

## 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

## NAND8

### マクロ：8- Input NAND Gate with Non-Inverted Inputs



## サポートされているアーキテクチャ

このデザイン エレメントは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

## 概要

5 入力までの NAND ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NAND ファンクションには、非反転入力のみが使用されています。入力を反転するには、外部インバータを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

## デザインの入力方法

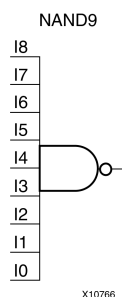
このエレメントは、回路図でのみ使用できます。

## 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

## NAND9

マクロ：9- Input NAND Gate with Non-Inverted Inputs



### サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

### 概要

5 入力までの NAND ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NAND ファンクションには、非反転入力のみが使用されています。入力を反転するには、外部インバータを使用します。各入力に 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

### デザインの入力方法

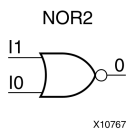
このELEMENTは、回路図でのみ使用できます。

### 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

## NOR2

### プリミティブ：2-Input NOR Gate with Non-Inverted Inputs



## サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

## 概要

5 入力までの NOR ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NOR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバータを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

## デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

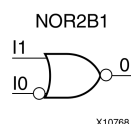
## 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート



## NOR2B1

プリミティブ：2-Input NOR Gate with 1 Inverted and 1 Non-Inverted Inputs



## サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

## 概要

5 入力までの NOR ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NOR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバータを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

## デザインの入力方法

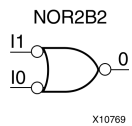
このELEMENTは、回路図でのみ使用できます。

## 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

## NOR2B2

### プリミティブ：2-Input NOR Gate with Inverted Inputs



## サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

## 概要

5 入力までの NOR ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NOR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバータを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

## デザインの入力方法

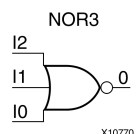
このELEMENTは、回路図でのみ使用できます。

## 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

## NOR3

プリミティブ：3-Input NOR Gate with Non-Inverted Inputs



## サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

## 概要

5 入力までの NOR ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NOR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバータを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

## デザインの入力方法

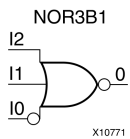
このELEMENTは、回路図でのみ使用できます。

## 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

## NOR3B1

プリミティブ：3-Input NOR Gate with 1 Inverted and 2 Non-Inverted Inputs



## サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

## 概要

5 入力までの NOR ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NOR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバータを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

## デザインの入力方法

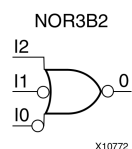
このELEMENTは、回路図でのみ使用できます。

## 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

## NOR3B2

プリミティブ：3-Input NOR Gate with 2 Inverted and 1 Non-Inverted Inputs



## サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

## 概要

5 入力までの NOR ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NOR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバータを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

## デザインの入力方法

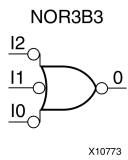
このELEMENTは、回路図でのみ使用できます。

## 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

## NOR3B3

プリミティブ：3-Input NOR Gate with Inverted Inputs



### サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

### 概要

5 入力までの NOR ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NOR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバータを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

### デザインの入力方法

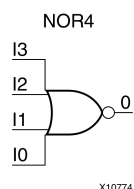
このELEMENTは、回路図でのみ使用できます。

### 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

## NOR4

プリミティブ：4-Input NOR Gate with Non-Inverted Inputs



## サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

## 概要

5 入力までの NOR ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NOR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバータを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

## デザインの入力方法

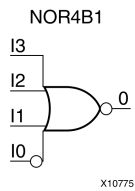
このELEMENTは、回路図でのみ使用できます。

## 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

## NOR4B1

プリミティブ：4-Input NOR Gate with 1 Inverted and 3 Non-Inverted Inputs



## サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

## 概要

5 入力までの NOR ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NOR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバータを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

## デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

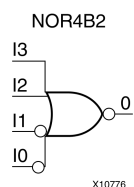
## 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート



## NOR4B2

プリミティブ：4-Input NOR Gate with 2 Inverted and 2 Non-Inverted Inputs



## サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

## 概要

5 入力までの NOR ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NOR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバータを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

## デザインの入力方法

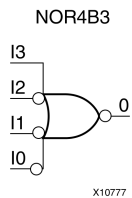
このELEMENTは、回路図でのみ使用できます。

## 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

## NOR4B3

プリミティブ：4-Input NOR Gate with 3 Inverted and 1 Non-Inverted Inputs



### サポートされているアーキテクチャ

このデザイン エレメントは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

### 概要

5 入力までの NOR ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NOR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバータを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

### デザインの入力方法

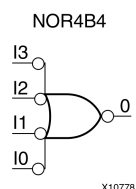
このエレメントは、回路図でのみ使用できます。

### 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

## NOR4B4

プリミティブ：4-Input NOR Gate with Inverted Inputs



## サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

## 概要

5 入力までの NOR ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NOR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバータを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

## デザインの入力方法

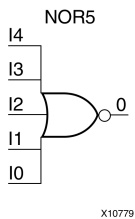
このELEMENTは、回路図でのみ使用できます。

## 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

## NOR5

### プリミティブ：5-Input NOR Gate with Non-Inverted Inputs



## サポートされているアーキテクチャ

このデザイン エレメントは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

## 概要

5 入力までの NOR ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NOR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバータを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

## デザインの入力方法

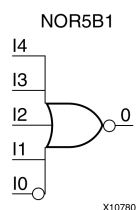
このエレメントは、回路図でのみ使用できます。

## 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

## NOR5B1

プリミティブ：5-Input NOR Gate with 1 Inverted and 4 Non-Inverted Inputs



## サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

## 概要

5 入力までの NOR ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NOR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバータを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

## デザインの入力方法

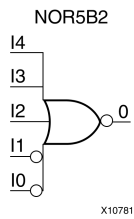
このELEMENTは、回路図でのみ使用できます。

## 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

## NOR5B2

プリミティブ：5-Input NOR Gate with 2 Inverted and 3 Non-Inverted Inputs



### サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

### 概要

5 入力までの NOR ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NOR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバータを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

### デザインの入力方法

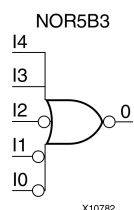
このELEMENTは、回路図でのみ使用できます。

### 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

## NOR5B3

プリミティブ：5-Input NOR Gate with 3 Inverted and 2 Non-Inverted Inputs



## サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

## 概要

5 入力までの NOR ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NOR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバータを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

## デザインの入力方法

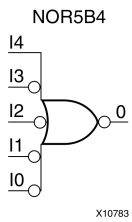
このELEMENTは、回路図でのみ使用できます。

## 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

## NOR5B4

プリミティブ：5-Input NOR Gate with 4 Inverted and 1 Non-Inverted Inputs



### サポートされているアーキテクチャ

このデザイン エレメントは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

### 概要

5 入力までの NOR ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NOR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバータを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

### デザインの入力方法

このエレメントは、回路図でのみ使用できます。

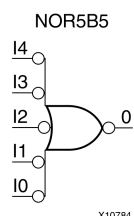
### 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート



## NOR5B5

### プリミティブ：5-Input NOR Gate with Inverted Inputs



## サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

## 概要

5 入力までの NOR ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NOR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバータを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

## デザインの入力方法

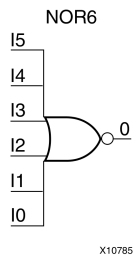
このELEMENTは、回路図でのみ使用できます。

## 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

## NOR6

マクロ：6-Input NOR Gate with Non-Inverted Inputs



## サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

## 概要

5 入力までの NOR ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NOR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバータを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

## デザインの入力方法

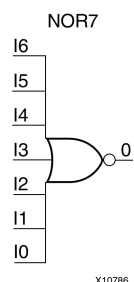
このELEMENTは、回路図でのみ使用できます。

## 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

## NOR7

マクロ：7-Input NOR Gate with Non-Inverted Inputs



## サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

## 概要

5 入力までの NOR ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NOR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバータを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

## デザインの入力方法

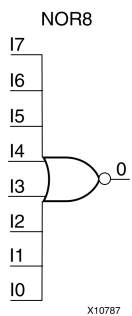
このELEMENTは、回路図でのみ使用できます。

## 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

## NOR8

マクロ：8-Input NOR Gate with Non-Inverted Inputs



### サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

### 概要

5 入力までの NOR ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NOR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバータを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

### デザインの入力方法

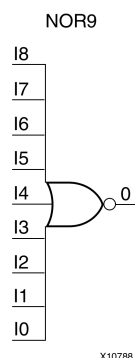
このELEMENTは、回路図でのみ使用できます。

### 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

## NOR9

マクロ：9-Input NOR Gate with Non-Inverted Inputs



## サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

## 概要

5 入力までの NOR ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NOR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバータを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

## デザインの入力方法

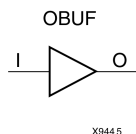
このELEMENTは、回路図でのみ使用できます。

## 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

## OBUF

### プリミティブ：Output Buffer



## サポートされているアーキテクチャ

このデザイン エレメントは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

## 概要

このデザイン エレメントは単純な出力バッファで、出力信号を、トライステートでない FPGA デバイス ピンに駆動するために使用します。デザインのすべての出力ポートに OBUF、OBUFT、OBUFDS、OBUFTDS のいずれかを接続する必要があります。

このエレメントは内部回路を外部から分離し、チップから出力する信号の駆動電流を供給します。I/O ブロック (IOB) 内にあります。出力 (O) は、OPAD または IOPAD に接続されます。このエレメントでは、LVTTL 規格が使用され、DRIVE 制約と SLOW または FAST 制約を使用して駆動電流とスルー レートを選択できます。デフォルトでは、DRIVE=12mA、スルー レートは SLOW に設定されています。

## ポートの説明

ポート名	方向	幅	機能
O	出力	1	最上位出力ポートに直接接続される OBUF の出力
I	入力	1	OBUF の入力。出力ポートを駆動するロジックに接続

## デザインの入力方法

インスタンス化	可
推論	推奨
CORE Generator™ およびウィザード	不可
マクロのサポート	不可

このエレメントは、回路図で使用されます。

## 使用可能な属性

属性	タイプ	値	デフォルト	説明
IOSTANDARD	文字列	データシートを参照	DEFAULT	エレメントに I/O 規格を割り当てます。

## VHDL 記述 (インスタンスレーション)

次の 2 つの構文が存在しない場合はコピーし、エンティティ宣言の前に貼り付けます。

```
Library UNISIM;
use UNISIM.vcomponents.all;

-- OBUF: Single-ended Output Buffer
-- All devices
-- Xilinx HDL Libraries Guide, version 11.2

OBUF_inst : OBUF
generic map (
    DRIVE => 12,
    IOSTANDARD => "DEFAULT",
    SLEW => "SLOW")
port map (
    O => O,      -- Buffer output (connect directly to top-level port)
    I => I       -- Buffer input
);

-- End of OBUF_inst instantiation
```

## Verilog 記述 (インスタンスレーション)

```
// OBUF: Single-ended Output Buffer
// All devices
// Xilinx HDL Libraries Guide, version 11.2

OBUF #(
    .DRIVE(12), // Specify the output drive strength
    .IOSTANDARD("DEFAULT"), // Specify the output I/O standard
    .SLEW("SLOW") // Specify the output slew rate
) OBUF_inst (
    .O(O), // Buffer output (connect directly to top-level port)
    .I(I) // Buffer input
);

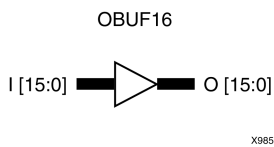
// End of OBUF_inst instantiation
```

## 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当する EDK 資料

## OBUF16

### マクロ：16-Bit Output Buffer



## サポートされているアーキテクチャ

このデザイン エレメントは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

## 概要

このデザイン エレメントは、複数の出力バッファです。

このエレメントは内部回路を外部から分離し、チップから出力する信号の駆動電流を供給します。I/O ブロック (IOB) 内にあります。出力 (O) は、OPAD または IOPAD に接続されます。このエレメントでは、LVTTL 規格が使用され、DRIVE 制約と SLOW または FAST 制約を使用して駆動電流とスルー レートを選択できます。デフォルトでは、DRIVE=12mA、スルー レートは SLOW に設定されています。

## デザインの入力方法

インスタンス化	可
推論	推奨
CORE Generator™ およびウィザード	不可
マクロのサポート	不可

このエレメントは、回路図で使用されます。

## 使用可能な属性

属性	タイプ	値	デフォルト	説明
IOSTANDARD	文字列	データシートを参照	DEFAULT	エレメントに I/O 規格を割り当てます。

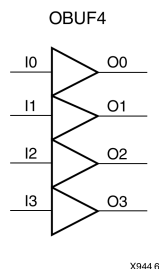
## 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート



## OBUF4

### マクロ：4-Bit Output Buffer



### サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

### 概要

このデザイン エLEMENTは、複数の出力バッファです。

このELEMENTは内部回路を外部から分離し、チップから出力する信号の駆動電流を供給します。I/O ブロック (IOB) 内にあります。出力 (O) は、OPAD または IOPAD に接続されます。このELEMENTでは、LVTTL 規格が使用され、DRIVE 制約と SLOW または FAST 制約を使用して駆動電流とスルー レートを選択できます。デフォルトでは、DRIVE=12mA、スルー レートは SLOW に設定されています。

### デザインの入力方法

インスタンス化	可
推論	推奨
CORE Generator™ およびウィザード	不可
マクロのサポート	不可

このELEMENTは、回路図で使用されます。

### 使用可能な属性

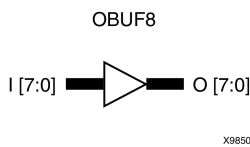
属性	タイプ	値	デフォルト	説明
IOSTANDARD	文字列	データシートを参照	DEFAULT	ELEMENTに I/O 規格を割り当てます。

### 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

## OBUF8

### マクロ：8-Bit Output Buffer



## サポートされているアーキテクチャ

このデザイン エレメントは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

## 概要

このデザイン エレメントは、複数の出力バッファです。

このエレメントは内部回路を外部から分離し、チップから出力する信号の駆動電流を供給します。I/O ブロック (IOB) 内にあります。出力 (O) は、OPAD または IOPAD に接続されます。このエレメントでは、LVTTL 規格が使用され、DRIVE 制約と SLOW または FAST 制約を使用して駆動電流とスルー レートを選択できます。デフォルトでは、DRIVE=12mA、スルー レートは SLOW に設定されています。

## デザインの入力方法

インスタンス化	可
推論	推奨
CORE Generator™ およびウィザード	不可
マクロのサポート	不可

このエレメントは、回路図で使用されます。

## 使用可能な属性

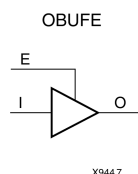
属性	タイプ	値	デフォルト	説明
IOSTANDARD	文字列	データシートを参照	DEFAULT	エレメントに I/O 規格を割り当てます。

## 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

## OBUFE

**マクロ：3-State Output Buffer with Active-High Output Enable**



## サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

## 概要

このデザイン エLEMENTは、入力 (I)、出力 (O)、およびアクティブ High の出力イネーブル (E) から構成されるトライステート バッファです。

E が High の場合、バッファに入力された値が対応する出力に送られます。E が Low になると、出力はハイ インピーダンス (オフまたは Z ステート) になります。このデザイン エLEMENTは内部回路を外部から分離し、チップから出力する信号の駆動電流を供給します。出力はOPAD または IOPAD に接続され、入力は内部回路に接続されます。

## 論理表

入力		出力
E	I	O
0	X	Z
1	1	1
1	0	0

## デザインの入力方法

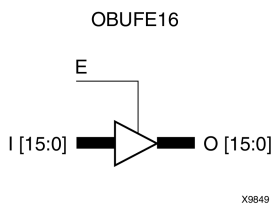
このELEMENTは、回路図でのみ使用できます。

## 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

## OBUFE16

マクロ：16-Bit 3-State Output Buffer with Active-High Output Enable



## サポートされているアーキテクチャ

このデザイン エレメントは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

## 概要

このデザイン エレメントは、入力 (I15 ~ I0)、出力 (O15 ~ O0)、およびアクティブ High の出力イネーブル (E) から構成されるトリステート バッファです。

E が High の場合、バッファに入力された値が対応する出力に送られます。E が Low になると、出力はハイ インピーダンス (オフまたは Z ステート) になります。このデザイン エレメントは内部回路を外部から分離し、チップから出力する信号の駆動電流を供給します。出力はOPAD または IOPAD に接続され、入力は内部回路に接続されます。

## 論理表

入力		出力
E	I	O
0	X	Z
1	1	1
1	0	0

## デザインの入力方法

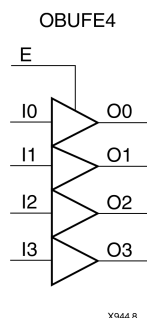
このエレメントは、回路図でのみ使用できます。

## 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

## OBUFE4

マクロ：4-Bit 3-State Output Buffer with Active-High Output Enable



## サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

## 概要

このデザイン エLEMENTは、入力 (I3 ~ I0)、出力 (O3 ~ O0)、およびアクティブ High の出力イネーブル (E) から構成されるトリステート バッファです。

E が High の場合、バッファに入力された値が対応する出力に送られます。E が Low になると、出力はハイインピーダンス (オフまたは Z ステート) になります。このデザイン エLEMENTは内部回路を外部から分離し、チップから出力する信号の駆動電流を供給します。出力はOPAD または IOPAD に接続され、入力 は内部回路に接続されます。

## 論理表

入力		出力
E	I	O
0	X	Z
1	1	1
1	0	0

## デザインの入力方法

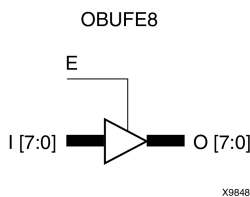
このELEMENTは、回路図でのみ使用できます。

## 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

## OBUFE8

**マクロ：8-Bit 3-State Output Buffer with Active-High Output Enable**



## サポートされているアーキテクチャ

このデザイン エレメントは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

## 概要

このデザイン エレメントは、入力 (I7 ~ I0)、出力 (O7 ~ O0)、およびアクティブ High の出力イネーブル (E) から構成されるトリステート バッファです。

E が High の場合、バッファに入力された値が対応する出力に送られます。E が Low になると、出力はハイ インピーダンス (オフまたは Z ステート) になります。このデザイン エレメントは内部回路を外部から分離し、チップから出力する信号の駆動電流を供給します。出力はOPAD または IOPAD に接続され、入力 は内部回路に接続されます。

## 論理表

入力		出力
E	I	O
0	X	Z
1	1	1
1	0	0

## デザインの入力方法

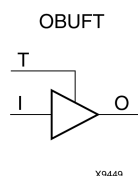
このエレメントは、回路図でのみ使用できます。

## 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

## OBUFT

プリミティブ：3-State Output Buffer with Active Low Output Enable



## サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

## 概要

このデザイン エLEMENTは、入力 (I)、出力 (O)、アクティブ Low 出力イネーブル (T) を持つ単一のトライステート出力バッファです。このELEMENTでは、LVTTTL 規格が使用され、DRIVE 制約と SLOW または FAST 制約を使用して駆動電流とスルー レートを選択できます。デフォルトでは、DRIVE=12mA、スルー レートは SLOW に設定されています。

T が Low の場合、バッファに入力された値が対応する出力に送られます。T が High の場合は、出力がハイ インピーダンス (オフまたは Z ステート) になります。OBUFT は、双方向 I/O を作成するなど、トライステート機能にシングルエンド出力を使用する必要がある場合に使用します。

## 論理表

入力		出力
T	I	O
1	X	Z
0	1	1
0	0	0

## ポートの説明

ポート名	方向	幅	機能
O	出力	1	バッファ出力 (最上位ポートに直接接続)
I	入力	1	バッファの入力
T	入力	1	トライステート イネーブル入力

## デザインの入力方法

インスタンス化	可
推論	推奨
CORE Generator™ およびウィザード	不可
マクロのサポート	不可

このELEMENTは、回路図で使用されます。

## 使用可能な属性

属性	タイプ	値	デフォルト	説明
IOSTANDARD	文字列	データシートを参照	DEFAULT	ELEMENTに I/O 規格を割り当てます。

## VHDL 記述 (インスタンス化)

次の 2 つの構文が存在しない場合はコピーし、エンティティ宣言の前に貼り付けます。

```
Library UNISIM;
use UNISIM.vcomponents.all;

-- OBUFT: Single-ended 3-state Output Buffer
-- All devices
-- Xilinx HDL Libraries Guide, version 11.2

OBUFT_inst : OBUFT
generic map (
  DRIVE => 12,
  IOSTANDARD => "DEFAULT",
  SLEW => "SLOW")
port map (
  O => O,      -- Buffer output (connect directly to top-level port)
  I => I,      -- Buffer input
  T => T       -- 3-state enable input
);

-- End of OBUFT_inst instantiation
```

## Verilog 記述 (インスタンス化)

```
// OBUFT: Single-ended 3-state Output Buffer
// All devices
// Xilinx HDL Libraries Guide, version 11.2

OBUFT #(
  .DRIVE(12),    // Specify the output drive strength
  .IOSTANDARD("DEFAULT"), // Specify the output I/O standard
  .SLEW("SLOW") // Specify the output slew rate
) OBUFT_inst (
  .O(O),        // Buffer output (connect directly to top-level port)
  .I(I),        // Buffer input
  .T(T)         // 3-state enable input
);

// End of OBUFT_inst instantiation
```

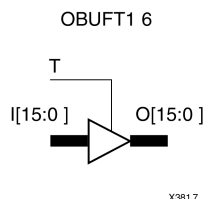
## 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当する EDK 資料



## OBUFT16

マクロ：16-Bit 3-State Output Buffer with Active Low Output Enable



### サポートされているアーキテクチャ

このデザイン エレメントは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

### 概要

このデザイン エレメントは、入力 (I)、出力 (O)、アクティブ Low 出力イネーブル (T) を持つ複数のトライステート出力バッファです。このエレメントでは、LVTTL 規格が使用され、DRIVE 制約と SLOW または FAST 制約を使用して駆動電流とスルー レートを選択できます。デフォルトでは、DRIVE=12mA、スルー レートは SLOW に設定されています。

T が Low の場合、バッファに入力された値が対応する出力に送られます。T が High の場合は、出力がハイ インピーダンス (オフまたは Z ステート) になります。OBUFT は、双方向 I/O を作成するなど、トライステート機能にシングルエンド出力を使用する必要がある場合に使用します。

### 論理表

入力		出力
T	I	O
1	X	Z
0	1	1
0	0	0

### デザインの入力方法

このエレメントは、回路図でのみ使用できます。

### 使用可能な属性

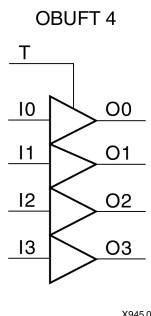
属性	タイプ	値	デフォルト	説明
IOSTANDARD	文字列	データシートを参照	DEFAULT	エレメントに I/O 規格を割り当てます。

### 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

## OBUFT4

### マクロ：4-Bit 3-State Output Buffers with Active-Low Output Enable



### サポートされているアーキテクチャ

このデザイン エレメントは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

### 概要

このデザイン エレメントは、入力 (I)、出力 (O)、アクティブ Low 出力イネーブル (T) を持つ複数のトリステート出力バッファです。このエレメントでは、LVTTL 規格が使用され、DRIVE 制約と SLOW または FAST 制約を使用して駆動電流とスルー レートを選択できます。デフォルトでは、DRIVE=12mA、スルー レートは SLOW に設定されています。

T が Low の場合、バッファに入力された値が対応する出力に送られます。T が High の場合は、出力がハイ インピーダンス (オフまたは Z ステート) になります。OBUFT は、双方向 I/O を作成するなど、トリステート機能にシングルエンド出力を使用する必要がある場合に使用します。

### 論理表

入力		出力
T	I	O
1	X	Z
0	1	1
0	0	0

### デザインの入力方法

このエレメントは、回路図でのみ使用できます。

### 使用可能な属性

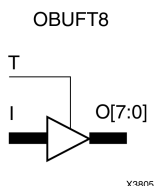
属性	タイプ	値	デフォルト	説明
IOSTANDARD	文字列	データシートを参照	DEFAULT	エレメントに I/O 規格を割り当てます。

## 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

## OBUFT8

マクロ：8-Bit 3-State Output Buffers with Active-Low Output Enable



### サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

### 概要

このデザイン エLEMENTは、入力 (I)、出力 (O)、アクティブ Low 出力イネーブル (T) を持つ複数のトリステート出力バッファです。このELEMENTでは、LVTTL 規格が使用され、DRIVE 制約と SLOW または FAST 制約を使用して駆動電流とスルー レートを選択できます。デフォルトでは、DRIVE=12mA、スルー レートは SLOW に設定されています。

T が Low の場合、バッファに入力された値が対応する出力に送られます。T が High の場合は、出力がハイ インピーダンス (オフまたは Z ステート) になります。OBUFT は、双方向 I/O を作成するなど、トリステート機能にシングルエンド出力を使用する必要がある場合に使用します。

### 論理表

入力		出力
T	I	O
1	X	Z
0	1	1
0	0	0

### デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

### 使用可能な属性

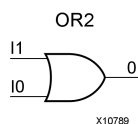
属性	タイプ	値	デフォルト	説明
IOSTANDARD	文字列	データシートを参照	DEFAULT	ELEMENTに I/O 規格を割り当てます。

### 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

## OR2

### プリミティブ：2-Input OR Gate with Non-Inverted Inputs



## サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

## 概要

5 入力までの OR ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の OR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバータを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

## デザインの入力方法

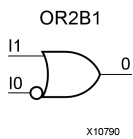
このELEMENTは、回路図でのみ使用できます。

## 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

## OR2B1

プリミティブ：2-Input OR Gate with 1 Inverted and 1 Non-Inverted Inputs



### サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

### 概要

5 入力までの OR ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の OR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバータを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

### デザインの入力方法

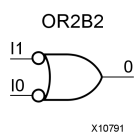
このELEMENTは、回路図でのみ使用できます。

### 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

## OR2B2

### プリミティブ：2-Input OR Gate with Inverted Inputs



## サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

## 概要

5 入力までの OR ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の OR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバータを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

## デザインの入力方法

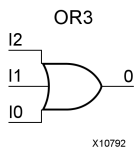
このELEMENTは、回路図でのみ使用できます。

## 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

## OR3

### プリミティブ：3-Input OR Gate with Non-Inverted Inputs



## サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

## 概要

5 入力までの OR ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の OR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバータを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

## デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

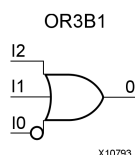
## 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート



## OR3B1

プリミティブ：3-Input OR Gate with 1 Inverted and 2 Non-Inverted Inputs



## サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

## 概要

5 入力までの OR ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の OR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバータを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

## デザインの入力方法

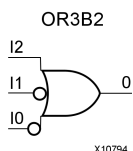
このELEMENTは、回路図でのみ使用できます。

## 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

## OR3B2

プリミティブ：3-Input OR Gate with 2 Inverted and 1 Non-Inverted Inputs



### サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

### 概要

5 入力までの OR ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の OR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバータを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

### デザインの入力方法

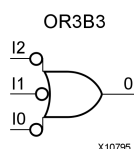
このELEMENTは、回路図でのみ使用できます。

### 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

## OR3B3

プリミティブ：3-Input OR Gate with Inverted Inputs



## サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

## 概要

5 入力までの OR ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の OR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバータを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

## デザインの入力方法

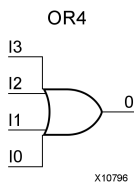
このELEMENTは、回路図でのみ使用できます。

## 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

## OR4

プリミティブ：4-Input OR Gate with Non-Inverted Inputs



## サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

## 概要

5 入力までの OR ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の OR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバータを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

## デザインの入力方法

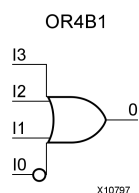
このELEMENTは、回路図でのみ使用できます。

## 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

## OR4B1

プリミティブ：4-Input OR Gate with 1 Inverted and 3 Non-Inverted Inputs



## サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

## 概要

5 入力までの OR ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の OR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバータを使用します。各入力に CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

## デザインの入力方法

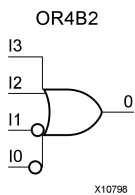
このELEMENTは、回路図でのみ使用できます。

## 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

## OR4B2

プリミティブ：4-Input OR Gate with 2 Inverted and 2 Non-Inverted Inputs



### サポートされているアーキテクチャ

このデザイン エレメントは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

### 概要

5 入力までの OR ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の OR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバータを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

### デザインの入力方法

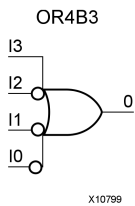
このエレメントは、回路図でのみ使用できます。

### 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

## OR4B3

プリミティブ：4-Input OR Gate with 3 Inverted and 1 Non-Inverted Inputs



### サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

### 概要

5 入力までの OR ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の OR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバータを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

### デザインの入力方法

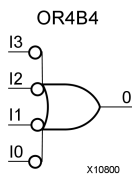
このELEMENTは、回路図でのみ使用できます。

### 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

## OR4B4

プリミティブ：4-Input OR Gate with Inverted Inputs



## サポートされているアーキテクチャ

このデザイン エレメントは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

## 概要

5 入力までの OR ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の OR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバータを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

## デザインの入力方法

このエレメントは、回路図でのみ使用できます。

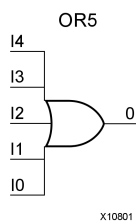
## 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート



## OR5

### プリミティブ：5-Input OR Gate with Non-Inverted Inputs



## サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

## 概要

5 入力までの OR ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の OR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバータを使用します。各入力に CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

## デザインの入力方法

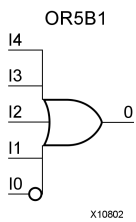
このELEMENTは、回路図でのみ使用できます。

## 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

## OR5B1

プリミティブ：5-Input OR Gate with 1 Inverted and 4 Non-Inverted Inputs



## サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

## 概要

5 入力までの OR ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の OR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバータを使用します。各入力に CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

## デザインの入力方法

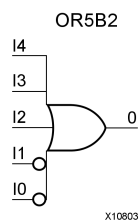
このELEMENTは、回路図でのみ使用できます。

## 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

## OR5B2

プリミティブ：5-Input OR Gate with 2 Inverted and 3 Non-Inverted Inputs



## サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

## 概要

5 入力までの OR ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の OR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバータを使用します。各入力に CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

## デザインの入力方法

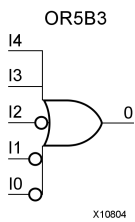
このELEMENTは、回路図でのみ使用できます。

## 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

## OR5B3

プリミティブ：5-Input OR Gate with 3 Inverted and 2 Non-Inverted Inputs



### サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

### 概要

5 入力までの OR ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の OR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバータを使用します。各入力に CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

### デザインの入力方法

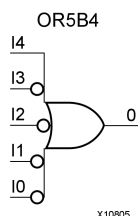
このELEMENTは、回路図でのみ使用できます。

### 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

## OR5B4

プリミティブ：5-Input OR Gate with 4 Inverted and 1 Non-Inverted Inputs



## サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

## 概要

5 入力までの OR ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の OR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバータを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

## デザインの入力方法

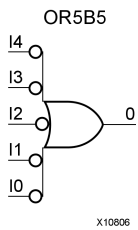
このELEMENTは、回路図でのみ使用できます。

## 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

## OR5B5

プリミティブ：5-Input OR Gate with Inverted Inputs



### サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

### 概要

5 入力までの OR ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の OR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバータを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

### デザインの入力方法

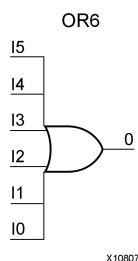
このELEMENTは、回路図でのみ使用できます。

### 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

## OR6

### マクロ：6-Input OR Gate with Non-Inverted Inputs



## サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

## 概要

5 入力までの OR ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の OR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバータを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

## デザインの入力方法

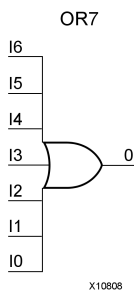
このELEMENTは、回路図でのみ使用できます。

## 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

## OR7

### マクロ：7-Input OR Gate with Non-Inverted Inputs



## サポートされているアーキテクチャ

このデザイン エレメントは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

## 概要

5 入力までの OR ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の OR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバータを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

## デザインの入力方法

このエレメントは、回路図でのみ使用できます。

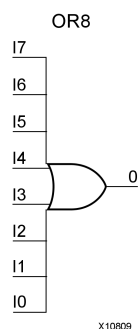
## 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート



## OR8

### マクロ：8-Input OR Gate with Non-Inverted Inputs



## サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

## 概要

5 入力までの OR ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の OR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバータを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

## デザインの入力方法

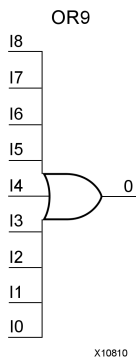
このELEMENTは、回路図でのみ使用できます。

## 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

## OR9

### マクロ：9-Input OR Gate with Non-Inverted Inputs



## サポートされているアーキテクチャ

このデザイン エレメントは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

## 概要

5 入力までの OR ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の OR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバータを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

## デザインの入力方法

このエレメントは、回路図でのみ使用できます。

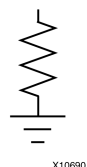
## 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

## PULLDOWN

**プリミティブ：Resistor to GND for Input Pads, Open-Drain, and 3-State Outputs**

PULLDOWN



X10690

## サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

## 概要

この抵抗エレメントは、入力、出力、双方向のパッドに接続し、フロートする可能性のあるノードのロジックレベルを Low にします。

## ポートの説明

ポート名	方向	幅	機能
O	出力	1	プルダウン出力 (最上位ポートに直接接続)

## デザインの入力方法

インスタンス化	可
推論	不可
CORE Generator™ およびウィザード	不可
マクロのサポート	不可

このエレメントは、回路図で使用されます。

このエレメントは、最上位の回路図ファイルで次のネットに接続できます。

- ・ 入力 I/O マーカーに接続されたネット
- ・ 出力 I/O マーカーおよび OBUFT のようなトライステートにできる I/O エLEMENTの両方に接続されたネット

## VHDL 記述 (インスタンスレーション)

次の 2 つの構文が存在しない場合はコピーし、エンティティ宣言の前に貼り付けます。

```
Library UNISIM;
use UNISIM.vcomponents.all;

-- PULLDOWN: I/O Buffer Weak Pull-down
--           All FPGA
-- Xilinx HDL Libraries Guide, version 11.2

PULLDOWN_inst : PULLDOWN
port map (
  O => O      -- Pulldown output (connect directly to top-level port)
);

-- End of PULLDOWN_inst instantiation
```

## Verilog 記述 (インスタンスレーション)

```
// PULLDOWN: I/O Buffer Weak Pull-down
//           All FPGA
// Xilinx HDL Libraries Guide, version 11.2

PULLDOWN PULLDOWN_inst (
  .O(O)       // Pulldown output (connect directly to top-level port)
);

// End of PULLDOWN_inst instantiation
```

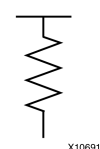
## 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当する EDK 資料

## PULLUP

**プリミティブ：Resistor to VCC for Input PADs, Open-Drain, and 3-State Outputs**

PULLUP



## サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

## 概要

このデザイン エLEMENTは、1 つの入力、トライステート出力、または双方向ポートが内部または外部ソースで駆動されないときに、値、weak High で駆動できます。このELEMENTは、すべてのドライバが使用されていないときにオープンドレイン エLEMENTおよびマクロのロジック レベルを 1 (High) にします。

## ポートの説明

ポート名	方向	幅	機能
O	出力	1	プルアップ出力 (最上位ポートに直接接続)

## デザインの入力方法

インスタンス化	可
推論	不可
CORE Generator™ およびウィザード	不可
マクロのサポート	不可

このELEMENTは、回路図で使用されます。

このELEMENTは、最上位の回路図ファイルで次のネットに接続できます。

- ・ 入力 I/O マーカーに接続されたネット
- ・ 出力 I/O マーカーおよび OBUFT のようなトライステートにできる I/O エLEMENTの両方に接続されたネット

## VHDL 記述 (インスタンスレーション)

次の 2 つの構文が存在しない場合はコピーし、エンティティ宣言の前に貼り付けます。

```
Library UNISIM;  
use UNISIM.vcomponents.all;  
  
-- PULLUP: I/O Buffer Weak Pull-up  
--      All FPGA, CoolRunner-II  
-- Xilinx HDL Libraries Guide, version 11.2  
  
PULLUP_inst : PULLUP  
port map (  
    O => O      -- Pullup output (connect directly to top-level port)  
);  
  
-- End of PULLUP_inst instantiation
```

## Verilog 記述 (インスタンスレーション)

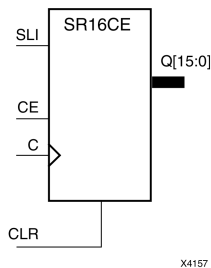
```
// PULLUP: I/O Buffer Weak Pull-up  
//      All FPGA, CoolRunner-II  
// Xilinx HDL Libraries Guide, version 11.2  
  
PULLUP PULLUP_inst (  
    .O(O)        // Pullup output (connect directly to top-level port)  
);  
  
// End of PULLUP_inst instantiation
```

## 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当する EDK 資料

## SR16CE

**マクロ：16-Bit Serial-In Parallel-Out Shift Register with Clock Enable and Asynchronous Clear**



## サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

## 概要

このデザイン エLEMENTはシフトレジスタで、シフト レフト シリアル入力 (SLI)、パラレル出力 (Q)、クロック イネーブル (CE)、非同期クリア入力 (CLR) があります。CLR 入力が高になると、ほかのすべての入力は無視され、出力 (Q) が Low にリセットされます。CE が High で CLR が Low の場合、クロック (C) が Low から High に切り替わるときに SLI 入力の値がシフトレジスタの第 1 ビットにロードされ、Q0 に出力されます。次にクロックが Low から High に切り替わるときに CE が High で CLR が Low の場合、値が次の高位ビットの位置にシフトされ、新しい値が Q0 にロードされます (例：SLI → Q0、Q0 → Q1、Q1 → Q2)。CE が Low の場合は、クロック遷移は無視されます。

最後の Q 出力を次の段の SLI 入力に接続し、クロック、CE、CLR を並列に接続すると、複数のレジスタをカスケード接続できます。

電力を供給すると、レジスタは非同期にクリアされ、出力が Low になります。

## 論理表

入力				出力	
CLR	CE	SLI	C	Q0	Qz : Q1
1	X	X	X	0	0
0	0	X	X	変化なし	変化なし
0	1	SLI	↑	SLI	qn-1
z = ビット幅 - 1					
qn-1 = アクティブなクロック エッジの 1 セットアップ タイム前の対応する出力の値					

## デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

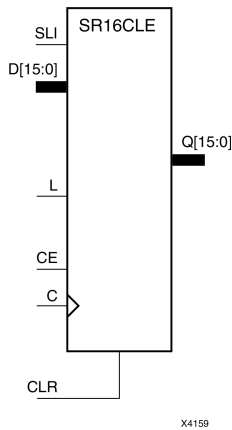
## 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート



## SR16CLE

**マクロ：16-Bit Loadable Serial/Parallel-In Parallel-Out Shift Register with Clock Enable and Asynchronous Clear**



## サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

## 概要

このデザイン エLEMENTはシフトレジスタで、シフトレフトシリアル入力 (SLI)、パラレル入力 (D)、パラレル出力 (Q) に加え、クロック イネーブル (CE)、ロード イネーブル (L)、非同期クリア (CLR) の 3 つの制御入力があります。L と CE が Low の場合、クロック遷移は無視されます。CLR が High になると、ほかのすべての入力は無視され、出力 (Q) が Low にリセットされます。L が High で CLR が Low の場合、クロック (C) が Low から High に切り替わる時に、Dn ~ D0 入力の値は対応する Qn ~ Q0 ビットにロードされます。

CE が High で L および CLR が Low の場合、C が Low から High に切り替わる時に、SLI 入力の値がシフトレジスタの第 1 ビットにロードされ、Q0 に出力されます。次のクロック遷移で CE が High、L と CLR が Low の場合、値が次の高位ビットの位置にシフトされ、新しい値が Q0 にロードされます (例：SLI → Q0、Q0 → Q1、Q1 → Q2)。

最後の Q 出力を次の段の SLI 入力に接続し、クロック、CE、L、CLR を並列に接続すると、複数のレジスタをカスケード接続できます。

電力を供給すると、レジスタは非同期にクリアされ、出力が Low になります。

## 論理表

入力						出力	
CLR	L	CE	SLI	Dn:D0	C	Q0	Qz : Q1
1	X	X	X	X	X	0	0
0	1	X	X	Dn:D0	↑	D0	Dn
0	0	1	SLI	X	↑	SLI	qn-1
0	0	0	X	X	X	変化なし	変化なし

z = ビット幅 -1

qn-1 = アクティブなクロック エッジの 1 セットアップ タイム前の対応する出力の値

## デザインの入力方法

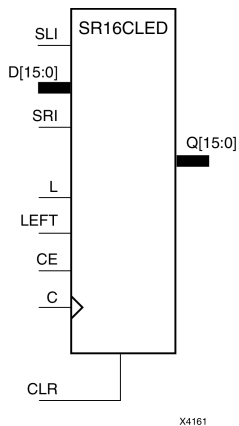
このエレメントは、回路図でのみ使用できます。

## 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

## SR16CLED

マクロ：16-Bit Shift Register with Clock Enable and Asynchronous Clear



### サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

### 概要

このデザイン エLEMENTはシフトレジスタで、シフトレフトシリアル入力 (SLI)、シフトライトシリアル入力 (SRI)、パラレル入力 (D)、パラレル出力 (Q) に加え、クロック イネーブル (CE)、ロード イネーブル (L)、シフトレフト/ライト (LEFT)、非同期クリア (CLR) の 4 つの制御入力があります。CE と L が Low の場合、クロック遷移は無視されます。CLR が High になると、ほかのすべての入力は無視され、出力 (Q) が Low にリセットされます。

L が High で CLR が Low の場合、クロック (C) が Low から High に切り替わる時に、D 入力の値が対応する Q ビットにロードされます。CE が High で L および CLR が Low の場合、LEFT 入力の値に応じて、レジスタの値は高位ビットまたは下位ビットにシフトされます。LEFT が High の場合は、クロックが Low から High に切り替わる時に SLI の値が Q0 にロードされ、次の Low から High へのクロック遷移で高位ビットにシフトされます (例：Q0 → Q1、Q1 → Q2)。LEFT が Low の場合は、クロックが Low から High に切り替わる時に SRI の値が最後の Q にロードされ、次のクロック遷移で右方向にシフトされます。論理表にすべての入力条件に対する Q 出力の値を示します。

電力を供給すると、レジスタは非同期にクリアされ、出力が Low になります。

## 論理表

入力								出力		
CLR	L	CE	LEFT	SLI	SRI	D15 : D0	C	Q0	Q15	Q14 : Q1
1	X	X	X	X	X	X	X	0	0	0
0	1	X	X	X	X	D15 : D0	↑	D0	D15	Dn
0	0	0	X	X	X	X	X	変化なし	変化なし	変化なし
0	0	1	1	SLI	X	X	↑	SLI	q14	qn-1
0	0	1	0	X	SRI	X	↑	q1	SRI	qn+1
qn-1 または qn+1 = アクティブなクロック エッジの 1 セットアップ タイム前の対応する出力の値										

## デザインの入力方法

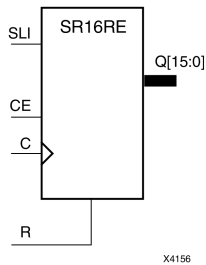
このエレメントは、回路図でのみ使用できます。

## 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

## SR16RE

**マクロ：16-Bit Serial-In Parallel-Out Shift Register with Clock Enable and Synchronous Reset**



## サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

## 概要

このデザイン エLEMENTはシフトレジスタで、シフトレフトシリアル入力 (SLI)、パラレル出力 (Qn)、クロック イネーブル (CE)、同期リセット入力 (R) があります。R 入力が高レベルになると、ほかのすべての入力は無視され、クロック (C) が Low から High に切り替わるときに出力 (Q) が Low にリセットされます。

CE が High で R が Low の場合、クロック (C) が Low から High に切り替わるときに SLI の値がシフトレジスタの第 1 ビットにロードされ、Q0 に出力されます。次にクロックが Low から High に切り替わるときに CE が High で R が Low の場合、値が次の高位ビットの位置にシフトされ、新しい値が Q0 にロードされます (例：SLI → Q0、Q0 → Q1、Q1 → Q2)。CE が Low の場合は、クロック遷移は無視されます。

最後の Q 出力を次の段の SLI 入力に接続し、クロック、CE、R を並列に接続すると、複数のレジスタをカスケード接続できます。

電力を供給すると、レジスタは非同期にクリアされ、出力が Low になります。

## 論理表

入力				出力	
R	CE	SLI	C	Q0	Qz : Q1
1	X	X	↑	0	0
0	0	X	X	変化なし	変化なし
0	1	SLI	↑	SLI	qn-1
z = ビット幅 -1					
qn-1 = アクティブなクロック エッジの 1 セットアップ タイム前の対応する出力の値					

## デザインの入力方法

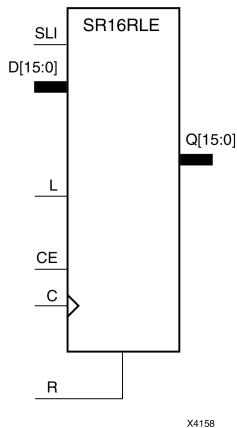
このELEMENTは、回路図でのみ使用できます。

## 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

## SR16RLE

マクロ：16-Bit Loadable Serial/Parallel-In Parallel-Out Shift Register with Clock Enable and Synchronous Reset



## サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

## 概要

このデザイン エLEMENTはシフトレジスタで、シフトレフトシリアル入力 (SLI)、パラレル入力 (D)、パラレル出力 (Q) に加え、クロック イネーブル (CE)、ロード イネーブル (L)、同期リセット (R) の 3 つの制御入力があります。L と CE が Low の場合、クロック遷移は無視されます。R が High になると、ほかのすべての入力は無視され、クロック (C) が Low から High に切り替わるときに Q が Low にリセットされます。L が High で R が Low の場合、C が Low から High に切り替わる時に、D 入力の値が対応する Q ビットにロードされます。

CE が High で L および R が Low の場合は、C が Low から High に切り替わる時に SLI 入力の値がシフトレジスタの第 1 ビットにロードされ、Q0 に出力されます。次のクロック遷移で CE が High、L と R が Low の場合、シフトレジスタの値は次の高位ビットにシフトされ、新しい値が Q0 にロードされます。

最後の Q 出力を次の段の SLI 入力に接続し、クロック、CE、L、R を並列に接続すると、複数のレジスタをカスケード接続できます。

電力を供給すると、レジスタは非同期にクリアされ、出力が Low になります。

## 論理表

入力						出力	
R	L	CE	SLI	Dz : D0	C	Q0	Qz : Q1
1	X	X	X	X	↑	0	0
0	1	X	X	Dz : D0	↑	D0	Dn
0	0	1	SLI	X	↑	SLI	qn-1
0	0	0	X	X	X	変化なし	変化なし
z = ビット幅 -1							
qn-1 = アクティブなクロック エッジの 1 セットアップ タイム前の対応する出力の値							

## デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

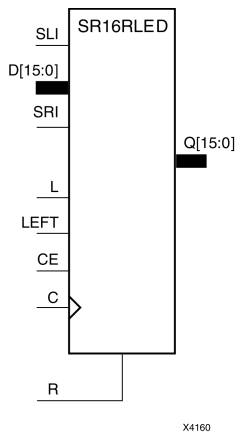
## 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート



## SR16RLED

マクロ：16-Bit Shift Register with Clock Enable and Synchronous Reset



## サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

## 概要

このデザイン エLEMENTはシフトレジスタで、シフト レフト シリアル入力 (SLI)、シフト ライト シリアル入力 (SRI)、パラレル入力 (D)、パラレル出力 (Q) に加え、クロック イネーブル (CE)、ロード イネーブル (L)、シフト レフト/ライト (LEFT)、同期リセット (R) の 4 つの制御入力があります。CE と L が Low の場合、クロック遷移は無視されます。R が High になると、ほかのすべての入力は無視され、クロック (C) が Low から High に切り替わるときに Q が Low にリセットされます。L が High で R が Low の場合、C が Low から High に切り替わるときに、D 入力の値が対応する Q ビットにロードされます。

CE が High で L および R が Low の場合、LEFT 入力の値に応じて、レジスタの値は高位ビットまたは下位ビットにシフトされます。LEFT が High の場合は、クロックが Low から High に切り替わるときに SLI の値が Q0 にロードされ、次の Low から High へのクロック遷移で高位ビットにシフトされます (例：Q0 → Q1、Q1 → Q2)。LEFT が Low の場合は、クロックが Low から High に切り替わるときに SRI の値が最後の Q にロードされ、次のクロック遷移で右方向にシフトされます。論理表にすべての入力条件に対する Q 出力の値を示します。

電力を供給すると、レジスタは非同期にクリアされ、出力が Low になります。

## 論理表

入力								出力		
R	L	CE	LEFT	SLI	SRI	D15:D0	C	Q0	Q15	Q14:Q1
1	X	X	X	X	X	X	↑	0	0	0
0	1	X	X	X	X	D15:D0	↓	D0	D15	Dn
0	0	0	X	X	X	X	X	変化なし	変化なし	変化なし
0	0	1	1	SLI	X	X	↑	SLI	q14	qn-1
0	0	1	0	X	SRI	X	↓	q1	SRI	qn+1
qn-1 または qn+1 = アクティブなクロック エッジの 1 セットアップ タイム前の対応する出力の値										

## デザインの入力方法

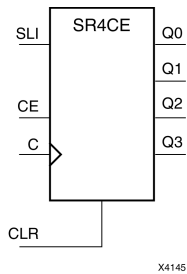
このエレメントは、回路図でのみ使用できます。

## 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

## SR4CE

**マクロ：4-Bit Serial-In Parallel-Out Shift Register with Clock Enable and Asynchronous Clear**



## サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

## 概要

このデザイン エLEMENTはシフトレジスタで、シフト レフト シリアル入力 (SLI)、パラレル出力 (Q)、クロック イネーブル (CE)、非同期クリア入力 (CLR) があります。CLR 入力が高になると、ほかのすべての入力は無視され、出力 (Q) が Low にリセットされます。CE が High で CLR が Low の場合、クロック (C) が Low から High に切り替わるときに SLI 入力の値がシフトレジスタの第 1 ビットにロードされ、Q0 に出力されます。次にクロックが Low から High に切り替わるときに CE が High で CLR が Low の場合、値が次の高位ビットの位置にシフトされ、新しい値が Q0 にロードされます (例：SLI → Q0、Q0 → Q1、Q1 → Q2)。CE が Low の場合は、クロック遷移は無視されます。

最後の Q 出力を次の段の SLI 入力に接続し、クロック、CE、CLR を並列に接続すると、複数のレジスタをカスケード接続できます。

電力を供給すると、レジスタは非同期にクリアされ、出力が Low になります。

## 論理表

入力				出力	
CLR	CE	SLI	C	Q0	Qz : Q1
1	X	X	X	0	0
0	0	X	X	変化なし	変化なし
0	1	SLI	↑	SLI	qn-1
z = ビット幅 - 1					
qn-1 = アクティブなクロック エッジの 1 セットアップ タイム前の対応する出力の値					

## デザインの入力方法

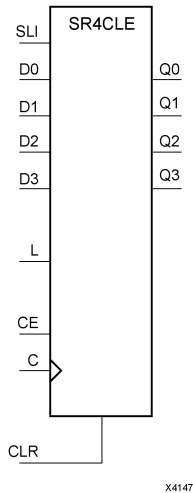
このELEMENTは、回路図でのみ使用できます。

## 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

## SR4CLE

**マクロ：4-Bit Loadable Serial/Parallel-In Parallel-Out Shift Register with Clock Enable and Asynchronous Clear**



X4147

## サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

## 概要

このデザイン エLEMENTはシフトレジスタで、シフトレフトシリアル入力 (SLI)、パラレル入力 (D)、パラレル出力 (Q) に加え、クロック イネーブル (CE)、ロード イネーブル (L)、非同期クリア (CLR) の 3 つの制御入力があります。L と CE が Low の場合、クロック遷移は無視されます。CLR が High になると、ほかのすべての入力は無視され、出力 (Q) が Low にリセットされます。L が High で CLR が Low の場合、クロック (C) が Low から High に切り替わる時に、Dn ~ D0 入力の値は対応する Qn ~ Q0 ビットにロードされます。

CE が High で L および CLR が Low の場合、C が Low から High に切り替わる時に、SLI 入力の値がシフトレジスタの第 1 ビットにロードされ、Q0 に出力されます。次のクロック遷移で CE が High、L と CLR が Low の場合、値が次の高位ビットの位置にシフトされ、新しい値が Q0 にロードされます (例：SLI → Q0、Q0 → Q1、Q1 → Q2)。

最後の Q 出力を次の段の SLI 入力に接続し、クロック、CE、L、CLR を並列に接続すると、複数のレジスタをカスケード接続できます。

電力を供給すると、レジスタは非同期にクリアされ、出力が Low になります。

## 論理表

入力						出力	
CLR	L	CE	SLI	Dn:D0	C	Q0	Qz : Q1
1	X	X	X	X	X	0	0
0	1	X	X	Dn:D0	↑	D0	Dn
0	0	1	SLI	X	↑	SLI	qn-1
0	0	0	X	X	X	変化なし	変化なし
z = ビット幅 -1							
qn-1 = アクティブなクロック エッジの 1 セットアップ タイム前の対応する出力の値							

## デザインの入力方法

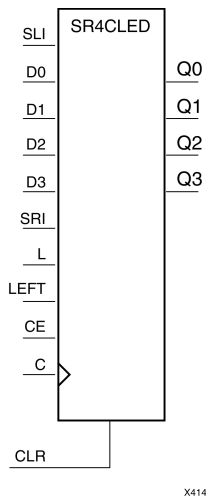
このエレメントは、回路図でのみ使用できます。

## 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

## SR4CLED

マクロ：4-Bit Shift Register with Clock Enable and Asynchronous Clear



## サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

## 概要

このデザイン エLEMENTはシフトレジスタで、シフト レフト シリアル入力 (SLI)、シフト ライト シリアル入力 (SRI)、パラレル入力 (D)、パラレル出力 (Q) に加え、クロック イネーブル (CE)、ロード イネーブル (L)、シフト レフト/ライト (LEFT)、非同期クリア (CLR) の 4 つの制御入力があります。CE と L が Low の場合、クロック遷移は無視されます。CLR が High になると、ほかのすべての入力は無視され、出力 (Q) が Low にリセットされます。

L が High で CLR が Low の場合、クロック (C) が Low から High に切り替わるときに、D 入力の値が対応する Q ビットにロードされます。CE が High で L および CLR が Low の場合、LEFT 入力の値に応じて、レジスタの値は高位ビットまたは低位ビットにシフトされます。LEFT が High の場合は、クロックが Low から High に切り替わるときに SLI の値が Q0 にロードされ、次の Low から High へのクロック遷移で高位ビットにシフトされます (例：Q0 → Q1、Q1 → Q2)。LEFT が Low の場合は、クロックが Low から High に切り替わるときに SRI の値が最後の Q にロードされ、次のクロック遷移で右方向にシフトされます。論理表にすべての入力条件に対する Q 出力の値を示します。

電力を供給すると、レジスタは非同期にクリアされ、出力が Low になります。

## 論理表

入力								出力		
CLR	L	CE	LEFT	SLI	SRI	D3 : D0	C	Q0	Q3	Q2 : Q1
1	X	X	X	X	X	X	X	0	0	0
0	1	X	X	X	X	D3:D0	↑	D0	D3	Dn
0	0	0	X	X	X	X	X	変化なし	変化なし	変化なし
0	0	1	1	SLI	X	X	↑	SLI	q2	qn-1
0	0	1	0	X	SRI	X	↑	q1	SRI	qn+1
qn-1 および qn+1 = アクティブなクロック エッジの 1 セットアップ タイム前の対応する出力の値										

## デザインの入力方法

このエレメントは、回路図でのみ使用できます。

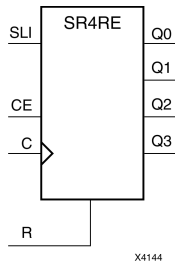
## 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート



## SR4RE

マクロ：4-Bit Serial-In Parallel-Out Shift Register with Clock Enable and Synchronous Reset



## サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

## 概要

このデザイン エLEMENTはシフトレジスタで、シフトレフトシリアル入力 (SLI)、パラレル出力 (Qn)、クロック イネーブル (CE)、同期リセット入力 (R) があります。R 入力が高レベルになると、ほかのすべての入力は無視され、クロック (C) が Low から High に切り替わる時に出力 (Q) が Low にリセットされます。

CE が High で R が Low の場合、クロック (C) が Low から High に切り替わる時に SLI の値がシフトレジスタの第 1 ビットにロードされ、Q0 に出力されます。次にクロックが Low から High に切り替わる時に CE が High で R が Low の場合、値が次の高位ビットの位置にシフトされ、新しい値が Q0 にロードされます (例：SLI → Q0、Q0 → Q1、Q1 → Q2)。CE が Low の場合は、クロック遷移は無視されます。

最後の Q 出力を次の段の SLI 入力に接続し、クロック、CE、R を並列に接続すると、複数のレジスタをカスケード接続できます。

電力を供給すると、レジスタは非同期にクリアされ、出力が Low になります。

## 論理表

入力				出力	
R	CE	SLI	C	Q0	Qz : Q1
1	X	X	↑	0	0
0	0	X	X	変化なし	変化なし
0	1	SLI	↑	SLI	qn-1
z = ビット幅 -1					
qn-1 = アクティブなクロック エッジの 1 セットアップ タイム前の対応する出力の値					

## デザインの入力方法

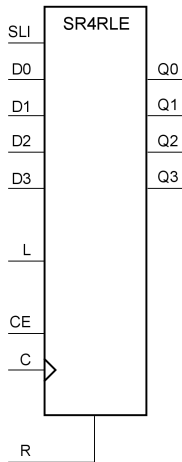
このELEMENTは、回路図でのみ使用できます。

## 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

## SR4RLE

**マクロ：4-Bit Loadable Serial/Parallel-In Parallel-Out Shift Register with Clock Enable and Synchronous Reset**



X4146

## サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

## 概要

このデザイン エLEMENTはシフトレジスタで、シフトレフトシリアル入力 (SLI)、パラレル入力 (D)、パラレル出力 (Q) に加え、クロック イネーブル (CE)、ロード イネーブル (L)、同期リセット (R) の 3 つの制御入力があります。L と CE が Low の場合、クロック遷移は無視されます。R が High になると、ほかのすべての入力は無視され、クロック (C) が Low から High に切り替わる時に Q が Low にリセットされます。L が High で R が Low の場合、C が Low から High に切り替わる時に、D 入力の値が対応する Q ビットにロードされます。

CE が High で L および R が Low の場合は、C が Low から High に切り替わる時に SLI 入力の値がシフトレジスタの第 1 ビットにロードされ、Q0 に出力されます。次のクロック遷移で CE が High、L と R が Low の場合、シフトレジスタの値は次の高位ビットにシフトされ、新しい値が Q0 にロードされます。

最後の Q 出力を次の段の SLI 入力に接続し、クロック、CE、L、R を並列に接続すると、複数のレジスタをカスケード接続できます。

電力を供給すると、レジスタは非同期にクリアされ、出力が Low になります。

## 論理表

入力						出力	
R	L	CE	SLI	Dz : D0	C	Q0	Qz : Q1
1	X	X	X	X	↑	0	0
0	1	X	X	Dz : D0	↑	D0	Dn
0	0	1	SLI	X	↑	SLI	qn-1
0	0	0	X	X	X	変化なし	変化なし
z = ビット幅 -1							
qn-1 = アクティブなクロック エッジの 1 セットアップ タイム前の対応する出力の値							

## デザインの入力方法

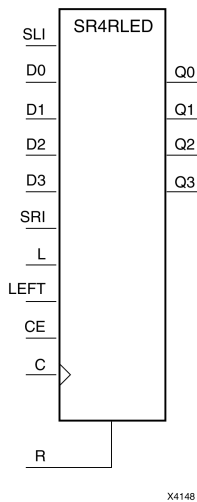
このELEMENTは、回路図でのみ使用できます。

## 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

## SR4RLED

マクロ：4-Bit Shift Register with Clock Enable and Synchronous Reset



## サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

## 概要

このデザイン エLEMENTはシフトレジスタで、シフトレフトシリアル入力 (SLI)、シフトライトシリアル入力 (SRI)、パラレル入力 (D)、パラレル出力 (Q) に加え、クロックイネーブル (CE)、ロードイネーブル (L)、シフトレフト/ライト (LEFT)、同期リセット (R) の 4 つの制御入力があります。CE と L が Low の場合、クロック遷移は無視されます。R が High になると、ほかのすべての入力は無視され、クロック (C) が Low から High に切り替わるときに Q が Low にリセットされます。L が High で R が Low の場合、C が Low から High に切り替わるときに、D 入力の値が対応する Q ビットにロードされます。

CE が High で L および R が Low の場合、LEFT 入力の値に応じて、レジスタの値は高位ビットまたは下位ビットにシフトされます。LEFT が High の場合は、クロックが Low から High に切り替わるときに SLI の値が Q0 にロードされ、次の Low から High へのクロック遷移で高位ビットにシフトされます (例：Q0 → Q1、Q1 → Q2)。LEFT が Low の場合は、クロックが Low から High に切り替わるときに SRI の値が最後の Q にロードされ、次のクロック遷移で右方向にシフトされます。論理表にすべての入力条件に対する Q 出力の値を示します。

電力を供給すると、レジスタは非同期にクリアされ、出力が Low になります。

## 論理表

入力								出力		
R	L	CE	LEFT	SLI	SRI	D3 : D0	C	Q0	Q3	Q2 : Q1
1	X	X	X	X	X	X	↑	0	0	0
0	1	X	X	X	X	D3 : D0	↑	D0	D3	Dn
0	0	0	X	X	X	X	X	変化なし	変化なし	変化なし
0	0	1	1	SLI	X	X	↑	SLI	q2	qn-1
0	0	1	0	X	SRI	X	↑	q1	SRI	qn+1
qn-1 または qn+1 = アクティブなクロック エッジの 1 セットアップ タイム前の対応する出力の値										

## デザインの入力方法

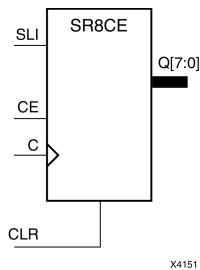
このエレメントは、回路図でのみ使用できます。

## 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

## SR8CE

**マクロ：8-Bit Serial-In Parallel-Out Shift Register with Clock Enable and Asynchronous Clear**



## サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

## 概要

このデザイン エLEMENTはシフトレジスタで、シフト レフト シリアル入力 (SLI)、パラレル出力 (Q)、クロック イネーブル (CE)、非同期クリア入力 (CLR) があります。CLR 入力が高になると、ほかのすべての入力は無視され、出力 (Q) が Low にリセットされます。CE が High で CLR が Low の場合、クロック (C) が Low から High に切り替わるときに SLI 入力の値がシフトレジスタの第 1 ビットにロードされ、Q0 に出力されます。次にクロックが Low から High に切り替わるときに CE が High で CLR が Low の場合、値が次の高位ビットの位置にシフトされ、新しい値が Q0 にロードされます (例：SLI → Q0、Q0 → Q1、Q1 → Q2)。CE が Low の場合は、クロック遷移は無視されます。

最後の Q 出力を次の段の SLI 入力に接続し、クロック、CE、CLR を並列に接続すると、複数のレジスタをカスケード接続できます。

電力を供給すると、レジスタは非同期にクリアされ、出力が Low になります。

## 論理表

入力				出力	
CLR	CE	SLI	C	Q0	Qz : Q1
1	X	X	X	0	0
0	0	X	X	変化なし	変化なし
0	1	SLI	↑	SLI	qn-1
z = ビット幅 - 1					
qn-1 = アクティブなクロック エッジの 1 セットアップ タイム前の対応する出力の値					

## デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

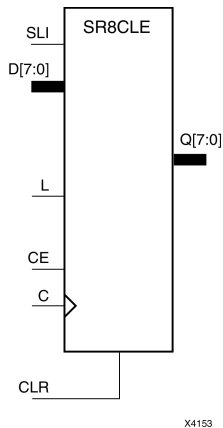
## 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート



## SR8CLE

**マクロ：8-Bit Loadable Serial/Parallel-In Parallel-Out Shift Register with Clock Enable and Asynchronous Clear**



## サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

## 概要

このデザイン エLEMENTはシフトレジスタで、シフトレフトシリアル入力 (SLI)、パラレル入力 (D)、パラレル出力 (Q) に加え、クロック イネーブル (CE)、ロード イネーブル (L)、非同期クリア (CLR) の 3 つの制御入力があります。L と CE が Low の場合、クロック遷移は無視されます。CLR が High になると、ほかのすべての入力は無視され、出力 (Q) が Low にリセットされます。L が High で CLR が Low の場合、クロック (C) が Low から High に切り替わるときに、Dn ~ D0 入力の値は対応する Qn ~ Q0 ビットにロードされます。

CE が High で L および CLR が Low の場合、C が Low から High に切り替わるときに、SLI 入力の値がシフトレジスタの第 1 ビットにロードされ、Q0 に出力されます。次のクロック遷移で CE が High、L と CLR が Low の場合、値が次の高位ビットの位置にシフトされ、新しい値が Q0 にロードされます (例：SLI → Q0、Q0 → Q1、Q1 → Q2)。

最後の Q 出力を次の段の SLI 入力に接続し、クロック、CE、L、CLR を並列に接続すると、複数のレジスタをカスケード接続できます。

電力を供給すると、レジスタは非同期にクリアされ、出力が Low になります。

## 論理表

入力						出力	
CLR	L	CE	SLI	Dn:D0	C	Q0	Qz : Q1
1	X	X	X	X	X	0	0
0	1	X	X	Dn:D0	↑	D0	Dn
0	0	1	SLI	X	↑	SLI	qn-1
0	0	0	X	X	X	変化なし	変化なし
z = ビット幅 -1							
qn-1 = アクティブなクロック エッジの 1 セットアップ タイム前の対応する出力の値							

## デザインの入力方法

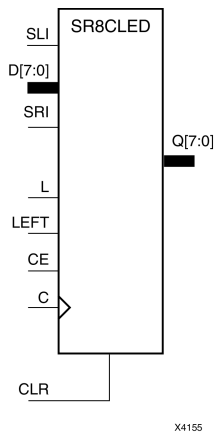
このエレメントは、回路図でのみ使用できます。

## 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

## SR8CLED

マクロ : 8-Bit Shift Register with Clock Enable and Asynchronous Clear



### サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

### 概要

このデザイン エLEMENTはシフトレジスタで、シフト レフト シリアル入力 (SLI)、シフト ライト シリアル入力 (SRI)、パラレル入力 (D)、パラレル出力 (Q) に加え、クロック イネーブル (CE)、ロード イネーブル (L)、シフト レフト/ライト (LEFT)、非同期クリア (CLR) の 4 つの制御入力があります。CE と L が Low の場合、クロック遷移は無視されます。CLR が High になると、ほかのすべての入力は無視され、出力 (Q) が Low にリセットされます。

L が High で CLR が Low の場合、クロック (C) が Low から High に切り替わるときに、D 入力の値が対応する Q ビットにロードされます。CE が High で L および CLR が Low の場合、LEFT 入力の値に応じて、レジスタの値は高位ビットまたは下位ビットにシフトされます。LEFT が High の場合は、クロックが Low から High に切り替わるときに SLI の値が Q0 にロードされ、次の Low から High へのクロック遷移で高位ビットにシフトされます (例 : Q0 → Q1、Q1 → Q2)。LEFT が Low の場合は、クロックが Low から High に切り替わるときに SRI の値が最後の Q にロードされ、次のクロック遷移で右方向にシフトされます。論理表にすべての入力条件に対する Q 出力の値を示します。

電力を供給すると、レジスタは非同期にクリアされ、出力が Low になります。

## 論理表

入力								出力		
CLR	L	CE	LEFT	SLI	SRI	D7 : D0	C	Q0	Q7	Q6 : Q1
1	X	X	X	X	X	X	X	0	0	0
0	1	X	X	X	X	D7 : D0	↑	D0	D7	Dn
0	0	0	X	X	X	X	X	変化なし	変化なし	変化なし
0	0	1	1	SLI	X	X	↑	SLI	q6	qn-1
0	0	1	0	X	SRI	X	↑	q1	SRI	qn+1
qn-1 または qn+1 = アクティブなクロック エッジの 1 セットアップ タイム前の対応する出力の値										

## デザインの入力方法

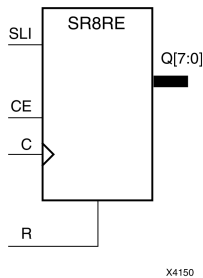
このエレメントは、回路図でのみ使用できます。

## 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

## SR8RE

**マクロ：8-Bit Serial-In Parallel-Out Shift Register with Clock Enable and Synchronous Reset**



## サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

## 概要

このデザイン エLEMENTはシフトレジスタで、シフトレフトシリアル入力 (SLI)、パラレル出力 (Qn)、クロック イネーブル (CE)、同期リセット入力 (R) があります。R 入力が高になると、ほかのすべての入力は無視され、クロック (C) が Low から High に切り替わる時に出力 (Q) が Low にリセットされます。

CE が High で R が Low の場合、クロック (C) が Low から High に切り替わる時に SLI の値がシフトレジスタの第 1 ビットにロードされ、Q0 に出力されます。次にクロックが Low から High に切り替わる時に CE が High で R が Low の場合、値が次の高位ビットの位置にシフトされ、新しい値が Q0 にロードされます (例：SLI → Q0、Q0 → Q1、Q1 → Q2)。CE が Low の場合は、クロック遷移は無視されます。

最後の Q 出力を次の段の SLI 入力に接続し、クロック、CE、R を並列に接続すると、複数のレジスタをカスケード接続できます。

電力を供給すると、レジスタは非同期にクリアされ、出力が Low になります。

## 論理表

入力				出力	
R	CE	SLI	C	Q0	Qz : Q1
1	X	X	↑	0	0
0	0	X	X	変化なし	変化なし
0	1	SLI	↑	SLI	qn-1
z = ビット幅 -1					
qn-1 = アクティブなクロック エッジの 1 セットアップ タイム前の対応する出力の値					

## デザインの入力方法

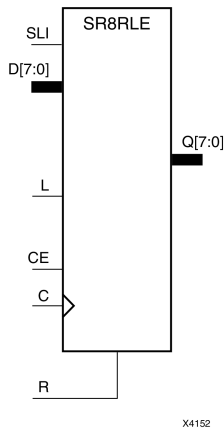
このELEMENTは、回路図でのみ使用できます。

## 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

## SR8RLE

**マクロ：8-Bit Loadable Serial/Parallel-In Parallel-Out Shift Register with Clock Enable and Synchronous Reset**



## サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

## 概要

このデザイン エLEMENTはシフトレジスタで、シフトレフトシリアル入力 (SLI)、パラレル入力 (D)、パラレル出力 (Q) に加え、クロックイネーブル (CE)、ロードイネーブル (L)、同期リセット (R) の3つの制御入力があります。LとCEがLowの場合、クロック遷移は無視されます。RがHighになると、ほかのすべての入力は無視され、クロック (C) がLowからHighに切り替わるときにQがLowにリセットされます。LがHighでRがLowの場合、CがLowからHighに切り替わる時に、D入力の値が対応するQビットにロードされます。

CEがHighでLおよびRがLowの場合は、CがLowからHighに切り替わる時にSLI入力の値がシフトレジスタの第1ビットにロードされ、Q0に出力されます。次のクロック遷移でCEがHigh、LとRがLowの場合、シフトレジスタの値は次の高位ビットにシフトされ、新しい値がQ0にロードされます。

最後のQ出力を次の段のSLI入力に接続し、クロック、CE、L、Rを並列に接続すると、複数のレジスタをカスケード接続できます。

電力を供給すると、レジスタは非同期にクリアされ、出力がLowになります。

## 論理表

入力						出力	
R	L	CE	SLI	Dz : D0	C	Q0	Qz : Q1
1	X	X	X	X	↑	0	0
0	1	X	X	Dz : D0	↑	D0	Dn
0	0	1	SLI	X	↑	SLI	qn-1
0	0	0	X	X	X	変化なし	変化なし
z = ビット幅 -1							
qn-1 = アクティブなクロック エッジの 1 セットアップ タイム前の対応する出力の値							

## デザインの入力方法

このエレメントは、回路図でのみ使用できます。

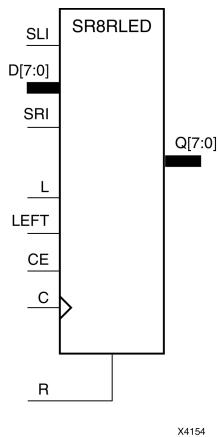
## 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート



## SR8RLED

マクロ：8-Bit Shift Register with Clock Enable and Synchronous Reset



## サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

## 概要

このデザイン エLEMENTはシフトレジスタで、シフト レフト シリアル入力 (SLI)、シフト ライト シリアル入力 (SRI)、パラレル入力 (D)、パラレル出力 (Q) に加え、クロック イネーブル (CE)、ロード イネーブル (L)、シフト レフト/ライト (LEFT)、同期リセット (R) の 4 つの制御入力があります。CE と L が Low の場合、クロック遷移は無視されます。R が High になると、ほかのすべての入力は無視され、クロック (C) が Low から High に切り替わるときに Q が Low にリセットされます。L が High で R が Low の場合、C が Low から High に切り替わるときに、D 入力の値が対応する Q ビットにロードされます。

CE が High で L および R が Low の場合、LEFT 入力の値に応じて、レジスタの値は高位ビットまたは下位ビットにシフトされます。LEFT が High の場合は、クロックが Low から High に切り替わるときに SLI の値が Q0 にロードされ、次の Low から High へのクロック遷移で高位ビットにシフトされます (例：Q0 → Q1、Q1 → Q2)。LEFT が Low の場合は、クロックが Low から High に切り替わるときに SRI の値が最後の Q にロードされ、次のクロック遷移で右方向にシフトされます。論理表にすべての入力条件に対する Q 出力の値を示します。

電力を供給すると、レジスタは非同期にクリアされ、出力が Low になります。

## 論理表

入力								出力		
R	L	CE	LEFT	SLI	SRI	D7 : D0	C	Q0	Q7	Q6 : Q1
1	X	X	X	X	X	X	↑	0	0	0
0	1	X	X	X	X	D7 : D0	↓	D0	D7	Dn
0	0	0	X	X	X	X	X	変化なし	変化なし	変化なし
0	0	1	1	SLI	X	X	↑	SLI	q6	qn-1
0	0	1	0	X	SRI	X	↓	q1	SRI	qn+1
qn-1 または qn+1 = アクティブなクロック エッジの 1 セットアップ タイム前の対応する出力の値										

## デザインの入力方法

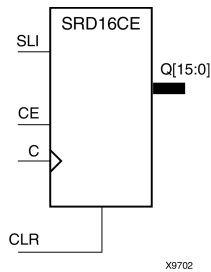
このエレメントは、回路図でのみ使用できます。

## 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

## SRD16CE

**マクロ：16-Bit Serial-In Parallel-Out Dual Edge Triggered Shift Register with Clock Enable and Asynchronous Clear**



## サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

## 概要

このデザイン エLEMENTは両エッジで動作するシフトレジスタで、シフトレフトシリアル入力 (SLI)、パラレル出力 (Q)、クロック イネーブル (CE)、非同期クリア入力 (CLR) があります。CLR 入力が高レベルになると、ほかのすべての入力は無視され、出力 (Q) が Low にリセットされます。CE が High で CLR が Low の場合、C が Low から High または High から Low に切り替わるときに、SLI 入力の値がシフトレジスタの第 1 ビットにロードされ、Q0 に出力されます。次のクロック遷移で CE が High、CLR が Low の場合、シフトレジスタの値は次の高位ビットにシフトされ、新しい値が Q0 にロードされます。CE が Low の場合は、クロック遷移は無視されます。

最後の Q 出力を次の段の SLI 入力に接続し、クロック、CE、CLR を並列に接続すると、複数のレジスタをカスケード接続できます。

電力を供給すると、レジスタは非同期にクリアされ、出力が Low になります。

High レベルのパルスを PRLD グローバル ネットに適用すると、パワーオンの状態をシミュレーションできます。

## 論理表

入力				出力	
CLR	CE	SLI	C	Q0	Qz : Q1
1	X	X	X	0	0
0	0	X	X	変化なし	変化なし
0	1	1	↑	1	qn-1
0	1	1	↓	1	qn-1
0	1	0	↑	0	qn-1
0	1	0	↓	0	qn-1
z = ビット幅 -1					
qn-1 = アクティブなクロック エッジの 1 セットアップ タイム前の対応する出力の値					

## デザインの入力方法

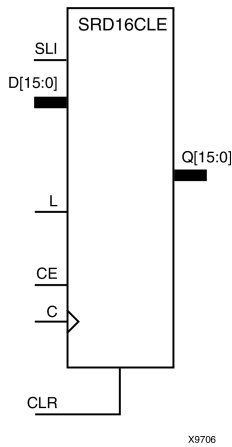
このELEMENTは、回路図でのみ使用できます。

### 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

## SRD16CLE

マクロ：16-Bit Loadable Serial/Parallel-In Parallel-Out Dual Edge Triggered Shift Register with Clock Enable and Asynchronous Clear



X9706

### サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

### 概要

このデザイン エLEMENTは、両エッジで動作するシフトレジスタで、シフトレフトシリアル入力 (SLI)、パラレル入力 (D)、パラレル出力 (Q) に加え、クロックイネーブル (CE)、ロードイネーブル (L)、非同期クリア (CLR) の3つの制御入力があります。LとCEがLowの場合、クロック遷移は無視されます。CLRがHighになると、ほかのすべての入力は無視され、出力 (Q) がLowにリセットされます。LがHighでCLRがLowの場合、クロック (C) がLowからHighまたはHighからLowに切り替わるときに、Dn:D0 入力の値は対応する Qn:Q0 ビットにロードされます。CEがHighでLとCLRがLowの場合、CがLowからHighまたはHighからLowに切り替わるときに、SLI 入力の値がシフトレジスタの第1ビットにロードされ、Q0 に出力されます。次のクロック遷移でCEがHigh、LとCLRがLowの場合、シフトレジスタの値は次の高位ビットにシフトされ、新しい値がQ0にロードされます。

最後のQ出力を次の段のSLI入力に接続し、クロック、CE、L、CLRを並列に接続すると、複数のレジスタをカスケード接続できます。

電力を供給すると、レジスタは非同期にクリアされ、出力がLowになります。HighレベルのパルスをPRLDグローバルネットに適用すると、パワーオンの状態をシミュレーションできます。

## 論理表

入力						出力	
CLR	L	CE	SLI	Dn:D0	C	Q0	Qz:Q1
1	X	X	X	X	X	0	0
0	1	X	X	Dn:D0	↑	D0	Dn
0	1	X	X	Dn:D0	↓	D0	Dn
0	0	1	SLI	X	↑	SLI	qn-1
0	0	1	SLI	X	↓	SLI	qn-1
0	0	0	X	X	X	変化なし	変化なし

z = ビット幅 -1

qn-1 = アクティブなクロック エッジの 1 セットアップ タイム前の対応する出力の値

## デザインの入力方法

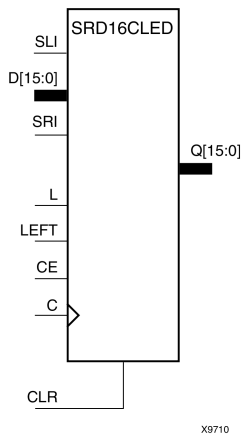
このエレメントは、回路図でのみ使用できます。

## 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

## SRD16CLED

マクロ：16-Bit Dual Edge Triggered Shift Register with Clock Enable and Asynchronous Clear



### サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

### 概要

このデザイン エLEMENTは両エッジで動作するシフトレジスタで、シフトレフトシリアル入力 (SLI)、シフトライトシリアル入力 (SRI)、パラレル入力 (D)、パラレル出力 (Q) に加え、クロックイネーブル (CE)、ロードイネーブル (L)、シフトレフト/ライト (LEFT)、非同期クリア (CLR) の4つの制御入力があります。CEとLがLowの場合、クロック遷移は無視されます。CLRがHighになると、ほかのすべての入力は無視され、出力 (Q) がLowにリセットされます。LがHighでCLRがLowの場合、クロック (C) がLowからHighまたはHighからLowに切り替わるときに、D入力の値は対応するQビットにロードされます。CEがHighでLおよびCLRがLowの場合、LEFT入力の値に応じて、レジスタの値は高位ビットまたは下位ビットにシフトされます。LEFTがHighの場合は、クロックがLowからHighまたはHighからLowに切り替わるときにSLIの値がQ0にロードされ、その後のクロック遷移で高位ビットにシフトされます。LEFTがLowの場合は、クロックがLowからHighまたはHighからLowに切り替わるときにSRIの値が最後のQにロードされ、次のクロック遷移で右方向にシフトされます。論理表にすべての入力条件に対するQ出力の値を示します。

電力を供給すると、レジスタは非同期にクリアされ、出力がLowになります。HighレベルのパルスをPRLDグローバルネットに適用すると、パワーオンの状態をシミュレーションできます。

## 論理表

入力								出力		
CLR	L	CE	LEFT	SLI	SRI	D15 : D0	C	Q0	Q15	Q14 : Q1
1	X	X	X	X	X	X	X	0	0	0
0	1	X	X	X	X	D15 : D0	↑	D0	D15	Dn
0	1	X	X	X	X	D15 : D0	↓	D0	D15	Dn
0	0	0	X	X	X	X	X	変化なし	変化なし	変化なし
0	0	1	1	SLI	X	X	↑	SLI	q14	qn-1
0	0	1	1	SLI	X	X	↓	SLI	q14	qn-1
0	0	1	0	X	SRI	X	↑	q1	SRI	qn+1
0	0	1	0	X	SRI	X	↓	q1	SRI	qn+1
qn-1 または qn+1 = アクティブなクロック エッジの 1 セットアップ タイム前の対応する出力の値										

## デザインの入力方法

このエレメントは、回路図でのみ使用できます。

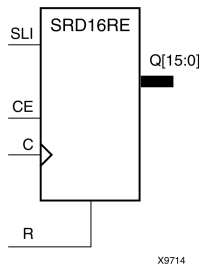
## 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート



## SRD16RE

**マクロ：16-Bit Serial-In Parallel-Out Dual Edge Triggered Shift Register with Clock Enable and Synchronous Reset**



## サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

## 概要

このデザイン エLEMENTは両エッジで動作するシフトレジスタで、シフトレフトシリアル入力 (SLI)、パラレル出力 (Q)、クロック イネーブル (CE)、同期リセット入力 (R) があります。R が High になると、ほかのすべての入力は無視され、クロック (C) が Low から High または High から Low に切り替わるときに、Q が Low にリセットされます。CE が High で R が Low の場合、C が Low から High または High から Low に切り替わるときに、SLI 入力の値がシフトレジスタの第 1 ビットにロードされ、Q0 に出力されます。次のクロック遷移で CE が High、R が Low の場合、シフトレジスタの値は次の高位ビットにシフトされ、新しい値が Q0 にロードされます。CE が Low の場合は、クロック遷移は無視されます。

最後の Q 出力を次の段の SLI 入力に接続し、クロック、CE、R を並列に接続すると、複数のレジスタをカスケード接続できます。

電力を供給すると、レジスタは非同期にクリアされ、出力が Low になります。High レベルのパルスを PRLD グローバル ネットに適用すると、パワーオンの状態をシミュレーションできます。

## 論理表

入力				出力	
R	CE	SLI	C	Q0	Qz:Q1
1	X	X	↑	0	0
1	X	X	↓	0	0
0	0	X	X	変化なし	変化なし
0	1	1	↑	1	qn-1
0	1	1	↓	1	qn-1
0	1	0	↑	0	qn-1
0	1	0	↓	0	qn-1
z = ビット幅 -1					
qn-1 = アクティブなクロック エッジの 1 セットアップ タイム前の対応する出力の値					

## デザインの入力方法

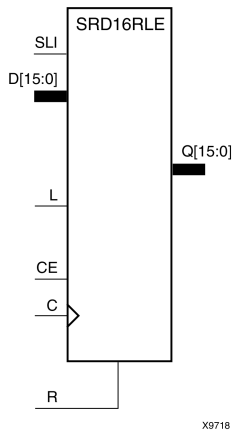
このELEMENTは、回路図でのみ使用できます。

### 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

## SRD16RLE

**マクロ：16-Bit Loadable Serial/Parallel-In Parallel-Out Dual Edge Triggered Shift Register with Clock Enable and Synchronous Reset**



X9718

## サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

## 概要

このデザイン エLEMENTは、両エッジで動作するシフトレジスタで、シフトレフトシリアル入力 (SLI)、パラレル入力 (D)、パラレル出力 (Q) に加え、クロック イネーブル (CE)、ロード イネーブル (L)、同期リセット (R) の 3 つの制御入力があります。L と CE が Low の場合、クロック遷移は無視されます。R が High になると、ほかのすべての入力は無視され、クロック (C) が Low から High または High から Low に切り替わるときに、出力 (Q) が Low にリセットされます。L が High で R が Low の場合、クロックが Low から High または High から Low に切り替わるときに、D 入力の値が対応する Q ビットにロードされます。CE が High で L と R が Low の場合、C が Low から High または High から Low に切り替わるときに、SLI 入力の値がシフトレジスタの第 1 ビットにロードされ、Q0 に出力されます。次のクロック遷移で CE が High、L と R が Low の場合、シフトレジスタの値は次の高位ビットにシフトされ、新しい値が Q0 にロードされます。

最後の Q 出力を次の段の SLI 入力に接続し、クロック、CE、L、R を並列に接続すると、複数のレジスタをカスケード接続できます。

電力を供給すると、レジスタは非同期にクリアされ、出力が Low になります。High レベルのパルスを PRLD グローバル ネットに適用すると、パワーオンの状態をシミュレーションできます。

## 論理表

入力						出力	
R	L	CE	SLI	Dz:D0	C	Q0	Qz:Q1
1	X	X	X	X	↑	0	0
1	X	X	X	X	↓	0	0
0	1	X	X	Dz:D0	↑	D0	Dn
0	1	X	X	Dz:D0	↓	D0	Dn
0	0	1	SLI	X	↑	SLI	qn-1
0	0	1	SLI	X	↓	SLI	qn-1
0	0	0	X	X	X	変化なし	変化なし

z = ビット幅 -1

## デザインの入力方法

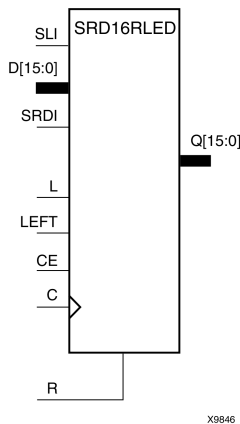
このエレメントは、回路図でのみ使用できます。

## 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

## SRD16RLED

マクロ：16-Bit Dual Edge Triggered Shift Register with Clock Enable and Synchronous Reset



### サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

### 概要

このデザイン エLEMENTは両エッジで動作するシフトレジスタで、シフトレフトシリアル入力 (SLI)、シフトライトシリアル入力 (SRDI)、パラレル入力 (D)、パラレル出力 (Q) に加え、クロック イネーブル (CE)、ロード イネーブル (L)、シフトレフト/ライト (LEFT)、同期リセット (R) の 4 つの制御入力があります。CE と L が Low の場合、クロック遷移は無視されます。R が High になると、ほかのすべての入力は無視され、クロック (C) が Low から High または High から Low に切り替わるたびに、出力 (Q) が Low にリセットされます。L が High で R が Low の場合、C が Low から High または High から Low に切り替わるたびに D 入力の値が対応する Q ビットにロードされます。CE が High で L および R が Low の場合、LEFT 入力の値に応じて、レジスタの値は高位ビットまたは下位ビットにシフトされます。LEFT が High の場合は、クロックが Low から High または High から Low に切り替わるたびに SLI の値が Q0 にロードされ、その後のクロック遷移で高位ビットにシフトされます (Q0 → Q1、Q1 → Q2 など)。LEFT が Low の場合は、クロックが Low から High または High から Low に切り替わるたびに SRDI の値が最後の Q0 にロードされ、次のクロック遷移で右方向にシフトされます。論理表にすべての入力条件に対する Q 出力の値を示します。

電力を供給すると、レジスタは非同期にクリアされ、出力が Low になります。High レベルのパルスを PRLD グローバルネットに適用すると、パワーオンの状態をシミュレーションできます。

## 論理表

入力								出力		
R	L	CE	LEFT	SLI	SRDI	D15 : D0	C	Q0	Q15	Q14 : Q1
1	X	X	X	X	X	X	↑	0	0	0
1	X	X	X	X	X	X	↓	0	0	0
0	1	X	X	X	X	D15 : D0	↑	D0	D15	Dn
0	1	X	X	X	X	D15 : D0	↓	D0	D15	Dn
0	0	0	X	X	X	X	X	変化なし	変化なし	変化なし
0	0	1	1	SLI	X	X	↑	SLI	q14	qn-1
0	0	1	1	SLI	X	X	↓	SLI	q14	qn-1
0	0	1	0	X	SRDI	X	↑	q1	SRDI	qn+1
0	0	1	0	X	SRDI	X	↓	q1	SRDI	qn+1

qn-1 または qn+1 = アクティブなクロック エッジの 1 セットアップ タイム前の対応する出力の値

## デザインの入力方法

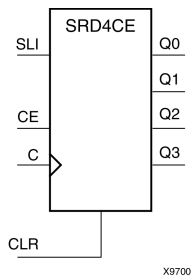
このエレメントは、回路図でのみ使用できます。

## 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

## SRD4CE

**マクロ：4-Bit Serial-In Parallel-Out Dual Edge Triggered Shift Register with Clock Enable and Asynchronous Clear**



## サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

## 概要

このデザイン エLEMENTは両エッジで動作するシフトレジスタで、シフトレフトシリアル入力 (SLI)、パラレル出力 (Q)、クロックイネーブル (CE)、非同期クリア入力 (CLR) があります。CLR 入力が高レベルになると、ほかのすべての入力は無視され、出力 (Q) が Low にリセットされます。CE が High で CLR が Low の場合、C が Low から High または High から Low に切り替わるたびに、SLI 入力の値がシフトレジスタの第 1 ビットにロードされ、Q0 に出力されます。次のクロック遷移で CE が High、CLR が Low の場合、シフトレジスタの値は次の高位ビットにシフトされ、新しい値が Q0 にロードされます。CE が Low の場合は、クロック遷移は無視されます。

最後の Q 出力を次の段の SLI 入力に接続し、クロック、CE、CLR を並列に接続すると、複数のレジスタをカスケード接続できます。

電力を供給すると、レジスタは非同期にクリアされ、出力が Low になります。

High レベルのパルスを PRLD グローバル ネットに適用すると、パワーオンの状態をシミュレーションできます。

## 論理表

入力				出力	
CLR	CE	SLI	C	Q0	Qz : Q1
1	X	X	X	0	0
0	0	X	X	変化なし	変化なし
0	1	1	↑	1	qn-1
0	1	1	↓	1	qn-1
0	1	0	↑	0	qn-1
0	1	0	↓	0	qn-1
z = ビット幅 -1					
qn-1 = アクティブなクロック エッジの 1 セットアップ タイム前の対応する出力の値					

## デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

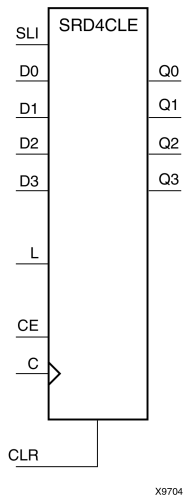
### 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート



## SRD4CLE

マクロ：4-Bit Loadable Serial/Parallel-In Parallel-Out Dual Edge Triggered Shift Register with Clock Enable and Asynchronous Clear



X9704

## サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

## 概要

このデザイン エLEMENTは、両エッジで動作するシフトレジスタで、シフトレフトシリアル入力 (SLI)、パラレル入力 (D)、パラレル出力 (Q) に加え、クロック イネーブル (CE)、ロード イネーブル (L)、非同期クリア (CLR) の 3 つの制御入力があります。L と CE が Low の場合、クロック遷移は無視されます。CLR が High になると、ほかのすべての入力は無視され、出力 (Q) が Low にリセットされます。L が High で CLR が Low の場合、クロック (C) が Low から High または High から Low に切り替わるたびに、Dn:D0 入力の値は対応する Qn:Q0 ビットにロードされます。CE が High で L と CLR が Low の場合、C が Low から High または High から Low に切り替わるたびに、SLI 入力の値がシフトレジスタの第 1 ビットにロードされ、Q0 に出力されます。次のクロック遷移で CE が High、L と CLR が Low の場合、シフトレジスタの値は次の高位ビットにシフトされ、新しい値が Q0 にロードされます。

最後の Q 出力を次の段の SLI 入力に接続し、クロック、CE、L、CLR を並列に接続すると、複数のレジスタをカスケード接続できます。

電力を供給すると、レジスタは非同期にクリアされ、出力が Low になります。High レベルのパルスで PRLD グローバル ネットに適用すると、パワーオンの状態をシミュレーションできます。

## 論理表

入力						出力	
CLR	L	CE	SLI	Dn:D0	C	Q0	Qz:Q1
1	X	X	X	X	X	0	0
0	1	X	X	Dn:D0	↑	D0	Dn
0	1	X	X	Dn:D0	↓	D0	Dn
0	0	1	SLI	X	↑	SLI	qn-1
0	0	1	SLI	X	↓	SLI	qn-1
0	0	0	X	X	X	変化なし	変化なし

z = ビット幅 -1

qn-1 = アクティブなクロック エッジの 1 セットアップ タイム前の対応する出力の値

## デザインの入力方法

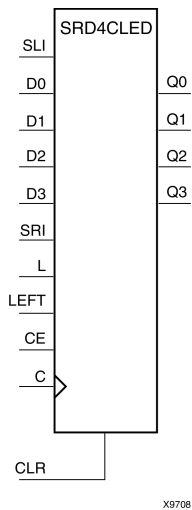
このエレメントは、回路図でのみ使用できます。

## 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

## SRD4CLED

マクロ：4-Bit Dual Edge Triggered Shift Register with Clock Enable and Asynchronous Clear



### サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

### 概要

このデザイン エLEMENTは両エッジで動作するシフトレジスタで、シフトレフトシリアル入力 (SLI)、シフトライトシリアル入力 (SRI)、パラレル入力 (D)、パラレル出力 (Q) に加え、クロックイネーブル (CE)、ロードイネーブル (L)、シフトレフト/ライト (LEFT)、非同期クリア (CLR) の 4 つの制御入力があります。CE と L が Low の場合、クロック遷移は無視されます。CLR が High になると、ほかのすべての入力は無視され、出力 (Q) が Low にリセットされます。L が High で CLR が Low の場合、クロック (C) が Low から High または High から Low に切り替わるときに、D 入力の値は対応する Q ビットにロードされます。CE が High で L および CLR が Low の場合、LEFT 入力の値に応じて、レジスタの値は高位ビットまたは下位ビットにシフトされます。LEFT が High の場合は、クロックが Low から High または High から Low に切り替わるときに SLI の値が Q0 にロードされ、その後のクロック遷移で高位ビットにシフトされます。LEFT が Low の場合は、クロックが Low から High または High から Low に切り替わるときに SRI の値が最後の Q にロードされ、次のクロック遷移で右方向にシフトされます。論理表にすべての入力条件に対する Q 出力の値を示します。

電力を供給すると、レジスタは非同期にクリアされ、出力が Low になります。High レベルのパルスを PRLD グローバルネットに適用すると、パワーオンの状態をシミュレーションできます。

## 論理表

入力								出力		
CLR	L	CE	LEFT	SLI	SRI	D3:D0	C	Q0	Q3	Q2:Q1
1	X	X	X	X	X	X	X	0	0	0
0	1	X	X	X	X	D3:D0	↑	D0	D3	Dn
0	1	X	X	X	X	D3:D0	↓	D0	D3	Dn
0	0	0	X	X	X	X	X	変化なし	変化なし	変化なし
0	0	1	1	SLI	X	X	↑	SLI	q2	qn-1
0	0	1	1	SLI	X	X	↓	SLI	q2	qn-1
0	0	1	0	X	SRI	X	↑	q1	SRI	qn+1
0	0	1	0	X	SRI	X	↓	q1	SRI	qn+1
qn-1 および qn+1 = アクティブなクロック エッジの 1 セットアップ タイム前の対応する出力の値										

## デザインの入力方法

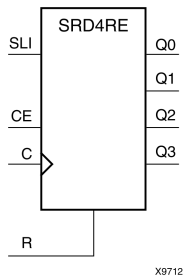
このエレメントは、回路図でのみ使用できます。

## 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

## SRD4RE

**マクロ：4-Bit Serial-In Parallel-Out Dual Edge Triggered Shift Register with Clock Enable and Synchronous Reset**



## サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

## 概要

このデザイン エLEMENTは両エッジで動作するシフトレジスタで、シフトレフトシリアル入力 (SLI)、パラレル出力 (Q)、クロック イネーブル (CE)、同期リセット入力 (R) があります。R が High になると、ほかのすべての入力は無視され、クロック (C) が Low から High または High から Low に切り替わるときに、Q が Low にリセットされます。CE が High で R が Low の場合、C が Low から High または High から Low に切り替わるときに、SLI 入力の値がシフトレジスタの第 1 ビットにロードされ、Q0 に出力されます。次のクロック遷移で CE が High、R が Low の場合、シフトレジスタの値は次の高位ビットにシフトされ、新しい値が Q0 にロードされます。CE が Low の場合は、クロック遷移は無視されます。

最後の Q 出力を次の段の SLI 入力に接続し、クロック、CE、R を並列に接続すると、複数のレジスタをカスケード接続できます。

電力を供給すると、レジスタは非同期にクリアされ、出力が Low になります。High レベルのパルスを PRLD グローバル ネットに適用すると、パワーオンの状態をシミュレーションできます。

## 論理表

入力				出力	
R	CE	SLI	C	Q0	Qz:Q1
1	X	X	↑	0	0
1	X	X	↓	0	0
0	0	X	X	変化なし	変化なし
0	1	1	↑	1	qn-1
0	1	1	↓	1	qn-1
0	1	0	↑	0	qn-1
0	1	0	↓	0	qn-1
z = ビット幅 -1					
qn-1 = アクティブなクロック エッジの 1 セットアップ タイム前の対応する出力の値					

## デザインの入力方法

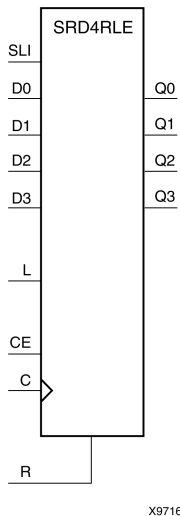
このELEMENTは、回路図でのみ使用できます。

### 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

## SRD4RLE

マクロ：4-Bit Loadable Serial/Parallel-In Parallel-Out Dual Edge Triggered Shift Register with Clock Enable and Synchronous Reset



X9716

## サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

## 概要

このデザイン エLEMENTは、両エッジで動作するシフトレジスタで、シフトレフトシリアル入力 (SLI)、パラレル入力 (D)、パラレル出力 (Q) に加え、クロックイネーブル (CE)、ロードイネーブル (L)、同期リセット (R) の3つの制御入力があります。LとCEがLowの場合、クロック遷移は無視されます。RがHighになると、ほかのすべての入力は無視され、クロック (C) がLowからHighまたはHighからLowに切り替わるときに、出力 (Q) がLowにリセットされます。LがHighでRがLowの場合、クロックがLowからHighまたはHighからLowに切り替わるときに、D入力の値が対応するQビットにロードされます。CEがHighでLとRがLowの場合、CがLowからHighまたはHighからLowに切り替わるときに、SLI入力の値がシフトレジスタの第1ビットにロードされ、Q0に出力されます。次のクロック遷移でCEがHigh、LとRがLowの場合、シフトレジスタの値は次の高位ビットにシフトされ、新しい値がQ0にロードされます。

最後のQ出力を次の段のSLI入力に接続し、クロック、CE、L、Rを並列に接続すると、複数のレジスタをカスケード接続できます。

電力を供給すると、レジスタは非同期にクリアされ、出力がLowになります。HighレベルのパルスをPRLDグローバルネットに適用すると、パワーオンの状態をシミュレーションできます。

## 論理表

入力						出力	
R	L	CE	SLI	Dz:D0	C	Q0	Qz:Q1
1	X	X	X	X	↑	0	0
1	X	X	X	X	↓	0	0
0	1	X	X	Dz:D0	↑	D0	Dn
0	1	X	X	Dz:D0	↓	D0	Dn
0	0	1	SLI	X	↑	SLI	qn-1
0	0	1	SLI	X	↓	SLI	qn-1
0	0	0	X	X	X	変化なし	変化なし

z = ビット幅 -1

## デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

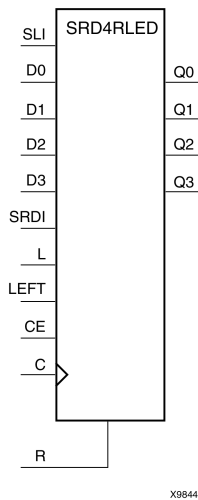
## 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート



## SRD4RLED

マクロ：4-Bit Dual Edge Triggered Shift Register with Clock Enable and Synchronous Reset



### サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

### 概要

このデザイン エLEMENTは両エッジで動作するシフトレジスタで、シフトレフトシリアル入力 (SLI)、シフトライトシリアル入力 (SRDI)、パラレル入力 (D)、パラレル出力 (Q) に加え、クロック イネーブル (CE)、ロード イネーブル (L)、シフトレフト/ライト (LEFT)、同期リセット (R) の 4 つの制御入力があります。CE と L が Low の場合、クロック遷移は無視されます。R が High になると、ほかのすべての入力は無視され、クロック (C) が Low から High または High から Low に切り替わるときに、出力 (Q) が Low にリセットされます。L が High で R が Low の場合、C が Low から High または High から Low に切り替わるときに D 入力の値が対応する Q ビットにロードされます。CE が High で L および R が Low の場合、LEFT 入力の値に応じて、レジスタの値は高位ビットまたは下位ビットにシフトされます。LEFT が High の場合は、クロックが Low から High または High から Low に切り替わるときに SLI の値が Q0 にロードされ、その後のクロック遷移で高位ビットにシフトされます (Q0 → Q1、Q1 → Q2 など)。LEFT が Low の場合は、クロックが Low から High または High から Low に切り替わるときに SRDI の値が最後の Q0 にロードされ、次のクロック遷移で右方向にシフトされます。論理表にすべての入力条件に対する Q 出力の値を示します。

電力を供給すると、レジスタは非同期にクリアされ、出力が Low になります。High レベルのパルスを PRLD グローバル ネットに適用すると、パワーオンの状態をシミュレーションできます。

## 論理表

入力								出力		
R	L	CE	LEFT	SLI	SRDI	D3:D0	C	Q0	Q3	Q2:Q1
1	X	X	X	X	X	X	↑	0	0	0
1	X	X	X	X	X	X	↓	0	0	0
0	1	X	X	X	X	D3 : D0	↑	D0	D3	Dn
0	1	X	X	X	X	D3 : D0	↓	D0	D3	Dn
0	0	0	X	X	X	X	X	変化なし	変化なし	変化なし
0	0	1	1	SLI	X	X	↑	SLI	q2	qn-1
0	0	1	1	SLI	X	X	↓	SLI	q2	qn-1
0	0	1	0	X	SRDI	X	↑	q1	SRDI	qn+1
0	0	1	0	X	SRDI	X	↓	q1	SRDI	qn+1
qn-1 または qn+1 = アクティブなクロック エッジの 1 セットアップ タイム前の対応する出力の値										

## デザインの入力方法

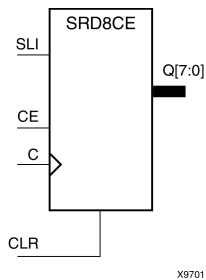
このエレメントは、回路図でのみ使用できます。

## 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

## SRD8CE

**マクロ：8-Bit Serial-In Parallel-Out Dual Edge Triggered Shift Register with Clock Enable and Asynchronous Clear**



## サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

## 概要

このデザイン エLEMENTは両エッジで動作するシフトレジスタで、シフトレフトシリアル入力 (SLI)、パラレル出力 (Q)、クロック イネーブル (CE)、非同期クリア入力 (CLR) があります。CLR 入力が高レベルになると、ほかのすべての入力は無視され、出力 (Q) が Low にリセットされます。CE が High で CLR が Low の場合、C が Low から High または High から Low に切り替わるたびに、SLI 入力の値がシフトレジスタの第 1 ビットにロードされ、Q0 に出力されます。次のクロック遷移で CE が High、CLR が Low の場合、シフトレジスタの値は次の高位ビットにシフトされ、新しい値が Q0 にロードされます。CE が Low の場合は、クロック遷移は無視されます。

最後の Q 出力を次の段の SLI 入力に接続し、クロック、CE、CLR を並列に接続すると、複数のレジスタをカスケード接続できます。

電力を供給すると、レジスタは非同期にクリアされ、出力が Low になります。

High レベルのパルスを PRLD グローバル ネットに適用すると、パワーオンの状態をシミュレーションできます。

## 論理表

入力				出力	
CLR	CE	SLI	C	Q0	Qz : Q1
1	X	X	X	0	0
0	0	X	X	変化なし	変化なし
0	1	1	↑	1	qn-1
0	1	1	↓	1	qn-1
0	1	0	↑	0	qn-1
0	1	0	↓	0	qn-1
z = ビット幅 -1					
qn-1 = アクティブなクロック エッジの 1 セットアップ タイム前の対応する出力の値					

## デザインの入力方法

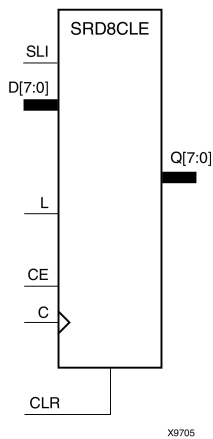
このELEMENTは、回路図でのみ使用できます。

### 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

## SRD8CLE

**マクロ : 8-Bit Loadable Serial/Parallel-In Parallel-Out Dual Edge Triggered Shift Register with Clock Enable and Asynchronous Clear**



### サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

### 概要

このデザイン エLEMENTは、両エッジで動作するシフトレジスタで、シフトレフトシリアル入力 (SLI)、パラレル入力 (D)、パラレル出力 (Q) に加え、クロックイネーブル (CE)、ロードイネーブル (L)、非同期クリア (CLR) の 3 つの制御入力があります。L と CE が Low の場合、クロック遷移は無視されます。CLR が High になると、ほかのすべての入力は無視され、出力 (Q) が Low にリセットされます。L が High で CLR が Low の場合、クロック (C) が Low から High または High から Low に切り替わるたびに、Dn:D0 入力の値は対応する Qn:Q0 ビットにロードされます。CE が High で L と CLR が Low の場合、C が Low から High または High から Low に切り替わるたびに、SLI 入力の値がシフトレジスタの第 1 ビットにロードされ、Q0 に出力されます。次のクロック遷移で CE が High、L と CLR が Low の場合、シフトレジスタの値は次の高位ビットにシフトされ、新しい値が Q0 にロードされます。

最後の Q 出力を次の段の SLI 入力に接続し、クロック、CE、L、CLR を並列に接続すると、複数のレジスタをカスケード接続できます。

電力を供給すると、レジスタは非同期にクリアされ、出力が Low になります。High レベルのパルスを PRLD グローバルネットに適用すると、パワーオンの状態をシミュレーションできます。

## 論理表

入力						出力	
CLR	L	CE	SLI	Dn:D0	C	Q0	Qz:Q1
1	X	X	X	X	X	0	0
0	1	X	X	Dn:D0	↑	D0	Dn
0	1	X	X	Dn:D0	↓	D0	Dn
0	0	1	SLI	X	↑	SLI	qn-1
0	0	1	SLI	X	↓	SLI	qn-1
0	0	0	X	X	X	変化なし	変化なし

z = ビット幅 -1

qn-1 = アクティブなクロック エッジの 1 セットアップ タイム前の対応する出力の値

## デザインの入力方法

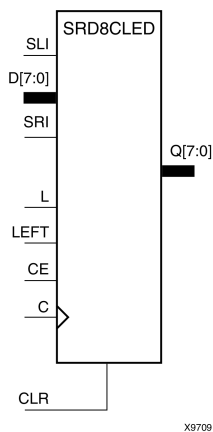
このエレメントは、回路図でのみ使用できます。

## 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

## SRD8CLED

マクロ：8-Bit Dual Edge Triggered Shift Register with Clock Enable and Asynchronous Clear



### サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

### 概要

このデザイン エLEMENTは両エッジで動作するシフトレジスタで、シフトレフトシリアル入力 (SLI)、シフトライトシリアル入力 (SRI)、パラレル入力 (D)、パラレル出力 (Q) に加え、クロックイネーブル (CE)、ロードイネーブル (L)、シフトレフト/ライト (LEFT)、非同期クリア (CLR) の4つの制御入力があります。CEとLがLowの場合、クロック遷移は無視されます。CLRがHighになると、ほかのすべての入力は無視され、出力 (Q) がLowにリセットされます。LがHighでCLRがLowの場合、クロック (C) がLowからHighまたはHighからLowに切り替わるときに、D入力の値は対応するQビットにロードされます。CEがHighでLおよびCLRがLowの場合、LEFT入力の値に応じて、レジスタの値は高位ビットまたは下位ビットにシフトされます。LEFTがHighの場合は、クロックがLowからHighまたはHighからLowに切り替わるときにSLIの値がQ0にロードされ、その後のクロック遷移で高位ビットにシフトされます。LEFTがLowの場合は、クロックがLowからHighまたはHighからLowに切り替わるときにSRIの値が最後のQにロードされ、次のクロック遷移で右方向にシフトされます。論理表にすべての入力条件に対するQ出力の値を示します。

電力を供給すると、レジスタは非同期にクリアされ、出力がLowになります。HighレベルのパルスでPRLDグローバルネットに適用すると、パワーオンの状態をシミュレーションできます。

## 論理表

入力								出力		
CLR	L	CE	LEFT	SLI	SRI	D7:D0	C	Q0	Q7	Q6:Q1
1	X	X	X	X	X	X	X	0	0	0
0	1	X	X	X	X	D7:D0	↑	D0	D7	Dn
0	1	X	X	X	X	D7:D0	↓	D0	D7	Dn
0	0	0	X	X	X	X	X	変化なし	変化なし	変化なし
0	0	1	1	SLI	X	X	↑	SLI	q6	qn-1
0	0	1	1	SLI	X	X	↓	SLI	q6	qn-1
0	0	1	0	X	SRI	X	↑	q1	SRI	qn+1
0	0	1	0	X	SRI	X	↓	q1	SRI	qn+1
qn-1 または qn+1 = アクティブなクロック エッジの 1 セットアップ タイム前の対応する出力の値										

## デザインの入力方法

このエレメントは、回路図でのみ使用できます。

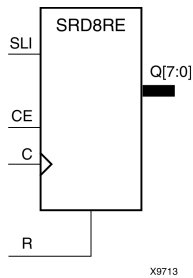
## 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート



## SRD8RE

**マクロ：8-Bit Serial-In Parallel-Out Dual Edge Triggered Shift Register with Clock Enable and Synchronous Reset**



## サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

## 概要

このデザイン エLEMENTは両エッジで動作するシフトレジスタで、シフトレフトシリアル入力 (SLI)、パラレル出力 (Q)、クロック イネーブル (CE)、同期リセット入力 (R) があります。R が High になると、ほかのすべての入力は無視され、クロック (C) が Low から High または High から Low に切り替わるときに、Q が Low にリセットされます。CE が High で R が Low の場合、C が Low から High または High から Low に切り替わるときに、SLI 入力の値がシフトレジスタの第 1 ビットにロードされ、Q0 に出力されます。次のクロック遷移で CE が High、R が Low の場合、シフトレジスタの値は次の高位ビットにシフトされ、新しい値が Q0 にロードされます。CE が Low の場合は、クロック遷移は無視されます。

最後の Q 出力を次の段の SLI 入力に接続し、クロック、CE、R を並列に接続すると、複数のレジスタをカスケード接続できます。

電力を供給すると、レジスタは非同期にクリアされ、出力が Low になります。High レベルのパルスを PRLD グローバル ネットに適用すると、パワーオンの状態をシミュレーションできます。

## 論理表

入力				出力	
R	CE	SLI	C	Q0	Qz:Q1
1	X	X	↑	0	0
1	X	X	↓	0	0
0	0	X	X	変化なし	変化なし
0	1	1	↑	1	qn-1
0	1	1	↓	1	qn-1
0	1	0	↑	0	qn-1
0	1	0	↓	0	qn-1
z = ビット幅 -1					
qn-1 = アクティブなクロック エッジの 1 セットアップ タイム前の対応する出力の値					

## デザインの入力方法

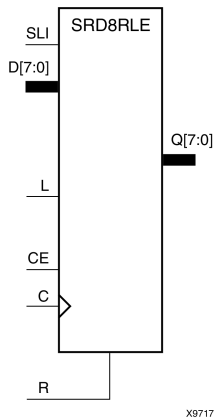
このELEMENTは、回路図でのみ使用できます。

### 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

## SRD8RLE

**マクロ：8-Bit Loadable Serial/Parallel-In Parallel-Out Dual Edge Triggered Shift Register with Clock Enable and Synchronous Reset**



## サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

## 概要

このデザイン エLEMENTは、両エッジで動作するシフトレジスタで、シフトレフトシリアル入力 (SLI)、パラレル入力 (D)、パラレル出力 (Q) に加え、クロック イネーブル (CE)、ロード イネーブル (L)、同期リセット (R) の 3 つの制御入力があります。L と CE が Low の場合、クロック遷移は無視されます。R が High になると、ほかのすべての入力は無視され、クロック (C) が Low から High または High から Low に切り替わるときに、出力 (Q) が Low にリセットされます。L が High で R が Low の場合、クロックが Low から High または High から Low に切り替わるときに、D 入力の値が対応する Q ビットにロードされます。CE が High で L と R が Low の場合、C が Low から High または High から Low に切り替わるときに、SLI 入力の値がシフトレジスタの第 1 ビットにロードされ、Q0 に出力されます。次のクロック遷移で CE が High、L と R が Low の場合、シフトレジスタの値は次の高位ビットにシフトされ、新しい値が Q0 にロードされます。

最後の Q 出力を次の段の SLI 入力に接続し、クロック、CE、L、R を並列に接続すると、複数のレジスタをカスケード接続できます。

電力を供給すると、レジスタは非同期にクリアされ、出力が Low になります。High レベルのパルスを PRLD グローバル ネットに適用すると、パワーオンの状態をシミュレーションできます。

## 論理表

入力						出力	
R	L	CE	SLI	Dz:D0	C	Q0	Qz:Q1
1	X	X	X	X	↑	0	0
1	X	X	X	X	↓	0	0
0	1	X	X	Dz:D0	↑	D0	Dn
0	1	X	X	Dz:D0	↓	D0	Dn
0	0	1	SLI	X	↑	SLI	qn-1
0	0	1	SLI	X	↓	SLI	qn-1
0	0	0	X	X	X	変化なし	変化なし

z = ビット幅 -1

## デザインの入力方法

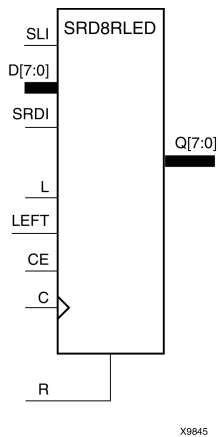
このエレメントは、回路図でのみ使用できます。

## 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

## SRD8RLED

マクロ：8-Bit Dual Edge Triggered Shift Register with Clock Enable and Synchronous Reset



### サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

CoolRunner™-II

### 概要

このデザイン エLEMENTは両エッジで動作するシフトレジスタで、シフトレフトシリアル入力 (SLI)、シフトライトシリアル入力 (SRDI)、パラレル入力 (D)、パラレル出力 (Q) に加え、クロック イネーブル (CE)、ロード イネーブル (L)、シフトレフト/ライト (LEFT)、同期リセット (R) の 4 つの制御入力があります。CE と L が Low の場合、クロック遷移は無視されます。R が High になると、ほかのすべての入力は無視され、クロック (C) が Low から High または High から Low に切り替わるたびに、出力 (Q) が Low にリセットされます。L が High で R が Low の場合、C が Low から High または High から Low に切り替わるたびに D 入力の値が対応する Q ビットにロードされます。CE が High で L および R が Low の場合、LEFT 入力の値に応じて、レジスタの値は高位ビットまたは下位ビットにシフトされます。LEFT が High の場合は、クロックが Low から High または High から Low に切り替わるたびに SLI の値が Q0 にロードされ、その後のクロック遷移で高位ビットにシフトされます (Q0 → Q1、Q1 → Q2 など)。LEFT が Low の場合は、クロックが Low から High または High から Low に切り替わるたびに SRDI の値が最後の Q0 にロードされ、次のクロック遷移で右方向にシフトされます。論理表にすべての入力条件に対する Q 出力の値を示します。

電力を供給すると、レジスタは非同期にクリアされ、出力が Low になります。High レベルのパルスを PRLD グローバル ネットに適用すると、パワーオンの状態をシミュレーションできます。

## 論理表

入力								出力		
R	L	CE	LEFT	SLI	SRDI	D7 : D0	C	Q0	Q7	Q6 : Q1
1	X	X	X	X	X	X	↑	0	0	0
1	X	X	X	X	X	X	↓	0	0	0
0	1	X	X	X	X	D7 : D0	↑	D0	D7	Dn
0	1	X	X	X	X	D7 : D0	↓	D0	D7	Dn
0	0	0	X	X	X	X	X	変化なし	変化なし	変化なし
0	0	1	1	SLI	X	X	↑	SLI	q6	qn-1
0	0	1	1	SLI	X	X	↓	SLI	q6	qn-1
0	0	1	0	X	SRDI	X	↑	q1	SRDI	qn+1
0	0	1	0	X	SRDI	X	↓	q1	SRDI	qn+1
qn-1 または qn+1 = アクティブなクロック エッジの 1 セットアップ タイム前の対応する出力の値										

## デザインの入力方法

このエレメントは、回路図でのみ使用できます。

## 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

## VCC

### プリミティブ：VCC-Connection Signal Tag



## サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

## 概要

このデザイン エLEMENTは信号タグまたはパラメータであり、ネットや入力ファンクションを強制的に High にします。このELEMENTに接続したネットを、ほかのソースに接続することはできません。

配置配線のプロセスで VCC に接続されたネットまたは入力ファンクションが検出されると、VCC 信号でディスエーブルになるロジックは削除されます。VCC 信号は、ディスエーブルされたロジックが削除できない場合のみインプリメントされます。

## デザインの入力方法

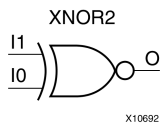
このELEMENTは、回路図でのみ使用できます。

## 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

## XNOR2

プリミティブ：2-Input XNOR Gate with Non-Inverted Inputs



### サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

### 概要

XNOR ファンクションには入力 が 9 個のものまでありますが、入力はすべて非反転入力です。各入力 で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

### 論理表

入力	出力
I0 ~ Iz	O
奇数個の 1	0
偶数個の 1	1

### デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

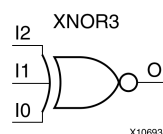
### 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート



## XNOR3

プリミティブ：3-Input XNOR Gate with Non-Inverted Inputs



### サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

### 概要

XNOR ファンクションには入力が 9 個のものまでありますが、入力はすべて非反転入力です。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

### 論理表

入力	出力
I0 ~ I2	O
奇数個の 1	0
偶数個の 1	1

### デザインの入力方法

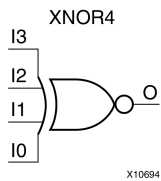
このELEMENTは、回路図でのみ使用できます。

### 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

## XNOR4

プリミティブ：4-Input XNOR Gate with Non-Inverted Inputs



## サポートされているアーキテクチャ

このデザイン エレメントは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

## 概要

XNOR ファンクションには入力 9 個のものまでありますが、入力はすべて非反転入力です。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

## 論理表

入力	出力
I0 ~ I2	O
奇数個の 1	0
偶数個の 1	1

## デザインの入力方法

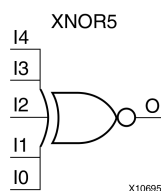
このエレメントは、回路図でのみ使用できます。

## 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

## XNOR5

プリミティブ：5-Input XNOR Gate with Non-Inverted Inputs



### サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

### 概要

XNOR ファンクションには入力が 9 個のものまでありますが、入力はすべて非反転入力です。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

### 論理表

入力	出力
I0 ~ I4	O
奇数個の 1	0
偶数個の 1	1

### デザインの入力方法

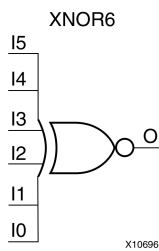
このELEMENTは、回路図でのみ使用できます。

### 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

## XNOR6

### マクロ：6-Input XNOR Gate with Non-Inverted Inputs



## サポートされているアーキテクチャ

このデザイン エレメントは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

## 概要

XNOR ファンクションには入力 が 9 個のものまでがありますが、入力はすべて非反転入力です。各入力 で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

## 論理表

入力	出力
I0 ~ I2	O
奇数個の 1	0
偶数個の 1	1

## デザインの入力方法

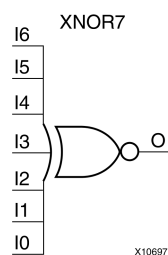
このエレメントは、回路図でのみ使用できます。

## 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

## XNOR7

マクロ：7-Input XNOR Gate with Non-Inverted Inputs



### サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

### 概要

XNOR ファンクションには入力 が 9 個のものまでありますが、入力はすべて非反転入力です。各入力 で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

### 論理表

入力	出力
I0 ~ I <sub>z</sub>	O
奇数個の 1	0
偶数個の 1	1

### デザインの入力方法

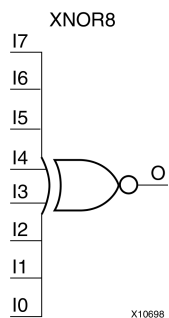
このELEMENTは、回路図でのみ使用できます。

### 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

## XNOR8

マクロ：8-Input XNOR Gate with Non-Inverted Inputs



### サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

### 概要

XNOR ファンクションには入力が 9 個のものまでありますが、入力はすべて非反転入力です。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

### 論理表

入力	出力
I0 ~ Iz	O
奇数個の 1	0
偶数個の 1	1

### デザインの入力方法

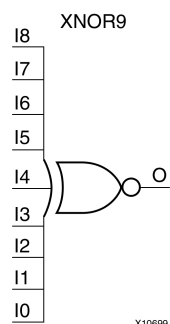
このELEMENTは、回路図でのみ使用できます。

### 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

## XNOR9

マクロ：9-Input XNOR Gate with Non-Inverted Inputs



### サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

### 概要

XNOR ファンクションには入力が 9 個のものまでありますが、入力はすべて非反転入力です。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

### 論理表

入力	出力
I0 ~ I8	O
奇数個の 1	0
偶数個の 1	1

### デザインの入力方法

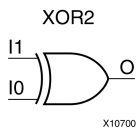
このELEMENTは、回路図でのみ使用できます。

### 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

## XOR2

プリミティブ：2-Input XOR Gate with Non-Inverted Inputs



### サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

### 概要

XOR ファンクションには入力 9 個のものまでありますが、入力はすべて非反転入力です。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

### デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

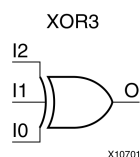
### 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート



## XOR3

### プリミティブ：3-Input XOR Gate with Non-Inverted Inputs



## サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

## 概要

XOR ファンクションには入力が 9 個のものまでありますが、入力はすべて非反転入力です。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

## デザインの入力方法

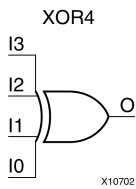
このELEMENTは、回路図でのみ使用できます。

## 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

## XOR4

プリミティブ：4-Input XOR Gate with Non-Inverted Inputs



### サポートされているアーキテクチャ

このデザイン エレメントは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

### 概要

XOR ファンクションには入力が 9 個のものまでありますが、入力はすべて非反転入力です。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

### デザインの入力方法

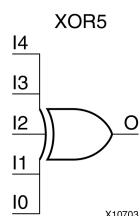
このエレメントは、回路図でのみ使用できます。

### 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

## XOR5

### プリミティブ：5-Input XOR Gate with Non-Inverted Inputs



## サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

## 概要

XOR ファンクションには入力 9 個のものまでありますが、入力はすべて非反転入力です。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

## デザインの入力方法

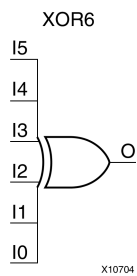
このELEMENTは、回路図でのみ使用できます。

## 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

## XOR6

マクロ：6-Input XOR Gate with Non-Inverted Inputs



### サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

### 概要

XOR ファンクションには入力 が 9 個のものまでがありますが、入力はすべて非反転入力です。各入力 で CLB リソース が使用されるので、必要な入力数のファンクションを使用するようにしてください。

### デザインの入力方法

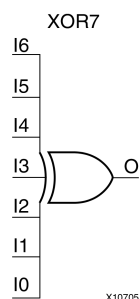
このELEMENTは、回路図でのみ使用できます。

### 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

## XOR7

マクロ：7-Input XOR Gate with Non-Inverted Inputs



### サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

### 概要

XOR ファンクションには入力 9 個のものまでがありますが、入力はすべて非反転入力です。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

### デザインの入力方法

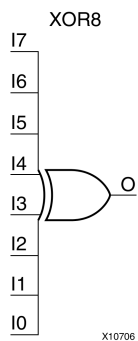
このELEMENTは、回路図でのみ使用できます。

### 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

## XOR8

### マクロ：8-Input XOR Gate with Non-Inverted Inputs



## サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

## 概要

XOR ファンクションには入力が 9 個のものまでありますが、入力はすべて非反転入力です。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

## デザインの入力方法

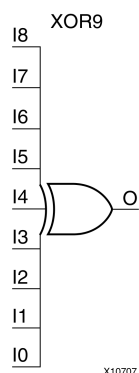
このELEMENTは、回路図でのみ使用できます。

## 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート

## XOR9

マクロ：9-Input XOR Gate with Non-Inverted Inputs



### サポートされているアーキテクチャ

このデザイン エLEMENTは、次のアーキテクチャでのみサポートされます。

- ・ XC9500
- ・ CoolRunner™-II
- ・ CoolRunner XPLA3

### 概要

XOR ファンクションには入力 9 個のものまでありますが、入力はすべて非反転入力です。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

### デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

### 詳細情報

- ・ 該当 CPLD のユーザー ガイド
- ・ 該当 CPLD のデータシート