

PlanAhead ソフトウェア チュートリアル

クイック フロー 概要

UG 673 (v 12.3) 2010 年 9 月 21 日





Xilinx is disclosing this Document and Intellectual Property (hereinafter “the Design”) to you for use in the development of designs to operate on, or interface with Xilinx FPGAs. Except as stated herein, none of the Design may be copied, reproduced, distributed, republished, downloaded, displayed, posted, or transmitted in any form or by any means including, but not limited to, electronic, mechanical, photocopying, recording, or otherwise, without the prior written consent of Xilinx. Any unauthorized use of the Design may violate copyright laws, trademark laws, the laws of privacy and publicity, and communications regulations and statutes.

Xilinx does not assume any liability arising out of the application or use of the Design; nor does Xilinx convey any license under its patents, copyrights, or any rights of others. You are responsible for obtaining any rights you may require for your use or implementation of the Design. Xilinx reserves the right to make changes, at any time, to the Design as deemed desirable in the sole discretion of Xilinx. Xilinx assumes no obligation to correct any errors contained herein or to advise you of any correction if such be made. Xilinx will not assume any liability for the accuracy or correctness of any engineering or technical support or assistance provided to you in connection with the Design.

THE DESIGN IS PROVIDED “AS IS” WITH ALL FAULTS, AND THE ENTIRE RISK AS TO ITS FUNCTION AND IMPLEMENTATION IS WITH YOU. YOU ACKNOWLEDGE AND AGREE THAT YOU HAVE NOT RELIED ON ANY ORAL OR WRITTEN INFORMATION OR ADVICE, WHETHER GIVEN BY XILINX, OR ITS AGENTS OR EMPLOYEES. XILINX MAKES NO OTHER WARRANTIES, WHETHER EXPRESS, IMPLIED, OR STATUTORY, REGARDING THE DESIGN, INCLUDING ANY WARRANTIES OF MERCHANTABILITY, FITNESS FOR A PARTICULAR PURPOSE, TITLE, AND NONINFRINGEMENT OF THIRD-PARTY RIGHTS.

IN NO EVENT WILL XILINX BE LIABLE FOR ANY CONSEQUENTIAL, INDIRECT, EXEMPLARY, SPECIAL, OR INCIDENTAL DAMAGES, INCLUDING ANY LOST DATA AND LOST PROFITS, ARISING FROM OR RELATING TO YOUR USE OF THE DESIGN, EVEN IF YOU HAVE BEEN ADVISED OF THE POSSIBILITY OF SUCH DAMAGES. THE TOTAL CUMULATIVE LIABILITY OF XILINX IN CONNECTION WITH YOUR USE OF THE DESIGN, WHETHER IN CONTRACT OR TORT OR OTHERWISE, WILL IN NO EVENT EXCEED THE AMOUNT OF FEES PAID BY YOU TO XILINX HEREUNDER FOR USE OF THE DESIGN. YOU ACKNOWLEDGE THAT THE FEES, IF ANY, REFLECT THE ALLOCATION OF RISK SET FORTH IN THIS AGREEMENT AND THAT XILINX WOULD NOT MAKE AVAILABLE THE DESIGN TO YOU WITHOUT THESE LIMITATIONS OF LIABILITY.

The Design is not designed or intended for use in the development of on-line control equipment in hazardous environments requiring fail-safe controls, such as in the operation of nuclear facilities, aircraft navigation or communications systems, air traffic control, life support, or weapons systems (“High-Risk Applications”) Xilinx specifically disclaims any express or implied warranties of fitness for such High-Risk Applications. You represent that use of the Design in such High-Risk Applications is fully at your risk.

© 2010 Xilinx, Inc. All rights reserved. XILINX, the Xilinx logo, and other designated brands included herein are trademarks of Xilinx, Inc. All other trademarks are the property of their respective owners.

Demo Design License

© 2010 Xilinx, Inc.

This Design is free software; you can redistribute it and/or modify it under the terms of the GNU Lesser General Public License as published by the Free Software Foundation; either version 2.1 of the License, or (at your option) any later version.

This library is distributed in the hope that it will be useful, but WITHOUT ANY WARRANTY; without even the implied warranty of MERCHANTABILITY or FITNESS FOR A PARTICULAR PURPOSE. See the GNU Lesser General Public License for more details.

You should have received a copy of the GNU Library General Public License along with this design file; if not, see: <http://www.gnu.org/licenses/>



PlanAhead™ ソースコードには、次のプログラムのソースコードが使用されています。

Centerpoint XML

- The initial developer of the original code is CenterPoint – Connective Software
- Software Engineering GmbH. portions created by CenterPoint – Connective Software
- Software Engineering GmbH. are Copyright© 1998-2000 CenterPoint - Connective Software Engineering GmbH. All Rights Reserved. Source code for CenterPoint is available at <http://www.cpointc.com/XML/>

NLView Schematic Engine

- Copyright© Concept Engineering.

Static Timing Engine by Parallax Software Inc.

- Copyright© Parallax Software Inc.

Java Two Standard Edition

- Includes portions of software from RSA Security, Inc. and some portions licensed from IBM are available at <http://oss.software.ibm.com/icu4j/>
- Powered By JIDE – <http://www.jidesoft.com>

THIS SOFTWARE IS PROVIDED BY THE COPYRIGHT HOLDERS AND CONTRIBUTORS "AS IS" AND ANY EXPRESS OR IMPLIED WARRANTIES, INCLUDING, BUT NOT LIMITED TO, THE IMPLIED WARRANTIES OF MERCHANTABILITY AND FITNESS FOR A PARTICULAR PURPOSE ARE DISCLAIMED. IN NO EVENT SHALL THE COPYRIGHT OWNER OR CONTRIBUTORS BE LIABLE FOR ANY DIRECT, INDIRECT, INCIDENTAL, SPECIAL, EXEMPLARY, OR CONSEQUENTIAL DAMAGES (INCLUDING, BUT NOT LIMITED TO, PROCUREMENT OF SUBSTITUTE GOODS OR SERVICES; LOSS OF USE, DATA, OR PROFITS; OR BUSINESS INTERRUPTION) HOWEVER CAUSED AND ON ANY THEORY OF LIABILITY, WHETHER IN CONTRACT, STRICT LIABILITY, OR TORT (INCLUDING NEGLIGENCE OR OTHERWISE) ARISING IN ANY WAY OUT OF THE USE OF THIS SOFTWARE, EVEN IF ADVISED OF THE POSSIBILITY OF SUCH DAMAGE.



Free IP Core License

This is the Entire License for all of our Free IP Cores.

Copyright (C) 2000-2003, ASICS World Services, LTD. AUTHORS

All rights reserved.

Redistribution and use in source, netlist, binary and silicon forms, with or without modification, are permitted provided that the following conditions are met:

Redistributions of source code must retain the above copyright notice, this list of conditions and the following disclaimer.

Redistributions in binary form must reproduce the above copyright notice, this list of conditions and the following disclaimer in the documentation and/or other materials provided with the distribution.

Neither the name of ASICS World Services, the Authors and/or the names of its contributors may be used to endorse or promote products derived from this software without specific prior written permission.

THIS SOFTWARE IS PROVIDED BY THE COPYRIGHT HOLDERS AND CONTRIBUTORS "AS IS" AND ANY EXPRESS OR IMPLIED WARRANTIES, INCLUDING, BUT NOT LIMITED TO, THE IMPLIED WARRANTIES OF MERCHANTABILITY AND FITNESS FOR A PARTICULAR PURPOSE ARE DISCLAIMED. IN NO EVENT SHALL THE COPYRIGHT OWNER OR CONTRIBUTORS BE LIABLE FOR ANY DIRECT, INDIRECT, INCIDENTAL, SPECIAL, EXEMPLARY, OR CONSEQUENTIAL DAMAGES (INCLUDING, BUT NOT LIMITED TO, PROCUREMENT OF SUBSTITUTE GOODS OR SERVICES; LOSS OF USE, DATA, OR PROFITS; OR BUSINESS INTERRUPTION) HOWEVER CAUSED AND ON ANY THEORY OF LIABILITY, WHETHER IN CONTRACT, STRICT LIABILITY, OR TORT (INCLUDING NEGLIGENCE OR OTHERWISE) ARISING IN ANY WAY OUT OF THE USE OF THIS SOFTWARE, EVEN IF ADVISED OF THE POSSIBILITY OF SUCH DAMAGE.

目次

クイックフロー概要.....	7
はじめに	7
サンプル デザイン データ	7
ザイリンクス ISE および PlanAhead ソフトウェア	7
ハードウェア要件.....	7
PlanAhead のマニュアルと情報.....	8
チュートリアルの説明.....	8
チュートリアルの目標.....	8
チュートリアルの手順.....	8
新規プロジェクトの作成 手順 1	10
[Sources] ビューと RTL Editor の使用 手順 2	15
デザインの合成 手順 3	19
デザインのインプリメンテーション 手順 4	24
結果の解析 手順 5	26
ビットストリーム ファイルの作成 手順 6	30
まとめ	31

PlanAhead チュートリアル

クイック フロー概要

はじめに

この演習では、PlanAhead™ ソフトウェアの機能や利点を簡単に紹介します。PlanAhead ソフトウェアは、さまざまなデザイン プロセスに使用できます。

サンプル デザイン データ

このチュートリアルでは、PlanAhead ソフトウェアをインストールすると含まれるサンプル デザイン データを使用します。サンプル デザイン データは、次のディレクトリにあります。

`<ISE_install_Dir>/PlanAhead/testcases/PlanAhead_Tutorial.zip`

書き込み権のあるディレクトリに ZIP ファイルを抽出します。チュートリアルでは、解凍ファイルのディレクトリを `<Extract_Dir>` と記述しています。

チュートリアルのサンプル データは、チュートリアルを実行中に変更されます。各チュートリアルを実行する前に、まず元の PlanAhead_Tutorial データのコピーを取っておいてください。サンプル デザインの詳細は、「チュートリアルの説明」セクションを参照してください。

ザイリンクス ISE および PlanAhead ソフトウェア

PlanAhead ソフトウェアは、デフォルトで ISE® Design Suite をインストールするとインストールされます。チュートリアルを始める前に、PlanAhead が起動できるか、サンプル デザイン データがインストールされているかを確認してください。ソフトウェアのインストール方法および詳細は、次のザイリンクス サイトから『ISE Design Suite 12: インストール、ライセンス、リリース ノート』を参照してください。

http://japan.xilinx.com/support/documentation/sw_manuals/xilinx12_2/irn.pdf

ハードウェア要件

ターゲット デバイスが大規模の場合、2GB 以上の RAM 容量が必要です。このチュートリアルでは、小型のデザインを使用し、1 度に開くことができるデザインの数制限していますので、1GB で十分ですが、パフォーマンスに影響のすることもあります。

PlanAhead のマニュアルと情報

PlanAhead ソフトウェアの詳細については、次のマニュアルを参照してください。

- 『PlanAhead ユーザー ガイド』(UG632) – PlanAhead ソフトウェアに関する詳細情報
http://japan.xilinx.com/support/documentation/sw_manuals/xilinx12_3/PlanAhead_UserGuide.pdf
- 『フロアプラン手法ガイド』(UG633) – フロアプランのヒント情報
http://japan.xilinx.com/support/documentation/sw_manuals/xilinx12_3/Floorplanning_Methodology_Guide.pdf
- 『階層デザイン手法ガイド』(UG748) – PlanAhead の階層デザインの概要
http://japan.xilinx.com/support/documentation/sw_manuals/xilinx12_3/Hierarchical_Design_Methodology_Guide.pdf
- ビデオ デモなど、PlanAhead のその他の情報については、<http://www.xilinx.com/planahead> を参照してください。

チュートリアルの説明

このチュートリアルでは、bft という小型デザインを含む小型のサンプル デザインを使用します。bft デザインには、VHDL および Verilog ファイルが複数含まれます。

このデザインは、XC6VLX75T デバイスをターゲットにしています。ハードウェア リソースやチュートリアルにかかる時間、データ サイズを節約するために、小型のデザインを使用しています。

チュートリアルのデザイン データは、チュートリアルを実行すると変更されるため、各チュートリアルを実行する前に、まず元の PlanAhead_Tutorial データのコピーを取っておいてください。チュートリアル データの詳細は、「サンプル デザイン データ」セクションを参照してください。

チュートリアルに関する質問および問題は、ザイリンクス テクニカル サポート (ホットライン) までご連絡ください。

チュートリアルの目標

このチュートリアルでは、RTL を読み込んでからビットストリーム ファイルを作成するまでを簡単に説明します。

PlanAhead の解析機能の詳細は、ほかのチュートリアルで紹介しています。すべてのコマンドやコマンド オプションの説明が含まれているわけではありませんので、ご了承ください。このチュートリアルでは、ISE Design Suite バージョン 12 に含まれる PlanAhead ソフトウェアを使用して説明します。

チュートリアルの手順

このチュートリアルは、次の手順で構成されています。

手順 1 新規プロジェクトの作成

手順 2 [Sources] ビューと RTL Editor の使用

- 手順 3 デザインの合成
- 手順 4 デザインのインプリメンテーション
- 手順 5 結果の解析
- 手順 6 ビットストリーム ファイルの作成

新規プロジェクトの作成

手順 1

PlanAhead では、使用されるデザイン フローの段階によってさまざまなタイプのプロジェクトを作成できます。RTL ソースは、開発、解析、合成、インプリメンテーション、ビット ファイル生成などのプロジェクトを作成するために使用できます。

1-1 ソフトウェアを起動します。

- Windows の場合、Xilinx PlanAhead 12.3 のデスクトップ アイコンをダブルクリックするか、[スタート] → [プログラム] → [Xilinx ISE Design Suite 12.3] → [PlanAhead] → [PlanAhead] をクリックします。
- Linux の場合は、<Extract_Dir>/PlanAhead_Tutorial/Tutorial_Created_Data ディレクトリに移動し、**planAhead** と入力します。

PlanAhead の Getting Started ページが開きます。

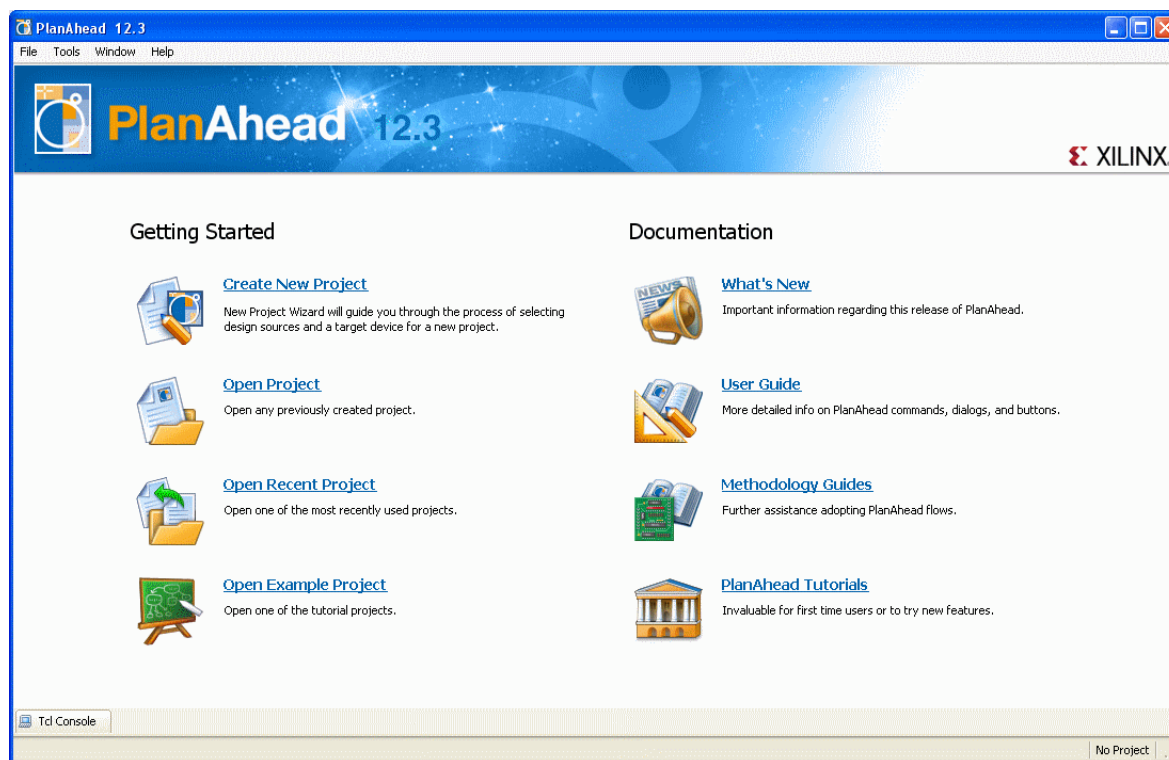


図 1 : PlanAhead の Getting Started ページ

PlanAhead の Getting Started ページには、プロジェクトを開いたり、作成したり、ドキュメントを確認するリンクが含まれます。

1-2 <Extract_Dir>\PlanAhead_Tutorial\Sources\hdl ディレクトリの RTL ソース ファイルを使用して project_1 という RTL プロジェクトを新規に作成します。

1-2-1. Getting Started ページの **Create New Project** というリンクをクリックします。

[Create a New PlanAhead Project] ページが開きます。

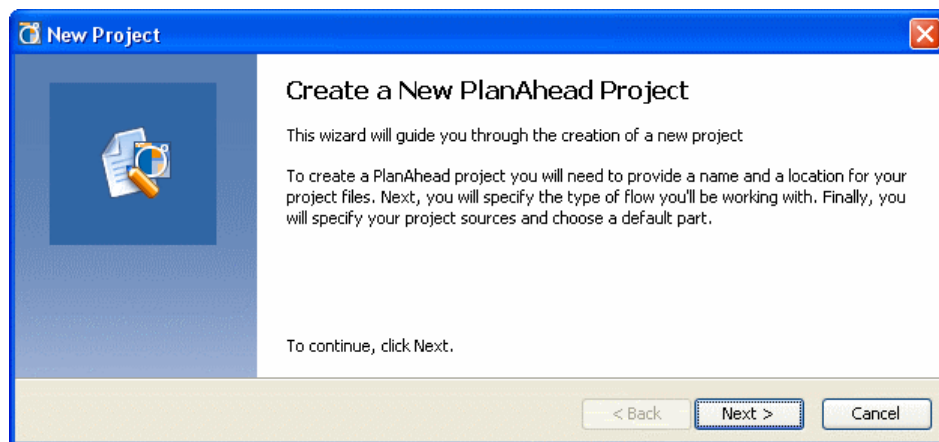


図 2 : [New Project] ダイアログ ボックスの概要ページ

1-2-2. [Next] をクリックします。

[Project Name] ページが表示されます。

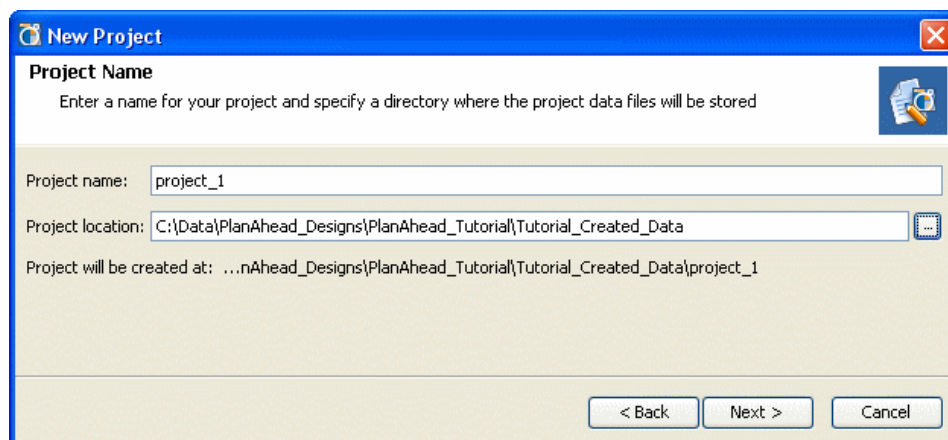


図 3 : [New Project] ダイアログ ボックスの [Project Name] ページ

1-2-3. 参照ボタンで次のフォルダを指定します。

<Extract_Dir>\PlanAhead_Tutorial\Tutorial_Created_Data.

1-2-4. プロジェクト名はデフォルトの **project_1** のままにし、[Next] をクリックします。

[Design Source] ページが表示されます。

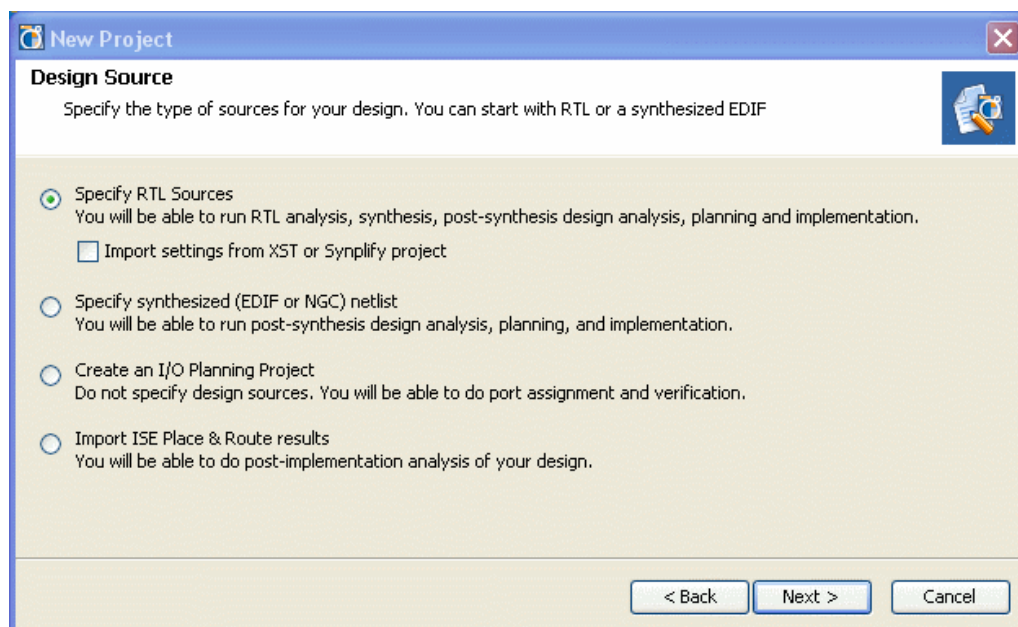


図 4：インポートする RTL ソースの選択

1-2-5. [Specify RTL Sources] をオンにし、[Next] をクリックします。

図 5 のような [Add Sources] ページが表示されます。

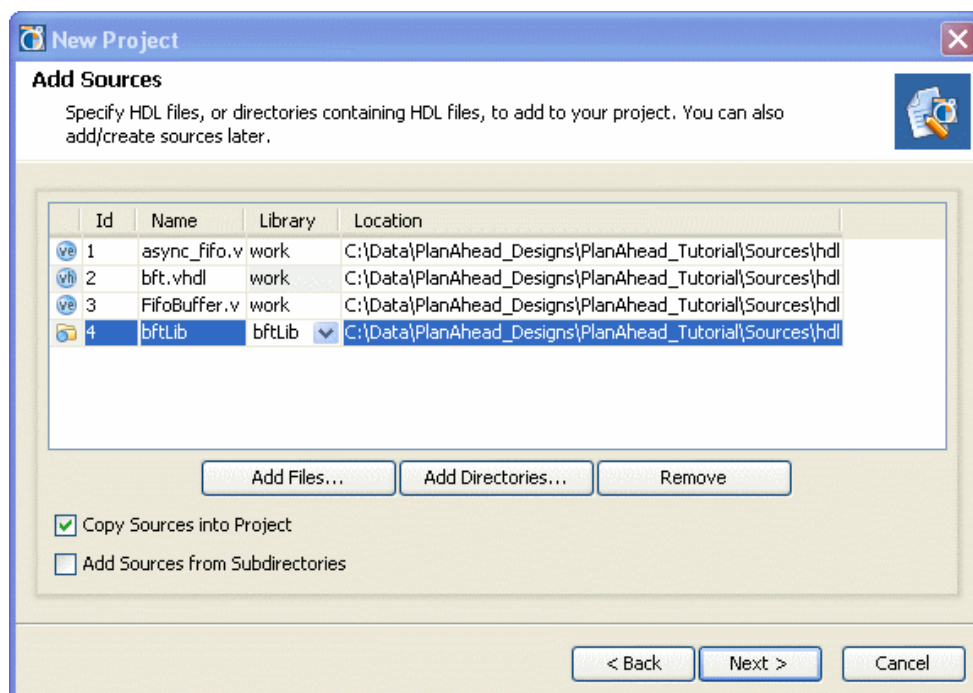


図 5：プロジェクトに追加するソースの選択

1-3 ディレクトリおよびファイルを追加し、VHDL ライブラリを設定します。

1-3-1. [Add Files] ボタンをクリックし、次のディレクトリを選択します。

<Extract_Dir>/PlanAhead_Tutorial/Sources/hdl.

1-3-2. **Ctrl** キーを押しながら、bft.vhdl、FifoBuffer.v、async_fifo.v を選択し、[開く] をクリックします。

1-3-3. [Add Directories] ボタンをクリックし、次のディレクトリを選択します。

<Extract_Dir>/PlanAhead_Tutorial/Sources/hdl/bftLib.

1-3-4. bftLib の場合、[Library] の列の **work** をクリックし、**bftLib** と入力します。

1-3-5. [Copy Sources into Project] をオンにします。

1-3-6. [Add Sources from Subdirectories] をオフにします。

1-3-7. 次の図 6 のように設定します。

1-3-8. [Next] をクリックします。

次のような [Constraints Files] ページが表示されます。

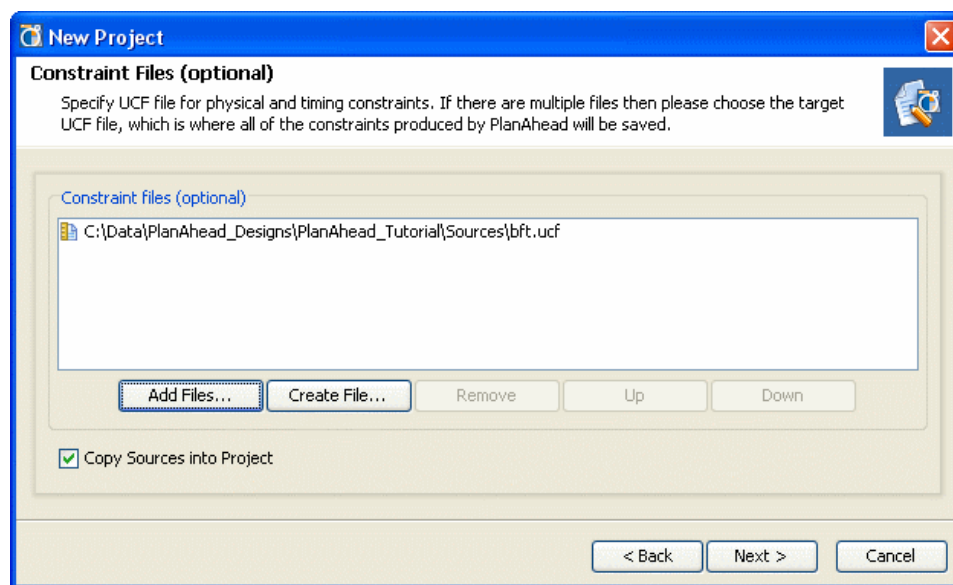


図 6 : [New Project] ウィザードの [Constraint Files] ページ

1-4 制約ファイルを追加します。

1-4-1. [Add Files] ボタンをクリックし、次のディレクトリを選択します。

<Extract_Dir>/PlanAhead_Tutorial/Sources/bft.ucf.

1-4-2. [Next] をクリックします。

[Default Part] ページが表示されます (図 7)。

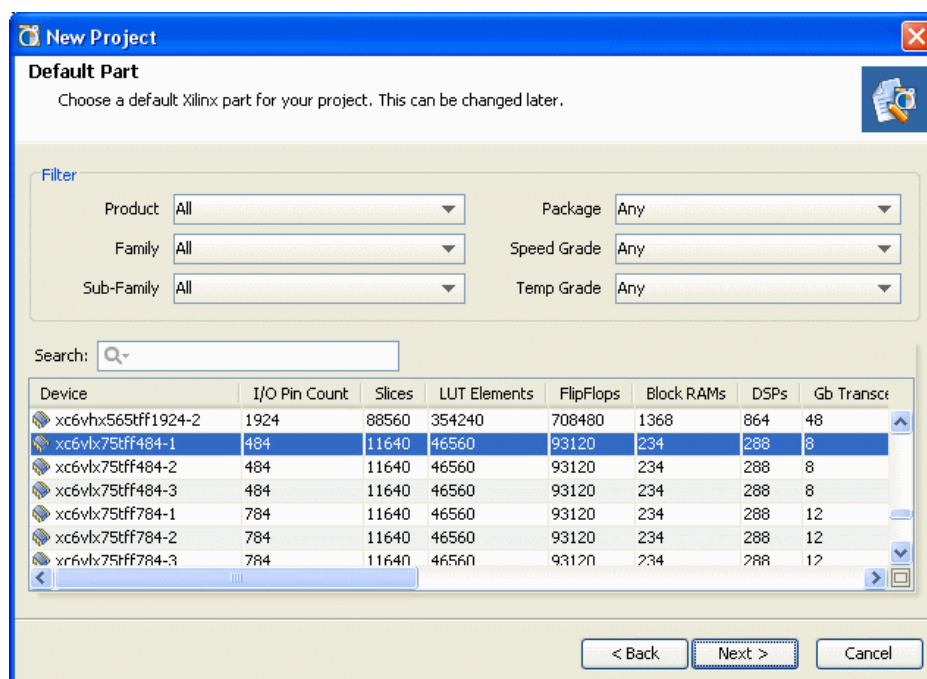


図 7：ファミリーおよびデフォルト パーツの選択

1-5 デフォルト パーツを選択します。

- 1-5-1. xc6vlx75tff484-2 デバイスを選択し、[Next] をクリックします。
- 1-5-2. サマリを確認したら、[Finish] をクリックします。

PlanAhead 環境が開きます。

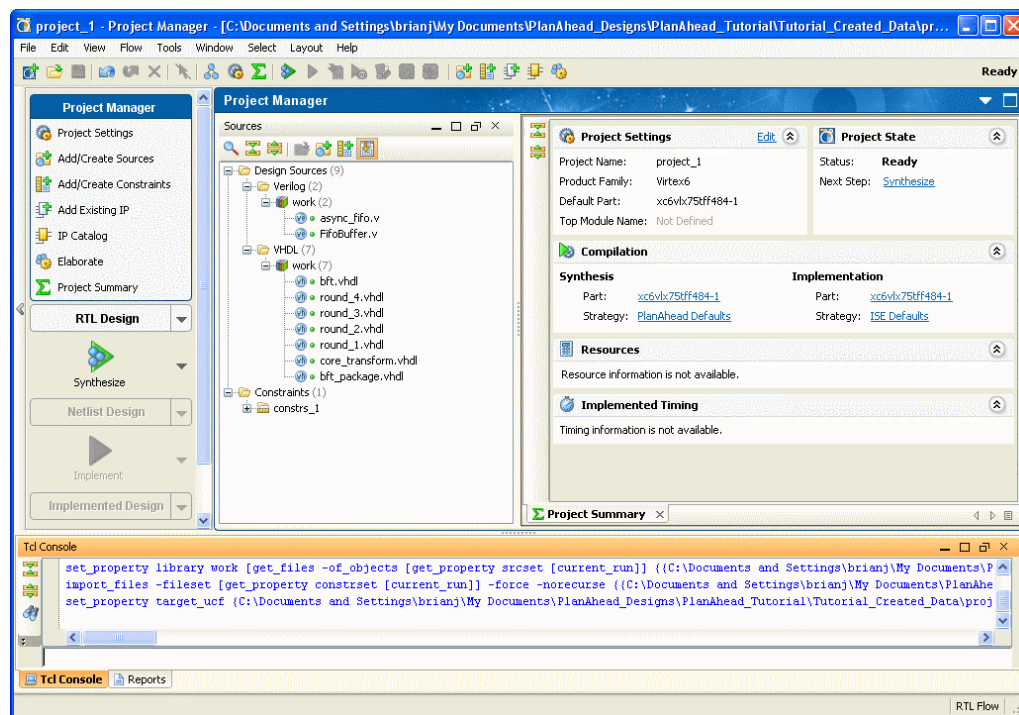


図 8 : PlanAhead 環境

[Sources] ビューと RTL Editor の使用

手順 2

PlanAhead ソフトウェアには、Verilog、VHDL、NGC 形式のコアなどさまざまなファイル形式のデザイン ソースを追加できます。これらのファイルは、[Sources] ビューに分類されて表示されます。RTL ソースの作成または開発には、RTL Editor を使用します。

2-1 [Sources] ビューとプロジェクト サマリを確認します。

2-1-1. [Project Summary] の情報を確認します。デザインの進捗状況に応じて、表示される情報は増えていきます。

2-1-2. [Sources] ビューを確認します。

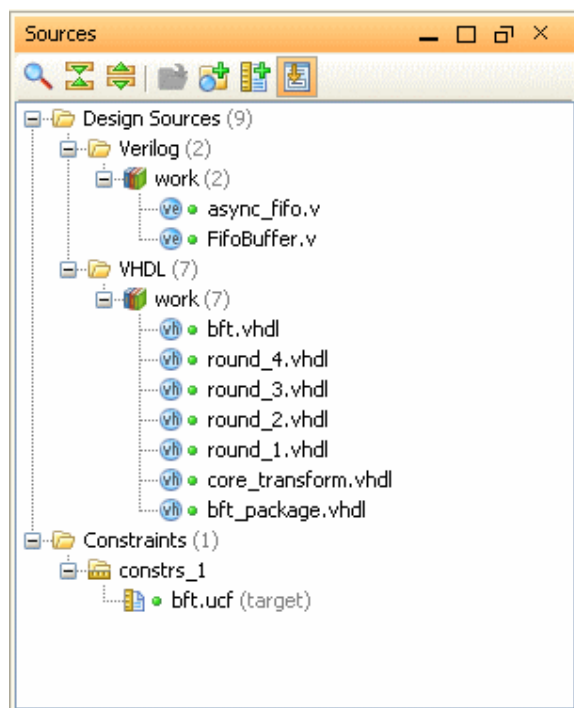


図 9 : ソースの表示

ソースはファイルの種類別に表示されます。ライブラリのフォルダからは、ソース ファイルのライブラリ名とディレクトリ情報が確認できます。

2-2 [Sources] ビュー コマンドと RTL Editor を確認します。

2-2-1. [Sources] ビューで VHDL ソースの 1 つを選択します。

2-2-2. 右クリックし、[Sources] ビューのポップアップ メニューでどういうコマンドが表示されるか確認してみてください。

2-2-3. **[Open File]** をクリックし、RTL Editor でテキストをスクロールしてみます。

[Sources] ビューでソース ファイルをダブルクリックしても、RTL Editor でそれらを表示することができません。

2-2-4. RTL Editor で右クリックし、[Find in Files] をクリックし、[Find in Files] ダイアログ ボックスを開きます。

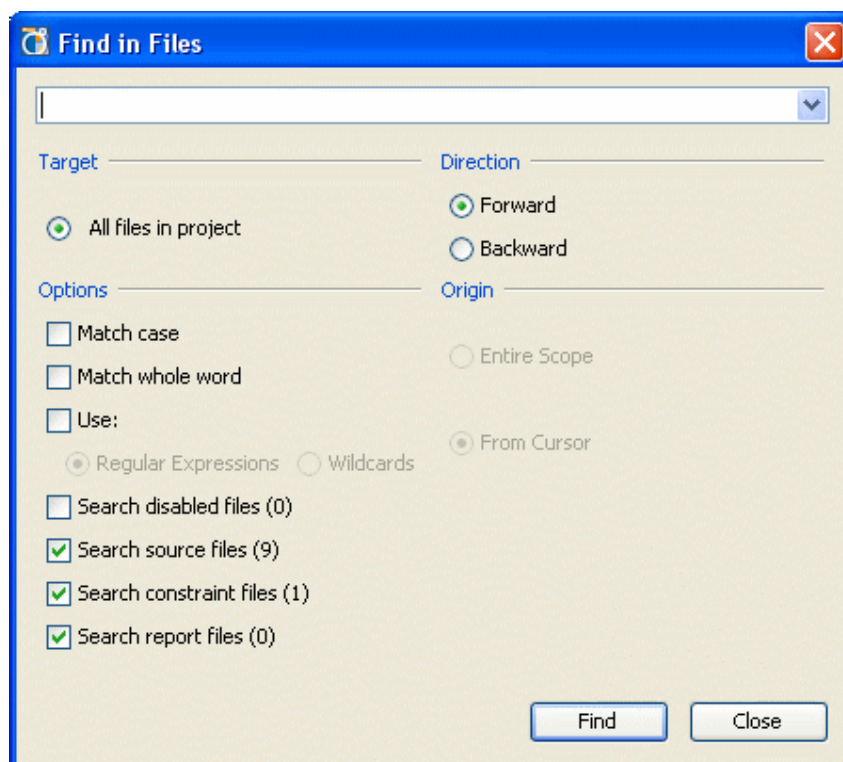


図 10 : ファイル内の検索

2-2-5. clk と入力し、**[Find]** をクリックします。

[Find in Files] ビューが PlanAhead 環境の下部にあるメッセージ エリアに表示されます。

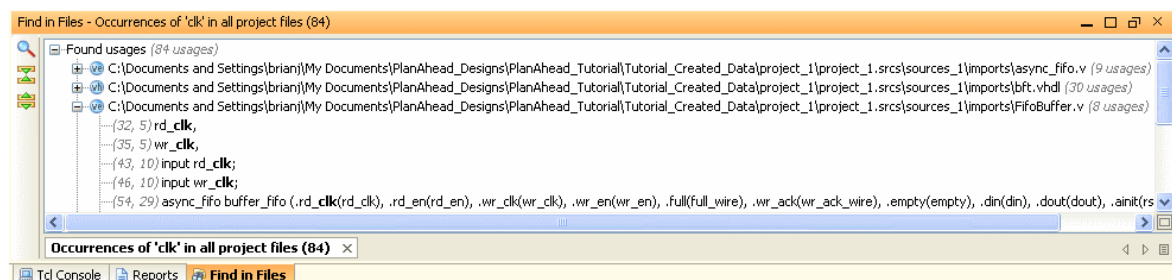


図 11 : 検出結果の表示

2-2-6. [Find in Files] ビューでディレクトリを展開し、clk を含む文の 1 つを選択すると、そのファイルが RTL Editor で表示されます。

2-2-7. [Find in Files] ビューを閉じます。

2-2-8. RTL Editor で開いた RTL タブも閉じます。

メモ : PlanAhead には、RTL 解析および IP カスタマイズ環境も含まれます。この環境については、別の PlanAhead チュートリアル「RTL デザインと CORE Generator を使用した IP の生成」を参照してください。

Flow Navigator の [RTL Design] ボタンをクリックすると、この機能を簡単に確認できます。RTL デザインでは、RTL ネットリスト、回路図、グラフィカル階層、概算リソースの統計などを含むさまざまな解析ビューを確認できます。ビュー同士が連動しているので、素早く RTL をデバッグおよび最適化できます。

メモ：ザイリンクスの IP カタログからは、ザイリンクスの CORE Generator ソフトウェアへアクセスし、IP を生成できます。カタログはさまざまな方法で分類および検索できます。IP はカスタマイズ、生成、インスタンス化できます。RTL でのパフォーマンスや電力を改善するための RTL DRC (デザイン ルール チェック) も複数含まれています。

デザインの合成

手順 3

PlanAhead では、1 つまたは複数の合成を順番どおりに、または同時にコンフィギュレーション、起動、モニタできます。

[Synthesize] コマンドを実行すると、このチュートリアルで使用される基本的なフローを 1 度に設定して起動できます。このコマンドは、PlanAhead 環境の左側の Flow Navigator に表示されています。

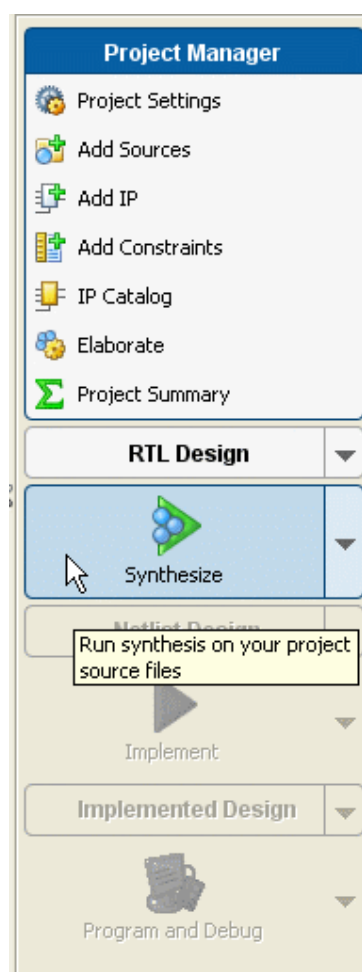


図 12 : Flow Navigator

Flow Navigator からは、合成、インプリメンテーション、およびビットストリームの生成などの主なデザイン コンパイル プロセスすべてが起動できます。

また、コンパイル済み RTL デザイン、合成済みネットリスト デザイン、またはインプリメント済みデザイン結果を開くこともできます。

3-1 合成オプションを確認し、合成を起動し、実行をモニタします。

- 3-1-1. Flow Navigator で、[Synthesize] ボタンの横にあるプルダウン メニューから [Synthesis Settings] を選択します。

[Synthesis Settings] ダイアログ ボックスが開きます。

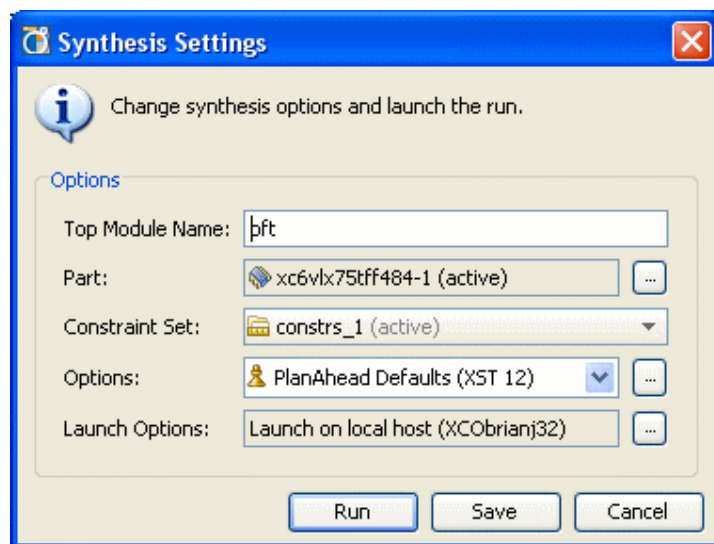


図 13 : [Synthesis Settings] ダイアログ ボックス

- 3-1-2. [Top Module Name] フィールドをクリックして **bft** と入力します。
- 3-1-3. [Part] および [Constraint Set] はデフォルトのままにします。
- 3-1-4. [Options] の [...] ボタンをクリックし、次のダイアログ ボックスを表示します。

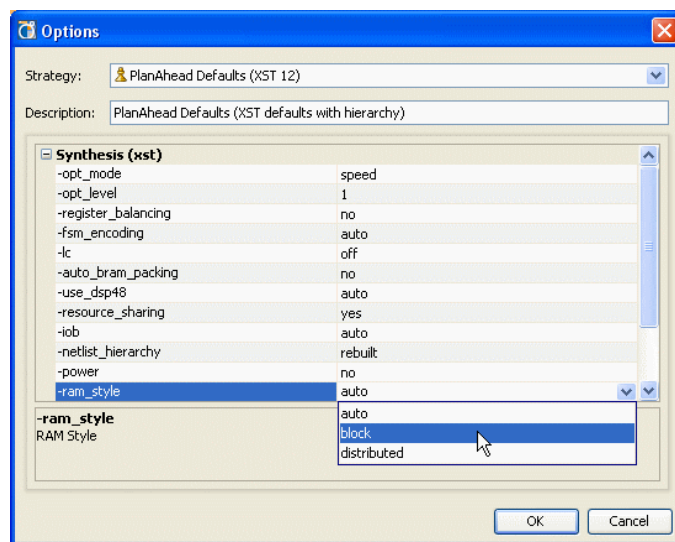


図 14 : [Options] ダイアログ ボックス

- 3-1-5. 使用可能なオプションを確認します。
- 3-1-6. [Strategy] ドロップダウン メニューから使用可能な合成ストラテジを確認し、[Cancel] をクリックします。
- 3-1-7. [Launch Options] の [...] ボタンをクリックし、次のダイアログ ボックスを表示します。

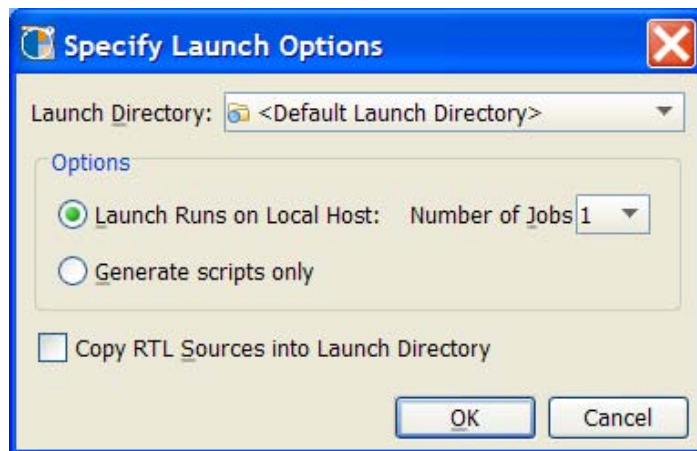


図 15 : 合成起動オプションの選択

- 3-1-8. オプションを確認し、[Launch Runs on Local Host] をオンにして [OK] をクリックします。
- 3-1-9. [Synthesis Settings] ダイアログ ボックスで [Run] をクリックして実行を開始します。

右上のステータスバーに、Synthesizing (XST) と表示されます。これは合成が実行中であることを示します。

[Compilation Log] ビューには ISE コマンドからの出力メッセージが、[Compilation Messages] ビューにはフィルタされた警告およびエラー メッセージが表示されます。[Compilation Log] ビューの合成メッセージをクリックすると、RTL ファイルが開き、該当する RTL コードの行が表示されます。

3-2 ネットリスト デザインを開きます。

- 3-2-1. 合成が終了したら、[Synthesis Completed] ダイアログ ボックスで [Open Netlist Design] をクリックします。
- 3-2-2. メッセージが表示されたら [Yes] をクリックし、RTL デザインを閉じます。

PlanAhead Design Planner 環境に合成済みネットリスト、ターゲット パーツ、適用された制約セットが表示されます。

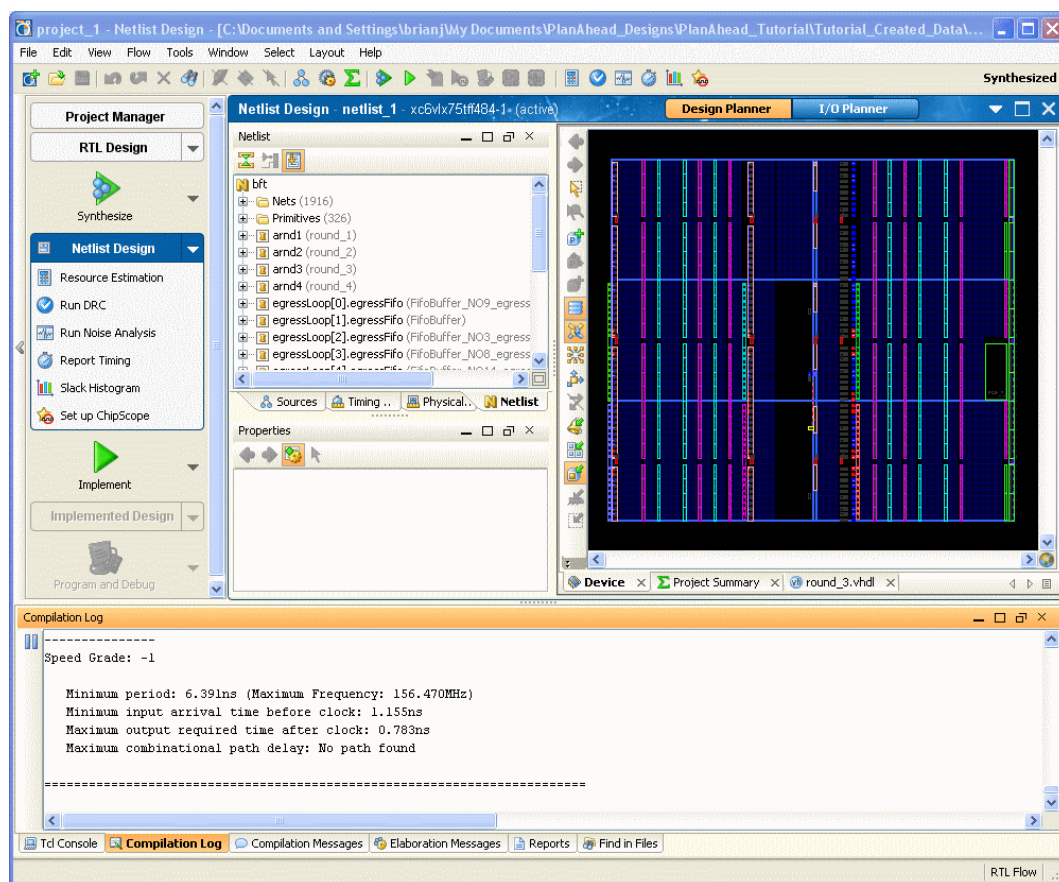


図 16 : ネットリスト デザインを開く

Flow Navigator の [Netlist Design] ボタンをクリックするとこの環境が表示されます。

PlanAhead には優れたデザイン解析およびフロアプラン環境が含まれます。PlanAhead の解析およびフロアプラン環境を使用すると、さまざまなデバイス、タイミング制約または配置制約などを試すことができます。これらの機能については、別の PlanAhead チュートリアルで説明します。

3-2-3. さまざまなビューや情報を確認します。

異なるデザイン タスクを実行しやすいように、I/O Planner と Design Planner の 2 つのビューレイアウトがあります。I/O Planner では I/O ピンの調査および制約の割り当てができ、Design Planner ではデザインのロジックの解析および制約の適用ができます。

PlanAhead 環境の一番上の [Netlist Design] ビューのパナーで [I/O Planner] ボタンをクリックします。

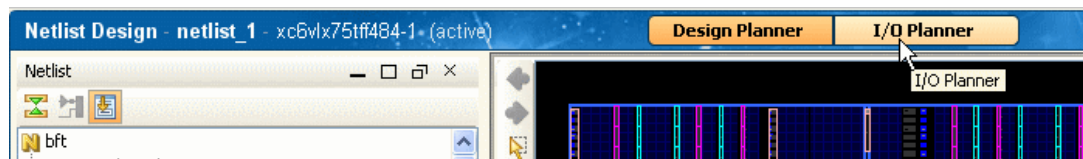


図 17 : I/O Planner ビューのレイアウト

3-2-4. さまざまなビューや情報を確認します。

3-2-5 [Netlist Design] ビューのパナーで [Design Planner] ボタンをクリックします。

解析および制約の定義が終了したら、[Netlist Design] を閉じます。これにより、システム メモリが保持され、複数の編集環境が同時に開かれることのないようにできます。X ボタンをクリックするか、Flow Navigator の [Netlist Design] ボタンのプルダウン メニューから [Netlist Design] を閉じることができます。このチュートリアルでは、開いたままにしておきます。

3-3 XST レポート ログ ファイルを表示します。

3-3-1. PlanAhead 環境の一番下の [Reports] ビュー タブをクリックします。

3-3-2. [XST Report] をダブルクリックして XST レポートをワークスペースに表示します。

3-3-3. スクロール ダウンして XST レポートを確認します。

3-3-4. [Workspace] タブの X ボタンをクリックして、XST レポートを閉じます。

デザインのインプリメンテーション

手順 4

PlanAhead のインプリメンテーション オプションは柔軟性があり、複数のインプリメンテーション ストラテジを複数実行して、最適な結果を検出できます。

4-1 インプリメンテーション オプションを確認し、インプリメンテーションを起動し、実行をモニタします。

- 4-1-1. Flow Navigator で、[Implement] ボタンの横にあるドロップダウン メニューから [Implementation Settings] を選択します。

[Implementation Settings] ダイアログ ボックスが開きます。

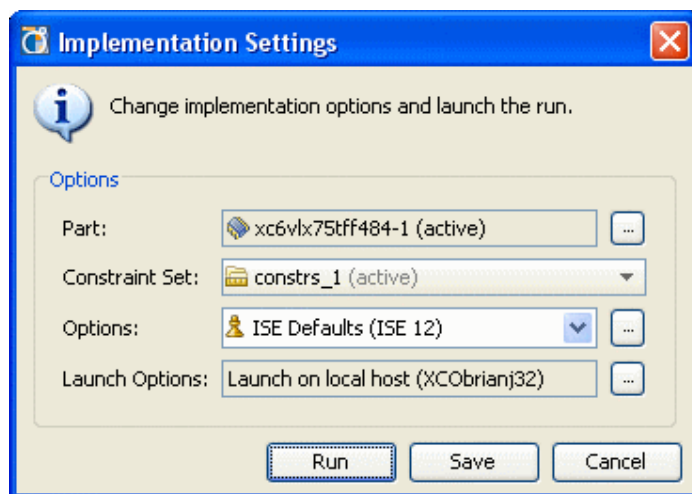


図 18 : [Implementation Settings] ダイアログ ボックス

- 4-1-2. [Part] および [Constraint Set] はデフォルトのままにします。
- 4-1-3. [Options] の [...] ボタンをクリックし、次のダイアログ ボックスを表示します。

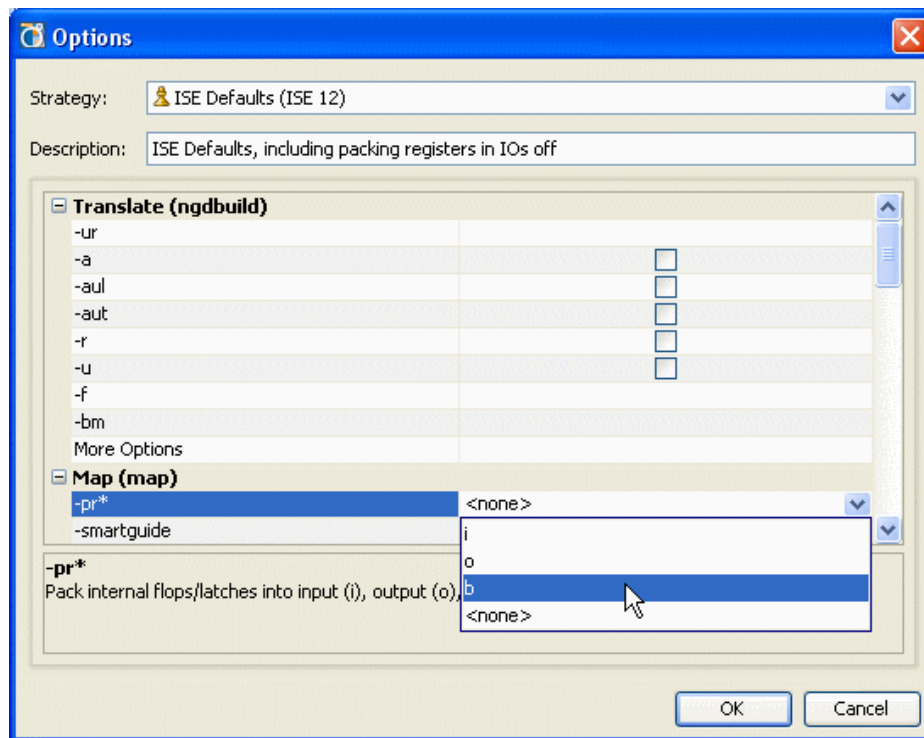


図 19 : [Options] ダイアログ ボックス

- 4-1-4. 使用可能なオプションを確認します。[Strategy] ドロップダウン メニューから使用可能なインプリメンテーション ストラテジを確認し、[Cancel] をクリックします。
- 4-1-5. [Launch Options] は [Launch on local host] のままにします。
- 4-1-6. [Implementation Settings] ダイアログ ボックスで [Run] をクリックし、実行を開始します。
右上のステータスバーに、Implementing (Ngdbuild) と表示されます。これは ISE のインプリメンテーションが実行中であることを示します。
[Compilation Log] ビューには ISE コマンドからの出力が、[Compilation Messages] ビューにはフィルタされた警告およびエラー メッセージが表示されます。
- 4-1-7. 終了したら、[Implemented Design] ダイアログ ボックスで [Open Implemented Design] を選択します。
- 4-1-8. インプリメンテーション済みデザインが開く前に、[Yes] をクリックし、[Netlist Design] を閉じます。

結果の解析

手順 5

PlanAhead では、配置およびタイミング結果を素早くインポートして、終了した実行を解析できます。インポートされた配置は「未固定」の LOC 制約として表示されます。[Timing Results] ビュー trce タイミング結果が表示されます。

デザイン解析およびフロアプランについての詳細は、ほかの PlanAhead チュートリアルを参照してください。

5-1 インプリメンテーションされたデザインを開いて、結果を簡単に確認します。

PlanAhead 環境にインプリメンテーションされたデザインを読み込まれます (図 20)。

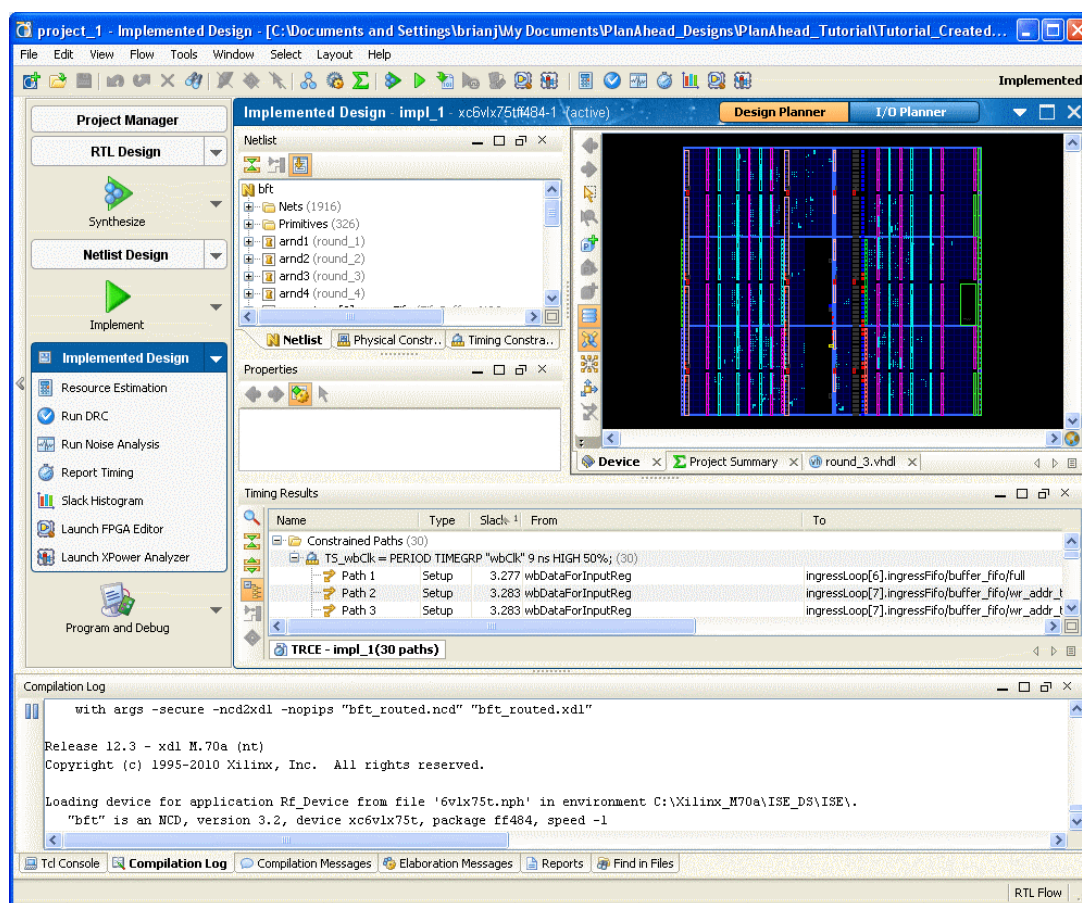



図 20 : インプリメンテーション結果を開きます。


Flow Navigator の [Implemented Design] ボタンをクリックしてもこの環境が表示されます。

配置が [Device] ビューに、trce タイミング結果が [Timing Results] ビューに表示されます。結果は、上の図と異なることもあります。

5-1-1. [Reports] タブをクリックし、[MAP Report] をダブルクリックしてマップ レポートをワークスペースに表示します。スクロール ダウンしてマップ レポートを確認します。

5-1-2. [Workspace] タブの X ボタンをクリックして、マップ レポートを閉じます。

5-1-3. [Device] ビューで [Hide/Show I/O Nets] ボタン () をクリックし、I/O 接続を表示します。

5-1-4. [Device] ビューで [Hide/Show I/O Nets] ボタン () をクリックし、I/O 接続を非表示にします。

5-1-5. [Timing Result] ビューで一番上のタイミング パスをクリックします。

このパスは [Device] ビューでハイライトされます。別のビューには、そのパスのロジック オブジェクトが選択されます。

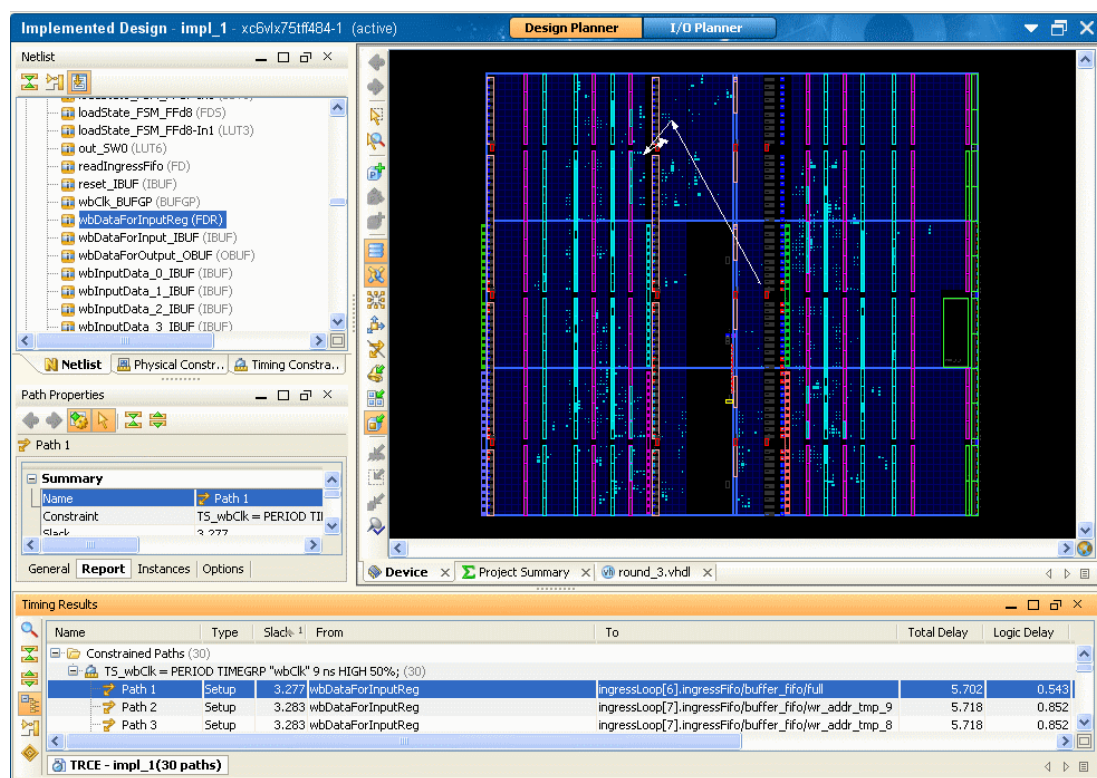


図 21 : インプリメンテーション結果からのタイミング パスのハイライト

5-1-6. [Path Properties] ビューで [Maximize] ボタン () をクリックします。

[Path Properties] ビューが表示されます (図 22)。

Path Properties

Path 1

Summary

Name	Path 1
Constraint	TS_wbClk = PERIOD TIMEGRP "wbClk" 9 ns HIGH 50%;
Slack	3.277
Source	wbDataForInputReg
Destination	ingressLoop[6].ingressFifo/buffer_fifo/full
Requirement	9.000
Delay	5.702
Source Clock	wbClk_BUFPG (rising at 0.000ns)
Destination Clock	wbClk_BUFPG (rising at 9.000ns)
Skew	0.014 (1.514 - 1.500)
Uncertainty	$0.035 ((TSJ^2 + TIJ^2)^{1/2} + DJ) / 2 + PE$
Total System Jitter (TSJ)	0.070
Total Input Jitter (TIJ)	0.000
Discrete Jitter (DJ)	0.000
Phase Error (PE)	0.000

Data Path

Delay Type	Delay	Cumulative	Location	Logical Resource
FDR (Tcko)	0.337	0.337	SLICE_X62Y62	wbDataForInputReg
net (fanout=16)	3.619	3.956		wbDataForInputReg
LUT2 (Tilo)	0.068	4.024	SLICE_X39Y106	Mmux_loadIngressFifo<6>1
net (fanout=1)	0.946	4.970		loadIngressFifo[6]
LUT6 (Tilo)	0.068	5.038	SLICE_X35Y99	ingressLoop[6].ingressFifo/buffer_fifo/wr_en_full_OR_14_o4
net (fanout=1)	0.594	5.632		ingressLoop[6].ingressFifo/buffer_fifo/wr_en_full_OR_14_o4
LUT3 (Tas)	0.070	5.702	SLICE_X37Y100	ingressLoop[6].ingressFifo/buffer_fifo/wr_en_full_OR_14_o5
FDC	0.000	5.702	SLICE_X37Y100	ingressLoop[6].ingressFifo/buffer_fifo/full
Total	5.702	5.702		
		Logic: 0.543		
		Net: 5.159		

General **Report** Instances Options

図 22 : パス プロパティの確認

[Path Properties] レポートは、trce レポートと類似しており、リンクのいずれかをクリックすると、そのロジック オブジェクトまたはサイトが選択されます。

5-1-7. [Path Properties] ビューで [Restore] ボタン (🔄) をクリックし、表示を元に戻します。

5-1-8. [Timing Results] ビューで [View] ツールバーから [Schematic] コマンド (🔍) をクリックするか、ポップアップ メニューから [Schematic] を選択します。

[Schematic] ビューが開きます (図 23)。

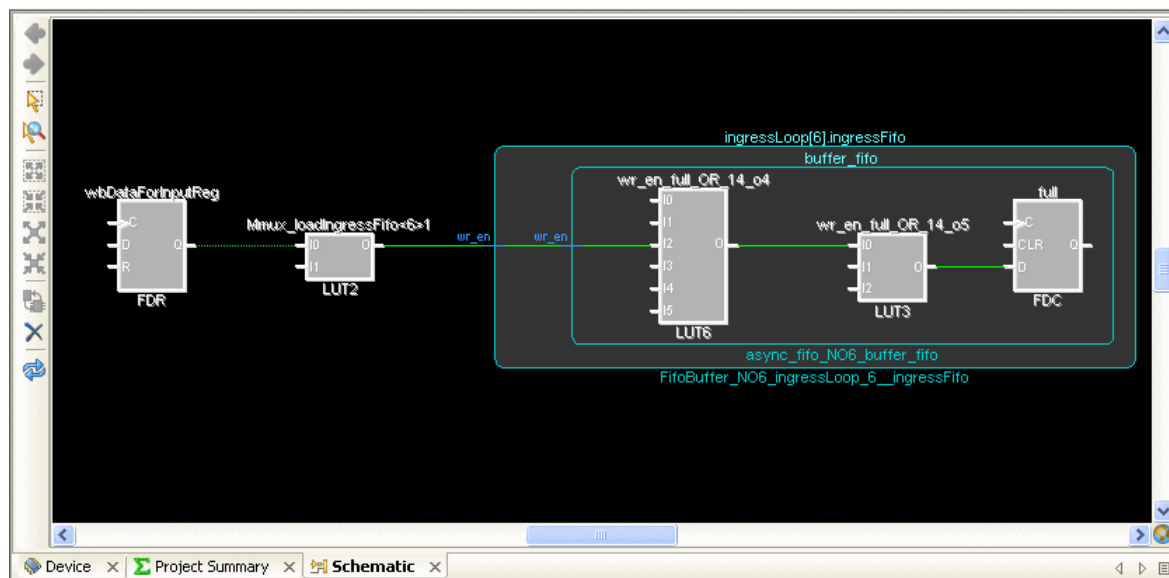


図 23 : 回路図でのタイミング パスの表示

デザイン解析およびフロアプランについての詳細は、ほかの PlanAhead チュートリアルを参照してください。

ビットストリーム ファイルの作成

手順 6

6-1 [Run the Generate Bitstream] コマンドを使用して、デザインのビット ファイルを作成します。

6-1-1. Flow Navigator で、[Program and Debug] ボタンをクリックし、[Generate Bitstream] を選択します。

[Run Bitgen] ダイアログ ボックスが表示されます。

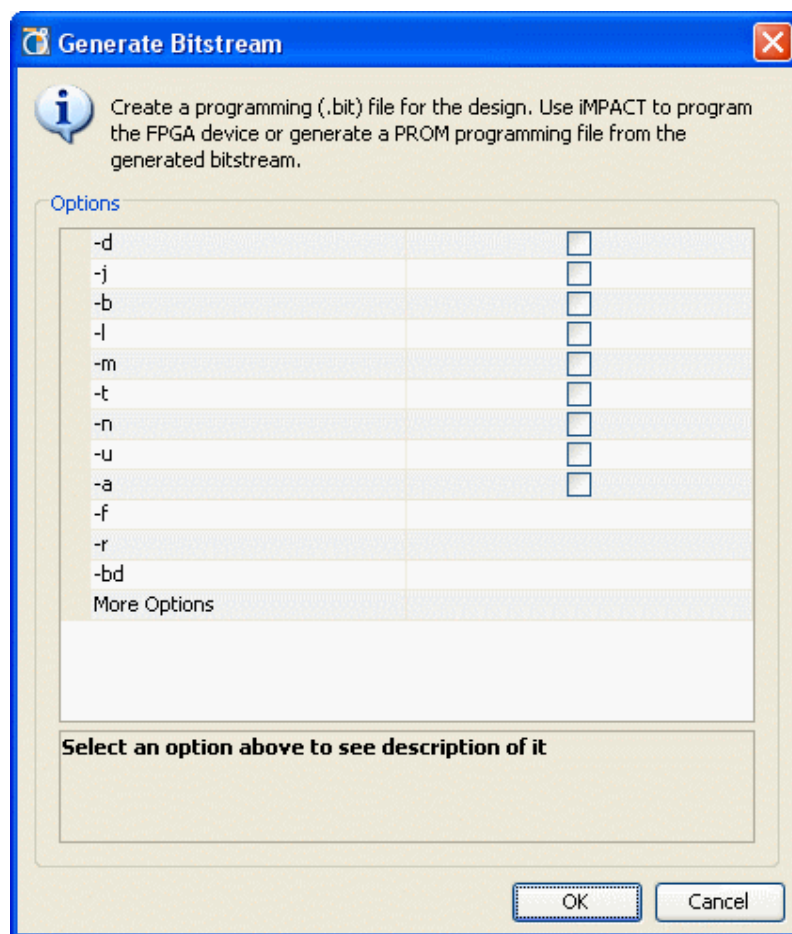


図 24 : ビットストリーム ファイルの生成

6-1-2. [OK] または [Cancel] をクリックします。

6-2 インプリメンテーションされたデザインのプロジェクト サマリを確認します。

6-2-1. [Project Summary] ビューのタブをクリックし、表示されている情報を確認します。

6-2-2. [File] → [Exit] をクリックし、保存するかどうかを尋ねるメッセージが表示されたら [Yes] をクリックし、[OK] をクリックして PlanAhead を閉じます。

まとめ

このチュートリアルでは、小型の PlanAhead RTL プロジェクトを使用して、基本的な PlanAhead デザイン フローを簡単に説明しました。ここでは、まず RTL プロジェクトを作成し、RTL ソースと RTL Editor を確認しました。その後、さまざまな合成実行オプションを確認し、合成を実行し、ネットリスト デザインを開いて結果をインポートしました。インプリメンテーション オプションを確認して、インプリメンテーションを実行し、実行結果をモニタし、コマンド レポート ファイルを確認し、その結果をインポートしてタイミング パスを解析し、最後にビットストリーム ファイルを作成しました。