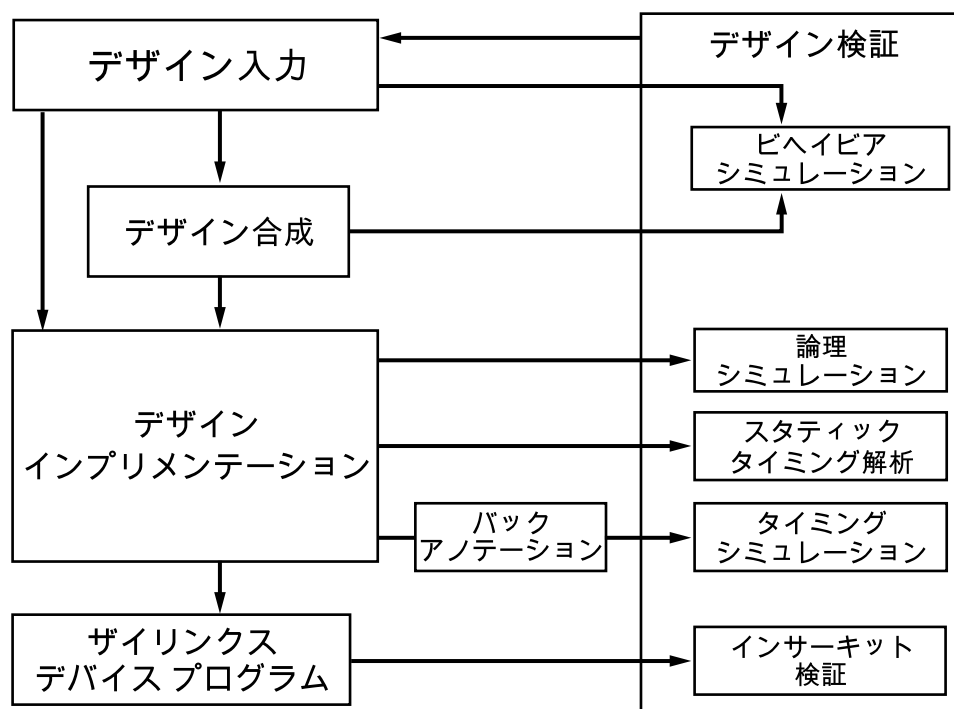


ISE Design Suite ソフトウェア マニュアル およびヘルプ

PDF コレクションには、ザイリンクス ISE® Design Suite に関連する資料が含まれています。マニュアルを表示するには、左のウィンドウでマニュアルのタイトルをクリックするか、または次のデザイン フロー図で関連するデザイン ステップをクリックします。

メモ： ソフトウェアを使用し始める場合は、「[ソフトウェア入門に関するマニュアル](#)」を参照してください。マニュアルではリファレンス情報が提供され、ヘルプでは ISE Design Suite のリファレンス情報および使用手順が提供されます。チュートリアルでは、デザイン プロセスが手順ごとに説明されています。



ソフトウェア入門に関するマニュアル

タイトル	内容
ISE ヘルプ	<ul style="list-style-type: none">・ デザイン フローを含む、ISE® (Integrated Software Environment) の概要・ Project Navigator から起動できる ISE ツールを使用した FPGA または CPLD デザインの作成、定義、コンパイル方法・ 前バージョンで利用したプロジェクトの移行方法
ISE チュートリアル	典型的デザインにおける ISE® Design Suite に含まれるさまざまなツールの使用方法。
EDK 補足資料	<ul style="list-style-type: none">・ エンベデッド開発キット (EDK) の使用方法・ MicroBlaze™ および PowerPC® プロセッサの情報・ コアのテンプレートおよびザイリンクス デバイスドライバの情報

デザイン入力に関するマニュアル

タイトル	内容
制約ガイド	<ul style="list-style-type: none"> サポート アーキテクチャ、使用可能なエレメント、伝搬規則、構文例などを含む各ザイリンクス制約の説明 制約の種類および入力方法 タイミング制約の使用法 サードパーティ制約の説明
Constraints Editor ヘルプ	<ul style="list-style-type: none"> よく使用される制約のほとんどに簡単にアクセスできる Constraints Editor を使用したユーザー制約ファイル (UCF) の編集方法 Constraints Editor ヘルプは ISE ヘルプ に含まれています。
CORE Generator ヘルプ	<ul style="list-style-type: none"> アーキテクチャ特有、ドメイン特有 (エンベデッド開発システム、コネクティビティ、および DSP)、マーケット特有 IP のカタログが提供されており、メモリや FIFO などのよく使用されるファンクションからフィルタや変換などのシステム レベルの構築ブロックまでを生成できます。 プロパティに必要な IP を作成する方法 CORE Generator ヘルプは ISE ヘルプ に含まれています。
Data2MEM ユーザー ガイド	Virtex® デバイスの BRAM セルの内容設定を自動化および簡素化するData2MEM ツールの説明
ハードウェア ユーザー ガイド メモ: このマニュアルは Web サイト japan.xilinx.com でのみご覧になれます。	<ul style="list-style-type: none"> RocketIO™ マルチギガビット トランシーバおよび IBM PowerPC® プロセッサの情報を含む、最新の Virtex® および Spartan® デバイスのファンクションおよび動作の説明 Virtex および Spartan デバイスの特殊機能を使用した最大集積度および最大パフォーマンスの達成方法 FPGA コンフィギュレーション手法およびプリント基板ボード (PCB) デザインでの考慮事項
ISE ヘルプ	<ul style="list-style-type: none"> デザイン フローを含む、ISE® (Integrated Software Environment) の概要 Project Navigator から起動できる ISE ツールを使用した FPGA または CPLD デザインの作成、定義、コンパイル方法 前バージョンで使用したプロジェクトの移行方法
ISE チュートリアル	典型的デザインにおける ISE® Design Suite に含まれるさまざまなツールの使用方法。

デザイン入力に関するマニュアル (続き)

タイトル	内容
ISE Text Editor ヘルプ	<ul style="list-style-type: none"> ・ ASCII、UCF、VHDL、Verilog、Tcl ファイルなどのテキスト ファイルを作成、表示、編集方法 ・ ISE Text Editor ヘルプは、ISE ヘルプに含まれています。
ISim ユーザー ガイド	VHDL、Verilog、および VHDL/Verilog 混合デザインで論理シミュレーションおよびタイミング シミュレーションを実行する ISim ツールの説明
ライブラリ ガイド	<ul style="list-style-type: none"> ・ アルファベット順、ファンクション カテゴリなどによって分類されたザイリンクス ユニファイド ライブラリの情報 ・ 各ザイリンクス デザイン エLEMENTのサポート アーキテクチャ、デザインの入力方法、構文例、関連する制約などの情報
PACE ヘルプ	<p>CPLD デバイスのピンの割り当ておよびエリア制約の作成を実行する PACE (Pinout and Area Constraints Editor) の使用方法</p> <p>メモ: PACE は CPLD デバイスでのみ使用できます。FPGA デバイスのピン割り当ては、PlanAhead ユーザー ガイドを参照してください。</p>
PlanAhead ユーザー ガイド	<ul style="list-style-type: none"> ・ PlanAhead™ ソフトウェアの詳細情報 ・ Project Navigator の PinAhead 環境を使用した合成前および合成後に使用される I/O ピン配置の説明 ・ クリティカルなロジックを制約し、インターコネクト長を短くして遅延を抑える、合成後およびインプリメンテーション後のフロアプラン手法の説明 ・ PlanAhead の詳細は、 http://japan.xilinx.com/tools/planahead.htm を参照してください。
Schematic Editor/Symbol Editor ヘルプ	<ul style="list-style-type: none"> ・ ISE® デザイン フローのビヘイビア シミュレーションまたは合成ステップの入力として最上位回路図を作成する方法、最上位回路図にインスタンスシートする下位の回路図の作成方法 ・ 新しいシンボルの作成方法、既存のシンボルを編集して回路図にインスタンスシートする方法 ・ Schematic and Symbol Editors ヘルプは ISE ヘルプに含まれています。
System Generator for DSP 関連資料	<ul style="list-style-type: none"> ・ System Generator for DSP の開発環境 (MATLAB® および Simulink®) の説明 ・ パフォーマンスの高い FPGA ベースの DSP システムを設計、シミュレーション、インプリメント、デバッグする方法
タイミング制約ユーザー ガイド	高パフォーマンス アプリケーション向けのタイミング クロージャを解決するタイミング制約手法

デザイン合成に関するマニュアル

タイトル	内容
ISE チュートリアル	典型的デザインにおける ISE® Design Suite に含まれるさまざまなツールの使用方法。
RTL Viewer/Technology Viewer ヘルプ	<ul style="list-style-type: none">・ XST 合成ツールによる合成後に RTL Viewer を使用して RTL (Register Transfer Level) のネットリストを回路図として表示する方法・ XST 合成ツールによる合成後に Technology Viewer を使用して Technology Level のネットリストを回路図として表示する方法
合成/シミュレーション デザイン ガイド	<ul style="list-style-type: none">・ ハードウェア記述言語 (HDL) を使用した FPGA (Field Programmable Gate Arrays) の一般的な設計方法・ HDL や FPGA に慣れていないユーザー向けの設計ヒント
XST ユーザー ガイド	<ul style="list-style-type: none">・ HDL 言語、ザイリンクス デバイス、および制約の Xilinx Synthesis Technology (XST) サポート・ FPGA および CPLD の最適化手法・ Project Navigator の [Process] ウィンドウおよびコマンドラインからの起動方法
XST ユーザー ガイド (Virtex-6 および Spartan-6 デバイス用)	<p>『XST ユーザー ガイド (Virtex-6 および Spartan-6 用)』は、リファレンスおよび具体的な方法のガイドとして使用できます。このガイドには、次が含まれています。</p> <ul style="list-style-type: none">・ XST の実行および制御手順を含む Xilinx Synthesis Technology (XST) 合成ツールの詳細な説明・ HDL を使用した回路設計でのコード手法・ ビルトインの FPGA 最適化技術を使用してザイリンクス Virtex®-6 および Spartan®-6 デバイスで最適なインプリメンテーションを達成するためのガイドライン

デザイン インプリメンテーションに関するマニュアル

タイトル	内容
コマンドライン ツール ユーザーガイド (開発システム リファレンス ガイド)	<ul style="list-style-type: none">・ ザイリンクス コマンド ライン ツールを使用したデザインの変換、インプリメンテーション、および検証方法の詳細・ ザイリンクス FPGA、CPLD、および Tcl コマンド ライン ツールのリファレンス情報 (構文、入力ファイル、出力ファイル、およびオプションを含む)・ MAP および PAR オプションの異なる組み合わせを試すことが可能な SmartXplorer の情報・ コマンド ライン情報を含めたマニュアルを最適な名前で作すため、『開発システム リファレンス ガイド』から変更されました。
FPGA Editor ヘルプ	<ul style="list-style-type: none">・ FPGA デザインを手動で配置配線する FPGA Editor グラフィカル ユーザー インターフェイスの使用方法・ デザインへのプローブの追加、ILA (Integrated Logic Analyzer) コアの処理、Timing Analyzer とのクロス プローブに関する情報
XPower Analyzer ヘルプ	<ul style="list-style-type: none">・ ザイリンクス FPGA および CPLD の電力消費を解析する XPower Analyzer アプリケーションの使用方法・ XPower Analyzer ヘルプは ISE ヘルプに含まれています。

ビヘイビア シミュレーションに関するマニュアル

タイトル	内容
ISE チュートリアル	典型的デザインにおける ISE® Design Suite に含まれるさまざまなツールの使用方法。
ISim ユーザー ガイド	VHDL、Verilog、および VHDL/Verilog 混合デザインで論理シミュレーションおよびタイミング シミュレーションを実行する ISim ツールの説明
ライブラリ ガイド	<ul style="list-style-type: none">アルファベット順、ファンクション カテゴリなどによって分類されたザイリンクス ユニファイド ライブラリの情報各ザイリンクス デザイン エLEMENTのサポート アーキテクチャ、デザインの入力方法、構文例、関連する制約などの情報
合成/シミュレーション デザイン ガイド	<ul style="list-style-type: none">ハードウェア記述言語 (HDL) を使用した FPGA (Field Programmable Gate Arrays) の一般的な設計方法HDL や FPGA に慣れていないユーザー向けの設計ヒント

論理シミュレーションに関するマニュアル

タイトル	内容
ISE チュートリアル	典型的デザインにおける ISE® Design Suite に含まれるさまざまなツールの使用方法。
ISim ユーザー ガイド	VHDL、Verilog、および VHDL/Verilog 混合デザインで論理シミュレーションおよびタイミング シミュレーションを実行する ISim ツールの説明
ライブラリ ガイド	<ul style="list-style-type: none">・ アルファベット順、ファンクション カテゴリなどによって分類されたザイリンクス ユニファイド ライブラリの情報・ 各ザイリンクス デザイン エLEMENTのサポート アーキテクチャ、デザインの入力方法、構文例、関連する制約などの情報
合成/シミュレーション デザイン ガイド	<ul style="list-style-type: none">・ ハードウェア記述言語 (HDL) を使用した FPGA (Field Programmable Gate Arrays) の一般的な設計方法・ HDL や FPGA に慣れていないユーザー向けの設計ヒント

スタティック タイミング解析に関するマニュアル

タイトル	内容
コマンドライン ツール ユーザーガイド (開発システム リファレンス ガイド)	<ul style="list-style-type: none">・ ザイリンクス コマンドライン ツールを使用したデザインの変換、インプリメンテーション、および検証方法の詳細・ ザイリンクス FPGA、CPLD、および Tcl コマンドライン ツールのリファレンス情報 (構文、入力ファイル、出力ファイル、およびオプションを含む)・ MAP および PAR オプションの異なる組み合わせを試すことが可能な SmartXplorer の情報・ コマンドライン情報を含めたマニュアルを最適な名前で表すため、『開発システム リファレンス ガイド』から変更されました。
Timing Analyzer ヘルプ (FPGA 用)	<ul style="list-style-type: none">・ FPGA デザインでのスタティック タイミング解析実行方法・ カスタマイズされたタイミング解析レポートの生成と評価および合成ツール、Technology Viewer、および FPGA Editor を使用したクロスプローブに関する情報・ Timing Analyzer ヘルプ (FPGA 用) は、ISE ヘルプに含まれています。
Timing Analyzer ヘルプ (CPLD 用)	<ul style="list-style-type: none">・ CPLD デザインでのスタティック タイミング解析実行方法・ カスタマイズされたタイミング解析レポートの生成と評価に関する情報
タイミング制約ユーザー ガイド	高パフォーマンス アプリケーション向けのタイミング クロージャを解決するタイミング制約手法

タイミング シミュレーションとバック アノテーションに関するマニュアル

タイトル	内容
コマンドライン ツール ユーザーガイド (開発システム リファレンス ガイド)	<ul style="list-style-type: none">・ ザイリンクス コマンド ライン ツールを使用したデザインの変換、インプリメンテーション、および検証方法の詳細・ ザイリンクス FPGA、CPLD、および Tcl コマンド ライン ツールのリファレンス情報 (構文、入力ファイル、出力ファイル、およびオプションを含む)・ MAP および PAR オプションの異なる組み合わせを試すことが可能な SmartXplorer の情報・ コマンド ライン情報を含めたマニュアルを最適な名前で作すため、『開発システム リファレンス ガイド』から変更されました。
ISE チュートリアル	典型的デザインにおける ISE® Design Suite に含まれるさまざまなツールの使用方法。
ISim ユーザー ガイド	VHDL、Verilog、および VHDL/Verilog 混合デザインで論理シミュレーションおよびタイミング シミュレーションを実行する ISim ツールの説明

インサーキット検証に関するマニュアル

タイトル	内容
ChipScope 関連資料 メモ: ChipScope Pro の詳細は、 ChipScope Pro のページ を参照 してください。	<ul style="list-style-type: none"> ・ ChipScope™ Pro コアを生成し FPGA デザインに追加するツール、ChipScope Pro Core Generator の使用方法 ・ HDL ソース コードを変更せずにコアを合成後のネットリストに挿入するためのツール、ChipScope Pro Core Inserter の使用方法 ・ インサーキット検証 (オンチップ デバッグ) を実行するためのツール、ChipScope Pro Analyzer の使用方法。データの表示および ChipScope Pro コア との連動方法、ChipScope Pro JTAG ダウンロード機能と互換性のあるビット ストリームの作成方法、JTAG を使用した FPGA へのビットストリームのダウンロード方法など
コマンドライン ツール ユーザーガイド (開発システムリファレンスガイド)	<ul style="list-style-type: none"> ・ ザイリンクス コマンドライン ツールを使用したデザインの変換、インプリメンテーション、および検証方法の詳細 ・ ザイリンクス FPGA、CPLD、および Tcl コマンドライン ツールのリファレンス情報 (構文、入力ファイル、出力ファイル、およびオプションを含む) ・ MAP および PAR オプションの異なる組み合わせを試すことが可能な SmartXplorer の情報 ・ コマンドライン情報を含めたマニュアルを最適な名前で表すため、『開発システムリファレンスガイド』から変更されました。
ISE ヘルプ	<ul style="list-style-type: none"> ・ デザイン フローを含む、ISE® (Integrated Software Environment) の概要 ・ Project Navigator から起動できる ISE ツールを使用した FPGA または CPLD デザインの作成、定義、コンパイル方法 ・ 前バージョンで使用したプロジェクトの移行方法

デバイスのプログラムに関するマニュアル

タイトル	内容
データシート	<ul style="list-style-type: none">・ ザイリンクス デバイス ファミリの説明・ デバイス注文情報・ ファンクションの詳細、電気特性、パフォーマンス特性、ピン配置、パッケージ情報など
ハードウェア ユーザー ガイド メモ： このマニュアルは Web サイト japan.xilinx.com でのみご覧になれます。	<ul style="list-style-type: none">・ RocketIO™ マルチギガビットトランシーバおよび IBM PowerPC® プロセッサの情報を含む、最新の Virtex® および Spartan® デバイスのファンクションおよび動作の説明・ Virtex および Spartan デバイスの特殊機能を使用した最大集積度および最大パフォーマンスの達成方法・ FPGA コンフィギュレーション手法およびプリント基板ボード (PCB) デザインでの考慮事項
iMPACT ヘルプ	<ul style="list-style-type: none">・ iMPACT でのザイリンクス ケーブルを使用したザイリンクス FPGA のコンフィギュレーション方法およびザイリンクス CPLD および PROM のプログラム方法。バウンダリスキャン、スレーブ シリアル、ダイレクト SPI モードを使用したデバイス コンフィギュレーションおよびプログラムの手順。・ System ACE™ CF、PROM、SVF、STAPL、および XSVF プログラム ファイルの生成方法・ iMPACT ヘルプは ISE ヘルプ に含まれています。

ライブラリ ガイド

ライブラリ ガイドには、ザイリンクス ユニファイド ライブラリに含まれるデザイン エLEMENT (マクロおよびプリミティブ) に関する情報が記載されています。デバイス ファミリーおよびデザインの入力方法別に複数のライブラリ ガイドがあり、次の内容が掲載されています。

- ・ デザインの入力方法
- ・ デザイン エLEMENT のファンクション カテゴリ
- ・ デザイン エLEMENT の情報

メモ： HDL 用のライブラリ ガイドには、プロジェクトにコピーして使用できるインスタンスエーション コードも含まれています。

次のライブラリ ガイドがあります。

- ・ 『CPLD ライブラリ ガイド』
- ・ 『Spartan®-3 ライブラリ ガイド (HDL 用)』
- ・ 『Spartan-3 ライブラリ ガイド (回路図用)』
- ・ 『Spartan-3A および Spartan-3A DSP ライブラリ ガイド (HDL 用)』
- ・ 『Spartan-3A および Spartan-3A DSP ライブラリ ガイド (回路図用)』
- ・ 『Spartan-3E ライブラリ ガイド (HDL 用)』
- ・ 『Spartan-3E ライブラリ ガイド (回路図用)』
- ・ 『Spartan-6 ライブラリ ガイド (HDL 用)』
- ・ 『Spartan-6 ライブラリ ガイド (回路図用)』
- ・ 『Virtex®-4 ライブラリ ガイド (HDL 用)』
- ・ 『Virtex-4 ライブラリ ガイド (回路図用)』
- ・ 『Virtex-5 ライブラリ ガイド (HDL 用)』
- ・ 『Virtex-5 ライブラリ ガイド (回路図用)』
- ・ 『Virtex-6 ライブラリ ガイド (HDL 用)』
- ・ 『Virtex-6 ライブラリ ガイド (回路図用)』