

PlanAhead ソフトウェア チュートリアル

デザイン解析およびフロアプラン

UG676 (v 13.1) 2011 年 3 月 1 日



The information disclosed to you hereunder (the “Information”) is provided “AS-IS” with no warranty of any kind, express or implied. Xilinx does not assume any liability arising from your use of the Information. You are responsible for obtaining any rights you may require for your use of this Information. Xilinx reserves the right to make changes, at any time, to the Information without notice and at its sole discretion. Xilinx assumes no obligation to correct any errors contained in the Information or to advise you of any corrections or updates. Xilinx expressly disclaims any liability in connection with technical support or assistance that may be provided to you in connection with the Information. XILINX MAKES NO OTHER WARRANTIES, WHETHER EXPRESS, IMPLIED, OR STATUTORY, REGARDING THE INFORMATION, INCLUDING ANY WARRANTIES OF MERCHANTABILITY, FITNESS FOR A PARTICULAR PURPOSE, OR NONINFRINGEMENT OF THIRD-PARTY RIGHTS.

© Copyright 2011 Xilinx, Inc. XILINX, the Xilinx logo, Virtex, Spartan, ISE, and other designated brands included herein are trademarks of Xilinx in the United States and other countries. All other trademarks are the property of their respective owners.

本資料は英語版 (v 13.1) を翻訳したもので、内容に相違が生じる場合には原文を優先します。

資料によっては英語版の更新に対応していないものがあります。

日本語版は参考用としてご使用の上、最新情報につきましては、必ず最新英語版をご参照ください。

改訂履歴

次の表に、この文書の改訂履歴を示します。

日付	バージョン	改訂内容
2011 年 3 月 1 日	13.1	ISE 13.1 リリース用に改訂

目次

改訂履歴.....	2
PlanAhead ソフトウェア チュートリアル：デザイン解析およびフロアプラン	
概要	5
チュートリアルの目標.....	5
はじめに.....	6
チュートリアルの手順.....	7
手順 1：デバイス リソースとクロック領域の表示.....	8
手順 2：論理ネットリストの階層表示	15
手順 3：デザイン リソース統計の表示.....	17
手順 4：デザイン ルール チェック (DRC) の実行	20
手順 5：タイミング解析の実行.....	23
手順 6：デザインのインプリメンテーション	29
手順 7：タイミング結果の解析.....	32
手順 8：モジュール レベルの配置のハイライト.....	38
手順 9：接続の確認.....	40
手順 10：配置制約の使用	43
手順 11：階層接続の表示	45
手順 12：検索機能を使用したクロック ドメインの表示	50
手順 13：タイミング クリティカルな階層のフロアプラン	53
まとめ	58
付録 A：その他のリソース	
ザイリンクス リソース	59
PlanAhead 資料.....	59

PlanAhead ソフトウェア チュートリアル： デザイン解析およびフロアプラン

概要

このチュートリアルでは、高度な FPGA を設計するのに必要なザイリンクスの PlanAhead™ ソフトウェアの機能や利点を簡単に紹介し、より短い時間で効率の良いデザインを作成するための主な手順を説明します。このチュートリアルでは、次を実行します。

- インプリメンテーション前処理と解析
- インプリメンテーション機能の確認
- インプリメンテーション結果のフロアプラン

メモ：このチュートリアルでは、ISE® Design Suite の PlanAhead ソフトウェア製品に含まれる機能を使用しています。その他の機能については、別の PlanAhead チュートリアルで説明します。[付録 A 「その他のリソース」](#) の PlanAhead のチュートリアルのリンクを参照してください。

チュートリアルの目標

このチュートリアルは、PlanAhead ソフトウェアのさまざまな解析、フロアプラン、インプリメンテーションの機能を説明するためのもので、次のトピックが含まれます。

- デバイス使用率の統計を解析してターゲット デバイスを最適なデバイスに変更
- デザイン ルール チェック (DRC) を実行して、インプリメンテーション エラーになる可能性のある制約の競合を素早く解消
- [Netlist]、[Logic Hierarchy]、[Schematic] ビューでロジックを確認
- タイミング パフォーマンスを素早く概算することで、デザインの実現可能性を評価し、潜在的に問題のあるエリアを識別
- デザインに含まれる制約を表示、作成、変更
- デザイン階層接続およびデータ フローを解析し、クリティカルなロジック接続およびクロック領域を識別
- タイミング クリティカルなロジックをフロアプランしてタイミングを改善

このチュートリアルを終了したら、PlanAhead ソフトウェアのプロセスや機能に注目し、これらの機能をユーザー デザインでどのように使用するか決定してください。

はじめに

ソフトウェア要件

PlanAhead ソフトウェアは、ISE® Design Suite ソフトウェアをインストールするとインストールされます。チュートリアルを始める前に、PlanAhead が起動できるか、チュートリアル デザイン データがインストールされているかを確認してください。

インストール方法およびその詳細は、付録 A 「その他のリソース」 に示される『ISE Design Suite : インストールおよびライセンス ガイド』(UG798) を参照してください。

ザイリンクス コマンド ライン ツール

このチュートリアルを実行するには、NGDBuild、MAP、PAR、TRACE、XDL などのザイリンクス コマンド ライン ツールを使用できるようにしておく必要があります。

ハードウェア要件

大規模デバイスで PlanAhead ソフトウェアを使用するには、2GB 以上の RAM が推奨されます。このチュートリアルでは、小型の XC6VLX75T デザインを使用し、1 度に関することができ設計数を制限していますので、1GB で十分ですが、パフォーマンスに影響のこともあります。

チュートリアル デザインの説明

このチュートリアルで使用される小型のサンプル デザインには、Verilog と VHDL などの RTL デザイン ソースのセットが含まれます。VHDL ソースは、複数の VHDL ライブラリからのものです。このチュートリアルで使用されるデザインには、次が含まれます。

- RISC プロセッサ
- 疑似 FFT
- ギガビット トランシーバ
- USB ポート モジュール 2 つ
- XC6VLX75T デバイス

チュートリアル デザイン ファイルのディレクトリ

このチュートリアルでは、PlanAhead ソフトウェアのプロジェクト例に含まれるデザイン データを使用します。このデータは、次からも入手できます。

1. 次のいずれかから、PlanAhead_Tutorial.zip ファイルをダウンロードします。
 - PlanAhead ソフトウェア インストールのプロジェクト例のディレクトリ :
<ISE_install_area>/PlanAhead/testcases/
 - ザイリンクスのウェブサイト :
http://japan.xilinx.com/support/documentation/dt_planahead_planahead13-1_tutorials.htm
2. 書き込み権のあるディレクトリに ZIP ファイルを抽出します。

解凍された PlanAhead_Tutorial データ ディレクトリは、このチュートリアルでは <Extract_Dir> と記述します。

チュートリアルのサンプル データは、チュートリアルを実行中に変更されます。各チュートリアルを実行する前に、まず元の `PlanAhead_Tutorial` データのコピーを取っておいてください。

チュートリアルの手順

まず、最初に **PlanAhead** ソフトウェアのインプリメンテーション前のデザイン解析機能について説明します。これらの機能を使用すると、デザインの潜在的な問題を早期に検出したり、代替デバイスを探したり、フロアプランしたりできます。

このチュートリアルは、次の手順で構成されています。

「手順 1: デバイス リソースとクロック領域の表示」

「手順 2: 論理ネットリストの階層表示」

「手順 3: デザイン リソース統計の表示」

「手順 4: デザイン ルール チェック (DRC) の実行」

「手順 5: タイミング解析の実行」

「手順 6: デザインのインプリメンテーション」

「手順 7: タイミング結果の解析」

「手順 8: モジュール レベルの配置のハイライト」

「手順 9: 接続の確認」

「手順 10: 配置制約の使用」

「手順 11: 階層接続の表示」

「手順 12: 検索機能を使用したクロック ドメインの表示」

「手順 13: タイミング クリティカルな階層のフロアプラン」

手順 1 : デバイス リソースとクロック領域の表示

1. PlanAhead の起動

- Windows の場合、Xilinx PlanAhead 13 のデスクトップ アイコンをダブルクリックするか、[スタート] → [プログラム] → [Xilinx ISE Design Suite 13.1] → [PlanAhead] → [PlanAhead] をクリックします。
- Linux の場合は、<Extract_Dir>/PlanAhead_Tutorial/Projects ディレクトリに移動し、planAhead と入力します。

PlanAhead 環境が開きます (図 1)。

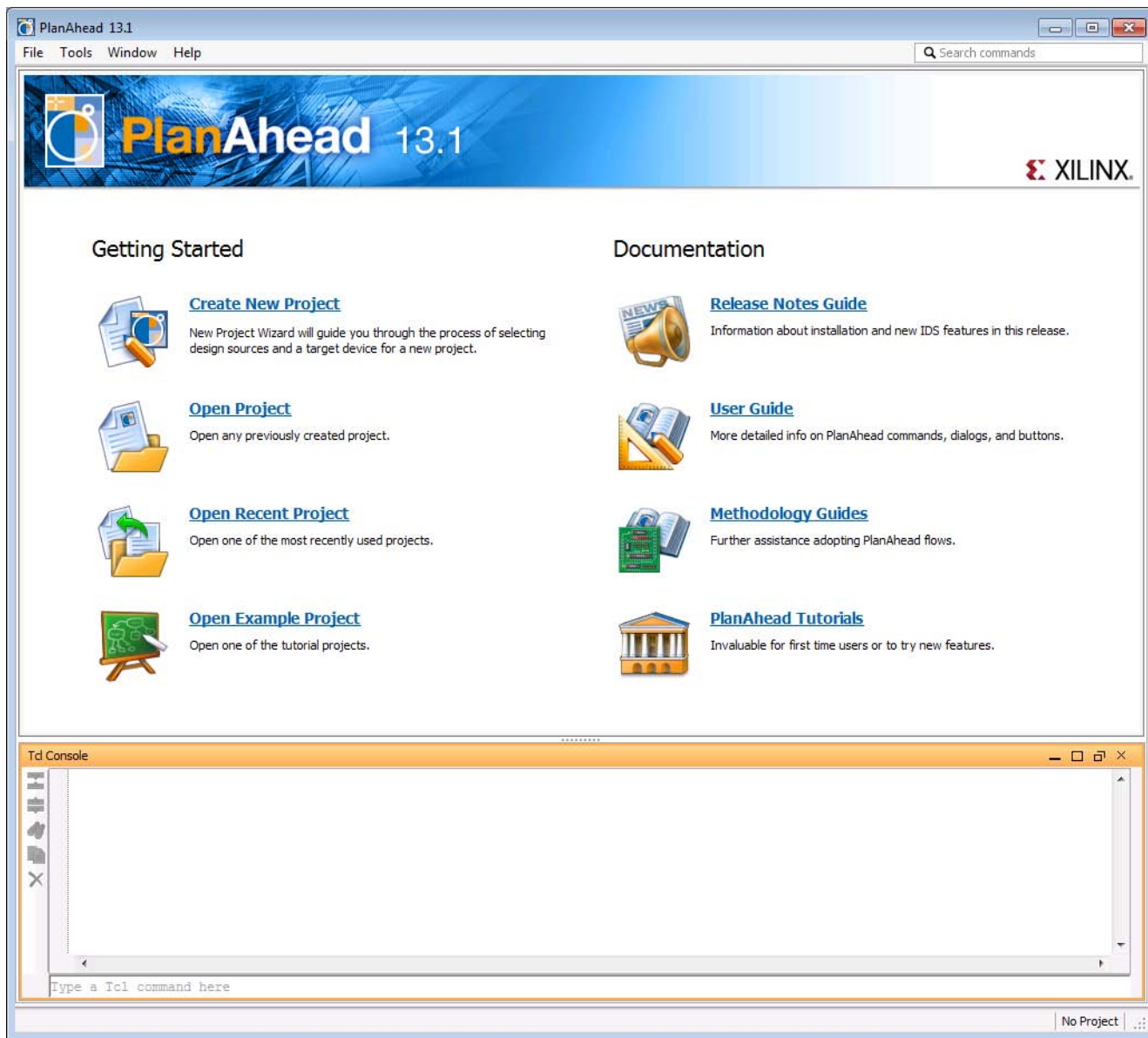


図 1 : PlanAhead の Getting Started ページ

PlanAhead の Getting Started ページには、プロジェクトを開いたり、作成したり、ドキュメントを確認するリンクが含まれます。

2. [File] → [Open Project] をクリックし、<Extract_Dir>/PlanAhead_Tutorial/projects/project_cpu_floorplan/ を指定して **project_cpu_floorplan.ppr**を開きます。
PlanAhead 環境でプロジェクトが開きます (図 2)。

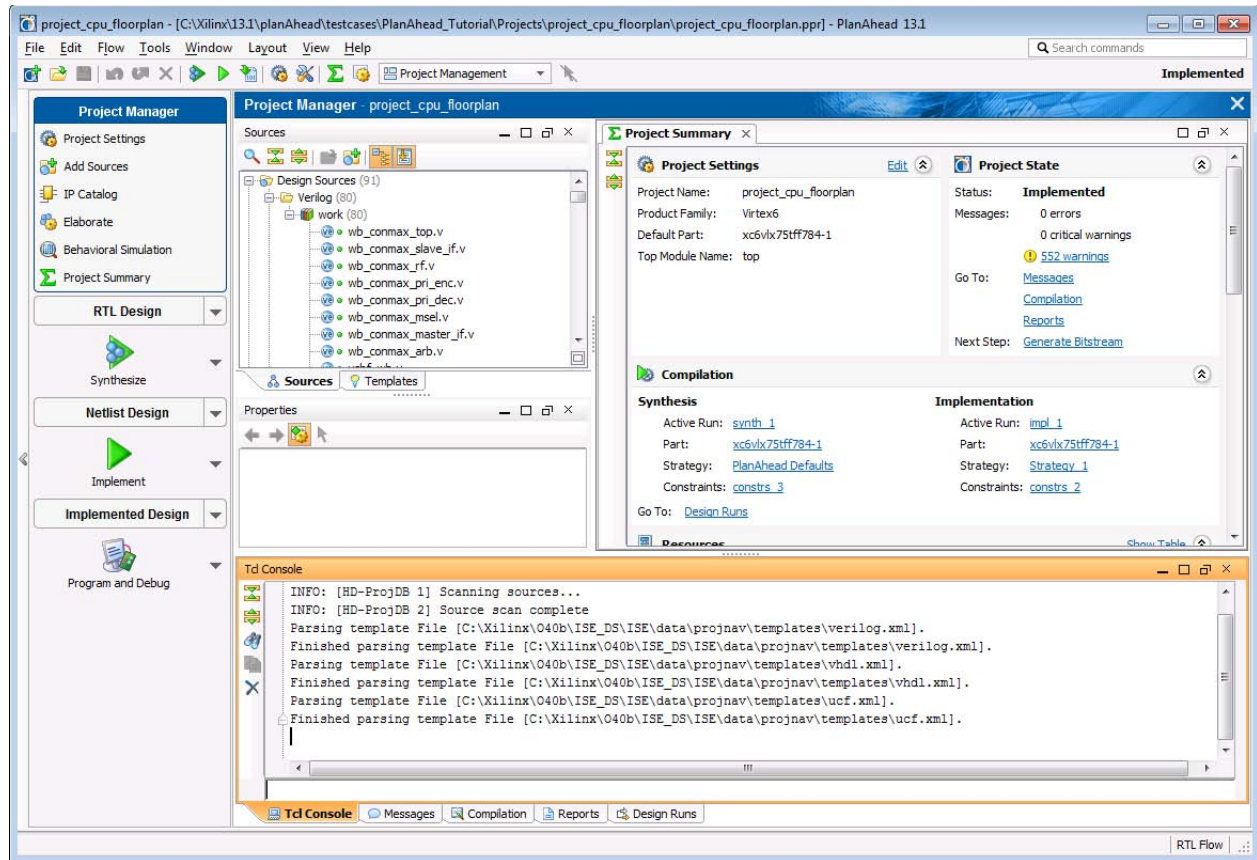



図 2 : PlanAhead 環境

3. [Sources] ビューで [constrs_2] → [top_full.ucf] がアクティブになっていることを確認します (図 3)。必要であれば、[constrs_2] を右クリックし、[Make active] を選択します。必要であれば、[Collapse All] ボタン  をクリックします。

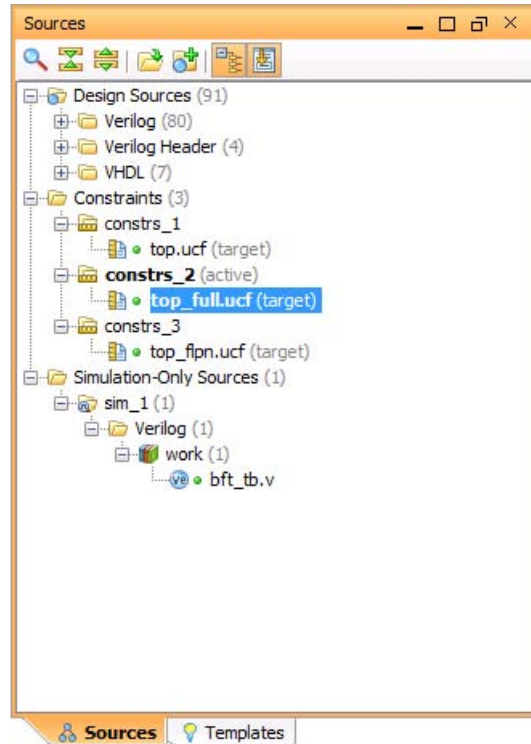


図 3 : constrs_2 を選択した [Sources] ビュー

4. [Design Runs] ビューで [impl_1] がアクティブになっていることを確認します (図 4)。必要であれば、[impl_1] を右クリックし、[Make active] を選択します。

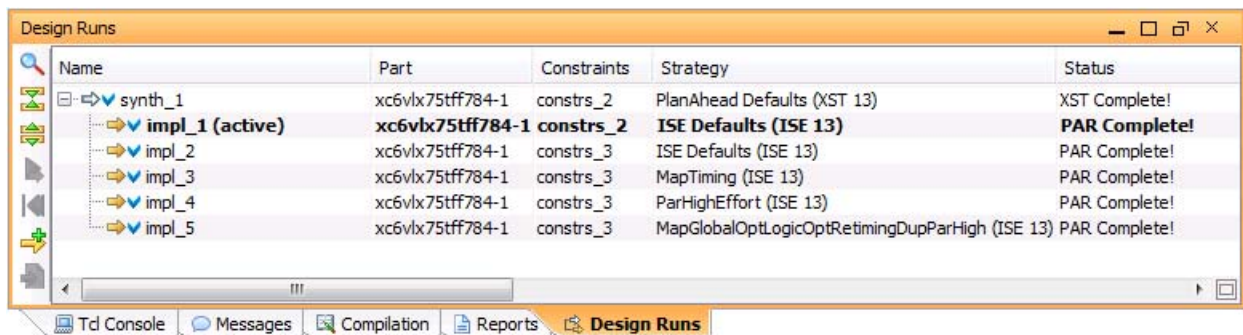


図 4 : impl_1 がアクティブになった [Design Runs] ビュー

5. [Flow] → [Netlist Design] をクリックするか、Flow Navigator で [Netlist Design] をクリックしてデザインと制約を開きます。

図 6 のようにネットリストと top_full.ucf が開きます。

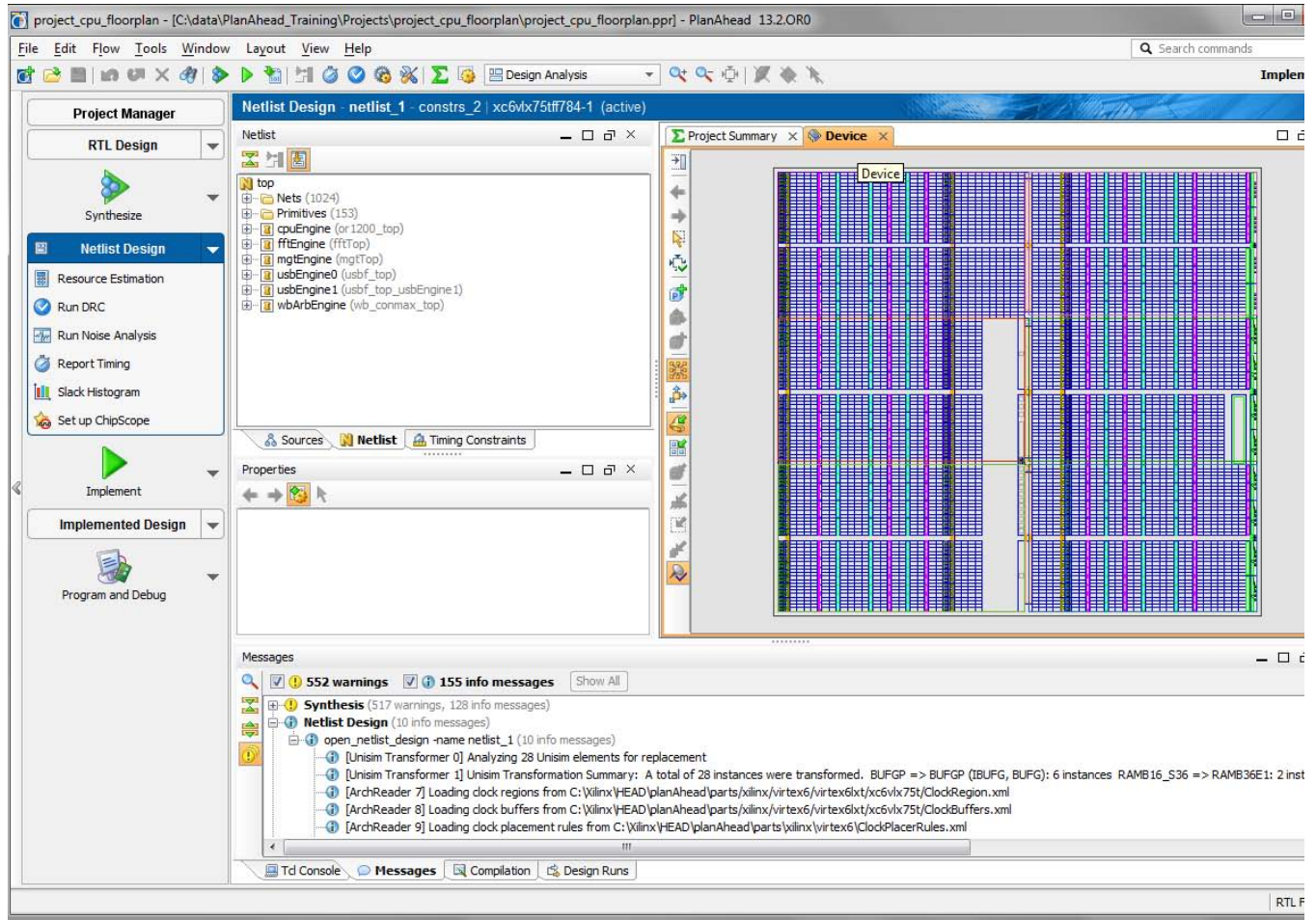


図 5: [Netlist Design] ビューの CPU ネットリスト

6. 次のように、[Device] ビューで [Zoom Area] を使用してさまざまなデバイス リソースを確認します。
 - デバイスの左上をクリックし、右下に向かってドラッグします。描画した箇所が拡大されます。
 - 上記の手順を繰り返し、デバイス リソースが確認できる大きさまで拡大します (図 6)。

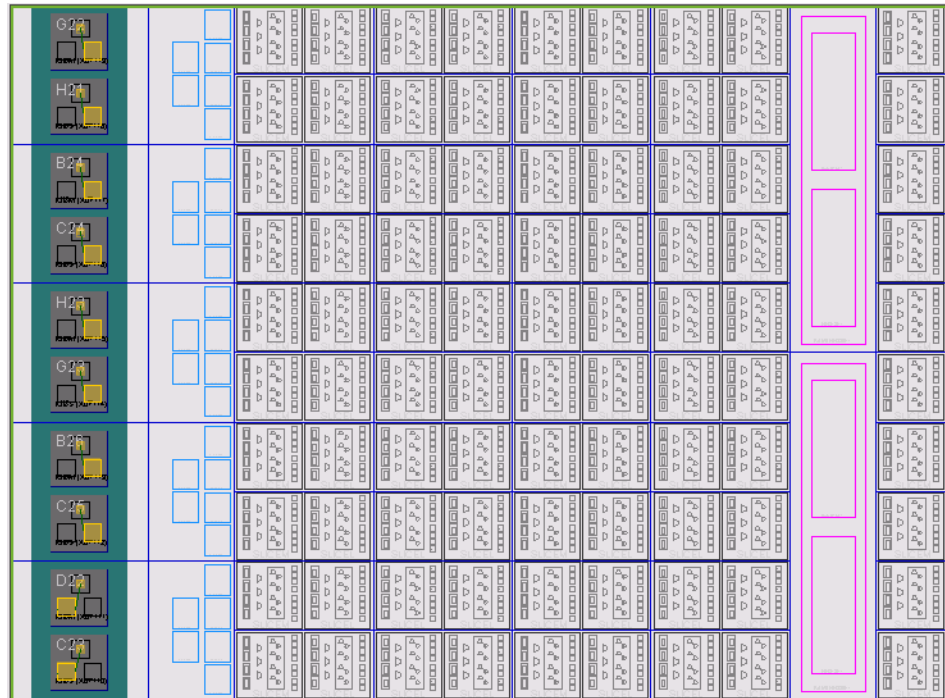


図 6: [Device] ビューでの CLB とロジック ゲート サイトの拡大表示

7. さまざまなデバイス リソースの上にカーソルを置いて、ツールチップを表示します。次に注意してください。
 - SLICE 座標は PlanAhead メイン ウィンドウ一番下のステータス バーに表示される
 - カーソルをサイト上に置くとツールチップが表示される
 - I/O ポートの位置と I/O バッファの割り当ては I/O バンク内に表示される
 - 縦長の赤紫色のタイルは RAMB36 サイトを示し、2 つの RAMB18 または 1 つの FIFO を含むことも可能
 - 縦長の青緑色のタイルは 2 つの DSP48 のサイトを示す
 - 青い正方形にはそれぞれ 2 つの SLICE を含む CLB を示す

サイトをクリックして [Site Properties] ビューにそのサイトに関する情報を表示

1. その他のサイト タイプをクリックして、[Site Property] を表示してみます。
2. [Device] ビューでクリックし、上にドラッグして左にドラッグするか、Ctrl キーを押しながら G キーを押して、[Device] ビューにデバイス全体を表示させます。

[Device] ビューにクロック領域が表示され、フロアプランをしやすくなります。[Clock Region] ビューには、デバイスのクロック領域がすべて表示されます。[Clock Region Properties] ビューで、インプリメンテーション前にクロックに潜在的な競合がないかどうかを確認します。クロックドメインの表示については、このチュートリアルの後半で説明します。

[Clock Resources] ビューの表示

1. [Device] ビューで次の手順を使用してクロック領域を表示します。

- [Windows] → [Clock Regions] をクリックします。
- 表中のクロック領域の 1 つをクリックします。

選択したクロック領域が [Device] ビューでハイライトされます (図 7)。

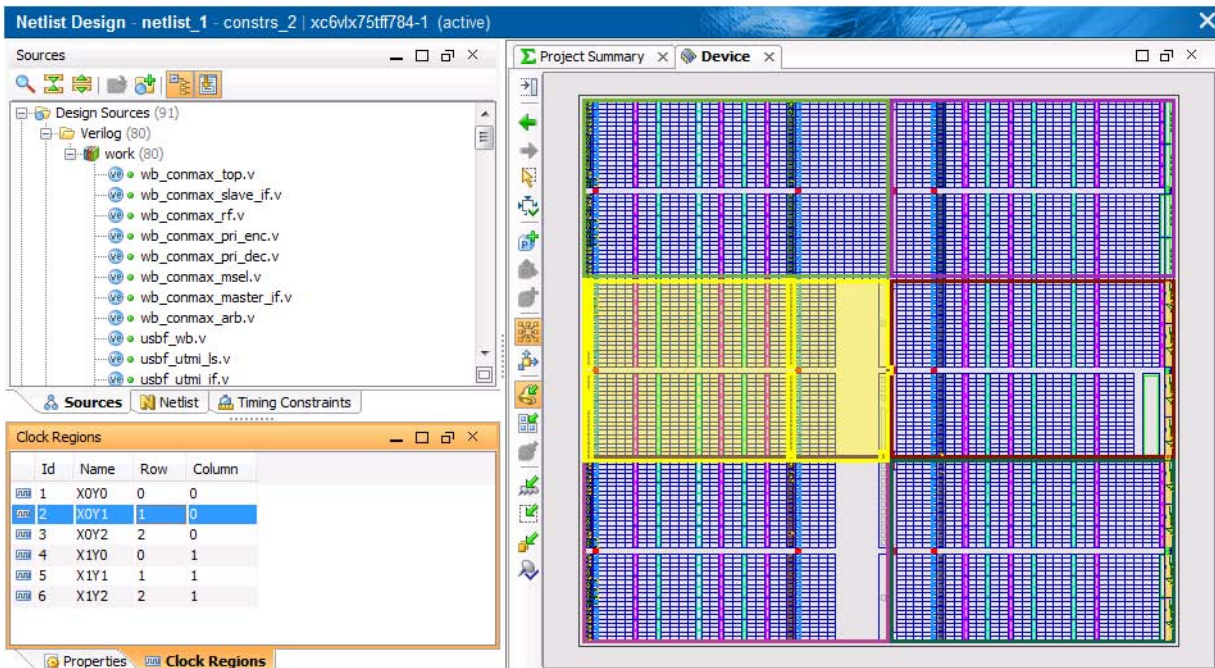




図 7: クロック領域プロパティの表示

2. [Clock Region Properties] ビューの [Properties] ビューのタブをクリックします。[Properties] ビューが表示されていない場合は、[Windows] → [Properties] をクリックします。


[Auto Fit Selection] ボタン  がオンになっている場合は、選択したクロック領域が自動的に拡大されます。

3. [Statistics] タブをクリックし、スクロールダウンしてロジックの内容を確認します (図 7 の一番下)。

クロック領域のリソースを確認

1. [Properties] ビューで [Resources] タブをクリックし、BUFR および IDELAYCTRL サイトのロケーションを確認します。
2. [Resources] リストで BUFR の 1 つを選択してみると、それが [Device] ビューでハイライトされることがわかります。
3. [Device] ビューまたは [Properties] ビューのいずれかで右クリックをして、[Mark] を選択してそのサイトをマークします。
4. [Fit Selection] ツールバー ボタン  をクリックし、選択したオブジェクトが表示されるようにします。

メモ: [Auto Fit Selection] がオンになっている場合は、[Device] ビューが BUFR に合わせて表示されます。

5. [Unmark All] ツールバー ボタン  をクリックし、マークを取ります。
6. [Device] ビューで [Zoom Fit] ボタンをクリックし、デバイス全体を表示させます。
7. [Clock Region Properties] ビューの [I/O Banks] タブをクリックし、そのクロック領域に関連する I/O バンクを確認します。
8. [Clock Region Properties] ビューで I/O バンクの 1 つをクリックすると、それが [Device] ビューでもハイライトされます。
9. [I/O Planning] ビュー レイアウトに切り替えます。切り替えるには、[Layout] → [I/O Planning] をクリックするか、ツールバー メニューのレイアウトを選択するプルダウン メニューから選択します。

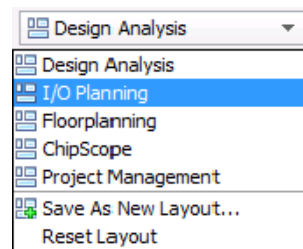



図 8 : I/O Planning ビュー レイアウトの選択

このビュー レイアウトは、ピン配置がしやすいように変更され、[Package] ビューと [Package Pins] ビューが開くようになりました。I/O バンクは、[Device] ビューと [Package] ビューの両方でハイライトされます。

10. レイアウトのプルダウン リストから [Design Analysis] を選択し、表示を元に戻します。

手順 2：論理ネットリストの階層表示

[Netlist] ビューでデザイン階層を確認

1. 2-1-1.[Netlist] ビューで [Collapse All] ツールバー ボタン  をクリックします。
2. cpuEngine の横にあるプラス記号 (+) をクリックしてモジュールを展開します。

[Netlist] ビューは次のように表示されるはずです (図 9)。

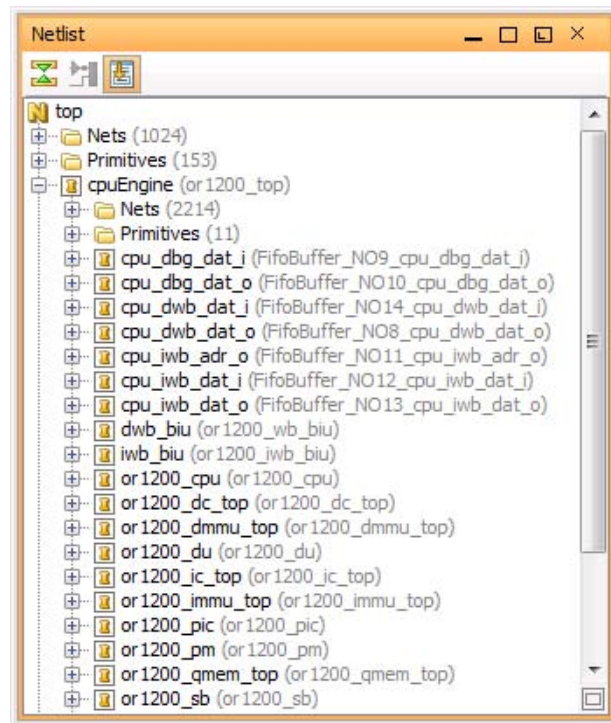



図 9：[Netlist] ビューの展開表示

メモ：[Netlist] ビューの [Primitives] フォルダには、各モジュールの最上位レベルのインスタンスが含まれます。

3. [Primitives] フォルダを展開表示します。サブ モジュールではなく、cpuEngine レベルにインスタンスがあります。
4. [Nets] フォルダを展開表示します。ネットは cpuEngine の下にあります。
5. [Netlist] ビューで [Collapse All] ツールバー ボタン  をクリックします。

ネットリスト モジュールを選択し、ロジックがデザイン階層のどこにあるかを確認

1. [Netlist] ビューで usbEngine0 モジュールを展開表示します。
2. u4 モジュールを選択します。
3. 右クリックし、[Show Hierarchy] を選択するか、F6 を押します。

ワークスペースに [Hierarchy] ビューが開きます (図 10)。

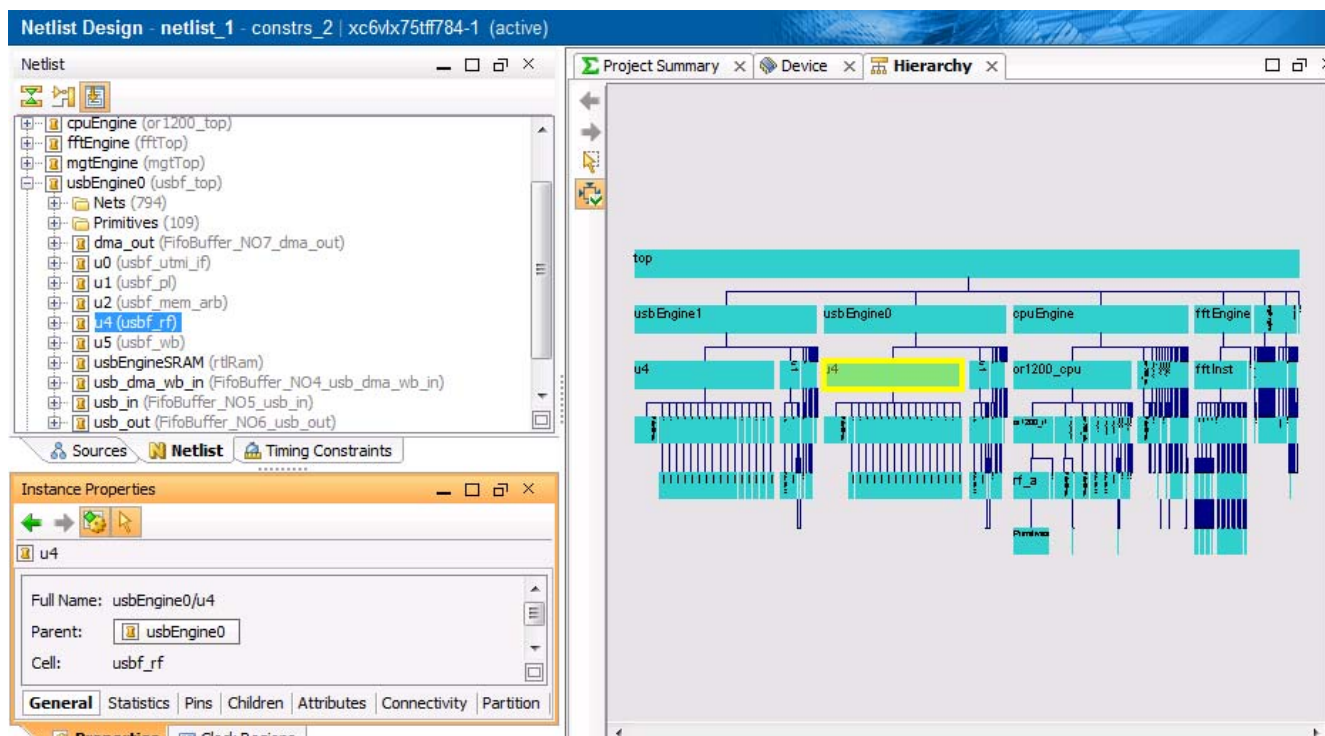



図 10：インスタンスの階層表示

[Hierarchy] ビューには、モジュールの階層関係や相対的なサイズが表示されます。選択したロジック モジュールが [Hierarchy] ビューに表示され、フロアプラン前にモジュールの位置および相対的なサイズを視覚的に確認できます。この表示から直接モジュールを選択してフロアプランができます。[Hierarchy] ビューには、ほかのビューで選択したロジックもハイライトされます。

4. 階層表示でモジュールを選択すると、[Netlist] ビューでも選択されます。
5. [Unselect All] ツールバー ボタン  をクリックするか、F12 キーを押します。

手順 3 : デザイン リソース統計の表示

PlanAhead ソフトウェアの使用率解析を実行すると、デザインに対して最適なデバイスを決定するのに役立つデザイン統計が表示できます。モジュール間でロジック リソースがどのように分配されているか確認することもできます。複数のデバイス タイプを試すことができるので、最適な使用率やパフォーマンスを決定しやすくなっています。

デザイン全体のリソース概算を確認

1. Flow Navigator で [Netlist Design] → [Resource Estimation] をクリックします。
ワークスペースに [Resource Estimation] ビューが開きます。
2. [Resource Estimation] タブをダブルクリックし、ウィンドウを最大化します。[Resource Estimation] タブを右クリックし、[Maximize] を選択しても最大化できます。
[Resource Estimation] ビューに階層ごとのリソース使用率が表示されます (図 11)。

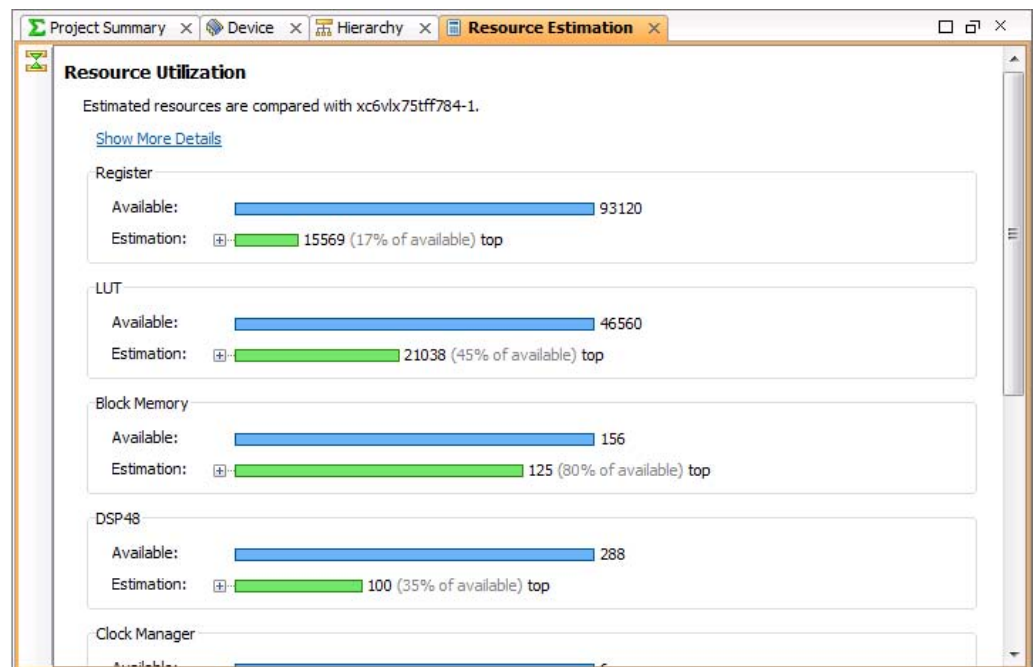



図 11 : [Resource Estimation] ビュー

3. [Resource Estimation] ビューで [Block Memory] (ブロック RAM) の [Estimation] の横の  をクリックして展開表示します。ブロック RAM を主に消費しているのは、usbEngine0 および usbEngine1 の 2 つであるのがわかります。
4. その他のリソースも展開表示してみます。
5. ブロック RAM の [Estimation] セクションから usbEngine1 をクリックします。
6. [Hierarchy] タブをクリックします。
階層ブラウザでも usbEngine1 が選択されます。1 つビューで選択したものは、ほかのビューでも選択されます。
7. X ボタンをクリックして [Hierarchy] ビューを閉じます。
8. X ボタンをクリックして [Resource Estimation] ビューを閉じます。

9. X ボタンをクリックして [Clock Resources] ビューを閉じます。
10. X ボタンをクリックして [Package] ビューを閉じます。
11. [Layout] → [Reset Layout] をクリックし、デフォルトのウィンドウ サイズに戻します。

[Resources] タブの情報をさらに詳細なビューで表示

この手順では、リソースを分けて表示する別の方法について説明します。階層別にリソースが分類されるわけではありません。このビューには、さらに詳細な情報が表示されます。

1. [Window] → [Physical Constraints] をクリックし、[Physical Constraints] ビューをメイン ウィンドウの左上に表示します (図 12)。

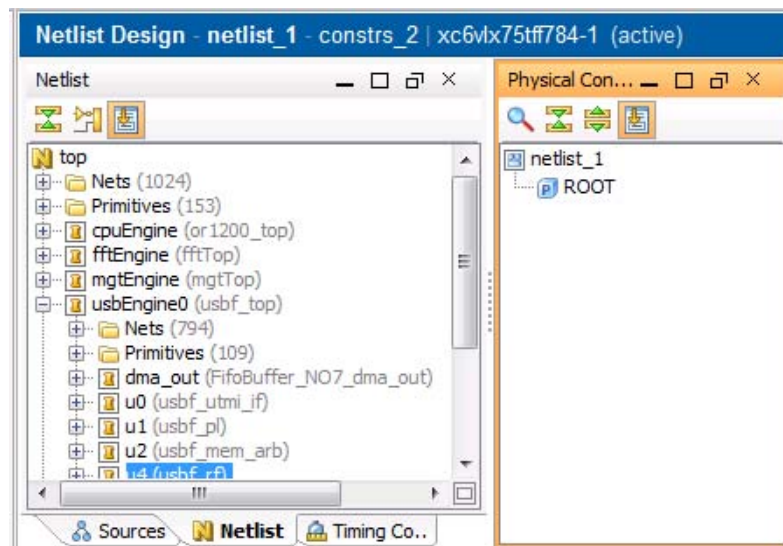



図 12 : [Physical Constraints] ビュー

2. ROOT デザインを選択しま。
3. [Pblock Properties] ビューをクリックします。
4. [Statistics] タブがオンになっていない場合はクリックします。
5. [Pblock Properties] ビューの [Physical Resources Estimates] フィールドを確認します (図 13)。
6. [Properties] ビューの右上の最大化ボタン  を使用して [Pblock Properties] ビューを最大化します。

Pblock Properties

ROOT

Physical Resource Estimates

Site Type	Available	Required	% Util
LUT	46560	21038	46
FD_LD	93120	15569	17
SLICEL	7460	3356	45
SLICEM	4180	1905	46
BSCAN	4	0	0
BUFCTRL	32	16	50
BUFHCE	72	0	0
BUFIODQS	36	0	0
BUFR	18	0	0
CAPTURE	1	0	0
CFG_IO_ACCESS	1	0	0
DCI	9	0	0
DCIRESET	1	0	0
DNA_PORT	1	0	0
DSP48E1	288	100	35
EFUSE_USR	1	0	0
FRAME_ECC	1	0	0
GTXE1	12	8	67
IBUFDS_GTXE1	6	0	0
ICAP	2	0	0
IDELAYCTRL	9	0	0
ILOGICE1	360	0	0
IODELAYE1	360	0	0
MMCM_ADV	6	4	67
OLOGICE1	360	0	0
PCIE_2_0	1	0	0
PMVBRAM	21	0	0
PMVIOB	2	0	0
RAMBFIFO36E1	156	125	81
>RAMBFIFO36E1		116	
>RAMB18E1		18	
STARTUP	1	0	0
SYSMON	1	0	0
TEMAC_SINGLE	4	0	0

General **Statistics** Instances Rectangles Attributes

図 13 : デザイン リソース統計の表示

7. [Pblock Properties] ビューのデザイン統計をスクロールダウンします。

メモ : [Statistics] タブには、ロジック エレメント、キャリー チェーン数と最長チェーンの長さ、クロック レポート、I/O 使用率、プリミティブ インスタンスとインターフェイス ネット数などが種類別に表示されています。デザインに RPM が含まれる場合は、RPM の数と最大サイズなどの情報も表示されます。

8. [Restore] ボタン  を使用して [Pblock Properties] ビューを元の大きさに戻します。

手順 4 : デザイン ルール チェック (DRC) の実行

インプリメンテーション前にデザイン ルール チェックの実行し、よくあるデザイン問題がないかどうか確認することをお勧めします。デザインのサインオフには ISE インプリメンテーション ツールの DRC が使用され、PlanAhead ソフトウェアの DRC よりも優先されます。

デザイン ルール チェック (DRC) の実行

1. [Tools] → [Run DRC] をクリックします。

[Run DRC] ダイアログ ボックスが表示されます (図 14)。

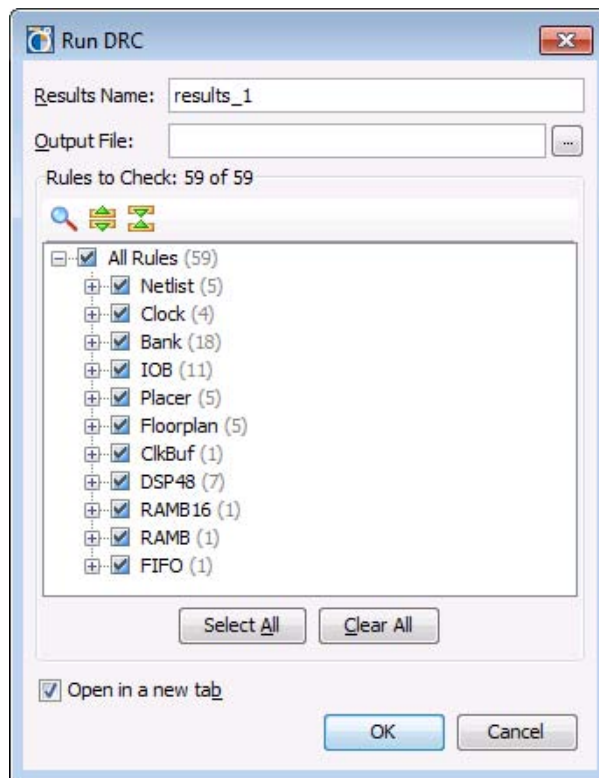


図 14 : DRC の実行

2. [OK] をクリックすると、すべてのルールがチェックされます。

[DRC Results] ビューに DSP48 に関する警告が複数表示されます (図 15)。

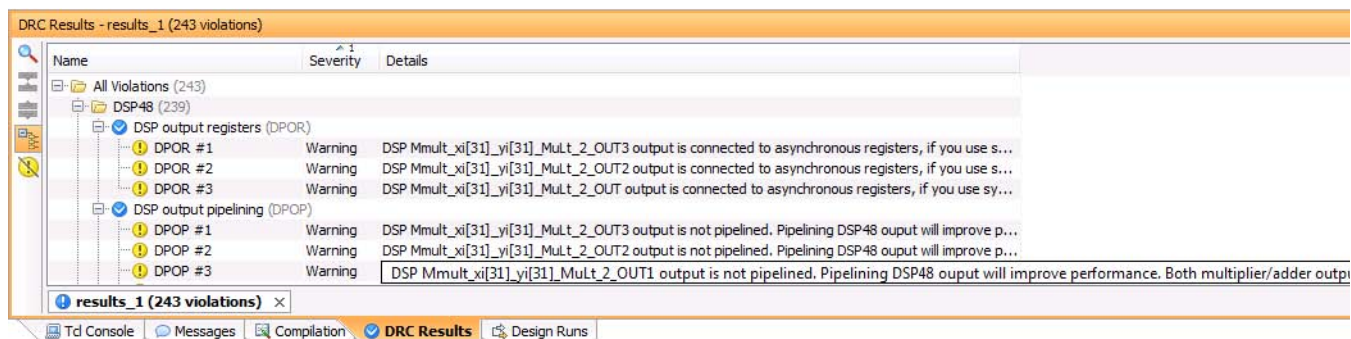


図 15 : デザイン ルール違反

エラー、警告、情報メッセージが [DRC Results] ビューに表示されます。

- エラーは赤いアイコン、
- クリティカル警告はオレンジのアイコン、
- 警告は黄色のアイコン、
- 情報メッセージは青色のアイコンで表示されます。

DRC でエラーがレポートされても、インプリメンテーションは問題なく終了することあります。

3. [DRC Results] ビューで **DPOP #1** 警告をクリックします。
[Violation Properties] ビューが開き、違反が表示されます。
4. [Violations Properties] ビューで **Mmult_xi[31]_yi[31]_MuLt_2_OUT3** をクリックします (図 16)。

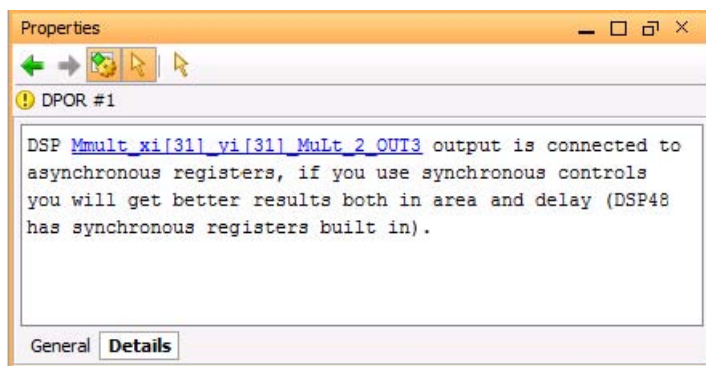


図 16 : [Violations Properties] ビュー

5. [Netlist] ビューをクリックします。
Mmult_xi[31]_yi[31]_MuLt_2_OUT3 が選択されています (図 17)。

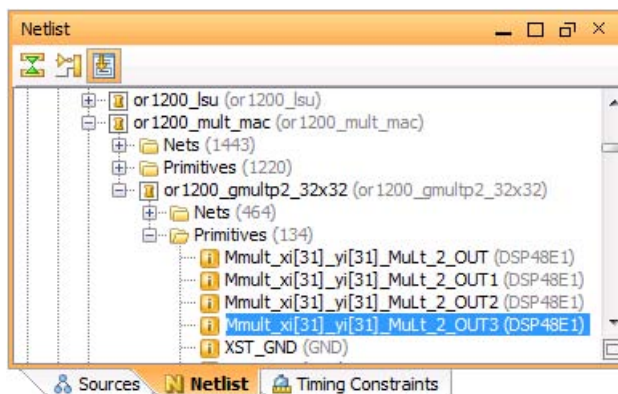


図 17 : [Netlist] ビューで選択されたインスタンス

6. [DRC Results] ビューで違反リストをスクロール ダウンしてみます。
7. X ボタンをクリックして [DRC Results] ビューを閉じます。

手順 5：タイミング解析の実行

インプリメンテーションを実行する前に、デザインのタイミング制約の実現可能性を判断するため、概算済み配線遅延を含めた早期スタティック タイミング概算を実行しておきます。PlanAhead のタイミング機能では、配線遅延の概算が表示されますが、デザインがタイミングを満たしたかどうか (ポスト インプリメンテーション) まではレポートされません。この手順では、合成前のタイミングを検証します。

メモ：完全に配置済みのデザインを使用した場合でも、デザインがタイミングを満たしたかどうかは、インプリメンテーション run をインポートしたときにインプリメンテーション TRACE ツールでのみわかります。PlanAhead の [Report Timing] および [Slack Histogram] コマンドを実行しても、デザインがタイミングを満たしたかどうかは表示されません。

スラック ヒストグラムでタイミング エンド ポイントを解析

[Slack Histogram] を実行すると、スラックに基づいてエンド ポイントが分類され、タイミング情報と共にヒストグラムに表示されます。ヒストグラムを使用すると、タイミングの厳しいエンド ポイントとゆとりのあるエンド ポイントがいくつあるかが視覚化できます。

1. [Tools] → [Timing] → [Slack Histogram] をクリックします。
2. [Number of bins] を **20** に変更します。
3. [Plot on log10 scale] をオンにします。

[Generate Slack Histogram for Endpoints] ダイアログ ボックスは、図 18 のようになります。

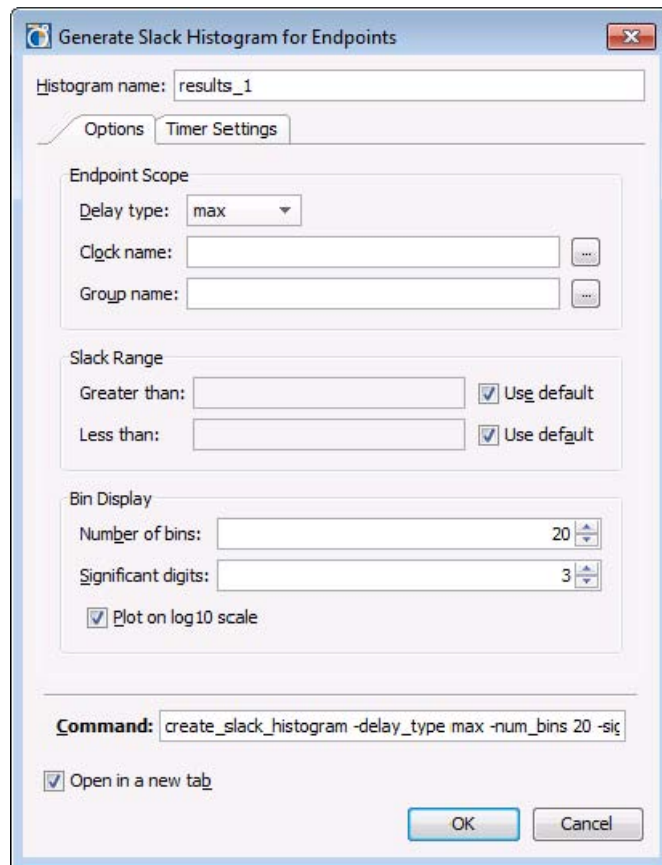


図 18 : [Generate Slack Histogram for Endpoints] ダイアログ ボックス

4. [Timer Settings] タブをクリックします。
5. 設定を確認してください。

メモ : [Timer Settings] タブでは、配線遅延の処理方法を指定できます。タイマでは配線遅延を概算したり、インターコネクト配線遅延がないものとして処理できます。

6. [OK] をクリックします。

ヒストグラムにエンドポイントが棒グラフで分類されて表示されます (図 19)。

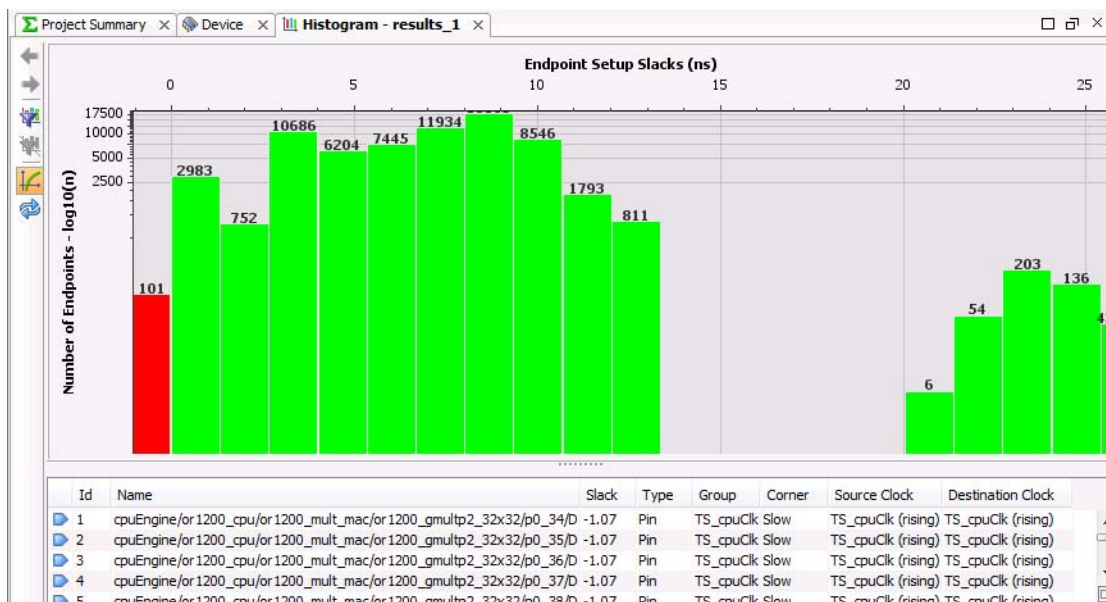


図 19 : スラック ヒストグラム

問題のあったエンドポイントはスラック 0 の棒グラフ位置よりも左に赤い棒で表示されます。これらのエンドポイントには、タイミング問題が発生することが予測されます。

7. 棒グラフのさまざまな棒部分をクリックしてみます。

棒部分をクリックすると、下部のビューのエンドポイントも選択されます。スラック範囲もアップデートされます。

8. タイミング エラーになることが予測されるエンドポイントを含む一番左の棒部分をクリックします。

9. エンドポイントを確認してください。

タイミング エンドポイントが cpuEngine と 2 つの usbEngine 階層にあることがわかります。

10. ビュー タブの X マークをクリックして、ヒストグラムを閉じます。

タイミング解析を実行し、[Timing Results] ビューの結果と情報を検証

1. [Tools] → [Timing] → [Report Timing] をクリックします。

[Report Timing] ダイアログ ボックスの [Target] タブでは、タイミングのスタート ポイントとエンド ポイントを指定できます (図 20)。

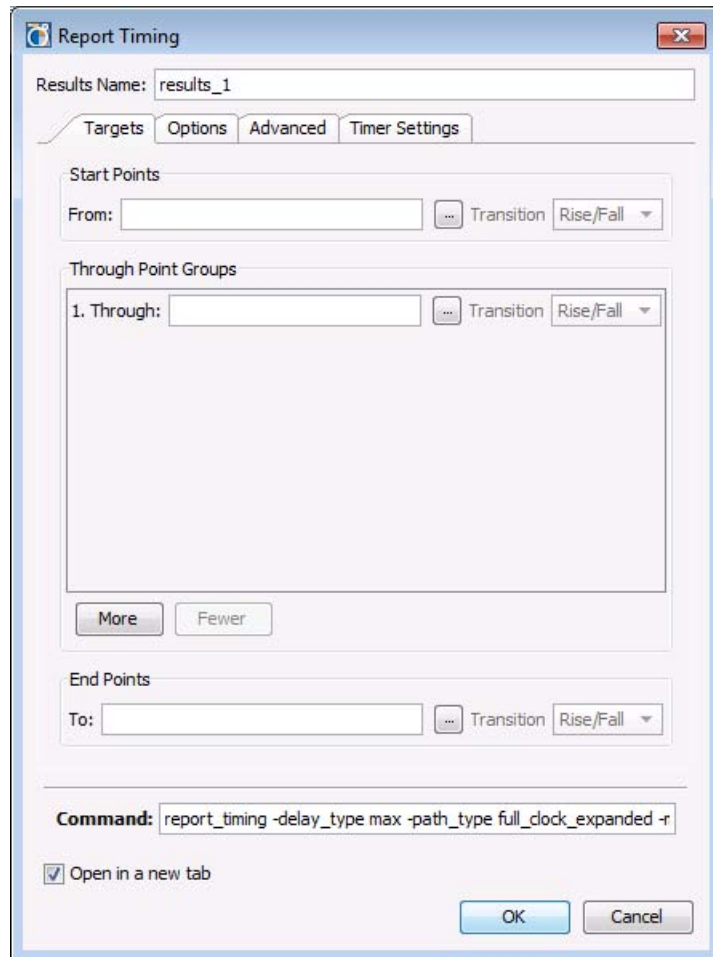


図 20 : タイミング解析の実行

2. [Options] タブをクリックします (図 21)。

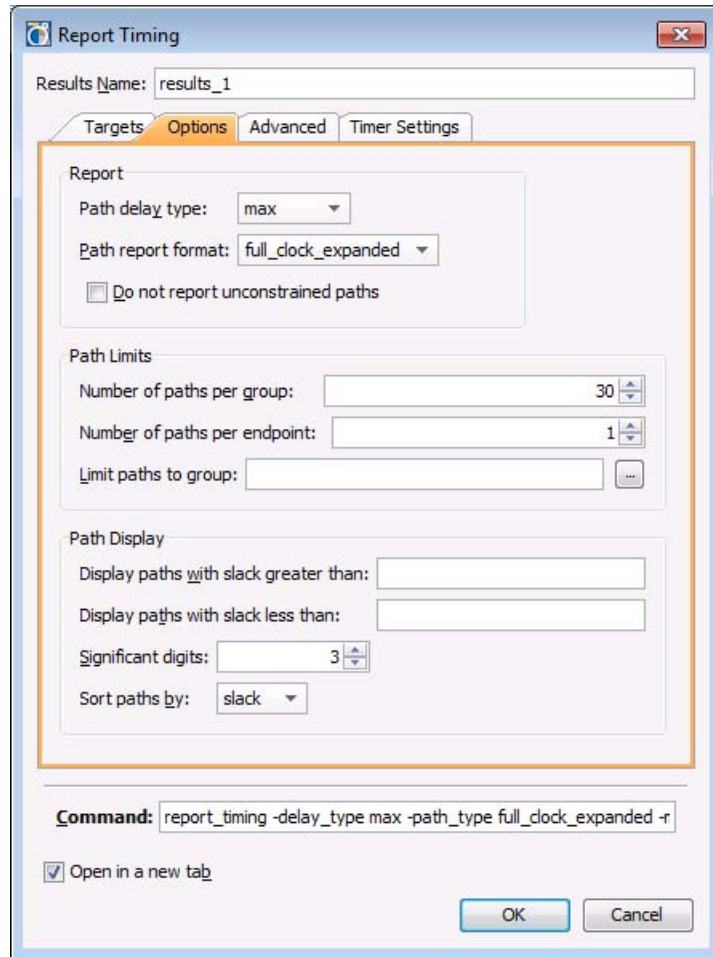


図 21 : [Report Timing] ダイアログ ボックスの [Options] タブ

3. [Number of paths per group] フィールドに 30 と入力します。
4. [Advanced] タブと [Timer Settings] タブもクリックして確認します。ここでは何も変更しません。

[Timer Settings] タブの [Interconnect] プルダウンには [Estimated] と [None] の 2 つの値が含まれます。このタイミング エンジンは ISE のタイミング エンジンとは異なり、正確な配線遅延を表示することはできません。配線数は、配線遅延モデルに基づいて概算されます。

5. [OK] をクリックして解析を実行します。
[Timing Results] ビューが開きます (図 22)。

Name	Type	Slack	From	To	Total
Constrained (1)					
Setup (30)					
Path 1	Slow SETUP	-1.070	cpuEngine/or1200_cpu/or1200_operandmuxes/operand_b_0_1/Q	cpuEngine/or1200_cpu/or1200_mult_mac/or1200_gmultp2_32x32/p0_34/D	
Path 2	Slow SETUP	-1.070	cpuEngine/or1200_cpu/or1200_operandmuxes/operand_b_0_1/Q	cpuEngine/or1200_cpu/or1200_mult_mac/or1200_gmultp2_32x32/p0_35/D	
Path 3	Slow SETUP	-1.070	cpuEngine/or1200_cpu/or1200_operandmuxes/operand_b_0_1/Q	cpuEngine/or1200_cpu/or1200_mult_mac/or1200_gmultp2_32x32/p0_36/D	
Path 4	Slow SETUP	-1.070	cpuEngine/or1200_cpu/or1200_operandmuxes/operand_b_0_1/Q	cpuEngine/or1200_cpu/or1200_mult_mac/or1200_gmultp2_32x32/p0_37/D	
Path 5	Slow SETUP	-1.070	cpuEngine/or1200_cpu/or1200_operandmuxes/operand_b_0_1/Q	cpuEngine/or1200_cpu/or1200_mult_mac/or1200_gmultp2_32x32/p0_38/D	
Path 6	Slow SETUP	-1.070	cpuEngine/or1200_cpu/or1200_operandmuxes/operand_b_0_1/Q	cpuEngine/or1200_cpu/or1200_mult_mac/or1200_gmultp2_32x32/p0_39/D	
Path 7	Slow SETUP	-1.070	cpuEngine/or1200_cpu/or1200_operandmuxes/operand_b_0_1/Q	cpuEngine/or1200_cpu/or1200_mult_mac/or1200_gmultp2_32x32/p0_40/D	

図 22 : タイミング結果の解析

[Timing Results] ビューのレポートには、パスがリストされます。パス タイプ、スラック、ソース、デスティネーション、遅延合計、ロジック遅延、ネット遅延の割合 (%), ロジックのステージ、開始クロック、デイスティネーション クロックなどが表示されます。エラーのあったパスは赤色で表示されます。

6. [Timing Results] ビューを最大化します。

7. パスのリストをスクロールダウンします。

メモ : cpuEngine モジュールに From と To の値があります。

8. [To] 列のヘッダを 2 回クリックし、ソース別にリストを分類します。

これで、[To] 列の値が逆順序で分類されます。

メモ : 表で表示される場合は、すべてこの方法で分類できます。


- 列ヘッダをもう 1 度クリックすると、反対の順序で分類されます。
- 2 つ目の分類をするには、Ctrl キーを押しつつ、別の列ヘッダをクリックします。

9. [Timing Results] ビューを元の大きさに戻します。

10. [Timing Results] ビューを閉じます。

手順 6 : デザインのインプリメンテーション

インプリメンテーション ツールの動作を確認

1. [Sources] ビューが表示されていない場合は、[Window] → [Sources] をクリックして表示させます。
2. [Sources] ビューで [Expand All] ボタン  をクリックしてすべてのソース ファイルを表示します (図 23)。

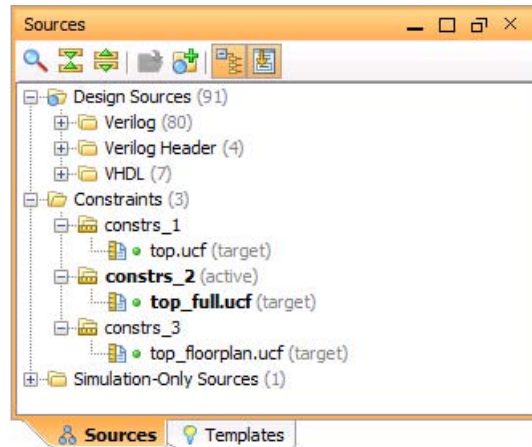


図 23 : [Sources] ビューの展開表示

インプリメンテーション ツールを実行する場合、PlanAhead はデフォルトで選択されている制約ファイルを使用します。top_full.ucf を使用する consters_2 が選択されているかどうか確認してください。[Netlist Design] または [Implemented Design] が開いた状態で変更を加えると、ディスクの UCF の代わりにこれらの変更が使用されます。

3. top_full.ucf をダブルクリックして、ファイルを開きます。これにより、制約ファイルの内容を確認できます。
4. UCF ファイルを閉じます。変更は保存しません。

次に、NGDBuild、MAP、PAR、TRACE、および XDL といった ISE の配置配線ツールを使用してデザインをインプリメントします。ここでは、既に実行済みのインプリメンテーション結果を使用して時間を節約します。実際のデザインでは、Flow Navigator の [Implement] ボタンを使用するとインプリメンテーションを実行できます(図 24)。



図 24 : インプリメンテーションの開始ボタン

5. インプリメンテーションを再実行するかどうかを尋ねるメッセージが表示されたら、[Cancel] をクリックします。

このデザインのインプリメンテーションは既に実行されています。必要な結果を上書きしなかったことを確認するダイアログ ボックスが表示されます。

6. Flow Navigator で [Implement Design] ボタンをクリックします。

インプリメント済みデザインからの結果が **PlanAhead** ソフトウェアにインポートされます。**[Design]** ビューには、各インスタンスの配置場所と配置配線後のタイミング情報が表示されます (図 25)。

7. **[Netlist Design]** を閉じるかどうか確認するメッセージが表示されたら、**[Yes]** をクリックします。

メモ : 以前にこのダイアログ ボックスを今後表示しないよう選択した場合は、表示されません。この表示を元に戻すには、**[Tools] → [Options] → [Window Behavior]** をクリックし、**[Show dialog before switching to a different design]** をオンにします。

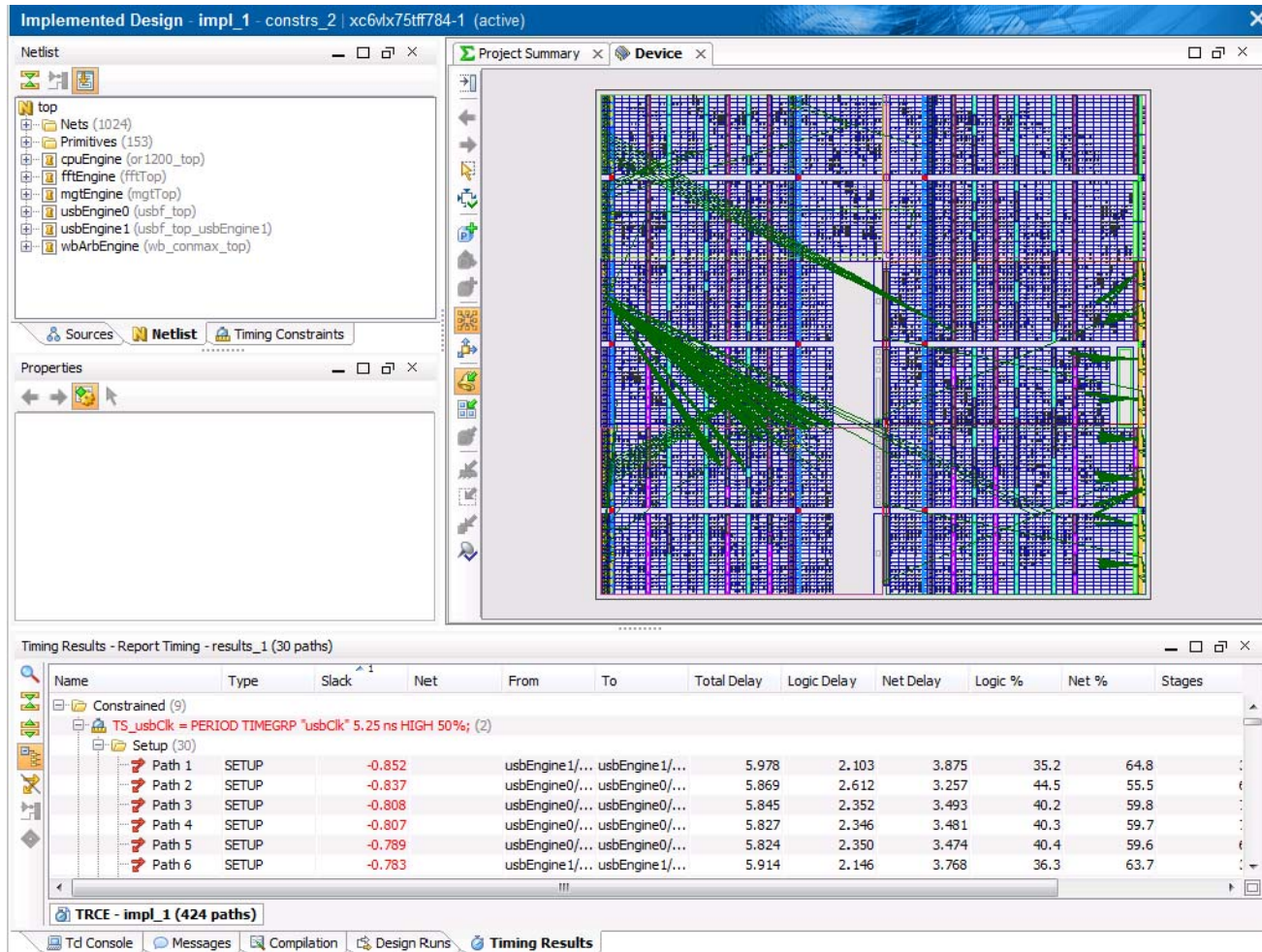



図 25 : インプリメント済みのデザイン

8. **[Messages]** ビューのタブをクリックし、**[Messages]** ビューを表示します。
9. **[Collapse All]** ボタン  をクリックします。
10. **[Implementation]** メッセージを展開表示します。
11. **[Place & Route]** を展開表示し、この手順で生成されたメッセージを確認します (図 26)。

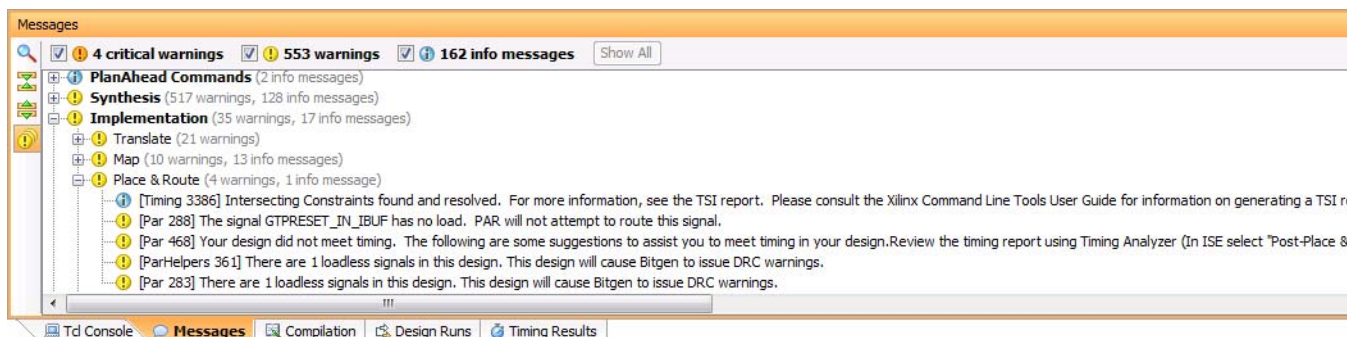


図 26 : [Messages] ビュー

メモ : [Messages] ビューには、すべての情報、警告、エラー メッセージが表示されます。ツールバーの一番上の青い円に感嘆符の入ったアイコンをクリックすると情報メッセージが、黄色の円に感嘆符の入ったアイコンをクリックすると警告メッセージが非表示になります。

12. [Windows] → [Reports] をクリックして [Reports] ビューを表示します (図 27)。

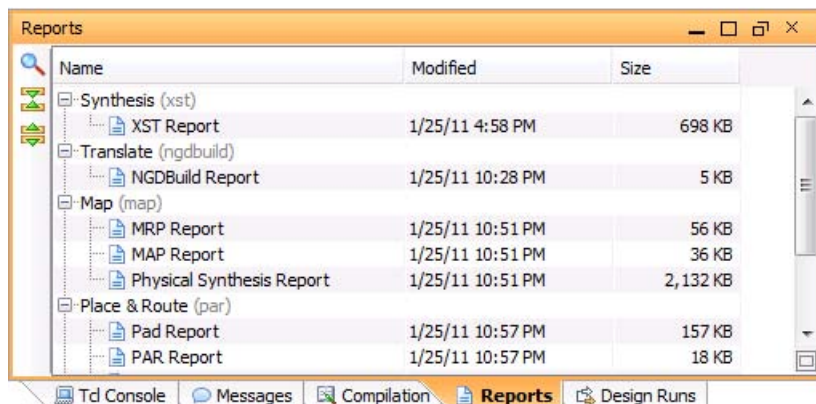


図 27 : ISE レポート ファイルの表示

13. レポートのいずれかをダブルクリックし、レポートを表示します。
14. レポート ファイルを閉じます。

手順 7 : タイミング結果の解析

インプリメンテーションからのタイミング結果を解析すると、フロアプランに役立ちます。[Timing Results] ビューでは、インポートされた TRACE レポート データが含まれ、パスを分類して選択することもできます。

インプリメンテーション タイミング結果を確認

1. [Timing Results] タブをクリックします。
2. [Timing Results] ビューで Path 1 を選択します (図 28)。
3. 右クリックで [Mark] をクリックします。

Name	Type	Slack	Net	From	To	Total Delay	Logic Delay	Net Delay
Constrained (9)								
TS_usbClk = PERIOD TIMEGRP "usbClk" 5.25 ns HIGH 50%; (2)								
Setup (30)								
Path 1	SETUP	-0.852		usbEngine1/usb_in/buffer_fifo/Mram...	usbEngine1/usbEngineSRAM/di...	5.978	2.103	3.875
Path 2	SETUP	-0.837		usbEngine0/usb_dma_ywb_in/buffer_...	usbEngine0/u4/dout_14	5.869	2.612	3.257
Path 3	SETUP	-0.808		usbEngine0/usb_dma_ywb_in/buffer_...	usbEngine0/u4/dout_29	5.845	2.352	3.493
Path 4	SETUP	-0.807		usbEngine0/usb_dma_ywb_in/buffer_...	usbEngine0/u4/dout_19	5.827	2.346	3.481
Path 5	SETUP	-0.789		usbEngine0/usb_dma_ywb_in/buffer_...	usbEngine0/u4/dout_30	5.824	2.350	3.474
Path 6	SETUP	-0.783		usbEngine1/usb_in/buffer_fifo/Mram...	usbEngine1/usbEngineSRAM/di...	5.914	2.146	3.768
TRACE - impl_1 (424 paths)								

図 28 : 最もクリティカルなタイミング パスの選択

インポートされたタイミング パスが制約別に表示されます。[Timing Results] ビューのパスを選択すると、[Path Properties] ビューにそのタイミング パスの詳細が表示されます。

配置情報がインポートされているので、そのパスは [Device] ビューでもハイライトされます。[Device] ビューが手前に表示されていない場合は、表示します。[Device] ビューを使用すると、タイミングを改善するためのフロアプランがしやすくなります。

[Mark] コマンドを実行すると、赤と緑のひし形でそれぞれタイミング パスのスタート ポイントとエンド ポイントが表示されます (図 29)。

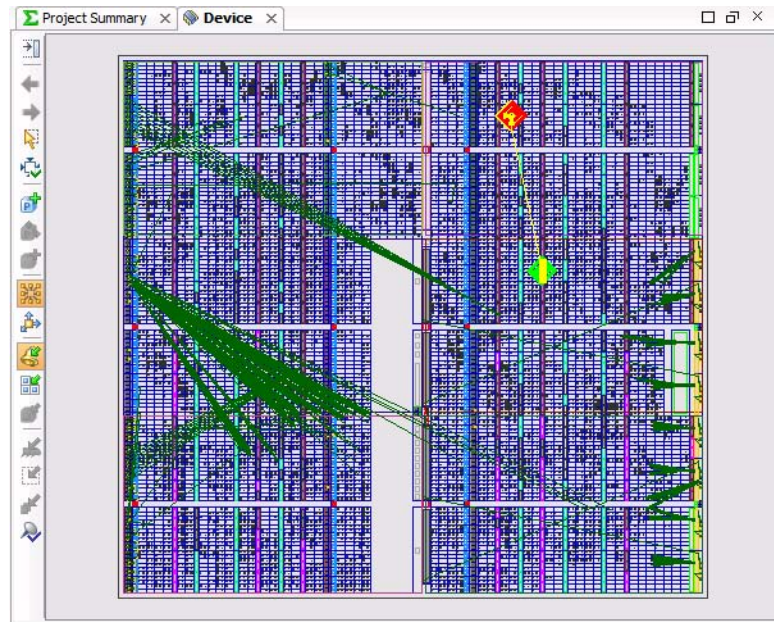


図 29: タイミング パスの配置

4. [View] → [Unmark Mark] をクリックしてマークを削除します。
5. タイミング パスは制約別に分類されます。ワースト エラーのパスは、TS_usbC1k に含まれます。
6. [Timing Results] ビューで [From] を 2 回クリックし、名前の降順にスタート パスを並び替えます。
7. Shift を押しながら usbEngine1/* をスタート ポイントとする TS_usbC1k のパスをすべて選択します。ほかのパスは選択しないでください。
8. 右クリックで [Schematic] をクリックします。

[Schematic] ビューに選択したパス上にあるインスタンスがすべて表示されます (図 30)。

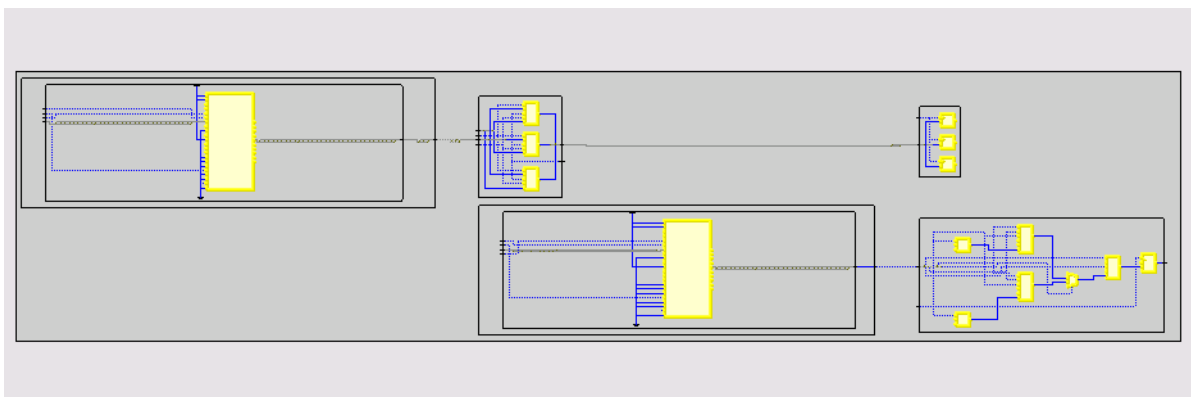



図 30: 回路図での問題のあったタイミング パスの確認

9. [Netlist] ビューで [Collapse All] ツールバー ボタン  をクリックします。
10. [Schematic] ビューで右クリックして [Select Primitive Parents] をクリックし、選択したパス上にあるインスタンスすべてを含む一番小さい親モジュールを選択します (図 31)。

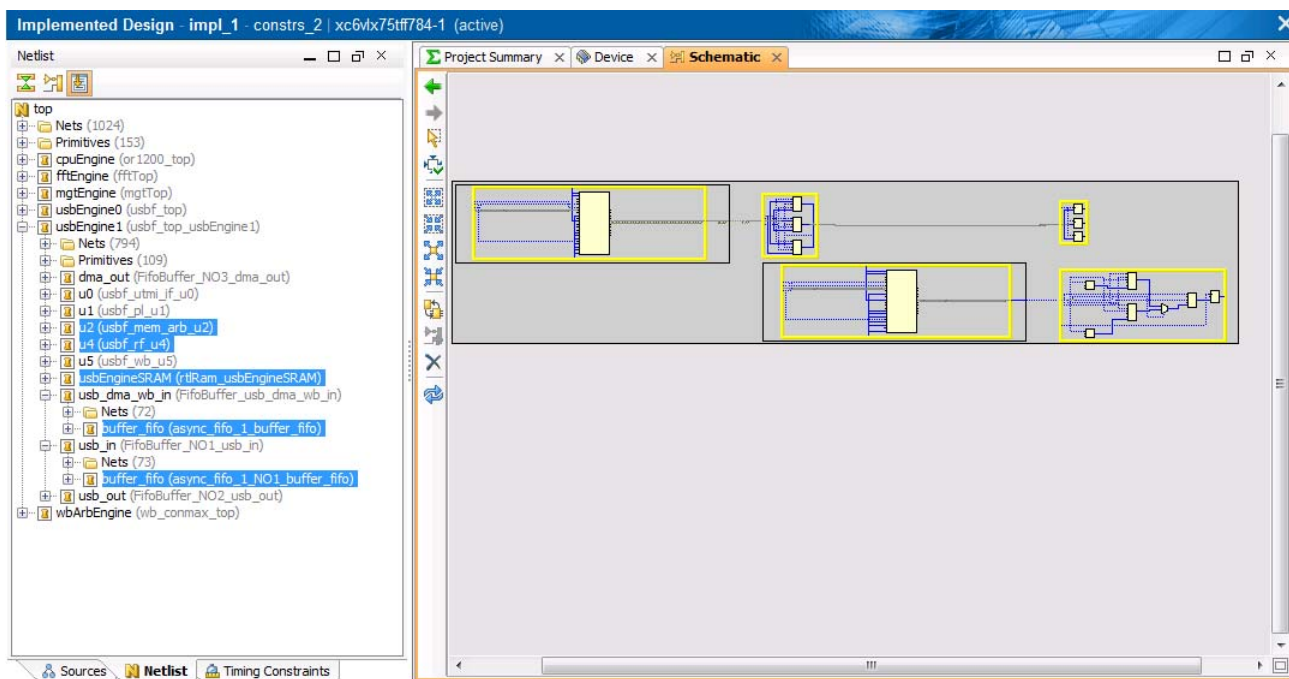


図 31 : パス オブジェクトの親モジュールの選択

[Netlist] ビューで対応するロジック モジュールが選択されます。

11. 右クリックし、[Show Hierarchy] を選択するか、F6 を押します。
12. usbEngine1 の左側の [Zoom Area] を使用し、クリティカルな階層を表示します。

ヒント : [Zoom Area] をマウス動作で実行にするには、モジュールの左上端のすぐ外側にカーソルを移動し、クリックして、モジュールの右下端にドラッグしてから、マウスを放します。必要なだけこの動作を繰り返し、[Hierarchy] ビューでパス ロジックがハイライトされた状態で、3 つのモジュールを確認します (図 32)。

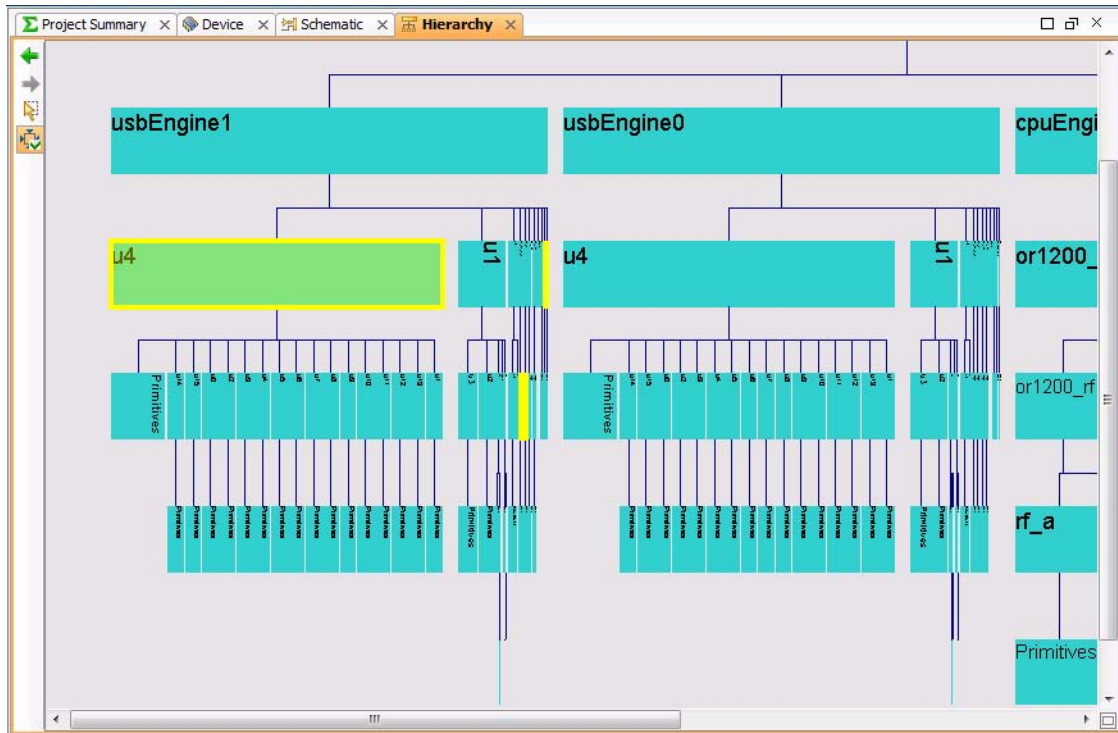



図 32 : [Hierarchy] ビューでの選択したロジックの表示

ロジックは、すべて `usbEngine` に含まれ、そのブロックの大部分を占めています。同じ `usbEngine` がもう 1 つあります。これらの 2 つの階層はタイミング クリティカルで、フロアプランに適しているかどうか検証する必要があります。

13. X ボタンをクリックして [Hierarchy] ビューを閉じます。
14. X ボタンをクリックして [Schematic] ビューを閉じます。
15. [Timing Results] ビューで Path 1 を選択します。
16. 右クリックし、[Schematic] を選択します。
17. [Unselect All] ツールバー ボタン  をクリックするか、F12 キーを押します。

パス ロジックが [Schematic] ビューに表示されます (図 33)。

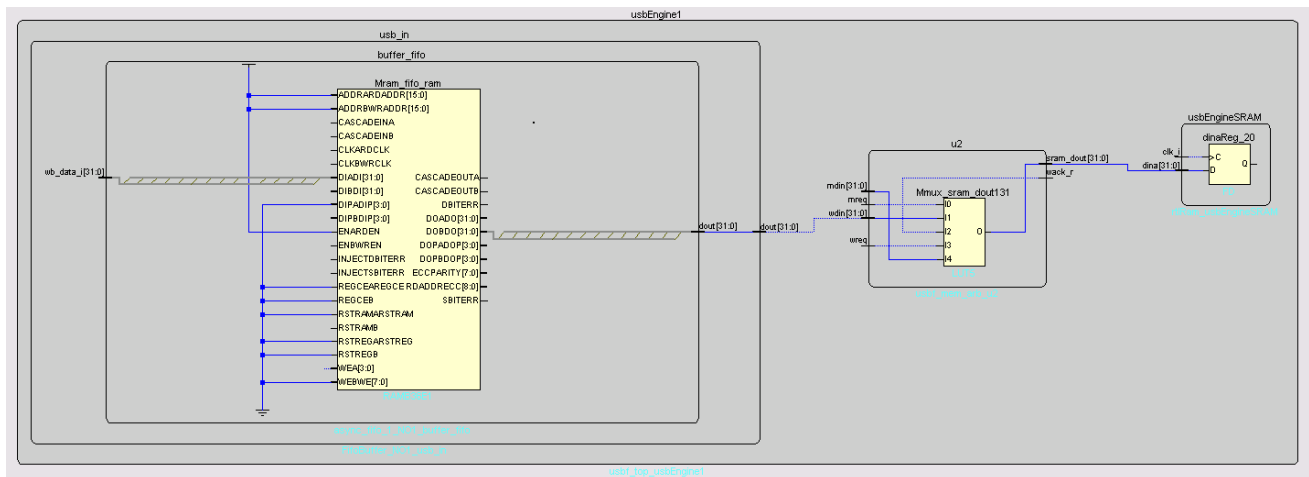


図 33 : 回路図でのタイミング パス ロジックの表示

階層レベルは、長方形で示されます。これにより、クリティカルパス ロジックに関連するロジック モジュールが判別しやすくなります。

18. 左の `usbEngine1/usb_in/buffer_fifo/Mram_fifo_ram` という名前の `RAMB36E1` をクリックします。

19. [Collapse Outside] ボタン  をクリックします (図 34)。

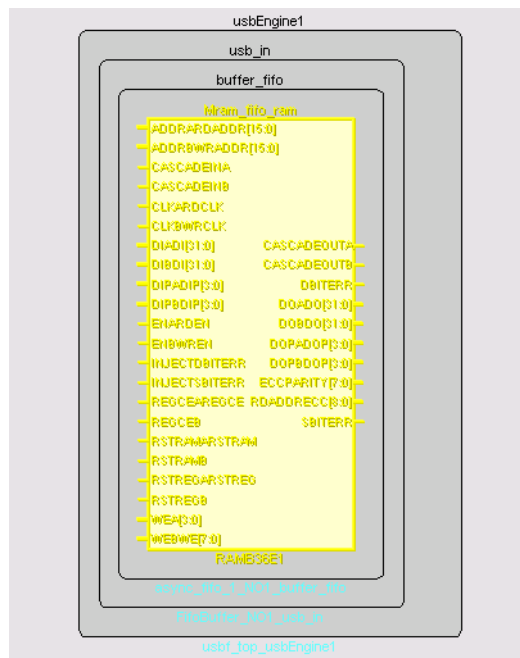


図 34 : クリティカルパス ソース

20. ADDRARDADDR[15:0] ピンをダブルクリックすると、このピンに接続されているロジックが展開表示されます (図 35)。

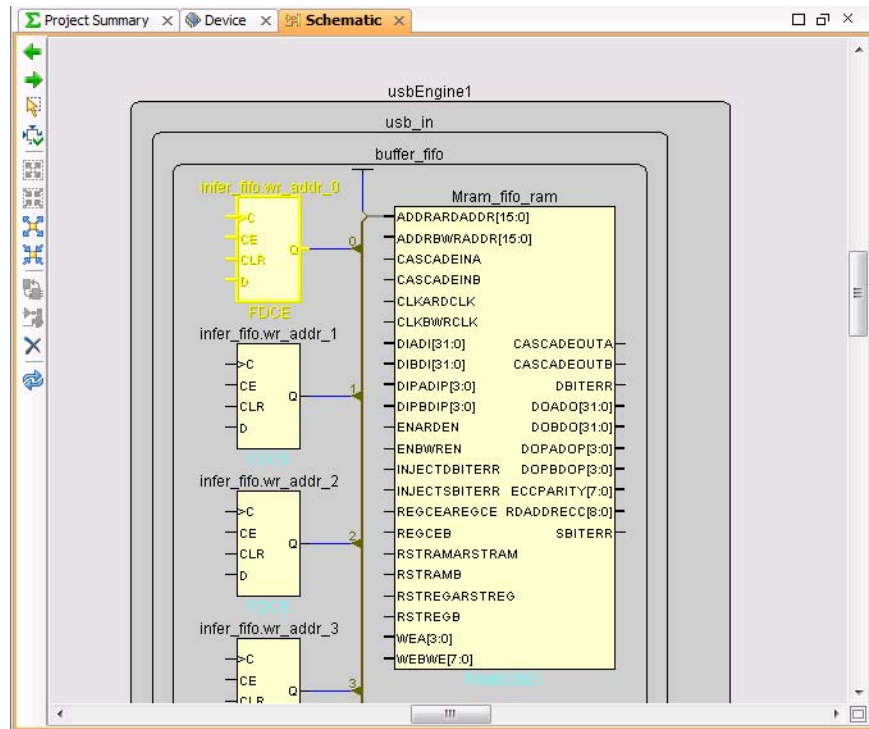






図 35 : [Schematic] ビューでのロジックの展開表示

21. 展開された一番上のインスタンスの `wr_addr_0` をダブルクリックすると、接続されるロジックが回路図に追加されます。
22. [Schematic] ビューで [Previous schematic] ボタン  をクリックします。
- [Previous schematic] および [Next schematic] ツールバー ボタンをクリックすると、[Schematic] ビューでさまざまな表示を確認できます。このボタンにより、さまざまな回路図レベルを切り替えて表示できます。
- メモ** : [Edit] → [Undo] コマンドは、[Schematic] ビューでは使用できません。
23. RAMB36E1 インスタンスを含む小型の `buffer_fifo` モジュールの階層ボックス (長方形) をクリックします。
24. X ボタンをクリックして [Schematic] ビューを閉じます。
25. このブロック RAM への入力は、`usbEngine` ブロックに含まれています。ほかの階層はフロアプランする必要はありません。
26. [Device] ビューを表示します。
27. [Timing Results] ビューのツールバーから [Hide All Timing Paths] ボタン  をクリックします。
28. [Unselect All] ツールバー ボタン  をクリックするか、F12 キーを押します。
29. [Netlist] ビューで [Collapse All] ツールバー ボタン  をクリックします。

手順 8 : モジュール レベルの配置のハイライト

フロアプラン ストラテジは、前のインプリメンテーション結果を検証することで決定できます。フロアプランなしでロジックがどのようにインプリメントされたかを理解することで、モジュールの配置を解析し、Pblock の位置を決定できます。

モジュールをハイライトして配置を見やすく変更

1. [Netlist] ビューで usbEngine0 および usbEngine1 を選択します。
2. 右クリックし、[Highlight Primitives] → [Cycle Colors] をクリックします。
3. [Device] タブをクリックし、ハイライトを表示します。

各モジュールのプリミティブがそれぞれ別の色で表示されます (図 36)。

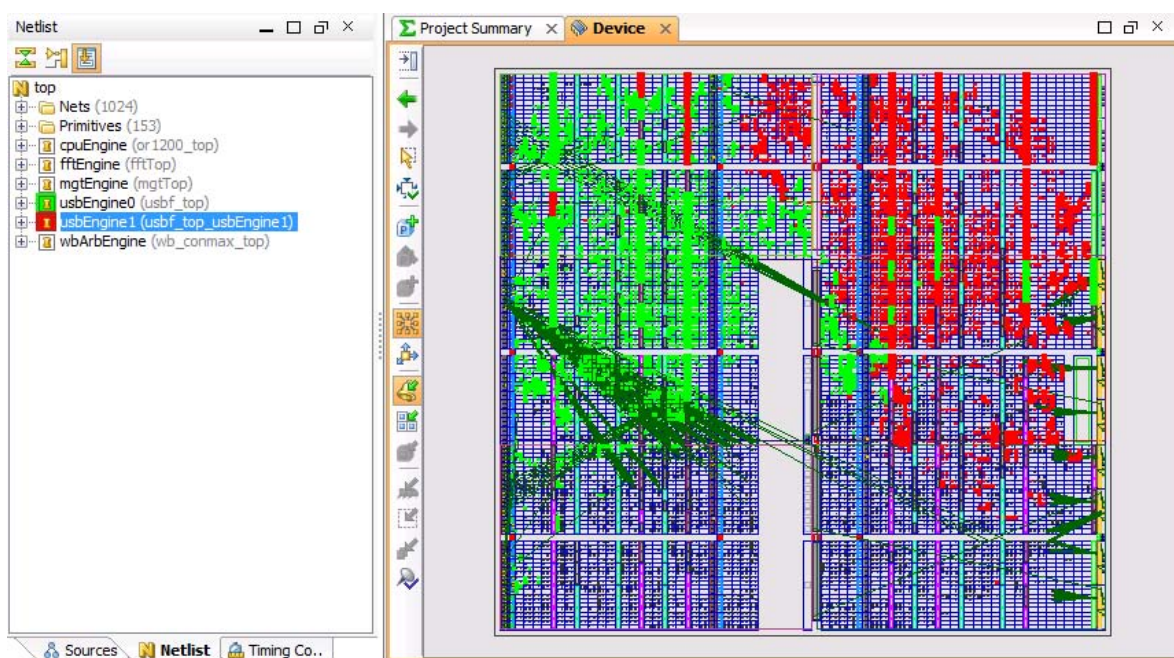



図 36 : モジュールの配置のハイライト

プリミティブが広い範囲に広がっているのがわかります。スクロールしたり、拡大レベルを変更したりしてください。ロジックが広がっているのがわかります。2つのブロックからのブロック RAM が混ざり合っています。これらは、フロアプランによりタイミングが改善される可能性があります。

4. [Device] ビューで [Device View Layers] ボタン  をクリックします。
5. [Instances] の横のチェック ボックスをオフにします (図 37)。

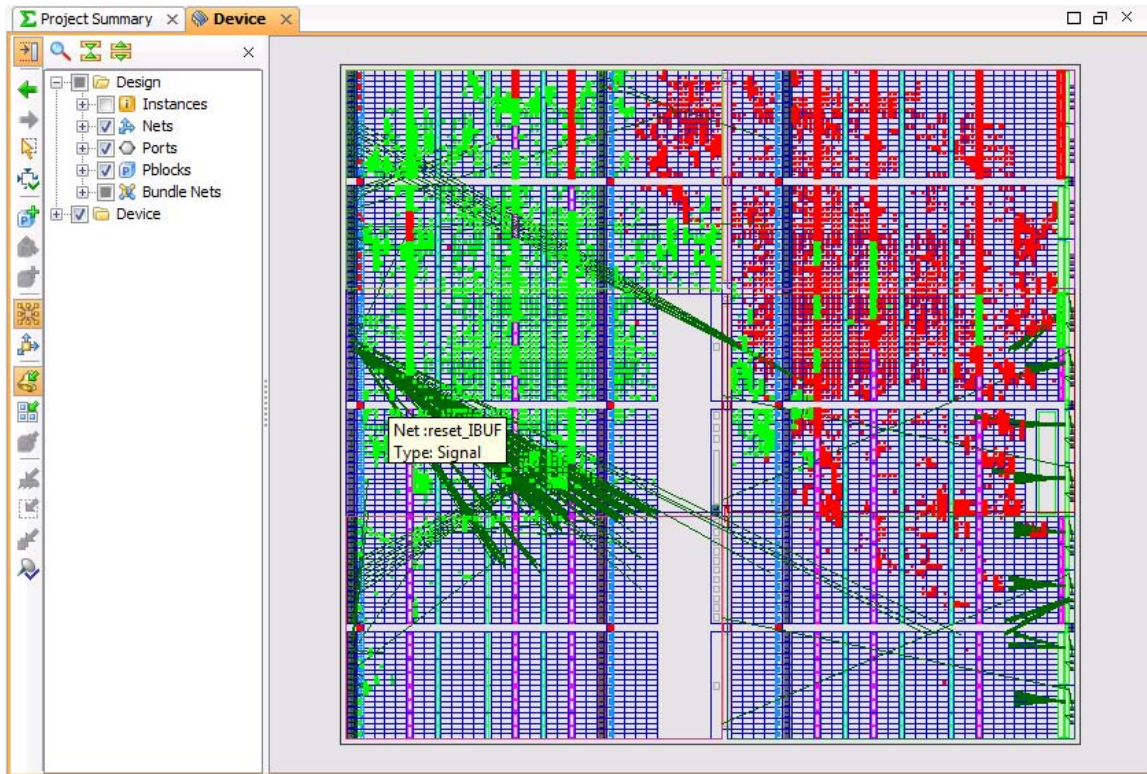




図 37 : [Device] ビューの簡素表示

[Netlist] ビューや [Device] ビューのさまざまなエレメントを非表示にすると、ビューが見やすくなります。

6. [Instances] の横のチェック ボックスをオンにして、配置の表示を元に戻します。
7. [Device View Layers] ボタン  をクリックして、メニューを非表示にします。
8. メイン ツールバーで [Unhighlight All] ボタン  をクリックします。

手順 9：接続の確認

PlanAhead ソフトウェアには、ロジックの拡張、選択、ハイライトなどの機能があります。これらの機能を使用し、モジュールをフロアプランしやすいようにします。ロジックがデバイス中に広がっている場合は、まとめておかないとフロアプランしにくくなります。

配線の混線やタイミング競合は、ロジックがクリティカル エリアに移動されないように、クリティカル ロジック エリアの外にロジックをフロアプランすると回避できます。

I/O 接続の表示

[Device] ビューの緑のラインは、配置済みのインスタンスから I/O ピンへの I/O 接続を示します (図 38)。表示されない場合は、[Device] ビューのツールバー メニューから [Show/Hide I/O Nets] を実行します。

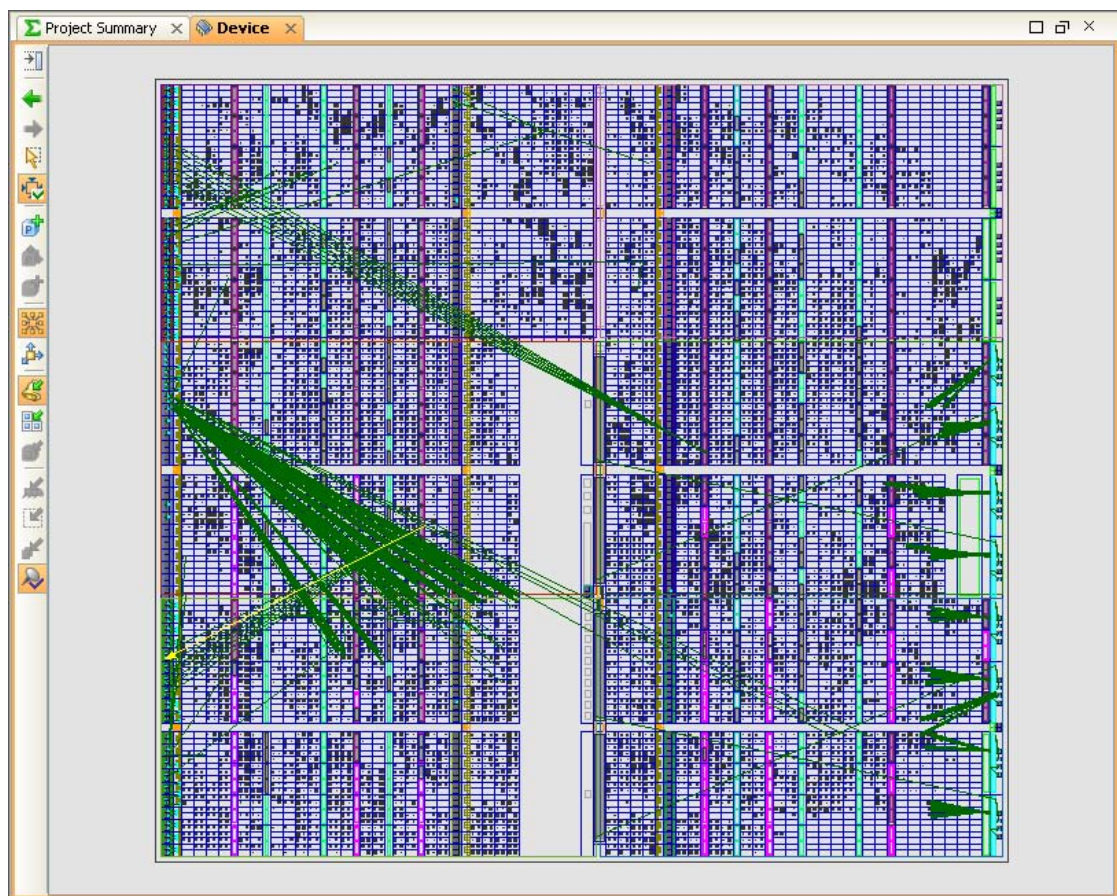


図 38：I/O 接続を表示した [Device] ビュー


チップの左側の I/O ラインが遠くまで交差しているのがわかります。

1. バンク 14 (チップの左下の I/O バンク) の一番上の部分に接続される I/O ネットの 1 つをクリックします。

ネットが選択しにくい場合は、PlanAhead の [Options] ダイアログ ボックスで I/O ネットの [Select] チェック ボックスがオンになっているかどうか確認してください。チェック ボックスは、次の手順で設定します。

- a. [Tools] → [Options] をクリックします。
- b. [Options] ダイアログ ボックスの左側のメニューで [Themes] をクリックし、[Device] タブをクリックし、[Select] がオンになっていることを確認します。

PlanAhead のオプション設定方法の詳細は、付録 A 「その他のリソース」に示される『PlanAhead ユーザー ガイド』(UG632)を参照してください。

2. [Netlist] ビューを確認します。このネットは、usbEngine0/dma_out/buffer_fifo/DataOut_pad_o バスの一部です。
3. [Netlist] ビューで [Collapse All] ツールバー ボタン  をクリックします。
4. [Netlist] ビューで usbEngine0 および usbEngine1 を選択します。
5. 右クリックで [Show Connectivity] を選択します。
usbEngine0 および usbEngine1 モジュールから残りのデザインへ接続されたインターフェイス ネットが黄色で表示されます (図 39)。
6. 右クリックで [Show Connectivity] をもう 1 度選択し、インターフェイス ネットから接続されるロジック オブジェクトをすべて表示します。
7. 右クリックで [Show Connectivity] をもう 1 度選択し、これらの選択したロジック オブジェクトから広がったネットすべてをハイライトします。

[Show Connectivity] コマンドは、ソース ネットまたはロジック オブジェクトからのロジックの広がりを見たりハイライトしたりするのに使用できます。



図 39 : [Show Connectivity] コマンドの使用

8. [Unselect All] ツールバー ボタン  をクリックするか、F12 キーを押します。

手順 10 : 配置制約の使用

この手順では、プリミティブの種類に基づいて配置を見つける方法と、インプリメンテーション中の配置配線で作成された配置すべてを削除する方法について説明します。

配置されたインスタンスを表示

1. [Edit] → [Find] をクリックします。
2. [Primitive] フィールドを [Block RAM] に変更します (図 40)。

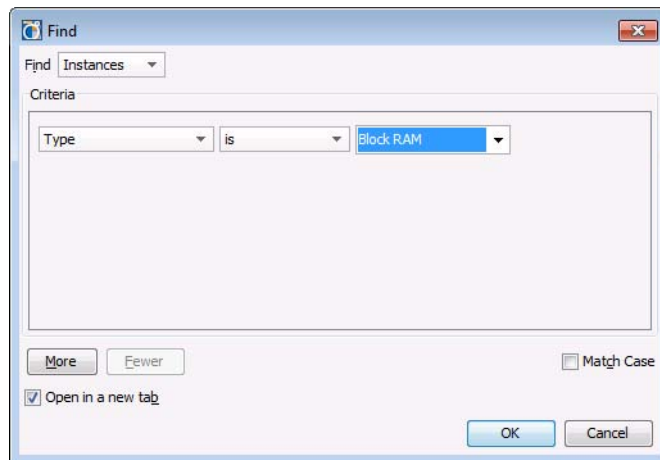


図 40 : [Find] ダイアログ ボックス

3. [OK] をクリックします。
4. [Find Results] ビューで [Block RAM] を選択します。
5. Shift キーを使うか、Ctrl + A を使用してブロック RAM すべてを選択します。
[Device] ビューですべてのブロック RAM が選択されます (図 41)。

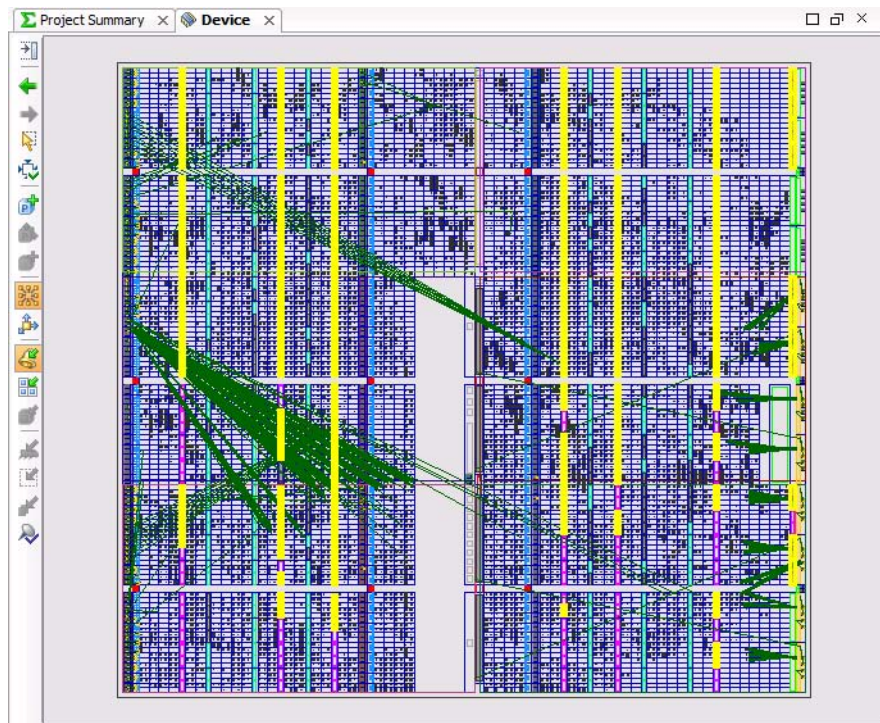




図 41 : ブロック RAM が選択された [Device] ビュー

余分なネットが多く選択されている場合は、[Show/Hide connections for selected instances] ボタン  で表示を切り替えます。プリミティブの種類は、階層に基づいてのみ選択するのをお勧めします。usbEngine1 のブロック RAM のみを選択してみます。ブロック RAM はデバイス全体に広がっているため、この配置を維持する理由はありません。

[Clear Placement Constraints] コマンドを使用して配置制約をすべて削除

この手順では、配置の削除し、後の手順のデータフローを理解しやすくします。[Clear Placement Constraints] ダイアログボックスでは、配置制約を選択して削除できます。I/O およびクロック関連のリソースは、通常変更しないので、ファブリックロジックから分離します。これにより、ISE ソフトウェアからインポートされた配置制約が素早く削除できます。ロジックのタイプ別フィルタもあるので、タイプ別に配置制約を選択して削除することもできます。

1. [Tools] → [Floorplanning] → [Clear Placement] をクリックします。
2. [Clear Placement Constraints] ダイアログボックスで [Instance placement] をオンにします。
3. [Next] をクリックし、[Unplace Instances] ページに進みます。
4. [Unplace All instances] をオンにします。
5. [Next] をクリックし、[Instance Types to Unplace] ページに進みます。
6. [Default] をクリックしてデフォルト選択を使用します。
コンフィギュレーション可能なフィルタにより、ロジックの LOC 制約をタイプ別に削除するか維持するかが選択できます。
7. [Next] をクリックし、[Fixed Placement] ページに進みます。
8. [Keep 58 Fixed Instances] をオンにします。

9. [Next] をクリックし、[Clear Placement Summary] ページに進みます。
10. サマリを確認したら、[Finish] をクリックします。
11. [Netlist] ビューで [Collapse All] ツールバー ボタン  をクリックします。

手順 11：階層接続の表示



ネットリストのモジュール間の接続を確認すると役立つことがあります。このセクションでは、さまざまなツールを使用してデザイン接続を表示します。ネットリスト階層は Pblock という物理階層に分割されます。Pblock は、デザインのデータ フローを解析するために配置されます。Pblock は AREA_GROUP 制約として制約ファイルに保存されます。

[Auto-Create Pblocks] コマンドを使用してデザインの最上位レベルを分割

1. [Tools] → [Floorplan] → [Auto-Create Pblocks] をクリックします。
2. このダイアログ ボックスでは、作成する Pblock の最大数を定義したり、最小の Pblock サイズを指定したりできます。

作成するように指定した合計数より多くのモジュールがある場合は、最大のモジュールを使用して Pblock が作成されます。

3. 6 つのモジュールが選択された状態のまま [OK] をクリックします。

[Physical Hierarchy] ビューで最上位レベルの Pblock を確認します (図 42)。[Netlist] ビューでは、6 つのモジュールの隣のアイコンが  から  へ変更されています。これは、そのインスタンスが Pblock に配置されたことを示します。

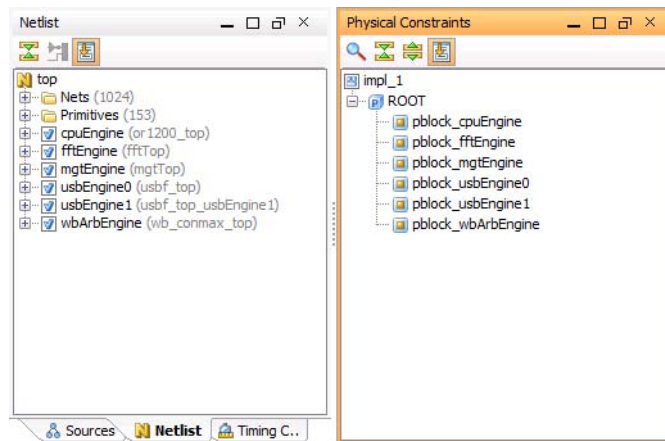


図 42：最上位デザインのパーティション

[Place Pblocks] コマンドを使用して新規に作成した Pblock を配置

1. [Tools] → [Floorplan] → [Place Pblocks] をクリックします。

[Place Pblocks] ダイアログ ボックスでは、配置する Pblock を選択したり、Pblock のターゲット SLICE の使用率サイズを変更したりできます。

メモ：[Place Pblocks] コマンドは、選択した Pblock を素早く作成するために使用します。Pblock のサイズは、SLICE ロジックに基づいてのみ決定されます。その他 SLICE 以外の範囲は、考慮されません。このため、[Place Pblocks] コマンドを使用して作成された Pblock は修正しないと、インプリメンテーションで問題が発生する可能性があります。

2. [OK] をクリックし、Pblock を配置します (図 43)。

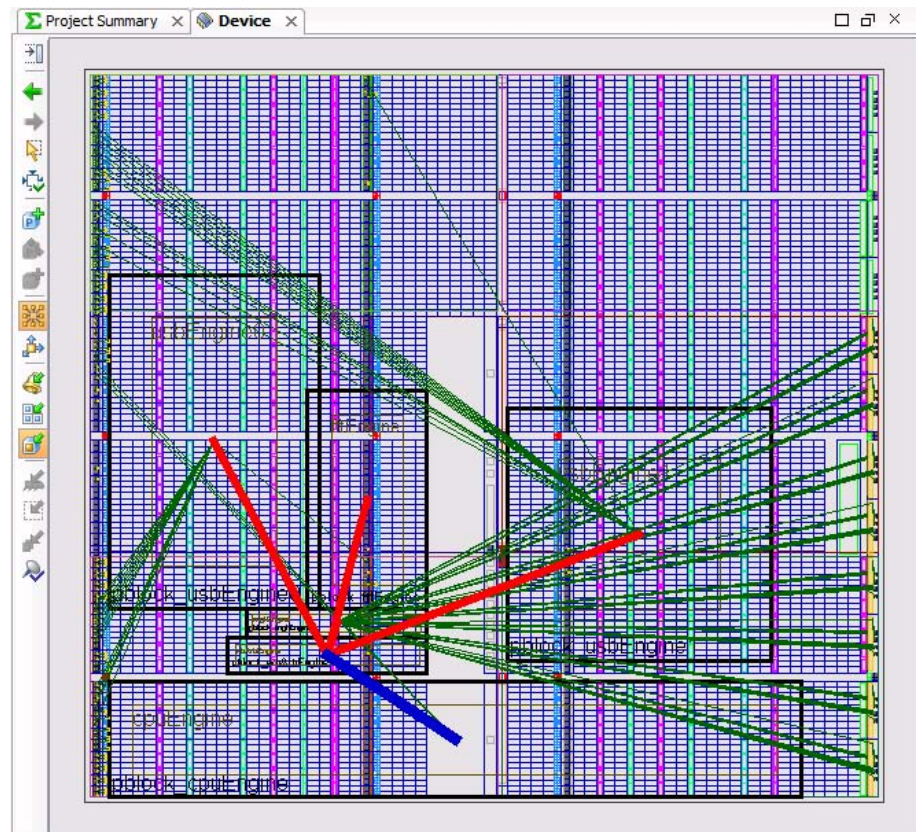



図 43：最上位レベルの Pblock の配置

[Place Pblocks] コマンドによる Pblock の配置は、実行するたびに異なることがあるので、図の配置とは異なっている可能性があります。

3. 接続が表示されていない場合は、[Device] ビューで [Show/Hide I/O Nets] ツールバー ボタン  と [Device] ビューの [Layers] → [Device] → [Bundle Nets] がオンになっていることを確認してください。

ヒント：このボタンを使用した表示の切り替え方法は、チュートリアル全体で使用できます。

バンドル ネットや I/O の接続線を表示すると、デザインの接続がわかりやすくなり、Pblock を移動して絡まった接続をほどくことができます。これにより、デザイン全体のデータ フローや潜在的な配線の混雑状態が早期にわかるようになります。バンドルは、2つの Pblock 間で共有されるネット数を示します。この定義を確認するには、[Tools] → [Options] → [Themes] → [Bundle Nets] をクリックします。

接続とリソースに基づいて Pblock の配置およびサイズを調整

1. 必要であれば、Pblock の配置を調整して、接続の絡まりをほどきます (図 44)。

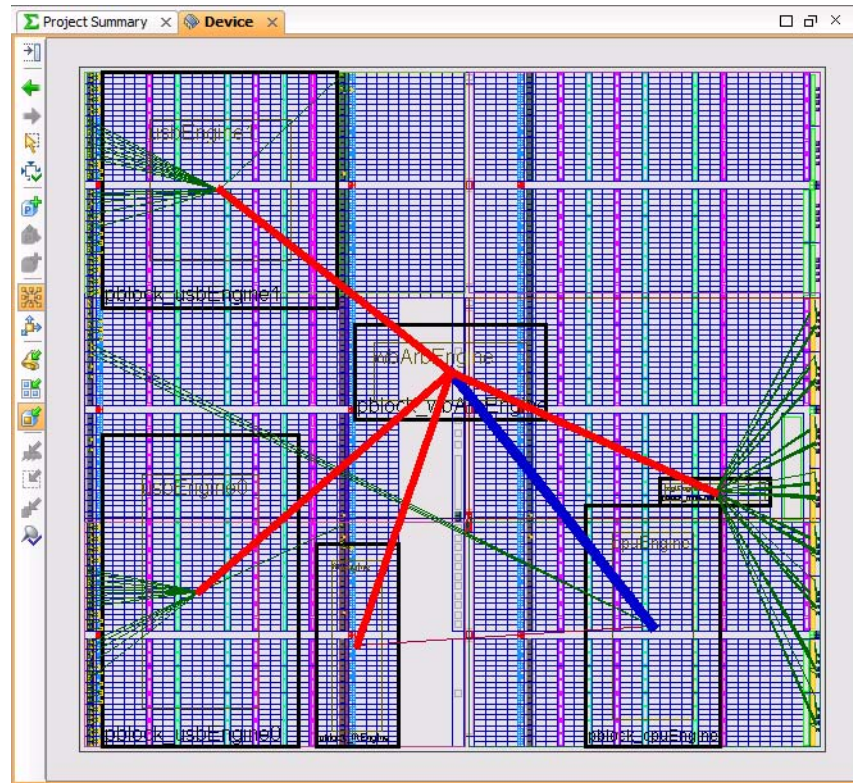



図 44：Pblock の形を変更して階層接続を表示

ヒント：[Device] ビューで [Set Pblock Size] ツールバー ボタン () をクリックし、デバイスのいずれかの場所に長方形を再描画します。長方形を移動したり、再描画して、ロジック接続がはっきり表示されるようにします。この段階では、リソース要件を満たすように Pblock の大きさを変更する必要はありません。

2. [Set Pblock] ダイアログ ボックスで Pblock 長方形内のグリッド タイプをすべて使用するかどうか尋ねられたら、[OK] をクリックします。
3. [Choose LOC mode] ダイアログ ボックスが表示されたら、デフォルトのままで [OK] をクリックします。
4. このデザインでは、I/O パッドにレジスタが複数埋め込まれています。これらの配置は、I/O 配置が削除されていないので、LOC の削除中も削除されません。Pblock にこれらの I/O が最初に含まれていても、Pblock を移動すると含まなくなる場合は、どちらの制約を優先するか尋ねるメッセージが表示されます。このチュートリアルでは、LOC を元の位置に残したままにします。

usbEngine1 および usbEngine0 への接続を確認してください。これらの 2 つのブロックはタイミングに問題があります。I/O 接続を確認し、この 2 つのブロックをどこに配置するか検討します。

5. Pblock を選択し、[Pblock Properties] ビューで [Statistics] タブをクリックします (図 45)。

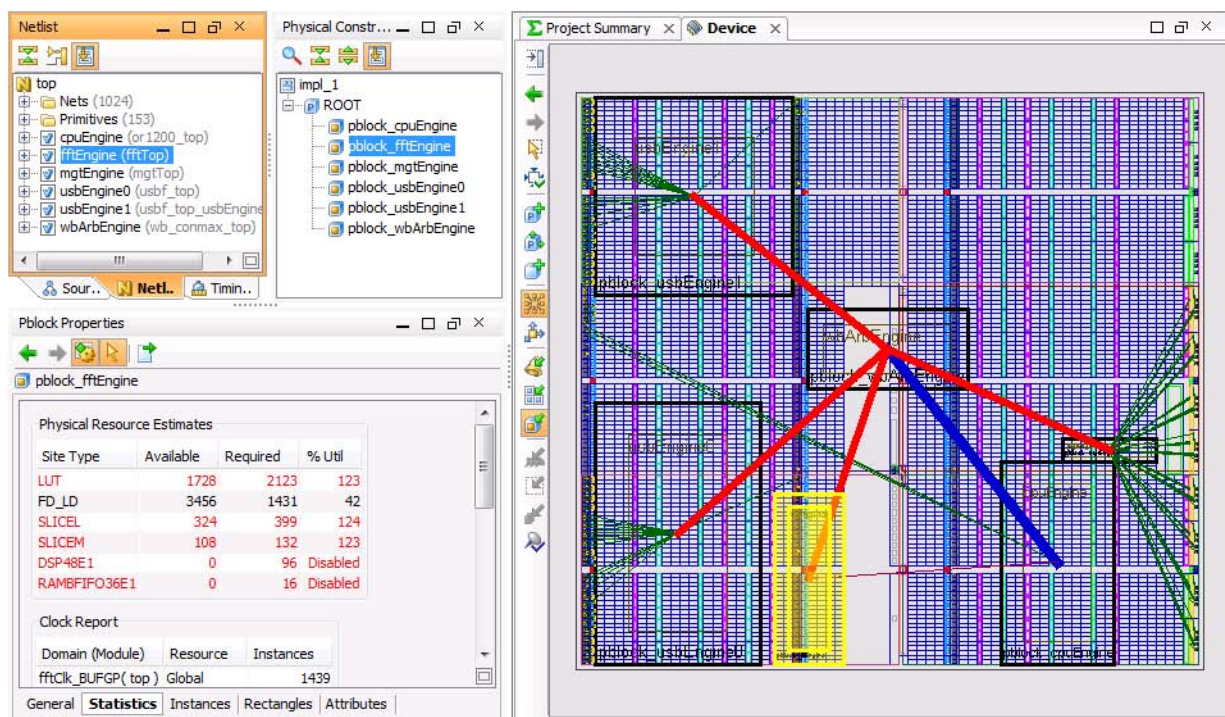


図 45：リソース概算に基づいた Pblock のサイズ変更

Pblock の [Physical Resource Estimates] フィールドを確認します。Pblock のサイズを変更する際はこれらのリソースを使用し、Pblock の長方形内に適切なリソースが存在するかどうか確認し、割り当てられるロジックと矛盾のないようにします。使用されすぎているリソースやディスエーブルになっているリソースは、赤色で表示されます。リソースが使用されすぎると、フロアプランがインプリメンテーションまで伝わりません。リソースがディスエーブルになっていると、サイトの制約がインプリメンテーションまで伝わりません。インプリメンテーションツールでは、ロジックをチップのどこにでも配置できるようになります。

6. [Pblock Property Statistics] のリストをスクロール ダウン

フロアプランを作成する場合、I/O ネット、バンドル ネット、インスタンスなどのオブジェクトを選択できないようにすると、Pblock を選択しやすくなります。

表示オプションを設定し、オブジェクトが選択できないようにする

1. [Tools] → [Options] をクリックします。
2. [PlanAhead Options] ダイアログ ボックスで左側の [Themes] をクリックし、カラー テーマ オプションを表示します。
3. ダイアログ ボックスで [Device] タブをクリックします。

4. [Assigned Instance] と [I/O Net] オブジェクト タイプの [Select] 列をオフにします (図 46)。

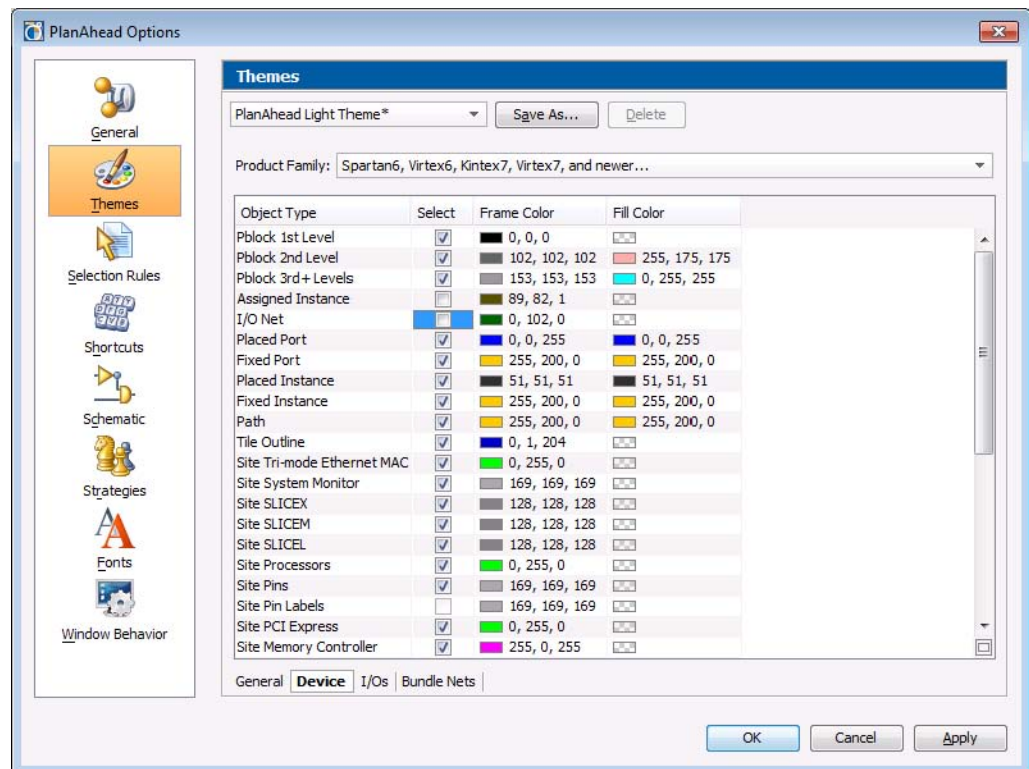


図 46：表示オプションの設定

5. [Save As] ボタンをクリックし、何か名前を入力して [OK] をクリックします。

このようにカスタム ビュー オプションを保存すると、今後同じ設定を使用できるようになります。

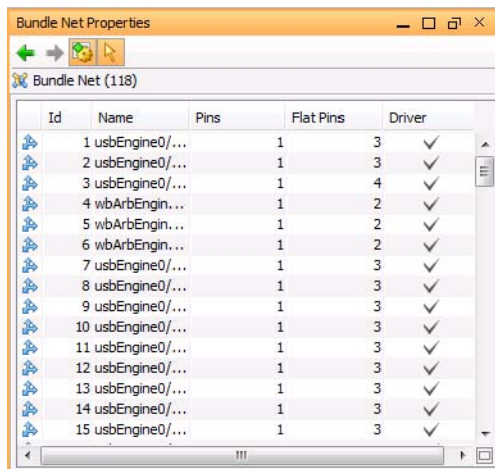
6. [PlanAhead Dark Theme] または [PlanAhead Light Theme] にテーマを戻します。

7. [OK] をクリックします。

PlanAhead では、Pblock とバンドル ネットの接続を表示できます。バンドル ネットの色と線の幅がその束に含まれる信号の数を示します。色、ネット カウント、ライン幅などの設定は、[PlanAhead Options] ダイアログ ボックスの [Bundle Nets] タブから設定できます。

[Bundle Net Properties] ビューを確認

1. [Device] ビューで色のついたバンドル ネットの 1 つを選択します。
2. [Bundle Net Properties] ビューが表示されます。
3. [Properties] タブをクリックすると、2 つのモジュール間のバンドルに含まれるネットすべてがリストされます (図 47)。



Id	Name	Pins	Flat Pins	Driver
1	usbEngine0/...	1	3	✓
2	usbEngine0/...	1	3	✓
3	usbEngine0/...	1	4	✓
4	wbArbEngin...	1	2	✓
5	wbArbEngin...	1	2	✓
6	wbArbEngin...	1	2	✓
7	usbEngine0/...	1	3	✓
8	usbEngine0/...	1	3	✓
9	usbEngine0/...	1	3	✓
10	usbEngine0/...	1	3	✓
11	usbEngine0/...	1	3	✓
12	usbEngine0/...	1	3	✓
13	usbEngine0/...	1	3	✓
14	usbEngine0/...	1	3	✓
15	usbEngine0/...	1	3	✓

図 47 : バンドル ネット プロパティの表示

手順 12 : 検索機能を使用したクロック ドメインの表示

フロアプランが効率的かどうかは、異なるクロック領域に同期エレメントが適切に配置されたかどうかによって決まることが多くあります。クロック領域をハイライトして接続を表示すると、クロック領域に対して Pblock を適切に配置できます。この手順では、USB グローバル クロックをハイライトし、回路図で表示します。

グローバル クロック ネットを選択してマーク

1. [Edit] → [Find] をクリックします。
 2. [Find] ダイアログ ボックスで次のオプションを設定します。
 - [Find] :Nets
 - 1 つ目のフィールド Type
 - 2 つ目のフィールド :is
 - 3 つ目のフィールド :Global Clock
 3. [Unique Nets Only] がオンになっていることを確認し、[OK] をクリックします。
 4. [Pins] 列ヘッダを 2 回クリックして [Find Results] ビューを並び替えます。
 5. [Find Results] ビューで usbClk_BUFGP を選択します。
- 2 つの usbEngine Pblock で I/O に接続されたネットがハイライトされます (図 48)。

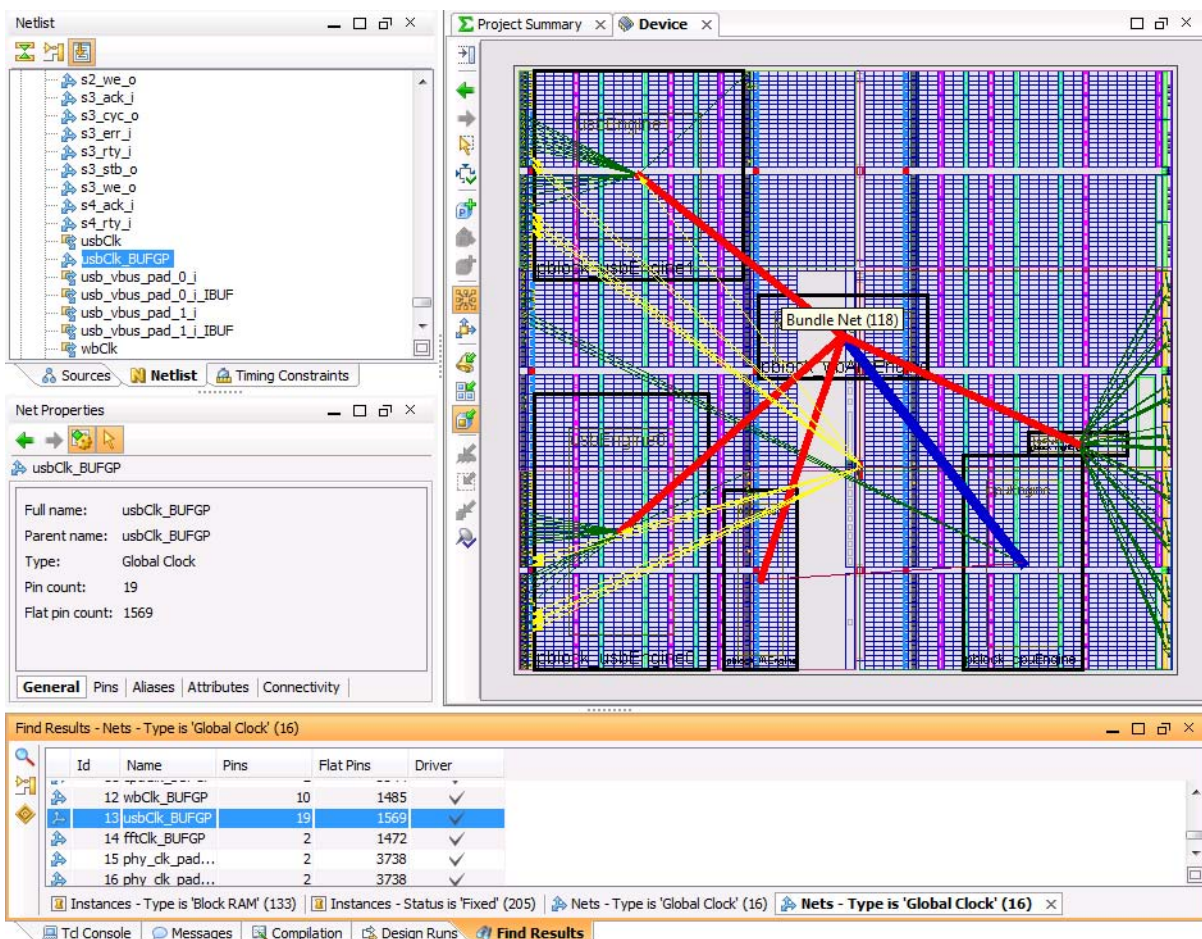


図 48: クロック ネットのディスティネーションの表示

回路図を使用し、グローバル クロック ネットがプリミティブに対してどのように広がっているかを確認

1. グローバル クロック ネットが [Find Results] タブで選択された状態で、右クリックし、[Schematic] を選択するか、F14 を押します。

回路図にレジスタ グループへ接続された `usbClk_BUFGP` ネットが表示されます。

2. 回路図の上部の `usbClk_BUFGP` BUFGP を拡大します (図 49)。

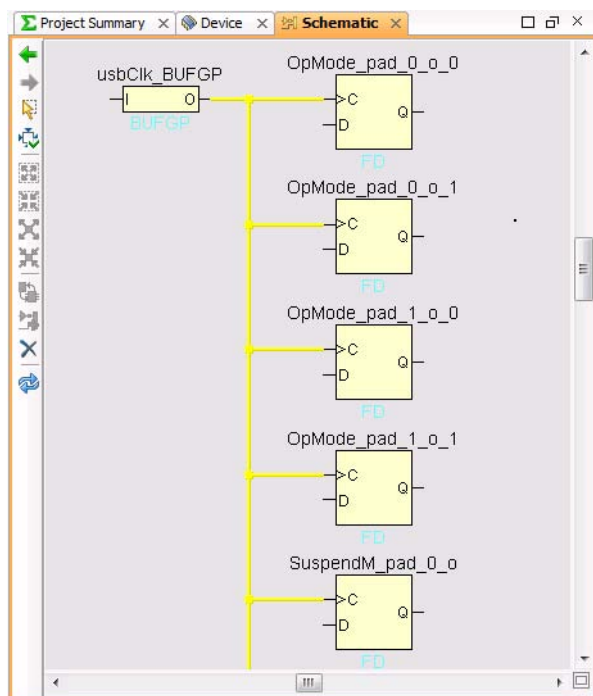






図 49：回路図でのクロック信号の表示

3. [Schematic] ビューを閉じます。
4. [Physical Constraints] ビューで Shift キーを押しながら 6 つの Pblock すべてを選択します。
5. [Delete] ツールバー ボタン  をクリックします。
6. 確認するメッセージが表示されたら [OK] をクリックして削除します。

手順 13：タイミング クリティカルな階層のフロアプラン

タイミング クリティカルな階層や、制限のある内部接続を持つ I/O と通信する階層をフロアプランすると、タイミング パフォーマンスが改善できます。前の手順では、usbEngine1 および usbEngine0 がチップの左側の I/O と通信していることがわかりました。usbEngine1 および usbEngine0 は、左側の角に移動できます。前の手順と違い、この手順ではタイミングを改善します。ここでの目的は、階層を 2 ～ 3 個フロアプランして、タイミング クリティカルなゲートの配置を改善することにあります。

タイミング クリティカルな階層の Pblock を配置

1. [Device] タブをクリックします。
2. [Device] ビューで必要であれば  ボタンを使用して I/O ネットを表示します。
3. [Netlist] ビューで [Collapse All] ツールバー ボタン  をクリックします。
4. [Netlist] ビューで usbEngine0 を選択します。
5. [Device] ビューのツールバーで [Draw Pblock] ボタン  をクリックします。
カーソルが十字に変わります。
6. [Device] ビューの左下の端に長方形を描画します。
7. [OK] をクリックし、[New Pblock] ダイアログ ボックスを閉じます。
8. [Pblock Properties] を確認
9. [Statistics] タブをクリックします。
インプリメンテーションで問題がないように、Pblock のサイズを変更します。
10. ブロック RAM の使用率が 100%、スライス使用率が 60% になるように Pblock のサイズを変更します。この際、真ん中のグレー部分の列にかからないようにしてください。Pblock を [図 50](#) のように配置します。

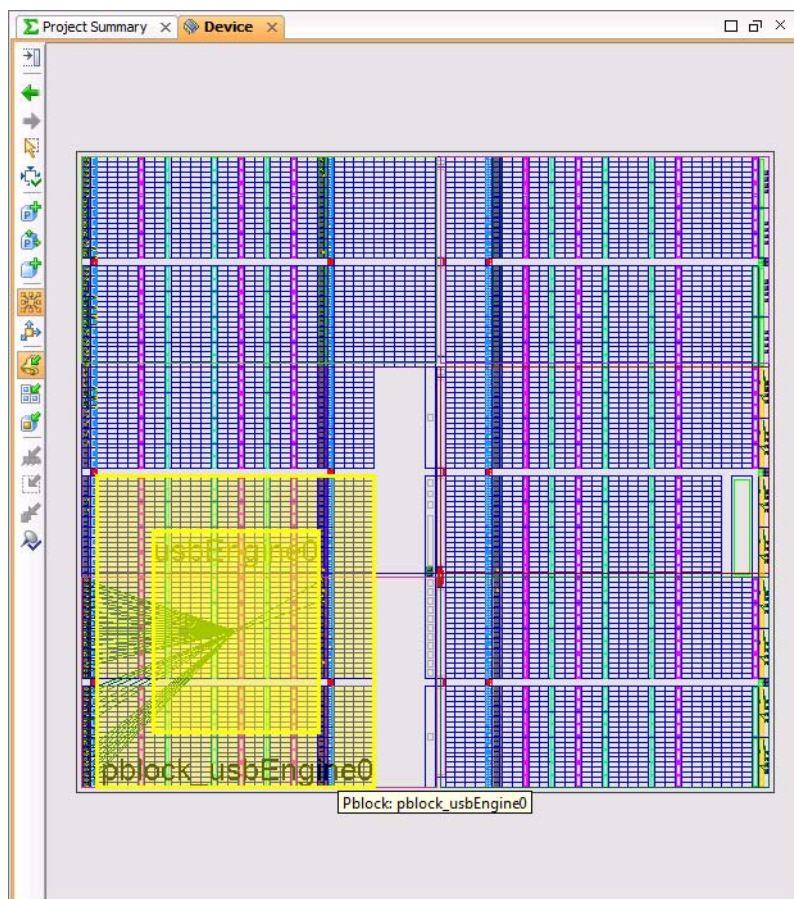


図 50 : usbEngine0 の配置

11. [Netlist] ビューで **usbEngine1** を選択し、左上に同様の **Pblock** を作成します。
 12. **Pblock** 同士が重ならないようにしてください。
- 最終的な配置は、次の図 51 のようになります。

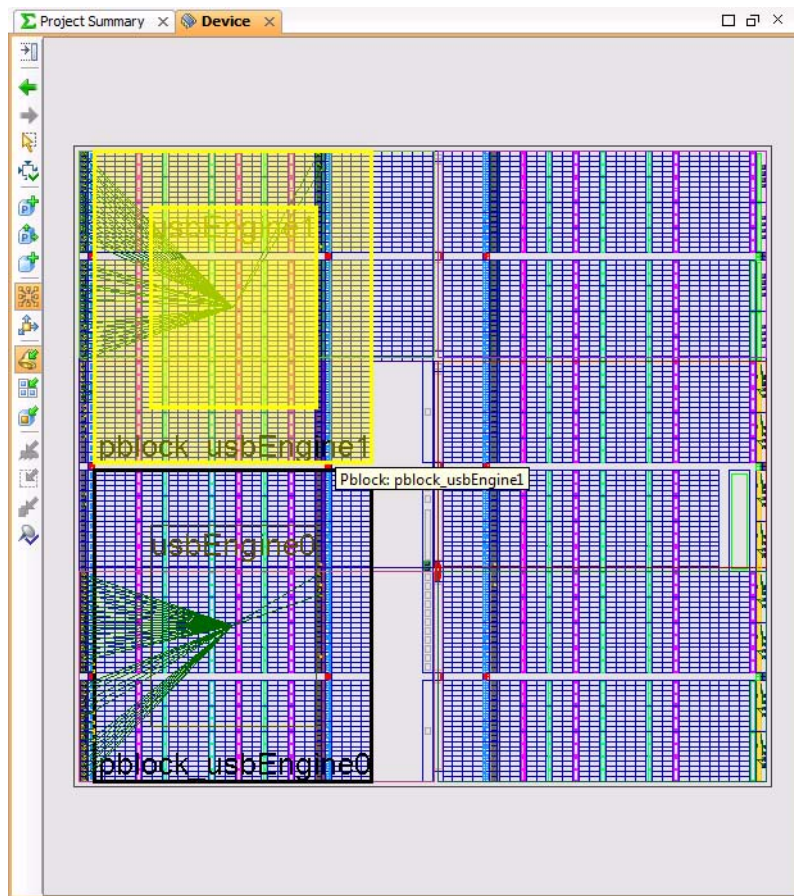


図 51：タイミング クリティカルな USB ブロック両方ともフロアプラン

13. [Implemented Design] ビューを X ボタンをクリックして閉じます。

14. [OK] をクリックし、[Yes] をクリックして保存します。

ツールは Project Manager に戻ります。前の手順からの変更が [constrs_2] → [top_full.ucf] に保存されます。[Sources] ビューで [constrs_3] を右クリックし、[Make active] を選択します。

15. [constrs_3] の下の [top_fpln.ucf] をダブルクリックし、ファイルをテキスト エディターで開きます。この UCF ファイルの一番下までスクロールし、AREA_GROUP の行が新しく追加されていることを確認します。

これらの行では、階層レベルと階層のゲートをチップの領域に制約付けています。

フロアプランを使用したインプリメンテーションの再実行

フロアプランによりどのタイミングが変更されたか確認するには、インプリメンテーションを再実行する必要があります。緑の [Implement] ボタンをもう 1 度クリックします。時間の節約と ISE ソフトウェアのバージョンによる結果の違いを防ぐため、このフロアプランを使用したインプリメンテーション結果をチュートリアル デザイン ファイルに含めてあります。

1. [Design Runs] ビューをクリックします。
2. impl_2 (図 52) を確認してください。

Name	Part	Constraints	Strategy	Status	Progress	Start	Elapsed	Util (%)	FMax (MHz)	Timing Score	Unrouted
synth_1	xc6vlx75tff784-1	constrs_2	PlanAhead Defaults (XST 13)	XST Complete!	100%	1/25/11 4:54 PM	00:04:16	46.000	84.313		
impl_1 (active)	xc6vlx75tff784-1	constrs_2	ISE Defaults (ISE 13)	PAR Complete!	100%	1/25/11 4:59 PM	00:26:52	41.000	64.379	152852	0
impl_2	xc6vlx75tff784-1	constrs_3	ISE Defaults (ISE 13)	PAR Complete!	100%	1/25/11 9:14 PM	00:22:22	41.000	78.156	30548	0
impl_3	xc6vlx75tff784-1	constrs_3	MapTiming (ISE 13)	PAR Complete!	100%	1/25/11 9:36 PM	00:25:46	41.000	60.118	28066	0
impl_4	xc6vlx75tff784-1	constrs_3	ParHighEffort (ISE 13)	PAR Complete!	100%	1/25/11 10:02 PM	00:24:16	41.000	77.232	33126	0
impl_5	xc6vlx75tff784-1	constrs_3	MapGlobalOptLogicOptRetimingDupParHigh (ISE 13)	PAR Complete!	100%	1/25/11 10:26 PM	00:31:52	44.000	67.047	54	0

図 52 : フロアプランを使用した結果

impl_2 では、新しいフロアプランが使用されています。impl_2 は、同じストラテジ (コマンドライン オプション) を使用してインプリメンテーションされています。タイミングは改善されていますが、デザインはタイミングを満たしていません。impl_2 はデフォルトのインプリメンテーション オプションを使用しています。インプリメンテーションは、さらに工夫することができます。デザインはもう少しでタイミングを満たすので、フロアプランを変更する前に、ほかのストラテジを使用してタイミング クロージャが達成できるかどうかを確認することをお勧めします。

3. [Flow] → [Create New Runs] をクリックします。
4. [Implementation] をクリックします。
5. [Next] をクリックします。
6. [Synthesized Netlist] に synth_1、[Constraints Set] に constrs_3 が設定されていることを確認します (図 53)。

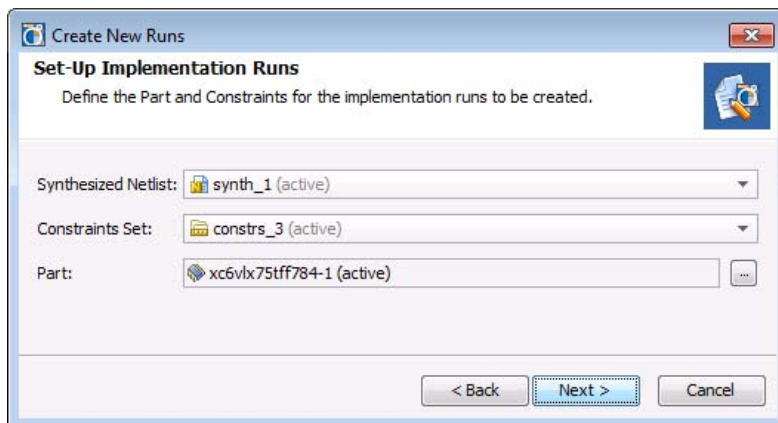


図 53 : インプリメンテーション用のネットリストの選択

7. [Next] をクリックします。
8. [More] を何度かクリックします。

ストラテジのリストから新しい run とサイクルが定義されます (図 54)。

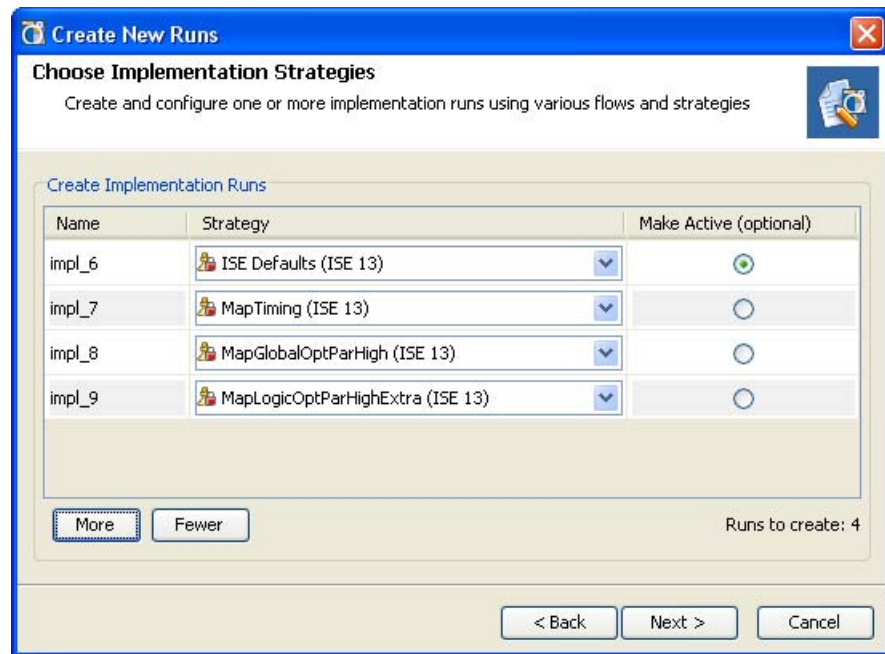


図 54：複数のストラテジを含む複数の run

9. [Next] をクリックします。

オプションを指定するページが表示されます。ホスト マシンに複数の CPU が含まれる場合は、複数の run が平行して実行できます。

10. [Next] をクリックします。

サマリ ページが表示されます。このデザインのインプリメンテーションは既に実行されているので、インプリメンテーションは再実行しません。

11. [Cancel] をクリックします。

[Design Runs] ビューを見ると、impl_5 のタイミング スコアが一番低く、タイミングをあと少しで満たすことがわかります。

タイミング問題の原因は、次の方法で確認できます。

12. [Design Runs] ビューで impl_5 をクリックします。

13. 右クリックし、[Make active] をクリックします。

14. ポップアップ ウィンドウから [Open Implemented Design] をクリックします。

15. 前に示した方法を使用してタイミング パスを表示し、配置を表示し、関連するゲートと階層を見つけます。

まとめ

このチュートリアルでは、**PlanAhead** ソフトウェアを使用して、インプリメンテーション ツールを実行する前に合成済みのデザインとターゲット デバイスを確認および解析しました。これにより、潜在的な問題やエラーを、インプリメンテーション中ではなく、デザイン サイクルの早期段階で発見できます。また、デザイン リソースの概算、デザイン ルール違反、タイミング概算、制約および接続などをグラフィカルに表示することで、デザインを理解し、潜在的な問題のエリアを発見しやすくもなっています。

インプリメンテーションを実行し、その結果を確認し、タイミング結果を検証しました。この後、回路図でクリティカルパスのオブジェクトを解析し、これらのパス オブジェクトの親モジュールを選択しました。モジュール配置をハイライトし、**[Show Connectivity]** コマンドを使用してモジュールの接続を表示し、**ISE** ソフトウェアで割り当てられた配置制約を削除しました。デザインを解析し、フロアプランを作成して、別のコマンド ライン オプションを使用してタイミングを改善しました。

その他のリソース

ザイリンクス リソース

- 『ISE Design Suite : インストールおよびライセンス ガイド』(UG798) :
http://japan.xilinx.com/support/documentation/sw_manuals/xilinx13_1/iil.pdf
- 『ISE Design Suite 13 : リリース ノート ガイド』(UG631) :
http://japan.xilinx.com/support/documentation/sw_manuals/xilinx13_1/irn.pdf
- ザイリンクス資料 :
<http://japan.xilinx.com/support/documentation.htm>
- ザイリンクス用語集 :
http://japan.xilinx.com/support/documentation/sw_manuals/glossary.pdf
- ザイリンクス サポート :
<http://japan.xilinx.com/support>
- ビデオ デモ :
http://japan.xilinx.com/products/design_resources/design_tool/resources/index.htm

PlanAhead 資料

- 『PlanAhead ユーザー ガイド』(UG632) :
http://japan.xilinx.com/support/documentation/sw_manuals/xilinx13_1/PlanAhead_UserGuide.pdf
- PlanAhead 手法ガイド :
http://japan.xilinx.com/support/documentation/dt_planahead_planahead13-1_userguides.htm
- PlanAhead チュートリアル :
http://japan.xilinx.com/support/documentation/dt_planahead_planahead13-1_tutorials.htm

