

PlanAhead ソフトウェア チュートリアル

デザインの保持

UG747 (v 13.1) 2011 年 3 月 1 日



The information disclosed to you hereunder (the “Information”) is provided “AS-IS” with no warranty of any kind, express or implied. Xilinx does not assume any liability arising from your use of the Information. You are responsible for obtaining any rights you may require for your use of this Information. Xilinx reserves the right to make changes, at any time, to the Information without notice and at its sole discretion. Xilinx assumes no obligation to correct any errors contained in the Information or to advise you of any corrections or updates. Xilinx expressly disclaims any liability in connection with technical support or assistance that may be provided to you in connection with the Information. XILINX MAKES NO OTHER WARRANTIES, WHETHER EXPRESS, IMPLIED, OR STATUTORY, REGARDING THE INFORMATION, INCLUDING ANY WARRANTIES OF MERCHANTABILITY, FITNESS FOR A PARTICULAR PURPOSE, OR NONINFRINGEMENT OF THIRD-PARTY RIGHTS.

© Copyright 2011 Xilinx, Inc. XILINX, the Xilinx logo, Virtex, Spartan, ISE, and other designated brands included herein are trademarks of Xilinx in the United States and other countries. All other trademarks are the property of their respective owners.

本資料は英語版 (v 13.1) を翻訳したもので、内容に相違が生じる場合には原文を優先します。

資料によっては英語版の更新に対応していないものがあります。

日本語版は参考用としてご使用の上、最新情報につきましては、必ず最新英語版をご参照ください。

改訂履歴

次の表に、この文書の改訂履歴を示します。

日付	バージョン	改訂内容
2011 年 3 月 1 日	13.1	ISE 13.1 リリース用に改訂

目次

改訂履歴.....	2
PlanAhead ソフトウェア チュートリアル：デザインの保持	
概要	5
チュートリアルの目標.....	5
はじめに.....	5
チュートリアルの手順.....	6
手順 1：既存の PlanAhead RTL プロジェクトを開いて RTL デザインを確認.....	7
手順 2：パーティションの設定と Pblock の描画	9
手順 3：デザインの合成およびインプリメンテーション	13
手順 4：問題なくインプリメントされたパーティションのプロモート	16
手順 5：最上位レベルのパーティションの RTL のアップデート	21
手順 6：パーティションのインポート中の最上位レベルの再合成および再インプリメント.....	22
まとめ	23
付録 A：その他のリソース	
ザイリンクス リソース	25
PlanAhead 資料.....	25

PlanAhead ソフトウェア チュートリアル： デザインの保持

概要

このチュートリアルでは、デザイン保持フローの概要について次の手順に分けて説明します。

- エラボレートされたレジスタ転送レベル (RTL) デザインでパーティションおよび Pblock を定義
- Xilinx® Synthesis Technology (XST) インクリメンタル合成を使用して合成
- パーティション済みデザインをインプリメント
- 問題のなかったインプリメンテーション結果をプロモート
- 最上位レベルのパーティションをアップデート
- 変更のないパーティションをインポート中に修正済み最上位レベルの合成とインプリメンテーションを再実行

PlanAhead™ ソフトウェアの解析機能の詳細は、ほかのチュートリアルで紹介しています。すべてのコマンド オプションについて説明されているわけではりません。

チュートリアルの目標

このチュートリアルでは、PlanAhead ソフトウェアを使用したパーティションとデザイン保持フローについて説明します。

はじめに

ソフトウェア要件

PlanAhead ソフトウェアは、ISE® Design Suite ソフトウェアをインストールするとインストールされます。チュートリアルを始める前に、PlanAhead が起動できるか、チュートリアル デザイン データがインストールされているかを確認してください。

インストール方法およびその詳細は、[付録 A「その他のリソース」](#)に示される『ISE Design Suite : インストールおよびライセンス ガイド』(UG798) を参照してください。

ハードウェア要件

大規模デバイスで PlanAhead ソフトウェアを使用するには、2GB 以上の RAM が推奨されます。このチュートリアルでは、小型の XC6VLX75T デザインを使用し、1 度に開くことができるデザイン数を制限していますので、1GB で十分ですが、パフォーマンスに影響のすることもあります。

チュートリアル デザインの説明

このチュートリアルで使用されるサンプル デザインには、合成結果が 2 セット含まれます。1 つは、標準的なトップダウン合成フローを使用しており、フラット インプリメンテーションに使用されます。もう 1 つは、インクリメンタル合成フローを使用しており、デザイン保持フローに使用されます。これには、パーティション分割されるモジュール インスタンスのネットリストがそれぞれ含まれます。このチュートリアルで使用されるデザインには、次が含まれます。

- RISC プロセッサ
- FFT
- ギガビット トランシーバ
- パーティション分割される USB ポート モジュール 2 つ
- xc6vlx75tff784 デバイス

ハードウェア リソースやチュートリアルにかかる時間、データ サイズを節約するために、小型のデザインを使用しています。

チュートリアル デザイン ファイルのディレクトリ

このチュートリアルでは、PlanAhead ソフトウェアのプロジェクト例に含まれるデザイン データを使用します。このデータは、次からも入手できます。

1. 次のいずれかから、PlanAhead_Tutorial.zip ファイルをダウンロードします。
 - PlanAhead ソフトウェア インストールのプロジェクト例のディレクトリ：
<ISE_install_area>/PlanAhead/testcases/
 - ザイリンクスのウェブサイト：
http://japan.xilinx.com/support/documentation/dt_planahead_planahead13-1_tutorials.htm
2. 書き込み権のあるディレクトリに ZIP ファイルを抽出します。

解凍された PlanAhead_Tutorial データ ディレクトリは、このチュートリアルでは <Extract_Dir> と記述します。

チュートリアルのサンプル データは、チュートリアルを実行中に変更されます。各チュートリアルを実行する前に、まず元の PlanAhead_Tutorial データのコピーを取っておいてください。

チュートリアルの手順

このチュートリアルは、次の手順で構成されています。

「手順 1 : 既存の PlanAhead RTL プロジェクトを開いて RTL デザインを確認」

「手順 2 : パーティションの設定と Pblock の描画」

「手順 3 : デザインの合成およびインプリメンテーション」

「手順 4 : 問題なくインプリメントされたパーティションのプロモート」

「手順 5：最上位レベルのパーティションの RTL のアップデート」

「手順 6：パーティションのインポート中の最上位レベルの再合成および再インプリメント」

手順 1：既存の PlanAhead RTL プロジェクトを開いて RTL デザインを確認

このチュートリアルでは、既存の PlanAhead ソフトウェア プロジェクトを使用することで、デザイン保持の手順にのみ焦点を置いて説明します。実際のデザインでは、New Project ウィザードを使用して RTL またはネットリスト ベースのプロジェクトを作成してください。PlanAhead ソフトウェアの 13.1 およびそれ以降のバージョンでは、パーティションを含む RTL プロジェクトがサポートされています。

既存の PlanAhead RTL プロジェクトを開く

1. PlanAhead ソフトウェアを起動します。
 - Windows の場合、Xilinx® PlanAhead 13 のデスクトップ アイコンをダブルクリックするか、[スタート] → [プログラム] → [Xilinx ISE Design Suite 13.1] → [PlanAhead] → [PlanAhead] をクリックします。
 - Linux の場合は、`<ISE_install_dir>/PlanAhead_Tutorial/Tutorial_Created_Data` ディレクトリに移動し、`planAhead` と入力します。
2. Getting Started ページの [Open Project] リンクをクリックします。
3. `<Extract_Dir>/Projects/project_DP_RTL/project_DP_RTL.ppr` を開きます。

プロジェクトが開いたら、[Project Manager] ビューが表示されます。[Sources] ウィンドウでデザインのソースを確認し、さまざまな VHDL および Verilog ファイルと `top_full.ucf` というユーザー制約ファイル (UCF) があることを確認します。UCF には、既にタイミング制約と I/O ピンの位置が含まれています。

RTL デザインのエラボレーション

RTL プロジェクトのパーティションを定義するには、[RTL Design] ビューを使用する必要があります。[RTL Design] ビューに RTL コードがエラボレートされて開き、デザイン階層が表示されます。これは、合成前のデザイン ビューで、パーティションの定義や制約の作成に使用できます。

1. [Flow] → [RTL Design] をクリックするか、PlanAhead ソフトウェアの左側にある Flow Navigator から [RTL Design] をクリックします。図 1-1 を参照してください。
クリティカルな警告に関するメッセージが表示されます。
2. [OK] をクリックし、ポップアップ ウィンドウを閉じます。

メモ：クリティカルな警告 (Critical Warnings) - [RTL Design] ビューを開くと、UCF ファイルが解析されます。[RTL Design] ビューは合成前のバージョンなので、I/O バッファなど、エラボレートされたデザインにはない UCF ファイルの制約がインスタンスに付いています。このため、こういったメッセージが表示されることが予測されますが、無視しても問題ありません。

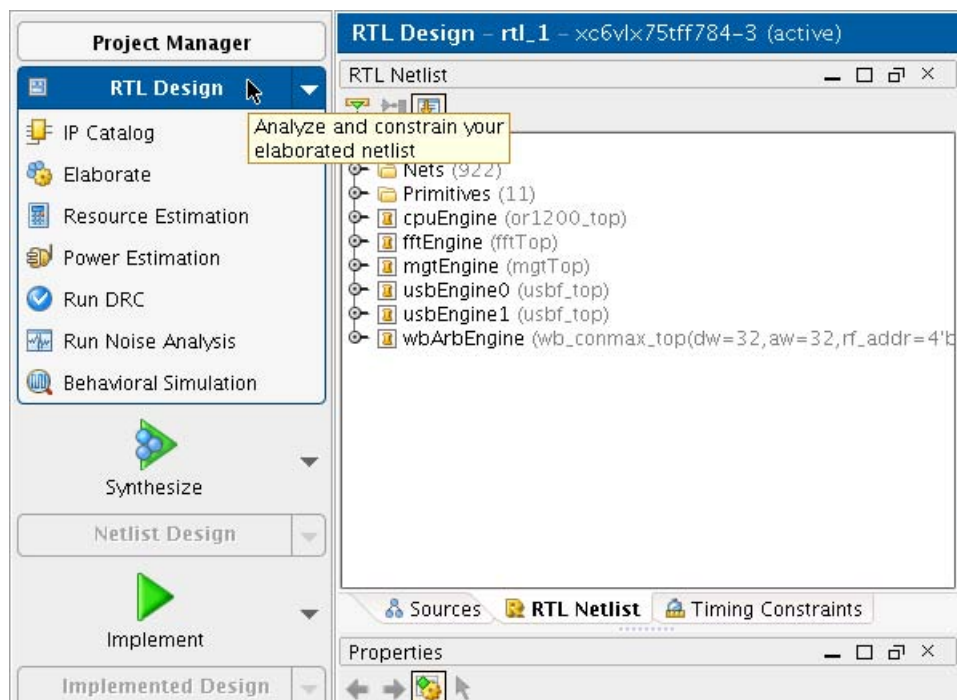


図 1-1 : [RTL Design] ビューの表示



手順 2：パーティションの設定と Pblock の描画

付録 A「その他のリソース」に示される『PlanAhead ソフトウェア チュートリアル：デザイン解析およびフロアプラン』(UG676)によると、usbEngine インスタンスはタイミング クリティカルなモジュールであり、これらのインスタンスの問題なくインプリメンテーションされた結果を保持しておくとは有益であることがわかります。ただし、これだけではパーティションに向いているとは言えません。これらがパーティションに向いているのは、残りのデザイン部分から孤立しており、インターフェイス タイミング (レジスタ付きの入力および出力) が適しているからです。モジュールがパーティションに向いているかどうかは、DRC を使用して確認できます。パーティション用のモジュール インスタンスを選択する方法については、付録 A「その他のリソース」に示される『階層デザイン手法ガイド』(UG748)を参照してください。

パーティション分割されたインスタンスは、ほかのインスタンスと同様にフロアプランできます。また、Pblock (AREA_GROUP 制約) を作成することで、タイミング クロージャを達成し、ランタイムを改善しやすくなります。このチュートリアルの UCF では、usbEngine の I/O ロジックがデバイスの左側に制約付けられています。次の手順では、2 つの usbEngine インスタンスに対して適切な Pblock を作成する方法について説明します。

2 つの usbEngine インスタンスのパーティション設定

1. [RTL Design] ビューの [Netlist] タブで 2 つの usbEngine インスタンスを選択します。
2. 右クリックし、[Set Prohibit] をクリックします (図 1-2)。

パーティションとして設定すると、そのインスタンスのアイコンが  から  に変更されます。

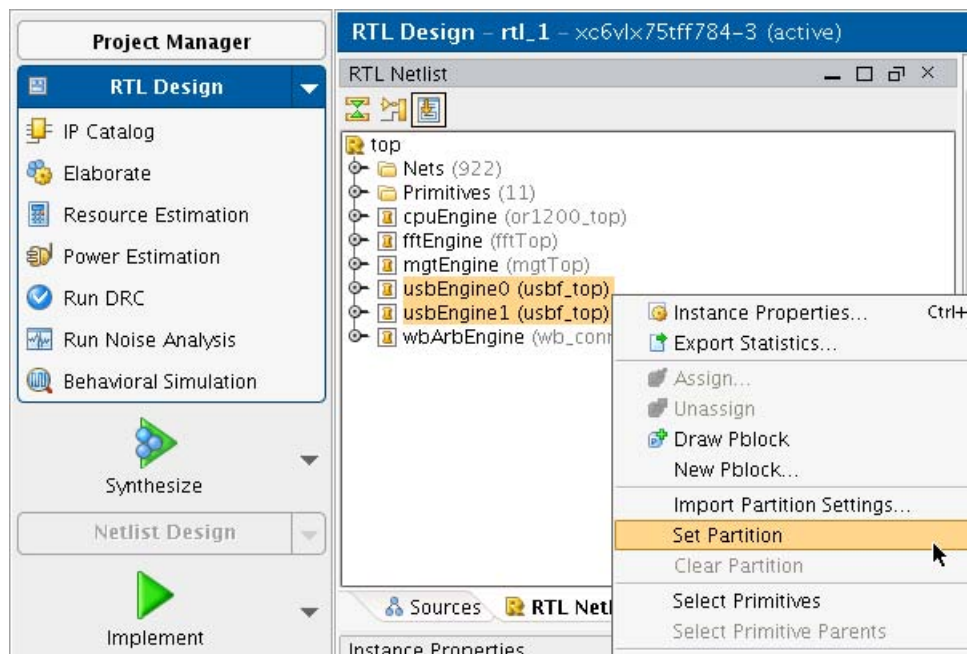


図 1-2：usbEngine インスタンスのパーティション設定

2 つの usbEngine インスタンスの Pblock の描画

この手順は合成結果には影響しないので、[Netlist Design] ビューの合成後のデザインで実行することもできます。この場合、リソース概算などの利点があるので、Pblock のサイズを変更しやすくなります。このチュートリアルでは、[RTL Design] ビューから合成前のデザインで Pblock を描画し、Pblock の描画方法について学びます。

1. [Netlist] ビューで **usbEngine1** を右クリックし、[Draw Pblock] をクリックします (図 1-3)。

メモ: [Device] ビュー ツールバーから [Draw Pblock] ボタン  を使用することもできます。

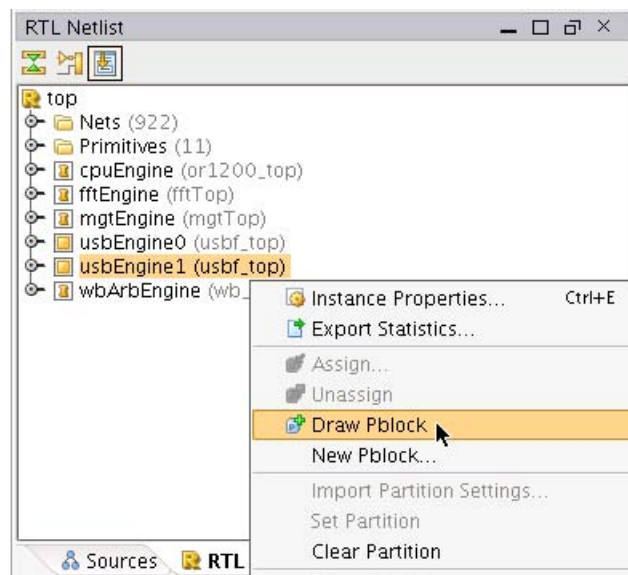


図 1-3 : [Draw Pblock] の選択

2. [Draw Pblock] をオンにしたら、カーソルを [Device] ビューに移動します。
3. CLB が開始するデバイスの左上端をクリックし、マウスのボタンを押した状態でドラッグし、デバイスの左上の区画のほとんどを含む長方形を囲みます (図 1-4)。
4. [New Pblock] ダイアログボックスで SLICE および RAMB36 グリッドが選択されているかどうか確認し、必要のないほかのリソースの選択を解除します (図 1-4)。

使用可能な RAMB36 数 (括弧内に表示) が 36 であることを確認します。長方形が 図 1-4 に表示される領域を含んでいない場合は、この数値が 36 より小さくなり、デザインが配置エラーになります。

5. [OK] をクリックします。

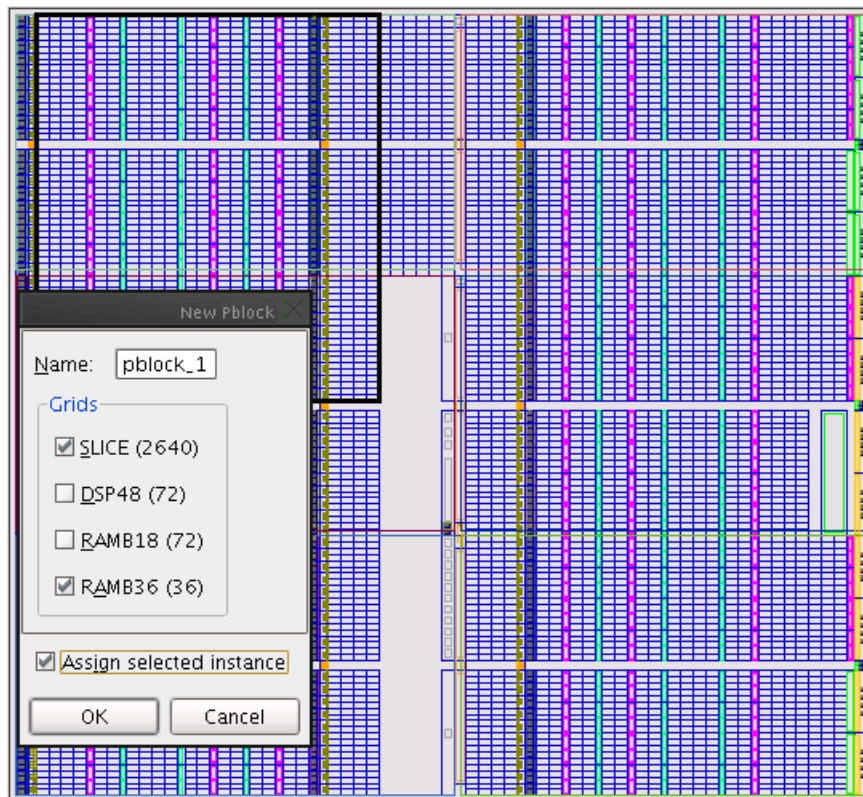


図 1-4 : usbEngine1 の Pblock 長方形

ここで重要なのは、使用可能な RAMB36 リソースの数です。図 1-5 のように Pblock の長方形が RAMB36 を完全に含んでいないと、リソースの数が必要な 36 未満になる可能性があります。この場合は、Pblock の長方形のサイズを調整する必要があります。

6. 左下の区画の usbEngine0 で手順 1 ～ 5 を繰り返します。

完了したフロアプランは、図 1-5 のようになるはずです。

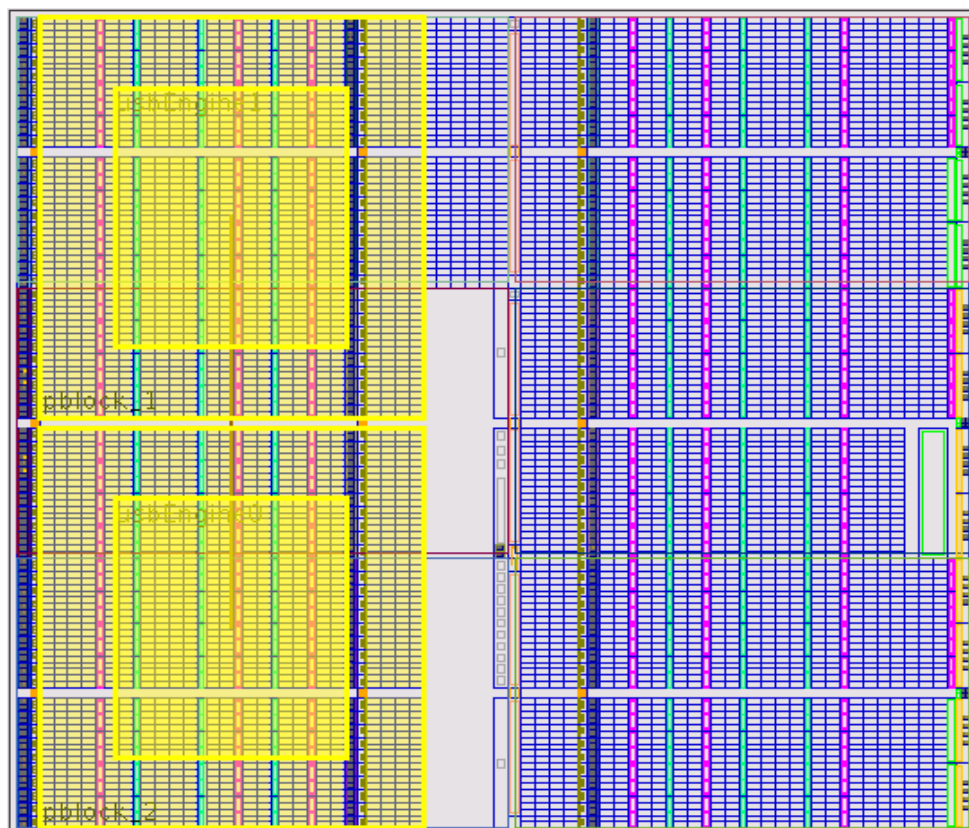


図 1-5 : Pblocks の usbEngine0 および usbEngine1 の完了したフロアプラン

手順 3：デザインの合成およびインプリメンテーション

ここまでで、デザインのパーティションが定義され、必要な制約がすべて作成されたので、合成およびインプリメンテーションを実行できます。パーティションはエラボレートされたハードウェア記述言語 (HDL) デザインで定義したので、XST で認識され、インクリメンタルフローが実行されます。これにより、定義されたパーティションごとに NGC ファイルが作成されます。これらのネットリストには、モジュールの複数インスタンスが別のパラメータで合成されるように、異なる名前が付きます。この場合、合成により次の NGC ファイルが <project_name>.runs/synth_1 ディレクトリに生成されます。

- top.ngc
- usbEngine0#usb_top.ngc
- usbEngine1#usb_top.ngc

ボトムアップ合成またはサードパーティのインクリメンタル合成フローを使用する場合、合成は PlanAhead 外で実行できます。この場合、PlanAhead のネットリストプロジェクトをこのチュートリアルで示す RTL プロジェクトの代わりに使用します。

合成の実行

1. 合成を開始するには、Flow Navigator の [Synthesize] ボタンをクリックします。特定の XST オプションを設定したり、パーティションの設定を確認するには、[Synthesize] ボタンの右側のドロップダウンメニューを使用できます。ドロップダウンリストから [Synthesis Settings] をクリックします。このデザインでは、デフォルトのまま使用しますので、図 1-6 に示す大きな緑の [Synthesize] ボタンをクリックします。

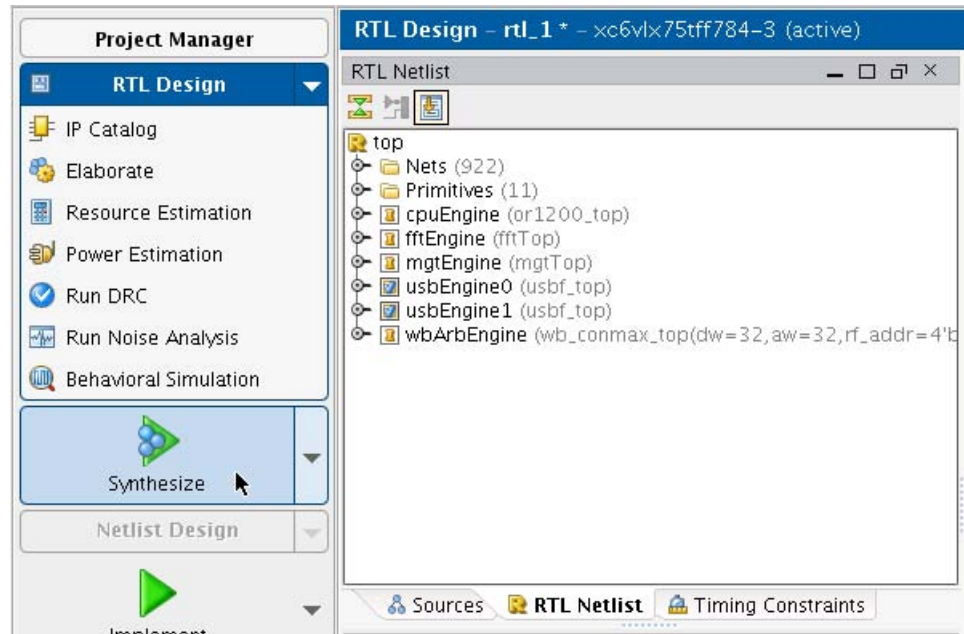


図 1-6：XST インクリメンタル合成の実行

2. まだデザインを保存していない場合は、ポップアップウィンドウで [Save] をクリックして、合成を実行する前にパーティションとフロアプランの変更を保存しておきます。

パーティションの DRC 実行

デザイン ルール チェック (DRC) は RTL デザインで実行できますが、この段階でチェックできることには限りがあります。それでも、インプリメンテーション前に DRC は実行しておく必要があります。実行するには、[Netlist Design] ビューを開いて、パーティション別に DRC を実行します。

1. [Netlist Design] ビューは、Flow Navigator で [Netlist Design] をクリックすると開きます。このビューには合成結果が表示され、その他の DRC チェック ボックスができるようになっています。
2. Flow Navigator の [Netlist Design] の下で [Run DRC] をクリックします (または [Tools] → [Run DRC] をクリックします)。
3. [Run DRC] ダイアログ ボックスで [Partition] 以外のルールをすべてオフにして、[OK] をクリックします (図 1-7)。

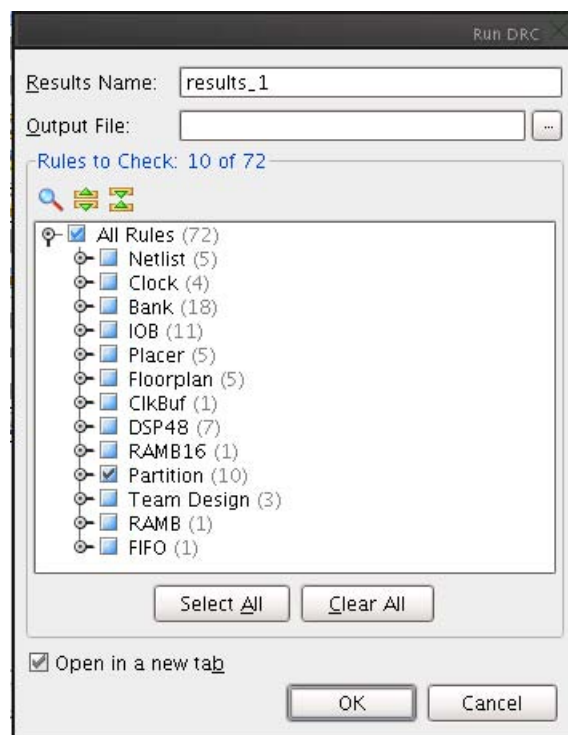


図 1-7 : パーティションの DRC の実行

メモ : DRC の結果、アドバイザリ メッセージが表示されます。PlanAhead からは、DRC ルールに対してアドバイザリ、警告、エラー、致命エラー、といったメッセージが表示されます。このチュートリアルでは、アドバイザリ メッセージは無視しますが、実際のデザインの場合は、DRC でレポートされるメッセージはすべて必要に応じて処理する必要があります。

インプリメンテーションの実行

この段階で、インプリメンテーションが実行できるようになっています。パーティションを含むこのデザインをインプリメントする場合、1 つ余分な手順を実行して、パーティションを定義して DRC チェック ボックスを実行する必要があります。このデザインは階層を使用して作成されているので、パーティションを使用して動作するように変更する必要はありませんが、パーティション デザインを問題なく実行するには、合成またはインプリメンテーション ツールを使用するのではなく、RTL

デザイン段階で多くの処理をしておく必要があります。推奨される階層デザインについては、付録 A「その他のリソース」に示される『階層デザイン手法ガイド』を参照してください。

このチュートリアルでは、<Extract_Dir>/Projects/project_DP_RTL_implemented/project_DP_RTL_implemented.ppr の合成およびインプリメンテーション結果を含むプロジェクトを使用して、インプリメンテーション ランタイムを削減することができます。

この場合、[File] → [Open Project] をクリックしてインプリメンテーションの終了した結果を開きます。この手順を飛ばした場合は、「手順 4：問題なくインプリメントされたパーティションのプロモート」に進んでください。

1. Flow Navigator で [Implement] をクリックします。
2. [Report] タブをクリックすると、すべての ISE® インプリメンテーション レポート ファイルのリストが表示されます。各プロセスが終了するに従って、関連するレポート ファイルが開けるようになります。
3. NGDBuild が終了したら、[NGDBuild Report] をクリックしてレポート ファイルを開きます。レポート ファイルの一番下までスクロールし、パーティション情報を確認します (図 1-8)。

この情報はすべてのレポート ファイル (NGDBuild、MAP、PAR) に表示されます。これにより、指定した run のすべてのパーティションのステータスを簡単に確認できます。

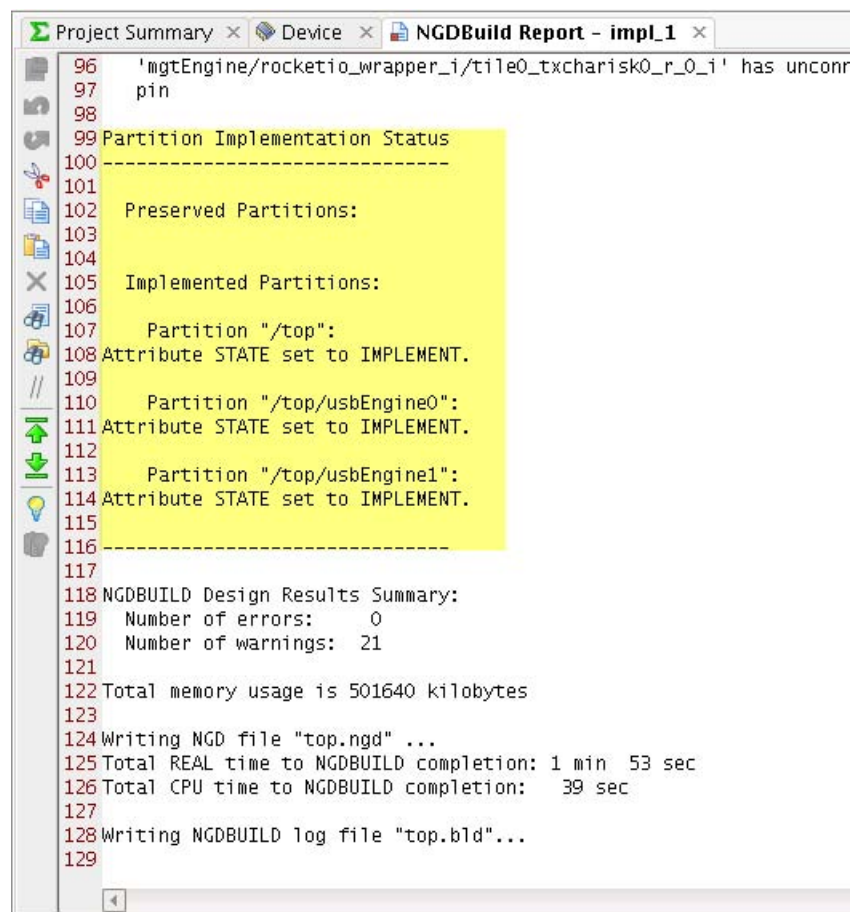


図 1-8：レポート ファイルのパーティション情報ステータス

手順 4 : 問題なくインプリメントされたパーティションのプロモート

インプリメンテーションが問題なく終了したら、その結果をプロモートできます。結果をプロモートすると、`<project_name>.promote\X<run_name>` (例: `project_DP_RTL.promote\Ximpl_1`) のインプリメンテーション ディレクトリのコピーが作成されます。

PlanAhead では、プロモートされた最新の `run` が追跡され、ステートが自動的に変更され、プロモートされたパーティションのディレクトリからインポートされます。これらは、すべて PlanAhead から手動で管理できます。

問題のなかったインプリメンテーション結果をプロモート

1. インプリメンテーションが終了したら、[Implementation Completed] ダイアログ ボックスが表示されます (図 1-9)。

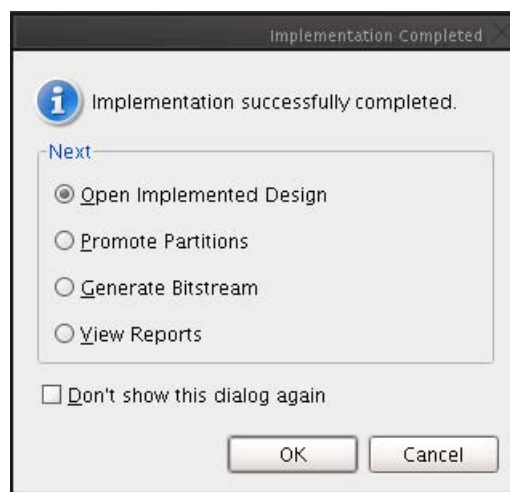


図 1-9 : [Implementation Completed] ダイアログ ボックス

2. [Open Implemented Design] をオンにし、[OK] をクリックします。

オプションはほかにもあります。[Promote Partitions] をオンにすると、結果がここでプロモートされますが、このチュートリアルでは別の方法を使用します。

[Implementation Completed] ダイアログ ボックスが表示されない場合は、Flow Navigator で [Implemented Design] をクリックして完了したプロジェクト (`project_DP_RTL_implemented`) を読み込むこともできます。

3. 最終的なタイミング スコアや詳細なタイミング レポートを確認して、結果が問題ないかどうか検証します (図 1-10)。タイミング スコアが 0 で、リストされているワースト パスのスラックがまだ正の値であることに注意してください。また、図 1-10 に示すように、2 つの `usbEngine` インスタンスのロジックが緑とオレンジでハイライトされています。これは、インスタンスの配置が `AREA_GROUP` で制御されたことを示します。これら 2 つのインスタンスのプリミティブをハイライトするには、[Netlist] ビューで 2 つのインスタンスを選択し、右クリックで [Highlight Primitives] をクリックします。

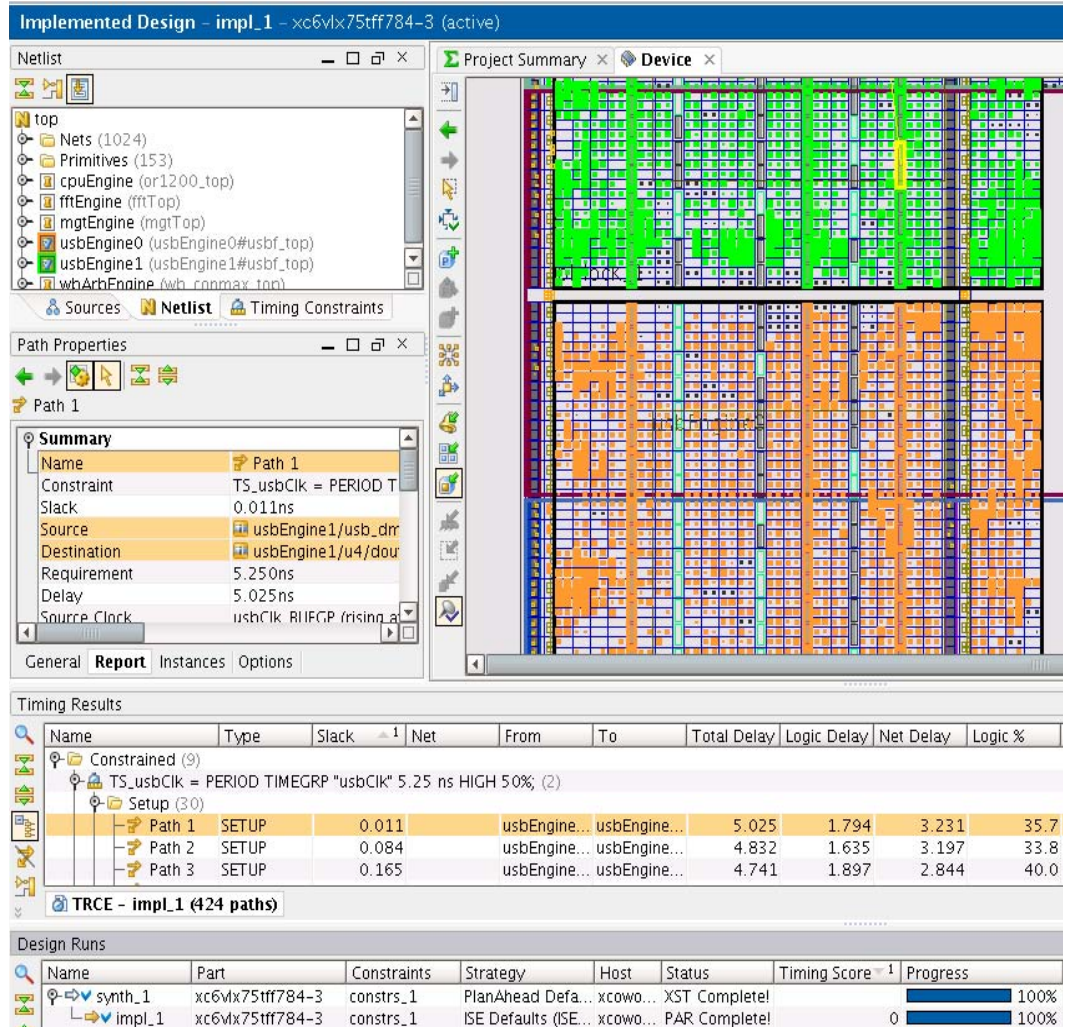


図 1-10：問題のなかったインプリメンテーション結果の確認

4. Flow Navigator で [Promote Partitions] をクリックし、合成およびインプリメンテーション結果をプロモートします (図 1-11)。

プロモートする際に [RTL Design] ビューが開いていないと、このビューを開くかどうか尋ねるメッセージが表示されます。[OK] をクリックします。

メモ：これにより、7 ページの「RTL デザインのエラボレーション」に示すクリティカルな警告が表示されることがあります。

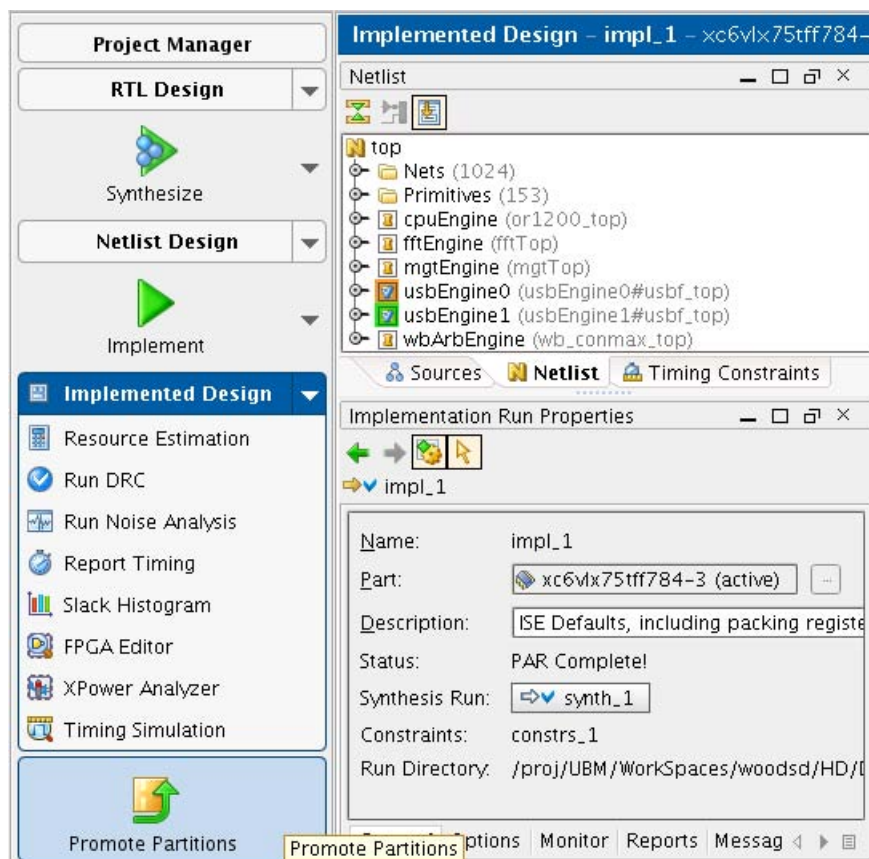


図 1-11 : プロモート パーティション

5. 2 つの **usbEngine** インスタンスが合成およびインプリメンテーション用にプロモートされるようにオンになっていることを確認します (図 1-12)。

最上位レベルのパーティションはデフォルトでは選択されませんが、このパーティションはその他のパーティションと同様にプロモートできます。このチュートリアルでは、最上位レベルのパーティションをこの後アップデートするので、ここでプロモートする必要はありません。

6. [OK] をクリックし、2 つの **usbEngine** パーティションをプロモートします。オプションで、プロモートされたデータに関する詳細を入力することもできます。[Automatically manage Partition action and import location] がオンになっていることも確認してください。これをオンにしておくと、PlanAhead ソフトウェアでパーティション ステートがアップデートされ、次の合成およびインプリメンテーション **run** のディレクトリをインポートできるようになります。オフになっている場合は、ユーザーがこれらの属性を管理する必要があります。

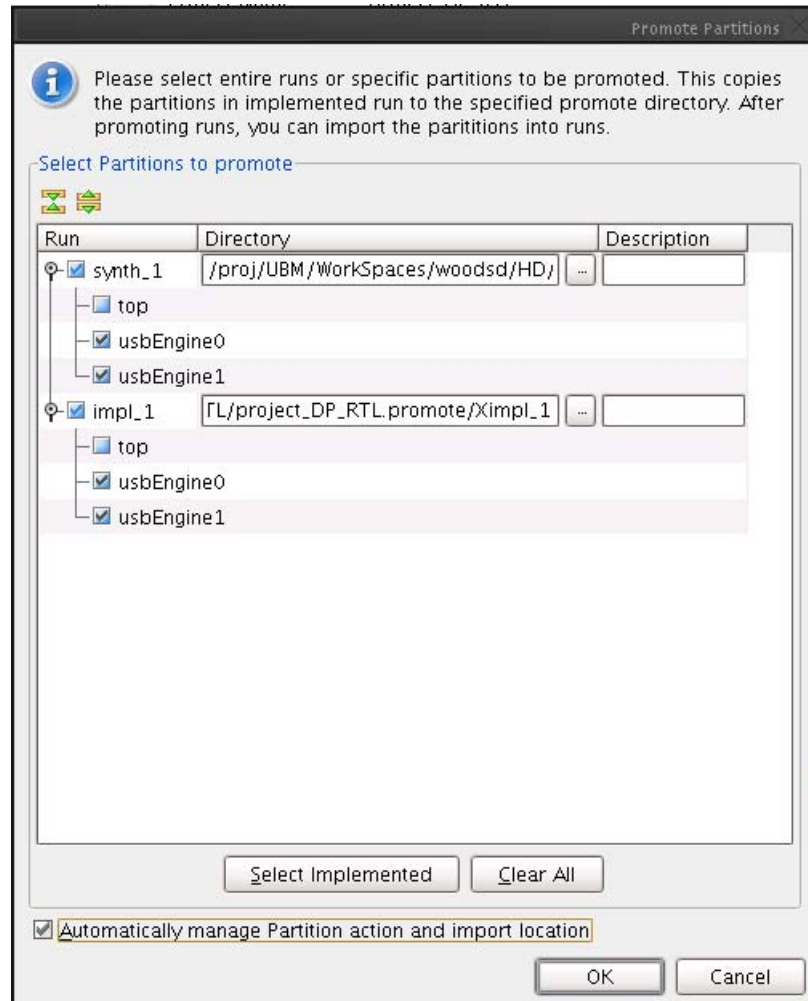


図 1-12 : [Promote Partitions] ダイアログ ボックス

7. パーティションをプロモートすると、次の表示が変更されます (図 1-13)。

- [RTL Design] ビューに [Promoted Partitions] タブが表示される
- [Synthesis Setting] および [Implementation Setting] ダイアログ ボックスの [Specify Partitions] ボックスで usbEngine インスタンスの [Action] が [Import] に変更される

メモ : [Synthesis Setting] または [Implementation Setting] ダイアログ ボックスは、[Synthesize] ボタンまたは [Implement] ボタンの右側のプルダウン メニューをクリックすると表示できます。[Specify Partitions] ダイアログ ボックスは、ここから表示できます。

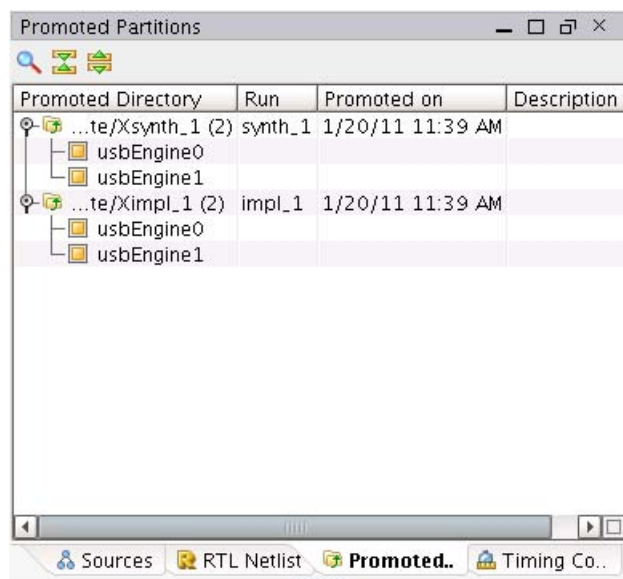


図 1-13 : プロモートされたパーティション

手順 5 : 最上位レベルのパーティションの RTL のアップデート

問題のなかった合成およびインプリメンテーション結果がプロモートされたので、次はデザインに変更を加えます。たとえば、新機能、バグ修正またはパイプライン レジスタといった変更を加えることができます。このチュートリアルでは、**Top** パーティションのモジュールに少し変更を加え、2 つのタイミング クリティカルな **usbEngine** パーティションは保持したまま、その変更されたパーティション (この場合 **Top**) の合成およびインプリメントを実行し直します。

VHDL ファイルまたは 1200_defins.v を変更します。

1. Flow Navigator で [Project Manager] をクリックし、[Project Manager] ビューを開きます。
2. [Sources] ウィンドウでファイルのリストをスクロールして、Verilog ヘッダ ファイルの `or1200_defins.v` を見つけます。
3. `or1200_defins.v` をダブルクリックし、テキスト エディターを開きます (図 1-14)。

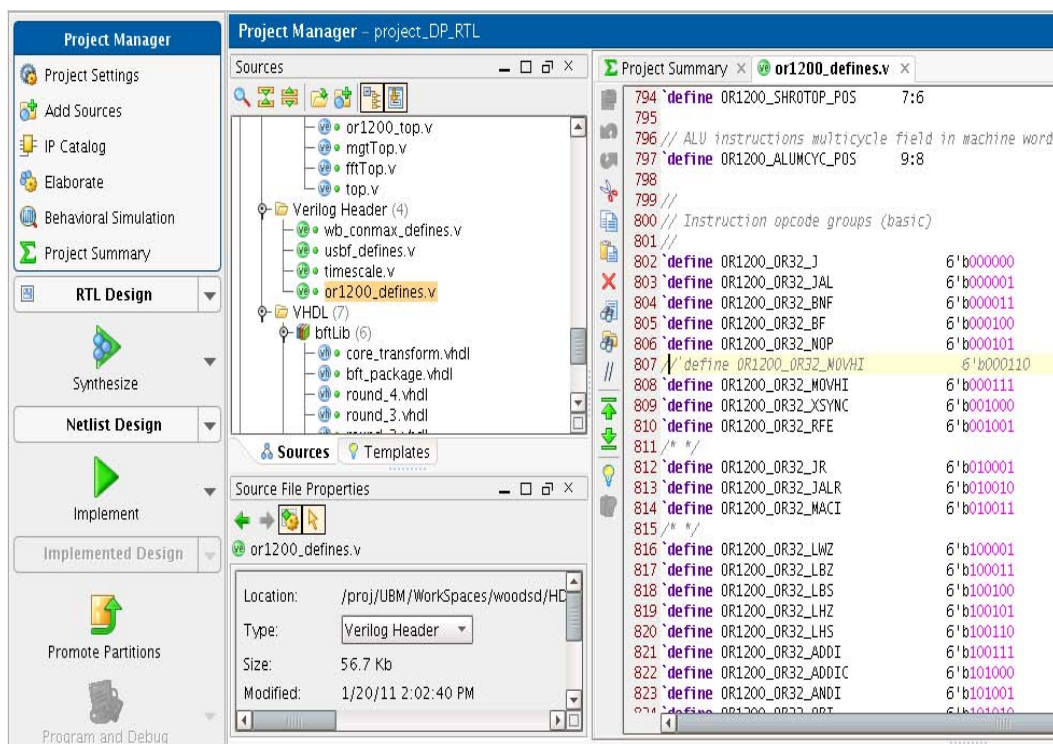


図 1-14 : `or1200_defins.v` のアップデート

4. 807 行目までスクロール ダウンし、スラッシュ 2 つ (//) をこの行の始めに挿入してコメントアウトします。

```
//`define OR1200_OR32_MOVHI 6'b000110
```

5. 次に、808 行目の始めのスラッシュ 2 つ (//) を削除して、この行のコメントを解除します。

```
`define OR1200_OR32_MOVHI 6'b000111
```

6. テキスト エディターで右クリックし、[Save File] をクリックして変更を保存します。

右上端に [Synthesis & Implementation Out-of-date] というステータスが表示されるはずです。これは、ソース ファイルが変更され、合成およびインプリメンテーション結果がデザインの最新バージョンを反映していないことがソフトウェアで認識されていることを示します。

手順 6 : パーティションのインポート中の最上位レベルの再合成および再インプリメント

この段階までで、パーティションを定義し、Pblock を定義し、デザインを合成およびインプリメントし、2 つの **usbEngine** インスタンスをプロモートし、最上位レベルのパーティションに変更を加えました。次は、その修正した最上位レベルのパーティションを、同じ配置配線結果のコピーを維持したままインプリメントし直します。

このチュートリアルでは、<Extract_Dir>/Projects/project_DP_RTL_imported/project_DP_RTL_imported.ppr の合成およびインプリメンテーション結果を含むプロジェクトを使用して、インプリメンテーション ランタイムを削減することができます。

この場合、[File] → [Open Project] をクリックしてインプリメンテーションの終了した結果を開きます。

合成のパーティション属性の確認

1. Flow Navigator の [Synthesize] ボタンのプルダウン メニューから [Synthesis Settings] をクリックします。
2. [Synthesis Settings] ダイアログ ボックスで [Specify Partitions] ボタンをクリックし、[図 1-15](#) のウィンドウを開きます。
3. 最上位レベルのパーティションが [Implement] に、2 つの **usbEngine** パーティションが [Import] に設定されているのを確認します。[OK] をクリックします。

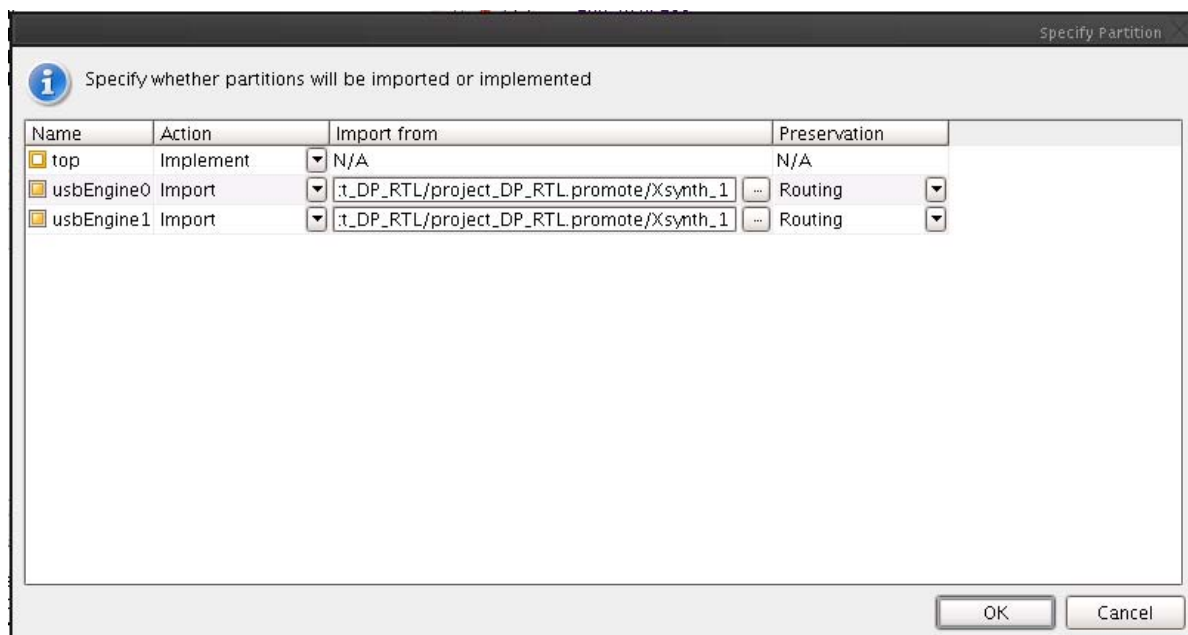


図 1-15 : パーティション属性の確認

4. [Save] をクリックし、[Synthesis Settings] ダイアログ ボックスを閉じます。

インプリメンテーションのパーティション属性の確認

1. 上記の 1 ~ 4 を繰り返し、インプリメンテーション設定を確認します。Flow Navigator の [Implement] ボタンのプルダウン メニューから [Implementation Settings] をクリックします。

合成およびインプリメンテーションの実行

1. Flow Navigator で [Implement] をクリックし、インプリメンテーションを実行します。合成結果が最新ではないので、まず最初に合成を開始するかどうかを尋ねるメッセージが表示されます。[Yes] をクリックして合成とインプリメンテーションを実行します。
2. 2 つの usbEngine パーティションがインポートされ、すべてのタイミング制約が満たされていることを確認します。NGDBuild、MAP、PAR レポートのパーティション ステータスのセクションを確認します (図 1-16)。

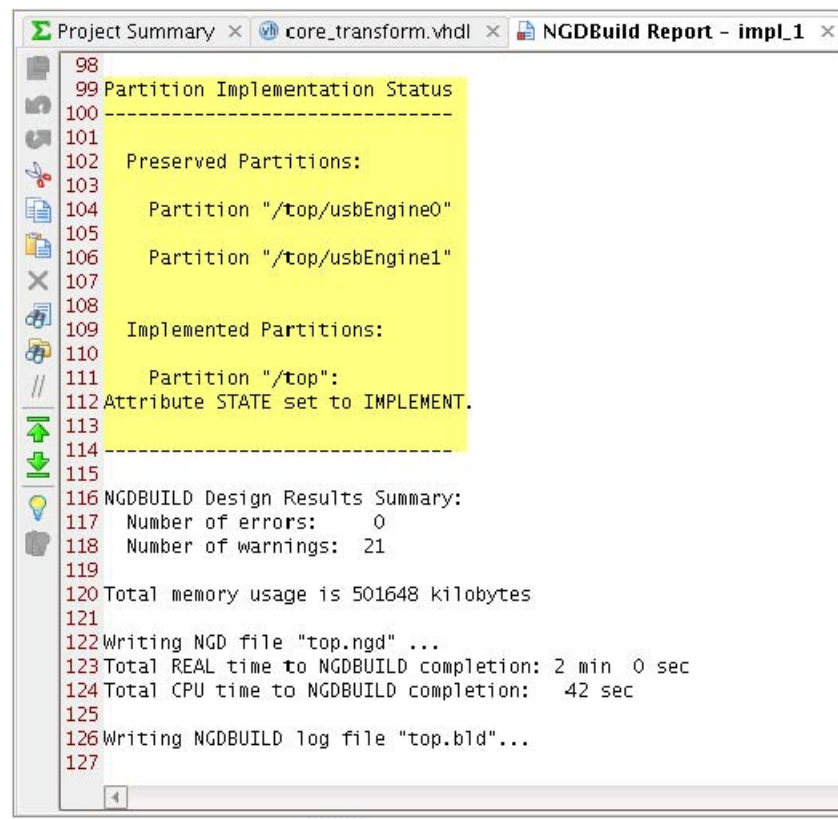


図 1-16 : レポート ファイルのパーティション情報ステータス

まとめ

このチュートリアルでは、パーティションを定義し、Pblock 制約をせく静止、合成とインプリメンテーションを実行しました。次にタイミングが満たされたことを確認し、問題のなかった結果を今後繰り返しインポートして使用できるようにプロモートしました。この後、最上位モジュールをアップデートしたので、合成とインプリメンテーションを実行し直す必要がありましたが、USB コアは変更せずにインポートしたので、同じ配置配線結果が維持されました。この 2 つの大きなタイミングクリティカル コアのタイミング結果は保証されているので、usbEngine インスタンスに変更を加えなければ、今後繰り返し使用することができます。

その他のリソース

ザイリンクス リソース

- 『ISE Design Suite : インストールおよびライセンス ガイド』(UG798) :
http://japan.xilinx.com/support/documentation/sw_manuals/xilinx13_1/iil.pdf
- 『ISE Design Suite 13 : リリース ノート ガイド』(UG631) :
http://japan.xilinx.com/support/documentation/sw_manuals/xilinx13_1/irn.pdf
- ザイリンクス資料 :
<http://japan.xilinx.com/support/documentation.htm>
- ザイリンクス用語集 :
http://japan.xilinx.com/support/documentation/sw_manuals/glossary.pdf
- ザイリンクス サポート :
<http://japan.xilinx.com/support.htm>
- ビデオ デモ :
http://japan.xilinx.com/products/design_resources/design_tool/resources/index.htm

PlanAhead 資料

- 『PlanAhead ユーザー ガイド』(UG632) :
http://japan.xilinx.com/support/documentation/sw_manuals/xilinx13_1/PlanAhead_UserGuide.pdf
- PlanAhead 手法ガイド :
http://japan.xilinx.com/support/documentation/dt_planahead_planahead13-1_userguides.htm
 - 『階層デザイン手法ガイド』(UG748)
http://japan.xilinx.com/support/documentation/sw_manuals/xilinx13_1/Hierarchical_Design_Methodology_Guide.pdf
- PlanAhead チュートリアル :
http://japan.xilinx.com/support/documentation/dt_planahead_planahead13-1_tutorials.htm
 - 『PlanAhead ソフトウェア チュートリアル : デザイン解析およびフロアプラン』(UG676)
http://japan.xilinx.com/support/documentation/sw_manuals/xilinx13_1/PlanAhead_Tutorial_Design_Analysis_Floorplan.pdf

