

# PlanAhead ソフトウェア チュートリアル

## クイック フロー概要

UG673 (v13.1) 2011 年 3 月 1 日



The information disclosed to you hereunder (the “Information”) is provided “AS-IS” with no warranty of any kind, express or implied. Xilinx does not assume any liability arising from your use of the Information. You are responsible for obtaining any rights you may require for your use of this Information. Xilinx reserves the right to make changes, at any time, to the Information without notice and at its sole discretion. Xilinx assumes no obligation to correct any errors contained in the Information or to advise you of any corrections or updates. Xilinx expressly disclaims any liability in connection with technical support or assistance that may be provided to you in connection with the Information. **XILINX MAKES NO OTHER WARRANTIES, WHETHER EXPRESS, IMPLIED, OR STATUTORY, REGARDING THE INFORMATION, INCLUDING ANY WARRANTIES OF MERCHANTABILITY, FITNESS FOR A PARTICULAR PURPOSE, OR NONINFRINGEMENT OF THIRD-PARTY RIGHTS.**

© Copyright 2011 Xilinx, Inc. XILINX, the Xilinx logo, Virtex, Spartan, ISE, and other designated brands included herein are trademarks of Xilinx in the United States and other countries. All other trademarks are the property of their respective owners.

本資料は英語版 (v 13.1) を翻訳したもので、内容に相違が生じる場合には原文を優先します。

資料によっては英語版の更新に対応していないものがあります。

日本語版は参考用としてご使用の上、最新情報につきましては、必ず最新英語版をご参照ください。

## 改訂履歴

次の表に、この文書の改訂履歴を示します。

日付	バージョン	改訂内容
2011 年 3 月 1 日	13.1	ISE 13.1 リリース用に改訂

# 目次

---

改訂履歴.....	2
<b>PlanAhead ソフトウェア チュートリアル :クイック フロー概要</b>	
概要 .....	5
チュートリアルの目標.....	5
入門 .....	5
チュートリアルの手順.....	6
手順 1 : 新規プロジェクトの作成 .....	7
手順 2 : [Sources] ビューと RTL Editor の使用 .....	14
手順 3 : デザインのシミュレーション .....	16
手順 4 : デザインの合成 .....	19
手順 5 : デザインのインプリメンテーション .....	24
手順 6 : 結果の解析 .....	25
手順 7 : ビットストリーム ファイルの作成 .....	30
まとめ .....	30
<b>付録 A: その他のリソース</b>	
ザイリンクス リソース .....	33
PlanAhead 資料.....	33
ISE 資料.....	34



# PlanAhead ソフトウェア チュートリアル： クイック フロー概要

---

## 概要

このチュートリアルでは、Xilinx® PlanAhead™ ソフトウェアの機能や利点を簡単に紹介します。PlanAhead ソフトウェアは、さまざまなデザイン プロセスに使用できます。

## チュートリアルの目標

このチュートリアルでは、RTL を読み込んでからビットストリーム ファイルを作成するまでを簡単に説明します。それぞれの機能を詳細に説明するチュートリアルの名前とリンクも示します。

PlanAhead の解析機能の詳細は、ほかのチュートリアルで紹介しています。すべてのコマンドやコマンド オプションの説明が含まれているわけではありませんので、ご了承ください。このチュートリアルでは、ISE® Design Suite に含まれる PlanAhead ソフトウェアの機能を使用して説明します。

## 入門

### ソフトウェア要件

PlanAhead ソフトウェアは、ISE Design Suite ソフトウェアをインストールするとインストールされます。チュートリアルを始める前に、PlanAhead が起動できるか、チュートリアル デザイン データがインストールされているかを確認してください。

インストール方法およびその詳細は、付録 A「その他のリソース」に示される『ISE Design Suite : インストールおよびライセンス ガイド』(UG798) を参照してください。

### ハードウェア要件

大規模デバイスで PlanAhead ソフトウェアを使用するには、2GB 以上の RAM が推奨されます。このチュートリアルでは、小型の XC6VLX75T デザインを使用し、1 度に開くことができるデザイン数を制限していますので、1GB で十分ですが、パフォーマンスに影響のすることもあります。

### チュートリアル デザインの説明

このチュートリアルでは、bft という小型デザインを含む小型のサンプル デザインを使用します。bft デザインには、VHDL および Verilog ファイルが複数含まれます。

このデザインは、XC6VLX75T デバイスをターゲットにしています。ハードウェア リソースやチュートリアルにかかる時間、データ サイズを節約するために、小型のデザインを使用しています。

## チュートリアル デザイン ファイルのディレクトリ

このチュートリアルでは、PlanAhead ソフトウェアのプロジェクト例に含まれるデザイン データを使用します。このデータは、次から入手できます。

1. 次のいずれかから、PlanAhead\_Tutorial.zip ファイルをダウンロードします。
  - PlanAhead ソフトウェア インストールのプロジェクト例のディレクトリ：  
<ISE\_install\_area>/PlanAhead/testcases/
  - ザイリンクスのウェブサイト：  
[http://japan.xilinx.com/support/documentation/dt\\_planahead\\_planahead13-1\\_tutorials.htm](http://japan.xilinx.com/support/documentation/dt_planahead_planahead13-1_tutorials.htm)
2. 書き込み権のあるディレクトリに ZIP ファイルを抽出します。

解凍された PlanAhead\_Tutorial データ ディレクトリは、このチュートリアルでは <Extract\_Dir> と記述します。

チュートリアルのサンプル データは、チュートリアルを実行中に変更されます。各チュートリアルを実行する前に、まず元の PlanAhead\_Tutorial データのコピーを取っておいてください。

## チュートリアルの手順

このチュートリアルは、次の手順で構成されています。

- 「手順 1 : 新規プロジェクトの作成」
- 「手順 2 : [Sources] ビューと RTL Editor の使用」
- 「手順 3 : デザインのシミュレーション」
- 「手順 4 : デザインの合成」
- 「手順 5 : デザインのインプリメンテーション」
- 「手順 6 : 結果の解析」
- 「手順 7 : ビットストリーム ファイルの作成」

## 手順 1：新規プロジェクトの作成

PlanAhead では、使用されるデザイン フローの段階によってさまざまなタイプのプロジェクトを作成できます。RTL (レジスタ転送レベル) ソースは、開発、解析、合成、インプリメンテーション、BIT ファイル生成などのプロジェクトを作成するために使用できます。

### ソフトウェアの起動

- Windows の場合、Xilinx PlanAhead 13 のデスクトップ アイコンをダブルクリックするか、[スタート] → [プログラム] → [Xilinx ISE Design Suite 13.1] → [PlanAhead] → [PlanAhead] をクリックします。
- Linux の場合は、<Extract\_Dir>/PlanAhead\_Tutorial/Tutorial\_Created\_Data ディレクトリに移動し、planAhead と入力します。

PlanAhead の Getting Started ページが開きます。

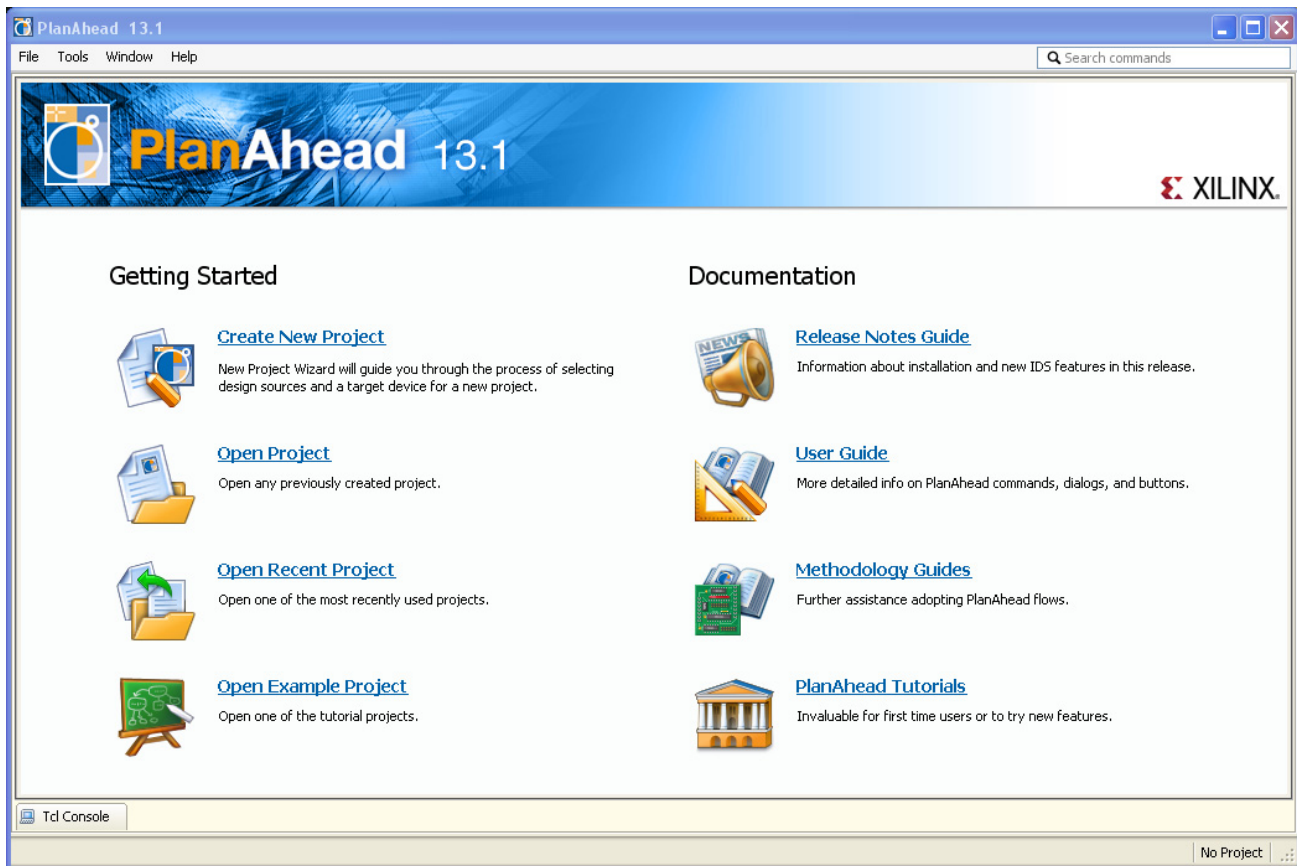


図 1：PlanAhead の Getting Started ページ

PlanAhead の Getting Started ページには、プロジェクトを開いたり、作成したり、ドキュメントを確認するリンクが含まれます。

<Extract\_Dir>\PlanAhead\_Tutorial\Sources\hdl ディレクトリの RTL ソース ファイルを使用して project\_1 という RTL プロジェクトを新規に作成

1. [Getting Started] ページの Create New Project というリンクをクリックします。  
[Create a New PlanAhead Project] ページが開きます。

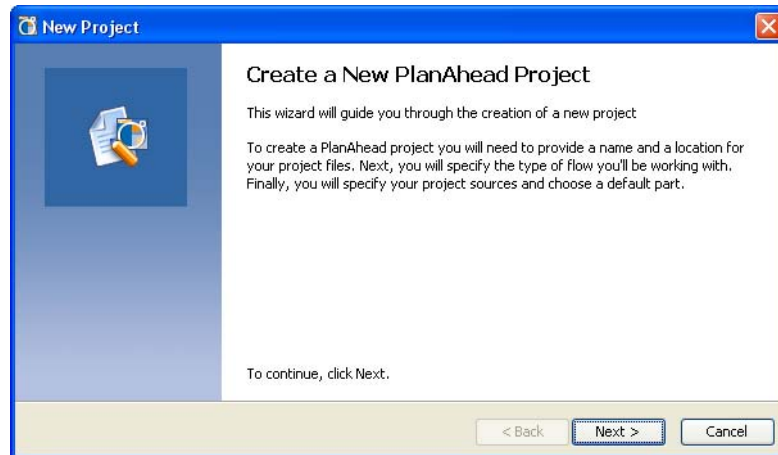


図 2：新規プロジェクト作成の概要ページ

2. [Next] をクリックします。  
[Project Name] ページが表示されます。

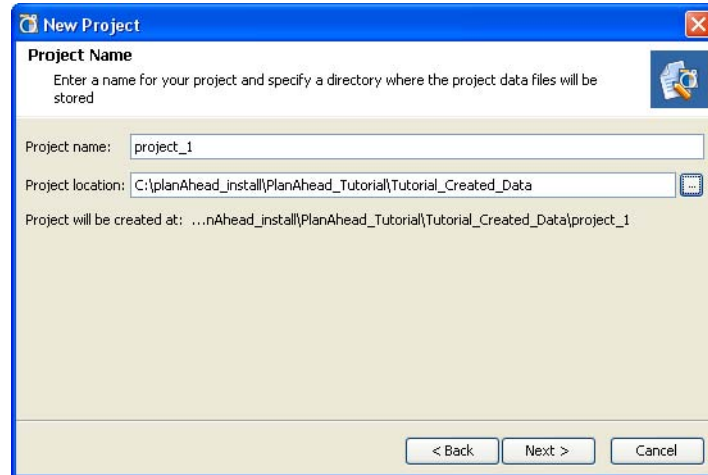


図 3：[New Project] ダイアログ ボックスの [Project Name] ページ

3. 参照ボタンで次のフォルダを指定します。  
<Extract\_Dir>\PlanAhead\_Tutorial\Tutorial\_Created\_Data
4. プロジェクト名はデフォルトの project\_1 のままにしておき、[Next] をクリックします。

[Design Source] ページが表示されます。

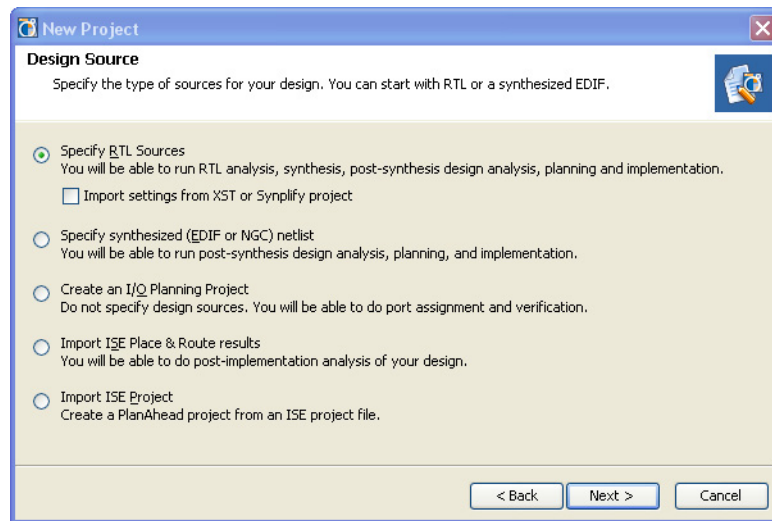


図 4：インポートする RTL ソースの選択

5. [Specify RTL Sources] をオンにし、[Next] をクリックします。

[Add/Create Sources] ページが表示されます (図 5)。

## ディレクトリ、ファイル、VHDL ライブラリおよびソース タイプの追加

1. [Add Files] ボタンをクリックし、次のディレクトリを選択します。  
<Install\_Dir>/PlanAhead\_Tutorial/Sources/hdl
2. Ctrl キーを押しながら、async\_fifo.v、bft.vhdl、bft\_tb.v、FifoBuffer.v を選択し、[OK] をクリックします。
3. [Add Directories] ボタンをクリックし、次のディレクトリを選択します。  
<Extract\_Dir>/PlanAhead\_Tutorial/Sources/hdl/bftLib
4. bftLib の [Library] の列の work をクリックし、bftLib と入力します。
5. bft\_tb.v ファイルの [HDL Source for] 列で [Simulation only] を選択します。
6. 必要であれば、[Scan and Add RTL Include Files into Project]、[Copy Sources into Project]、[Add Sources from Subdirectories] の 3 つのチェック ボックスをオンにします。

7. ページが図 5 のようになっているかどうか確認します。

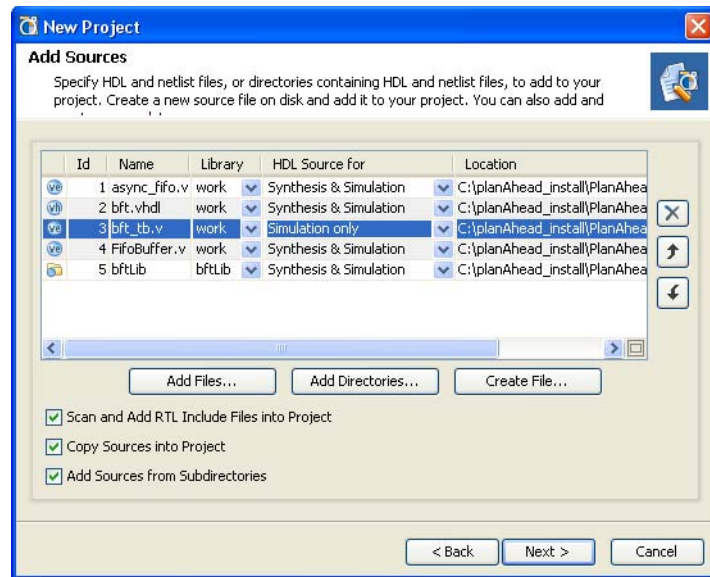


図 5 : プロジェクトに追加するソースの選択

8. [Next] をクリックします。

[Add Existing IP] ページが表示されます。CORE Generator™ ソフトウェアのプロジェクトファイル (.xco) から既存の IP (Intellectual Property) を選択できます。ただし、このチュートリアルでは IP をプロジェクトにインポートする手順については示しません。

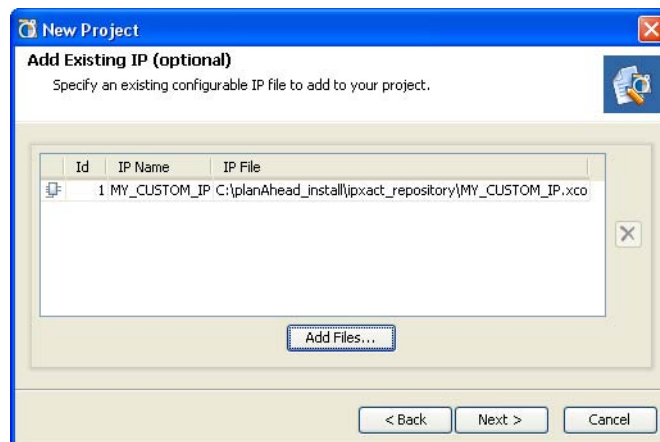


図 6 : カスタム ファイルをソースとして追加

9. [Next] をクリックします。

[Constraints Files] ページが表示されます。

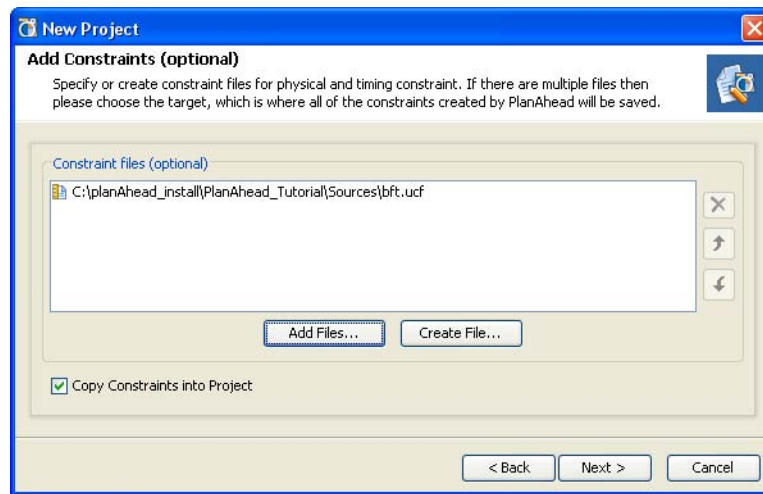


図 7：制約ファイルの追加

## 制約ファイルの追加

1. [Add Files] ボタンをクリックし、<Extract\_Dir>/PlanAhead\_Tutorial/Sources/bft.ucf ファイルを選択し、[OK] をクリックします。
2. [Next] をクリックします。

[Default Part] ページが表示されます

## デフォルト デバイスの選択

1. [Filter] フィールドの [Family] プルダウン メニューから [Virtex6] を選択します。  
リストには Virtex®-6 デバイスのみが表示されるようになります。
2. [Sub-Family] プルダウン メニューから [Virtex6 LXT] を選択します。  
リストには Virtex-6 LXT デバイスのみが表示されるようになります。

3. [Search] フィールドに **75t** と入力します。75t デバイスのみが表示されます。

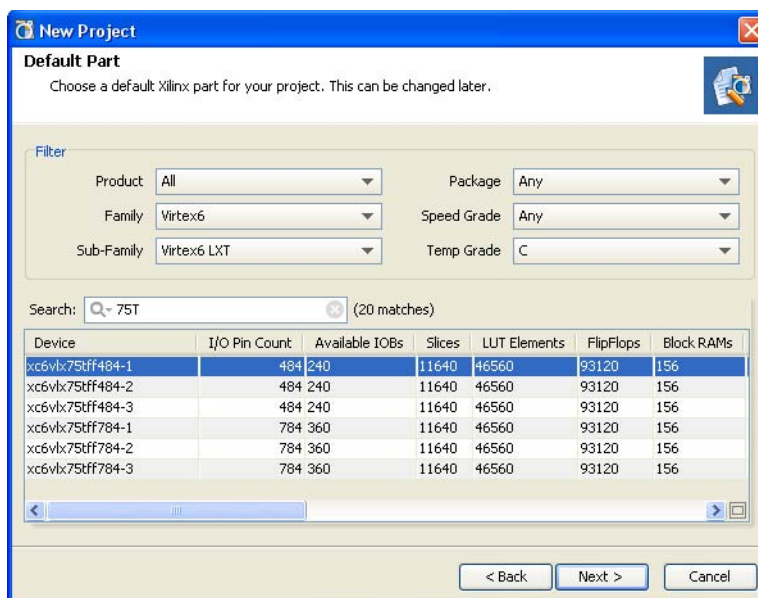


図 8：ファミリーおよびデフォルト パーツの選択

4. xc6vlx75tff484-1 デバイスを選択し、[Next] をクリックします。
5. サマリを確認したら、[Finish] をクリックします。

PlanAhead 環境が開きます。

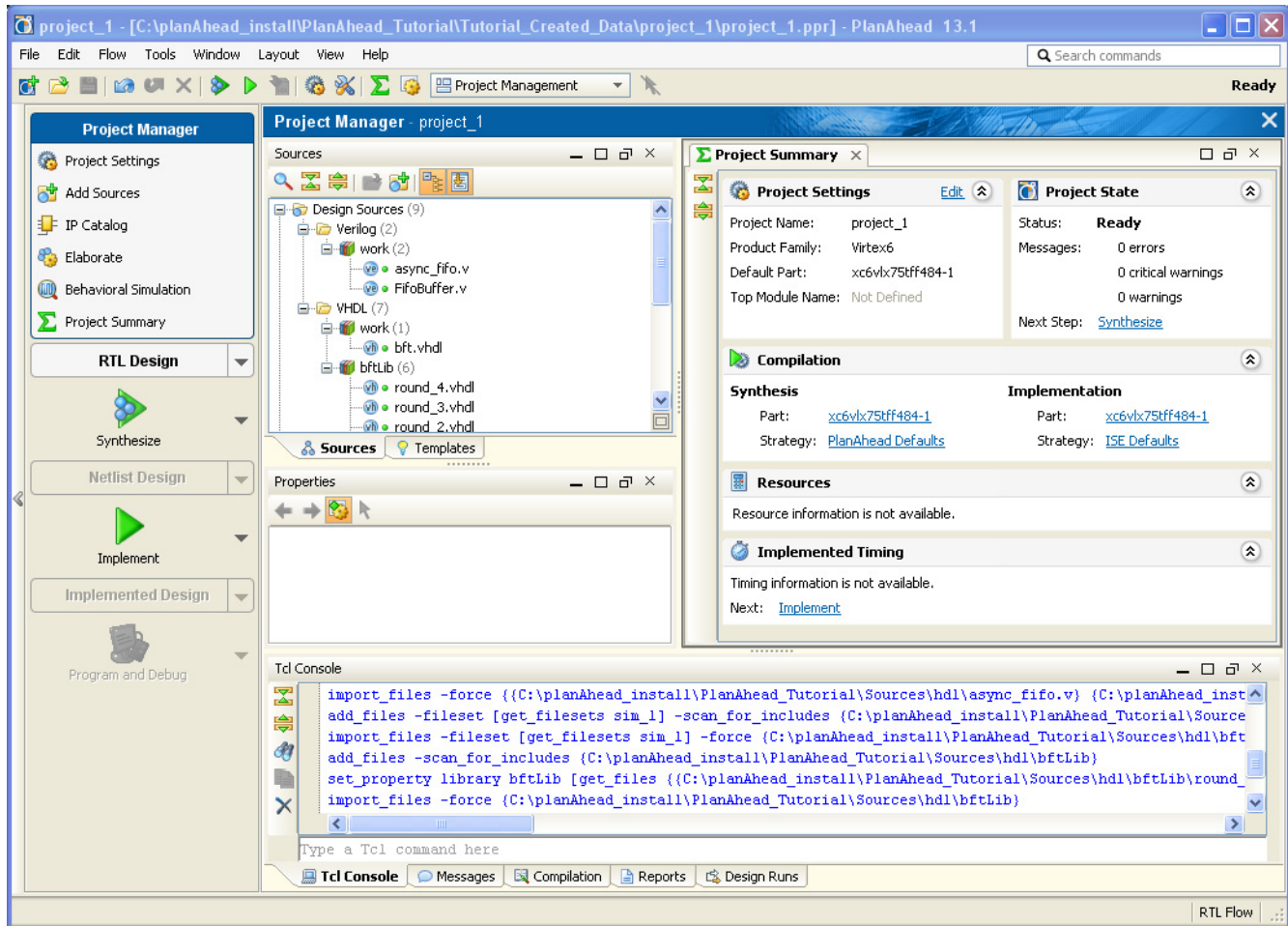


図 9：PlanAhead 環境

## 手順 2 : [Sources] ビューと RTL Editor の使用

PlanAhead ソフトウェアには、Verilog、VHDL、NGC 形式のコア、UCF/NCF 制約ファイル、特定のシミュレーション ソースなどさまざまなファイル形式のデザイン ソースを追加できます。これらのファイルは、[Sources] ビューに分類されて表示されます。RTL ソースの作成または開発には、含まれているテキスト エディターを使用します。サードパーティのテキスト エディタを使用するように設定することもできます。

### [Sources] ビューとプロジェクト サマリの確認

1. [Project Summary] の情報を確認します。デザインの進捗状況に応じて、表示される情報は増えていきます。
2. [Sources] ビューを確認します。必要であれば、ビューをスクロールまたはサイズ変更します。

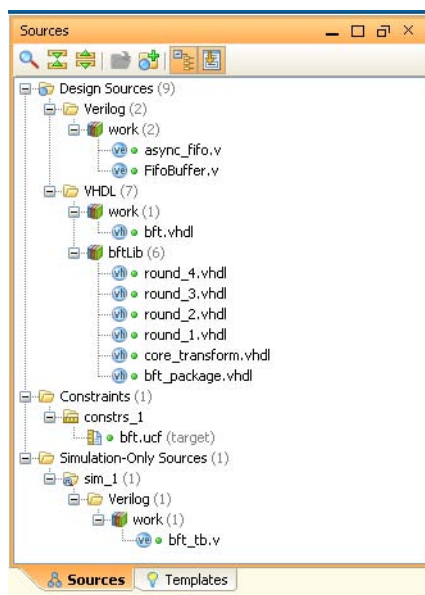


図 10 : ソースの表示

ソースはファイルの種類別に表示されます。[Library] フォルダからは、VHDL ソース ファイルの情報が確認できます。

### [Sources] ビュー コマンドと RTL Editor の確認

1. [Sources] ビューで VHDL ソースの 1 つを選択します。
2. 右クリックし、[Sources] ビューのポップアップ メニューでどういうコマンドが表示されるか確認してみてください。
3. [Open File] をクリックし、テキスト エディターでファイルをスクロールしてみます。

**メモ :** [Sources] ビューでソース ファイルをダブルクリックしても、テキスト エディターでそれらを表示することができます。

- RTL Editor で右クリックし、[Find in Files] をクリックします。さまざまな検索オプションを含む [Find in Files] ダイアログ ボックスが表示されます。

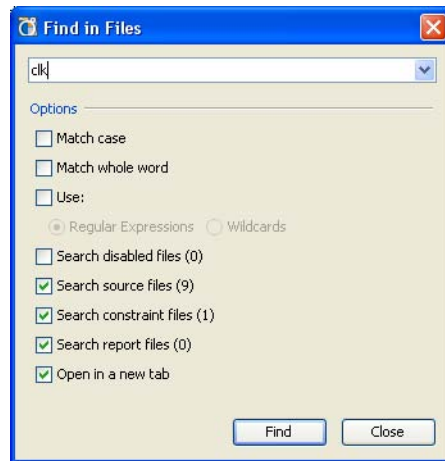


図 11 : ファイル内の検索

- clk と入力し、[Find] をクリックします。

[Find in Files] ビューが PlanAhead 環境の下部にあるメッセージ エリアに表示されます。

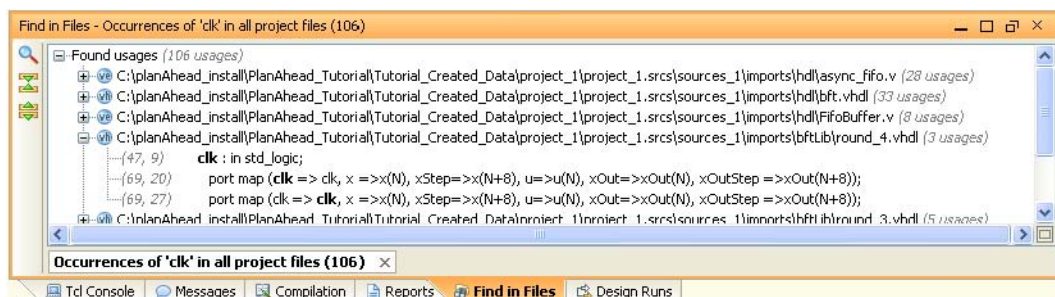


図 12 : 検出結果の表示

- [Find in Files] ビューでディレクトリを展開し、clk を含む文の 1 つを選択すると、そのファイルが RTL Editor で表示されます。
- [Find in Files – Occurrences] ビューを閉じます。
- RTL Editor で開いた RTL ファイルのタブもそれぞれ閉じます。

PlanAhead には、RTL 解析および IP カスタマイズ環境も含まれます。この環境については、[付録 A「その他のリソース」](#)に示される『PlanAhead ソフトウェア チュートリアル : RTL デザインおよび IP 生成』(UG675) を参照してください。Flow Navigator の [RTL Design] ボタンをクリックすると、この機能を簡単に確認できます。RTL デザインでは、RTL ネットリスト、回路図、グラフィカル階層、概算リソースの統計などを含むさまざまな解析ビューを確認できます。ビュー同士が連動しているので、素早く RTL をデバッグおよび最適化できます。

ザイリンクスの IP カタログからは、ザイリンクスの CORE Generator ソフトウェアへアクセスし、IP を生成できます。カタログはさまざまな方法で分類および検索できます。IP はカスタマイズ、生成、インスタンス化できます。RTL でのパフォーマンスや電力を改善するための RTL DRC (デザイン ルール チェック) も複数含まれています。

## 手順 3 : デザインのシミュレーション

PlanAhead ソフトウェアは、ザイリンクスの ISim 論理シミュレーション環境と連動します。PlanAhead では、合成ソースをプロジェクトに追加および管理できます。ユーザーは、シミュレーション オプションを設定し、さまざまなシミュレーション ソース セットを作成/管理できるほか、RTL ソースを使用して合成前にビヘイビア シミュレーション、インプリメンテーション後にタイミング シミュレーションが実行できます。

[Behavioral Simulation] コマンドを実行すると、1 つの ISim の run が設定および実行できます。このコマンドは、PlanAhead 環境の左側の Flow Navigator から起動できます。

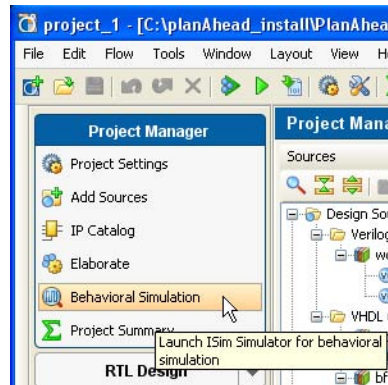


図 13 : ビヘイビア シミュレーションの起動

[Behavioral Simulation] コマンドは、[RTL Design] から実行できます。

## シミュレーション オプションの確認とビヘイビア シミュレーションの実行

1. Flow Navigator で [Behavioral Simulation] をクリックします。

[Launch Behavioral Simulation] ダイアログ ボックスが表示されます。



図 14 : [Launch Behavioral Simulation] ダイアログ ボックス

2. [Simulation Top Module Name] の参照ボタンをクリックして [bft\_tb] を選択し、[OK] をクリックします。
3. [Options] ボタンをクリックします。

[Simulation Options] ダイアログ ボックスが開きます。

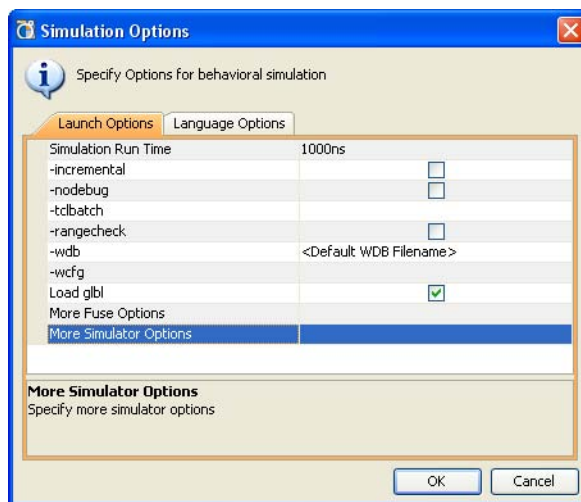


図 15 : [Simulation Options] ダイアログ ボックス

シミュレーション起動オプションが表示されます。

4. [Language Options] タブをクリックし、起動オプションを確認します。[OK] をクリックします。
5. [Launch] をクリックし、ISim シミュレーション環境を起動します。

ISim シミュレーション環境が表示されます。

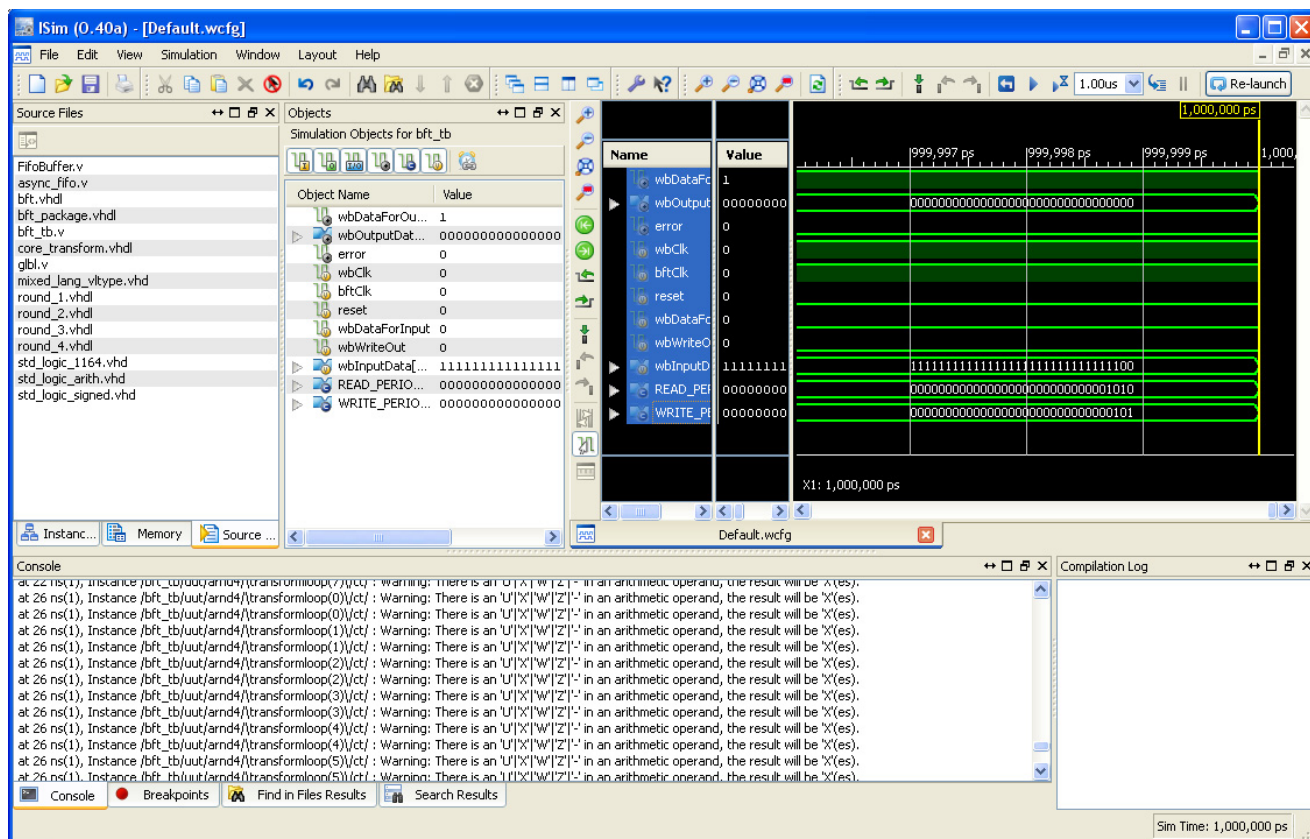


図 16 : ISim シミュレーション環境

ISim 環境でソース ファイルを変更すると、PlanAhead のソース ファイルもアップデートされます。この 2 つのツールは、同じソースを参照しています。

6. ISim で [File] → [Exit] をクリックし、ISim を閉じます。

ISim を使用したシミュレーションの詳細は、[付録 A「その他のリソース」](#)に示される『ISE Simulator (ISim) In-Depth Tutorial』(UG682)を参照してください。

## 手順 4：デザインの合成

PlanAhead では、1 つまたは複数の合成を順番どおりに、または同時にコンフィギュレーション、起動、監視できます。

[Synthesize] コマンドを実行すると、1 つの **run** を設定して起動できます。このコマンドは、PlanAhead 環境の左側の Flow Navigator に表示されています。

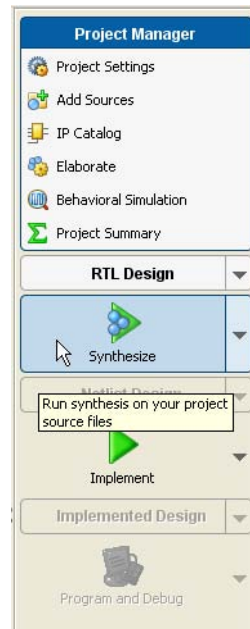


図 17：Flow Navigator

Flow Navigator からは、合成、インプリメンテーション、およびビットストリームの生成などの主なデザイン コンパイル プロセスすべてが起動できます。

また、コンパイル済みRTL デザイン、合成済みネットリスト デザイン、またはインプリメント済みデザイン結果を開くこともできます。オプションですが、デザイン プロセスの各段階でデザイン解析および制約指定を可能にすることもできます。

### 合成オプションの確認、合成の起動、run の監視

1. Flow Navigator で、[Synthesize] ボタンの横にあるドロップダウン メニューから [Synthesis Settings] を選択します。

[Synthesis Settings] ダイアログ ボックスが開きます。

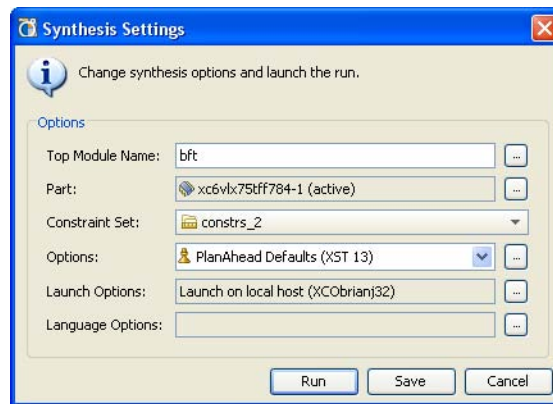


図 18 : [Synthesis Settings] ダイアログ ボックス

2. 必要であれば、[Top Module Name] フィールドをクリックして **bft** と入力します。
3. [Part] および [Constraint Set] はデフォルトのままにします。
4. [Options] の [...] ボタンをクリックし、次のダイアログ ボックスを表示します。

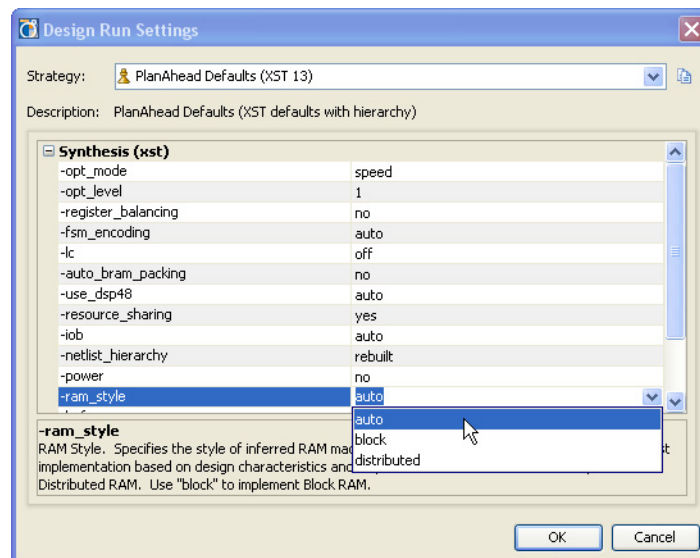


図 19 : [Design Run Settings] ダイアログ ボックス

5. 使用可能なオプションを確認します。
6. [Strategy] ドロップダウン メニューから使用可能な合成ストラテジを確認し、[Cancel] をクリックします。

7. [Launch Options] の [...] ボタンをクリックし、次のダイアログ ボックスを表示します。



図 20：合成起動オプションの選択

8. オプションを確認し、[Launch Runs on Local Host] をオンにして [OK] をクリックします。
9. [Synthesis Settings] ダイアログ ボックスで [Run] をクリックし、run を開始します。

右上のステータスバーに、Synthesizing (XST) と表示されます。これは合成が実行中であることを示します。[Cancel] ボタンをクリックすると、合成 run が停止され、run データは削除されます。

[Compilation] ビューには ISE コマンドからの出力メッセージが、[Messages] ビューにはフィルタされた警告およびエラー メッセージが表示されます。[Messages] ビューの合成メッセージをクリックすると、RTL ファイルが開き、該当する RTL コードの行が表示されます。

## ネットリスト デザインを開く

1. 合成が終了したら、[Synthesis Completed] ダイアログ ボックスで [Open Netlist Design] をクリックします。
2. メッセージが表示されたら、[Yes] をクリックし、RTL デザインを開じます。

PlanAhead Design Planner ビュー レイアウト環境に合成済みネットリスト、ターゲット パーツ、適用された制約セットが表示されます。

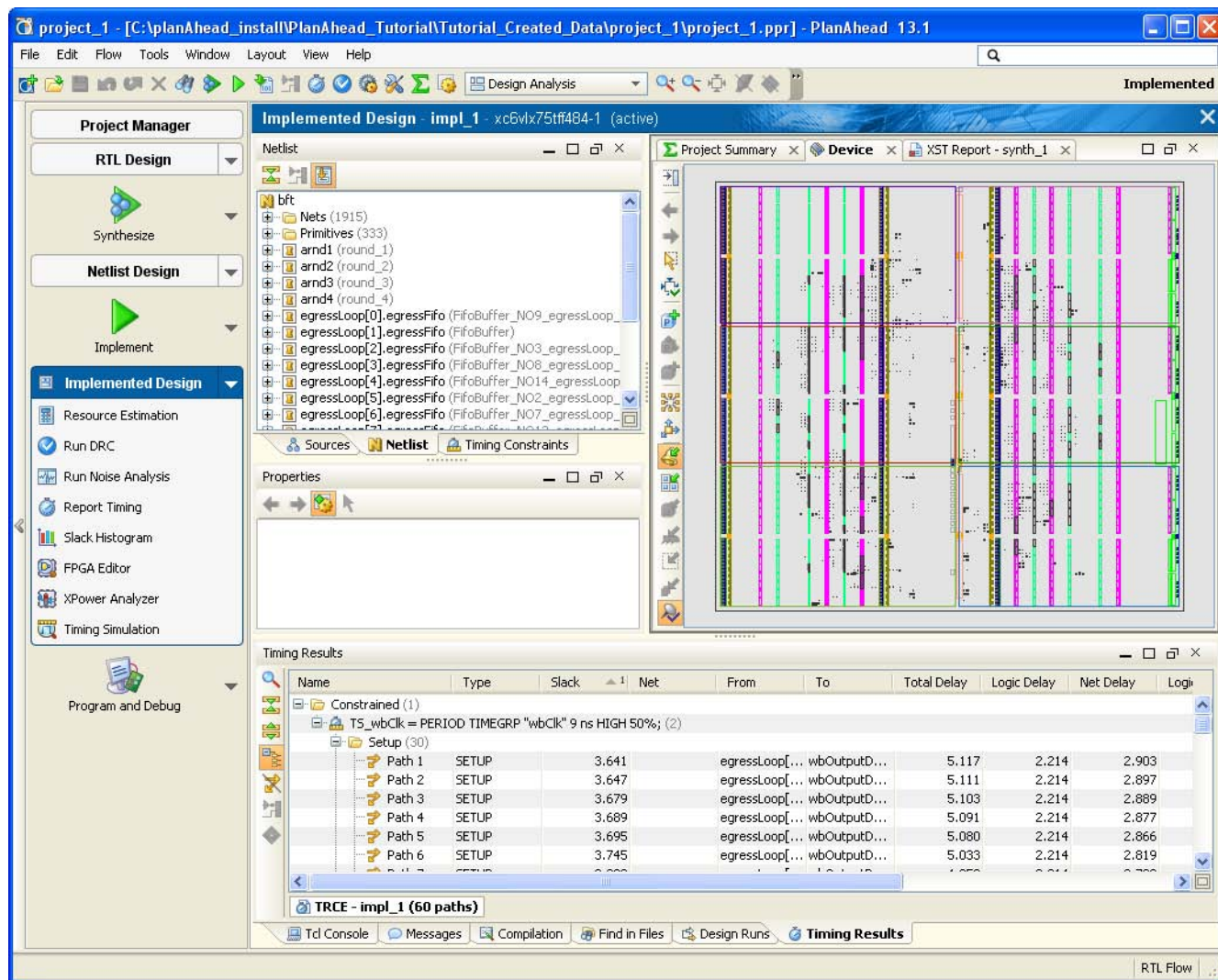


図 21 : ネットリスト デザインを開く

**メモ :** Flow Navigator の [Netlist Design] ボタンをクリックしてもこの環境が表示されます。プルダウン メニューには、さまざまな run 結果、制約、またはターゲット デバイスでデザインを開くオプションがあります。

PlanAhead には優れたデザイン解析およびフロアプラン環境が含まれます。PlanAhead の解析およびフロアプラン環境を使用すると、さまざまなデバイス、タイミング制約または配置制約などを試すことができます。これらの機能については、別の PlanAhead チュートリアルで説明します。

### 3. さまざまなビューや情報を確認します。

PlanAhead には、異なるデザイン タスクを実行しやすくするために、複数のビュー レイアウトがあります。たとえば、I/O Planning レイアウトでは I/O ピンの調査および制約の割り当てができ、Design Analysis レイアウトではデザインのロジックの解析および制約の適用ができます。カスタマイズされたレイアウトを作成して表示させることもできます。

4. PlanAhead 環境の一番上のツールバーにあるプルダウン メニューから [I/O Planning] を選択します。

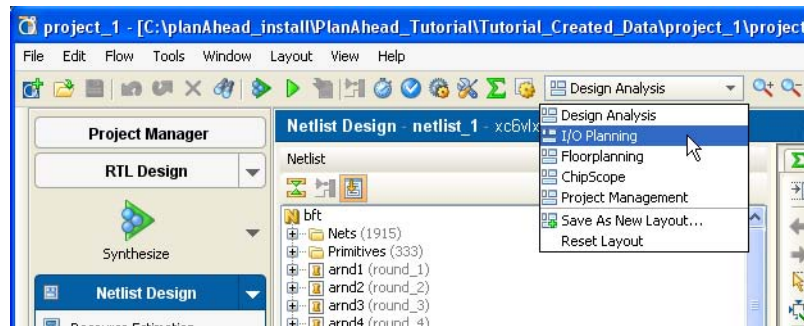


図 22：I/O Planning ビュー レイアウトを開く

さまざまなビューや情報を確認します。

**メモ：**PlanAhead には、I/O ピン配置環境が含まれます。この環境については、[付録 A「その他のリソース」](#)に示される『PlanAhead ソフトウェア チュートリアル：I/O ピン配置』(UG674)を参照してください。I/O ピン配置は、RTL デザインでは合成前、ネットリスト デザインでは合成後に実行できます。合成後には、関連する DRC を使用して最適な I/O およびクロックを配置することができます。

5. ツールバーの同じプルダウン メニューから [Design Analysis] を選択します。

## XST レポート ログ ファイルの表示

1. PlanAhead 環境の一番下の [Reports] ビュー タブをクリックします。

**メモ：**ビュー タブが表示されていない場合は、[Window] → [Reports] をクリックします。

2. [XST Report] をダブルクリックして XST レポートをワークスペースに表示します。
3. スクロール ダウンして XST レポートを確認します。
4. ビュー タブの X マークをクリックして、XST レポートを閉じます。

PlanAhead には、ChipScope™ デバッグ コアの挿入環境も含まれます。この環境については、[付録 A「その他のリソース」](#)に示される『PlanAhead ソフトウェア チュートリアル：ChipScope を使用したデバッグ』(UG677)を参照してください。PlanAhead では、デバッグするロジック信号を表示および選択できます。デバッグ コアはコンフィギュレーションおよびインプリメンテーションし、自動的に最上位レベルのデザイン ネットリストに追加でき、デザイン ネットリストを変更しても維持されます。

解析および制約の定義が終了したら、[Netlist Design] を閉じます。これにより、システム メモリが保持され、複数の編集環境が同時に開かれることのないようになります。X ボタンをクリックするか、Flow Navigator の [Netlist Design] ボタンのプルダウン メニューから [Netlist Design] を閉じることができますが、ここでは、開いたままにしておきます。

## 手順 5 : デザインのインプリメンテーション

PlanAhead のインプリメンテーション オプションには柔軟性があり、複数のインプリメンテーション ストラテジを複数の run に指定して、最適な結果を検出することができます。

### インプリメンテーション オプションの確認、インプリメンテーションの起動、run の監視

1. Flow Navigator で、[Implement] ボタンの横にあるドロップダウン メニューから [Implementation Settings] を選択します。  
[Implementation Settings] ダイアログ ボックスが開きます。

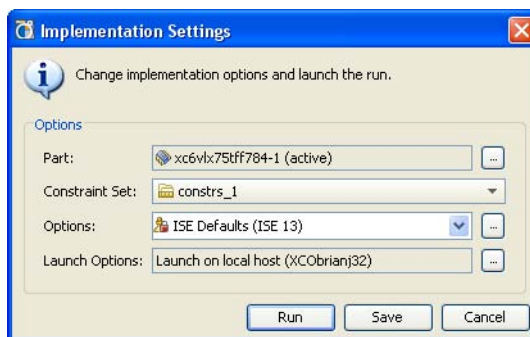


図 23 : [Implementation Settings] ダイアログ ボックス

2. [Part] および [Constraint Set] はデフォルトのままにします。
3. [Options] の [...] ボタンをクリックし、次のダイアログ ボックスを表示します。

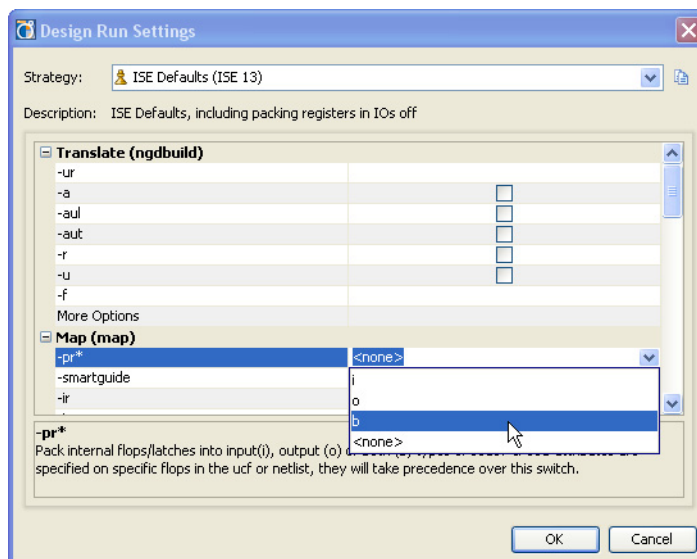


図 24 : [Options] ダイアログ ボックス

4. 使用可能なオプションを確認します。[Strategy] ドロップダウン メニューから使用可能なインプリメンテーション ストラテジを確認し、[Cancel] をクリックします。
5. [Implementation Settings] ダイアログ ボックスで [Run] をクリックし、run を開始します。

右上のステータスバーに、Implementing (NGDBuild) と表示されます。これは ISE のインプリメンテーションが実行中であることを示します。

[Compilation] ビューには ISE コマンドからの出力が、[Messages] ビューにはフィルタされた警告およびエラー メッセージが表示されます。

6. 終了したら、[Implemented Design] ダイアログ ボックスで [Open Implemented Design] を選択し、[OK] をクリックします。
7. インプリメンテーション済みデザインが開く前に、[Yes] をクリックし、[Netlist Design] を閉じます。

## 手順 6：結果の解析

PlanAhead では、配置およびタイミング結果を素早くインポートして、終了した実行を解析できます。インポートされた配置は「未固定」の LOC 制約として表示されます。[Timing Results] ビューに TRACE のタイミング結果が表示されます。

**メモ** : デザイン解析およびフロアプランについては、付録 A「その他のリソース」に示される『PlanAhead ソフトウェア チュートリアル：デザイン解析およびフロアプラン』(UG676) を参照してください。

## インプリメンテーション済みデザインを開き、結果を簡単に確認

PlanAhead 環境にインプリメンテーションされたデザインを読み込まれます (図 25)。

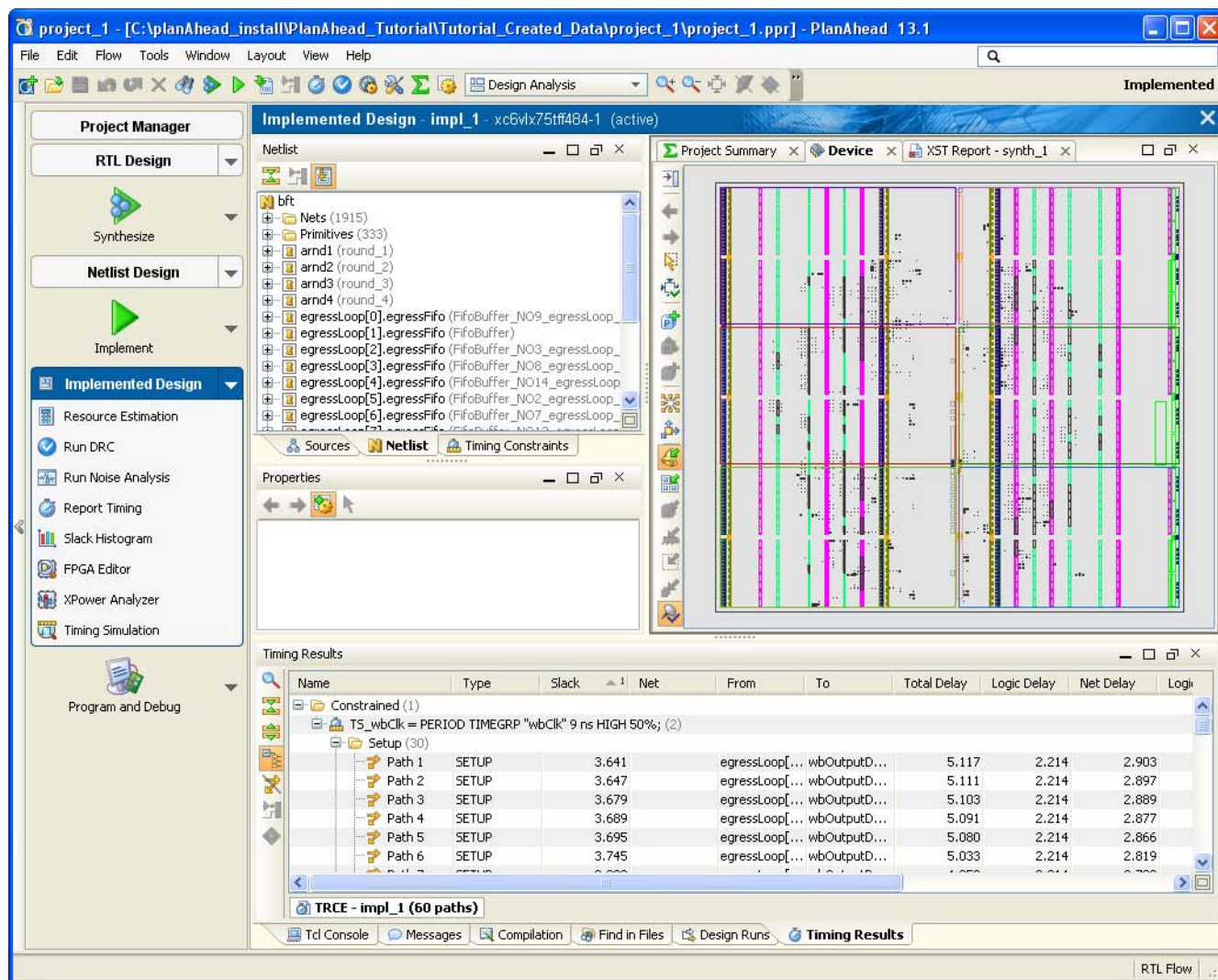




図 25 : インプリメンテーション結果を開く

Flow Navigator の [Implemented Design] ボタンをクリックしてもインプリメント済みのデザイン環境が表示されます。プルダウン メニューには、さまざまな run 結果のインプリメント済みデザインを開くオプションがあります。

配置が [Device] ビューに、TRACE タイミング結果が [Timing Results] ビューに表示されます。結果は、上の図と異なることもあります。

1. [Reports] タブをクリックし、[MAP Report] をダブルクリックしてマップ レポートをワークスペースに表示します。  
メモ : ビュー タブが表示されていない場合は、[Window] → [Reports] をクリックします。
2. スクロール ダウンしてマップ レポートを確認します。
3. [Workspace] タブの X マークをクリックして、マップ レポートを閉じます。

4. [Device] ビューで [Hide/Show I/O Nets] ボタン  をクリックし、I/O 接続を表示します。
5. [Device] ビューで [Hide/Show I/O Nets] ボタン  をクリックし、I/O 接続を非表示にします。
6. [Timing Result] ビューで一番上のタイミング パスをクリックします。

このパスは [Device] ビューでハイライトされます。別のビューには、そのパスのロジック オブジェクトが選択されます。

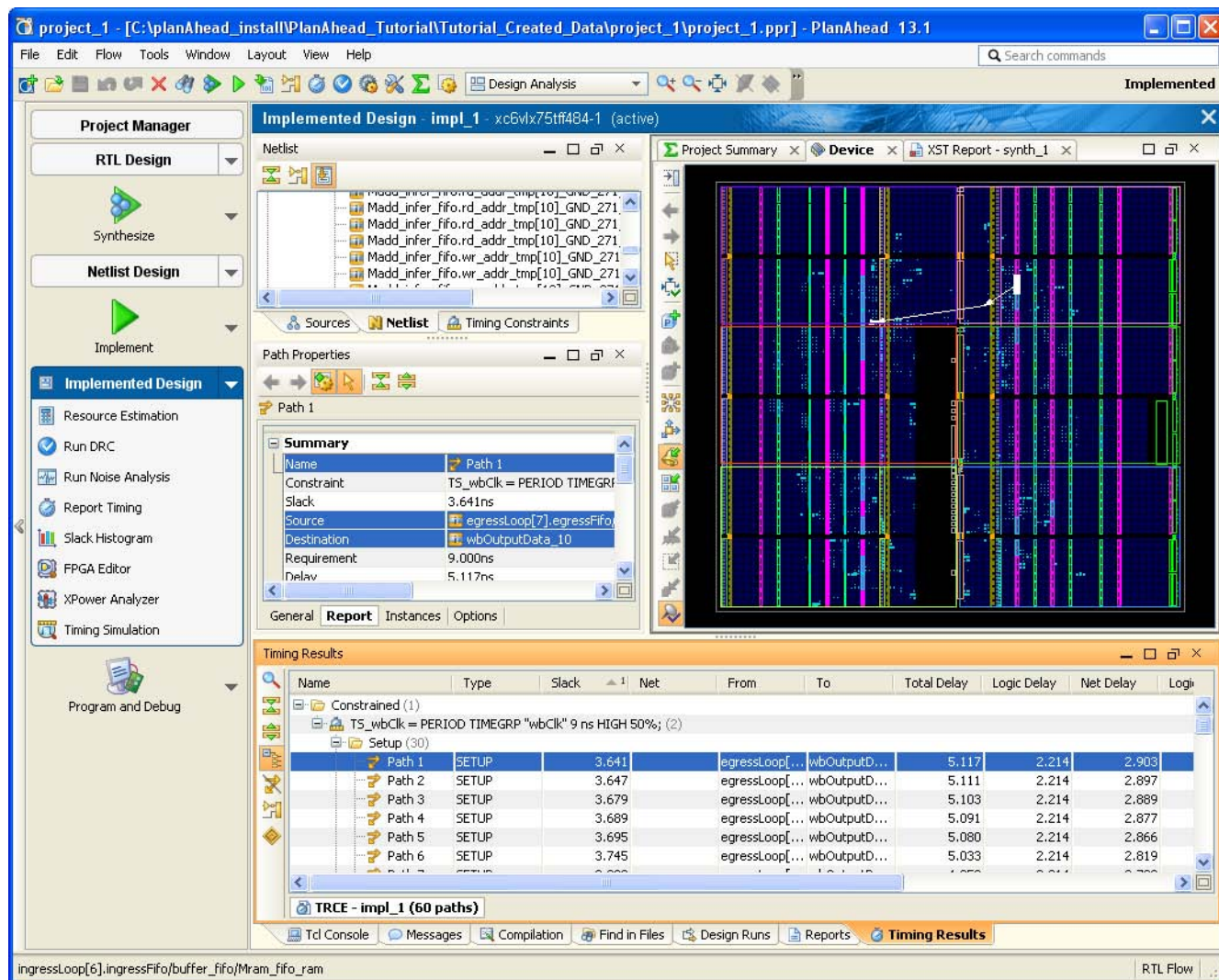



図 26：インプリメンテーション結果からのタイミング パスのハイライト

7. [Path Properties] ビューで [Maximize] ボタン  をクリックします。

[Path Properties] ビューが表示されます (図 27)。

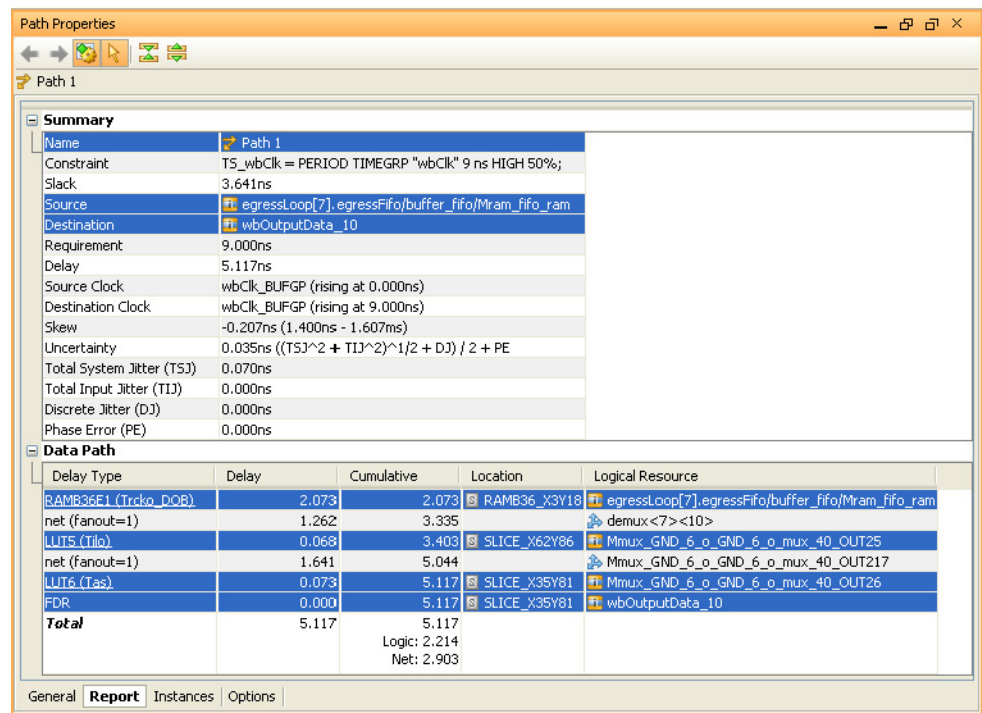


図 27 : パス プロパティの確認

[Path Properties] レポートは、TRACE レポートと類似しており、リンクのいずれかをクリックすると、そのロジック オブジェクトまたはサイトが選択されます。

8. [Path Properties] ビューで [Restore] ボタン をクリックし、表示を元に戻します。
9. [Timing Results] ビューで [View] ツールバーの [Schematic] ボタン をクリックするか、ポップアップ メニューから [Schematic] を選択します。

[Schematic] ビューが開きます (図 28)。

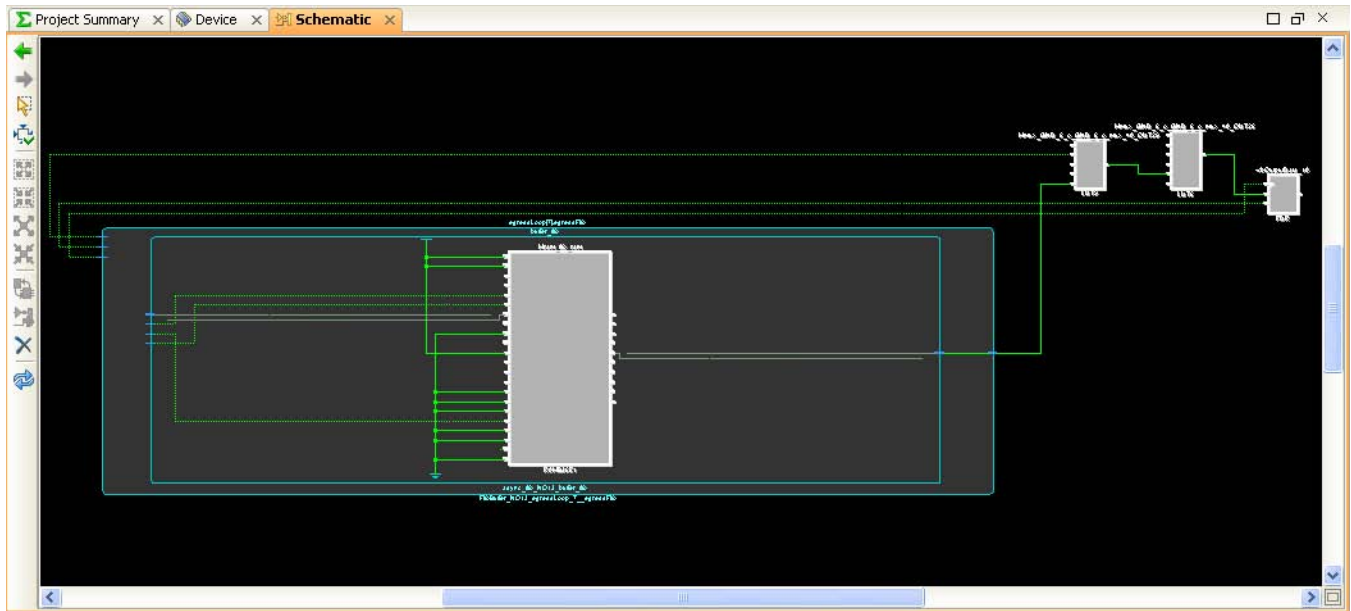


図 28 : 回路図でのタイミング パスの表示

回路図に選択したパスのロジック オブジェクトおよびロジック階層が表示されるので、フロアプランするロジック モジュールが見やすくなります。

**メモ :** PlanAhead には、デザイン解析およびフロアプラン環境も含まれます。この環境については、[付録 A「その他のリソース」](#)に示される『PlanAhead ソフトウェア チュートリアル: デザイン解析およびフロアプラン』(UG676)を参照してください。解析機能を使用すると、デザインやインプリメンテーション結果を確認できます。より最適な矛盾のない結果を得るために、制約を適用することもできます。

10. [Schematic] ビューを閉じます。

## 手順 7 : ビットストリーム ファイルの作成

### [Generate Bitstream] コマンドを使用してデザインのビット ファイルを作成

1. Flow Navigator で、[Program and Debug] ボタンをクリックし、[Generate Bitstream] を選択します。  
[Run Bitgen] ダイアログ ボックスが表示されます。

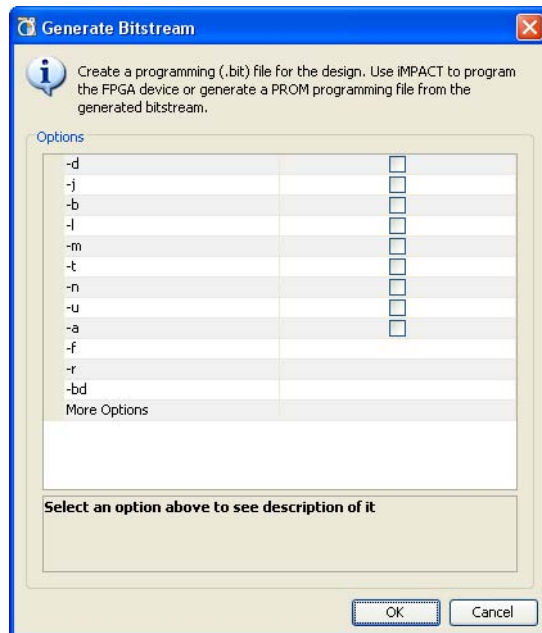


図 29 : ビットストリーム ファイルの生成

2. [OK] をクリックします。
3. Flow Navigator で [Program and Debug] ボタンをクリックし、ビットストリームの作成後に ChipScope Analyzer や iMPACT プログラム ツールが起動できるようになっていることを確認します。

### インプリメント済みデザインのプロジェクト サマリを確認

1. [Project Summary] ビューのタブをクリックし、表示されている情報を確認します。
2. [File] → [Exit] をクリックし、保存するかどうかを尋ねるメッセージが表示されたら [Yes] をクリックし、[OK] をクリックして PlanAhead を閉じます。

## まとめ

このチュートリアルでは、小型の PlanAhead RTL プロジェクトを使用して、基本的な PlanAhead デザイン フローを簡単に説明しました。ここでは、まず RTL プロジェクトを作成し、RTL Editor で RTL ソースを確認しました。次にシミュレーション オプションを確認し、ISim を起動しました。その後、さまざまな合成実行オプションを確認し、合成を実行し、ネットリスト デザインを開いて結果をインポートしました。インプリメンテーション オプションを確認して、インプリメンテーショ

ンを実行し、実行結果を監視し、コマンド レポート ファイルを確認し、その結果をインポートして  
タイミング パスを解析し、最後にビットストリーム ファイルを作成しました。



## その他のリソース

---

### ザイリンクス リソース

- 『ISE Design Suite : インストールおよびライセンス ガイド』(UG798) :  
[http://japan.xilinx.com/support/documentation/sw\\_manuals/xilinx13\\_1/iil.pdf](http://japan.xilinx.com/support/documentation/sw_manuals/xilinx13_1/iil.pdf)
- 『ISE Design Suite 13 : リリース ノート ガイド』(UG631) :  
[http://japan.xilinx.com/support/documentation/sw\\_manuals/xilinx13\\_1/irn.pdf](http://japan.xilinx.com/support/documentation/sw_manuals/xilinx13_1/irn.pdf)
- ザイリンクス資料 :  
<http://japan.xilinx.com/support/documentation.htm>
- ザイリンクス 用語集 :  
[http://japan.xilinx.com/support/documentation/sw\\_manuals/glossary.pdf](http://japan.xilinx.com/support/documentation/sw_manuals/glossary.pdf)
- ザイリンクス サポート :  
<http://japan.xilinx.com/support.htm>
- ビデオ デモ :  
[http://japan.xilinx.com/products/design\\_resources/design\\_tool/resources/index.htm](http://japan.xilinx.com/products/design_resources/design_tool/resources/index.htm)

### PlanAhead 資料

- 『PlanAhead ユーザー ガイド』(UG632) :  
[http://japan.xilinx.com/support/documentation/sw\\_manuals/xilinx13\\_1/PlanAhead\\_UserGuide.pdf](http://japan.xilinx.com/support/documentation/sw_manuals/xilinx13_1/PlanAhead_UserGuide.pdf)
- PlanAhead 手法ガイド :  
[http://japan.xilinx.com/support/documentation/dt\\_planahead\\_planahead13-1\\_userguides.htm](http://japan.xilinx.com/support/documentation/dt_planahead_planahead13-1_userguides.htm)
- PlanAhead チュートリアル :  
[http://japan.xilinx.com/support/documentation/dt\\_planahead\\_planahead13-1\\_tutorials.htm](http://japan.xilinx.com/support/documentation/dt_planahead_planahead13-1_tutorials.htm)
  - 『PlanAhead ソフトウェア チュートリアル :ChipScope を使用したデバッグ』(UG677)  
[http://japan.xilinx.com/support/documentation/sw\\_manuals/xilinx13\\_1/PlanAhead\\_Tutorial\\_Debugging\\_w\\_ChipScope.pdf](http://japan.xilinx.com/support/documentation/sw_manuals/xilinx13_1/PlanAhead_Tutorial_Debugging_w_ChipScope.pdf)
  - 『PlanAhead ソフトウェア チュートリアル : デザイン解析およびフロアプラン』(UG676)  
[http://japan.xilinx.com/support/documentation/sw\\_manuals/xilinx13\\_1/PlanAhead\\_Tutorial\\_Design\\_Analysis\\_Floorplan.pdf](http://japan.xilinx.com/support/documentation/sw_manuals/xilinx13_1/PlanAhead_Tutorial_Design_Analysis_Floorplan.pdf)
  - 『PlanAhead ソフトウェア チュートリアル : I/O ピン配置』(UG674)  
[http://japan.xilinx.com/support/documentation/sw\\_manuals/xilinx13\\_1/PlanAhead\\_Tutorial\\_IO\\_Pin\\_Planning.pdf](http://japan.xilinx.com/support/documentation/sw_manuals/xilinx13_1/PlanAhead_Tutorial_IO_Pin_Planning.pdf)

- 『PlanAhead ソフトウェア チュートリアル：RTL デザインおよび IP の生成』(UG675)  
[http://japan.xilinx.com/support/documentation/sw\\_manuals/xilinx13\\_1/PlanAhead\\_Tutorial\\_RTL\\_Design\\_IP.pdf](http://japan.xilinx.com/support/documentation/sw_manuals/xilinx13_1/PlanAhead_Tutorial_RTL_Design_IP.pdf)

## ISE 資料

- 『ISE Simulator (ISim) In-Depth Tutorial』(UG682) :  
[http://japan.xilinx.com/support/documentation/sw\\_manuals/xilinx13\\_1/ug682.pdf](http://japan.xilinx.com/support/documentation/sw_manuals/xilinx13_1/ug682.pdf)