

PlanAhead ソフトウェア チュートリアル

RTL デザインおよび IP の生成

UG675 (v 13.1) 2011 年 3 月 1 日



The information disclosed to you hereunder (the “Information”) is provided “AS-IS” with no warranty of any kind, express or implied. Xilinx does not assume any liability arising from your use of the Information. You are responsible for obtaining any rights you may require for your use of this Information. Xilinx reserves the right to make changes, at any time, to the Information without notice and at its sole discretion. Xilinx assumes no obligation to correct any errors contained in the Information or to advise you of any corrections or updates. Xilinx expressly disclaims any liability in connection with technical support or assistance that may be provided to you in connection with the Information. **XILINX MAKES NO OTHER WARRANTIES, WHETHER EXPRESS, IMPLIED, OR STATUTORY, REGARDING THE INFORMATION, INCLUDING ANY WARRANTIES OF MERCHANTABILITY, FITNESS FOR A PARTICULAR PURPOSE, OR NONINFRINGEMENT OF THIRD-PARTY RIGHTS.**

© Copyright 2011 Xilinx, Inc. XILINX, the Xilinx logo, Virtex, Spartan, ISE, and other designated brands included herein are trademarks of Xilinx in the United States and other countries. All other trademarks are the property of their respective owners.

本資料は英語版 (v 13.1) を翻訳したもので、内容に相違が生じる場合には原文を優先します。

資料によっては英語版の更新に対応していないものがあります。

日本語版は参考用としてご使用の上、最新情報につきましては、必ず最新英語版をご参照ください。

改訂履歴

次の表に、この文書の改訂履歴を示します。

日付	バージョン	改訂内容
2011 年 3 月 1 日	13.1	ISE 13.1 リリース用に改訂

目次

改訂履歴.....	2
PlanAhead ソフトウェア チュートリアル : RTL デザインおよび IP の生成	
概要	5
チュートリアルの目標.....	5
はじめに.....	5
チュートリアルの手順.....	6
手順 1 : 新規プロジェクトの作成	7
手順 2 : [Sources] ビューとテキスト エディターの使用	13
手順 3 : ビヘイビア シミュレーションの実行	21
手順 4 : RTL デザインのエラボレーションと解析.....	23
手順 5 : リソース使用率と電力の概算	29
手順 6 : RTL デザイン ルール チェックの実行	33
手順 7 : ザイリンクス IP カタログからの IP の選択	35
手順 8 : IP のカスタマイズおよびインスタンス化.....	37
手順 9 : IP の生成	41
まとめ	42
付録 A : その他のリソース	
ザイリンクス リソース	43
PlanAhead 資料.....	43

PlanAhead ソフトウェア チュートリアル： RTL デザインおよび IP の生成

概要

このチュートリアルでは、RTL 開発と解析環境の概要について説明し、次を実行します。

- テキスト エディターを使用して RTL ソースをインポート
- bft モジュールのビヘイビア シミュレーションを実行
- エラボーレーションを実行して RTL をコンパイル
- さまざまな RTL 解析機能を使用してコンパイル済み RTL デザインを確認。これには、次の内容が含まれます。
 - RTL 回路図を使用した RTL ロジック階層の解析
 - 消費電力を使用して RTL リソースを概算
 - RTL デザイン ルール チェック (DRC) を実行
- ザイリンクス IP カタログを確認、デザインに含まれる IP コアをカスタマイズおよびインプリメント

PlanAhead™ の解析機能の詳細は、ほかのチュートリアルで紹介しています。すべてのコマンドやコマンド オプションの説明が含まれているわけではありませんので、ご了承ください。

チュートリアルの目標

このチュートリアルの目標は、PlanAhead ソフトウェアを使用した RTL 開発および解析プロセスについて理解することにあります。

はじめに

ソフトウェア要件

PlanAhead ソフトウェアは、ISE® Design Suite ソフトウェアをインストールするとインストールされます。チュートリアルを始める前に、PlanAhead が起動できるか、チュートリアルデザイン データがインストールされているかを確認してください。

インストール方法およびその詳細は、付録 A「その他のリソース」に示される『ISE Design Suite : インストールおよびライセンス ガイド』(UG798) を参照してください。

ハードウェア要件

大規模デバイスで PlanAhead ソフトウェアを使用するには、2GB 以上の RAM が推奨されます。このチュートリアルでは、小型の XC6VLX75T デザインを使用し、1 度に開くことができるデザイン数を制限していますので、1GB で十分ですが、パフォーマンスに影響のすることもあります。

チュートリアル デザインの説明

このチュートリアルで使用する小型のサンプル デザインには、Verilog と VHDL などの RTL デザイン ソースのセットが含まれます。VHDL ソースは、複数の VHDL ライブラリからのものです。このチュートリアルで使用するデザインには、次が含まれます。

- RISC プロセッサ
- 疑似 FFT
- ギガビット トランシーバ
- USB ポート モジュール 2 つ
- XC6VLX75T デバイス

チュートリアル デザイン ファイルのディレクトリ

このチュートリアルでは、PlanAhead ソフトウェアのプロジェクト例に含まれるデザイン データを使用します。このデータは、次からも入手できます。

1. 次のいずれかから、PlanAhead_Tutorial.zip ファイルをダウンロードします。
 - PlanAhead ソフトウェア インストールのプロジェクト例のディレクトリ：
<ISE_install_area>/PlanAhead/testcases/
 - ザイリンクスのウェブサイト：
http://japan.xilinx.com/support/documentation/dt_planahead_planahead13-1_tutorials.htm
2. 書き込み権のあるディレクトリに ZIP ファイルを抽出します。

解凍された PlanAhead_Tutorial データ ディレクトリは、このチュートリアルでは <Extract_Dir> と記述します。

チュートリアルのサンプル データは、チュートリアルを実行中に変更されます。各チュートリアルを実行する前に、まず元の PlanAhead_Tutorial データのコピーを取っておいてください。

チュートリアルの手順

このチュートリアルは、次の手順で構成されています。

- 「手順 1 : 新規プロジェクトの作成」
- 「手順 2 : [Sources] ビューとテキスト エディターの使用」
- 「手順 3 : ビヘイビア シミュレーションの実行」
- 「手順 4 : RTL デザインのエラボレーションと解析」
- 「手順 5 : リソース使用率と電力の概算」
- 「手順 6 : RTL デザイン ルール チェックの実行」
- 「手順 7 : ザイリンクス IP カタログからの IP の選択」
- 「手順 8 : IP のカスタマイズおよびインスタンス化」

- 「手順 9：IP の生成」

手順 1：新規プロジェクトの作成

PlanAhead ソフトウェアでは、使用されるデザイン フローの段階によってさまざまなタイプのプロジェクトを作成できます。RTL ソースは、開発、解析、合成、インプリメンテーション、ビット ファイル生成などのプロジェクトを作成するために使用できます。

PlanAhead ソフトウェアの起動

PlanAhead ソフトウェアを起動するには、次の手順にしたがってください。

- Windows の場合、Xilinx PlanAhead 13 のデスクトップアイコンをダブルクリックするか、[スタート] → [プログラム] → [Xilinx ISE Design Suite 13.1] → [PlanAhead] → [PlanAhead] をクリックします。
- Linux の場合は、<Extract_Dir>/PlanAhead_Tutorial/Tutorial_Created_Data ディレクトリに移動し、planAhead と入力します。

PlanAhead の Getting Started ページが開きます。

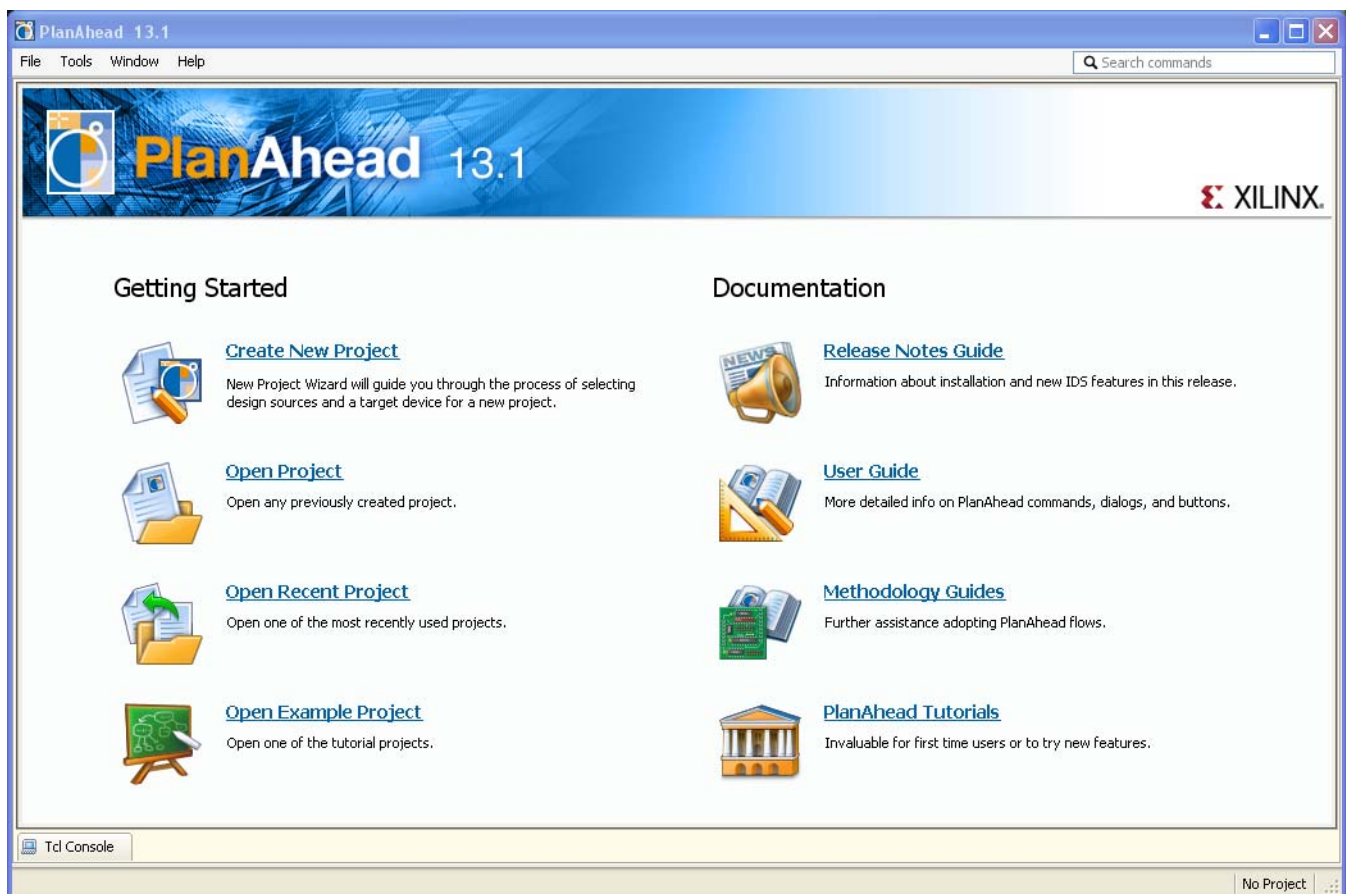


図 1：PlanAhead の Getting Started ページ

PlanAhead の Getting Started ページには、プロジェクトを開いたり、作成したり、ドキュメントを確認するリンクが含まれます。

<Extract_Dir>\PlanAhead_Tutorial\Sources\hdl ディレクトリの RTL ソース ファイルを使用して project_rtl という RTL プロジェクトを新規に作成

1. [Getting Started] ページの Create New Project というリンクをクリックします。
2. [Create a New PlanAhead Project] ページで [Next] をクリックします。
[New Project] ダイアログ ボックスの [Project Name] ページが開きます。

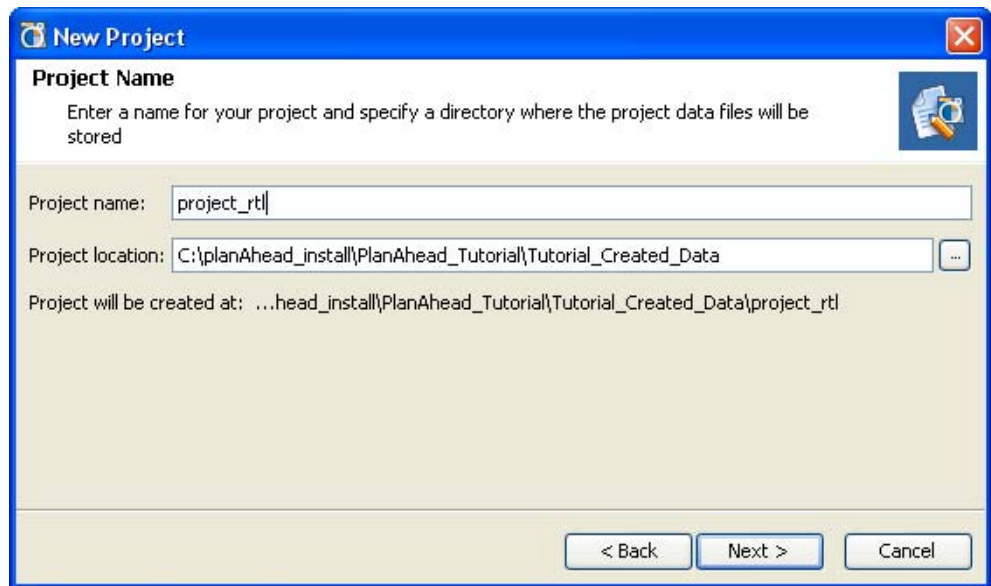


図 2：新しいプロジェクト名の入力

3. 参照ボタンで次のフォルダを指定します。
<Extract_Dir>\PlanAhead_Tutorial\Tutorial_Created_Data
4. プロジェクト名に **project_rtl** と入力し、[Next] をクリックします。
[Design Source] ページが表示されます。

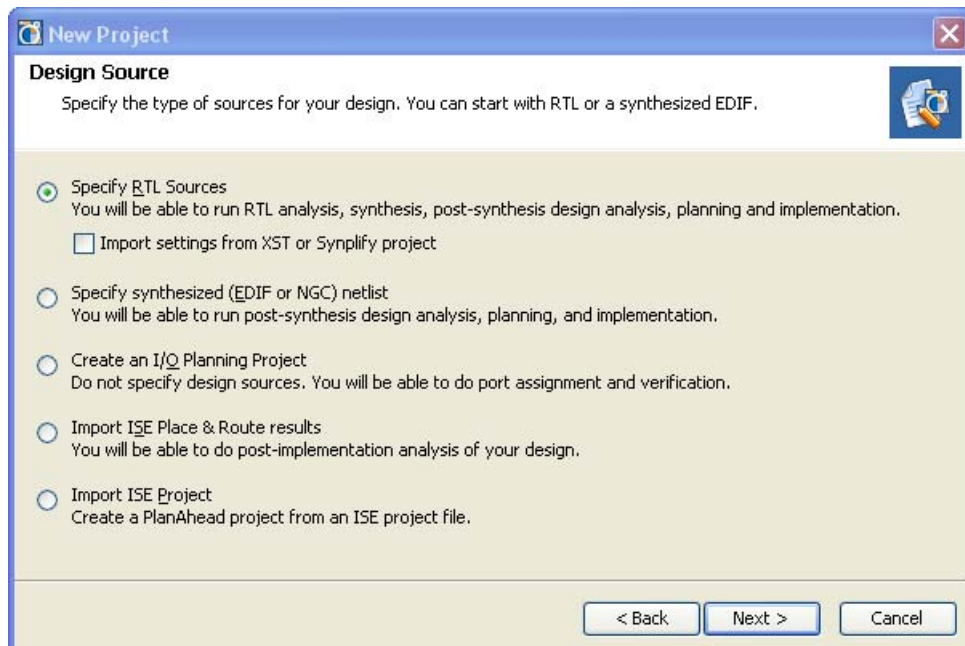


図 3：インポートする RTL ソースの選択

5. [Specify RTL Sources] をオンにし、[Next] をクリックします。

[Add Sources] ページが表示されます。

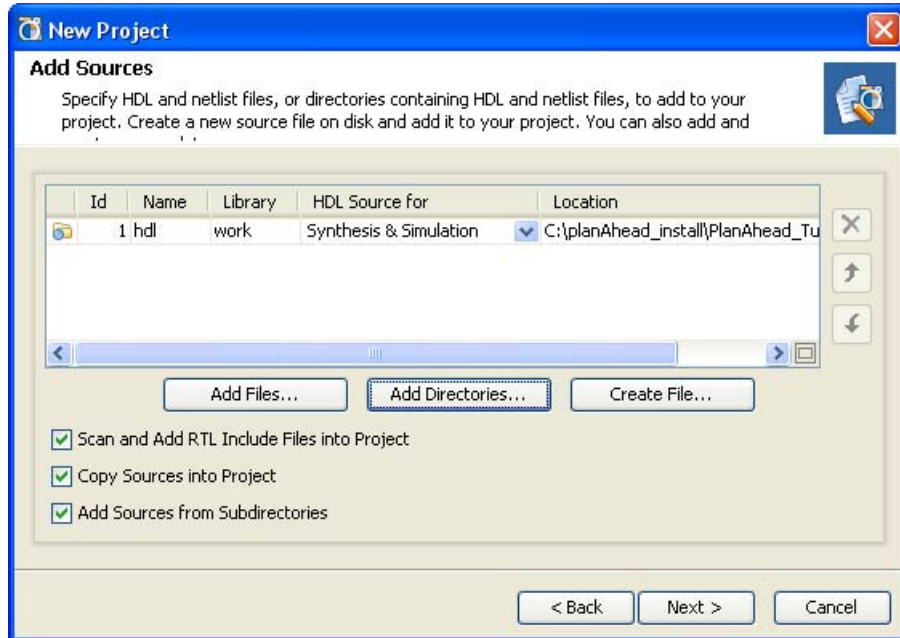


図 4：プロジェクトに追加するソースの選択

ディレクトリおよびファイルの追加

1. [Add Directories] ボタンをクリックし、次のディレクトリを選択します。<Extract_Dir>/PlanAhead_Tutorial/Sources/hdl[Select] をクリックします。
2. 次のチェック ボックスがオンになっていることを確認します。
 - [Scan and Add RTL Include Files into Project]
 - [Copy Sources into Project]
 - [Add Sources from Subdirectories]
3. 図 4 のように設定したら、[Next] をクリックします。
[Add Existing IP] ページが表示されます。
4. [Next] をクリックします。
[Add Constraints] ページが表示されます。

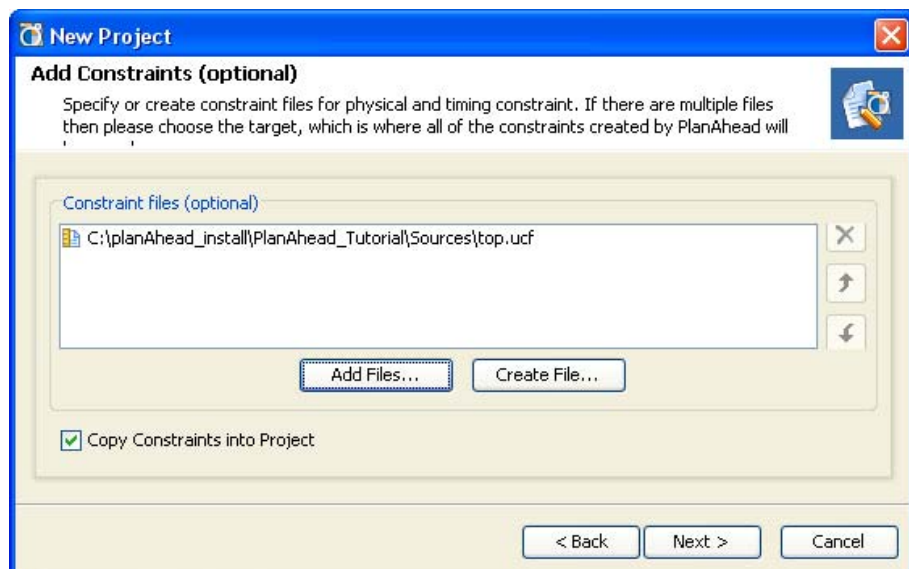


図 5：プロジェクトに追加する制約ファイルの選択

制約ファイルの追加

1. [Add Files] ボタンをクリックし、次のディレクトリを選択します。
<Extract_Dir>/PlanAhead_Tutorial/Sources/top.ucf
2. [OK] をクリックします。
3. [Copy Sources into Project] がオンになっているかどうか確認し、[Next] をクリックします。
[Default Part] ページが表示されます

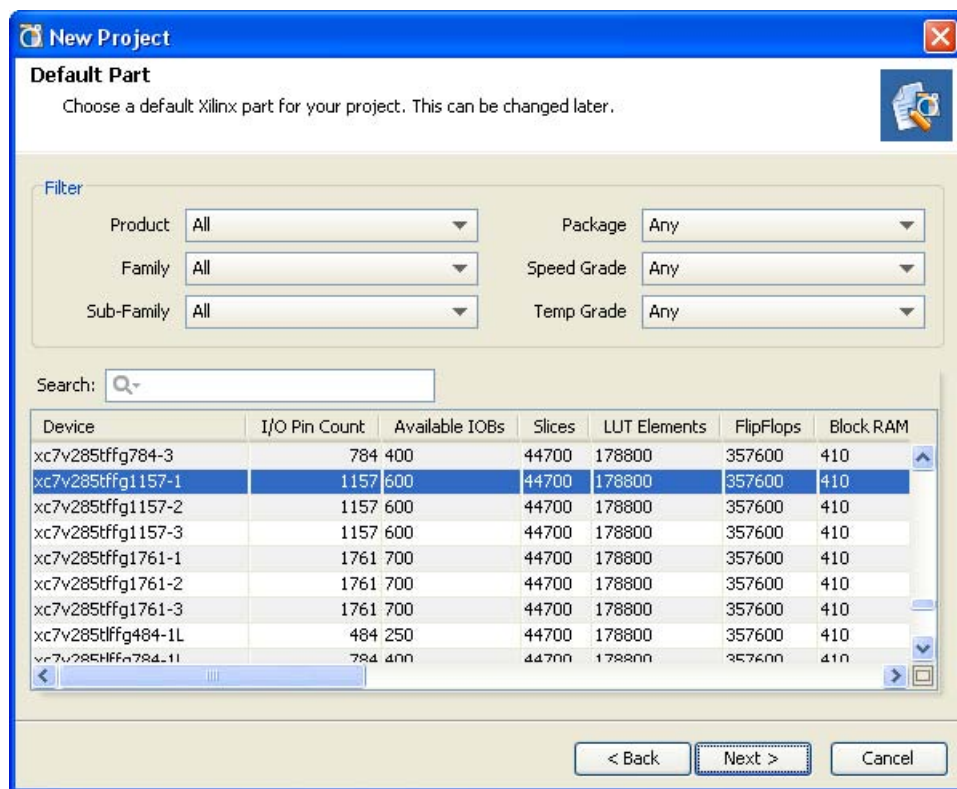


図 6：ファミリーおよびデフォルト パーツの選択

デフォルト デバイスの選択

1. [Filter] フィールドの [Family] プルダウン メニューから [Virtex6] を選択します。リストには Virtex®-6 デバイスのみが表示されるようになります。
2. [Sub-Family] プルダウン メニューから [Virtex6 LXT] を選択します。リストには Virtex-6 LXT デバイスのみが表示されるようになります。
3. [Search] フィールドに **75t** と入力します。75t デバイスがリストされます。

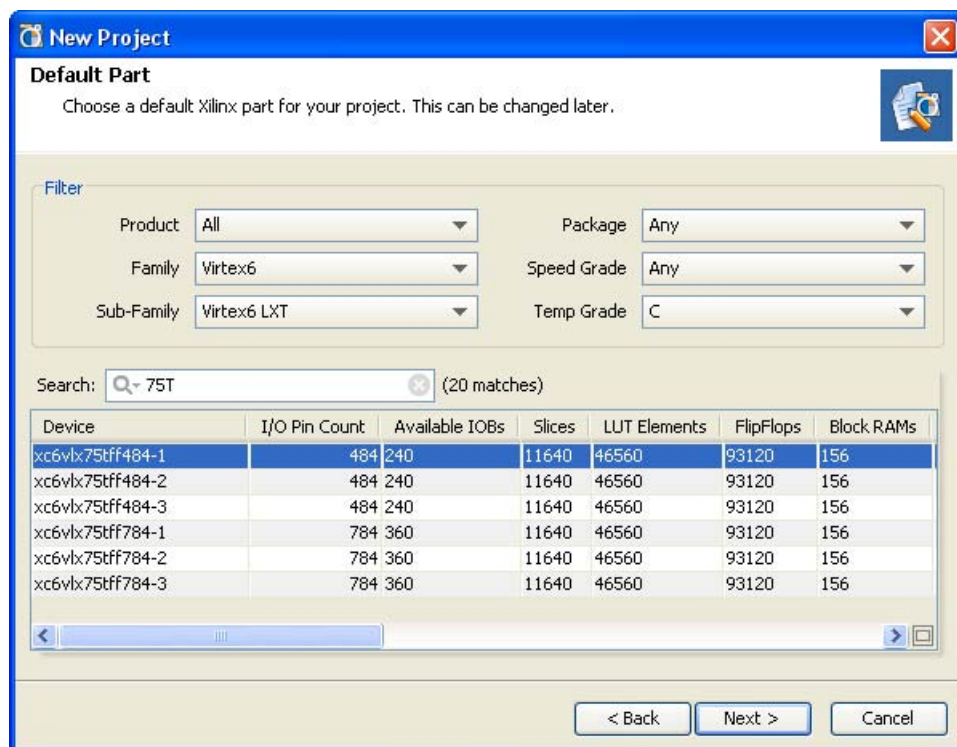


図 7 : ファミリーおよびデフォルト パーツの選択

4. xc6vlx75tff784-3 デバイスを選択し、[Next] をクリックします。
5. サマリを確認したら、[Finish] をクリックします。

PlanAhead 環境が開きます。

手順 2 : [Sources] ビューとテキスト エディターの使用

PlanAhead ソフトウェアには、Verilog、VHDL、NGC 形式のコアなどさまざまなファイル形式のデザイン ソースを追加できます。これらのファイルは、[Sources] ビューに分類されて表示されます。含まれるテキスト エディターを使用して RTL ソースを作成または変更します。

[Sources] ビューとプロジェクト サマリの確認

1. [Project Summary] の情報を確認します。デザインの進捗状況に応じて、表示される情報は増えていきます。
2. [Sources] ビューを確認します。
3. [Verilog] フォルダを展開表示するには、横のマイナス サインをクリックします。

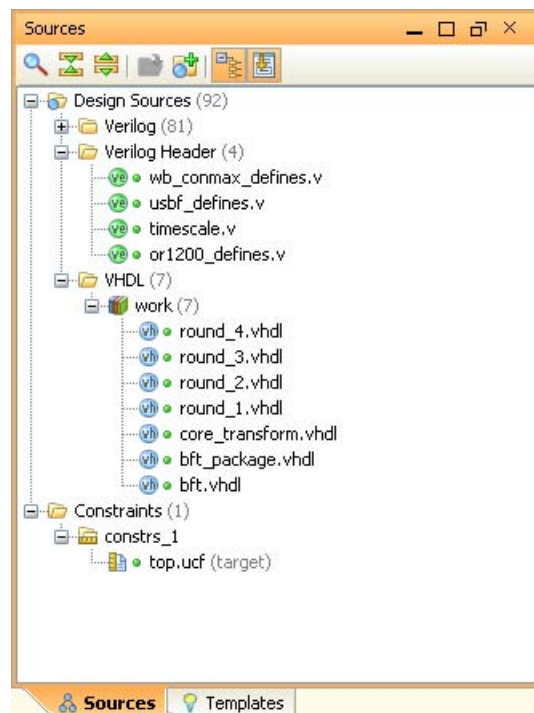


図 8 : ソースの種類別表示

デザイン ソースがファイルの種類別に表示されます。

4. VHDL ソース ファイルの 1 つをクリックし、[Source File Properties] ビューの情報を確認します (図 9)。

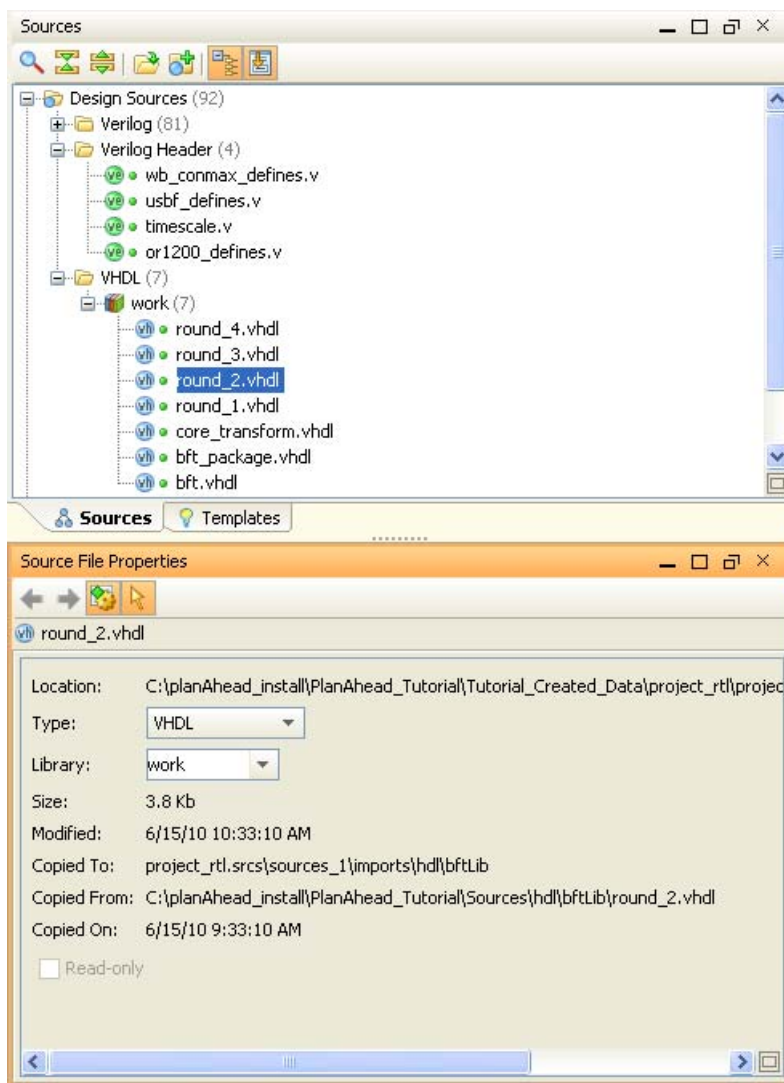


図 9 : [Source File Properties] ビュー

選択した VHDL ソースの VHDL ライブラリを bftLib に設定

1. [Sources] ビューで Shift キーを使用して **bft.vhdl** ファイル以外の VHDL ソース ファイルをすべて選択します。
2. アイテムを選択したままで右クリックし、[Set Library] をクリックします。
3. [Specify Library] ダイアログ ボックスで **bftLib** と入力し、[OK] をクリックします。

選択したファイルが **bftLib** という VHDL ライブラリ フォルダの下に表示されるようになりました。

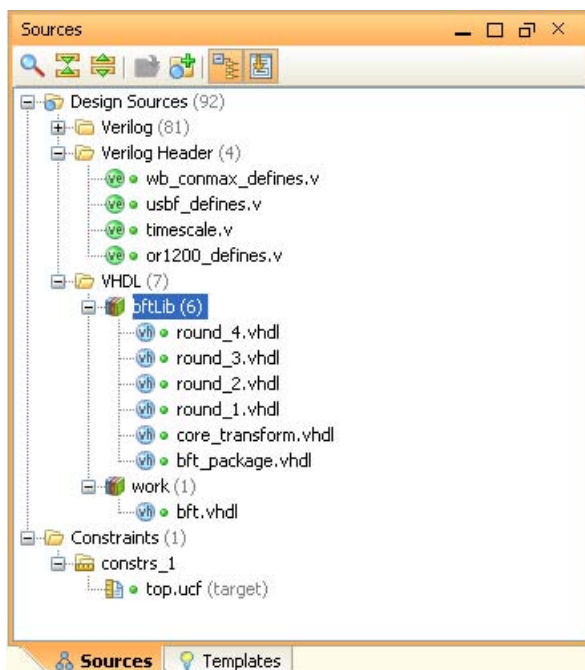


図 10 : VHDL ライブラリの設定

シミュレーション ソース ファイルの識別

1. [Sources] ビューで [Verilog] → [work] フォルダを展開表示します。
2. bft_tb.v ソース ファイルまでスクロールし、選択します。
3. 右クリックで [Move to Simulation Sources] をクリックします。
4. [Verilog] フォルダを展開表示します。

このファイルが [Simulation-Only Sources] フォルダ内に表示されるようになりました。

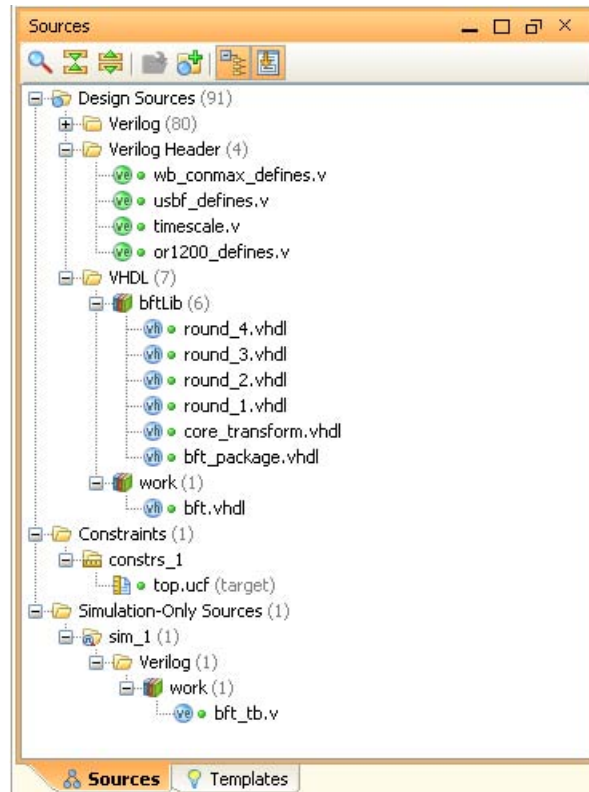


図 11 : [Simulation-Only Sources] フォルダ

[Sources] ビューのコマンドを確認

1. [Sources] ビューで VHDL ソースの 1 つを選択します。
2. 右クリックし、[Sources] ビューのポップアップ メニューでどういうコマンドが表示されるか確認してみてください。ポップアップを解除するには Esc キーを押します。

テキスト エディターを使用してソース ファイルの内容を表示

1. [Sources] ビューで VHDL ソース ファイルの 1 つをダブルクリックし、テキスト エディターで開きます。
2. テキスト エディターで右クリックし、どういうポップアップ コマンドが表示されるか確認してみてください。
3. [Find in Files] ポップアップ メニューをクリックし、[Find in Files] ダイアログ ボックスを開きます。

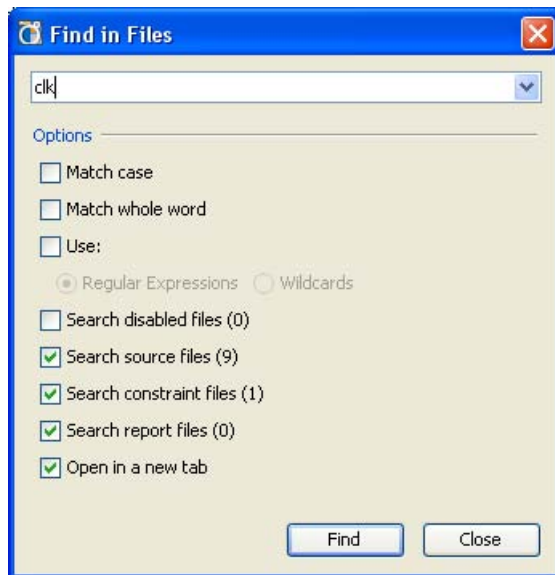


図 12 : ファイル内の検索

4. clk と入力し、[Find] をクリックします。
[Find in Files] ビューが PlanAhead 環境の下部にあるメッセージ エリアに表示されます。
5. [Find in Files] ビューでディレクトリを展開し、clk を含む文の 1 つを選択すると、そのファイルが テキスト エディターで表示されます (図 13)。

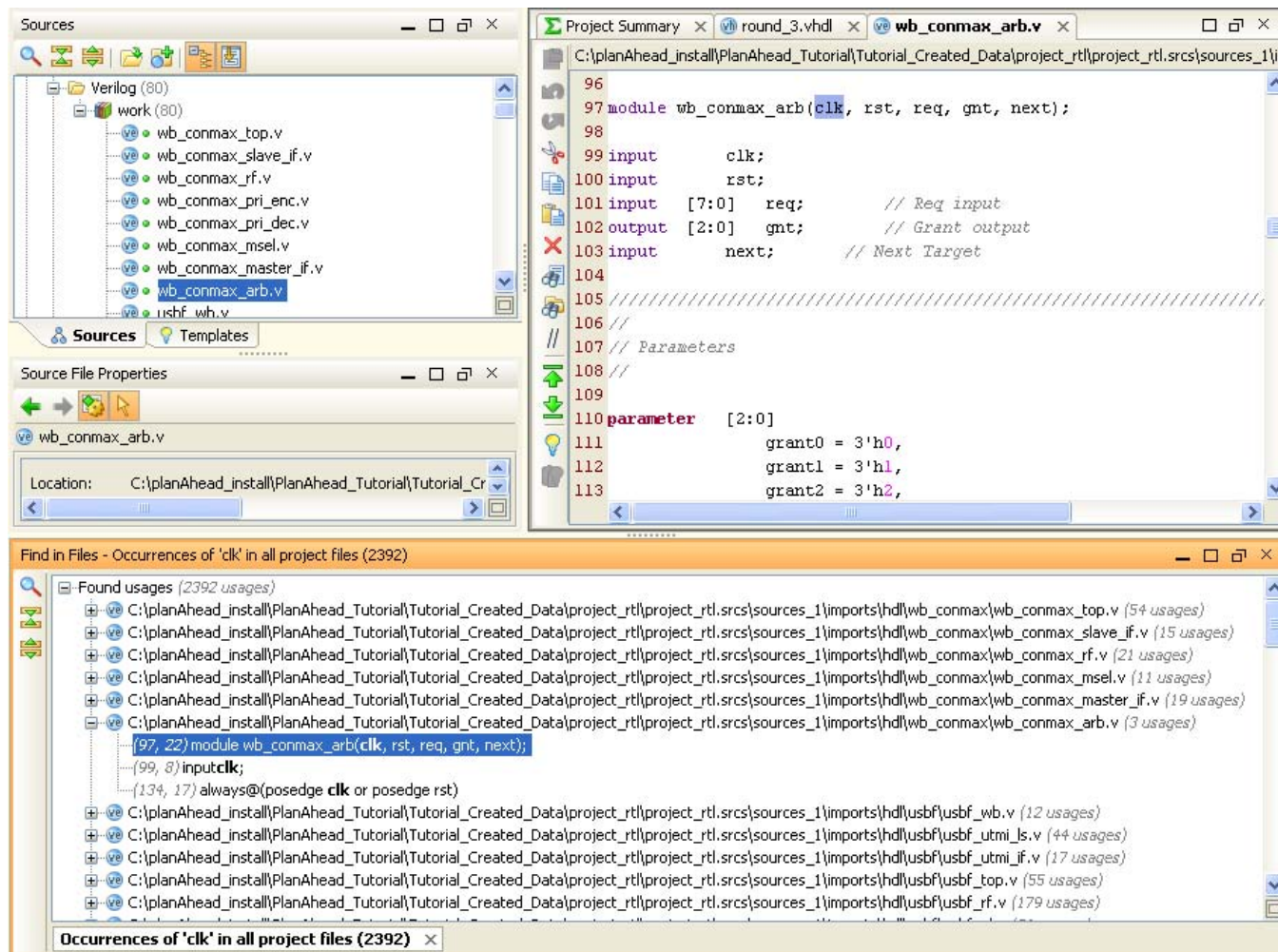


図 13 : 検出結果の表示

6. [Find in Files] ビューを閉じます。
7. テキスト エディターで開いた RTL ファイルのタブもそれぞれ閉じます。

新規 RTL ソース ファイルの作成とテンプレートのインポート

PlanAhead ソフトウェアでは、新しい Verilog または VHDL ソース ファイルを作成できます。さまざまなロジックおよびコード構文を含む標準のザイリンクス テンプレートを開始点としてまず使用することができます。

1. Project Manager の下の Flow Navigator で [Add Sources] をクリックします。
2. [Add Sources] ダイアログ ボックスで [Add or Create Design Sources] をオンにします。[Next] をクリックします。
3. [Add or Create Design Sources] ダイアログ ボックスで [Create File] をクリックします。
[Create Source File] ダイアログ ボックスが開きます。

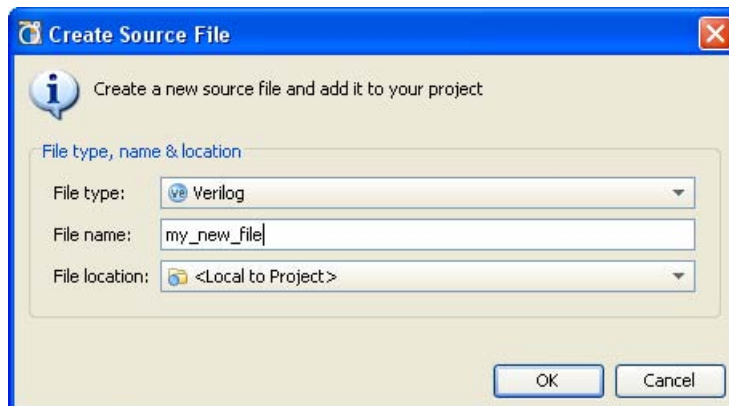


図 14 : [Create Source File] ダイアログ ボックス

4. [File name] ボックスに **my_new_file** と入力し、[OK] をクリックします。
5. [Add or Create Design Sources] ダイアログ ボックスで [Finish] をクリックします。
新しい白紙のファイルが [Sources] ビューの [Verilog] フォルダの一番下にリストされるようになります。
6. [Sources] ビューで **my_new_file.v** をダブルクリックし、テキスト エディターで開きます。
7. [Sources] ビューの横の [Templates] ビューのタブをクリックします。
8. [Verilog] フォルダを展開し、どのようなテンプレート タイプが使用可能か確認してから、そのうちの 1 つを選択します (図 15)。

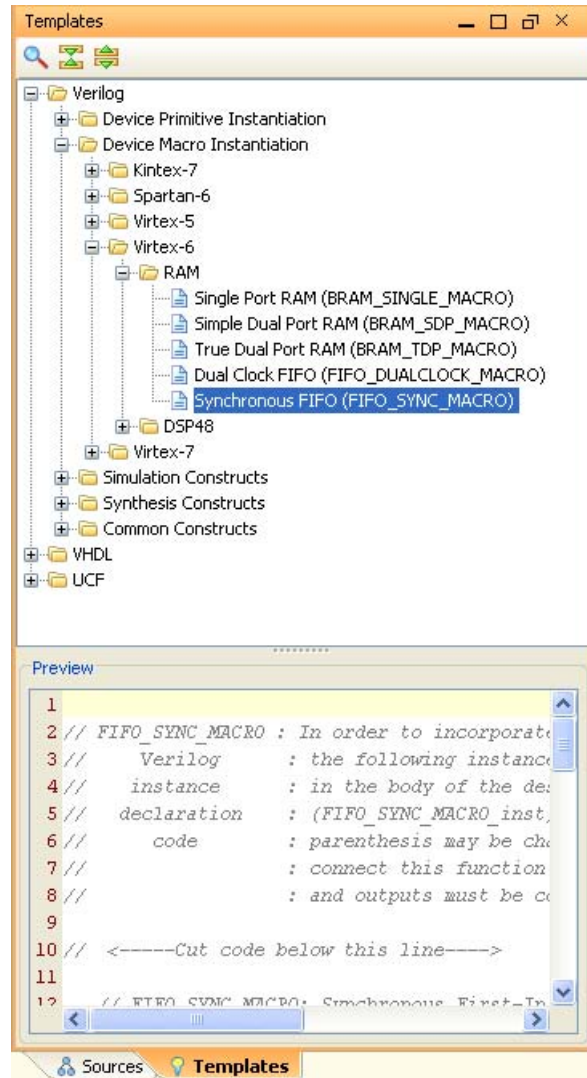


図 15 : [Templates] ビューのテンプレート

9. テキスト エディターで右クリックし、[Insert Template] をクリックします。
テンプレートのテキストが新しいソース ファイルに挿入されます。
10. ビューのタブの X ボタンをクリックします。
11. [Save Text Editor Changes] ダイアログ ボックスで [No] をクリックします。
12. [Schematic] ビュー タブをクリックします。

手順 3 : ビヘイビア シミュレーションの実行

PlanAhead ソフトウェアには、Xilinx ISE Simulator (ISim) ロジック シミュレーション環境が含まれます。ISim は、ビヘイビア シミュレーションまたはタイミング シミュレーションに使用できます。ビヘイビア ロジック シミュレーションは、デザイン全体に対して実行できるほか、個別のモジュールに対しても実行できます。

bft モジュールのビヘイビア シミュレーションを実行

1. Flow Navigator で [Behavioral Simulation] をクリックします。
2. [Simulation Top Module Name] 参照アイコンをクリックし、[bft_tb] を選択します。[OK] をクリックします。
3. [Launch] をクリックし、ISim が起動されるのを待ちます。

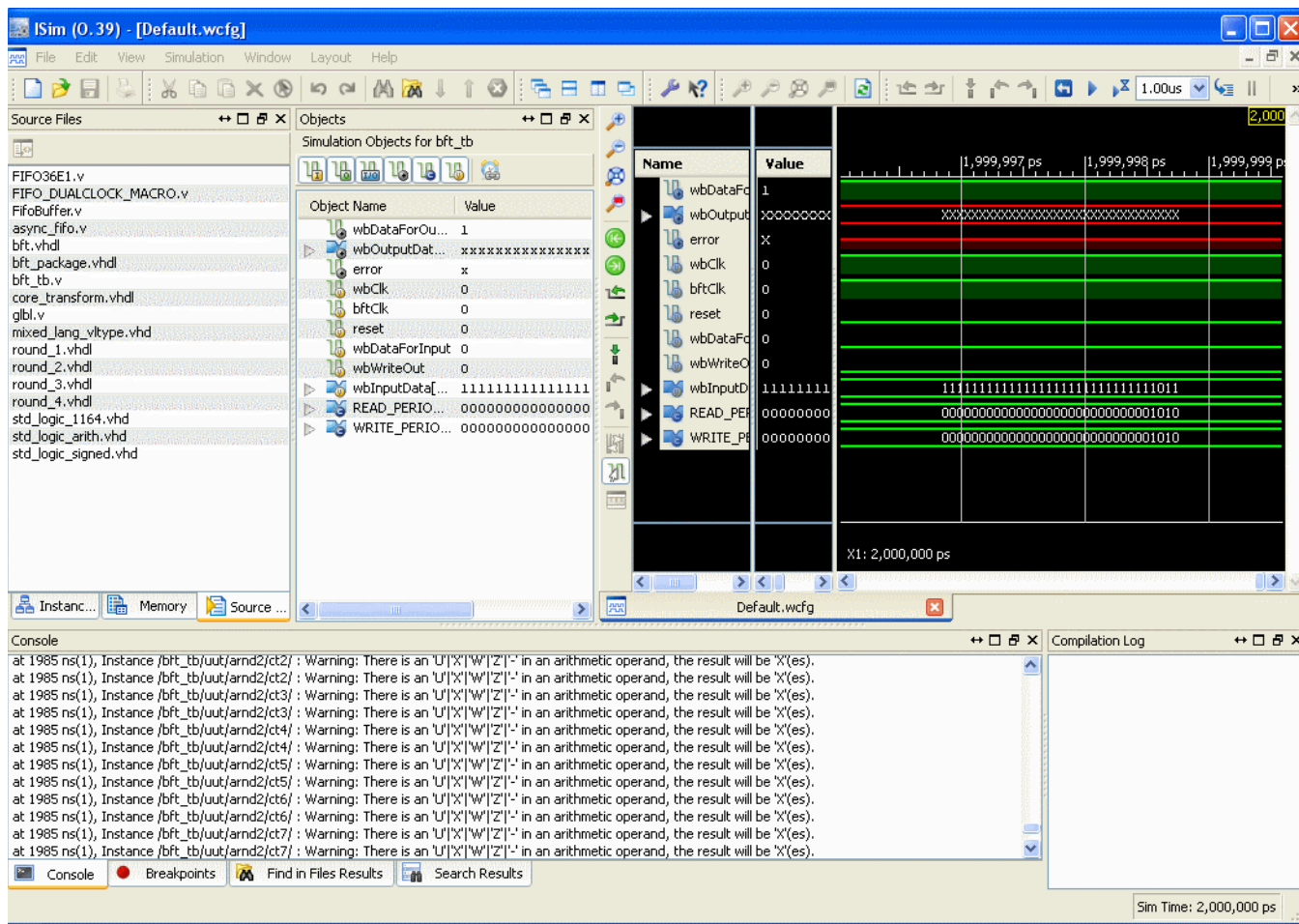


図 16 : ビヘイビア シミュレーションのための ISim の起動

4. ISim のウィンドウを閉じます。閉じるかどうか確認するメッセージが表示されたら、[Yes] をクリックします。

コンパイル順の設定と未使用ソースのディスエーブル

PlanAhead ソフトウェアでは、自動的にソース ファイルの順序が決まり、コンパイル順に表示されます。デザインで必要のないファイルは自動または手動でディスエーブルにできます。

1. [Sources] ビューで右クリックし、[Specify Top Module] をクリックします。
[Specify Top Module] ダイアログ ボックスが開きます (図 17)。
2. [Top Module Name] 参照アイコンをクリックし、[top] を選択します。
3. [Scan and Add RTL Include Files] と [Auto Re-order Source Files] をオンにします。

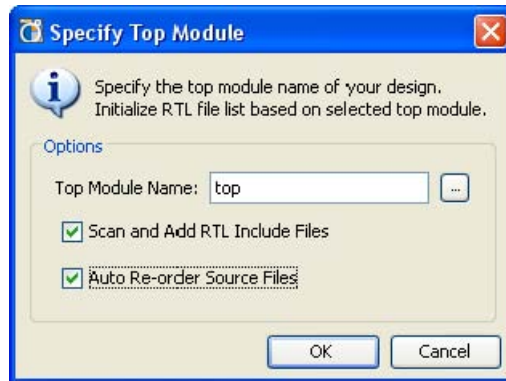


図 17 : 最上位モジュールの指定

4. [OK] をクリックします。

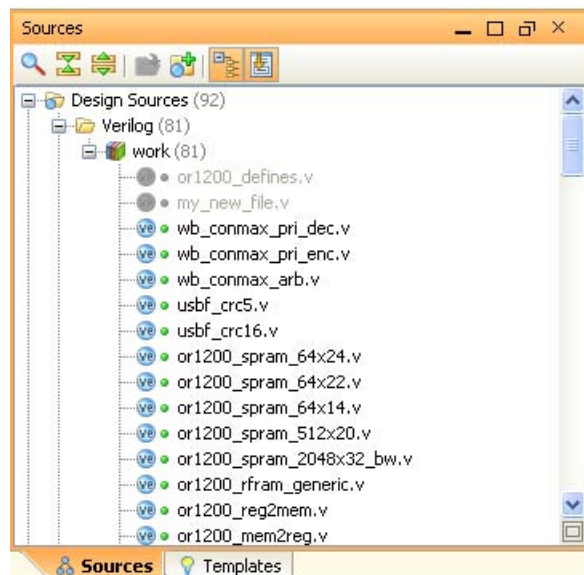


図 18 : 並び替えられたソースの表示

[Sources] ビューでソース ファイルが並び替えられます。未使用のソースは淡色表示になります。右クリックし [Disable] または [Enable] をクリックすると、そのソースをディスエーブルまたはイネーブルにできます。

手順 4 : RTL デザインのエラボレーションと解析

PlanAhead にはプロジェクトの RTL ソース ファイルをコンパイルする RTL エラボレーション機能が含まれます。コンパイル エラーや警告メッセージが表示され、クリックすると RTL コードの該当部分が選択されます。エラボレーションが終了すると、RTL ビューでロジック オブジェクトの選択が連動するようになります。RTL ロジック階層を展開すると、解析機能が使用できます。Flow Navigator から RTL デザインを開くと、RTL デザインが自動的にエラボレーションされ、Design Analysis ビュー レイアウトが表示されます。

- [RTL Netlist] および [Hierarchy] ビューには、デザインのロジック階層が表示されます。
- [RTL Schematic] ビューもインタラクティブに動作します。
- [Find] コマンドでは、RTL ロジック オブジェクトを検索できます。
- [Instance Properties] ビューには、リソース概算を含む選択したロジックのインスタンスーションに関する情報が表示されます。
- RTL DRC を実行すると、問題になりそうなエリアがハイライトされ、電力またはパフォーマンスが改善しやすくなります。

RTL デザインをエラボレーションして開く

1. Flow Navigator で [RTL Design] をクリックします。
2. [Messages] ビュー タブをクリックし、警告および情報メッセージをスクロールして確認します。

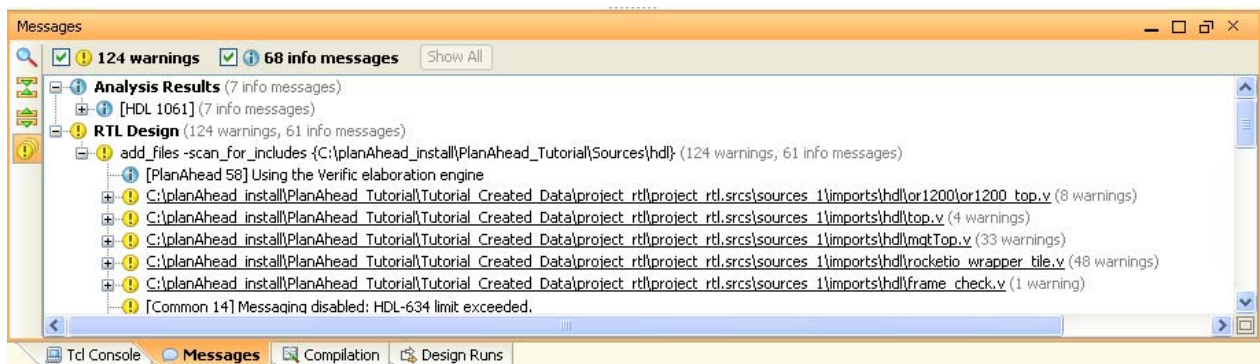


図 19 : RTL デザインのエラボレーション メッセージ

さまざまな RTL デザイン メッセージを確認

1. [Messages] ビューで [68 info messages] オプションをオフにします。
デザインにエラーはありません。エラー メッセージがある場合は、フィルターされて表示されます。
2. [Messages] ビューを展開して、警告 (Warning) メッセージの 1 つをクリックします。RTL ファイルの該当する行がテキスト エディターで表示されます。必要な場合は、そのソース ファイルが開きます。
3. テキスト エディターを閉じるには、開いている RTL ファイルすべてで X ボタンをクリックします。

RTL 論理ネットリストおよび階層の確認

1. [RTL Netlist] ビューで usbEngine0 インスタンスの横の + マークをクリックして展開表示します。
2. usbEngine0/u0 インスタンスを選択します。
3. 右クリックし、[Go to Definition] をクリックします。

usbg_utmi_if モジュールを含む RTL ファイルがテキスト エディターで開きます。

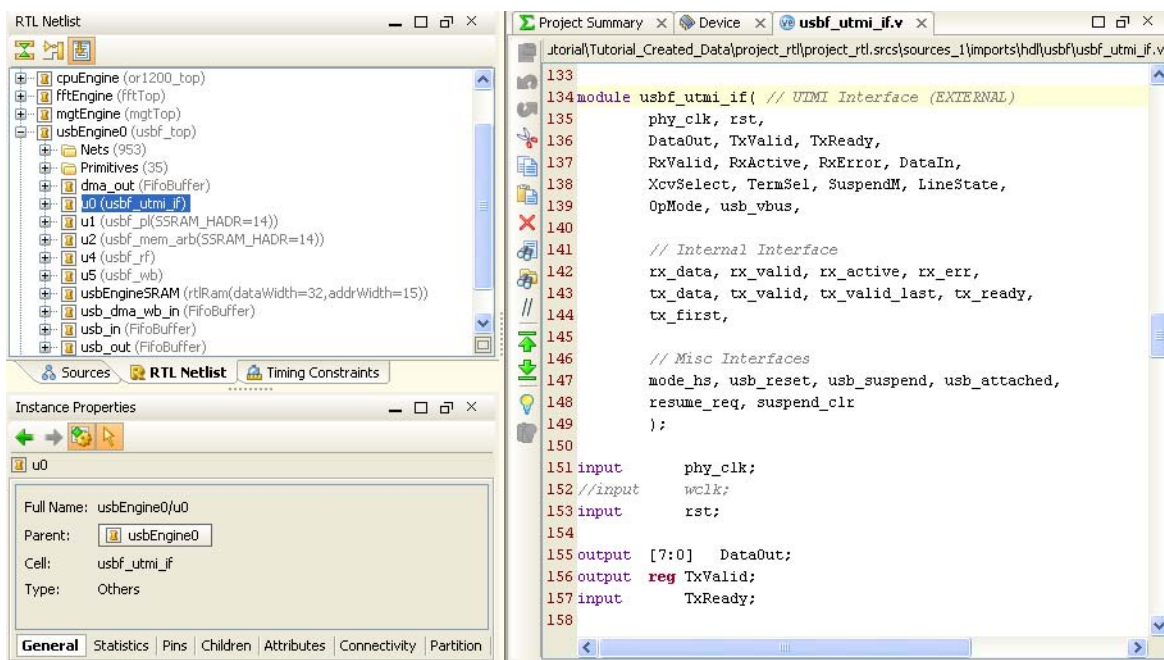


図 20 : 論理 RTL ネットリストの表示

4. [RTL Netlist] ビューで右クリックし、[Go to Instantiation] をクリックします。usbg_utmi_if コードを含む RTL 行がテキスト エディターで開きます。
5. [RTL Netlist] ビューで右クリックし、[Show Hierarchy] をクリックします。

[RTL Hierarchy] ビューが開き、選択したモジュールがハイライトされます (図 21)。モジュールを示す長方形のサイズは、含まれるロジック数に対応しているので、大きいモジュールがどれかわかりやすくなっています。

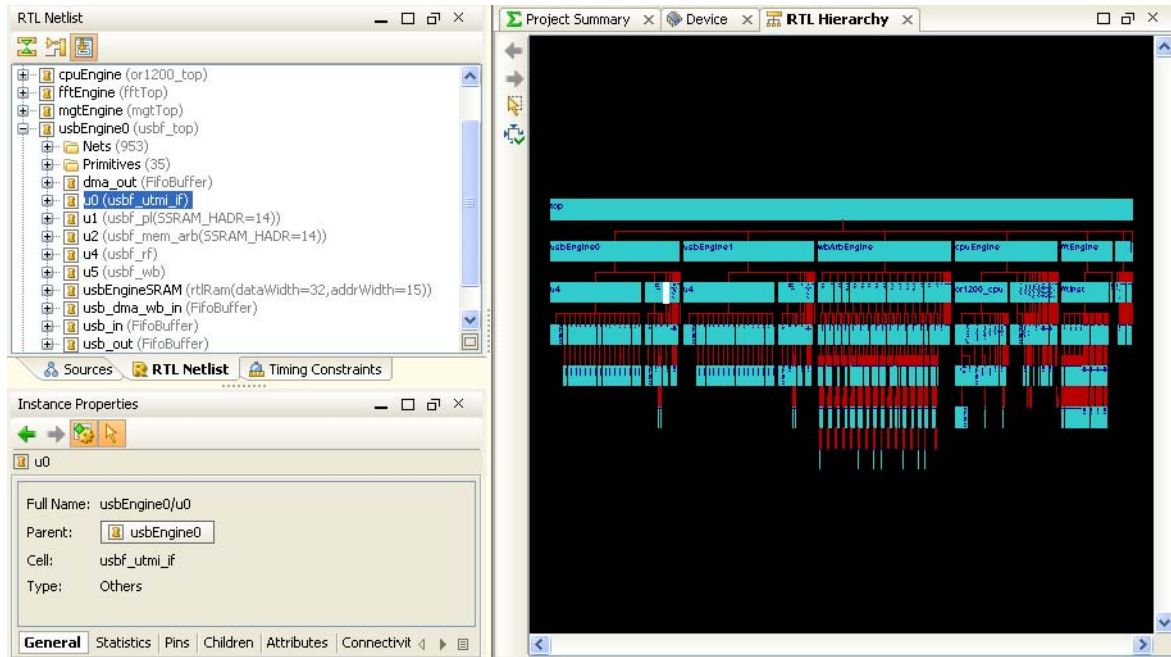



図 21 : [RTL Hierarchy] ビューのモジュールの表示

6. [RTL Hierarchy] ビューの X ボタンをクリックして、ビューを閉じます。
7. テキスト エディターを閉じるには、開いている RTL ファイルすべてで X ボタンをクリックします。

RTL 回路図を確認

1. [RTL Netlist] ビューで usbEngine0/u0/u0 インスタンス (前の選択の下レベルにあり) をクリックします。
2. [RTL Netlist] ビューで [Schematic] ボタン  をクリックするか、右クリックして [Schematic] をクリックします。

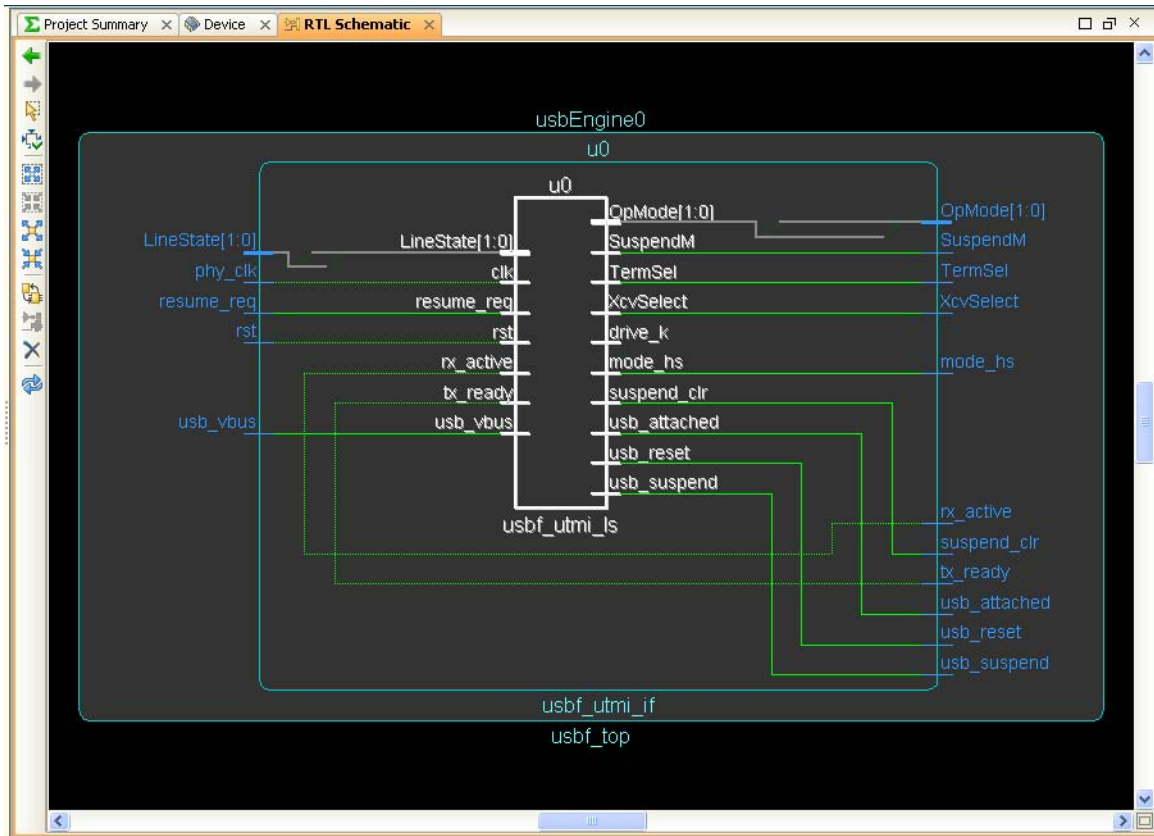


図 22 : RTL 回路図の表示

3. u0 モジュールの外側で **LineState[1:0]** ピンをダブルクリックし、ロジックを展開表示します (図 23)。
4. [RTL Schematic] ビューで [Zoom Fit] をクリックします。

ヒント：ビュー内でクリックして、右下から左上にカーソルをドラッグした場合も同じ表示になります。

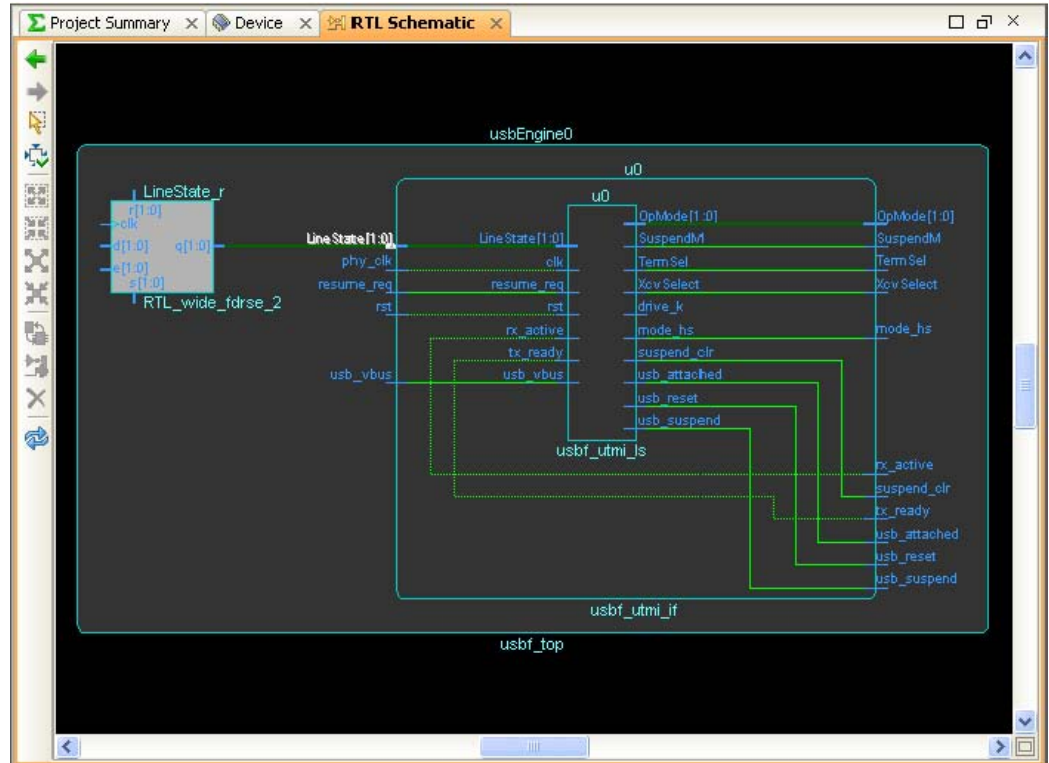




図 23 : [RTL Schematic] ビューでのロジックの展開表示

回路図の展開表示の詳細については、付録 A「その他のリソース」に示す『PlanAhead ソフトウェア チュートリアル：デザイン解析およびフロアプラン』（UG676）を参照してください。

5. [RTL Schematic] ビューの左側で RTL_wide_fdrse_2 インスタンスを選択します。
6. [RTL Schematic] ビューで右クリックし、[Go to Instantiation] をクリックし、RTL ファイルにロジック定義が含まれているのを確認します。
7. テキスト エディターおよび [RTL Schematic] ビューを閉じます。
8. [RTL Netlist] ビューで [Collapse All] ボタン  をクリックします。

[Find] コマンドで RTL ブロック RAM ロジックを検索

1. メイン ツールバーの [Find] ボタン  をクリックするか、[Edit] → [Find] をクリックして [Find] ダイアログ ボックスを開きます。

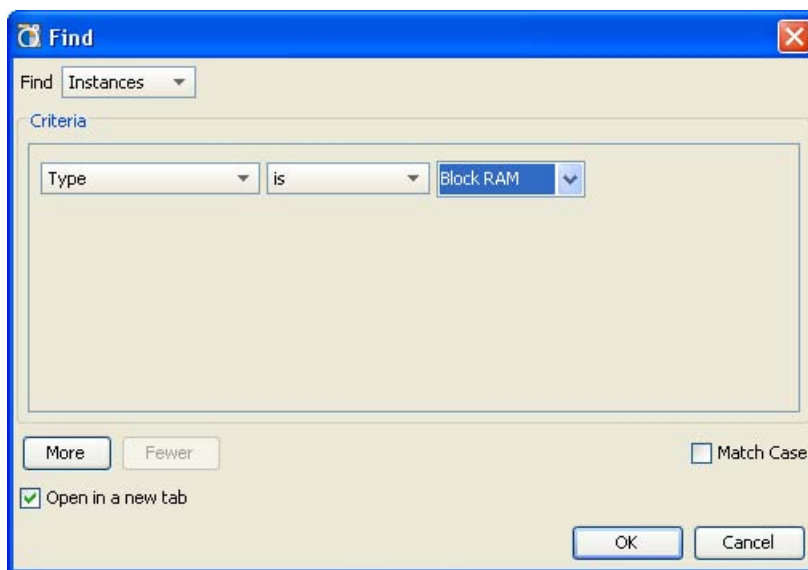


図 24 : [Find] ダイアログ ボックスを使用した RTL ロジックの検索

2. [Find] フィルタ オプションを確認します。
3. [Criteria] で [Type]、[is]、[Block RAM] を選択し、[OK] をクリックします。
[Find Results] ビューが開きます。

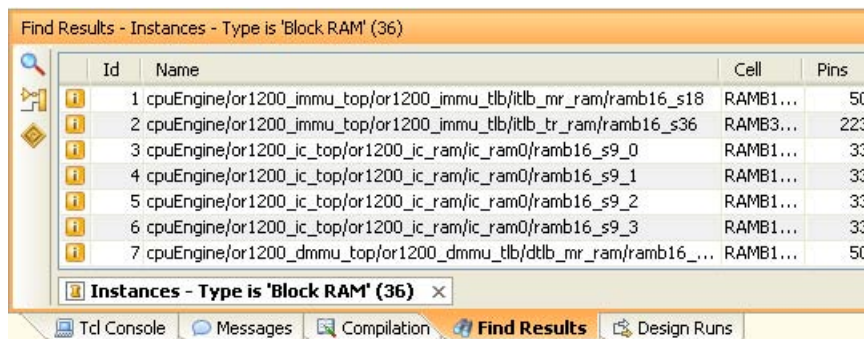


図 25 : RTL ブロック RAM の検索結果

検索結果が [Find Results] ビューに表示されます。

4. リストからブロック RAM の 1 つを選択して右クリックし、[Go to Instantiation] をクリックします。
インスタンスが [RTL Netlist] ビューで選択され、テキスト エディターに表示されます。
5. [Find Results] ビューとテキスト エディターのファイルを閉じます。

手順 5：リソース使用率と電力の概算

リソース概算のオプションを確認

1. Flow Navigator で [Resource Estimation] コマンドをクリックします。
[Resource Estimation] ビューが表示されます。

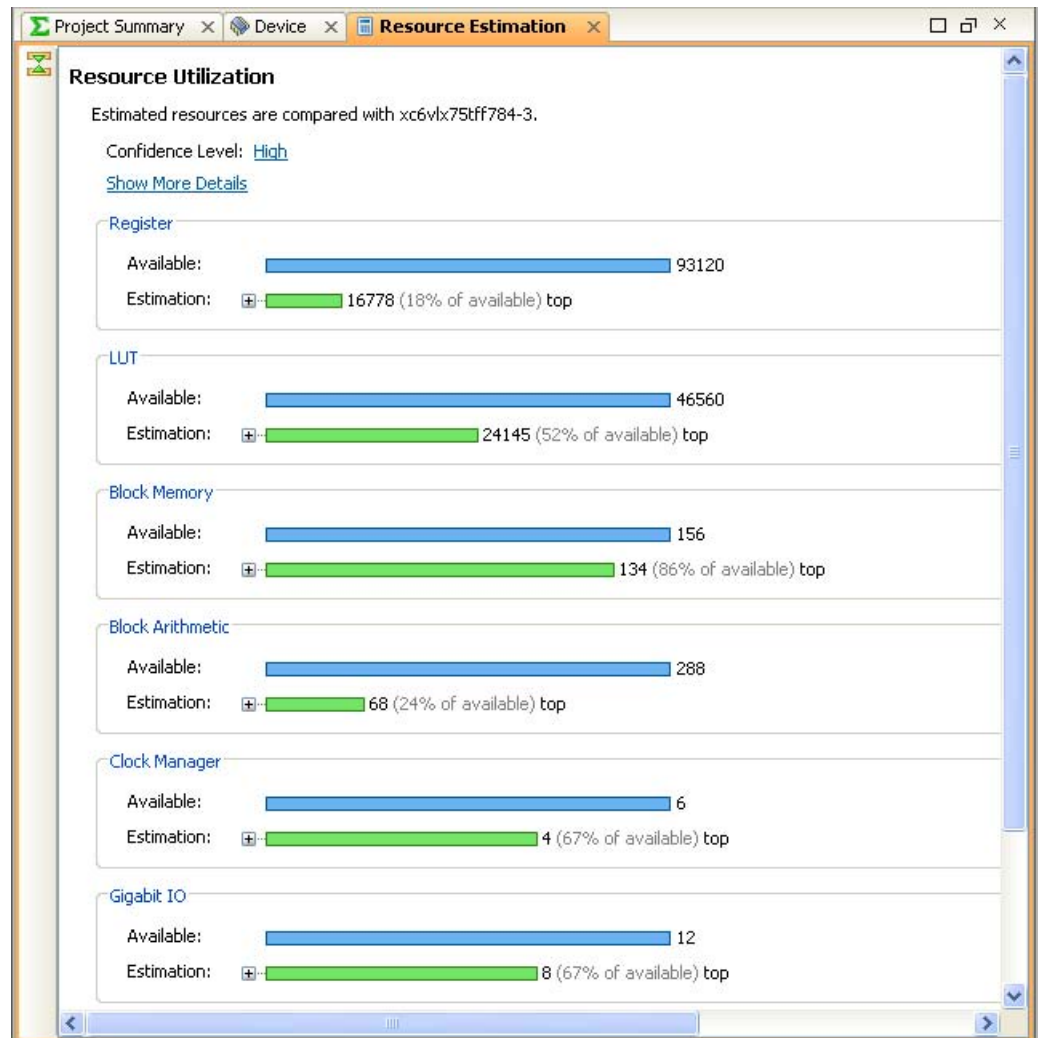


図 26：RTL リソース概算の表示

2. [Block RAM] フィールドの [Estimation] ツリーを展開し、その下のレポートを確認します。
3. [Resource Estimation] の X マークをクリックし、[Resource Estimation] ビューを閉じます。

RTL インスタンスのリソース概算を確認

1. [RTL Netlist] ビューで **top** をクリックすると、[Netlist Properties] ビューに RTL マクロ リソースが表示されます (図 27)。
2. [Netlist Properties] ビューが表示されない場合は、右クリックで [Netlist Properties] を選択します。

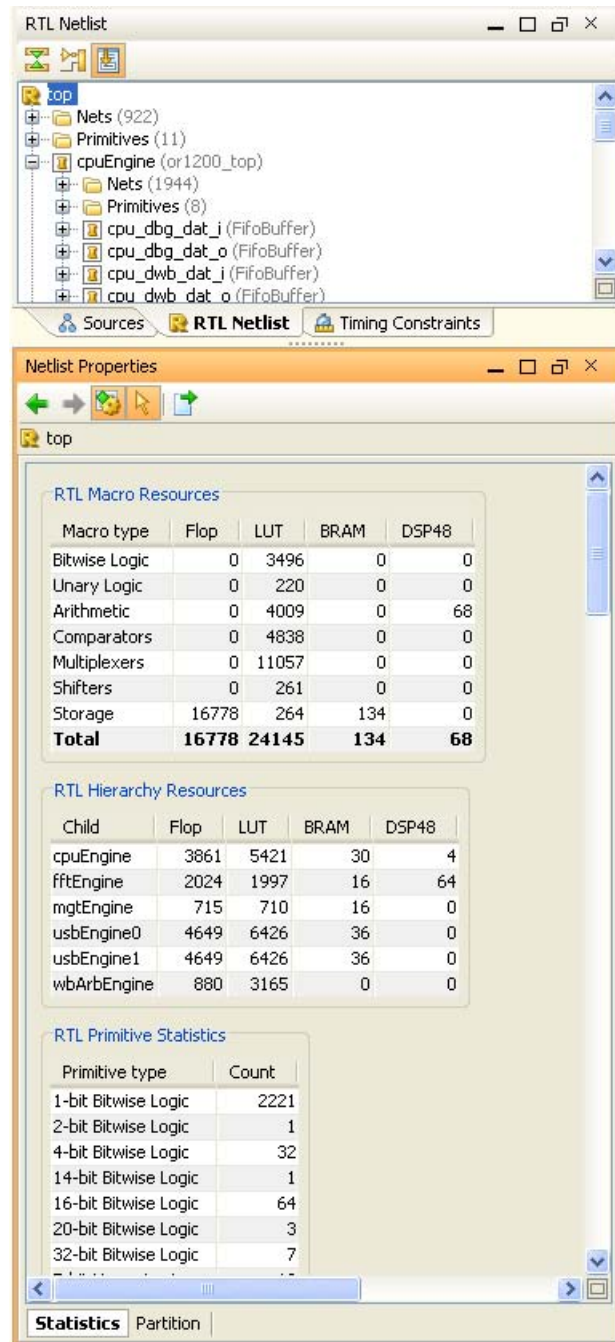


図 27 : RTL リソース概算の表示

3. [Netlist Properties] をスクロール ダウンし、次の情報を確認します。

- RTL メモリ リソース
- RTL 階層リソース
- RTL プリミティブ統計
- ネット バウンダリ統計
- クロック レポート

4. [RTL Netlist] ビューでその他のモジュールを選択して、概算を確認してみます。[Instance Properties] ビューで [Statistics] タブをクリックする必要があることもあります。

RTL デザインの消費電力を概算

1. Flow Navigator で [Power Estimation] をクリックします。
[Power Estimation] ダイアログ ボックスが開きます。

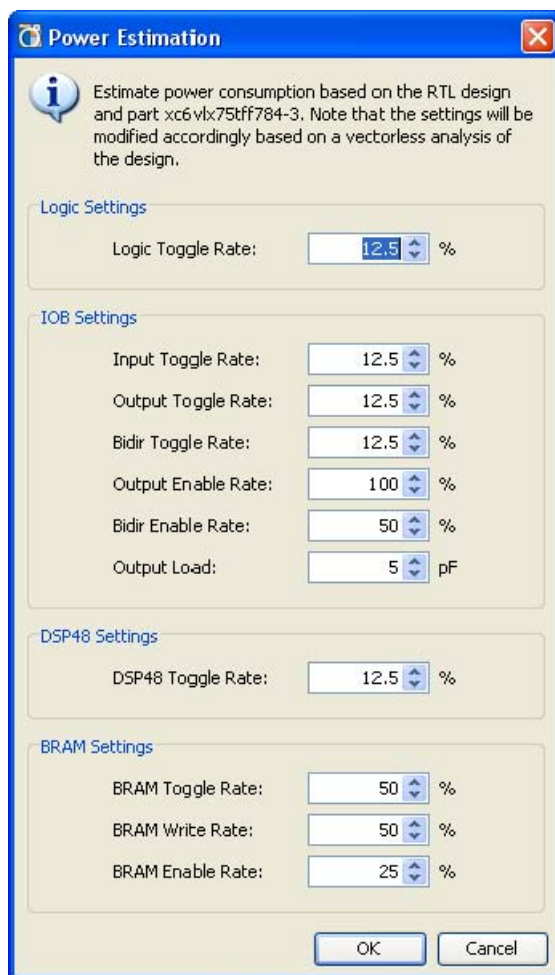


図 28 : [Power Estimation] ダイアログ ボックスのオプション

2. デフォルトの設定のまま、[OK] をクリックします。
3. [Power Estimation] ビューが開きます。

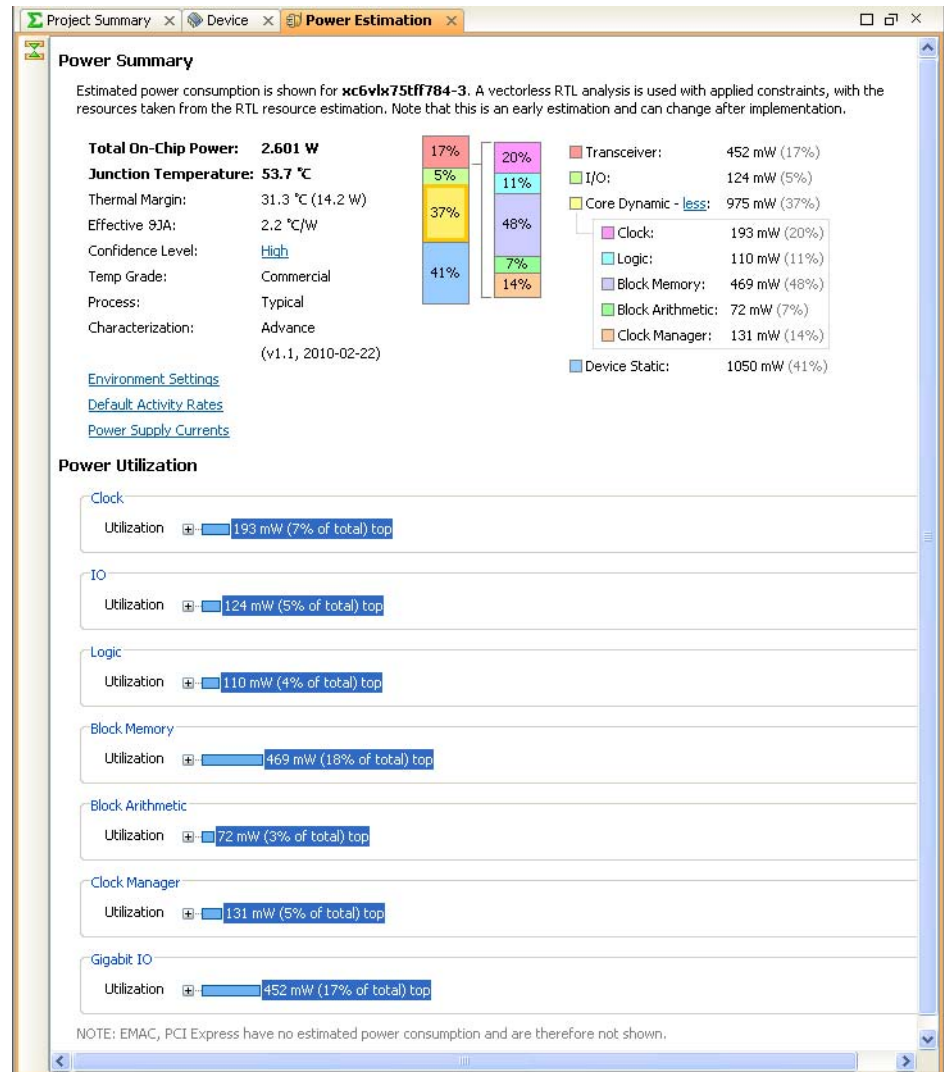


図 29 : RTL デザインの消費電力の概算

- スクロールダウンし、[Utilization] ツリーを展開すると、さまざまなリソースの種類が表示されます。
- [Power Estimation] ビューを閉じます。

手順 6 : RTL デザイン ルール チェックの実行

PlanAhead には RTL デザインで実行可能なデザインルールチェック (DRC) が複数含まれます。中には、LINT スタイルの RTL チェックで、電力やパフォーマンスの改善に対する提案が表示されるものもあります。また、RTL デザインの基本的な I/O バンクや電圧規則をチェックするものもあります。デザインが合成されたら、さらに多くのロジック デザイン、I/O およびクロックの DRC が使用できるようになります。

DRC の実行

1. Flow Navigator または [Tools] メニューから [Run DRC] をクリックします。
2. [Run DRC] ダイアログ ボックスで RTL 規則を展開表示して確認し (図 30)、[OK] をクリックします。

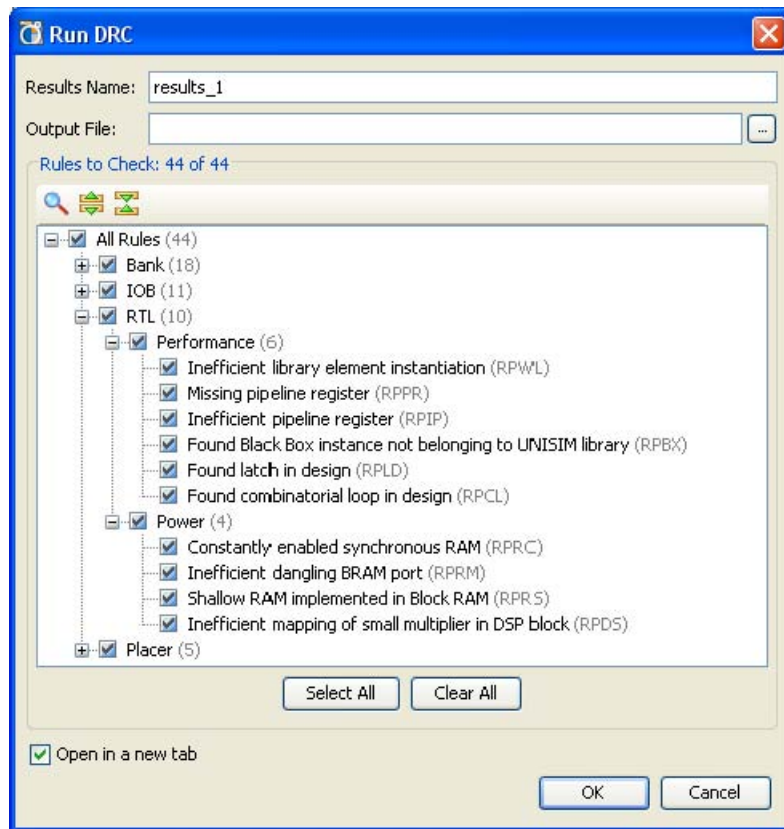


図 30 : RTL DRC の実行

[DRC Results] ビューが開きます。

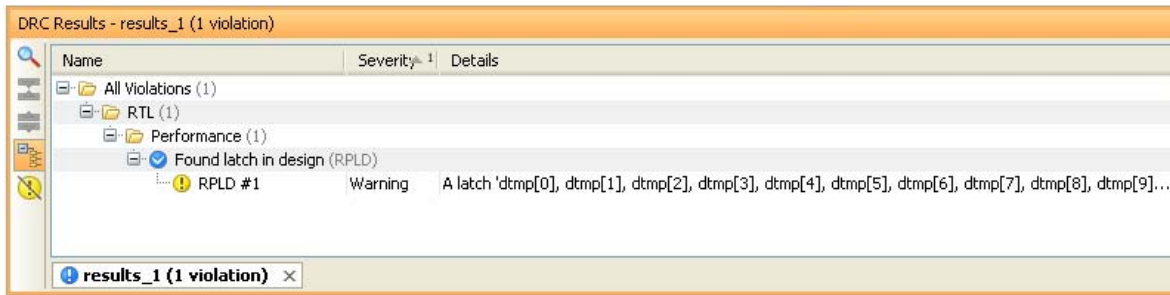


図 31 : RTL DRC 結果の表示

[RTL Results] ビューには、次の色でエラー、警告、情報メッセージがそれぞれ表示されます。

- エラーは赤いアイコン
- 警告はオレンジのアイコン
- 情報は黄色のアイコン

3. リストの **RPLD #1** ラッチの警告をクリックします。

[Violation Properties] ビューに違反に関する情報と該当するロジック オブジェクトを選択するリンクが表示されます。

4. [Violations Properties] ビューで **dtmp[0]** のリンクをクリックすると、[RTL Netlist] ビューでそのオブジェクトがハイライトされます。
5. [RTL Netlist] ビューで右クリックし、[Go to Instantiation] をクリックし (または **F7** キーを押し)、テキスト エディターを開きます。
6. [DRC Results] ビューと開いているテキスト エディターをすべて閉じます。
7. RTL デザインを閉じます。確認するダイアログボックスが表示されるので [OK] をクリックします。

手順 7: ザイリンクス IP カタログからの IP の選択

PlanAhead は CORE Generator™ ソフトウェア ツールと連動しており、CORE Generator には検索やフィルタ機能を持つ IP カタログが含まれます。これにより、必要な IP を簡単に見つけることができます。IP は PlanAhead から直接カスタマイズ、インスタンス化、インプリメントできます。IP カタログには、Project Manager と RTL デザイン環境のどちらからでもアクセスできます。

IP カタログを開いて、検索オプションを確認

1. Flow Navigator で [IP Catalog] をクリックします。
2. IP カテゴリを展開表示してみます。
3. IP を選択して、使用可能なツールバー ボタンやポップアップ メニューを確認してみてください。

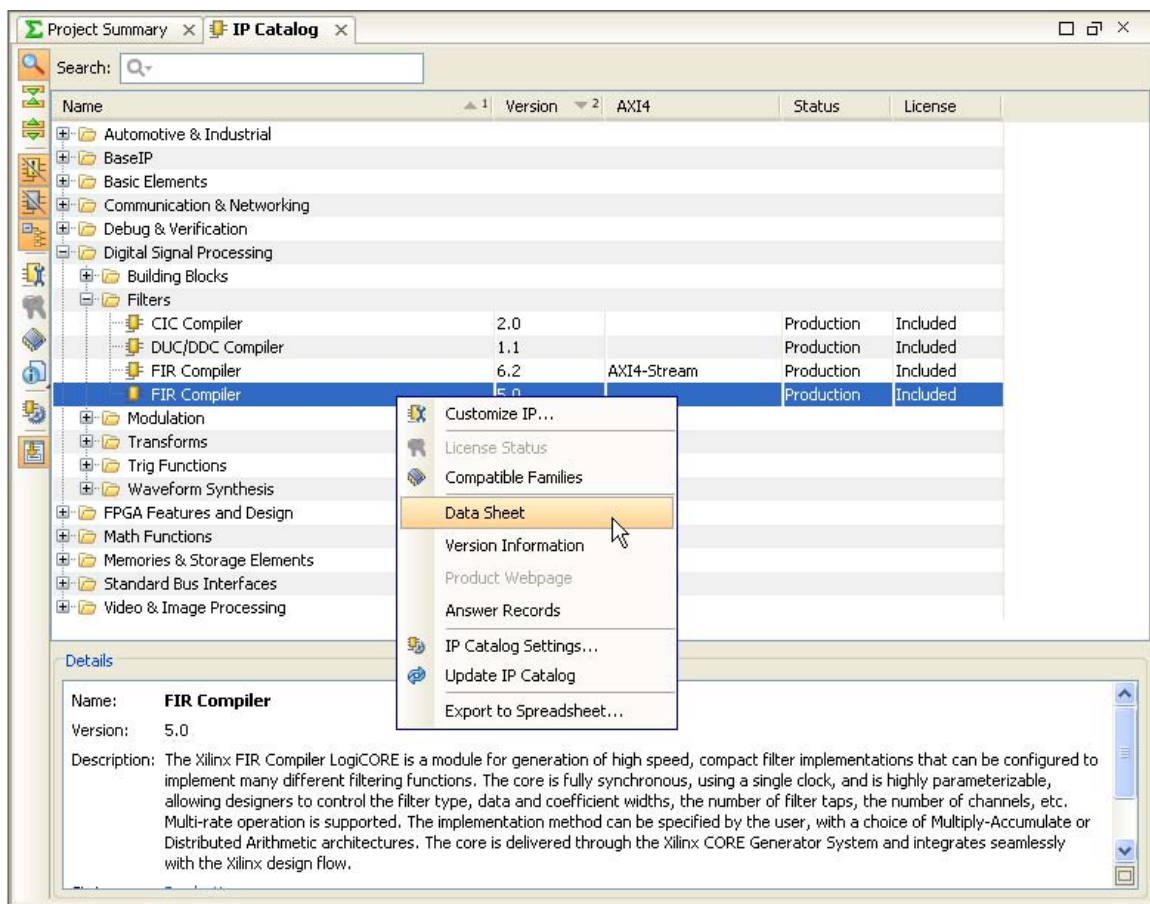








図 32: IP カタログ

4. 一番下の [Details] フィールドには選択した IP の詳細が表示されます。デフォルトでは、選択したデバイスに使用可能な IP ののみが表示されます。
 - すべての IP を表示するには、[Hide Superseded and Discontinued IPs] ボタン  と [Hide incompatible IPs] ボタン  を切り替えます。
 - 平坦化した IP のリストを表示するには、[Group by Category] ツールバー ボタン  で切り替えます。

5. 一番上の [Search] フィールドに **fir** と入力します。
6. [FIR Compiler IP] を選択し、[Data Sheet] ボタン  をクリックします。
7. データシートを確認したら、PDF ビューアーを閉じます。
8. [Search] フィールドをクリアにしたら、カタログ リストを展開表示します。

手順 8 : IP のカスタマイズおよびインスタンス化

単純な加算器 IP をカスタマイズ

1. [Group by Category] ボタン  をクリックします。
2. [Collapse All] ボタン  をクリックします。
3. [Math Functions] → [Adders & Subtractors] フォルダを展開します。
4. [Adder Subtractor] をダブルクリックすると、[Customize IP] コマンドが実行されます。

これにより、CORE Generator ツールが起動され、選択した IP のカスタマイズ インターフェイスが表示されます。表示されるインターフェイスは IP によって異なります。

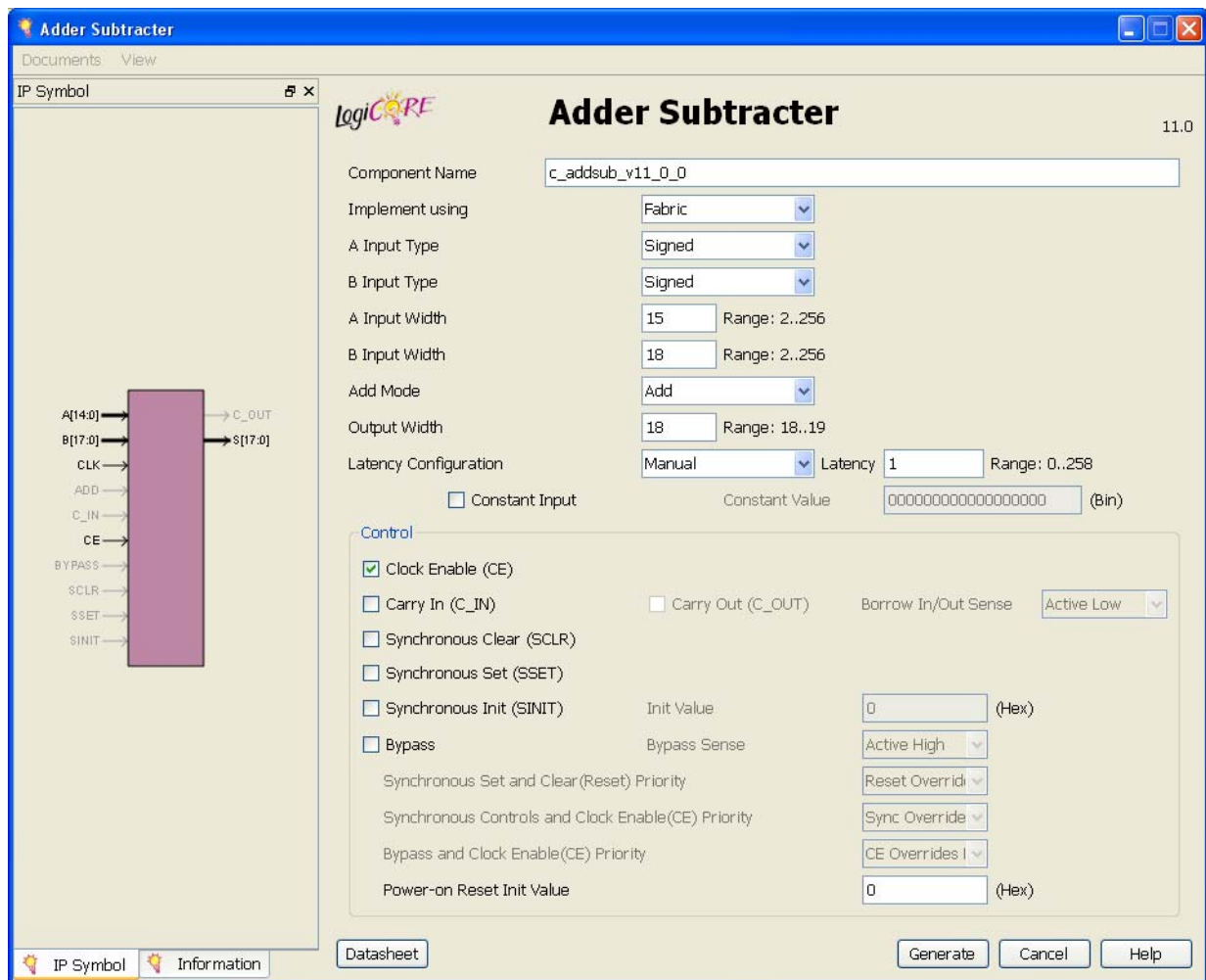



図 33 : CORE Generator を使用した IP のカスタマイズ

5. [B Input Width] フィールドを **18** にします。
6. [Generate] をクリックします。

[Generate] ボタンをクリックしたときの動作は、PlanAhead から CORE Generator を起動した場合と、CORE Generator をスタンドアロンで実行した場合で異なります。スタンドアロン モードの場合、CORE Generator は自動的に XST を起動して IP コアを合成します。PlanAhead から起動した

場合、合成は自動的に実行されないため、合成前に RTL でコアをインスタンス化したりコンフィギュレーションしたりできます。IP の合成はいつでも実行できるほか、IP を最初に合成してからデザイン全体の合成を実行することもできます。

加算器 IP をインスタンス化

1. [Sources] ビューで [Collapse All] ボタン  をクリックします。
2. IP フォルダを展開し、c_addsub_v11_0_0 IP を展開します。
3. c_addsub_v11_0_0.vao ファイルをダブルクリックし、テキスト エディターでそのインスタンス化 テンプレートを表示します。

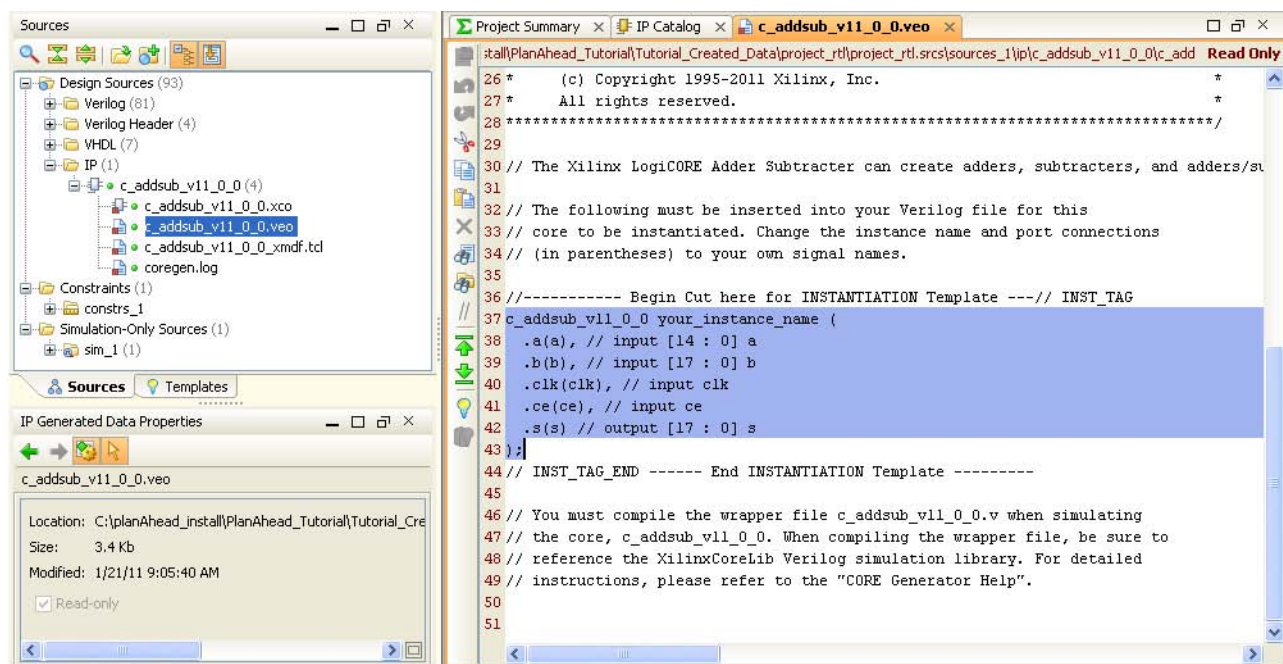




図 34 : インスタンス化 テンプレートの表示

4. 上の図のようにテキスト エディターでテキストを選択し、[Copy] ボタン  をクリックします。
5. [Sources] ビューで [Verilog] → [work] フォルダを展開表示します。
6. top.v ファイルをダブルクリックし、テキスト エディターで開きます。
7. ファイルの一番下の endmodule テキストの手前までスクロールダウンします。
8. endmodule のすぐ上の行を選択し、[Paste] ボタン  をクリックします。
9. テンプレートの YourInstanceName テキストを **my_adder** に変更します。

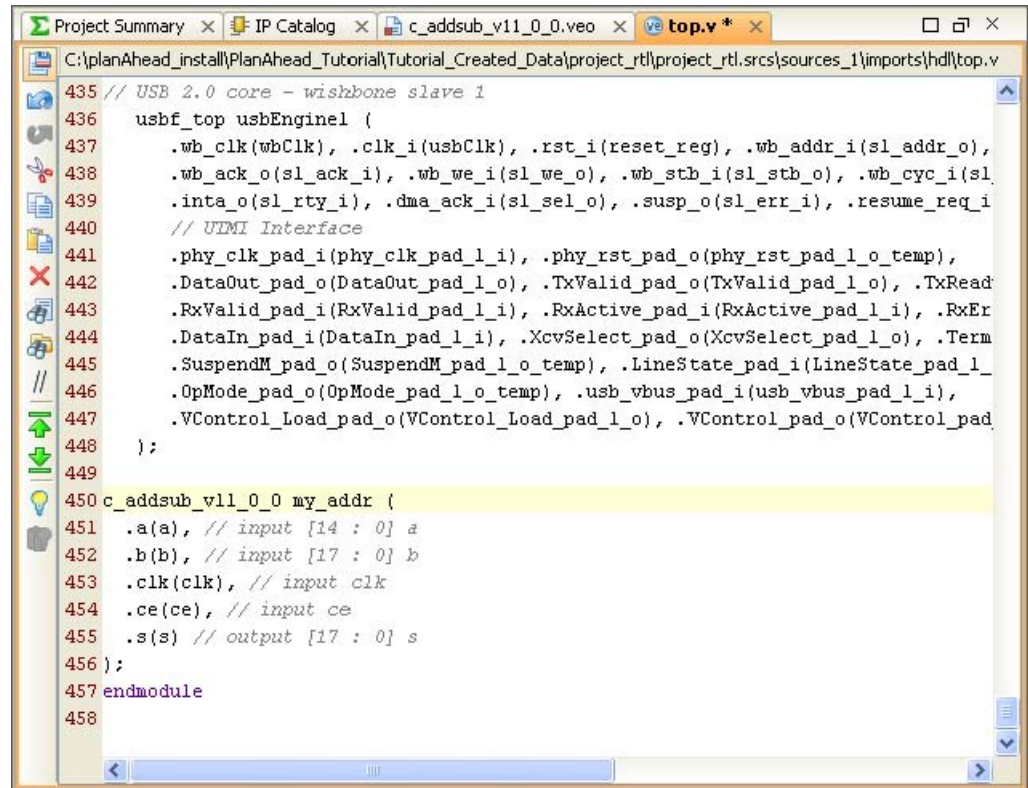


図 35 : IP のインスタンス化

10. .clk のポート定義を既存の cpuClk クロック信号を使用するように変更します。

```

447     .VControl_Load_pad_o(VControl_Load_pad_l
448 );
449
450 c_addsub_v11_0_0 your_instance_name (
451     .a(a), // input [14 : 0] a
452     .b(b), // input [17 : 0] b
453     .clk(cpuClk), // input clk
454     .ce(ce), // input ce
455     .s(s) // output [17 : 0] s
456 );
457
458 endmodule
459

```

図 36 : cpuClk クロック信号を使用するように clk 信号を変更

11. top.v ファイルの一番上までスクロールし、モジュールポート定義に IP ポート (**a**, **b**, **ce**, **s**) を追加します。

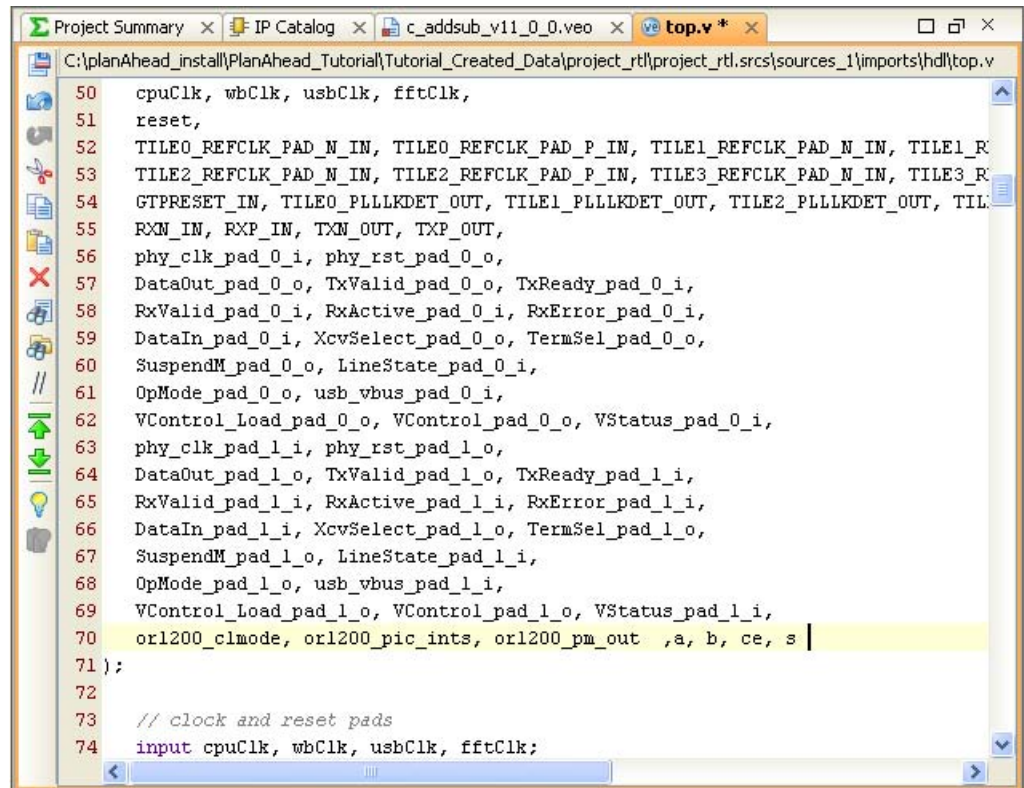


図 37 : 最上位レベル モジュールのポート リストへ IP ポートを追加

12. top.v ファイルで新しいポートを定義します。次のテキストを追加します (図 38)。

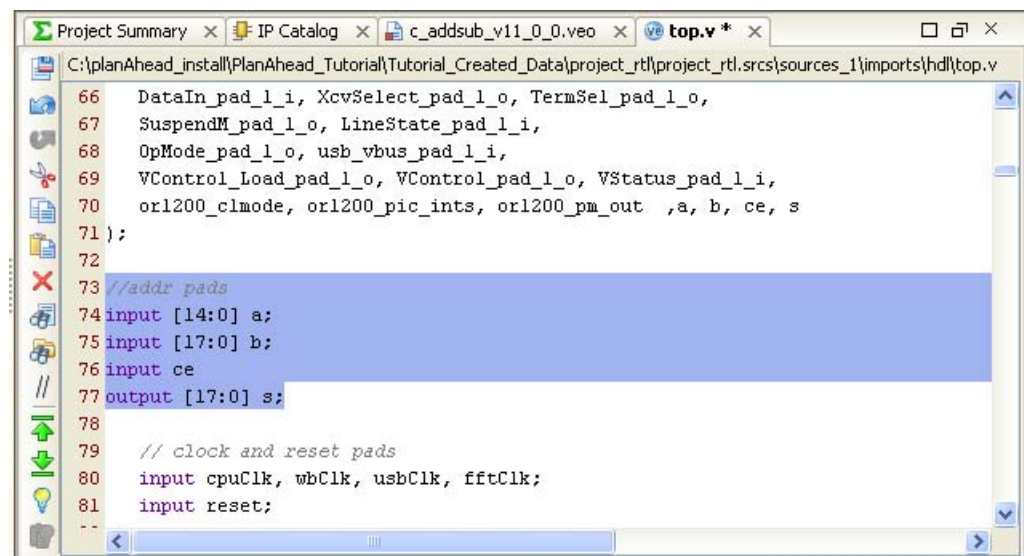


図 38 : top.v ファイルでの IP ポートの定義

13. top.v ファイルは、図 38 と同じようになるはずです。
14. タブで X ボタンをクリックして top.v ファイルを閉じ、変更を保存するかどうか尋ねられたら [Yes] をクリックします。
15. タブの X ボタンをクリックして VEO テンプレート ファイルを閉じます。

16. タブの X ボタンをクリックして IP カタログを閉じます。

手順 9 : IP の生成

IP を生成し、回路図でそのロジックを確認

1. [Sources] ビューで `c_addsub_Vxx_x` 最上位レベル ファイルを右クリックし、[Generate IP] を選択します。IP が合成されるまでお待ちください。
[Messages] ビューに生成された IP に関する情報が表示されます。メッセージをスクロール ダウンして確認します。
ロジックを表示するには、RTL デザインを開きます。
2. Flow Navigator で [RTL Design] をクリックします。
3. [RTL Netlist] ビューで `my_adder` モジュールを展開表示して、選択します。
メモ : [RTL Netlist] ビューでブラック ボックスのアイコンが表示されたら、RTL デザインと生成済み IP のメッセージを確認し、`top.v` ファイルに戻ってエラーをチェックします。IP が [RTL Netlist] ビューに表示されるまで [RTL Design] コマンドを再実行します。
4. ツールバーから [Schematic] ボタン  をクリックします。
5. [Schematic] ビューでインスタンスをダブルクリックして、ロジックを展開表示します。

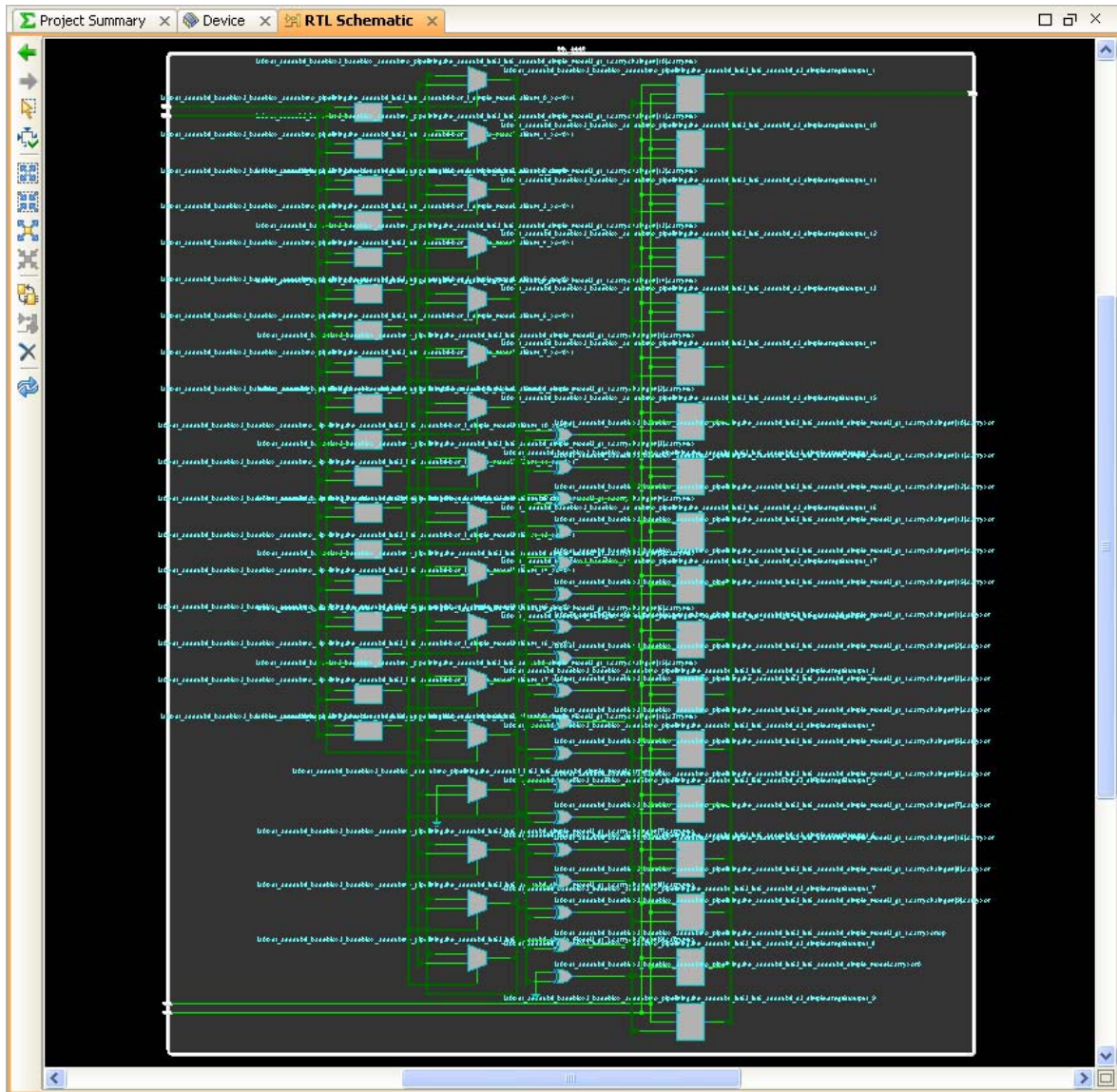


図 39 : 回路図での IP ロジックの解析

6. [Schematic] ビューを閉じます。
7. [File] → [Exit] をクリックします。変更を保存するかどうか尋ねるメッセージが表示されたら [No] をクリックし、[OK] をクリックして PlanAhead を閉じます。

まとめ

このチュートリアルでは、小型の RTL プロジェクトを使用して、PlanAhead の RTL 開発と解析環境について説明しました。ここでは、まず RTL プロジェクトを作成し、RTL ソースとテキストエディターを確認しました。この後、ビヘイビア シミュレーションを実行し、RTL デザインをエラーレーションし、解析機能を確認しました。解析機能には、RTL ロジック階層、RTL 回路図、ロジックタイプの検索、RTL リソースおよび消費電力の概算、および RTL DRC の実行などが含まれます。そのあと、ザイリンクスの IP カタログを確認し、小型の加算器 IP コアをカスタマイズし、インスタンシエートしてインプリメントしました。

その他のリソース

ザイリンクス リソース

- 『ISE Design Suite : インストールおよびライセンス ガイド』(UG798) :
http://japan.xilinx.com/support/documentation/sw_manuals/xilinx13_1/iil.pdf
- 『ISE Design Suite 13 : リリース ノート ガイド』(UG631) :
http://japan.xilinx.com/support/documentation/sw_manuals/xilinx13_1/irn.pdf
- ザイリンクス資料 :
<http://japan.xilinx.com/support/documentation.htm>
- ザイリンクス用語集 :
http://japan.xilinx.com/support/documentation/sw_manuals/glossary.pdf
- ザイリンクス サポート :
<http://japan.xilinx.com/support.htm>
- ビデオ デモ :
http://japan.xilinx.com/products/design_resources/design_tool/resources/index.htm

PlanAhead 資料

- 『PlanAhead ユーザー ガイド』(UG632) :
http://japan.xilinx.com/support/documentation/sw_manuals/xilinx13_1/PlanAhead_UserGuide.pdf
- PlanAhead 手法ガイド :
http://japan.xilinx.com/support/documentation/dt_planahead_planahead13-1_userguides.htm
- PlanAhead チュートリアル :
http://japan.xilinx.com/support/documentation/dt_planahead_planahead13-1_tutorials.htm
 - 『PlanAhead ソフトウェア チュートリアル : デザイン解析およびフロアプラン』(UG676)
http://japan.xilinx.com/support/documentation/sw_manuals/xilinx13_1/PlanAhead_Tutorial_Design_Analysis_Floorplan.pdf

