

PlanAhead

ユーザー ガイド

UG632 (v 13.1) 2011 年 3 月 1 日



Xilinx is disclosing this user guide, manual, release note, and/or specification (the “Documentation”) to you solely for use in the development of designs to operate with Xilinx hardware devices. You may not reproduce, distribute, republish, download, display, post, or transmit the Documentation in any form or by any means including, but not limited to, electronic, mechanical, photocopying, recording, or otherwise, without the prior written consent of Xilinx. Xilinx expressly disclaims any liability arising out of your use of the Documentation. Xilinx reserves the right, at its sole discretion, to change the Documentation without notice at any time. Xilinx assumes no obligation to correct any errors contained in the Documentation, or to advise you of any corrections or updates. Xilinx expressly disclaims any liability in connection with technical support or assistance that may be provided to you in connection with the Information.

THE DOCUMENTATION IS DISCLOSED TO YOU “AS-IS” WITH NO WARRANTY OF ANY KIND. XILINX MAKES NO OTHER WARRANTIES, WHETHER EXPRESS, IMPLIED, OR STATUTORY, REGARDING THE DOCUMENTATION, INCLUDING ANY WARRANTIES OF MERCHANTABILITY, FITNESS FOR A PARTICULAR PURPOSE, OR NONINFRINGEMENT OF THIRD-PARTY RIGHTS. IN NO EVENT WILL XILINX BE LIABLE FOR ANY CONSEQUENTIAL, INDIRECT, EXEMPLARY, SPECIAL, OR INCIDENTAL DAMAGES, INCLUDING ANY LOSS OF DATA OR LOST PROFITS, ARISING FROM YOUR USE OF THE DOCUMENTATION.

© Copyright 2011 Xilinx, Inc. XILINX, the Xilinx logo, Virtex, Spartan, ISE, and other designated brands included herein are trademarks of Xilinx in the United States and other countries. All other trademarks (Synopsys[†], AXI[†], Mentor Graphics[†]) are the property of their respective owners.

改訂履歴

次の表に、この文書の改訂履歴を示します。

日付	バージョン	改訂内容
2011 年 3 月 1 日	13.1	<ul style="list-style-type: none">新機能の説明<ul style="list-style-type: none">タイミング シミュレーションおよびビヘイビアー シミュレーション用に ISim を統合プッシュ ボタンでフローを実行可能な GUIProject Navigator ファイルからプロジェクトを作成する機能[Clock Resources] ビューを追加メイン メニュー検索機能を追加ピン割り当てとバンク規則並べ替え機能IBIS モデルのエクスポート機能エラー、重要な警告、警告、および情報メッセージを統合したメッセージ管理機能サードパーティのテキスト エディターを追加するなどのテキスト エディターのカスタマイズ機能プロジェクトのアーカイブ機能ChipScope でのデバッグ用にタグ ネットを追加する機能[Device] ビューの凡例を追加する機能 (回路図凡例)

本資料は英語版 (v13.1) を翻訳したもので、内容に相違が生じる場合には原文を優先します。

資料によっては英語版の更新に対応していないものがあります。

日本語版は参考用としてご使用の上、最新情報につきましては、必ず最新英語版をご参照ください。

目次

改訂履歴.....	2
第 1 章：概要	
PlanAhead ソフトウェアについて	13
PlanAhead ソフトウェアの使用	14
プロジェクトの作成と管理	14
RTL および IP デザイン	15
デザイン シミュレーション	15
合成とインプリメンテーション	15
デザイン解析および制約の定義	15
ピン配置	15
フロアプラン	16
デザインのプログラムとデバッグおよび ChipScope の統合	16
階層デザイン、デザイン保持、パーシャル リコンフィギュレーション	16
Tcl コマンドおよびバッチ スクリプト	16
ISE Project Navigator 環境での PlanAhead の使用	16
入力および出力ファイル	17
デザイン ルール チェック	17
PlanAhead の用語	17
ソフトウェアのアップデート	17
複数の Linux ホストの設定	17
その他のリソース	17
PlanAhead の起動	18
Linux	18
Windows	18
Getting Started ページの使用	19
PlanAhead コマンド ライン オプション	19
PlanAhead スタートアップ Tcl スクリプト	20
第 2 章：PlanAhead デザイン フローの理解	
PlanAhead デザイン フロー	21
RTL からビットストリーム	21
合成ネットリストからビットストリーム	21
デバイスの解析と I/O ピン配置	21
インプリメント済みデザイン結果の解析	22
パーシャル リコンフィギュレーション	22
デザイン フロー	22
デザイン フロー	22
デザイン フロー タスク	23
ユーザー モデル	26
基本的なユーザー フロー	26
アドバンス機能	26
Flow Navigator の理解	26
RTL プロジェクトでの Flow Navigator の使用	27
合成済みネットリスト プロジェクトでの Flow Navigator の使用	28
Flow Navigator からのコマンドの実行	28
デザインの操作	30
RTL デザインを開く	31
ネットリスト デザインの使用	31
インプリメント済みデザインを開く	33
開いているデザインの管理	34

デザインの保存	34
デザインを閉じる	34
デザイン ビュー パナー	35

第 3 章：プロジェクトの操作

PlanAhead のプロジェクト タイプ	37
RTL ソース ベースのプロジェクト	37
合成済みネットリスト ベースのプロジェクト	37
インプリメント済みデザイン結果ベースのプロジェクト	38
I/O ピン配置プロジェクト	38
Project Navigator で作成されたプロジェクト	38
新規プロジェクトの作成	38
New Project ウィザードの使用	38
RTL ソースを使用したプロジェクトの作成	40
合成済みネットリストを使用したプロジェクトの作成	46
I/O ピン配置プロジェクトの作成	47
ISE の配置およびタイミング結果を使用したプロジェクトの作成	48
ISE プロジェクトのインポート	49
プロジェクトの管理	50
既存のプロジェクトを開く	50
複数のプロジェクトを開く	50
プロジェクトの保存	50
プロジェクトのアーカイブ	50
プロジェクトを閉じる	51
プロジェクト ソースの管理	51
RTL ソース ファイルの管理	52
RTL ソース ファイルの追加と作成	52
トップ モジュールの指定とソース ファイルの順序の変更	55
ソース ファイルのイネーブル/ディスエーブル	56
リモート ソースの参照またはプロジェクト ディレクトリへのソースのコピー	56
制約の管理	58
制約ファイルの追加と作成	58
制約セットの使用	60
モジュール レベルの制約ファイルの使用	62
制約のエクスポート	63
シミュレーション ソースの管理	63
シミュレーション ソース ファイルの追加と作成	63
IP コアの管理	65
既存の IP コアの追加	65
ザイリンクス IP カタログの使用	66
IP カタログのアップデート	71
プロジェクト設定	72
[Project Settings] ダイアログ ボックスの [General] ページ	74
[Project Settings] ダイアログ ボックスの [Simulation] ページ	75
[Project Settings] ダイアログ ボックスの [Synthesis] ページ	76
[Project Settings] ダイアログ ボックスの [Implementation] ページ	77
[Project Settings] ダイアログ ボックスの [IP Catalog] ページ	78
合成およびインプリメンテーション ストラテジの作成	79
[Project Summary] ビューの使用	81
[Project Settings] セクション	81
[Project State] セクション	81
[Compilation] セクション	82
[Resources] セクション	82
[Implemented Timing] セクション	83
[Partition Summary] セクション	83
PlanAhead の XSP および EDK との使用	83

第 4 章：表示環境の使用

表示環境の理解	85
表示環境の概要	86
主な表示環境コンポーネント	87
メイン表示エリア	88
ビューの最大化/最小化	88
Flow Navigator の表示/非表示	89
Tcl コンソールおよびメッセージ エリアの非表示	89
ビュー レイアウトの使用	90
Tcl コンソールおよびメッセージ エリアの使用	91
[Messages] ビュー	91
[Compilation] ビュー	92
[Tcl Console] ビュー	92
[Design Runs] ビューの使用	94
ビューの操作	94
ビューを開く	94
ビューのナビゲート	95
ビュー バナーを使用したビューの操作	95
ワークスペースのビュー	96
ワークスペースの分割	98
分割されたビューを 1 つのビューに戻す	98
ツリー表形式のビュー	99
ビュー特定のツールバー コマンド	101
メイン メニュー コマンドの検索機能の使用	101
情報バナー	102
文脈依存カーソルについて	103
オブジェクトの選択	103
[Select] メニュー コマンド	103
複数のオブジェクトの選択	103
[Select Area] コマンド	103
プリミティブの親モジュールの選択	104
[Selection] ビュー	104
選択したオブジェクトすべての表示	105
オブジェクトの選択規則	106
ワークスペース ビューでのオブジェクト選択方法の設定	107
選択したオブジェクトのハイライト	107
選択したオブジェクトのマーク	107
PlanAhead ビューの使用	107
[Sources] ビュー	107
[Source File Properties] ビュー	110
[Device] ビュー	111
[Package] ビュー	115
[Schematic] ビュー	118
[Properties] ビュー	125
[Netlist] ビュー	126
[Hierarchy] ビュー	129
[I/O Ports] ビュー	131
[Package Pins] ビュー	132
[Design Runs] ビュー	133
ビュー環境の設定と保存	135
PlanAhead の表示オプションのカスタマイズ	135
ビュー レイアウトの作成と使用	138
PlanAhead の動作の設定	139
PlanAhead の全般的なオプションの設定	139
テーマの設定	140
選択規則オプションの設定	140
ショートカット キーの設定	141

回路図属性	142
ストラテジ	142
テキスト エディターのフォント設定	142
PlanAhead の一般的なウィンドウ動作の設定	143

第 5 章：RTL デザイン

概要	145
デザイン ソース ファイルの管理	145
RTL ソース ファイルの編集	145
テキスト エディターの使用	146
言語テンプレートのインスタンシエート	146
[Find] コマンドを使用したソース ファイルの検索	147
RTL デザインのエラボレーションと解析	149
RTL デザインのエラボレーション	149
RTL デザインのリソース予測	150
RTL ロジック階層の解析	153
消費電力予測	153
電力分配の解析	157
ビヘイビア シミュレーションの実行	160
シミュレーション起動オプションの指定	160
シミュレーション言語オプションの指定	162
シミュレーターの起動	163
RTL DRC の実行	165
DRC の選択	165
DRC 違反の解析	165

第 6 章：デザインの合成

PlanAhead での合成およびインプリメンテーションについて	167
合成の実行	167
合成に関するヒント	167
合成オプションの設定	168
XST オプションを使用した階層ネットリストの作成	169
ファイルのコンパイル順序	169
パーティションを含むデザインの合成	169
合成実行の起動	170
実行ステータスの監視	172
合成終了後の次の手順の選択	173
実行結果の解析	174
複数の合成実行の起動	175

第 7 章：ネットリストの解析および制約の定義

概要	177
ネットリスト デザイン環境の使用	177
リソース統計の表示とレポート	178
階層別のリソース概算	179
ロジック インスタンスのリソース統計の表示	180
Pblock のリソース統計の表示	181
[Statistics] タブの使用	182
リソース統計レポートのエクスポート	183
ロジックのエクスポート	184
ロジック階層の表示	184
ロジック回路図の表示	184
階層接続の解析	185
[Find] コマンドを使用したオブジェクトの検索	186
[Find Results] ビューの使用	187

ChipScope デバッグ コアの挿入.....	188
タイミング制約の定義.....	188
テキスト エディターでの制約の編集.....	188
ザイリンクス提供の制約テンプレートの使用.....	189
[Timing Constraints] ビューの使用.....	190
タイミング制約の値の変更.....	192
新しいタイミング制約の追加.....	193
タイミング制約の削除.....	193
タイミング解析の実行.....	194
ネットリスト デザインのタイミング解析オプション.....	194
[Report Timing] コマンドの使用.....	194
タイミング結果の解析.....	203
スラック ヒストグラムの使用.....	206
スラック ヒストグラムのオプション設定.....	207
[Generate Slack Histogram for Endpoints] ダイアログ ボックスの [Timer Settings] タブ.....	211
タイミング ヒストグラム結果の解析.....	212
物理制約の定義.....	215
[Physical Constraints] ビューの使用.....	215
相対配置マクロ (RPM) での作業.....	217
デザイン ルール チェック (DRC) の実行.....	218
I/O ポートおよびクロック ロジック DRC の実行.....	218
ネットリストおよび制約 DRC の実行.....	218

第 8 章：I/O ピン配置

I/O 配置の概要.....	221
I/O ピン配置の手法.....	221
I/O 配置ストラテジ.....	221
I/O ポート配置機能.....	222
I/O Planning ビュー レイアウトの使用.....	223
デバイス リソースの表示.....	224
パッケージ ピンのプロパティの表示.....	225
I/O バンク リソースの表示.....	225
クロック領域のリソースおよび統計の表示.....	226
多機能ピンの表示.....	227
ターゲット パーツの変更.....	228
デバイス コンフィギュレーション モードの選択.....	229
I/O ポートの定義と設定.....	230
I/O ポートのインポート.....	230
I/O ポートの新規作成.....	231
I/O ポートの設定.....	232
DCI_CASCADE 制約の設定.....	234
DCI カスケード制約の変更と削除.....	236
I/O ピンおよび I/O バンクの使用禁止.....	236
I/O ポート インターフェイスの作成.....	237
インタラクティブなデザイン ルール チェックの使用.....	239
I/O ポートの配置.....	239
I/O ポートの I/O バンクへの配置.....	240
I/O ポートの定義された領域への配置.....	241
I/O ポートの順次配置.....	242
配置済み I/O ポートの入れ替えおよび移動.....	242
I/O ポートの自動配置.....	243
ギガビット トランシーバ I/O ポートの配置.....	244
クロック ロジックの配置.....	244
[Clock Resources] ビューの使用.....	245
[Device] ビューのクロック ロジックの配置.....	247
I/O とクロック ロジックの配置の検証.....	248

I/O ポートおよびクロック ロジック関連の DRC の実行	248
I/O 配置制約の削除	250
I/O ピンとパッケージ データのエクスポート	250
パッケージ ピンの情報のエクスポート	250
I/O ポート リストのエクスポート	250
IBIS モデルのエクスポート	251
ノイズ解析予測の使用	253
SSN 解析の実行 (Virtex-6 および Spartan-6)	253
SSN 結果の表示	254
SSN 問題の解決	255
SSN 結果の I/O バンク プロパティの表示	255
SSN の I/O ポート スイッチ位相グループの定義	256
WASSO 解析の実行 (Spartan-3、Virtex-4、Virtex-5)	257
WASSO 解析結果の確認	258

第 9 章：デザインのインプリメンテーション

概要	259
インプリメンテーションの実行	259
インプリメンテーション オプションの設定	259
インプリメンテーション run の開始	260
インプリメンテーション run の設定	261
run ステータスの監視	263
プロジェクト ステータス表示の使用	263
run のキャンセル	263
コンパイル ログの表示	263
プロジェクトのステータス	265
プロジェクト ステータス バー	265
Flow Navigator のデザイン ステート	265
デザインのアップデートが必要であることを示すバナー	265
run 結果の解析	266
レポート ファイルの表示	266
メッセージの表示	267
RTL ソースでのコンパイル問題のハイライト	268
[Project Summary] ビュー	269
[Project Settings] セクション	269
[Project State] セクション	270
[Compilation Settings] セクション	270
[Resource] セクション	270
タイミング結果の表示	272
インプリメンテーション終了後の次のステップの指定	273
複数 run の作成および起動	273
複数 run の管理	276
[Design Runs] ビューの使用	276
アクティブ run の設定	276
run プロパティの表示と変更	276
選択した run の起動	279
run のリセット	280
run の削除	280
run のコピー	280
run ディレクトリでファイル ブラウザを開く	281
リモート Linux ホストでの run の起動	282
リモート Linux ホストで run を起動する際の制限	282
リモート ホストの設定 (Linux のみ)	282

第 10 章：デザインのフロアプラン

フロアプラン ストラテジの概要	285
-----------------	-----

Pblock の概要	285
Pblock の作成	285
Pblock の図	292
Pblock プロパティの表示	295
Pblock の設定	296
Pblock ロジック タイプ範囲の設定	296
Pblock へのロジックの割り当て	297
Pblock のロジック割り当て解除	297
Pblock の移動とサイズ変更	297
リソース使用率の統計を使用した Pblock サイズの決定	299
接続に基づいた Pblock の配置	300
バンドル ネット プロパティの表示	301
バンドル ネットのデフォルトの変更	301
長方形以外の形の Pblock の使用	301
Pblock 長方形の削除	302
Pblock の属性の設定	302
Pblock の名前の変更	303
Pblock の削除	304
Pblock の自動作成	304
Pblock 自動配置プログラムの実行	305
配置 LOC 制約	306
固定された配置制約および固定されていない配置制約について	306
サイト制約および BEL 制約について	307
サイト ロケーション配置制約 (LOC) の割り当て	307
BEL 配置制約 (BEL) の割り当て	309
配置制約の表示/非表示	309
配置制約の移動	310
配置箇所の入れ替え	311
選択した配置制約の削除	311
選択した配置制約の削除	311
インスタンスおよび I/O ポートの配置削除	311
配置制約の付いた Pblock の移動	312
ISE インプリメンテーション中の配置のロック	313
配置禁止制約の使用	313
PlanAhead と ISE のインターフェイス	314
制約のエクスポート	314
ネットリストのエクスポート	315
ISE インプリメンテーション用の Pblock のエクスポート	315

第 11 章：インプリメンテーション結果の解析

インプリメント済みデザインを開く	317
複数のインプリメント済みデザインを開く	319
PlanAhead 外からの ISE 結果のインポート	320
New Project ウィザードを使用した ISE 結果プロジェクトの作成	320
既存プロジェクトへの配置結果のインポート	320
既存プロジェクトへの ISE TRCE タイミング結果のインポート	320
配置およびタイミング結果の解析	321
ザイリンクス TRCE の結果の表示	321
[Timing Results] ビューの使用	321
[Path Properties] ビューの使用	322
[Device] ビューでのタイミング パスの表示	323
[Schematic] ビューでのタイミング パスの表示	323
ロジック接続の表示	324
[Show Connectivity] コマンドの使用	324
[Show Connectivity] を実行したロジック接続の表示	326
ロジック ファンアウトの展開と選択	326
[Schematic] ビューでのロジックの展開表示	326

[Find] コマンドを使用したオブジェクトの検索	327
ロジック オブジェクトのハイライト	327
選択したオブジェクトのハイライト	327
[Select Primitives] および [Highlight Primitives] コマンドの使用	328
オブジェクトのハイライト解除	329
選択したオブジェクトのマーク	329
オブジェクトのマーク	329
マークの削除	329
今後のインプリメンテーション用の配置ロック	329
[Fix Instances] コマンドの使用	330
特定タイプのロジックの固定	330
ロジック モジュールの固定	330
デザイン メトリックの表示	330
[Metrics] ビューの使用	330
[Device] ビューでのメトリック マップの表示	331
メトリック表示の解除	332
[Metrics Results] ビューの使用	332
メトリック範囲の設定	333
タイミング シミュレーションの実行	333
シミュレーション起動オプションの指定	335
シミュレーション言語オプションの指定	337
シミュレーション ネットリスト オプションの指定	337
ISim ツール	338
XPower Analyzer を使用した電力分配解析	340
FPGA Editor の起動	341
FPGA Editor へのタイミング パスのクロスプローブ	341

第 12 章：デザインのプログラムとデバッグ

ビットストリーム ファイルの生成	343
ChipScope を使用したデザインのデバッグ	344
PlanAhead と ChipScope の統合の概要	344
コア挿入フローを使用する場合の要件および制限	344
コア挿入フローの使用	345
デバッグ コア挿入モードの決定	346
デバッグのためのネットの選択	346
ChipScope ウィザードを使用したデバッグ コアの挿入	348
[ChipScope] ビューを使用したデバッグ コアの追加とカスタマイズ	350
デバッグ コア ポートの追加、削除、およびカスタマイズ	350
デバッグ コアへのネットの接続および接続解除	351
デバッグ コアおよびポート パラメータのカスタマイズ	352
デバッグ コアのインプリメンテーション	353
ChipScope Analyzer のネット接続の CDC ファイルの使用	353
デバッグ コアを含むデザインのインプリメンテーション	353
ChipScope Pro Analyzer の起動	354
iMPACT の起動	354

第 13 章：階層デザイン手法の使用

PlanAhead と ISE の機能	355
階層デザインのマニュアル	355
パーティションの使用	355
パーティションの設定	356
パーティション プロパティの表示	357
パーティションの合成実行	357
パーティションの合成/インプリメンテーション run の設定	357
パーティションのプロモート	360
パーティションのインポート	361

ソースのアップデート	361
チーム デザイン	363
デザイン保持	363
パーシャル リコンフィギュレーション	363

第 14 章：Tcl およびバッチ スクリプト

PlanAhead の Tcl 機能の概要	365
ジャーナル ファイルの Tcl	365
Tcl ヘルプ	366
[Tcl Console] ビュー	366
PlanAhead の起動	367
バッチ モード	367
Tcl シェル モード	367
一般的な Tcl 構文のガイドライン	367
Tcl スクリプトの実行	367
一般的な構文構造	367
構文例	368
不明コマンド	368
リターン コード	368
Tcl スクリプトの実行	369
ファースト クラスの Tcl オブジェクトとその関係	369
オブジェクト タイプと定義	369
オブジェクトのクエリ	370
オブジェクト プロパティ	370
プロパティに基づいたフィルタ	371
オブジェクトのリスト (コレクション)	372
オブジェクトの関係	372
エラー、クリティカル警告、警告、情報メッセージ	373
Tcl コマンド	373
Tcl リファレンス	374
Tcl Developer Xchange	374
SDC について	374
使用可能な Tcl マニュアル	374

第 15 章：Project Navigator からの PlanAhead の使用

統合の概要	375
Project Navigator 内の PlanAhead のプロセス	375
ロジックおよび制約の受け渡し	376
I/O ピン配置 (合成前)	377
I/O ピン配置 (合成後)	377
エリア/IO/ロジックのフロアプラン (合成後)	378
タイミング解析/デザインのフロアプラン (インプリメンテーション後)	378

付録 A：PlanAhead の入力ファイルおよび出力ファイル

入力ファイル	381
I/O ポート リスト (CSV)	382
レポートの出力	384
デフォルト環境での出力ファイル	386
プロジェクト データの出力	387
プロジェクト データ：シミュレーション (projectname.sim)	388
ISE インプリメンテーションの出力ファイル	390

付録 B：PlanAhead の DRC

RTL DRC：消費電力およびパフォーマンス	393
RTL DRC：消費電力 DRC	393

RTL DRC : パフォーマンス	394
フロアプラン DRC	395
Pblock フロアプランの DRC	395
バンク DCI の DRC	395
ClkBuf の DRC	396
DSP48 の DRC	396
RAMB16 の DRC	396
RAMB DRC	397
FIFO DRC	397
ネットリストの DRC	397
インスタンスの DRC	397
属性の DRC	397
必須ピンの DRC	398
I/O ポート / クロック ロジック / 配置 DRC の詳細	398
グローバル クロックの DRC	398
配置ツールの DRC	399
IOB の DRC	399

付録 C : PlanAhead の用語

付録 D : XilinxNotify を使用したリリースのインストール

PlanAhead のリリース ストラテジ	407
XilinxNotify の	407
XilinxNotify のネットワーク インストール	407

付録 E : パスワード入力なしの SSH の設定

SSH の設定	409
---------------	-----

付録 F : その他のリソース

ザイリンクス リソース	411
ChipScope 資料	411
ISE 資料	411
ハードウェア資料	412
パーシャル リコンフィギュレーション資料	412
PlanAhead 資料	412

概要

このユーザー ガイドには、PlanAhead™ ソフトウェアのインターフェイスの概要、デザイン機能およびソフトウェア機能の使用方法などの詳細な情報が含まれています。

ザイリンクス ツールのインストールおよび新機能の詳細は、次の文書を参照してください。

- [『ISE Design Suite : インストールおよびライセンス ガイド』\(UG798\)](#)
- [『ISE Design Suite : リリース ノート ガイド』\(UG631\)](#)
- [『PlanAhead ソフトウェア 13.1 の新機能』\(UG656\)](#)

既知の問題は、次のアンサーを参照してください。

japan.xilinx.com/support/answers/40512.htm

PlanAhead ソフトウェアについて

PlanAhead は、FPGA デバイスの設計プロセスおよびインプリメンテーション プロセス用のデザイン解析ツールです。次のツールとスムーズに連動するよう統合されています。

- ザイリンクス ISE® Design Suite ソフトウェアに含まれる合成ツール、インプリメンテーション ツール
- CORE Generator™ ツール
- ChipScope™ Pro デバッグ ツール
- iMPACT デバイス プログラム ツール
- XPower Analyzer ツール
- FPGA Editor ツール
- ISim シミュレーション ツール

PlanAhead ソフトウェアを使用すると、デザインの RTL (レジスタトランスファー レベル) ソース、合成済みネットリスト、インプリメンテーション結果を解析することにより、回路のパフォーマンスを向上できます。異なるインプリメンテーション オプションを試したり、タイミング制約を調整したり、フロアプラン手法を使用して物理制約を適用したりすることができます。リソース数、インターコネクト遅延、消費電力、配線接続を初期段階で予測することで、適切なロジック設計、デバイスの選択、フロアプランが容易になります。

PlanAhead ソフトウェアには階層データ モデルが含まれており、「デザイン保持」と呼ばれるインクリメンタル デザイン機能を使用できます。デザインを分割して変更されていないモジュールをそのまま保持できるので一貫した結果が得られ、場合によってはランタイムが短縮されます。また、追加ライセンスを適用することにより、パーシャル リコンフィギュレーション デザイン アプリケーションも使用できます。

これらのアドバンス デザイン手法の概要は、[第 13 章「階層デザイン手法の使用」](#)を参照してください。

PlanAhead ソフトウェアは、スタンドアロン ソフトウェア ツールとして、または ISE ソフトウェアから起動できます。

スタンドアロン ツールとして起動すると PlanAhead のすべての機能を使用できますが、Project Navigator から起動する場合は、特定の機能のみが使用可能です。Project Navigator から起動した場合を「ISE 統合モード」と呼びます。

Project Navigator との統合についての詳細は、[第 15 章「Project Navigator からの PlanAhead の使用」](#)を参照してください。

PlanAhead ソフトウェアの使用

PlanAhead ソフトウェアは、開始点の異なる FPGA デザインに使用できます。PlanAhead には、次の機能があります。

- レジスタトランスファレベル (RTL) の開発からビットストリームの生成までのデザイン データフローを、ボタンをクリックするだけで実行できます。
- エラボレートされた RTL ネットリストを使用して、RTL の設計および解析を実行します。
- 統合された ISim ツールを使用してビヘイビア シミュレーションおよびタイミング シミュレーションを実行します。
- IBIS (I/O Buffer Information Specification) モデルをエクスポートします。
- 統合された CORE Generator ツールを使用して、IP をカスタマイズおよびインプリメントします。
- 複数の合成およびインプリメンテーションを設定し、実行します。
- I/O ピンを配置します。
- 制約を管理し、フロアプランを実行します。
- リソース使用量、タイミング、消費電力を予測し、デザイン ルール チェック (DRC) を実行します。
- 統合された ChipScope デバッグ ツールを使用して、デバッグ コアを挿入およびインプリメンテーションします。
- iMPACT ツールを使用してデバイス コンフィギュレーションおよびファイル生成を実行します。
- インプリメンテーション結果を解析します。
- プログラムおよびデザイン検証ツールを起動します。

プロジェクトの作成と管理

PlanAhead ソフトウェアには、制約セットの作成のほか、プロジェクトの作成および管理に関するさまざまなオプションがあります。詳細は、[第 3 章「プロジェクトの操作」](#)を参照してください。

RTL および IP デザイン

PlanAhead ソフトウェアの RTL デザイン環境では、RTL デザイン ファイルを作成および管理できます。統合された CORE Generator を使用して、IP をカスタマイズおよびインプリメントできます。基本的なソース ファイル作成および管理機能に加え、RTL ロジックの確認、RTL 回路図表示、RTL DRC、RTL ベースのリソースの予測、消費電力の予測を実行できます。詳細は、[第 5 章「RTL デザイン」](#)を参照してください。

デザイン シミュレーション

PlanAhead ソフトウェアからザイリンクス ISim ツールを起動し、HDL デザインのビヘイビア シミュレーションおよびインプリメント済みデザインのタイミング シミュレーションを実行できます。

必要なシミュレーション実行ファイルが準備されて ISim のグラフィカル ユーザー インターフェイス (GUI) が起動し、デザインのシミュレーション、波形ビューアーでの信号の追加および表示、デザインの確認およびデバッグを必要に応じて実行できるようになります。

詳細は、次を参照してください。

- ビヘイビア シミュレーションに関する情報: [第 5 章「RTL デザイン」](#)
- タイミング シミュレーションに関する情報: [第 11 章「インプリメンテーション結果の解析」](#)

合成とインプリメンテーション

PlanAhead ソフトウェアでは、さまざまなソフトウェア コマンド オプション、タイミング制約、物理制約を設定して、複数の合成およびインプリメンテーションを実行できます。複数の合成およびインプリメンテーションの実行は、ザイリンクス ISE 合成ツールおよびインプリメンテーション ツールを使用して、順次に起動するか、マルチ プロセッサ マシンでは同時に起動します。

- 合成: [第 6 章「デザインの合成」](#)を参照
- インプリメンテーション: [第 9 章「デザインのインプリメンテーション」](#)を参照

デザイン解析および制約の定義

PlanAhead ソフトウェアには、デザイン プロセスの各段階でデザインを解析する環境があります。初期段階でリソース、タイミング、消費電力を予測し、DRC を実行することにより、さまざまなデバイス、制約、合成およびインプリメンテーション オプションを使用してデザインを実行し、最適な結果を達成できます。インプリメンテーション後は、FPGA Editor および XPower Analyzer ツールを PlanAhead から直接起動することもできます。

これらの機能は、合成済みネットリスト デザインまたはインプリメント済みデザインを解析することにより、インプリメンテーションの前後で使用できます。詳細は、次を参照してください。

- [第 7 章「ネットリストの解析および制約の定義」](#)
- [第 11 章「インプリメンテーション結果の解析」](#)

ピン配置

PinAhead ソフトウェアの I/O 配置環境では、デザインおよびデバイスの I/O 要件を解析し、PCB デザインと FPGA デザイン両方の要件を満たす I/O ピン配置を定義できます。I/O ピン配置の詳細は、[第 8 章「I/O ピン配置」](#)を参照してください。

フロアプラン

PlanAhead ソフトウェアではフロアプランがサポートされており、クリティカルなロジックを制約して、遅延が小さくなるようインターコネクトが短くしたり、予測されるインプリメンテーション結果が得られるようにできます。デザインをフロアプランするには、物理ブロック (Pblock) ロケーションを作成してロジック配置を制約するか、または個々のロジック オブジェクトを特定デバイスサイトにロックします。PlanAhead のフロアプラン機能の詳細は、[第 10 章「デザインのフロアプラン」](#) およびザイリンクス Web サイトから PlanAhead の『[フロアプラン手法ガイド](#)』(UG633) を参照してください。

デザインのプログラムとデバッグおよび ChipScope の統合

PlanAhead ソフトウェアにはザイリンクス ChipScope デバッグ ツールが統合されており、デザインにデバッグ コアを追加できます。インプリメンテーションが終了すると、PlanAhead から直接 ISE ツールにアクセスしてビットストリーム ファイルを作成し、iMPACT、ChipScope Analyzer ソフトウェア ツールを起動できます。詳細は、[第 12 章「デザインのプログラムとデバッグ」](#) を参照してください。

階層デザイン、デザイン保持、パーシャル リコンフィギュレーション

PlanAhead ソフトウェアには、チーム設計、デザイン保持、およびパーシャル リコンフィギュレーションをサポートするための階層機能が含まれています。詳細は、[第 13 章「階層デザイン手法の使用」](#) を参照してください。

階層デザイン手法については、『[階層デザイン手法ガイド](#)』(UG748) にも詳細に説明されています。

Tcl コマンドおよびバッチ スクリプト

PlanAhead ソフトウェアの Tcl コマンド構文およびバッチ オプションについては、[第 14 章「Tcl およびバッチ スクリプト」](#) を参照してください。PlanAhead ソフトウェアで生成される Tcl コマンドについては、『[PlanAhead Tcl コマンド リファレンス ガイド](#)』(UG789) を参照してください。

ISE Project Navigator 環境での PlanAhead の使用

PlanAhead ソフトウェアは Project Navigator に統合されており、デザイン フローのさまざまな段階でデザイン結果を向上するために使用できます。

Project Navigator では、次の 4 つのデザインプロセスで PlanAhead が起動されます。

- 合成前
 - I/O ピンの配置
- 合成後
 - I/O ピンの配置
 - エリア/IO/ロジックのフロアプラン
- インプリメンテーション後
 - タイミングの解析とデザインのフロアプラン

ISE 統合モードでの PlanAhead の詳細は、[第 15 章「Project Navigator からの PlanAhead の使用」](#) を参照してください。

入力および出力ファイル

PlanAhead ソフトウェアでは、さまざまな入力ファイルを使用でき、さまざまなタイプおよびフォーマットの出力ファイルが生成されます。入力ファイルと出力ファイルの詳細は、[付録 A「PlanAhead の入力ファイルおよび出力ファイル」](#)を参照してください。

デザイン ルール チェック

PlanAhead ソフトウェアのデザイン ルール チェック (DRC) は、[付録 B「PlanAhead の DRC」](#)にリストされています。

PlanAhead の用語

PlanAhead ソフトウェア特定の用語は、[付録 C「PlanAhead の用語」](#)にリストされています。また、ザイリンクス[用語集](#)にも含まれています。

ソフトウェアのアップデート

ザイリンクスでは、XilinxNotify ユーティリティを使用して入手可能なアップデートを通知します。詳細は、[付録 D「XilinxNotify を使用したリリースのインストール」](#)を参照してください。

複数の Linux ホストの設定

PlanAhead ソフトウェアを複数のホストで実行するには、Linux OS で提供されているセキュアシェル (SSH) を使用します。PlanAhead ソフトウェアで複数のホストを設定する前に、リモート マシンにログインするたびにパスワードを入力する必要がないように SSH を設定できます。詳細は、[付録 E「パスワード入力なしの SSH の設定」](#)を参照してください。

その他のリソース

[付録 F「その他のリソース」](#)に、このガイドで参照されているすべての文書へのリンクがリストされています。印刷版を使用している場合を考慮し、URL も示されています。

PlanAhead の起動

PlanAhead ソフトウェアはどのディレクトリからも起動できますが、プロジェクト ディレクトリから起動すると、プロジェクト特定のログ ファイルを簡単に見つけることができるので便利です。

メモ：この製品のインストール方法は、『[ISE Design Suite：リリース ノート ガイド](#)』および『[ISE Design Suite：インストール およびライセンス ガイド](#)』を参照してください。

Linux

Linux で PlanAhead ソフトウェアを起動するには、Linux コマンド プロンプトに次のコマンドを入力します。

```
# planAhead
```

Windows

Windows で PlanAhead ソフトウェアを起動するには、デスクトップから [Xilinx PlanAhead 12.2] アイコンをクリックします。



PlanAhead のログ ファイルを保存するディレクトリは、デスクトップアイコンを右クリックして [プロパティ] をクリックし、[作業フォルダ] で指定できます。

PlanAhead が起動すると、[図 1-1](#) に示す Getting Started ページが表示されます。

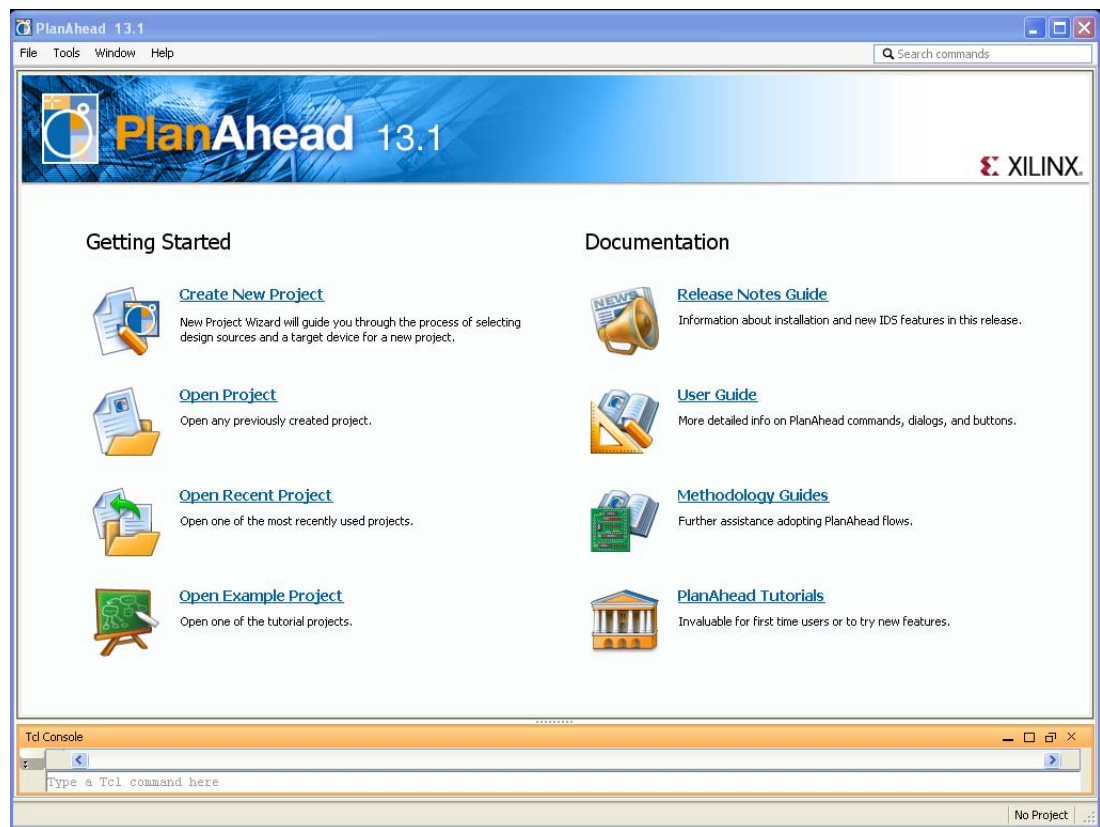


図 1-1 : PlanAhead の Getting Started ページ

PlanAhead の **Getting Started** ページからは、プロジェクトを作成したり、指定プロジェクトを開くだけではなく、PlanAhead のマニュアルも表示できます。このページは、開いているプロジェクトをすべて閉じると表示されます。

Getting Started ページの使用

PlanAhead ソフトウェアを起動すると、**Getting Started** ページが開きます。コマンド リンクをクリックすると、特定のコマンドを実行したり、マニュアルを表示できます。実行可能なコマンドは、次のとおりです。

- **[Create New Project]** : New Project ウィザードを起動し、PlanAhead プロジェクトを作成します。
- **[Open Project]** : 既存の PlanAhead プロジェクト (PPR) ファイルを開きます。
- **[Open Recent Design]** : 最近開いた 10 個のプロジェクトへのリンクを表示します (ファイル数は **[Tools]** → **[Options]** → **[General]** から設定できます)。プロジェクトの表示前に、そのプロジェクト データが存在するかどうかを確認されます。
- **[Open Example Project]** : 次のサンプル デザイン プロジェクトを開きます。
 - 小型の RTL プロジェクトである BFT Core (bft.ppr)
 - 大型の RTL プロジェクトである CPU (HDL)
 - ネットリスト ベースのプロジェクトである CPU (Synthesized)
 - CORE Generator からの 3 つのエンベデッド IP コアを含む IP サンプル デザインである Wave (HDL)。このデザインは、PlanAhead プロジェクトで IP コアをどのように使用するか確認するためのリファレンス プロジェクトとして使用してください。

PlanAhead ソフトウェアのマニュアルのリンクをクリックすると、マニュアルが PDF ビューアーまたはウェブサイトで表示されます。

メモ : PlanAhead のインストール ディレクトリには、このユーザー ガイドへのリンクを示す PDF ファイルが含まれています。この PDF ファイルに示される URL をクリックし、指示に従って最新版のユーザー ガイドを指定の場所にダウンロードすると、**[User Guide]** リンクをクリックしたときにダウンロードしたユーザー ガイドが開くようになります。

- **[Methodology Guides]** : 手法ガイドを含むウェブ ページを開きます。
- **[PlanAhead Tutorials]** : PlanAhead のすべてのチュートリアルおよび必要なサンプル デザイン データをリストするウェブ ページを開きます。

PlanAhead の PDF 版のマニュアルは、次のウェブサイトからも参照できます。

<http://japan.xilinx.com/tools/planahead.htm>

PlanAhead コマンド ライン オプション

PlanAhead ソフトウェアには、コマンド ライン オプションがいくつかあります。PlanAhead のコマンド ライン オプションを表示するには、次のコマンドをコマンド プロンプトに入力します。

```
# planAhead -help
```

ヘルプ メニューがシェル ウィンドウに表示されます。

PlanAhead スタートアップ Tcl スクリプト

[Tools] → [Run Tcl Script] をクリックすると、スクリプトを実行できます。また、planAhead.jou ファイルから PlanAhead の Tcl コマンドをコピーし、スタートアップ スクリプトを作成できます。

図 1-2 に、Tcl スクリプトの一部を示します。

```
#-----
create_project project_1 {C:\Data\PlanAhead_Designs\PlanAhead_Tutorial\Tutorial_Created_Data\project_1} -part xc6
set_property design_mode RTL [get_property srcset [current_run]]
import_files -force -norecurse {C:\Data\PlanAhead_Designs\12_demo\Sources\Therm}
set_property library work [get_files -of_objects [get_property srcset [current_run]]] {{C:\Data\PlanAhead_Designs\
import_files -fileset [get_property constrset [current_run]] -force -norecurse {C:\Data\PlanAhead_Designs\12_demo
set_property top therm [get_property srcset [current_run]]
set_property verilog_2001 true [get_property srcset [current_run]]
set_property verilog_uppercase false [get_property srcset [current_run]]
set_property loop_count 1000 [get_property srcset [current_run]]
launch_runs -runs synth_1 -jobs 1
launch_runs -runs impl_1 -jobs 1
close_project
```

図 1-2 : PlanAhead の Tcl スクリプト例

PlanAhead のジャーナル ファイルの詳細は、[385 ページの「ジャーナル ファイル \(planAhead.jou および planAhead.jou.backup\)」](#)を参照してください。PlanAhead の Tcl を使用したスクリプトの作成については、[第 14 章「Tcl およびバッチ スクリプト」](#)を参照してください。

PlanAhead デザイン フローの理解

PlanAhead デザイン フロー

PlanAhead™ ソフトウェアは、デザイン フローのさまざまな段階で使用できます。次のセクションのフローは、PlanAhead で作成できるプロジェクト タイプにも対応します。プロジェクト タイプの詳細は、[第 3 章「プロジェクトの操作」](#)を参照してください。

デザイン解析および制約の定義は、エラボレートされた RTL デザイン、合成済みネットリスト デザイン、インプリメント済みデザインなど、デザイン フローの各段階で実行できます。

RTL からビットストリーム

PlanAhead ソフトウェアでは、RTL 開発から IP のカスタマイズ、合成、インプリメンテーション、デバイスのプログラムまで、デザイン フロー プロセスすべてを管理できます。Verilog および VHDL の RTL ソース、IP コア、制約をプロジェクトに追加できます。デザイン要件が満たされるよう、合成オプション、シミュレーション オプション、インプリメンテーション オプション、制約を組み合わせ、さまざまなデザインを試すことも可能です。詳細は、[第 5 章「RTL デザイン」](#)を参照してください。

合成ネットリストからビットストリーム

PlanAhead では、バックエンド インプリメンテーション デザイン フロー プロセスからデバイスのプログラムまでを管理できます。合成済みネットリスト、ネットリスト ベースの IP コア、制約をプロジェクトに追加できます。デザイン要件が満たされるよう、インプリメンテーション オプション、制約を組み合わせ、さまざまなデザインを試すことも可能です。タイミング シミュレーションも実行できます。

デバイスの解析と I/O ピン配置

PlanAhead には、デバイス リソースを解析し、その関係を図示する I/O 配置環境があります。クロック供給および I/O 配置を正しく行うことにより、デバイスのパフォーマンスおよび配線性が向上し、プリント回路基板 (PCB) の配線、シグナル インテグリティ、およびデバイス システムのパフォーマンスも大幅に向上します。

- 空のプロジェクトを作成してデバイスを調べ、初期 I/O ピン配置を実行します。
- I/O ポートを随時追加するか、CSV (Comma Separated Value)、ユーザー制約ファイル (UCF) フォーマットのファイルからインポートします。
- デザイン プロセスの各段階で I/O 配置を実行します。

デザインを合成すると、クロックとロジックを解析および配置できるようになり、合成済みネットリストに対してはより包括的なデザイン ルール チェック (DRC) を実行できます。詳細は、[第 8 章「I/O ピン配置」](#)を参照してください。

インプリメント済みデザイン結果の解析

PlanAhead ソフトウェアでは、PlanAhead の環境内または環境外で生成されたインプリメンテーション結果を解析できます。配置およびタイミング結果を解析すると、RTL の変更、タイミング制約の調整、フロアプランが必要かどうかを判断するのに役立ちます。

パーシャル リコンフィギュレーション

PlanAhead ソフトウェアには、パーシャル リコンフィギュレーション デザイン プロジェクトを設定し、管理する環境が含まれています。このタイプのデザインには、リコンフィギュレーションするモジュールを管理するため、特別なソフトウェア機能およびプロジェクト構造が必要です。このソフトウェア機能を使用するには、別途ライセンスが必要です。パーシャル リコンフィギュレーションの詳細は、<http://japan.xilinx.com/tools/partial-reconfiguration.htm> を参照してください。

デザイン フロー

このセクションでは、PlanAhead のデザイン フローとデザイン タスクについて説明します。

デザイン フロー

PlanAhead ソフトウェアの一般的なデザイン フロー、入力および出力を [図 2-1](#) に示します。

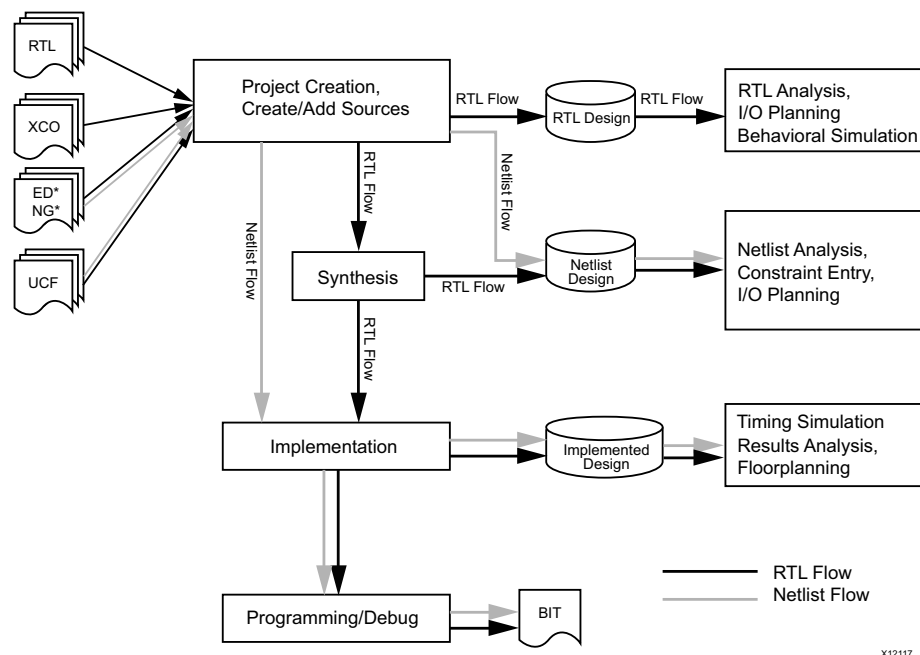


図 2-1 : PlanAhead デザイン フロー

デザイン フロー タスク

PlanAhead ソフトウェアのデザイン フロー タスクは、入力ファイルのタイプによって異なります。

プロジェクトの作成と管理

PlanAhead ソフトウェアには、プロジェクトの作成お、ソース ファイルの作成またはプロジェクトへの追加を管理するウィザードがあります。次の操作を実行できます。

- 使用しているフローやソース タイプのプロジェクトを作成
- 新規ソース ファイルの作成または既存ソース ファイルのプロジェクトへの追加
- リモートの書き込み禁止ファイルを参照、またはローカル プロジェクト フォルダにコピー
- プロジェクト内でソース ファイルのディスエーブル/イネーブルを切り替え
- さまざまな制約オプションおよびデバイスを指定した複数の制約セットを作成
- ビヘイビア シミュレーションおよびタイミング シミュレーション用にシミュレーション ソースを作成
- プロジェクトをアーカイブして、デザインのバックアップを作成または移動しやすいコピーを作成

PlanAhead プロジェクト環境では、1 つのプロジェクトで複数のデザイン制約を作成し、保存できるので、複数の RTL ソース バージョン、制約セット、ターゲット デバイス、合成済みネットリスト、さまざまなインプリメンテーション ストラテジを使用したインプリメンテーション実行結果を作成できます。また、ソース ファイルを変更したり、デザイン ツールを起動すると、デザイン フロー ステータスが監視され表示されます。

IP のカスタマイズとインプリメンテーション

統合されている CORE Generator™ ツールを使用して、IP を参照、カスタマイズ、インスタンシエート、インプリメント、および自動アップデートできます。

RTL 開発および解析

PlanAhead ソフトウェアには、ソース ファイルを作成および編集するテキスト エディターが含まれています。ザイリンクス テンプレート ライブラリから、サンプル ロジック構文を直接コピーできます。[Find in Files] 機能を使用すると、これらのライブラリを検索条件を入力して検索できます。

その後、RTL デザインをエラボレートし、RTL 構造、構文、ロジック定義をチェックします。

RTL デザインを開くと、RTL デザインがエラボレートされ、RTL ネットリストが自動的に読み込まれます。次の解析およびレポート機能があります。

- RTL のコンパイル検証および構文チェック
- ネットリストおよび回路図の確認
- デザイン ルール チェック (DRC)
- ビヘイビア シミュレーション
- リソース使用率および消費電力予測

RTL ポート リストを使用した初期 I/O ピン配置も可能です。

ソース ファイル内のインスタンシエーション、ロジック定義などのオブジェクトは、1 つのビューで選択するとほかのビューでも選択されます。

ロジック合成

PlanAhead ソフトウェアでは、XST (Xilinx® Synthesis Technology) 合成ツールを使用して、合成の実行を設定、起動、監視します。

合成実行用に異なる合成オプションを設定し、再利用可能なストラテジを作成できます。たとえば、消費電力、パフォーマンス、エリア最適化のストラテジを作成できます。

合成の実行結果は随時アップデートされ、レポート ファイルにも簡単にアクセスできます。

[Compilation Messages] ビューから合成の警告またはエラーを選択すると、ソース ファイルで該当するロジックがハイライトされます。

- 複数の合成実行は、同時にまたは 1 つずつ順に実行できます。
- Linux システムでは、リモート サーバー上の **run** が実行されます。

複数の合成を実行すると、複数のネットリストが作成され、PlanAhead ソフトウェア プロジェクト内に保存されます。これらのネットリストは、解析用に読み込むことができます。ネットリストをインポートしたら、デバイスとデザイン解析、I/O 配置の制約の作成、フロアプラン、およびインプリメンテーションを実行できます。

I/O ピン配置

PlanAhead ソフトウェアには I/O ピン配置環境が含まれており、デバイス パッケージ ピンまたは内部ダイパッドに I/O ポートを正しく割り当てることができます。さまざまな表示ビューおよび表があり、パッケージおよび I/O 関連データを解析できます。

次の操作を実行できます。

- 内部 I/O 接続を調べ、デバイスを介するデータ フローが適切かどうか、内部デバイス リソースへのアクセスが最適であるかどうかを確認します。
- 外部接続および内部接続の要件に基づいて適切な選択を行うことにより、システム パフォーマンスを向上します。
- DRC および同時スイッチ ノイズ (SSN) 解析を使用し、接続要件に準拠していることを確認します。
- CSV、UCF、RTL、合成済みネットリストなど、さまざまなフォーマットの入力を使用して I/O ピン配置を開始します。

クロック ロジックが I/O の割り当てに影響するので、合成済みネットリストをソースとして使用すると、より多くの DRC チェックが実行されます。最終的な I/O 検証ステップでは、インプリメンテーション ツールを使用して完全なデザインを実行します。

ネットリストの解析および制約の定義

PlanAhead ソフトウェアには、デザイン解析および制約の設定機能があります。デザイン データはさまざまな形式で表示でき、お互いに連動しています。

ダイ内部および外部パッケージを表示するインタラクティブなグラフィカル ビューがあり、デバイス リソースを解析して制約を適用できます。タイミング制約および物理制約を適用し、解析できます。

初期段階でタイミング解析 (タイミング シミュレーションを含む)、リソース予測、接続解析、デザイン ルール チェック (DRC) を実行することにより、インプリメンテーション前にデザインの問題を発見できます。

インプリメンテーション

PlanAhead ソフトウェアでは、ISE® Design Suite を使用して、インプリメンテーションの実行を設定、起動、監視します。

インプリメンテーション実行用に異なるインプリメンテーション オプションを設定し、再利用可能なストラテジを作成できます。たとえば、短いランタイム、パフォーマンス、エリア最適化のストラテジを作成できます。

インプリメンテーションの実行結果はインタラクティブに表示され、レポート ファイルにも簡単にアクセスできます。

複数のインプリメンテーション実行は、同時にまたは 1 つずつ順に実行できます。Linux プラットフォームを使用すると、リモート サーバーを使用できます。制約セットを作成して、さまざまな論理制約、物理制約、代替デバイスを設定して試すことができます。

結果の解析およびフロアプラン

さまざまな実行結果を読み込み、解析およびフロアプランを実行できます。インプリメント済みデザインでの機能は、次の章を参照してください。

- [第 7 章「ネットリストの解析および制約の定義」](#)
- [第 11 章「インプリメンテーション結果の解析」](#)

PlanAhead から実行した任意の結果をインポートできます。

インプリメント済みデザインを開くと、オリジナルのネットリスト、制約、およびインプリメンテーション結果が読み込まれます。複数のデザインを同時に開くことができます。ISim (タイミングシミュレーション)、FPGA Editor、および XPower Analyzer ツールを PlanAhead から直接起動して、さらにデザインを解析することもできます。

デバイスのプログラム

完了したどのインプリメンテーション実行に対しても、ビットストリーム ファイルを生成できます。BIT ファイル生成オプションは設定可能です。iMPACT ツールを起動してデバイスをコンフィギュレーションおよびプログラムできます。

デザインの検証とデバッグ

ネットリスト デザインでは、ChipScope™ Pro Analyzer ツールおよび ILA (Integrated Logic Analyzer) や ICON (Integrated Controller) などの IP コアをインプリメントして、必要なプローブ信号を選択および設定できます。ビットストリーム ファイルが生成されているどの実行に対しても、ChipScope Analyzer ツールを起動できます。

PlanAhead から直接 ChipScope Analyzer ツールを起動して、配線およびデバイス リソースを解析できます。

ユーザー モデル

PlanAhead のグラフィカル ユーザー インターフェイス (GUI) は層構造になっており、新規ユーザーにわかりやすい環境を提供すると共に、アドバンス機能にも簡単にアクセスできるようになっています。デフォルトでは、PlanAhead はプッシュ ボタン フローで開き、アドバンス解析やフロアプランが必要ない場合に適しています。フローは、Flow Navigator というビューで管理されます。Flow Navigator については、26 ページの「Flow Navigator の理解」で説明します。

基本的なユーザー フロー

PlanAhead ソフトウェアでは、開発サイクル全体を Flow Navigator のボタンをクリックするだけで実行できます。ソース ファイルをインポートした後、デザイン ロジックを合成、合成済みネットリストをインプリメント、結果を解析、ビットストリームを生成、プログラムおよび検証ツールを起動することにより、FPGA 開発プロセスを最初から最後まで実行します。

アドバンス機能

PlanAhead ソフトウェアでは、デザイン フローの各段階で、アドバンス デザイン設定および解析用の環境が提供されています。エラボレートされた RTL デザイン、合成済みネットリスト デザイン、およびインプリメンテーション結果を読み込み、解析および制約の定義を実行できます。これらの環境の詳細は、30 ページの「デザインの操作」を参照してください。

PlanAhead ソフトウェアでは、1 つのプロジェクトでデザインの複数のバリエーションを作成し、保存できるので、複数の RTL ソース バージョン、制約セット、ターゲット デバイス、合成済みネットリスト、さまざまなインプリメンテーション ストラテジを使用したインプリメンテーション実行結果を作成できます。ソース ファイルを変更したり、デザイン ツールを起動すると、デザインのステータスが示されます。

複数の合成およびインプリメンテーションの実行を、ローカルまたはリモートの Linux サーバーで設定、起動、および監視できます。異なるコマンド オプション、制約、デバイスを使用して試すことができます。

メモ : デザインの複数のバージョンおよび複数の実行を作成するアドバンス機能を使用する場合、ユーザーがデザイン データおよびバージョンを管理する必要があります。

Flow Navigator の理解

Flow Navigator では、プロジェクトの設定、合成、インプリメンテーション、ビットストリームの作成などの主なデザイン プロセス タスクを制御します。これらのタスクが完了したら、[RTL Design]、[Netlist Design]、または [Implemented Design] ボタンをクリックしてデザインを開き、結果を解析したり、制約を適用したりできます。これらのデザイン表示には、フローに適したよく使用されるタスクのセットが表示されます。

使用可能なオプションは、デザインのステータスによって異なります。実行できない手順は淡色表示されます。

次の図に、Flow Navigator を使用してデザイン タスクを実行し、デザイン プロセスの異なる段階で解析環境を開く方法を示します。

RTL プロジェクトでの Flow Navigator の使用

図 2-2 に、RTL ソースを入力として使用した場合のデザイン フローを示します。

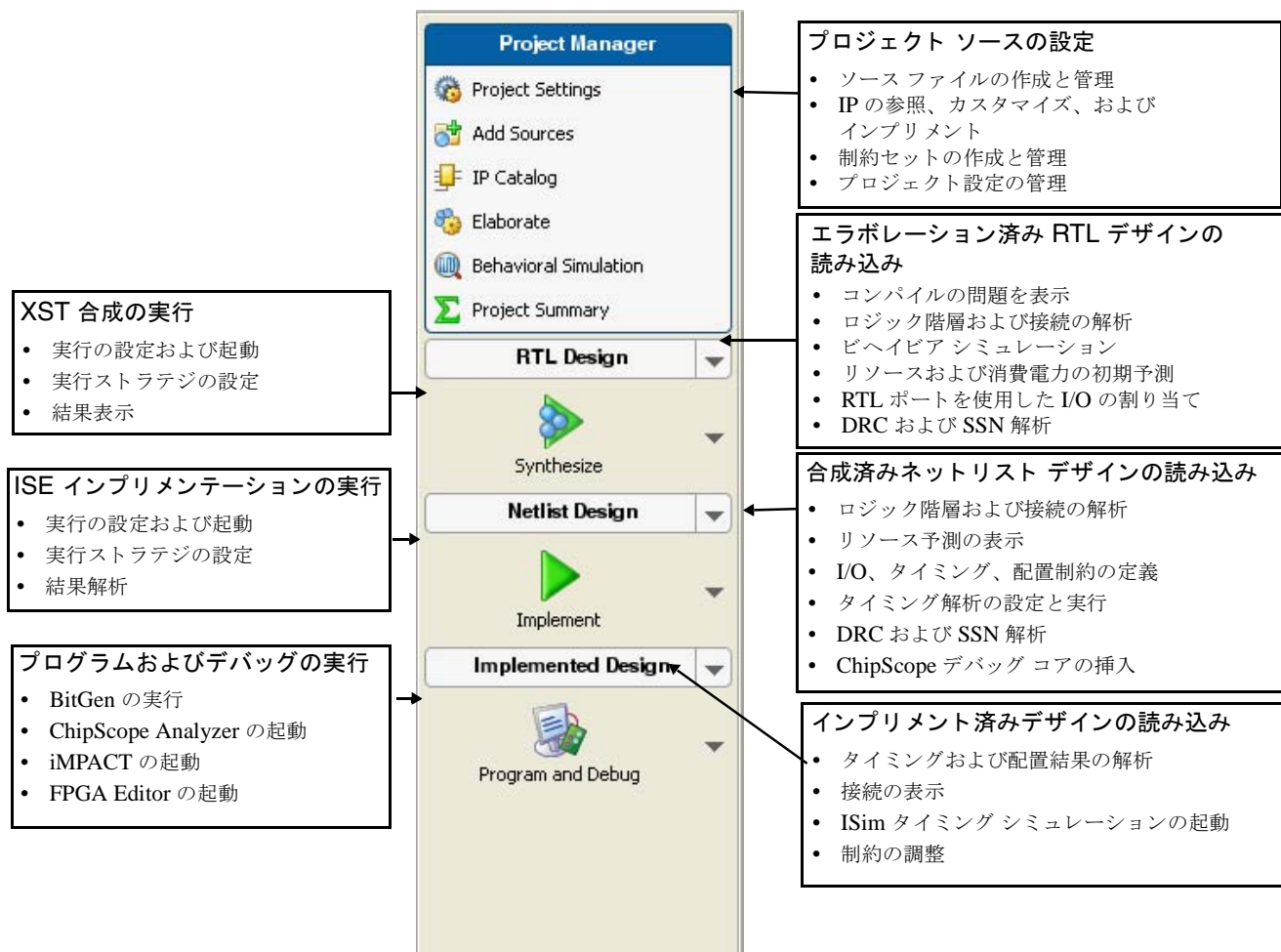


図 2-2 : PlanAhead Flow Navigator (RTL プロジェクト)

合成済みネットリスト プロジェクトでの Flow Navigator の使用

図 2-3 に、合成済みネットリスト ベースのプロジェクトのデザイン フローを示します。

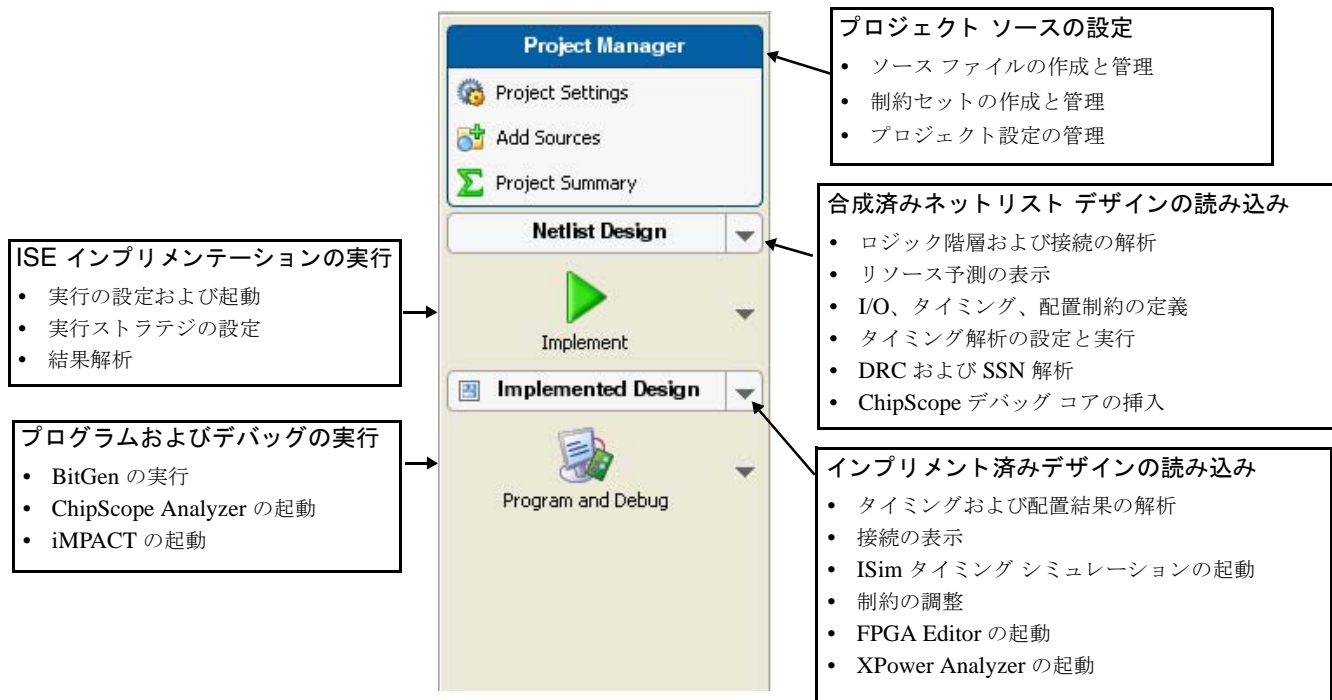


図 2-3 : PlanAhead Flow Navigator (合成済みネットリスト プロジェクト)

Flow Navigator からのコマンドの実行

Flow Navigator を使用すると、プロジェクトにソース ファイルを追加した後、合成およびインプリメンテーションをボタンをクリックするだけで実行できます。デザインを完成させるのに、デザイン環境を開く必要はありません。次のセクションに、Flow Navigator を使用してデザインをインプリメントする方法を説明します。

Project Manager

プロジェクトを開くと、デフォルトで Project Manager が開きます。Flow Navigator で [Project Manager] をクリックすると、Project Manager が開きます。

Project Manager を開いた場合、デザインのコンパイルは実行されず、メモリにデザイン データは読み込まれません。Project Manager から、ソース ファイルおよび制約セットを作成、インポート、管理できます。また、ザイリンクス IP カタログから IP を検索、カスタマイズ、および作成できます。Project Manager には、デフォルトで [Sources] ビュー、[Properties] ビュー、および [Project Summary] ビューが表示されます。

- [Sources] ビューを使用したプロジェクト ソースの制御については、107 ページの「[Sources] ビュー」を参照してください。
- [Project Summary] ビューの詳細は、269 ページの「[Project Summary] ビュー」を参照してください。
- IP のカスタマイズについては、65 ページの「IP コアの管理」を参照してください。

Flow Navigator の [Project Manage]r メニューには、次のコマンドが含まれています。

- [Project Settings] : [Project Settings] ダイアログ ボックスを開きます。詳細は、[29 ページ](#)の「[コマンド オプションの設定](#)」を参照してください。
- [Add Sources] : [Add Sources] ダイアログ ボックスを開き、ソース ファイルを追加します。詳細は、[第 3 章](#)の「[プロジェクトのアーカイブ](#)」を参照してください。
- [IP Catalog] : [IP Catalog] ビューを開きます。詳細は、[第 3 章](#)の「[ザイリンクス IP カタログの使用](#)」を参照してください。
- [Elaborate] : RTL デザインをエラボレートし、[Elaboration Messages] ビューにメッセージを表示します。詳細は、[第 5 章](#)の「[RTL デザインのエラボレーションと解析](#)」を参照してください。
- [Behavioral Simulation] : ISim を起動し、RTL デザインのビヘイビア シミュレーションを実行します。詳細は、[160 ページ](#)の「[ビヘイビア シミュレーションの実行](#)」を参照してください。
- [Project Summary] : [Project Summary] ビューを表示します。[Project Summary] ビューの詳細は、[269 ページ](#)の「[\[Project Summary\] ビュー](#)」を参照してください。

コマンド オプションの設定

合成およびインプリメンテーションのオプションを設定するには、Flow Navigator の [Project Manager] の下またはメイン ツールバーから [Project Settings] をクリックします。



これらのオプションには、Flow Navigator の [Synthesize] および [Implement] のプルダウン メニューからもアクセスできます。詳細は、次を参照してください。

- [第 6 章「デザインの合成」](#)
- [第 9 章「デザインのインプリメンテーション」](#)

合成の実行

プロジェクトにソースを追加したら、[Synthesize] ボタンをクリックして XST 合成ツールを起動できます。詳細は、[第 6 章「デザインの合成」](#)を参照してください。



インプリメンテーションの実行

合成が完了したら、Flow Navigator で [Implement] をクリックして ISE インプリメンテーション ツールを実行できます。

合成を実行していない場合、インプリメンテーション実行前に合成の実行が必要なので、[Implement] ボタンをクリックしたときにまず合成が実行されます。詳細は、[第 9 章「デザインのインプリメンテーション」](#)を参照してください。



ビットストリーム ファイルの生成

インプリメンテーションが完了したら、Flow Navigator の [Program and Debug] をクリックしてメニュー コマンドからビットストリーム ファイルの生成、デバッグおよびプログラム ツールの起動を実行できます。[図 2-4](#) に、[Program and Debug] ボタンを示します。

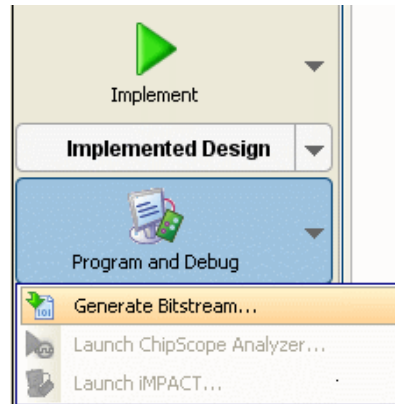


図 2-4 : Flow Navigator の [Program and Debug] ボタン

詳細は、第 12 章の「ビットストリーム ファイルの生成」を参照してください。

プログラムおよびデバッグ ツールの起動

PlanAhead から、ISE のデバッグおよびプログラム ツール (iMPACT および ChipScope Analyzer) を起動できます。ChipScope Analyzer および iMPACT を起動するには、[Generate Bitstream] コマンドを実行して作成した BIT ファイルが必要です。図 2-4 に、[Program and Debug] ボタンを示します。詳細は、第 12 章「デザインのプログラムとデバッグ」を参照してください。

デザインの操作

PlanAhead では、デザイン プロセスのさまざまな段階でのデザインを開くことができます。デザインは、ネットリスト (エラボレートされた RTL ネットリストまたは合成済みネットリスト)、制約セット、およびターゲット デバイスで構成されます。デザインをメモリに読み込むことにより、解析、制約の定義、ChipScope デバッグ コアの挿入を実行します。

Flow Navigator には、RTL デザイン、ネットリスト デザイン、インプリメント済みデザインを開くボタンがあります。[Implemented Design] をクリックすると、実行に使用されたデザイン データが読み込まれます。RTL デザインおよびネットリスト デザインは、異なるターゲット デバイスおよび制約セットを使用して開くことができ、さまざまなバージョンを試すことができます。

エラボレートされた RTL デザイン、合成済みネットリスト デザイン、インプリメント済みデザインなど、さまざまな段階のデザインを解析できます。対応するデザインを開くと、タイミング制約またはフロアプランのような制約は、どの段階でも変更できます。

複数の制約セットを作成できるので、制約の変更を管理できます。PlanAhead では、次のレベルのデザインを開くことができます。

- RTL デザイン: エラボレートされた RTL デザイン、制約セット、およびターゲット デバイス
- ネットリスト デザイン: 合成済みネットリスト、制約セット、およびターゲット デバイス
- インプリメント済みデザイン: ネットリスト、制約、およびインプリメンテーションの実行結果

デフォルトでは、Design Analysis ビュー レイアウトが表示されます。[Layout] → [I/O Planning] をクリックすると、ビュー レイアウトを切り替えることができます。詳細は、90 ページの「ビュー レイアウトの使用」を参照してください。

RTL デザインを開く

Flow Navigator で [RTL Design] をクリックすると、RTL ネットリスト デザインがエラボレートされ、アクティブ制約セットおよびターゲット デバイスと共にメモリに読み込まれます。エラボレーションに関するメッセージが、[Messages] ビューに表示されます。

RTL デザインを開くには、次のいずれかを実行します。

- Flow Navigator で [RTL Design] をクリックし、エラボレートされたネットリスト、アクティブな制約セット、ターゲット デバイスを読み込みます。
- Flow Navigator の [RTL Design] プルダウン メニューから [Open RTL Design] をクリックし、デザインに読み込む制約セットおよびターゲット デバイスを指定します。

[RTL Netlist] ビューに、コンパイルされたロジック階層が表示されます。RTL ロジック デザインの解析については、[第 5 章「RTL デザイン」](#)を参照してください。


I/O Planning ビュー レイアウト I/O ピン配置については、[第 8 章「I/O ピン配置」](#)を参照してください。

ネットリスト デザインの使用

ネットリスト デザインには、合成済みネットリスト、制約セット、ターゲット デバイスが含まれます。PlanAhead では複数の合成パターンを実行できるほか、これらの入力ファイルをさまざまに組み合わせて複数のネットリスト デザインを解析できます。デザインをメモリに読み込んで、I/O Planning ビュー レイアウトまたは Design Analysis ビュー レイアウトで解析できます。

ネットリスト デザインを開く

ネットリスト デザインを開くには、次のいずれかを実行します。

- [Open Netlist Design] ボタン  をクリックします。
- Flow Navigator の [Netlist Design] プルダウン メニューから [Open Netlist Design] をクリックします。デザインと共に読み込む制約セットおよびターゲット デバイスを指定できます。

[Opening Netlist Design] ダイアログ ボックスで、次の情報を入力します。

- [Design Name] : ビュー パナーに表示される名前を入力します。デザインは、PlanAhead セッション中のみメモリに保存されます。
- [Constraint Set] : ネットリストに対して開く既存の制約セットを選択します。
- [Part] : デフォルト デバイスを選択します。

[図 2-5](#) に、ネットリスト デザインのビュー レイアウトを示します。

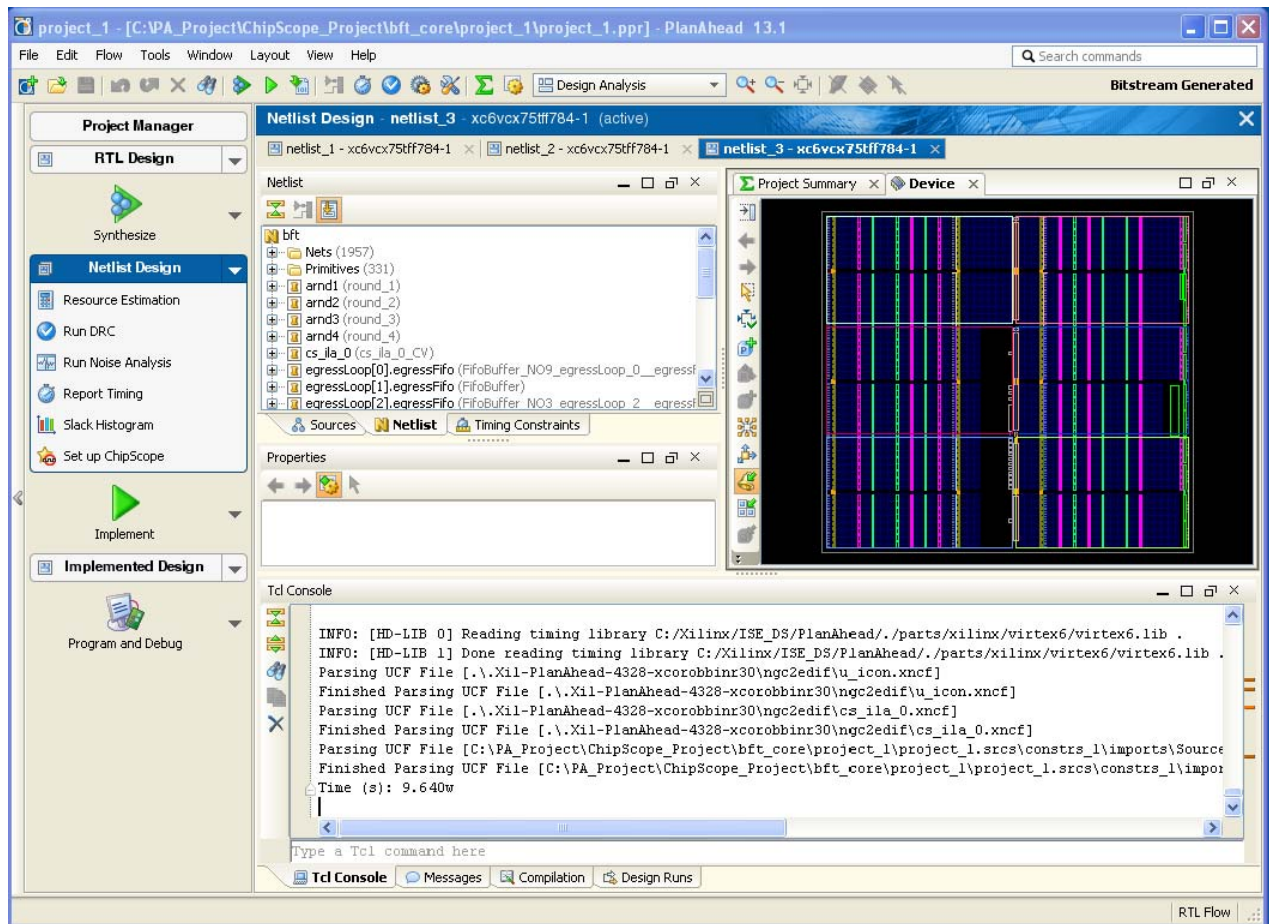


図 2-5 : ネットリスト デザインのビュー レイアウト

- Design Analysis ビュー レイアウトを使用したデザインの解析および制約の定義の詳細は、第 7 章「ネットリストの解析および制約の定義」を参照してください。
- I/O Planning ビュー レイアウトを使用した I/O ピン配置については、第 8 章「I/O ピン配置」を参照してください。

アクティブ ネットリストの設定

複数の合成実行が存在する場合、アクティブ実行に対して処理が実行され、それに関する情報が表示されます。アクティブ実行は、[Design Runs] ビューに太字で示されます。[Project Summary]、[Compilation]、および [Messages] ビューには、アクティブ実行に関する情報のみが表示されます。

[Design Runs] ビューで合成実行を右クリックし、[Make active] をクリックすると、アクティブ ネットリストに設定され、デザインを開いたとき、実行を起動したときに、デフォルトでこのネットリストが使用されます。

複数の合成実行の作成と管理については、第 6 章の「複数の合成実行の起動」を参照してください。

インプリメント済みデザインを開く

インプリメント済みデザインには完了したインプリメンテーション実行のみが含まれます。PlanAhead には複数のインプリメンテーション実行を設定でき、これらを [Implemented Design] ビューで選択できます。

インプリメント済みデザインは、ネットリスト、制約、配置、およびタイミング結果がインプリメンテーション実行ディレクトリからインポートされます。デザインがメモリに読み込まれたら、Design Analysis ビュー レイアウトで解析できます。

インプリメント済みデザインを開くには、次のいずれかを実行します。

- Flow Navigator で [Implemented Design] をクリックし、アクティブな合成ネットリスト、制約セット、およびターゲット デバイスを開きます。
- Flow Navigator の [Implemented Design] プルダウン メニューから [Open Implemented Design] をクリックし、リストされるインプリメント済み実行のいずれかを選択します。
- [Design Runs] ビューで完了したインプリメンテーション実行を右クリックし、[Open Implemented Design] をクリックするか、インプリメンテーション実行をダブルクリックします。

Design Analysis ビュー レイアウトが表示されます。通常、このビューで配置およびタイミングの解析、フロアプランを実行します。図 2-6 に、インプリメント済みデザインのビュー レイアウトを示します。

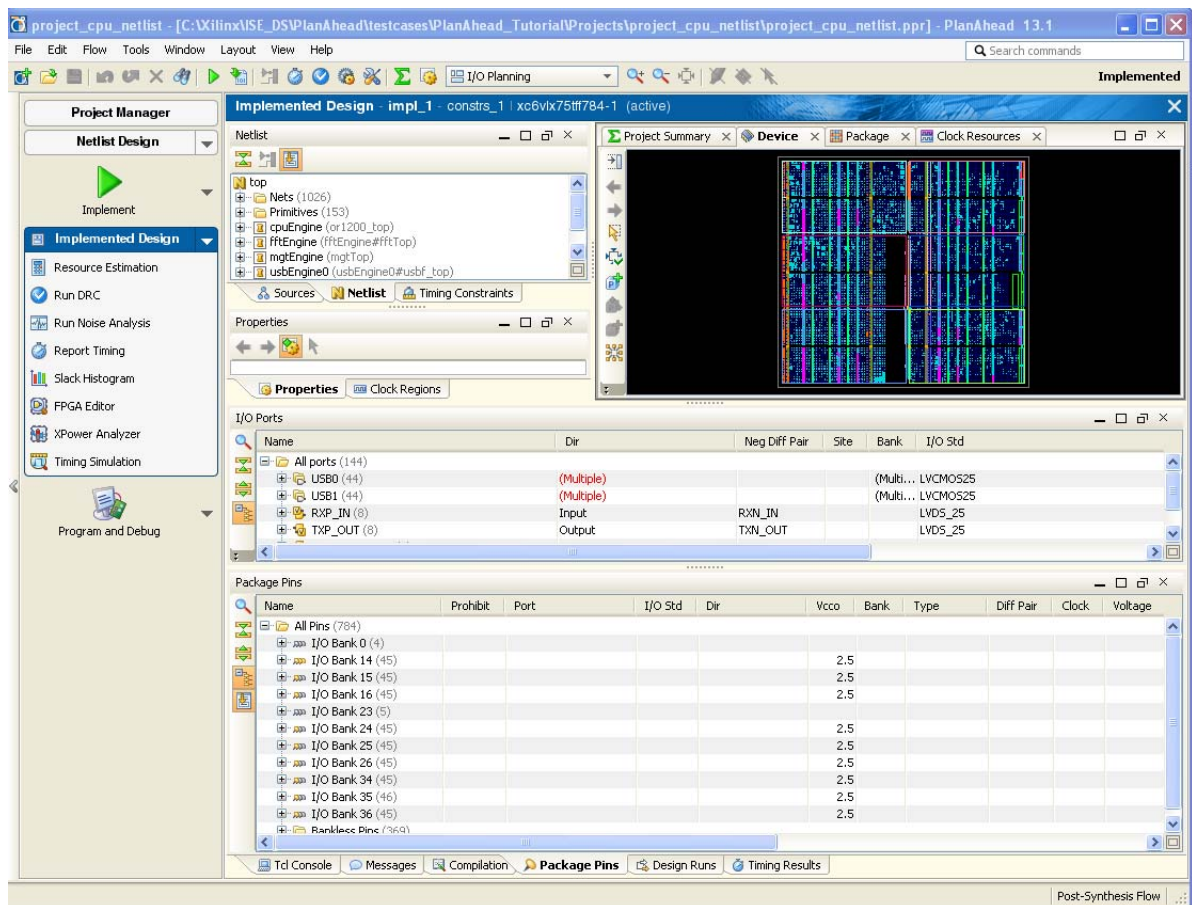


図 2-6：インプリメント済みデザインのビュー レイアウト

複数のインプリメント済みデザインを同時に開き、複数の実行の結果を表示できます。

ビュー レイアウトの上部に、どの実行結果が表示されているかが示されます。複数のインプリメンテーション実行の作成と管理については、[第 9 章の「複数 run の管理」](#)を参照してください。

メモ：デザイン パーティションの変更やパーシャル リコンフィギュレーションの制御など、ネットリストの変更を伴う操作は、インプリメント済みデザインでは使用できない可能性があります。正しいデータに対して操作が実行されるのを確実にするため、これらの操作は RTL またはネットリスト デザインに対して実行する必要があります。

開いているデザインの管理

PlanAhead ソフトウェアでデザインを開くと、デザインがメモリに読み込まれ、Flow Navigator の対応するボタン内にアイコンが表示され、データがメモリに読み込まれたことが示されます。[図 2-7](#) に、デザインが開いていることを示すアイコンを示します。



図 2-7 : デザインが開いていることを示すアイコン

同時に複数のデザインが開いている場合は、複数のアイコンが表示されます。

デザインの保存

プロジェクトに加えた変更を保存するには、[File] → [Save Design] をクリックします。

制約ファイル、デザイン パーティション、およびプロジェクト設定に加えた変更がすべて保存されます。




インプリメント済みデザインが開いている場合は、制約の変更は現在アクティブな制約ファイルではなく、デザイン インプリメンテーションで使用された制約ファイルに保存されます。これにより、インプリメント済みデザインへの変更が適切な制約ファイルに保存されます。

ただし、特定のインプリメンテーション実行に使用した制約ファイルに意図していない変更が加えられる可能性があります。PlanAhead でこの状況を警告するメッセージが表示され、保存を確定する前に変更を保存する制約ファイルを選択できます。

デザインを閉じる

デザインを閉じると、メモリ内のデザイン数を減らし、ソースを編集できる場所が複数になるのを避けることができます。別のデザイン表示に移動する前に、デザインを閉じるようダイアログ ボックスが表示されることがあります。パーシャル リコンフィギュレーション デザインなどの場合は、別の表示に移動する前にデザインを閉じる必要があります。デザインは、次のように閉じることができます。

- 個々のデザインを閉じるには、メイン表示エリアのパナーにある [Close] ボタン  をクリックします。
- すべてのデザインを閉じるには、Flow Navigator のいずれかのデザイン ボタンのドロップダウン メニューから [Close] をクリックします。

デザイン ビュー バナー

デザイン ビュー バナー (図 2-8) には、デザイン名、制約セット、およびターゲット デバイスが表示されます。

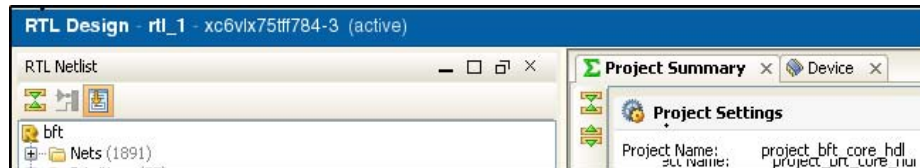


図 2-8 : [RTL Design] バナー

ソース ファイルがアップデートされると、RTL デザインの上部にバナーが表示され、デザイン データがアップデートされたことが示されます。このバナーに、新しいデザイン データを読み込むためのリンクが表示されます。

デザインの再読み込みが必要であることを示すバナー

設計プロセスでは、通常ソース ファイルの変更が必要です。これらのファイルの依存性は PlanAhead ソフトウェアで管理され、表示されているデザイン データの再読み込みが必要になるとそれが示されます。また、プロジェクト設定を変更すると、プロジェクトのステータスがアップデート必要になります。

ソース ファイル、ネットリスト、またはインプリメント結果がアップデートされると、開いているデザインの上部にバナーが表示され、現在メモリに読み込まれているデータより新しいデータがあり、デザインを読み込み直す必要があることが示されます。

メモリのデータを更新するには、[Reload] ボタンをクリックします。図 2-9 に、デザイン データのアップデートが必要であることを示すバナーを示します。

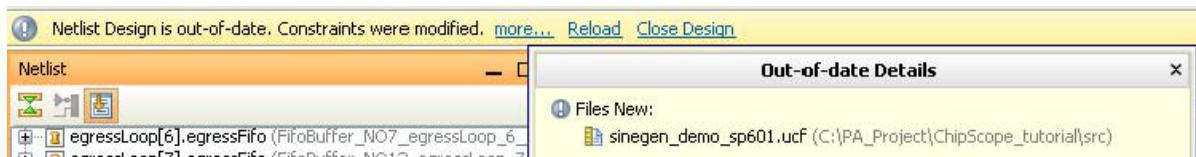


図 2-9 : デザインの再読み込みが必要であることを示すバナー

デザイン手順を再実行してデータをアップデートする必要がある場合、ステータス バーおよび [Project Summary] ビューにもそのステータスが示されます。PlanAhead ソフトウェアでは、合成やインプリメンテーションなど、次に実行する手順へのリンクが示されます。

複数のデザインの切り替え

複数のデザインが開いている場合、タブが表示され、デザインを簡単に切り替えることができます。

デザイン ビュー バナーの [make active] リンクをクリックすると、デザインに関連付けられている制約セットをアクティブにすることができます (図 2-10 を参照)。

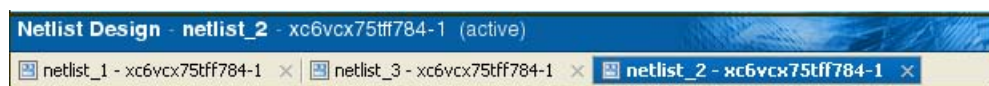


図 2-10 : 複数のデザインのタブ

第 3 章

プロジェクトの操作

PlanAhead のプロジェクト タイプ

PlanAhead™ ソフトウェアは、FPGA デザイン フローのさまざまな段階で使用できます。次の PlanAhead ソフトウェア プロジェクト タイプを作成できます。

- レジスタトランスファ レベル (RTL) ソース ベースのプロジェクト
- 合成済みネットリスト ベースのプロジェクト
- インプリメント済みデザイン結果ベースのプロジェクト
- CSV (Comma Separated Values)、ユーザー制約ファイル (UCF) ベースの I/O ピン配置プロジェクト
- ISE® Project Navigator で作成されたプロジェクト
- パーシャル リコンフィギュレーション プロジェクト (ライセンスがイネーブルの場合)

プロジェクトは、プロジェクト作成時に使用された入力ソースのタイプによって識別されます。プロジェクト タイプは新規プロジェクトの作成時に選択できます。

プロジェクト タイプを一度選択すると、後で別のタイプに変換することはできません。

メモ : PlanAhead では、パーシャル リコンフィギュレーション デザインをサポートするため派生タイプのプロジェクトも使用されます。この機能は特別ライセンスでのみ提供されています。この機能については、『[パーシャル リコンフィギュレーション ユーザー ガイド](#)』(UG702) を参照してください。

RTL ソース ベースのプロジェクト

PlanAhead を使用すると、RTL の作成からビットストリームの生成まで、FPGA デザイン フロー全体を管理できます。RTL ソース ファイルだけでなく、CORE Generator™ で生成された IP およびコンパイル済みの NGC/NGO 形式の IP ネットリストをプロジェクトに追加できます。

RTL をエラボーレートして解析し、構文が正しいことを確認し、さまざまな合成やインプリメンテーション実行を起動および管理し、デザインと実行結果を解析できます。また、さまざまな制約やインプリメンテーション ストラテジを試すこともできます。

合成済みネットリスト ベースのプロジェクト

Xilinx® Synthesis Technology (XST) やサポートされているサードパーティの合成ツールを使用して PlanAhead ソフトウェア環境外で合成されたデザインから、プロジェクトを作成することもできます。PlanAhead では、EDIF または NGC/NGO フォーマットのネットリストをインポートできます。ネットリストは、1 つのファイルにまとめられているか、複数のモジュールレベルのネットリストから構成される階層構造になっているものを使用できます。

ロジック ネットリストを解析し、さまざまなインプリメンテーション実行を起動および管理し、デザインと実行結果を解析できます。また、さまざまな制約やインプリメンテーション ストラテジを試すこともできます。

インプリメント済みデザイン結果ベースのプロジェクト

ザイリンクスのコマンド ライン ツールを使用し、PlanAhead 環境外で作成されたインプリメンテーション結果を解析するプロジェクトも作成できます。デザイン ネットリスト、インプリメンテーション、タイミング結果をインポートし、タイミングまたは配置に関する問題を調べることができます。

I/O ピン配置プロジェクト

空の I/O ピン配置プロジェクトを作成して、デザイン サイクルの初期段階で I/O ピン配置を実行できます。I/O ポートは PlanAhead 内で作成したり、CSV またはユーザー制約ファイル (UCF) のいずれかの形式でインポートできます。ピン配置プロジェクトを使用すると、異なるデバイス アーキテクチャで使用可能なロジック リソースも確認できます。

I/O ピンを割り当てた後、PlanAhead で CSV、UCF、および RTL 出力ファイルを作成できます。このファイルは、RTL ソースまたはネットリストが使用可能になったデザイン フローの後の段階で使用します。この出力ファイルは、プリント回路基板 (PCB) デザインで使用する回路図シンボルの作成にも使用できます。

メモ：RTL ヘッダーまたはソース ファイルを使用してデザインの I/O ピン配置を実行するには、RTL ソース プロジェクトを使用します。

Project Navigator で作成されたプロジェクト

ISE Project Navigator のプロジェクト データを、PlanAhead のデザインにインポートできます。Project Navigator からのさまざまなプロジェクト設定を使用して、新規 PlanAhead プロジェクトが作成されます。

PlanAhead を Project Navigator 内で起動して、I/O ピン配置およびフロアプランを実行することも可能です。ISE® Project Navigator 環境からの PlanAhead の使用に関する詳細は、[第 15 章「Project Navigator からの PlanAhead の使用」](#)を参照してください。

新規プロジェクトの作成


次に、プロジェクトの作成方法とウィザードで設定可能なプロジェクト オプションについて説明します。

New Project ウィザードの使用

New Project ウィザードでは、プロジェクト名およびディレクトリの指定、プロジェクトへのソース ファイルと制約ファイルの追加、ターゲット デバイスの選択をウィザードに従って実行できます。

新規プロジェクトを作成するには、次の手順に従います。

1. 次のいずれかを選択します。
 - Getting Started ページの [Create a New Project] リンクをクリックします。

- [File] → [New Project] をクリックするか、ツールバーの [New Project] ボタン  をクリックします。
2. ウィザードの最初のページにウィザードの概要が表示されます。
- 39 ページの図 3-1 に示す [Project Name] ページが表示されます。

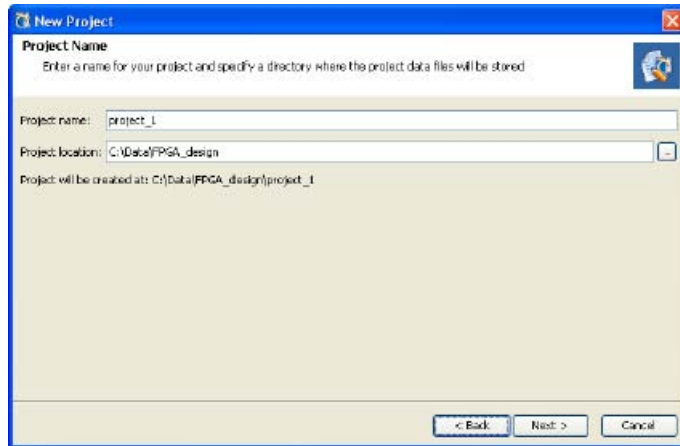


図 3-1 : New Project ウィザード : [Project Name] ページ

3. [Project Name] ページで [Project name] および [Project location] を指定し、[Next] をクリックします。
- [Project name] : **project_3** など、プロジェクト ディレクトリを識別する名前を入力します。
 - [Project location] : プロジェクト ディレクトリを作成するディレクトリを入力します。

デザイン ソース データ タイプの選択

図 3-2 に示す [Design Source] ページで、入力デザイン ソースのフォーマットを選択します。

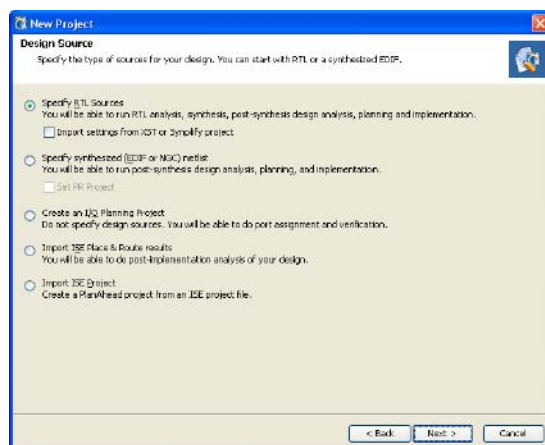


図 3-2 : New Project ウィザード : [Design Source] ページ

4. デザイン ソースのフォーマットを選択し、[Next] をクリックします。
5. 選択したデザイン入力に応じて、次のいずれかの説明を参照してください。
- [RTL ソースを使用したプロジェクトの作成](#)
 - [合成済みネットリストを使用したプロジェクトの作成](#)

- I/O ピン配置プロジェクトの作成
- ISE の配置およびタイミング結果を使用したプロジェクトの作成
- ISE プロジェクトのインポート

ウィザードの次のページでは、前のページで選択したプロジェクト タイプに基づいたプロジェクトに最適なソースを追加します。

RTL ソースを使用したプロジェクトの作成

RTL ソース ファイルをインポートしてプロジェクトを作成できます。このプロジェクトは、RTL コードの開発と解析、合成とインプリメンテーションを目的とする場合に使用します。RTL の開発および解析の詳細は、第 5 章「RTL デザイン」を参照してください。

1. 38 ページの「新規プロジェクトの作成」の手順に従ってプロジェクトを作成します。
2. 39 ページの図 3-2 に示す [Design Source] ページで [Specify RTL Sources] をオンにします。

XST または Synplify プロジェクトからの設定のインポート

XST または Synplify 合成ツール用に作成した既存のプロジェクトをインポートでき、既存プロジェクトに含まれるソース ファイルを新規 PlanAhead プロジェクトに簡単に追加できます。

トップ モジュール、ターゲット デバイス、VHDL ライブラリなどの設定も既存プロジェクト ファイルからインポートできます。

既存の XST または Synplify プロジェクト ファイルをインポートする手順は次のとおりです。

1. [Design Source] ページで [Specify RTL Sources] の下の [Import settings from XST or Synplify project] をオンにします。
2. [Import Settings from XST or Synplify Project] ページで次のいずれかを選択します。
 - [Import XST] : 既存の XST プロジェクト ファイル (.xst) を指定します。
 - [Import Synplify] : 既存の Synplify プロジェクト ファイル (.prj) を指定します。
 - [Do not import settings at this time] : この段階では既存のプロジェクトを指定せず、手動でソース ファイルと設定を指定します。
3. [Next] をクリックします。

ソース ファイルまたはディレクトリの追加

[Add Sources] ページで、RTL ソース ファイルおよび RTL ソース ファイルを含むディレクトリを追加します。図 3-3 に示す [Add Files] および [Add Directories] ボタンをクリックします。

[Create File] ボタンをクリックすると、新規 RTL ソース ファイルを作成できます。

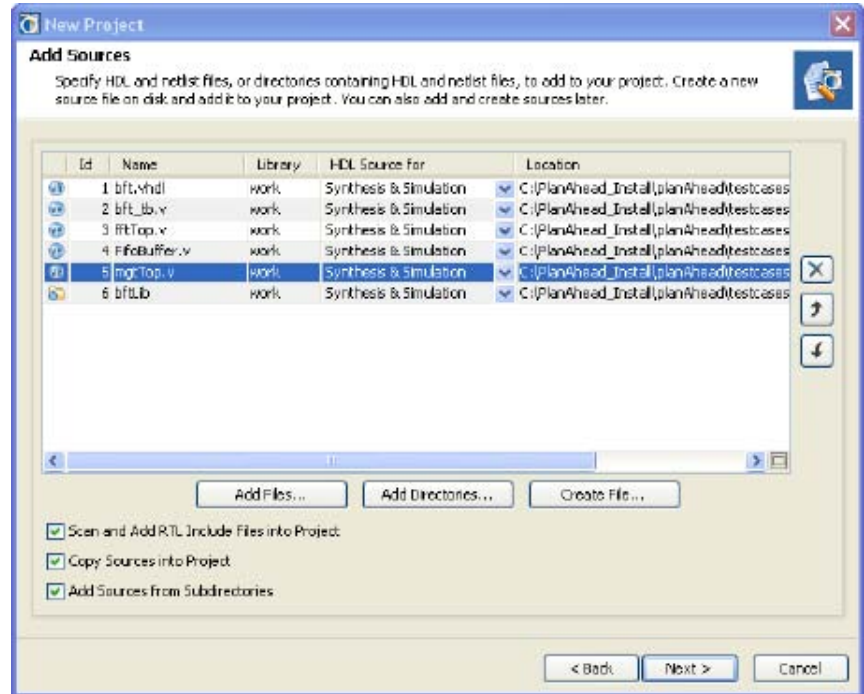


図 3-3 : New Project ウィザード : [Add Sources] ページ

メモ : XST または Synplify プロジェクト ファイルをインポートした場合は、指定したプロジェクト ファイルに含まれるソース ファイルが検出され、自動的にこのページの表に表示されます。必要に応じてこのリストからファイルを追加または削除できます。

[Add or Create Design Sources] ページでは、次のコマンドおよびオプションを使用できます。

- [Add Files] : プロジェクトに追加する RTL ファイルを選択します。
- [Add Directories] : 選択したディレクトリに含まれるすべての RTL ファイルを追加します。指定したディレクトリにある有効なソース ファイルがすべてプロジェクトに追加されます。
- [Library] : ファイルまたはディレクトリの RTL ライブラリを指定します。定義済みのライブラリ名から選択するか、新規ライブラリ名を入力します。

メモ : Verilog ライブラリは work にする必要があります。

- [HDL Source for] : 読み込むソースが合成およびシミュレーション用の RTL デザインソースであるか、シミュレーションのみで使用する RTL テストベンチであるかを指定します。
- [Create File] : Verilog、Verilog ヘッダー、または VHDL ソース ファイルを作成する [Create Source File] ダイアログ ボックスが開きます。
- [Delete] : 選択されたソース ファイルを削除します。
- [Move selected file up] : ファイルまたはディレクトリをリストの上方向に移動します。ファイル順は、合成やシミュレーションなどのダウンストリーム プロセスでのエラバレーションおよびコンパイルの順序に影響します。

- [Move selected file down] : ファイルまたはディレクトリをリストの下方向に移動します。
- [Scan and Add RTL Include Files into Project] : 追加された RTL ファイルをスキャンし、参照されている Verilog インクルード ファイルを追加します。
- [Copy Sources into Project] : ソース ファイルを PlanAhead のプロジェクト ディレクトリにコピーします。プロジェクトではローカルにコピーされたバージョンが使用されます。[Add Directories] ボタンをクリックしてソース ファイルのディレクトリを追加した場合は、ファイルがローカルプロジェクトにコピーされる際にディレクトリ構造もそのまま保持されます。これについては、56 ページの「リモート ソースの参照またはプロジェクト ディレクトリへのソースのコピー」を参照してください。
- [Add Sources from Subdirectories] : [Add Directories] で指定したディレクトリのサブディレクトリに含まれるソース ファイルをすべて追加します。

RTL ソースの作成

新規ソース ファイルを作成するには、[Add Sources] ページで [Create File] をクリックします。[Create Source File] ダイアログ ボックスが開き、作成するソース ファイルのタイプ、名前、および場所を指定できます。

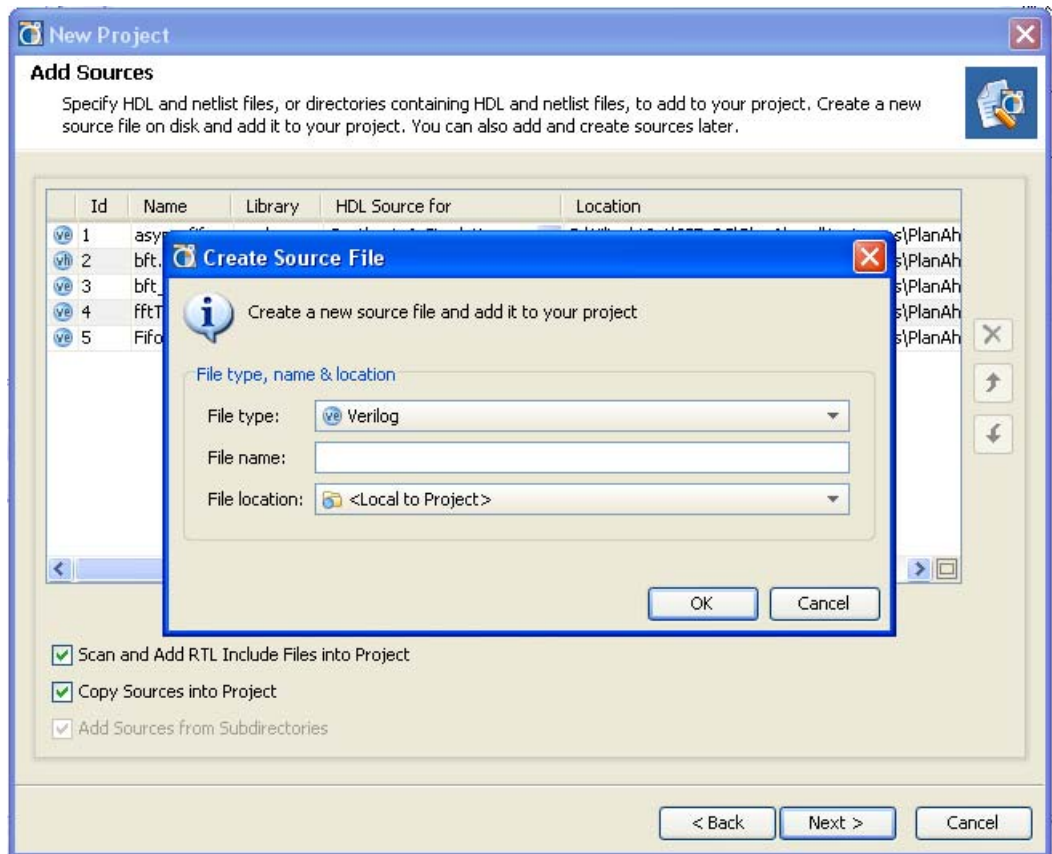


図 3-4 : [Create Source Files] ダイアログ ボックス

1. 図 3-4 に示すダイアログ ボックスで次の情報を定義します。
 - [File type] : 次のファイル タイプのいずれかを選択します。
 - [Verilog] : Verilog ファイル (.v) を作成します。

- [Verilog Header] : Verilog ヘッダ ファイル (.vh) を作成します。
 - [VHDL] : VHDL ファイル (.vhd1) を作成します。
 - [File name] : 作成する HDL ソース ファイルの名前を入力します。
 - [File location] : ファイルを作成する場所を指定します。
2. [OK] をクリックします。
ファイルのプレースホルダーがソースのリストに追加されます。ファイルは [Finish] をクリックすると作成されます。
 3. [Add Sources] ページでソース ファイルに最適なライブラリを指定します。デフォルトでは、ソース ファイルは work ライブラリに追加されます。

IP の追加

[Design Source] ページで [Specify RTL Sources] をオンにした場合、プロジェクトに IP コアを追加できます。図 3-5 に示す例で、既存の IP コアとは PlanAhead の環境外で CORE Generator™ ツールを使用して作成した既存の XCO コア ファイルを指します。

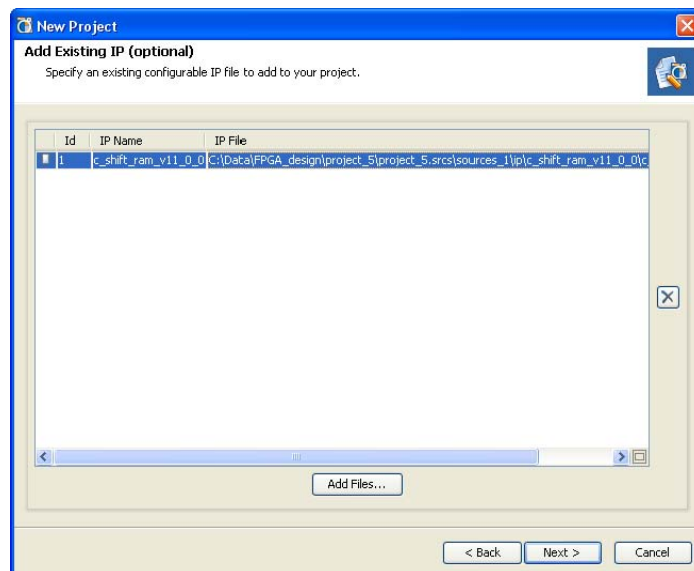


図 3-5 : New Project ウィザード : [Add Existing IP] ページ

メモ : XCO コア ファイルは RTL プロジェクトにのみ追加できます。

パラメーター指定可能なコアを読み込むには、PlanAhead ソフトウェアで [IP Catalog] コマンドを使用して CORE Generator を起動します。詳細は、65 ページの「IP コアの管理」を参照してください。

IP コアは、エンベデッド開発キット (EDK) および DSP ツールでも使用できます。これらのツールからの既存の XCO コア ファイルを読み込むことも可能です。

サードパーティから合成済み NGC または EDIF ネットリストとして提供されている IP もあります。これらのファイルをデザインに読み込むには、[Add Sources] コマンドをクリックし、[Add or Create Design Sources] をオンにしてファイルを読み込みます。

この手順の詳細は、65 ページの「既存の IP コアの追加」を参照してください。

制約の追加

44 ページの図 3-6 に示す [Add Constraints] ページでは、最上位 UCF ファイルまたはモジュールレベルのネットリスト制約ファイル (NCF) を追加できます。

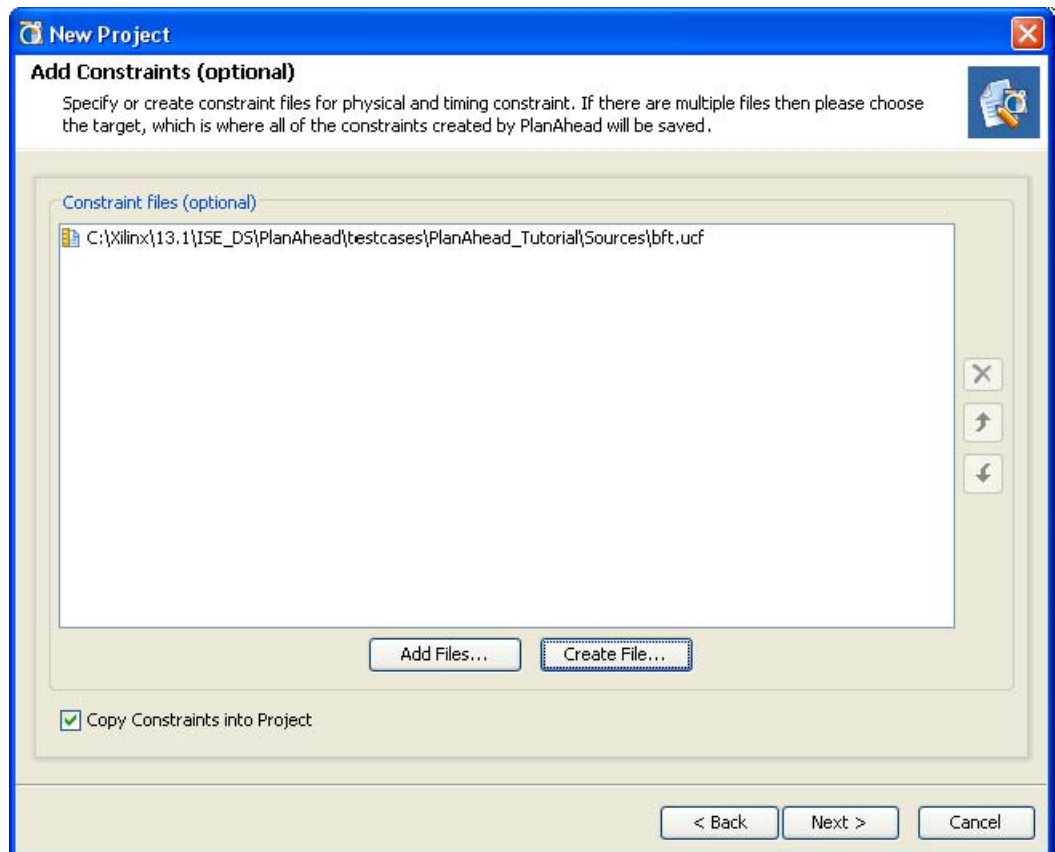


図 3-6 : New Project ウィザード : [Add Constraints] ページ

必要に応じてプロジェクトの制約ファイルを追加または作成できます。この手順の詳細は、58 ページの「制約の管理」を参照してください。

RTL またはネットリスト ソース ファイルと同じディレクトリに UCF、NCF、または XST 制約ファイル (XCF) が存在する場合、デフォルトでそれらのファイルがプロジェクトに追加される制約ファイルとして表示されます。制約ファイルを削除するには、[Remove selected file] ボタンをクリックします。

[Add Constraints] ページには、次のオプションがあります。

- [Add Files] : プロジェクトに追加する UCF、NCF、または XCF ファイルを選択します。
- [Create File] : プロジェクトの最上位 UCF ファイルを作成します。
- [Remove selected file] : [Constraint files] リストで選択している UCF ファイルを削除します。
- [Move selected file up]/[Move selected file down] : 選択した UCF ファイルをリストの上方向または下方向に移動します。制約は順序に依存し、最後に読み込まれた制約でそれ以前に読み込まれた制約が置き換えられます。
- [Copy Constraints into Project] : 制約ファイルを元のロケーションから参照するのではなく、PlanAhead のプロジェクト ディレクトリにコピーします。

- **[Target UCF]** : ターゲット UCF を指定します。新しく作成された制約は、ターゲット UCF ファイルに記述されます。既存の制約を修正した場合は、ターゲット UCF ではなくその制約が記述されている UCF ファイルがアップデートされます。ターゲット UCF は、いつでも変更できます。

メモ : NCF および XCF ファイルは、ターゲットとして指定することはできません。新規制約は、UCF に記述する必要があります。

制約ファイルを追加し、ターゲット UCF を指定したら、**[Next]** をクリックします。

デフォルト デバイスの選択

図 3-7 に示す **[Default Part]** ページでは、デフォルト デバイスを選択します。

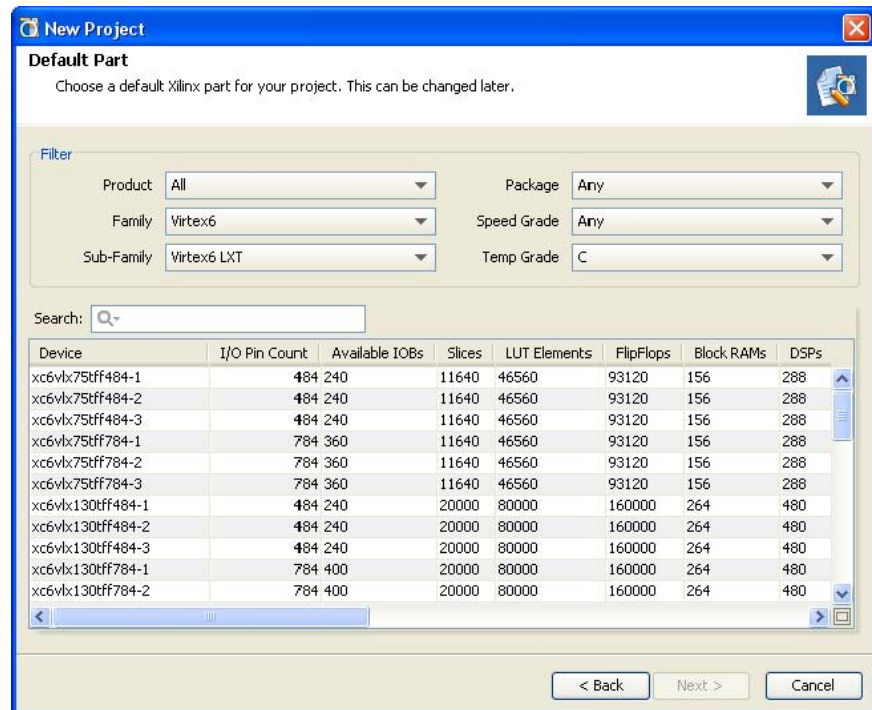


図 3-7 : New Project ウィザード : **[Default Part]** ページ

選択可能なデバイスは、このページの下部にリストされます。デバイス リソースに関する情報が、表形式で表示されます。

ページの上部にある製品 (**[Product]**)、ファミリー (**[Family]**)、サブファミリー (**[Sub-Family]**)、パッケージ (**[Package]**)、スピード グレード (**[Speed Grade]**)、および温度 (**[Temp Grade]**) フィルタを使用して、リストされるデバイスを絞り込むことができます。

また、**[Search]** ボックスに検索条件を入力することもできます。

1. デバイス リストからデバイスを選択し、**[Next]** をクリックします。

メモ : デフォルト デバイスは、RTL デザインまたはネットリスト デザインを開きとき、合成中、インプリメンテーション中に変更できます。

[New Project Summary] ページが表示されます。

2. サマリ ページの内容を確認し、**[Finish]** をクリックします。

プロジェクト環境に **Project Manager** に関連するビューが表示されます。

合成済みネットリストを使用したプロジェクトの作成

合成済みネットリストおよびその制約を使用して PlanAhead プロジェクトを作成できます。このプロジェクトは、PlanAhead のフロアプラン環境およびインプリメンテーション環境を使用してデザインを解析、フロアプラン、およびインプリメントする場合に使用します。

1. 38 ページの「New Project ウィザードの使用」の手順に従ってプロジェクトを作成します。
2. [Design Source] ページで [Specify synthesized (EDIF or NGC) netlist] をオンにします。

最上位ネットリストおよびモジュール検索パスの指定

図 3-8 に示す [Specify Top Netlist File] ページでは、最上位のネットリスト ファイルおよび下位モジュールのネットリストを検索する検索パスを入力します。

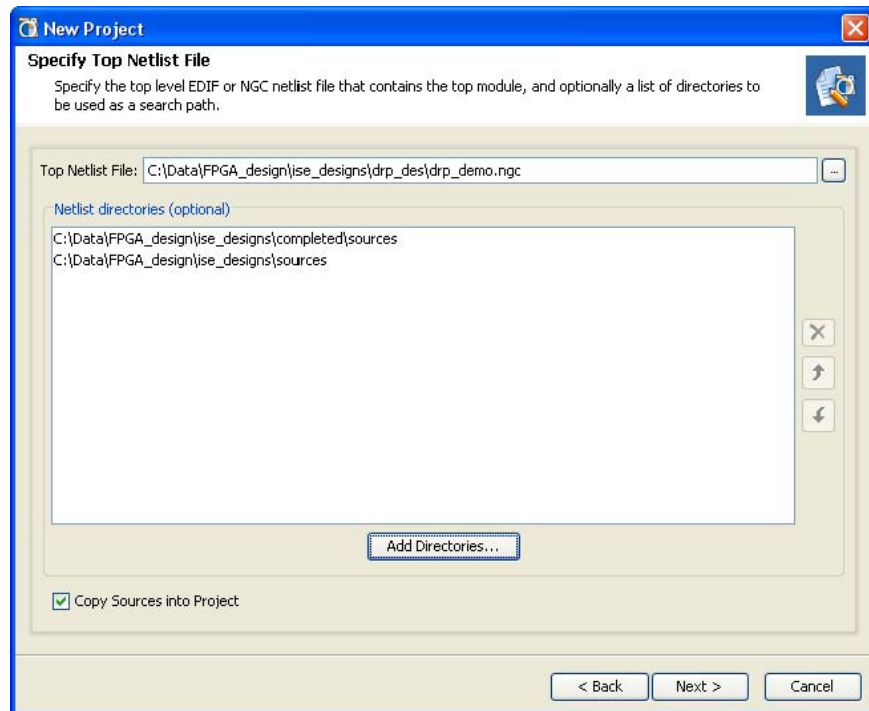


図 3-8 : New Project ウィザード : [Specify Top Netlist File] ページ

1. このページで編集できるオプションは次のとおりです。
 - [Top Netlist File] : 最上位ネットリスト名を入力します。参照ボタンをクリックし、最上位ネットリスト ファイルを選択します。
 - [Netlist directories] : 下位モジュールおよびコアを検索するディレクトリを選択します。デフォルトでは、PlanAhead の起動ディレクトリと最上位ネットリストを選択したディレクトリが検索パスに含まれます。

これらのディレクトリの検索順は、[Move selected file up] ボタンおよび [Move selected file down] ボタンを使用して変更できます。リストからディレクトリを削除するには、削除するディレクトリを選択し、[Remove selected file] ボタンをクリックします。
 - [Copy Sources into Project] : ソース ファイルを元のロケーションから参照するのではなく、PlanAhead のプロジェクト ディレクトリにコピーします。
2. [Next] をクリックします。

3. 58 ページの「制約ファイルの追加と作成」の手順に従って制約ファイルを追加します。
4. 45 ページの「デフォルト デバイスの選択」の手順に従ってデフォルト デバイスを選択します。
[New Project Summary] ページにプロジェクトに選択されたオプションが表示されます。
5. [Finish] をクリックし、プロジェクトを作成して開きます。

I/O ピン配置プロジェクトの作成

システム レベル デザインのデバイス ピン配置を指定するために使用する I/O ピン配置プロジェクトを作成できます。このプロジェクトは、HDL または合成済み EDIF を完了する前に作成します。システム レベルまたは PCB 設計者とデザイン情報を共有する目的などに使用できます。I/O ピン配置の詳細は、第 8 章「I/O ピン配置」を参照してください。

[Design Source] ページで [Create an I/O Planning Project] をオンにします。

I/O ポートのインポート

図 3-9 に示す [Import Ports] ページでは、インポートする I/O ポートおよび制約ファイルを選択します。

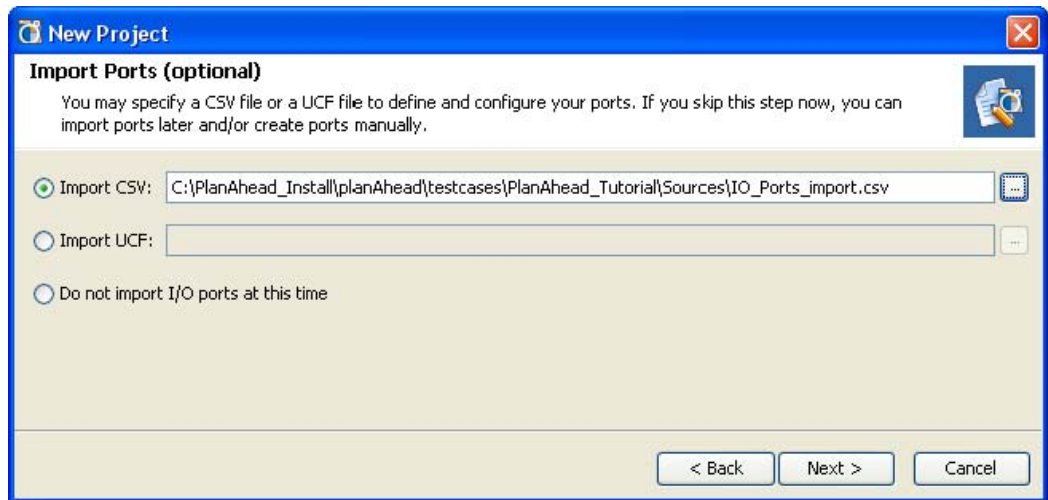


図 3-9 : New Project ウィザード : [Import Ports] ページ

1. 次のオプションを設定し、[Next] をクリックします。
 - [Import CSV] : PlanAhead フォーマットの I/O ポート定義を含む CSV ファイルを選択します。このファイルの仕様は、382 ページの「I/O ポート リスト (CSV)」を参照してください。
 - [Import UCF] : I/O ポート関連の制約のみを含む UCF ファイルを選択します。
 - [Do not import I/O ports at this time] : 空のプロジェクトを作成します。I/O は後ほど作成またはインポートできます。
メモ : RTL ヘッダーまたはソース ファイルを使用してデザインの I/O ピン配置を実行するには、RTL ソース プロジェクトを使用します。
2. 45 ページの「デフォルト デバイスの選択」の手順に従ってデフォルト デバイスを選択します。
[New Project Summary] ページにプロジェクトに選択されたオプションが表示されます。
3. [Finish] をクリックし、プロジェクトを作成して開きます。

ISE の配置およびタイミング結果を使用したプロジェクトの作成

ISE® からの配置配線結果、制約、プロジェクト設定をインポートしてプロジェクトを作成できます。このプロジェクトは、PlanAhead のインプリメンテーションおよび解析環境を使用して配置配線結果を解析するのに使用します。

1. 38 ページの「New Project ウィザードの使用」の手順に従ってプロジェクトを作成します。
2. [Design Source] ページで [Import ISE Place & Route results] をオンにします。
このプロジェクト タイプの作成手順は、合成済みネットリスト プロジェクトを作成する手順と同じですが、ISE の配置およびタイミング ファイルをインポートするページがあります。
3. 46 ページの「合成済みネットリストを使用したプロジェクトの作成」の手順に従って最上位ネットリストと検索ディレクトリを指定します。
4. 45 ページの「デフォルト デバイスの選択」の手順に従ってデフォルト デバイスを選択します。

図 3-10 に示す [Import ISE Implementation Results] ページでインポートする ISE インプリメンテーション結果を選択します。ISE で生成した配置配線結果およびタイミング ファイルをインポートできます。これらのファイルからインプリメント済みデザインが作成され、PlanAhead で表示および解析できるようになります。

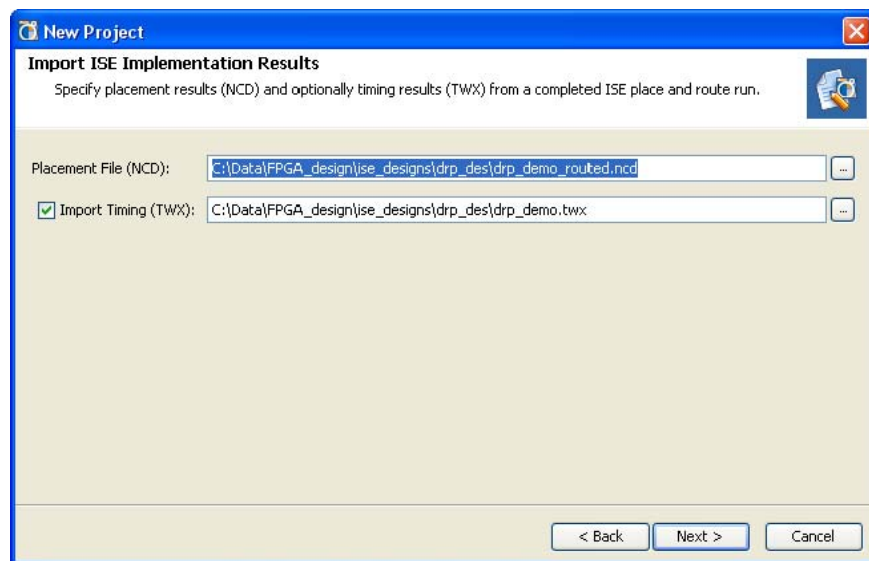


図 3-10 : New Project ウィザード : [Import ISE Implementation Results] ページ

5. [Import ISE Implementation Results] ページで、次を指定します。
 - [Placement File (NCD)] : ISE インプリメンテーション ディレクトリから NCD フォーマットの配置配線結果ファイルを指定します。
 - [Import Timing (TWX)] : チェック ボックスをオンにし、ISE インプリメンテーションの TRACE で生成された TWX などのタイミング結果ファイルを指定します。

[New Project Summary] ページにプロジェクトに選択されたオプションが表示されます。

6. [Finish] をクリックし、プロジェクトを作成して開きます。
インプリメント済みデザインが作成されると、インプリメント済みデザインを開くか ([Open Implemented Design])、ビットストリームを生成するか ([Generate Bitstream])、レポートを表示するか ([View Reports]) を選択するダイアログ ボックスが表示されます。

インプリメント済みデザイン環境にデザインの配置およびタイミング結果が読み込まれ、関連のビューが表示されます。

ISE プロジェクトのインポート

ISE の Project Navigator から RTL ベースの ISE プロジェクトを PlanAhead の Project Manager にインポートできます。

1. 38 ページの「新規プロジェクトの作成」の手順に従ってプロジェクトを作成します。
2. 39 ページの図 3-2 に示す [Design Source] ページで [Import ISE Project] をオンにします。

図 3-11 に示す [Import Settings From an ISE Project] ページが表示されます。

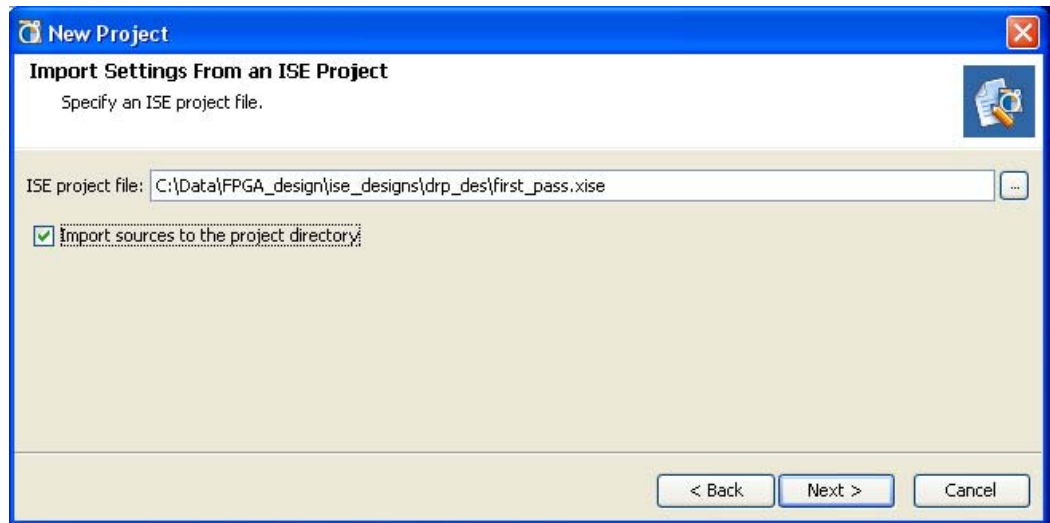


図 3-11 : New Project ウィザード : [Import Settings From an ISE Project] ページ

3. インポートする ISE プロジェクト ファイルを指定します。ISE プロジェクト ディレクトリにある .xise ファイルを指定します。
4. ISE プロジェクトを現在のディレクトリから参照するのではなく PlanAhead プロジェクトにコピーする場合は、[Import Source to the Project Directory] をオンにします。
5. [New Project Summary] ページにプロジェクトに選択されたオプションが表示されます。
[Finish] をクリックし、プロジェクトを作成して開きます。


ISE プロジェクトの RTL ソース ファイル、制約ファイル、設定がインポートされ、指定したディレクトリに PlanAhead プロジェクト ファイルが作成されます。インポート プロセスのサマリが import_ise_summary.txt ログ ファイルに記述され、新規プロジェクト ディレクトリに保存されます。このサマリ ファイルで、PlanAhead プロジェクトの作成プロセスを確認できます。

プロジェクトの管理

既存のプロジェクトを開く

PlanAhead で既存のプロジェクトを開くことができます。プロジェクトを開くと、前回プロジェクトを閉じたときの状態が復元されます。プロジェクトの状態とは、ソース ファイル順、ソース ファイルのディスエーブル/イネーブル、アクティブおよびターゲット制約ファイル、合成、シミュレーション、インプリメンテーション実行のステートなどです。

プロジェクトを開くには、次の方法のいずれかを実行します。

- Getting Started ページの [Open Recent Project] または [Open Project] リンクをクリックします。
- [File] → [Open Project] をクリックします。
- ツールバーの [Open Project] ボタン  をクリックします。

[Open Project] ダイアログ ボックスで、PlanAhead プロジェクト ファイル (.ppr) を選択します。[Open Project] ダイアログ ボックスの [File Preview] に現在選択されているファイルに関する情報が表示されます。

Windows のエクスプローラーから PlanAhead プロジェクトを開くには、プロジェクト ファイルをダブルクリックします。

複数のプロジェクトを開く

PlanAhead の 1 つのセッションで複数のプロジェクトを開くには、プロジェクトが開いている状態で前述のいずれかの方法を使用して 2 つ目のプロジェクトを開きます。現在開いているプロジェクトを閉じるかどうかを選択するダイアログ ボックスが表示されます。

[No] をクリックして開いているプロジェクトを閉じないようにすると、両方のプロジェクトが開きます。各プロジェクトにはそれぞれ PlanAhead メイン ウィンドウがあります。

メモ：複数のプロジェクトを開いた場合、システム メモリの要件により、パフォーマンスが低下することがあります。

プロジェクトの保存

プロジェクトを保存するには、[File] → [Save Project] または [File] → [Save Project As] をクリックします。保存されていない変更がある場合は、それを示すメッセージが表示されます。[Save Project As] コマンドを使用すると、プロジェクト ディレクトリ構造全体が新しく指定されたディレクトリにコピーされ、実行のステータスも保持されます。

プロジェクトのアーカイブ

プロジェクトのバックアップを作成したりリモート サイトに送信したりするため、PlanAhead プロジェクトのアーカイブを作成すると便利です。プロジェクトのアーカイブを作成するには、[File] → [Archive Project] をクリックします。このコマンドを実行すると、次の処理が実行されます。

- デザイン階層を解析します。
- ライブラリ ディレクトリから必要なソース ファイル、インクルード ファイル、リモート ファイルをコピーします。
- 制約をコピーします。
- 合成、シミュレーション、およびインプリメンテーション実行の結果をコピーします。

- プロジェクトの ZIP ファイルを作成します。

51 ページの図 3-12 に [Archive Project] ダイアログ ボックスを示します。

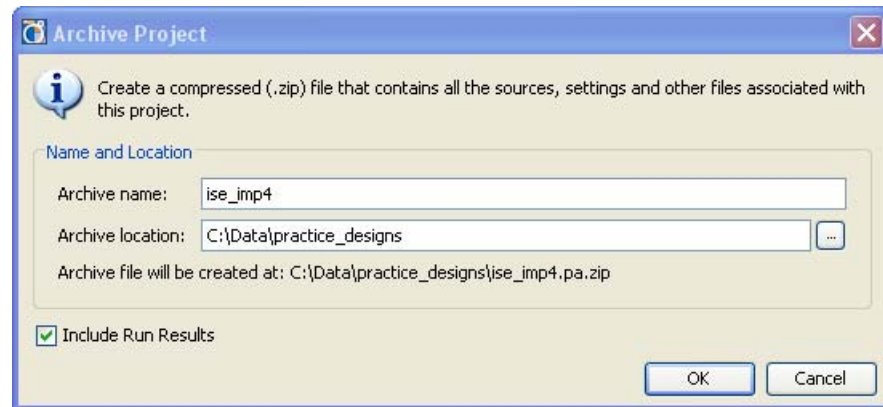


図 3-12 : プロジェクトのアーカイブ

プロジェクトのアーカイブを作成するには、次の手順に従います。

1. [File] → [Archive Project] をクリックします。
2. アーカイブのファイル名を指定します。
3. アーカイブ ファイルを保存するディレクトリを指定します。
4. 実行の設定および結果を含める場合は、[Include Run Results] をオンにします。[OK] をクリックしてアーカイブを作成します。

ソース ファイル、インクルード ファイル、実行ファイル (指定した場合) を含むプロジェクトのアーカイブの ZIP ファイルが作成されます。アーカイブ プロセスを記述する archive.log ファイルも作成され、ZIP ファイルに含まれます。archive.log ファイルでアーカイブの作成プロセスを確認できます。

プロジェクトを閉じる

プロジェクトを閉じるには、[File] → [Close Project] をクリックします。保存されていない変更がある場合は、それを示すメッセージが表示されます。

プロジェクト ソースの管理

PlanAhead では、新規ソース ファイルを作成し、ローカルまたはリモートにある既存のソース ファイルを管理できます。Verilog および VHDL ソース ファイルは、デザイン フローのどの段階でもプロジェクトに追加できます。また、制約ファイルを作成および追加、シミュレーション テストベンチを追加、既存の IP コアを追加できます。

ソース ファイルを作成または既存のソース ファイルをプロジェクトに追加するには、[File] → [Add Sources] をクリックするか、ポップアップ メニューまたは Flow Navigator から [Add Sources] をクリックします。

図 3-13 に示す Add Sources ウィザードが表示されます。

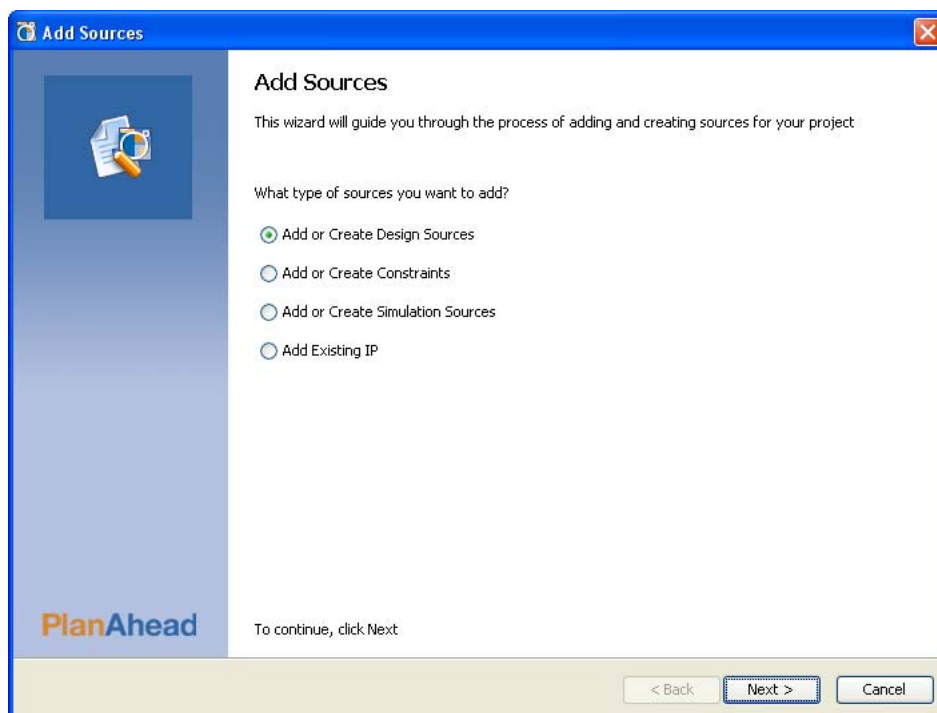


図 3-13 : Add Sources ウィザード

さまざまなタイプのソース ファイルを追加する方法について、この後のセクションで説明します。

- [RTL ソース ファイルの管理](#)
- [制約の管理](#)
- [シミュレーション ソースの管理](#)
- [IP コアの管理](#)

RTL ソース ファイルの管理

このセクションでは、RTL ソース ファイルの管理方法について説明します。

RTL ソース ファイルの追加と作成

Verilog または VHDL ソース ファイルを追加するには、[Add Sources] コマンドをクリックして [Add or Create Design Sources] をオンにし、[Next] をクリックします。

53 ページの図 3-14 に示す [Add or Create Design Sources] ページが表示されます。

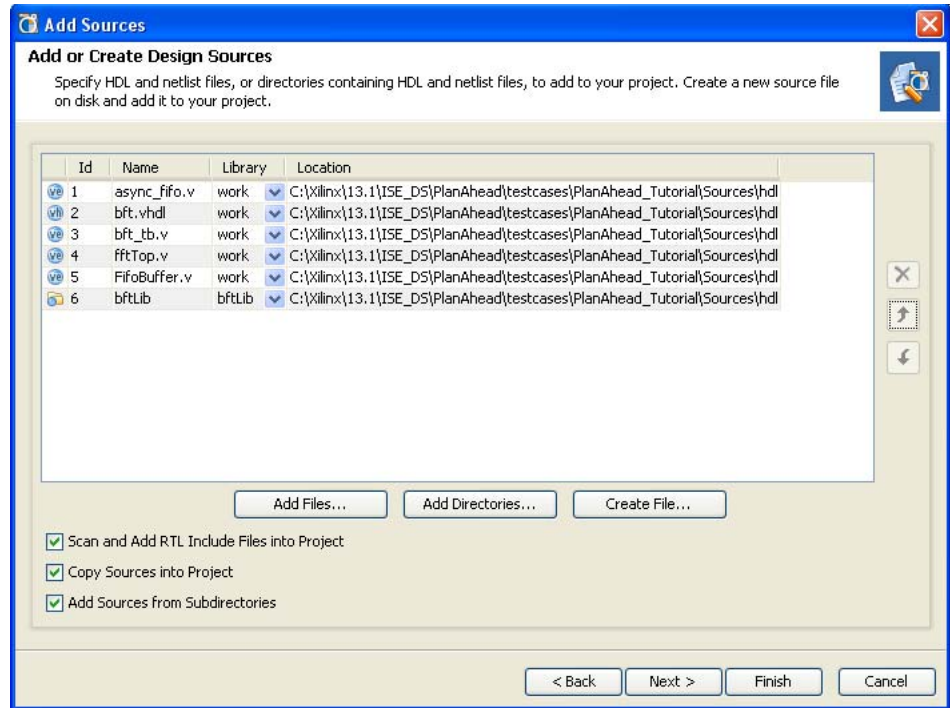


図 3-14 : Add Sources ウィザード : [Add or Create Design Sources] ページ

RTL ソースの追加

[Add or Create Design Sources] ページでは、次のコマンドおよびオプションを使用できます。

- **[Add Files]** : プロジェクトに追加する RTL ファイルを選択します。
- **[Add Directories]** : 選択したディレクトリに含まれるすべての RTL ファイルを追加します。指定したディレクトリにある有効なソース ファイルがすべてプロジェクトに追加されます。
 - **[Library]** : ファイルまたはディレクトリの RTL ライブラリを指定します。定義済みのライブラリ名から選択するか、新規ライブラリ名を入力します。
 - **[HDL Source for]** : 読み込むソースが合成およびシミュレーション用の RTL デザインソースであるか、シミュレーションのみで使用する RTL テストベンチであるかを指定します。
- **[Create File]** : Verilog、Verilog ヘッダー、または VHDL ソース ファイルを作成する [Create Source File] ダイアログ ボックスが開きます。
- **[Delete]** : 選択されたソース ファイルを削除します。
- **[Move selected file up]** : ファイルまたはディレクトリをリストの上方向に移動します。ファイル順は、合成やシミュレーションなどのダウンストリーム プロセスでのエラボレーションおよびコンパイルの順序に影響します。
- **[Move selected file down]** : ファイルまたはディレクトリをリストの下方向に移動します。
- **[Scan and Add RTL Include Files into Project]** : 追加された RTL ファイルをスキャンし、参照されている Verilog インクルード ファイルを追加します。
- **[Copy Sources into Project]** : ソース ファイルを PlanAhead のプロジェクト ディレクトリにコピーします。プロジェクトではローカルにコピーされたバージョンが使用されます。

- [Add Directories] ボタンをクリックしてソース ファイルのディレクトリを追加した場合は、ファイルがローカルプロジェクトにコピーされる際にディレクトリ構造もそのまま保持されます。これについては、[56 ページの「リモート ソースの参照またはプロジェクト ディレクトリへのソースのコピー」](#)を参照してください。
- [Add Sources from Subdirectories] : [Add Directories] で指定したディレクトリのサブディレクトリに含まれるソース ファイルをすべて追加します。

RTL ソースの作成

新規ソース ファイルを作成するには、[Add or Create Design Sources] ページで [Create File] をクリックします。[図 3-15](#) に示す [Create Source File] ダイアログ ボックスが開き、作成するソース ファイルのタイプ、名前、および場所を指定できます。

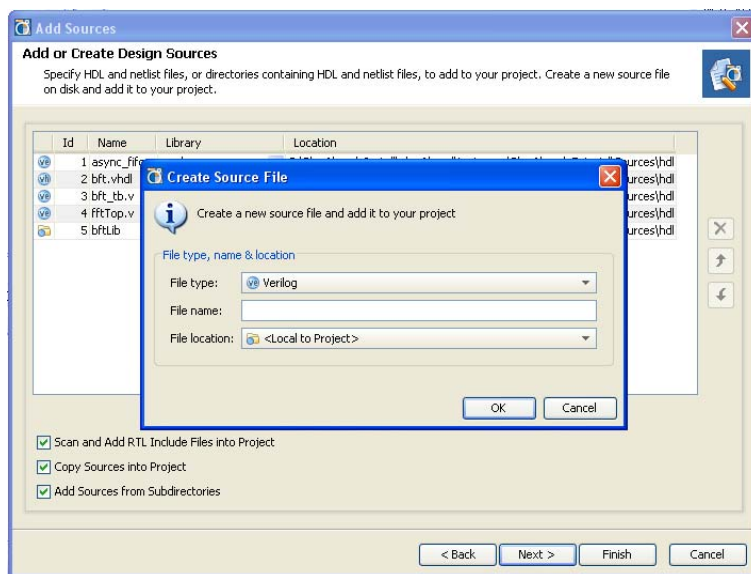


図 3-15 : [Create Source File] ダイアログ ボックス

1. [図 3-15](#) に示すダイアログ ボックスで次の情報を定義します。
 - [File type] : 次のファイル タイプのいずれかを選択します。
 - [Verilog] : Verilog ファイル (.v) を作成します。
 - [Verilog Header] : Verilog ヘッダ ファイル (.vh) を作成します。
 - [VHDL] : VHDL ファイル (.vhd1) を作成します。
 - [File name] : 作成する HDL ソース ファイルの名前を入力します。
 - [File location] : ファイルを作成する場所を指定します。
2. [OK] をクリックします。
ファイルのプレースホルダーがソースのリストに追加されます。ファイルは [Finish] をクリックすると作成されます。
3. [Add or Create Design Sources] ページでソース ファイルに最適なライブラリを指定します。デフォルトでは、ソース ファイルは work ライブラリに追加されます。

新しく作成されたファイルがプロジェクトに追加され、[Sources] ビューに表示されます。テキストエディターでファイルを開いて編集するには、ファイルをダブルクリックするか、[Open File] ポップアップ メニューをクリックします。新規作成したファイルの編集方法については、[145 ページの「RTL ソース ファイルの編集」](#)を参照してください。

トップ モジュールの指定とソース ファイルの順序の変更

PlanAhead では、読み込まれたファイルのデザイン階層に基づいて、ソース ファイルのエラボーレーション、合成、シミュレーションの順序が自動的に判断されます。ファイルの順序は、[Sources] ビューに表示されている順序になります。

プロジェクトに複数の RTL ファイルを追加した場合、デザイン階層の最上位となるファイルを指定できます。また、トップ モジュールの要件に基づいて自動的に順序を判断させるか、手動で順序を指定できます。

トップ モジュールを指定するには、[Sources] ビューを右クリックして [Specify Top Module] をクリックします。図 3-16 に示すダイアログ ボックスが表示されます。

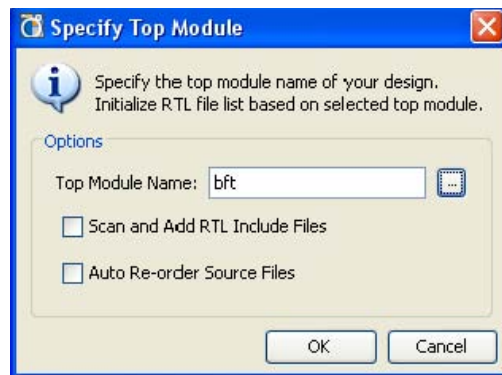


図 3-16 : [Specify Top Module] ダイアログ ボックス

[Top Module Name] には、デザイン解析に基づいて自動的に判断されたモジュール名が表示されています。トップ モジュールの候補が複数ある場合は、それらをリストするダイアログ ボックスが表示され、そこからトップ モジュールを選択します。参照ボタンをクリックすると、候補のリストが表示されます。

必要に応じて次のオプションをオンにします。

- **[Scan and Add RTL Include Files]** : RTL ファイルをスキャンし、インクルード ファイルをローカルプロジェクト ディレクトリにインポートします。
- **[Auto Re-order Source Files]** : 指定されたトップ モジュールの要件に基づいて、エラボーレーションおよび合成のソース ファイル順が自動的に判断されます。指定されたトップ モジュールのデザイン階層で使用されていないソース ファイルも検出され、不要なファイルはディスエーブルになります。

これらのコマンドは、[Sources] ビューを右クリックしたときに表示されるポップアップ メニューにも含まれています。詳細は、109 ページの「[Sources] ビューのポップアップ メニュー」を参照してください。

ソース ファイルの順序を手動で指定するには、[Sources] ビューでファイルを選択し、ドラッグして適切な位置に移動します。

または、ファイルを右クリックして [Move Up]、[Move Down]、[Move to Top] または [Move to Bottom] をクリックして並び替えることもできます。

ソース ファイルのイネーブル/ディスエーブル

ソース ファイルを追加または作成すると、デフォルトでイネーブルになります。ソース ファイルは、エラボレーション、合成、またはシミュレーションで使用されないようディスエーブルにできます。

ソース ファイルの異なるバージョンを読み込み、適切なソース ファイルをイネーブルまたはディスエーブルにし、デザインのコンフィギュレーションを制御できます。

- ソース ファイルをディスエーブルにするには、[Sources] ビューでファイルを右クリックし、[Disable File] をクリックします。
- ソース ファイルをイネーブルにするには、[Sources] ビューでファイルを右クリックし、[Enable File] をクリックします。

リモート ソースの参照またはプロジェクト ディレクトリへのソースのコピー

ソース ファイルは、リモート ロケーションから参照するか、プロジェクト ディレクトリにコピーできます。プロジェクトを移動またはアーカイブする可能性がある場合は、すべてのファイルがプロジェクト内に保存されるように、ファイルをプロジェクトにコピーすることをお勧めします。

リモート ファイルを追加した場合、最新のファイルが自動的に検出され、開いているデザインを更新するか ([Refresh your open Designs])、アップデートされたファイルを使用して合成を実行するか ([Synthesize with the latest updates]) を選択するダイアログ ボックスが表示されます。

メモ：プロジェクトにファイルをコピーすると、プロジェクトを別のシステムに移行しやすくなりますが、外部ファイルの変更は PlanAhead では検出されません。リモート ファイルの変更を適用するには、ファイルを削除して追加し直すか、[Sources] ビューのコマンドを使用してファイルをアップデートします。

ソース ファイルをプロジェクトに追加する際に Add Sources ウィザードの [Add or Create Design Sources] ページで [Copy Sources into Project] をオンにすると、ソース ファイルがプロジェクト ディレクトリにコピーされます。

ソース ファイルを最初リモート ソースとして追加し、後でプロジェクト ディレクトリにコピーする場合は、[Sources] ビューでファイルを右クリックして [Copy Into Project] をクリックしてソース ファイルを個別にコピーするか、または [Copy All Files Into Project] をクリックしてすべてのリモート ソース ファイルをコピーします。

- プロジェクト ディレクトリにコピーされたローカル ファイルには、[Sources] ビューのファイル名の横に緑の丸が付きます。
- 緑の丸が表示されていない場合は、ファイルがリモート ソースであることを示しています。
- 赤い丸が表示されている場合は、RTL ファイルがローカルにもリモートにも見つからないことを示します。

図 3-17 に、[Sources] ビューでのファイルの表示例を示します。

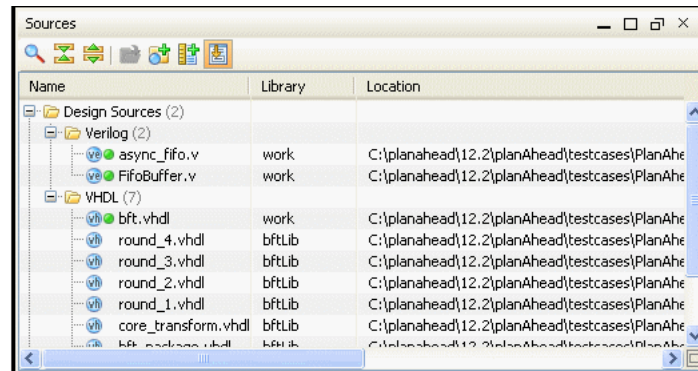


図 3-17: リモート ソース ファイルとコピーされたソース ファイル

ローカル ソース ファイルのアップデート

リモート ソースを参照すると、そのアップデートが **PlanAhead** で自動的に検出されます。ソース ファイルがプロジェクトにコピーされている場合、元のファイルへの変更は **PlanAhead** で検出されません。必要に応じて、ローカル ソース ファイルを手動でアップデートする必要があります。

ローカル ソース ファイルをアップデートするには、次の方法があります。

1. [Sources] ビューでソース ファイルを右クリックして [Update File] をクリックします。
ファイル ブラウザーにコピー元のソース ファイルが表示されます。[OK] をクリックし、ソース ファイルを読み込み直します。
この際、コピー元として別のファイルを選択できます。選択したソース ファイルがプロジェクト ディレクトリにコピーされます。
2. [Sources] ビューを右クリックして [Add Sources] をクリックし、アップデートされたソース ファイルをプロジェクトに追加します。追加したファイルがプロジェクトにインポートされます。同じ名前にローカル ソース ファイルが既に存在するので、図 3-18 に示す [Import Source Conflicts] ダイアログ ボックスが表示され、既存のファイルを上書きするか ([Overwrite existing files])、新しく追加したファイルを読み込まないか ([Don't overwrite existing files]) を選択するよう求められます。
3. いずれかをオンにし、[OK] をクリックします。



図 3-18 : [Import Source Conflicts] ダイアログ ボックス

制約の管理

PlanAhead ソフトウェアを使用すると、制約を柔軟に定義できます。1 つの UCF ファイルを使用してデザインで使用されるすべての制約を追加および管理するか、または制約を複数のファイルに分類して管理できます。UCF ファイルは、プロジェクトの作成中に追加するか、[Add Sources] コマンドを使用して後で追加できます。

複数の制約セットを作成して、さまざまな制約を試したり、複数のバージョンの制約を保存したりすることも可能です。各制約セットには、1 つまたはそれ以上の制約ファイルを含めることができます。

1 つの制約セットを複数のデザインで使用できます。ただし、この場合は変更の管理に注意を払う必要があります。複数のデザインに保存されていない変更がある場合、参照されている制約ファイルにどのデザインを保存するかを選択するダイアログ ボックスが表示されます。

メモ：これにより、保存されていないデザインの保存されていない制約定義が上書きされることがあります。

インプリメント済みデザインには、インプリメンテーション実行中に使用された制約セットのステートのスナップショットが含まれます。この制約セットの名前は、開いているプロジェクトのアクティブ制約セットと同じ名前にすることができます。

インプリメント済みデザインを開く際、インプリメンテーション実行から読み込まれた制約セットがプロジェクト メモリに現在ある制約セットより古い場合があります。デザインを保存したときに新しく定義された制約が失われる可能性があります。通常 PlanAhead ソフトウェアでこれらのリビジョンの問題が管理され、必要に応じて適切な処置をとるようメッセージが表示されますが、メモリにある現在の制約セットとインプリメント済みデザインに関連付けられている制約との間に競合がある可能性があることを念頭に置いてください。

制約ファイルの追加と作成

PlanAhead ソフトウェアでは、さまざまな制約ファイル フォーマットがサポートされています。UCF または XCF の最上位制約、あるいは NCF のモジュール レベル制約を追加できます。制約には、配置、タイミング、および I/O に関する指示があります。

制約ファイルをプロジェクトに追加するには、次の手順に従います。

1. [File] → [Add Sources] をクリックするか、ポップアップ メニューまたは Flow Navigator から [Add Sources] をクリックします。

52 ページの [図 3-13](#) に示す Add Sources ウィザードが表示されます。

2. [Add or Create Constraints] をオンにし、[Next] をクリックします。 [図 3-19](#) に示す [Add or Create Constraints] ページが表示されます。

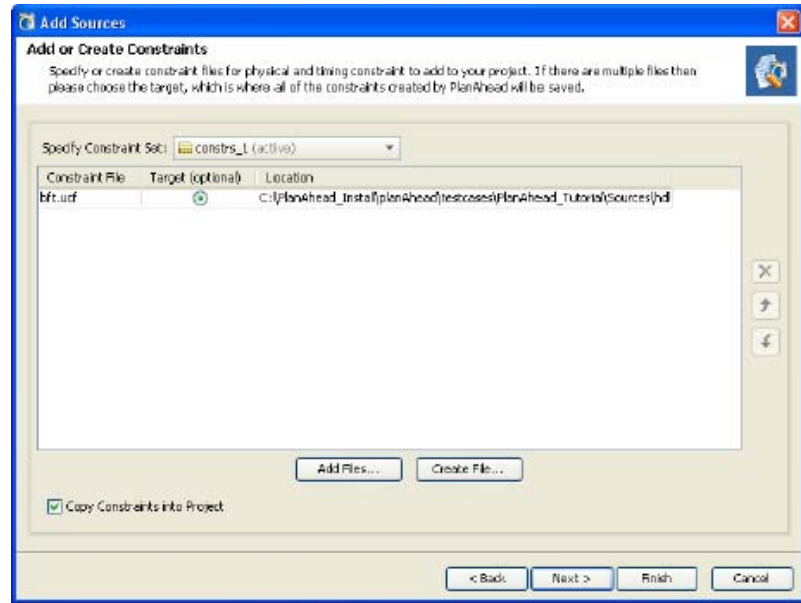


図 3-19 : Add Sources ウィザード : [Add or Create Constraints] ページ

[Add or Create Constraints] ページには、次のオプションがあります。

- [Specify Constraint Set] : 制約ファイルを追加する制約セットを選択します。デフォルトでは現在アクティブな制約セットが選択されていますが、別の制約セットを指定したり、ドロップダウンメニューを使用して新しい制約セットを作成することもできます。
- [Add Files] : プロジェクトに追加する UCF、NCF、または XCF ファイルを選択します。
- [Create File] : プロジェクトの最上位 UCF ファイルを作成します。
- [Remove selected file] : [Constraint files] リストで選択している UCF ファイルを削除します。
- [Move selected file up]/[Move selected file down] : 選択した UCF ファイルをリストの上方向または下方向に移動します。制約は順序に依存し、最後に読み込まれた制約でそれ以前に読み込まれた制約が置き換えられます。制約セットに複数の制約ファイルが含まれる場合、[Sources] ビューに表示される順序でファイルが処理されます。最初にリストされているファイルが最初に処理されます。複数の制約ファイルに同じ制約が含まれている場合、後に処理されたファイルの制約定義が使用されます。
- [Copy Constraints into Project] : 制約ファイルを元のロケーションから参照するのではなく、PlanAhead のプロジェクト ディレクトリにコピーします。

ターゲット UCF の設定

プロジェクトに複数の UCF ファイルを追加した場合、ターゲット UCF を指定する必要があります。新しく作成された制約は、ターゲット UCF ファイルに記述されます。既存の制約を修正した場合は、ターゲット UCF ではなくその制約が記述されている UCF ファイルがアップデートされます。

ターゲット UCF は、[Sources] ビューを右クリックして [Set Target UCF] をクリックしていつでも変更できます。

メモ : NCF および XCF ファイルは、ターゲットとして指定することはできません。新規制約は、UCF に記述する必要があります。

元の UCF ファイルの参照またはファイルのコピー

ほかのソース ファイルと同様、UCF ファイルもリモートにあるものの参照するか、ローカルプロジェクトにコピーできます。リモート ファイルを追加した場合、最新のファイルが自動的に検出され、最新のファイルを使用してデザインを更新するようメッセージが表示されます。

プロジェクトにファイルをコピーするには、Add Sources ウィザードの [Add or Create Constraints] ページで [Copy Constraints into Project] をオンにします。

詳細は、56 ページの「リモート ソースの参照またはプロジェクト ディレクトリへのソースのコピー」を参照してください。

制約セットの使用

制約セットとは、個別に管理されている 1 つまたは複数の制約ファイルで、解析およびインプリメンテーションでは 1 つの UCF ファイルに連結されます。制約セットは、デザイン プロセスのある時点または特定の条件化で使用する制約ファイルを定義します。複数の制約セットを定義することにより、フロアプランやタイミングの問題を解決するために異なる制約を試すことができます。

制約セットには、新しい制約を保存するため、少なくとも 1 つの UCF ファイルを含める必要があります。制約セットに UCF ファイルが含まれていない場合、デザインを保存するときにエラー メッセージが表示されます。

制約セットの作成

PlanAhead ソフトウェアでは、RTL デザイン、ネットリスト デザイン、インプリメンテーション、解析など、デザイン フローのさまざまな段階で制約を定義できます。

60 ページの図 3-20 に、Add Sources ウィザードの [Add or Create Constraints] ページで制約セットを作成する際に表示される [Create Constraint Set Name] ダイアログ ボックスを示します。

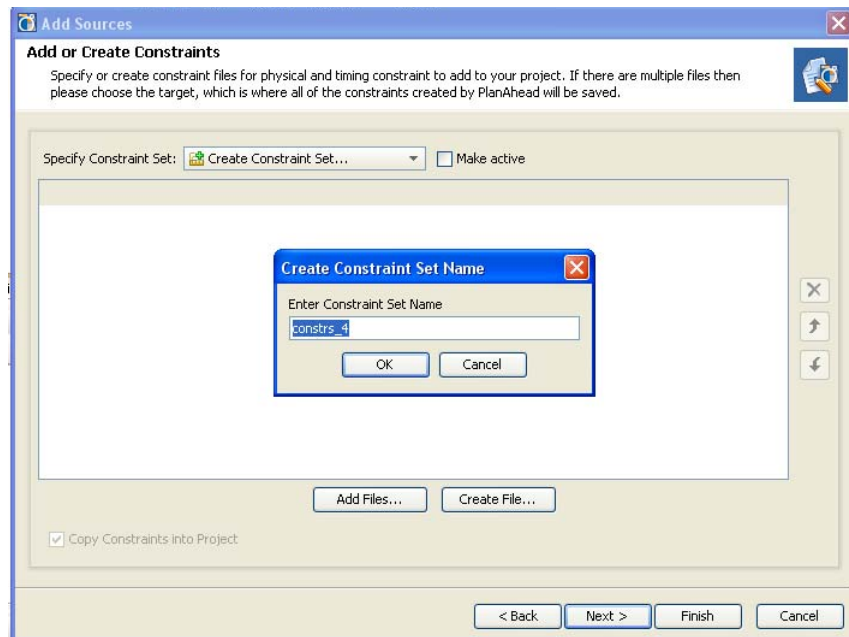


図 3-20 : [Create Constraint Set Name] ダイアログ ボックス

制約セットを作成するには、次の手順に従います。

1. Add Sources ウィザードの [Add Constraints] ページで、[Specify Constraint Set] ドロップダウン リストから [Create Constraint Set] を選択します (図 3-20 を参照)。
[Create Constraint Set] を選択すると、新規制約セット名を入力する [Create Constraint Set Name] ダイアログ ボックスが表示され、作成した制約セットをアクティブにする [Make active] チェック ボックスが表示されます。
2. [Add Files] をクリックして制約セットに追加する UCF、NCF、または XCF ファイルを選択するか、[Create File] をクリックして新規 UCF ファイルを作成します。

[Save Design As] コマンドの使用

設計および解析プロセスで制約に加えた変更を新しい制約セットを作成して保存できます。[Save Design As] ダイアログ ボックスに、すべての制約を保存する新しい制約セット名を入力します。61 ページの図 3-21 に [Save Design As] ダイアログ ボックスが表示されます。



図 3-21 : [Save Design As] ダイアログ ボックス

制約は複数の方法で変更できるので、変更を新しい制約セットとして保存すると便利です。

[Save Design As] コマンドを使用すると、次の処理が実行されます。

- 新しい制約セットが作成されます。
- アクティブ制約ファイルがローカル プロジェクト ディレクトリの新しい制約セットにコピーされます。
- 制約への変更はコピーされた制約ファイルに記述され、元の UCF ファイルは変更されません。
- デザインのパーティション情報および ChipScope コアへの変更が保存されます。
- [Save Design As] ダイアログ ボックスには、新しい制約セットをアクティブにするオプションがあります。

アクティブ制約セットの定義

複数の制約セットが存在する場合、アクティブ制約セットを指定する必要があります。デフォルトでは、インプリメンテーション実行を起動したとき、および RTL デザインまたはネットリスト デザインを開いたときに、アクティブ制約セットが使用されます。

制約セットをアクティブに設定するには、[Sources] ビューで制約セットを右クリックし、[Make active] をクリックします。62 ページの図 3-22 に示すように、アクティブ制約セットは太字で表示され、「(active)」と示されています。

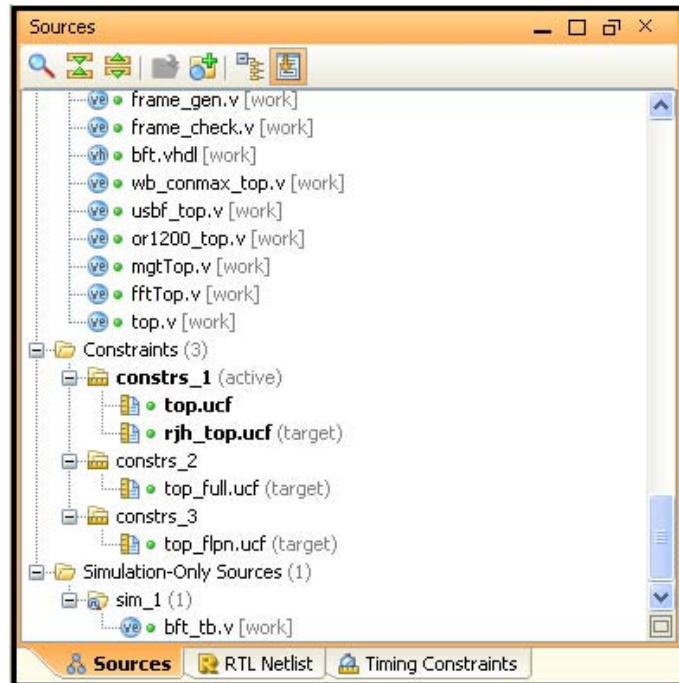


図 3-22：アクティブ制約セットの設定

モジュール レベルの制約ファイルの使用

PlanAhead ソフトウェアでは、モジュール レベルのネットリスト制約ファイル (NCF) をプロジェクトに追加できます。NCF ファイルは、通常 IP コアに関連付けられています。モジュール制約ファイルは、適用するモジュールと同じ名前に必要があります。たとえば、xyz.ngc というモジュールのネットリスト制約ファイル名は xyz.ncf にします。NCF ファイルをプロジェクトに追加すると、適切なネットリスト モジュールに自動的に関連付けられます。

メモ：NCF ファイルは、モジュールレベルのネットリストの名前に一致している場合に処理されます。これは ISE の動作と一致します。

最上位 UCF ファイルとモジュール レベル NCF ファイルの両方で定義されている制約がある場合は、次のルールが適用されます。

1. 制約が重複した場合、UCF の制約が NCF およびエンベデッド ネットリストの制約よりも優先されます。
2. NCF の制約は、エンベデッド制約よりも優先されます。

NCF ファイルは、New Project ウィザードまたは [Add Sources] コマンドを使用して追加します。プロジェクトに読み込まれている RTL ソース ファイルと同じディレクトリに NCF ファイルがある場合は、自動的に [Add Constraints] ページに追加されます。

NGC フォーマットのコアにエンベデッド タイミング制約がある場合も、制約が自動的に読み込まれます。エンベデッド タイミング制約は、EDK や CORE Generator™ コアに含まれていることがよくあります。

EDIF ネットリストが PlanAhead ソフトウェアに渡される前に、ngc2edif コマンドによりタイミング制約が抽出されます。これにより、PlanAhead で制約が認識されるようになり、デザイン解析で使用されます。

これらのファイルは PlanAhead ソフトウェアで読み出し専用のファイルとして扱われるので直接編集することはできませんが、モジュール レベルの制約に新しい値を定義できます。

新しい制約値は、ターゲット UCF ファイルに記述されます。最上位 UCF ファイルはモジュール レベルの NCF ファイルの後にインプリメンテーションに渡されるので、インプリメンテーションでは新しい制約値が優先されます。NCF は読み出し専用であるため、制約を削除することはできません。

メモ：モジュール レベルの制約を変更する場合は、IP 作成方法を使用して元のソースでファイルを編集するのが理想的です。

制約のエクスポート

PlanAhead で制約ファイルを作成し、コマンド ライン デザイン フローでのスクリプトに使用する場合があります。コマンド ライン フロー用に制約をエクスポートするには、[File] → [Export] → [Export Constraints] をクリックします。

ユーザー指定および PlanAhead ソフトウェアのデフォルトの I/O ポートおよびバンクの I/O 規格制約を UCF ファイルにエクスポートするには、[File] → [Export] → [Export I/O Ports] をクリックし、UCF ファイルを生成します。

シミュレーション ソースの管理

PlanAhead ソフトウェアでは、RTL デザイン プロジェクトのビヘイビア シミュレーション用およびインプリメント済みデザインのタイミング シミュレーション用にシミュレーション ソースを追加できます。シミュレーション ソース ファイルには、シミュレーションのスティミュラスとして使用する HDL ベースのテストベンチ ファイルが含まれます。シミュレーション ソースは、ISim でのビヘイビア シミュレーションおよびタイミング シミュレーションに使用されます。詳細は、[160 ページの「ビヘイビア シミュレーションの実行」](#)および [333 ページの「タイミング シミュレーションの実行」](#)を参照してください。

シミュレーション ソース ファイルはシミュレーション ファイル セットに格納され、[Sources] ビューにフォルダーとして表示されます。リモートのもの参照するか、ローカル プロジェクト ディレクトリに保存されているものを使用できます。

シミュレーション セットにより、デザインの異なる段階に異なるソースを使用できます。たとえば、RTL デザインまたはデザインのモジュールのビヘイビア シミュレーション用にスティミュラスを供給するシミュレーション ソースを使用し、インプリメント済みデザインのタイミング シミュレーション用にスティミュラスを供給する別のテストベンチを使用できます。

シミュレーション ソースをプロジェクトに追加する際、ソースを追加するシミュレーション ソース セットを指定できます。

シミュレーション ソース ファイルの追加と作成

シミュレーション ソースをプロジェクトに追加するには、次の手順に従います。

1. 次のいずれかを実行します。
 - [File] → [Add Sources] をクリックします。
 - ポップアップ メニューまたは Flow Navigator から [Add Sources] をクリックします。Add Sources ウィザードが表示されます。

2. [Add or Create Simulation Sources] をオンにし、[Next] をクリックします。64 ページの図 3-23 に示す [Add or Create Simulation Sources] ページが表示されます。

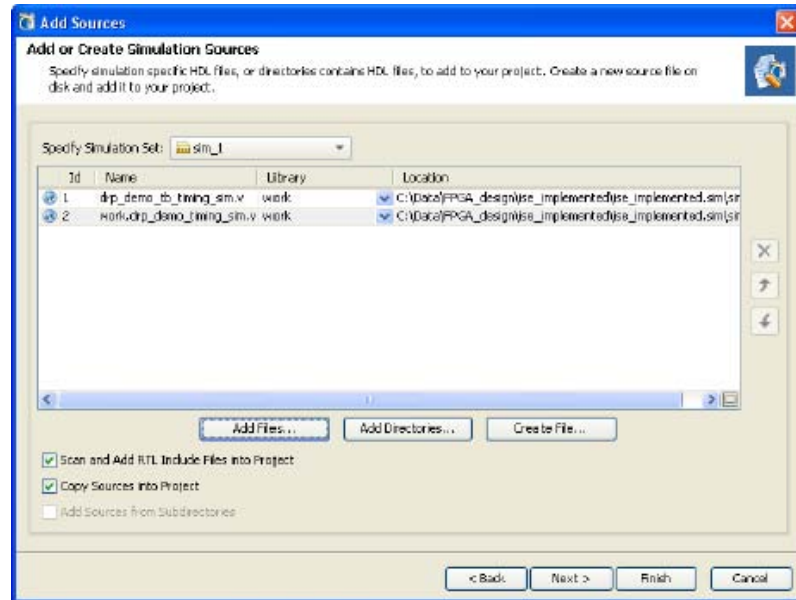


図 3-23 : Add Sources ウィザード : [Add or Create Simulation Sources] ページ

次のオプションがあります。

- [Specify Simulation Set] : シミュレーション ソース ファイルおよびディレクトリを追加するシミュレーション セットを選択します。ドロップダウン リストから [Create Simulation Set] を選択すると、新規シミュレーション セットを作成できます。
- [Add Files] : プロジェクトに追加するシミュレーション ファイルを選択します。
- [Add Directories] : 選択したディレクトリに含まれるすべてのシミュレーション ファイルを追加します。指定したディレクトリにある有効なソース ファイルがすべてプロジェクトに追加されます。
 - [Library] : ファイルまたはディレクトリのライブラリを指定します。定義済みのライブラリ名から選択するか、新規ライブラリ名を入力します。

メモ : Verilog ライブラリは /work ディレクトリです。

- [Create File] : 新規シミュレーション ファイルを作成する [Create Source File] ダイアログボックスが開きます。詳細は、54 ページの「RTL ソースの作成」を参照してください。
- [Remove] : 選択されたソース ファイルを削除します。
- [Move selected file up] : ファイルをリストの上方向に移動します。
- [Move selected file down] : ファイルをリストの下方向に移動します。
- [Scan and Add RTL Include Files into Project] : 追加されたファイルをスキャンし、参照されているインクルード ファイルを追加します。
- [Copy Sources into Project] : ソース ファイルを PlanAhead のプロジェクト ディレクトリにコピーします。プロジェクトではローカルにコピーされたバージョンが使用されます。

[Add Directories] ボタンをクリックしてソース ファイルのディレクトリを追加した場合は、ファイルがローカルプロジェクトにコピーされる際にディレクトリ構造もそのまま保持されます。

- [Add Sources from Subdirectories] : [Add Directories] で指定したディレクトリのサブディレクトリに含まれるソース ファイルをすべて追加します。

IP コアの管理

PlanAhead ソフトウェアでは、ザイリンクス IP カタログおよびサードパーティからの IP コアをプロジェクトに追加できます。既存の IP コアとは、PlanAhead の環境外で CORE Generator™ ツールを使用して作成した既存の XCO コア ファイルを指します。XCO コア ファイルは RTL プロジェクトにのみ追加できます。

パラメーター指定可能なコアを、PlanAhead ソフトウェアで [IP Catalog] コマンドを使用して CORE Generator を起動することにより読み込むこともできます。

IP コアは、エンベデッド開発キット (EDK) および DSP ツールでも使用できます。これらのツールからの既存の XCO コア ファイルを読み込むことも可能です。

メモ：サードパーティから合成済み NGC または EDIF ネットリストとして提供されている IP もあります。これらのファイルをデザインに読み込むには、[Add Sources] コマンドをクリックし、[Add or Create Design Sources] をオンにしてファイルを読み込みます。

既存の IP コアの追加

既存の IP コア (.xco) をプロジェクトに追加するには、次の手順に従います。

1. [File] → [Add Sources] をクリックするか、ポップアップ メニューまたは Flow Navigator から [Add Sources] をクリックします。

52 ページの図 3-13 に示す Add Sources ウィザードが表示されます。

2. [Add Existing IP] をオンにし、[Next] をクリックします。

図 3-24 に示す [Add Existing IP] ページが表示されます。

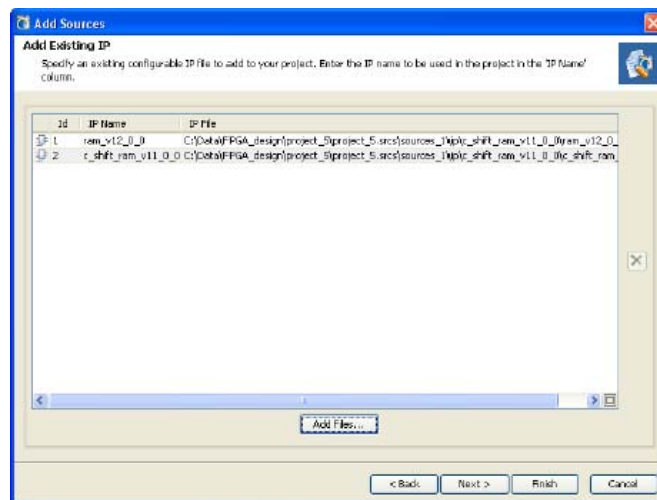


図 3-24 : Add Sources ウィザード : [Add Existing IP] ページ

次のオプションがあります。

- [Add Files] : XCO ファイルを選択して既存の IP をプロジェクトに追加します。
- [Remove] : 選択されたソース ファイルを削除します。

プロジェクトに追加する既存の IP コアを選択したら、[Finish] をクリックしてコアを追加します。追加された IP コアが [Sources] ビューの [IP] フォルダーに表示されます。[Sources] ビューにはコアを構成するさまざまなファイルが表示され、コアを選択すると [Source File Properties] ビューにプロパティが表示されます。

[Sources] ビューで既存の IP コアを右クリックして [Re-customize IP] をクリックすると、CORE Generator でコアのカスタマイズ ウィンドウが表示され、コアのパラメーターを変更できます。

プロジェクトに IP コアが追加されていると、Flow Navigator で [Synthesize] をクリックしたときに、まず IP コアが合成されてから最上位デザインが合成されます。

ネットリスト ベースのプロジェクトに IP コアを追加するには、[Add Sources] コマンドをクリックして [Add or Create Design Sources] をオンにし、生成済みの NGC または EDIF ファイルを読み込みます。

ザイリンクス IP カタログの使用

RTL ベースのプロジェクトでは、ザイリンクス IP カタログを参照し、プロジェクトに IP コアを追加できます。ザイリンクス IP カタログでは、次の操作を実行できます。

- [IP カタログを開く](#)
- [IP のカスタマイズ](#)
- [デザインへの IP のインスタンス化](#)

これらの手順について、次のセクションで説明します。

IP カタログを開く

IP カタログを開くには、[Window] → [IP Catalog] をクリックするか、Flow Navigator の [Project Manager] または [RTL Design] の下にある [IP Catalog] をクリックします。

IP コアはカテゴリごとにツリー形式で表示され、IP バージョン、AXI[®] (Advanced eXtensible Interface) プロトコル準拠、ステータス、ライセンス要件などが表示されます。IP コアを選択すると、その説明がビューの下部に表示されます。67 ページの図 3-25 に、[IP Catalog] ビューの例を示します。

IP コアを右クリックして [Data Sheet] をクリックするか、または IP カタログのツールバーの [View datasheet, version information, product webpage and answer records] ボタンをクリックすると、IP のデータシートが PDF ビューアーで表示されます。

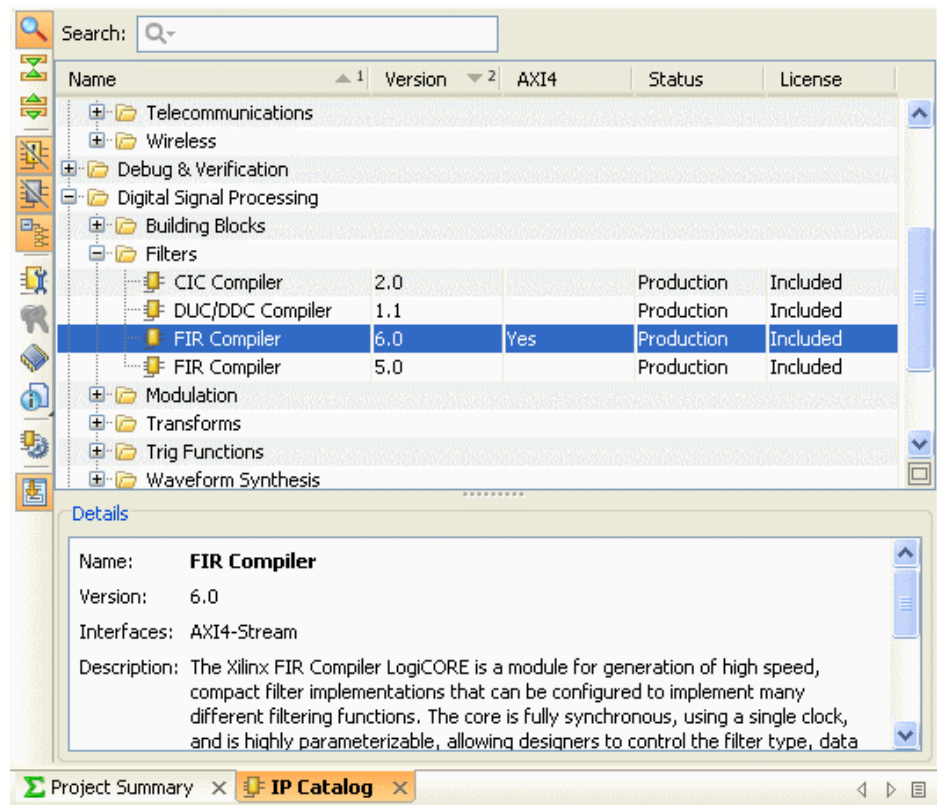


図 3-25 : [IP Catalog] ビュー

IP カタログのツールバーおよびポップアップメニューには、次のコマンド オプションがあります。

- [Show Search] : カタログ内で文字列を検索するための [Search] フィールドを表示します。
- [Collapse All]/[Expand All] : IP カタログのツリー表示を閉じたり展開したりします。
- [Hide Superseded and Discontinued IPs] : 最新バージョンの IP のみを表示します。
- [Hide incompatible IPs] : 選択したデバイス ファミリでサポートされる IP のみを表示します。
- [Group by Category] : リストをカテゴリ別に表示するか、すべてをフラットに表示するかを切り替えます。
- [Customize IP] : 選択した IP のカスタマイズ ウィンドウを開きます。詳細は、68 ページの「[IP のカスタマイズ](#)」を参照してください。
- [License Status] : 選択した IP のライセンス要件およびステータスを表示します。
- [Compatible Families] : 選択した IP と互換性のあるすべてのデバイス ファミリのリストを表示します。
- [View datasheet, version information, webpage and answer records] : 選択した IP に関する文書を表示します。
- [IP Catalog Settings] : IP カタログのプロジェクト設定を指定する [Project Settings] ダイアログ ボックスを開きます。
- [Update IP Catalog] : 指定場所の IP カタログを再生成します。このコマンドを使用すると、ザイリンクス IP カタログへのアップデートをチェックできます。詳細は、71 ページの「[IP カタログのアップデート](#)」を参照してください。

- [Automatically scroll to selected objects]：開いているビューに選択したオブジェクトを表示します。
- [Export to Spreadsheet]：IP カタログをスプレッドシートで使えるようにするため XLS ファイルに出力します。

IP のカスタマイズ

IP カタログからコアを選択し、パラメーター値を指定することにより、デザイン要件に合わせて IP をカスタマイズできます。IP のカスタマイズには、統合された **CORE Generator** ツールが使用されます。

1. [IP Catalog] ビューからカスタマイズする IP を選択します。
2. ツールバーまたはポップアップ メニューから [Customize IP] をクリックするか、選択した IP をダブルクリックします。

CORE Generator でコアのカスタマイズ ウィンドウが開きます。選択した IP によって、インターフェイスは異なります。

次のタイプのインターフェイスがあります。

- Memory Interface Generator (MIG) ウィザード
- CORE Generator ウィザード

[図 3-26](#) に、CORE Generator ウィザードの例を示します。

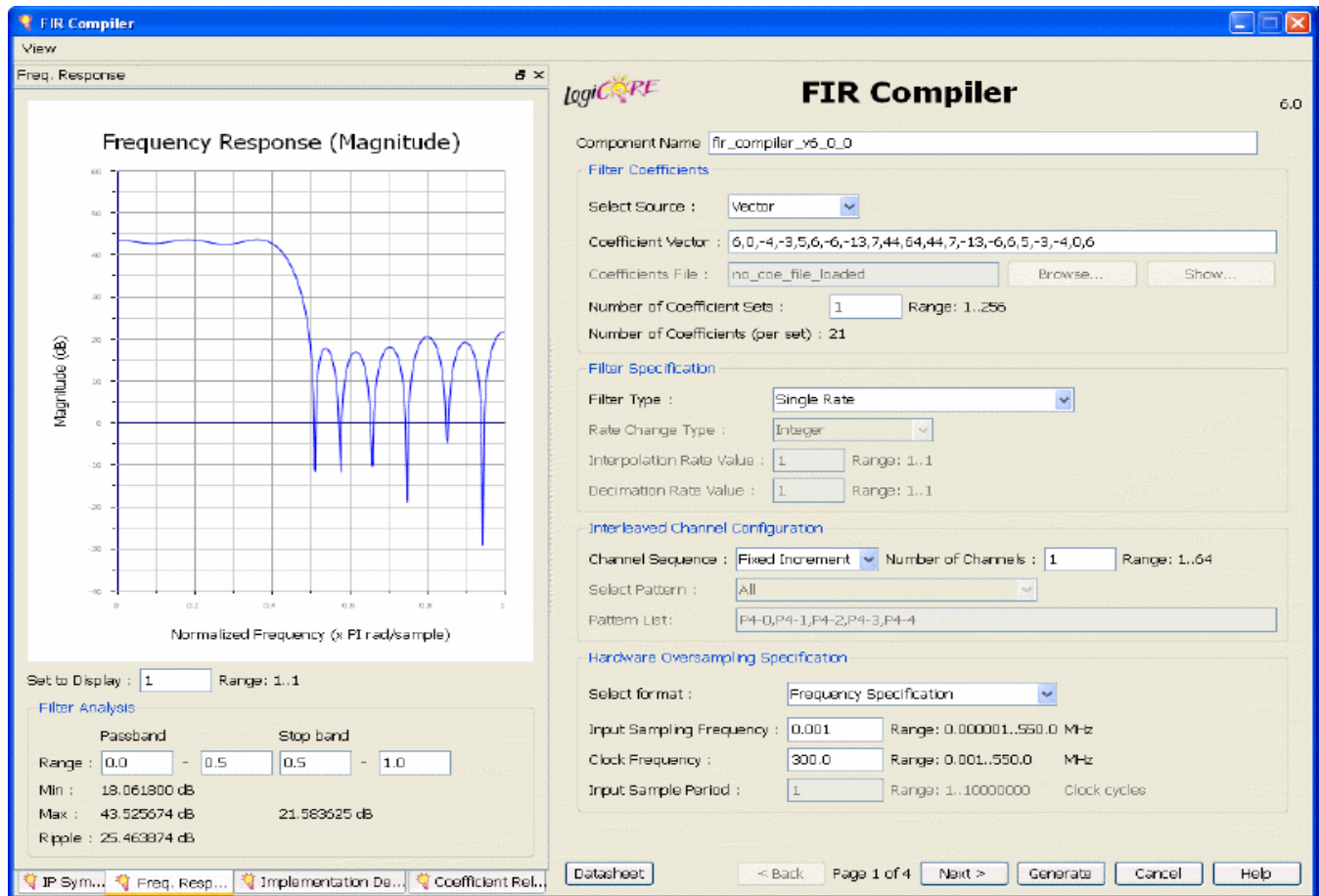


図 3-26 : CORE Generator のインターフェイス

インターフェイスのフィールドで、IP のパラメーターを定義して IP をカスタマイズします。CORE Generator のインターフェイスは、選択したコアのタイプによって異なり、複数のページが含まれることがあります。

また、IP シンボル、周波数応答グラフ、リソース使用率に関するインプリメンテーションの詳細も含まれます。これらの表示は、左下のタブをクリックして切り替えることができます。

パラメーターを設定したら、[Generate] をクリックして IP コアを生成し、プロジェクトのソースとして追加します。この時点では、コアは合成されません。

メモ：この [Generate] ボタンは、スタンドアロンの CORE Generator とは動作が異なります。

プロジェクトに IP コアが追加されていると、Flow Navigator で [Synthesize] をクリックしたときに、まず IP コアが合成されてから最上位デザインが合成されます。これにより、複数の IP コアをインスタンス化する際にプロジェクトに IP コアを追加するたびに合成が実行されなくなり、合成が統合して実行されるので、時間が節約されます。

IP コアをカスタマイズしてプロジェクトに追加すると、[Sources] ビューに表示されます。[Sources] ビューにはコアを構成するさまざまなファイルが表示され、コアを選択すると [Source File Properties] ビューにプロパティが表示されます。

[Sources] ビューで IP コアを右クリックして [Re-customize IP] をクリックすると、CORE Generator でコアのカスタマイズ ウィンドウが再度表示され、コアのパラメーターを変更できます。

[Sources] ビューで IP コアを右クリックして [Upgrade IP] をクリックすると、カスタマイズされた IP をザイリンクス IP カタログの最新バージョンにアップグレードし、現在のプロジェクトからのカスタマイズを適用できます。

- CORE Generator を使用した IP の生成については、<http://japan.xilinx.com/tools/coregen.htm> を参照してください。
- MIG Memory Generator (MIG) の使用法の詳細は、http://japan.xilinx.com/support/documentation/ipmeminterfacestorelement_meminterfacecontrol_mig.htm を参照してください。
- 各 IP に関する情報は、<http://japan.xilinx.com/ipcenter/> または IP カタログを参照してください。AXI IP の詳細は、<http://japan.xilinx.com/ipcenter/axi4.htm> を参照してください。

デザインへの IP のインスタネーション

IP をカスタマイズしてプロジェクトに追加すると、[Sources] ビューの [IP] フォルダの下に表示されます。[Sources] ビューで IP コアを展開すると、CORE Generator XCO ファイルとインスタネーション テンプレートを含む VHO/VEO ファイルが表示されます。このインスタネーション テンプレートを RTL デザインにコピーして貼り付けることができます。70 ページの図 3-27 に、IP の RTL インスタネーション コードの例を示します。

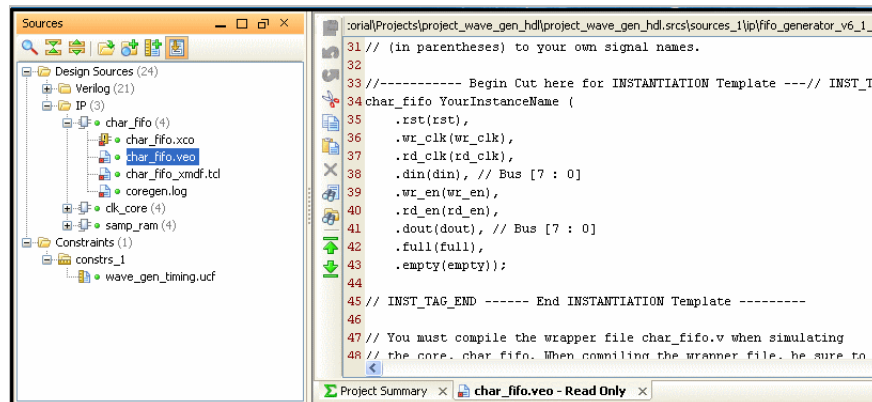


図 3-27 : IP の RTL インスタネーション コード

1. IP コアの VEO (または VHO) テンプレート ファイルと RTL デザイン ファイルを、[Sources] ビューでダブルクリックするか、右クリックして [Open File] をクリックして開きます。
2. VEO または VHO テンプレート ファイルのインスタネーション テンプレートを選択してコピーし、RTL デザインの適切な位置に貼り付けます。
3. IP テンプレートをデザインに組み込むために必要な変更を加えます。
4. IP コアをデザインに正しくインスタネートしたら、IP コアをデザインの残りの部分と共に合成できます。

デザイン全体と共に IP コアを合成するには、Flow Navigator で [Synthesize] をクリックします。[Sources] ビューで IP を右クリックし、[Generate IP] をクリックすると、IP をいつでも個別に合成できます。

PlanAhead で IP を生成すると、コアに対して Xilinx® Synthesis Tool (XST) 合成ツールが実行され、カスタマイズ設定に基づいてロジックが作成されます。IP が生成されたら、[Sources] ビューの IP ソース アイコンにチェック マークが表示され、合成済みネットリスト ファイル (NGC) が [Sources] ビューに追加されます。

71 ページの図 3-28 では、char_fifo IP は合成されていないためチェック マークが表示されていませんが、clk_core および samp_ram IP は合成されており、チェック マークが表示されています。

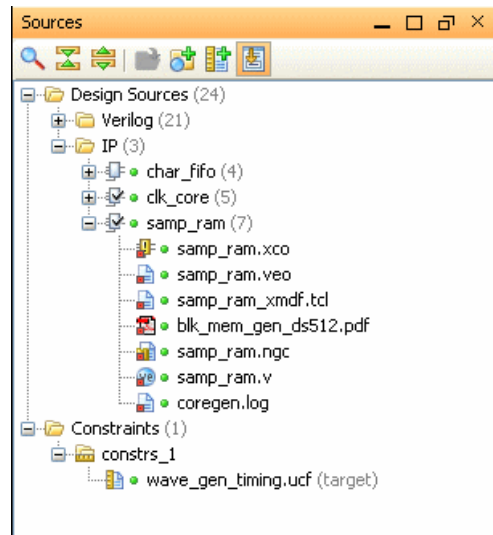


図 3-28 : [Sources] ビューに表示される IP

合成済みの IP を [Sources] ビューで IP を右クリックし、[Reset IP] をクリックすると、IP をリセットできます。コアが合成前の状態に戻り、合成済みコアに関連付けられている NGC ファイルが削除されます。これにより、コアを再カスタマイズして再合成できるようになります。

IP カタログのアップデート

PlanAhead ソフトウェアをインストールした後初めて起動すると、ローカルバージョンのサイリンクス IP カタログが作成されます。サイリンクスおよびサードパーティ パートナーにより IP カタログが随時アップデートされるため、IP カタログのローカルバージョンをアップデートして最新のものにする必要があります。

IP カタログをアップデートするには、[IP Catalog] ビューを右クリックし、[Update IP Catalog] をクリックします。72 ページの図 3-29 に示す [Update IP Catalog] ダイアログ ボックスが表示されます。

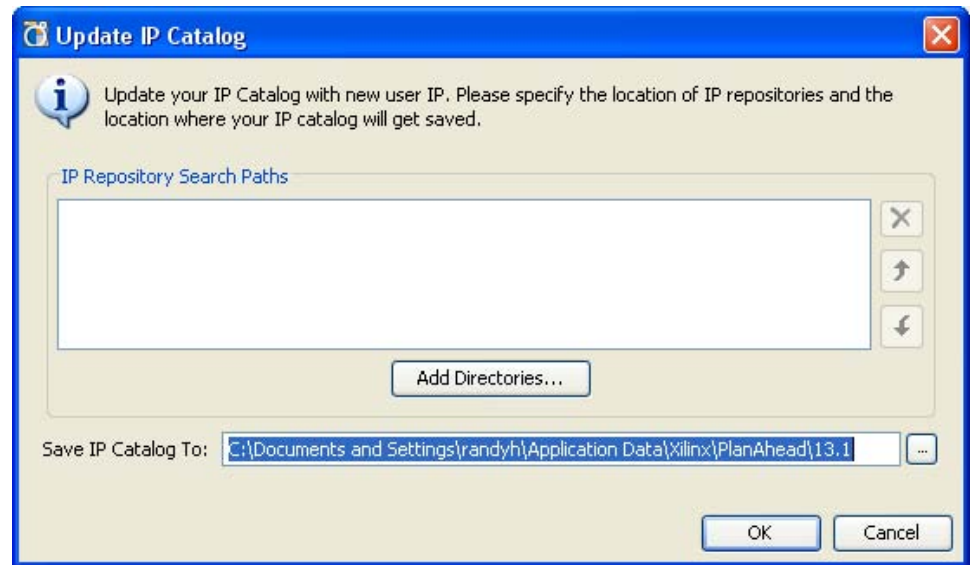


図 3-29 : [Update IP Catalog] ダイアログ ボックス


[Save IP Catalog To] フィールドで、IP カタログを作成するディレクトリを指定します。IP カタログは pa_cg_catlog.xml というファイルに保存され、指定のディレクトリに保存されます。

プロジェクト設定

各 PlanAhead プロジェクトでは、必要に合わせてさまざまな設定を指定できます。[Project Settings] ダイアログ ボックスには、トップ モジュールの定義および言語オプションに関する設定、シミュレーション設定、合成設定、インプリメンテーション設定、IP カタログ設定などが含まれます。

PlanAhead では、さまざまなビューおよびメニューから [Project Settings] ダイアログ ボックスにアクセスできます。[Project Settings] ダイアログ ボックスをどのように開いたかによって、関連したページが表示されます。たとえば、[IP Catalog] ビューで [IP Catalog Settings] をクリックすると、[Project Settings] ダイアログ ボックスの [IP Catalog] ページが表示されます。

[Project Settings] ダイアログ ボックスを表示するには、次のいずれかを実行します。

- ツールバーの [Project Settings] ボタンをクリック 
- Flow Navigator で [Project Manager] → [Project Settings] をクリック
- [Project Summary] ビューで [Edit] リンクをクリック

73 ページの図 3-30 に示す [Project Settings] ダイアログ ボックスが開きます。

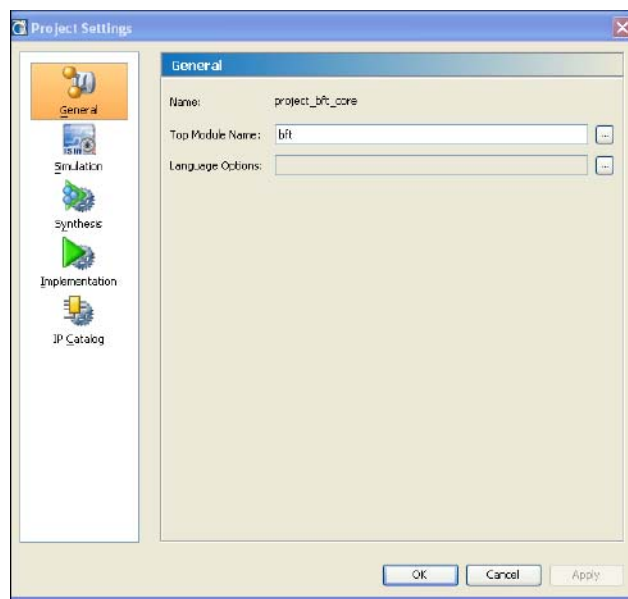


図 3-30 : [Project Settings] ダイアログ ボックス

[Project Settings] ダイアログ ボックスには、次のカテゴリがあります。

- **[General]** : プロジェクト名、トップ モジュール名、言語オプションを表示します。
- **[Simulation]** : シミュレーション セット、シミュレーション トップ モジュール名、トップ モジュール (テスト中)、シミュレーション ランタイム、およびタブに分類された起動オプション、ネットリスト オプションなどを表示します。現在選択されているオプションには、緑のチェック マークが表示されます。
- **[Synthesis]** : デフォルト デバイス、デフォルトの制約セット、合成ストラテジ、合成コマンドライン オプションを表示します。コマンド ライン オプションは選択した合成ストラテジで定義されますが、これを変更できます。選択したコマンド ライン オプションの説明が、ダイアログ ボックスの下部に表示されます。
- **[Implementation]** : デフォルト デバイス、デフォルトの制約セット、インプリメンテーションストラテジ、インプリメンテーションで実行される変換、マップ、配置配線、タイミング解析のオプションを表示します。コマンド ライン オプションは選択したインプリメンテーションストラテジで定義されますが、これを変更できます。選択したコマンド ライン オプションの説明が、ダイアログ ボックスの下部に表示されます。
- **[IP Catalog]** : IP カタログの場所と HDL のタイプを表示します。このダイアログ ボックスの詳細は、[65 ページの「既存の IP コアの追加」](#)を参照してください。

[Project Settings] ダイアログ ボックスの [General] ページ

図 3-31 に、[Project Settings] ダイアログ ボックスの [General] ページから [Language Options] ダイアログ ボックスを開いたところを示します。

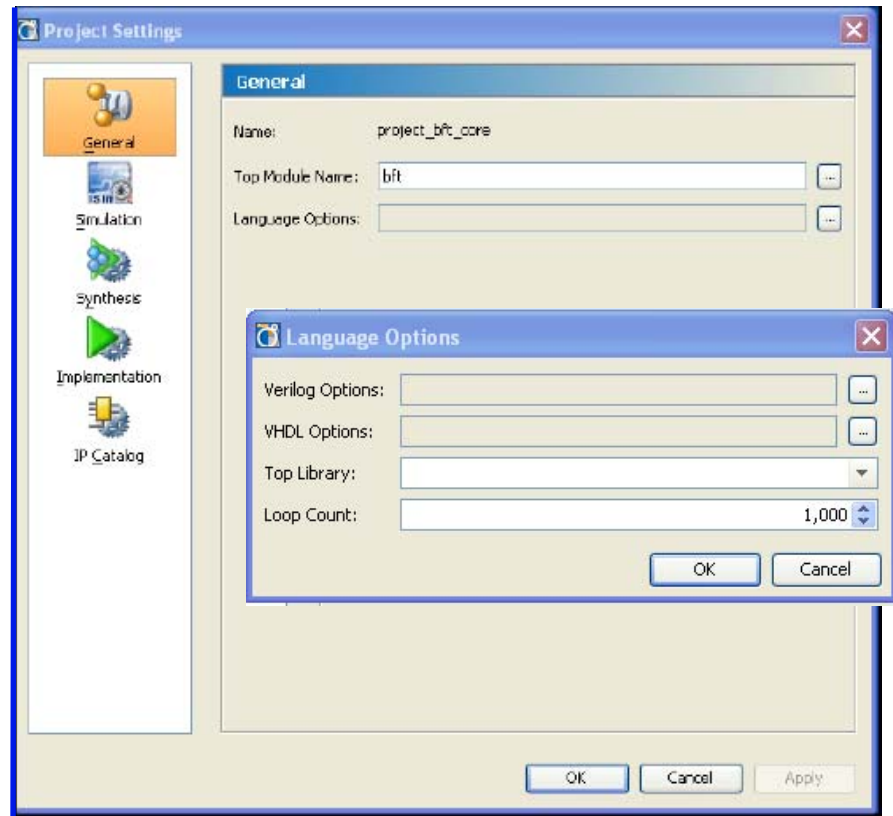


図 3-31 : [Project Settings] ダイアログ ボックスの [General] ページと [Language Options] ダイアログ ボックス

[Project Settings] ダイアログ ボックスの [General] ページには、次の情報が表示されます。

- [Name] : プロジェクト名を表示します。
- [Top Module Name] : デザインのトップ モジュールの名前を入力します。下位モジュール名を入力し、特定のモジュールに対して合成を実行することもできます。
- [Language Options] : Verilog または VHDL オプションを入力します。
 - [Verilog Options] : Verilog 検索パス、マクロ定義、大文字識別子、Verilog2001 言語規格を指定します。
 - [VHDL Options] : VHDL ジェネリック値を指定します。
 - [Top Library] : 最上位モジュールのライブラリ名を指定します。
 - [Loop Count] : 最大ループ反復値を指定します。デフォルトは 1000 です。

この設定は、合成中ではなくエラボーレーション中に使用されます。合成に対しては、[Synthesis] ページの [More Options] フィールドに「-loop_iteration_limit」と入力します。

合成オプションの設定については、第 6 章「デザインの合成」を参照してください。

[Project Settings] ダイアログ ボックスの [Simulation] ページ

図 3-32 に、[Project Settings] ダイアログ ボックスの [Simulation] ページで [Launch Options] を開いているようすを示します。

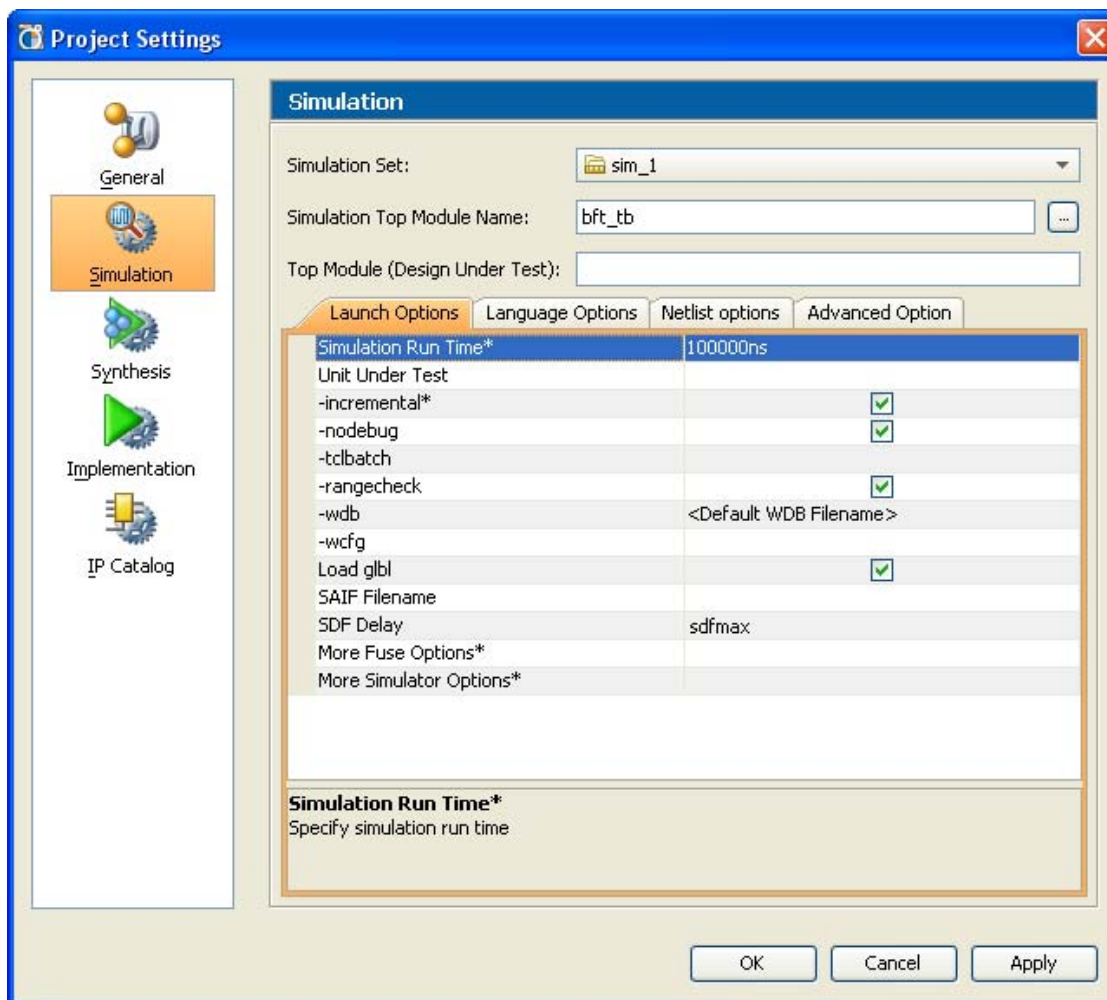


図 3-32 : [Project Settings] ダイアログ ボックスの [Simulation] ページ

シミュレーションプロジェクト設定の詳細は、333 ページの「タイミングシミュレーションの実行」を参照してください。

[Project Settings] ダイアログ ボックスの [Synthesis] ページ

図 3-33 に、[Project Settings] ダイアログ ボックスの [Synthesis] ページを示します。

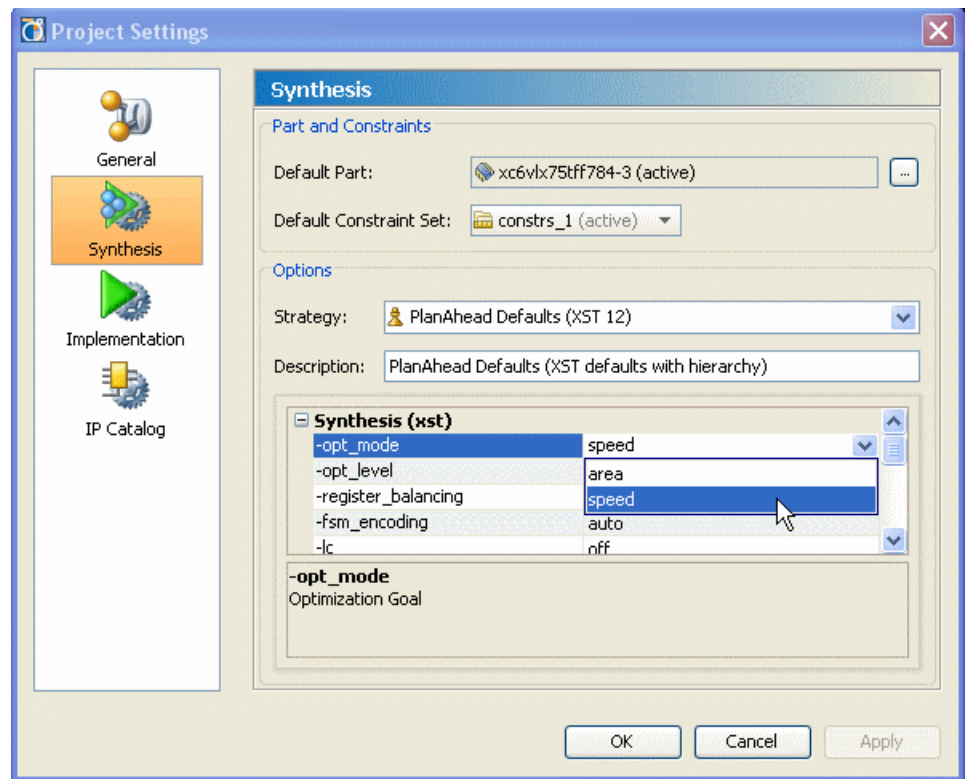


図 3-33 : [Project Settings] ダイアログ ボックスの [Simulation] ページ

[Synthesis] ページには、次の情報が表示されます。

- **[Default Part]** : デフォルトのターゲット デバイスを示します。参照ボタンをクリックすると [Select Part] ダイアログ ボックスが表示され、デバイスを変更できます。
- **[Default Constraint Set]** : アクティブ制約セットを選択します。合成アプリケーションでは、XCF 制約セット フォーマットが使用されます。
- **[Strategy]** : 合成実行に適用するストラテジを選択します。PlanAhead で提供されている定義済みストラテジを使用するか、独自のストラテジを定義できます。詳細は、79 ページの「[合成およびインプリメンテーション ストラテジの作成](#)」を参照してください。ストラテジを選択すると、関連するコマンドライン オプションが下に表示されます。
- **[Description]** : 選択したストラテジの説明を表示します。

合成ストラテジのオプションは、図 3-33 に示すように、このページで変更できます。

[Project Settings] ダイアログ ボックスの [Implementation] ページ

図 3-34 に、[Project Settings] ダイアログ ボックスの [Implementation] ページを示します。

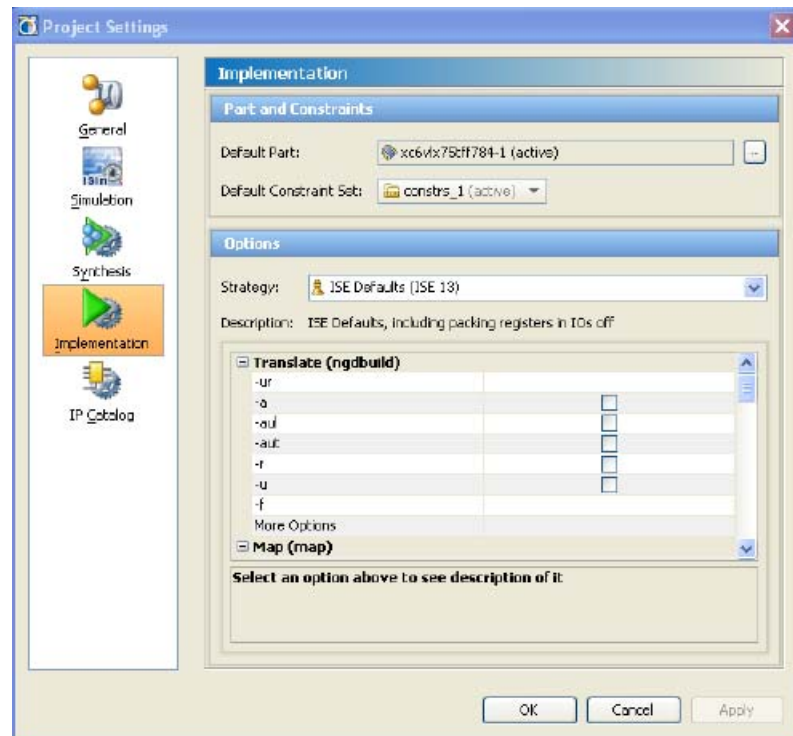


図 3-34 : [Project Settings] ダイアログ ボックスの [Implementation] ページ

[Implementation] ページには、次の情報が表示されます。

- [Default Part] : デフォルトのターゲット デバイスを示します。参照ボタンをクリックすると [Select Part] ダイアログ ボックスが表示され、デバイスを変更できます。
- [Default Constraint Set] : 実行で使用する制約セットを選択します。
- [Strategy] : インプリメンテーション実行に適用するストラテジを選択します。PlanAhead で提供されている定義済みストラテジを使用するか、独自のストラテジを作成できます。詳細は、79 ページの「合成およびインプリメンテーション ストラテジの作成」を参照してください。ストラテジを選択すると、関連するコマンド ライン オプションが下に表示されます。
- [Description] : 選択したストラテジの説明を表示します。

インプリメンテーション ストラテジのオプションは、75 ページの図 3-32 に示すように、このページで変更できます。

[Project Settings] ダイアログ ボックスの [IP Catalog] ページ

図 3-35 に、[Project Settings] ダイアログ ボックスの [IP Catalog] ページを示します。

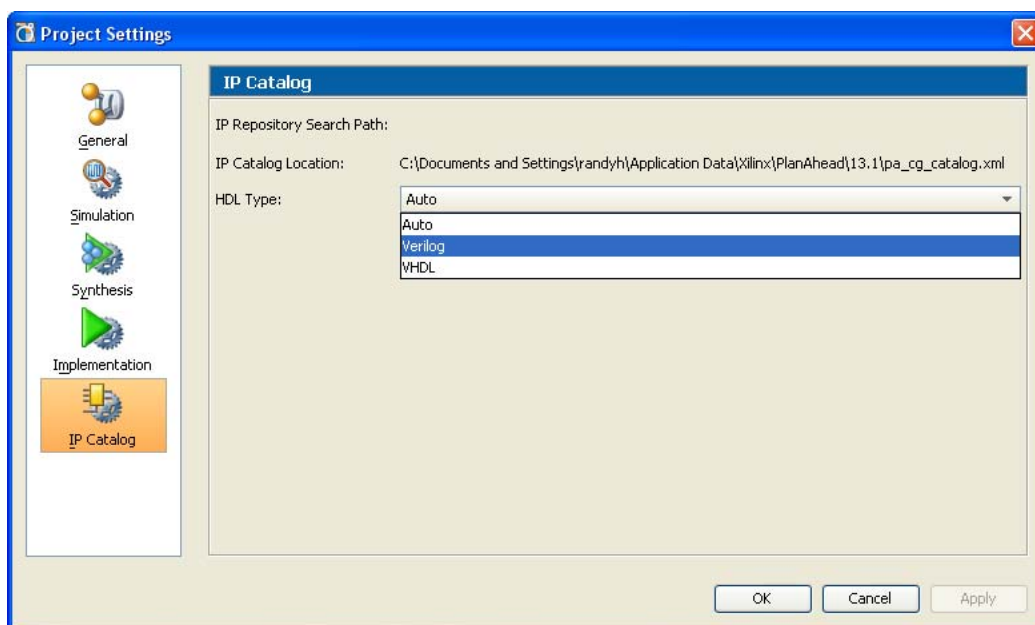


図 3-35 : [Project Settings] ダイアログ ボックスの [IP Catalog] ページ

[IP Catalog] ページには、次の情報が表示されます。

- [IP Catalog Location] : ローカル IP カタログを作成する場所を表示します。作成場所を変更するには、[Update IP Catalog] コマンドを使用します。詳細は、71 ページの「[IP カタログのアップデート](#)」を参照してください。
- [HDL Type] : IP を作成する言語を指定します。
 - [Auto] : 最上位 HDL ファイルの言語に基づいて、使用される言語が自動的に選択されます。
 - [Verilog] : IP コアの出力を Verilog で生成します。
 - [VHDL] : IP コアの出力を VHDL で生成します。

合成およびインプリメンテーション ストラテジの作成

ストラテジは、デザインの合成またはインプリメンテーションで最適な結果が得られるようにするために定義されたソリューションです。合成アプリケーションおよびインプリメンテーションで実行されるさまざまなプログラムのコマンド ライン オプションのあらかじめ定義されたセットとして定義されます。ストラテジは、ツールおよびバージョン特定です。各メジャー リリースには、PlanAhead でサポートされるそのバージョン専用のコマンド ライン オプションがあります。

PlanAhead ソフトウェアには、内部ベンチマークで詳細にテストされた、一般的なストラテジが複数含まれています。これらのストラテジのコマンド ライン オプション設定は変更できませんが、提供されているストラテジをコピーし、それを変更することはできます。ストラテジのコピーを作成すると、C:/Documents and Settings/username/Application Data/Xilinx/PlanAhead/strategies (Windows の場合) に保存されます。

ストラテジを確認、コピー、変更するには、次の手順に従います。

1. [Tools] → [Options] をクリックします。
2. 左側で [Strategies] をクリックします。図 3-36 に示す [PlanAhead Options] ダイアログ ボックスの [Strategies] ページに、各 ISE と XST のバージョン用にあらかじめ定義されたストラテジがリストされます。

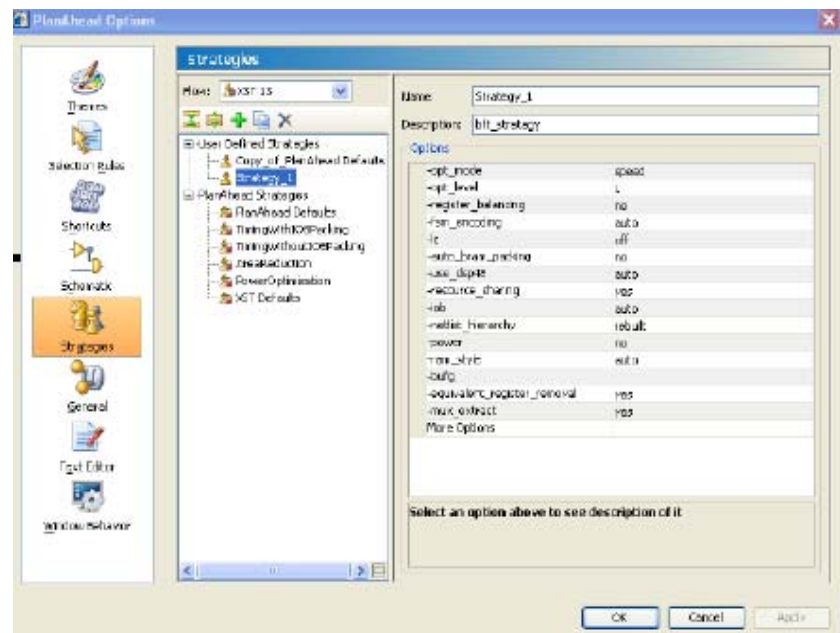



図 3-36 : [PlanAhead Options] ダイアログ ボックスの [Strategies] ページ

3. [Flow] ドロップダウン リストで、適切な XST または ISE のバージョンを選択します。
提供されているストラテジと設定されているコマンド ライン オプションが表示されます。
4. 新規ストラテジを作成するには、ツールバーの [Create a copy of this strategy] ボタン  をクリックするか、ポップアップ メニューから [Copy Strategy] をクリックします。

ストラテジが [User Defined Strategies] エリアにコピーされ、右側に変更可能なコマンド ライン オプションがリストされます。

5. 新しいストラテジに対して次の情報を入力します。
 - [Name] : ストラテジの名前を入力します。
 - [Description] : ストラテジの説明を入力します。ここで入力した説明が [Design Run] ビューの結果の表に表示されます。
6. コマンド オプションをクリックすると、その説明が下に表示されます。
7. 右側のコマンド オプション エリアをクリックし、ドロップダウン メニューから値を選択するか、値を入力します。図 3-37 に示すように、使用可能なコマンド オプションの値がドロップダウン メニューに表示されます。

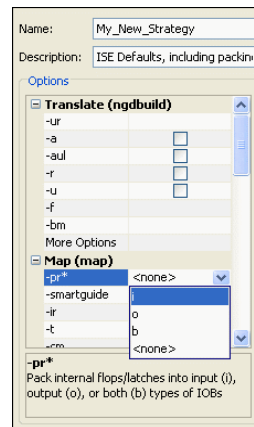


図 3-37 : コマンド オプションと説明

8. [Apply] をクリックし、[OK] をクリックして新しいストラテジを保存します。
図 3-38 に示すように、新しいストラテジが [User Defined Strategies] の下に表示され、合成およびインプリメンテーションで使用できるようになります。

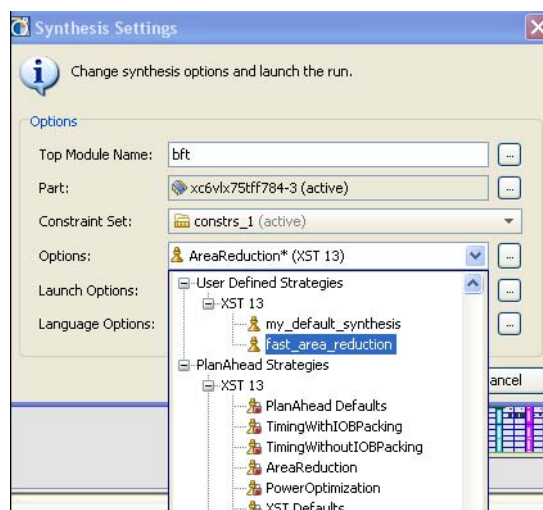


図 3-38 : ユーザー定義ストラテジの選択

作成したストラテジを複数のユーザーで共有するには、ユーザー定義のストラテジを <InstallDir>/strategies ディレクトリ (<InstallDir> は PlanAhead ソフトウェアのインストール ディレクトリ) にコピーします。

[Project Summary] ビューの使用

[Project Summary] ビューには、デフォルト デバイス、プロジェクトのステータス、合成およびインプリメンテーションの状態、リソース予測、タイミング結果などのデザイン情報が表示されます。スクロール バーを使用したり、[Collapse All] および [Expand All] ボタンを使用してデータ カテゴリの表示/非表示を切り替えることができます。図 3-39 に、[Project Summary] ビューを示します。

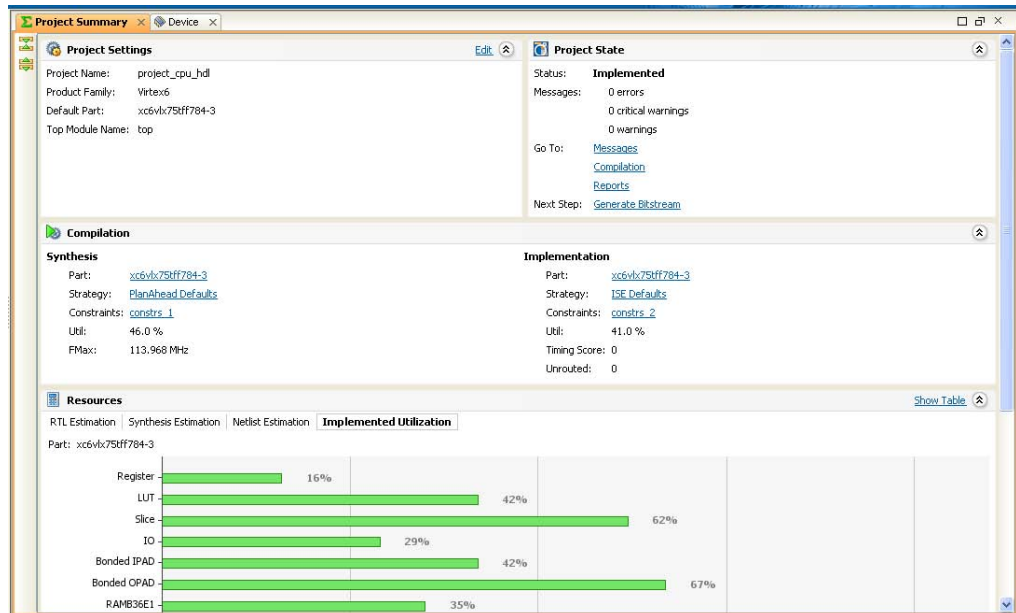


図 3-39 : [Project Summary] ビュー

[Project Settings] セクション

[Project Settings] セクションには、プロジェクト名、デバイス ファミリー、デフォルト デバイス、およびトップ モジュール名が表示されます。[Edit] リンクをクリックすると、[Project Settings] ダイアログ ボックスが開きます。詳細は、72 ページの「プロジェクト設定」を参照してください。

[Project State] セクション

[Project State] セクションには、次の情報が表示されます。

- [State] : プロジェクトのステータス、または実行中のコマンドのステータスを表示します。
- [Messages] : コンパイル コマンド中に発生したエラーおよび警告の数を示します。警告およびエラーのみを表示した [Messages] ビューを開くリンクもあります。
- [Go To] : [Messages]、[Compilation]、または [Reports] ビューへのリンクを表示します。詳細は、第 4 章の「Tcl コンソールおよびメッセージ エリアの使用」を参照してください。
- [Next Step] : フローの次の手順へのリンクを示します。リンクをクリックしてその手順を実行します。

[Compilation] セクション

[Compilation] セクションには、合成およびインプリメンテーション実行の結果が表示されます。ターゲット デバイス、適用されたストラテジ、リソース使用率、最大周波数 (Fmax)、インプリメンテーション実行からのタイミング スコア、および未配線のパス数が示されます。

ターゲット デバイスまたはストラテジのリンクをクリックすると、[Project Settings] ダイアログボックスが開きます。詳細は、72 ページの「プロジェクト設定」を参照してください。

[Resources] セクション

ターゲット デバイスのリソース使用率は、図 3-40 に示すように表示されます。

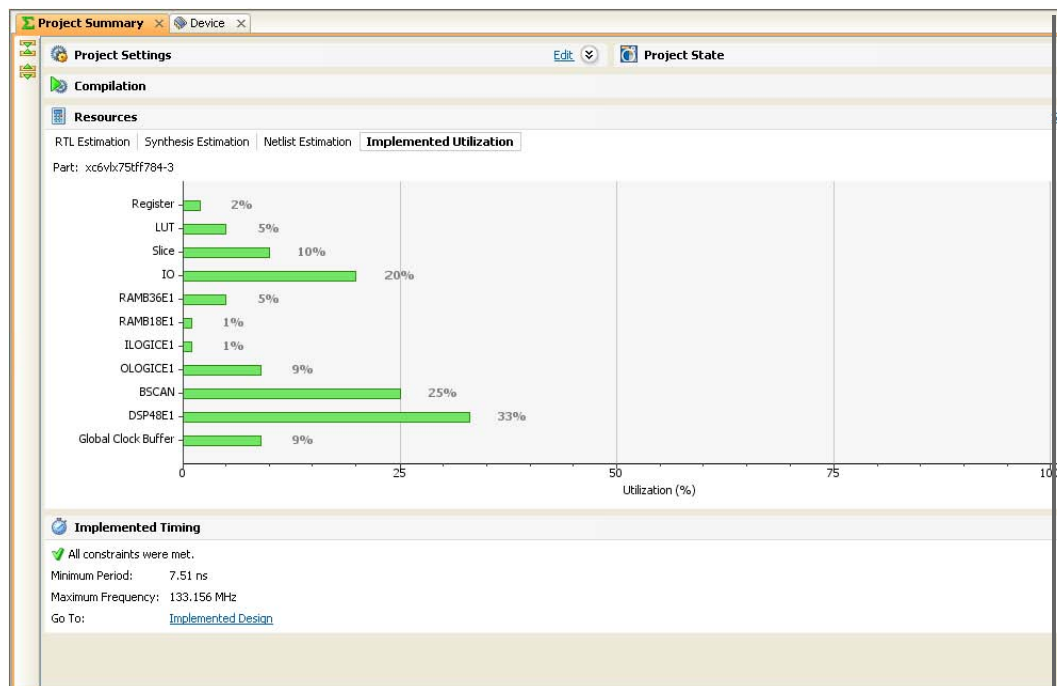


図 3-40 : [Project Summary] ビューのリソース予測

[Project Summary] ビューの [Resources] セクションは、デザイン プロセスの各段階でアップデートされます。

表示されるロジック オブジェクトのタイプは、デザインの段階によって異なります。情報が参照できるようになると、上部にある次のタブが選択できるようになります。

- [RTL Estimation] : RTL デザインからのリソース予測で、[Resource Estimation] コマンドを実行した後に表示されます。
- [Synthesis Estimates] : XST 合成レポートからのリソース予測を表示します。
- [Netlist Estimation] : ネットリスト デザインからのリソース予測で、[Resource Estimation] コマンドを実行した後に表示されます。
- [Implemented Utilization] : ISE の MAP レポートからの実際のリソース使用率が表示されます。インプリメント済みデザインが開いている必要があります。

リソース予測に必要なコマンドが実行されていない場合、このコマンドへのリンクが表示されます。

[Implemented Timing] セクション

[Implemented Timing] セクションには、インプリメンテーション実行の全体的なタイミング結果が表示されます。アクティブなインプリメンテーション実行からのタイミング スコア、最小周期、最大周波数、満たされていない制約 (最悪のもの)、およびインプリメント済みデザインと [Timing Results] ビューを開くリンクが示されます。タイミング解析の詳細は、[第 11 章「インプリメンテーション結果の解析」](#)を参照してください。

[Partition Summary] セクション

パーティションが定義されたインプリメント済みデザインの場合は、[Project Settings] ビューにパーティションのステータスを示す [Partition Summary] セクションが表示されます。このセクションには、各パーティションのインプリメンテーション レポートと、ステート、保持レベル、境界最適化などの属性とその値が表示されます。パーティションの定義および使用については、[第 13 章「階層デザイン手法の使用」](#)および『[パーシャル リコンフィギュレーション ユーザー ガイド](#)』(UG702)を参照してください。

PlanAhead の XSP および EDK との使用

ザイリンクス FPGA デバイスにエンベデッド システムを構築するには、Xilinx Platform Studio (XPS) ツールを使用します。XPS は、ハードウェアおよびソフトウェア システム コンポーネントを統合して開発する環境を提供します。

XPS で [Hardware] → [Generate Netlist] または [Hardware] → [Generate Bitstream] をクリックすると、/synthesis および /implementation サブディレクトリが生成されます。

- /synthesis サブディレクトリには、合成スクリプト (.scr)、プロジェクト ファイル (.prj)、およびレポート ファイル (.srp) が含まれます。
- /implementation サブディレクトリには、合成プロセスで作成されたデザイン ネットリスト ファイルが含まれます。

また、デバイス上のブロック RAM をコンフィギュレーションするブロック メモリ マップ (BMM) ファイルも /implementation サブディレクトリに作成されます。EDK ツールのデザイン フローで、エンベデッド システムを合成した後に PlanAhead ソフトウェアを使用できます。

XPS では、デザインの合成に XST を使用します。生成される合成済みネットリストは NGC フォーマットです。最上位ファイルには system.ngc という名前が付けられ、その他の NGC ファイルの名前は module_name.ngc となります。デザイン制約は、system.ucf ファイルに含まれます。これらのファイルは、プロジェクトの作成時に PlanAhead プロジェクトに最上位モジュールのソースとしてまたはシステム レベル デザインにインスタンスエートして追加するか、[Add Sources] コマンドを使用して追加します。これらのファイルは、[Sources] ビューの [Cores] フォルダの下に追加されます。

第 4 章

表示環境の使用

表示環境の理解

PlanAhead™ ソフトウェアでは、デザイン情報およびデバイス情報が、作業内容に応じたビュー レイアウトで表示され、特有の機能とデザイン情報に対するさまざまな視点が提供されます。

ほとんどのビューでは、1 つのビューで選択した情報がほかのビューでも選択されるようになっており、デザインおよびデバイス情報を効率的に調べることができるようになっています。

PlanAhead ソフトウェアを使用すると、RTL の開発および解析、論理合成、制約の定義、物理デザイン解析、フロアプラン、ISE® Design Suite ソフトウェアでのインプリメンテーションなど、FPGA デザイン プロセスの主要ステップを制御できます。

デザイン プロセスのさまざまなタスク用のビュー レイアウトがあり、選択したタスクに対応するビューが表示されます。使用可能なレイアウトは、デザインのステータスによって異なります。次のレイアウトがあります。

- **Project Manager** : プロジェクトのソース、制約、IP を管理します。
- **Design Analysis** : RTL およびネットリスト デザインを解析し、タイミング制約および物理制約を適用します。
- **I/O Planning** : I/O 配置制約を定義し、ポートを配置します。
- **Floorplanning** : Pblock の定義、パーティションの管理、階層フロアプランを実行します。
- **ChipScope** : ChipScope™ Pro Analyzer ツールのデバッグ コアを挿入します。

図 4-1 に、[Layout] メニューを示します。

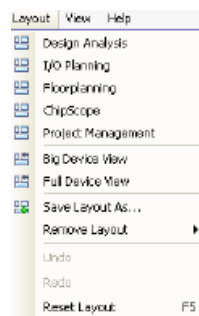


図 4-1 : [Layout] メニュー

ビュー レイアウトはカスタマイズできます。詳細は、138 ページの「ビュー レイアウトの作成と使用」を参照してください。

第 3 章「プロジェクトの操作」に説明するように、さまざまなプロジェクト タイプを作成できます。PlanAhead ソフトウェアの表示環境は、開いているプロジェクトのタイプによって異なります。次のセクションで、PlanAhead の表示環境について説明します。

表示環境の概要

図 4-2 に、表示環境の主なエレメントを示します。

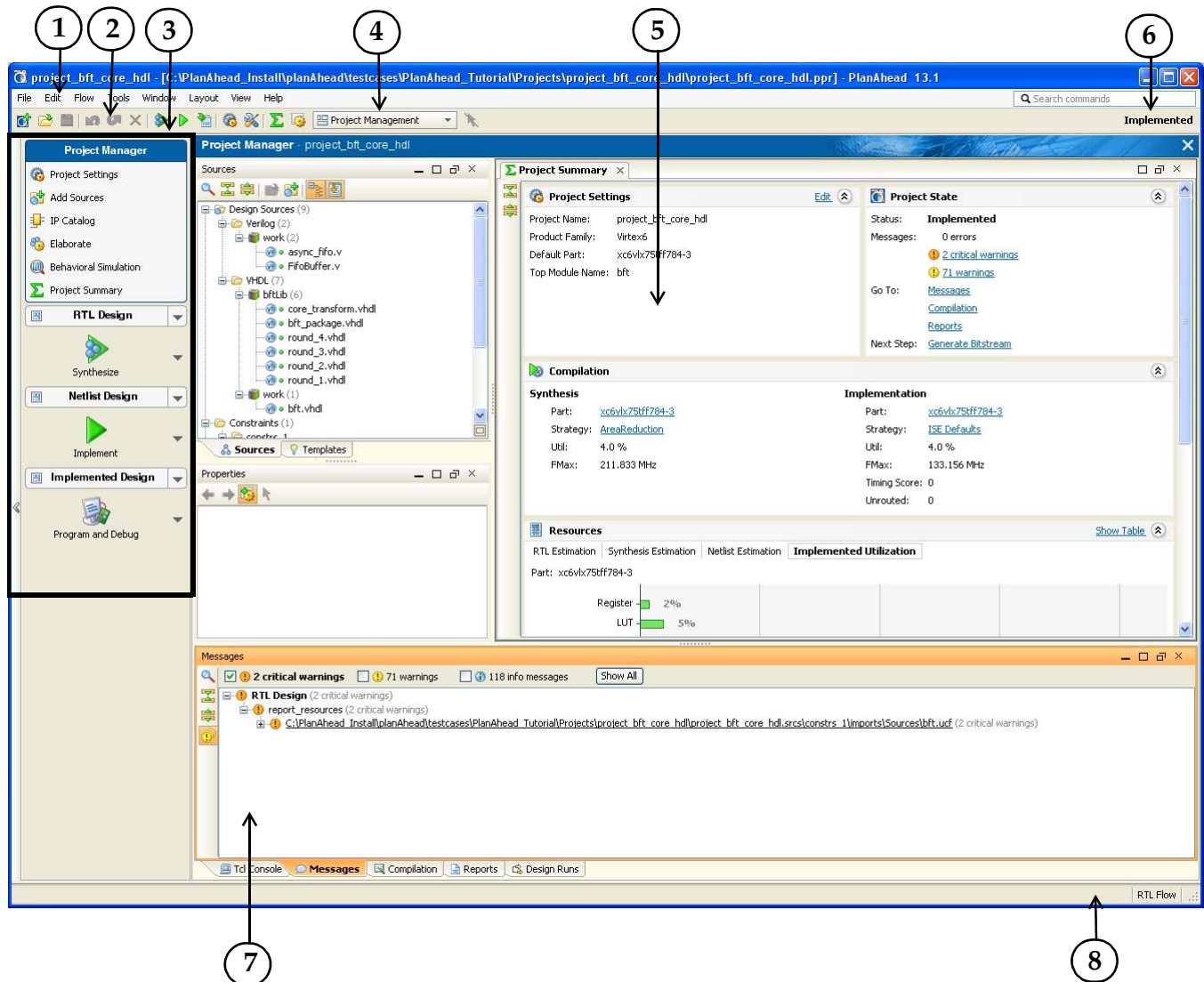


図 4-2：PlanAhead の表示環境

1. メイン メニュー：PlanAhead のコマンドにアクセスします。プロジェクト タイプおよびデザイン ステータスにより、使用可能なコマンドは異なります。
2. メイン ツールバー：頻繁に使用されるコマンドおよびデザイン 特定の コマンドを含みます。

3. **Flow Navigator** : デザイン プロセスをフローに基づいて管理します。Flow Navigator から、プロジェクト データの管理、RTL ソースおよび制約ファイルの表示と演習、合成およびインプリメンテーションの起動、ビットストリームの生成を実行できます。デザイン タスクが完了するとビューが展開され、各デザインまたはプロジェクト タイプに関するコマンドが表示されます。これらのコマンドは、[Flow] メニューからも実行できます。
4. **ビュー レイアウト セレクター** : 定義済みおよびユーザー定義のビュー レイアウトを切り替えます。
5. **メイン表示エリア** : [Project Summary] およびデザインのその他のビューを表示します。デザインが開いている場合、[Layouts] メニューまたはビュー レイアウト セレクターを使用して、ビュー レイアウトを切り替えることができます。
6. **プロジェクト ステータス バー** : プロジェクトのステータスと実行中のコマンドを示します。このエリアから合成、インプリメンテーション、ビットストリーム生成をキャンセルできます。
7. **Tcl コンソールおよびメッセージ エリア** : Tcl コマンドのステータス、アプリケーションのメッセージ、コンパイル結果、レポート、デザイン実行へのアクセスを表示します。
8. **情報バー** : プロジェクトおよびカーソルを置いているオブジェクトに関する情報を表示します。

主な表示環境コンポーネント

図 4-3 に、PlanAhead 表示環境の主なコンポーネントを示します。

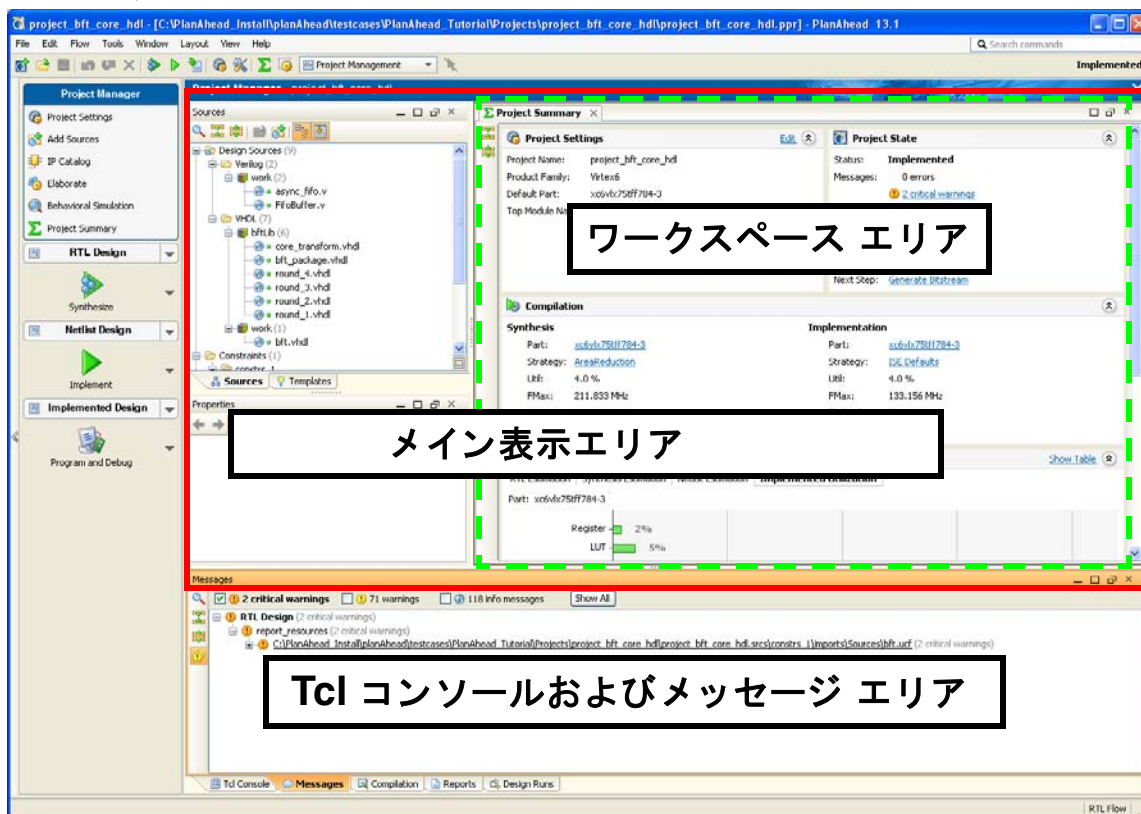


図 4-3 : PlanAhead 表示環境の主なコンポーネント

メイン表示エリアには、デザイン データのさまざまなビューが表示されます。

PlanAhead ソフトウェアで最初にプロジェクトを開いたときには、デザインはメモリに読み込まれておらず、コンパイルもされていません。

Project Manager レイアウトがデフォルトのビュー レイアウトとして表示され、プロジェクト ソースを管理する [Sources] ビューと [Project Summary] ビューが表示されます。Project Manager では、デザインをエラボレート、合成、または解析する前にソース ファイル、IP コア、制約セットを作成、インポート、および管理できます。

Project Manager は、[Flow] → [Project Manager] をクリックするか、Flow Navigator で [Project Manager] をクリックすると開きます。

デザインを開くと、デザイン データが Design Analysis ビュー レイアウトに表示されます。I/O Planning ビュー レイアウトやその他のレイアウトは、ビュー レイアウト セレクターからも選択できます。詳細は、90 ページの「ビュー レイアウトの使用」を参照してください。

メイン表示エリア

PlanAhead の各ビューは、最小化/最大化したり、メイン ウィンドウから切り離して別のウィンドウとして表示したり、閉じたりできます。これらの操作には、図 4-4 に示すように、ビュー ウィンドウの右上に表示されている [Minimize]、[Maximize]、[Float Frame]、および [Close] を使用します。

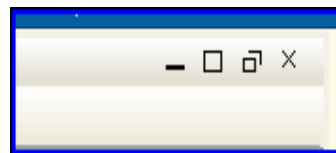


図 4-4：ビューの操作ボタン

次に、これらのコマンドについて詳細に説明します。

ビューの最大化/最小化

ビューの右上にある [Maximize] ボタンをクリックすると、そのビューを PlanAhead 表示環境全体を使用して表示できます。Flow Navigator 以外のビューは最小化され、選択したビューが使用可能なエリア全体に拡大されます。

最小化されているビューは、一時的に横または下にタブとして配置されます。[Minimize] をクリックすると、特定のビューを最小化できます。

89 ページの図 4-5 では [Device] ビューが最大化され、[Properties]、[Netlist]、および [Sources] ビューが最小化されて左側にタブとして表示されています。最小化されているビューをクリックすると、元の位置に回復できます。

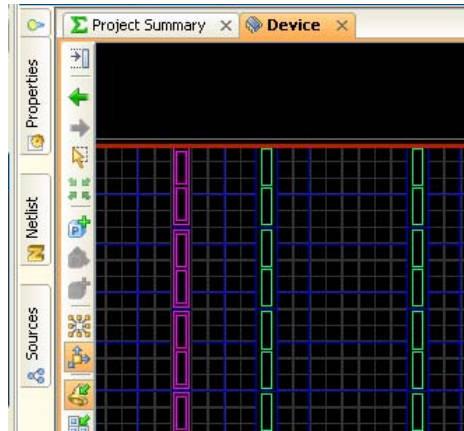


図 4-5 : 最大化されたビューと最小化されたビュー

Flow Navigator の表示/非表示

Flow Navigator は、その他のビューの表示領域を広げるため、左側にある [Hide Navigator] ボタンをクリックして非表示にできます。

または、[View] → [Hide Navigator] をクリックしても同じ操作を実行できます。

Flow Navigator が非表示になっている場合、[Show Navigator] ボタンをクリックするか、[View] → [Show Navigator] をクリックすると表示できます。

図 4-6 に、[Hide Navigator] および [Show Navigator] ボタンを示します。

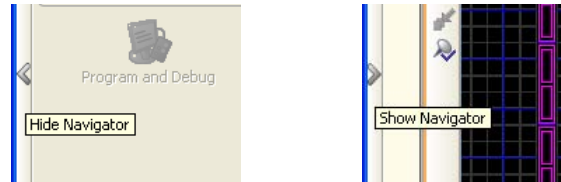


図 4-6 : [Hide Navigator] および [Show Navigator] ボタン

Tcl コンソールおよびメッセージ エリアの非表示

Tcl コンソールおよびメッセージ エリアを非表示にするには、このエリアの右上にある [Minimize] をクリックします。

Tcl コンソールおよびメッセージ エリアを最小化すると、PlanAhead 表示エリアの下部にタブとして表示されます。タブのいずれかをクリックすると、メッセージ エリアが再び元の位置に表示されます。タブをクリックすると、メッセージ エリアでクリックしたビューがアクティブになります。

図 4-7 に、Tcl コンソールおよびメッセージ エリアの右上にある [Minimize] ボタンと、最小化されたときに表示環境の下部に表示されるタブを示します。

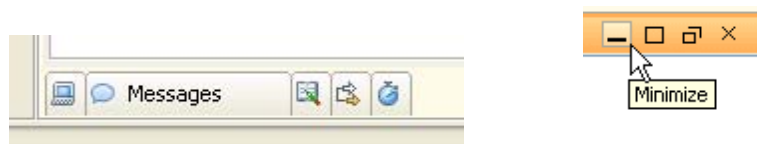


図 4-7 : Tcl コンソールおよびメッセージ エリアの [Minimize] ボタンと最小化されたときのタブ表示

ビュー レイアウトの使用

デザインを開くと、[Layout] メニューまたは図 4-8 に示すビュー レイアウト セレクターを使用して、ビュー レイアウトを切り替えることができます。



図 4-8：ビュー レイアウト セレクター

Design Analysis レイアウト

Design Analysis レイアウトには、ロジックの確認、リソースの解析、制約の定義に関連するビューが表示されます。図 4-9 に、Design Analysis ビュー レイアウトを示します。

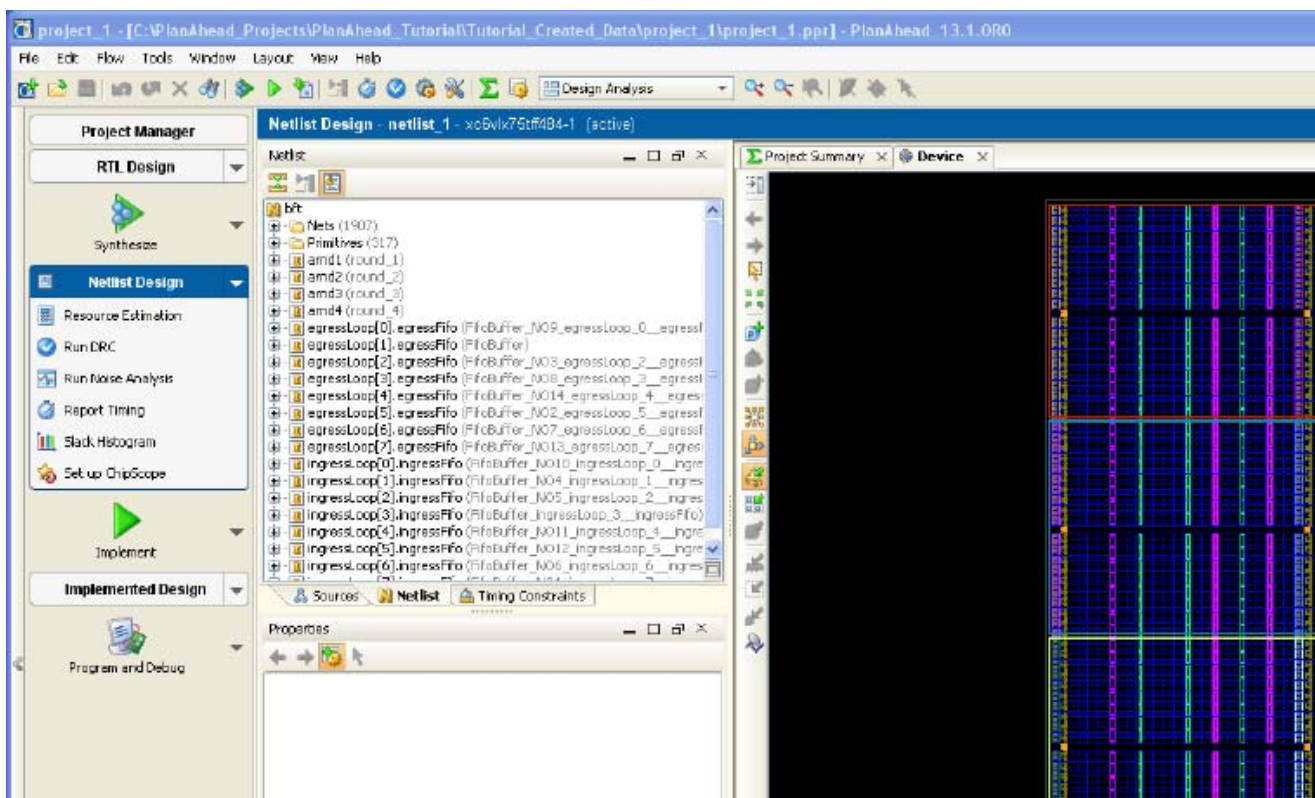


図 4-9：Design Analysis レイアウト

Design Analysis レイアウトの詳細は、次を参照してください。

- 第 5 章「RTL デザイン」：RTL の開発および解析用の Design Analysis ビュー レイアウトに関する情報
- 第 7 章「ネットリストの解析および制約の定義」：ネットリストの解析および制約の定義用の Design Analysis ビュー レイアウトに関する情報
- 第 11 章「インプリメンテーション結果の解析」：インプリメンテーション結果の解析および制約の定義用の Design Analysis ビュー レイアウトに関する情報

I/O Planning レイアウトの使用

I/O Planning レイアウトには、デバイスの I/O リソースの確認および I/O ピン割り当てに関連するビューが表示されます。[I/O Ports] ビューは [Packag] ビューの下に、[Package Pins] ビューがレイアウトの下部に表示されます。ポートは、エラボレートされた RTL デザインまたは合成済みネットリスト デザインのものです。

I/O ピン配置の詳細は、第 8 章「I/O ピン配置」を参照してください。

Tcl コンソールおよびメッセージ エリアの使用

PlanAhead ソフトウェア内で実行されたコマンドのステータスおよび結果は、表示環境の下部に表示されます。メッセージが生成されると、このエリアの該当するビューに表示されます。

表示されるビューには、[Tcl Console]、[Messages]、[Compilation]、[Reports]、[Design Runs] ビューなどがあります。また、[Find Results]、[Package Pins]、[Timing Results] などのビューもここに表示されます。

[Messages] ビュー

メッセージは、さまざまなツールやプロセスからのメッセージを探しやすいように、カテゴリ別に表示されます。たとえば、RTL デザインを開くと、[Messages] ビューは 図 4-10 に示すような表示になります。

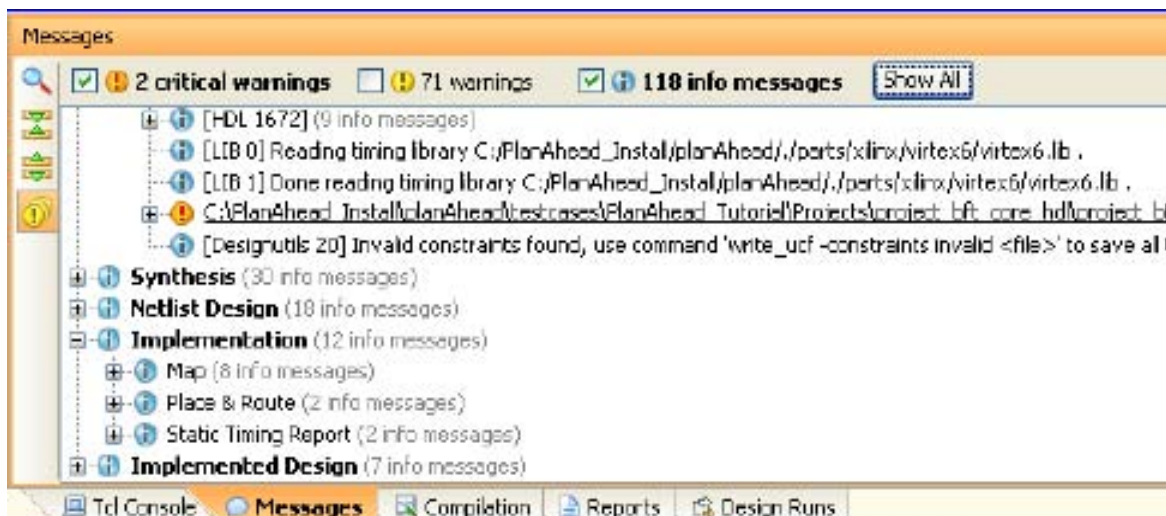




図 4-10 : [Messages] ビュー

[Messages] ビューを開くには、[Window] → [Messages] をクリックします。

- メッセージのいずれかをダブルクリックすると、RTL ソース ファイルがテキスト エディターで開き、問題のある箇所がハイライトされます。
- メッセージの横にあるプラス記号 (+) またはマイナス記号 (-) をクリックすると、ツリーを展開したり、閉じたりできます。また、サイドバーの [Expand All] または [Collapse All] ボタンをクリックすると、すべてのツリーを展開したり、閉じたりできます。
- [Messages] ビューのバナーにあるチェック ボックスを使用して、エラー、重要な警告、警告、情報メッセージの表示/非表示を切り替えることができます。

- サイドバーの [Show Search] ボタン  をクリックすると、特定のメッセージを検索するための [Search] フィールドが表示されます。このフィールドは、キーボードで Alt + / キーを押して開くこともできます。
- サイドバーの [Group duplicate messages] ボタン  をクリックすると、重複するメッセージがグループ化されます。

[Compilation] ビュー

[Compilation] ビューには、ngc2edif、Xilinx Synthesis Technology (XST)、マップ、および配置配線 (PAR) などのデザインをコンパイルするコマンドのステータスが表示されます。

[Compilation] ビューには、[図 4-11](#) に示すように、コンパイル コマンドからの標準出力が表示されます。このビューは、アクティブ実行でコマンドが実行されると自動的に表示されます。[Compilation] ビューを開くには、PlanAhead メイン ウィンドウの下側の [Compilation] タブをクリックするか、[Windows] → [Compilation] をクリックします。

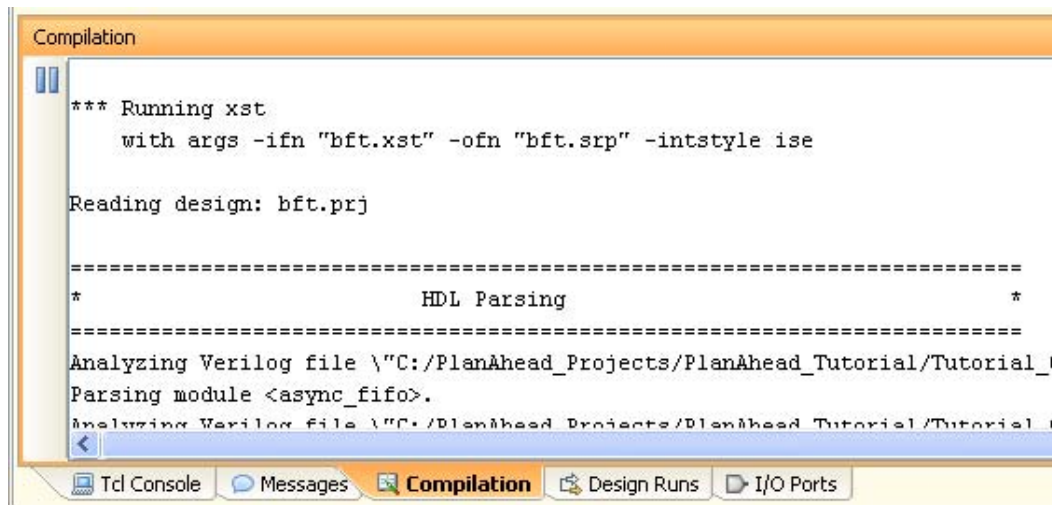



図 4-11 : [Compilation] ビュー

コンパイル出力は、追記される形でスクロールされながら表示され、新しいコマンドが実行されると上書きされます。

[Pause output] ボタン  をクリックすると一時的に出力を停止でき、コマンドを実行中にレポートをスクロールして読むことができます。

[Tcl Console] ビュー

[Tcl Console] ウィンドウには、実行した Tcl コマンドのメッセージが表示されます。これらメッセージは、planAhead.log ファイルにも書き込まれます。コマンドのエラー、警告、および完了に関するメッセージも、このウィンドウに表示されます。

Design Planner および結果ビューで開いているデザイン ネットリストと制約のステータスも、このビューに表示されます。

[Tcl Console] ビューを表示するには、[Window] → [Tcl Console] をクリックします。[93 ページの図 4-12](#) に、[Tcl Console] ビューを示します。

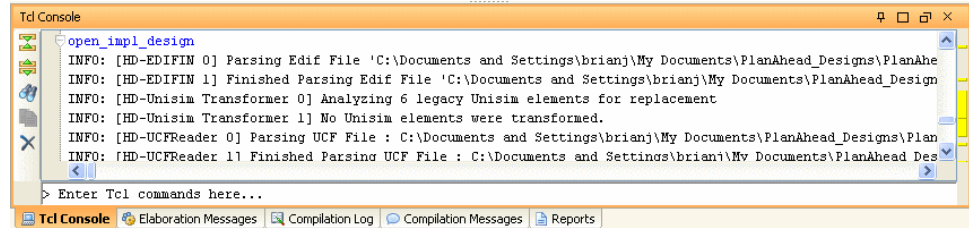


図 4-12 : [Tcl Console] ビュー

[Tcl Console] ビューでは、次の操作を実行できます。

- プラス記号 (+) またはマイナス記号 (-) をクリックするか、サイドバーの [Expand All] または [Collapse All] ボタンをクリックすると、各 Tcl コマンドからのメッセージを展開したり閉じたりできます。
- [Show Find] ボタンをクリックすると、検索文字列を入力する [Find] フィールドが表示されます。
- [Copy] ボタンをクリックすると、[Tcl Console] ビュー内のコマンドをコピーできます。
- [Clear all output in the Tcl console] ボタンをクリックするか、[Tcl Console] ビューを右クリックして [Clear All Output] をクリックすると、[Tcl Console] ビューがクリアされます。

警告およびエラーを示すカラー バー

[Tcl Console] ビューの右側には、図 4-13 に示すように、警告に対して黄色のバー、エラーに対して赤色のバーが表示されます。

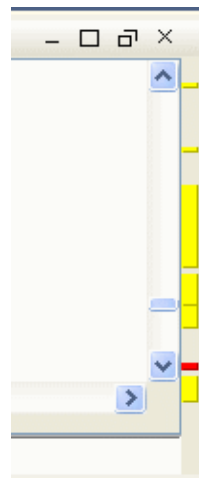


図 4-13 : [Tcl Console] ビューの警告およびエラーを示すカラー バー

このバーの上にカーソルを置くと、ツール ヒントに対応するメッセージが表示されます。

バーをダブルクリックすると、[Tcl Console] ビューのそのメッセージの部分に移動します。

Tcl コマンド ラインの使用

[Tcl Console] ビューの下部にあるコマンド ライン入力ボックス (図 4-12 を参照) に、PlanAhead の Tcl コマンドを入力できます。コマンド ライン入力ボックスをクリックして、Tcl コマンドを入力します。

メニュー操作やドラッグ アンド ドロップなどの操作には、対応する Tcl コマンドがあり、[Tcl Console] ビューに表示されます。これらの Tcl コマンドは、planAhead.log ファイルにも記述されます。

コマンド ライン入力ボックスにカーソルを置いた状態で上方向キーまたは下方向キーを押すと、実行された PlanAhead コマンドにアクセスできます。

Tcl ヘルプの使用

次の構文をコマンド ラインに入力すると、コマンドに関するヘルプが表示されます。

```
Command> help
```

各コマンドの詳細は、次のように入力すると表示されます。

```
Command> help get_cells
```

入力した内容に応じて、[Tcl Console] ビューに使用可能なコマンドまたはコマンド オプションが表示されます。

正確なコマンド構文を確認するには、コマンドを 1 度実行し、PlanAhead の起動ディレクトリに含まれている planAhead.jou ファイルを参照します。Tcl コマンドのフォーマットおよびヘルプに関する詳細は、[第 14 章「Tcl およびバッチ スクリプト」](#)を参照してください。

[Design Runs] ビューの使用

[Design Runs] ビューには、プロジェクトで定義した合成およびインプリメンテーション実行に関する情報が表示されます。複数の実行やパーティションを使用している場合、[Design Runs] ビューを使用すると合成およびインプリメンテーション実行を効率的に管理できます。

[Design Runs] ビューを右クリックして表示されるポップアップ メニューには、[Copy Run]、[Reset Run]、[Launch Runs] などの実行を管理するコマンドがあります。使用可能なすべてのコマンドは、[Design Runs] ビューを右クリックして確認してください。

ビューの操作

PlanAhead ソフトウェアには、異なる情報を表示するさまざまなビューがあります。ビューのサイズ、表示/非表示、および場所は、個別に制御できます。PlanAhead のすべてのビューは連動しているので、解析しやすいように整理すると便利です。デフォルトのビュー レイアウトは最適化されたものですが、自由にカスタマイズできます。

カスタム ビュー レイアウトを作成すると、ビュー レイアウトを復元できます。詳細は、[138 ページの「ビュー レイアウトの作成と使用」](#)を参照してください。

ビューを開く

ほとんどのビューは、[Window] メニューから開くことができます。既に開いているビューを選択すると、そのビューがアクティブになります。

特定のコマンドを実行すると、そのコマンドを操作するため、または結果を表示するため、対応するビューが開きます。

- [Schematic] ビューを表示するには、オブジェクトを少なくとも 1 つ選択して右クリックして [Schematic] コマンドをクリックするか、またはツールバーの [Schematic] ボタンをクリックします。

- [Properties] ビューを表示するには、オブジェクトを少なくとも 1 つ選択して右クリックし、ポップアップ メニューから [Object_type Properties] をクリックします。

[Window] メニューから [Device] または [Package] をクリックすると、ワークスペースに新しいビューが開きます。

ビューのナビゲート

表示されている各ビューにはタブが付いています。タブをクリックすると、ビューがアクティブになります。一部のビューには、複数のタブがあります。

表示エリアのアクティブ ビューは、その下部にあるタブをクリックすると切り替えることができます。図 4-14 に、[Netlist] ビューのタブを示します。



図 4-14 : [Netlist] ビューのタブ

ビューでは、次の操作を実行できます。

- ビューを最大化するには、ビュー タブをダブルクリックします。
- ワークスペースにビューを復元するには、ビュー タブを再びダブルクリックします。
- ビューのサイズを変更するには、表示枠をドラッグします。表示枠にカーソルを置くと、カーソルがスライダ シンボルに変わり、ビューのサイズを変更できるようになります。
- ビューを移動するには、ビュー タブをドラッグします。

移動した後にビューが表示される場所に四角形のボックスが表示されます。表示エリアを上下または左右に分割し、複数のビューを同時に表示できます。

既存のビュー タブ上にビューをドロップすると、移動したビューのタブが既存のビューのタブの横に表示されます。詳細は、135 ページの「[ビュー環境の設定と保存](#)」を参照してください。


ビュー バナーを使用したビューの操作

各ビューのバナーには、ビュー表示を変更するコマンド ボタンがあり、フロートさせたり、非表示にしたり、最大化したり、閉じたりできます。ビューまたは表示エリアを閉じると、空いたエリアを埋めるため、ほかのビューのサイズが変更されます。ビュー バナーのコマンドについて、次に説明します。

各表示エリアは、共通のウィンドウ操作コマンドで操作できます。これらのコマンドは、ビューのバナーを右クリックするとポップアップ メニューに表示されます。

ビューのフロート

ビューは、ワークスペースに表示されるものも含め、メイン ウィンドウから切り離してフロート表示し、個別に移動およびサイズ変更できます。ビューをフロート表示するには、次のいずれかを実行します。

- ビュー バナーの [Float Frame] ボタン  をクリックします。
- ビュー バナーを右クリックし、[Float] をクリックします。

ビューをフロート表示すると、ビューが別のウィンドウに表示されます。フロート表示されたウィンドウは重ねて表示されます。フロート表示されているビューを移動するには、ビュー パナーをドラッグします。フロート表示されているビューは、メイン ウィンドウの外に表示できます。フロートビュー タイプのデフォルトの表示位置とサイズは、レイアウトに保存されます。

ワークスペースのビュー

テキスト エディターやレポート ビューアーのようにグラフィカル インターフェイスを持つビュー および広い表示領域が必要なビューは、ワークスペースに表示されます。これらのビューは、同時に複数開いて情報を比較できる点が、その他のビューとは異なります。ワークスペースのビューは、ビュー タブを右クリックして表示されるポップアップ メニューを使用して、最大化、フロート表示、または分割できます。


PlanAhead ソフトウェアのワークスペースには、デザインがグラフィカルに表示され、レポートやログも表示されます。ワークスペースには、次のものが表示されます。

- [Project Summary] ビュー
- テキスト エディター
- [Device] ビュー
- [Package] ビュー
- [Clock Resource] ビュー
- [Schematic] ビュー
- [Hierarchy] ビュー

ワークスペースのビューを開く

[Device] ビューおよび [Package] ビューは、[Window] メニューから開くことができます。同じタイプのビューを複数開くことができます。たとえばデバイスの異なる部分を表示するために、[Device] ビューを 2 つ開くことができます。新しい [Device] ビューまたは [Package] ビューを開くには、[Window] → [Device] または [Window] → [Package] をクリックします。

[Schematic] ビューを開くには、次の手順に従います。

1. 回路図で開くオブジェクトを 1 つ以上選択します。
2. [Schematic] をクリックします。
 - ポップアップ メニューから次のいずれかを実行します。
 - F4 キーを押します。
 - ツールバーの [Schematic] ボタン  をクリックします。

ワークスペースに [Schematic] ビューが表示されます。[Schematic] コマンドを実行するたびに、ワークスペースに [Schematic] ビューが追加されます。

[World] ビュー

[Device] ビューなどのグラフィカルなワークスペース ビューを拡大表示した場合、[World] ビューを開いてデザイン エリア全体ナビゲートできます。[World] ビューは、アクティブなワークスペースをより大まかに表示したビューで、表示エリアをすばやく移動するために使用できます。このビューは、[Device]、[Schematic]、[Package]、および [Hierarchy] ビューを拡大表示している場合に使用できます。

[World] ビューを開くには、図 4-15 に示すように、ワークスペースの右下にある [Show World View] ボタンをクリックします。



図 4-15 : [Show World View] ボタン

[World] ビューには、アクティブ ビューで拡大表示されているエリアおよび選択されているオブジェクトが示されます。図 4-16 に示す [World] ビューには、[Device] ビュー全体と拡大表示されているエリアが赤い四角で示されています。この長方形をドラッグすると表示エリアを変更できます。

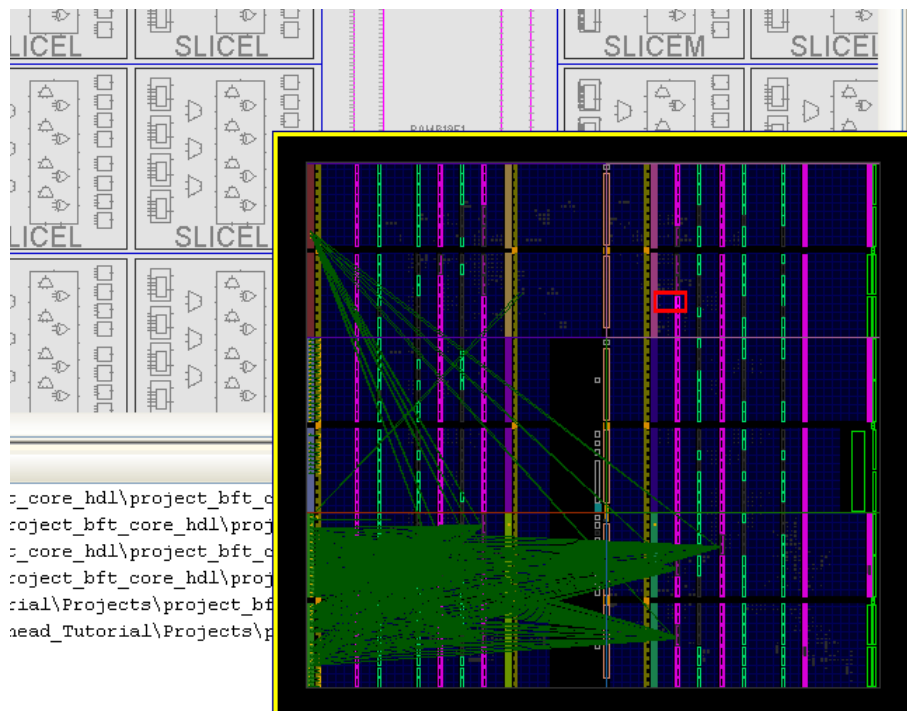



図 4-16 : [Show World View] ボタン

ワークスペースのビューの印刷

[Device]、[Package]、[Schematic]、[Hierarchy] ビューのワークスペースで表示されている箇所を印刷できます。[File] → [Print] をクリックし、現在表示されている箇所を印刷します。

ワークスペースのビューを閉じる

ワークスペースのビューを閉じるには、ビュー タブの X マーク  をクリックします。

ワークスペースの分割

ワークスペースの表示エリアを上下または左右に分割して、複数のウィンドウを同時に表示できます。各ウィンドウは個別に操作でき、複数のウィンドウをドッキング表示できます。

同じタイプのビューを 2 つ開くこともできます。たとえば、[Device] ビューを 2 つ開いてデバイスの異なる部分を表示したり、異なる倍率で表示したりできます。また、[Device] と [Package] ビュー (図 4-17 を参照)、[Device] と [Clock Resources] ビューなど、異なる 2 つのビューを表示できます。

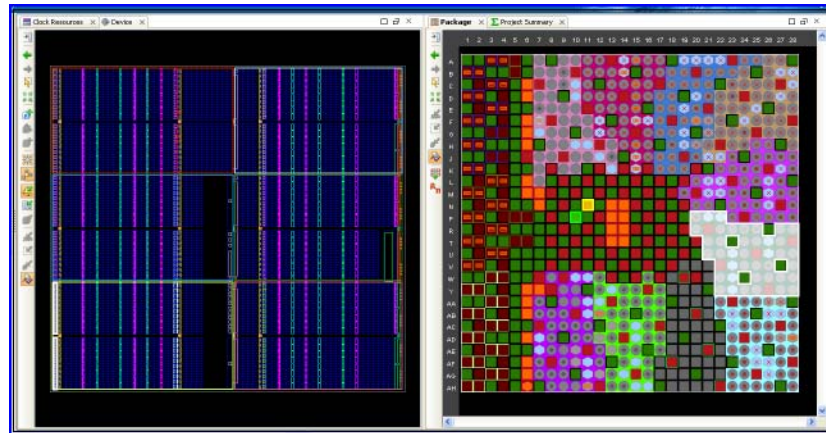


図 4-17 : [Package] ビューと [Device] ビューの同時表示

ワークスペースを分割するには、次のいずれかの方法を使用します。

- ビュー タブを右クリックして [New Horizontal Group] または [New Vertical Group] コマンドをクリックします。これらのコマンドは、ワークスペース ビューでのみ使用できます。
- 開いているビューのタブをクリックし、ワークスペースの右側のスクロール バーまでドラッグします。ビューが配置される箇所がグレーの長方形で囲まれます。カーソルをドラッグして配置箇所を決めたら、ドロップします。この方法は、ほかのビューでも使用できます。

分割されたビューを 1 つのビューに戻す

ワークスペース ビューを分割している場合、表示エリアを効率的に使用するため、ビューを 1 つに戻した方がよいことがあります。分割したビューを 1 つのビュー表示に戻すには、次のいずれかの操作を実行します。

- ワークスペース ビューのタブを右クリックし、[Move to Previous Tab Group]/[Move to Next Tab Group] をクリックします。
- ビューを選択し、別のビューのタブ上にドラッグします。グレーの長方形でビュー全体が囲まれたらドロップします。

ツリー表形式のビュー

PlanAhead には、スプレッドシートの表に似たビューが多数あります。これらのビューには、次のセクションで説明する共通の特性と機能があります。図 4-18 に、ツリー表形式のビューの例を示します。

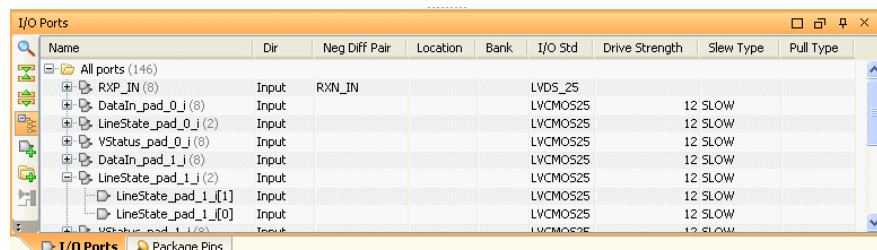


図 4-18 : ツリー表形式のビュー

表の展開/非展開

[Name] 列のプラス記号 (+) またはマイナス記号 (-) をクリックすると、ツリーを個別に展開または非展開できます。

ツールバーの [Expand All] および [Collapse All] ボタンをクリックすると、すべてのツリーを展開または非展開できます。



エントリのグループ化またはフラット リスト表示

表形式のビューには、ツールバーに [Group by Type] ボタンがあり、クリックするとエントリを展開可能なグループごとに表示するか、フラットなリストとして表示するかを切り替えることができます。

リストをフラット化すると、図 4-19 に示すように、リスト全体を検索およびフィルター処理するのに便利です。

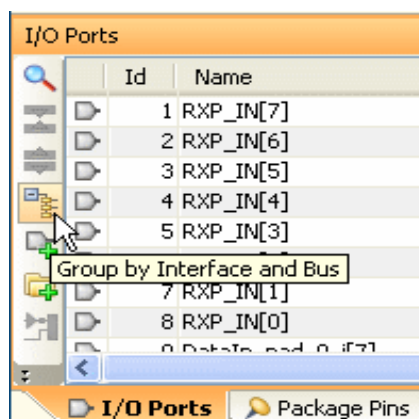



図 4-19 : [Group by Type] ボタン

リスト ビューでの検索機能の使用

ツールバーの [Show Search] ボタン  をクリックすると、ビュー パナーに [Search] フィールドが表示され、文字列を入力してリストを検索できます。このフィールドは、Alt + / キーを押しても開きます。

前述のセクションで説明したように、検索する前に [Group by Type] ボタンをクリックしてリストをフラット化しておく、と、検索しやすくなります。

表のどの列も、検索条件として使用できます。[Search] フィールドのプルダウン メニューから、検索を実行する列を選択します。図 4-20 に、[Search] フィールドのプルダウン メニューを示します。

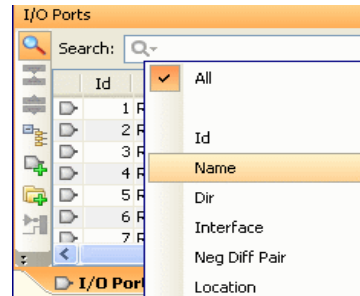


図 4-20：[Search] フィールドのプルダウン メニュー

[Search] フィールドに文字列を入力すると、検索条件に一致するエントリのみが表示されます。[Show Search] ボタンを再びクリックすると、[Search] フィールドが表示されなくなり、リストにすべてのエントリが表示されます。

列の並べ替え

表の列ヘッダーをクリックすると、その列を基準に並べ替えることができます。クリックした列の降順にデータが並べ替えられます。列ヘッダーをもう一度クリックすると、その列の降順にデータが並べ替えられます。列ヘッダーには、図 4-21 に示すように、どの列を基準に並べ替えられているか、昇順か降順かが示されます。

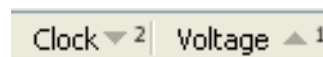


図 4-21：昇順 / 降順で並べ替えられていることを示す矢印

1 つの列で並べ替えた後、2 番目の列でさらに並び替えるには、Ctrl キーを押しながら 2 番目の列ヘッダーをクリックします。図 4-21 の例では、まず [Voltage] 列で並べ替えた後 [Clock] 列で並べ替えられています。

必要に応じてさらに別の列ヘッダーをクリックして並べ替え条件を追加できます。もう一度 Ctrl キーを押して列ヘッダーをクリックすると、その列の並べ替えが解除されます。

列の整列

列を移動、非表示、または復元できます。

- 列を移動するには、列をクリックし、新しい場所にドラッグします。
- 列を非表示にするには、列を右クリックして [Hide This Column] をクリックします。

右クリックで表示されるポップアップメニューには、各列を操作するためのその他のコマンドもあります。

- [Auto Resize This Column] : 表示されているデータごとに列の幅を調整します。
- [Reset to Default] : PlanAhead ソフトウェアのデフォルト表示に戻します。

ビュー特定のツールバー コマンド

ほとんどのビューには、[図 4-22](#) に示すように、そのビュー特定のコマンドを実行するためのツールバー ボタンがあります。



図 4-22 : [Device] ビューのツールバー ボタン

これらのボタンは、特定のデータが選択されている場合や、コマンドがアクティブな場合にのみ使用できます。**PlanAhead** の機能は、これらのビュー特定のツールバー ボタンから実行できます。ビュー特定のコマンドの詳細は、このガイドの該当するビューのセクションを参照してください。

メイン メニュー コマンドの検索機能の使用

PlanAhead ソフトウェアには、表示環境の右上 (メイン メニュー バーの右端) に、メイン メニューのコマンドを検索して実行する検索フィールドがあります。コマンド名の数文字を入力すると、その文字を含むコマンドのリストが表示されます。

検索にはワイルドカード検索が使用されます。

たとえば、[図 4-23](#) のように、「c1」と入力すると Clear List、Clock Regions、Clock Resources、Close Project、Run Tcl Script、Tcl Console、Clear Prohibit、および Clear Placement が表示されます。最後の 2 つは、プロジェクトの現在の状態のため実行できなくなっています。

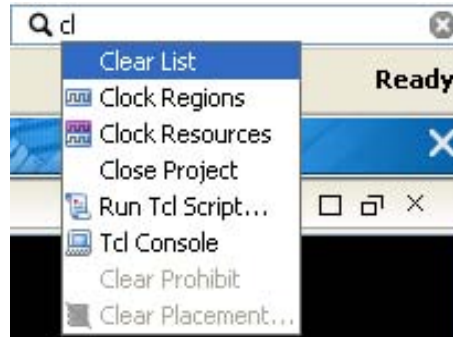


図 4-23：メイン メニュー コマンドの検索機能

表示されるコマンドは、プロジェクトで現在表示されているデザインに基づいています。RTL デザインを開いている場合とインプリメント済みデザインを開いている場合では、表示されるコマンドは異なります。

コマンドに加え、[File] メニューの [Open Recent Project] および [Open Example Project] でリストされるプロジェクト名およびファイルも表示されます。

リストからコマンドを選択すると、そのコマンドが実行されます。

情報バナー

PlanAhead メイン ウィンドウの下部にある情報バナーには、マウス カーソルが置かれているアイテムに関する情報、現在選択されているオブジェクトの情報、カーソルの座標、現在のデザインモードなど、有益な情報が表示されます。図 4-24 に、情報バナーの左端と右端を示します。



図 4-24：情報バナー

情報バナーには、次の情報が表示されます。

- 情報メッセージ：情報バナーの最初のフィールドで、データに応じた情報が表示されます。たとえば、カーソルが [Device] ビューまたは [Schematic] ビュー上にある場合、このフィールドにはカーソルがポイントしているインスタンスまたはサイトの名前が表示されます。ツールバーまたはメニュー コマンドの上にカーソルを置くと、PlanAhead コマンドの詳細が表示されます。
- 座標：情報メッセージ フィールドの右側にあるフィールドで、座標情報が表示されます。[Device] ビューでカーソルをブロック RAM、DSP48 などの上に置くと、図 4-24 に示すように、その名前と座標が表示されます。[Package] ビューのピンの上にカーソルを置くと、その座標、タイプ、名前などのピン情報が表示されます。
- モード：RTL フロー、合成後のフローなど、プロジェクトのタイプが表示されます。PlanAhead を ISE Project Navigator から起動している場合、ISE 統合モードが表示されます。

文脈依存カーソルについて

使用可能なコマンド モードによって、カーソルが変化します。カーソルの形状に応じて、次の操作が可能です。

- カーソルが水平、垂直、または斜めのバー シンボルに変化した場合、**Pblock** およびビューのサイズを変更できます。
- カーソルが手の形に変化した場合、**Pblock** やインスタンスを移動できます。
- カーソルが十字型に変化した場合、長方形を描画した拡大範囲指定、ピン割り当てエリアの定義、または **Pblock** の長方形の描画を実行できます。
- オブジェクトを移動できない場所にドラッグすると、カーソルは斜線が入った円になります。
- オブジェクトを移動できる場所にドラッグすると、カーソルにプラス記号が付きます。

オブジェクトの選択

PlanAhead ソフトウェアでは、オブジェクトを複数の方法で選択できます。現在のビューでオブジェクトを選択するには、そのオブジェクトをクリックします。オブジェクトを 1 つのビューで選択すると、ほかのビューでも選択されます。

オブジェクトを移動するには、マウスでドラッグして移動先にドロップします。オブジェクトを移動できる場合、カーソルが手の形に変化します。

複数のオブジェクトを同時に移動するには、**Ctrl** キーを押しながら複数のオブジェクトをクリックして選択し、ドラッグして移動先にドロップします。

オブジェクトが重なると、優先スキームにより小さい方のオブジェクトが選択されます。[Device] ビューでオブジェクトが選択しにくい場合は、[Physical Constraints] ビューまたは [Netlist] ビューで選択します。オブジェクトは、[PlanAhead Options] ダイアログ ボックスの [Selection Rules] ページの設定にかかわらず、この 2 つのウィンドウからであればいつでも選択できます。

オブジェクトがいくつも重なっている場合は、ポップアップ メニューで [Select] コマンドを使用すると、正しいオブジェクトを選択できます。

[Select] メニュー コマンド


[Select] メニューから、選択、選択解除、ハイライト、およびマーク付けを実行できます。

複数のオブジェクトの選択

オブジェクトを選択できるビューやダイアログ ボックスのリストでは通常、**Shift** キーを使用してツリーや表の中のオブジェクトの範囲を選択できます。**Ctrl** キーを使用すると、複数のオブジェクトを個別に指定できます。

[Select Area] コマンド

どのワークスペースのビューでも、オブジェクトを長方形で囲んで選択できます。

- [Select] → [Select Area] をクリックするか、[Select Area] ボタン  をクリックします。

104 ページの図 4-25 に示すように、長方形に囲まれたオブジェクトおよび接触しているオブジェクトがすべて、[Select Area] ダイアログ ボックスにタイプ別に表示されます。

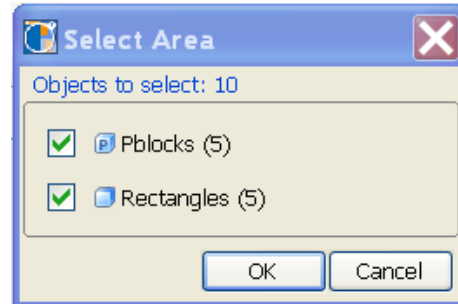


図 4-25 : [Select Area] ダイアログ ボックス

2. ここでオブジェクトのチェック ボックスをオフにすると、そのオブジェクトは選択されません。
3. [OK] をクリックすると、指定したオブジェクトがすべて選択されます。

プリミティブの親モジュールの選択

選択されたプリミティブ ロジックの親モジュールを選択するには、[Select Primitive Parents] コマンドを使用します。このコマンドはポップアップ メニューからクリックでき、ほとんどのビューで使用可能です。

フロアプランは、ロジック モジュールが Pblock に割り当てられている方が、プリミティブ ロジック インスタンスに割り当てられている場合よりも簡単に管理できます。

タイミング パスのグループを選択すると、そのパスに含まれるプリミティブ ロジック インスタンスがすべて選択されます。[Select Primitive Parents] コマンドを実行すると、選択されたプリミティブ ロジックすべての親モジュールが自動的に選択されます。

選択されていたプリミティブ ロジックの選択は解除され、選択されたロジックが ROOT レベルのロジックであった場合以外は、親モジュールのみが選択されます。

モジュールを選択すると、コマンドを実行しても親モジュールは選択されず、そのモジュールが選択されたままになります。

[Selection] ビュー

[Selection] ビューには、図 4-26 に示すように、現在選択されているオブジェクトのリストが表示されます。オブジェクトは、並び替えたり、選択を解除したり、マークを付けたりすることができます。このリストは、オブジェクトの操作に応じて随時更新されます。

[Selection] ビューを表示するには、[Window] → [Selection] をクリックします。

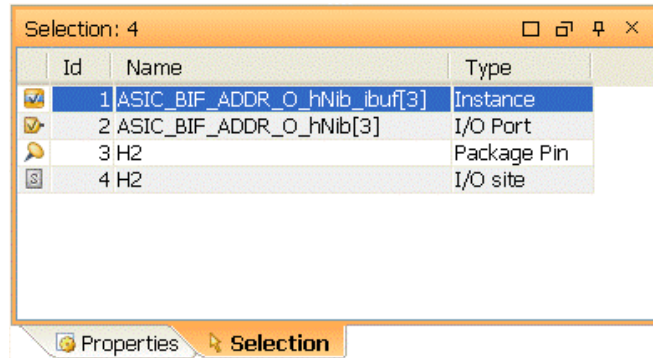


図 4-26 : [Selection] ビュー

エレメントを並べ替えるには、列ヘッダーをクリックします。列ヘッダーをクリックすると、オブジェクトを名前、ID、またはタイプで並べ替えることができます。

選択したアイテムは、右クリックして [Unselect]、[Unselect All]、または [Unselect All Except] コマンドをクリックするとリストから削除できます。

Ctrl キーおよび Shift キーを使用すると、オブジェクトのグループを選択できます。選択したオブジェクトの合計数は、105 ページの図 4-27 に示すように、ビュー バナーに表示されます。

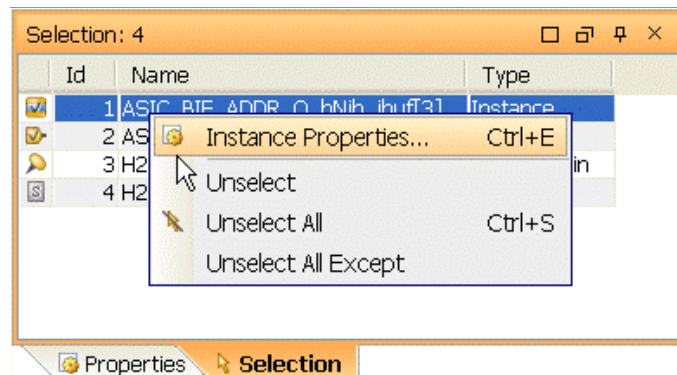


図 4-27 : [Selection] ビューのポップアップ メニュー コマンド

選択したオブジェクトすべての表示


ワークスペースのビューでオブジェクトを直接またはほかのビューで間接的に選択している場合、選択したオブジェクトが中心になるよう表示をアップデートすると便利です。ワークスペースのさまざまなビューでは、次のセクションに説明するようさまざまな方法でこれを実行できます。

選択されたオブジェクトの自動表示

[Sources] ビューまたは [Netlist] ビューでオブジェクトを選択すると、ワークスペースに表示される [Device] ビューや [Schematic] ビューなどのグラフィカル ビューでも選択されますが、

オブジェクトが小さく表示されている場合があります。


- 多数のゲートから 1 つのゲートを選択することはほぼ不可能です。
- 一方、デバイスまたは回路図の 1 つのエリアが拡大表示されており、選択したオブジェクトが表示エリアの外にあるため、見つけにくいことがあります。

PlanAhead ソフトウェアには、ワークスペースのグラフィカル ビューのツールバーに [Auto Fit selection] ボタン  があり、選択したオブジェクトを最大表示できます。

このコマンドはオン/オフに設定すると切り替えるまでその設定が保持されるので、オンにしておくと、選択したオブジェクトが常に自動的に最大表示されます。複数のオブジェクトを選択した場合は、すべてのオブジェクトがビューに収まるよう拡大率が調整されます。


選択されたオブジェクトの最大表示

ワークスペースのビューには、選択したオブジェクトすべてがビューに収まるように表示する [Fit Selection] コマンドがあります。このコマンドは、[Auto Fit Selection] モードがオフの場合に使用します。選択したオブジェクトすべてが表示されるようにするには、次のいずれかを実行します。

- [View] → [Fit Selection] をクリックします。
- F9 キーを押します。
- ツールバーの [Fit Selection] ボタン  をクリックします。

選択したオブジェクトに自動的にスクロール

[Clock Resources] ビューなどのワークスペースのビューには、選択したオブジェクトに自動的にスクロールするオプションがあります。この機能により、別のビューで選択したオブジェクトがそのビューで表示されるよう表示が常にアップデートされます。

このモードをオンにするには、[Sources] ビュー、[Netlist] ビュー、[Clock Resources] ビューのツールバーで [Automatically scroll to selected objects] ボタン  をクリックします。このコマンドはオン/オフに設定すると切り替えるまでその設定が保持されます。

オブジェクトの選択規則

オブジェクトを選択すると、ほかのオブジェクトも同時に選択されることがあります。たとえば、Pblock を選択すると、割り当てられたネットリストのインスタンスも選択されます。選択の動作は、[Tools] → [Options] → [Selection Rules] で選択規則を設定することにより制御できます。図 4-28 に、[PlanAhead Options] ダイアログ ボックスの [Selection Rules] ページを示します。

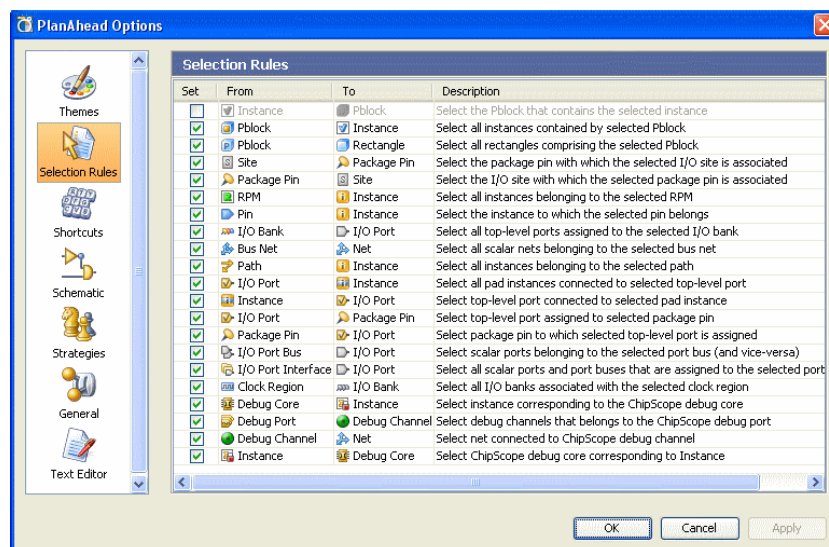


図 4-28 : [PlanAhead Options] ダイアログ ボックス : [Selection Rules] ページ

[Set] 列のチェックボックスをオン/オフにすると、自動選択のオン/オフを切り替えることができます。

- オンにすると、[From] 列のオブジェクトを選択したときに [To] 列のオブジェクトも選択されます。
- オフにすると、[From] 列のオブジェクトを選択したときに、そのオブジェクトのみが選択されます。

デフォルトの選択規則を使用すると、PlanAhead が最も効果的に機能します。

ワークスペース ビューでのオブジェクト選択方法の設定


[Tools] → [Options] をクリックすると、[PlanAhead Options] ダイアログ ボックスでオブジェクトの選択方法を設定できます。オブジェクトの選択方法の設定については、[135 ページの「PlanAhead の表示オプションのカスタマイズ」](#)を参照してください。

選択したオブジェクトのハイライト

オブジェクトを指定した色でハイライト表示できます。ハイライト表示は、フロアプランのハイライト表示をすべて解除するまで保持されます。ハイライトの詳細は、[104 ページの「プリミティブの親モジュールの選択」](#)を参照してください。

選択したオブジェクトのマーク

選択したすべてのオブジェクトにマーク シンボルを付けることができます。マークを付けるオブジェクトを右クリックし、[Mark] をクリックします。

すべてのマークを削除するには、ツールバーの [Unmark All] ボタン  をクリックします。

PlanAhead ビューの使用

次のセクションでは、次の PlanAhead ビューについて説明します。

[Sources] ビュー

RTL ソース、制約ファイル、シミュレーション ソース、および IP コアをプロジェクトに追加すると、デザインの [Sources] ビューに表示されます。[Sources] ビューを使用すると、デザインの要件に合わせてプロジェクト ソース ファイルの管理、追加、削除、並べ替えを実行できます。

[Sources] ビューを開くには、[Windows] → [Sources] をクリックするか、ツールバーの [Sources] ボタンをクリックします。[図 4-29](#) に、[Sources] ビューの例を示します。

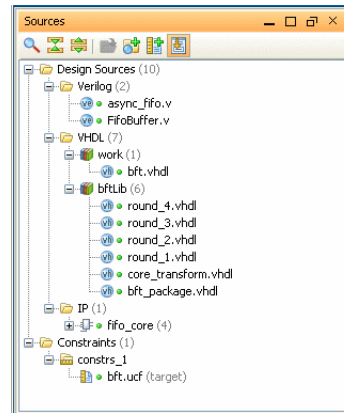


図 4-29：[Sources] ビュー

[Sources] ビューには、プロジェクトに追加されたファイルがタイプ別に表示されます。デザインソースのタイプには、Verilog、VHDL、NGC/NGO、EDIF、および IP コアがあります。

制約ファイルは、**Constraints** というフォルダーに含まれます。複数の UCF ファイルを含めることができます。

メモ：モジュールレベルのネットリスト制約ファイル (NCF) は、デザインソースとしてコアと共に表示され、読み出し専用です。

- ソースファイルが赤色で表示される場合は、PlanAhead で必要なファイルを見つけることができなかったことを示します。
- ソースファイル名の横の緑の丸は、そのソースファイルがローカルプロジェクトディレクトリにコピーされていることを示します。

[Sources] ビューのコマンド

[Sources] ビューにはツールバーボタンと、マウスを右クリックすると表示されるポップアップメニューがあります。[Sources] ビューのツールバーおよびポップアップメニューを使用して、ソースファイルを追加、表示、変更できます。

[Sources] ビューのツールバー ボタン

[Sources] ビューのツールバーには、108 ページの図 4-29 に示すように、次のコマンドがあります。

- **[Show Search] :** [Search] フィールドを表示し、[Sources] ビューのオブジェクトを検索します。このフィールドは、キーボードで Alt + / キーを押して開くこともできます。
- **[Expand All] :** [Sources] ビューの階層ツリーをすべて展開表示し、すべてのエレメントを表示します。
- **[Collapse All] :** [Sources] ビューの階層ツリーをすべて閉じ、最上位オブジェクトのみを表示します。
- **[Open Selected Source Files] :** 選択したファイルを PlanAhead テキストエディターで開きます。テキストエディターの使用方法は、第 5 章の「テキストエディターの使用」を参照してください。
- **[Add Sources] :** RTL ソースファイル、シミュレーションソースファイル、制約ファイル、または既存の IP をプロジェクトに追加します。
- **[Group sources by library and file type] :** ソースファイルをタイプ別にグループ化して表示するか、グループ化せずに表示するかを切り替えます。

- [Automatically Scroll to Selected Object] : 選択されたオブジェクトが表示されるよう [Sources] ビューの表示が自動的にアップデートされるよう設定します。この機能は、多数のソース ファイルを含む大型デザインで便利です。デフォルトでオンになっています。

[Sources] ビューのポップアップ メニュー

[Sources] ビューのポップアップ メニューには、次のコマンドがあります。

- [Source File Properties] : [Source File Properties] ビューを開きます。詳細は、[110 ページの「\[Source File Properties\] ビュー」](#)を参照してください。
- [Open file] : 選択したファイルをテキスト エディターで開きます。テキスト エディターの使用方法は、[第 5 章の「テキスト エディターの使用」](#)を参照してください。
- [Update File] : 選択したファイルを新しく選択したファイルに置き換えます。詳細は、[第 3 章の「ローカル ソース ファイルのアップデート」](#)を参照してください。
- [Make active] : 選択した制約セットを、合成またはインプリメンテーションに使用するようアクティブにします。
- [Copy into Project] : 選択したソース ファイルおよびディレクトリをプロジェクト ディレクトリにコピーします。
- [Copy All Files Into Project] : リモートから参照されているソース ファイルをすべてプロジェクト ディレクトリにコピーします。
- [Remove from Project] : 選択したソース ファイルをプロジェクトから削除します。また、ファイルがプロジェクトにインポートされている場合は、プロジェクトのディスク ロケーションからもファイルを削除します。
- [Enable Files] : エラボレートおよび合成でのソース ファイルのステータスをアクティブに設定します。ソース ファイルのステータスは、イネーブルまたはディスエーブルを切り替えることができます。
- [Disable Files] : エラボレートおよび合成でのソース ファイルのステータスを非アクティブに設定します。ソース ファイルのステータスは、イネーブルまたはディスエーブルを切り替えることができます。ステータスがディスエーブルのソース ファイルは、グレーで表示されます。
- [Move to Simulation Sources] : 選択したソース ファイルをシミュレーション セットに移動します。複数のシミュレーション セットが存在する場合は、シミュレーション セットを選択するダイアログ ボックスが表示されます。
- [Move to Top] : 選択したソース ファイルを リストの一番上に移動します。ソース ファイルはリストの上から順にエラボレートされるので、[Sources] ビューのファイルの順序がエラボレーション、合成、およびシミュレーションの結果に影響します。
- [Move Up] : 選択したソース ファイルを リストの 1 つ上に移動します。
- [Move Down] : 選択したソース ファイルを リストの 1 つ下に移動します。
- [Move to Bottom] : 選択したソース ファイルを リストの一番下に移動します。

	Source File Properties...	Ctrl+E
	Open File	Alt+O
	Update File	Alt+U
	Copy Into Project	
	Copy All Files Into Project	Alt+I
	Remove from Project...	Delete
	Enable File	Alt+=
	Disable File	Alt+-
	Move to Simulation Sources	
	Move to Top	
	Move Up	
	Move Down	
	Move to Bottom	
	Specify Top Module...	
	Scan and Add RTL Include Files	
	Auto Re-order Source Files	
	Set Target UCF	
	Set Library...	Alt+L
	Add Sources...	Alt+A
	Find in Files...	Ctrl+Shift+F

- [Specify Top Module] : 合成およびシミュレーションプロセスにおける、デザイン階層のエラボーレーションの開始点となるトップ モジュールを指定します。詳細は、第 3 章の「[トップ モジュールの指定とソース ファイルの順序の変更](#)」を参照してください。
- [Scan and Add RTL Include Files] : すべての RTL ファイルをスキャンし、インクルード ファイルをローカルプロジェクト ディレクトリにインポートします。このコマンドは、ソース ファイルをプロジェクトに追加したときにも実行できます。
- [Auto Re-order Source Files] : 現在指定されているトップ モジュールのコンパイル順に基づいて、ソース ファイルのリストを自動的に並べ替えます。
- [Set Target UCF] : 新しい制約を記述する UCF ファイルを指定します。詳細は、第 3 章の「[制約の管理](#)」を参照してください。
- [Set Library] : 選択した RTL ソース ファイルのライブラリを選択します。
- [Add Sources] : RTL ソース ファイル、シミュレーション ソース ファイル、制約ファイル、または既存の IP をプロジェクトに追加します。詳細は、第 3 章の「[プロジェクト ソースの管理](#)」を参照してください。
- [Find in Files] : [Find in Files] ダイアログ ボックスを開き、文字列を入力して選択したファイルから検索します。検索結果は、[Find in Files] ビューに表示されます。

[Source File Properties] ビュー

[Sources] ビューで RTL ソース ファイルを選択して、[Source File Properties] ビューにファイルの情報を表示できます。ソース ファイル プロパティを表示するには、次の手順に従います。

1. [Sources] ビューでソース ファイルを右クリックします。
2. [Source File Properties] をクリックします。図 4-30 に、[Source File Properties] ビューを示します。

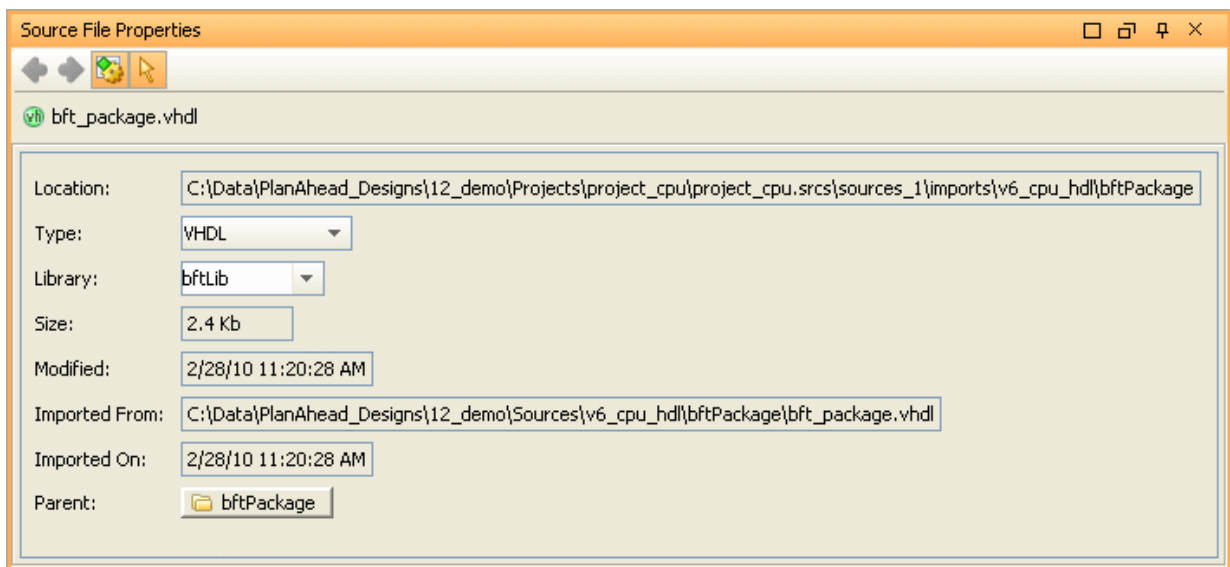


図 4-30 : [Source File Properties] ビュー

このビューに表示されるファイル情報は、場所、タイプ、ライブラリ、サイズ、最後に変更された日時、コピー元、コピー日時、および親モジュールです。

- ファイル タイプは **[Type]** オプションを使用して変更できます。これは、ファイルの拡張子が一般的でない場合やファイルがデフォルトでは検出されなかった場合に便利なオプションです。
- ライブラリを変更するには、**[Library]** で新しいライブラリを選択します。

3. **[Apply]** をクリックすると、変更が適用されます。

[Device] ビュー

[Device] ビューは、デザイン解析およびフロアプランに関するさまざまな操作で使用するメインのグラフィカル インターフェイスです。詳細は、次を参照してください。

- [第 7 章「ネットリストの解析および制約の定義」](#)
- [第 8 章「I/O ピン配置」](#)
- [第 11 章「インプリメンテーション結果の解析」](#)
- [第 10 章「デザインのフロアプラン」](#)

[Device] ビューには、論理デバイス、クロック領域、I/O パッド、BUFG、DCM、Pblock、インスタンス ロケーション、ネット接続など、FPGA デバイスのリソースが表示されます。特定のロジックを割り当てることのできるロケーションは、「サイト」と呼ばれます。[図 4-31](#) に、[Device] ビューを示します。

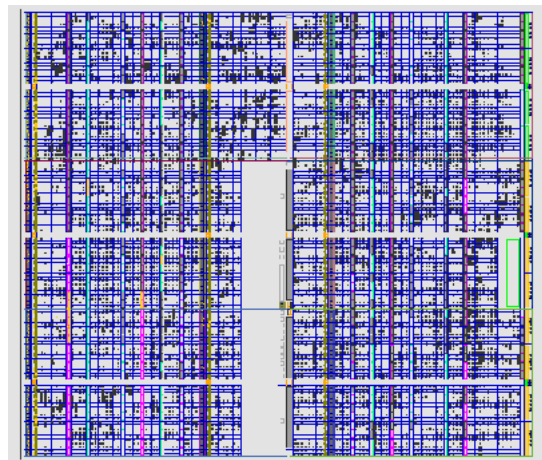


図 4-31 : [Device] ビュー

表示されるロジック オブジェクトの詳細は、選択しているズーム レベルにより異なります。拡大していくと、ロジック オブジェクトがより詳細に表示されます。[Device] ビューを右クリックして表示されるポップアップ メニューとツールバーに、ズーム レベルを変更するコマンドが含まれています。

また、[Device] ビューのスクロール バーやダイナミックな表示移動機能を使用し、表示箇所に移動できます。

[Device] ビューのオブジェクト上にカーソルを置くと、ツール ヒントにオブジェクトの名前が表示されます。サイトまたはロジック オブジェクトを選択すると、[Properties] ビューにプロパティが表示されます。デバイス リソース サイトを検索するには **[Edit] → [Find]** をクリックします。

[Device] ビューでは、カーソルの形が実行する操作によって変化するダイナミック カーソルが使用されます。

たとえば、ロジック リソースを不正に割り当てようとすると、それを修正できるようにダイナミック カーソルが変化します。詳細は、[103 ページの「文脈依存カーソルについて」](#)を参照してください。

[Device] ビュー コマンドの使用

[Device] ビューの左側にあるツールバー ボタンを使用して、このビューに特定のコマンドを実行できます。詳細は、[101 ページの「ビュー特定のツールバー コマンド」](#)を参照してください。[Device] ビューのツールバーには、次のコマンドが含まれています。

- 作成方法
 - [Draw Pblock] : 新しい Pblock 長方形を作成します。
 - [Add Pblock Rectangle] : 複数の長方形を使用して長方形以外の形の Pblock を作成します。
- [Set Pblock Size] : 既存の Pblock 長方形の形を変更します。
- [Show/Hide I/O Nets] : I/O 接続の表示/非表示を切り替えます。
- [Show/Hide connections for selected instances] : オブジェクトを選択したときに接続を表示するかどうかを切り替えます。このモードをオンにすると、オブジェクトを選択したときに接続が表示されます。このボタンでモードのオン/オフを切り替えます。
- 割り当て方法
 - [Create BEL Constraint Mode] : 配置するオブジェクトに LOC および BEL 配置制約を設定します。
 - [Create Site Constraint Mode] : 配置するオブジェクトに LOC 配置制約を設定します。
 - [Assign Instance Mode] : Pblock にロジック インスタンスを割り当てます。これがデフォルト モードです。コマンドが正しく機能するようにするため、できる限りこのモードを使用してください。
 - [Place I/O Ports in an I/O Bank] : I/O ポートを I/O バンクに割り当てます。
 - [Place I/O Ports in Area] : I/O ポートを長方形エリアに割り当てます。
 - [Place I/O Ports Sequentially] : I/O ポートを順に割り当てます。
- [Automatically Enforce Legal I/O Placement] : インタラクティブ I/O 配置 DRC が強制的に実行されるようにします。

デバイス リソースの表示

[Device] ビューには、選択したデバイスに含まれるさまざまなリソースが表示されます。デバイス特有のリソースは、すべてグラフィカル サイトで表示されます。デバイス リソースの表示レベルは、[Device] ビューのズーム レベルによって変わります。スライス リソースなどのリソースは、かなり拡大しないと見えるようになりません。クロック領域や I/O バンクなどのリソースは、デバイス全体を表示していても見えます。また、[Device] ビュー レイヤー スライドアウトを使用して、特定のオブジェクトやリソースの表示/非表示を切り替えることができます。詳細は、[113 ページの「\[Device\] ビューで表示するレイヤーの設定」](#)を参照してください。

[Device] ビューでは、リソースは次のように表示されます。

- I/O パッドおよびクロック オブジェクトは、デバイスの周囲と、デバイスの中央の列に表示されます。
 - I/O バンクは、I/O パッドの列のすぐ外側に細い長方形として影付きで表示されます。
 - 使用可能な I/O バンク サイトは、I/O バンクの長方形が色で塗りつぶされています。

- ボンディングされていない I/O バンクは、空の長方形として表示されます。
- I/O クロック パッドは色で塗りつぶされた長方形として表示されます。
- BUFG、BUFR、BUFGP などのクロック リソースも、[Device] ビューに表示されます。I/O バンクまたはクロック領域を選択すると、[I/O Bank Properties] ビューに使用可能なデバイス リソースが表示されます。
- デバイスの内側は、タイルと呼ばれる小さな長方形に分割されており、アーキテクチャのさまざまな種類のロジック プリミティブの配置サイトで構成されています。[Device] ビューでロジック サイトにカーソルを置くとツール ヒントが表示され、そのサイトの情報を確認できます。

デバイス リソースの表示に関する詳細は、[178 ページの「リソース統計の表示とレポート」](#)を参照してください。CLB、SLICE、および BEL を表示するには、表示を拡大する必要があります。

次の操作を実行できます。

- プリミティブ ロジック インスタンスを、表示されている適切なサイトに割り当てます。
- ISE による配置結果をインポートして、ロジックの割り当てを表示します。

配置されたインスタンスは、スライス内で長方形として表示されます。さらに拡大表示すると、ロジック シンボルが表示されます。ロジックは LOC 配置制約を生成するサイトに割り当てることができます。BEL 制約を使用すると、サイトを特定のゲートまたはスライスに割り当てることができます。

ISE からインポートされたロジックは、BEL レベルの制約として表示されます。LOC 配置制約の詳細は、[306 ページの「配置 LOC 制約」](#)を参照してください。

[Device] ビューで表示するレイヤーの設定

Virtex®-6 および 7 シリーズ デバイス ファミリーでは、[Device] ビューのツールバーに [Device View Layers] ボタンがあり、[Device] ビューに表示するレイヤーおよびオブジェクトを選択できます。このツールバー ボタンをクリックすると、レイヤー スライドアウトが表示され、[Device] ビューでの表示レベルを制御できます。これは、表示に情報が多すぎる場合に特に便利です。

[図 4-32](#) に、ツールバーの [Device View Layers] ボタンとレイヤー スライドアウトを示します。

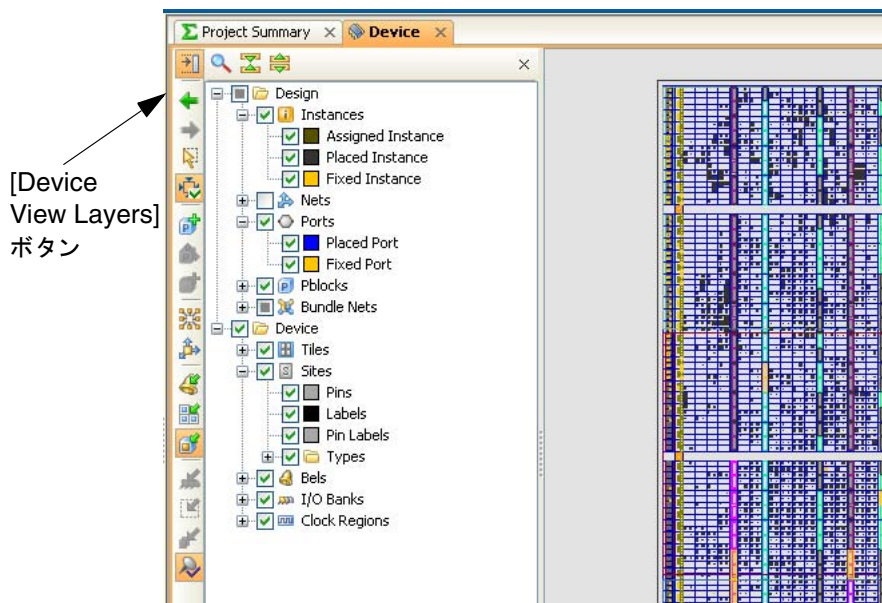


図 4-32 : [Device View Layers] ボタン

レイヤーおよびオブジェクトは、ツリー形式で階層表示され、階層を展開表示したり閉じたりできます。

主な 2 つのカテゴリはデザイン オブジェクトとデバイス オブジェクトです。

- デザイン オブジェクトは、デバイスに配置されるインスタンス、ネット、ポートなどのデザイン ソースからのエレメントです。
- デバイス オブジェクトは、デザイン オブジェクトを配置可能な I/O ブロック、クロック領域、タイルなどのデバイス上のリソースです。

プラス記号 (+) をクリックして階層を展開表示したり、マイナス記号 (-) をクリックして階層を閉じたりして、レイヤーおよびオブジェクトの階層表示を調整します。

レイヤーまたはオブジェクトの横にあるチェック ボックスのオン/オフを切り替えて、[Device] ビューに表示されるものを選択します。

チェック ボックスがオンのレイヤーが表示されます。レイヤーのカテゴリのチェック ボックスをクリックしてオブジェクトまたはレイヤーのグループの表示/非表示を切り替えるか、個々のレイヤーまたはオブジェクトのチェック ボックスをクリックして個々の表示/非表示を切り替えることができます。

メモ： [Device] ビューで特定のオブジェクトまたはレイヤーが見えない場合は、[Device View Layers] ボタンをクリックして、そのデザイン オブジェクトまたはデバイス リソースが非表示になっていないかどうかを確認してください。

レイヤー スライドアウトには、[Show Search]、[Expand All]、[Collapse All] ボタンがあります。

レイヤーの表示/非表示を設定したら、[Device View Layers] ボタンをクリックしてレイヤー スライドアウトを閉じます。[Device] ビューのレイヤー表示設定は保存されます。

クロック領域の選択

クロック領域は、さまざまなデバイス クロック領域を示す大きな長方形として表示されます。この境界線は、クリティカルな回路のフロアプランに役立ちます。

[Device] ビューでは、次の操作を実行できます。

- [Clock Regions] ビューでクロック領域を選択します。
- クロック領域を選択して、[Clock Region Properties] ビューにリソース統計を表示します。
- インプリメンテーション結果をインポートした後、クロック配置統計を表示します。
- [Device] ビューに表示されるクロック領域の表示色を変更するには、[Tools] → [Options] をクリックし、[PlanAhead Options] ダイアログ ボックスの [Themes] ページで [Device] タブをクリックします。

クロック領域を選択すると、対応する I/O バンクおよびクロックに関連したロジック サイトも選択されます。

クロック領域統計の表示については、[226 ページの「クロック領域のリソースおよび統計の表示」](#)を参照してください。

[Device] ビューの印刷

[File] → [Print] をクリックすると、[Device] ビューを印刷できます。このコマンドでは、現在表示されているエリアが印刷されます。[Device] ビュー全体を印刷するには、拡大率を変更して全体を表示してから印刷します。

複数の [Device] ビューの表示

同じフロアプラン (以下「デザイン」) に対して、複数の [Device] ビューを開くことができます。複数表示することで、デバイスの異なるエリアで作業できます。

2 つ目の [Device] ビューを開くには、[Window] → [Device] をクリックします。2 つ目の [Device] ビューは [Device (2)] というタブに表示されます。

98 ページの「ワークスペースの分割」に説明されている方法を使用して表示を分割すると、複数のビューを並べて開くことができます。

図 4-33 に、2 つの [Device] ビューを分割表示した例を示します。

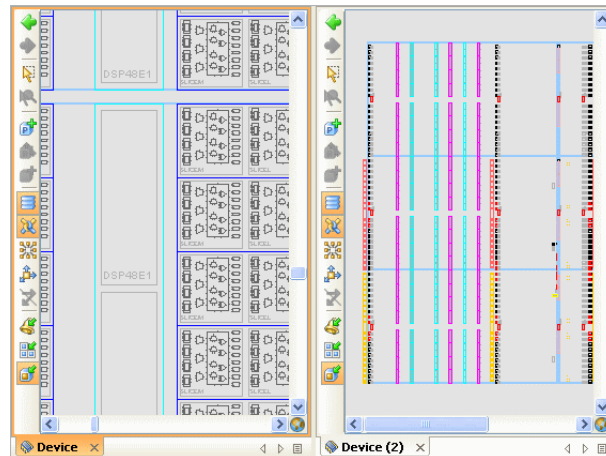


図 4-33 : 複数の [Device] ビューの表示

[Package] ビュー

[Package] ビューには、デバイスの物理特性が表示され、主に I/O ピン配置で使われます。[Package] ビューを使用した I/O ピン配置の詳細は、第 8 章「I/O ピン配置」を参照してください。

各ピン タイプは、異なる色と形を使用して表示されます。[Package] ビューを開くには、[Window] → [Package] をクリックします。図 4-34 に、[Package] ビューを示します。

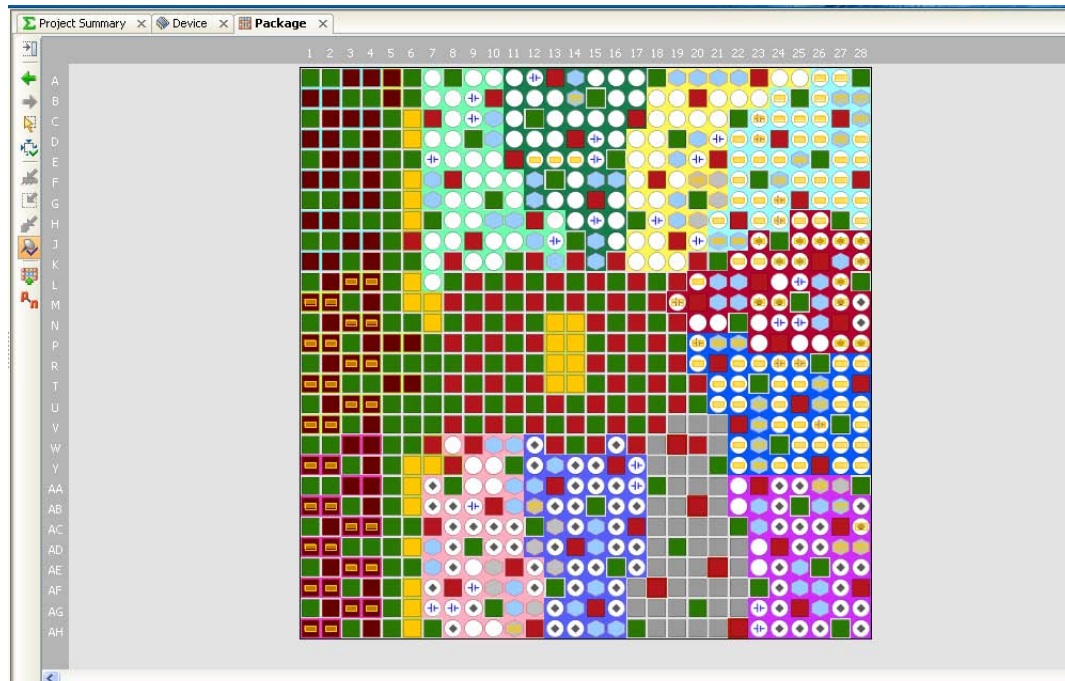


図 4-34 : [Package] ビュー

[Package] ビューで表示するレイヤーの設定

[Package] ビューのツールバーには [Package View Layers] ボタンがあり、[Package] ビューに表示するレイヤーおよびオブジェクトを選択できます。このツールバー ボタンをクリックすると、レイヤー スライドアウトが表示され、[Package] ビューでの表示レベルを制御できます。

117 ページの図 4-35 に、ツールバーの [Package View Layers] ボタンとレイヤー スライドアウトを示します。レイヤーはツリー形式で階層表示され、階層を展開表示したり閉じたりできます。[Package] ビューに表示されるレイヤーは、I/O ポート、ピン、I/O バンクに分類できます。

- I/O ポートは、現在デザインに配置されているポートを表示します。固定されているものと固定されていないものの両方が表示されます。配置されていないポートは、[Package] ビューには表示されません。
- ピンにはパッケージピンが含まれ、多目的ピン、電源ピン、未接続ピンなどに分類されています。
- 多目的ピンには、使用可能な機能を示すシンボルが表示されます。次に例を示します。
 - クロック兼用ピンは、青い五角形で表示されます。
 - Vref ピンには、電源マークが表示されます。

レイヤー スライドアウトに、多目的ピンに使用されるシンボルの凡例があります。

- I/O バンクには、デバイス上の各 I/O バンクのピンのサイトと GTX ピンのサイトが表示されます。各 I/O バンクと GT バンクは色分け表示されており、異なるバンクのピンを簡単に見分けることができます。

[Package] ビューの特定のピンの表示は、ピンを表すレイヤーの組み合わせによって異なります。

たとえば、多目的ピンは I/O バンクの一部として表示されますが、電源ピンは I/O バンクには含まれません。I/O バンクが表示されていない場合、117 ページの図 4-35 に示すように、多目的ピンはレイヤー スライドアウトで選択されていても表示されませんが、電源ピンは表示されます。

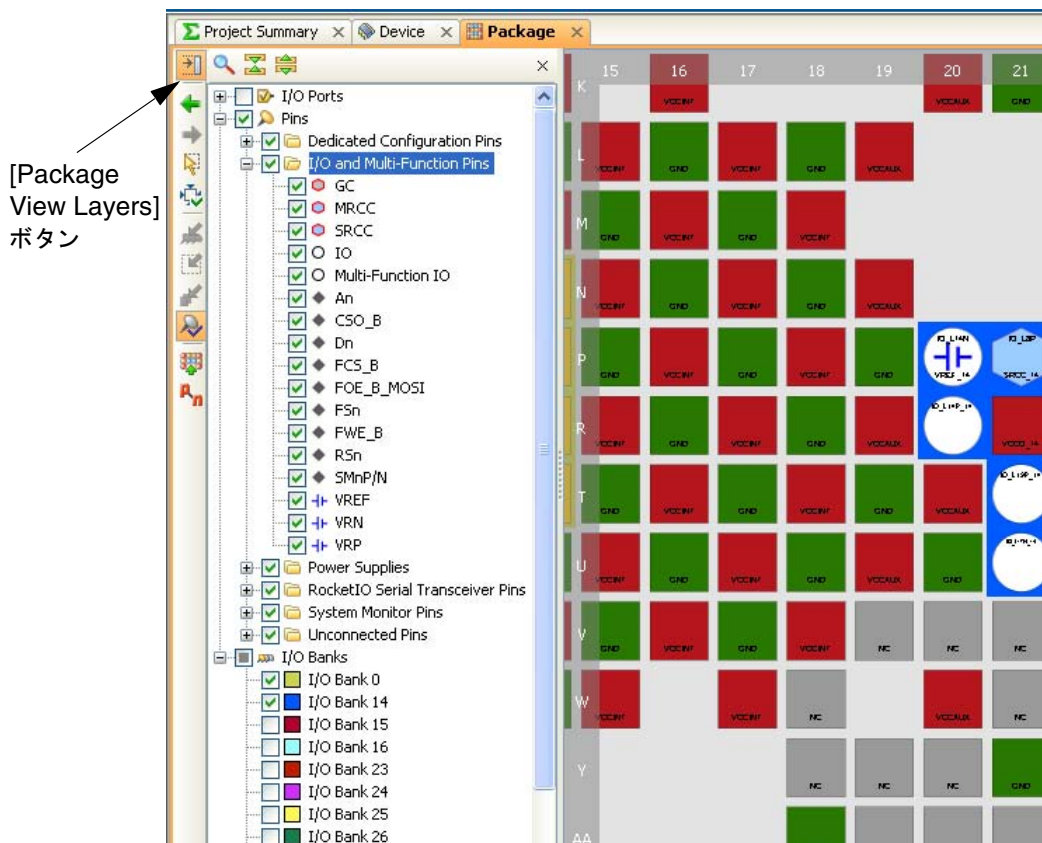


図 4-35 : [Package View Layers] ボタン

プラス記号 (+) をクリックして階層を展開表示したり、マイナス記号 (-) をクリックして階層を閉じたりして、レイヤーおよびオブジェクトの階層表示を調整します。レイヤーの横にあるチェックボックスのオン/オフを切り替えて、[Package] ビューに表示されるものを選択します。チェックボックスがオンのレイヤーが表示されます。レイヤーのカテゴリのチェックボックスをクリックしてオブジェクトまたはレイヤーのグループの表示/非表示を切り替えるか、個々のレイヤーまたはオブジェクトのチェックボックスをクリックして個々の表示/非表示を切り替えることができます。

メモ： [Package] ビューで特定のピンが見えない場合は、[Package View Layers] ボタンをクリックしてそのピンとピンを含む I/O バンクの両方を確認します。


レイヤー スライドアウトには、[Show Search]、[Expand All]、[Collapse All] ボタンがあります。[Show Search] ボタンをクリックすると、レイヤーを検索できます。

レイヤーの表示/非表示を設定したら、[Package View Layers] ボタンをクリックしてレイヤー スライドアウトを閉じます。

複数の [Package] ビューの表示

複数の [Package] ビューを同時に開くこともできます。カーソルを [Package] ビュー上で移動すると、ビューの上と左に I/O ピンの座標が示されます。その他の I/O ピンおよびバンク情報は、PlanAhead メイン ウィンドウの下部にある情報バーに表示されます。[Package] ビューでは、アクティブ オブジェクトがハイライトされます。

[Package] ビューにカーソルを置くと、ツール ヒントにピン情報が表示されます。次の操作を実行できます。

- ポートおよび I/O バッファ インスタンスを [Package] ビューにドラッグし、インスタンスを I/O ピンに割り当てます。
- ピンおよび I/O バンクは、次のように表示されます。
 - VCC は赤色の正方形、GND ピンは緑色の正方形で表示されます。
 - クロック ピンは、六角形で表示されます。
 - ピン間の色が付いたエリアは、I/O バンクを示します。
- ピンまたはバンクをクリックして選択します。
- I/O ピンまたはバンクを選択すると、[Device] ビューでもハイライトされます。[Device] ビューで選択したピンまたは I/O バンクは、[Package] ビューでもハイライトされます。
- ツールバーの [Show Differential I/O pairs] ボタン  をクリックして、[Package] ビューに差動ピン ペアを表示します。

ツールバーの [Show Bottom View] または [Show Top View] ボタン  をクリックして、パッケージの上面または下面の表示に切り替えます。

[Package] ビューのツールバー ボタンは、ビューの左側に表示されます。

[Package] ビューの印刷

[File] → [Print] をクリックすると、[Package] ビューを印刷できます。このコマンドでは、現在表示されているエリアが印刷されます。[Package] ビュー全体を印刷するには、拡大率を変更して全体を表示してから印刷します。

[Schematic] ビュー

回路図は、どのレベルの論理階層または物理階層ビューに対しても表示できます。[Sources] ビューでプリミティブやネットなどのロジック エレメントを右クリックし、[Schematic] をクリックすると、選択したオブジェクトの回路図が表示されます。


[Schematic] ビューを使用すると、デザインのインターコネクトや階層構造を表示したり、RTL デザイン、合成済みネットリスト デザイン、またはインプリメント済みデザインの信号パスをトレースしたりできます。

- RTL ネットリストの解析については、第 6 章の「実行結果の解析」を参照してください。
- 合成済みネットリストの解析については、第 7 章「ネットリストの解析および制約の定義」を参照してください。

[Schematic] ビューでのロジックの選択

[Device] ビューで解析およびフロアプランするために、[Schematic] ビューで直接ロジックを選択できます。

[Schematic] ウィンドウを開くには、次の手順に従います。

1. 開いているビューで、1 つまたは複数のロジック エレメントを選択します。
2. 右クリックして [Schematic] をクリックするか、ツールバーの [Schematic] ボタン  をクリックします。

[Schematic] ビューには、選択したロジックのインスタンスまたはネットが表示されます。インスタンスを 1 つのみ選択している場合は、119 ページの図 4-36 に示すように、モジュールがすべてのピンと共に表示されます。

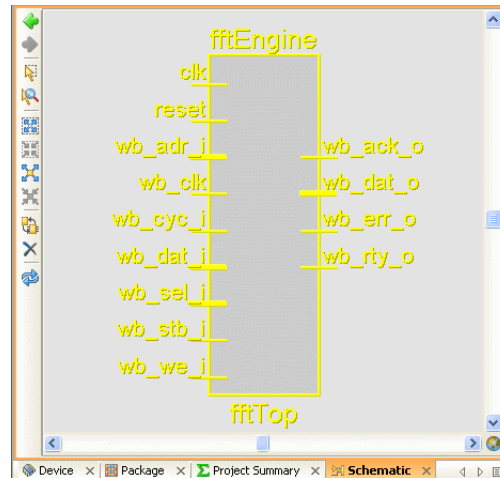



図 4-36 : [Schematic] ビュー

[Schematic] ビューでオブジェクトを選択すると、その他すべてのビューでも選択されます。インプリメント済みデザインが開いている場合は、ロジックおよびパスが [Device] ビューに表示されます。

[Schematic] ビューでのロジック階層の表示

[Schematic] ビューでは、図 4-37 に示すように、上位階層は同心の長方形として表示されます。

上位階層のピンは表示されず、回路図が見やすくなっています。選択したモジュールのモジュールピンを展開するには、次を実行します。

- ポップアップ メニューから [Toggle Autohide Pins] をクリックします。
- [Schematic] ビューのツールバーの [Toggle Autohide Pins for selected instance] ボタン  をクリックします。

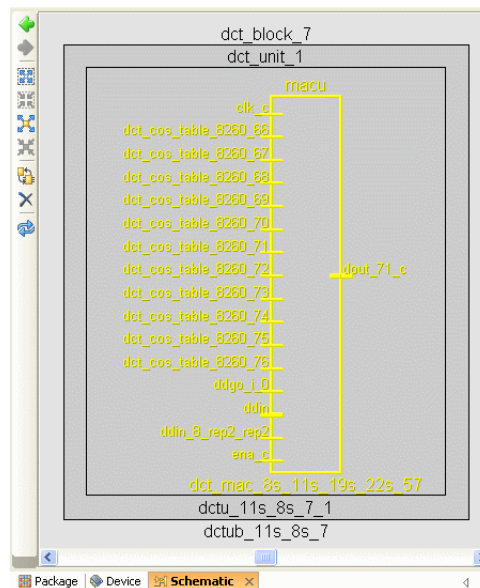


図 4-37 : [Schematic] ビューでの階層表示

選択したインスタンスおよびピンからのロジックの展開表示

回路図インスタンスまたはピンを選択すると、次の操作を実行できます。

- モジュール ピンおよびロジックを個別に展開または非展開します。
- 個々のピン、インスタンス、またはモジュール内外のロジック全体から、ロジックを選択して展開表示できます。

選択したモジュールに含まれるロジックまたはモジュールの次の上位階層に含まれるロジックを展開または非展開できます。1 つのモジュールまたは複数のモジュールを展開できます。回路図ロジックを展開するには、次を実行します。

- ポップアップ メニューから **[Expand Inside]** をクリックし、選択したインスタンスの回路図階層を表示します。選択したインスタンスの内容が展開され、**[Schematic]** ビューが更新されます。
 - 選択したインスタンスがデザイン階層内のプリミティブである場合は、このコマンドは使用できません。
 - ポップアップ メニューから **[Collapse Inside]** をクリックし、選択したインスタンスの回路図階層を非展開にします。
- ポップアップ メニューから **[Expand Outside]** をクリックし、選択したインスタンスの上位階層を表示します。選択したインスタンスの上位階層が展開され、**[Schematic]** ビューが更新されます。
 - 選択したインスタンスがデザイン階層の最上位である場合は、このコマンドをクリックしても何も起こりません。
 - ポップアップ メニューから **[Collapse Outside]** をクリックし、選択したインスタンスの上位階層を非展開にします。
- インスタンスのピンをダブルクリックし、ネット上の次のプリミティブ ロジック エレメントを表示します。
 - シンボル内のピンをダブルクリックし、ネットを階層に展開します。
 - シンボルの外のピンをダブルクリックし、ネットを外方向に展開します。
- バスを展開してすべてのビットを含めます。バスは、太いワイヤで表示されます。
- ポップアップ メニューから **[Expand Cone]** をクリックし、選択したピンまたはインスタンス、あるいは選択した 2 つのインスタンス間のロジックのコーンを表示します。**[Expand Cone]** コマンドには、次のサブコマンドがあります ([121 ページの図 4-38](#) を参照)。
 - **[To Flops]** : 最初のフリップフロップ、またはブロック RAM、FIFO、エンベデッド プロセッサなどの順次エレメントまでのロジックすべてを表示します。
 - **[To Primitives]** : 最初のプリミティブまでの出力ロジックすべてを表示します。この操作は、ピンをダブルクリックしたときのデフォルトです。
 - **[To IOs]** : I/O までの出力ロジックすべてを表示します。このコマンドをクリックすると、多数のロジックが表示される場合があります。ロジック レベルが 11 以上追加される場合、このコマンドをキャンセルできる警告メッセージが表示されます。
 - **[To Primitives]** : 最初のプリミティブまでの出力ロジックすべてを表示します。

ロジックは、階層の境界を越えて展開されることがあります。

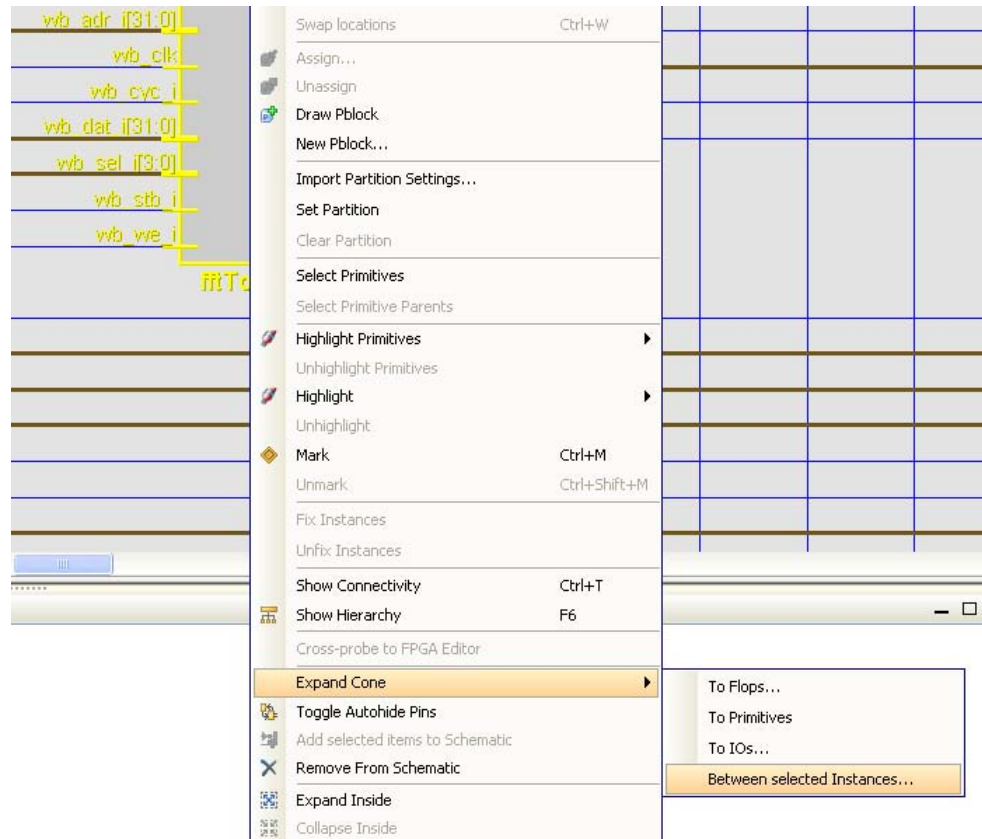



図 4-38 : ロジック コーンの展開

回路図での階層移動

階層インスタンスをダブルクリックすると、表示されているロジックが非展開され、選択されているモジュール内のロジックが展開されます。1 つ上のレベルの階層に移動するには、[Expand Outside] コマンドと [Collapse Inside] コマンドを使用します。

[Schematic] ビューの更新

階層を展開または非展開するコマンドを数回使用した後、[Schematic] ビューを更新する必要があります。[Schematic] ビューを強制的に更新するには、ツールバーの [Regenerate schematic] ボタン  をクリックします。このコマンドで [Schematic] ビューが更新されます。

[Schematic] ビューでのオブジェクトの選択


[Schematic] ビューでオブジェクトを選択するには、次を実行します。

- [Schematic] ビューでオブジェクトをクリックします。
- 複数のオブジェクトを選択するには、Ctrl キーを使用します。
- ツールバーの [Select Area] ボタンをクリックし、複数のインスタンス、ポート、ネットを囲む長方形を描画します。

[Schematic] ビューでインスタンスを選択すると、その他のビューでもそのインスタンスが選択されます。また、ほかのビューでオブジェクトを選択すると、[Schematic] ビューでも選択されます。

[Schematic] ビューを右クリックして表示されるポップアップメニュー コマンドは、[122 ページの「\[Schematic\] ビューのポップアップメニュー コマンド」](#)を参照してください。

[Schematic] ビューからのオブジェクトの削除

選択したオブジェクトおよびその接続を削除するには、[Schematic] ビューのツールバーで [Remove selected elements from schematic] ボタン  をクリックします。

[Schematic] ビューの印刷

[File] → [Print] をクリックすると、[Schematic] ビューを印刷できます。このコマンドでは、現在表示されているエリアが印刷されます。[Schematic] ビュー全体を印刷するには、拡大率を変更して全体を表示してから印刷します。

[Schematic] ビューのポップアップ メニュー コマンド

[Schematic] ビューでインスタンスおよびネットを選択し、操作を実行できます。[Schematic] ビューのポップアップ メニューには、次のコマンドがあります。

- [Expand Cone] : 最初のプリミティブ、フリップフロップ、または I/O までの入力ロジックすべてを展開します。
- [Toggle Autohide Pins] : 選択したモジュールのモジュール ピンの表示/非表示を切り替えます。
- [Remove From Schematic] : 選択したオブジェクトを回路図から削除します。
- [Expand Inside] : 選択したモジュール内のロジックを展開します。
- [Expand Outside] : 選択したモジュールの外側のロジックを展開します。展開されるのは、親モジュール ロジックのみです。
- [Collapse Inside] : 選択したモジュール内のロジックを非展開します。
- [Collapse Outside] : 選択したモジュールの外側のロジックすべてを非展開します。非展開されるのは、親モジュール ロジックのみです。
- [Select All Primitive in Schematic] : アクティブな回路図に表示されているプリミティブ ロジックを選択します。
- [Select Primitive Parents] : 選択したロジックの親ロジック モジュールをすべて選択します (インスタンスが選択されたときのみ使用可能)。

回路図デザイン情報の表示

[PlanAhead Options] ダイアログ ボックスの [Schematic] ページでは、ソース ピンにファンアウト値を、デスティネーション ピンにスラック値を表示するように設定できます。スラック値は、タイミング解析を実行しないと表示されません。

回路図ピンのスラック、ファンアウト、値の表示

[Tools] → [Options] をクリックして [PlanAhead Options] ダイアログ ボックスを表示し、左側のペインで [Schematic] をクリックします。

1. これらの値を表示するには、まず [Attribute Types] で [Pin] を設定します。
2. [Available Attributes] で表示する値を選択し、右方向矢印ボタンをクリックして [Displayed Attributes] に移動して、[OK] をクリックします。

123 ページの [図 4-39](#) に、[PlanAhead Options] ダイアログ ボックスを示します。

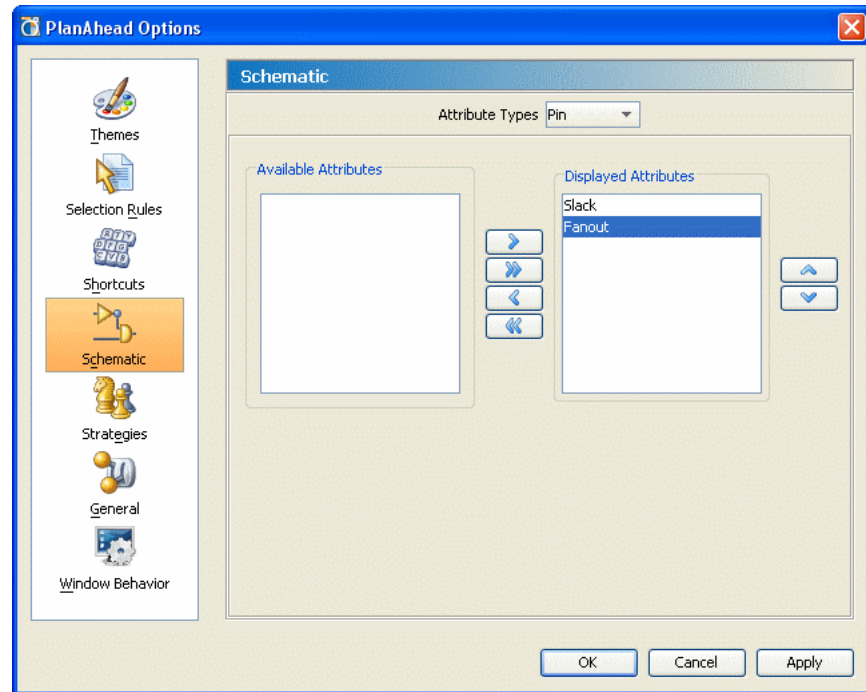


図 4-39 : [PlanAhead Options] ダイアログ ボックス : 回路図ピンのアノテーション

図 4-40 に、ピンに値を表示した例を示します。

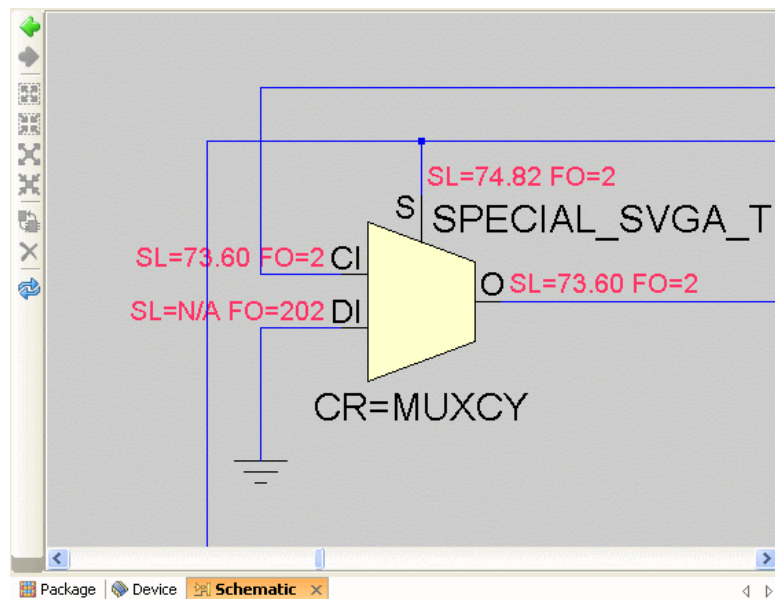


図 4-40 : [Schematic] ビューでのピンのスラック値およびファンアウト値の表示

インスタンスのセル リファレンスおよび式の表示

[PlanAhead Options] ダイアログ ボックスの [Schematic] ページで、インスタンスにセル リファレンスおよび式を表示するよう設定できます。

[Tools] → [Options] をクリックして [PlanAhead Options] ダイアログ ボックスを表示し、左側のペインで [Schematic] をクリックします。124 ページの図 4-41 に、[PlanAhead Options] ダイアログ ボックスの [Schematic] ページを示します。

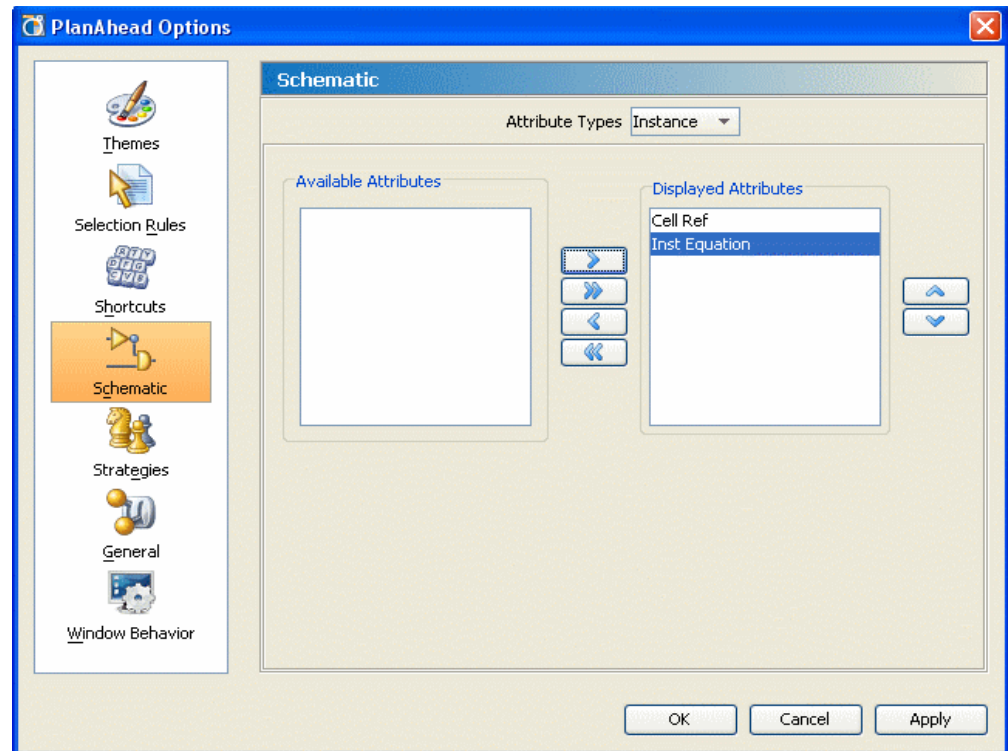


図 4-41：[PlanAhead Options] ダイアログ ボックス：回路図インスタンスのアノテーション

1. [Attribute Type] で [Instance] を選択します。
2. [Available Attributes] で表示する値を選択し、右方向矢印ボタンをクリックして [Displayed Attributes] に移動して、[OK] をクリックします (図 4-41 を参照)。図 4-42 に、インスタンスに値を表示した例を示します。

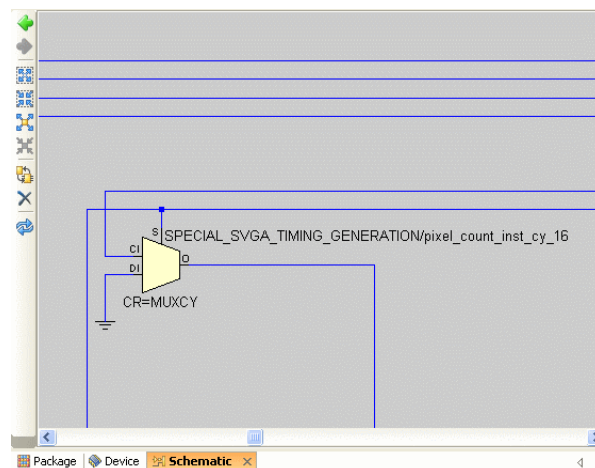


図 4-42：[Schematic] ビューでインスタンスに値を表示

[Schematic] ビューでのタイミング パス ロジックの表示

PlanAhead の [Timing Results] ビューでタイミング パスを選択し、[Schematic] ビューに表示できます。選択したパスまたはパス グループのオブジェクトはすべて、[図 4-43](#) に示すように、ロジック階層の境界およびインターコネクト ワイヤと共に表示されます。

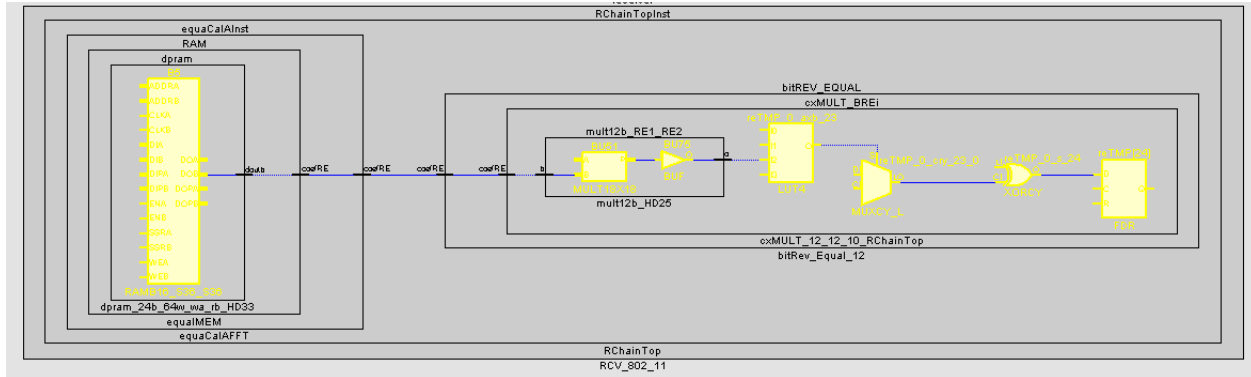


図 4-43 : [Schematic] ビューでのロジック階層

タイミングパスロジックの設定については、第7章「ネットリストの解析および制約の定義」および第11章「インプリメンテーション結果の解析」を参照してください。

メモ：TRACE (Timing Reporter and Circuit Evaluation) で生成された TWX (XML ファイル) または TWR (テキスト ファイル) フォーマットのタイミング レポートに含まれるパスで、インターコネクト ワイヤが表示されないことがあります。これは、ISE インプリメンテーションで最適化によりパスが削除されたからです。[Schematic] ビューには、選択されたパスに含まれている実際のオブジェクトがすべて表示されますが、最適化でオブジェクトが削除された場合、PlanAhead では接続を補間できません。[Schematic] ビューと [Path Properties] ビューを使用すると、パスの接続を簡単にトレースできます。通常は、回路図はパスの方向が簡単にわかるように描画されています。詳細は、[203 ページの「タイミング結果の解析」](#)を参照してください。

[Properties] ビュー

[Properties] ビューには、選択したロジック オブジェクトまたはデバイス リソースに関する情報が表示されます。オブジェクトを選択すると、そのプロパティが自動的に [Properties] ビューに表示されます。デフォルトでは、このビューは新しいアイテムを選択すると自動的に更新されます。

[Properties] ビューを開く

[Properties] ビューを表示するには、オブジェクトを右クリックし、[Object-type Properties] をクリックします。

オブジェクトには、複数のプロパティ タイプがある場合があります。さまざまなタイプの情報をグループ化して表示するため、[Properties] ビューの下部にはタブがあります。126 ページの図 4-44 に示すように、タブを切り替えて選択したオブジェクトに関する情報を表示または変更します。

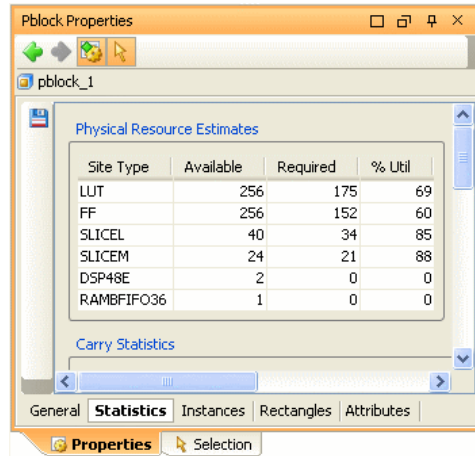




図 4-44 : [Properties] ビューとそのタブ


[Properties] ビューのコマンド


[Properties] ウィンドウのツールバーには、次のコマンドがあります。


[Previous object] : 前に表示されていた [Properties] ビューに戻ります。 


[Next object] : 次に表示されていた [Properties] ビューに戻ります。このツールバー ボタンは、[Previous object] ボタンを使用した後のみ使用可能です。 


[Automatically update the contents of this window when new objects are selected] : 新しいオブジェクトを選択したときに、[Properties] ビューを自動的に更新するか、または元のオブジェクトを表示したままにするかを切り替えます。 

[Add pre-defined attributes] : 選択したオブジェクトに新しい属性を追加します。一部のオブジェクト タイプおよびビュー ペインでのみ使用できます。 

[Delete] : [Properties] ビューのタブから属性またはオブジェクトを削除します。一部のオブジェクト タイプおよびビュー ペインでのみ使用できます。 

[Export statistics] : 統計を後で解析できるようにファイルに保存します。Pblock、クロック領域、およびインスタンスの [Properties] ビューの [Statistics] タブにのみ使用されます。 

[Select/Unselect object] : [Properties] ビューに表示されているオブジェクトの選択または選択解除します。 

[Group by type] : 選択したアイテムをタイプ別にグループ化します。 

[Netlist] ビュー

RTL および合成済みネットリストは、ロジック デザインを階層的に表現したもので、最上位ネットリスト名の下には、最上位モジュールが含まれています。

[Netlist] ビューには、デザインに含まれるロジック インスタンスおよびネットが表示されます。ネットリストは、ロジック ツリーの階層を展開または非展開することでナビゲートできます。スクロール バーを使用すると、ネットリスト ツリー全体を表示できます。

デフォルトでは、ほかのビューでネットリスト オブジェクトを選択すると、そのオブジェクトを表示するために、ネットリスト ツリーはダイナミックに展開およびスクロールされます。この設定を無効にするには、このウィンドウの [Automatically scroll to selected objects] ボタンをクリックします。図 4-45 に、[Netlist] ビューを示します。

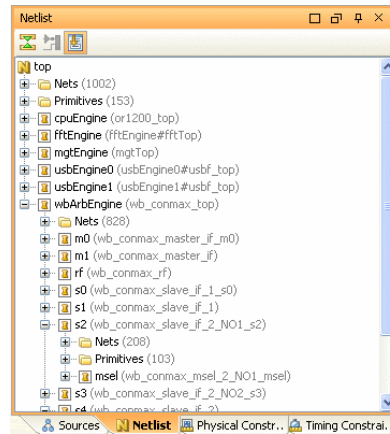



図 4-45 : [Netlist] ビュー

ネットリスト ツリーの非展開

[Netlist] ビューのツールバーの [Collapse All] ボタン  をクリックすると、ネットリスト ツリーすべてを閉じることができます。詳細は、101 ページの「ビュー特定のツールバー コマンド」を参照してください。ネットリスト ツリーを閉じると、最上位ロジック モジュールのみが表示されます。

[Primitives] フォルダーの使用

モジュールにプリミティブ ロジック含まれている場合、プリミティブ ロジックは [Primitives] フォルダーに含められます。これにより、[Netlist] ビューのモジュールの表示が簡略化されたものになります (図 4-46 を参照)。

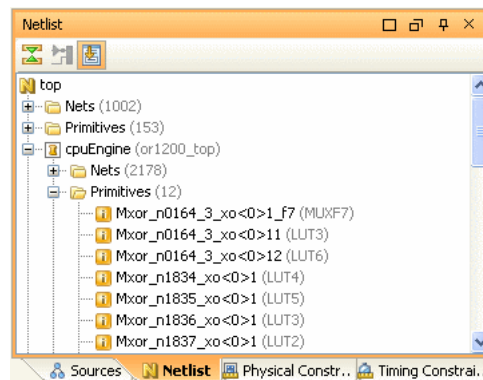


図 4-46 : [Netlist] ビューの [Primitives] フォルダー

Pblock に直接 [Primitives] フォルダーを割り当てると、すべてのプリミティブが割り当てられます。

メモ：ネットリストを更新する際、ロジック名が再合成で変更されている可能性があるので、Pblock に [Primitive] フォルダーを割り当て直す必要がある場合があります。

[Nets] フォルダの使用

[Nets] フォルダには、階層に含まれるすべてのネットおよびバスが含まれています。バスを展開すると、128 ページの図 4-47 に示すように、個々のビットを表示できます。

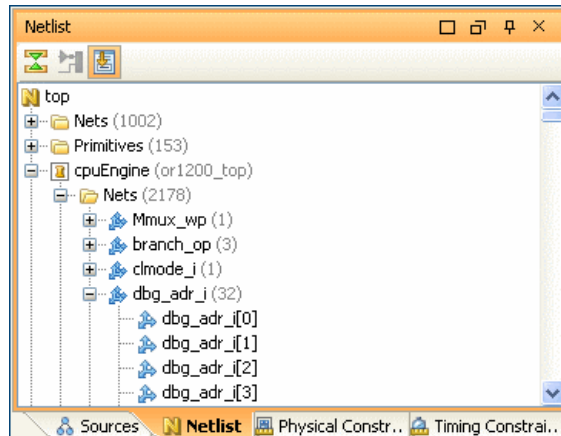


図 4-47：[Netlist] ビューの [Nets] フォルダ

ネットを選択すると、[Device] ビューでそのネットがハイライトされ、バスを選択すると、そのバスに含まれるすべてのネットがハイライトされます。ネットは、[Schematic] ビューで表示できます。

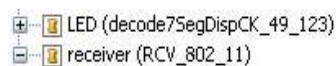
ポップアップ メニューの [Add to ChipScope Unassigned nets] コマンドを使用して、ChipScope ツールでのデバッグ テスト用にネットを選択できます。詳細は、第 12 章の「デバッグ コアへのネットの接続および接続解除」を参照してください。

[Netlist] ビューのアイコン

ネットリスト ロジックのステートを示すため、アイコンが使用されます。

階層ネットリスト モジュール

階層ネットリスト モジュールまたはインスタンスは、次のように黄色の文字 I を含むアイコンで表示されます。



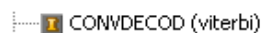
Pblock に割り当てられた階層ネットリスト モジュール

Pblock に割り当てられた階層ネットリスト モジュールまたはインスタンスは、次の図に示すように、青色のチェック マークを含むアイコンで表示されます。



ブラック ボックス モジュール

ネットリストが関連付けられていないモジュールは、次の図に示すように、黄色の英文字 I を含むグレーのアイコンで表示されます。これは、プロジェクト生成時に検索パスが指定されていなかったか、またはデザインの一部が不足しているために発生したと考えられます。



パーティション モジュール

[Set Partition] ポップアップ メニュー コマンドを使用してパーティションとして設定されたモジュールは、次の図のように表示されます。



パーシャル リコンフィギュレーション パーティション モジュール

[Set Partition] ポップアップ メニュー コマンドを使用してパーティションとして設定されており、PlanAhead パーシャル リコンフィギュレーション プロジェクトに含まれるモジュールは、次の図のように表示されます。

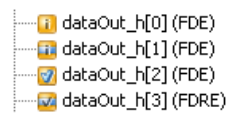


プリミティブ ロジックのインスタンス

プリミティブ ロジックのインスタンスは、次のように表示されます。

- 配置制約のないインスタンスは、黄色の長方形の中に英文字 **i** が表示されたアイコンで示されます。
- 配置制約が設定されたインスタンスは、青い横線の付いた黄色の長方形のアイコンで示されます。
- **Pblock** に割り当てられているインスタンスは、黄色の長方形に青色のチェック マークが付いたアイコンで示されます。
- 配置制約が設定され、**Pblock** に割り当てられたインスタンスは、黄色の長方形にチェック マークと青色の横線が付いたアイコンで示されます。

また、ロジックのタイプも示されます。



[Netlist] ビューでのロジックの選択

インスタンスを選択して、メニュー、ツールバー、または右クリックで表示されるポップアップ メニューからコマンドを適用できます。

Shift キーまたは Ctrl キーを使用すると、[Netlist] ビューで複数のエレメントを選択でき、複数のエレメントに対してコマンドを実行できます。選択されたロジックは、[Netlist] ビューでハイライトされます。

PlanAhead でほかの方法を使用して選択されたロジックも、[Netlist] ビューで選択されます。選択したロジックすべてが表示されるよう、ネットリスト ツリーが自動的に展開されます。選択したロジックをすべて表示するため、ツリーをスクロールする必要がある場合があります。ネットリスト ツリーを非展開にしても、ロジックの選択は解除されません。

[Hierarchy] ビュー

[Hierarchy] ビューは、ロジック階層をグラフィカルに表示します。選択したモジュール間の関係や、相対的なサイズなどを確認できます。このビューは、主にデザイン解析およびフロアプランで使用します。タイミング パスがロジック階層をどのように移動するのか、またはフロアプランする前にモジュールの大きさを確認すると便利です。

[Hierarchy] ビューには、エラボレートされた RTL デザインまたは合成済みネットリスト デザインの両方のロジック階層をグラフィカルに表示できます。デザインを上位から下位に表示することで、デザイン内のモジュール サイズと位置を識別できます。

[Hierarchy] ビューは、ポップアップ メニューから [Show Hierarchy] をクリックすると開きます。130 ページの図 4-48 に、[Hierarchy] ビューを示します。

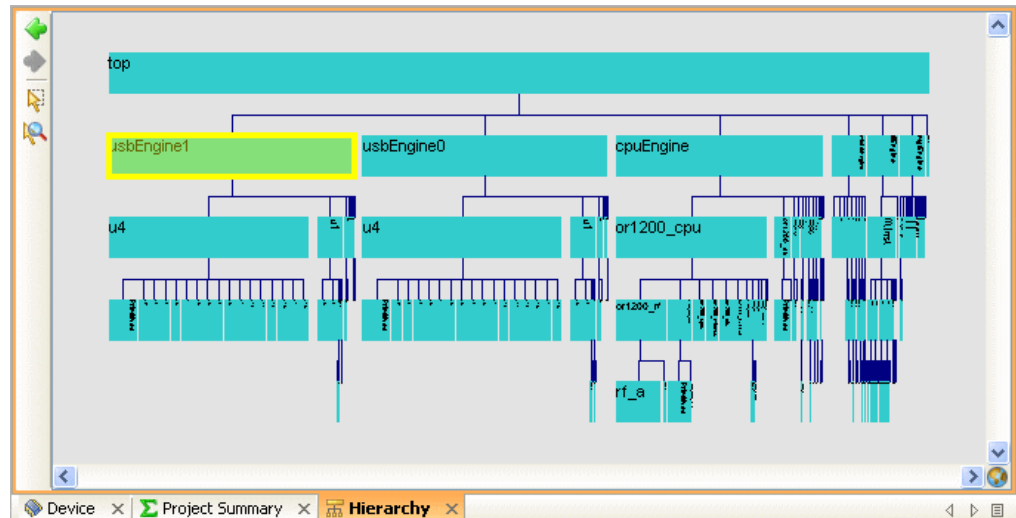


図 4-48 : [Hierarchy] ビュー

[Hierarchy] ビューには、階層インスタンスのみが表示されます。プリミティブ ロジックはフォルダー内にグループ化され、サブモジュールとして表示されます。プリミティブ ロジック フォルダーの詳細は、126 ページの「[Netlist] ビュー」を参照してください。[Hierarchy] ビューのブロックの幅は、ブロック内の FPGA リソースに基づいています。

ロジックを選択するとハイライトされるので、クリティカル ロジックがデザインのどこに存在するかを確認できます。モジュールは、図 4-49 に示すように、選択されたロジックの量に応じてハイライトされます。

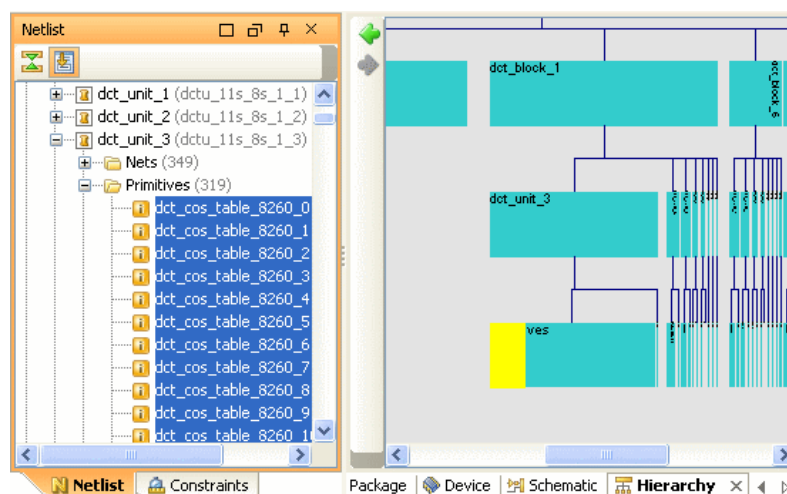


図 4-49 : モジュール内で選択されたロジックの割合の表示

[Hierarchy] ビューでモジュールをダブルクリックすると、サブモジュールのサブ階層も表示されます。

Pblock を割り当てるためロジックの親モジュールを選択するには、[Select Primitive Parents] コマンドをクリックします。

[I/O Ports] ビュー

[I/O Ports] ビューは、[Package] ビューまたは [Device] ビューで IP ポートを作成、設定、または I/O サイトに配置する際に使用します。[I/O Ports] ビューには、デザインで定義されている I/O 信号のポートが表示されます。

I/O ポートの作成

I/O 配置プロジェクトでは、ポートを手動で作成するか、CSV や UCF ファイルからポート リストをインポートして作成できます。

RTL ヘッダー、RTL ソース、または合成済みネットリストのプロジェクト作成すると、[I/O Ports] ビューにデザインで定義されている I/O ポートが自動的に表示されます。

[I/O Ports] ビューを表示するには、[Window] → [I/O Ports] をクリックします。図 4-50 に、[I/O Ports] ビューを示します。

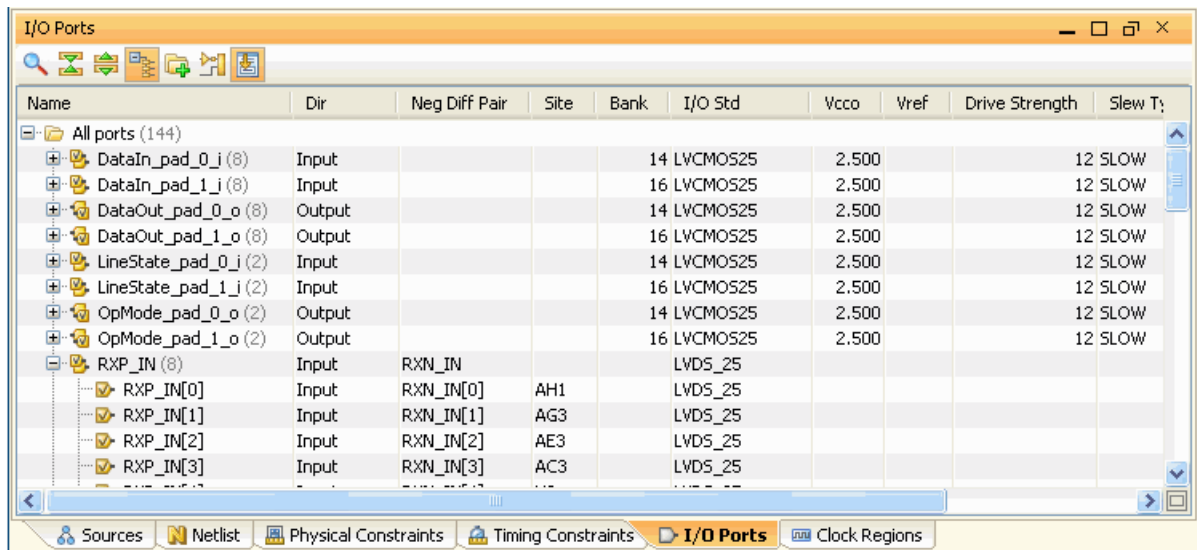



図 4-50 : [I/O Ports] ビュー

[I/O Ports] ビューには、次の機能があります。

- 各 I/O ポートに対してポートの信号名、方向、パッケージ ピン、バンク、I/O 規格、駆動電流、差動ペア、スルー タイプ、電圧要件、およびその他の信号情報を表示します。
- 表の値は、デフォルト値の場合は黒色、デフォルト値でない場合はアスタリスク (*) の付いた黒色、無効な値や未定義の値は赤色で表示されます。
- 編集可能な値を含むセルは、値をテキストで入力するか、ドロップダウン リストから選択すると、[I/O Ports] ビューで直接変更できます。
- バスは展開可能なフォルダーにまとめられており、解析、設定、割り当てで 1 つのオブジェクトとして選択できます。

[I/O Ports] ビューのコマンド

ツールバーの [Group by Interface and Bus] ボタン  をクリックすると、ポートをインターフェイスごとに表示するか、アルファベット順にリストするかを切り替えることができます。

次の操作を実行できます。

- ツールバーまたはポップアップ メニューの [Create I/O Ports] をクリックして、I/O 配置プロジェクトに I/O ポートを作成します。
- [Dir] 列で [Input]、[Output]、または [In/Out] を指定することにより、ポートの方向を指定します。
- 複数のポートを選択し、ツールバーまたはポップアップ メニューの [Create I/O Port Interface] ボタンをクリックして、インターフェイスにグループ化します。これらのインターフェイスは、I/O Planning ビュー レイアウトで 1 つのオブジェクトとして選択し、配置できます。
- ツールバーの [Schematic] ボタンをクリックし、選択した I/O ポートの回路図を開きます。

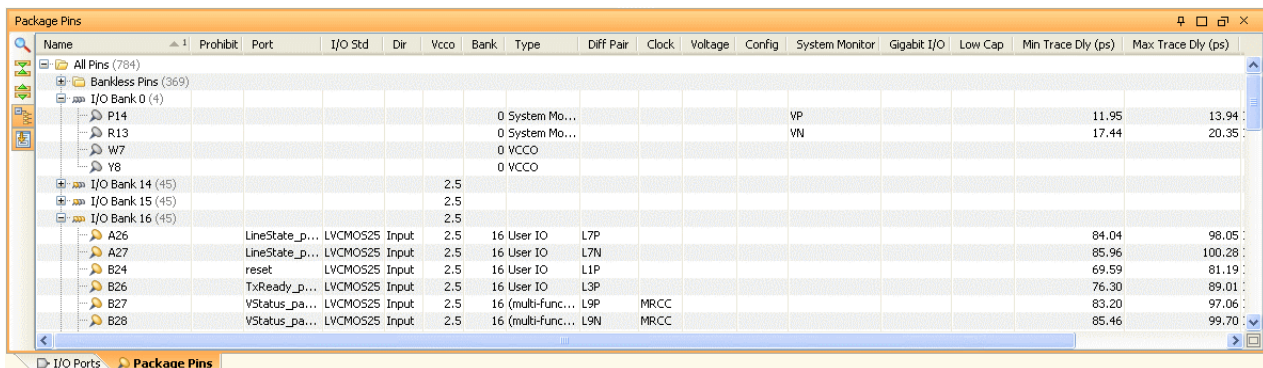
[I/O Ports] ビューでポートおよびインターフェイスを選択し、I/O Planning ビュー レイアウトを使用して割り当てることができます。ツリー形式のビューの使用については、[99 ページの「ツリー形式のビュー」](#)を参照してください。

[Package Pins] ビュー

[Package Pins] ビューには、I/O に関連したパッケージ情報が表示されます。I/O ピンおよび I/O ポート情報を解析するため、さまざまな方法で並び替えたりフィルターを適用したりできます。

[Package Pins] ビューを開く

[Package Pins] ビューを表示するには、[Window] → [Package Pins] をクリックします。[図 4-51](#) に、[Package Pins] ビューを示します。



Name	Prohibit	Port	I/O Std	Dir	Vcco	Bank	Type	Diff Pair	Clock	Voltage	Config	System Monitor	Gigabit I/O	Low Cap	Min Trace Dly (ps)	Max Trace Dly (ps)
All Pins (784)																
Bankless Pins (369)																
I/O Bank 0 (4)																
P14							0 System Mo...				VP				11.95	13.94
R13							0 System Mo...				VN				17.44	20.35
W7							0 VCCO									
Y8							0 VCCO									
I/O Bank 14 (45)																
I/O Bank 15 (45)																
I/O Bank 16 (45)																
A26			LineState_p...	LVCMS025	Input	2.5	16 User IO	L7P							84.04	98.05
A27			LineState_p...	LVCMS025	Input	2.5	16 User IO	L7N							85.96	100.28
B24			reset	LVCMS025	Input	2.5	16 User IO	L1P							69.59	81.19
B26			TxReady_p...	LVCMS025	Input	2.5	16 User IO	L3P							76.30	89.01
B27			VStatus_pa...	LVCMS025	Input	2.5	16 (multi-Func...	L9P	MRCC						83.20	97.06
B28			VStatus_pa...	LVCMS025	Input	2.5	16 (multi-Func...	L9N	MRCC						85.46	99.70

図 4-51：[Package Pins] ビュー


各パッケージ ピンについて、I/O バンク番号、タイプ、差動ペア、サイト タイプ、最小/最大パッケージ遅延などのデバイス ピン情報がリストされます。

表の値は、次のように表示されます。

- デフォルト値はグレーで表示されます。
- デフォルト以外の値は黒色で表示されます。
- 不正な値は赤色で表示されます。

メモ：最小/最大パッケージ遅延は、ピコ秒 (ps) で示されます。

[Package Pins] ビューの情報は、列のヘッダーをクリックすると並べ替えることができます。列ヘッダーをもう 1 度クリックすると、並べ替え順が逆になります。ある列を基準に並べ替えた後で **Ctrl** キーを押しながら別の列ヘッダーをクリックすると、次にその列を基準に並べ替えられます。


リストの表示順を整えるために、さまざまな並び替え条件を選択できます。[Group by I/O Bank]  をクリックして [Package Pins] ビューのリストでのグループ化を解除している場合、並べ替えにより表を見やすくなります。

詳細は、99 ページの「ツリー表形式のビュー」を参照してください。

編集可能な値を含むセルは、値をテキストで入力するか、ドロップダウン リストから選択すると、[Package Pins] ビューで直接変更できます。

[Package Pins] ビューのコマンド

ツールバー コマンドの詳細は、101 ページの「ビュー特定のツールバー コマンド」を参照してください。

ツールバーの [Group by I/O Bank] ボタン  をクリックすると、ピンを I/O バンクごとに表示するか、アルファベット順にリスとするかを切り替えることができます。

[Design Runs] ビュー

[Design Runs] ビューは、合成およびインプリメンテーション実行を表示、設定、起動、および解析するために使用します。

実行を作成、起動、またはインポートすると、そのステータスが [Design Runs] ビューに表示されます。パーシャル リコンフィギュレーションフローでは、[Design Runs] ビューを活用して、さまざまなデザイン コンフィギュレーションを作成および管理します。

[Design Runs] ビューを開く

[Design Runs] ビューを開くには、[Windows] → [Design Runs] をクリックします。図 4-52 に、[Design Runs] ビューを示します。

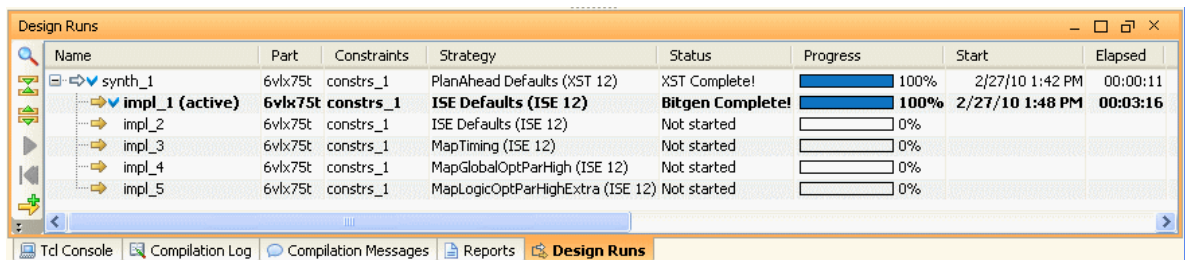


図 4-52 : [Design Runs] ビュー

このビューでは、定義された実行のステータスや結果が表示され、実行の変更、インポート、起動、管理のためのコマンドを実行できます。また、合成およびインプリメンテーション実行の管理とレポートにもこのビューを使用します。実行は次のように表示されます。

- 現在実行中の実行には、緑色の矢印アイコンが表示されます。
- 完了した実行には、青色のチェック マークが表示されます。

コマンドを実行すると、実行に関する情報が表示されます。実行中の実行に影響を与えずに、PlanAhead ソフトウェアを閉じることができます。プロジェクトを次に開いたときに、実行のステータスがアップデートされ、[Design Runs] ビューに表示されます。

[Design Runs] ビューの表には、次の列があります。

- [Name] : 実行名を表示します。
- [Part] : 実行に選択されているデバイスを表示します。
- [Constraints] : 実行に使用された制約セットを表示します。
- [Strategy] : 実行に使用されたストラテジを表示します。アスタリスク (*) の付いているストラテジは、コマンド オプション値が [Run Properties] ビューの [Options] タブで変更されていることを示します。
- [Status] : 実行のステータスまたは現在実行中のコマンドを示します。
- [Progress] : NGDBuild から XDL までの ISE コマンド シーケンスの進行状況を示します。進行状況バーは実際にかかる時間の割合に必ずしも対応しておらず、ほかの段階より大幅に時間のかかる段階もあります。
- [Start] : ISE によりデザインの処理が開始された時間を示します。
- [Elapsed] : デザインに ISE コマンドが実行され始めてからの経過時間を示します。
- [Util (%)] : LUT の使用率を示します。合成実行に対してのみ表示されます。
- [Fmax (MHz)] : XST 合成レポートからの予測されるクロック周波数を示します。合成実行に対してのみ表示されます。
- [Timing Score] : 進行中または完了した実行の現在のタイミング スコアを示します。インプリメンテーションに対してのみ表示されます。
- [Unrouted] : 進行中または完了した実行の未配線ネットの数を示します。インプリメンテーションに対してのみ表示されます。
- [Description] : 実行の説明を示します。ストラテジを実行に適用したときに記述されたものですが、後で修正できます。

この表は、実行が進行すると随時更新されます。PlanAhead で生成されたスクリプトを使用し、PlanAhead 環境外で起動される実行は、PlanAhead を起動したときに更新されます。

[Design Runs] ビューのポップアップ メニュー コマンド

[Design Runs] ビューを右クリックして表示されるポップアップ メニューには、次のコマンドがあります。

- [Synthesis Run Properties]/[Implementation Run Properties] : [Run Properties] ビューを表示します。
- [Delete] : 選択した実行を削除します。削除する前に、削除を確認するメッセージが表示されます。
- [Make active] : 選択した実行をアクティブにします。[Implement] を実行したときに、この実行が起動されます。アクティブ実行の結果は、[Messages]、[Compilation]、[Reports]、および [Project Summary] ビューに表示されます。
- [Save As Strategy] : ストラテジへの変更を新しいストラテジ ファイルに保存します。
- [Launch Runs] : [Launch Runs] ダイアログボックスを開き、選択した実行を起動します。
- [Reset Runs] : [Reset Runs] ダイアログボックスが開き、前回の実行結果を削除し、実行ステータスを [Not Started] に戻します。

- **[Open Implemented Design]** : 合成により生成されたネットリストまたは ISE からインプリメンテーションの結果を PlanAhead の解析環境に読み込みます。読み込まれている実行は、**[Design Runs]** ビューに太字で示されます。
- **[Generate Bitstream]** : **[Generate Bitstream]** ダイアログ ボックスを開き、ビットストリームを作成します。このコマンドは、完了したインプリメンテーション実行に対してのみ使用可能です。
- **[Copy Run]** : 選択した実行と同じストラテジを使用して新しい実行を作成します。
- **[Create Multiple Runs]** : **[Create Multiple Runs]** ダイアログ ボックスを開き、複数の実行を作成および設定します。
- **[Open Run Directory]** : ディスクの選択した実行ディレクトリをファイル ブラウザーで開きます。
- **[Promote Partitions]** : **[Promote Partitions]** ダイアログ ボックスを開き、インプリメントされたパーティションを保持するためプロモートします。
- **[Launch FPGA Editor]** : FPGA Editor で現在のインプリメント済みデザインを開きます。
- **[Launch ChipScope Analyzer]** : ChipScope Analyzer を現在の BIT ファイルで起動します。
- **[Launch iMPACT]** : iMPACT を現在の BIT ファイルで起動します。
- **[Launch XPower Analyzer]** : XPower Analyzer で現在のインプリメント済みデザインを開きます。

ビュー環境の設定と保存

PlanAhead には、ユーザー設定可能な表示オプションが多数あります。ツールはデフォルト設定で提供されていますが、これをカスタマイズできます。

ビュー レイアウトは、次回 PlanAhead を使用するときに戻元できるよう保存できます。Project Manager、I/O Planning、および Design Analysis ビュー レイアウトが個別に保存されます。PlanAhead のウィンドウ サイズおよび位置は、レイアウト ファイルに保存され、次の使用時に復元されます。この表示設定は、PlanAhead を閉じるときにホーム ディレクトリに保存されます。表示設定「テーマ」とビュー レイアウトを、次回 PlanAhead を使用するときに戻元できます。このファイルの場所およびフォーマットの詳細は、[付録 A の「PlanAhead の入力ファイルおよび出力ファイル」](#)を参照してください。

PlanAhead の表示オプションのカスタマイズ

ビューの表示オプションを変更すると、環境の表示や動作を制御できます。

表示オプションを表示または編集するには、**[Tools]** → **[Options]** をクリックし、左側のペインで **[Theme]** をクリックします。オプションを変更して **[OK]** または **[Apply]** をクリックすると、変更が反映されます。**[Cancel]** をクリックすると、変更は反映されません。

[Themes] ページでは、全般的な環境を制御する設定を表示および変更できます。**[Themes]** ページの **[General]**、**[Device]**、**[I/Os]**、および **[Bundle Nets]** タブをクリックして、表示設定を変更できます。[136 ページの図 4-53](#) に、**[General]** タブを開いたところを示します。

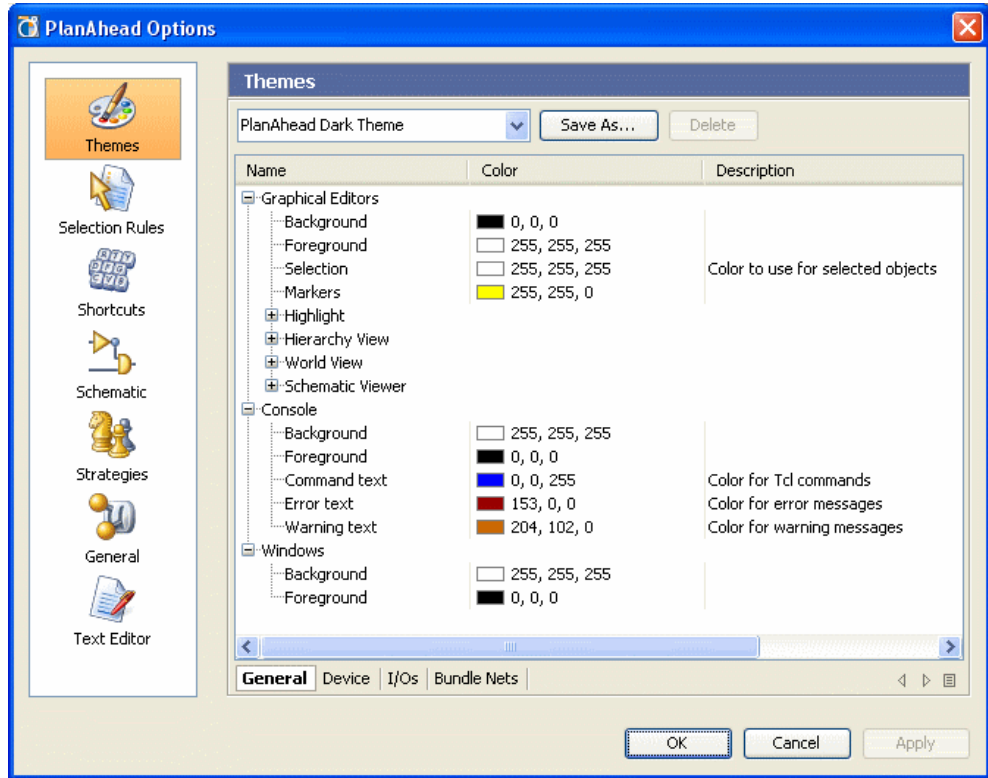


図 4-53 : [PlanAhead Options] ダイアログ ボックスの [Theme] ページの [General] タブ

表 4-1 に、各タブについて説明します。

表 4-1 : [PlanAhead Options] ダイアログ ボックスの [Theme] ページのタブ

タブ	オプション
共通のオプション選択の動作	<ul style="list-style-type: none"> [Display] 列のチェック ボックスをオフにすると、そのオブジェクト タイプが非表示になります。 [Select] 列のチェックボックスをオフにすると、そのオブジェクト タイプを選択できなくなります。[Display] がオンであれば、オブジェクトは表示されます。 <p>メモ : オブジェクトのタイプによっては、[Frame Color] および [Fill Color] が設定できないものもあります。オブジェクトにはデバイス特定のものがああり、それ以外のデバイスでは表示オプションは無効になります。</p>
General	[Color] 列をクリックするとフィールドがプルダウン メニューに切り替わり、プルダウンの矢印をクリックして色を選択できます。
Device	[Device] ビューでの各オブジェクト タイプのデフォルト色、表示/非表示、選択可/不可を設定します。チェック ボックスのオン/オフを切り替えて、適切なオプションを設定します。
I/Os	[Package] ビューでの各オブジェクト タイプのデフォルト色、表示/非表示、選択可/不可を設定します。
Bundle Nets	表示されるバンドル ネットの特徴を設定します。[From] および [To] 列を使用して、バンドルの信号数の範囲を指定します。各行でバンドル ネットの範囲を個別に設定します。[Device] ビューに表示されるバンドルの線の幅は、[Width] 列でバンドル ネットごとに設定できます。

[Schematic] ビューでのスラックおよびファンアウトの表示オプション

[Schematic] ページでは、ソース ピンにファンアウト値を、デスティネーション ピンにスラック値を表示するように設定できます。詳細は、[122 ページの「\[Schematic\] ビューのポップアップメニュー コマンド」](#)を参照してください。

ツールバー コマンドを使用した表示の調整

[図 4-54](#) に示す [Device] ビュー ツールバーまたはメイン ツールバーのボタンを使用して、表示を変更することもできます。一部のボタンは、特定のオブジェクト タイプが表示されている場合にのみ使用可能です。ツール ヒントは、すべてのツール ボタンに対して表示されます。

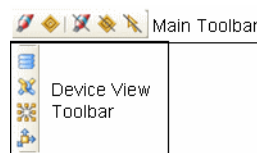


図 4-54 : 表示を制御するツールバーのボタン

テーマの選択

PlanAhead には、淡色と濃色の両方のデフォルト背景設定があります。[Themes] ページの上部にあるプルダウン メニューで、[PlanAhead Light Theme] または [PlanAhead Dark Theme] のいずれかを選択します。

これらのデフォルト オプションは、planahead.ini ファイルに定義されています。詳細は、[381 ページの「入力ファイル」](#)を参照してください。

カスタム テーマの作成および使用

カスタム ビュー設定を保存して PlanAhead の初期化ファイルを作成し、以後のセッションで使用できます。これには、[Themes] ページ上部のプルダウン メニューの横にある [Save As] ボタンをクリックします ([図 4-55](#) を参照)。

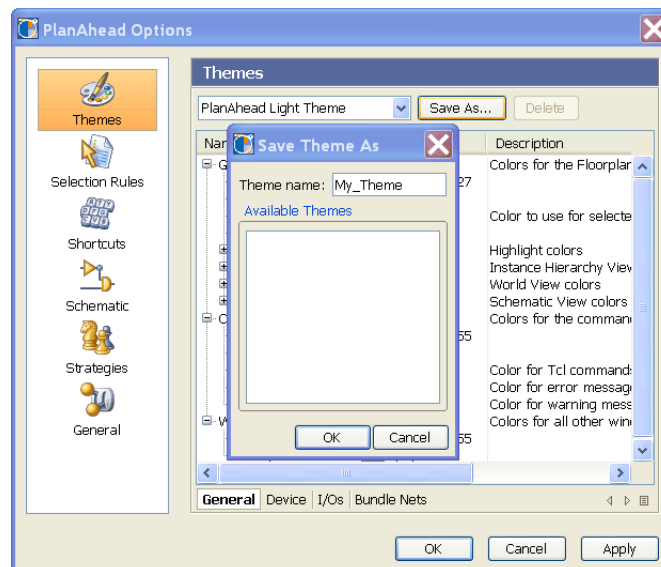


図 4-55 : カスタム テーマの作成

カスタム テーマを作成する場合は、カスタム設定が保存されている初期化ファイルのバックアップを作成することをお勧めします。デフォルトおよびカスタムの初期化ファイルについては、[387 ページ](#)の「ウィンドウ表示オプション ファイル (planAhead.ini と theme_names.patheme)」を参照してください。

ビューの移動

複数のビューを、同じ表示エリア内で上下または左右に並べて表示できます。表示エリアを分割するには、ビュー タブをドラッグします。

アウトラインが表示され、ビューがどこに表示されるかがわかります。ドラッグしてアウトラインを移動しながら、ビューの移動先を決定します。

ビューを移動して表示エリアを分割するには、次の手順に従います。

1. タブをクリックします。
2. タブを移動先にドラッグします。グレーのアウトラインで移動場所を確認できます。
3. 移動先でマウスを放します。

ビューを元の位置に戻すには、[Layout] → [Undo] をクリックするか、上記の手順を繰り返します。

[Constraints] ビューを [Properties] ビューの位置に移動するなど、ビューをまったく別のエリアに移動するには、移動するビューのタブを移動先のエリアのバナーにドラッグします。

手順は次のとおりです。

1. タブをクリックします。
2. 移動先のエリアのバナーにドラッグします。
3. ドロップしてビューとタブを配置します。

ビュー レイアウトの作成と使用

PlanAhead では、I/O Planning ビュー レイアウトや Design Analysis ビュー レイアウトなど、特定のデザイン タスクを完了するために設定されたビュー レイアウトが提供されています。これらのビュー レイアウトでは、そのデザイン タスクで頻繁に使用されるビューの位置およびサイズがあらかじめ定義されています。

必要に応じてビューを移動したりサイズを変更した場合、そのビュー レイアウトを保存できます。ビュー レイアウトを保存するには、[Layout] → [Save Layout As] をクリックします。ユーザー定義のビュー レイアウトは、すべてのデザイン プロジェクトで使用できます。メイン メニューのユーザー定義のビュー レイアウトは、ビュー レイアウト セレクターのドロップダウン メニューから選択できます。

ユーザー定義のビュー レイアウトを削除するには、[Layout] → [Remove Layout] コマンドを使用します。このコマンドをクリックすると、ユーザー定義のビュー レイアウトがサブメニューで表示されます。このサブメニューから削除するレイアウトをクリックすると、削除を確認するダイアログ ボックスが表示されます。

また、ビューを移動したりサイズ変更した後、[Layout] → [Reset Layout] をクリックすると元のビュー レイアウトに戻すことができます。

[Undo]/[Redo] コマンドの使用

[Layout] → [Undo] をクリックすると、ビュー操作を取り消すことができます。取り消した操作をもう一度実行するには、[Layout] → [Redo] をクリックします。

PlanAhead の動作の設定

PlanAhead ソフトウェアの設定オプションには、選択規則、ショートカット キー、一般設定、およびウィンドウ設定があります。次のセクションで、設定オプションについて説明します。

PlanAhead の全般的なオプションの設定

PlanAhead ソフトウェアのオプションを設定するには、[Tools] → [Options] をクリックします。[PlanAhead Options] ダイアログ ボックスが開き、PlanAhead のアプリケーションとしての動作を設定できます。

これらのオプションには [Project Settings] ダイアログ ボックスのオプションと重複しているものもありますが、[Project Settings] ダイアログ ボックスのオプションはそのプロジェクトにのみ適用されます。詳細は、72 ページの「プロジェクト設定」を参照してください。

図 4-56 に、[PlanAhead Options] ダイアログ ボックスの [General] ページを示します。

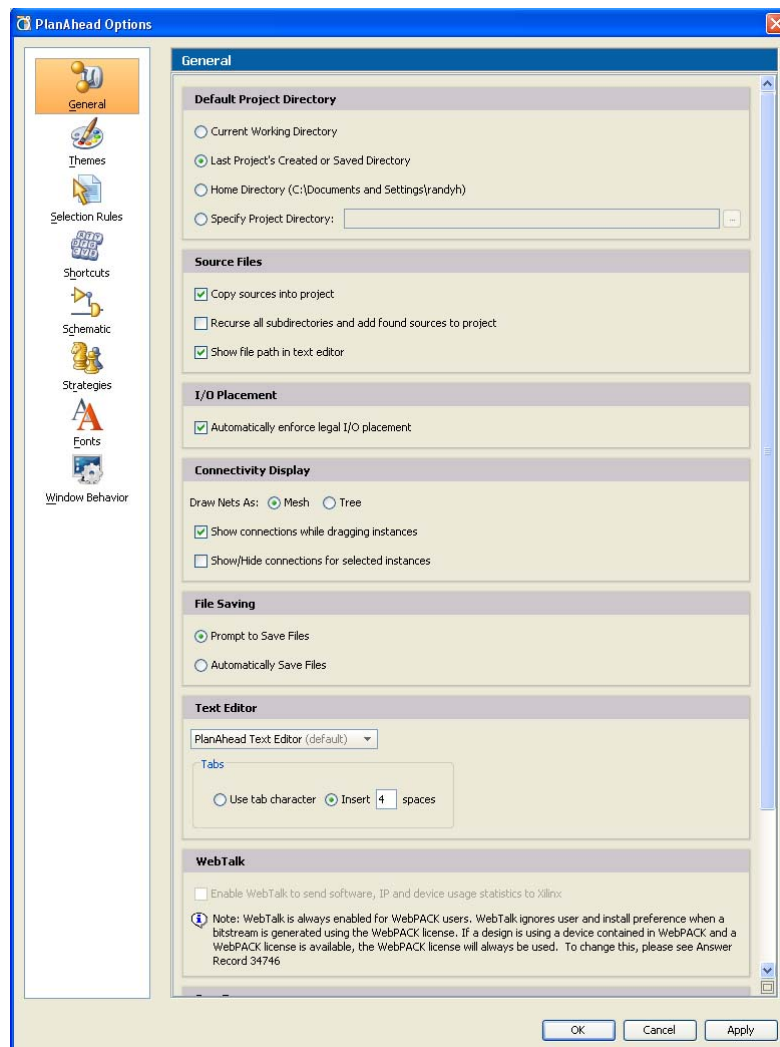


図 4-56 : [PlanAhead Options] ダイアログ ボックスの [General] ページ

次のオプションがあります。

- **[Default Project Directory]**：既存のプロジェクトの検索場所および新規プロジェクトの保存先を指定します。
 - **[Source Files]**：ソース ファイルをプロジェクトにコピーするオプション (**[Copy sources into project]**)、すべてのサブディレクトリのソース ファイルをコピーするオプション (**[Recurse all subdirectories and found sources to project]**)、ファイル パスをテキスト エディター表示するオプション (**[Show file path in text editor]**) のオン/オフを切り替えるチェック ボックスがあります。
 - **[I/O Placement]**：インタラクティブな I/O 配置 DRC のオン/オフを切り替えます。
 - **[Connectivity Display]**：[Device] ビューでの接続の表示方法を指定します。
 - **[File Saving]**：プロジェクト ファイルを閉じたときに、プロジェクト ファイルを自動的に保存するか、保存されていない変更がある場合に保存を確認するダイアログ ボックスを表示するかを指定します。
 - **[Text Editor]**：RTL ソース ファイルまたは UCF ファイルを開くときに使用するテキスト エディターを指定します。ドロップダウン リストからあらかじめ定義されているテキスト エディターを選択するか、サードパーティのテキスト エディターを起動するコマンド ラインを指定します。デフォルトでは **PlanAhead** テキスト エディターが選択されており、指定したテキスト エディターで問題がある場合にも使用されます。
 - **[Tabs]**：テキスト エディターでタブを入力したときに、タブ文字「\t」を使用するか、指定数のスペースを使用するかを指定します。タブ文字が適切に処理されないサードパーティ アプリケーションでテキスト ファイルを開く場合に便利です。
- メモ**：PlanAhead には、サードパーティ テキスト エディターでサポートされない機能もあります。
- **[WebTalk]**：WebTalk でザイリンクスに使用状況情報を送信するかどうかを指定します。
 - **[CoreGen]**：IP コアを生成するときに、Java に割り当てるメモリ量を指定します。大型の IP コアを生成する場合は Java に割り当てるメモリ量を増やすと有益な場合があります。また、初期化エラーが発生した場合は、割り当てるメモリ量を減らした方がよい場合があります。
 - **[Miscellaneous]**：ザイリンクス ウェブサイトでのソフトウェア アップデートを自動確認するオプションを設定し、**Getting Started** ページで表示する最近開いたプロジェクトおよびディレクトリの数を定義します。

テーマの設定

詳細は、[135 ページの「ビュー環境の設定と保存」](#)を参照してください。

選択規則オプションの設定

[PlanAhead Options] ダイアログ ボックスの [Selection Rules] ページでは、すべてのビューのオブジェクトの選択方法を制御します。オブジェクトを選択すると、ほかのオブジェクトも同時に選択されることがあります。たとえば、Pblock を選択すると、割り当てられたネットリストのインスタンスも選択されます。

選択規則の設定の詳細は、[106 ページの「オブジェクトの選択規則」](#)を参照してください。

ショートカット キーの設定

頻繁に使用されるコマンドには、キーボードのキーを組み合わせたショートカットが定義されています。ショートカットは、ポップアップ メニューのコマンドの横に表示されます。たとえば、F9 キーを押すと [Fit Selection] コマンドを実行できます。

141 ページの図 4-57 に示す [PlanAhead Options] ダイアログ ボックスの [Shortcuts] ページで、デフォルトのショートカットを変更できます。

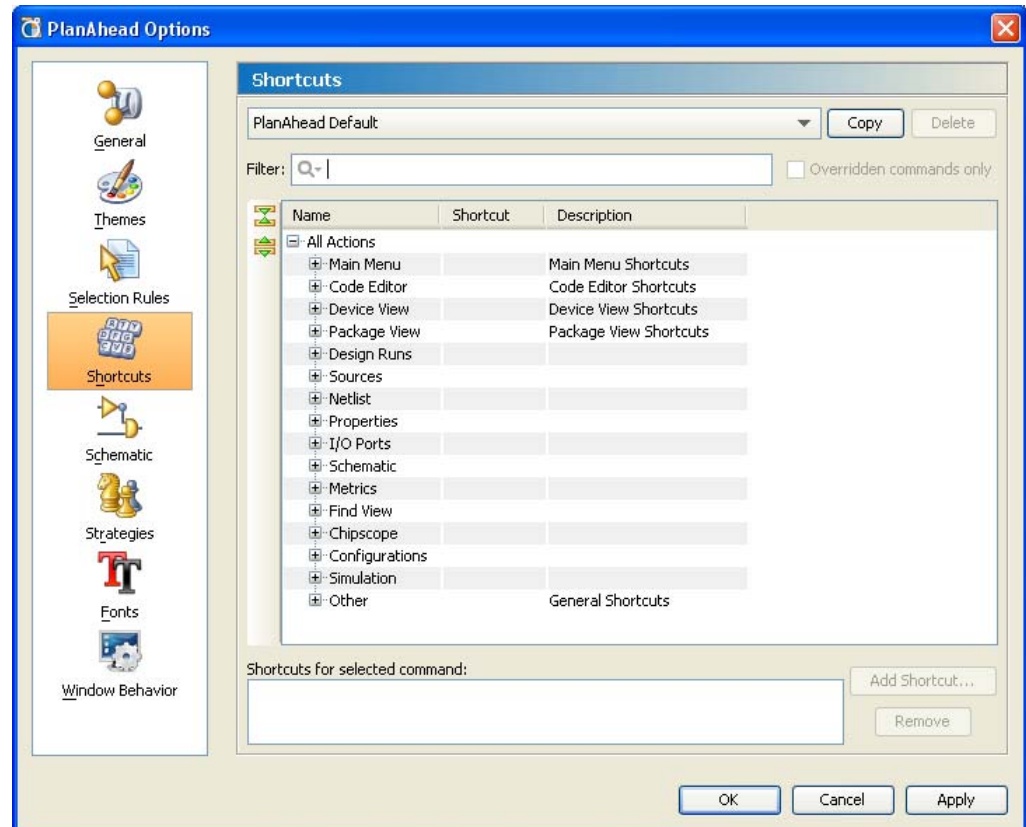



図 4-57 : [PlanAhead Options] ダイアログ ボックスの [Shortcuts] ページ

[PlanAhead Options] ダイアログ ボックスの [Shortcuts] ページでは、新しいカスタム ショートカットを作成できます。

ページの上から、使用可能なショートカット スキーマを管理できます。デフォルトの PlanAhead ショートカットは変更できません。カスタマイズするには、新しいショートカット スキーマを作成する必要があります。デフォルトのスキーマに基づいて新しいスキーマを作成するには、[Copy] をクリックします。

プルダウン メニューからスキーマを選択すると、そのスキーマが有効になります。

[Shortcuts] ページの下部に、コピーしたショートカットを変更するエリアがあります。リスト内を検索して新しいショートカットを入力するコマンドを選択し、次のように新しいショートカットを入力します。

1. [Add Shortcut] ボタン  をクリックし、[Add Shortcut] ダイアログ ボックスでショートカットを入力して [OK] をクリックします。

[Filter] フィールドを使用すると、ショートカットを検索できます。このフィールドに文字列を入力して、コマンドをフィルターします。異なるビューの同じコマンドに異なるショートカットを割り当てることもできます。

ユーザー定義のショートカット スキーマは、次のディレクトリに保存されます。

- **Windows:** C:\Documents and Settings\User_Name\Application Data\Xilinx\planAhead\shortcuts
 - **Linux:** ~/.Xilinx/planAhead/shortcuts
2. ショートカットを削除するには、[Remove] ボタンをクリックします。

回路図属性

詳細は、[122 ページの「回路図デザイン情報の表示」](#)を参照してください。

ストラテジ

ストラテジの設定については、[76 ページの「\[Project Settings\] ダイアログ ボックスの \[Synthesis\] ページ」](#) および [77 ページの「\[Project Settings\] ダイアログ ボックスの \[Implementation\] ページ」](#)を参照してください。

テキスト エディターのフォント設定

PlanAhead では、テキスト エディターで使用するさまざまなフォントおよび色を定義できます。コメントやキーワードなどのテキスト ファイルの異なるエレメントに対して、それぞれフォント、サイズ、色を指定できます。[図 4-58](#) に、コメントの色を緑に指定した例を示します。

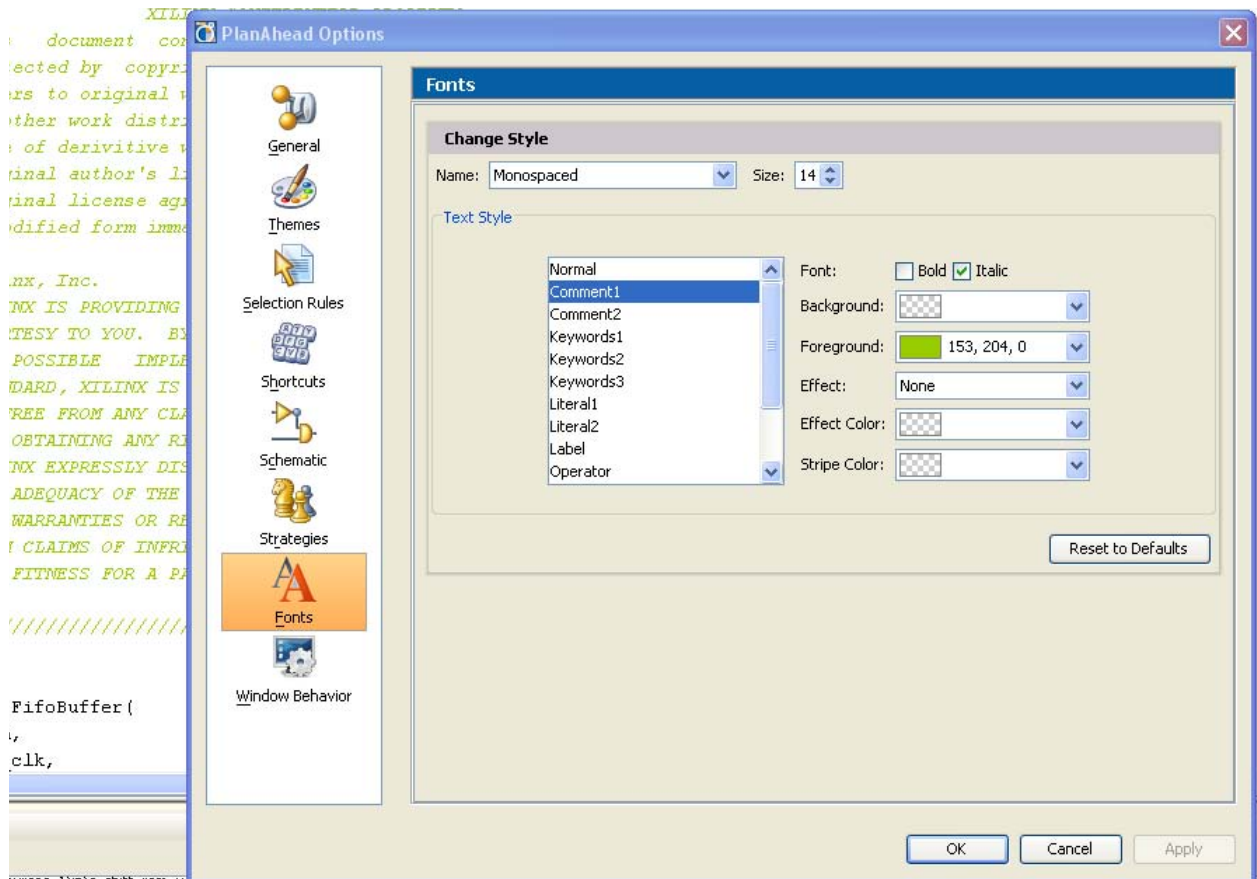


図 4-58 : PlanAhead テキスト エディターのフォント設定

[Reset to Defaults] ボタンをクリックすると、PlanAhead のデフォルトのフォント設定に戻すことができます。

PlanAhead の一般的なウィンドウ動作の設定

PlanAhead のウィンドウ動作のオプションを設定するには、[Tools] → [Options] → [Window Behavior] をクリックします。144 ページの図 4-59 に、[PlanAhead Options] ダイアログ ボックスの [Window Behavior] ページを示します。

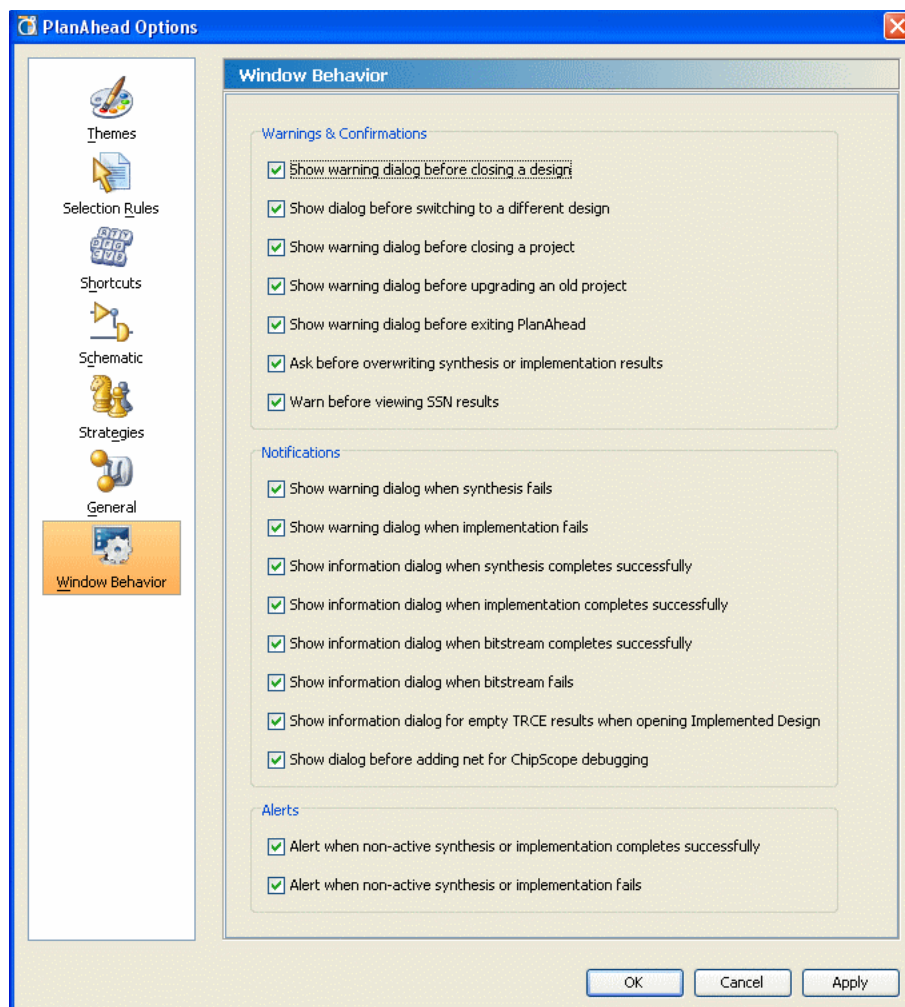


図 4-59 : [PlanAhead Options] ダイアログ ボックスの [Window Behavior] ページ

- [Warnings & Confirmations] : 警告ダイアログ ボックスの表示方法を設定します。
- [Notifications] : 通知の表示方法を設定します。
- [Alerts] : アラートをオンまたはオフに設定します。
- [Miscellaneous] : テキスト エディターにファイル パスを表示するかどうか設定します。

第 5 章

RTL デザイン

概要

PlanAhead™ ソフトウェアの Project Manager 環境では、レジスタ トランスファー レベル (RTL) デザイン ファイルを作成および管理できます。また、RTL デザイン環境で RTL デザインをエラボレートおよび解析できます。PlanAhead には、基本ソース ファイル管理機能、テキスト エディター、RTL 回路図ビューアー、RTL デザイン ルール チェック (DRC)、リソースおよび消費電力予測機能が含まれています。

PlanAhead ソフトウェアを使用して、ロジック合成およびインプリメンテーションも実行できます。合成の詳細は第 6 章「[デザインの合成](#)」、インプリメンテーションの詳細は第 9 章「[デザインのインプリメンテーション](#)」を参照してください。

デザイン ソース ファイルの管理

RTL ソース ファイル (Verilog、VHDL)、NGC/EDIF、ザイリンクス CORE Generator™ XCO、シミュレーション セット、BMM ファイルなど のソース ファイルをプロジェクトに追加して、これらのファイルをさまざまな方法で管理できます。ソース ファイルは、主に [Sources] ビューから操作します。詳細は、107 ページの「[\[Sources\] ビュー](#)」を参照してください。

RTL ソース ファイルの編集

PlanAhead RTL 環境には、RTL ソースを作成および変更するためのテキスト エディターが含まれています。テキスト エディターでは、さまざまなタイプの RTL 構文が色分け表示されます。複数のファイルを同時に開くことができ、ワークスペースにタブ付きのビューとして表示されるので、開いているすべてのファイルにアクセスできます。

ファイルを変更して保存していない場合は、ビュー タブのファイル名の横にアスタリスク (*) が表示されます。

ファイルを保存するには、次のいずれかを実行します。

- テキスト エディターを右クリックし、[Save File] をクリックします。
- テキスト エディターのツールバーにある [Save File] ボタンをクリックします。
- [File] → [Save Project] をクリックします。



ファイルを閉じるときに保存していない変更がある場合は、変更を保存するかどうかを確認するダイアログ ボックスが表示されます。

テキスト エディターの使用

RTL デザイン環境では、テキスト エディターと、[Schematic]、[Messages]、[RTL Netlist]、[Hierarchy] ビューとのクロスプローブが可能です。

テキスト エディターのコマンド

テキスト エディターのコマンドは、右クリックで表示されるポップアップ メニューまたはツールバー ボタンから実行できます。次のコマンドがあります。

- [Save File] : 表示されているファイルを個別に保存します。
- [Save File As] : ファイルに別の名前を付けて保存します。
- [Undo]、[Redo] : 変更を元に戻したり、やり直したりします。
- [Cut]、[Copy]、[Paste]、[Delete] : 選択したテキストを切り取り、コピー、現在の位置に貼り付け、または削除します。
- [Duplicate Selection] : 選択したテキストをコピーし、カーソル位置に貼り付けます。
- [Find]、[Replace] : [Find] フィールドが表示され、文字列を入力して検索および置換を実行します。
- [Find in Files]、[Replace in Files] : [Find in Files] ダイアログ ボックスを開き、文字列を入力して選択したファイルから検索します。検索結果は、[Find in Files] ビューに表示されます。
- [Toggle Line Comment] : 選択した行の行頭にコメント シンボルを追加し、コメントアウトします。選択した行に既にコメント シンボルが付いている場合は、削除します。
メモ : コメント シンボルは、編集しているファイル タイプによって異なります。
- [Indent Selection]、[Unindent Selection] : 選択した行の行頭にタブ スペースを追加、または行頭のタブ スペースを削除します。
- [Language Templates] : [Templates] ビューを開き、ザイリンクス言語テンプレートをテキスト ファイルに挿入します。
- [Insert Template] : 選択している言語テンプレートをテキスト ファイルのカーソル位置に挿入します。このコマンドを使用すると、ソース ファイルまたは制約ファイルにテンプレートを簡単に挿入できます。挿入したテンプレートは、アプリケーションの要件に合わせて編集する必要があります。

言語テンプレートのインスタンスエート

テキスト エディターには標準 RTL テンプレートが含まれており、VHDL または Verilog でロジック構文を定義する際に便利です。UCF テンプレートもあり、デザインの制約を定義する際に使用できます。選択したテンプレートは、テキスト エディターで開いているファイルにインスタンスエートできます。

言語テンプレートをインスタンスエートするには、次の手順に従います。

1. テキスト エディターで、ザイリンクス言語テンプレートをインスタンスエートする位置をクリックします。
2. ツールバーの [Language Templates] ボタンをクリックして [Templates] ビューを開き、使用できる言語テンプレートを参照します。言語テンプレートは、Verilog、VHDL、および制約ファイル用のものがあります。
3. [Templates] ビューの [VHDL]、[Verilog]、または [UCF] フォルダーからテンプレートを選択します。147 ページの図 5-1 に、[Templates] ビューを示します。

4. テキスト エディターのツールバーまたはポップアップ メニューから [Insert Template] をクリックし、カーソル位置にテンプレートを挿入します。
5. デザイン要件に応じて挿入したテンプレート テキストを編集します。

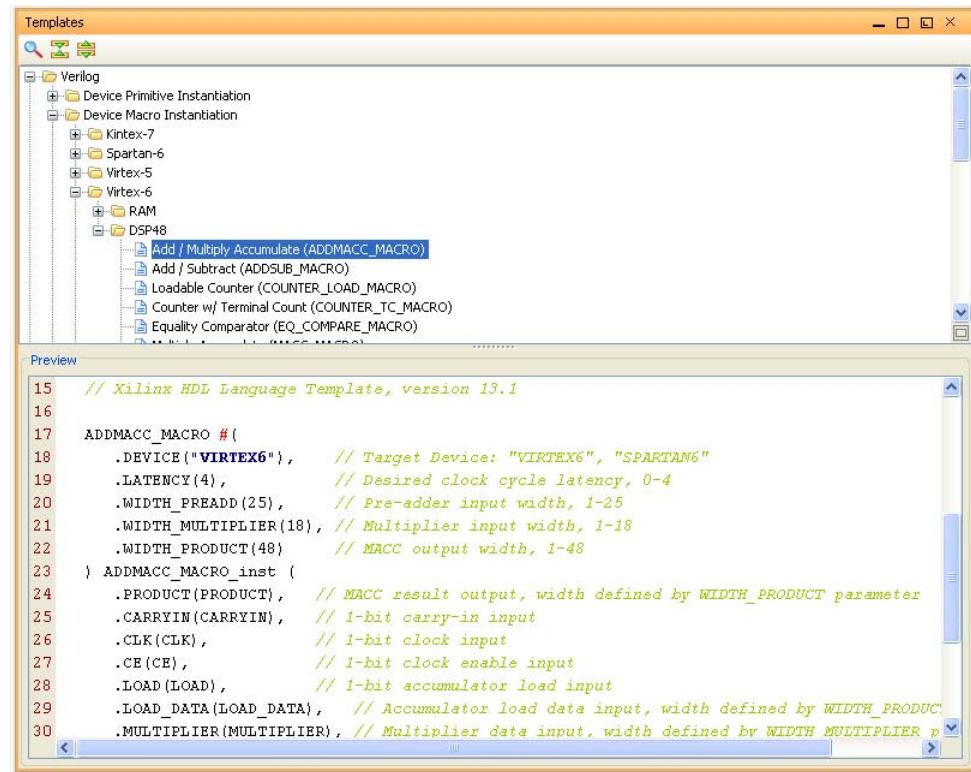


図 5-1 : [Templates] ビュー

[Find] コマンドを使用したソース ファイルの検索

[Find] および [Find in Files] コマンドを使用すると、開いているソース ファイルまたは選択したファイル内で文字列を検索できます。次の操作を実行できます。

- 検索条件として、ワイルドカード (*) を含む任意のテキスト文字列を入力できます。
- フィルター オプションを使用して、ソース ファイル、制約ファイル、レポート ファイルを検索できます。

図 5-2 に、[Find in Files] ダイアログ ボックスを示します。

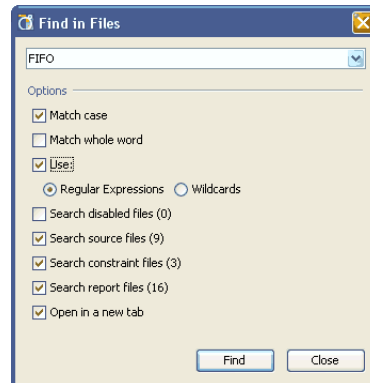


図 5-2 : [Find in Files] ダイアログ ボックス

検索結果は [Find in Files] ビューに表示され、検索文字列を含むファイルと文字列の発生回数が表示されます。

特定の結果をクリックするとテキスト エディターにファイルが開き、文字列がハイライト表示されます。図 5-3 に、[Find in Files] ビューに表示される検索結果の例を示します。

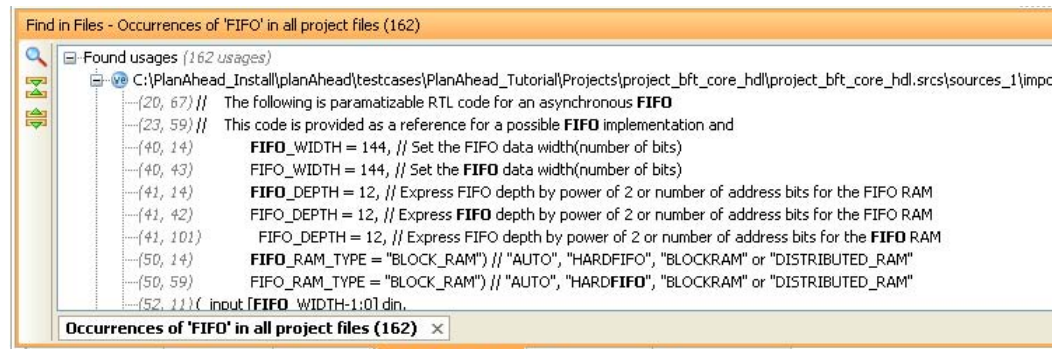


図 5-3 : [Find in Files] ビュー

[Find] コマンドは開いている 1 つのソース ファイル内での検索に使用できます。このコマンドを選択すると、エディター内で開いているソース ファイルの一番下に [Find] バーが表示されます。ここに検索文字列を入力して検索します。開いているファイルに含まれるその文字列すべてをハイライトすることもできます。図 5-4 に、[Find] バーを示します。

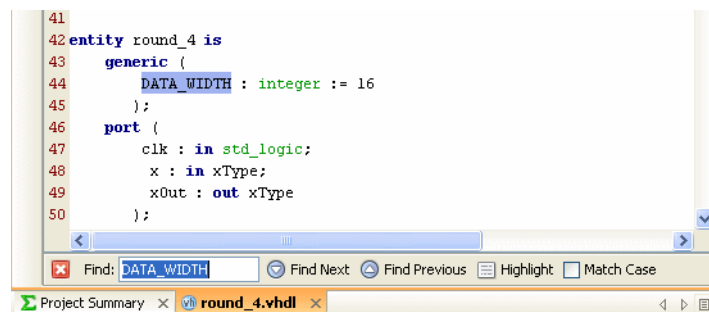


図 5-4 : 開いたソース ファイル内での検索機能の使用

RTL デザインのエラボレーションと解析

PlanAhead では、合成を実行しなくても RTL デザインをエラボレートおよび解析できます。RTL ソース ファイルがエラボレートされると、[RTL Netlist] ビューが表示されます。RTL デザインは、デザイン プロセスのどの段階でも開くことができ、デザインを表示、解析、変更できます。

RTL デザインのエラボレーション

プロジェクトでイネーブルになっている RTL ソース ファイルは、デザインの一部分としてまたは合成中にコンパイルされているかどうかにかかわらず、すべてエラボレートされます。エラボレーションおよびコンパイルに関するメッセージは、[Messages] ビューに表示されます。

エラボレーションに使用される HDL 言語は、[Project Settings] ダイアログ ボックスの [General] ページで選択できます。詳細は、[74 ページの「\[Project Settings\] ダイアログ ボックスの \[General\] ページ」](#)を参照してください。

エラボレーション結果は、RTL デザインには保存されません。RTL デザインに対して何回でもエラボレーションを実行できます。RTL デザインを合成すると、ネットリスト デザインとして保存されます。

1. デザイン ソース ファイルをプロジェクトにインポートした後、次のいずれかのコマンドを使用してデザインをエラボレートできます。
 - Flow Navigator で [Project Manager] → [Elaborate] をクリックします。
 - [Tools] → [Elaborate] をクリックします。
 - [Flow] → [RTL Design] をクリックするか、Flow Navigator の [RTL Design] をクリックします。

トップ モジュールを設定する必要がある場合は、[Specify Top Module] ダイアログ ボックスが開きます。ほとんどの場合は、PlanAhead で自動的に最上位モジュールが特定されます。

2. [Specify Top Module] ダイアログ ボックスでトップ モジュールを選択し、[OK] をクリックします。

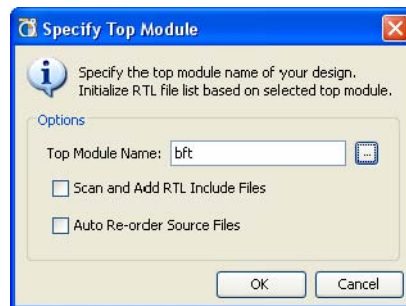


図 5-5 : [Specify Top Module] ダイアログ ボックス

[Messages] ビューにコンパイル結果が表示され、RTL ソース ファイルのに問題がある場合は [Analysis] というカテゴリの下に表示されます。

RTL エラボレーションの結果で、エラー、警告、情報メッセージの表示/非表示を制御できます。[Messages] ビューの上部にあるチェック ボックスのオン/オフを切り替え、エラー、重要な警告、警告、情報メッセージを表示/非表示にします。

[Messages] ビューでエラーまたは警告メッセージを選択すると、該当する RTL ソース ファイルがテキスト エディターに読み込まれ、問題のソース コードがハイライトされます。

RTL デザインのリソース予測

[RTL Design] をクリックすると、RTL デザインがエラボレートされ、Design Analysis ビューレイアウトに表示されます。150 ページの図 5-6 に、RTL デザインの Design Analysis ビューレイアウトを示します。

RTL デザインを開くと、エラボレートされたデザインにアクティブ制約セットも適用され、RTL ポート リストに基づく I/O ピン配置および RTL ロジック階層からのモジュールレベルのフロアプランを実行できます。制約セットの作成と管理については、58 ページの「制約の管理」を参照してください。

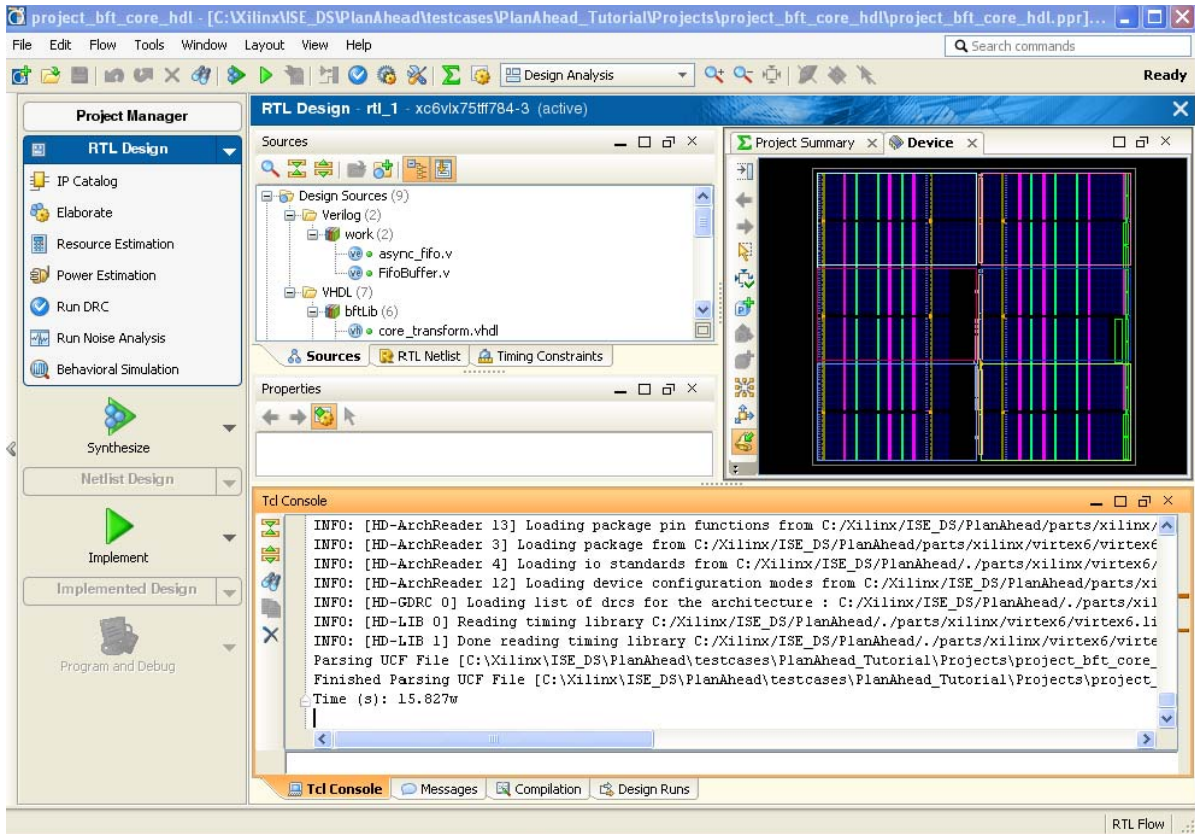


図 5-6 : RTL デザインの Design Analysis ビューレイアウト

PlanAhead では、コンパイルされた RTL デザインに基づくデバイス リソース予測を表示できます。[Resource Estimation] ビューを開くには、[Tools] → [Resource Estimation] をクリックするか、Flow Navigator で [RTL Design] → [Resource Estimation] をクリックします。[Resource Estimation] ビューがワークスペースに開きます。151 ページの図 5-7 に、[Resource Estimation] ビューを示します。

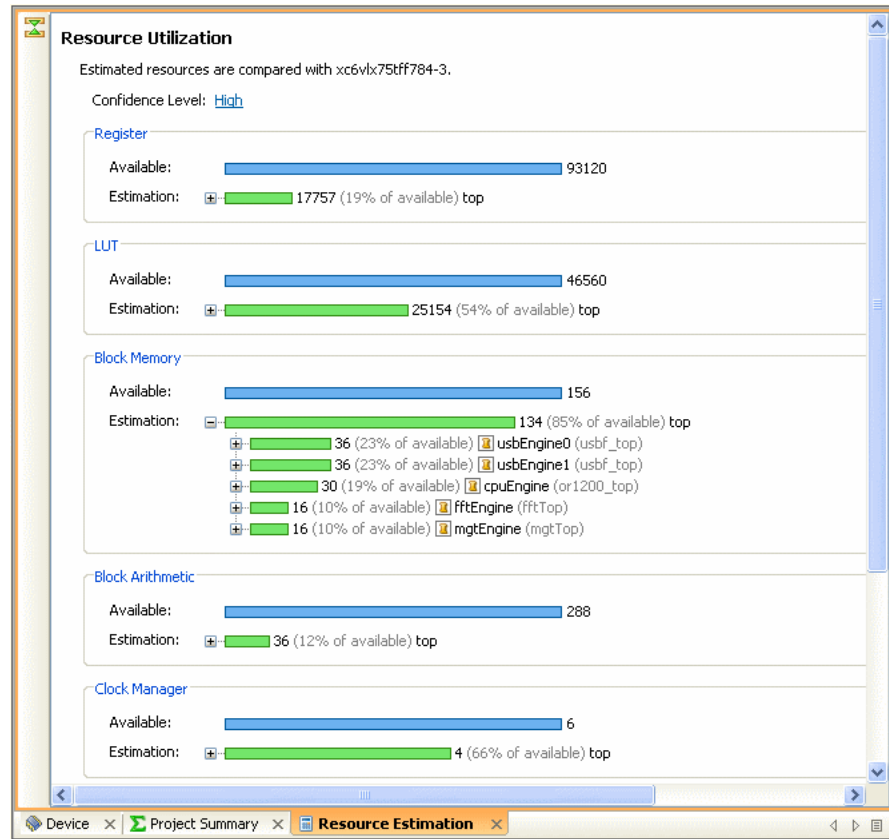


図 5-7 : RTL デザインの [Resource Estimation] ビュー

[Resource Estimation] ビューには、レジスタ、LUT、ブロック メモリなどのデバイス リソースの使用率が示されます。[Resource Estimation] ビューに表示されるリソースは、デザインのロジック階層に基づいています。デバイス リソースのあるタイプが RTL デザインで使用されていない場合は、[Resource Estimation] ビューには表示されません。ビューの下部にデバイス リソースが表示されていない理由が記述されています。

各リソースのロジック ツリーのプラス記号 (+) またはマイナス記号 (-) をクリックして、リソースの階層を展開したり閉じたりできます。展開した階層からデザイン オブジェクトを選択すると、そのオブジェクトの詳細が表示されます。

[Resource Estimation] ビューでオブジェクトを選択すると、RTL ネットリストでもそのオブジェクトが選択され、階層のハードウェア要件をより詳細に理解できます。

RTL デザインでのハードウェア リソース予測は合成前のデザイン データから求められた初期段階の予測であり、合成またはインプリメンテーションを実行すると変更される可能性があります。リソース予測は簡単な予測であり、精度は $\pm 15\%$ です。

[Resource Estimation] ビューに表示される Confidence Level は、デザインに含まれるブラック ボックスの数、バス幅、マクロ タイプなどの特徴に基づいて、リソース予測がどれだけ正しいかを示したものです。

Confidence Level の値のリンクをクリックすると、152 ページの図 5-8 に示すように、解析されたデザインの特徴が示されます。

Resource Utilization

Estimated resources are compared with xc6vlx75tff784-3.

Confidence Level: [High](#)

[Show More Details](#)

Register

Available:

Estimation:

LUT

Available:

Estimation: 1217 (17% of available) bits

Confidence Level Details ✕

Design State: High
No black boxes were found

Bit Widths: High
29.7% of primitives in RTL netlist represent 1-bit logic

Macro Types: High
30.4% of primitives in RTL netlist are bitwise logic and 11.4% are multiplexers

図 5-8 : [Resource Estimation] ビューに表示される Confidence Level

[Instance Properties] ビューでのリソース統計の解析

[Resource Estimation] ビューまたは [RTL Netlist] ビューでオブジェクトを選択すると、そのオブジェクトの [Instance Properties] ビューが開きます。[Instance Properties] ビューの [Statistics] タブには、選択されたオブジェクトまたは最上位モジュールのデバイス リソース予測が表示されます。ロジック リソースは、数値演算、コンパレータ、マルチプレクサー、ストレージなどに分類されています。

メモリおよびプリミティブの表に、すべてのメモリ、ワード数、ビット幅、ポート数、選択された階層でのビット幅別のマクロまたはプリミティブの構成がリストされます。

図 5-9 に、[Instance Properties] ビューの [Statistics] タブに表示されるリソース予測の例を示します。

Instance Properties ✕

cpuEngine

RTL Macro Resources

Macro type	Flop	LUT	BRAM	DSP48
Bitwise Logic	0	503	0	0
Unary Logic	0	65	0	0
Arithmetic	0	613	0	4
Comparators	0	658	0	0
Multiplexers	0	2707	0	0
Shifters	0	261	0	0
Storage	3912	51	30	0
Total	3912	4858	30	4


RTL Hierarchy Resources

Child	Flop	LUT	BRAM	DSP48
cpu_dbg_dat_i	82	52	1	0
cpu_dbg_dat_o	82	52	1	0
cpu_dwb_dat_i	82	52	1	0
cpu_dwb_dat_o	82	52	1	0
cpu_iwb_adr_o	82	52	1	0
cpu_iwb_dat_i	82	52	1	0

General **Statistics** Pins Children Attributes Connectivity

図 5-9 : RTL リソース予測の表示

リソース予測レポートをテキスト ファイル、XML ファイル、または CSV ファイルに保存するには、次のいずれかを実行します。

- [Resource Estimation] ビューのポップアップ メニューから [Export Statistics] をクリックします。
- [Instance Properties] ビューのツールバーで [Export Statistics] ボタンをクリックします。 

RTL ロジック階層の解析

PlanAhead には、デザインのロジック階層を表示する複数のビューがあります。

- [RTL Netlist] ビュー：展開可能なロジック ツリーを示します。
- [Hierarchy] ビュー：ロジック階層をグラフィカルに表示します。
- [Schematic] ビュー：回路図表示でロジックおよび階層を調べるのに使用します。

1 つのビュー選択したオブジェクトはほかのビューでも選択され、ロジック デザインを解析しやすくなっています。詳細は、[「\[Netlist\] ビュー」](#) および第 4 章の [「\[Hierarchy\] ビュー」](#) を参照してください。

RTL デザイン回路図の解析

[RTL Netlist] ビューで任意のロジック階層を選択し、[RTL Schematic] ビューで表示できます。

選択したロジックの [RTL Schematic] ビューを開くには、次のいずれかを実行します。

- [Tools] → [Schematic] をクリックします。
- [RTL Netlist] ビューを右クリックして [Schematic] をクリックします。

[RTL Schematic] ビューでの操作の詳細は、第 4 章の [「\[Schematic\] ビュー」](#) を参照してください。

RTL デザインがエラボレートされたら、[Find] コマンドを使用してロジック オブジェクトを検索できます。詳細は、[147 ページの「\[Find\] コマンドを使用したソース ファイルの検索」](#) を参照してください。

RTL ソース ファイルの解析

[RTL Netlist] ビューでロジック エレメントを選択し、インスタンス化されている RTL ソース ファイルでそのオブジェクトのインスタンス化または定義を開くことができます。

選択したロジックのインスタンス化または定義を RTL ソース ファイルで開くには、オブジェクトを右クリックして [Go To Instantiation] または [Go To Definition] をクリックします。ソース ファイルが開き、該当するインスタンスまたは定義がハイライトされます。

メモ： [Go To Definition] コマンドは、[RTL Netlist] ビューでオブジェクトのインスタンスではなく、最上位定義を選択している場合にのみ有効になります。

消費電力予測

PlanAhead ソフトウェアでは、RTL レベルのデザインの消費電力を予測し、初期段階の電力分配を表示できます。制約を使用するか、PlanAhead の GUI から、デバイスの動作環境、I/O プロパティ、デフォルトのアクティビティ レートを指定できます。HDL コードから必要なデザイン リソースが予測され、各リソースのアクティビティの統計解析から消費電力が予測されます。

[Power Estimation] ビューの出力は、XPower Estimator のサマリ シートと同様であり、結果を簡単に比較できます。

プロパティにはリソースごと、階層ごとの消費電力も追加されており、デザインの完全な電力分配が示されます。

これらの情報は、詳細な解析および消費電力予測を満たすためのソリューションを見つけるのに役立ちます。

メモ : RTL の消費電力予測機能は、Virtex[®]-5、Virtex-6、および Spartan[®]-6 デバイスでのみ使用可能です。

1. すべてのクロックドメインが制約されていることを確認します。

タイミング制約を手動で入力するか (188 ページの「[タイミング制約の定義](#)」を参照)、[Tcl Console] ビューで `create_clock` コマンドを使用して入力するか、UCF をインポートします。(72 ページの「[プロジェクト設定](#)」を参照)。

2. [Tcl Console] ビューに `set_operating_conditions` コマンドを入力し、FPGA の動作条件を設定します。


FPGA の動作条件は、デバイスの消費電力の合計に大きく影響します。

`set_operating_conditions` コマンドを使用して、システムの実際の動作環境を表すプロセス、電圧、冷却、およびその他の環境設定を入力します。

Tcl コマンドの詳細は、『[PlanAhead Tcl コマンド リファレンス ガイド](#)』(UG789) を参照してください。

3. 消費電力予測を実行するには、次のいずれかを実行します。

- [Tools] → [Power Estimation] をクリックします。
- Flow Navigator で [RTL Design] → [Power Estimation] をクリックします。

155 ページの  5-10 に示す [Power Estimation] ダイアログ ボックスが開きます。

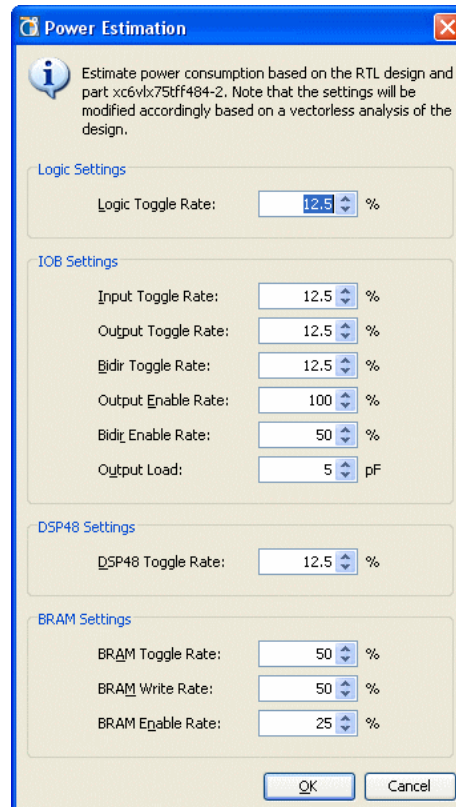


図 5-10 : [Power Estimation] ダイアログ ボックス

4. 必要に応じてトグル レートを変更し、[OK] をクリックします。

消費電力予測が実行され、ワークスペースに [Power Estimation] ビューが表示されます。消費電力を算出するため、RTL リソース予測およびユーザー制約が使用され、ネットリスト ノードに対してベクターなしの消費電力予測が実行されます。

[Power Estimation] ビューには、消費電力サマリと、展開可能な電力消費グラフがリソース タイプおよびデザイン階層別に表示されます。ロジック ツリーのプラス記号 (+) またはマイナス記号 (-) をクリックして、階層を展開したり閉じたりできます。156 ページの図 5-11 に、[Power Estimation] ビューを示します。

メモ：消費電力解析では、デフォルトのアクティビティ レートがシードとして使用されます。各エレメントの実際のアクティビティ レートは、シードと入力ファイル、ユーザーの入力、ベクターなしの予測エンジンの結果に基づいて算出されます。

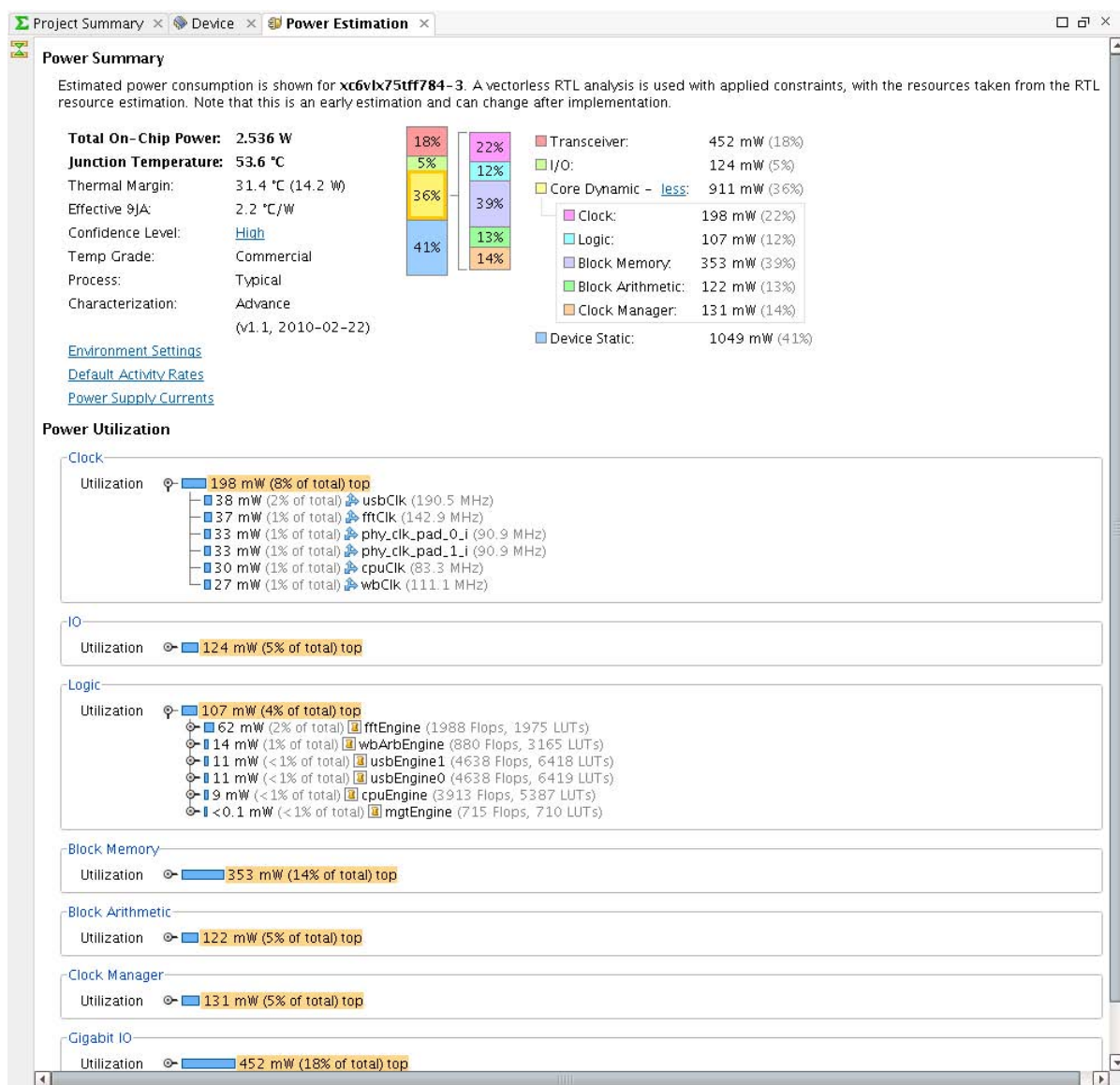


図 5-11 : [Power Estimation] ビュー

電力分配の解析

156 ページの図 5-11 に示す [Power Estimation] ビューには、「Power Summary」セクションと「Power Utilization」セクションがあります。

- **Power Summary (消費電力サマリ)**：電力分配のサマリと消費電力の算出に使用されたデバイスの動作条件のサマリを示します。
 - リンクをクリックすると、詳細の表示/非表示を切り替えることができます。パラメーターを変更するには、上記の手順 2 および 3 を実行します。
- **Confidence Level (信頼度)**：結果がどれだけ正確かを示します。この情報で、消費電力予測を実行するために十分な入力データが供給されていることを確認します。表 5-1 に、Confidence Level の説明と値をカテゴリ別に表示します。

表 5-1：消費電力予測の Confidence Level

カテゴリ	Confidence Level	説明	スコア
Design State	Low	デザインに少なくとも 1 つブラック ボックスがあります。	0
	Medium	なし	0
	High	デザインにブラック ボックスはありません。	1
Clock Nodes	Low	制約が設定されていないクロックが少なくとも 1 つあります。	0
	Medium	なし	0
	High	すべてのクロックが適切に制約されています。	2
I/O Nodes	Low	10% を超える IOB にドライバー ロジックのトグル レートから算出されたイネーブルがあります。	0
	Medium	ドライバー ロジックのトグル レートから算出されたイネーブルを持つ IOB は 10% 以下で、少なくとも 1 つの I/O アクティビティ レートにデフォルト値が使用されています。	1
	High	ドライバー ロジックのトグル レートから算出されたイネーブルを持つ IOB は 10% 以下で、すべての I/O アクティビティ レートがユーザーにより供給されています。	2
Internal Nodes	Low	50% 未満のインスタンスがトグル レート テンプレートと一致しています。	0
	Medium	50% 以上のインスタンスがトグル レート テンプレートと一致しており、少なくとも 1 つの内部レートにデフォルト値が使用されています。	1
	High	90% 以上のインスタンスがトグル レート テンプレートと一致しており、すべての内部アクティビティ レートがユーザーにより供給されています。	2

表 5-1 : 消費電力予測の Confidence Level (続き)

カテゴリ	Confidence Level	説明	スコア
Characterization Data	Low	Advance (アドバンス) 特性データ	0
	Medium	Preliminary (暫定) 特性データ	0
	High	製品特性データ	1
Overall Design	Low	すべてのカテゴリの合計スコアが 3 以下	
	Medium	すべてのカテゴリの合計スコアが 4、5、または 6	
	High	すべてのカテゴリの合計スコアが 7 以上	

- 表 5-2 に、Total On-Chip Power (合計オンチップ消費電力)、Junction Temperature (ジャンクション温度)、および Thermal Margin (熱マージン) の色凡例を示します。

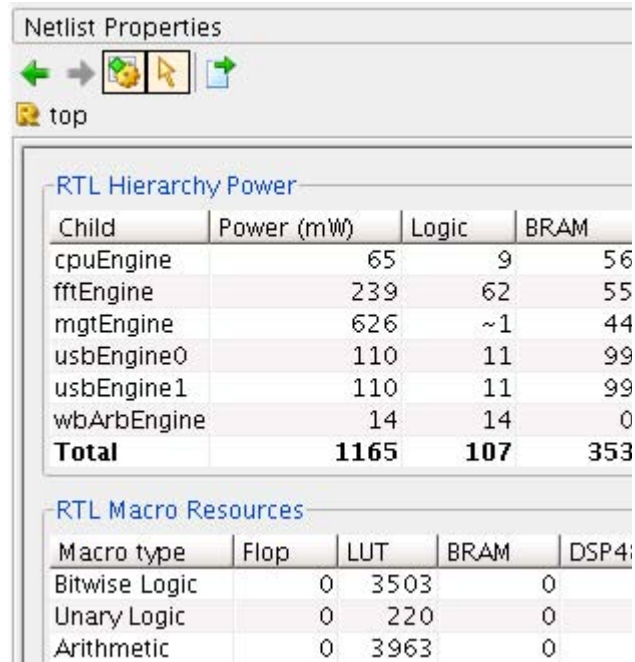
表 5-2 : 色凡例

テキストの色	説明
黒	ツールで判断されたデフォルト値
青	ユーザーが入力した値。このフィールドは、通常ツールで算出されます。
オレンジ	警告。リソースのコンフィギュレーションがサポートされないか、値がデバイスの通常の動作範囲外です。
赤	エラー。リソースのコンフィギュレーションまたはカウントが無効であるか、値がデバイスの最大動作範囲を超えています。

- Power Utilization (電力使用率) : 電力分配をリソース別に示します。
 - 電力使用率バーを展開表示すると、デザイン階層ごとの電力消費を表示できます。
 - オブジェクトを選択すると、[RTL Netlist] ビューでもハイライトされ、[Properties] ビューが開きます。マウスをオブジェクトの上に置くと詳細が表示され、右クリックするとポップアップメニューに実行可能なコマンドが表示されます。

ネットリストおよびインスタンスの消費電力プロパティの表示

[RTL Netlist] ビューでデザイン階層の最上位を選択すると、[Netlist Properties] ビューが開きます。消費電力予測を実行すると、[Netlist Properties] ビューにさまざまな電力プロパティが表示されます。159 ページの図 5-12 に、[Netlist Properties] ビューに表示される [RTL Hierarchy Power] 表を示します。[RTL Hierarchy Power] 表には、最上位にインスタンス化されている各モジュールのリソース タイプごとの電力分配を示します。



Netlist Properties

top

RTL Hierarchy Power

Child	Power (mW)	Logic	BRAM
cpuEngine	65	9	56
fftEngine	239	62	55
mgtEngine	626	~1	44
usbEngine0	110	11	99
usbEngine1	110	11	99
wbArbEngine	14	14	0
Total	1165	107	353

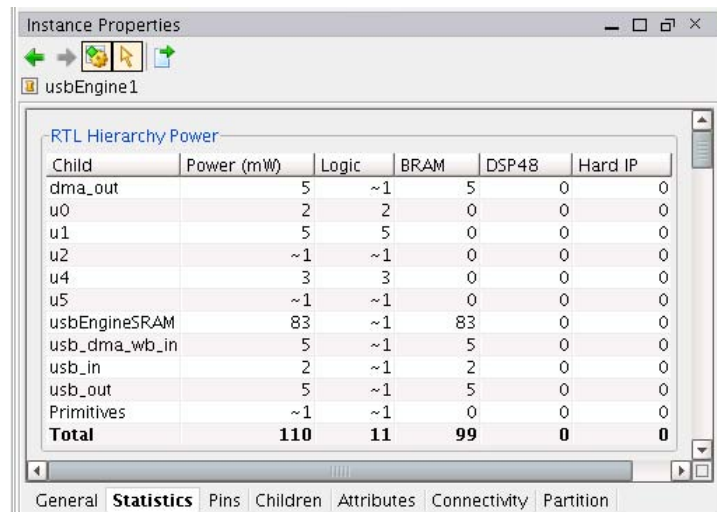
RTL Macro Resources

Macro type	Flop	LUT	BRAM	DSP4
Bitwise Logic	0	3503	0	
Unary Logic	0	220	0	
Arithmetic	0	3963	0	

図 5-12 : [Netlist Properties] ビューの [RTL Hierarchy Power] 表

メモ : [Hard IP] 列には、クロック マネージャー、ギガビット I/O、PCI、EMAC など、その他のすべてのリソースが含まれます。

[RTL Netlist] ビューで階層インスタンスを選択すると、[Instance Properties] ビューが開きます。[Instance Properties] ビューの [Statistics] タブには、このレベルからインスタンス化されている各モジュールのリソース タイプごとの電力分配を示す [RTL Hierarchy Power] 表があります (図 5-13 を参照)。



Instance Properties

usbEngine1

RTL Hierarchy Power

Child	Power (mW)	Logic	BRAM	DSP48	Hard IP
dma_out	5	~1	5	0	0
u0	2	2	0	0	0
u1	5	5	0	0	0
u2	~1	~1	0	0	0
u4	3	3	0	0	0
u5	~1	~1	0	0	0
usbEngineSRAM	83	~1	83	0	0
usb_dma_wb_in	5	~1	5	0	0
usb_in	2	~1	2	0	0
usb_out	5	~1	5	0	0
Primitives	~1	~1	0	0	0
Total	110	11	99	0	0

General Statistics Pins Children Attributes Connectivity Partition

図 5-13 : [Instance Properties] ビューの [RTL Hierarchy Power] 表

プロジェクトの記録を残したり情報をチーム メンバーと共有する場合、または別のツールで解析するためにデータをエクスポートするには、[Netlist Properties] ビューのツールバーで [Export Statistics] ボタンをクリックするか、右クリックして [Export Statistics] をクリックします。

[Tcl Console] ビューから **report_power** コマンドを使用すると、出力フォーマットをテキストまたは XML ファイルに指定できます。このコマンドのオプションは、『[PlanAhead Tcl コマンド リファレンス ガイド](#)』(UG789) を参照してください。

ビヘイビア シミュレーションの実行

PlanAhead には ISim が統合されており、HDL デザインのビヘイビアー シミュレーションおよび タイミング シミュレーションを実行できます。PlanAhead から ISim を起動するには、次を実行します。

- RTL デザインで [Tools] → [Simulation] → [Behavioral Simulation] をクリックします。
- Flow Navigator から [Behavioral Simulation] をクリックします。

図 5-14 に示す [Launch Behavioral Simulation] ダイアログ ボックスが開きます。

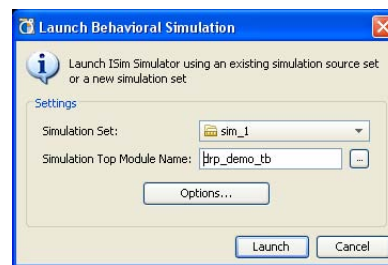


図 5-14 : [Launch Behavioral Simulation] ダイアログ ボックス

このダイアログ ボックスには、次のフィールドがあります。

- [Simulation Set] : シミュレーション実行の名前を指定します。異なるデザイン階層および異なるオプションを使用して、複数のシミュレーション実行を作成できます。
- [Simulation Top Module Name] : デザインのトップ モジュールを指定します。指定されているトップ モジュールが自動的に選択されますが、別のモジュールをトップ モジュールに指定して別の階層レベルからシミュレーションを実行したり、異なるバージョンのデザインをエラボレートできます。参照ボタンをクリックして、トップ モジュールを指定します。
- [Options] : 図 5-15 および162 ページの図 5-16 に示す [Simulation Options] ダイアログ ボックスを開きます。
- [Launch] : ISim でコンパイルおよびエラボレーションを実行し、ISim in GUI を開きます。
- [Cancel] : ISim を起動せずにダイアログ ボックスを閉じます。

[Options] ボタンをクリックすると、[Simulation Options] ダイアログ ボックスが開きます。このダイアログ ボックスには、[Launch Options] および [Language Options] という 2 つのタブがあります。次のセクションで、このダイアログ ボックスのオプションについて説明します。

シミュレーション起動オプションの指定

[Simulation Options] ダイアログ ボックスの [Launch Options] タブでは、Fuse および ISim で実行される起動オプションを指定します。図 5-15 に、[Simulation Options] ダイアログ ボックスを示します。

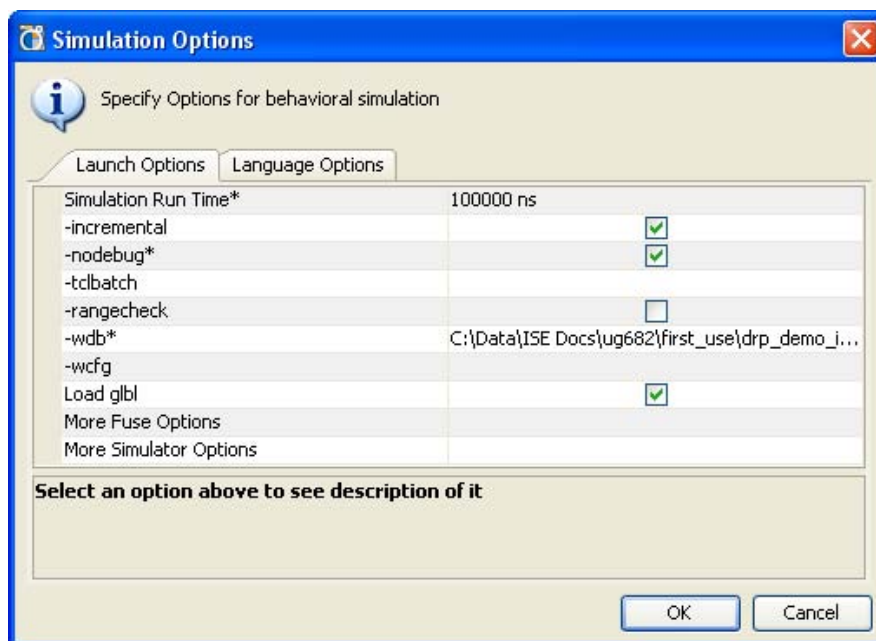


図 5-15 : [Simulation Options] ダイアログ ボックスの [Launch Options] タブ

次のオプションがあります。

- **[Simulation Run Time]** : シミュレーション時間とその単位を指定します。単位には fs、ps、ns、us、ms、または sec のいずれかを使用できます。デフォルトは ps です。キーワードとして all を指定すると、シミュレーションするイベントがなくなるまで ISim が実行されます。
- **[-incremental]** : 前回のコンパイルから変更されたファイルのみをコンパイルします。
- **[-nodebug]** : シミュレーション中に HDL コードをデバッグするための情報を含まないシミュレーション実行ファイル(.exe)を作成します。これにより、シミュレーション ランタイムが短縮されます。
- **[-tclbatch]** : シミュレーターでランタイムに実行する Tcl バッチ ファイルを指定します。バッチ ファイルに含まれるコマンドが最後まで順に実行されます。バッチ ファイルの実行が完了するまで、コマンド プロンプトに入力されたコマンドは実行されません。

PlanAhead では、tclbatch コマンドを使用して isim.cmd ファイルの次の 3 つの必須コマンドを渡します。

```
onerror {resume}
.
wave add /
run <value>
```

シミュレーターの起動時の実行を制御する Tcl コマンドを作成する場合は、Tcl バッチ ファイルにこれらのコマンドを含める必要があります。onerror コマンドを最初に記述し、wave add と run を最後に記述することをお勧めします。onerror と wave add の間には、任意の ISim コマンドを追加できます。

メモ : Tcl バッチ コマンド ファイルの拡張子は、.tcl または .cmd にする必要があります。

- **[-rangecheck]** : コンパイル中に VHDL 代入の値範囲をチェックします。このオプションは、VHDL コードにのみ適用されます。

メモ : これは、ISim でデフォルトで実行されるアレイのインデックス範囲チェックには関係しません。

- **[-wdb]** : シミュレーション波形データを保存するファイルの名前を指定します。トレースされる信号のシミュレーション結果は、指定のファイル名で作業ディレクトリに保存されます。デフォルトでは、トップ モジュール名に拡張子 .wdb を付けたファイル名になります。
- **[-wcfg]** : ISim GUI に波形データを開く際に使用する波形コンフィギュレーション ファイルの名前を指定します。波形コンフィギュレーション ファイルでは、信号順、名前の形式、基数、色などが指定されます。
- **[Load glbl]** : コンパイル中に glbl モジュールを読み込みます。デザインで Verilog UNISIM または SIMPRIM ライブラリを使用する場合は、このオプションをオンにする必要があります。
- **[More Fuse Options]** : Fuse のその他のコマンド ライン オプションを指定します。コマンドは、1 つの文字列で値とセットにして入力する必要があります。次に例を示します。

```
-maxdelay -init_file <filename> -notimingcheck
```

コマンド ファイルに Fuse のオプションを入力し、そのファイルを [More Fuse Options] フィールドで次のように **-f** コマンドを使用して参照することもできます。

```
-f <command_file>
```

- **[More Simulator Options]** : ISim のその他のコマンド ライン オプションを指定します。コマンドは、1 つの文字列で値とセットにして入力する必要があります。次に例を示します。

```
-log <filename> -transport_int_delays
```

コマンド ファイルに ISim のオプションを入力し、そのファイルを [More Simulator Options] フィールドで次のように **-f** コマンドを使用して参照することもできます。

```
-f <command_file>
```

シミュレーション言語オプションの指定

図 5-16 に、[Simulation Options] ダイアログ ボックスの [Language Options] タブを示します。

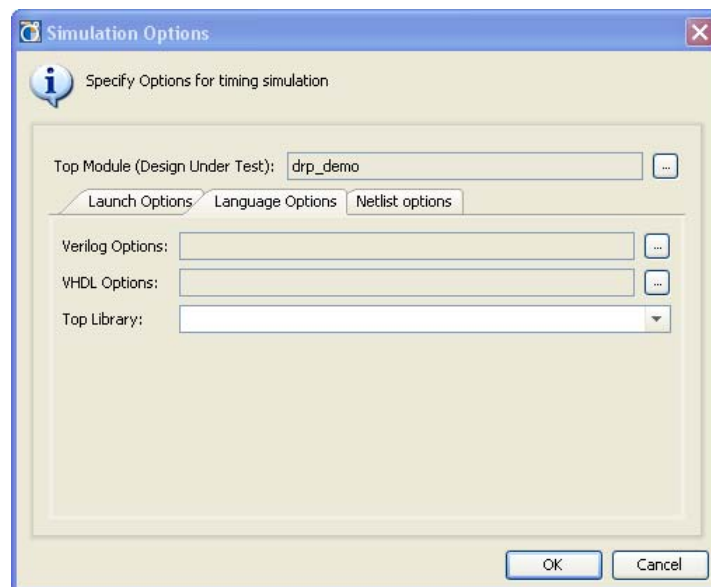


図 5-16 : [Simulation Options] ダイアログ ボックスの [Language Options] タブ

次の言語オプションがあります。

- [Verilog Options] : Verilog 検索パス、マクロ定義、大文字識別子、Verilog2001 言語規格 を指定します。
- [VHDL Options] : VHDL ジェネリック値を指定します。
- [Top Library] : 最上位モジュールのライブラリ名を指定します。これは PlanAhead で自動的に判断されますが、トップ モジュールを検索する別のライブラリを指定できます。

シミュレーターの起動

[Launch] をクリックすると、ISim でビヘイビアー シミュレーションが実行されます。ISim のオブジェクト コンパイラおよびリンカーである Fuse が実行され、Verilog および VHDL コードがコンパイルおよびエラボレートされます。

コンパイルされたオブジェクト コードは、シミュレーション実行ファイルにリンクされます。シミュレーション実行ファイルの名前は、[Launch Behavioral Simulation] ダイアログ ボックスで指定したトップ モジュールの名前が使用されます。ISim の実行ファイルが完了すると、シミュレーターが起動します。次に、コマンド実行の例を示します。

```
INFO:[Runs-8] Fuse completed.  
INFO:[Runs-10] Launching ISim...  
INFO:[Runs-11] Running '"C:/project_cpu_hdl/project_cpu_hdl.sim/sim_1/top.exe"  
-intstyle pa -gui -tclbatch isim.cmd  
-wdb "wdb_test1.wdb" -view "wcfg_test1.wcfg"'
```

シミュレーション実行ファイルは、[Simulation Options] ダイアログ ボックスの [Launch Options] タブで指定したオプションを使用して実行されます。

ISim は **-gui** オプションを使用して実行され、デザインを対話的にシミュレーションできる ISim ユーザー インターフェイスが開きます。ISim の GUI の詳細は、『[ISim ユーザー ガイド](#)』(UG789) を参照してください。

図 5-17 に、ISim の GUI を示します。

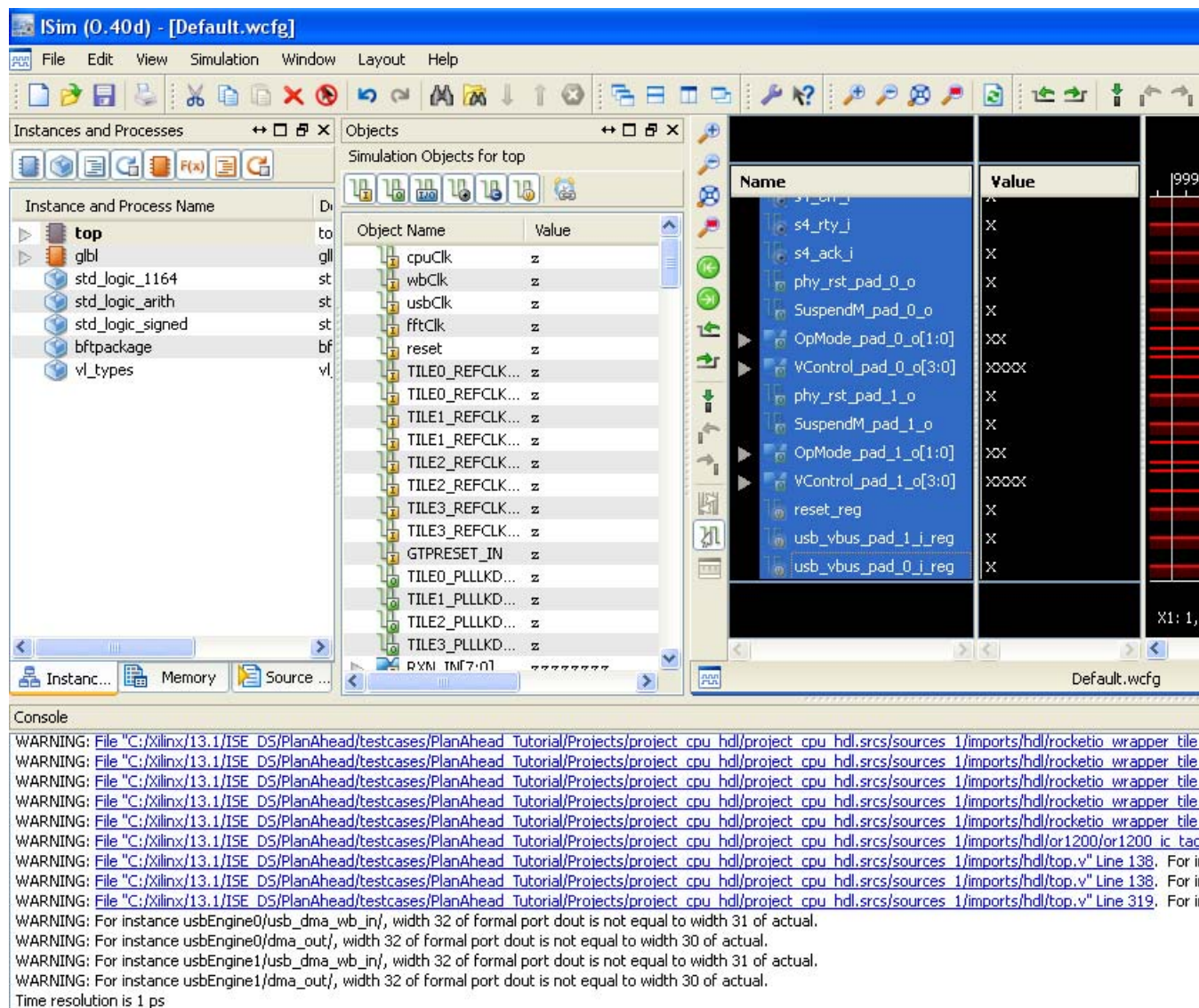


図 5-17 : ISim のユーザー インターフェイス

RTL DRC の実行

このセクションでは、PlanAhead で DRC ルールを選択して DRC 違反を解析する方法について説明します。

DRC の選択

PlanAhead では、RTL デザイン エラボレーションの後に実行できるデザイン ルール チェック (DRC) が提供されています。これらの DRC は、消費電力の削減およびパフォーマンスの向上に焦点を当てています。

1. デザインをエラボレートした後に DRC チェックを実行するには、次のいずれかのコマンドを使用します。
 - [Tools] → [Run DRC] をクリックします。
 - Flow Navigator で [RTL Design] → [Run DRC] をクリックします。

図 5-18 に示す [Run DRC] ダイアログ ボックスが開き、実行するチェックを選択できます。

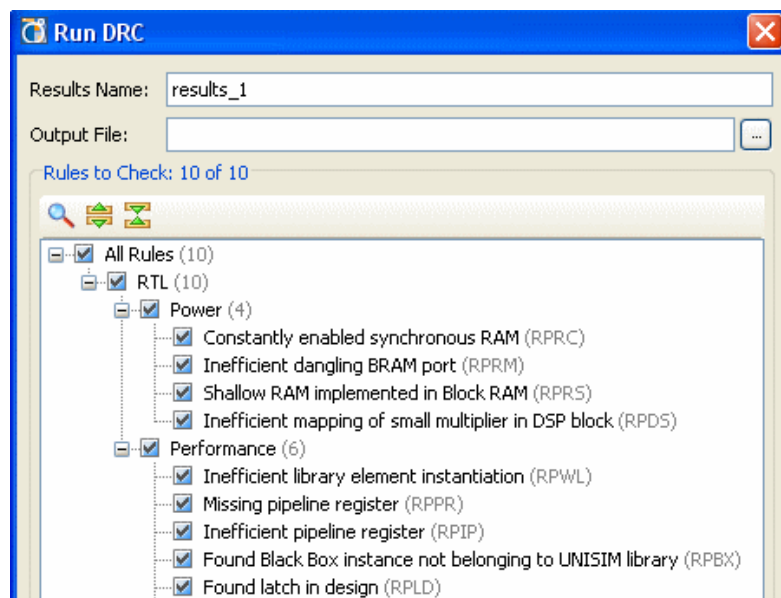


図 5-18 : [Run DRC] ダイアログ ボックス

2. [Run DRC] ダイアログ ボックスで実行するチェックを選択し、[OK] をクリックします。
チェックの詳細は、[付録 B 「PlanAhead の DRC」](#) を参照してください。

DRC 違反の解析

DRC で違反が検出された場合、166 ページの図 5-19 に示す [DRC Results] ビューが表示されます。[DRC Results] ビューには、検出された違反が [Run DRC] ダイアログ ボックスのカテゴリごとに表示されます。

違反には、その重要度も示されます。違反には、問題が発生する可能性があることを示す情報、解決が必要だと思われる問題を示す警告、デザインの正しいインプリメンテーションを阻害する問題を示すエラーがあります。

[DRC Results] ビューでは違反が色分けされており、エラー、警告、情報メッセージを確認しやすくなっています。

- エラーは赤いアイコンで示されます。
- 警告はオレンジ色のアイコンで示されます。
- 情報は黄色のアイコンで示されます。

ツールバーの [Hide Warnings and Informational Messages] ボタン  をクリックすると、警告および情報メッセージを非表示にし、エラーメッセージのみを表示できます。

また、[Severity] 列のヘッダーをクリックすると、違反の重要度で並べ替えることができます。

- 列ヘッダーを 1 回クリックすると昇順で並べ替えられます。
- もう 1 回クリックすると降順で並べ替えられます。

詳細は、第 4 章の「ツリー表示形式のビュー」を参照してください。

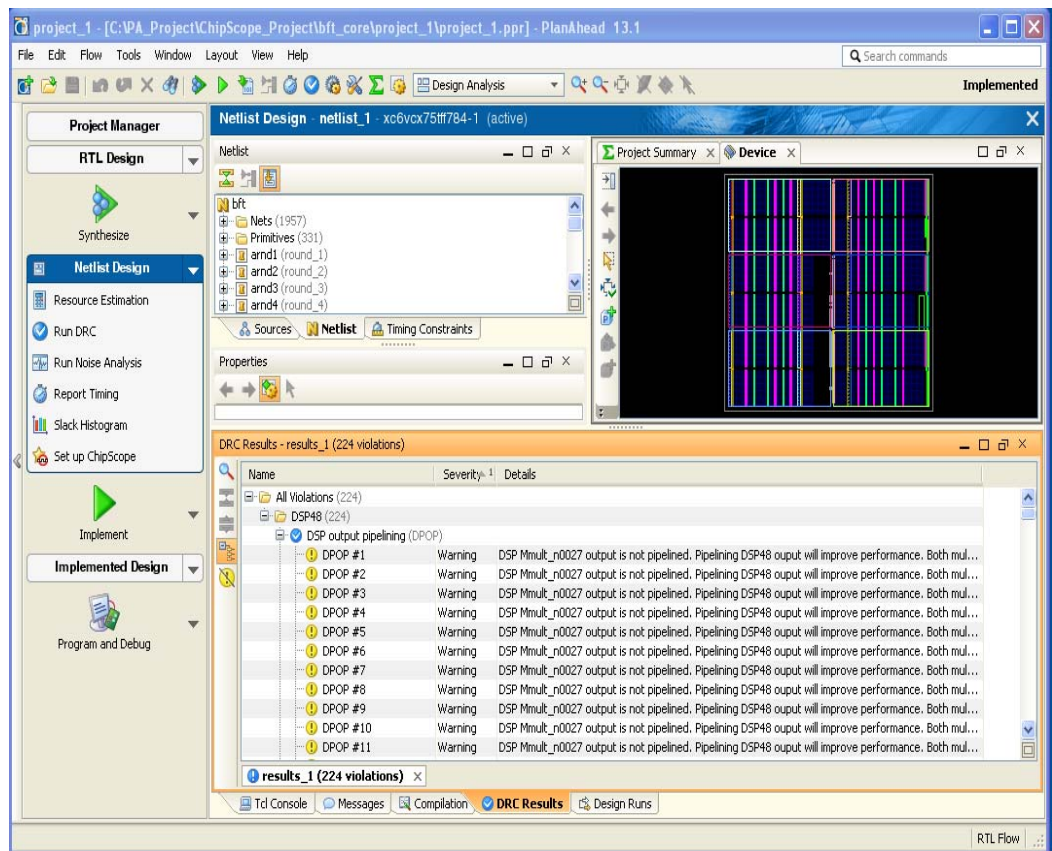


図 5-19 : DRC 違反を含む RTL デザイン

[DRC Results] ビューで違反メッセージを右クリックし、[Violations Properties] をクリックすると、[Violations Properties] ビューが表示されます。このビューで、DRC 違反の概要と、ルールに違反しているデザイン エレメントの詳細を確認できます。

[Violations Properties] ビューの [Details] タブには、DRC に違反するデザイン オブジェクトへのリンクがあります。リンクをクリックすると、そのデザイン オブジェクトが [RTL Netlist] ビュー、[Device] ビュー、[Schematic] ビュー、およびソース RTL ファイルで選択されます。

第 6 章

デザインの合成

PlanAhead での合成およびインプリメンテーションについて

PlanAhead™ ソフトウェアでは、合成およびインプリメンテーションの試行 (実行) をボタンをクリックするだけで実行可能な環境が提供されています。これらの実行データは自動的に管理され、さまざまな RTL ソース バージョン、合成およびインプリメンテーション オプション、制約を使用して繰り返し実行できます。

また、異なるコマンド オプション、ターゲット デバイス、タイミング制約、および物理制約を使用した複数の合成およびインプリメンテーションの実行も可能です。複数の合成およびインプリメンテーションの実行は、順次起動するか、マルチプロセッサ マシンで同時に起動できます。合成実行には、Xilinx® Synthesis Technology (XST) が使用されます。

各インプリメンテーション コマンドのオプション設定のセットをストラテジとして保存し、ザイリックス ISE® Design Suite ツールを使用した合成またはインプリメンテーションの実行に適用できます。ストラテジの詳細は、79 ページの「合成およびインプリメンテーション ストラテジの作成」を参照してください。

進行状況の確認、ログ レポートの表示、実行のキャンセル、実行データの管理、最高の合成およびインプリメンテーション結果のインポートを実行できます。

合成の実行

PlanAhead ソフトウェアで合成を実行する場合、合成オプションを設定して合成を実行し、その結果を表示できます。

合成に関するヒント

次に、PlanAhead をデザインの解析、フロアプラン、階層デザインに最大限に活用するためのロジック合成に関する推奨事項を示します。

ISE 合成結果の最適化については、『合成/シミュレーション デザイン ガイド』(UG626) を参照してください。

クリティカル タイミング パスが 1 つのモジュール内に制限されるよう、できる限り RTL レベルでデザインを分割します。

メモ： クリティカル パスが多数の階層モジュールにまたがっていると、フロアプランやパーティションの設定が困難です。


- モジュールの出力にレジスタを付け、クリティカル パスに関連するモジュールの数を制限します。

メモ： 1 つの大型階層ブロックに長いパスがあると、フロアプランが困難になります。RTL で大型階層ブロックを分割してみてください。

- デザインの変更頻度が高い場合は、インクリメンタル合成を考慮します。ほとんどのサードパーティ合成ツールでは、トップダウンのインクリメンタル合成およびインプリメンテーションが可能です。この機能とザイリンクスのパーティション機能を組み合わせて、インプリメント済みデザインで変更されていないモジュールを保持できます。デザイン保持は、インクリメンタルフローには役立ちますが、階層をまたがるグローバル最適化が不可能であるため、パフォーマンスが低下することがあります。インクリメンタル手法を試す前に、このトレードオフを考慮してください。
- 合成エンジンで階層が再構築されるように設定するか、合成ネットリストの階層を保持します。フラット化されたネットリストは合成の面からは最適ですが、フロアプランおよび配置制約が困難になります。
- 合成後にロジック階層を再構築する合成オプション (XST コマンド ライン オプション `-netlist_hierarchy = rebuilt` など) を使用します。このオプションは、[PlanAhead Defaults (XST)] 以外のすべての合成ストラテジで設定されています。[PlanAhead Defaults (XST)] ストラテジでは、`-netlist_hierarchy=as_optimized` が設定されています。

合成オプションの設定

合成オプションは、次の場所から設定できます。

- [Tools] → [Project Settings] → [Synthesis] をクリックします (図 6-1)。
- Flow Navigator で [Project Manager] → [Project Settings] をクリックし、[Synthesis] をクリックします。
- [Project Summary] ビューの [Synthesis] セクションの下にある [Strategy] の名前のリンクをクリックします。
- [Project Settings] ボタン  をクリックします。

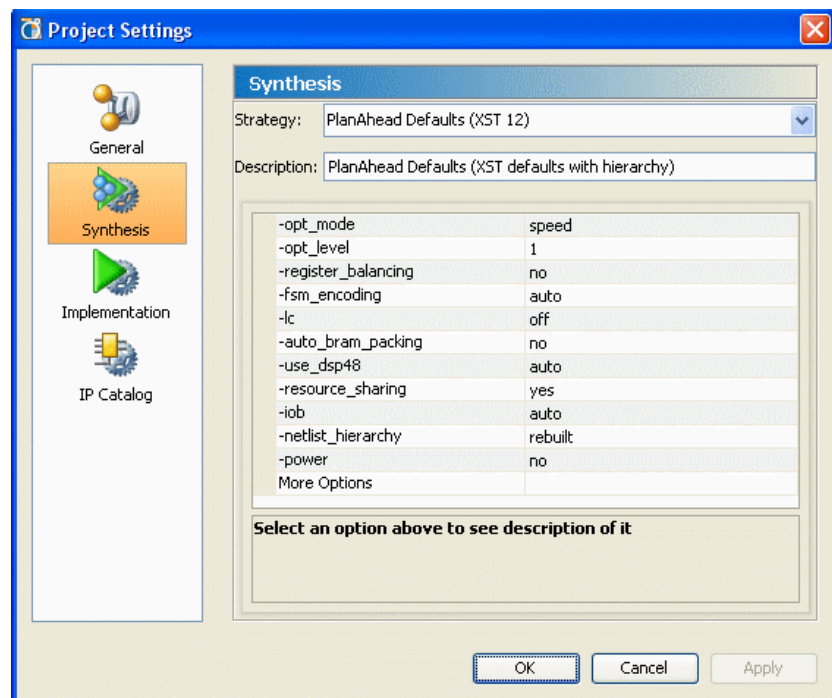


図 6-1 : [Project Settings] ダイアログ ボックスの [Synthesis] ページ

[Project Settings] ダイアログ ボックスの [Synthesis] ページでは、次の合成実行で使用する XST オプションを設定します。次のオプションがあります。

- [Strategy] : 合成実行に適用する既存ストラテジを選択します。ストラテジの詳細は、[第 3 章の「合成およびインプリメンテーション ストラテジの作成」](#)を参照してください。
- [Description] : ストラテジの詳細を表示します。ユーザー定義のストラテジの場合は、このフィールドは編集可能です。
- [Synthesis (xst)] : XST オプションを設定します。オプションを選択すると、簡単な説明と目的がページの下部に表示されます。オプション名の横にアスタリスク (*) が付いている場合は、その値がデフォルト以外の値に設定されていることを示します。

メモ : PlanAhead ソフトウェアを終了する前に合成を実行しなかった場合、これらのオプションの変更は保持されません。合成実行がプロジェクト内にある場合は、アクティブ合成実行のプロジェクト設定が使用されます。合成実行がプロジェクトに含まれない場合は、デフォルトが使用されます。

XST オプションを使用した階層ネットリストの作成

[PlanAhead Defaults (XST)] 以外の XST 合成ストラテジでは、`-netlist_hierarchy = rebuilt` オプションが設定されています。このオプションを使用すると、XST のロジック最適化でネットリストがフラット化されますが、その後ロジック名に基づいてロジック階層が再構築されます。これにより、PlanAhead でのデザイン解析およびフロアプランが容易になります。

このオプションを使用して問題が発生した場合は、[Project Settings] ダイアログ ボックスの [Synthesis] ページで `-netlist_hierarchy` オプションを `as_optimized` に戻してください。

ファイルのコンパイル順序

RTL ソース ファイルは、合成ツールで [Sources] ビューに表示される順序でコンパイルされます。リストの一番上のファイルが最初にコンパイルされ、一番下のファイルが最後にコンパイルされます。[Sources] ビューでファイルをドラッグ アンド ドロップするか、ファイルを右クリックして [Move Up] または [Move Down] をクリックして順序を入れ替えると、ファイルのコンパイル順を変更できます。これは、宣言のあるファイルをほかのファイルよりも最初にコンパイルする必要がある場合などに必要な機能です。詳細は、[第 4 章の「\[Sources\] ビュー」](#)を参照してください。

[Sources] ビューでトップ モジュールを指定すると、トップ モジュールのデザイン階層に基づいて、PlanAhead ソフトウェアでソース ファイルの順序が自動的に決定されます。

パーティションを含むデザインの合成

エラボレートされた RTL デザインのインスタンスにパーティションを定義できます。パーティションを定義すると、XST のインクリメンタル フローが使用されます。このフローでは、トップ モジュールを含む各パーティションに対して個別の NGC ファイルが生成されます。合成が正しく完了した場合はその結果をプロモートし、変更されていないパーティションを次回の実行にインポートできます。

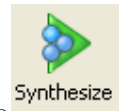
パーティションの使用法、その制限、最適な結果を得るための設計方法は、[第 13 章「階層デザイン手法の使用」](#) および『[階層デザイン手法ガイド](#)』(UG748)を参照してください。

合成実行の起動

合成を起動するには、[Synthesize] ボタンをクリックします。

現在の合成プロジェクト設定を使用して実行が起動します。

ステータス バーに合成が実行中であることが示され、[Compilation] ビューにコマンドのステータスが表示されます。



合成実行の設定

合成実行オプションは、Flow Navigator の [Synthesize] プルダウン メニューから [Synthesis Settings] をクリックすると設定できます。

図 6-2 に、Flow Navigator の [Synthesize] のプルダウン メニューを示します。

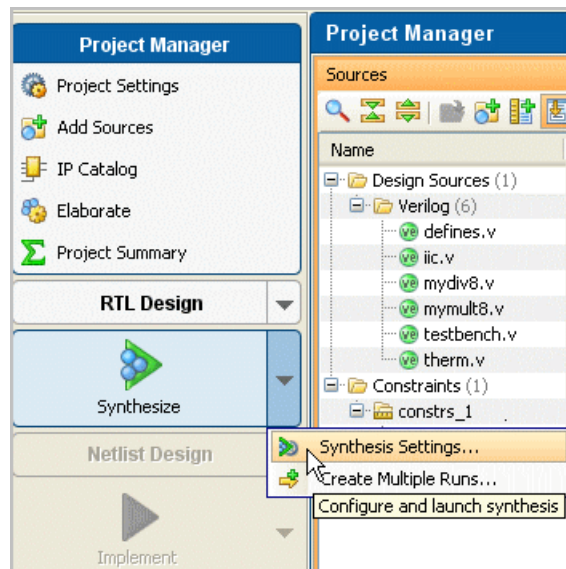


図 6-2 : [Synthesize] のプルダウン メニュー

図 6-3 に示す [Synthesis Settings] ダイアログ ボックスが開きます。

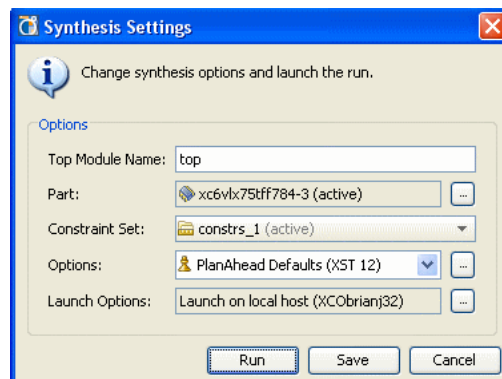


図 6-3 : [Synthesis Settings] ダイアログ ボックス

[Synthesis Settings] ダイアログ ボックスでは、次のオプションを設定できます。

- [Top Module Name] : トップ モジュールを指定します。
- [Part] : ターゲット デバイスを選択します。参照ボタンをクリックすると、[Select Part] ダイアログ ボックスが表示されます。
- [Constraint Set] : 制約セットを指定します。
- [Options] : 実行に使用する合成ストラテジを選択します。参照ボタンをクリックし、[Design Run Settings] ダイアログ ボックスで XST コマンド オプションを変更します。

図 6-4 に、[Design Run Settings] ダイアログ ボックスを示します。

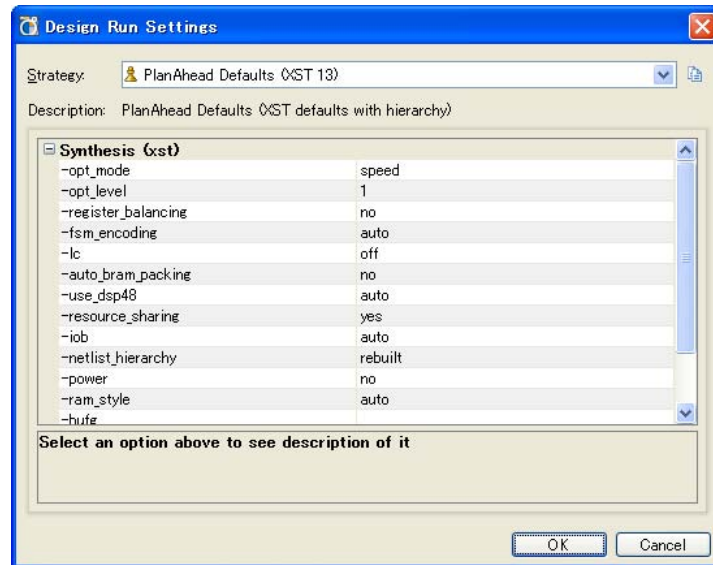


図 6-4 : [Design Run Settings] ダイアログ ボックス

- [Launch Options] : 追加の起動オプションを選択します。図 6-5 に、[Specify Launch Options] ダイアログ ボックスを示します。

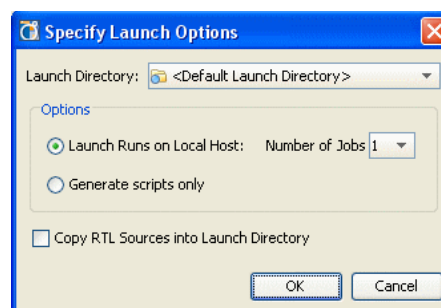


図 6-5 : [Specify Launch Options] ダイアログ ボックス

[Specify Launch Options] ダイアログ ボックスでは、次のオプションを設定できます。

- [Launch Directory] : 合成実行を保存する場所を指定します。
メモ : プロジェクト ファイルには絶対パスが記述されるので、プロジェクト ディレクトリ外のデフォルトでない場所を指定すると、プロジェクトを移動しにくくなります。

- [Launch Runs on Local Host] : ローカル マシンのプロセッサで実行を起動します。
 - [Number of Jobs] : 実行に使用するローカル プロセッサの数を指定します。このオプションは、複数の実行を同時に起動する場合にのみ使用されます。各実行が各プロセッサで起動されます。このオプションでは、マルチスレッド プロセッサは使用されません。
- [Launch Runs on Remote Hosts] (Linux のみ) : ジョブを起動するのにリモート ホストを使用します。
 - [Configure Hosts] : リモート ホストを設定します。詳細は、[第 9 章の「リモート Linux ホストでの run の起動」](#)を参照してください。
- [Generate scripts only] : 実行ディレクトリおよび実行スクリプトをエクスポートおよび作成しますが、実行は起動しません。スクリプトは、PlanAhead 環境外で後で実行できます。
- [Copy RTL Sources into Launch Directory] : RTL ソースを合成実行ディレクトリにコピーするかどうかを指定します。オフにすると (デフォルト)、RTL ソースは元のソース ディレクトリ (ローカルまたはリモート) に配置されたままになります。

合成を実行すると、そのディレクトリからファイルが直接読み込まれ、ソースは合成実行ディレクトリにはコピーされません。これにより、参照されたソース ファイル間の相対的なファイル構造が保持され、使用されるディスク容量を削減できます。

メモ : この機能は RTL ソースにのみ適用されます。ネットリスト ソース、IP、および制約ファイルは、常にインプリメンテーション実行ディレクトリにコピーされます。

- [Run] : 現在の設定内容を使用して実行を起動します。
- [Save] : 設定は保存します。実行は起動されません。

実行ステータスの監視

合成実行のステータスは [Compilation] ビューで、合成の情報、警告、エラー メッセージは [Messages] ビューで確認できます。詳細は、[263 ページの「run ステータスの監視」](#)を参照してください。

[Messages] ビューで情報、警告、またはエラー メッセージを選択すると、該当する RTL ソース ファイルがテキスト エディターに読み込まれ、問題のソース コードがハイライトされます。[図 6-6](#)に、[Messages] ビューでメッセージを選択し、テキスト エディターにソース ファイルが表示された様子を示します。この機能により、合成中に発生する問題をすばやく見つけることができます。

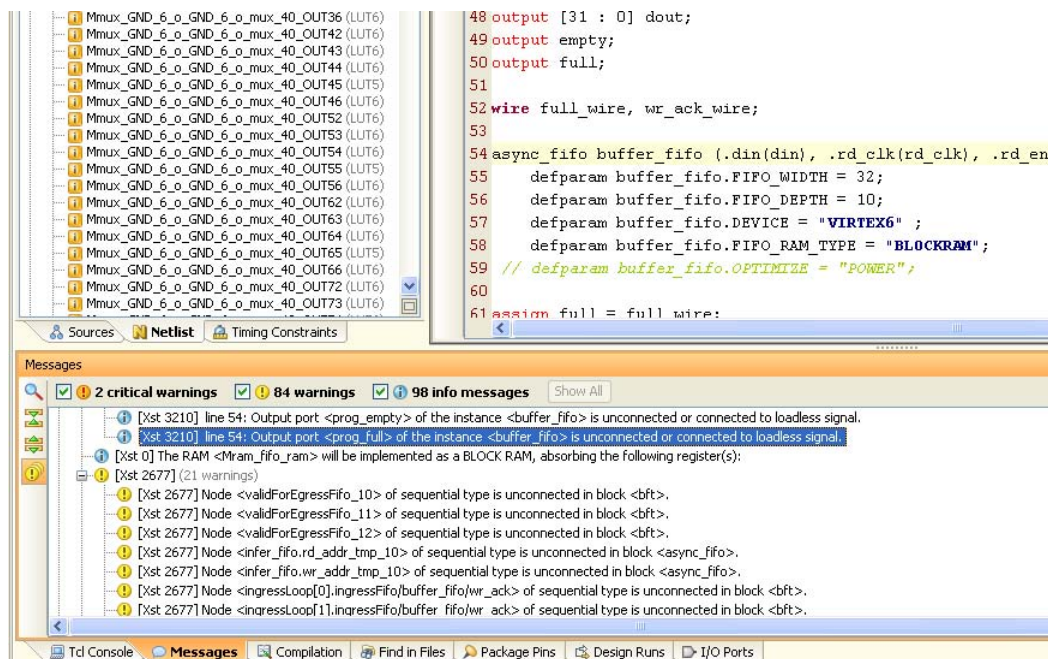


図 6-6 : [Messages] ビューからの RTL ソース ファイルの表示

合成終了後の次の手順の選択

実行が完了すると、図 6-7 に示す [Synthesis Completed] ダイアログ ボックスが表示され、次の手順を選択できます。

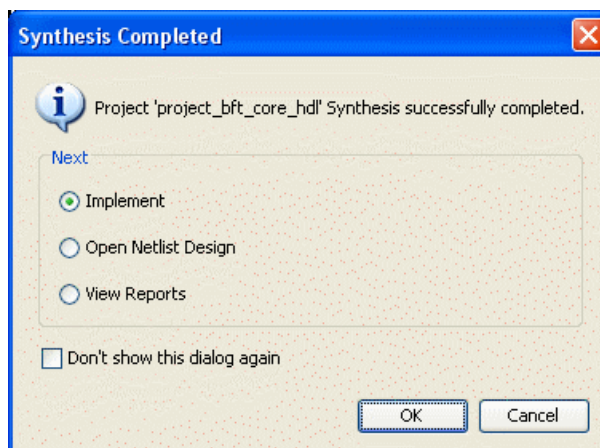


図 6-7 : [Synthesis Completed] ダイアログ ボックス

1. [Synthesis Completed] ダイアログ ボックスで、次の手順を選択します。

次のオプションがあります。

- [Implement] : インプリメンテーションを現在のインプリメンテーション プロジェクト設定を使用して起動します。インプリメンテーションプロセスの詳細は、第 9 章「デザインのインプリメンテーション」を参照してください。

- [Open Netlist Design] : ネットリスト、アクティブな制約セット、ターゲット デバイスを PlanAhead デザイン解析およびフロアプラン環境にインポートし、I/O ピン配置、デザイン解析、フロアプランを実行します。詳細は、[第 7 章の「ネットリストの解析および制約の定義」](#)を参照してください。
 - [View Reports] : XST レポート ファイルを選択して表示する [Reports] ビューを開きます。レポート解析の詳細は、[266 ページの「レポート ファイルの表示」](#)を参照してください。
2. [OK] または [Cancel] をクリックします。

実行結果の解析

合成が終了したら、合成レポートを表示し、合成済みデザインを開いて解析および使用し、インプリメンテーション前にデザインに制約を適用できます。[Reports] ビューには、PlanAhead の合成ツールおよびインプリメンテーション ツールで生成されたレポートのリストが表示されます。[Reports] ビューを開き、レポートを開いて特定の実行の詳細を確認します。[174 ページの図 6-8](#)に、合成レポートの例を示します。

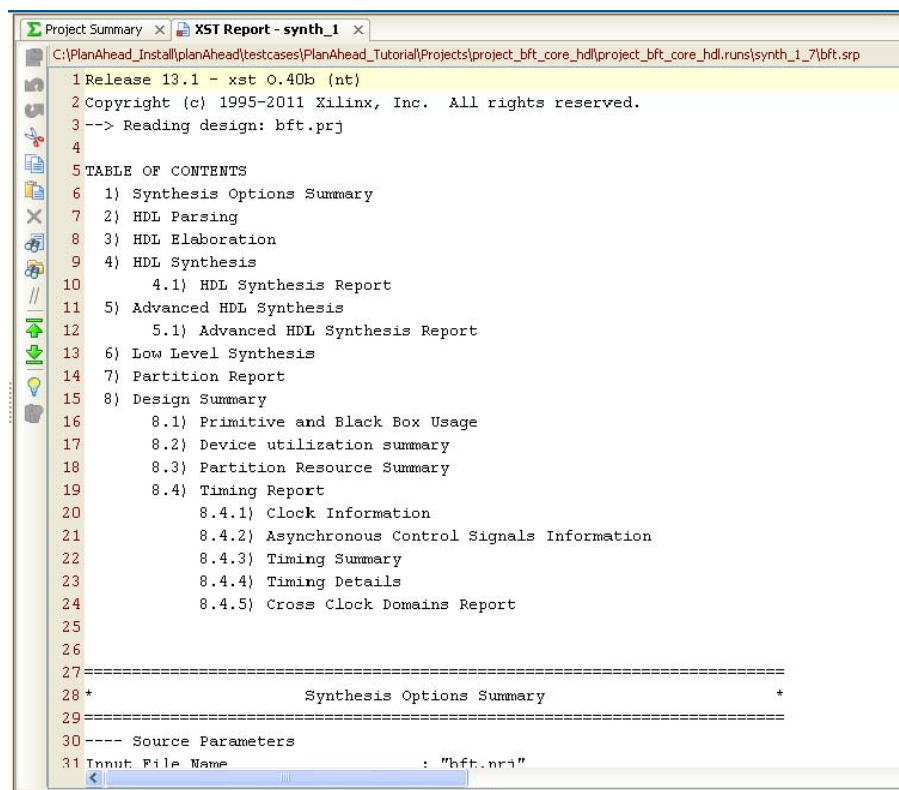


図 6-8：合成レポートの例

このレポートの「TABLE OF CONTENTS」セクションに、合成レポートに含まれる情報がリストされています。詳細は、次を参照してください。

- [266 ページの「run 結果の解析」](#)
- [177 ページの「ネットリスト デザイン環境の使用」](#)
- [269 ページの「\[Project Summary\] ビュー」](#)

複数の合成実行の起動

PlanAhead では、複数の合成実行を作成して起動し、最適な結果が得られるようさまざまな合成オプションを試すことができます。各実行は順次起動するか、複数のローカル CPU で同時に起動できます。Linux システムでは、リモート サーバーを指定できます。PlanAhead をリモート ホストで実行できるよう設定する方法については、第 9 章の「リモート Linux ホストでの run の起動」を参照してください。

第 7 章

ネットリストの解析および制約の定義

概要

PlanAhead™ のデザイン解析および制約定義の機能は、通常インプリメンテーションを実行する前にネットリスト デザインを開くと実行できますが、この章で説明される解析および制約機能の多くはインプリメント済みデザインでも使用できます。

ネットリスト デザイン環境では、次が実行できます。

- I/O ピン配置
- デザインをさまざまな側面から解析
- リソースとタイミング概算を検証
- 付録 B「PlanAhead の DRC」に示されるデザイン ルール チェックを実行
- ISE® Design Suite 用に物理制約とタイミング制約を定義

次のような PlanAhead のデザイン タスクは、ネットリスト デザイン環境で実行する必要があります。

- ChipScope™ Pro Analyzer デバッグ コアの挿入 (344 ページの「ChipScope を使用したデザインのデバッグ」を参照)
- ネットリスト ベースの PlanAhead プロジェクトのデザイン保持およびパーシャル リコンフィギュレーションのためのパーティション定義 (第 13 章の「階層デザイン手法の使用」を参照)

ネットリスト デザイン環境の使用

PlanAhead には、さまざまな表示からデザインを解析し、インプリメンテーション ツール前にデザインに制約を付けることのできる環境が提供されています。

[Netlist Design] を開くと、PlanAhead に合成済みのネットリスト、アクティブな制約セット、ターゲット デバイスが読み込まれます。詳細は、126 ページの「[Netlist] ビュー」を参照してください。

ネットリスト デザインを作成または開くには、次のいずれかを実行します。

- [Flow] → [Netlist Design] をクリック
- Flow Navigator の [Netlist Design] ボタンをクリック
- [Flow] → [Open Netlist Design] をクリックし、ネットリスト デザインに使用する名前、制約セット、ターゲット パーツを指定します。PlanAhead では、指定したとおりに新しいネットリスト デザインが作成されます。

[Design Analysis] ビュー レイアウトには、デザイン ロジックと階層、リソース使用率とタイミング概算を確認し、DRC を実行してタイミング制約および物理制約を適用することのできるさまざまなデザイン情報が含まれます。

[Design Analysis] ビューレイアウトには、図 7-1 のように [Project Summary]、[Device]、[Netlist]、[Sources]、[Timing Constraints]、[Physical Constraint] などのビューが含まれます。

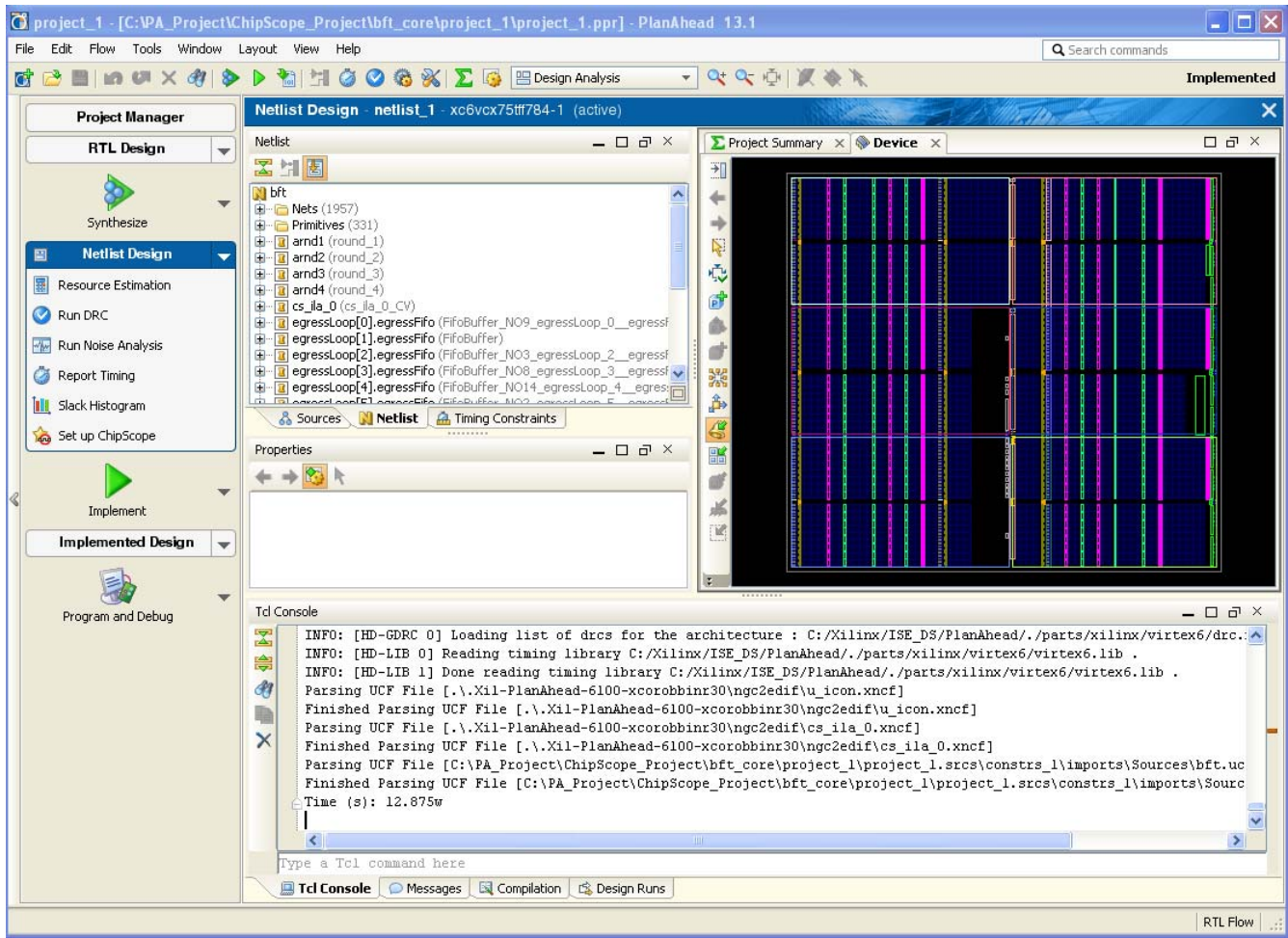


図 7-1： ネットリスト デザインの [Design Analysis] ビューレイアウト

PlanAhead には、設計中に使用される多くのビューを集めたデフォルト設定が複数あり、これをビューレイアウトと呼びます。必要な場合は、[Package] ビューなどのその他のビューも開くことができます。特定のビューの詳細は、107 ページの「PlanAhead ビューの使用」を参照してください。

ビューの編成は、ユーザー定義のビューレイアウトとして保存することもでき、よく使用する PlanAhead のビューをまとめて素早く表示できます。詳細は、138 ページの「ビューレイアウトの作成と使用」を参照してください。

リソース統計の表示とレポート

[Netlist Design] を開くと、[Project Summary] ビューにデザインの論理内容とデバイス使用率に関する統計情報が表示されます。[Project Summary] ビューには、エラボレートされた RTL ネットリストおよび合成済みネットリストのリソース使用率の概算が表示される [Resources] ペインと、合成およびインプリメンテーションレポートからのサマリ情報が表示される [Compilation] ペインが含まれます。

PlanAhead では、ネットリスト インスタンスや Pblock を選択すると、[Instance Properties] または [Pblock Properties] ビューでリソース統計を確認することもできます。表示される情報には、ロジック オブジェクト タイプのカウント、使用されたデバイス リソースの割合、キャリー チェーン情報、クロック レポートなどがあります。この情報は、Excel スプレッドシートにエクスポートできます。

階層別のリソース概算

リソース概算は、展開可能な階層ツリーとしてグラフィカルに表示できます。リソース タイプを展開すると、論理階層の各レベルを表示できます。

デバイス リソース概算をグラフィカルに表示するには、次の手順に従います。

1. [Netlist Design] を開きます。
2. 次のいずれかをクリックします。
 - [Flow Navigator] → [Resource Estimation]
 - [Tools] → [Resource Estimation]

階層別のリソース使用率のサマリが図 7-2 のように表示されます。

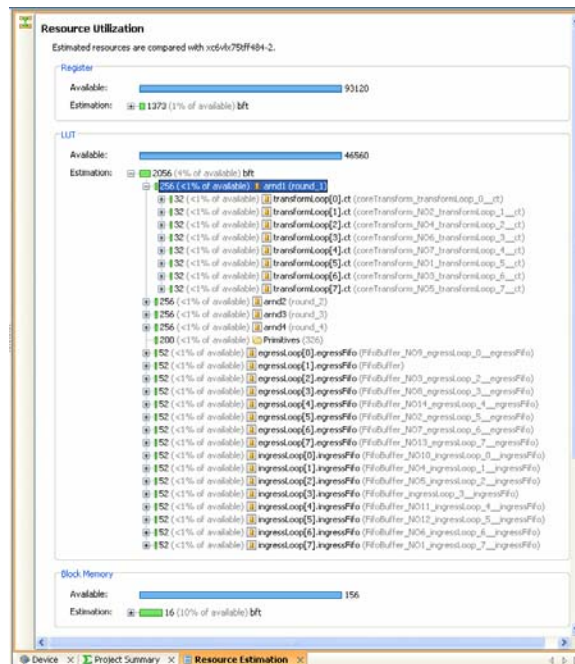


図 7-2: 階層別のリソース概算

ロジック インスタンスのリソース統計の表示

PlanAhead にはデザインに含まれるデバイス リソースの見積り数をレポートする機能があります。最上位レベルを含むロジック インスタンスのリソース統計は、[Instance Properties] ビューに表示できます。

デザイン リソース統計を表示するには、最上位レベル モジュールまたはインスタンス モジュールを [Netlist] ビューで選択します。図 7-3 は、最上位モジュールが選択された状態の [Netlist] ビューを示しています。

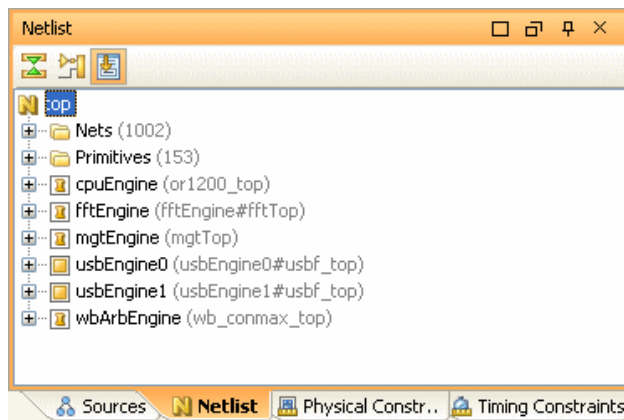


図 7-3： 最上位モジュールが選択されている [Netlist] ビュー

ネットリストまたはインスタンスのプロパティがプロパティのビューに表示されます。

表示されない場合は、モジュールを右クリックし、ポップアップ メニューで [Net Properties] または [Instance Properties] をクリックします。

- [Net Properties] には、デフォルトで [Statistics] タブが 1 つ表示されます。
- [Instance Properties] には、5 つのタブがあります。[Instance Properties] を表示している場合は [Statistics] タブをクリックします。

[Statistics] タブには、プリミティブ インスタンス数、インターフェイス信号数、クロック名、クロック信号を受けるインスタンス数、キャリー チェーン数およびその最大長といった重要なデザイン情報が表示されます。

181 ページの図 7-4 は、ネットリスト リソースの統計の例を示しています。

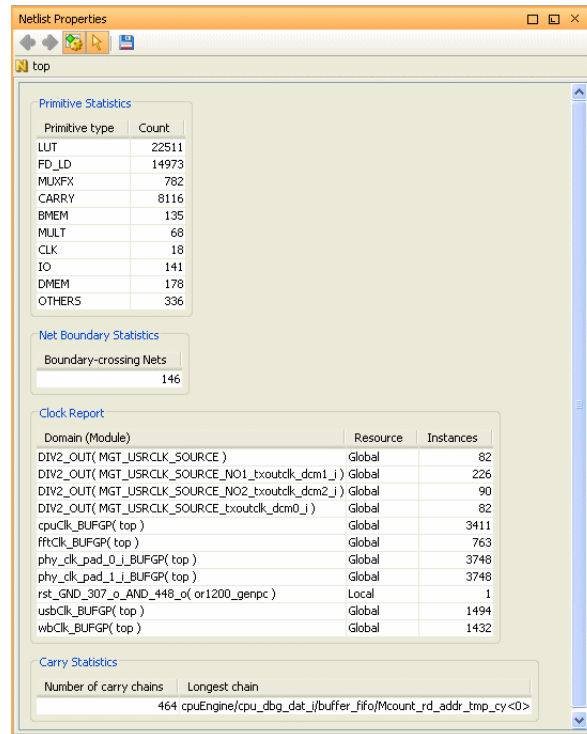


図 7-4： ネットリスト リソース統計

Pblock のリソース統計の表示

PlanAhead には、Pblock のロジック使用率統計が含まれ、この情報は Pblock エリアに十分なデバイス リソースが含まれているかどうか確認するのに役立ちます。また、ROOT Pblock はデザインの最上位と認識され、デザイン全体の使用率統計を提供します。

Pblock の使用率統計は、次の手順で表示できます。

1. [Physical Hierarchy] ビューで、[ROOT] またはいずれかの Pblock をクリックします。図 7-5 では、ROOT Pblock が選択されています。

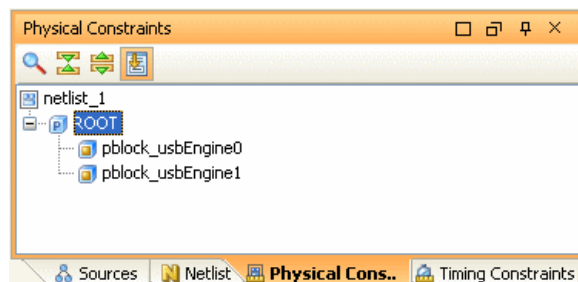


図 7-5： [Physical Constraints] ビューで [ROOT] を選択

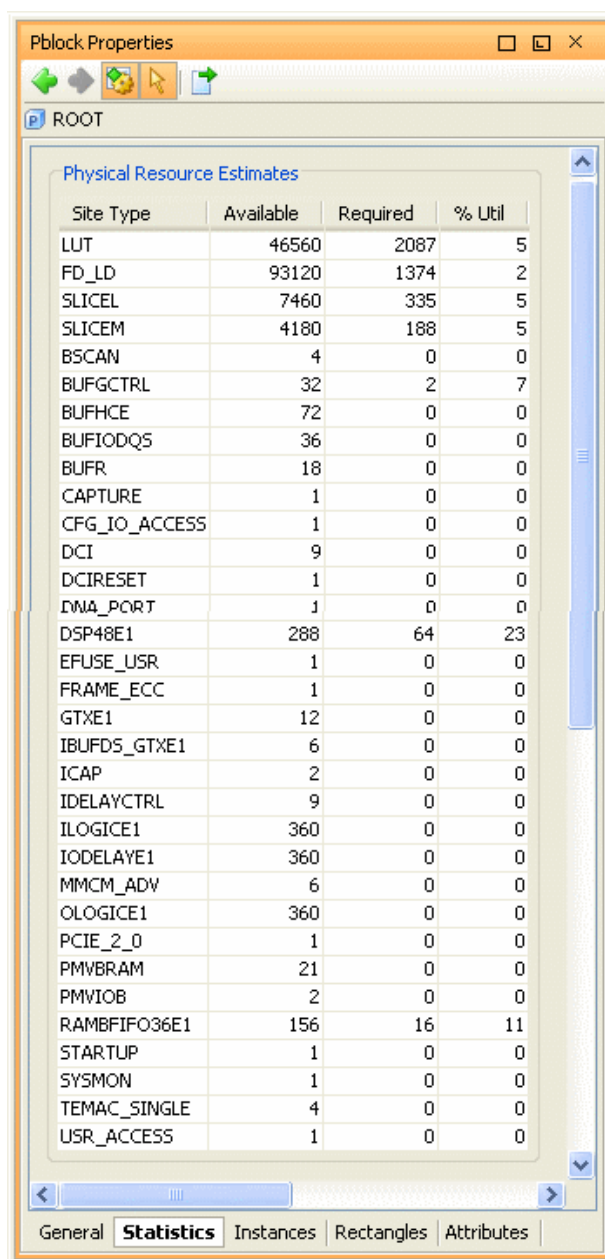
Pblock プロパティが [Pblock Properties] ビューに表示されます。

2. [Pblock Properties] が表示されない場合は、[ROOT] または Pblock を右クリックし、ポップアップメニューで [Pblock Properties] をクリックします。

詳細は、第 10 章の「Pblock プロパティの表示」を参照してください。

[Statistics] タブの使用

[Statistics] タブには、さまざまなデバイス リソースのデバイス全体での使用状況、キャリー チェーン数と最長チェーンの長さ、RPM 数と最大サイズ、クロック名とクロックが供給されているインスタンスの数、I/O 使用率、および信号とプリミティブ インスタンスの数などのデザイン情報が表示されます。図 7-6 は、[Statistics] タブの例です。



Pblock Properties

ROOT

Physical Resource Estimates

Site Type	Available	Required	% Util
LUT	46560	2087	5
FD_LD	93120	1374	2
SLICEL	7460	335	5
SLICEM	4180	188	5
BSCAN	4	0	0
BUFGCTRL	32	2	7
BUFHCE	72	0	0
BUFIODQS	36	0	0
BUFR	18	0	0
CAPTURE	1	0	0
CFG_IO_ACCESS	1	0	0
DCI	9	0	0
DCIRESET	1	0	0
DMA_PORT	1	0	0
DSP48E1	288	64	23
EFUSE_USR	1	0	0
FRAME_ECC	1	0	0
GTXE1	12	0	0
IBUFDS_GTXE1	6	0	0
ICAP	2	0	0
IDELAYCTRL	9	0	0
ILOGICE1	360	0	0
IODELAYE1	360	0	0
MMCM_ADV	6	0	0
OLOGICE1	360	0	0
PCIE_2_0	1	0	0
PMVBRAM	21	0	0
PMVIOB	2	0	0
RAMBFIFO36E1	156	16	11
STARTUP	1	0	0
SYSMON	1	0	0
TEMAC_SINGLE	4	0	0
USR_ACCESS	1	0	0

General **Statistics** Instances Rectangles Attributes

図 7-6 : [Pblock Properties] ビュー : [Statistics] タブ

リソース統計レポートのエクスポート

表示されているデータは表計算式ファイルに保存できます。PlanAhead では階層形式のレポートが生成されます。このレポートでは、レベル別に各モジュールの概算値をレポートする階層数を定義できます。

リソース統計レポートをエクスポートするには、次の手順に従います。


1. [Export Statistics] ボタン  をクリックし、データを表計算ファイルにエクスポートします。

図 7-7 のように、[Export Netlist Statistics] ダイアログ ボックスが開きます。

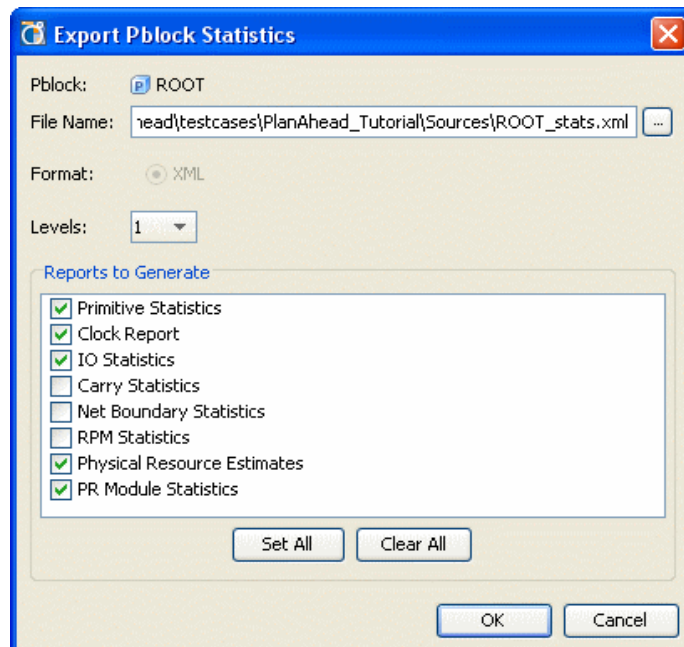


図 7-7： ネットリスト リソース統計のエクスポート

[Export Netlist Statistics] ダイアログ ボックスでは、次のオプションが設定できます。

- [File Name] : 表計算ファイルの名前および保存場所を入力します。
 - [Format] : 出力ファイルのフォーマットには XML が選択されています。
 - [Levels] : レポートで表示される階層のレベル数を設定します。
 - [Reports to Generate] : Pblock プロパティ統計からの情報タイプを定義します。
2. エクスポート ファイルのオプションを設定します。
 3. [OK] をクリックします。

ロジックのエクスポート

PlanAhead にはデザイン ロジックを解析するための表示方法が複数あります。

- [Netlist] および [Hierarchy] ビューには、ナビゲート可能な階層ツリー形式の表示が含まれます。
- [Schematic] ビューでは、選択したロジックを展開したり階層表示にできます。
- [Device] ビューは、デバイス、配置ロジック オブジェクトおよび接続をグラフィカルに表示します。ビュー同士はすべて連動しているので、該当する情報を素早く見つけることができます。
- [Implemented Design] ビューには、その他の解析機能が含まれます。この機能は、配置およびタイミング結果がインポートされた後に使用した方が適しています。詳細は、[第 11 章「インプリメンテーション結果の解析」](#)を参照してください。

次のセクションでは、PlanAhead で使用できるロジック展開方法について説明しています。

ロジック階層の表示

[Netlist] ビューには、RTL のロジック階層が表示されます。ネットリスト内のロジック インスタンスまたはネットは、展開して選択できます。別のビューでロジック オブジェクトを選択すると、[Netlist] ビューは自動的に展開され、そのロジック オブジェクトを表示します。詳細は、[126 ページの「\[Netlist\] ビュー」](#)を参照してください。

インスタンスまたはネットの情報は、[Instance Properties] または [Net Properties] ビューに表示されます。

[Hierarchy] ビューには、RTL ロジック階層がグラフィカルに表示されます。各モジュールの大きさは、その他のモジュールに対して相対的な比率で表示されるので、それを基に選択したロジックモジュールのサイズや位置が決定できます。詳細は、[129 ページの「\[Hierarchy\] ビュー」](#)を参照してください。

ロジック回路図の表示

[Schematic] ビューでは、選択したロジックを展開したり表示できます。[Schematic] ビューを表示する前には、少なくとも 1 つのロジック オブジェクトを選択する必要があります。[Schematic] ビューではどのロジックでも選択して表示できます。

タイミング パスをグループにしておくと、そのパスに含まれるインスタンスがすべて表示できます。これにより、タイミング クリティカルなモジュールが含まれる箇所を視覚的に表示できるので、フロアプランしやすくなります。

[Schematic] ビューを開くには、次の手順に従います。

1. 1 つまたは複数のインスタンス、ネット、タイミング パスを選択します。
2. ツールバーかポップアップ メニューで [Schematic] をクリックするか、F4 キーを押します。

[Schematic] ビューが開き、選択したロジック オブジェクトが表示されます。

3. ピン、インスタンス、階層モジュールのいずれかのロジックを選択して展開します。

詳細は、[118 ページの「\[Schematic\] ビュー」](#)を参照してください。

階層接続の解析

PlanAhead には、さまざまなロジック モジュール間の接続をビジュアルに確認できる機能を含む、ロジック階層を確認する機能があります。

場合によっては、最上位レベルのフロアプランを作成して、図 7-8 に示すように接続フローをビジュアルに確認したほうが便利ことがあります。

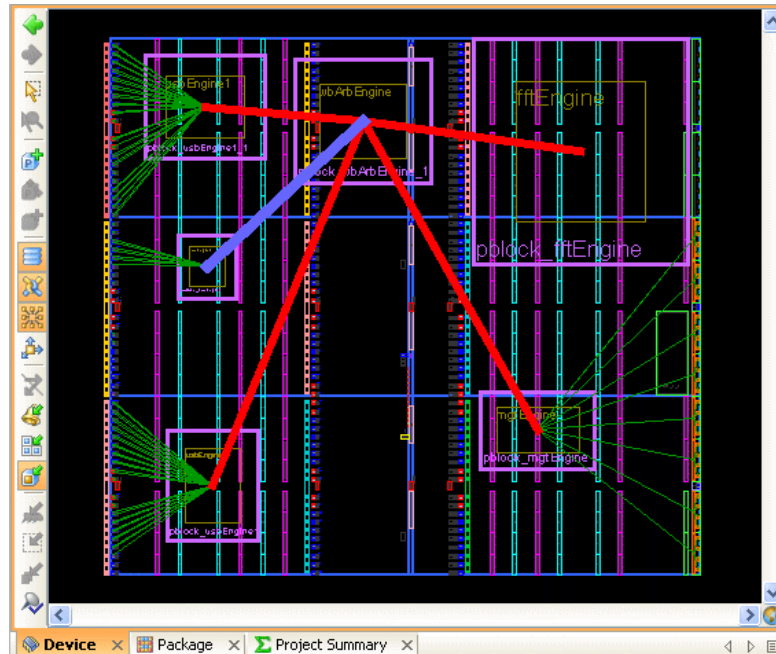


図 7-8： 最上位デザイン接続の表示

デザイン階層の主なレベルで Pblock を作成すると、最上位レベルのフロアプランを作成できます。詳細は、第 10 章「デザインのフロアプラン」を参照してください。

ネット バンドルは、モジュール間の接続が多いことを示します。ネットを選択すると、[Net Bundle Properties] にバンドル情報が表示されます。

この色と太さは、ネットに含まれる信号数によって設定できます。[Tools] → [Options] をクリックし [PlanAhead Options] ダイアログ ボックスを開き、[General] を選択します。ネット バンドルを表示するオプションには、[Mesh] または [Tree] パターンがあります。

階層を移動し、大きな最上位レベルのインスタンスのサブモジュールを作成して、さらに細かく表示することもできます。

最上位レベルのフロアプランは I/O ピン配置コンフィギュレーションの質を示すもので、煩雑になりかねない配線の問題を識別するのに役立ちます。

各モジュールのリソース統計およびクロック要件も、潜在的な配置問題を知るために確認できます。

詳細については、『フロアプラン手法ガイド』(UG633) を参照してください。

[Find] コマンドを使用したオブジェクトの検索

PlanAhead では、[Find] コマンドを使用してインスタンスまたはネットを検索できます。[Find] コマンドを実行するには、次の手順に従います。

1. 次のいずれかをクリックします。


- [Edit] → [Find]
- Ctrl + F キーボード ショートカット
- [Find] ツールバー ボタン 

図 7-9 のように、[Find] ダイアログ ボックスが開きます。

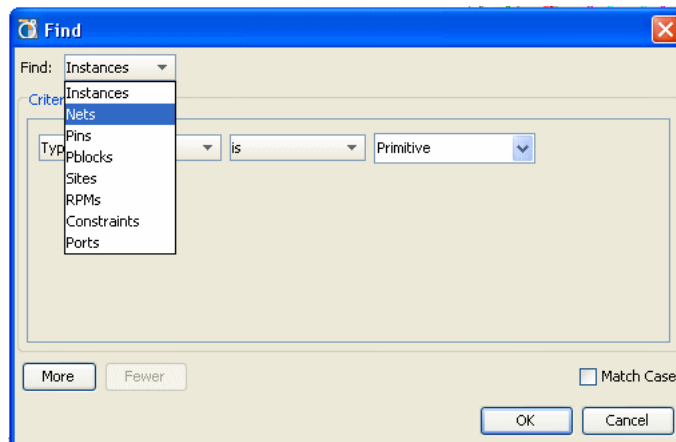


図 7-9： [Find] ダイアログ ボックス

2. 編集可能なフィールドを確認し、必要があれば変更します。

- [Find]：検索するオブジェクトのタイプ ([Instances]、[Nets]、[Pins]、[Pblocks]、[Sites] など) を選択します。

メモ： [Find] フィールドのほとんどのオブジェクト タイプはデザイン ネットリストの論理オブジェクトを参照しますが、[Sites] オブジェクト タイプは物理 I/O パッド、スライス、グローバル バッファ、専用ブロック RAM および DSP コンポーネントなど、デバイスの物理オブジェクトを参照します。

- [Criteria]：選択したオブジェクトのタイプに合った検索パラメータが表示されます。
 - 最初のフィールドでは、[Name]、[Status]、[Type]、[Parent Pblock]、[Module]、[Primitive count] などから、検索する属性を指定します。このフィールドの値は、[Find] フィールドで選択したオブジェクト タイプによって異なります。
 - 2 番目のフィールドでは、[matches]、[doesn't match]、[contains]、[doesn't contain] から、検索のブール型を指定します。
 - 3 番目のフィールドには、カテゴリを選択するか検索文字列を入力します。検索文字列にはアスタリスク (*) をワイルドカードとして使用できます。

3. オプションで、検索条件を追加したり、異なるタイプのオブジェクトを同時に検索するための条件を指定できます。

[More] ボタンをクリックすると、ダイアログ ボックスに検索条件の行が追加されます。[AND] または [OR] を選択し、条件を指定します。[AND] または [OR] を使用すると、187 ページの図 7-10 に示すようにその他の検索フィルタが定義されます。

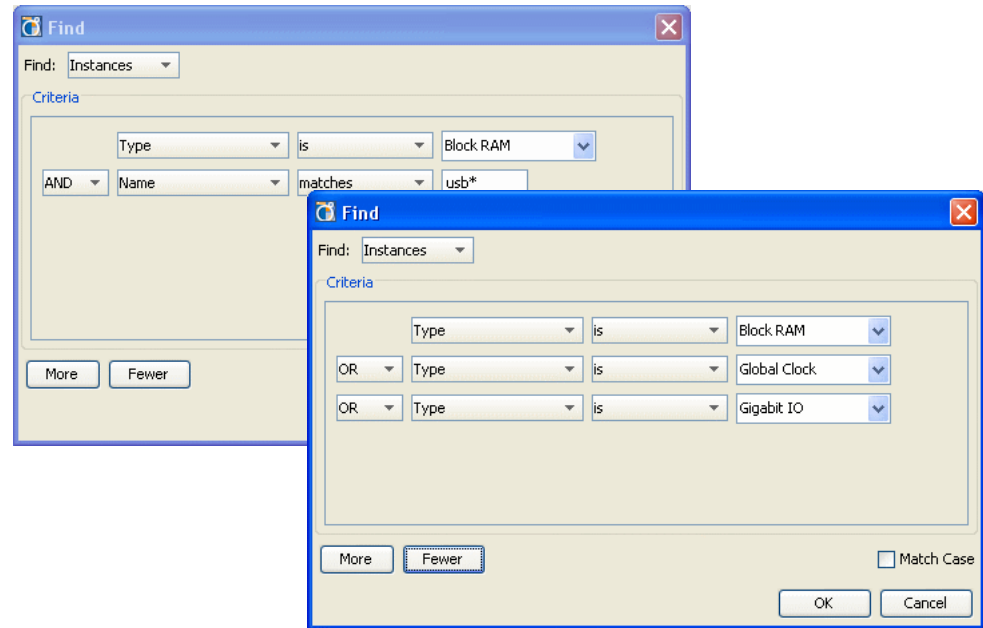


図 7-10： 検索条件を絞り込んだオブジェクトの検索

4. [More] や [Fewer] ボタンをクリックして、検索条件の行を追加または削除し、[OK] をクリックします。

条件を満たした結果すべてが、[Find Results] ビューに表示されます。

[Find Results] ビューの使用

[OK] をクリックして検索を実行すると、指定した検索条件に一致するオブジェクトが [Find Results] ビューに表示されます。図 7-11 は、[Find Results] ビューを示しています。

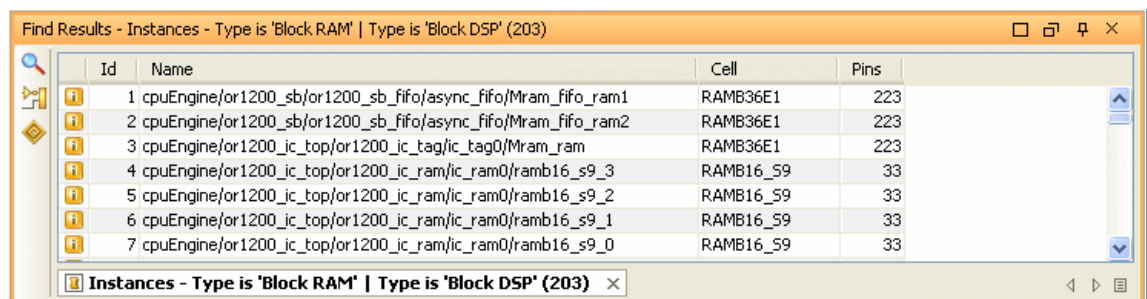


図 7-11： [Find Results] ビュー

[Find] コマンドを実行するたびに、[Find Results] ビューに新しいタブが追加されます。タブには検索したオブジェクトとその検出数が表示されます。

オブジェクトは、[Find Results] ビューから直接選択できます。検出されたオブジェクトのリストからオブジェクトを選択すると、ほかの PlanAhead のビューでもそれが選択されます。Shift キーまたは Ctrl キーを使用すると、複数のエレメントを選択できます。その他のコマンドは、ポップアップメニューを使用すると実行できます。次の操作を実行できます。

- 列のヘッダをクリックすると、タイミング結果を並べ替えられます。
- Ctrl キーを押して別の列ヘッダをクリックすると、次にその列で並べ替えられます。

検索結果名の隣の X マークをクリックすると [Find Results] ビューが閉じます。

ChipScope デバッグ コアの挿入

PlanAhead では ChipScope Integrated Logic Analyzer (ILA) および ChipScope Onboard Netlist (ICON) デバッグ コアを [Netlist Design] に挿入できます。デバッグ ネットを選択すると、Set Up ChipScope ウィザードを使用してコアをコンフィギュレーションできます。

コアは、ネットリスト反復機能を使用して保持されて追加されます。ChipScope ネットリスト オーバーレイは、新しいネットリストが追加されてプロジェクトで開かれると、選択したデバッグ ネットに再接続されます。矛盾があった場合は、警告メッセージが表示されます。

デバッグ ロジックの挿入と ChipScope を使用したデバッグについては、[第 12 章の「ChipScope を使用したデザインのデバッグ」](#)を参照してください。

タイミング制約の定義

PlanAhead にはデザインのタイミング制約を定義および変更する機能がありますが、制約が正しい制約セットおよびターゲット UCF に記述され、予測どおりに適用されたかどうかは、ユーザーが確認する必要があります。

テキスト エディターでの制約の編集

PlanAhead では、制約が定義されている UCF テキスト ファイルから制約を表示および変更できます。これにより、制約を切り取って貼り付けたり、既存の制約の値を変更しやすくなります。

UCF 制約ファイルをテキスト エディターで開くには、[Sources] ビューで該当する制約ファイルをダブルクリックします。[図 7-12](#)では、テキスト エディターで UCF ファイルを開いています。1 度に複数のファイルを開くことができます。

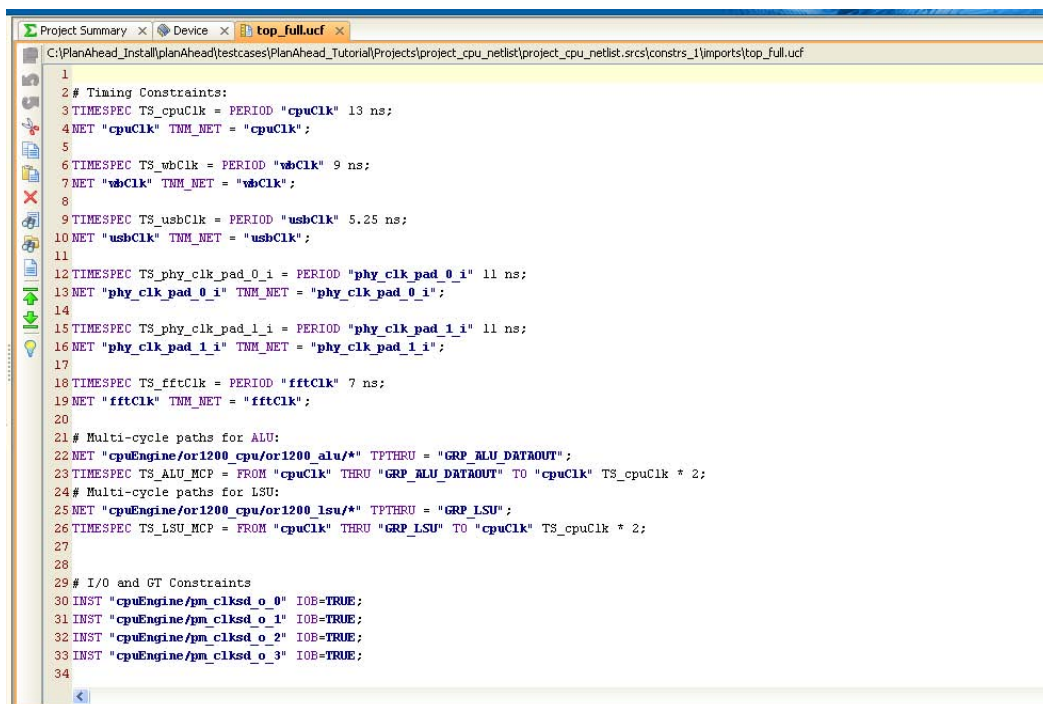


図 7-12： テキスト エディター

テキスト エディターで使用可能なコマンドおよび機能については、146 ページの「テキスト エディターの使用」を参照してください。

ザイリンクス提供の制約テンプレートの使用

テキスト エディターでの使用を目的とした UCF テンプレートが提供されています。これを使用すると、新しい制約を定義しやすくなります。PlanAhead には、標準的な RTL 言語テンプレートも含まれています。テンプレートは、テキスト エディターで開いたどのファイルにでもインスタンス化できます。

制約テンプレートをインスタンス化するには、次の手順に従います。

1. テキスト エディターで、ザイリンクス言語テンプレートをインスタンス化する位置を右クリックします。
2. [Language Templates] コマンドを使用して [Template] ビューを開くと、使用可能な言語テンプレートが表示されます。ザイリンクス言語テンプレートは、Verilog、VHDL、制約ファイルで提供されています。
3. [Template] ビューの UCF の階層からテンプレートを選びます。190 ページの図 7-13 は、ザイリンクスの提供するテンプレート例を示しています。
4. ツールバーまたはポップアップ メニューで [Insert Template] をクリックすると、選択したテンプレートがテキスト ファイルに挿入され、カーソルの位置にテンプレート テキストが追加されます。
5. 挿入されたテンプレート テキストを必要に応じて変更します。

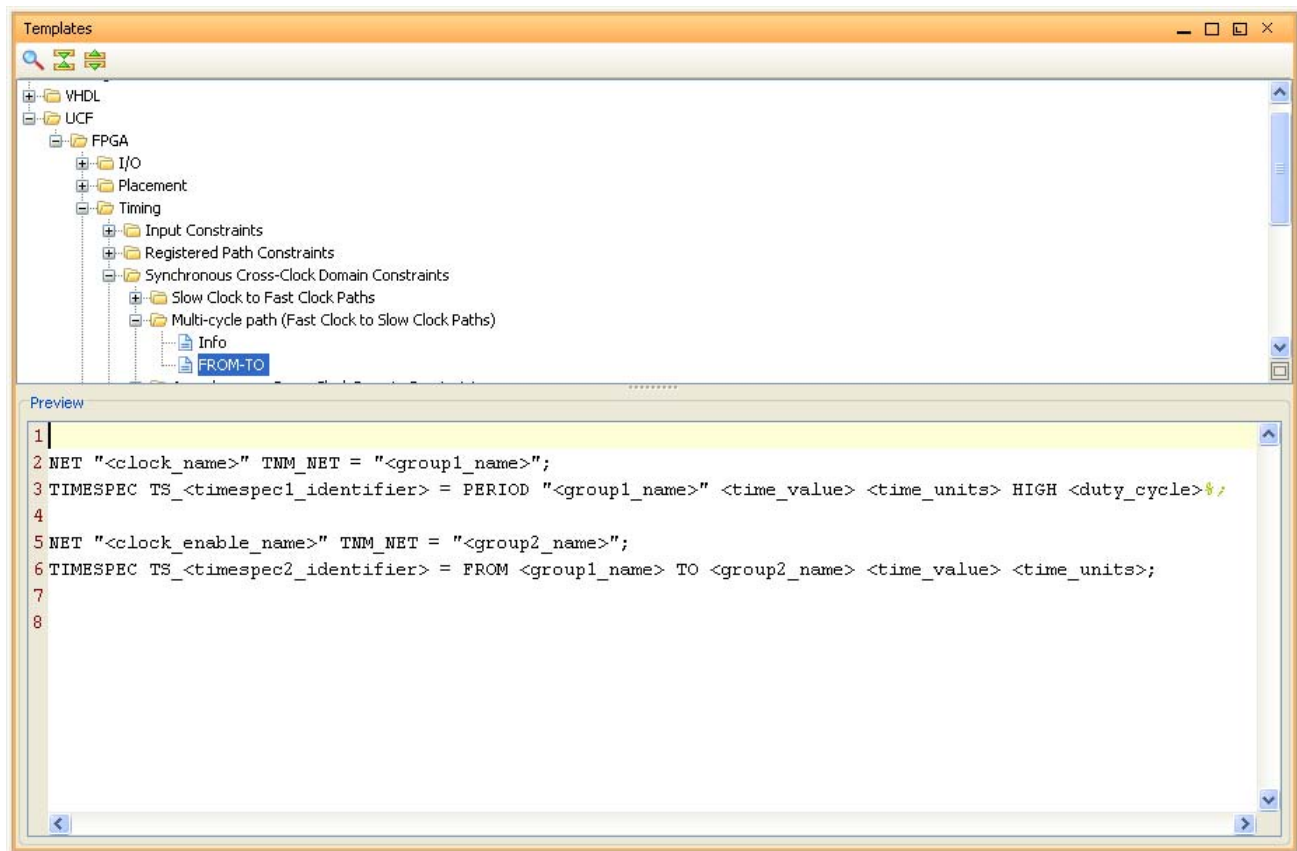


図 7-13： [Language Templates] ビュー

[Timing Constraints] ビューの使用

[Timing Constraints] ビューを使用すると、デザインのタイミング制約を表示、編集、作成できます。

PlanAhead には、デザインで定義されているタイミング制約を表示するビューがあります。制約は制約セット別に表示され、同じプロジェクトで開いているデザイン間で異なります。このため、制約、デバイス、I/O ピンなどをいろいろと試すことができます。

定義済みの値を変更したり、新しい制約を作成するには、[Timing Constraints] ビューを使用します。デザインで定義されているタイミング制約を表示するには、[Timing Constraints] ビューをクリックするか、[Window] → [Timing Constraints] をクリックします。

[Timing Constraints] ビューが図 7-14 のように表示されます。

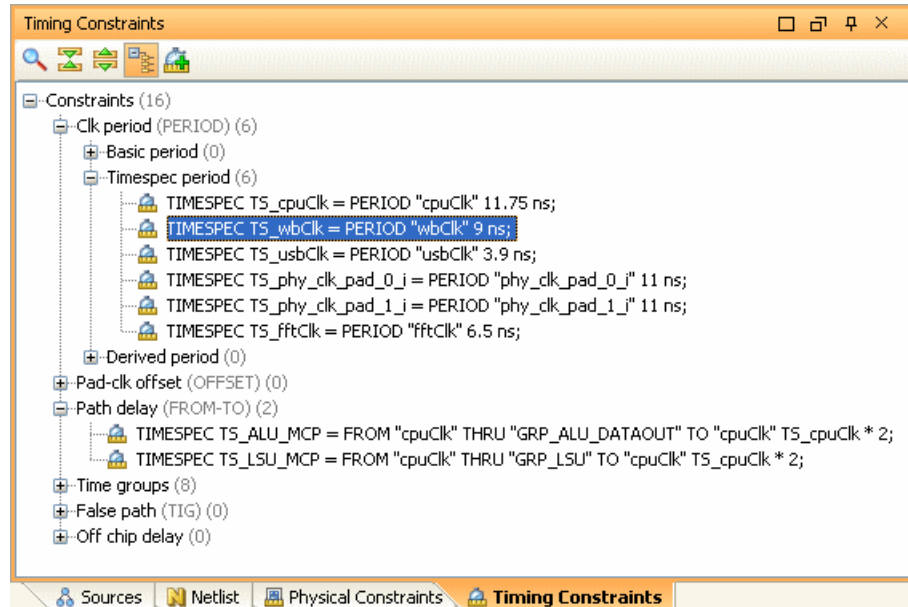



図 7-14 : [Timing Constraints] ビュー

制約は、タイプ別で表示できるほか、リストとしても表示できます。

制約は図 7-14 で示すようにタイプ別に並べ替えられるので、制約タイプ レベルを展開または非展開できます。各タイプの制約の数は、括弧に示されています。

すべてのタイミング制約のリストを表示するには、[Timing Constraints] ビューで [Group by type] ボタン  をクリックします。

タイミング制約はリストとして表示することもできます。

タイミング制約の値の変更

ほとんどの制約の値は、制約を選択すると [Constraints Properties] ビューで変更できます。変更可能な値がこのビューに表示されます。図 7-15 は、[Constraints Properties] ビューを示しています。

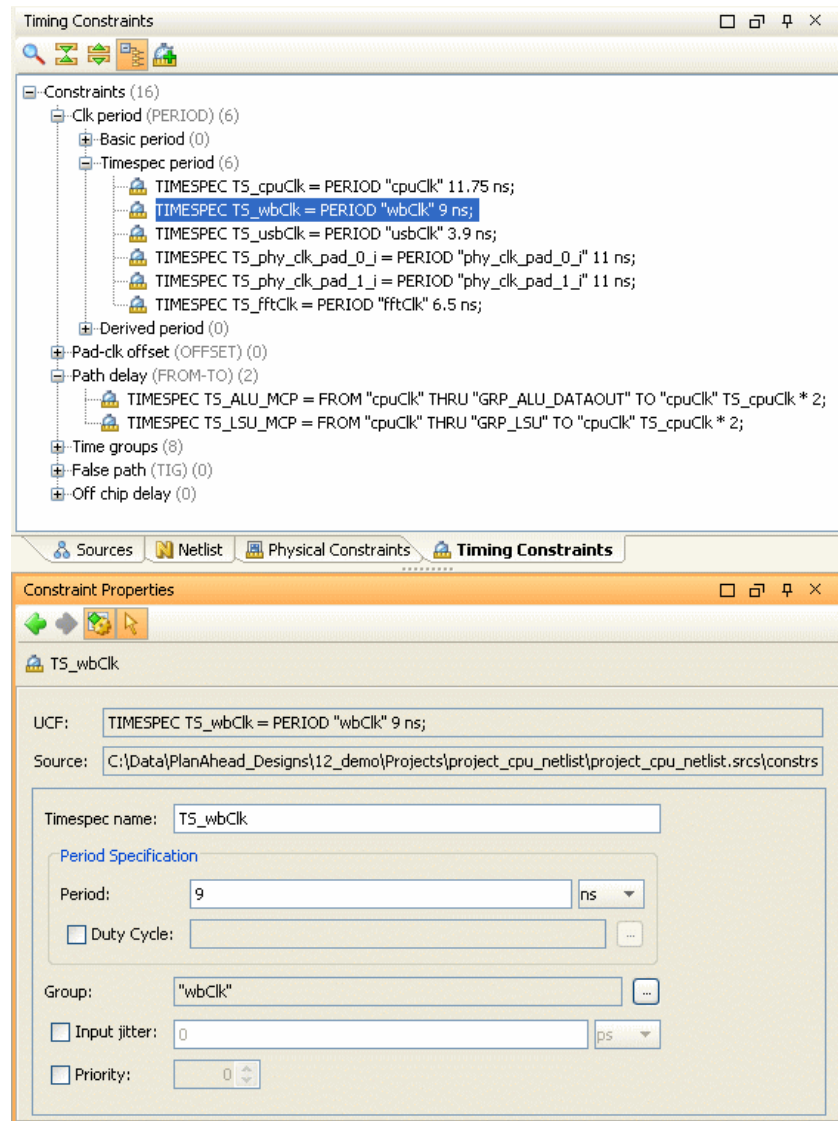


図 7-15： タイミング制約のプロパティの変更

制約および制約の構文の詳細は、『[制約ガイド](#)』(UG625) を参照してください。

変更を加えた後に、[Apply] をクリックして変更を反映させるか、または [Cancel] をクリックして変更を取り消します。

メモ： [Apply] ボタンをクリックしないと、制約の値は変更されません。

新しいタイミング制約の追加

新しいタイミング制約を追加するには、次の手順に従います。


1. [Timing Constraints] ビューの [New Timing Constraint] ボタン  をクリックします。

図 7-16 のように、[New Timing Constraint] ダイアログ ボックスが開きます。

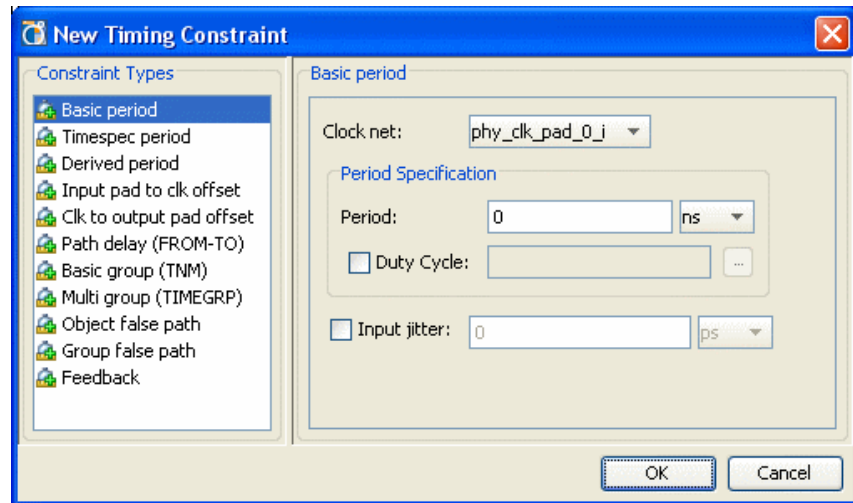


図 7-16 : [New Timing Constraint] ダイアログ ボックス

2. [Constraint Types] で作成する制約の種類を選択します。
選択すると、右側に対応するフィールドが表示されます。
3. 正しい構文を使用して制約値を定義したら、[OK] をクリックして変更を反映させます。

制約および制約の構文の詳細は、『[制約ガイド](#)』(UG625) を参照してください。

タイミング制約の削除

デザインから制約を削除するには、制約または制約グループを [Timing Constraints] ビューで選択して、ポップアップ メニューで [Delete] をクリックします。制約を削除することを確認するダイアログ ボックスが表示されます。削除する場合は、[OK] をクリックします。

メモ： タイミング制約は相互依存しているため、1 つの制約を削除すると関連する制約がいくつか削除される可能性があります。

メモ： タイミング制約の追加、編集、および削除は、やり直すことができません。

タイミング解析の実行

デザインのタイミング パフォーマンスに関する情報は、合成済みネットリストの開発から始まり、さまざまなデザインの段階で出力されます。PlanAhead のタイミング解析はデザイン作成の段階に応じてさまざまなモードで使用できます。パスの遅延を早い段階で予測することでフロアプランを容易にするだけでなく、詳細なパストレース、デバッグ、および制約の割り当てにも役立ちます。

Pblock や LOC 制約のような物理制約がデザインに割り当てられるにしたがって、パス遅延は概算ですが、タイミング解析は正確になります。デザインのインプリメンテーションが終了すると、タイミング解析にインプリメントされたデザインからの実際の配線パス遅延が含まれるようになります。

メモ：PlanAhead のタイミング解析は、タイミング概算目的にのみ使用し、最終的なタイミングを出す手段としては使用しないでください。

ネットリスト デザインのタイミング解析オプション

ネットリスト デザインのタイミング解析は、パスに必要な制約が付いているかどうかを確認し、インプリメンテーションを効率的にするために役立ちます。また、タイミング概算を使用してフロアプランをすると、タイミング クロージャが達成できます。ネットリスト デザインでタイミング解析を実行するオプションには、次のようなものがあります。

- [\[Report Timing\] コマンドの使用](#)
- [スラック ヒストグラムの使用](#)

次のセクションでは、タイミング解析オプションについて説明します。

[Report Timing] コマンドの使用

1. タイミング解析は、次のいずれかの方法で実行できます。
 - [Tools] → [Timing] → [Report Timing] をクリック
 - Flow Navigator の [Netlist Design] から [Report Timing] をクリック
2. タイミング レポートをカスタマイズできる [195 ページの図 7-17](#) に示すような [Report Timing] ダイアログ ボックスが開きます。

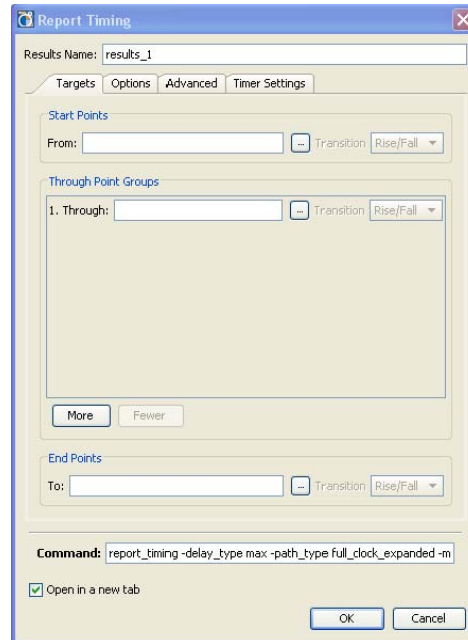


図 7-17: [Report Timing] ダイアログ ボックス

[Report Timing] ダイアログ ボックスのオプションは次のとおりです。

- [Results Name]: タイミング レポートの名前を指定します。
- [Targets] タブ: スタート ポイント、スルー ポイント、エンド ポイントに基づいてレポートされるパスをフィルタできます。
- [Options] タブ: レポートの生成に使用されるオプションを指定します。
- [Advanced] タブ: タイミング レポートの生成と分類に使用されるアドバンス オプションを指定します。
- [Timer Settings] タブ: タイミング レポートの生成に使用されるタイミング エンジンと遅延オプションを指定します。
- [Command]: [Report Timing] オプションで生成される Tcl コマンドのテキストが含まれます。

メモ: このフィールドは編集でき、実行される Tcl コマンドが変更されますが、ダイアログ ボックスで指定されるオプションは変更されません。

- [Open in New] タブ: タイミング解析の結果を [Timing Results] ビューに新しいタブで表示するか、既存のタブと置き換えるか指定します。
3. [OK] をクリックし、タイミング レポートを実行します。次のセクションでは、タブのオプションについて説明します。

[Targets] タブ

図 7-17 に示す [Report Timing] ダイアログ ボックスの [Target] タブでは、タイミング レポートに含めるパスのスタートポイント、スルー ポイントおよびエンドポイントを指定できます。

デフォルトではこのフィールドは空白で、指定したパスの最大数まですべてのポイントがレポートに含まれるようになっています。フィールドに値を追加すると、該当するパスのみに焦点をあてたレポートが生成できます。

使用可能なフィールドは次のとおりです。

- **[Start Points]** : パスの解析を開始するための同期エレメントを選択します。**[Start Points]** フィールドには、次のオプションが含まれます。
 - **[From]** : スタート ポイントのフィルタに使用する式を含めます。このフィールドにテキストを入力すると、フィルタを手動で作成できるほか、**[Choose Start Points]** ダイアログ ボックスで作成されたフィルタ テキストを表示できます。
 - **[Choose Start Points]** : スタート ポイントのフィルタに使用する式を作成するためのダイアログ ボックスを開きます。このダイアログ ボックスについては、「**[Choose Points] ダイアログ ボックス**」で詳細に説明します。
 - **[Transition]** : スタート ポイントの同期エレメントのアクティブ クロック エッジに従ってパスをさらにフィルタします。このフィールドには、次の値が含まれます。
 - **[Rise]** : スタート ポイントの同期エレメントにフィルタをかけて、立ち上がり (正の) クロック エッジでトリガされるもののみを表示します。
 - **[Fall]** : スタート ポイントの同期エレメントにフィルタをかけて、立ち下がり (負の) クロック エッジでトリガされるもののみを表示します。
 - **[Rise/Fall]** : スタート ポイントの同期エレメントにフィルタをかけて、立ち上がり (正) と立ち下がり (負) クロック エッジの両方でトリガされるもののみを表示します。
- **[Through Point Groups]** : ポイントのセットを通るパスを入力します。次のフィールドが使用できます。
 - **[Through]** : パスを通るポイントに基づいたパスのフィルタに使用する記述を含めます。
 - **[Choose Through Points]** : スルー ポイントに基づいてパスをフィルタする式を作成するためのダイアログ ボックスを開きます。
 - **[Transition]** : スルー ポイントの同期エレメントのアクティブ クロック エッジに従ってパスをさらにフィルタします。このフィールドには、次の値が含まれます。
 - **[Rise]** : スルー ポイントの同期エレメントにフィルタをかけて、立ち上がり (正の) クロック エッジでトリガされるもののみを表示します。
 - **[Fall]** : スルー ポイントの同期エレメントにフィルタをかけて、立ち下がり (負の) クロック エッジでトリガされるもののみを表示します。
 - **[Rise/Fall]** : スルー ポイントの同期エレメントにフィルタをかけて、立ち上がり (正) と立ち下がり (負) クロック エッジの両方でトリガされるもののみを表示します。
 - **[More]** : スルー ポイント フィルタの記述を追加できます。
 - **[Fewer]** : 既存のスルー ポイント フィルタの記述を削除できます。
- **[End Points]** : 同期エレメントのセットで終了するパスを入力します。このセクションには、次のフィールドが含まれます。
 - **[To]** : パスのスタート ポイントまたはエンド ポイントに基づいたパスのフィルタに使用する記述を含めます。
 - **[Choose End Points]** : エンド ポイントに基づいてパスをフィルタする記述を作成するためのダイアログ ボックスを開きます。
 - **[Transition]** : スタート ポイントの同期エレメントのアクティブ クロック エッジに従ってパスをさらにフィルタします。このフィールドには、次の値が含まれます。
 - **[Rise]** : エンド ポイントの同期エレメントにフィルタをかけて、立ち上がり (正の) クロック エッジでトリガされるもののみを表示します。

- **[Fall]** : エンド ポイントの同期エレメントにフィルタをかけて、立ち下がり (負の) クロック エッジでトリガされるもののみを表示します。
- **[Rise/Fall]** : エンド ポイントの同期エレメントにフィルタをかけて、立ち上がり (正) と立ち下がり (負) クロック エッジの両方でトリガされるもののみを表示します。

[Choose Points] ダイアログ ボックス

[Choose Points] ダイアログ ボックスでは、エレメント タイプおよびパターンの一致する文字列に基づいてタイミング解析を必要とするデザイン エレメントを選択でき、スタート ポイント、スルー ポイント、エンド ポイントのフィルタ文字列を入力できます。図 7-18 は、[Choose Start Points] ダイアログ ボックスを示しています。

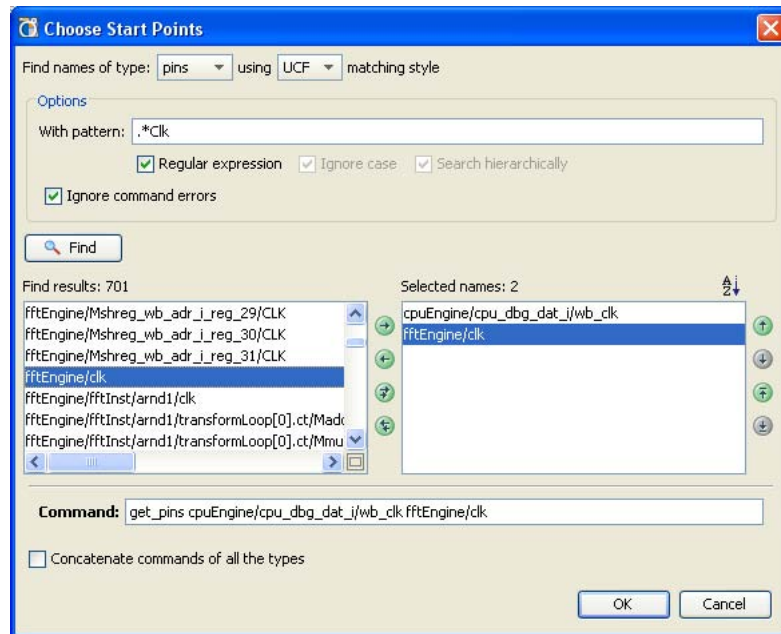


図 7-18 : [Choose Start Points] ダイアログ ボックス

次のようなオプションがあります。

- **[Find names of type]** : デザイン エレメントのタイプに基づいてポイントをフィルタします。このフィールドには、次のオプションがあります。
 - **[Cells]** : セル名に基づいてデザイン エレメントを選択します。
 - **[Clocks]** : クロック名に基づいてデザイン エレメントを選択します。
 - **[Pins]** : ピン名に基づいてデザイン エレメントを選択します。
 - **[Ports]** : ポート名に基づいてデザイン エレメントを選択します。
 - **[Nets]** : スルー ポイントのネットを指定します。
- **[matching style]** : デザイン エレメントのフィルタに使用されたパターン マッチングのタイプを選択します。このフィールドには、次のオプションがあります。
 - **[UCF]** : パターン マッチング用の UCF ベースの構文を選択します。
 - **[SDC]** : パターン マッチング用の SDC ベースの構文を選択します。

- [With pattern] : デザイン エレメントのフィルタに使用するパターン形式を指定します。このフィールドは、次のオプションを使用して変更できます。
 - [Regular expression] : 検索文字列に正規表現の構文を使用することを指定します。
 - [Ignore case] : 大文字/小文字に関係なく検索文字列を指定できます。
 - [Search hierarchically] : SDC パターン マッチングをオンにした場合に使用できるオプションで、SDC ベースの検索パターンを階層の全レベルに適用することを指定します。
- [Of These Objects] : ダイアログ ボックスの選択に基づいてオブジェクトを選択します。次のオプションが使用できます。

メモ : このフィールドは [matching style] が [SDC] に設定されている場合のみ使用できます。

 - [Include Leaf Pins] : 検索文字が階層バウンダリを越えるピンではなく、ピン コンポーネントにのみ一致するように指定する SDC 構文オプションです。
 - [Select cells or net] : SDC 構文のオプションで、ボタンをクリックすると、反復検索表現を生成できる別の [Select Objects] ダイアログ ボックスが開きます。
 - [Filter matching name with expression] : -filter コマンドを指定する SDC 構文のオプションです。
- [Ignore command errors] : Tcl コマンドからタイミング レポートを生成中に表示される警告メッセージを表示されないようにします。
- [Find] : 定義した表現に基づいて検索を実行するコマンド ボタンです。
- [Find results] : オブジェクト検索の結果が含まれます。
 - [Move Item to the Right] : 選択したオブジェクトを [Find Results] 列から [Selected Names] 列に移動します。
 - [Move Item to the Left] : 選択したオブジェクトを [Selected Names] 列から [Find Results] 列に移動します。
 - [Move All Items to the Right] : すべてのオブジェクトを [Find Results] 列から [Selected Names] 列に移動します。
 - [Move All Items to the Left] : すべてのオブジェクトを [Selected Names] 列から [Find Results] 列に移動します。
- [Selected name] : スタート ポイント、スルー ポイント、エンド ポイントに選択された検索結果オブジェクトのサブセットが含まれます。
- [Command] : 選択したオブジェクトを記述するために使用された Tcl コマンドが含まれます。

[Options] タブ

[Report Timing] ダイアログ ボックスの [Options] タブでは、生成されるタイミング レポートのタイプとパス数が指定できます。図 7-19 は [Options] タブを示しています。

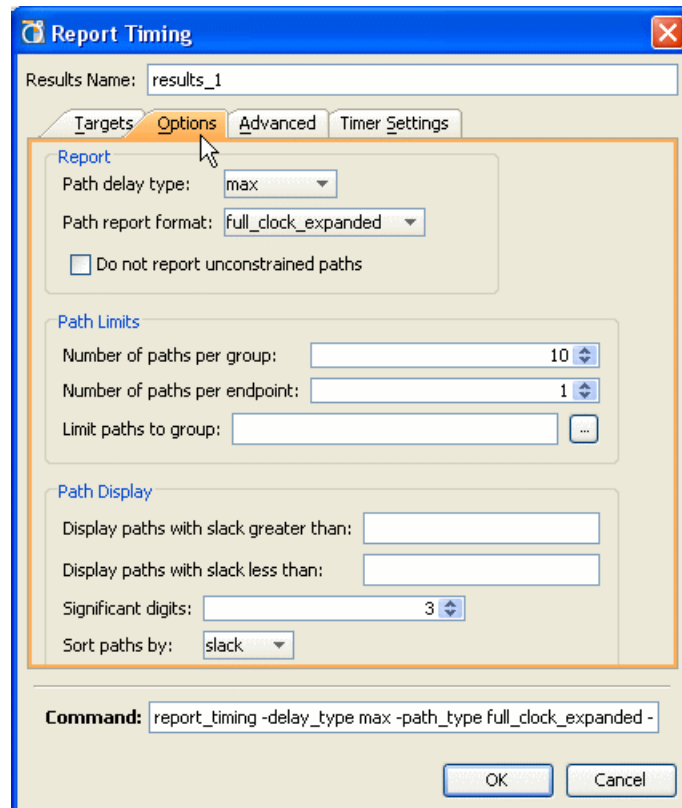


図 7-19 : [Report Timing] ダイアログ ボックスの [Options] タブ

このタブには、次のフィールドが含まれます。

- **[Path delay type]** : タイミング レポート パスの解析に使用される遅延タイプを指定します。このフィールドには、次のオプションが含まれます。
 - **[max]** : セットアップおよびホールド解析中にクロックおよびデータ パスの最大遅延を使用します。
 - **[min]** : セットアップおよびホールド解析中にクロックおよびデータ パスの最小遅延を使用します。
 - **[min_max]** : セットアップおよびホールド解析中にクロックおよびデータ パスの最小および最大遅延を組み合わせて使用します。

メモ : このオプションは、[Timer Settings] タブで [Enable Multi-Corner Analysis] がオンになっている場合にのみ使用できます。詳細は、「[Timer Settings] タブ」を参照してください。

- **[Path report format]** : 生成するタイミング レポートのタイプを指定します。ほとんどの場合、GUI のタイミング レポートと出力されるタイミング レポートのフォーマットは、選択したオプションによって異なります。このフィールドには、次の値が含まれます。
 - **[end]** : エンドポイント レポートに各パスのスラックおよびエンドポイント情報のみが含まれるようになります。

- [full] : データ パスの完全パスの詳細を含みますが、クロック パスの詳細は含まれません。
- [full_clock] : データ パスの完全パスの詳細とクロック パスのサマリが含まれます。
- [full_clock_expanded] : データ パスの完全パスの詳細とクロック パスの詳細が含まれます。
- [short] : データ パスのサマリは含まれますが、クロック パスの詳細は含まれません。
- [summary] : デザインのタイミング パフォーマンスに関するサマリ情報のみが含まれます。
- [Do not report unconstrained path] : 制約の付いたパスのみがレポートされるようになります。
- [Number of paths per group] : 各グループでレポートされるパスの数を指定します。
- [Number of paths per endpoint] : 各エンドポイントでレポートされるタイミング パスの最大数を指定します。
- [Limit paths to group] : 特定グループまたはグループのセットへのパスを制限します。グループ識別子は直接入力するか [Choose Path Groups] ダイアログ ボックスから入力します。
- [Display paths with slack greater than] : 最小スラック値に基づいて表示されたパスをフィルタします。この値よりもスラック値の大きいパスのみが表示されます。
- [Display paths with slack less than] : 最大スラック値に基づいて表示されたパスをフィルタします。この値よりもスラック値の小さいパスのみが表示されます。
- [Significant digits] : タイミング レポートの遅延値の有効数字を指定します。デフォルト値は 3 です。
- [Sort paths by] : タイミング レポートの分類に使用されるパラメータを選択します。このフィールドには、次の値が含まれます。
 - [group] : グループ名に基づいてタイミング レポートを分類します。
 - [slack] : パス スラックに基づいてタイミング レポートを分類します。

[Advanced] タブ

[Report Timing] ダイアログ ボックスの [Advanced] タブでは、ピンおよびネットの詳細、レポートの出力ディレクトリ、およびコマンド エラー処理などが指定できます。図 7-20 は [Advanced] タブを示しています。

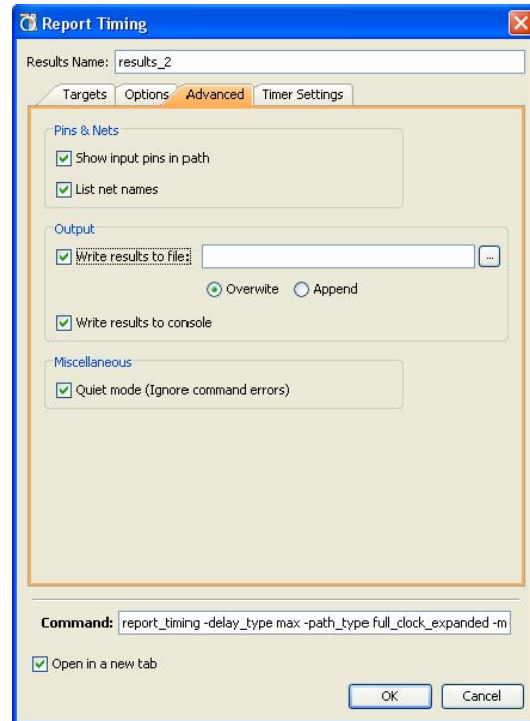


図 7-20 : [Report Timing] ダイアログ ボックスの [Advanced] タブ

[Advanced] タブには、次のオプションが含まれます。

- [Show input pins in path] : 各パスの開始地点の入力ピンを表示します。
- [List net names] : 各パス エLEMENTのネット接続名をリストします。
- [Write results to file] : タイミング レポートの結果を指定したファイルに書き出します。
 - [Overwrite] : 指定したファイルと同じ名前でファイルを上書きします。
 - [Append] : タイミング レポートの詳細を指定ファイルに追加します。
- [Quiet mode] : コマンド オプションのエラーに関するタイミング レポートのメッセージを無視します。

[Timer Settings] タブ

[Report Timing] ダイアログ ボックスの [Timer Settings] タブでは、タイミング レポートを生成する際にタイミング エンジンで使用する遅延パラメータを指定できます。図 7-21 は、[Timer Settings] タブを示しています。

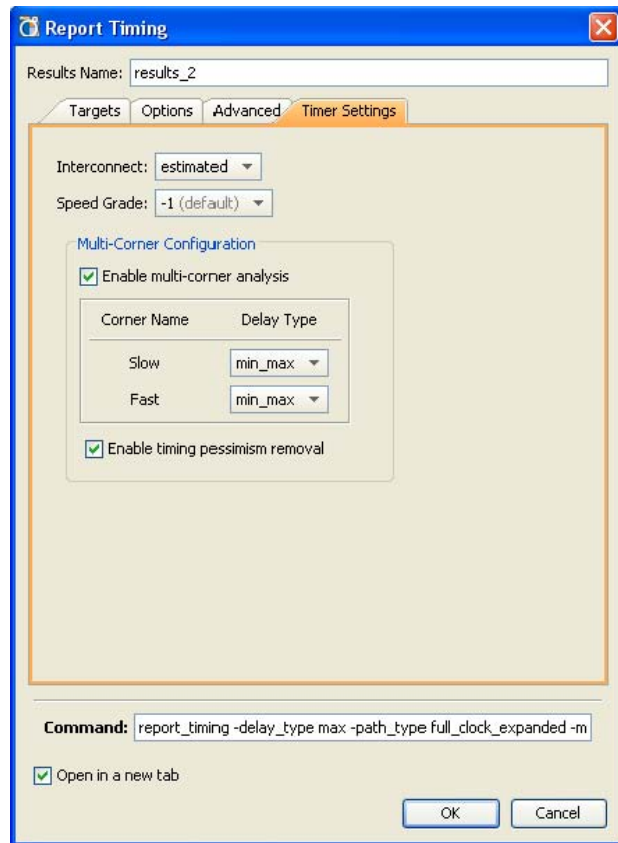


図 7-21 : [Report Timing] ダイアログ ボックスの [Timer Settings] タブ

次のようなオプションがあります。

- **[Interconnect]** : インターコネクト遅延に使用される遅延値のタイプを選択します。遅延値には、次のような選択肢があります。
 - **[Estimated]** : インターコネクト値に概算遅延を使用します。
 - **[None]** : インターコネクト遅延を 0 に設定します。
- **[Speed Grade]** : タイミング解析で使用するデバイスのスピード グレードを選択します。このフィールドを使用すると、さまざまなデバイス スピード グレードを使用してデザイン タイミングを概算できます。
- **[Enable multi-corner analysis]** : タイミング レポートでマルチコーナー解析を使用できるようにします。マルチコーナー解析では、さまざまなプロセスおよび動作状況を同時に使用して、ワーストケースのセットアップとホールド解析が実行されます。これにより、最小または最大遅延のみを使用した解析よりもさらに正確に解析が実行されます。
 - **[Slow] (Corner Name)** : スロー コーナー解析に使用される遅延タイプを選択します。指定できる値は次のとおりです。
 - **[none]** : 遅延が使用されないことを指定します。

- [max] : セットアップおよびホールド解析中にクロックおよびデータパスの最大遅延を使用します。
- [min] : セットアップおよびホールド解析中にクロックおよびデータパスの最小遅延を使用します。
- [min_max] : セットアップおよびホールド解析中にクロックおよびデータパスの最小および最大遅延を組み合わせて使用します。
- [Fast] (Corner Name) : ファースト コーナー解析に使用される遅延タイプを選択します。指定できる値は次のとおりです。
 - [none] : 遅延が使用されないことを指定します。
 - [max] : セットアップおよびホールド解析中にクロックおよびデータパスの最大遅延を使用します。
 - [min] : セットアップおよびホールド解析中にクロックおよびデータパスの最小遅延を使用します。
 - [min_max] : セットアップおよびホールド解析中にクロックおよびデータパスの最小および最大遅延を組み合わせて使用します。
- [Enable timing pessimism removal] : さまざまなオンチップ遅延を記述する際に、ソースレジスタとデスティネーションレジスタ間の共通クロックパスで生成されたスキュー遅延を削除します。

タイミング結果の解析

PlanAhead のタイミング解析が終了すると、[Timing Results] ビューが開きます。図 7-22 は、この [Timing Results] ビューの例を示しています。[Timing Results] ビューは、ISE からの TRACE 結果を含む [Implemented Design] を開いた場合にも表示されます。

[Timing Results] ビューにパスを表示するには、PlanAhead のタイミング解析または ISE の TRCE ツールのいずれかを実行する必要があります。[Timing Results] ビューには、194 ページの「タイミング解析の実行」で説明されているように、[Run Timing Analysis] ダイアログ ボックスで指定された条件に一致するパスが含まれます。

Name	Type	Slack	From	To	Total Delay	Logic Delay	Net %	Stages	Source Clock	Destination Clock
Path 1	Setup	1.059	usbEngine0/usb_dma...	usbEngine0/u4/dout_14/D	4.191	1.771	57.7	6	TS_usbClk	TS_usbClk
Path 2	Setup	1.059	usbEngine1/usb_dma...	usbEngine1/u4/dout_14/D	4.191	1.771	57.7	6	TS_usbClk	TS_usbClk
Path 3	Setup	1.163	usbEngine0/usb_dma...	usbEngine0/u4/funcnt_adr_0/CE	4.087	1.891	53.7	5	TS_usbClk	TS_usbClk
Path 4	Setup	1.163	usbEngine0/usb_dma...	usbEngine0/u4/funcnt_adr_1/CE	4.087	1.891	53.7	5	TS_usbClk	TS_usbClk
Path 5	Setup	1.163	usbEngine0/usb_dma...	usbEngine0/u4/funcnt_adr_2/CE	4.087	1.891	53.7	5	TS_usbClk	TS_usbClk
Path 6	Setup	1.163	usbEngine0/usb_dma...	usbEngine0/u4/funcnt_adr_3/CE	4.087	1.891	53.7	5	TS_usbClk	TS_usbClk
Path 7	Setup	1.163	usbEngine0/usb_dma...	usbEngine0/u4/funcnt_adr_4/CE	4.087	1.891	53.7	5	TS_usbClk	TS_usbClk
Path 8	Setup	1.163	usbEngine0/usb_dma...	usbEngine0/u4/funcnt_adr_5/CE	4.087	1.891	53.7	5	TS_usbClk	TS_usbClk
Path 9	Setup	1.163	usbEngine0/usb_dma...	usbEngine0/u4/funcnt_adr_6/CE	4.087	1.891	53.7	5	TS_usbClk	TS_usbClk

図 7-22 : [Timing Results] ビュー

[Timing Results] ビューでは、パスやインスタンスを確認、並び替え、選択できます。[Timing Results] ビューには、各パスに関する次の情報が表示されます。

- [Name] : リストされているパスの制約名が表示されます。
 - [Name] : 連続した番号で、元の順序に並べ替えるときに使用できます。
 - [Type] : パスがセットアップまたはホールドのどちらに関連しているかを表示します。

- [Slack] : パスの正または負のスラックの合計です。
 - [From] : パスのソース ピンです。
 - [To] : パスのデスティネーション ピンです。
 - [Total Delay] : パスで予測される遅延の合計です。
 - [Logic Delay] : パスのロジック エLEMENTの配置が起因の遅延のみが表示されます。
 - [Net Delay] : パスのインターコネクトの配置が起因の遅延のみが表示されます。
 - [Logic %] : ロジック エLEMENTの配置が起因の遅延の割合が表示されます。
 - [Net %] : インターコネクトの配置が起因の遅延の割合が表示されます。
 - [Stages] : ソースとデスティネーションが全体の遅延に影響を及ぼすパス上のインスタンスの合計が表示されます。
- メモ：レポートされる合計は、ISE でレポートされるロジック レベルとは異なることがあります。
- [Source Clock] : ソース クロックの名前です。
 - [Destination Clock] : デスティネーション クロックの名前です。

メモ：PlanAhead のタイミング解析では、キャリー チェーン インターコネクトがロジックの個別ステージとして数えられます。

タイミング レポートの並び替え

[Timing Results] ビューのリストは、列ヘッダをクリックすると並びかえられます。たとえば、[Stages] 列のヘッダをクリックすると、ロジックのステージ順に並べ替えられます。列をもう一度クリックすると、逆向きに並べ替えることができます。

最初に並べ替えた後で **Ctrl** キーを押して別の列ヘッダをクリックすると、次にその列で並べ替えられます。並べ替えに使用する列の数に制限はありません。もう一度 **Ctrl** キーを押して列ヘッダをクリックすると、その列の並べ替えが解除されます。

ツリー形式のビューの詳細は、99 ページの「ツリー表形式のビュー」を参照してください。

図 7-23 は、ロジックのステージ別に並び替えた [Timing Results] ビューを示しています。

Name	Type	Slack	From	To	Total Delay	Logic Delay	Net %	Stages	Source Clock	Destination Clock
Constrained Paths (10)										
Path 1	Setup	1.059	usbEngine0/usb_dma_...	usbEngine0/u4/dout_14/D	4.191	1.771	57.7	6 TS_usbClk	TS_usbClk	
Path 2	Setup	1.059	usbEngine1/usb_dma_...	usbEngine1/u4/dout_14/D	4.191	1.771	57.7	6 TS_usbClk	TS_usbClk	
Path 3	Setup	1.163	usbEngine0/usb_dma_...	usbEngine0/u4/funcnt_adr_0/CE	4.087	1.891	53.7	5 TS_usbClk	TS_usbClk	
Path 4	Setup	1.163	usbEngine0/usb_dma_...	usbEngine0/u4/funcnt_adr_1/CE	4.087	1.891	53.7	5 TS_usbClk	TS_usbClk	
Path 5	Setup	1.163	usbEngine0/usb_dma_...	usbEngine0/u4/funcnt_adr_2/CE	4.087	1.891	53.7	5 TS_usbClk	TS_usbClk	
Path 6	Setup	1.163	usbEngine0/usb_dma_...	usbEngine0/u4/funcnt_adr_3/CE	4.087	1.891	53.7	5 TS_usbClk	TS_usbClk	
Path 7	Setup	1.163	usbEngine0/usb_dma_...	usbEngine0/u4/funcnt_adr_4/CE	4.087	1.891	53.7	5 TS_usbClk	TS_usbClk	
Path 8	Setup	1.163	usbEngine0/usb_dma_...	usbEngine0/u4/funcnt_adr_5/CE	4.087	1.891	53.7	5 TS_usbClk	TS_usbClk	
Path 9	Setup	1.163	usbEngine0/usb_dma_...	usbEngine0/u4/funcnt_adr_6/CE	4.087	1.891	53.7	5 TS_usbClk	TS_usbClk	

[Group by Constraint] ボタン

図 7-23： 並び替えた [Timing Results] ビューと [Group by Constraint] ボタン

パス リストのフラット化

デフォルトでは、パスは制約別に表示されます。図 7-23 に示すように、[Timing Results] ビューのツールバーで [Group by Constraint] をクリックすると、リストをフラットにし、すべてのパスを表示できます。[Group by Constraint] ボタンをクリックすると、制約別に分類されたパスのリストとフラット化されたパスのリストの表示を切り替えることができます。

タイミング レポートからのパスの削除

クリティカル パスを見やすくするために、タイミング レポートからパスを削除できます。

1. タイミング レポートから削除するパスを選択します。複数のパスを選択するには、Shift キーまたは Ctrl キーを押しながらパスをクリックします。
2. [Delete] キーを押すか、[Timing Results] ビューで右クリックして表示されるポップアップ メニューで [Delete] をクリックします。

メモ：[Delete] コマンドを取り消して、パスをタイミング レポートに戻すことはできません。この場合、タイミング解析を実行し直す必要があります。

パスの詳細の表示

リストでパスを選択すると、[Path Properties] ビューにそのパスの情報が表示されます。すべてのロジック エLEMENTの詳細な遅延情報が図 7-24 のように表示されます。

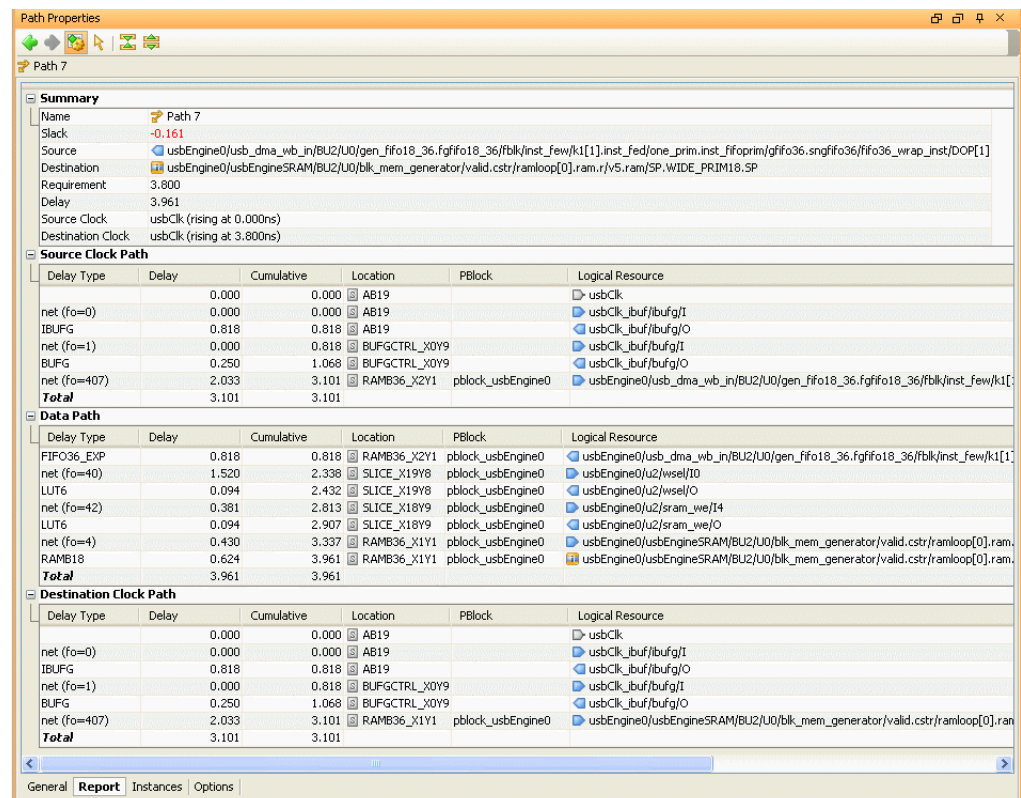


図 7-24 : [Path Properties] ビュー : [Report] タブ

このレポートのフォーマットは TRCE レポートに似ています。

- デフォルトでは、パスを選択するとそのパスに含まれるインスタンスもすべて選択されます。
- レポートにリンクが表示されているオブジェクトをクリックすると、[Netlist] や [Device] など、ほかのビューでもそのオブジェクトが選択されます。
- Shift キーまたは Ctrl キーを使用すると、複数のパスを選択できます。
- 選択されたパスすべてのインスタンスすべてが選択されますが、[Path Properties] ビューには最初に選択されたパスの情報のみが表示されます。

タイミング パス レポートのワークスペースでの表示

タイミング パス レポートは見やすくするために、ワークスペースに個別に表示できます。複数のパス レポートをワークスペース内の別々のビューで開くこともできます。

レポートを表示するには、次の手順に従います。

1. レポートを表示するタイミング パスを選択します。
2. 右クリックし、[View Path Report] をクリックします。

スラック ヒストグラムの使用

スラック ヒストグラムには、デザインのタイミング遅延が視覚的に表示されます。このビューを使用すると、デザインがパフォーマンス要件を満たしていない場合に、次に何をすべきか決定しやすくなります。

スラック ヒストグラムには、エンド ポイントで計算されたタイミング スラックが表示されます。完全なタイミング パスは表示されません。[Schematic] コマンドを実行すると、パスのエンド ポイントが表示されます。完全なパスのタイミングを表示するには、[Report Timing] コマンドを使用する必要があります。

1. 次のいずれかの方法でスラック ヒストグラムを生成します。
 - [Tools] → [Timing] → [Slack Histogram]

Flow Navigator :

 - [Netlist Design] → [Slack Histogram]
 - [Implemented Design] → [Slack Histogram]
2. 207 ページの図 7-25 の [Generate Slack Histogram] ダイアログ ボックスが表示されます。このダイアログ ボックスからは、スラック ヒストグラムをカスタマイズできます。次のようなオプションがあります。
 - [Histogram Name] : 生成されるヒストグラム レポートの名前を指定します。
 - [Options] タブ : ヒストグラム レポートのカスタマイズができます。このタブのオプションについては、後で説明します。
 - [Timer Settings] タブ : タイミング レポートの生成に使用されるタイミング エンジンと遅延オプションを指定します。このタブのオプションについては、後で説明します。
 - [Command] : スラック ヒストグラムの生成オプションで生成される Tcl コマンドのテキストが含まれます。
3. [OK] をクリックすると、指定した値でスラック ヒストグラムが表示されます。

スラック ヒストグラムのオプション設定

スラック ヒストグラムを生成する際に使用されるオプションは、[Generate Slack Histogram] ダイアログ ボックスの [Options] タブから指定できます。図 7-25 は [Options] タブを示しています。

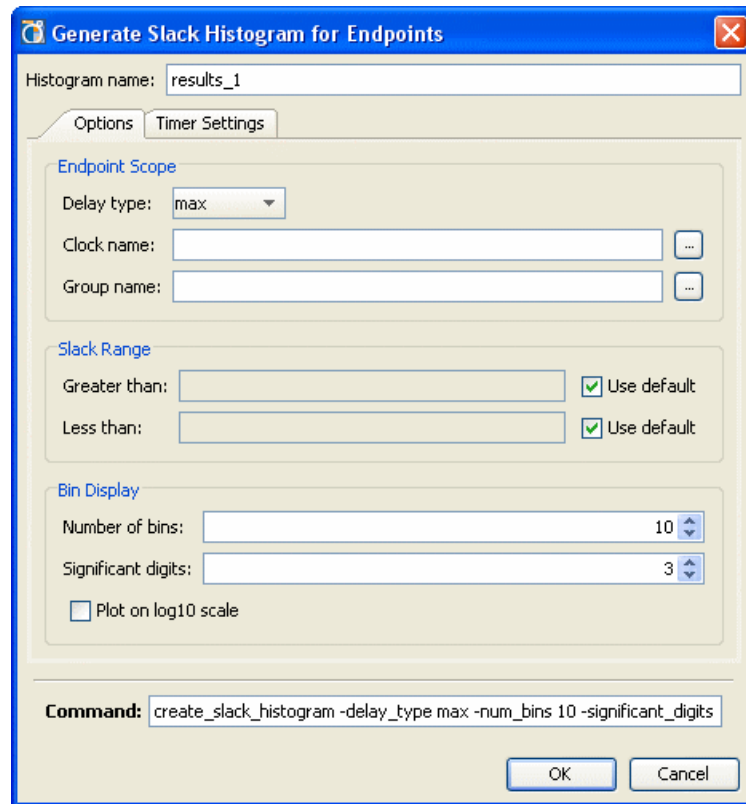


図 7-25 : [Generate Slack Histogram for Endpoints] ダイアログ ボックスの [Options] タブ

次のようなオプションがあります。

- [Endpoint Scope] : スラック ヒストグラムの生成で使用するエンドポイントと遅延タイプを指定します。クロック名とグループ名に基づいたエンドポイントをフィルタすると、特定のパスに焦点をあてたヒストグラムが生成できます。このフィールドには、次のオプションが含まれています。
 - [Delay type] : スラック ヒストグラムの生成に使用される遅延値を指定します。
 - [min] : スラック ヒストグラムのクロックおよびデータ パスの最小遅延を使用します。
 - [max] : スラック ヒストグラムのクロックおよびデータ パスの最大遅延を使用します。
 - [min_max] : スラック ヒストグラムのクロックおよびデータ パスの最小および最大遅延を組み合わせて使用します。

メモ : このオプションは、[Timer Settings] タブで [Enable Multi-Corner Analysis] がオンになっている場合にのみ使用できます。詳細は、「[Generate Slack Histogram for Endpoints] ダイアログ ボックスの [Timer Settings] タブ」を参照してください。

- **[Clock name]** : 関連するクロック名でエンドポイントをフィルタします。このフィールドの値は直接入力するか **[Choose Endpoint Destination Clocks]** ダイアログ ボックスから入力します。
- **[Group name]** : 関連するグループ名でエンドポイントをフィルタします。このフィールドの値は直接入力するか **[Choose Endpoint Path Groups]** ダイアログ ボックスから入力します。
- **[Slack Range]** : スラック値に基づいてエンドポイントをフィルタします。特定のスラック値に基づいてエンドポイントをフィルタすると、問題のパスに焦点をあてたヒストグラムが生成できます。このフィールドには、次のオプションが含まれています。
 - **[Greater than]** : ヒストグラムに含める必要のあるパスの最小スラック値を指定します。
 - **[Less than]** : ヒストグラムに含める必要のあるパスの最大スラック値を指定します。
- **[Bin display]** : ヒストグラムをさらに詳細にカスタマイズできます。このフィールドには、次の値が含まれます。
 - **[Number of bins]** : 表示するヒストグラムの棒グラフの数を指定します。**PlanAhead** で検出されるスラック値の範囲が指定した棒グラフ数に分割されます。小さい値を指定すると、ヒストグラムにはタイミング パフォーマンスの一般的なビューが表示されます。棒数の数が多い方がスラック範囲内で使用するのに適しており、特定範囲の遅延のパフォーマンスに焦点をあてることができます。
 - **[Significant Digits]** : スラック値をレポートするのに使用する桁数を指定します。デフォルトでは 3 になっています。
 - **[Plot on Log10 scale]** : スラック ヒストグラムの Y 軸を対数目盛 (**Log10**) または均等目盛のどちらで記述するか指定します。遅延の棒グラフがある場合、これらはほかの大きな棒グラフに比べてかなり小さく、均等目盛では見づらいことがあります。このような場合、対数目盛を使用すると便利です。この設定は、ヒストグラムが描画された後、ツールバーの **[Plot Histogram on Log10 Scale]** コマンドからも制御できます。
- **[Command]** : スラック ヒストグラム のコマンドを実行するために使用された **Tcl** コマンドが含まれます。

エンド ポイントのデスティネーション クロックの選択

このダイアログ ボックスでは、特定のエンド ポイントのクロック ドメインを選択することができます。エンド ポイントは、関連するクロック名でフィルタされます。[209 ページの図 7-26](#) は、**[Choose Endpoint Destination Clocks]** ダイアログ ボックスを示しています。

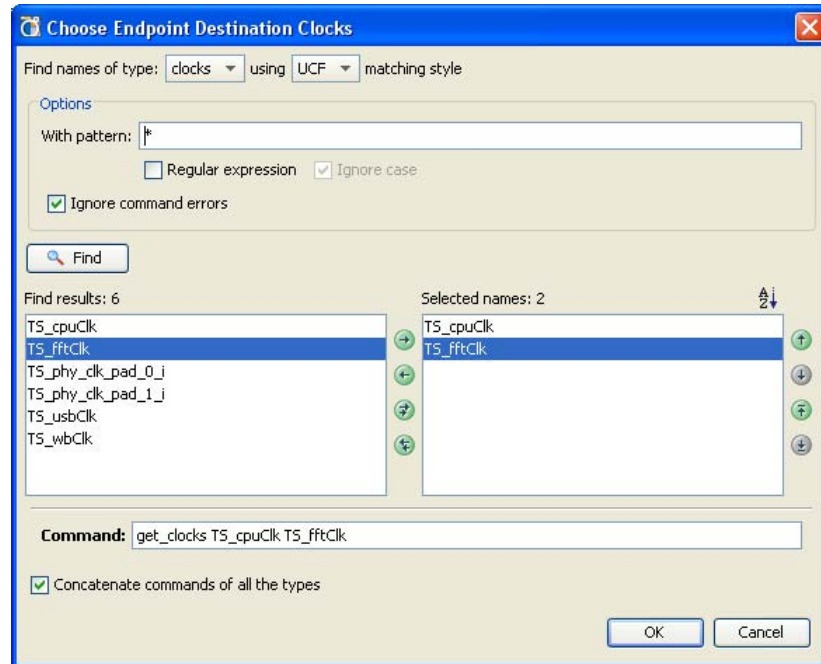


図 7-26 : [Choose Endpoint Destination Clocks] ダイアログ ボックス

次のようなオプションがあります。

- [Find names of type] : 関連するクロック ドメインに基づいてポイントをフィルタします。
- [matching style] : デザイン エレメントのフィルタに使用されたパターン マッチングのタイプを選択します。このフィールドには、次のオプションがあります。
 - [UCF] : パターン マッチング用の UCF ベースの構文を選択します。
 - [SDC] : パターン マッチング用の SDC ベースの構文を選択します。
- [With pattern] : デザイン エレメントのフィルタに使用するパターン形式を指定します。このフィールドは、次のオプションを使用して変更できます。
 - [Regular expression] : 検索文字列に正規表現の構文を使用することを指定します。
 - [Ignore case] : 大文字/小文字に関係なく検索文字列を指定できます。
 - [Filter matching name with expression] : -filter コマンドを指定する SDC 構文のオプションです。

メモ : このフィールドは [matching style] が [SDC] に設定されている場合のみ使用できます。

- [Ignore command errors] : Tcl コマンドからタイミング レポートを生成中に表示される警告メッセージを表示されないようにします。
- [Find] : 定義した表現に基づいて検索を実行するコマンド ボタンです。
- [Find results] : オブジェクト検索の結果が含まれます。
 - [Move Item to the Right] : 選択したオブジェクトを [Find Results] 列から [Selected Names] 列に移動します。
 - [Move Item to the Left] : 選択したオブジェクトを [Selected Names] 列から [Find Results] 列に移動します。

- [Move All Items to the Right] : すべてのオブジェクトを [Find Results] 列から [Selected Names] 列に移動します。
- [Move All Items to the Left] : すべてのオブジェクトを [Selected Names] 列から [Find Results] 列に移動します。
- [Selected Name] : 現在選択されているデスティネーション クロックを含めます。
- [Command] : 選択したクロックを識別するために使用する Tcl コマンドを指定します。

エンド ポイントのパス グループの選択

[Choose Endpoint Path Groups] ダイアログ ボックスでは、エンド ポイントを指定したグループ名でフィルタできます。図 7-27 は、[Choose Endpoint Path Groups] ダイアログ ボックスを示しています。

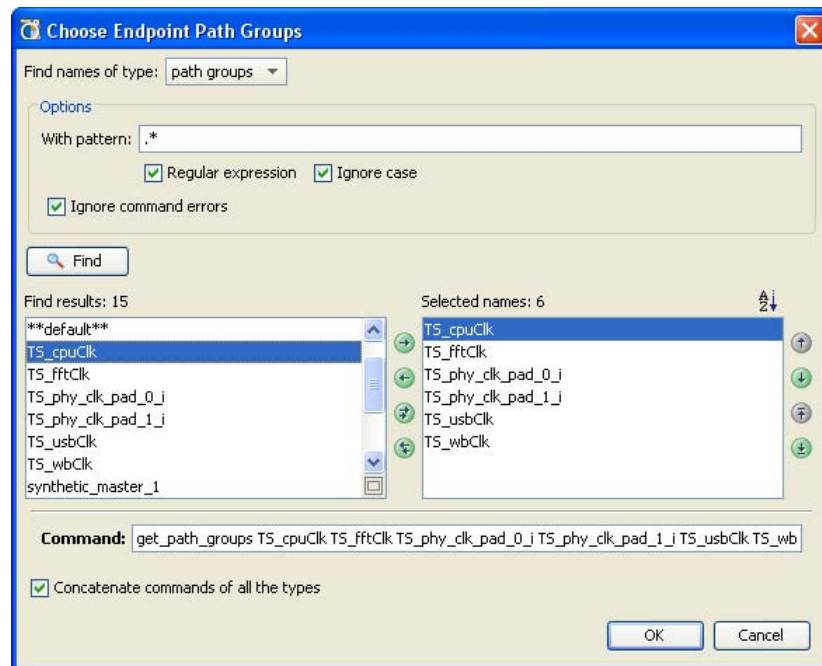


図 7-27 : [Choose Endpoint Path Groups] ダイアログ ボックス

次のようなオプションがあります。

- [Find names of type] : パス グループに基づいてポイントをフィルタします。
- [With pattern] : デザイン エレメントのフィルタに使用するパターン形式を指定します。このフィールドは、次のオプションを使用して変更できます。
 - [Regular expression] : 検索文字列に正規表現の構文を使用することを指定します。
 - [Ignore case] : 大文字/小文字に関係なく検索文字列を指定できます。
- [Ignore command errors] : Tcl コマンドからタイミング レポートを生成中に表示される警告メッセージを表示されないようにします。
- [Find] : 定義した表現に基づいて検索を実行するコマンド ボタンです。
- [Find results] : オブジェクト検索の結果が含まれます。
 - [Move Item to the Right] : 選択したオブジェクトを [Find Results] 列から [Selected Names] 列に移動します。

- [Move Item to the Left] : 選択したオブジェクトを [Selected Names] 列から [Find Results] 列に移動します。
- [Move All Items to the Right] : すべてのオブジェクトを [Find Results] 列から [Selected Names] 列に移動します。
- [Move All Items to the Left] : すべてのオブジェクトを [Selected Names] 列から [Find Results] 列に移動します。
- [Selected Name] : 現在選択されているパス グループを含めます。
- [Command] : 選択したオブジェクトを記述するために使用された Tcl コマンドが含まれます。

[Generate Slack Histogram for Endpoints] ダイアログ ボックスの [Timer Settings] タブ

スラック ヒストグラムのタイミング エンジンで使用する遅延パラメータは、[Generate Slack Histogram] ダイアログ ボックスの [Timer Settings] タブから指定できます。図 7-28 は [Timer Settings] タブを示しています。

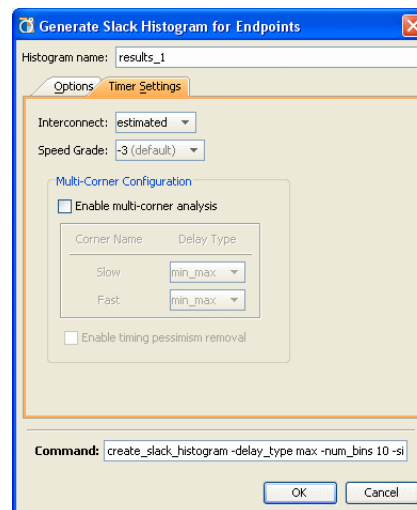


図 7-28 : [Generate Slack Histogram for Endpoints] ダイアログ ボックスの [Timer Settings] タブ

次のようなオプションがあります。

- [Interconnect] : インターコネクト遅延に使用される遅延値のタイプを選択します。指定できる遅延値は次のとおりです。
 - [Estimated] : インターコネクト値に概算遅延を使用します。
 - [None] : インターコネクト遅延を 0 に設定します。
- [Speed Grade] : タイミング解析で使用するデバイスのスピード グレードを選択します。このフィールドを使用すると、さまざまなデバイス スピード グレードを使用してデザイン タイミングを概算できます。
- [Enable multi-corner analysis] : タイミング レポートでマルチコーナー解析を使用できるようにします。マルチコーナー解析では、さまざまなプロセスおよび動作状況を同時に使用して、ワーストケースのセットアップとホールド解析が実行されます。これにより、最小または最大遅延のみを使用した解析よりもさらに正確に解析が実行されます。

- **[Slow] (Corner Name)** : スロー コーナー解析に使用される遅延タイプを選択します。指定できる値は次のとおりです。
 - **[none]** : 遅延が使用されないことを指定します。
 - **[max]** : セットアップおよびホールド解析中にクロックおよびデータ パスの最大遅延を使用します。
 - **[min]** : セットアップおよびホールド解析中にクロックおよびデータ パスの最小遅延を使用します。
 - **[min_max]** : セットアップおよびホールド解析中にクロックおよびデータ パスの最小および最大遅延を組み合わせて使用します。
- **[Fast] (Corner Name)** : ファースト コーナー解析に使用される遅延タイプを選択します。指定できる値は次のとおりです。
 - **[none]** : 遅延が使用されないことを指定します。
 - **[max]** : セットアップおよびホールド解析中にクロックおよびデータ パスの最大遅延を使用します。
 - **[min]** : セットアップおよびホールド解析中にクロックおよびデータ パスの最小遅延を使用します。
 - **[min_max]** : セットアップおよびホールド解析中にクロックおよびデータ パスの最小および最大遅延を組み合わせて使用します。
- **[Enable timing pessimism removal]** : さまざまなオンチップ遅延を記述する際に、ソース レジスタとデスティネーション レジスタ間の共通クロック パスで生成されたスキュー遅延を削除します。

タイミング ヒストグラム結果の解析

ヒストグラムが生成されたら、その結果を使用し、デザインに関連するタイミング問題にどのような種類があるのか確認できます。**[Histogram]** ビューには、遅延のグラフが含まれ、ヒストグラムの下の表にはパスのエンド ポイントがそれぞれリストされます。[図 7-29](#) は、スラック ヒストグラム結果の例を示しています。

エンド ポイントは、表の列ヘッダをクリックすると並び替えられます。グラフの棒部分をクリックすると、指定した棒部分に含まれるパスのみが表示されます。

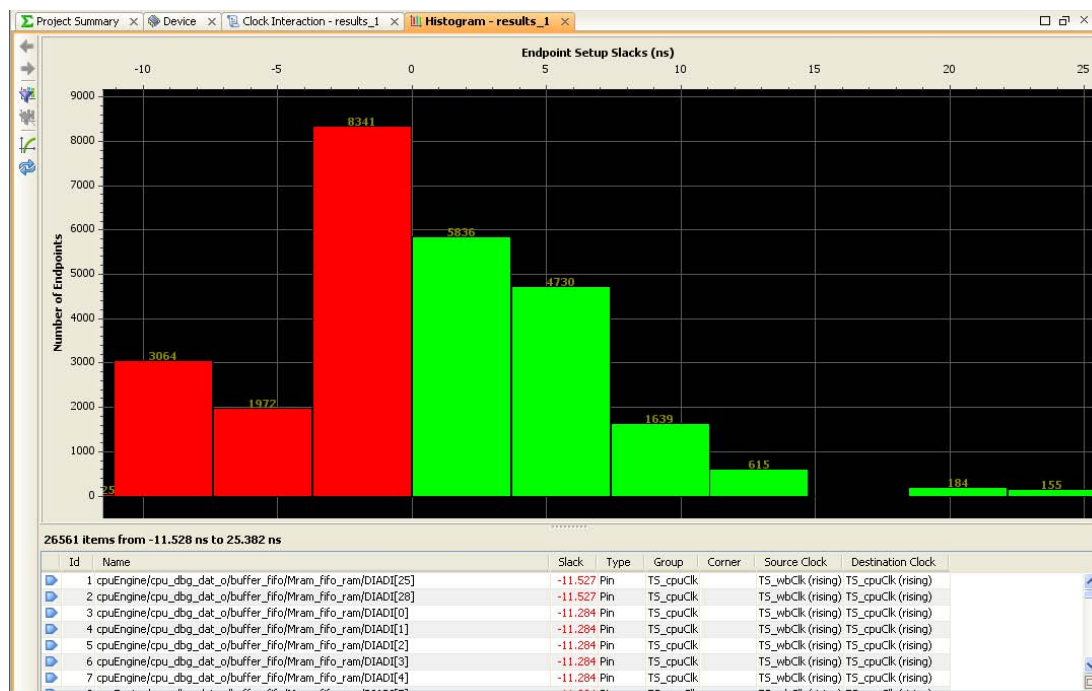



図 7-29： スラック ヒストグラム

Y 軸の目盛を対数目盛または均等目盛に変更するには、[Plot histogram on log10 scale]  をクリックします。

214 ページの図 7-30 は、対数目盛 (Log10) を使用したスラック ヒストグラムのグラフを示しています。

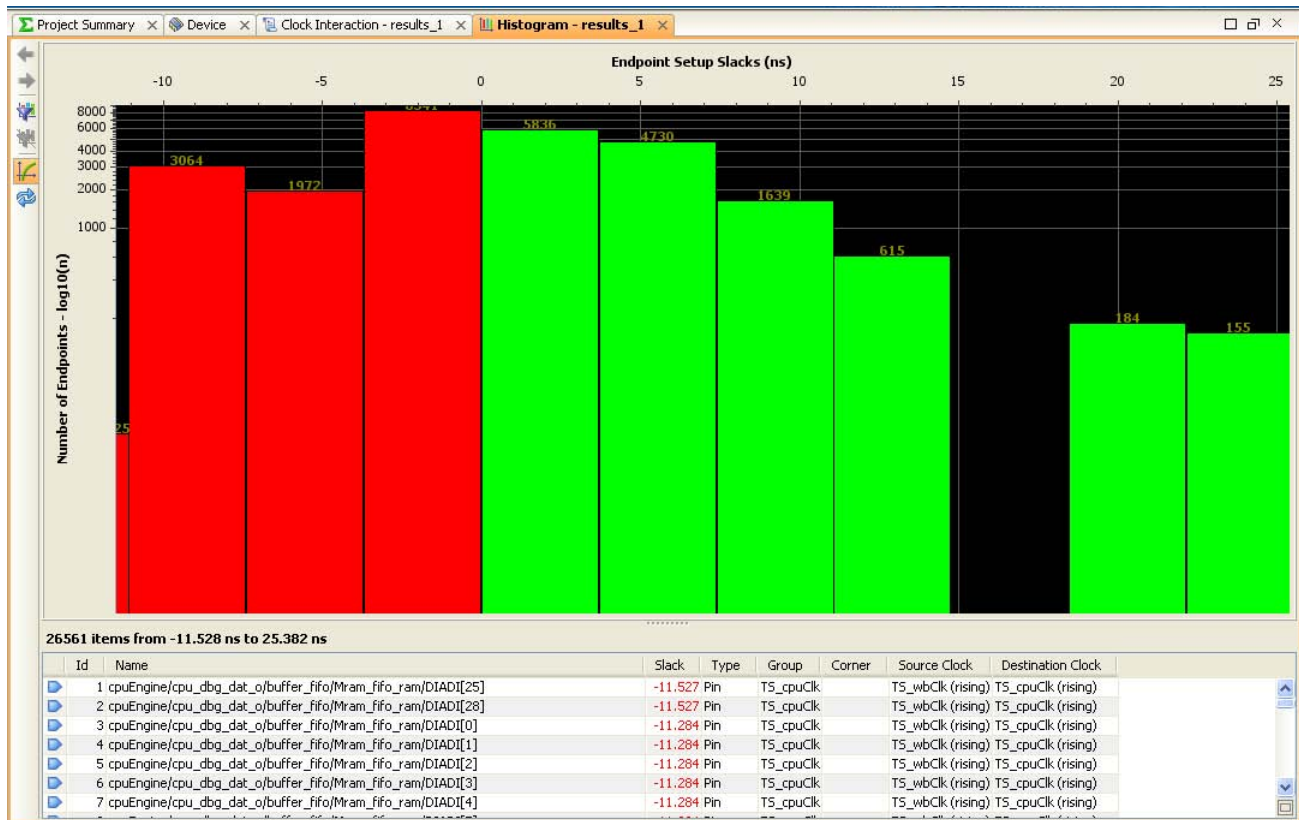


図 7-30： スラック ヒストグラム - 対数目盛

解析するエンド ポイントの選択

ヒストグラムでは、解析するエンド ポイントを選択したりフィルタしたりできます。選択されたエンド ポイントはヒストグラムの表に表示されます。ヒストグラムの棒はフィルタでは変更されません。選択およびフィルタのオプションは、次のとおりです。

- **[Filter Paths]**：ヒストグラムでドラッグして 1 つまたは複数の棒を囲んで選択できます。棒の一部のみを選択すると、棒全体が選択され、選択した棒に含まれるエンド ポイントすべてがヒストグラムの表にレポートされます。
- **[Select Bins]**：ヒストグラムの棒部分をクリックします。複数の棒をクリックしたり、一部の棒の選択を解除するには、**Ctrl** キーを押しながら該当する棒部分をクリックします。表がアップデートされて、選択された棒のエンド ポインが表示されます。
- **[Unfilter All]**：棒部分の選択が解除され、表が元に戻ってエンド ポイントが表示されます。
- **[Select All or Nothing]**：すべての棒を選択または選択解除します。どちらの場合もすべてのエンド ポイントが表示されます。

ヒストグラムのポップアップ メニュー コマンド

右クリックをすると、ヒストグラムおよびエンド ポイント表示を操作できる複数のコマンドがポップアップ メニューに表示されます。ポップアップ メニューに含まれるコマンドは、次のとおりです。

- **[Report Timing]**：選択した棒のエンド ポイントについてタイミング レポートを新しく生成します。これにより、選択されているパスのエンド ポイントに対して **[Report Timing]** ダイアログ ボッ

クスが開きますが、ダイアログ ボックスのオプションに基づいて、フル パスのタイミング解析が実行されます。

メモ：[Report Timing] コマンドは、1 つまたは複数の棒が選択された状態の、ヒストグラムのポップアップ メニューでのみ使用できます。選択した棒部分に含まれるパス エンド ポイントが多いために実行に時間がかかる場合は、それを示す警告メッセージが表示されます。

- **[Refresh Histogram] :** [Generate Slack Histogram] ダイアログ ボックスが開きます。ここで新しいオプションを指定して [Generate Slack Histogram] を実行し直すことができます。
- **[View] :** ヒストグラムの表示を変更できるコマンドのサブメニューが表示されます。このサブメニューには、次のオプションがあります。
 - **[Zoom In] :** 拡大します。
 - **[Zoom Out] :** 縮小します。
 - **[Zoom Fit] :** ヒストグラム全体を表示します。
 - **[Zoom Area] :** 選択したエリアを全体に表示します。
 - **[Options] :** PlanAhead の主な [Options] メニューを起動します。

物理制約の定義

PlanAhead では、さまざまな方法で物理制約を適用できます。物理制約には、LOC/BEL インスタンス配置制約、AREA_GROUP 配置制約、DCI_CASCADE 制約およびデバイス コンフィギュレーション モード制約などが含まれます。物理制約の詳細は、[第 8 章「I/O ピン配置」](#)および [第 10 章「デザインのフロアプラン」](#)を参照してください。

次のセクションでは、[Physical Constraints] ビューとそのオプションについて説明します。

[Physical Constraints] ビューの使用

[Physical Constraints] ビューは、さまざまな物理制約タイプを表示および選択するために使用できます。[Physical Constraint] ビューは、[Layout] → [Floorplanning] をクリックして [Floorplanning] ビュー レイアウトを表示するか、ツールバーのレイアウト セレクト (ドロップダウン リスト) で [Floorplanning] レイアウトを選択すると開きます。または、[Window] → [Physical Constraints] をクリックしても開くことができます。

このビューには、作成した Pblock に関するデザインの階層構造が表示されます。物理階層はダイナミックで、変更されると自動的に拡張および変更されます。その他のビューでオブジェクトが選択されると、[Physical Constraints] ビューで該当エレメントがハイライトされます。

[Physical Constraints] ビューに表示されるオブジェクトは、相対配置マクロ (RPM)、物理ブロック (Pblock)、DCI カスケード制約です。これらのオブジェクトをこのビューで選択して、他のビューで変更することもできます。

デザインに追加した物理制約は、次をクリックすると保存されます。

- **[File] → [Save Design]**
- **[File] → [Save Design As]**

保存せずにプロジェクトを閉じようとする、保存されていない変更があることを示すメッセージが表示されます。デザインに複数の制約セット、制約ファイルが含まれる場合は、追加した制約がアクティブな制約セットとターゲット制約ファイルに記述されることに注意してください。

ROOT デザイン Pblock の使用

物理階層には、まずデザイン名の下に ROOT という最上位レベルの Pblock が含まれます。

下位の Pblock を作成すると、これらは Pblock フォルダの下に階層構造で表示され、親 Pblock の下には子 Pblock が表示されます (図 7-31)。

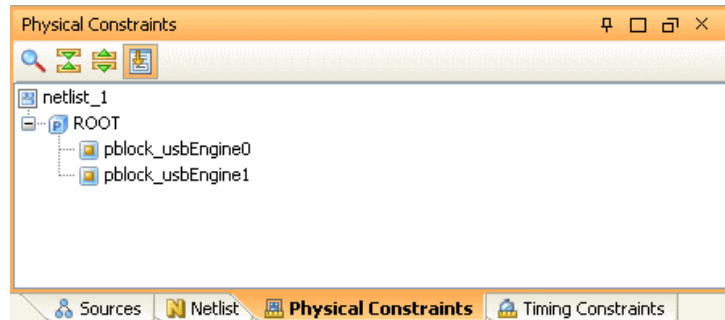


図 7-31 : [Physical Constraints] ビュー

Pblock を選択すると、これに割り当てられているすべてのロジックが選択されます。

[Physical Constraints] ビューのアイコン

[Physical Hierarchy] ビューのツリーには、さまざまなオブジェクトのステートを識別するのに役立つアイコンがいくつかあります。このアイコン表示は物理階層が変更されると自動的に更新されます。

Pblock を作成すると、[Physical Hierarchy] ビューに階層的に表示されます。このビューに含まれる各フォルダのタイプ名の末尾に括弧で表示されている番号は、そのフォルダに含まれているオブジェクト数を示します。

1 つの相対配置マクロ (RPM) の各インスタンスがこのビューに表示されます。その場合 Pblock の下の RPM フォルダに表示されます。[Physical Hierarchy] ビューで RPM を選択すると、RPM に含まれているロジックすべても選択されます。

インスタンスが割り当てられた Pblock

インスタンスが割り当てられ [Device] ビューで長方形が定義された Pblock は、中心が黄色の青色の立方体で表示されます。



インスタンスが割り当てられても [Device] ビューで長方形が定義されていない Pblock は、中心が黄色の青色正方形で表示されます。



インスタンスが割り当てられていない Pblock

インスタンスが割り当てられ、[Device] ビューで長方形が定義された Pblock は、中心に青色の P 文字が示された青色の立方体で表示されます。



インスタンスが割り当てられておらず、[Device] ウィンドウで長方形が定義されていない Pblock は、中心に青色の P 文字が示されている青色正方形で表示されます。

pblock_1

部分的にリコンフィギャブルな Pblock

部分的にリコンフィギャブルなパーティション Pblock のアイコンには、次の図のように黄色のひし形が表示されます。

pblock_usbEngine1

相対配置マクロ (RPM) での作業

相対配置マクロ (RPM) のフォルダには、デザインに含まれる PRM がリストされます。RPM は Pblock に割り当てることができます。その場合 Pblock の下の RPM フォルダに表示されます。1 つの相対配置マクロ (RPM) の各インスタンスエーションがこのビューに表示されます (図 7-32)。

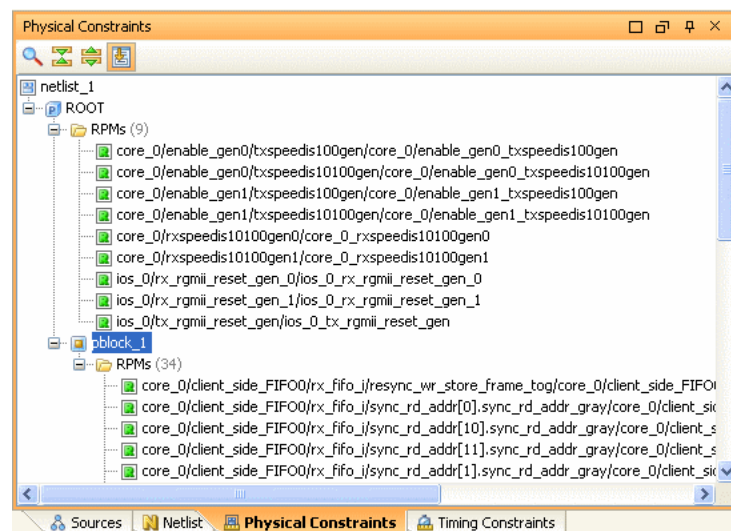


図 7-32 : 相対配置マクロ (RPM) の表示

RPM のプロパティと統計は、[RPM Properties] ビューに表示されます。RPM ロジックを Pblock に割り当てると、RPM のサイズおよび使用率の統計が図 7-33 のように [Pblock Properties] ビューの [Statistics] タブに表示されます。

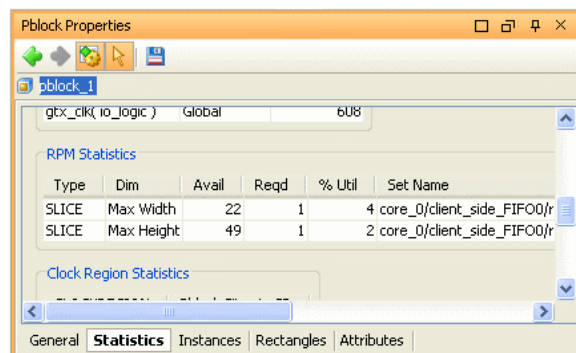


図 7-33 : Pblock の RPM 使用率統計

デザイン ルール チェック (DRC) の実行

PlanAhead には、DRC バッチ コマンドのセットが含まれており、ISE ソフトウェアの実行前にデザインの整合性を確認できます。DRC は実行されるロジック チェックのタイプ別に分類されています。チェックには、さまざまなタイプがあります。


これらのチェックを使用すると、潜在的なインプリメンテーション問題が早期に発見できます。デザインが DRC をパスするかどうか確認するための最終的な検証ステップでは、ISE インプリメンテーション ツールが実行されます。

I/O ポートおよびクロック ロジック DRC の実行

DRC ルールの多くは I/O ピン割り当てとクロック ロジックに関連しています。I/O ポートおよびクロック ロジックに関連した DRC の詳細は、[第 8 章「I/O ピン配置」](#) および [付録 B「PlanAhead の DRC」](#) を参照してください。

ネットリストおよび制約 DRC の実行

ネットリスト デザインで DRC を実行すると、ネットリストと制約に矛盾がないかどうか確認できます。

1. Flow Navigator または [Tools] メニューから [Run DRC]  をクリックします。
[219 ページの図 7-34](#) に示す [Run DRC] ダイアログ ボックスが開きます。
2. [Results Name] フィールドを表示または編集します。ここで指定した名前が [DRC Results] ビューに表示されるので、デバッグ時に区別しやすい名前を付けます。
3. 出力されるレポート ファイルの名前を指定します。これはオプションのフィールドです。
4. [Rules to Check] グループ ボックスの各デザイン オブジェクトで、チェックするルールのチェック ボックスをオンにします。各ルールの詳細は、[218 ページの「ネットリストおよび制約 DRC の実行」](#) を参照してください。
 - [Expand All] ボタンをクリックするか、各カテゴリまたはデザイン オブジェクトの横のプラス記号 (+) をクリックすると、階層が展開します。
 - DRC すべてを実行するには、デザイン オブジェクトの横のチェック ボックスをすべてオンにします。
 - 特定の DRC を実行するには、そのチェック ボックスのみをオンにします。
 - [Select All] をクリックするとすべての DRC が実行されます。

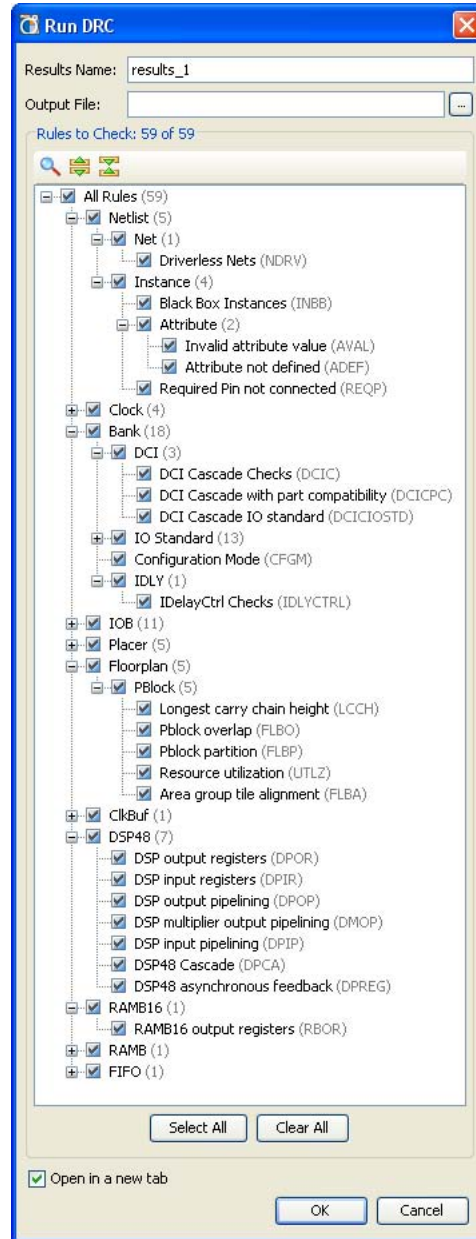


図 7-34 : [Run DRC] ダイアログ ボックス :

5. [OK] をクリックすると、選択した DRC チェックが実行されます。

[DRC Results] ビューには、検出されたルール違反が [Run DRC] ダイアログ ボックスで定義されたさまざまな違反カテゴリ別にまとめられて表示されます (図 7-34)。

ルール違反は、重要度でも色分けされて分類されます。違反の種類は、次のとおりです。

- 情報のみ : 発生する可能性のある問題を黄色で表示
- 警告またはクリティカル警告 : 回避策をとる必要のある可能性のある問題をオレンジで表示
- エラー : 最適なインプリメンテーションのために回避する必要のある問題を赤で表示

DRC エラーの表示

DRC が終了すると、図 7-35 のような [DRC Results] ビューが表示されます。

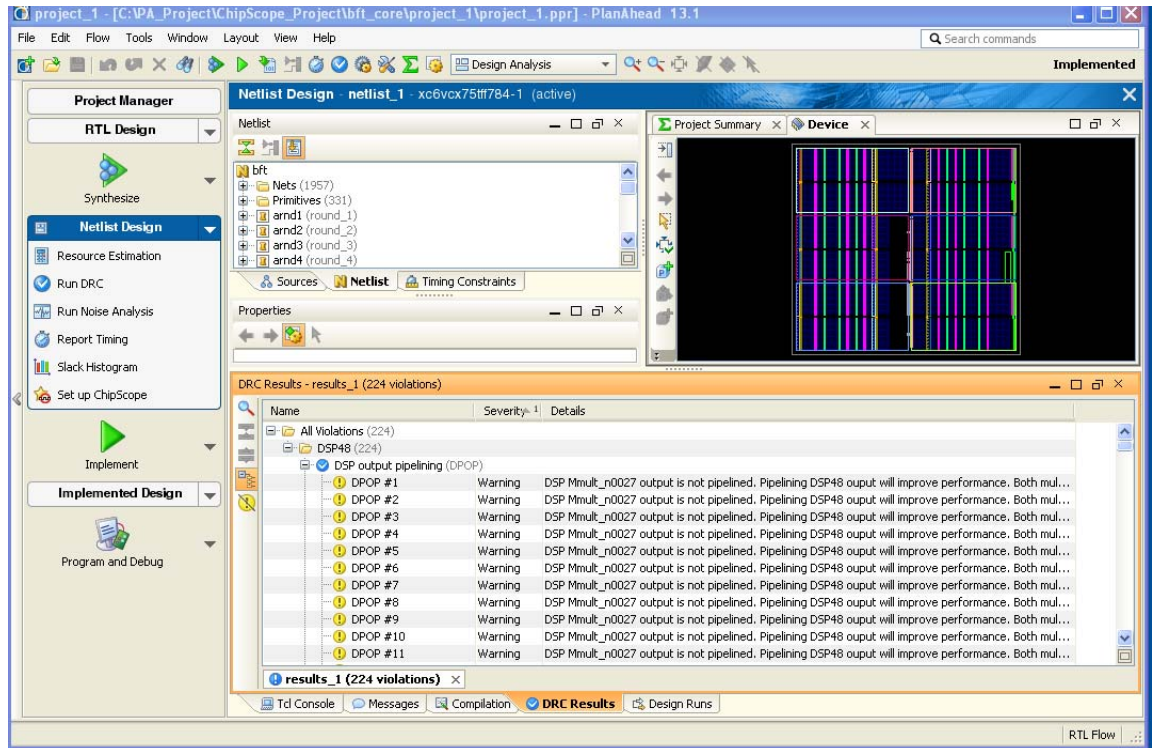


図 7-35： [DRC Results] ビュー

警告および情報メッセージを非表示にし、エラーのみを表示する場合は、ツールバーの [Hide warnings and informational messages] ボタンをクリックします。

[DRC Results] ビューの [Severity] 列のヘッダをクリックすると、違反を重要度別に並び替えることもできます。

- 列ヘッダをクリックすると、値の小さい順から並び替えることができます。
- 2 回クリックすると、その逆の順序で並び替えられます。

詳細は、99 ページの「ツリー表形式のビュー」を参照してください。[DRC Results] ビューで違反メッセージをクリックし、[Violations Properties] ポップアップ メニューをクリックすると、[Violations Properties] ビューが開きます。このビューには、DRC ルール違反の概要と、違反しているデザイン エレメントの詳細が表示されます。

[Violations Properties] ビューの [Details] タブには、その DRC に違反する特定のデザイン オブジェクトへのリンクが表示されます。これらのリンクをクリックすると、[RTL Netlist] ビュー、[Device] ビュー、[Schematic] ビューまたはソースの RTL ファイルでそのデザイン オブジェクトが表示されます。PlanAhead の DRC の詳細は、付録 B「PlanAhead の DRC」を参照してください。

第 8 章

I/O ピン配置

I/O 配置の概要

I/O Planning ビュー レイアウトでは、デザインおよびデバイスの I/O 要件を解析し、PCB デザインと FPGA デザイン両方の要件を満たす I/O ピン配置を定義できます。

PlanAhead™ では、I/O ポート信号の作成でき (I/O Planning プロジェクトのみ)、カンマ区切り値 (CSV)、ユーザー制約ファイル (UCF)、レジスタ転送レベル (RTL) などのファイルから I/O ポートリストのインポートができます。これにより、ピン配置を設計初期に無駄なく決定でき、設計後半でピン配置に関連する変更を削減できます。

ピン配置が最適化されていないと遅延が増加し、タイミングおよびシグナル インテグリティ要件を満たす障害となります。PCB から FPGA ダイへのデータ フローを考慮すると、最適化されたピン配置を迅速に定義でき、内部および外部のトレース長および配線密集を緩和できます。

I/O ピン配置の手法

PCB 設計、FPGA 設計、システム設計などの設計グループにはそれぞれ特有の考慮事項や要件があるので、I/O ピン配置は複雑なプロセスになっています。この章では、PlanAhead 環境を使用したデバイスの詳細の確認方法、および I/O ピン配置と関連タスクについて説明します。

ザイリンクス推奨の I/O ピン配置の詳細は、『[ピン配置手法ガイド](#)』(UG792) を参照してください。

I/O 配置ストラテジ

PlanAhead では、さまざまなデザイン プロセス段階で I/O 配置を実行できます。デザインが進むにつれ、より多くの情報が使用可能になるので、デザインの合成およびインプリメント時には、より複雑なルール チェックを使用できます。

I/O の配置は、クロックのコンフィギュレーション方法によって異なることがあります。I/O とクロック ロジックはよく一緒に配置されます。I/O 配置の DRC でクロックを認識させるには、合成済みのネットリスト デザインが必要です。I/O 配置には、できるだけネットリスト デザインを使用してください。

最終的に I/O ピンとクロック コンフィギュレーションを確認するには、デザインをインプリメントします。クロック リソースが問題なく配置されるには、すべてのクロックが完全にインプリメントされている必要があります。

PlanAhead ソフトウェアでの I/O 配置は、空のプロジェクトから開始し、RTL ソース ファイルへ移動し、ネットリストを合成し、最後にインプリメント済みデザインで作業をします。

デザインの早期段階では一部のデータがまだ存在せず、解析が概算のみになったり、後半ではデータが決定され、変更できるデザイン部分が限られたりするので、デザイン プロセスの段階によって実行できることは異なります。

次は、デザイン段階を簡単に示しています。

1. ピン配置プロジェクトの作成

空のプロジェクトを作成すると、早期デバイス チェックと I/O ポート コンフィギュレーションを実行できます。I/O ポートは手動で作成したり、CSV または UCF ファイルのいずれかからインポートできます。たとえば RTL デザイン プロジェクトなど、これらのフォーマットでデバイスおよび I/O ポート割り当てをエクスポートしておくと、デザイン プロセスの後半で使用できます。

2. RTL デザインのエラボレーションとチェック

PlanAhead の RTL ベースのプロジェクトでは、I/O 配置を実行できます。RTL デザインがエラボレーションされると、基本的な DRC チェックができるようになります。クロック ロジックをチェックするには、合成済みネットリストを使用することをお勧めします。

3. ネットリスト デザインの合成

ネットリスト デザインの合成が終了したら、I/O 配置がしやすくなります。これは、この段階ですべてのクロックが決定されるからです。 ツールにはすべてのクロックが表示されるので、さらに詳細な検証を行うことができます。できる限り、I/O 配置はネットリスト デザインを使用して実行してください。

4. デザインのインプリメンテーションと I/O の最終検証

I/O 配置が有効かどうかを確認するには、デザインを完全にインプリメントする必要があります。NGDDBuild と MAP レポートの I/O およびクロック関連のメッセージを確認してください。最終 DRC があるのは、ISE® インプリメンテーション ツールのみです。

I/O ポート配置機能

ポートまたはインターフェイスも、[Configure I/O Ports] コマンドを使用して選択および設定できます。このコマンドでは、I/O 規格、駆動強度、およびスルー レートのタイプを設定できます。I/O Planning ビュー レイアウトでは、CSV 形式のファイルを出力して PCB 回路図シンボルの作成または HDL ポート リストで使用できます。詳細は、[232 ページの「I/O ポートの設定」](#)を参照してください。

個別の I/O ピンまたは I/O バンクに PROHIBIT を設定すると、I/O が割り当てられません。詳細は、[236 ページの「I/O ピンおよび I/O バンクの使用禁止」](#)を参照してください。

I/O ポートは次の方法で配置できます。

- I/O をインターフェイスにグループ分けし、識別しやすく、選択しやすくします。詳細は、[237 ページの「I/O ポート インターフェイスの作成」](#)を参照してください。
- I/O ポートのグループをドラッグし、次の 3 つの配置モードのいずれかを使用して [Package] ビューまたは [Device] ビューで割り当てます。
 - [「I/O ポートの I/O バンクへの配置」](#)：選択した I/O バンク内に選択した I/O ポートを配置します。
 - [「I/O ポートの定義された領域への配置」](#)：[Device] または [Package] ビューで長方形を定義し、その中に選択した I/O ポートを配置します。
 - [「I/O ポートの順次配置」](#)：選択した I/O ポートをインタラクティブに有効なサイトに配置します。

選択した I/O 配置モードは、選択した I/O ポートが配置されるか、Esc キーを押すまでアクティブです。それぞれのモードで、I/O ポートのピンへの割り当て方が異なります。

カーソルをサイトの上に置くと、配置されるポート数や、配置サイトがそのポートに使用できるかどうかなどの情報が示されます。詳細は、[239 ページの「インタラクティブなデザイン ルール チェックの使用」](#)を参照してください。

配置されていない I/O や I/O グループを自動的に配置するには、[Tools] → [I/O Planning] → [Autoplace I/O Ports] をクリックします。コマンドでは I/O バンク規則、差動ペアの規則、グローバル クロック ピンの規則が遵守され、最大限の I/O ポートが配置されます。この機能は一部のデバイス アーキテクチャにのみ使用でき、すべての使用可能なルールが適用されるには、合成済みネットリストが必要です。詳細は、[243 ページの「I/O ポートの自動配置」](#)を参照してください。

PlanAhead では、割り当てが正しく実行されるように次の規則が適用されます。

- 差動ペアのポートを正しいピンのペアに配置する
- GTX を I/O バッファと一緒に配置し、デバイスでリソースが正しく割り当てられるようにする

インタラクティブなバッチ DRC を使用して、I/O が正しく配置されるようにします。詳細は、[248 ページの「I/O とクロック ロジックの配置の検証」](#)を参照してください。

I/O Planning ビュー レイアウトの使用

I/O Planning ビュー レイアウトは、[RTL Design]、[Netlist Design]、[Implemented Design] デザイン環境で使用できます。このビューレイアウトには、[Package] ビューと [Device] ビューの両方が含まれます。[Clock Resources]、[Clock Regions]、[Package Pins]、[I/O Ports]、[Properties] などのビューには、その他の I/O 情報が提供されます。

I/O Planning ビュー レイアウトは、次の 2 つの方法で表示できます。

- [Layout] → [I/O Planning] をクリックするか、レイアウト セレクター (ドロップダウン リスト) から選択します。
- New Project ウィザードを使用して新規のピン配置プロジェクトを作成

I/O Planning 環境については、次の [第 4 章「表示環境の使用」](#) のリファレンスを参照してください。

[111 ページの「\[Device\] ビュー」](#)

- [115 ページの「\[Package\] ビュー」](#)
- [131 ページの「\[I/O Ports\] ビュー」](#)
- [132 ページの「\[Package Pins\] ビュー」](#)
- [133 ページの「\[Design Runs\] ビュー」](#)

[224 ページの図 8-1](#) は I/O Planning 環境を示しています。

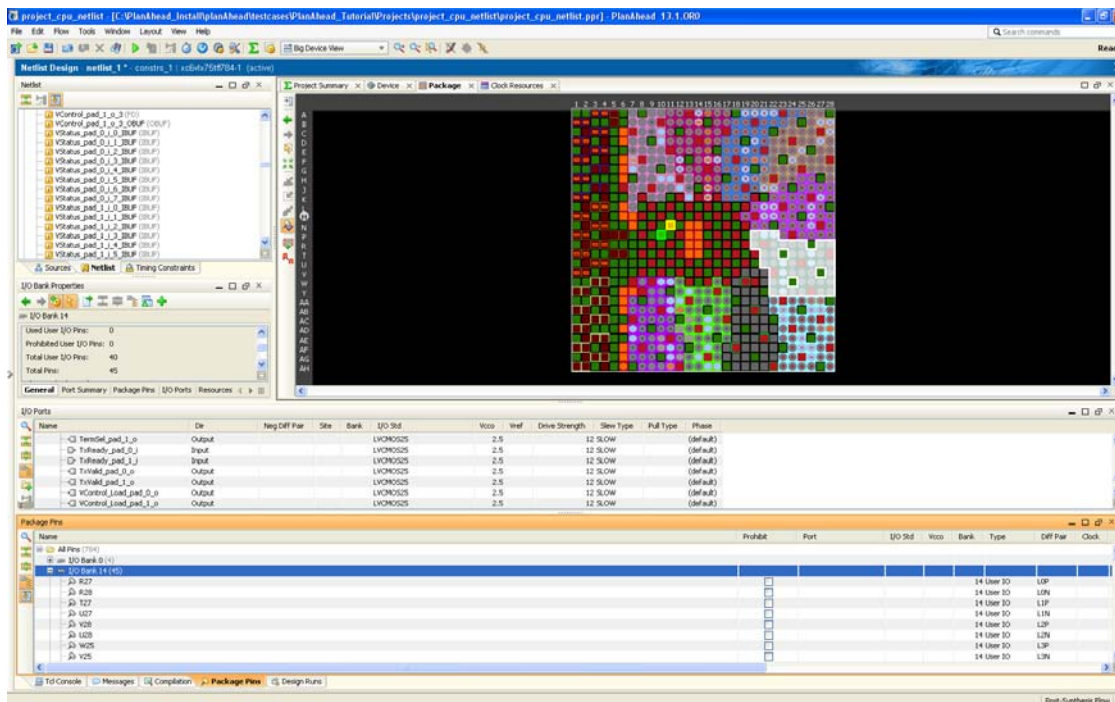


圖 8-1： I/O Planning 環境

デバイス リソースの表示

[Device] ビューおよび [Package] ビューは、デバイスおよび配置ロジック リソースをグラフィカルに表示しています。ビューでロジック オブジェクトおよびデバイス サイトを選択すると、その情報が [Properties] ビューに表示されます。[Properties] ビューには、[225 ページの図 8-2](#)のように、さまざまなタイプの情報がタブ別で表示されます。

選択したオブジェクトのプロパティを表示するには、[Properties] ビューを表示します。[Properties] ビューが表示されていない場合は、[Object_Type Properties] ポップアップ メニュー コマンドをクリックするか、[Window] → [Properties] をクリックします。

特定のオブジェクトまたはデバイス サイトを検索するには **[Find]** コマンドを使用します。検索可能なオブジェクト タイプはさまざまで、デバイスまたはデザインで特定のオブジェクトを検索するフィルタ機能もあります。オブジェクトは **[Find Results]** ビューで直接選択できます。詳細は、[第7章の「\[Find\] コマンドを使用したオブジェクトの検索」](#)を参照してください。

パッケージ ピンのプロパティの表示

ピンまたは I/O バンクを [Package] ビューで選択すると、図 8-2 に示すように、その詳細が [Properties] ビューに表示されます。

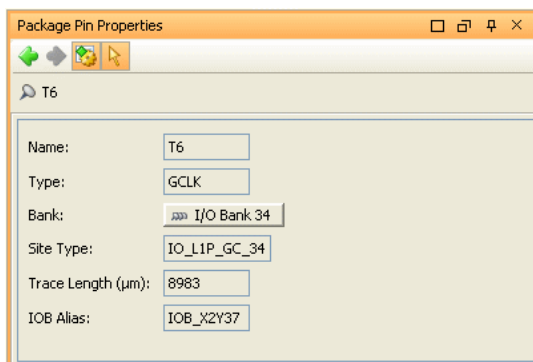


図 8-2: パッケージ ピン プロパティ

I/O バンク リソースの表示

I/O リソースはどの I/O Planning ビューでも選択でき、選択したデータはほかのすべてのビューでハイライト表示されるため、物理パッケージと内部チップの関係が容易に確認できます。ビューには、次のようなタイプのデバイスおよびデザイン情報が含まれます。

- [Package Pins] ビューで I/O バンクの 1 つを選択します。
- [I/O Bank Properties] ビューで [General] タブをクリックします。

図 8-3 は I/O バンクを表示しています。

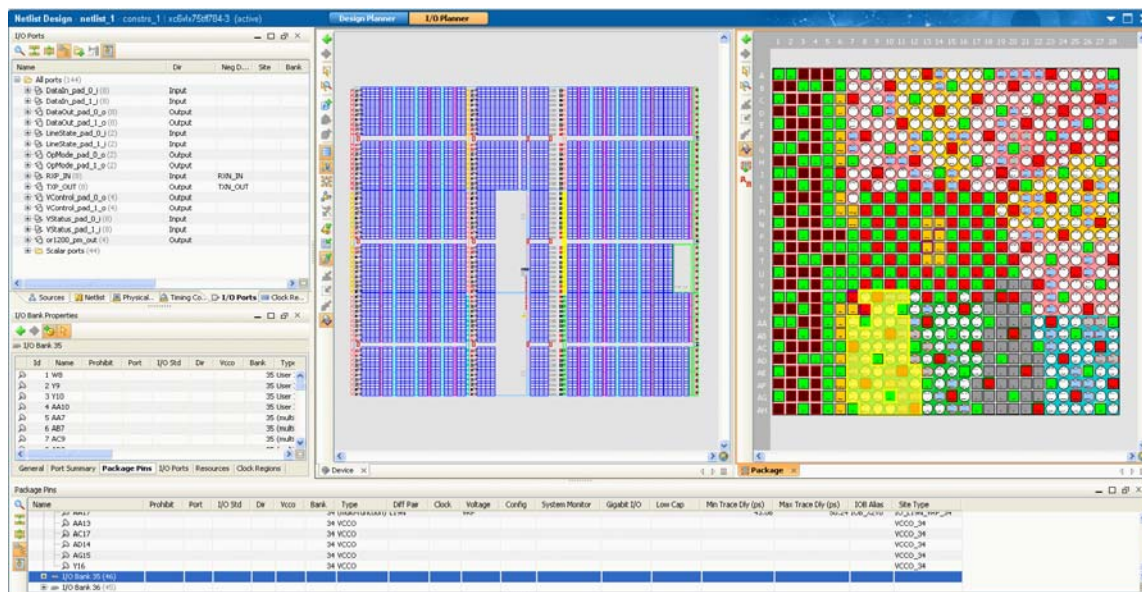


図 8-3: I/O バンクのロケーションおよびリソースの表示

クロック領域のリソースおよび統計の表示

[Clock Regions] ビューでは、クロック領域を容易に選択できます。クロック領域を選択すると、関連した I/O バンクおよびリージョナル クロック リソースが図 8-4 のようにハイライト表示されます。

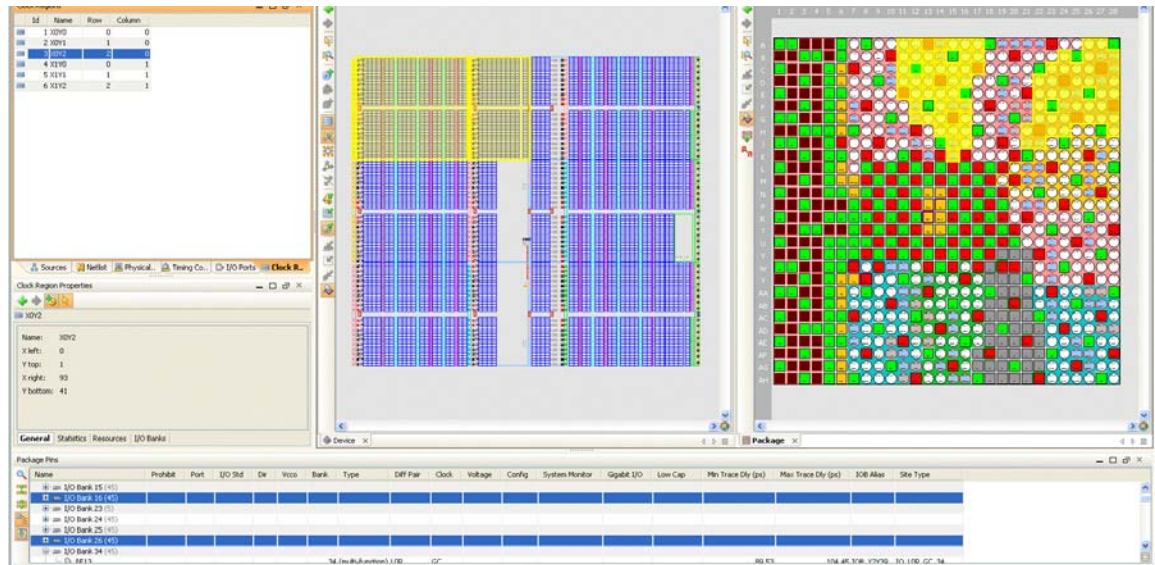


図 8-4： I/O Planning のクロック領域ソース

[Properties] ビューには、選択したクロック領域のプロパティが表示されます。[Clock Region Properties] ビューの [Statistics] タブには、選択したクロック領域のリソース統計およびロジックの内容が表示されます。

227 ページの図 8-5 のように、[Resources] タブでクリックすると、配置されるデバイス クロック サイトが表示されます。

[Clock Regions Properties] ビューでオブジェクトを選択すると、[Device] ビューなど、そのオブジェクトが開いている別のビューでも選択されます。

[Clock Resources] ビューには、使用可能なクロック リソースが表示されるので、グローバルおよびリージョナル クロック ツリーのエレメントを配置しやすくなっています。詳細は、245 ページの「[Clock Resources] ビューの使用」を参照してください。

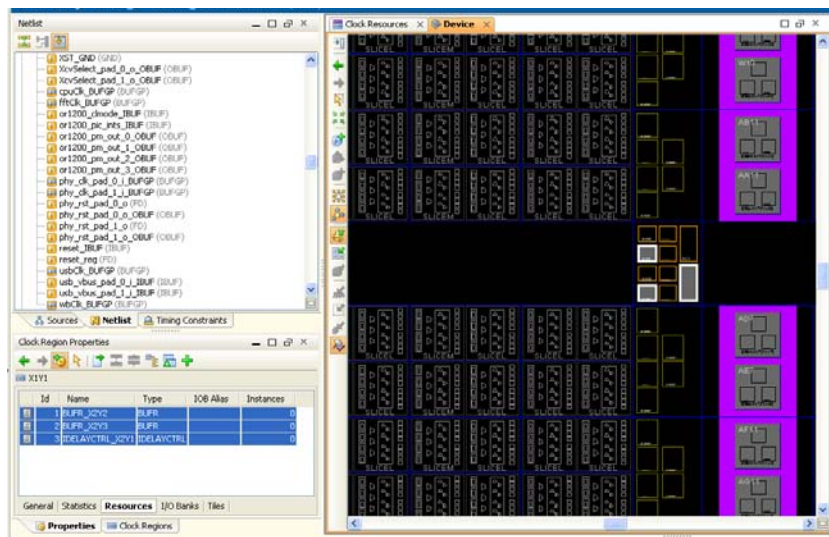


図 8-5： クロック領域リソースの表示

多機能ピンの表示

[Package Pins] ビューには、スプレッドシートのような列でさまざまなデータ タイプが表示されます。このビューは、フラットにしたり、フィルタをかけたり、分類できます。列は移動したり、非表示にしたり、設定変更でき、さまざまな多機能ピンを表示および比較しやすくなっています。セルは編集可能で、直接テキストを入力するか、ドロップダウン リストから値を選択できるようになっています。図 8-6 に、[Package Pins] ビューの例を示します。

Name	Prohibit	Port	I/O Std	Dir	Vcco	Bank	Type	Diff Pair	Clock	Voltage	Config	System Monitor	Gigabit I/O	Low Cap	Min Trace Dly (ps)	Max I
H6							Config								161.66	
G6							Config								157.16	
AG6							Config								159.71	
AF6							Config								168.88	
AH6							Config								159.30	
AD6							Config			VF5					167.15	
Y2							Gigabit						MGTTXN3		77.24	
AC4							Gigabit						MGTXXN3		89.00	
Y1							Gigabit						MGTTXP3		77.03	
AC3							Gigabit						MGTXXP3		88.81	

図 8-6： [Package Pins] ビュー

[Type] 列は、多機能ピンのタイプを示します。その他の列には、多機能タイプのピンに関するロジックまたはコンフィギュレーション モードが記述されます。

[Package] ビューの多機能ピンには、使用可能な機能が特定のシンボルで表示されます。

- グローバル クロック ピンはグレーの五角形
- Vref ピンは小さな電球アイコン

[Package View Layers] コマンドを実行すると、多機能ピンに使用されるアイコンがリストされます。詳細は、116 ページの「[Package] ビューで表示するレイヤーの設定」を参照してください。

デザインにギガビット トランシーバ (GT)、メモリ コントローラ、または PCI ロジックが表示される場合、多機能ピンの競合を示す情報が [Package Pin] の表に表示されます。

デバイス コンフィギュレーション モードの多くで多機能ピンが使用されます。[Tools] → [I/O Planning] → [Set Configuration Modes] をクリックし、必要なデバイス コンフィギュレーション

モードを設定します。詳細は、[229 ページ](#)の「デバイス コンフィギュレーション モードの選択」を参照してください。

デバイス コンフィギュレーション モードを設定すると、多機能ピンのピン定義が [Package Pins] ビューの [Config] 列に表示されるようになります。

ターゲット パーツの変更

PlanAhead で代替デバイスを選択すると、有効な I/O ピン割り当てが定義され、選択したデバイスすべてに対しそれが有効になります。同じパッケージの代替パーツを選択し、できるだけ多くの I/O 割り当てを保持します。

ターゲット パーツを変更するには、次の手順に従います。

1. [Tools] → [IO Planning] → [Set Part Compatibility] をクリックします。

このコマンドを実行すると、現在のデフォルト パーツと同じパッケージで使用可能な代替パーツを検出できます。同じパッケージで使用可能な代替デバイスが [図 8-7](#) のように表示されます。

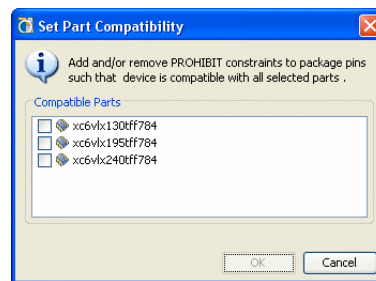


図 8-7： 代替パーツの選択

2. 代替パーツを任意の数だけ選択します。

PlanAhead では、パーツ間に共通のピンを見つけ、代替パーツ間で共通ではないピンに対して PROHIBIT 制約を適用します。選択するパーツの数が増えると、配置に使用可能なパッケージピンの数が減ります。

PlanAhead では、信号が選択した代替デバイスのボンディングされていないピンに割り当てられないように自動的に設定されます。使用禁止になっているパッケージ ピン数を示すダイアログ ボックスが表示されます。PROHIBIT は [Package]、[Package Pins]、[Device] ビューでも表示できます。

メモ： [Set Part Compatibility] コマンドは Virtex®-5、Virtex-6 および Spartan®-6 に対してのみサポートされます。

メモ： Spartan-6 LX25 または LX25T デバイスの互換性のある代替パーツを定義する場合、このデバイスと代替デバイス間のクロック トポロジに違いがあるため、ボンディングされたピンには禁止制約が付きます。詳細は、[アンサー #34885](#) を参照してください。

デバイス コンフィギュレーション モードの選択

PlanAhead には、図 8-8 のようなデバイス コンフィギュレーション モードに関する情報が表示され、どれでも選択できます。

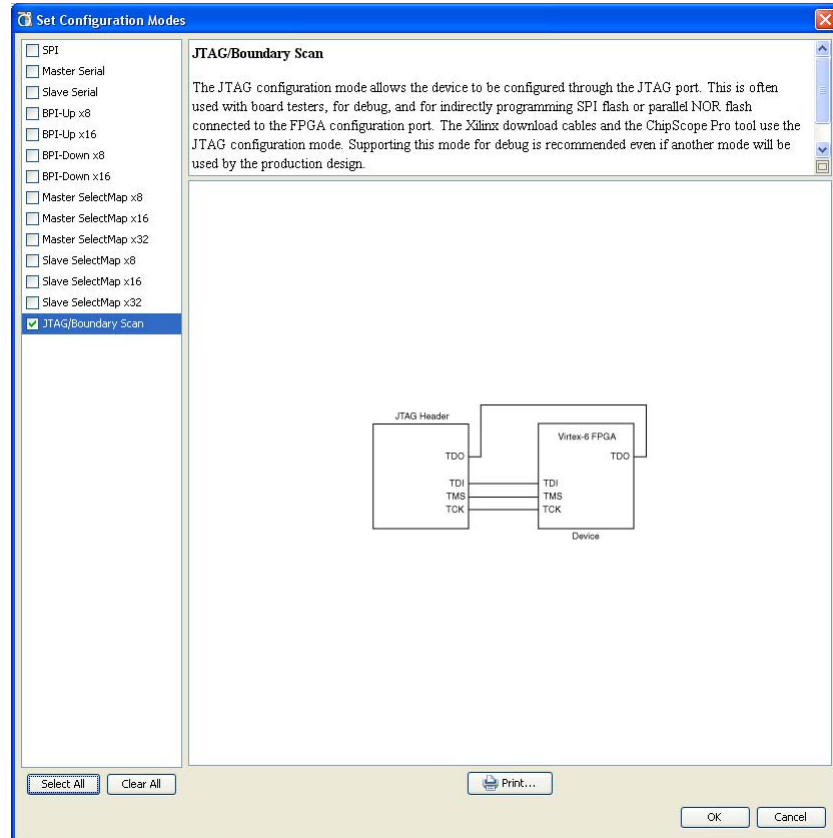


図 8-8 : [Set Configuration Modes] ダイアログ ボックス

デバイス コンフィギュレーション モードを設定するには、次の手順に従います。

1. [Tools] → [IO Planning] → [Set Configuration Modes] をクリックします。
 - コンフィギュレーション モードのいずれかをクリックし、回路図などの情報を表示します。
 - コンフィギュレーション図を印刷するには、[Print] をクリックします。
2. 必要なコンフィギュレーション モードを選択したら、[OK] をクリックします。

コンフィギュレーション モードを選択すると、[Package Pins] ビューの [Config] 列に関連する I/O ピンが表示されます。[Config] 列のヘッダをクリックすると、ピンを並び替えることができます。

コンフィギュレーション モードとその他の多機能ピンとに競合があるかどうかを解析する場合は、227 ページの「多機能ピンの表示」を参照してください。

I/O ポートの定義と設定

I/O Planning 環境を使用すると、空のピン配置プロジェクトから I/O ポートを作成および設定できます。

I/O ポートのインポート

PlanAhead では、UCF または CSV 形式のファイルを空の PlanAhead プロジェクトへインポートして、I/O ピン配置を開始できます。

CSV または UCF ファイルは、プロジェクトの作成時にインポートするか、後でファイルのインポート機能を使用してインポートします。

I/O ピン配置のために RTL ソースのプロジェクトを作成する場合は、RTL ファイルまたはヘッダを使用し、より完全な RTL ソース ファイルをデザインの進捗状況にしたがって後でプロジェクトに追加します。RTL ベースまたは合成ネットリスト ベースのプロジェクト作成すると、[I/O Ports] ビューに定義された I/O ポートが自動的にインポートされます。

CSV ファイルのインポート

I/O ポートのリストを CSV ファイルからインポートするには、次の手順に従います。

1. [File] → [Import] → [Import I/O Ports] をクリックします。

図 8-9 のような [Import I/O Ports] ダイアログ ボックスが表示されます。

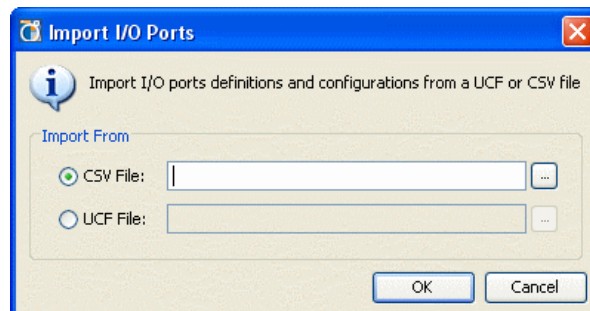


図 8-9： [Import I/O Ports] ダイアログ ボックス

2. [CSV File] をオンにし、参照ボタンでインポートする CSV ファイルを選択します。

CSV ファイル形式は、図 8-10 に示すとおりです。

	A	B	C	D	E	F	G	H	I	J	K	L	M	N	O
1	Top: top Floorplan: floorplan_1 Part: xc5vsx35ff665-1														
2	Generated by: brianj on: Fri Feb 06 17:28:39 2009														
3	Build: PlanAhead v11.1.LR0 by: ECloudInternalUser4 on: Thu Feb 5 20:04:57 PST 2009														
4															
5	IO Bank	Pin Number	IOB Alias	Site Type	Min Trace	Max Trace	Prohibit	Interface	Signal Name	Direction	DiffPair Type	DiffPair Sign	IO Standard	Drive (mA)	Slew Rate
6		P2	OPAD_X0Y5	MGTTXP0_114	34878	40691			TXP_OUT[4]	OUT	P	TXN_OUT[4]	LVDS_25		
7		W2	OPAD_X0Y7	MGTTXP1_114	41406	48307			TXP_OUT[5]	OUT	P	TXN_OUT[5]	LVDS_25		
8		B2	OPAD_X0Y13	MGTTXP0_116	63540	74130			TXP_OUT[6]	OUT	P	TXN_OUT[6]	LVDS_25		
9		G2	OPAD_X0Y15	MGTTXP1_116	55620	64890			TXP_OUT[7]	OUT	P	TXN_OUT[7]	LVDS_25		
10	17	AD16	IOB_X0Y8	IO_L15N_17	80604	94038			DataOut_USB	OUT			LVC MOS25		
11	17	AE15	IOB_X0Y6	IO_L16N_17	89010	103845			DataOut_USB	OUT			LVC MOS25		
12	17	AC21	IOB_X0Y17	IO_L11P_CC_17	47370	55265			DataOut_USB	OUT			LVC MOS25		
13	17	AE16	IOB_X0Y9	IO_L15P_17	78702	91819			DataOut_USB	OUT			LVC MOS25		
14	17	AE21	IOB_X0Y22	IO_L8N_CC_17	63150	73675			DataOut_USB	OUT			LVC MOS25		
15	17	AD20	IOB_X0Y18	IO_L10N_CC_17	62046	72387			DataOut_USB	OUT			LVC MOS25		
16	17	AC23	IOB_X0Y26	IO_L6N_17	58710	68495			DataOut_USB	OUT			LVC MOS25		
17	17	AF17	IOB_X0Y10	IO_L14N_VREF_17	80994	94493			DataOut_USB	OUT			LVC MOS25		
18	17	AD24	IOB_X0Y36	IO_L1N_17	64386	75117			DataIn_USB	IN			LVC MOS25		

図 8-10: CSV 形式の I/O ポート リスト

CSV は、FPGA やボード設計にあたり、デバイス ピンおよびピン配置のデータを交換するときに使用される標準ファイル形式です。CSV ファイル形式の詳細は、[381 ページの「I/O ポート リスト \(CSV\)」](#)を参照してください。

PlanAhead では、[381 ページの「I/O ポート リスト \(CSV\)」](#)で説明するように、I/O ピン関連のデータをインポートするのに専用の CSV ファイル形式が必要とされます。CSV ファイルには、PlanAhead では認識されない追加情報を含めることもできます。インポートされた CSV ファイルに認識できない情報が含まれる場合、ユーザーが確認して使用できるように、[Package Pins] ビューの列に表示されます。

このようなカスタム CSV フィールドで値を変更または定義するには、[Set User Column Values] ビューで [Set User Column Values] ポップアップ メニュー コマンドを使用します。

[File] → [Export] → [Export I/Os] をクリックし、CSV ファイルをエクスポートします。追加された列およびユーザー定義の値が保持され、出力ファイルにエクスポートされます。

UCF 形式ファイルのインポート

PlanAhead では、UCF 形式のファイルをインポートして、[I/O Ports] ビューに表示できます。

UCF ファイルから I/O ポートの定義をインポートするには、[File] → [Import I/O Ports] をクリックし、[230 ページの図 8-9](#) のように UCF オプションをオンにして UCF ファイルを指定します。

UCF ではポートの方向が定義されていないので、[Direction] フィールドは「undefined」と表示されます。I/O ポートの方向を定義するには、[I/O Ports] ビューで [Set Direction] をクリックします。[I/O Ports] ビューでは、特定の I/O ポートの方向を直接変更することもできます。

詳細は、[233 ページの「I/O ポート方向の設定」](#)を参照してください。

メモ： インポートされた UCF でポートがワイルドカード (*) 構文を使用して定義される場合は、PlanAhead ではそのワイルドカードが展開されないため、それらのポートはインポートされません。

I/O ポートの新規作成

I/O ポートを定義する CSV または UCF ファイルをインポートした I/O 配置プロジェクトの場合、新規ポートは手動で定義できます。

I/O ポートを作成するには、次の手順に従います。

1. [I/O Ports] ビューで [Create I/O Ports] をクリックします。

図 8-11 のような [Create I/O Ports] ダイアログ ボックスが表示されます。

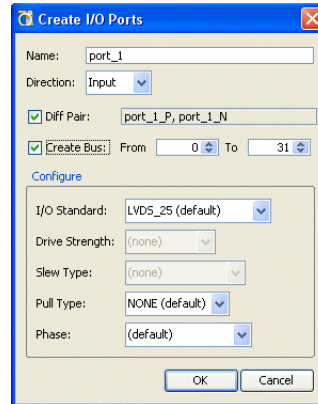


図 8-11： [Create I/O Ports] ダイアログ ボックス

2. 次のオプションを変更します。

- [Name]：作成するポートまたはバスの名前を指定します。
 - [Direction]：ポートの方向を選択します。
 - [Diff Pair]：信号またはバスに差動ペアを定義する場合はオンにします。
 - [Create Bus]：バス範囲を指定します。
 - [Configure]
 - [I/O Standard]：I/O 規格を選択します。
 - [Drive Strength]：駆動電流の値を選択します。
 - [Slew Type]：スルー レートを選択します。
 - [Pull Type]：抵抗のタイプを選択します。
 - [Phase]：位相グループまたは既存の位相グループを入力します。位相グループは SSN (Simultaneous Switching Noise) 計算で使用されているポートの論理グループで、このポート グループで同じ周波数と位相が共有されていることを示します。詳細は、[256 ページの「SSN の I/O ポート スイッチ位相グループの定義」](#)を参照してください。
- メモ：[Phase] オプションは Virtex-6 デバイスにのみ使用でき、その他のデバイス ファミリーでは使用できません。

デバイスの電圧の情報については、ザイリンクスのデバイスのマニュアルを参照してください。

I/O ポートの設定

I/O ポートは、特定の IOSTANDARD をサポートしたり、特定の電圧や遅延特性を定義するように設定できます。

ポートまたはポートのグループを設定するには、次の手順に従います。

1. [I/O Ports] ビューで、ポートを選択します。
2. ポップアップ メニューで [Configure I/O Ports] をクリックします。

図 8-12 に示すような [Configure Ports] ダイアログ ボックスが開きます。

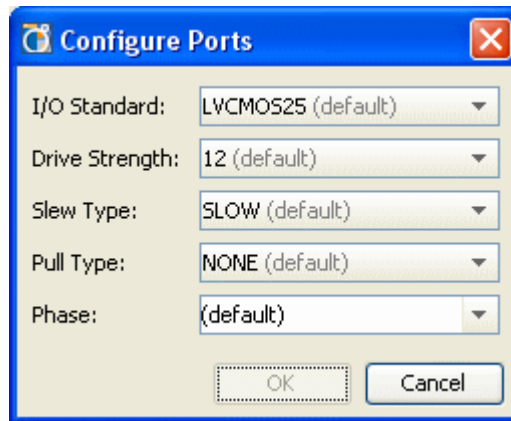


図 8-12 : [Configure Ports] ダイアログ ボックス

3. 次のオプションを変更します。

- [I/O Standard] : I/O 規格を選択します。ツールで差動ペアが認識されるかどうかに関係なく、ユーザーが I/O すべての I/O 規格を設定できますが、これにより DRC エラーになることがあります。
- [Drive Strength] : 駆動電流の値を選択します。
- [Slew Type] : スルー レートを選択します。
- [Pull Type] : 抵抗のタイプを選択します。
- [Phase] : 位相グループまたは既存の位相グループを入力します。

位相グループの使用に関する詳細は、256 ページの「SSN の I/O ポート スイッチ位相グループの定義」を参照してください。

メモ : [Phase] オプションは Virtex-6 デバイスにのみ使用でき、その他のデバイス ファミリでは使用できません。

デバイスの電圧の情報については、ザイリンクスのデバイスのマニュアルを参照してください。

I/O ポート方向の設定

I/O ポートの方向を設定するには、設定する必要がある I/O ポート、バス、またはインターフェイスを選択し、[I/O Ports] ビューで [Set Direction] をクリックします。このコマンドを使用すると、ポートの方向を Input、Output、In/Out のいずれかに定義できます。このコマンドは、I/O ピン配置プロジェクトにのみ使用できます。RTL ソースのプロジェクトの場合は、RTL ソースでポートの方向を定義します。

選択したポートの方向は、[I/O Ports] ビューの表で変更することもできます。

選択したポートの [Dir] 列をクリックし、方向をドロップダウン リストから選択します。

差動ペアの定義

I/O ピン配置プロジェクトで差動ピン ペアを定義するには、任意の 2 つの I/O ポートを選択し、[I/O Ports] ビューで [Make Diff Pair] をクリックします (図 8-13)。

メモ : [Make Diff Pair] オプションは RTL ベースのプロジェクトでは使用できません。RTL ベースのプロジェクトの場合、差動ポートは適切な I/O バッファ インスタンスエーションを使用してソースコードで定義される必要があるからです。

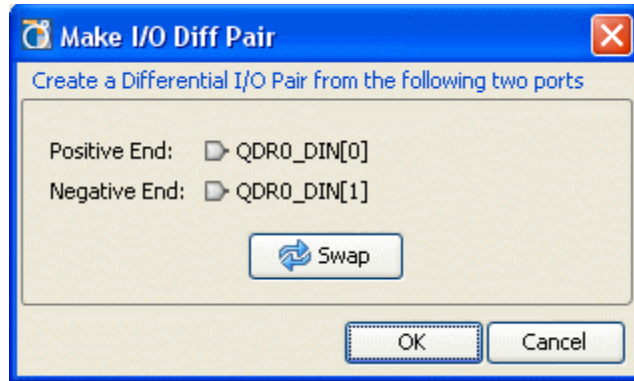


図 8-13： [Make I/O Diff Pair] ダイアログ ボックス

2 つの I/O ポートが、正側と負側にそれぞれ指定されてダイアログ ボックスに表示されます。

- [Swap] をクリックすると、正側と負側の信号を入れ替えることができます。
- [Split Diff Pair] をクリックすると、差動ペア定義を削除できます。

DCI_CASCADE 制約の設定

Virtex-5、Virtex-6、7 シリーズ デバイスの場合は、PlanAhead 環境内で DCI_CASCADE 制約を設定できます。この制約の使用目的および使用方法については、『[制約ガイド](#)』(UG625) を参照してください。

この制約は、DCI リファレンス電圧用に近接する 2 つ以上の I/O バンクをリンクするために使用します。DCI リファレンス電圧を使用する I/O バンクは「マスタ」と呼ばれ、それ以外のは「スレーブ」と呼ばれます。カスケードのすべてのバンクはデバイスの同じ列に配置される必要があります。この制約は、コマンドを実行する前に目的の I/O バンクを予め選択するか、またはコマンドのダイアログ ボックスで I/O バンクを選択して、設定することができます。

DCI_CASCADE 制約を作成するには、次の手順に従います。

1. 制約を設定する I/O バンクを選択します。
2. 右クリックし、[Create a DCI Cascade] をクリックします。図 8-14 に示す [DCI Cascade Editor] ダイアログ ボックスが表示されます。

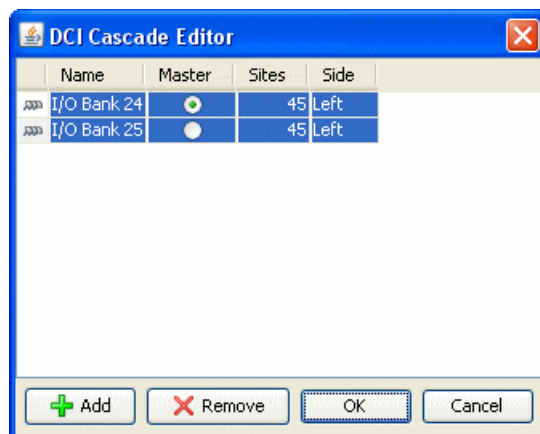


図 8-14： DCI カスケード制約の作成

3. I/O バンクを追加するには、[Add] ボタンをクリックします。

ダイアログ ボックスに選択した I/O バンクが表示されます。デバイスの同じ列から I/O バンクを選択します。PlanAhead では、これを DCI_CASCADE の作成時にインタラクティブにチェックはしませんが、DRC を実行したときにチェックされます。

4. マスタにしたい I/O バンクを選択し、[OK] をクリックします。

I/O バンクを選択すると、ほかの PlanAhead ウィンドウで選択したものがハイライトされます。

DCI カスケードは、235 ページの図 8-15 のように [Physical Constraints] ビューに表示されます。

これを [Physical Constraints] ビューで選択すると、そのグループからの I/O バンクがすべて選択されます。詳細は、[Properties] ビューで表示および編集できます。

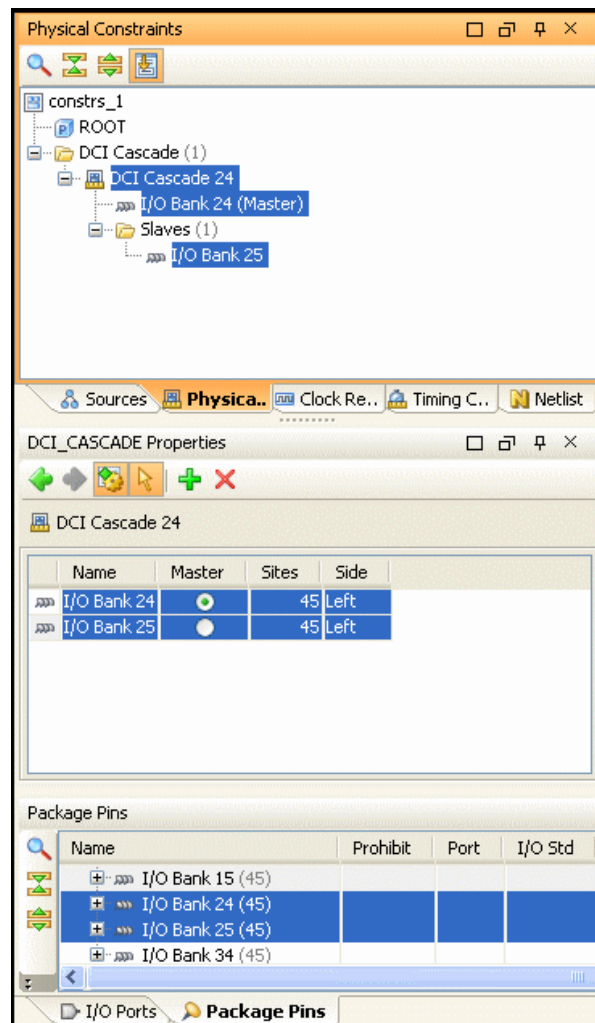


図 8-15： DCI カスケードの表示

[Physical Constraints] ビューで DCI カスケードを選択すると、関連する I/O バンクも選択されます。

DCI カスケード制約の変更と削除

DCI カスケードは、[Physical Constraints] ビューで DCI カスケードを選択すると、[DCI_CASCADE Properties] ビューから変更することができます。実行できる動作は次のとおりです。

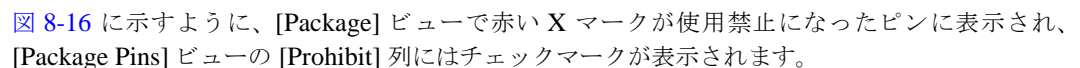
- すべての変更を保存するには、[DCI_CASCADE Properties] ビューで [Apply] をクリックします。
- マスタは、別の I/O バンクを選択してそれをマスタに割り当てると変更できます。
- I/O バンクは、[DCI_CASCADE Properties] ビューで I/O バンクを選択し、[Delete I/O Banks] ボタンをクリックすると DCI カスケードから削除できます。
- I/O バンクは、[DCI_CASCADE Properties] ビューで I/O バンクを選択し、[Add I/O Banks] ボタンをクリックすると DCI カスケードに追加できます。[Add I/O Banks] ダイアログ ボックスが表示されます。ここで、新しい I/O バンクを選択できます。新しく選択した I/O バンクはほかの PlanAhead ビューでもハイライトされます。
- DCI カスケード制約を削除するには、[Physical Hierarchy] ビューで制約を選択し、[Delete] をクリックします。

I/O ピンおよび I/O バンクの使用禁止

I/O Planning ビュー レイアウトでは、I/O ピン、I/O ピンのグループ、または I/O バンクの使用を個別に禁止できます。ピンは [Device]、[Package]、[Package Pins] ビューで選択して禁止できます。

I/O ピンまたは I/O バンクを使用禁止にするには、次の手順に従います。

1. [Device]、[Package]、[Package Pins] ビューで、I/O ピンまたは I/O バンクを選択します。
2. ポップアップ メニューで [Set Prohibit] をクリックします。

 図 8-16 に示すように、[Package] ビューで赤い X マークが使用禁止になったピンに表示され、[Package Pins] ビューの [Prohibit] 列にはチェックマークが表示されます。

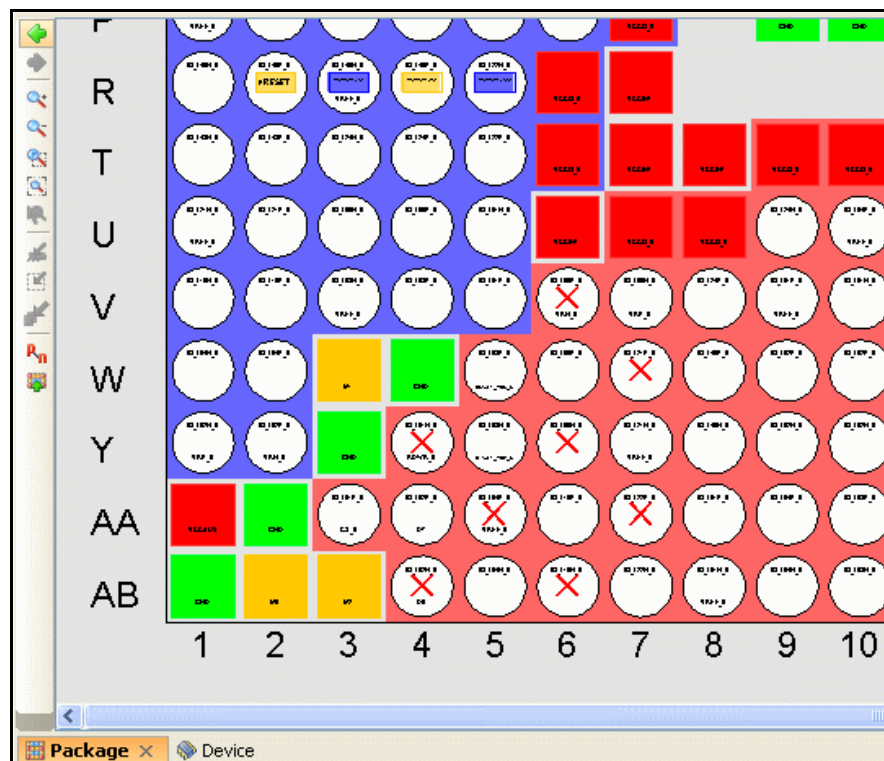


図 8-16： 使用禁止のパッケージ ピン

I/O ポート インターフェイスの作成

複数のポートまたはバスをまとめてグループにするには、インターフェイスを作成します。インターフェイスポートがすべて1つのグループにまとめられるため、ピンの割り当てに役立ちます。ピンをすべて同時に割り当てると、クロック領域またはPCB配線関連のインターフェイスをまとめたり隔離しやすくなります。特定のロジックインターフェイスに関連付けられた信号の表示および管理も容易になります。

インターフェイスを作成するには、次の手順に従います。

1. [I/O Ports] ビューで、一緒にグループにまとめる信号を選択します。
2. ポップアップメニューで [Create I/O Port Interface] をクリックします (237 ページの図 8-17)。

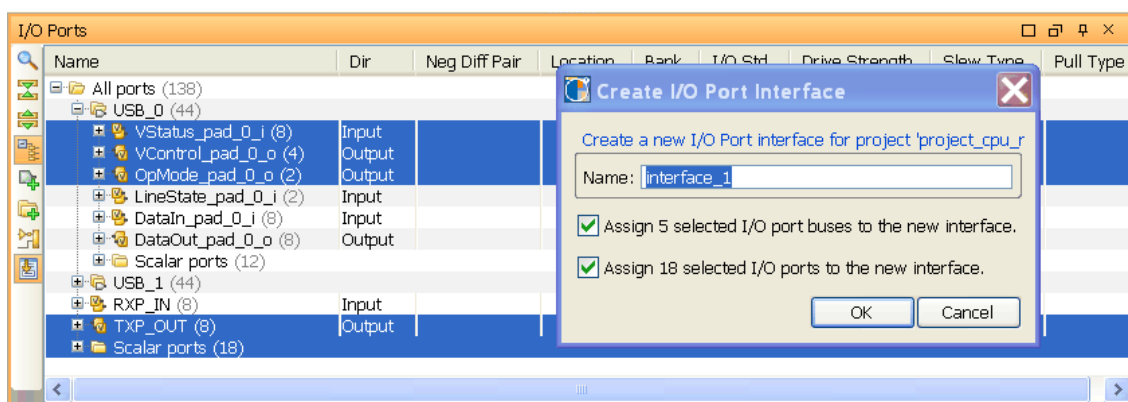


図 8-17： [Create I/O Ports Interface] ダイアログ ボックス

3. インターフェイス名を指定し、ほかの部分が必要に応じて変更したら、[OK] をクリックします。

インターフェイスが展開可能なフォルダとして [I/O Ports] ウィンドウに表示されます。図 8-18 のように、[I/O Ports] ビューで I/O ポートを選択して、インターフェイス フォルダにドラッグすると、I/O ポートを新しく追加できます。

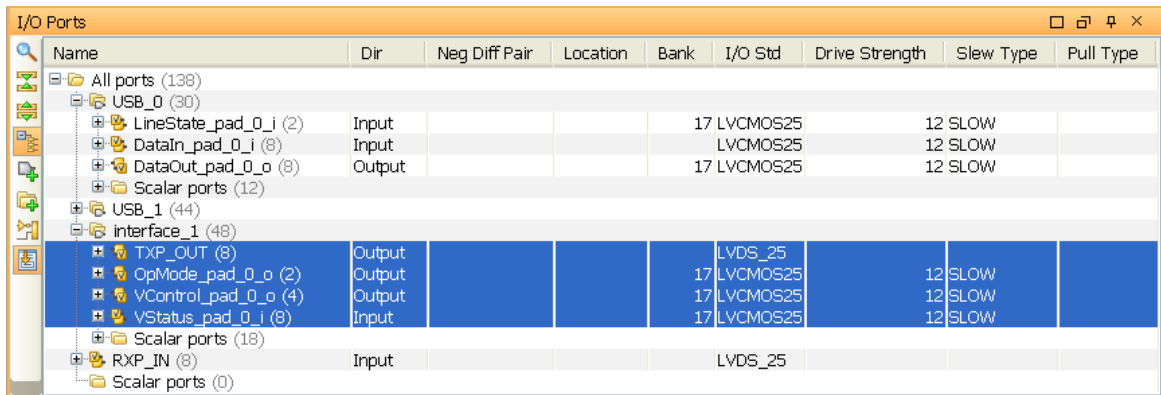


図 8-18： I/O ポート インターフェイスの管理

I/O ポートをインターフェイスに追加するには、次の手順に従います。

1. ポートまたはバスを選択します。
2. ポップアップ メニューで [Assign to Interface] をクリックします。
3. I/O ポートを追加するインターフェイスを選択します。

I/O ポートおよびインターフェイスを削除するには、次の手順に従います。


1. ポートまたはインターフェイスを選択します。
2. ポップアップ メニューで [Unassign from Interface] をクリックします。

インターフェイスを削除するには、削除するインターフェイスを選択し、ポップアップ メニューで [Delete] をクリックするか、Delete キーを押します。

インタラクティブなデザイン ルール チェックの使用

PlanAhead はピン配置が有効になるようにチェックをしますが、完全な最終 DRC 機能があるのは ISE® インプリメンテーションのみです。このため、ユーザーが ISE ピン配置プロセスを実行して最終的なピン配置が有効かどうか確認する必要があります。

インタラクティブな I/O 配置ルーチンでは、よく発生するエラーがチェックされます。次をクリックすると、この機能のオン/オフを切り替えられます。

- [Device] または [Package] ビューのツールバーの [Automatically Enforce Legal I/O Placement] ボタン 
- [Tools] → [Options] → [General]

この自動チェック機能をオンにすると、問題を引き起こすピンに I/O ポートを配置できなくなります。[Place I/O Ports Sequentially mode] で I/O ポートを順次に割り当てる場合、問題のあるピンに I/O ポートを配置しようとする、I/O ポートを配置できない理由がツールに表示されます。オンライン DRC はデフォルトでオンになっています。

メモ：チェックの多くは最終デザインを表す合成済みネットリストが読み込まれている場合のみに実行されます。

インタラクティブな I/O 配置ルールには、次のものが含まれます。

- 禁止：
 - ギガビット トランシーバ (GT) に関連する、ノイズの影響を受けやすいピンへの配置
ノイズの影響を受けやすい I/O パッケージ ピンすべて
 - I/O 規格に違反する配置
- 確認：
 - バンクでサポートされていない I/O 規格が使用されない
 - バンクに互換性のない VCC ポートが割り当てられていない
 - VREF ポートが必要なバンクに使用可能な VREF ピンある
 - グローバル クロックおよびリージョナル クロックが適切に割り当てられている (EDIF/NGC ネットリストおよび UCF がインポートされている場合のみ)
 - 入力および High 駆動の出力が適切なピンにのみ送信される (Spartan®-3 デバイスのみ)
 - 差動 I/O ポートが正しい極性ピンに割り当てられている
 - 出力ピンが入力のためのピンに配置されていない

I/O ポートの配置は、DRC をオンにして実行することをお勧めします。

I/O に関連する DRC については、[398 ページの「I/O ポート/クロック ロジック/配置 DRC の詳細」](#)を参照してください。

I/O ポートの配置


I/O Planning ビュー レイアウトでは、さまざまな方法で I/O ポートをパッケージ ピンに割り当てることができます。個別の I/O ポート、I/O ポートのグループ、またはインターフェイスを [I/O Ports] ビューで選択し、[Package] ビューでパッケージ ピンに、または [Device] ビューで I/O パッドに、確認しながら割り当てられます。

インタラクティブな配置の実行中は、オンライン DRC のオン/オフを切り替えることができます。次のセクションでは、各配置モードについて説明します。

I/O ポートの I/O バンクへの配置

I/O ポートを I/O バンクに配置するには、次の手順に従います。

1. [I/O Ports] ビューで、個別の I/O ポート、I/O ポートのグループ、またはインターフェイスを選択します。

2. [I/O Ports]、[Package]、または [Device] ビューで [Place I/O Ports in an I/O Bank] ボタン  をクリックします。

カーソルをパッケージピンまたは I/O パッド上に移動すると、I/O ポートのグループがカーソルと共に移動します。ツール ヒントには、カーソルを移動した I/O に配置されるピンの数が表示されます。

3. ピンまたはパッドをクリックすると、選択された I/O ポートが割り当てられます。図 8-19 は、I/O パッドを示しています。

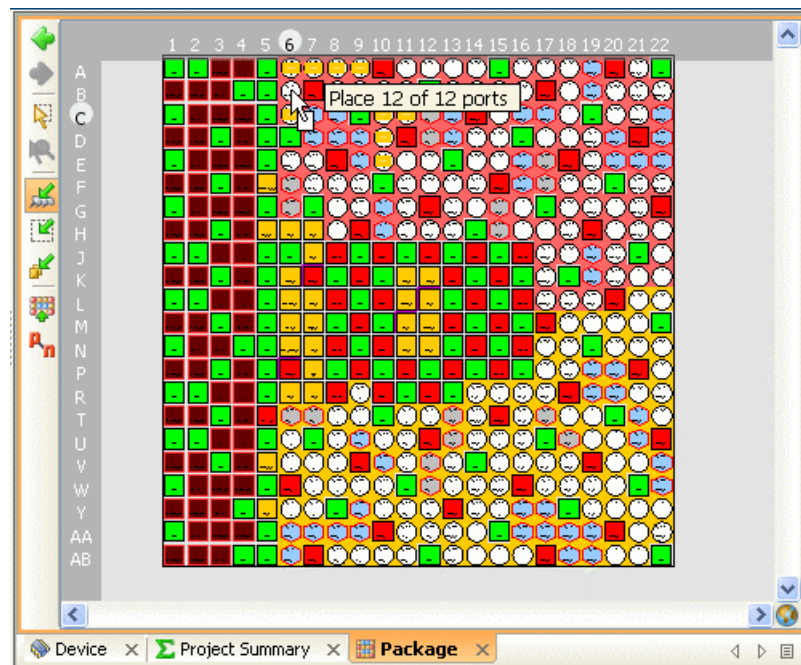


図 8-19： I/O ポートの I/O バンクへの配置

4. I/O バンクにフィットしない数の I/O ポートが選択された場合、PlanAhead ではその選択された I/O バンクにできるだけ多くのポートを配置します。この後、ユーザーが残りのポートを配置する別の I/O バンクを選択する必要があります。残りの I/O ポートをその別の I/O バンクにドラッグすると、I/O ポートがすべて配置されるか、Esc キーを押すまでコマンドが継続します。

- カーソルを [Package] ビュー上で移動すると、ビューの上と左に I/O ピンの座標が表示されます。
- その他の I/O ピンおよびバンク情報は、PlanAhead の一番下のステータス バーに表示されます。
- レポートされるアクティブなオブジェクトが [Package] ビューでハイライトされます。
- カーソルを [Package] ビュー上に置くと、ピン情報が表示されます。


ポートは、[I/O Ports] ビューに表示されている順序で割り当てられます。割り当ての前に [I/O Ports] ビューで並べ替えをすると、並べ替えられた順序で割り当てられます。

デバイス リソースへのポートも、I/O バンクの最初の選択から割り当てられます。I/O バンクの端にあるピンを選択すると、バスが I/O バンク全体に割り当てられます。

バスに関連する PCB 配線も考慮されます。ピンは、割り当て領域内でバス ビットのベクタが保持されるような順序で割り当てられます。割り当てパターンは、バス配線関連に対応するようにカスタマイズできます。

I/O ポートの定義された領域への配置

I/O ポートを定義された領域に配置するには、次の手順に従います。

1. [I/O Ports] ビューで、個別の I/O ポート、I/O ポートのグループ、またはインターフェイスを選択します。
2. [I/O Ports]、[Device]、または [Package] ビューで [Place I/O Ports in an I/O Bank] ボタン  をクリックします。
カーソルが十字型に変化し、ポート配置用の長方形を定義できることを意味します。
3. [Package] ビューまたは [Device] ビューのいずれかで長方形を描画し、[図 8-20](#) のように割り当て領域を定義します。

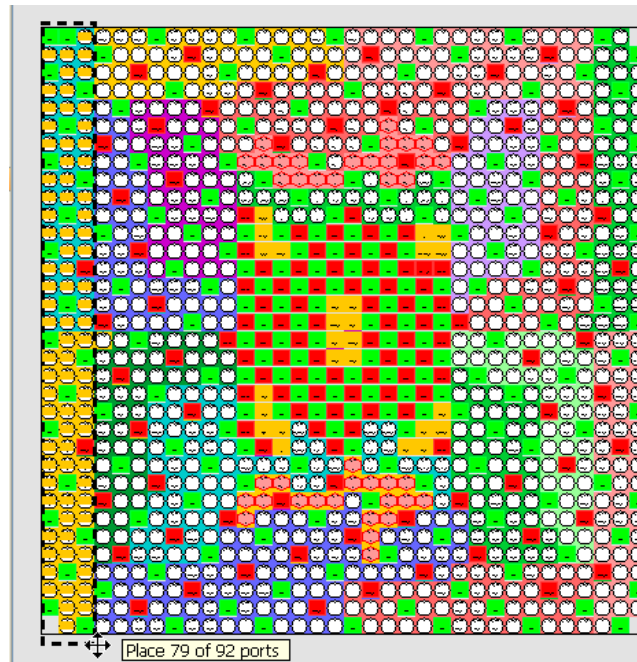


図 8-20 : I/O ポートの領域への配置

4. 定義したエリアに選択された I/O ポートすべてを配置できない場合は、コマンドが継続します。カーソルは十字型のままで、残りの I/O ポートがすべて配置されるまで、長方形を続けて描画できます。Esc キーを押すと、I/O ポートを配置し終わる前にコマンドが終了します。


ポートは、[I/O Ports] ビューに表示されている順序で割り当てられます。割り当ての前に [I/O Ports] ビューで並べ替えをすると、並べ替えられた順序で割り当てられます。

また、長方形の描画方向によって割り当て順序が変わります。

I/O ポートは最初選択された長方形の座標の内側のピンから順に割り当てられます。領域の長方形定義の情報を使用すると、PCB 配線の観点で見たピン配置設定に役立ちます。

I/O ポートの順次配置

I/O ポートを順次に配置するには、次の手順に従います。

1. [I/O Ports] ビューで、個別の I/O ポート、I/O ポートのグループ、またはインターフェイスを選択します。
2. 次の方法のいずれかを選択します。
 - [I/O Ports] ビューのポップアップ メニューで、[Place I/O Ports Sequentially] をクリックします。
 - [Package] または [Device] ビューで [Place I/O Ports Sequentially] ボタン  をクリックします。

カーソルをパッケージ ピンまたは I/O パッド上に移動すると、グループの最初の I/O ポートがカーソルと共に移動します。ツール ヒントには、I/O ポート名およびパッケージ ピン名が表示されます。

3. ピンまたはパッドをクリックすると、I/O ポートが割り当てられます。

図 8-21 は、I/O ポートの順次配置を示しています。



図 8-21： I/O ポートの順次配置

4. 配置されなかった I/O ポートがあると、コマンドは継続して実行されます。I/O ポートがすべて割り当てられるまでこの操作を継続するか、または Esc キーを押します。

ポートは、[I/O Ports] ビューに表示されている順序で割り当てられます。割り当ての前に [I/O Ports] ビューで並べ替えをすると、並べ替えられた順序で割り当てられます。

配置済み I/O ポートの入れ替えおよび移動

既に割り当てした I/O ポートを移動または入れ替える必要のあることがあります。配置済み I/O ポートを 2 つ選択して、それらのロケーションを入れ替える方法は次のとおりです。

1. 使用可能なビューで I/O ポートを 2 つ選択します。複数のポートを選択するには、Ctrl キーを押しながらポートをクリックします。
2. 右クリックで [Swap Locations] をクリックします。

固定前のポート 2 つを入れ替えると、入れ替え後にそれらが固定され、この最終的な LOC 制約がデザイン制約ファイルに記述されます。

同様に、ポートやポートのグループも、選択して別の箇所に移動することができます。I/O バンクのポート グループを別の I/O バンクに移動する場合、PlanAhead で選択したポートに最適な場所が自動的に検出されます。これは、[Place I/O Ports in an I/O Bank] コマンドと類似しています。

I/O ポートの自動配置

[Auto-place I/O Ports] コマンドを実行すると、すべての I/O ポートをパッケージ ピンに割り当てたり、配置されていない、または選択した I/O ポートを自動的にパッケージ ピンに割り当てることができます。自動配置ではすべての I/O 規格および差動ペアの規則が遵守され、グローバル クロック ピンが正しく配置されます。

メモ：この機能は、Virtex®-6 および 7 シリーズ デバイス ファミリでのみ使用できます。

割り当てられていない I/O ポートのサブセットに I/O ポートを自動的に割り当てるには、次の手順に従います。

1. [I/O Ports] ビューで、割り当てられていないポートを選択します。
2. 次を選択します。
 - [Tools] → [I/O Planning] → [Auto-place I/O Ports] をクリック
 - [I/O Ports] ビューで [Create I/O Ports] をクリック

図 8-22 のような Autoplace I/O Ports ウィザードが表示されます。

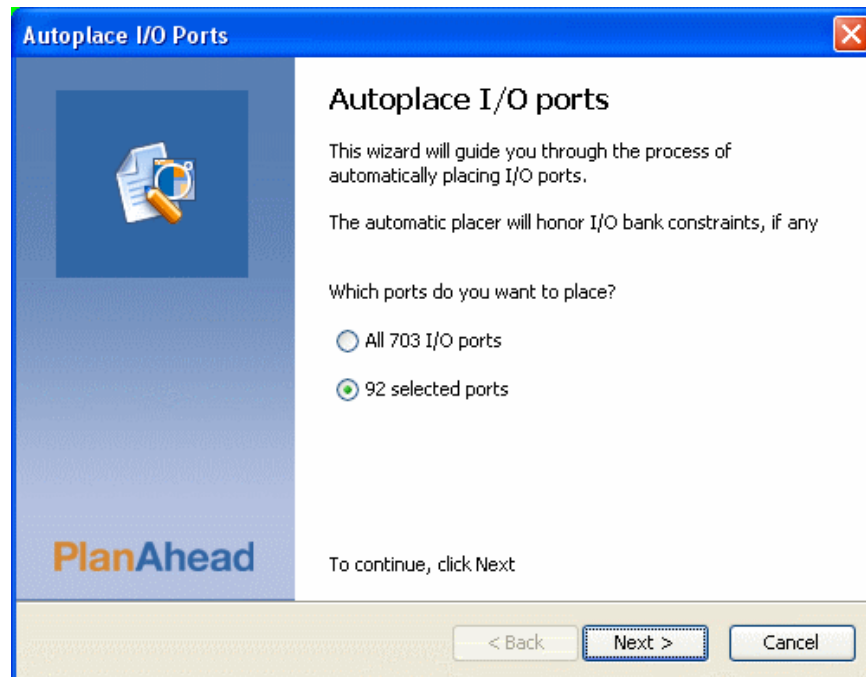


図 8-22 : Autoplace I/O Ports ウィザード

3. 配置する I/O ポートのグループを選択し、[Next] をクリックします。
4. 既にパッケージピンに割り当てられている I/O ポートのみを選択すると、244 ページの図 8-23 のページが表示されます。

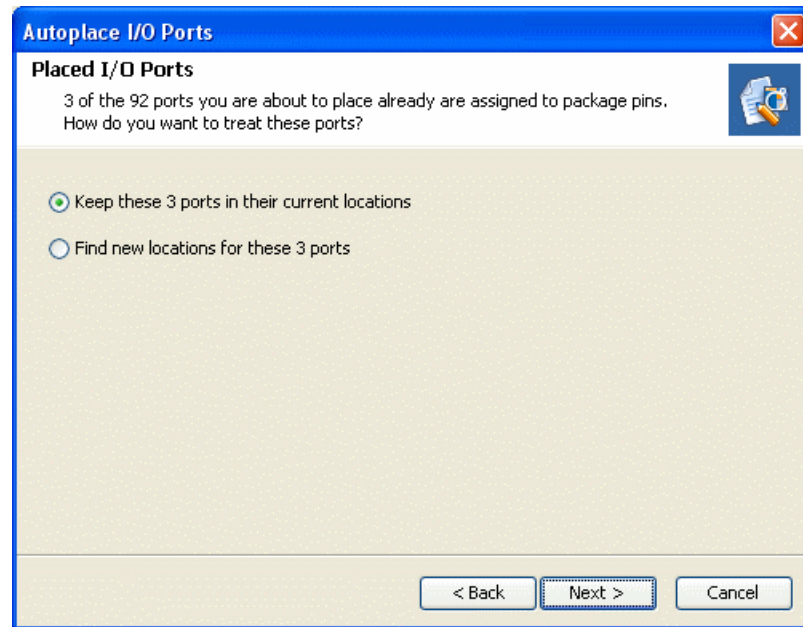


図 8-23： Autoplace I/O Ports ウィザード

5. 配置する I/O ポートを選択し、[Next] をクリックし、サマリ ページで [Finish] をクリックします。

ギガビット トランシーバ I/O ポートの配置

ギガビット トランシーバ (GTX) をよりうまく管理するため、I/O Planning ビュー グループでは、選択、配置、移動の実行時に、2 つの関連する I/O 差動ペアと GTX ロジック オブジェクトが自動的にグループ化されます。複数の GTX オブジェクトは 1 つのオブジェクトとして選択され、まとめて移動されるので、GTX リソースの無効な配置が禁止されます。

オンライン DRC がオンの場合、ポート配置中に、GTX の周囲のノイズの影響を受けやすい I/O ピンが自動的に配置禁止になります。詳細は、239 ページの「[インタラクティブなデザイン ルール チェックの使用](#)」を参照してください。

クロック ロジックの配置

BUFG (グローバル クロック バッファ)、DCM、MMCM、BUFR、IDELAYCTRL などの、グローバルおよびリージョナル クロック関連のロジックは、245 ページの「[\[Clock Resources\] ビューの使用](#)」で説明するように、[Clock Resources] ビューを使用して手動で配置できます。クロック ロジックは、[Device] ビューでも手動で配置できます。デバイス特有のリソースすべてに対する適切なロジック サイトが表示されます。

BUFG のようなデバイスに配置するインスタンスを検索するには、次の手順を使用します。

1. [Edit] → [Find] をクリックします。
2. [Find] フィールドでインスタンスを指定し、そのインスタンスを検出するのに必要な条件を定義します、

3. [Find Results] ビューの検索結果を使用すると、インスタンスを [Clock Resources] または [Device] ビューにドラッグして、最適なデバイス リソースに割り当てることができます。

[Find] の使用方法は、第 7 章の「[Find] コマンドを使用したオブジェクトの検索」を参照してください。

グローバル クロック バッファ (BUFGCTRL) のようなデバイス リソースを検出して、インスタンスを配置することもできます。[Find] フィールドで [Site] を指定し、必要に応じて条件を定義します。

[Find Results] フィールドの結果を使用し、[Clock Resources] または [Device] ビューのデバイス リソースをハイライトします。

[Clock Resources] ビューの使用

[Clock Resources] ビューでは、Virtex®-6 および 7 シリーズがサポートされ、リージョナル クロック リソースと BUFR、BUFIO、BUFG、MMCM、および GTX などのグローバル クロック リソース間の関係が示されます。[Clock Resources] ビューのスプレッドシート表示には、デバイス リソースが簡単に表示され、これらのリソース間の相対的な位置が正しく維持されます。[Device] ビューに表示される FPGA デバイスの詳細のほとんどは、[Clock Resources] ビューには表示されません。

246 ページの図 8-24 は、Virtex-6 LX75 デバイスの [Clock Resources] ビューを表示しています。[Clock Resources] ビューのインターフェイスには、次が表示されています。

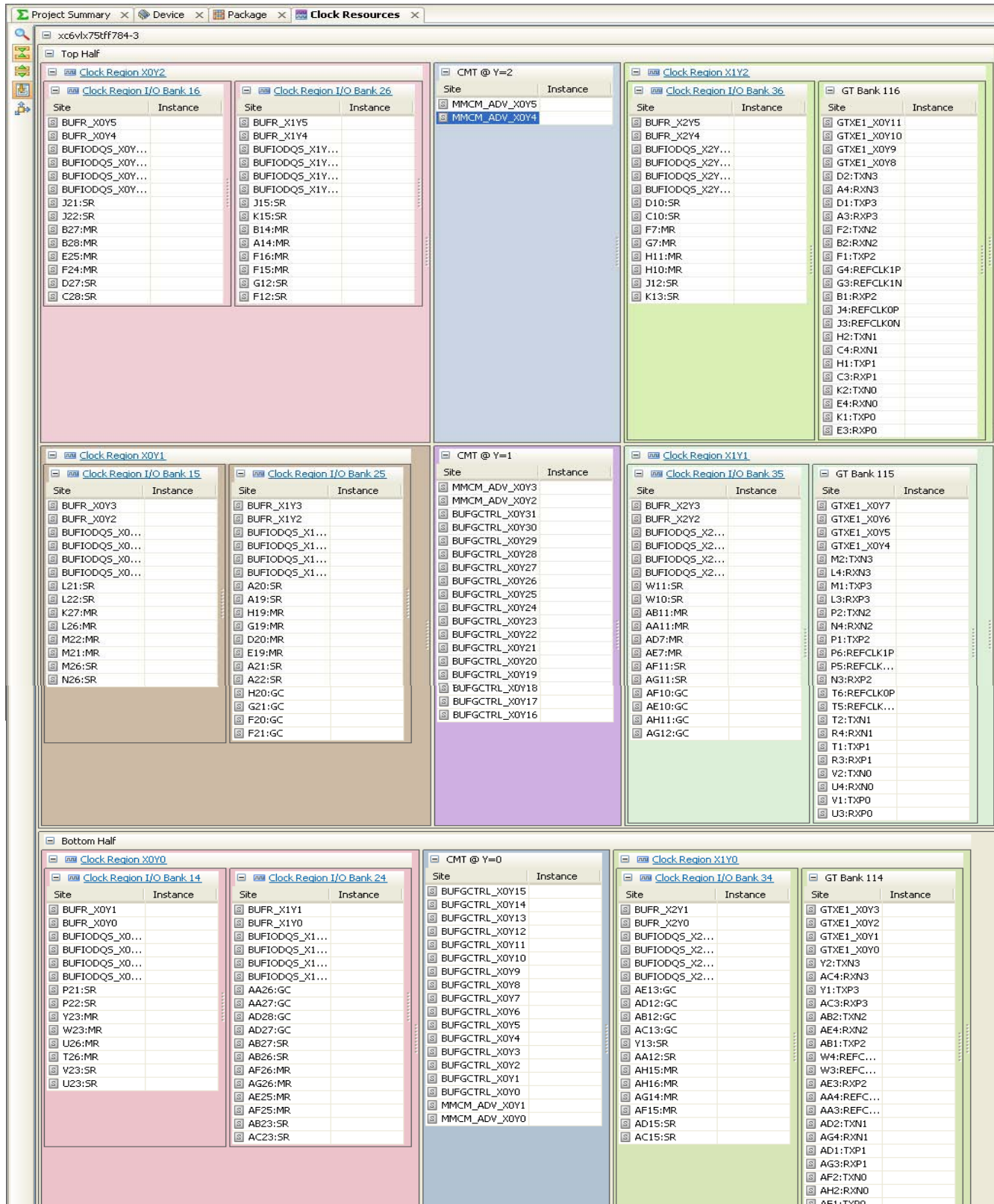
- デバイスには 6 つの領域が 2x3 の行列で分類され、左下のデバイス X0Y0 から右上のデバイス X1Y2 に向かって番号が付いています。
- これらの各クロック領域には、[Clock Resources] ビューで表示される CCIO (Clock-Capable I/O)、BUFIO、BUFR を含む I/O バンクもあります。
- デバイス自体は、4 つのクロック領域を含む上半分と、2 つのクロック領域を含む下半分に分割されています。
- デバイスの中央の列は、[Clock Resources] ビューに示されるように、MMCM と BUFG が付いたクロック マネージメント タイル (CMT) で、デバイスのグローバル クロックが管理されます。
- デバイス左側のクロック領域には、外側の I/O バンク (IOOL) と中央の I/O バンク (IOCL) の両方が含まれ、デバイス右側のクロック領域には中央の I/O バンク (IOCL) のみが含まれ、ギガビット トランスファー (GT) の列がデバイスの右端にあります。

[Clock Resources] ビューは、展開または非表示にして、必要な情報のみを表示させることができます。

- [Collapse All] または [Expand All] をクリックすると、[Clock Resources] ビューの表示レベルを変更できます。
- + または - マークをクリックすると、特定レベルのみを展開または非表示にできます。

[Clock Resources] ビューで特定のクロック領域または I/O バンクの名前をクリックすると、そのオブジェクトが [Device] のような別のビューで選択されます。これにより、[Clock Resources] ビューから特定のオブジェクトをデバイス、パッケージ、ネットリストで素早く見つけることができます。

ツールバー メニューの [Automatically Scroll to Selected Object] をクリックすると、別のビューで選択したインスタンスやリソースが [Clock Resources] ビューで選択され、画面がその箇所まで自動的にスクロールされます。これにより、デバイスの特定リソースを [Clock Resources] ビューで素早く見つけることができます。この機能をオフにすると、オブジェクトが別のビューで選択されるたびに表示されるリソースが変わるのを避けることができます。



The screenshot displays the 'Clock Resources' window in Xilinx ISE, showing a hierarchical view of clock resources for a device. The window is divided into sections for 'Top Half' and 'Bottom Half'. Each section contains multiple clock regions and I/O banks, each with a list of sites and instances.

Top Half:

- Clock Region X0Y2:**
 - Clock Region I/O Bank 16:** BUFR_X0Y5, BUFR_X0Y4, BUFODQS_X0Y..., BUFODQS_X0Y..., BUFODQS_X0Y..., BUFODQS_X0Y..., J21:SR, J22:SR, B27:MR, B28:MR, E25:MR, F24:MR, D27:SR, C28:SR.
 - Clock Region I/O Bank 26:** BUFR_X1Y5, BUFR_X1Y4, BUFODQS_X1Y..., BUFODQS_X1Y..., BUFODQS_X1Y..., BUFODQS_X1Y..., J15:SR, K15:SR, B14:MR, A14:MR, F16:MR, F15:MR, G12:SR, F12:SR.
- Clock Region X1Y2:** BUFR_X2Y5, BUFR_X2Y4, BUFODQS_X2Y..., BUFODQS_X2Y..., BUFODQS_X2Y..., BUFODQS_X2Y..., D10:SR, C10:SR, F7:MR, G7:MR, H11:MR, H10:MR, J12:SR, K13:SR.
- GT Bank 116:** GTXE1_X0Y11, GTXE1_X0Y10, GTXE1_X0Y9, GTXE1_X0Y8, D2:TXN3, A4:RXN3, D1:TXP3, A3:RXN3, F2:TXN2, B2:RXN2, F1:TXP2, G4:REFCLK1P, G3:REFCLK1N, B1:RXN2, J4:REFCLK0P, J3:REFCLK0N, H2:TXN1, C4:RXN1, H1:TXP1, C3:RXN1, K2:TXN0, E4:RXN0, K1:TXP0, E3:RXN0.

Bottom Half:

- Clock Region X0Y1:**
 - Clock Region I/O Bank 15:** BUFR_X0Y3, BUFR_X0Y2, BUFODQS_X0..., BUFODQS_X0..., BUFODQS_X0..., BUFODQS_X0..., L21:SR, L22:SR, K27:MR, L26:MR, M22:MR, M21:MR, M26:SR, N26:SR.
 - Clock Region I/O Bank 25:** BUFR_X1Y3, BUFR_X1Y2, BUFODQS_X1..., BUFODQS_X1..., BUFODQS_X1..., BUFODQS_X1..., A20:SR, A19:SR, H19:MR, G19:MR, D20:MR, E19:MR, A21:SR, A22:SR, H20:GC, G21:GC, F20:GC, F21:GC.
- Clock Region X1Y1:** BUFR_X2Y3, BUFR_X2Y2, BUFODQS_X2..., BUFODQS_X2..., BUFODQS_X2..., BUFODQS_X2..., W11:SR, W10:SR, AB11:MR, AA11:MR, AD7:MR, AE7:MR, AF11:SR, AG11:SR, AF10:GC, AE10:GC, AH11:GC, AG12:GC.
- GT Bank 115:** GTXE1_X0Y7, GTXE1_X0Y6, GTXE1_X0Y5, GTXE1_X0Y4, M2:TXN3, L4:RXN3, M1:TXP3, L3:RXN3, P2:TXN2, N4:RXN2, P1:TXP2, P6:REFCLK1P, P5:REFCLK..., N3:RXN2, T6:REFCLK0P, T5:REFCLK..., T2:TXN1, R4:RXN1, T1:TXP1, R3:RXN1, V2:TXN0, U4:RXN0, V1:TXP0, U3:RXN0.

Bottom Half:

- Clock Region X0Y0:**
 - Clock Region I/O Bank 14:** BUFR_X0Y1, BUFR_X0Y0, BUFODQS_X0..., BUFODQS_X0..., BUFODQS_X0..., BUFODQS_X0..., P21:SR, P22:SR, Y23:MR, W23:MR, U26:MR, T26:MR, Y23:SR, U23:SR.
 - Clock Region I/O Bank 24:** BUFR_X1Y1, BUFR_X1Y0, BUFODQS_X1..., BUFODQS_X1..., BUFODQS_X1..., BUFODQS_X1..., AA26:GC, AA27:GC, AD28:GC, AD27:GC, AB27:SR, AB26:SR, AF26:MR, AG26:MR, AE25:MR, AF25:MR, AB23:SR, AC23:SR.
- Clock Region X1Y0:** BUFGCTRL_X0Y15, BUFGCTRL_X0Y14, BUFGCTRL_X0Y13, BUFGCTRL_X0Y12, BUFGCTRL_X0Y11, BUFGCTRL_X0Y10, BUFGCTRL_X0Y9, BUFGCTRL_X0Y8, BUFGCTRL_X0Y7, BUFGCTRL_X0Y6, BUFGCTRL_X0Y5, BUFGCTRL_X0Y4, BUFGCTRL_X0Y3, BUFGCTRL_X0Y2, BUFGCTRL_X0Y1, BUFGCTRL_X0Y0, MMCM_ADV_X0Y1, MMCM_ADV_X0Y0.
- GT Bank 114:** GTXE1_X0Y3, GTXE1_X0Y2, GTXE1_X0Y1, GTXE1_X0Y0, Y2:TXN3, AC4:RXN3, Y1:TXP3, AC3:RXN3, AB2:TXN2, AB4:RXN2, AB1:TXP2, W4:REFC..., W3:REFC..., AE3:RXN2, AA4:REFC..., AA3:REFC..., AD2:TXN1, AG4:RXN1, AD1:TXP1, AG3:RXN1, AF2:TXN0, AH2:RXN0, AF1:TXP0.

図 8-24： [Clock Resources] ビュー

デザイン インスタンスの配置

[Clock Resources] ビューには、I/O バンク、CMT、GTX バンクそれぞれの下にサイトとインスタンスの 2 列が表示され、デバイス リソースとそれに割り当てられるデザイン インスタンスの両方がレポートされます。

デザインからロジック インスタンスを選択して、[Find Results]、[Schematic]、[Netlist]、または [I/O Ports] ビューからデバイス リソースに配置できます。

ロジック インスタンスを選択し、[Clock Resources] ビューの適切なデバイス リソースのインスタンス列にドラッグします。

[Clock Resources] ビューでインスタンスをドラッグすると、そのインスタンスを配置できないサイトは NO シンボルで、配置できるサイトは長方形で表示されます。

デザインからインスタンスを配置すると、PlanAhead によりグローバル クロックおよびリージョナル クロックのツリー構造に関する特定の規則や制限が適用されます。これらの規則や制限の詳細については、そのデバイスのクロック リソース ガイドを参照してください。

[Device] ビューのクロック ロジックの配置

クロック ロジックを手動で配置するには、次の手順に従います。


1. [Device] ビューを拡大表示し、ロジックを配置するデバイス サイトを表示します。
2. [Create Site Constraint Mode]  をクリックします。
3. [Find Results]、[Schematic]、[Netlist]、または [I/O Ports] ビューで配置するロジック インスタンスを選択し、[Device] の適切なデバイス リソースまでドラッグします。

図 8-25 は、手動のクロック配置の例を示しています。

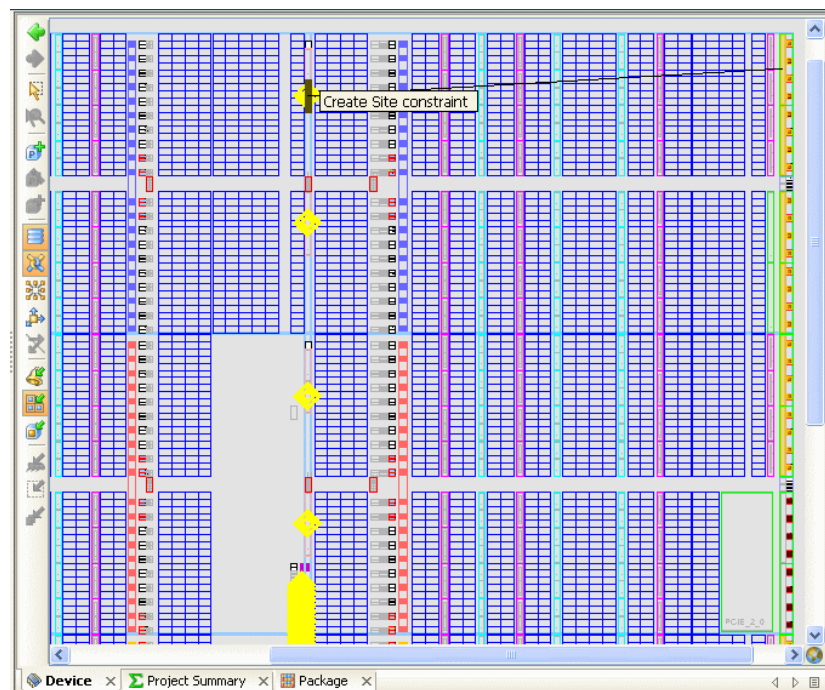


図 8-25： クロック ロジックの手動配置

I/O とクロック ロジックの配置の検証

このセクションでは、I/O ポートおよびクロック関連の DRC の実行について説明します。ネットリストおよびフロアプラン関連の DRC の実行については、398 ページの「I/O ポート/クロック ロジック/配置 DRC の詳細」を参照してください。

I/O ポートおよびクロック ロジック関連の DRC の実行

実行する DRC ルールを選択するには、次の手順に従います。

1. 次を選択します。
 - [Tools] → [Run DRC] をクリック
 - Flow Navigator から [Run DRC] をクリック

図 8-26 に示す [Run DRC] ダイアログ ボックスが開きます。

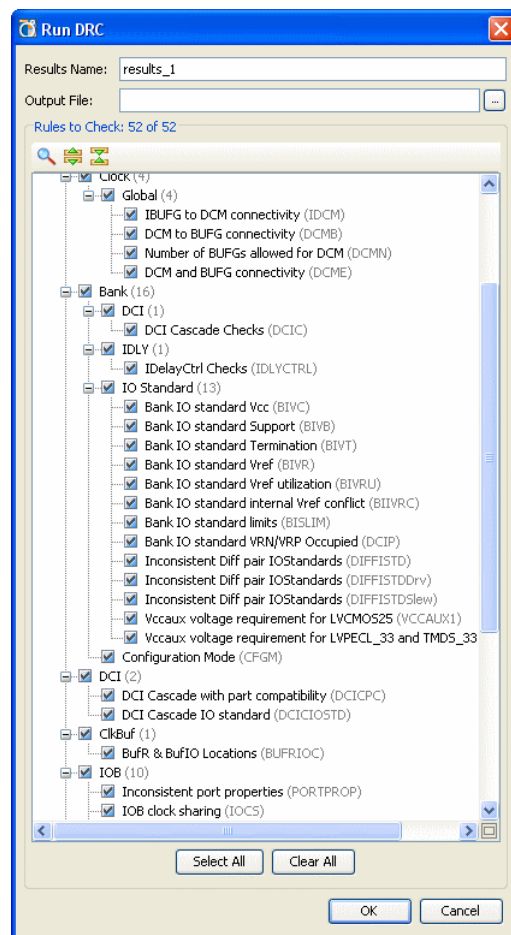



図 8-26： [Run DRC] ダイアログ ボックス：I/O ピンおよびクロック DRC ルール

2. [Results Name] フィールドを表示または編集します。ここで指定した名前が [DRC Results] ビューに表示されるので、デバッグ時に区別しやすい名前を付けます。この名前は出力ファイル名としても使用されます。

3. [Rules to Check] グループ ボックスの各デザイン オブジェクトで、チェックするルールのチェック ボックスをオンにします。各ルールの詳細は、398 ページの「I/O ポート/クロック ロジック/配置 DRC の詳細」を参照してください。
 - [Expand All] ツールバー ボタン  をクリックするか、各カテゴリまたはデザイン オブジェクトの横のプラス記号 (+) をクリックすると、階層が展開します。
 - DRC すべてを実行するには、デザイン オブジェクトの横のチェック ボックスをすべてオンにします。
 - すべてのデザイン オブジェクトのすべてのルールをチェックする場合は、[All Rules] の横のチェック ボックスをオンにします。
4. [OK] をクリックすると、選択した DRC チェックが実行されます。

DRC エラーの表示

DRC が終了すると、[図 8-27](#) のような [DRC Results] ビューが表示されます。

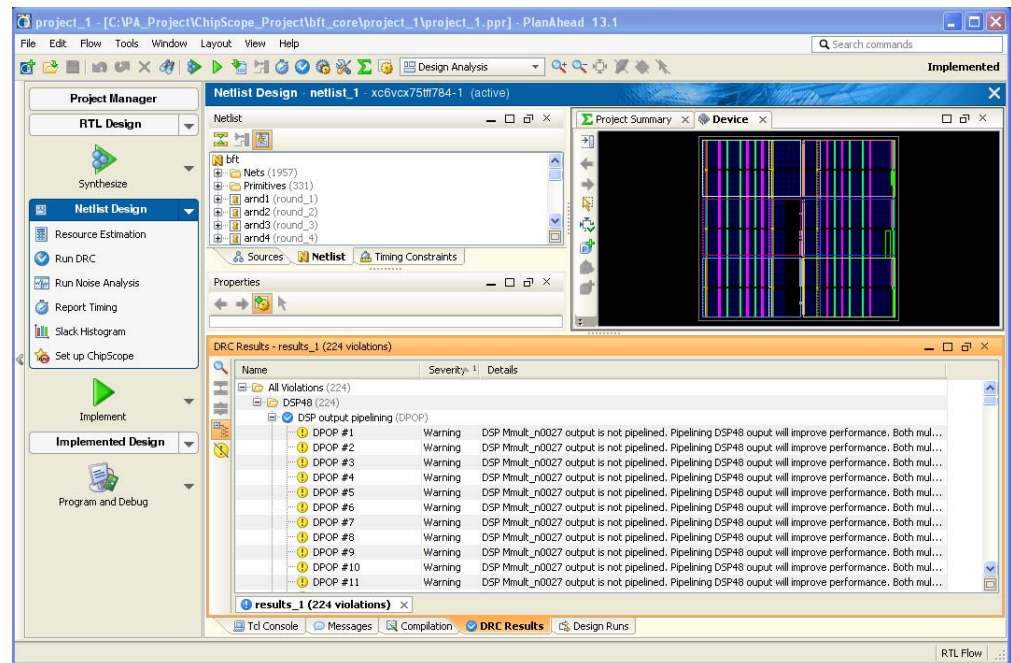



図 8-27: DRC エラーのハイライト

DRC が終了すると、[図 8-27](#) に示すような [DRC Results] ビューが表示されます。[DRC Results] ビューには、検出されたルール違反が [Run DRC] ダイアログ ボックスで定義されたさまざまな違反カテゴリ別にまとめられて表示されます。ルール違反はその重要度によって分類され、エラー、警告、情報などのメッセージが色分けされて表示されます。違反の種類は、次のとおりです。

- 情報のみ：発生する可能性のある問題を黄色で表示
- 警告：回避策をとる必要のある可能性のある問題をオレンジで表示
- クリティカル警告：回避策を必ずとる必要のある問題をオレンジで表示
- エラー：最適なインプリメンテーションにするために回避する必要がある問題を赤いアイコンで表示

警告および情報メッセージを非表示にし、エラーのみを表示する場合は、ツールバーの [Hide warnings and informational messages] ボタン  をクリックします。

[DRC Results] ビューの [Severity] 列のヘッダをクリックすると、違反を重要度別に並び替えることもできます。

- 列ヘッダをクリックすると、値の小さい順から並び替えることができます。
- 2 回クリックすると、その逆の順序で並び替えられます。

詳細は、[第 4 章の「ツリー表形式のビュー」](#)を参照してください。

[DRC Results] ビューで違反メッセージをクリックし、[Violations Properties] をクリックすると、[Violations Properties] ビューが開きます。このビューには、DRC ルール違反の概要と、違反しているデザイン エレメントの詳細が表示されます。

[Violations Properties] ビューの [Details] タブには、その DRC に違反する特定のデザイン オブジェクトへのリンクが表示されます。これらのリンクをクリックすると、[RTL Netlist] ビュー、[Device] ビュー、[Schematic] ビューまたはソースの RTL ファイルでそのデザイン オブジェクトが表示されます。

I/O 配置制約の削除

配置制約を削除するには、削除する制約を選択し、[Unplace] をクリックします。

選択した I/O 関連の配置制約の削除については、[第 10 章の「配置 LOC 制約」](#)を参照してください。

I/O ピンとパッケージ データのエクスポート

I/O ピンとピン パッケージ情報は次に説明する方法でエクスポートできます。

パッケージ ピンの情報のエクスポート

デバイス パッケージ ピンの情報は、PlanAhead から CSV 形式のファイルにエクスポートできます。エクスポートされたリストのパッケージ ピン セクションを基に、I/O ポートをスプレッドシートで定義できます。

リストのパッケージ ピン セクションを基に、I/O ポートをスプレッドシートで定義できます。エクスポートされた CSV 形式のファイルの情報は、[230 ページの「I/O ポートの定義と設定」](#)を参照してください。

I/O ポート リストのエクスポート

I/O ポート リストは、PlanAhead から HDL、UCF、または CSV 形式のファイルにエクスポートし、RTL のコーディングや PCB 回路図シンボルの作成に使用できます。

I/O ポート リストの情報をエクスポートするには、[図 8-28](#) に示すように、[File] → [Export I/O Ports] コマンドをクリックします。

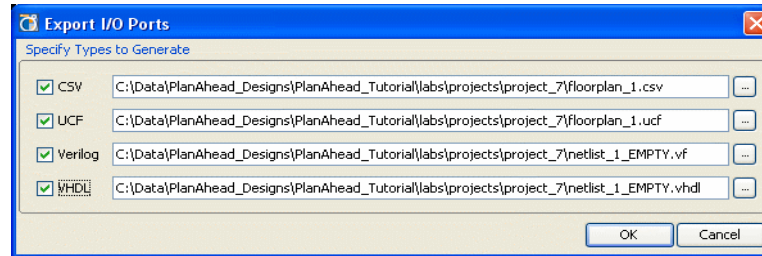


図 8-28: I/O ポート リストのエクスポート

I/O ポートは、種類とパスを指定してエクスポートできます。エクスポートできるファイル形式は、CSV、UCF、Verilog、VHDL のいずれかです。

I/O ポート リストを UCF ファイルにエクスポートすると、ポートの IOSTANDARD 制約もファイルにエクスポートされます。これには、ユーザーの定義した IOSTANDARD 制約と PlanAhead で自動的に適用されたデフォルトの IOSTANDARD の両方が含まれます。

IBIS モデルのエクスポート

PCB 設計者は、シグナル インテグリティをシステム レベルで理解するために、IBIS (I/O Buffer Information Specification) モデルを使用してデザインをシミュレーションする必要があることがよくあります。また、クロストーク、グランド バウンス、同時スイッチ出力 (SSO) などのシグナル インテグリティ問題について考慮する必要があります。IBIS モデルを使用すると、パッケージ デバイスの I/V カーブおよび寄生情報を特性化しやすくなります。

ザイリンクスでは、<http://japan.xilinx.com/support/download> からダウンロード可能なデバイス ファミリー用に、汎用の IBIS モデルを提供しています。

Virtex-6 および 7 シリーズ デバイスの場合は、PlanAhead で [Export] → [IBIS Model] をクリックすると、そのデザイン用の IBIS モデルとピンごとのパッケージ データを生成できます。PlanAhead では、デザインからのネットリストおよびインプリメンテーションの詳細と使用可能なピンごとの寄生パッケージ情報がまとめられ、デザイン専用のカスタム IBIS ファイルが作成されます。

デザインの解析用に IBIS ファイルをエクスポートするには、RTL デザイン、ネットリスト デザイン、またはインプリメント済みデザインのいずれかを PlanAhead で開いておく必要があります。

[File] → [Export] → [Export IBIS Model] をクリックします。図 8-29 のような [Export IBIS Model] ダイアログ ボックスが開きます。

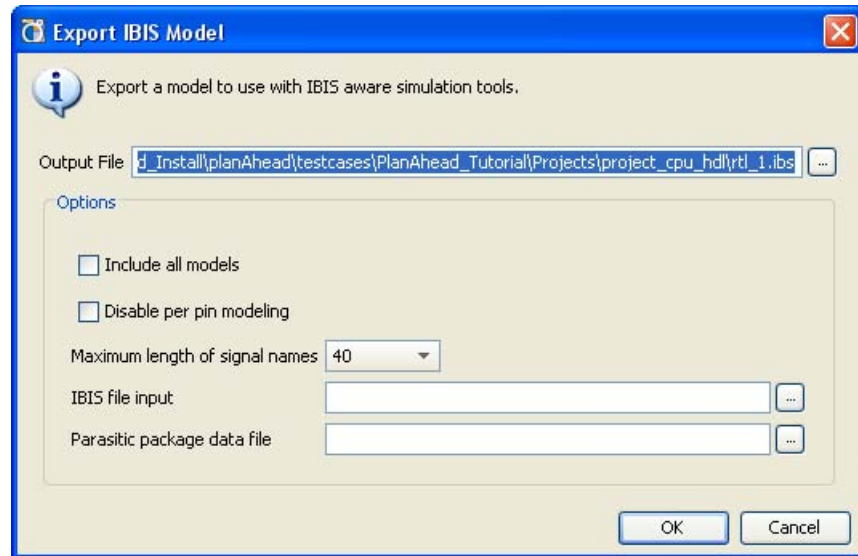


図 8-29： [Export IBIS Model] ダイアログ ボックス

このダイアログ ボックスのオプションは、次のとおりです。

- [Output File] : 出力される IBIS ファイルのファイル名とパスを指定します。
- [Include all models] : オンにすると、このデバイスで使用可能な I/O バッファ モデルすべてが含まれます。デフォルトでは、デザインで使用されるバッファ モデルのみが含まれます。
- [Disable per pin modeling] : オンにすると、パッケージのピンごとの記述が含まれなくなります。これはデバイスのダイパッドからパッケージピンまでのパスです。ピンごとの記述が含まれないと、パッケージが 1 つの RLC 送信ライン モデル (すべてのピンに適用) に削減され、IBIS ファイルの [Package] セクションで定義されるようになります。
- [Maximum length of signal name] : 指定した文字数以上の信号名を切り捨てます。
 - 40 : 信号名が 40 文字に制限されます。これは IBIS バージョン 4.2 でデフォルトでサポートされます。
 - 20 : 信号名が 20 文字に制限されます。
 - 0 : 信号名は切り捨てられます。信号名の長さに制限を付けない場合は、0 を選択します。
- [IBIS file input] : デバイスの IBIS モデル ファイルをオプションで指定できます。これは、PlanAhead のインストールで含まれる parts ディレクトリの IBIS モデルを上書きするために使用します。

メモ : 7 シリーズ デバイスの場合、IBIS ファイルが PlanAhead のインストールで含まれないので、指定する必要があります。

- [Parasitic package data file] : ピンごとの抽出に使用する寄生パッケージ ファイル (.pkg) をオプションで指定できます。これは、PlanAhead のインストールで含まれる parts ディレクトリの寄生パッケージ ファイルを上書きするために使用します。

メモ : 7 シリーズ デバイスの場合、寄生パッケージ ファイルが PlanAhead のインストールで含まれないので、指定する必要があります。

ノイズ解析予測の使用

PlanAhead では、Virtex-6 および Spartan-6 デバイスを選択すると SSN (同時スイッチ ノイズ) 計算が使用されます。それ以外のデバイスを使用する場合は、257 ページの「WASSO 解析の実行 (Spartan-3、Virtex-4、Virtex-5)」を参照してください。

SSN 解析の実行 (Virtex-6 および Spartan-6)⁽¹⁾

PlanAhead には、Virtex-6 および Spartan-6 デバイスでの同時スイッチ出力ノイズの予測を改善するため、ザイリンクスの SSN 解析機能が含まれます。これは、Spartan-6 の入力の場合のスイッチ出力による I/O バンクのほかの出力へのダメージを予測するためのもので、I/O バンク別の電気特性をこの予測に組み込み、SSN の影響をモデル化します。

パッケージ付き FPGA 内の電力配分ネットワークのノイズへの反応はそれぞれ異なるため、デザインに使用されている I/O 規格や I/O 数だけでなく、デバイスの電力システムのスイッチへの反応を理解することも大切です。

Virtex-6 および Spartan-6 デバイス ファミリでは、I/O は別の I/O バンクにまとめられていて、各バンクに固有の電力配分ネットワークがあり、各ネットワークのスイッチの動きに対する反応は異なります。

ザイリンクスでは、すべてのバンクを 3 次元抽出およびシミュレーションを通して特性化しています。この情報は SSN 解析に取り込まれ、デバイスのスイッチが概算され、システムの電力ネットワークへの影響と I/O バンク内のほかの出力への影響も予測されます。

出力スイッチがインターフェイス ノイズ マージンにどのように影響するかを正確に予測するには、SSN 予測ツールが最も適しています。

その計算と結果は、さまざまなパターンを網羅しています。これらの予測値は、デザインの潜在的なノイズ関連の問題を理解するためのもので、問題そのものを最終デザインで解決するものではありません。

SSN 解析を実行するには、次の手順に従います。

1. Flow Navigator または [Tools] メニューから [Run Noise Analysis] をクリックします。

表 8-30 のような [Run WASSO Analysis] ダイアログ ボックスが開きます。

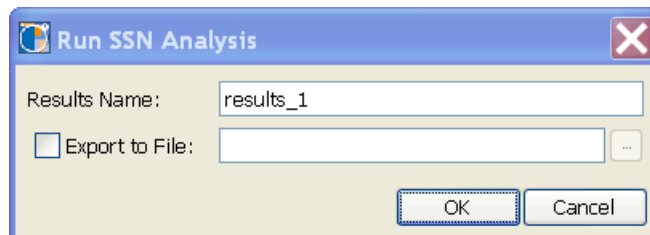


図 8-30 : [Run SSN Analysis] ダイアログ ボックス

2. [Results Name] に [SSN Results] に表示する名前を入力します。
3. [Export to File] チェックボックスをオンにし、出力ファイル名をフィールドに入力し、CVS 形式のレポート ファイルを出力するディレクトリを指定し、[OK] をクリックします。

1. SSN 解析は、7 シリーズ デバイスでは使用できません。

SSN 結果の表示

[SSN Results] ビューには次の情報が表示されます。

- **[Name]** : デバイスで使用可能な I/O バンクが表示されます。各 I/O バンクには、バンクの空き状況を示すピンのアイコンと、解析をパスしたかどうかを示すチェック マーク、またはエラーを示す赤い丸が表示されます。
 - **[Group] (Virtex-6 のみ)** : バンクに割り当てられている I/O 規格別などにまとめられているピンのグループと、そのステータスが表示されます。グループは、割り当てられている I/O 規格、駆動強度、スルー レート、および位相に従い自動的に決定されます。
- **[I/O Std]、[Vcco]、[Slew]、[Drive Strength]** : ポートまたはバンクの該当する値 (I/O 規格、Vcco、スルー レート、駆動電流など) を表示します。
- **[Noise (V)]**
 - **[Contributed] (Virtex-6 のみ)** : グループの I/O 規格、駆動強度、スルー タイプで生成された、グループごとの SSN 総計です。
 - **[Bank Total] (Virtex-6 のみ)** : バンクまたはグループに対し予測される SSN 総計です。バンクのグループに対し複数の位相が指定されている場合、異なる位相を持つグループの SSN が別々に累計され、その中の最大値がレポートされます。SSN 計算はそのバンクの出力から隔離されているため、1 つの SSN バンク合計は別のバンク合計には影響しません。
この列では、どの I/O グループが最大 SSN 値を出しているのか、そしてマージンがどれくらい使用されているのかを確認できます。
- **[Off-Chip Termination] (Spartan-6 のみ)** : ボードで使用される終端を示します。「None」と表示されるか、予測または定義されるオフチップ終端スタイルの短縮表記が記述されます。たとえば、FP_VTT_50 の場合、「Far Point, 50 Ohm termination to Vtt」(遠端、Vtt に対して 50 オームの終端) という終端スタイルを示しています。終端スタイルの全リストについては、そのデバイスの **Select I/O** のリファレンス ガイドを参照してください。
このフィールドには、各 I/O 規格のデフォルト終端がある場合は、それが自動的に表示されます。I/O 規格によっては、デフォルトの終端や予測される外部終端のないこともあります。
この設定は、[230 ページの「CSV ファイルのインポート」](#)で説明される CSV ファイルのインポート機能か、I/O ポートの表でプルダウン メニューを使用すると変更できます。
- **[OUT_TERM] (Spartan-6 のみ)** : ポートの OUT_TERM 属性設定が定義されている場合はそれが表示されます。ほとんどの場合、[NONE] と表示されます。OUT_TERM オプションの詳細は、[『Spartan-6 Select I/O User Guide』 \(UG381\)](#) を参照してください。
- **[Margin (V)]**
 - **[Available] (Virtex-6 のみ)** : 信号が 1 に切り替わるときの High の信号の I/O 規格のノイズ マージンの許容値を定義します。I/O 規格で指定されている DC 論理レベルに基づいており (量的な情報は考慮に入れられていない)、マージンが High の信号の駆動強度の最小値が JEDRC 入力しきい値の上であることを表します。これらのマージン値は、駆動強度が最も弱い状態、JEDEC/Spec 終端、および規格の標準レシーバ要件を想定しています。マージンは保護周波数帯を提供するものなので、この解析の中で慎重な評価を行う必要があります。
 - **[Remaining]** : バンクの SSN をすべて考慮した後のノイズ マージン値を表示します。
- **[Result]** : PASS または FAIL が表示され、FAIL の場合は赤字で表示されます。
- **[Notes]** : I/O バンクまたはグループについての情報が表示されます。

SSN 結果には SSN 解析が実行されたときのデザインの状態が反映され、ダイナミックなレポートではありません。

SSN 問題の解決

違反が発生した場合、結果を改善する方法はいろいろあります。

- 違反が発生しているグループに SSN の影響をあまり受けない I/O 規格を使用します。低い駆動強度、パラレル終端の DCI I/O 規格、または低いクラスのドライバに変更すると (SSTL Class II から SSTAL Class I に変更するなど)、SSN を改善できます。
- 違反が発生しているピンを複数のバンクに分散させます。これで 1 つのバンクの電力システムで問題のある出力数を低減できます。
- 違反が発生しているグループを複数の同期位相に分散させます。位相グループについては、メモを参照してください。
- これで、問題のある出力スイッチの半分の位相をずらすことができます。

メモ：位相グループは、Virtex-6 デバイスのソフトウェアと SSN 計算でのみサポートされます。Spartan-6 の場合、位相シフトを使用すると、SSN に関するデバイス パフォーマンスは改善されますが、改善されたパフォーマンスはソフトウェア計算には含まれません。Virtex-6 の場合は、256 ページの「SSN の I/O ポート スイッチ位相グループの定義」を参照してください。

- 違反が発生しているグループを DDR レートの場合は 90 度、SDR レートの場合は 180 度位相シフトさせます。これで、問題のある出力スイッチの半分の位相をずらすことができます。

メモ：Spartan-6 デバイスで SSN のエラーが発生する場合は、[アンサー #36141](#) を参照してください。エラーの中には無視できるものもあります。詳細は、『[Spartan-6 Select I/O User Guide](#)』(UG381) の「Pin Planning to Mitigate SSN Sensitivity」セクションを参照してください。

SSN 結果の I/O バンク プロパティの表示

[SSN Results] ビューで I/O バンクを選択すると、そのバンクに割り当てられている I/O ポート、ピン、およびグループの情報が [I/O Bank Properties] ビューに表示されます。

- [General] タブには、I/O バンクに割り当てられているポート番号とタイプが表示されます。
- [Package Pins] または [I/O Ports] タブには、バンク内のピンまたはポートの詳細情報が表示されます (図 8-31)。

ID	Name	Prohibit	Port	I/O Std	Dir	Vcco	Bank	Type	Diff Pair	Clock	Voltage	Min Trace Dly	Max Trace Dly	IOB Alias	Site Type
1 T8	disp_latch_ten			LVCMS0525	Output	2.5	2	User IO	L0P	CC		40.04	46.72	IOB_X1Y59	IO_L0P_CC_R51_2
2 T7	ic_sdat			LVCMS0525	In/Out	2.5	2	User IO	L0N	CC		47.35	55.24	IOB_X1Y58	IO_L0N_CC_R50_2
3 R15	ic_sclk			LVCMS0525	Output	2.5	2	User IO	L1P	CC		50.47	58.88	IOB_X1Y57	IO_L1P_CC_A25_2
4 T16	disp_latch_hund			LVCMS0525	Output	2.5	2	User IO	L1N	CC		57.43	67.00	IOB_X1Y56	IO_L1N_CC_A24_2
5 R9	disp_latch_one			LVCMS0525	Output	2.5	2	User IO	L2P			37.82	44.12	IOB_X1Y55	IO_L2P_A23_2
6 T9	disp_data[1]			LVCMS0525	Output	2.5	2	User IO	L2N			42.33	49.38	IOB_X1Y54	IO_L2N_A22_2
7 V18	disp_data[2]			LVCMS0525	Output	2.5	2	User IO	L3P			72.68	84.80	IOB_X1Y53	IO_L3P_A21_2
8 V17	disp_data[3]			LVCMS0525	Output	2.5	2	User IO	L3N			64.58	75.35	IOB_X1Y52	IO_L3N_A20_2
9 P10	sel_f			LVCMS0525	Output	2.5	2	User IO	L4P			32.81	38.28	IOB_X1Y51	IO_L4P_FC5_B_2
10 P9	fahren			LVCMS0525	Input	2.5	2	User IO	L4N		VREF	29.09	33.94	IOB_X1Y50	IO_L4N_VREF_FOE_B_MOSI_2
11 U16	disp_data[0]			LVCMS0525	Output	2.5	2	User IO	L5P			58.24	67.95	IOB_X1Y49	IO_L5P_FWE_B_2
12 V16	dp_j			LVCMS0525	Output	2.5	2	User IO	L5N			59.27	69.15	IOB_X1Y48	IO_L5N_CSO_B_2
13 N10	sys_rst_l			LVCMS0525	Input	2.5	2	User IO	L6P			16.88	19.70	IOB_X1Y47	IO_L6P_D7_2
14 M10	sel_c			LVCMS0525	Output	2.5	2	User IO	L6N			12.67	14.78	IOB_X1Y46	IO_L6N_D6_2
15 T14						2.5	2	User IO	L7P			42.64	49.74	IOB_X1Y45	IO_L7P_D5_2
16 T13						2.5	2	User IO	L7N			35.32	41.21	IOB_X1Y44	IO_L7N_D4_2
17 N11						2.5	2	User IO	L8P			13.69	15.97	IOB_X1Y43	IO_L8P_D3_2
18 M11						2.5	2	User IO	L8N			6.86	8.01	IOB_X1Y42	IO_L8N_D2_FS2_2
19 P13						2.5	2	User IO	L9P			25.72	30.01	IOB_X1Y41	IO_L9P_D1_FS1_2
20 P12						2.5	2	User IO	L9N			24.71	28.83	IOB_X1Y40	IO_L9N_D0_FS0_2
21 R8						2.5	2	VCCO							VCCO_2
22 V9						2.5	2	VCCO							VCCO_2

図 8-31： [I/O Bank Properties] ビュー：[Package Pins] タブ

SSN の I/O ポート スイッチ位相グループの定義

バンク内の I/O のグループによっては異なる同期位相オフセットが設定されているものがあり、この設定が異なるグループを同時にスイッチさせることはできません。多くのメモリ インターフェイスのデータおよびストロブ信号にも同じことが言えます。この場合、SSN 計算には位相情報が必要となります。

位相グループは、タイミングの観点から見て、すべてが同じ位相にある (グループのクロックの周波数と位相が同じであるなど) ポートの論理グループを指します。位相グループを作成すると、グループが作成されるだけでなく、異なる位相の I/O が隔離されます。

メモ：位相グループは、Virtex-6 デバイスでのみサポートされます。

バンク内のグループから出力されたノイズは合計され、バンク全体のノイズになります。すべての出力が同じ位相である場合、または同期関係にない場合、出力は同時にスイッチします (値が変わる)。

SSN 解析でバンクがパスしない場合、別々の同期位相にあるポートをまとめるために位相グループを使用することができ、SSN 解析をもう一度実行したときにそのバンクの合計ノイズを低減することができます。

1 つの I/O ポートまたは I/O ポートのグループに対し、スイッチ位相を設定するには次の手順に従います。

1. I/O Planning ビューで、1 つまたは複数の I/O ポートを選択します。
2. [I/O Ports]、[Package Pins]、または [SSN Results] ビューで [Configure I/O Ports] をクリックします (257 ページの図 8-32)。

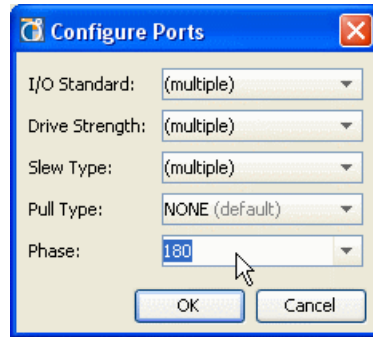


図 8-32 : [Configure Ports] ダイアログ ボックス

3. [Configure Ports] ダイアログ ボックスで、正しい I/O 規格が選択されていることを確認します。
4. ポートが位相にある場合、[Phase] はデフォルトのままにしておくか、180 など位相を選択し、[OK] をクリックします。
5. 正しい位相グループが割り当てられたら、SSN 解析に戻ります。

メモ：非同期グループは別の同期位相として扱わないようにしてください。非同期のものを同時にスイッチすることはできません。

WASSO 解析の実行 (Spartan-3、Virtex-4、Virtex-5)

PlanAhead には、WASSO (Weighted Average Simultaneous Switching Output) チェックのセットが含まれ、I/O ピンとバンク割り当てに基づいたデバイスのシグナル インテグリティが検証されます。

WASSO 解析を実行するには、Flow Navigator または [Tools] メニューから [Run Noise Analysis] をクリックします。図 8-33 のような [Run WASSO Analysis] ダイアログ ボックスが開きます。

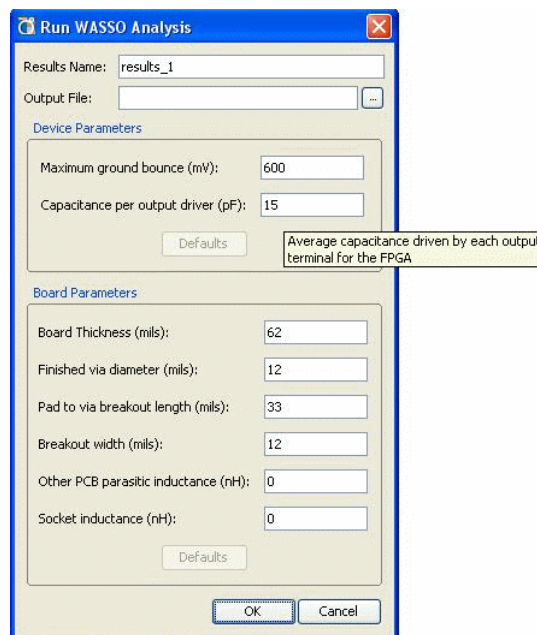


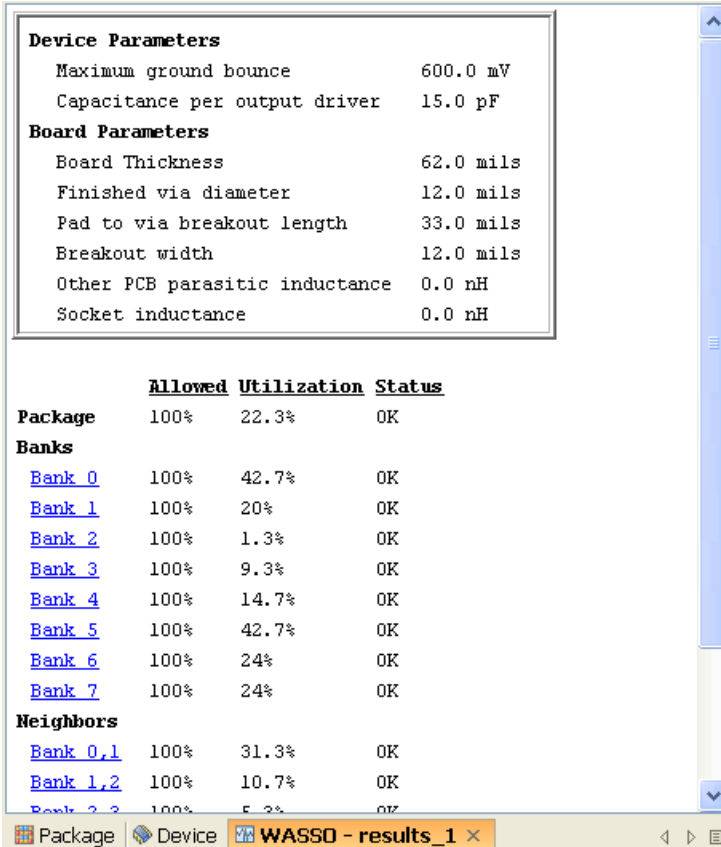
図 8-33 : [Run Wasso Analysis] ダイアログ ボックス

[Output File] フィールドでは、レポート ファイル名および保存場所を指定できます。

カーソルをフィールド上に置くと、そのフィールドに入力する値の説明を示したツール ヒントが表示されます。

WASSO 解析結果の確認

[Device Parameters] および [Board Parameters] の値は、デザインに合わせて変更できます。まずデザイン全体が解析され、次に、関連した隣接の I/O バンクが次々に解析されます。WASSO の結果のウィンドウは 図 8-34 のようにワークスペースに表示されます。



Device Parameters			
Maximum ground bounce		600.0 mV	
Capacitance per output driver		15.0 pF	
Board Parameters			
Board Thickness		62.0 mils	
Finished via diameter		12.0 mils	
Pad to via breakout length		33.0 mils	
Breakout width		12.0 mils	
Other PCB parasitic inductance		0.0 nH	
Socket inductance		0.0 nH	

	Allowed	Utilization	Status
Package	100%	22.3%	OK
Banks			
Bank 0	100%	42.7%	OK
Bank 1	100%	20%	OK
Bank 2	100%	1.3%	OK
Bank 3	100%	9.3%	OK
Bank 4	100%	14.7%	OK
Bank 5	100%	42.7%	OK
Bank 6	100%	24%	OK
Bank 7	100%	24%	OK
Neighbors			
Bank 0,1	100%	31.3%	OK
Bank 1,2	100%	10.7%	OK
Bank 2,3	100%	5.3%	OK

図 8-34： WASSO の結果

レポートには、I/O バンクと隣接するペアの 最大負荷、使用率、およびステータスがすべて表示されます。

第 9 章

デザインのインプリメンテーション

概要

PlanAhead™ ソフトウェアでは、合成およびインプリメンテーションの試行 (run) をボタンをクリックするだけで実行可能な環境が提供されています。これらの run データは自動的に管理され、さまざまな RTL ソース バージョン、合成およびインプリメンテーション オプション、制約を使用して繰り返し実行できます。

また、異なるソフトウェア コマンド オプションおよびタイミング制約または物理制約を使用した複数の合成およびインプリメンテーションの run も実行可能です。複数のインプリメンテーション run は、順次起動するか、マルチプロセッサ マシンで同時に起動できます。合成 run には、Xilinx® Synthesis Technology (XST) が使用されます。

各インプリメンテーション コマンドのオプション設定のセットをストラテジとして保存し、ザイリックス ISE® Design Suite ツールを使用した合成またはインプリメンテーションの run に適用できます。ストラテジの詳細は、79 ページの「合成およびインプリメンテーション ストラテジの作成」を参照してください。

インプリメンテーションの実行

PlanAhead では、インプリメンテーション オプションを設定し、インプリメンテーションを実行し、その結果を表示できます。

インプリメンテーション オプションの設定

インプリメンテーションの設定は、複数の箇所から指定できます。Flow Navigator の Project Manager メニューから [Project Settings] をクリックするか、[Project Summary] ビューまたはメイン ツールバーのボタンから設定できます。



[Project Settings] → [Implementation] をクリックし、260 ページの図 9-1 のように設定します。

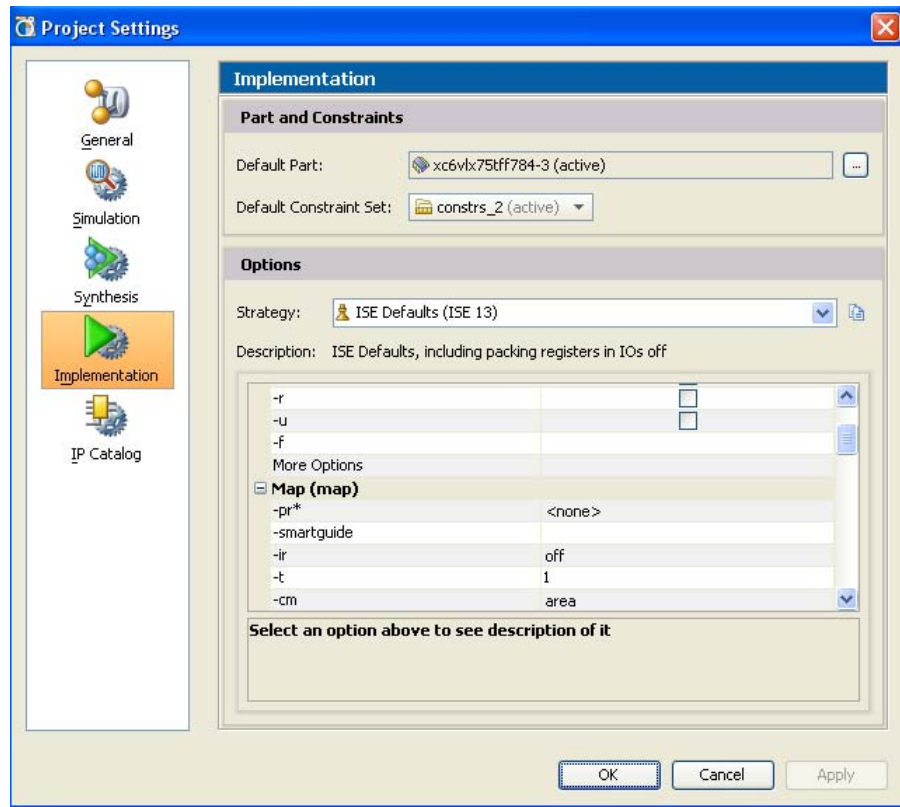


図 9-1： インプリメンテーション プロジェクト設定

[Project Settings] ダイアログ ボックスの [Implementation] ページには、次のオプションが表示されます。

- [Default Part]：合成実行に使用するターゲット デバイスを選択します。
- [Default Constraint Set]：合成実行で使用する制約セットを選択します。
- [Strategy]：合成実行に適用する既存ストラテジを選択します。ストラテジの詳細は、79 ページの「合成およびインプリメンテーション ストラテジの作成」を参照してください。
- [Description]：選択したストラテジの説明が表示されます。このフィールドは、ユーザー定義のストラテジの場合にのみ変更できます。
- [ISE options]：ISE オプションを設定します。[More Options] フィールドを使用すると、リストされていないオプションも指定できます。オプションを選択すると、簡単な説明と目的がページの下部に表示されます。オプション名の隣の * は、その値が現在デフォルト以外の値に設定されていることを示します。

メモ：変更したインプリメンテーション run を実行する前に PlanAhead を閉じると、オプションは保存されません。インプリメンテーション結果がプロジェクト内にある場合は、プロジェクトを開いたときに同じプロジェクト設定が維持されます。インプリメンテーション run がプロジェクトに含まれない場合は、デフォルトのオプションが使用されます。

インプリメンテーション run の開始

インプリメンテーションを実行するには、Flow Navigator の [Implement] ボタンかメイン ツールバーのボタンをクリックします。

現在のインプリメンテーション プロジェクト設定が使用され、run が開始します。



インプリメンテーション run の設定

インプリメンテーション run のオプションは、図 9-2 のように Flow Navigator の [Implement] ボタンのプルダウン メニューから [Implementation Settings] コマンドを実行して設定できます。

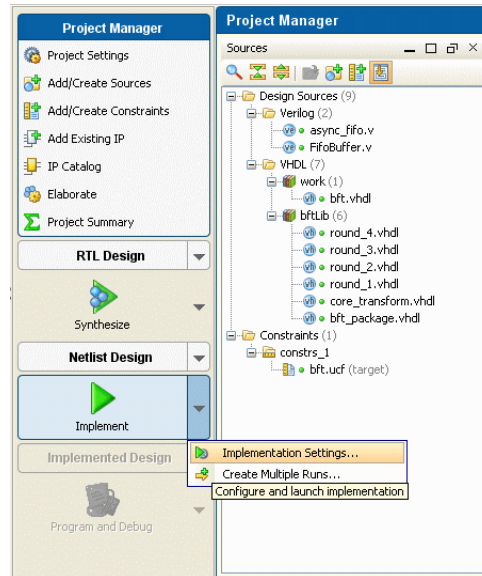


図 9-2： インプリメンテーション run の設定

図 9-3 のように、[Implementation Settings] ダイアログ ボックスが表示されます。

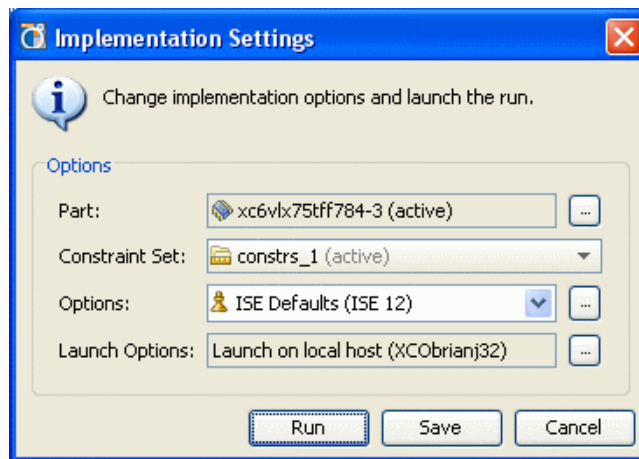


図 9-3： [Implementation Settings] ダイアログ ボックス

次のようなオプションがあります。

- **[Part]** : パーツを選択するか、またはデフォルトのパーツをそのまま使用します。参照ボタンをクリックすると、[Select Part] ダイアログ ボックスが表示されます。
- **[Constraint Set]** : 制約セットを選択するか、またはデフォルトをそのまま使用します。
- **[Options]** : run に使用するインプリメンテーション ストラテジを選択します。262 ページの図 9-4 示すように、参照ボタンをクリックし、ISE コマンド オプションを修正します。

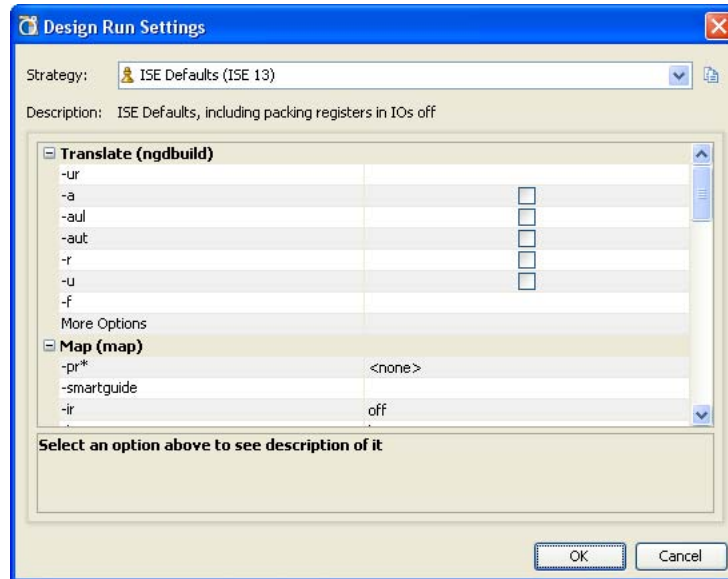


図 9-4： [Design Run Settings] ダイアログ ボックス

- [Launch Options]：追加の起動オプションを選択します。図 9-5 は、[Specify Launch Options] ダイアログ ボックスを示しています。

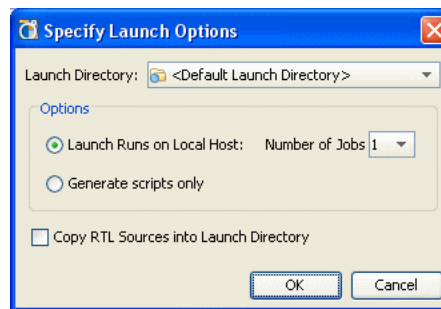


図 9-5： [Specify Launch Options] ダイアログ ボックス

次のようなオプションがあります。

- [Launch Directory]：合成 run を保存する場所を指定します。
メモ：プロジェクト ファイルには絶対パスが記述されるので、プロジェクト ディレクトリ外のデフォルトでない場所を指定するとプロジェクトがポータブルになりません。
- [Launch Runs on Local Host]：ローカル コンピュータのプロセッサで run を起動するにはこのオプションを設定します。
 - [Number of Jobs]：実行に使用するローカル プロセッサの数を指定します。複数 run を同時に起動する場合にのみ、このオプションを使用します。各 run が各プロセッサで起動されます。マルチスレッド プロセッサには、このオプションは使用できません。
- [Launch Runs on Remote Hosts] (Linux のみ)：ジョブを起動するのにリモート ホストを使用します。
 - [Configure Hosts]：リモート ホストを設定します。詳細は、282 ページの「リモート Linux ホストでの run の起動」を参照してください。

- [Generate scripts only] : run ディレクトリおよび run スクリプトをエクスポートおよび作成しますが、run は PlanAhead から起動されません。スクリプトは、PlanAhead 環境外で後で実行できます。
- [Copy RTL Sources into Launch Directory] : インプリメンテーションを実行する際に RTL ソース ファイルをローカルのプロジェクト ディレクトリにコピーします。これにより、RTL ソース ファイルのローカル コピーがプロジェクトに作成されます。

run ステータスの監視

合成またはインプリメンテーション run のステータスは、[Compilation] ビューを参照するか、[Messages] ビューで情報、警告、エラー メッセージを参照するか、[Project Summary] ビューを参照するか、[Design Runs] ビューを開くと確認できます。

次のセクションでは、run ステータスの監視オプションについて説明します。

プロジェクト ステータス表示の使用

図 9-6 に示すプロジェクト ステータス インジケータは、PlanAhead の右上に表示され、次のような機能があります。

- プロジェクトの全般的なステータスとコマンドの進行状況を表示します。
- [Cancel] をクリックすると実行中のコマンドを停止できます。



図 9-6 : プロジェクト ステータス バー

run のキャンセル

図 9-6 に示すプロジェクト ステータス バーの [Cancel] ボタンをクリックすると、実行を停止できます。

コンパイル ログの表示

run を起動すると、[Compilation] ビューが開き、標準出力メッセージが表示されます。図 9-7 に、[Compilation] ビューの例を示します。



図 9-7 : [Compilation] ビュー

[Pause] ボタンをクリックすると、[Compilation] ビューへの出力を一時停止でき、コマンドの実行中にログをスクロールしたり読んだりしやすくなります。

プロジェクトのステータス

PlanAhead では、プロジェクトの全体的なステータスおよびプロセスの次の手順を実行する方法が示されます。プロジェクト ステータスには、デザイン プロセスの主なタスクの結果のみが示されます。

プロジェクトの全体的なステータスは [Project Summary] ビューとステータス バーに表示され、プロジェクトを開いたとき、デザイン フロー コマンドを実行したときにプロジェクトのステータスをすばやく判断できます。RTL エラボレーション、合成、インプリメンテーション、ビットストリーム生成などのステータスが示されます。

プロジェクト ステータス バー

プロジェクトの全体的なステータスは、図 9-8 に示すように、メイン ウィンドウの右上に表示されます。



図 9-8: プロジェクト ステータス バー

エラボレーション、合成、インプリメント、ビットストリームの生成を実行すると、プロジェクト ステータス バーにその結果が示されます。プロセスでエラーが発生した場合は、赤色の文字で表示されます。

ソース ファイルをアップデートすると、合成およびインプリメンテーションがアップデート必要になり (図 9-9)、ステータス バーにそのステータスが示されます。[more] リンクをクリックすると、その理由が表示されます。

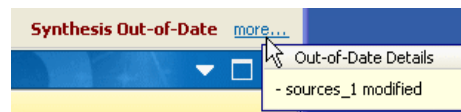


図 9-9: プロジェクトがアップデート必要になった理由を表示

Flow Navigator のデザイン ステート

Flow Navigator には、デザインのステートに関連するコマンドのみが表示されます。たとえば、インプリメンテーションが実行されていない場合は、[Implemented Design] ボタンは淡色表示になっています。Flow Navigator を使用すると、デザイン プロセスの次の手順をクリックするだけでデザイン フローを完了できます。

デザインのアップデートが必要であることを示すバナー

ソース ファイル、ネットリスト、制約またはインプリメント結果がアップデートされると、開いているデザインの上部にバナーが表示され、デザイン データがアップデートされたことが示されます。図 9-10 に示すような [Reload] リンクをクリックすると、アップデートされたデザインをメモリに読み込むことができます。

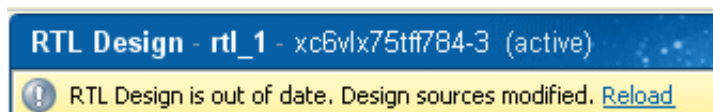


図 9-10： デザインの再読み込みが必要であることを示すバナーと [Reload] リンク

run 結果の解析

合成またはインプリメンテーションが終了したら、ISE レポートを表示し、ネットリストまたはインプリメント済みデザインを開いて、解析および使用できるので、タイミングや物理制約を適用してから、run を再インプリメントできます。[Implemented Design] ビューを使用してデザインをさらに解析する方法については、第 11 章「インプリメンテーション結果の解析」を参照してください。

レポート ファイルの表示

ISE ツールで生成されたレポート ファイルは [Reports] ビューから表示できます。このビューは、通常コマンドが実行されると自動的に開きます。開かない場合は、[Project Summary] ビューの [Reports] リンクをクリックします。[Reports] ビューが図 9-11 のように表示されます。



図 9-11： 表示するレポート ファイルの選択

ワークスペースで使用可能なレポート ファイルをクリックすると、そのレポートが図 9-12 に示すように表示されます。

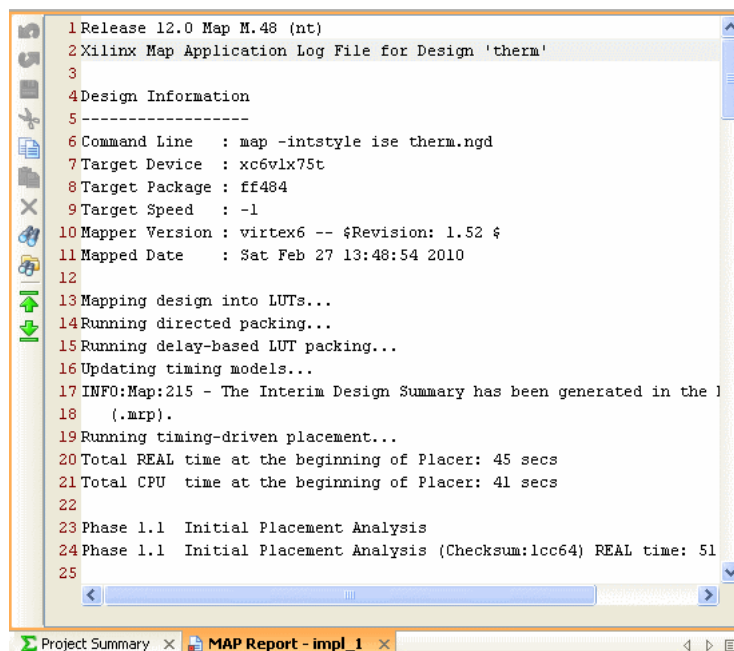


図 9-12： レポート ファイルの表示

レポートを表示すると、次が実行できます。

- スクロール バーを使用してレポート ファイルを参照
- [Find] または [Find in Files] ボタンをクリックし、特定テキストを検索
- [Go to the beginning] または [Go to the End] ボタンをクリックしてファイルの冒頭または最後に移動

メッセージの表示

[Messages] ビューは [Compilation] ビューがフィルタされたリストで、主な警告およびエラー メッセージのみが含まれます。ビューのツールバー ボタンを使用し、エラーまたは警告メッセージのみを表示させることもできます。91 ページの図 4-10 は、[Messages] ビューの例を示しています。

インプリメンテーション メッセージは、ISE コマンドおよび重要性別に表示されます。

横にあるプラス記号 (+) をクリックして展開し、各メッセージを表示します。

左側にあるコマンド ボタンを使用すると、検索およびフィルタ機能を使用できます。[Show Search]、[Collapse All]、[Expand All] オプションの詳細は、99 ページの「ツリー表形式のビュー」を参照してください。

コンパイル メッセージのフィルタ処理とグループ化

次の図の [Messages] ビューのパナーで、エラー、クリティカルな警告、警告、情報メッセージのチェック ボックスをオンにすると、該当するメッセージが表示されます。

[Group duplicate messages] ボタンをクリックすると、リストがフラット化され、類似のメッセージがまとめられます。図 9-13 は、このパナーを示しています。

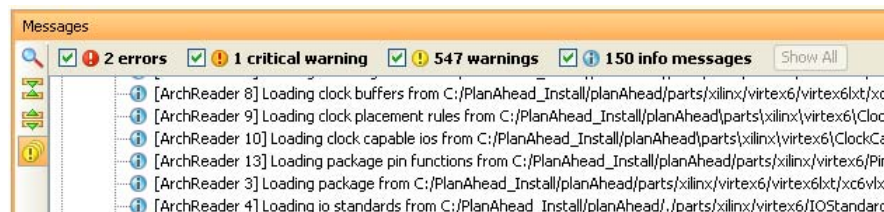


図 9-13： [Messages] ビューのパナー

RTL ソースでのコンパイル問題のハイライト

[Messages] ビューで行番号を含む合成メッセージを選択すると、RTL ファイルが開き、ソース コードでその行がハイライトされます。268 ページの図 9-14 は、その例を示しています。

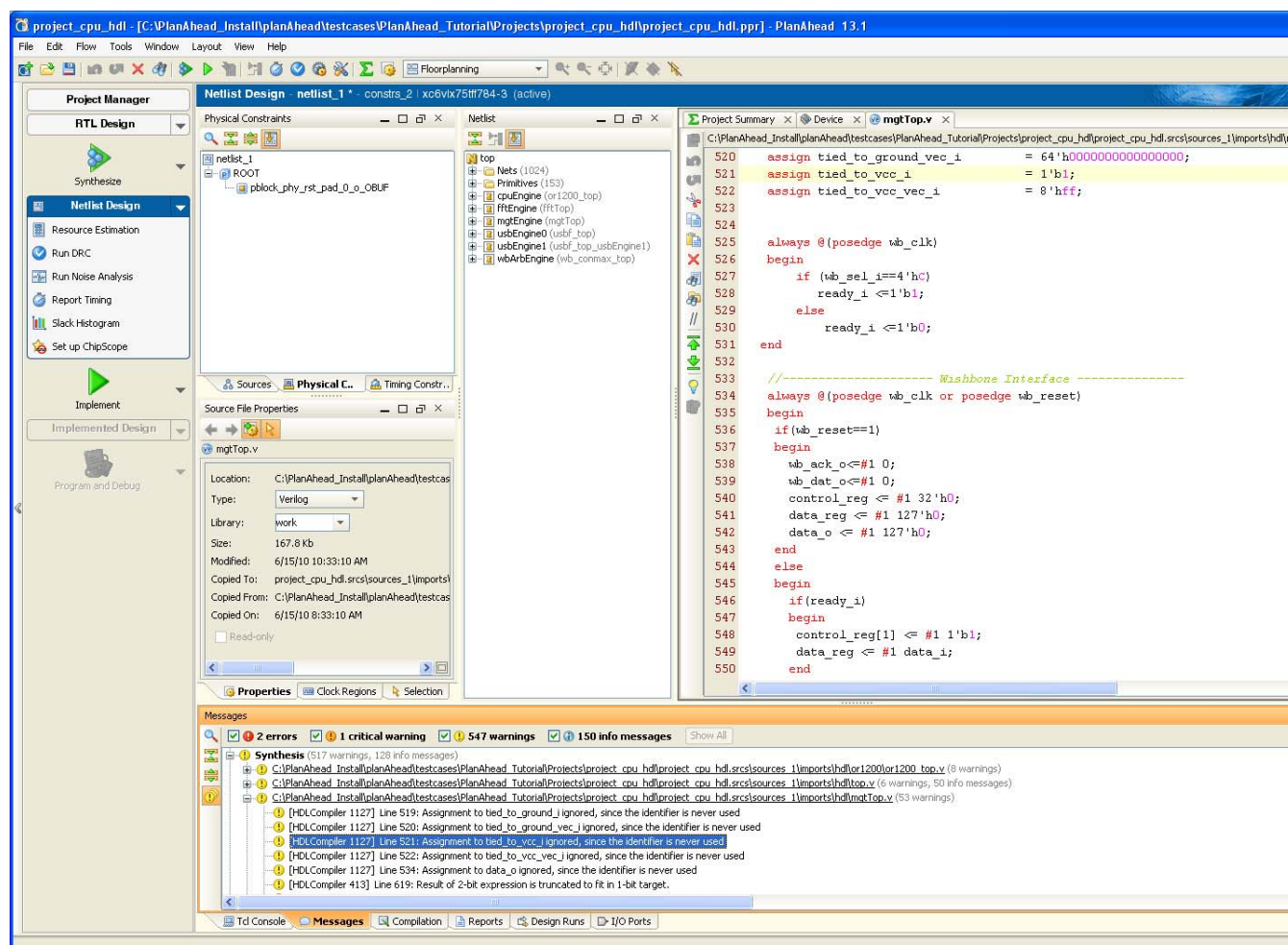


図 9-14： RTL ソース ファイルでのエラーのハイライト

メッセージを右クリックして [Search for Answer Record] をクリックすると、ザイリンクス Web サイトでそのメッセージを含むアンサー データベースが検索されます。

[Project Summary] ビュー

PlanAhead には、デザインおよびプロジェクトの情報を表示する [Project Summary] ビューがあります。このビューは、デザイン コマンドが実行されると随時アップデートされます。起動コマンドへのリンクや、より詳細な情報を表示するためのリンクもあります。

[Project Summary] ビューを開くには、次のいずれかの方法を使用します。

- Project Manager メニューから [Project Summary] をクリックします。
- ツールバーの [Project Summary] ボタンをクリックします。
- [Window] → [Project Summary] をクリックします。

269 ページの図 9-15 に示すような [Project Summary] ビューが表示されます。

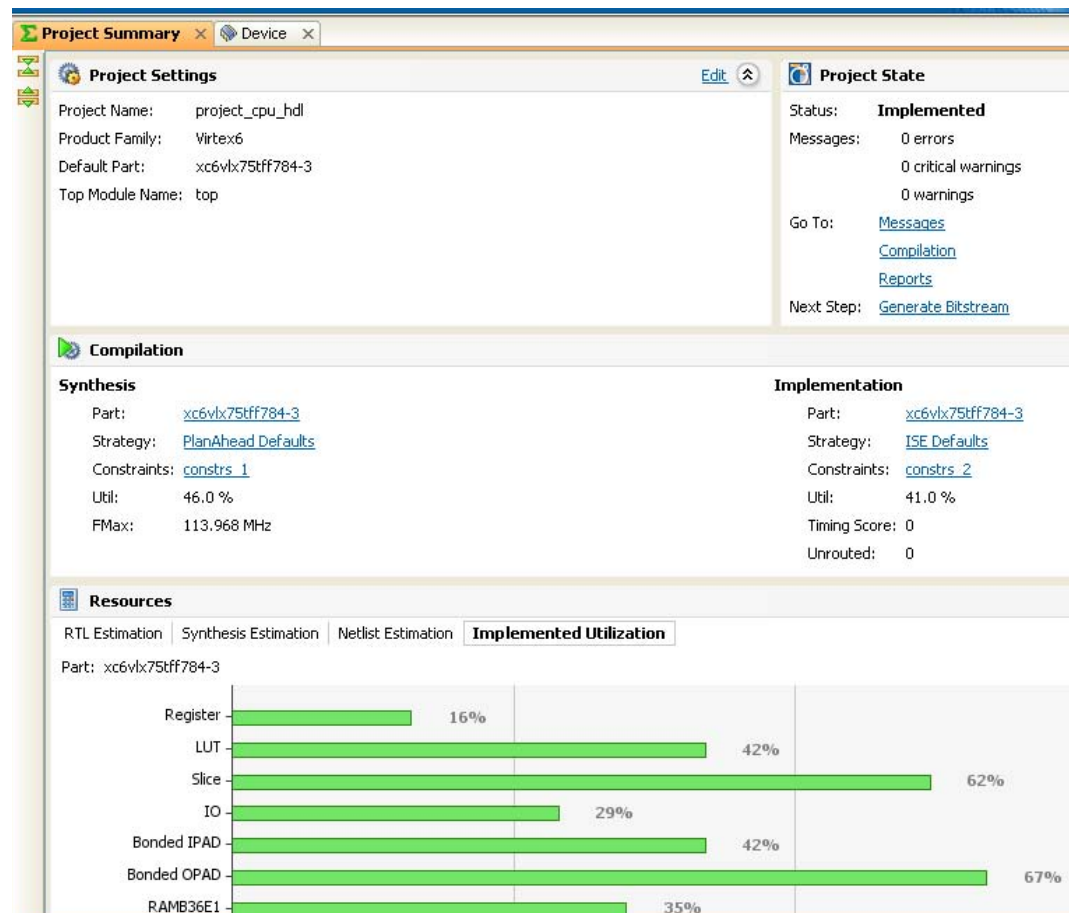


図 9-15: [Project Summary] ビュー

[Project Summary] ビューは、デザイン情報を表示します。[Collapse] または [Expand] ボタンをクリックすると、データ カテゴリの表示/非表示を切り替えることができます。カテゴリ パネルのパナーをクリックしても、表示/非表示が切り替わります。

[Project Settings] セクション

[Project Summary] の [Project Settings] セクションには、プロジェクト名、デバイス ファミリ、デフォルト デバイス、および最上位モジュール名が表示されます。

[Edit] リンクをクリックすると、[Project Settings] ダイアログ ボックスが開きます。プロジェクト設定の詳細は、[139 ページの「PlanAhead の全般的なオプションの設定」](#)を参照してください。

[Project State] セクション

[Project State] セクションには、次の情報が表示されます。

- [State] : プロジェクトのステータス、または実行中のコマンドのステータスを表示します。
- [Messages] : コンパイル コマンド中に発生したエラーおよび警告の数を示します。
- [Go To] : [Compilation] や [Reports] ビューなどが使用可能な場合はそれを開くリンクを表示します。詳細は、[91 ページの「Tcl コンソールおよびメッセージエリアの使用」](#)を参照してください。
- [Next Step] : Flow Navigator プロセスの次の手順が実行されます。

[Compilation Settings] セクション

[Compilation Settings] セクションは、ターゲット デバイス、アクティブな合成およびインプリメンテーション run で使用されるストラテジおよび制約セットを表示します。合成でレポートされた Fmax およびリソース使用量の予測、インプリメンテーションからのタイミング スコアおよび未配線も表示されます。

合成およびインプリメンテーション run の設定を使用するには、リンクをクリックして [Project Settings] ダイアログ ボックスを選択した箇所で開きます。ツール ヒントをクリックしたときの動作が示されます。

[Resource] セクション

ターゲット デバイスのリソース使用量は、次の図に示すように、グラフまたは表形式で表示されます。[Project Summary] の [Resources] セクションの右上のリンクをクリックすると、グラフと表の表示を切り替えることができます。[図 9-16](#) はグラフ、[271 ページの図 9-17](#)は表を表示しています。

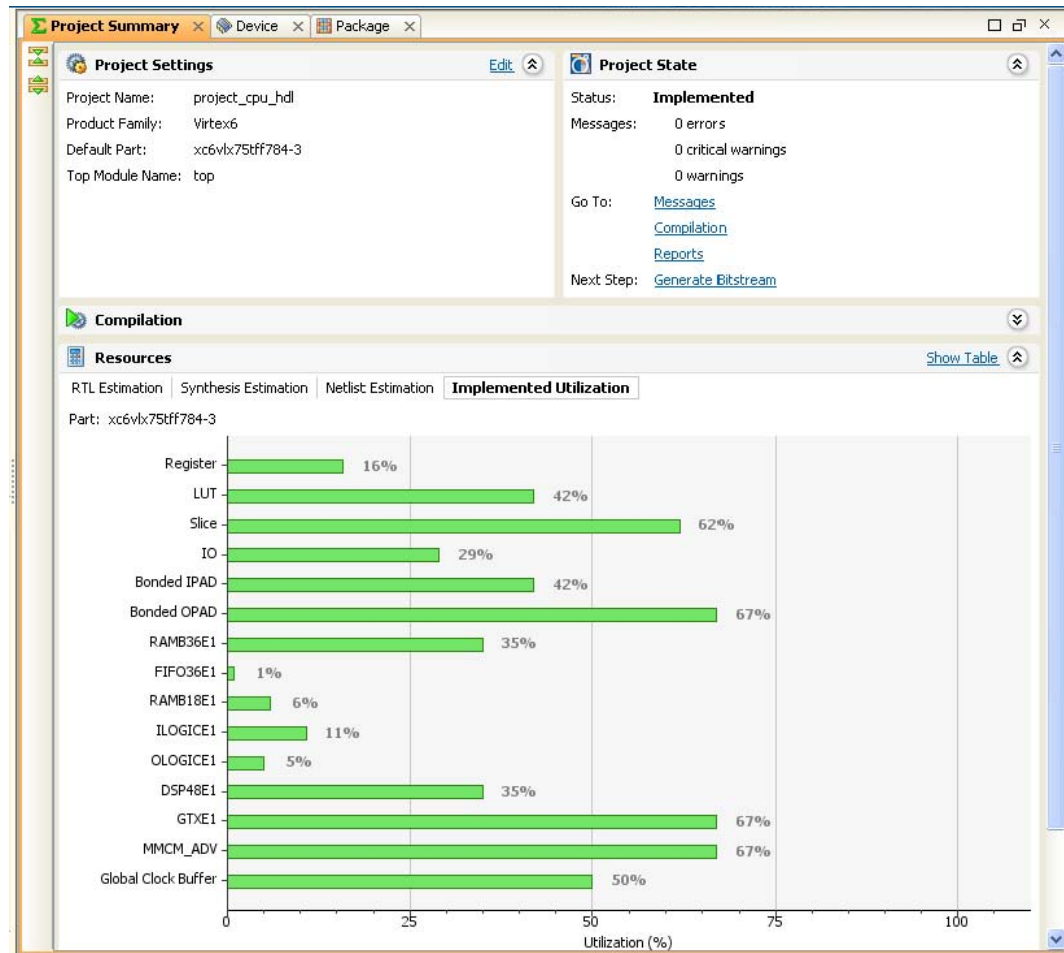


図 9-16 : [Project Summary] ビューのリソース予測 - グラフ

Resource	Utilization	Available	Utilization
Register	15287	93120	16%
LUT	19491	46560	42%
Slice	7217	11640	62%
IO	104	360	29%
Bonded IPAD	16	38	42%
Bonded OPAD	16	24	67%
RAMB36E1	108	312	35%
FIFO36E1	1	312	1%
RAMB18E1	18	312	6%
ILOGICE1	40	360	11%
OLOGICE1	18	360	5%
DSP48E1	100	288	35%
GTXE1	8	12	67%
MMCM_ADV	4	6	67%
Global Clock Buffer	16	32	50%

図 9-17 : [Project Summary] ビューのリソース予測 - 表

[Project Summary] ビューの [Resources] セクションは、デザインプロセスの各段階でアップデートされます。表示されるロジックオブジェクトのタイプは、デザインの段階によって異なります。情報が参照できるようになると、上部にある次のタブが選択できるようになります。リソースオプションについては、[82 ページの「\[Resources\] セクション」](#)を参照してください。

タブをクリックしたときに、リソース予測を表示するのに必要なプロセスを実行するリンクが表示されることもあります。[Netlist Estimation] および [Implemented Utilization] を表示するには、ネットリスト デザインまたはインプリメント済みデザインを開いておく必要があります。

タイミング結果の表示

インプリメント済みデザインを開くと、[Project Summary] ビューの [Implemented Timing] セクションにタイミング結果のサマリが表示されます。図 9-18 に示すようなリンクをクリックすると、[Timing Results] ビューが表示されます。

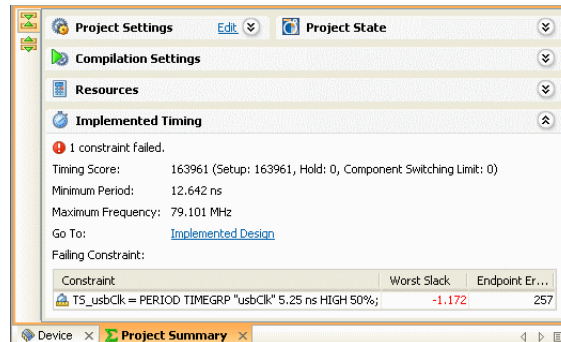


図 9-18： [Project Summary] ビューのタイミング結果

タイミング結果は、インプリメンテーションが完了すると表示されます。アクティブな実行からのタイミング スコア、最小周期、最大周波数、満たされていない制約 (最悪のもの)、およびインプリメント済みデザインを開くリンクが示されます。

インプリメンテーション終了後の次のステップの指定

run が完了すると図 9-19 のようなダイアログ ボックスが表示され、次のステップを選択できます。

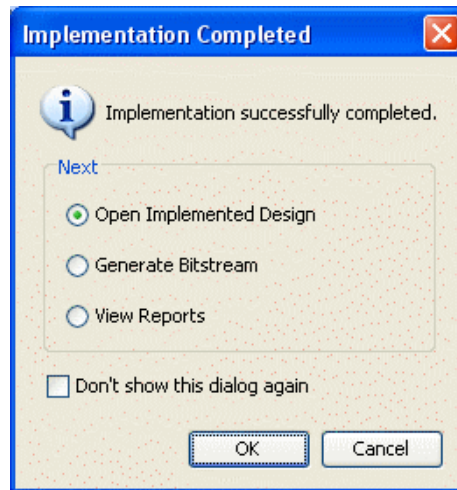


図 9-19 : [Implementation Completed] ダイアログ ボックス

[Implementation Completed] ダイアログ ボックスで次のオプションを選択し、[OK] をクリックします。

- [Open Implemented Design] : ネットリスト、アクティブな制約セット、ISE 配置情報、タイミング結果およびターゲット パーツを PlanAhead のデザイン解析およびフロアプラン環境にインポートします。詳細は、第 11 章「インプリメンテーション結果の解析」を参照してください。
- [Generate Bitstream] : BitGen のコマンドおよび run 設定ができるダイアログ ボックスを開きます。詳細は、第 12 章「ビットストリーム ファイルの生成」を参照してください。
- [View Reports] : ISE レポート ファイルを選択して表示できる [Reports] ビューを開きます。詳細は、第 9 章「レポート ファイルの表示」を参照してください。

複数 run の作成および起動

PlanAhead では、複数の合成およびインプリメンテーション run を作成して起動し、最適な結果が得られるようさまざまな合成オプションを試すことができます。各 run は順次起動するか、複数のローカル CPU で同時に起動できます。Linux システムでは、リモート サーバーを使用できます。282 ページの「リモート Linux ホストでの run の起動」を参照してください。

メモ : PlanAhead では、複数の合成 run、インプリメンテーション run、および制約セットを作成できます。複数の実行を含むプロジェクトを作成できるので、さまざまな実行データを管理する必要があります。PlanAhead では、ソース ファイル、制約、またはプロジェクト設定が変更されると、データを更新する必要があることを示すメッセージが表示されます。[Design Runs] ビューからは、古い run のデータを削除したり、管理したりできます。

複数の run を作成する手順は、次のとおりです。

1. 次のいずれかを選択します。
 - [Tools] → [Create Multiple Runs] をクリック
 - Flow Navigator の [Synthesize] または [Implement] プルダウン メニューから [Create Multiple Runs] をクリック

274 ページの図 9-20 は、この両方の手順を示しています。

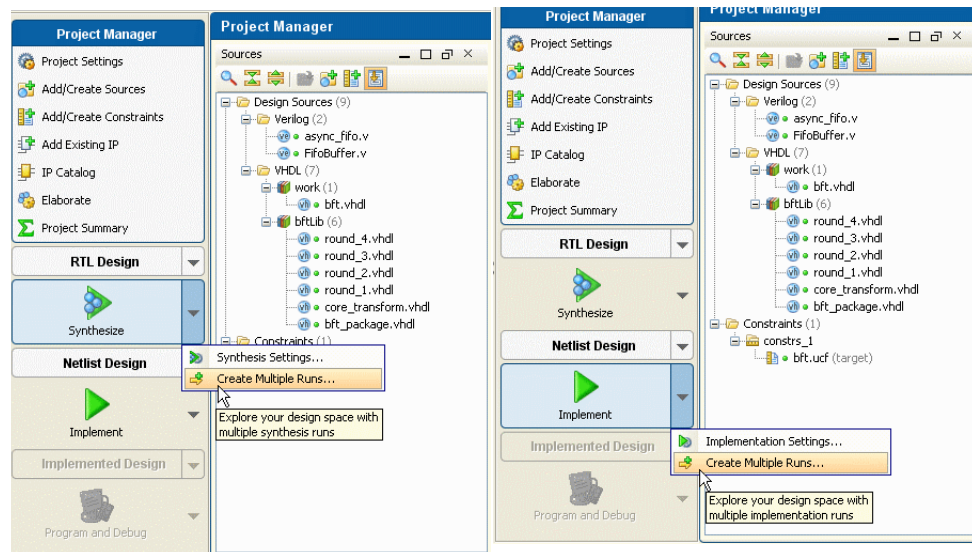


図 9-20： [Create Multiple Runs] コマンド - [Synthesis] および [Implement] プルダウン メニューからの実行

Create Multiple Runs ウィザードが開きます。

- 最初のページで [Next] をクリックします。

図 9-21 に示す [Set Up Implementation Runs] ページが表示されます。

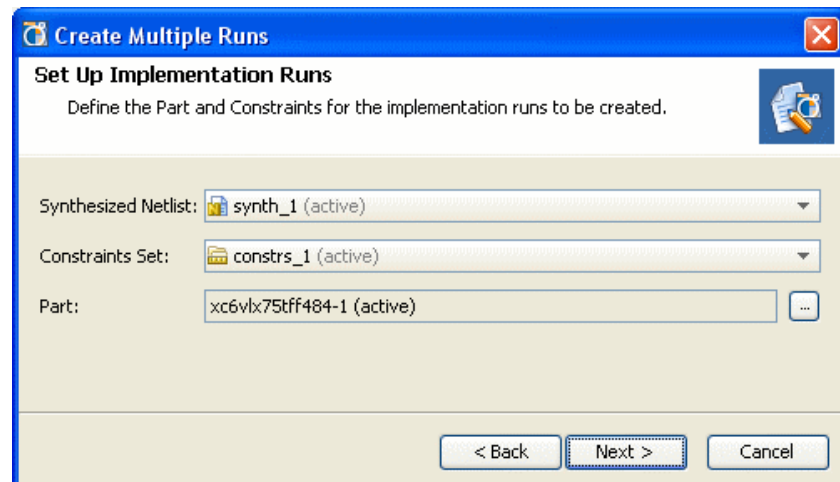


図 9-21： Create Multiple Runs ウィザード：[Set Up Implementation Runs] ページ

- run で使用する設定を選択します。
 - インプリメンテーションの場合：
 - 合成 run
 - 制約セット
 - パーツ
 - 合成 run の場合、制約セットとパーツを選択

3. 合成を実行する場合は、[Next] をクリックし、275 ページの図 9-22 に示すような [Choose Synthesis Strategies] ページを起動します。

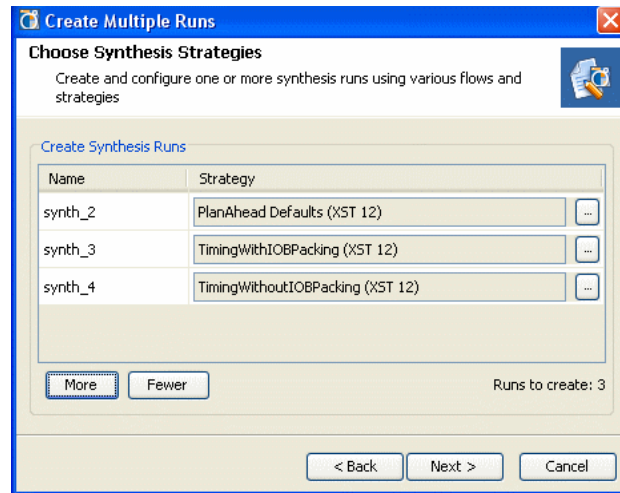


図 9-22 : [Choose Synthesis Strategies] ページ

4. 最初の run の名前とストラテジを選択し、[More] をクリックして run をさらに追加します。
5. 図 9-23 に示すように、追加した run に対しても、名前を入力してストラテジを選択します。

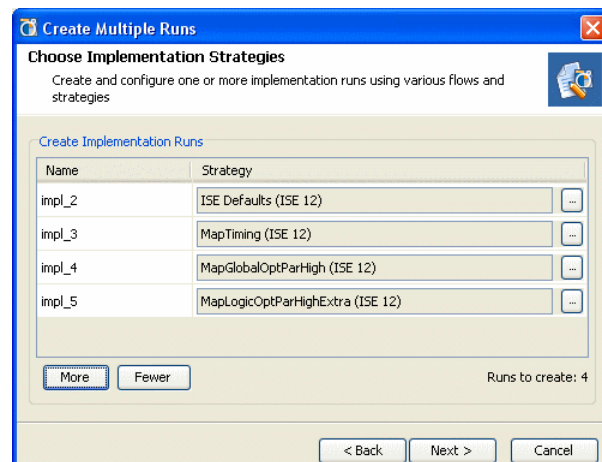


図 9-23 : [Choose Implementation Strategies] ページ

6. [Next] をクリックし、[Launch Options] ページに進みます。
起動オプションの設定に関する詳細は、168 ページの「合成オプションの設定」または 259 ページの「インプリメンテーションオプションの設定」を参照してください。
7. [Next] をクリックしてサマリを確認し、[Next] をクリックします。
8. [Finish] をクリックすると、定義した run が作成され、指定の起動オプションが実行されます。


複数 run の管理

PlanAhead では、複数の合成 run およびインプリメンテーション run を設定および生成できます。複数の run を設定する際は、古い run のデータを管理および削除する必要があります。次に、[Design Runs] ビューを使用して、合成 run およびインプリメンテーション run の両方の複数 run データを管理する方法について説明します。

[Design Runs] ビューの使用

[Design Runs] ビューには、プロジェクトで作成された合成 run とインプリメンテーション run のすべてが表示され、それらを管理および開始するためのコマンドも表示されます。

[Window] → [Design Runs] をクリックし、[図 9-24](#) のような [Design Runs] ビューを表示します。



Name	Part	Constraints	Strategy	Status	Progress	Start	Elapsed
synth_1	xc6vlx75tff784-3	constrs_1	PlanAhead Defaults (XST 13)	XST Complete!	100%	2/2/11 2:27 PM	00:01
impl_1	xc6vlx75tff784-3	constrs_2	ISE Defaults (ISE 13)	PAR Complete!	100%	2/8/11 6:52 AM	00:01
impl_4	xc6vlx75tff784-3	constrs_2	MapTiming (ISE 13)	Not started	0%		
synth_2 (active)	xc6vlx75tff784-3	constrs_1	fast_area_reduction (XST 13)	XST Complete!	100%	2/8/11 8:09 AM	00:01
impl_2 (active)	xc6vlx75tff784-3	constrs_1	ISE Defaults (ISE 13)	Not started	0%		
synth_3	xc6vlx75tff784-3	constrs_1	TimingWithoutIOBPacking (XST 13)	Not started	0%		
impl_3	xc6vlx75tff784-3	constrs_1	ISE Defaults (ISE 13)	Not started	0%		

図 9-24 : [Design Runs] ビュー

合成 run の下には、それに関連するインプリメンテーション run がツリー形式で表示されます。+ や - マークをクリックすると、合成 run のツリー表示を展開したり、閉じたりできます。run に関する情報は、表で表示されます。詳細は、[99 ページの「ツリー表形式のビュー」](#)を参照してください。

[Show Search]、[Collapse All]、[Expand All] ボタンを使用すると、表に表示される run をフィルタして表示できます。次のようなオプションがあります。

- [Launch Selected Runs] : アクティブ run を開始します。
- [Reset Selected Runs] : run のステータスを [Not Started] にリセットし、データを削除します。
- [Create Multiple Runs] : Create Multiple Runs ウィザードを開始します。
- [Import Run Results] : run 結果を読み込んだ [Implemented Design] ビューを開きます。

アクティブ run の設定

PlanAhead は、アクティブな run のコンパイルおよびサマリ情報のみを表示します。run のいずれかを選択し、右クリックで [Make Active] をクリックすると、その run をアクティブにできます。[Compilation] および [Messages] ビュー、ステータス バー、[Project Summary] にはこのアクティブな run の情報が表示されます。[Implement] ボタンをクリックすると、アクティブな run をリセットして再実行できます。

run プロパティの表示と変更

各 run のプロパティは表示および変更できます。run の表示および変更規則は、次のとおりです。

- ほとんどの run プロパティは、その run 開始する前にも変更できます。

- run を起動すると、それまでに選択したプロパティでロックされます。
- 起動後に run プロパティを変更するには、[Reset Run] をクリックして run をリセットします。

図 9-25 は、[Implementation Run Properties] ダイアログ ボックスの [General] タブを示しています。

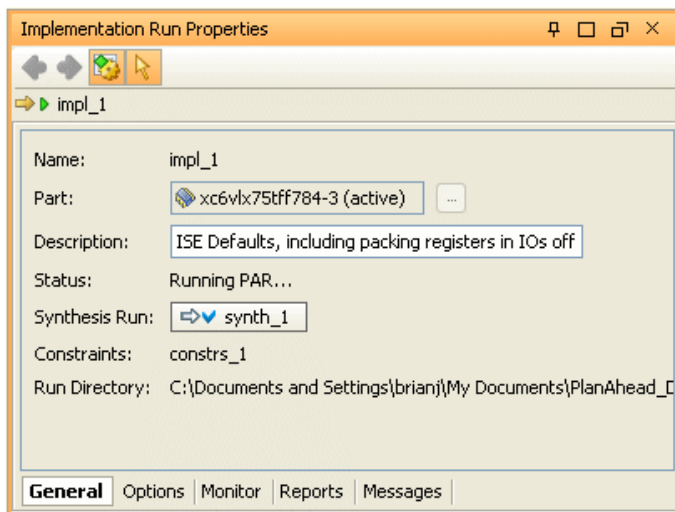


図 9-25 : [Implementation Run Properties] ダイアログ ボックス : [General] タブ

278 ページの表 9-1 には、[Implement Run Properties] ダイアログ ボックスのタブおよびオプションをリストしています。

表 9-1 : [Implementation Run Properties] ダイアログ ボックス

タブ	オプション
General	<ul style="list-style-type: none"> • [Name] : run の名前を定義します。 • [Part] : パーツを選択するか、またはデフォルトのパーツをそのまま使用します。参照ボタンをクリックすると、[Select Part] ダイアログ ボックスが表示されます。 • [Description] : run の詳細を定義します。 • [Status] : run のステータスを表示します。 • [Synthesis Run] : run に関連した合成済みのネットリストを表示します。このフィールドは、[Synthesis Run Properties] ビューには表示されません。 • [Constraints] : run の制約セットをそのまま使用するか、変更します。 • [Run Directory] : run データのディレクトリを表示します。
Options	<p>コマンド ライン オプションと現在のセット値が表示されます。コマンド オプションを選択すると、そのコマンドの詳細が表示されます。</p> <p>まだ run を起動していない場合は、コマンド オプションの値を変更できます。変更するコマンド オプションを選択し、そのオプションのチェック ボックスをオン/オフにするか、値を入力するかプルダウン メニューから選択し、[Apply] をクリックします。</p> <p>値を変更した場合は、オプションの横にアスタリスク (*) が表示され、デフォルトのストラテジの値が変更されたことを示します。</p> <p>右クリックのポップアップ メニューからは、次を実行できます。</p> <ul style="list-style-type: none"> • [Save Strategy As] をクリックすると、新しいオプション設定をストラテジとして保存して、その他の run であとで使用できるようになります。 • コマンド オプションをプリセット値に戻します。 <p>run を起動すると (260 ページの「インプリメンテーション run の開始」を参照)、[Strategy] オプションを変更することはできません。run を変更するには、run をリセットしてから、オプションを変更する必要があります。280 ページの「run のリセット」を参照してください。</p>
Monitor	<p>[Compilation] ビューに表示されるのと同じ STDOUT コマンド ステータス ログが表示されます。92 ページの図 4-11 に、[Compilation] ビューの例を示します。</p> <p>[Monitor] タブは、コマンドが実行されるごとにアップデートされます。スクロール バーを使用すると、コマンド ログのレポートを参照できます。アクティブなレポートを停止するには、[Automatically update the contents of this view] をクリックします。これにより、コマンドの実行中に結果がスクロールして読みやすくなります。</p>
Reports	<p>ISE ツールで生成されたレポート ファイルは PlanAhead で表示できます。[Run Properties] ビューで run を選択し、[Reports] タブをクリックすると、使用可能なレポート ファイルのリストがワークスペースに表示されます。</p>
Messages	<p>run メッセージを表示します。[Messages] ビューの例は、91 ページの図 4-10 を参照してください。</p>

選択した run の起動

[Launch Runs] コマンドを実行すると、[Design Runs] ビューの既存の run が起動されます。run はどのステートでも (完了済みでも) 起動できます。[Launch Selected Runs] ダイアログ ボックスがまず表示されます。ここで、起動オプションを設定できます。


1. [Design Runs] ビューで 1 つまたは複数の run を選択します。複数選択する場合は、Shift キーまたは Ctrl キーを押しながらクリックします。
2. 次のいずれかのコマンドを選択します。
 - [Launch Runs] ポップアップ コマンド
 - [Launch-selected Runs] ツールバー ボタン 

図 9-26 に示すような [Launch Selected Runs] ダイアログ ボックスが開きます。

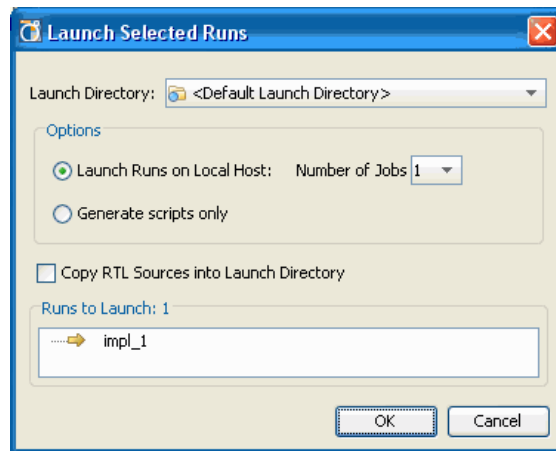


図 9-26 : [Launch Selected Runs] ダイアログ ボックス

次のようなオプションがあります。

- [Launch Directory] : インプリメンテーション実行データを作成および保存する場所を指定します。

メモ : プロジェクト ファイルには絶対パスが記述されるので、プロジェクト ディレクトリ外のデフォルトでない場所を指定すると、プロジェクトを移動しにくくなります。
- [Launch Runs on Local Host] : ローカル コンピュータのプロセッサで run を起動するにはこのオプションを設定します。
 - [Number of Jobs] : 実行に使用するローカル プロセッサの数を指定します。複数 run を同時に起動する場合にのみ、このオプションを使用します。各 run がそれぞれのプロセッサで起動されます。このオプションを使用すると、マルチスレッド プロセッサは使用されません。
- [Launch Runs on Remote Hosts] (Linux のみ) : ジョブを起動するのにリモート ホストを使用します。
 - [Configure Hosts] : リモート ホストを設定します。PlanAhead をリモート ホストで実行する設定については、282 ページの「リモート Linux ホストでの run の起動」を参照してください。
- [Generate scripts only] : オンにすると、run ディレクトリおよび run スクリプトがエクスポートおよび作成されますが、PlanAhead から run は起動されません。スクリプトは、PlanAhead 環境外で後で実行できます。

3. [OK] をクリックすると、選択した起動オプションで **run** が作成されます。

選択した **run** が [Not Started] 以外のステータスになっている場合、起動前に **run** をリセットするかどうかの確認メッセージが表示されます。

run のリセット

run をリセットするには、[Reset Runs] をクリックします。選択した **run** の結果が削除され、その **run** データをディスクから削除するか (推奨)、**run** のステータスを [Not Started] に戻します。

run をリセットするには、次の手順に従ってください。

1. [Design Runs] ビューで 1 つまたは複数の **run** を選択します。
2. 次のいずれかで複数 **run** を選択します。
 - Shift キーを押しながらクリック
 - Ctrl キーを押しながらクリック
3. 右クリックで [Reset Runs] をクリックします。

[Reset Runs] ダイアログ ボックスが表示され、選択した **run** のインプリメンテーション データをすべてディスクから削除してもいいかどうか確認するメッセージが表示されます。

4. [Reset] をクリックします。

ISE プロセスが現在実行中であつたり、キューに入っていたりする場合は、それらを停止するかどうか尋ねるメッセージが表示されます。


5. [Yes] をクリックします。

選択した **run** のステータスがリセットされます。

run の削除

[Delete] コマンドを使用すると、[Design Runs] ビューから選択した **run** が削除され、それに関するデータがディスクから削除されます。選択した **run** を削除するかどうか確認するメッセージが表示されます。

メモ： 現在アクティブな **run** は削除できません。

1. [Design Runs] ビューで 1 つまたは複数の **run** を選択します。複数選ぶ場合は、Shift キーまたは Ctrl キーを押しながらクリックします。
2. 次のいずれかを選択します。
 - [Delete] ツールバー ボタン  をクリックします。
 - [Design Runs] ビューで右クリックし [Delete] をクリックします。
 - [Edit] → [Delete] をクリックします。
 - Delete キーを押します。

run のコピー

[Design Runs] ビューで [Copy Run] ポップアップ メニューを使用すると、既存の **run** をコピーして新しい **run** を作成できます。このコマンドを使用すると、コピー元を選択した **run** と同じストラテジおよび入力を使用して新しい **run** が作成されます。**run** のステータスは、新しく作成された **run** で [Not Started] にリセットされます。

run ディレクトリでファイル ブラウザを開く

[Runs] ビューで直接ファイル ブラウザを開くと、システムの **run** ディレクトリでファイルを参照できます。これには、[Design Runs] ビューで **run** を選択して右クリックし、[Open Run Directory] をクリックします。

リモート Linux ホストでの run の起動

PlanAhead には、複数の Linux ホストで run をパラレルに実行できる機能があります。これは、Sun® MicroSystems の Grid Engine や LSF® などの簡易版を使用した機能です。

ジョブ提示アルゴリズムは、セキュア シェル (SSH) 内の Tcl パイプを使用したラウンドロビン形式でインプリメントされています。

リモート Linux ホストで run を起動する際の制限

リモート Linux ホストで run を起動する際の制限は、次のとおりです。

- ホスト実行には、PlanAhead ではなく、Linux OS で提供されているサービスである SSH が使用されます。これには、リモート マシンにログインするたびにパスワードを入力する必要がないように SSH を設定する必要があります。パスワードを入力せずに SSH が使用できるように設定していない場合、または SSH を設定したのに毎回パスワードの入力を求められる場合は、[付録 E 「パスワード入力なしの SSH の設定」](#) を参照してください。
- セキュリティのためと Windows システムにリモート シェル機能がないため、Linux 間のホストのみがサポートされます。
- ISE ツールのインストールは、どのログイン シェルからでも使用できると仮定されるので、\$XILINX および \$PATH 環境変数は .cshrc/.bashrc セットアップ スクリプトで正しく設定されます。リモート コンピュータにログインしほかのスクリプトをソースせずに「map -help」と入力できる場合、このフローは機能します。ログイン時に ISE が設定されていない場合 (.cshrc または .bashrc)、このオプションを使用し環境設定スクリプトを渡します。
- PlanAhead のインストールはリモート マシンの割り当てられたネットワークから表示できるようにする必要があります。PlanAhead のインストール ディレクトリがマシンのローカルディスクの場合は、リモート マシンからは表示できません。
- PlanAhead のプロジェクト ファイル (.ppr) およびディレクトリ (.dita および .runs) は、リモート マシンの割り当てられたネットワークから表示できるようにする必要があります。デザイン データがローカル ディスクに保存されていると、リモート マシンからは表示できません。

リモート ホストの設定 (Linux のみ)

[付録 E の「SSH の設定」](#)にあるように SSH を設定したら、リモート サーバーを使用して PlanAhead で run を起動することができます。これには、まずリモート ホストを設定する必要があります。

- 次のいずれかのコマンドを使用し、リモート ホストを設定します。
 - [Tools] → [Options] → [Remote Hosts]
 - [Run Synthesis] → [Launch Runs] → [Configure Hosts]
 - [Implementation] → [Launch Runs] → [Configure Hosts]
 - [Launch Selected Runs] ダイアログ ボックスの [Configure Hosts]

[283 ページの図 9-27](#) のように、[Remote Hosts] ページが表示されます。

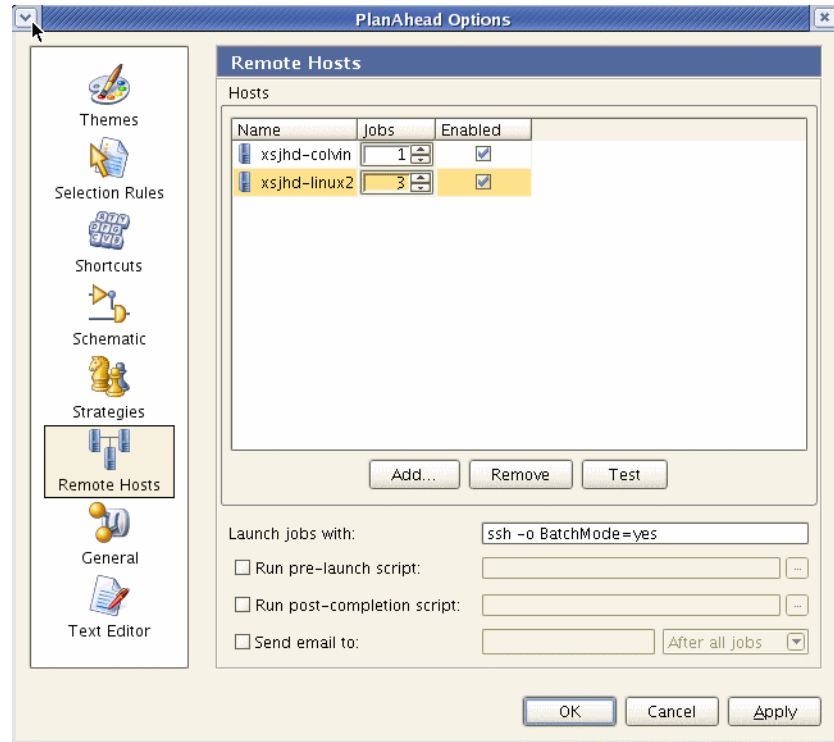


図 9-27： リモート ホストの設定

2. [Add] ボタンをクリックし、リモート サーバー名を入力します。
3. [Jobs] で使用するリモート マシンのプロセッサ数を指定します。各 run が各プロセッサで起動されます。マルチスレッド プロセッサは使用されません。
4. [Enable] チェック ボックスでは、サーバーを使用するかどうかを指定します。選択した run を起動する際にどのサーバーを使用するか指定します。
5. オプションで [Launch jobs with] フィールドでリモート アクセス コマンドを変更することもできます。デフォルトは、ssh です。

メモ：このフィールドを変更する際は注意が必要です。たとえば、[BatchMode=yes] を削除すると、シェルで間違ってパスワードのプロンプトが表示されるため、プロセスが停止してしまいます。

6. [Run pre-launch script] をオンにすると、run の起動前に実行するスクリプトを定義できます (オプション)。ログイン時の ISE セットアップ (.cshrc または .bashrc) がない場合、このチェック ボックスを使用して環境設定スクリプトを飛ばすことができます。
7. [Run post-completion script] をオンにすると、run の終了後に実行するカスタム スクリプトを定義できます (オプション)。
8. [Send email to] をオンにし、メール アドレスを入力しておくと、run の終了時に電子メールが送信されます (オプション)。
9. 1 つまたは複数のホストを選択し、[Test] をクリックすると、そのサーバーが使用可能かどうか、コンフィギュレーションが問題なく設定されたかどうかを確認できます。

メモ：各ホストをテストして、設定に問題がないか確認しておくことをお勧めします。

10. 選択したリモート ホストを削除するには、[Remove] を、リモート ホストのコンフィギュレーション設定を使用する場合は [OK] をクリックします。

第 10 章

デザインのフロアプラン

フロアプラン ストラテジの概要

PlanAhead™ ではフロアプランがサポートされており、クリティカルなロジックに制約を付けてインターコネクトを短くし、遅延を抑えることができます。

PlanAhead でのフロアプランは、ボタンを押すだけのフローとは異なり、物理デザインでインタラクティブに作業します。設計者はデザインについての知識と PlanAhead の解析機能を使用して、パフォーマンスを向上させる制約およびツール オプションを定義します。

フロアプランは、物理ブロック (Pblock) ロケーションを作成してロジック配置に制約を付けるか、または個々のロジック オブジェクトを特定デバイス サイトにロックして行います。[Floorplanning] ビューのレイアウトには、フロアプラン中に使用される共通のビューが含まれます。[Floorplanning] ビューのレイアウトは、次の方法で選択できます。

- [Layout] → [Floorplanning] をクリック、または
- ツールバーのレイアウト セレクター (ドロップダウン リスト) からフロアプランを選択

フロアプランの複雑さについては、本章の説明だけでは十分ではありません。詳細は、『[フロアプラン手法ガイド](#)』(UG633) を参照してください。

Pblock の概要

ここでは、次のセクションに分けて Pblock について説明します。

Pblock の作成

フロアプランのプロセスでは、始めにデザインの一部またはすべてのロジックをグループに分割して制約を付けます。デザインは、管理しやすい小さな物理ブロック (Pblock) に、階層的に分割されます。このため、論理階層のどこからでも論理モジュールおよびプリミティブ ロジックを Pblock に含めることができます。クリティカル ロジックまたは関連するロジックは、ロジックが移行しないようにしっかりと 1 つの Pblock にグループ化されるため、インターコネクトの長さが制限され、遅延が低減されます。

Pblock を作成すると、エクスポートされた UCF ファイルに AREA_GROUP 制約が書き込まれます。PlanAhead で割り当てられたロジック、指定範囲、定義した属性はこの制約ファイルに反映されます。

[Draw Pblock] コマンドの使用

[Draw Pblock] コマンドを使用すると、選択したロジックが [Device] ビューで新しい Pblock に割り当てられます。コマンドを実行する前に、Pblock に割り当てるロジックを選択しておきます。

Pblock を作成するには、次の手順に従います。


1. 任意のウィンドウで Pblock に割り当てるロジックを選択します。
2. [Device] ビューのポップアップ メニューかツールバーから [Draw Pblock]  をクリックします。
3. [Device] ビューでカーソルを Pblock の描画を開始する場所に置きます。
4. マウスの左ボタンを押したまま対角線上の角になる場所に移動して Pblock の長方形を描画し、ボタンを離します。

図 10-1 のように、[New Pblock] ダイアログ ボックスが開きます。

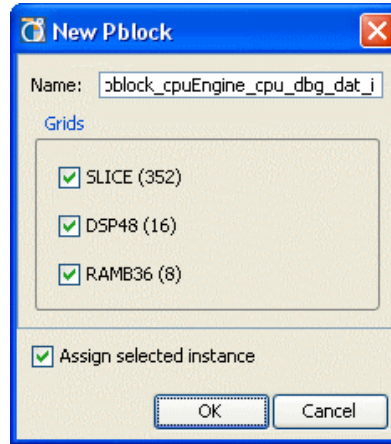


図 10-1： [New Pblock] ダイアログ ボックス

5. オプションを変更し、[OK] をクリックします。オプションは、次のとおりです。
 - [Name] : Pblock の名前を指定します。フィールドには、Pblock のデフォルト名の *pblock_n* または *pblock_instancename* が表示されます。ほかの名前を使用する場合は変更します。
 - [Grids] : Pblock で制約するデバイス リソースの範囲を選択します。
 - [Assign selected instances] : オンにすると、選択されたインスタンスが新しい Pblock に割り当てられます。

メモ：ロジックが間違って選択されていることもあるので、確認してエラーを回避してください。

Pblock が表示されると、[Device] および [Physical Hierarchy] ビューで選択できるようになります。[Physical Constraints] ビューが [Floorplanning] ビュー レイアウトの中に開きます。手動で開くには、[Window] → [Physical Constraints] をクリックします。

作成時の Pblock のサイズおよび位置は、手動で作成する場合は重要ではありません。[PblockProperties] ダイアログ ボックスの、[Rectangles] タブを使用すると、Pblock の正しいサイズおよび位置を確認できます。[Device] ビューで接続状況を表示し、Pblock の正しい位置を指定できます。

サイズを決める前に、287 ページの図 10-2 のようにすべての Pblock を小さな長方形として作成し、Pblock 間の接続フローを視覚的に確認した方が便利な場合もあります。

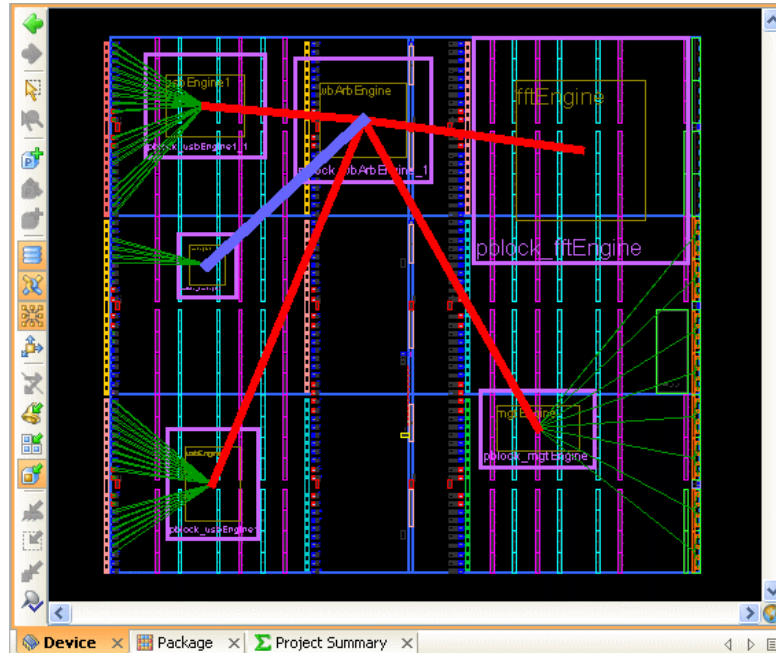


図 10-2: [Device] ビューに表示された Pblock の接続解析

このビューの詳細は、185 ページの「階層接続の解析」および324 ページの「[Show Connectivity] コマンドの使用」を参照してください。

[New Pblock] コマンドの使用

[New Pblock] コマンドを実行すると、[Physical Hierarchy] ビューには新しい Pblock が作成されますが、[Device] ビューに長方形は作成されません。

コマンドを実行する前に、新しい Pblock に割り当てるロジックを選択しておく必要があります。ロジックを選択しない場合は、空の Pblock が作成されます。

Pblock を作成するには、[New Pblock] をクリックします。ロジックは選択していてもいなくても構いません。

[Create Pblocks] コマンドを使用した複数の Pblock の作成

Create Pblocks ウィザードを使用すると、複数の Pblock を半自動的に作成できます。ウィザードでは、選択されたネットリスト インスタンスごとに未配置の Pblock が作成されます。

ウィザードを使用する前に、各 Pblock に含めるインスタンスのセットを選択しておきます。

指定したネットリストのインスタンスに複数の Pblock を作成するには、次の手順に従います。

1. Pblock に含めるインスタンスを選択します。
2. [Tools] → [Create Pblocks] をクリックします。

Create Pblocks ウィザードが開き、288 ページの図 10-3 のように選択されたインスタンスのリストが表示されます。

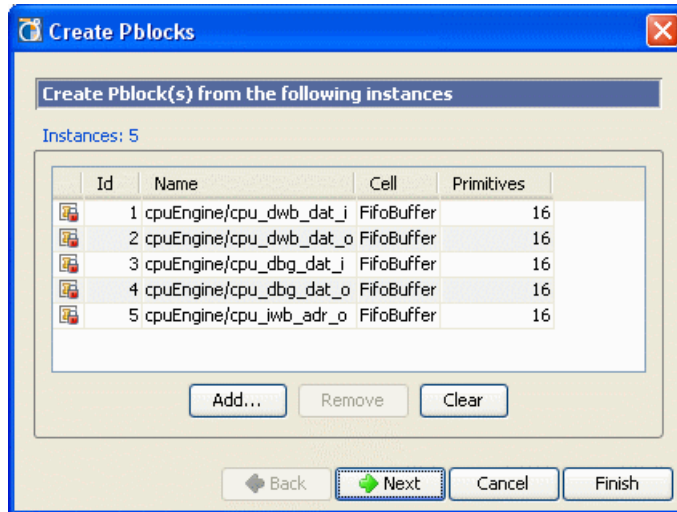


図 10-3： Create Pblocks ウィザード：インスタンスから Pblock を作成

- このリストにネットリストのインスタンスを追加するには、[Add] ボタンをクリックしてブラウザを開き、インスタンスを選択します。
 - リストからインスタンスを選択して削除するには、削除するインスタンスを選択し、[Remove] をクリックします。
 - リストからネットリスト インスタンスを削除するには、[Clear] をクリックします。
3. [Next] をクリックします。
Create Pblocks ウィザードでは、Pblock の名前の命名方法を指定できます。
 4. [Specify a naming sheme for the new Pblocks] ページで、名前の指定に関するフィールドを編集します。
 - [Prefix]：Pblock 名の接頭辞を指定します。新しい接頭辞を指定しても、デフォルトのインスタンス名や番号を使用してもかまいません。
 - [Suffix]：[Instance name] を指定すると、インスタンス名が接頭辞に続きます。[Numeric] を指定すると、1 から開始する番号が接頭辞に続きます。
 5. [Next] をクリックします。
 6. [Summary] ページの内容を確認します。
 7. [Finish] をクリックすると、設定内容を使用して Pblock が作成されます。

Pblock は、図 10-4 のように [Physical Constraints] ビューに表示されます。

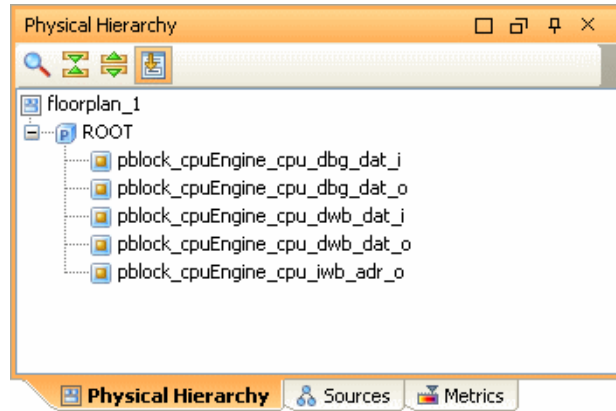


図 10-4 : [Physical Constraints] ビューの Pblock

新規作成された Pblock に長方形を作成するには、次の手順に従います。

1. [Physical Constraints] ビューで、新規の Pblock を 1 つずつ選択します。
2. [Device] ビューのツールバーで [Set Pblock Size] をクリックします。
3. [Device] ビューで長方形を描きます。

ネスト化された Pblock の作成

Pblock 内に Pblock (ネスト化された Pblock) を作成することができます。こうすると、制約ロジックにより厳密な制御ができるようになります。これはクリティカルなモジュールのパフォーマンスの向上に役立ちます。使用率の概算では、最上位 Pblock に下位 Pblock がすべて含まれます。

メモ : ISE インプリメンテーション ソフトウェアでは、この機能は完全にはサポートされていません。ネスト化した Pblock を作成するとマップおよび配線エラーが発生することがあります。

複数の長方形を含む Pblock の作成

複数の長方形を含む Pblock を作成することで、長方形以外の形の Pblock を作成したり、1 つの大きな Pblock を作成せずに遠くにあるデバイス リソースをカバーしたりできます。

既存の Pblock を選択し、[Device] ビューのツールバー メニューから [Add Pblock Rectangle] をクリックして既存 Pblock に長方形を追加します。

点線で結ばれている複数の長方形は、1 つの Pblock に含まれているものであることを示します。割り当てられたインスタンスの長方形および接続を表す線は、図 10-5 のように一番大きな長方形に表示されます。

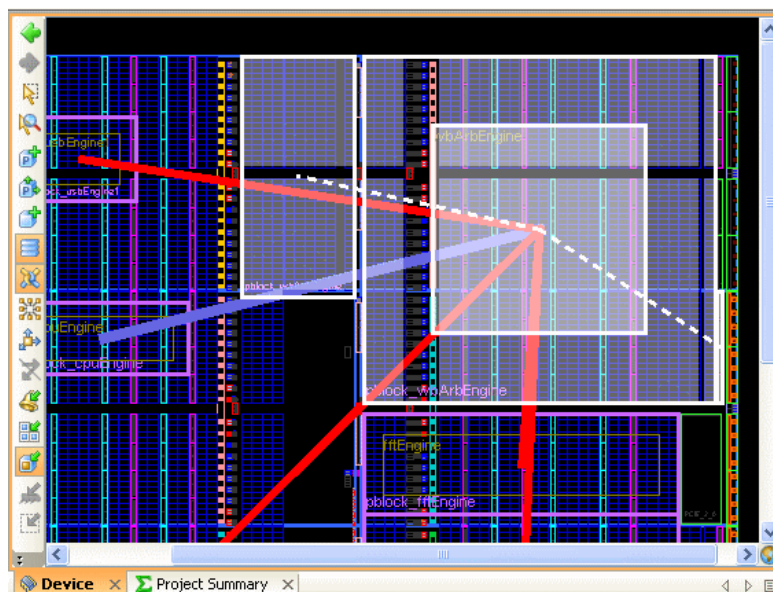


図 10-5： 複数の長方形を含む Pblock の作成

クロック領域 Pblock の作成

Pblock は 1 つのクロック領域内、または複数の領域内にあるすべてのリソースを含めるよう定義することができます。

[Device] ビューで Pblock をクロック領域として定義するには

1. クロック領域の境界を含める長方形で Pblock を描画します。

PlanAhead でクロック領域の境界線が表示されます。

クロック領域の境界線の色や表示方法を変更する場合は、第 4 章の「PlanAhead の表示オプションのカスタマイズ」を参照してください。

図 10-6 は、クロック領域 Pblock を示しています。

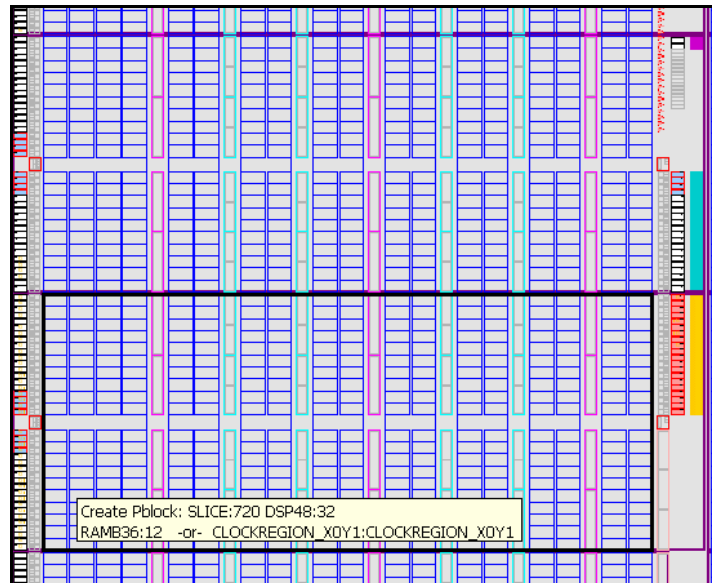


図 10-6： クロック領域 Pblock の作成

ツール ヒントが Pblock 範囲がクロック領域であることを示す表示に変わります。

2. 図 10-7 の[Set Pblock] ダイアログ ボックスで [OK] をクリックし、Pblock の範囲をクロック領域 (CLOCKREGION_X) として定義します。

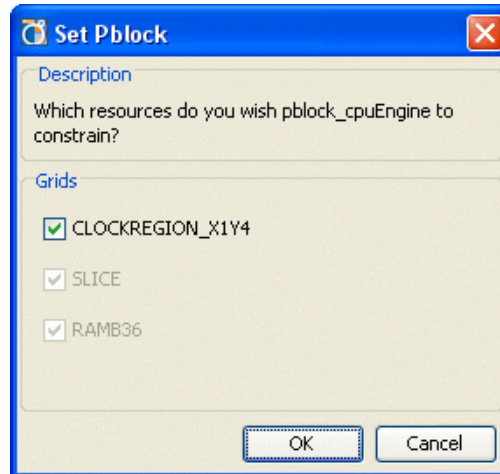


図 10-7： [Set Pblock] ダイアログ ボックスで Pblock をクロック領域として定義

メモ：[Set Pblock] ダイアログ ボックスで [CLOCKREGION] オプションを有効にするには、Pblock の長方形にクロック領域の境界を含める必要があります。[CLOCKREGION] チェックボックスをオフにすると、従来のロジックで指定される範囲を使用して Pblock を定義できます。

メモ：[Set Pblock] ダイアログ ボックスまたは [Pblock Properties] ビューの [General] タブにある [CLOCKREGION] チェックボックスのオン/オフを切り替えて、この 2 タイプの Pblock を切り替えることができます。

Pblock クロック領域の座標は [Pblock Properties] の [General] タブに表示されます。

Pblock の図

デフォルトの表示オプションでは、Pblocks および割り当てられたインスタンスが図で表示されます。

- 外側の長方形は Pblock の枠です。
- Pblock の内側の長方形は、Pblock に割り当てられたネットリスト インスタンスです。

複数のインスタンスを 1 つの Pblock に配置できます。Pblock の内側に表示されるインスタンスの長方形のサイズは、含まれるロジック数と、同じ Pblock 内のほかのインスタンスの対比で決まります。

Pblock に割り当てられているインスタンス数が多いと、長方形ではなく、図 10-8 のように直線のように見えることがあります。

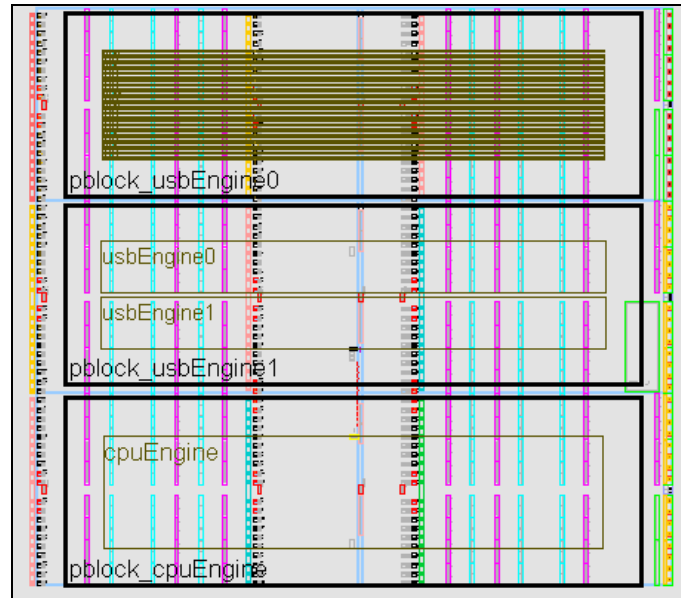


図 10-8: Pblocks と割り当てられたインスタンスの図

デフォルトの選択規則を使用する場合、Pblock の長方形を選択すると、含まれるネットリスト インスタンスもすべて選択されます。インスタンスは、ほかの Pblock にドラッグして割り当てることができます。

選択規則は、[Tools] → [Options] をクリックし、ダイアログ ボックスの左側のメニューから [Selection Rules] をクリックすると表示および変更できます。

メモ: Pblock の操作をする場合は、Pblock に割り当てられたインスタンスを示す小さな長方形ではなく、正しい Pblock の長方形が選択されていることを確認してください。Pblock の操作時にインスタンスの選択機能をオフにすると、[Device] ビューで割り当てられたインスタンスではなく Pblock が選択されます。

294 ページの図 10-9 のように、I/O ネットは Pblock の真ん中ではなく、Pblock 内のインスタンスの中央に接続されます。

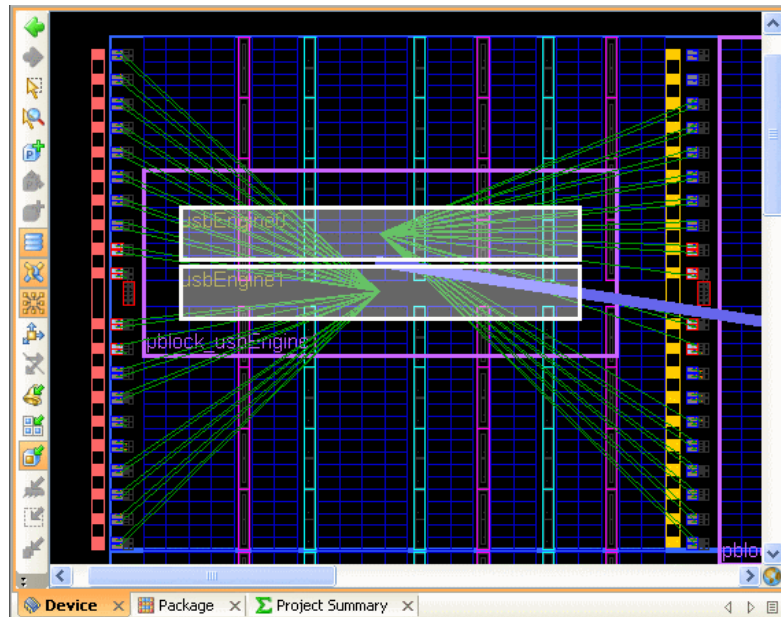


図 10-9： インスタンス長方形の中央に表示された I/O 接続

子 Pblock の色は区別できるように異なった色で表示されます。Pblock や子 Pblock などのオブジェクトの色は、次を使用して設定できます。

- [Tools] → [Options]
- [PlanAhead Options] ダイアログ ボックスの [Themes] ページ
- [Themes] ページの [Device] タブ

Pblock プロパティの表示

[Pblock Properties] ビューにはさまざまなタイプの情報が表示されます。Pblock プロパティを表示または編集するには、Pblock を選択し、[Pblock Properties] ビューを表示します。表 10-1 は、[Pblock Properties] ビューのタブとオプションをリストしています。

表 10-1 : [Pblock Properties] ビューのタブとオプション

タブ	オプション
General	<ul style="list-style-type: none"> • [Name] : Pblock 名が表示されます。 • [Parent] : 親 Pblock が表示されます。Pblock によってはこのフィールドは編集できないことがあります。親 Pblock が複数ある場合はこのフィールドで指定します。 • [Grid Range] : Pblock に AREA_GROUP の RANGE プロパティを指定できます。特定の範囲を選択すると、選択されたロジック タイプのみが Pblock エリアに含まれます。Pblock が作成されると、範囲座標が各ロジック タイプに対し表示されます。 • [CLOCKREGION] : Pblock の範囲をクロック領域全体に定義する場合にオンにします。Pblock の長方形がクロック領域境界に一致するよう描画されます。 • [Apply]/[Cancel] : 変更内容を適用するか破棄するか決定します。
Statistics	<ul style="list-style-type: none"> • [Physical Resources Estimates] : デバイスのリソース タイプごとの表が表示されます。 <ul style="list-style-type: none"> • [Site Type] : Pblock の長方形内で定義されているサイト タイプが表示されます。 • [Available] : Pblock に含まれるサイト数が表示されます。 • [Required] : Pblock に割り当てられたロジックに必要なサイト数が表示されます。 • [% Utilization] : Pblock に含まれるサイトの予測使用率 (%) が表示されます。 • [Carry Statistics] : Pblock に割り当てられた垂直キャリー チェーン ロジック オブジェクトの数が表示されます。Pblock に割り当てられた中で高さが最大のキャリー チェーンの Pblock の高さに対する比率も表示されます。この値が 100% を超えると、PlanAhead の DRC エラーおよび ISE マップ エラーが発生することがあります。 • [Clock Report] : Pblock に含まれるすべてのクロック信号 (ローカル、グローバル、リソース) および各クロックでクロック信号が供給されたインスタンスの数が表示されます。 • [RPM Statistics] : Pblock に割り当てられた RPM (相対配置マクロ) オブジェクトの数が表示されます。Pblock に割り当てられた中で最大の RPM の Pblock に対する高さとの比率も表示されます。 メモ : この値が 100% を超えると、PlanAhead の DRC エラーおよび ISE マップ エラーが発生します。PlanAhead では、複数の RPM が Pblock の長方形に収まるかどうかは示されません。 • [Clock Region Statistics] : Pblock が重なり合った各クロック領域の使用率が表示されます。 • [Primitive Statistics] : Pblock に割り当てられた論理リソースのタイプごとの数が表示されます。 メモ : [Export Statistics] ボタンをクリックすると、情報をテキスト形式のファイルに保存できます。
Instances	Pblock に含まれるインスタンスの情報が表示されます。インスタンスのフィールドは選択可能で、多くのポップアップ メニュー コマンドが使用できます。
Rectangles	Pblock の長方形の情報が表示されます。[Rectangle] タブを使用して、Pblock の長方形を選択できます。詳細は、301 ページの「長方形以外の形の Pblock の使用」を参照してください。
Attributes	Pblock の属性を定義できます。302 ページの「Pblock の属性の設定」を参照してください。

メモ : 変更を適用するには、[Apply] をクリックします。変更を取り消すには、[Cancel] をクリックします。[Apply] をクリックせずに、ほかのアイテムを選択するか、[Pblock Properties] ビューを閉じると、変更は適用されません。

Pblock の設定

次のセクションでは、Pblock の設定について説明します。

Pblock ロジック タイプ範囲の設定

[Pblock Properties] ビューの [General] タブで [Grid Range] オプションを指定すると、Pblock の AREA_GROUP の範囲を設定できます。範囲は図 10-10 のように Pblock の長方形内にあるロジック タイプ別に設定します。

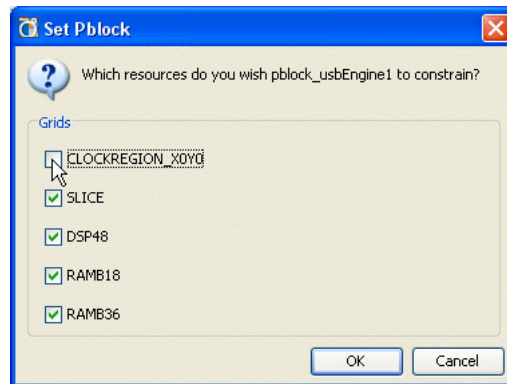


図 10-10： ロジック タイプ別の AREA_GROUP の範囲設定

Pblock をブロック RAM や DSP などの新しいデバイス ロジック タイプを含む場所に移動したり、そのサイズを変更したりすると、Pblock の定義に新しい RANGE タイプを入力するダイアログボックスが表示されます。このダイアログボックスの内容は、Pblock の位置によって異なります。グリッド範囲のオプションをオフにすると、[Device] ビューでの表示が変化します。

図 10-11 に示すように、影の部分には、選択された Pblock に設定された範囲のロジック タイプのみを示します。

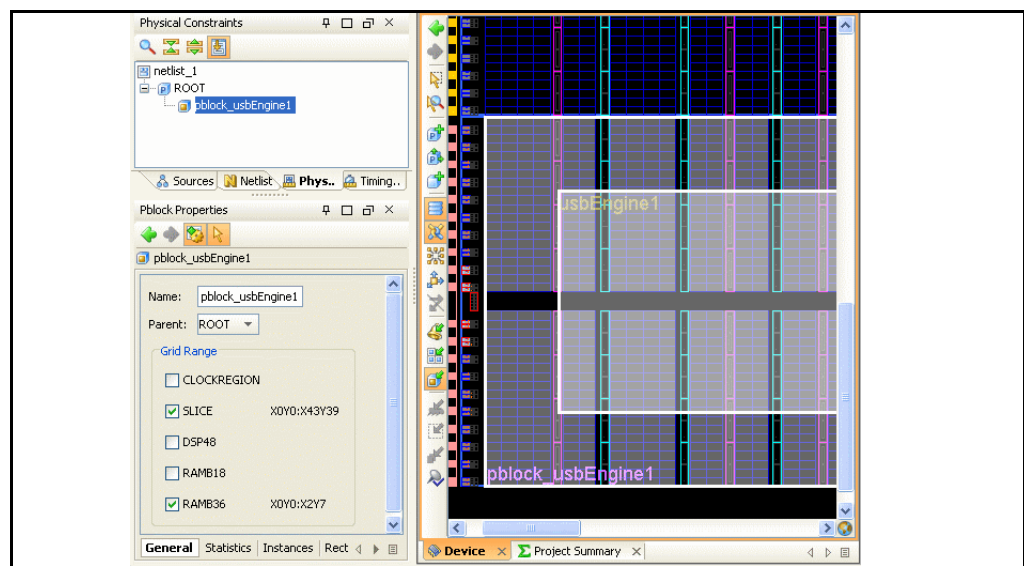


図 10-11： Pblock に含まれるロジックの表示

Pblock へのロジックの割り当て

Pblock を作成すると、ネットリスト インスタンスを割り当てることができます。割り当てするには、そのロジックをドラッグ アンド ドロップするか、[Assign] ポップアップ コマンドを使用します。

ドラッグ アンド ドロップの手順は次のとおりです。

1. [Netlist]、[Schematic]、[Hierarchy]、または [Find Results] ビューでロジック インスタンスをクリックし、ドラッグします。
2. Pblock の長方形にインスタンスをドロップします。

[Assign] コマンドを使用する手順は、次のとおりです。

1. [Netlist] ビューでロジック インスタンスを選択します。
2. [Assign] をクリックします。

図 10-12 のように、[Select Pblock] ダイアログ ボックスが表示され、割り当て可能な Pblock が表示されます。

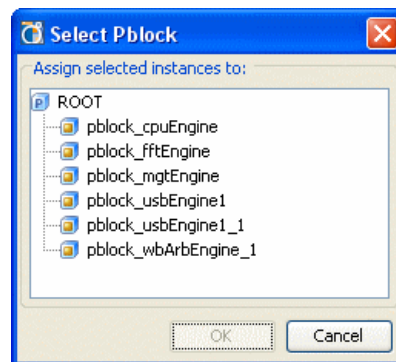


図 10-12 : [Select Pblock] ダイアログ ボックス

Pblock のロジック割り当て解除

インスタンスを Pblock から削除するには、次の手順に従ってください。

1. インスタンスを選択します。
2. [Unassign] ポップアップ メニュー コマンドをクリックします。

確認のダイアログ ボックスが表示されます。

Pblock の移動とサイズ変更

ここでは、次のセクションに分けて Pblock の移動、サイズ変更、設定方法について説明します。

Pblock の移動

Pblock を移動するには、[Device] ビューで Pblock を選択してドラッグし、移動先でドロップします。Pblock が選択されると、カーソルが手のアイコンに変わります。Pblock 内のインスタンスではなく、外側の Pblock の長方形を必ず選択します。

ブロック RAM や DSP などの新しいデバイス ロジック タイプを含む場所へ Pblock を移動すると、Pblock の定義に新しい RANGE タイプを入力するダイアログ ボックスが表示されます。

割り当てられたロジックに **Pblock** 内部への配置制約が付いている場合、**Pblock** の動作が異なります。移動先には、配置制約の割り当てに十分なリソースが必要です。**Pblock** をドラッグすると、カーソルの形でそのサイトへ移動可能であるかどうかを示されます。**Pblock** を不適切な位置に移動しようとする、そのロケーション制約を削除するかそのままにするかを選択するダイアログボックスが表示されます。

ダイアログボックスでは、ロケーション制約が固定 (配置) されたものと固定 (配置) されていないもので別々に表示されるので、それぞれ別々の処理を指定できます。

- 固定されたロケーション制約は、ユーザーの指定したオブジェクトに割り当てられたものです。
- 固定されていないロケーション制約は、**PlanAhead** ソフトウェアにより配置されたオブジェクトに割り当てられたものです。

ユーザーは、オブジェクトを配置する場合は特定の位置に配置する必要があり、ソフトウェアでオブジェクトが配置される場合は一部の配置をあとで変更する必要があることがあります。

図 10-13 は、[Choose LOC mode] ダイアログボックスを示しています。

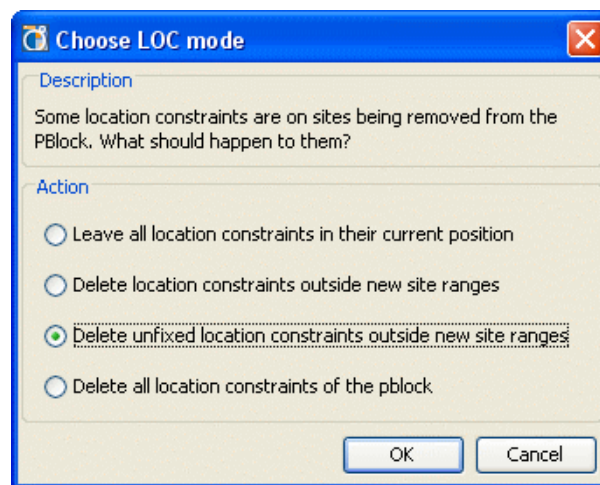


図 10-13： LOC を使用した Pblock の変更方法の設定

実行中の移動の動作をキャンセルするには、キーボードの **Esc** キーを押します。

メモ：**Pblock** の移動がうまくいかない場合は、[Set Pblock Size] ツールバー ボタンをクリックし、長方形を別の場所に描画し直します。または、**Pblock** を移動する前に、配置制約を削除してみてください。

Pblock のサイズ変更


Pblock の大きさを変更するには、**Pblock** を選択し、カーソルを長方形の角または枠に置きます。

- カーソルの形がドラッグ シンボルに変化したら、マウス ボタンを押したままドラッグしてサイズを変更します。
- 実行中の移動の動作をキャンセルするには **Esc** キーを押します。

[Set Pblock Size] コマンドの使用

[Set Pblock Size] コマンドを使用すると、新しい長方形を使用して既存の **Pblock** のサイズを変更できます。

既存の **Pblock** に新規の長方形を作成するには、次の手順に従います。

1. [Physical Constraints] または [Device] ビューで Pblock を選択します。
2. [Set Pblock Size]  をクリックします。
カーソルが変化し [Device] ビューで新規の長方形を描画できるようになります。
3. 新規の長方形の描画にはカーソルを使用します。

このコマンドは、[New Pblock] コマンドなどで作成された、長方形がまだ定義されていない既存の Pblock にも使用できます。詳細は、287 ページの「[Create Pblocks] コマンドを使用した複数の Pblock の作成」を参照してください。


Pblock を使用する場合は、次に注意してください。

- Pblock に複数の長方形がある場合、このコマンドでは 1 つの長方形を含む Pblock が再生成されます。Pblock が多数の長方形で構成されていて見づらい場合などにこのコマンドを使用すると便利です。
- ブロック RAM や DSP などの新しいデバイス ロジック タイプを含む場所へ Pblock のサイズを変更すると、Pblock の定義に新しい RANGE タイプを入力するダイアログ ボックスが表示されます。
- 割り当てられたロジックに Pblock 内部への配置制約が付いている場合、Pblock の動作が異なります。移動先には、配置制約の割り当てに十分なリソースが必要です。Pblock を不適切なサイズに変更しようとする、そのロケーション制約を削除するかそのままにするかを選択するダイアログ ボックスが表示されます。
- Pblock はその中にロケーション配置制約が指定されている場合も、異なった動作になります、ロケーション制約が Pblock に割り当てられると、ロケーション制約を削除するかそのままにするかを選択するダイアログ ボックスが表示されます。
- ダイアログ ボックスでは、ロケーション制約が固定 (配置) されたものと固定 (配置) されていないもので別々に表示されるので、それぞれ別々の処理を指定できます。
- 実行中の再生成の動作をキャンセルするには Esc キーを押します。

リソース使用率の統計を使用した Pblock サイズの決定

[Pblock Properties] ビューの使用率の統計を使用して、Pblock の大きさを決定し、配置できます。Pblock に割り当てられたロジックに必要なリソースが概算され、使用可能なデバイス リソースと比較されて、使用率の概算が計算されます。

Pblock の使用率の予測値は、次の手順で表示できます。

1. Pblock を選択し、[Pblock Properties] を表示します。
2.  10-14 に示す [Statistics] タブをクリックします。

Site Type	Available	Required	% Util
LUT	7040	6120	87
FD_LD	14080	4701	34
SLICEL	1080	939	87
SLICEM	680	592	88
RAMBFIFO36E1	24	36	150

図 10-14 : [Pblock Properties] ビュー : [Statistics] タブ

3. [Statistics] タブで、次の列の使用率予測値を確認します。

- [Available] : Pblock に含まれるサイト数が表示されます。
- [Required] : 割り当てられたロジックに必要なサイト数が表示されます。
- [% Utilization] : ロジック タイプごとの予測使用率 (%) が表示されます。Pblock のサイズを変更すると、使用率を適正な値に修正できます。ロジック オブジェクトの使用率が 100% を超える場合は、[300 ページの図 10-14](#) のように赤字のテキストで表示されます。

4. Pblock に必要な RAM サイト数を見るには、スクロール ダウンします。

ダイアログ ボックスは Pblock が変更されるたびにダイナミックにアップデートされます。

Pblock に特定のロジック デバイス エレメントのサイトが含まれない場合は、次の値が表示されます。

- [Available] : 0
- [Required] : 必要な数
- [Utilization] : Pblock のロジックで使用されるリソースの割合 (%) です。
 - 値が [Disabled] の場合は、[General] タブで [Site Type] がディスエーブルになっており、使用できないことを示しています。このタイプのサイトが Pblock で必要とされる場合、エラーになります。
 - 値が [No Sites] の場合は、デバイスの Pblock 範囲にそのタイプのサイトが含まれないことを示しています。

メモ : Pblock のスライス使用率は、サイトの使用率が最大であるという前提で計算されていますが、実際は、配置配線ツールでサイトの使用率が最大になることはまれです。設計時には、ターゲットの使用率は約 80% 以上で最適化してください。この数値は、使用されるデバイスおよびデザインとその制約によって異なります。

メモ : Pblock 使用率は、キャリア チェーン、RPM マクロ、および Pblock 長方形の配置の影響を受けます。これらの数値は単なる予測で、ISE インプリメンテーションを正しく実行するための指針として使用するためのものです。Pblock のサイズの決定時に、Pblock の統計をすべて考慮してください。正しく配置できるように、デザイン ツールで Pblock を拡大する必要がある場合もあります。

接続に基づいた Pblock の配置

PlanAhead の接続フィードバックはダイナミックで、Pblock の配置に役立ちます。[290 ページの図 10-5](#) は、接続が表示された例を示しています。

Pblock 間の結合された接続は、バンドルされたネットとして表示されます。各バンドルは、Pblock 間の接続数に基づいてサイズと色が決まるので、接続数が多い Pblock がわかりやすくなっています。

バンドル ネットが大きな Pblock 同士を近くに配置するのが合理的なアプローチです。通常 Pblock は、ネット長ができるだけ短くなるように配置し、配線競合や配線密集が起こらないようにします。

バンドル ネット プロパティの表示

接続情報は、バンドル ネットまたは個別のネットのプロパティを表示して確認できます。接続情報は、次の手順で表示できます。

1. ネットまたはバンドル ネットを選択します。
2. [Net Properties] ビューまたは [Bundle Net Properties] ビューを表示します。

301 ページの図 10-15 のように、[Bundle Net Properties] ダイアログ ボックスの [Nets] タブにはバンドルに含まれるネットが表示されます。

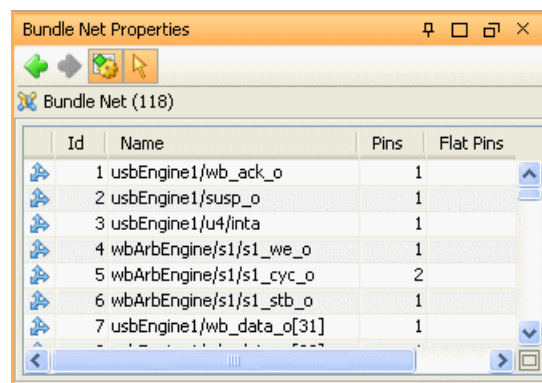


図 10-15 : [Bundle Net Properties] ビュー : [Nets] タブ


バンドル ネットのデフォルトの変更

色、線の幅、および信号カウント範囲は、[Tools] → [Options] → [Themes] → [Bundle Nets] で、ビューごとに指定できます。

長方形以外の形の Pblock の使用

PlanAhead では、1 つの Pblock に複数の長方形 Pblock を含めて、長方形以外の形の Pblock を作成、変更、削除できます。Pblock の形が長方形以外の場合、ダウンストリーム ツールでより困難になる可能性が増えるため、この方法は必要な場合にのみ使用してください。

複数の長方形を含む Pblock の作成

既存の Pblock に長方形を追加するには、Pblock を選択して [Add Pblock Rectangle]  をクリックします。

Pblock の複数の長方形は、290 ページの図 10-5 のように点線で結ばれて表示されます。

複数の長方形がある Pblock の変更

複数の長方形がある Pblock を選択すると、長方形がすべて選択されます。長方形は個別にも、すべて同時に移動できます。

複数の長方形を含む Pblock で 1 つの長方形のサイズを変更する場合は、その長方形を選択して [Set Pblock Size] コマンドを使用するか、手動で変更します。

長方形を個別に選択するには、次のいずれかの手順に従います。

- Pblock の長方形を 1 つを右クリックして [Select] ポップアップ メニューをクリック
- [Pblock Properties] ビューの [Rectangles] タブから個別に選択

PowerPC® (405 と 440) プロセッサ、MGT サイトまたはコンフィギュレーション ブロックにまたがる Pblock には、自動的に複数の長方形が作成されることがあります。これは、インプリメンテーションに適切な長方形の範囲を定義するためです。302 ページの図 10-16 は、Pblock が個別に選択された例です。

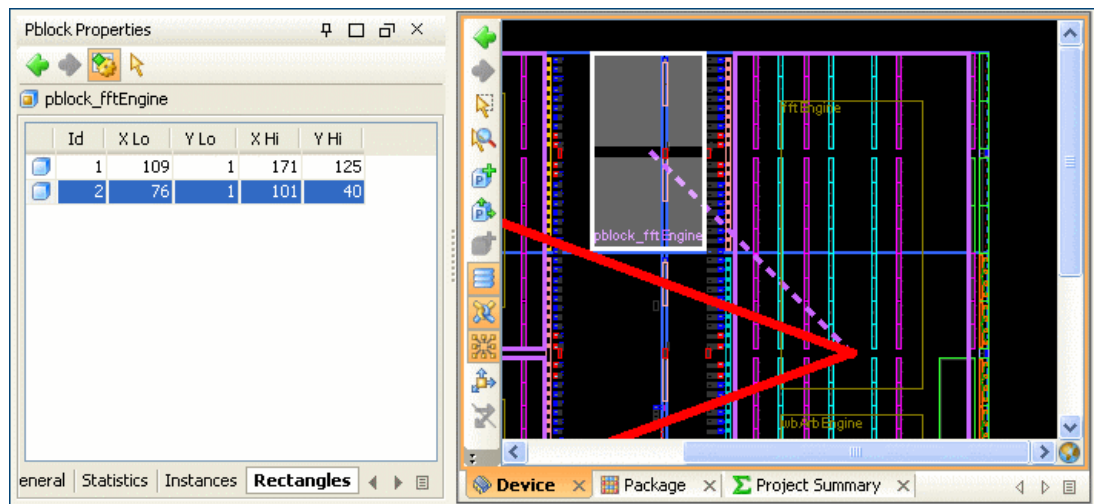


図 10-16： Pblock の長方形を個別に選択

メモ：AREA_GROUP 制約あたりの範囲の数が多いと、最適に処理できません。L 型や T 型のような単純な形を使用することをお勧めします。

Pblock 長方形の削除

Pblock を右クリックし、[Clear Rectangle] をクリックすると Pblock 長方形を削除できます。削除には次のいずれかの方法を使用します。

- 長方形は個別に削除できます。
- 複数の長方形および Pblock を同時に削除できます。

Pblock の長方形を削除しても、Pblock は [Physical Constraints] ビューからは削除されません。

Pblock の属性の設定

属性プロパティは、[Pblock Properties] ビューの [Attributes] タブで Pblock に割り当てられます。属性を割り当てると、ISE のさまざまなオプションが設定されます。

メモ：属性の設定はインプリメンテーション結果に影響を及ぼし、エラーの原因となることもあります。

図 10-17 は、[Attributes] タブを示しています。

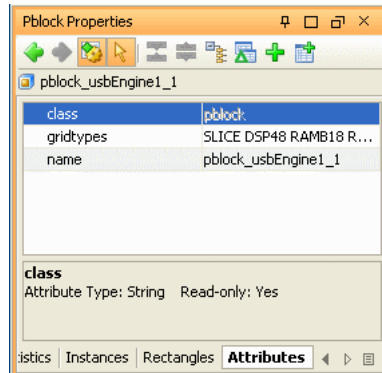


図 10-17: [Pblock Properties] ビュー: [Attributes] タブ

Pblock の属性を次の方法で指定します。


1. [Pblock Properties] ビューの [Attributes] タブで右クリックして [Add pre-defined attributes] をクリックするか、[Add pre-defined attributes] ツールバー ボタン  をクリックします。

図 10-18 のように、[Add Pre-defined Attributes] ダイアログ ボックスが表示されます。



図 10-18: [Add Pre-defined Attribute] ダイアログ ボックス

2. 属性を選択して [OK] をクリックします。
指定したタイプの属性が、[Attributes] タブに追加されます。
3. 属性値を指定し、[Apply] をクリックすると変更が適用されます。

Pblock の名前の変更

Pblock の名前は、[Pblock Properties] ビューの [General] タブから変更できます。新しい名前を [Name] フィールドで指定し、[Apply] をクリックします。[Pblock Properties] ビューの [Attributes] タブの [Name] から名前を変更できます。

Pblock の削除

次の手順で Pblock を選択して削除できます。

1. [Physical Constraints] ビューで 1 つまたは複数の Pblock を選択します。
2. Delete キーを押します。
3. [Confirm Delete] ダイアログ ボックスで、[Remove Pblock children] オプションをオンにすると、ネスト化された Pblock およびそのパーティションも削除されます。オフにしておくと、選択した Pblock のみが削除され、ネスト化されたその他の Pblock は、1 階層上に移動します。
4. [OK] をクリックすると、[Physical Constraints] ビューから Pblock パーティションが削除されます。

Pblock の自動作成

自動的に Pblock を作成するには、[Tools] → [Floorplanning] → [Auto-create Pblocks] をクリックします。このコマンドは、最上位の Pblock を作成してデザインのデータ フローを表示し、デザインのロジック モジュール間の相対サイズおよび関係を理解するために使用されます。図 10-19 は、[Auto-create Pblocks] ダイアログ ボックスを示しています。

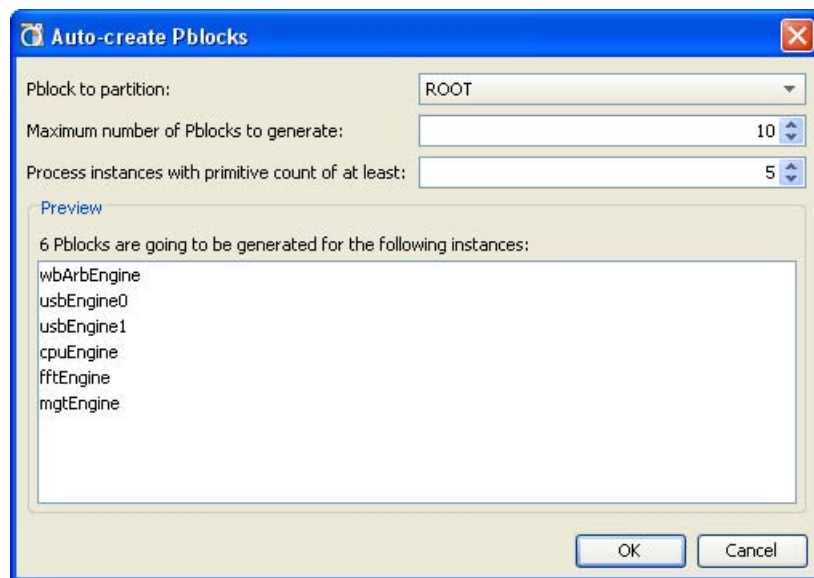


図 10-19： [Auto-create Pblocks] ダイアログ ボックス

次のオプションを設定します。

- [Pblock to partition]：パーティションする既存の Pblock の名前を入力するか、デザインの最上位レベルをパーティションする場合は ROOT を指定します。
- [Maximum number of Pblocks to generate]：デザイン階層または選択した Pblock に基づいて生成する Pblock 数を指定します。このオプションの値により、作成される Pblock の数を増やしたり、減らしたりできます。
- [Process instances with primitive count of at least]：デザイン階層内のインスタンスの検証を、指定した数以上のプリミティブを含むモジュールに制限します。このオプションを使用すると、Pblock を作成するインスタンスの数を削減できます。
- [Preview]：定義済みパラメータに基づいて作成される Pblock の名前と数を表示します。

[OK] をクリックすると、指定した Pblock が作成されます。PlanAhead で Pblock が作成され、[Physical Constraints] ビューの定義済み Pblock のリストに追加されます。Pblock をクリックすると、[Physical Constraints] ビューでその内容および属性が確認できます。

このコマンドにより、Pblock が [Device] ビューに追加されることはありませんが、Pblock 制約が作成され、Pblock にそのロジック エLEMENT が追加されます。

Pblock 自動配置プログラムの実行

[Netlist Design] または [Implemented Design] で Pblock を作成する場合、[Tools] → [Floorplanning] → [Place Pblocks] をクリックして [Device] ビューの FPGA ファブリック上に Pblock を配置できます。

この Pblock 配置コマンドは、SLICE の内容にのみ基づいて自動的に Pblock のサイズを変更して配置します。

[Place Pblocks] コマンドを使用して Pblock のサイズが変更され配置されている間は、ほかのロジック エLEMENT は無視されます。このコマンドを使用すると、指定した Pblock が素早く配置されるので、ユーザーはデザイン モジュールを介してデータ フローを確認できます。

メモ： [Place Pblocks] コマンドで配置した Pblock は、インプリメンテーションには使用できない場合があります。非スライス ベースのロジック エLEMENT を考慮して、手動で Pblock のサイズを変更する必要があることもあります。

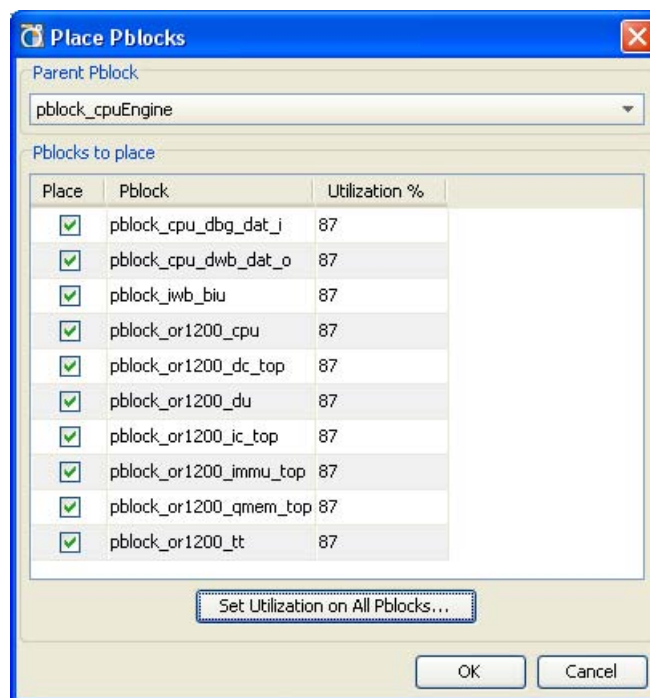


図 10-20： [Place Pblocks] ダイアログ ボックス

Pblock 配置コマンドは、次の手順で実行します。

1. [Tools] → [Floorplanning] → [Place Pblocks] をクリックします。
[Place Pblocks] ダイアログ ボックスが開きます。
2. オプションを次のように変更します。

- **[Parent Pblock]** : Pblock を配置する階層のレベルを指定します。Pblock を配置できる箇所は次のとおりです。
 - 最上位レベル モジュール
 - ROOT
 - パーティションされた Pblock レベルの階層
- **[Pblocks to place]** : 親 Pblock または ROOT の下にある Pblock のリストが表示されます。
 - **[Place]** : Pblock を配置するかどうかを指定します。オフにすると、Pblock が無視され、既存の Pblock 位置が保持されます。
以前にサイズ変更されて配置されたリスト内の Pblock は、**[Place]** チェック ボックスをオフにしない限り、PlanAhead でリセットされ、サイズ変更されて再配置されます。
 - **[Pblock]** : 指定したレベルの階層内の Pblock の名前をリストします。
 - **[Utilization]** : 各 Pblock の SLICE 使用率ターゲットを設定できます。PlanAhead は、指定した **[Utilization]** の % に従って Pblock のサイズを変更して配置します。
- **[Set Utilization on all Pblocks]** : すべての Pblock に、スライス使用率のターゲットを設定します。このオプションは、前に変更した個別の使用率の値よりも優先されます。まずこのオプションを使用してすべての Pblock に適切な値を指定してから、指定した Pblock の使用率を必要に応じて変更してください。

3. **[OK]** をクリックすると、Pblock がデザインに配置されます。

[Place Pblocks] コマンドの実行中は、**[Place Pblocks Progress]** ダイアログ ボックスが表示されます。Pblock はスライス使用率にのみ基づいて大きさが決定され、配置されます。

[Create Pblocks] コマンドおよび **[Place Pblocks]** コマンドを使用して最上位フロアプランを作成する方法は、『[PlanAhead チュートリアル：デザイン解析とフロアプラン](#)』(UG676) を参照してください。

配置 LOC 制約

プリミティブ ロジック エレメントは、**[Create Site Constraint Mode]** または **[Create BEL Constraint Mode]** を使用して割り当てることができます。

PlanAhead では、スライス内の特定デバイス リソースにロジックをロックする BEL レベルの制約や、特定のスライスにロジックをロックする LOC 制約を割り当てることができます。

固定された配置制約および固定されていない配置制約について

PlanAhead では、ユーザーにより割り当てられた配置制約と、ISE インプリメンテーション ツールで割り当てられた配置制約が区別されます。ユーザーが割り当てた制約とは、インポートされた UCF ファイルで定義されているか、PlanAhead で手動で割り当てられた制約です。

- これらの制約は固定 (配置) された制約と見なされ、異なる色で表示されます。
- インプリメンテーション中に PlanAhead または ISE で定義された配置制約は、固定 (配置) されていないと認識されます。

配置制約を選択して **[Fix Instances]** を実行すると、固定することができます。

固定された制約は配置をロックするために、デフォルトで ISE インプリメンテーション ツールにエクスポートされます。

[Tools] → [Export Constraints] および [Tools] → [Export Pblocks] をクリックして表示されるダイアログ ボックスには、固定 (配置) されている制約とされていない制約のどちらもエクスポートできるオプションがあります。

サイト制約および BEL 制約について

サイト制約はインスタンスに割り当てられた LOC 制約になります。ロジック エLEMENTは CLB スライス サイトのみに固定され、特定のゲートには固定されません。次はコード例の一部です。

```
INST 途ceiver/uartInst/G_98_1 • LOC = SLICE_X49Y69;
```


保存され、エクスポートされた UCF ファイルでは、BEL 制約はインスタンスに割り当てられた LOC 制約と BEL 制約になります。次のコード例のように、BEL 制約はロジック エLEMENTを CLB 内の特定のゲートに割り当てます。

```
INST "channel/receiverRE[8]" BEL = FFX;  
INST "channel/receiverRE[8]" LOC = SLICE_X59Y2;
```

サイト ロケーション配置制約 (LOC) の割り当て

LUT、ブロック RAM、またはフリップフロップのような下位プリミティブ インスタンスは、ネットリスト ツリーからドラッグして特定サイトにドロップすると配置できます。

インスタンスをサイトに配置すると、ISE で使用するためにエクスポートされた UCF ファイルに、インスタンスの LOC 制約が追加されます。このロケーションは、この後の ISE の実行中に固定ロケーションとして割り当てられ、ロックされます。下位レベルのプリミティブ インスタンスの定義については、付録 C 「PlanAhead の用語」を参照してください。

プリミティブ インスタンスをデバイス サイトに配置するには、[Create Site Constraint Mode]  をクリックします。

ダイナミック カーソルでは、移動禁止または既に使用されているサイトにはインスタンスを配置できません。配置できる場所に移動すると、ダイナミック カーソルは斜線が入った円から矢印またはひし形に変化します。

図 10-21 は、[Create Site Constraint Mode] を使用し、特定のスライスにロジック エLEMENTを配置したところを示しています。ロジック エLEMENTはスライスの中央に配置され、クリックしてスライスにエLEMENTを割り当てた場合にのみ、特定のデバイス リソースに割り当てられます。

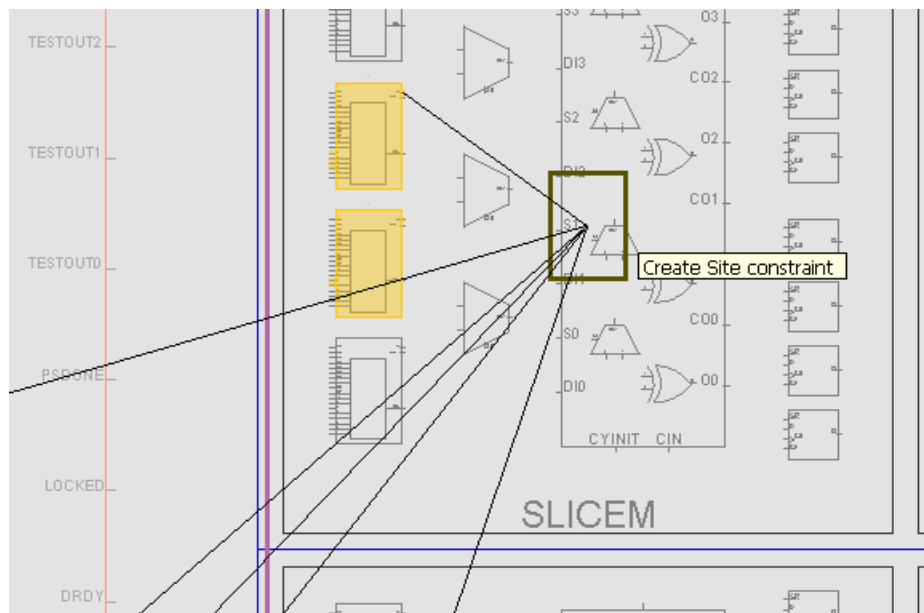



図 10-21： サイト制約の作成

ダイナミック カーソルでは、ロジックがスライスに入りきらない場合にインスタンスを配置できません。キャリー チェーン ロジックなど、ロジックのグループによっては、1 つのオブジェクトとして移動するため、グループのロジックがすべて配置できる場所が必要です。

ロケーション制約の割り当てが完了したら、[Assign Instance Mode] ボタン  をクリックしてデフォルトの、Pblock へのインスタンス割り当てモードに戻ります。

ロケーション制約プロパティを表示するには、配置制約を選択し、[Instance Property] ビューを表示します。

BEL 配置制約 (BEL) の割り当て

下位プリミティブ インスタンスは、[Create BEL Constraint Mode] を使用してネットリスト ツリーからドラッグして特定のデバイス リソース サイトにドロップすると配置できます。BEL 制約では、ロジック エLEMENT がスライスとスライス内の特定デバイス リソースに割り当てられます。ロジック エLEMENT は固定 (配置) 制約として割り当てられ、この後の ISE の配置中はロックされます。

BEL 制約を作成するには、[Create BEL Constraint Mode]  をクリックします。

図 10-22 は、[Create BEL Constraint Mode] を使用してスライス内の特定デバイス リソースにロジック エLEMENT を配置したところを示しています。

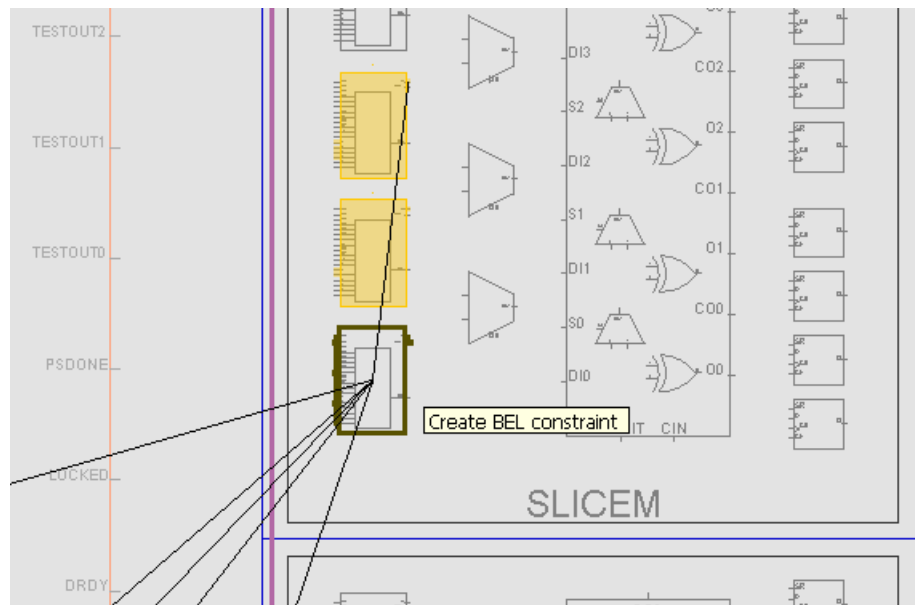


図 10-22 : BEL 制約の作成

ダイナミック カーソルでは、移動禁止または既に変更されているゲート サイトにはインスタンスを配置できません。配置できる場所に移ると、ダイナミック カーソルは斜線のはいつた円から矢印に変化します。

ロケーション制約の割り当てが完了したら、[Assign Instance Mode]  をクリックしてデフォルトの、Pblock へのインスタンス割り当てモードに戻ります。

ロケーション制約プロパティを表示するには、配置制約を選択し、[Instance Property] ビューを表示します。

配置制約の表示/非表示

割り当てられた配置制約の表示方法を変更するにはズーム レベルを調節します。

- ズーム アウト表示では、LOC および BEL は、割り当てられたサイトの内側に塗りつぶされた長方形として表示されます。
- ズーム レベルが上がるに従って、サイト内の特定のロジック ゲートに割り当てられたロジックとして表示されるようになります。

図 10-23 はズームアウトされた [Device] ビューを示しています。

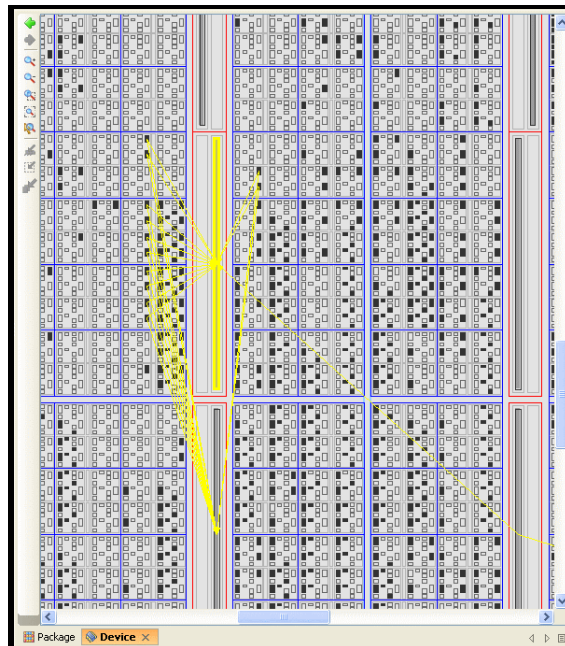


図 10-23： [Device] ビューのズームアウト表示

[Device] ビューのレイヤー制御を使用すると、ロケーション制約を表示または非表示にできます。詳細は、113 ページの「[Device] ビューで表示するレイヤーの設定」を参照してください。

LOC 制約および BEL 制約のその他の表示設定を変更するには、次の手順に従います。

1. [Tools] → [Options] → [Themes] → [Device] タブをクリックします。
[Device] ダイアログ ボックスが表示されます。
2. 表示の値を変更し、[Frame Color] 列および [Fill Color] 列で色を変更します。

固定 (配置) された配置制約と固定されていない配置制約の色および選択は個別に設定できます。

配置制約の移動


配置制約を移動するには、次の手順に従います。

1. [Device] ビュー、[Netlist] ビュー、または [Schematic] ビューでインスタンスをクリックして配置制約を選択します。複数のインスタンスを選択して、別の位置へ同時にドラッグアンドドロップすることもできます。
2. 選択した配置制約を、移動可能なほかのサイトにドラッグアンドドロップします。

プリミティブ インスタンスが新しいサイトに割り当てられます。ロケーション制約から配置済みロジックまたは Pblock に接続するネットの線が表示されます。

MUX、キャリー チェーンなどの組み合わせロジック オブジェクトを移動すると、選択された LOC のグループ全体が移動されます。グループ全体が移動可能なサイトに移動するとカーソルが変化し、すべてのオブジェクトが新しい相対ロケーションに移動されます。

すべてのロジックは、Pblock 長方形の外側のサイトに割り当てることができるため、ブロック RAM および DSP などの配置を柔軟に固定できます。

3. ロケーション制約の割り当てが完了したら、[Assign Instance Mode]  をクリックしてデフォルトの、Pblock へのインスタンス割り当てモードに戻ります。

ロケーション制約プロパティを表示するには、配置制約を選択し、[Instance Property] ビューを表示します。

配置箇所の入れ替え

配置済みコンポーネントを 2 つ選択して、それらのロケーションを入れ替えることができます。ロケーションを入れ替えるには、次の手順に従ってください。

1. 使用可能なビューでコンポーネント インスタンスを 2 つ選択します。複数のポートを選択するには、Ctrl キーを押しながらポートをクリックします。
2. 右クリックで [Swap Locations] をクリックします。

固定前のコンポーネント 2 つを入れ替えると、入れ替え後にそれらが固定 (配置) され、この最終的な制約がデザイン制約ファイルに記述されます。

選択した配置制約の削除

選択したインスタンス ロケーション制約を削除するには、配置されたインスタンスをクリックし、次のいずれかの手順に従います。

- [Tools] → [Floorplanning] → [Clear Placement Constraints] をクリックします。次のセクションの「[選択した配置制約の削除](#)」は、配置制約の削除方法について説明しています。
- [Unplace] をクリックします。

選択した配置制約の削除

配置済みのインスタンスと配置済みの I/O ポートのいずれか、もしくは両方から LOC または BEL 制約を選択して削除できます。制約は、ISE で割り当てられたもの、選択したロジックまたは Pblock、および特定のロジック タイプに基づいてフィルタし、削除できます。

オブジェクトを先に選択しておく、[Clear Placement Constraints] ウィザードで選択したオブジェクトが削除されます。

- Pblock が先に選択されていると、ウィザードにはその Pblock 内の配置制約を削除するデフォルト設定が表示され、
- インスタンスが選択されている場合は、インスタンス削除のデフォルト設定が表示されます。

配置制約を削除するには、次の手順に従います。

1. [Tools] → [Floorplanning] → [Clear Placement Constraints] をクリックします。
Clear Placement Constraints ウィザードが開始します。
2. 削除する配置制約の種類を、[Instance placement]、[I/O Port placement]、[Both] のいずれかから選択し、[Next] をクリックします。

インスタンスおよび I/O ポートの配置削除

次のページは、コマンド実行前に選択したオブジェクトのタイプにより異なります。

- Pblock が選択されている場合は、Pblock の制約が削除されます。
- インスタンスが選択されている場合は、デフォルトでインスタンスの制約が削除されます。

選択されているものに応じて、ほかのオプションも表示されます。

3. [Unplace Instances] ページで、配置を削除するインスタンスのカテゴリを選択し、[Next] をクリックします。

Clear Placement Constraints ウィザードが開き、削除する配置制約の種類をフィルタします。

- [Instance placement]
- [I/O Port placement]
- [Both]

4. [Unplace Instances] ページでは、次を実行します。[Types to Unplace] ページで配置を削除する [Primitive Types] をオンにし、[Next] をクリックします。

ダイアログ ボックスが開きます。

- [Fixed Placement] ページで、固定されたインスタンスの配置を削除するかどうかを指定します。固定されたインスタンスとは、デザインに配置または固定されているインスタンス、または入力 UCF ファイルを使用してインポートされたインスタンスです。
- [Unplace Ports] ページで、配置を削除する I/O ポートのカテゴリを選択し、[Next] をクリックします。

5. サマリ ページの内容を確認し、[Finish] をクリックします。

指定したプリミティブ インスタンスの割り当てがデザインから削除され、ほかのオプションが設定に基づいて指定されます。

6. [Next] をクリックし、サマリ ページの内容を確認し、[Finish] をクリックします。

- 指定された I/O ポートの割り当てまたはインスタンスがデザインから削除されます。
- 前に割り当てられたポートは、新しい UCF が PlanAhead に読み込まれるまで削除されません。
- 新しいポートの割り当てにより、前の割り当てが上書きされます。

メモ：新しいポート割り当て制約のインポート前にすべてのポート割り当てを削除してください。

配置制約の付いた Pblock の移動

ロケーション制約が割り当てられた Pblock は移動できます。PlanAhead では、その新しい位置に対応する配置制約が割り当て直されます。

Pblock は、ロケーション配置制約が内部に割り当てられている場合は、動作が異なります。移動先には、配置制約の割り当てに十分なリソースが必要です。Pblock をドラッグすると、配置可能なサイト上にきたときにカーソルの形が変わります。

リソースが十分でない場合は、その Pblock を削除するかそのままにするかを選択するダイアログボックスが表示されます。

[Choose LOC mode] ダイアログ ボックス (313 ページの図 10-24) には、Fixed (配置済み) および Unfixed (配置なし) のロケーションが別々にリストされるので、ロケーションごとの処理が可能です。

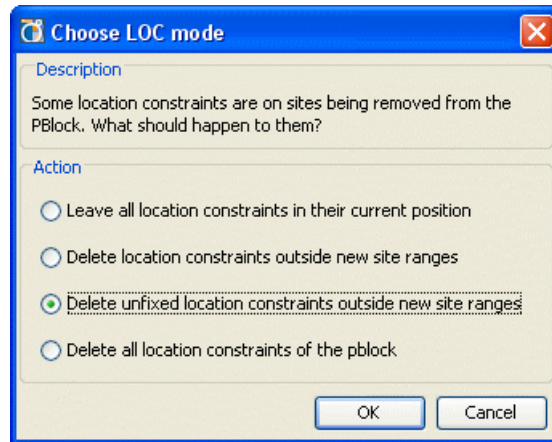


図 10-24 : [Choose LOC mode] ダイアログ ボックス

ISE インプリメンテーション中の配置のロック

PlanAhead で割り当てられた配置制約は固定 (配置済み) と見なされ、制約がエクスポートされると、そのあとの ISE のインプリメンテーションでロックされます。

制約の選択方法はいくつかあります。[Find] → [Select Primitives] をクリックすると、特定のロジック オブジェクトを固定 (配置) できます。

詳細は、次を参照してください。

- 327 ページの「[Find] コマンドを使用したオブジェクトの検索」
- 328 ページの「[Select Primitives] および [Highlight Primitives] コマンドの使用」.

[Fix Instances] ポップアップ メニュー コマンドを使用すると、選択したロジックを固定できます。

配置禁止制約の使用

PROHIBIT 制約はデバイスのどのロジック サイトにも作成できます。この方法は次のとおりです。

1. [Device] ビューでサイトを選択します。
2. [Select Area] を使用し複数のサイトを選択できます。詳細は、第 4 章の「[Select Area] コマンド」を参照してください。
3. [Set Partition] をクリックします。

314 ページの図 10-25のように、使用禁止になったサイトには赤い X マークが表示されます。

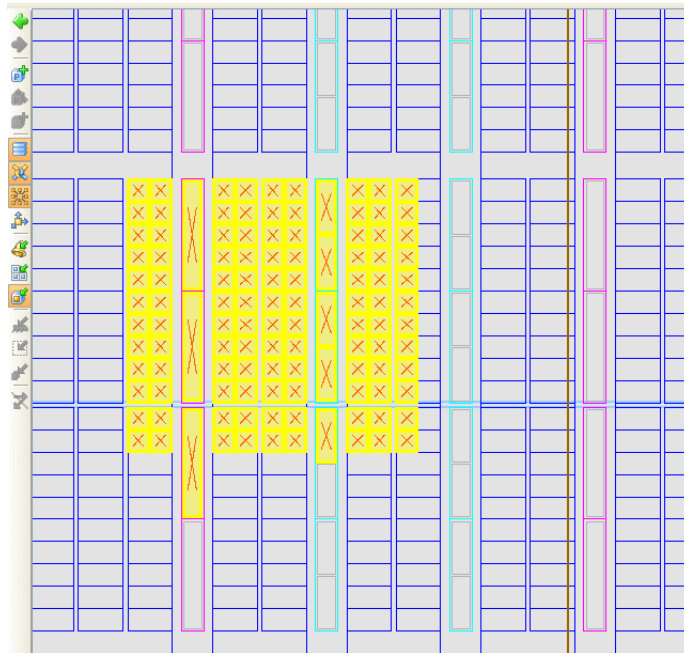


図 10-25： [Device] ビューでの使用禁止サイト

PlanAhead と ISE のインターフェイス

PlanAhead ソフトウェアでは、外部ソフトウェアである ISE のインプリメンテーションに必要なファイルを選択してエクスポートできます。インプリメンテーションに PlanAhead を使用する場合、インプリメンテーションは PlanAhead 内部で実行されるため、ファイルをエクスポートする必要はありません。

PlanAhead では既存のコマンド ラインのインプリメンテーション結果に基づきプロジェクトを作成することができます。詳細は、320 ページの「PlanAhead 外からの ISE 結果のインポート」を参照してください。

制約のエクスポート

制約を ISE にエクスポートする場合、デザイン全体の、または Pblock レベルの UCF 制約ファイルがエクスポートされます。

制約をエクスポートするには、次の手順に従います。

1. [Sources] ビューでエクスポートする制約セットをクリックし、[Make active] をクリックしてアクティブな制約セットに設定します。
2. [File] → [Export] → [Export Constraints] をクリックします。
[Export Constraints] ダイアログ ボックスが表示されます。
3. 次のようなオプションを変更します。
 - [File name]：作成する UCF のファイル名とディレクトリを指定します。
 - [Export fixed location constraints only]：ユーザーが割り当てた「固定」配置 LOC 制約のみをエクスポートする場合はオンに、固定/未固定の区別なく、ISE からインポートしたす

すべての配置制約をエクスポートする場合はオフにし、[OK] をクリックして制約をエクスポートします。

PlanAhead は、エクスポート ディレクトリに最上位レベルの UCF 形式の制約ファイルを作成します。このファイルは、カスタムの ISE インプリメンテーション スクリプトの入力として使用できます。

エクスポート ファイルに関する詳細は、[付録 A「レポートの出力」](#) を参照してください。

ネットリストのエクスポート

PlanAhead ネットリストを ISE にエクスポートすると、デザイン全体の、または Pblock レベルの EDIF 形式のネットリスト ファイルがエクスポートされます。

デザイン ネットリストをエクスポートするには、次の手順に従います。

1. [Floorplan] タブをクリックします。
2. [File] → [Export] → [Export Netlist] をクリックします。
[Export Netlist] ダイアログ ボックスが表示されます。
3. [Export Netlist] ダイアログ ボックスで作成する EDIF 形式のネットリスト ファイルのファイル名とディレクトリを指定し、[OK] をクリックしてネットリストをエクスポートします。

エクスポート ファイルに関する詳細は、[付録 A「レポートの出力」](#) を参照してください。

ISE インプリメンテーション用の Pblock のエクスポート

PlanAhead では、インプリメンテーション用に Pblock レベルのファイルのエクスポートができます。これらの Pblock には、ロジック階層のどのレベルからのロジックも含めることができます。

Pblock をエクスポートすると、選択した Pblock それぞれに対して EDIF ネットリストと UCF 物理制約ファイルが作成されます。

EDIF および UCF ファイルに Pblock をエクスポートするには、次の手順に従います。

1. 1 つまたは複数の Pblock を選択します。
2. [File] → [Export] → [Export Pblocks] をクリックします。
[316 ページの図 10-26](#) のような Export Pblocks ウィザードが開きます。

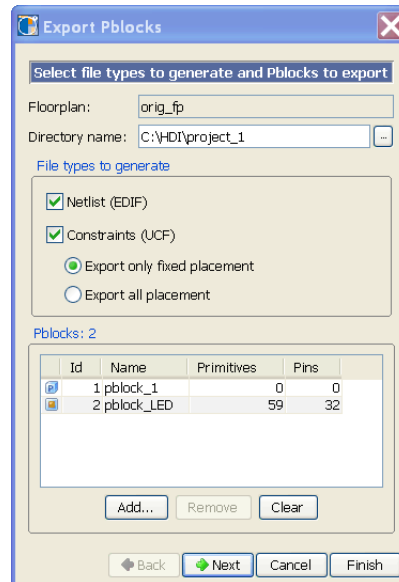


図 10-26： Export Pblocks ウィザード

3. 次のオプションを変更します。

- **[Directory name]** : ディレクトリ名を入力するか、参照ボタンをクリックしてエクスポートするファイルのディレクトリを選択します。エクスポートされる **Pblock** それぞれに対し、*pblockname_CV* というサブディレクトリが作成されます。
典型的な **PlanAhead** のデザインに関連付けられた **EDIF** ファイルおよび **UCF** ファイルは、**ISE** のインプリメンテーションごとにわかりやすい名前のディレクトリを作成すると管理しやすくなります。エクスポート先のディレクトリは、**[Import Placement]** コマンドおよび **[Import TRACE Results]** コマンドにも反映されます。
- **[File types to generate]** :
 - **[Netlist (EDIF)]** : ネットリストをエクスポートします。
 - **[Constraints (UCF)]** : すべて、または固定された配置制約のみをエクスポートします。
- **[Pblocks]** : エクスポート用に選択された **Pblock** がリストされます。

4. エクスポート リストに **Pblock** を追加する場合は **[Add]** を、削除する場合は **[Clear]** をクリックし、**[Next]** または **[Finish]** をクリックします。

[Next] をクリックした場合は、**[Export Pblocks Summary]** ページにエクスポート用に選択した **Pblock** が表示されます。

5. **[Finish]** をクリックするとエクスポートが実行されます。

PlanAhead ソフトウェアは、エクスポートした **Pblock** の **EDIF** および **UCF** ファイルの名前は、それぞれ *pblockname_CV.edn* および *pblockname_CV.ucf* になります。

PlanAhead は **Pblock** それぞれに対して *//pblockname_CV* というディレクトリを作成し、**Pblock** 特有のファイルを含めます。

第 11 章

インプリメンテーション結果の解析

インプリメント済みデザインを開く

PlanAhead™ 内部または外部で作成されたインプリメンテーション結果は、PlanAhead に読み込んで解析およびフロアプランできます。

PlanAhead にインポートできるのはザイリックス® ISE® Design Suite の配置およびタイミング結果のみです。配線リソースは、解析には使用できません。

インプリメンテーション run を起動するのに PlanAhead を使用した場合は、Flow Navigator で [Implemented Design] をクリックすると、インプリメンテーション結果を開くことができます。

このボタンは、プロジェクトに問題なくインプリメントされたデザインが含まれる場合にのみ使用できます (図 11-1)。

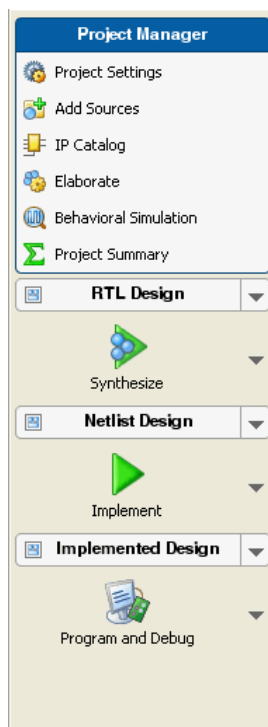


図 11-1 : Project Manager の画面

PlanAhead に元のネットリストが読み込まれたら、[Implemented Design] に ISE 配置と TRACE (Timing Report And Circuit Evaluation) タイミング結果が表示されます。

318 ページの図 11-2 に示すように、Flow Navigator の [Implemented Design] メニューも使用できるようになります。[Implemented Design] ボタン内のアイコンは、インプリメントされたデザインが開いていることを示します。

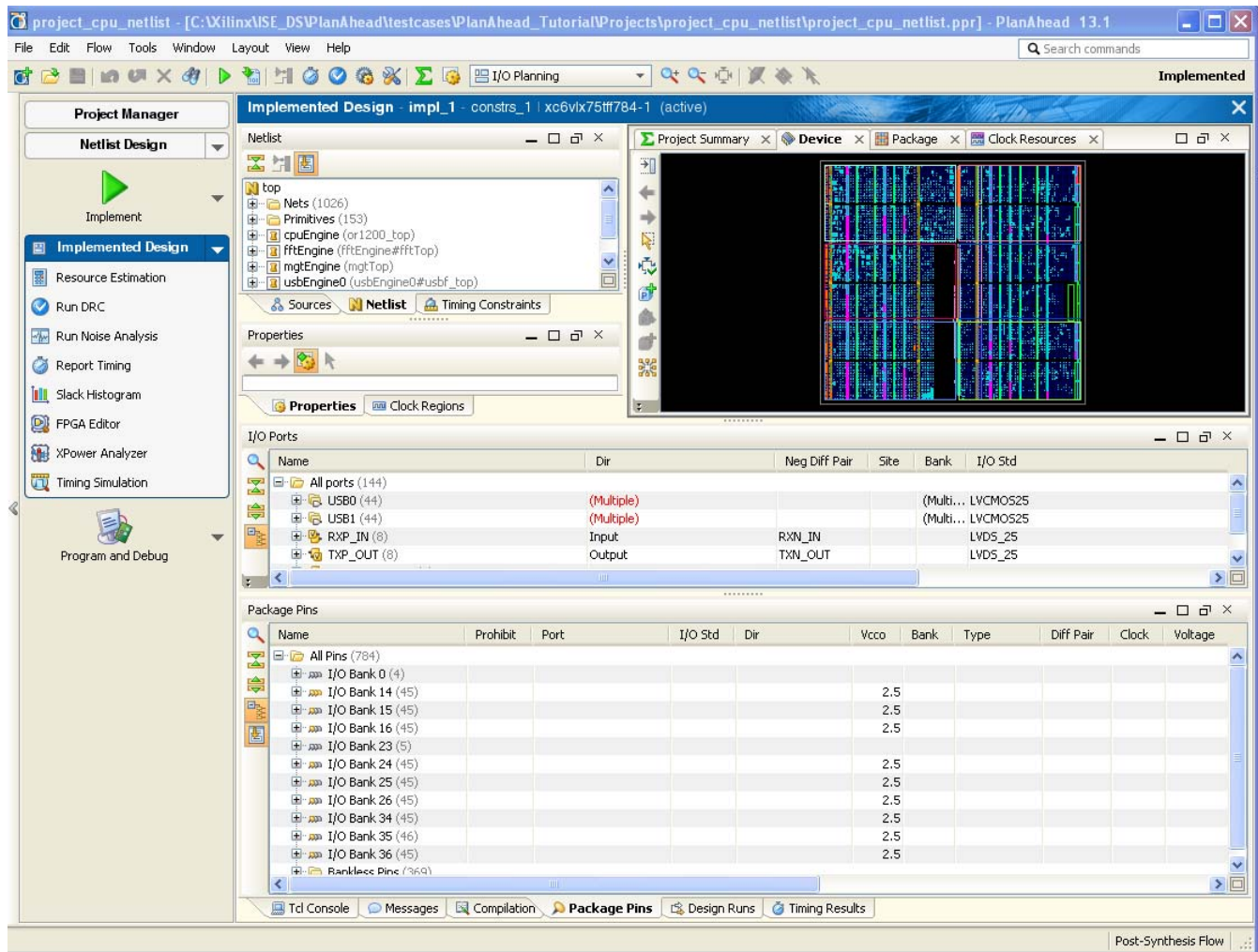


図 11-2： [Implemented Design] 環境

配置済みのデザインは [Device] ビューで表示されます。配置結果が ISE からインポートされると、PlanAhead には固定 (配置) されていない 制約として表示されます。インプリメンテーション前に LOC 制約の付いた配置済みインスタンスは、固定された (配置済み) 制約として別の色で表示されます。

配置制約を選択して [Fix Instances] を実行すると、それらの配置をロックできます。詳細は、第 10 章「デザインのフロアプラン」および 317 ページの「インプリメンテーション結果の解析」を参照してください。

メモ： ISE ではロジックを最適化および変更して、配置配線結果を改善できます。この場合、元のネットリストのロジックは削除されるか置き換えられます。このため、PlanAhead で開いているインプリメンテーション前のネットリストとインプリメンテーション結果が合わなくなります。[Implemented Design] が開くと、[Tcl Console] ビューでこの問題がレポートされます。ネットリストのロジックが表示された結果と一致しない以外は、問題ありません。

PlanAhead は、ISE の TRCE プログラムの TWX 出力ファイルからタイミング結果を抽出し、[Timing Results] ビューにその結果を表示します。

タイミング パスは制約別に分類され、+ や - マークをクリックして展開したり、閉じたりできます。

パスは [Device] ビューで選択およびハイライトできます。タイミング パスの詳細は、[Path Properties] ビューで確認できます。詳細は、[321 ページの「配置およびタイミング結果の解析」](#)を参照してください。

複数のインプリメント済みデザインを開く

インプリメンテーション run は、次のいずれかを実行すると開くことができます。

- [Design Runs] ビューでインプリメンテーション run をクリックし、[Open Implemented Design] をクリックするか、インプリメンテーション run をダブルクリックします。
- run をアクティブな run に設定し、Flow Navigator で [Implemented Design] をクリックします。詳細は、[276 ページの「アクティブ run の設定」](#)を参照してください。
- 複数のインプリメンテーション run はそれらが PlanAhead から起動されていれば、開くことができます。左上に表示される [図 11-3](#) のタブをクリックすると、複数のインプリメント済みデザインを切り替えて表示できます。

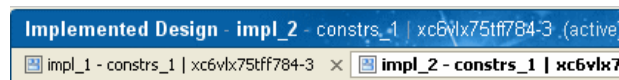


図 11-3： 複数のインプリメント済みデザインのタブ

Flow Navigator のプルダウン メニューを使用すると、使用可能なインプリメント済みデザインを開いたり、閉じたりできます。各インプリメンテーション run は、[図 11-4](#)のように [Open Implemented Design] メニューから指定して開くことができます。

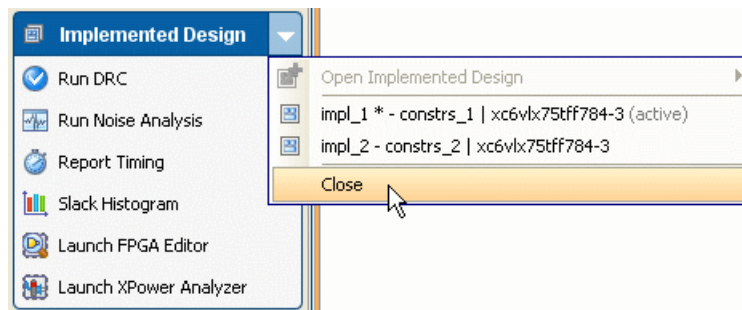


図 11-4： インプリメント済みデザインを開く / 閉じる

同時に複数のインプリメント済みデザインが開いている場合は、[Implemented Design] ボタンに複数のアイコンが表示されます。

PlanAhead 外からの ISE 結果のインポート

New Project ウィザードを使用して既存の ISE 結果をインポートしたり、タイミング結果をインポートしたりできます。次のセクションでは、ISE 結果をインポートするオプションについて説明します。

New Project ウィザードを使用した ISE 結果プロジェクトの作成

新規プロジェクトを作成し、そのプロジェクトに、ISE のインプリメンテーションからのネットリスト、タイミングおよび配置結果をインポートすることができます。ISE インプリメンテーション結果をインポートする新規プロジェクトの作成については、[48 ページの「ISE の配置およびタイミング結果を使用したプロジェクトの作成」](#)を参照してください。

既存プロジェクトへの配置結果のインポート

PlanAhead 環境には、PlanAhead 以外で生成した配置結果をインポートできます。配置制約はすべての配置済みロジック オブジェクトに適用されます。インポートするインプリメント済み NCD ファイルを選択すると、PlanAhead がそのデザインを自動的に XDL 形式のファイルに変換し、配置情報を読めるようにします。

[Import Placement] コマンドを使用するには、RTL デザイン、ネットリスト デザインまたはインプリメント済みデザインが必要です。詳細は、[30 ページの「デザインの操作」](#)を参照してください。

デザイン ネットリストをエクスポートするには、次の手順に従います。

1. [File] → [Import] → [Import Placement] をクリックします。[Import Placement] ダイアログ ボックスが開きます。
2. 配置をインポートする NCD (Netlist Constraint Definition) ファイルをクリックします。
NCD は自動的に XDL (Xilinx Definition List) 形式に変換され、結果がインポートされます。
メモ：既に XDL ファイルがある場合は、そのファイルを直接選択することもできます。
3. [File] → [Export Pblocks] をクリックします。

既存プロジェクトへの ISE TRCE タイミング結果のインポート

PlanAhead には、ザイリンクス®の TRACE (Timing Report And Circuit Evaluation) コマンドで生成された TWX 形式のタイミング レポート ファイルをインポートできます。インポートすると、この章で説明する信号トレース機能および表示機能が使用できるようになります。

[Import Timing] コマンドを使用するには、RTL デザイン、ネットリスト デザインまたはインプリメント済みデザインが必要です。詳細は、[30 ページの「デザインの操作」](#)を参照してください。

タイミング結果をインポートするには、次の手順に従います。

1. [File] → [Import] → [Import Timing] をクリックします。[Import Placement] ダイアログ ボックスが開きます。
2. [Import Timing] ダイアログ ボックスのフィールドを変更します。
 - [File Name] : PlanAhead でインポートする TWX ファイルを選択します。
メモ：TWX ファイルがない場合は TWR ファイルをインポートするよう選択できます。どちらのファイルもある場合は、タイミング結果をインポートするには TWX の方が適しています。
 - [Results Name] : [Timing Results] ビューの結果名のタブに表示される名前を指定します。

3. [OK] をクリックし、タイミング結果をインポートします。

タイミング結果が PlanAhead 環境内に表示されます。

次の操作を実行できます。

- インターフェイスを使用し、すべてのパス選択、ハイライト、およびトレース機能を使用できます。
- 列のヘッダをクリックすると、タイミング結果を並べ替えられます。最初に並べ替えた後で **Ctrl** キーを押して別の列ヘッダをクリックすると、次にその列で並べ替えられます。リストの表示順を整えるために、さまざまな並び替え条件を選択できます。
- 1 つのフロアプランに対して複数のタイミング結果を表示できます。

結果はレポートの一番下のそれぞれのタブに表示されます。スラックが負の値のパスがあると、そのスラック値が赤色で表示されます。

配置およびタイミング結果の解析

次のセクションでは、配置およびタイミング結果を解析するオプションについて説明します。

ザイリンクス TRCE の結果の表示

PlanAhead は、タイミング レポート ファイル (TWX) から情報を抽出し、ISE のタイミング解析結果を表示します。これらのファイルは、インプリメンテーション **run** が PlanAhead から起動されると自動的に表示されます。それ以外の場合、ユーザーが手動でインプリメンテーション結果をインポートする必要があります。詳細は、[320 ページの「PlanAhead 外からの ISE 結果のインポート」](#)を参照してください。インポートすると、そのタイミング結果が [Timing Results] ビューに表示されます。ISE を起動するのにタイミング制約が使用されなかった場合、タイミング結果は表示されません。


[Timing Results] ビューの使用

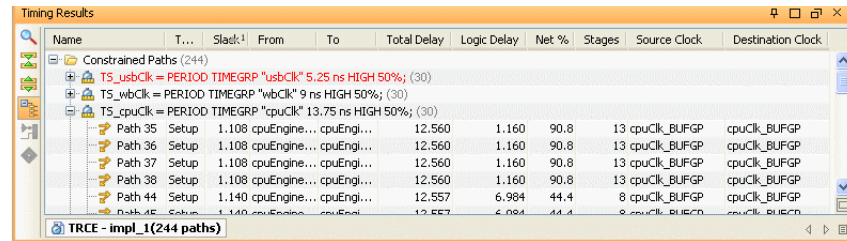
ISE TRACE からインポートされたタイミング結果の表示は、[203 ページの「タイミング結果の解析」](#)に記述されているような PlanAhead の [Report Timing] コマンドを実行した場合とは異なります。

TRACE 結果にはインプリメントされたデザインからのタイミング情報がそのまま表示されますが、

PlanAhead のレポートでは配線遅延が概算されます。

[Timing Results] ビューには、クロック制約別に分類された TRACE タイミング パス情報も表示されます。+ や - マークをクリックすると、タイミング パスのツリー表示を展開したり、閉じたりできます。スラック値に問題のあったパスは赤色で表示されます。

 [11-5](#) は、TRACE 結果を表示しています。



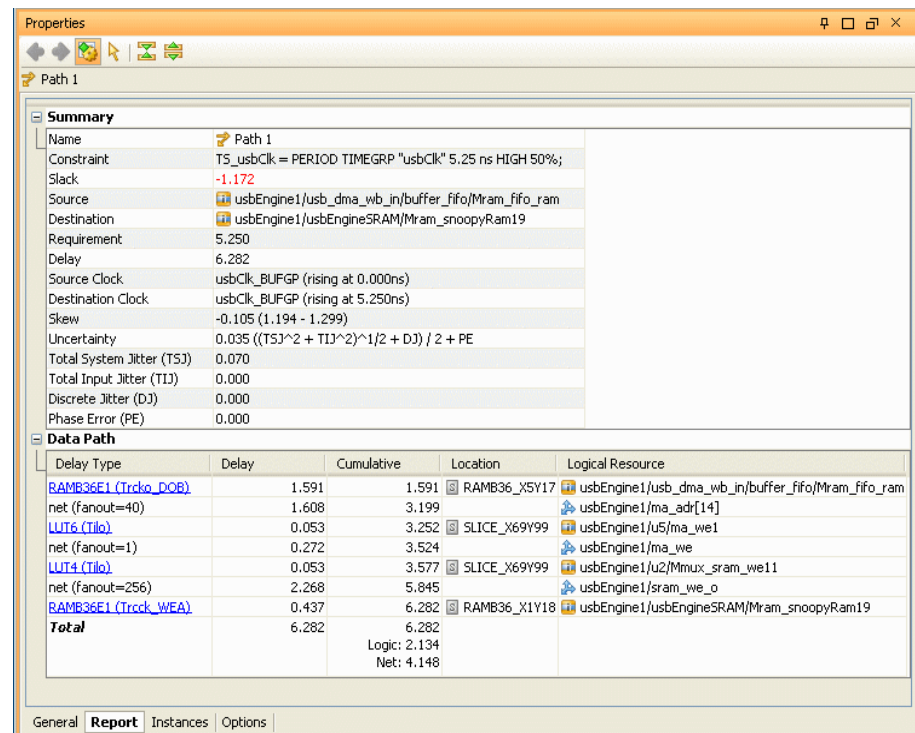
Name	T...	Slack	From	To	Total Delay	Logic Delay	Net %	Stages	Source Clock	Destination Clock
Constrained Paths (244)										
TS_usbClk = PERIOD TIMEGRP "usbClk" 5.25 ns HIGH 50%; (30)										
TS_wbClk = PERIOD TIMEGRP "wbClk" 9 ns HIGH 50%; (30)										
TS_cpuClk = PERIOD TIMEGRP "cpuClk" 13.75 ns HIGH 50%; (30)										
Path 35 Setup	1.108	cpuEngine...	cpuEngi...		12.560	1.160	90.8	13	cpuClk_BUFGP	cpuClk_BUFGP
Path 36 Setup	1.108	cpuEngine...	cpuEngi...		12.560	1.160	90.8	13	cpuClk_BUFGP	cpuClk_BUFGP
Path 37 Setup	1.108	cpuEngine...	cpuEngi...		12.560	1.160	90.8	13	cpuClk_BUFGP	cpuClk_BUFGP
Path 38 Setup	1.108	cpuEngine...	cpuEngi...		12.560	1.160	90.8	13	cpuClk_BUFGP	cpuClk_BUFGP
Path 44 Setup	1.140	cpuEngine...	cpuEngi...		12.557	6.984	44.4	8	cpuClk_BUFGP	cpuClk_BUFGP
Path 45 Setup	1.140	cpuEngine...	cpuEngi...		12.557	6.984	44.4	8	cpuClk_BUFGP	cpuClk_BUFGP

図 11-5： ISE TRACE タイミング結果

[Path Properties] ビューの使用

[Path Properties] ビューにパスのロジックおよび遅延情報を表示するには、[Timing Results] ビューでそのパスをクリックします。

TRACE からインポートされたタイミング結果の表示は、203 ページの「タイミング結果の解析」に記述されているような PlanAhead の [Report Timing] コマンドを実行した場合とは異なります。TRACE 結果には、図 11-6 のようにクロック スキューやジッタなどの別の情報も表示されます。



Summary				
Name	Path 1			
Constraint	TS_usbClk = PERIOD TIMEGRP "usbClk" 5.25 ns HIGH 50%;			
Slack	-1.172			
Source	usbEngine1/usb_dma_wb_in/buffer_fifo/Mram_fifo_ram			
Destination	usbEngine1/usbEngineSRAM/Mram_snoopyRam19			
Requirement	5.250			
Delay	6.282			
Source Clock	usbClk_BUFGP (rising at 0.000ns)			
Destination Clock	usbClk_BUFGP (rising at 5.250ns)			
Skew	-0.105 (1.194 - 1.299)			
Uncertainty	0.035 ((TSJ^2 + TIJ^2)^1/2 + DJ) / 2 + PE			
Total System Jitter (TSJ)	0.070			
Total Input Jitter (TIJ)	0.000			
Discrete Jitter (DJ)	0.000			
Phase Error (PE)	0.000			

Data Path				
Delay Type	Delay	Cumulative	Location	Logical Resource
RAMB36E1 (Trcko_DOB)	1.591	1.591	RAMB36_X5Y17	usbEngine1/usb_dma_wb_in/buffer_fifo/Mram_fifo_ram
net (fanout=40)	1.608	3.199		usbEngine1/ma_adr[14]
LUT6 (Tilo)	0.053	3.252	SLICE_X69Y99	usbEngine1/u5/ma_we1
net (fanout=1)	0.272	3.524		usbEngine1/ma_we
LUT4 (Tilo)	0.053	3.577	SLICE_X69Y99	usbEngine1/u2/Mmux_sram_we11
net (fanout=256)	2.268	5.845		usbEngine1/sram_we_o
RAMB36E1 (Trckc_WEA)	0.437	6.282	RAMB36_X1Y18	usbEngine1/usbEngineSRAM/Mram_snoopyRam19
Total	6.282			
		Logic: 2.134		
		Net: 4.148		

図 11-6： タイミング パスの [Properties] ビュー

[Logical Resource] 列でオブジェクトを選択すると、そのオブジェクトがほかのすべてのビューでハイライトされます。

[Delay Type] 列のリンクをクリックすると、PDF ビューアが起動され、その FPGA デバイスのデータシートが表示され、選択したロジック オブジェクトの検索が自動的に実行されます。

[Timing Results] ビューと [Path Properties] ビューを使用したタイミング結果の解析については、第 7 章「ネットリストの解析および制約の定義」を参照してください。

[Device] ビューでのタイミング パスの表示

[Timing Results] ビューでパスの行を選択すると、タイミング パスを [Device] ビューに表示できます。パスは [Device] ビューでハイライトされます。複数のパスを選択すると、パスのインスタンスもすべて選択され、ハイライトされます。323 ページの図 11-7 は、[Device] ビューでタイミング パスがハイライトされたところを示しています。

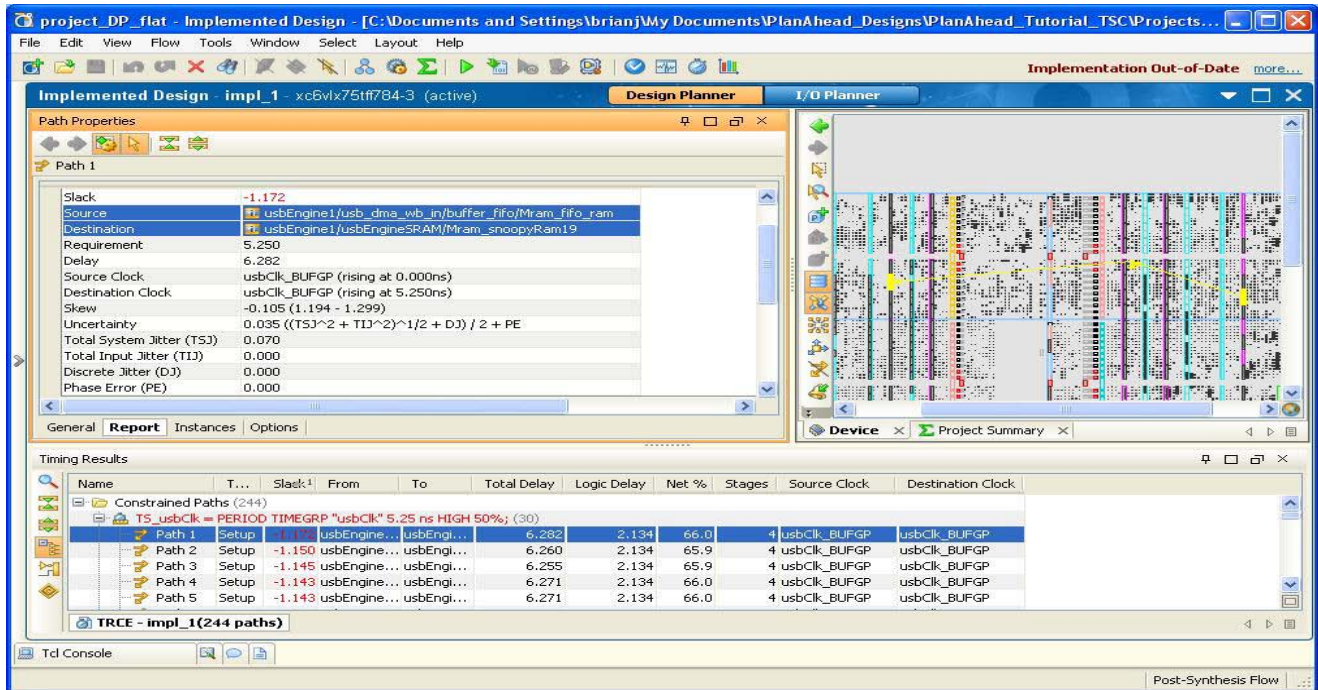


図 11-7: [Device] ビューでハイライトされたタイミング パス

[Schematic] ビューでのタイミング パスの表示

[Timing Results] のツールバーまたはポップアップ メニューで [Schematic] をクリックすると、PlanAhead に [Schematic] ビューが表示され、選択されたパスに含まれるインスタンスが表示されます。図 11-8 のように、[Schematic] ビューにはインスタンスがはっきりと表示されるだけでなく、階層モジュールも表示されます。

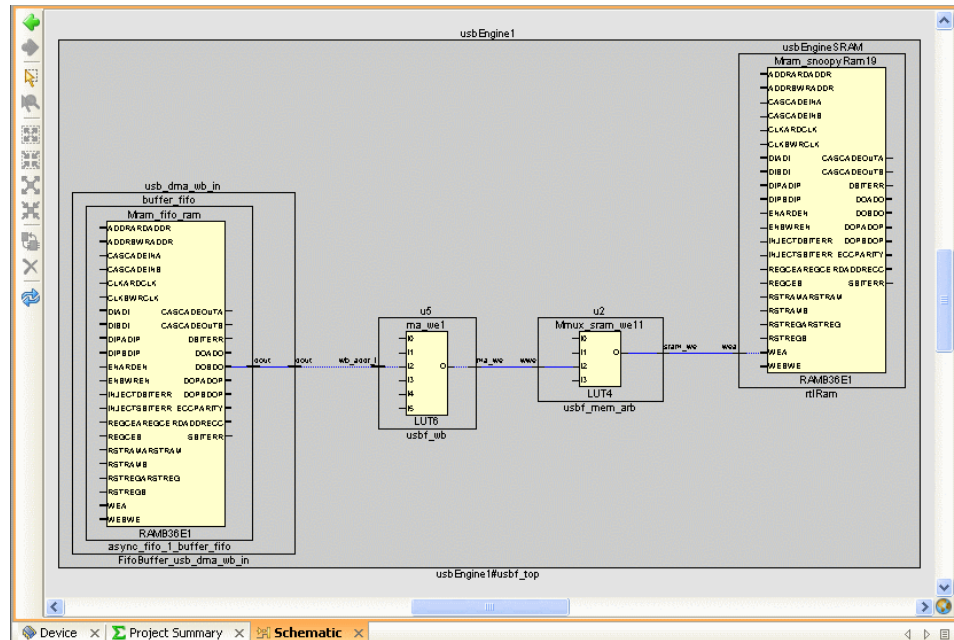


図 11-8： [Schematic] ビューに表示されたタイミングパス

タイミングパスの [Schematic] ビューが生成されると、オブジェクトがすべて表示されます。個々のロジックインスタンスの [Schematic] ビューには、選択したインスタンスだけが表示されます。

パスのグループに含まれるインスタンスはすべてこの方法で表示されるため、フロアプランでどのモジュールを一緒にグループにすべきかがわかりやすくなっています。[Schematic] ビューのポップアップメニューの [Pblock creation] コマンドを使用すると、[Device] ビューで簡単に Pblock への割り当てができます。[Schematic] ビューの詳細は、118 ページの「[Schematic] ビュー」を参照してください。

ロジック接続の表示

次のセクションでは、PlanAhead のロジック接続オプションについて説明します。

[Show Connectivity] コマンドの使用

[Show Connectivity] コマンドを使用すると、選択したエレメントに接続されたネットがすべてハイライトされます。このコマンドは次の方法で使用します。

1. [Netlist] ビューまたは [Schematic] ビューから 1 つまたは複数のプリミティブ、[Device] ビューから配置済みロジックエレメント、[Device] ビューまたは [Physical Properties] ビューから Pblock インスタンスを選択します。または、これを組み合わせてオブジェクトを選択します。
2. 右クリックし、[Show Connectivity] を選択します。


たとえば、[Schematic] ビューでインスタンスまたは Pblock を選択した場合は、図 11-9 のように、[Device] ビューでこのエレメントに接続したネットがすべてハイライトされます。



図 11-9： [Device] ビューに表示されたネットの接続状況

[Show Connectivity] を実行したロジック接続の表示

[Show connections for selected instances] ボタンをオンにすると、オブジェクトを新しく選択するたびに続けて [Show Connectivity] コマンドを実行できます。

このモードがオンであれば、ロジック オブジェクトを新しく選択し、接続を表示できます。ツールバー ボタン  をクリックすると、オン/オフが切り替わります。

ロジック ファンアウトの展開と選択

[Show Connectivity] コマンドを連続して実行すると、ロジック ファンアウトを連続して選択および展開表示できます。

1. ネットリスト、Pblock インスタンス、またはこれらの組み合わせを選択します。
2. 右クリックし、[Show Connectivity] を選択します。選択したエレメントに接続されたネットがすべてハイライトされます。
3. 右クリックし、[Show Connectivity] をもう 1 度選択します。ネットに接続されたインスタンスのセットが選択されます。Ctrl + T ショートカット キーを使用しても選択されます。
4. 右クリックし、[Show Connectivity] をもう 1 度選択します。選択されたインスタンスに接続された、次のレベルのネットがハイライトされます。

この方法を使用すると、特定のインスタンスまたは I/O ポートまでロジックのファンアウトを簡単に展開表示して選択できます。

[Schematic] ビューでのロジックの展開表示

[Schematic] ビューを使用すると、ロジックを階層全体に渡ってトレースできます。[Schematic] ビューで選択されたものは [Device] ビューでもハイライトされます。

トレースするインスタンスのピンをダブルクリックすると、信号を展開表示できます。図 11-10 は、[Schematic] ビューで展開されたロジックの例を示しています。

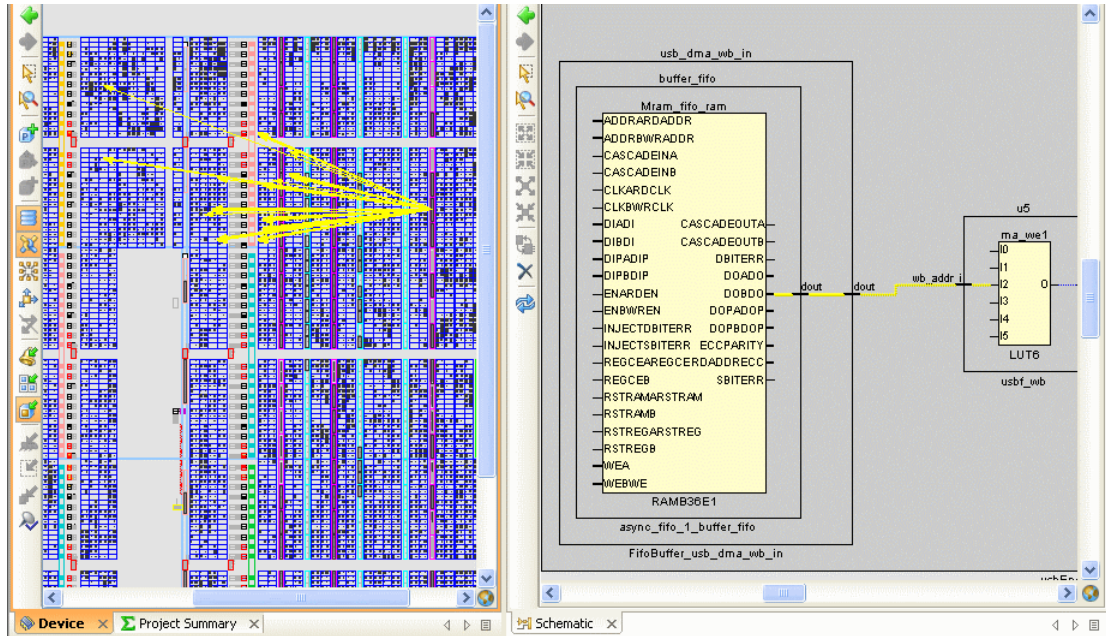


図 11-10: [Schematic] ビューで展開表示されたロジック

インスタンスおよびモジュールの接続、その内容もインタラクティブに展開表示できます。

[Schematic] ウィンドウでのロジック表示の詳細は118 ページの「[Schematic] ビュー」を参照してください。

[Find] コマンドを使用したオブジェクトの検索

配置が [Device] ビューに表示されたら、[Find] コマンドを使用して特定タイプのロジックを検索できます。[Edit] → [Find] コマンドのダイアログ ボックスには、さまざまな方法で検索項目をフィルタする柔軟な機能があります。

ロジック オブジェクトの検索の詳細は、187 ページの「[Find Results] ビューの使用」を参照してください。

ロジック オブジェクトのハイライト

オブジェクトをハイライトするには、次の 2 つのコマンドがあります。

- 選択したオブジェクトのみをハイライトする [Highlight] コマンド
- 選択したモジュールに接続されたプリミティブ ロジックすべてをハイライトする [Highlight Primitives] コマンド

選択したオブジェクトのハイライト

PlanAhead には、オブジェクトを選択してハイライトする機能があります。ハイライトすると、1 つまたは複数の色で複数の配置グループを同時に表示できます。

PlanAhead でどこをクリックしても、ハイライトは解除されません。[Schematic] ビューも含め、該当するビューすべてでハイライトされます。

オブジェクトをいくつでも選択してハイライトできます。

- 選択したオブジェクトは、ほとんどのビューの [Select] → [Highlight] コマンドまたはポップアップメニューで [Highlight] をクリックしてハイライトできます。このコマンドは選択されたロジックにのみ実行されます。
- すべてのネットリスト モジュールまたは Pblock ロジックをハイライトする場合は、[Highlight Primitives] コマンドを実行すると、下位ロジックもハイライトできます。詳細は、次のセクションの「[Select Primitives] および [Highlight Primitives] コマンドの使用」を参照してください。

[Select Primitives] および [Highlight Primitives] コマンドの使用

ISE 配置をインポートしたら、[Select Primitives] コマンドを使用して、Pblock およびロジック モジュールの下位のプリミティブ ロジック エレメントを選択できます。このコマンドは、よく [Show Connectivity]、[Fix Instances]、[Clear Placement] コマンドと併用されます。

ISE 配置をインポートしたら、[Highlight Primitives] コマンドを使用して、Pblock およびロジック モジュールの下位のプリミティブ ロジック エレメントをハイライトした後に、関連した配置をハイライトする色を選択できます。

複数のインスタンスが選択されていれば、すべてに同じ色を指定することも、[Cycle Colors] コマンドを使用して選択したモジュールごとに色を変えることもできます。

328 ページの図 11-11 のように、[Netlist] ビューのモジュールおよびプリミティブのハイライト色は、[Device]、[Schematic]、および [Package] ビューと同じになります。

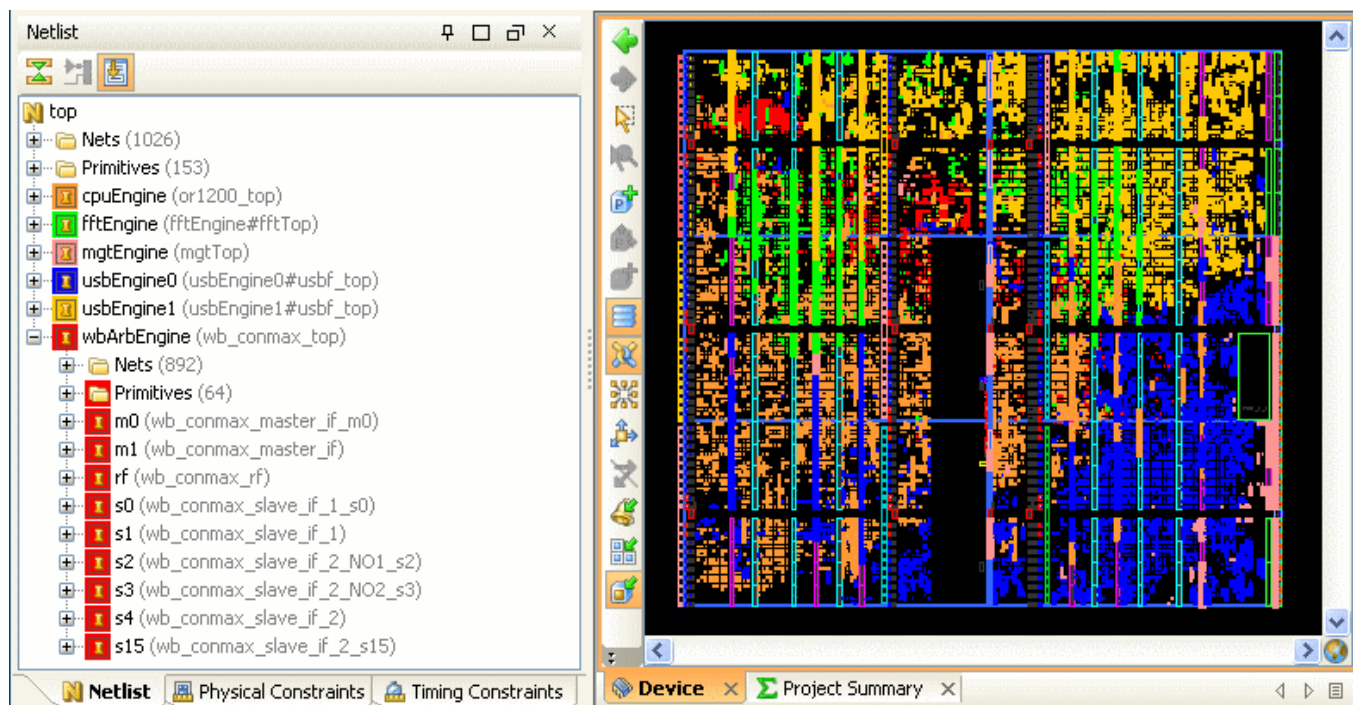



図 11-11： [Netlist] と [Device] ビューのハイライト色の一致

オブジェクトのハイライト解除

オブジェクトのハイライトを解除するには次のいずれかのコマンドを実行します。

- [Select] → [Unhighlight All] をクリックするとすべてのオブジェクトのハイライトが解除されます。
- [Select] → [Unhighlight Color] をクリックすると指定した色のハイライトが解除されます。
- [Unhighlight All] ツールバー ボタン 

選択したオブジェクトのマーク

PlanAhead では、該当するビューすべてで選択したオブジェクトにマーク シンボルを付けたり、そのマークを削除したりすることができます。

オブジェクトのマーク

マークを付けておくと、[Device] ビューで小さなオブジェクトを表示する場合に便利です。

マークを付けるには [Select] → [Mark] をクリックするか、Ctrl + M キーを押します。このコマンドは、[Netlist]、[Physical Hierarchy] など、ほかのビューでも使用できます。

タイミング パスをマークすると、329 ページの図 11-12 に示すように、始点は緑、終点は赤、中間は黄でマークされます。

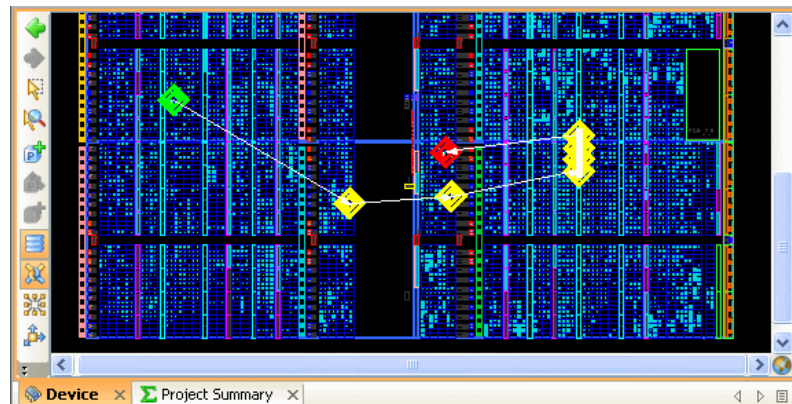


図 11-12 : [Device] ビューでマークされたタイミング パス シンボル

マークの削除

マークは、次の方法のいずれかで削除できます。

- [Select] → [Unmark] をクリックすると、選択したインスタンスのマークが削除されます。
- [Select] → [Unmark All] または [Unmark All]  をクリックすると、すべてのマークが削除されます。

今後のインプリメンテーション用の配置ロック

配置結果が ISE からインポートされると、PlanAhead には固定されていない制約として表示されます。インプリメンテーション前に LOC 制約の付いた配置済みインスタンスは、固定された (配置済み) 制約として別の色で表示されます。

[Fix Instances] コマンドの使用

配置の位置をロックするには、ロジックを選択して [Fix Instances] をクリックします。

この機能を使用すると、一貫したインプリメンテーション結果を維持できます。インプリメント済みデザインを保存すると、UCF ファイルの配置済みロジックに LOC および BEL 制約が含まれ、この設定をその後のインプリメンテーション run で使用できます。

特定タイプのロジックの固定

インプリメンテーション結果の一貫性を改善するには、ブロック RAM および DSP などの一部またはすべてのブロック マクロ ロジックをロックします。PlanAhead で知識を生かして手動でロックすることもできますが、問題のなかった ISE のインプリメンテーション結果を再利用してロックすることもできます。この方法を使用すると、デザインにブロック RAM または DSP などが多く含まれる場合、より一貫した結果になり、ランタイムも改善することができます。

LOC 制約を手動割り当てる方法については、[306 ページの「配置 LOC 制約」](#)を参照してください。

特定モジュールですべてのロジックを固定 (配置) するには、モジュールを選択して [Select Primitives] コマンドを実行し、そのロジック モジュールに関連するプリミティブ ロジック インスタンスすべてを選択します。次に [Find Results] ビューでそれらを選択し、[Fix Instances] を使用します。

ロジック モジュールの固定

インプリメンテーション結果の一貫性を改善するには、クリティカル ロジックをロックします。これには、特定ロジック、タイミング パス、またはロジック モジュール全体をロックする必要があります。

特定モジュールですべてのロジックを固定 (配置) するには、モジュールを選択して [Select Primitives] コマンドを実行し、そのロジック モジュールに関連するプリミティブ ロジック インスタンスすべてを選択します。ロジックを固定するには、[Fix Instances] コマンドを使用します。

デザイン メトリックの表示

次のセクションでは、デザイン メトリック オプションについて説明します。

[Metrics] ビューの使用

PlanAhead の [Metrics] ビューでは、デザイン メトリックのリストが示され、デザインで問題が発生する可能性があるエリアが定義された色で表示されます。現時点のメトリックでは、Pblock および配置済みデザインレベルでの使用率、配線の混線、およびタイミングチェックが含まれています。

[Metrics] ビューを開くには、[Window] → [Metrics] をクリックします。[図 11-13](#) は、[Metrics] ビューを示しています。

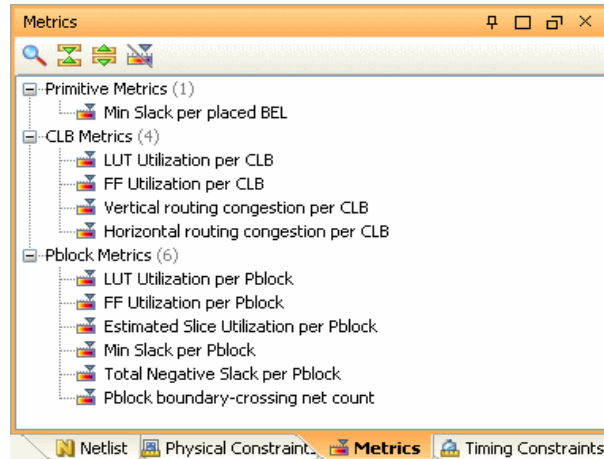


図 11-13 : [Metrics] ビュー

[Metric Properties] ビューには、331 ページの図 11-14 に示すように、選択したメトリックの機能の説明とエラーが発生する可能性がある箇所をハイライトするために定義された棒グラフが表示されます。

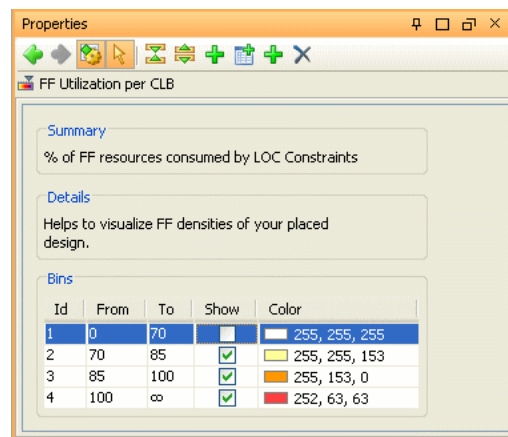


図 11-14 : [Metric Properties] ビュー：メトリックの範囲設定

[Device] ビューでのメトリック マップの表示

[Device] ウィンドウにメトリック マップを表示するには、[Metrics] ウィンドウでメトリックを選択してから [Show] チェックボックスをオンにします。これで、カラー ベースのメトリック マップが表示されます。図 11-15 は、[Device] ビューのメトリック マップの例を示しています。

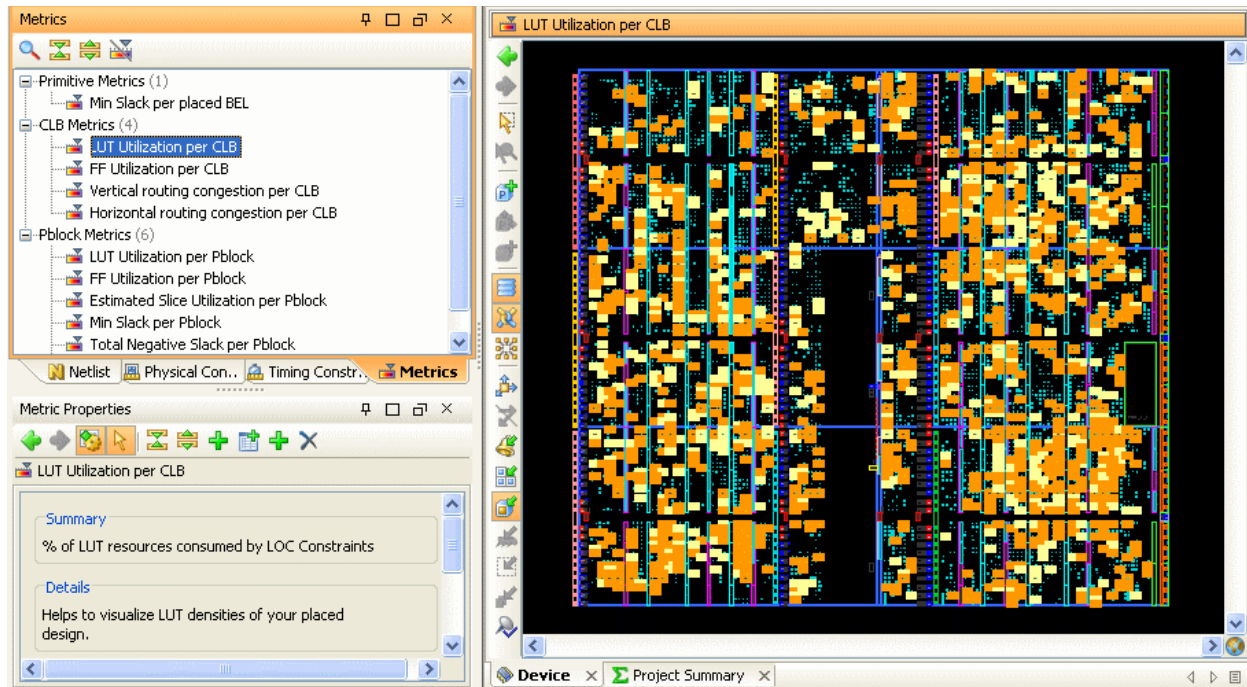


図 11-15： [Device] ビューでのメトリックの表示

複数のメトリック マップを同時に表示することも可能です。

- まず、スラックに関連するメトリックを表示するために、[Report Timing] コマンドを使用してタイミング概算を実行する必要があります。
- CLB または BEL 制約タイプのメトリックを表示するには、ISE のインプリメンテーションによる配置結果をインポートする必要があります。

詳細は、317 ページの「インプリメント済みデザインを開く」および320 ページの「PlanAhead 外からの ISE 結果のインポート」を参照してください。

メトリック表示の解除

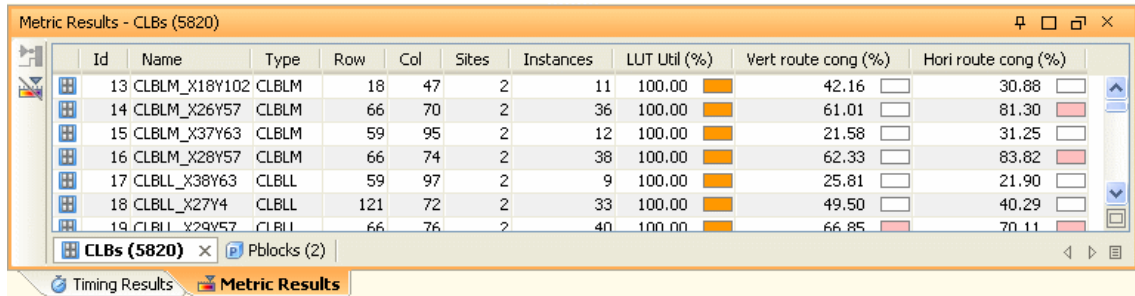
[Device] ビューのメトリック マップを非表示にするには、右クリックで [Hide] または [Hide All Metrics] を選択します。

[Metrics Results] ビューの使用

[Show] コマンドを使用すると、メトリックの結果が [Metric Results] ビューに表示されます。[Metric Results] ビューでは、次の操作を実行できます。

- 列のヘッダをクリックすると、情報を並べ替えられます。
- 最初に並べ替えた後で Ctrl キーを押して別の列ヘッダをクリックすると、次にその列で並べ替えられます。
- リストの表示順を整えるために、さまざまな並び替え条件を選択できます。

Pblock のメトリック結果は、Pblock が変更されると自動的に更新されます。Pblock、CLB、プリミティブなどの別のタイプのメトリックは、別の表で表示されます。それぞれのタイプは、図 11-16 のように [Metrics Results] ビュー内の個別のタブに表示されます。



	Id	Name	Type	Row	Col	Sites	Instances	LUT Util (%)	Vert route cong (%)	Hori route cong (%)
	13	CLBLM_X18Y102	CLBLM	18	47	2	11	100.00	42.16	30.88
	14	CLBLM_X26Y57	CLBLM	66	70	2	36	100.00	61.01	81.30
	15	CLBLM_X37Y63	CLBLM	59	95	2	12	100.00	21.58	31.25
	16	CLBLM_X28Y57	CLBLM	66	74	2	38	100.00	62.33	83.82
	17	CLBLL_X38Y63	CLBLL	59	97	2	9	100.00	25.81	21.90
	18	CLBLL_X27Y4	CLBLL	121	72	2	33	100.00	49.50	40.29
	19	CLBLL_X29Y57	CLBLL	66	76	2	40	100.00	66.85	70.11

図 11-16 : [Metric Results] ビュー

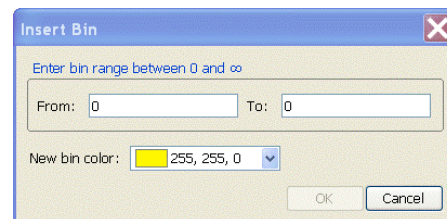
メトリック範囲の設定

[Metrics Properties] ビューで、各マップの棒グラフ部分 (bin) の範囲を設定できます。

色および範囲は調整可能で、新しい bin を追加したり、削除したりして範囲を定義できます。この場合、[Metrics Properties] ウィンドウの [Apply] ボタンをクリックするか、右クリックして [Apply Changes] をクリックします。

新しい範囲の bin を挿入するには、分割する bin を右クリックして [Insert Bin] をクリックします。

図 11-17 のダイアログ ボックスで、範囲および色を指定します。



Enter bin range between 0 and ∞

From: 0 To: 0

New bin color: 255, 255, 0

OK Cancel

図 11-17 : [Insert Bin] ダイアログ ボックス

範囲は新しく定義した範囲に合わせて調節されます。

タイミング シミュレーションの実行

PlanAhead には、ISE のシミュレーション ツールである ISim が組み込まれており、HDL デザインのビヘイビアおよびタイミング シミュレーションが実行できます。

ISim を実行する手順は、次のとおりです。

- [Implemented Design] で [Tools] → [Simulation] → [Timing Simulation] をクリックします。
- Flow Navigator から [Timing Simulation] をクリックします。

PlanAhead で 図 11-18 に示すような [Launch Timing Simulation] ダイアログ ボックスが表示されます。

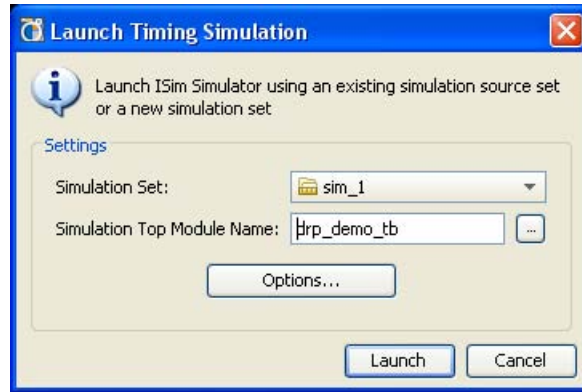


図 11-18： [Launch Timing Simulation] ダイアログ ボックス

含まれるフィールドは、次のとおりです。

- **[Simulation Set]**：シミュレーション **run** の名前を指定します。これにより、デザイン階層およびオプションごとに別々のシミュレーション **run** を作成できます。
- **[Simulation Top Module Name]**：デザインの最上位レベルを指定します。このフィールドは定義済み最上位モジュールを使用して自動的に入力されますが、ユーザーが別の階層レベルからの最上位レベルを指定したり、さまざまなデザイン パターンを生成したりすることもできます。
- **[Options]**：335 ページの図 11-19、337 ページの図 11-20、および 338 ページの図 11-21 に示すような **[Simulation Options]** ダイアログ ボックスを開きます。
- **[Launch]**：ISim のコンパイルとエラボレーションを実行し、ISim を GUI モードで起動します。
- **[Cancel]**：ISim を起動せずにダイアログ ボックスを閉じます。

[Options] ボタンをクリックすると、**[Simulation Options]** ダイアログ ボックスが開きます。このダイアログ ボックスには、前に指定した最上位レベル モジュールと **[Launch Options]**、**[Language Options]**、**[Netlist Options]** の 3 つのオプション タブが含まれます。

これらのシミュレーション オプションについては、次のセクションで説明します。

シミュレーション起動オプションの指定

[Simulation Options] ダイアログ ボックスには、Fuse および ISim の実行を制御する [Launch Options] タブが含まれます。図 11-19 は、この [Launch Options] タブを示しています。

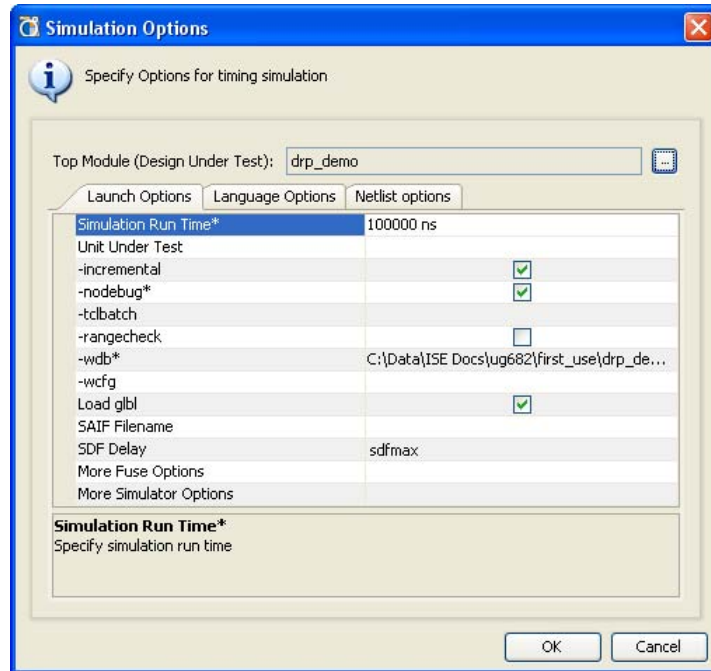


図 11-19: タイミング シミュレーションの起動オプション

次のようなオプションがあります。

- **[Simulation Run Time]**: シミュレーション時間の長さを単位を付けて指定します。指定できる時間の単位は、fs、ps、ns、us、ms、sec で、デフォルトは ps です。シミュレーションするイベントがなくなるまで ISim を実行しておく場合は、all も使用できます。
- **[Unit Under Test]**: テストするユニット名を指定します。通常、これは最上位モジュールと同じ名前になりますが、テストベンチに複数の最上位モジュールの可能性が含まれる場合は、テストするユニットの選択をうながすメッセージが表示されます。
- **[-incremental]**: 最後にコンパイルしてから変更されたファイルのみコンパイルするよう Fuse に命令するオプションです。
- **[-nodebug]**: シミュレーション実行時間を削減するため、HDL コードをデバッグするための情報を含まないシミュレーション実行ファイル (.exe) を作成するよう Fuse に命令します。
- **[-tclbatch]**: ランタイム時にシミュレータで実行されるバッチ ファイルにリストされる Tcl コマンドのファイル名を指定します。指定したバッチ ファイルに含まれるコマンドは、完了するまで連続して実行されます。ISim では、バッチ ファイルの実行が終了するまで、コマンド プロンプトに入力されるコマンドが無視されます。

PlanAhead では tclbatch コマンドが使用され、isim.cmd というファイルで ISim に必須の 3 つのコマンドが渡されます。このファイルの内容は、次のとおりです。

```
onerror {resume}
.
wave add /
run <value>
```

起動時に実行するシミュレータを制御する Tcl コマンドを作成する場合、これらの 3 つのコマンドが `tclbatch` ファイルに必ず含まれるようにしてください。コマンドは、`onerror` を最初にリストし、`wave add` および `run` を最後にリストすることをお勧めします。その他の ISim コマンド ライン コマンドは、`onerror` と `wave add` の間に追加できます。

メモ： `tclbatch` コマンド ファイルの拡張子は、`.tcl` または `.cmd` のいずれかにしないと、ISim で正しく処理されません。

- **[-rangecheck]** : コンパイル中に VHDL 代入文で値の範囲チェックを実行するよう Fuse に命令します。このオプションは、VHDL コードにのみ適用されます。

メモ： これにより、ISim で常に行われるアレイのインデックス範囲チェックに影響が出ることはありません。

- **[-wdb]** : シミュレーション波形データを保存するファイル名を指定します。トレースされた信号のシミュレーション結果は作業ディレクトリの指定ファイル名に保存されます。PlanAhead ソフトウェアでは、デフォルトで `<top_module_name>.wdb` ファイルが作成されます。
- **[-wcfg]** : ISim の GUI で波形データを開いたときに使用する波形コンフィギュレーション ファイル名を指定します。波形コンフィギュレーション ファイルでは、信号の順序、名前のスタイル、基数、色などの設定が指定されます。
- **[Load glbl]** : コンパイル中に glbl モジュールを読み込むかどうかを指定します。デザインに Verilog UNISIM または SIMPRIM ライブラリが使用される場合は、このオプションをオンにする必要があります。
- **[SAIF Filename]** : ポートおよび信号のスイッチ レートを記録する SAIF (Switching Activity Interchange Format) ファイルの名前を指定します。デフォルトのファイル名は、`xpower.saif` です。
- **[SDF Delay]** : ISim で使用される遅延タイプを指定します。使用できる値は、次のとおりです。
 - 最小遅延をアノテートする場合は `sdfmin`
 - 最大遅延をアノテートする場合は `sdfmax`

セットアップ違反は `sdfmax`、ホールド違反は `sdfmin` を指定し、別々のシミュレーションを実行してチェックすることをお勧めします。

- **[More Fuse Options]** : Fuse 用のその他のコマンド ライン オプションを指定します。これらのコマンドは、コマンド値と一緒に 1 行で入力します。たとえば、次のように入力します。

```
-maxdelay -init_file <filename> -notimingcheck
```

Fuse オプションをコマンド ファイルに追加しておき、次のように `-f` コマンドを使用して **[More Fuse Options]** フィールドにそのファイルを指定することもできます。

```
-f <command_file>
```

- **[More Simulator Options]** : ISim 用のその他のコマンド ライン オプションを指定します。これらのコマンドは、コマンド値と一緒に 1 行で入力します。次に例を示します。

```
-log <filename> -transport_int_delays
```

ISim オプションをコマンド ファイルに追加しておき、次のように `-f` コマンドを使用して、**[More Simulator Options]** フィールドにそのファイルを指定することもできます。

```
-f <command_file>
```

シミュレーション言語オプションの指定

図 11-20 は、[Simulation Options] ダイアログ ボックスの [Language Options] タブを示しています。

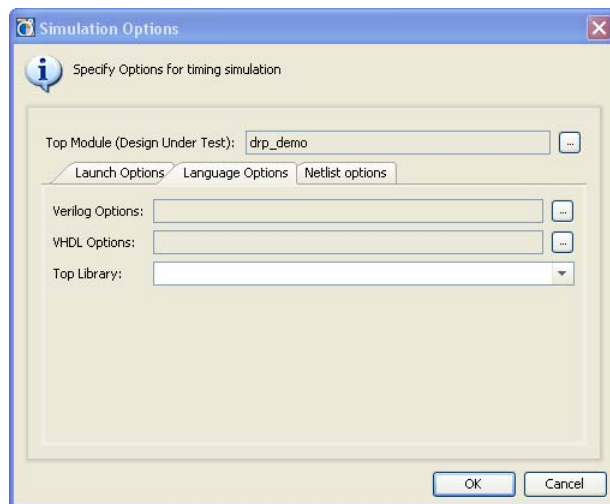


図 11-20： タイミング シミュレーションの言語オプション

[Simulation Options] ダイアログ ボックスの [Language Options] タブには、次の 3 つの言語オプションが含まれます。

- [Verilog Options] : Verilog 検索パス、マクロ定義、大文字識別子、Verilog2001 言語規格 を指定します。
- [VHDL Options] : VHDL ジェネリック値を指定します。
- [Top Library] : 最上位モジュールのライブラリ名を指定します。PlanAhead ではこのライブラリが自動的に決定されますが、別のライブラリを指定して最上位モジュールを探すこともできます。

シミュレーション ネットリスト オプションの指定

図 11-21 は、[Simulation Options] ダイアログ ボックスの [Netlist Options] タブを示しています。

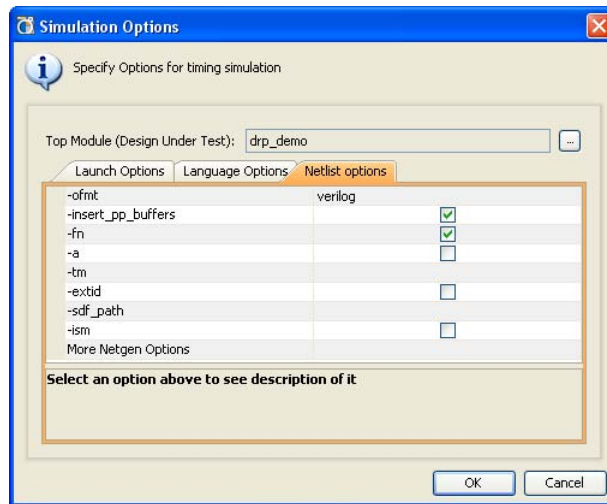


図 11-21： タイミング シミュレーションのネットリスト オプション

[Simulation Options] ダイアログ ボックスの [Netlist Options] タブでは、NetGen のシミュレーション ネットリスト記述方法を指定できます。

- **[-ofmt]** : NetGen で作成されるシミュレーション ネットリストの出力形式を指定します。指定できるのは、Verilog または VHDL です。
- **[-insert_pp_buffers]** : パルスが失われるのを回避するためにパス パルス バッファを挿入するかどうかを指定します。タイミング シミュレーションでは、パルス幅よりコンポーネントの入力ポートの遅延の方が大きい場合、パルスが失われることがあります。
- **[-fn]** : 階層ネットリストではなく、平坦化したネットリストを出力するかどうか指定します。
- **[-a]** : VHDL 出力でアーキテクチャのみを生成するかどうか指定します。このオプションを使用すると、出力ファイルに VHDL エンティティは生成されません。
- **[-tm]** : NetGen からの出力に使用される最上位モジュールの新しい名前を指定します。
- **[-extid]** : VHDL 出力に拡張識別子を出力するかどうか指定します。
- **[-sdf_path]** : NetGen で作成された SDF ファイルを出力するパスを指定します。デフォルトでは、SDF ファイルはシミュレーション run ディレクトリに出力されます。
- **[-ism]** : SIMPRIM ライブラリの SIMPRIM モジュールを出力 Verilog ファイルに含めます。このオプションを使用すると、シミュレーション時にライブラリ パスを指定する必要がなくなりますが、コンパイル時間が長くなり、ネットリスト ファイルのサイズが大きくなります。
- **[More NetGen Options]** : NetGen 用のその他のコマンド ライン オプションを指定します。これらのコマンドは、コマンド値と一緒に 1 行で入力します。次に例を示します。

```
-aka -gp <port_name> -s 3
```

NetGen オプションすべてをコマンド ファイルに追加しておき、次のように **-f** コマンドを使用して[Netgen] フィールドにそのファイルを指定することもできます。

```
-f <command_file>
```

ISim ツール

[Launch] をクリックしてタイミング シミュレーション用に ISim を起動すると、PlanAhead は NetGen を起動して、MAP または PAR から NCD ファイルを読み込み、その結果に基づいてパースカルまたはフルのタイミング SDF ネットリストを作成します。

タイミング シミュレーションを起動する前に、バックアノテーション用にタイミング シミュレーション モデルと遅延ファイルが必要です。PlanAhead は NetGen ツールを使用してこれらのファイルを生成します。詳細は、[『合成/シミュレーション デザイン ガイド』\(UG626\)](#)

NetGen では、出力 SDF ファイルに平坦化したタイミング遅延が作成され、シミュレーション目的に Verilog (VHDL) ネットリスト (top_timing_sim.v) が作成されます。

メモ： Verilog または VHDL ファイルは、シミュレーション目的にのみ出力されるので、合成はできません。

NetGen で作成される Verilog または VHDL ファイルは、ザイリンクスのシミュレーション プリミティブ ライブラリ (SIMPRIM) を参照するので、シミュレーション中は SIMPRIM と一緒に使用する必要があります。NetGen が終了すると、ISim のオブジェクト コンパイラーおよびリンカーの Fuse が実行され、Verilog および VHDL コードがコンパイル/エラボレーションされます。

このあと、コンパイルされたオブジェクト コードは、ISim の [Launch Timing Simulation] ダイアログ ボックスで指定した最上位レベル モジュールと同じシミュレーション実行ファイルにリンクされます。ISim 実行ファイルが終了すると、PlanAhead がシミュレータを起動します。

```
INFO:[Runs-8] Fuse completed.  
INFO:[Runs-10] Launching ISim...  
INFO:[Runs-11] Running '"C:/project_cpu_hdl/project_cpu_hdl.sim/sim_1/  
top.exe"  
-intstyle pa -gui -tclbatch isim.cmd  
-wdb "wdb_test1.wdb" -view "wcfg_test1.wcfg"'
```

シミュレーション実行ファイルは、[Launch Options] で指定したさまざまなオプションで実行されます。

PlanAhead では、ISim が -gui オプションで起動されます。これにより、ISim が GUI モードで開くので、デザインをインタラクティブにシミュレーションできます。

ISim を GUI で実行する方法については、[『ISim ユーザー ガイド』\(UG660\)](#) を参照してください。[図 11-22](#) は、ISim の GUI を示しています。

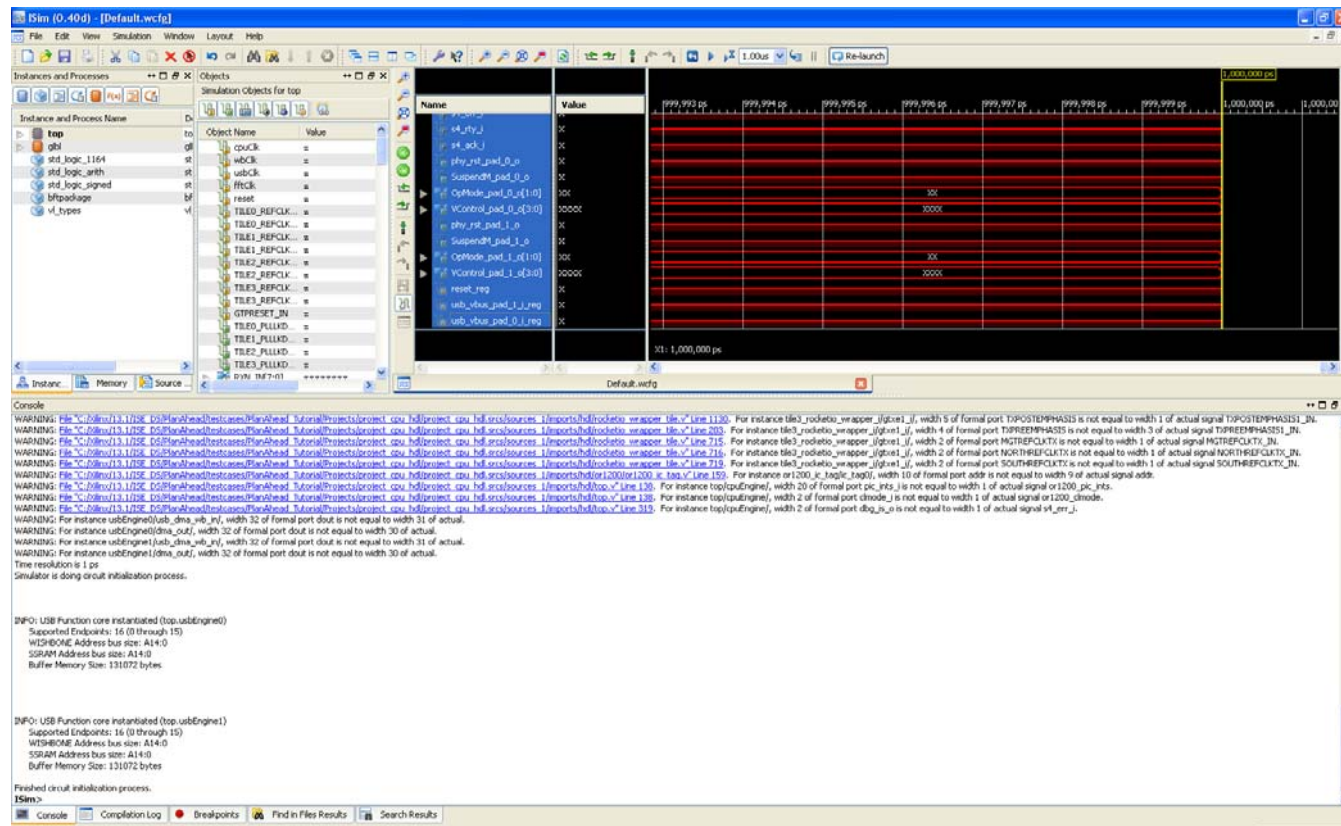


図 11-22： ISim のユーザー インターフェイス

XPower Analyzer を使用した電力分配解析

XPower Analyzer ツールは PlanAhead から直接起動でき、インプリメント済みデザインで電力解析を実行できます。

XPower Analyzer を起動するには、図 11-23 のように Flow Navigator の [Implemented Design] から [Launch XPower Analyzer] コマンドを選択します。

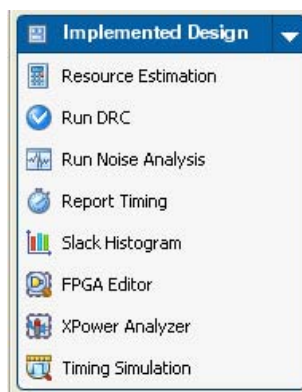


図 11-23： [Launch XPower Analyzer] コマンド

PlanAhead から起動すると、配線済みの NCD ファイルおよびタイミング制約 (PCF ファイル) が自動的に XPower Analyzer に読み込まれます。XPower Analyzer の詳細は、[ISE ヘルプ](#)を参照してください。

FPGA Editor の起動

FPGA Editor は、どのインプリメントされたデザインに対しても PlanAhead から起動できます。

FPGA Editor を起動するには、Flow Navigator でインプリメント済みデザインを開いてから [Launch FPGA Editor] をクリックします。

インプリメント済みデザインを最初に読み込まないで FPGA Editor を起動する場合は、[Launch FPGA Editor] をクリックします。

PlanAhead から起動すると、配線済みの NCD ファイルが自動的に FPGA Editor に読み込まれます。FPGA Editor の詳細は、[ISE ヘルプ](#)を参照してください。

FPGA Editor へのタイミング パスのクロスプローブ

次の手順を使用すると、PlanAhead のタイミング パスから FPGA Editor へクロスプローブできます。

1. [Timing Results] ビューまたは [Device] ビューでタイミング パスを選択し、右クリックで [Cross probe to FPGA Editor] を選択します。ロジック インスタンスを個別に選択して FPGA Editor へクロスプローブすることもできます。

FPGA Editor には、選択したパスまたはインスタンスがハイライトされた状態で表示されます。

FPGA Editor が開いていない場合は、ツールを起動するかどうか尋ねるメッセージが表示されます。

第 12 章

デザインのプログラムとデバッグ

ビットストリーム ファイルの生成

インプリメンテーションが問題なく終了したら、ISE® の bitgen コマンドを実行してビットストリーム データを作成できます。この方法は次のとおりです。

1. Flow Navigator で、[Program and Debug] ボタンをクリックし、[Generate Bitstream] を選択します。図 12-1 は、このコマンドを示しています。

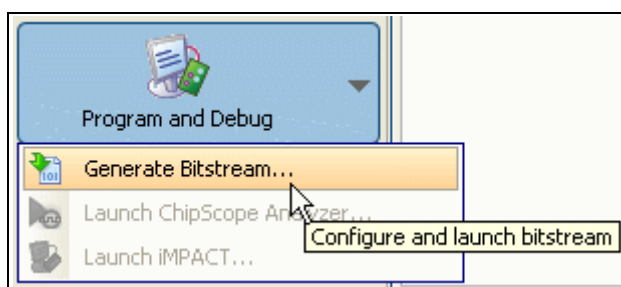


図 12-1 : [Generate Bitstream] コマンドの実行

図 12-2 のように、[Generate Bitstream] ダイアログ ボックスが開きます。

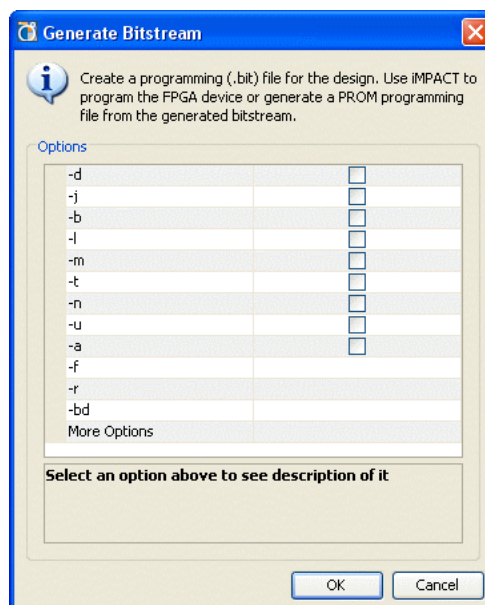


図 12-2 : [Generate Bitstream] ダイアログ ボックス

このコマンドを実行前に ISE の BitGen コマンド オプションを設定できます。オプションを選択すると、そのオプションに関する説明がダイアログ ボックスに表示されます。使用可能なオプションの値が右側のプルダウン メニューに表示されます。BitGen オプションの詳細は、『[コマンドライン ツール ユーザー ガイド](#)』(UG628) を参照してください。

2. [OK] をクリックし、BitGen を開始します。

コマンドのステータスは [Compilation Log] ビューおよび [Compilation Messages] ビューで確認でき、終了したら [Reports] ビューに BitGen レポート ファイルが表示されます。

結果の BIT ファイルはプロジェクトの Run ディレクトリに保存されます。

ChipScope を使用したデザインのデバッグ

PlanAhead™ ソフトウェアは、ChipScope™ デバッグ ソフトウェアと統合されています。

ChipScope Pro の統合により、ChipScope Pro Integrated Logic Analyzer (ILA) デバッグ コアを合成後に簡単に挿入および接続できます。

PlanAhead と ChipScope の統合の概要

PlanAhead では、ウィザードを使用してほとんどのデザインのデバッグをすばやく簡単に実行できます。ウィザード以外の GUI 機能や Tcl コマンド フローも、精密なデバッグやネット接続のために使用できます。このフローを使用すると、PlanAhead 環境内で多機能な ILA コアを接続することができます。図 12-3 は、デバッグ コアの統合を示しています。

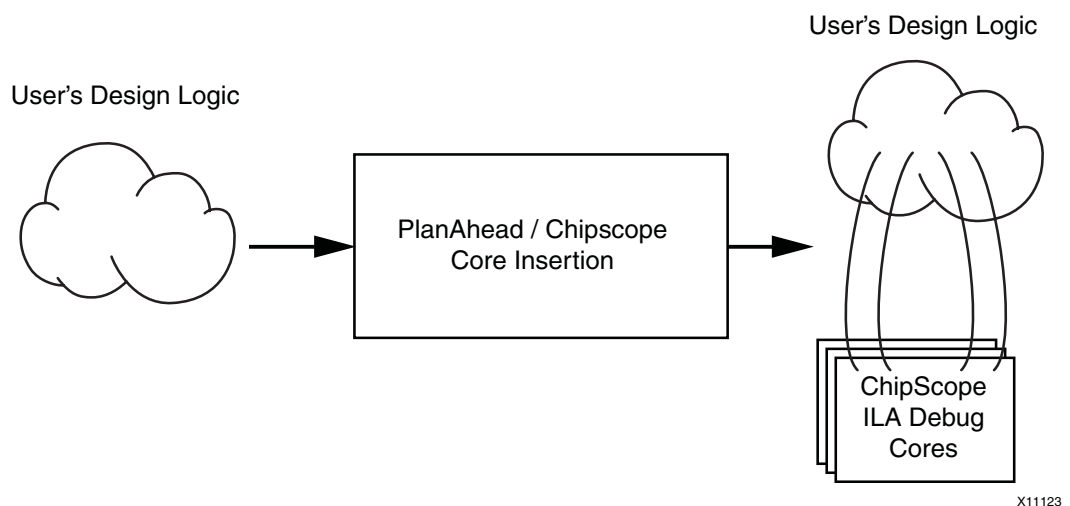


図 12-3： PlanAhead/ChipScope 統合の図説

コア挿入フローを使用する場合の要件および制限

PlanAhead で ChipScope の機能を使用するには、ChipScope Pro および PlanAhead を含む ISE® Design Suite 13.x ツールがインストールされている必要があります。

ランタイム デザイン デバッグを実行するには、ザイリンクス プラットフォーム USB ケーブルも必要です。ChipScope Pro の詳細は、

http://japan.xilinx.com/support/documentation/dt_chipscopepro.htm を参照してください。

PlanAhead に統合された ChipScope の機能には、次のような制限があります。

- このフローを使用する場合は、PlanAhead、ISE、ChipScope Pro は必ず同じバージョンである必要があります。これらのツールのほかのバージョンは使用できません。
- このフローは、Project Navigator または ChipScope Pro Core Inserter フローでは使用できませんが、ChipScope デバッグ コア (CDC) を PlanAhead にインポートすることはできます。
- このフローは、PlanAhead を ISE Project Navigator から起動した場合は使用できません。
- ChipScope Pro Integrated CONTroller (ICON) コアに既存デバッグ コアが接続されている場合、表示はできますが変更はできません。
- コア外部でインスタンス化された BSCAN プリミティブへの接続を必要とする BSCAN プリミティブなしに生成された ICON が既存する場合、このフローはその ICON とは互換性ありません。
- PlanAhead ではデバッグ コアが合成後のデザイン ネットリストに追加されるため、合成中に行われるトリミングや最適化が原因で、デバッグできないネットがある場合があります。
- ChipScope Pro ILA コアのみがこのフローで作成および接続できます。

コア挿入フローの使用

ChipScope デバッグ コアの PlanAhead への挿入は、PlanAhead ユーザーのレベルの応じていろいろな方法で実行することができます。

- シンプルな GUI のウィザードを使用し、デバッグするために選択したネットに基づいて、ILA コアを自動作成および設定するのが一番簡単な方法です。
- また ChipScope のメイン ウィンドウで個々のコア、ポート、およびパラメータを設定することもできます。[ChipScope] ビューは、[Layout Selector] または [Layers] メニューから [ChipScope] ビューを選択するか、[Windows] → [ChipScope] をクリックすると開くことができます。
- Tcl デバッグ コマンドを使用し、スクリプトを手動で作成したり再生することもできます。

この 3 つの方法を合わせて利用し、デバッグ コアを挿入およびカスタマイズすることもできます。

図 12-4 は、デバッグ コア挿入を図示しています。

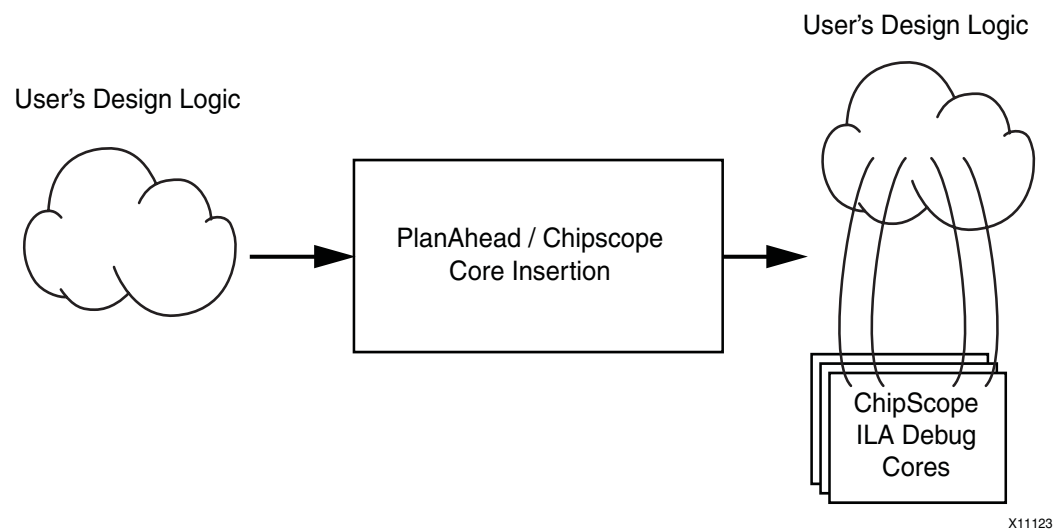


図 12-4： デバッグ コアの挿入モード

デバッグ コア挿入モードの決定

次の表は、デバッグ目標に基づきどの挿入モードを使用すべきかをまとめたものです。

表 12-1：デバッグ目標およびコア挿入モード

デバッグ目標	コア挿入モード
選択したネットに対しデフォルト設定を使用して ILA デバッグ コアをすばやく作成します。	ChipScope ウィザード
既存の出バグ コアのパラメータを変更します。	[ChipScope] ビュー
既存のデバッグ コアを手動で作成または削除します。	[ChipScope] ビュー
ILA コアのトリガまたはデータ ポートを手動で作成、削除、設定します。	[ChipScope] ビュー
ネットをトリガ、データ、クロック チャネルに手動で割り当てます。	[ChipScope] ビュー
デバッグ コマンドを記録したスクリプトを再生します。	Tcl コマンド

デバッグのためのネットの選択

PlanAhead/ChipScope デバッグ フローでの最初のステップは、デバッグするネットの識別です。

ChipScope デバッグ コアの挿入およびコンフィギュレーションはすべて [Netlist Design] ビューで実行する必要があります。これは、これらのコアをインプリメンテーション前にネットリストへ追加する必要があるからです。詳細は、177 ページの「ネットリスト デザイン環境の使用」を参照してください。

[Netlist] または [Schematic] ビューでネットまたはバスのセットを選択し、[Add to ChipScope Unassigned Nets] をクリックするか、[Netlist] ビューからネットを /Unassigned nets フォルダにドラッグ アンド ドロップします。[Schematic] ビューなどのほかのビューでネットやバスを選択することもできます。SSN 結果は図 12-5 のように表示されます。

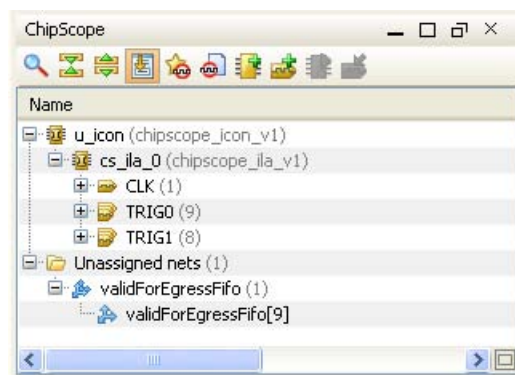


図 12-5： [ChipScope] ビューの割り当てのないネット リスト

また、Set up ChipScope ウィザードのネット セレクタ機能もあります。

ネットは、合成前にデバッグするために識別することもできます。HDL や制約ファイルでデバッグ用にマークされたネットは、[ChipScope] ビューの Unassigned nets フォルダの下および Set up ChipScope ウィザードに自動的に表示されます。

デバッグ用にネットをマークする方法は、プロジェクトが RTL ソース ベースであるか合成済み ネットリスト ベースであるかによって異なります。RTL ネットリスト ベースのプロジェクトの場合は、

- **XST (Xilinx Synthesis Technology)** を使用すると、VHDL/Verilog ソースまたはザイリンクス 制約ファイル (XCF) で mark_debug 制約を使用してデバッグ用ネットをマークできます (オプション)。

mark_debug 制約の詳細は、『[制約ガイド](#)』(UG625) を参照してください。この制約には、ブール型文字列値の true や false だけでなく、soft 値を使用して、指定ネットを最適化できます。

メモ : XST では、Spartan-6、Virtex-6 およびそれ以降のデバイスでこの制約が自動的にサポートされます。

合成済みネットリスト ベースのプロジェクトの場合は、

- **Synopsis 社の Synplify 合成ツール**を使用すると、VHDL や Verilog の場合は mark_debug および syn_keep 制約、SDC (ynopsys Design Constraints) ファイルの場合は mark_debug 制約のみが使用され、デバッグ用のネットをマークできます (オプション)。Synplify では、soft 値はサポートされません。これは、このビヘイビアが syn_keep 制約で制御されるからです。
- **Mentor Graphics 社の Precision 合成ツール**を使用すると、VHDL や Verilog で mark_debug 制約を使用してデバッグ用のネットをマークできます。

次のセクションは、XST、Synplify、Precision ソース ファイルの構文例です。

XST の構文例

次は、XST を使用する場合の VHDL、Verilog、XCF の構文例を示しています。

VHDL の構文例

```
attribute mark_debug : string;  
attribute mark_debug of char_fifo_dout: signal is "true";
```

Verilog の構文例

```
(* mark_debug = "true" *) wire [7:0] char_fifo_dout;
```

XCF の構文例

```
BEGIN MODEL "wave_gen"  
NET "char_fifo_dout" mark_debug= "true";  
END;
```

Synplify の構文例

次は、Synplify を使用する場合の VHDL、Verilog、SDC の構文例です。

VHDL の構文例

```
attribute syn_keep : boolean;  
attribute mark_debug : string;  
attribute syn_keep of char_fifo_dout: signal is true;  
attribute mark_debug of char_fifo_dout: signal is "true";
```

Verilog の構文例

```
(* syn_keep = "true" *) (* mark_debug = "true" *) wire [7:0] char_fifo_dout;
```

SDC の構文例

```
define_attribute {n:char_fifo_din[*]} {mark_debug} {"true"}
```

メモ：SDC ソースのネット名には、接頭辞に **n** が付きます。詳細は、[374 ページの「SDC について」](#)を参照してください。

Precision の構文例

次は、Precision を使用する場合の VHDL、Verilog、XCF の構文例を示しています。

VHDL の構文例

```
attribute mark_debug : string;
attribute mark_debug of char_fifo_dout: signal is "true";
```

Verilog の構文例

```
(* mark_debug = "true" *) wire [7:0] char_fifo_dout;
```

ChipScope ウィザードを使用したデバッグ コアの挿入

PlanAhead にデバッグ コアを追加するには、Setup ChipScope デバッグ ウィザードを使用するのが最も簡単です。

Set Up ChipScope ウィザードを使用してデバッグ コアを挿入するには、次を実行します。

1. 割り当ての内ネット リストまたは直接ネットをクリックしてデバッグするネットを選択します (オプション)。
2. Flow Navigator で [Set up ChipScope] をクリックするか [Tools] → [Set up ChipScope] をクリックし、Set up ChipScope ウィザードを開きます。[図 12-6](#) は、このウィザードを起動したところを示しています。

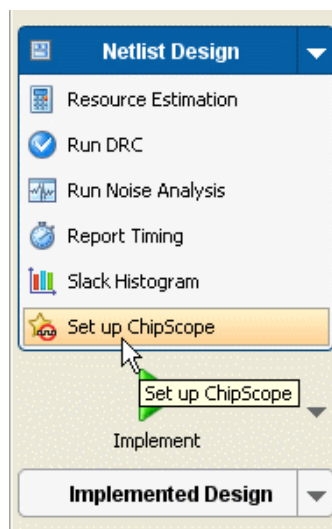


図 12-6： Set up ChipScope ウィザードの起動

3. 画面の指示に従って、デバッグ コアを接続およびコンフィギュレーションします。

ChipScope の CDC ファイルのインポート

Set up ChipScope ウィザードを使用すると、プロジェクトに既存の ChipScope Debug Core (CDC) ファイルを追加できます。

[Set up ChipScope] をクリックすると、CDC ファイルを選択する画面が表示されます。

CDC ファイルを選択し、[Next] をクリックします。

メモ：すべての ChipScope コアがインポートできるわけではありません。ChipScope Core Inserter または PlanAhead からの CDC ファイルには、インポートに必要なコア情報が含まれています。

デバッグ ネットの選択または確認

[Unassigned nets] のリストにネットが追加された場合は、それらを使用するか新しいネットを選択するかが尋ねられます。[Add/Remove Nets] ページが表示されます。ここでは、デバッグするネットを検索して選択できます。

ネットを必要に応じて追加または削除したら、[Next] をクリックします。

デバッグするネットおよびクロック ドメインの指定

Set up ChipScope ウィザードは、[図 12-7](#)のように選択した各ネットまたはバスに対し、正しいクロックを自動検出します。

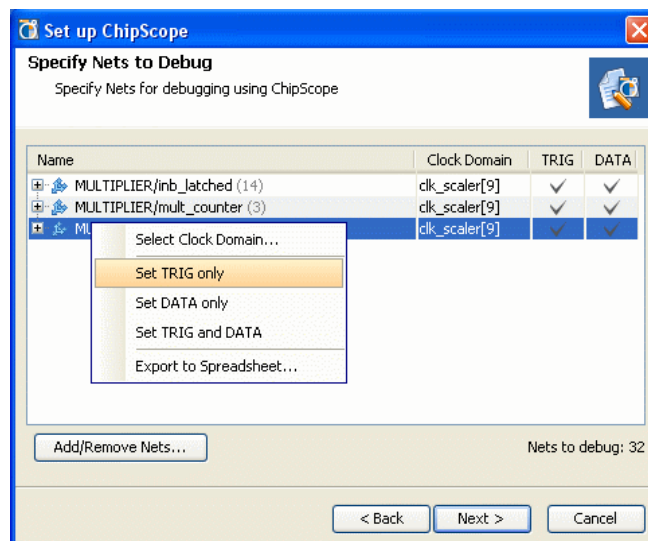


図 12-7： デバッグ ネットおよびクロック ドメインの指定

複数のクロックが検出された場合、ドロップダウン リストを使用してクロックを選択できます。

1. [Add/Remove Nets] をクリックしてデバッグ ネットを選択/選択解除することもできます。
2. 各ネットまたはバスは、トリガ、データ ストレージ、またはその両方として使用できるよう設定できます。
3. ネットおよびクロックの設定が正しい場合は、[Next] をクリックしサマリ ページに進みます。

デザインに ILA コアが含まれる場合は、それらを削除してビュー情報に基づいて生成し直すか、そのまま維持して新規のコアを生成するか選択します。

ILA コアの挿入

Set up ChipScope ウィザードは、クロック ドメインにつき 1 つの ILA コアを挿入します。

デバッグのために選択されたネットは、インスタンス化された ILA コアのトリガおよびデータポートとして自動的に割り当てられます。

ウィザードの最終画面はコア作成のまとめのページで、検出されたクロック数、作成および削除される ILA コアの数が表示されます。

内容を確認したら [Finish] をクリックし、デザインに ILA コアをインスタンスエートおよび接続します。

[ChipScope] ビューを使用したデバッグ コアの追加とカスタマイズ

ILA コア挿入に対する詳細な設定は、ChipScope ウィザードではできないので、[ChipScope] ビューを使用します。

このビューでは、コアの作成および削除、ネット接続のデバッグ、およびコア パラメータの変更を設定できます。

[ChipScope] ビューには、次が表示されます。

- ICON コントローラ コアに接続されたデバッグ コアのリストが表示されます。
- ビューの下部に、割り当てられていないネットのリストも管理されます。

デバッグ コアおよびポートは、ポップアップ メニューまたはビューの上部にあるツールバーから制御できます。

デバッグ コアの作成および削除

[ChipScope] ビューで ChipScope デバッグ コアを作成するには、[Create Debug Core] をクリックします。

このインターフェイスを使用すると、親インスタンスの変更、コア名のデバッグ、コアのパラメータ設定ができます。

既存のデバッグ コアを削除するには、[ChipScope] ビューでコアを選択し、[Delete] をクリックします。

デバッグ コア ポートの追加、削除、およびカスタマイズ

デバッグ コアの追加および削除だけでなく、各デバッグ コアのポートを追加、削除およびカスタマイズすることができます。ポートを追加するには次の手順に従います。

1. コアを選択します。
2. [Create Debug Port] をクリックします。

図 12-8 のような [Create Debug Port] ダイアログ ボックスが表示されます。

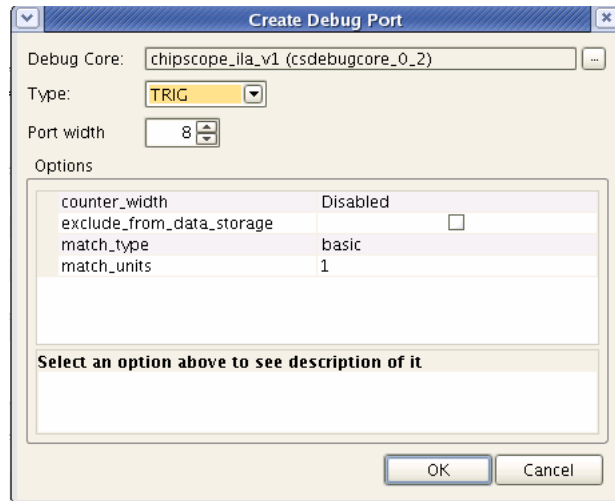


図 12-8: デバッグ コアのポートおよびオプションのカスタマイズ

3. ドロップダウン リストからポートのタイプを選択します。

[Options] でポートに対しオプションを設定します。ポート幅はデフォルト値が表示されますが、ポートからネットを追加および削除することに値が変化します。

4. [OK] をクリックします。

デバッグ ポートを削除するには、[ChipScope] タブでポートを選択し、[Delete] をクリックします。

デバッグ コアへのネットの接続および接続解除

ネットおよびバス (ネットのベクタ) は [Schematic] または [Netlist] ビューからデバッグ コアのポートへドラッグ アンド ドロップできます (次の図を参照)。これで、選択内容に応じてポートが自動的に拡張します。

また、ネットまたはバスを右クリックし、[Assign to ChipScope Debug Port] を選択することもできます。

デバッグ コアのポートからネットの接続を解除するには、ポートに接続されているネットを選択し、[Disconnect Net] をクリックします。図 12-9 は、この動作を示しています。

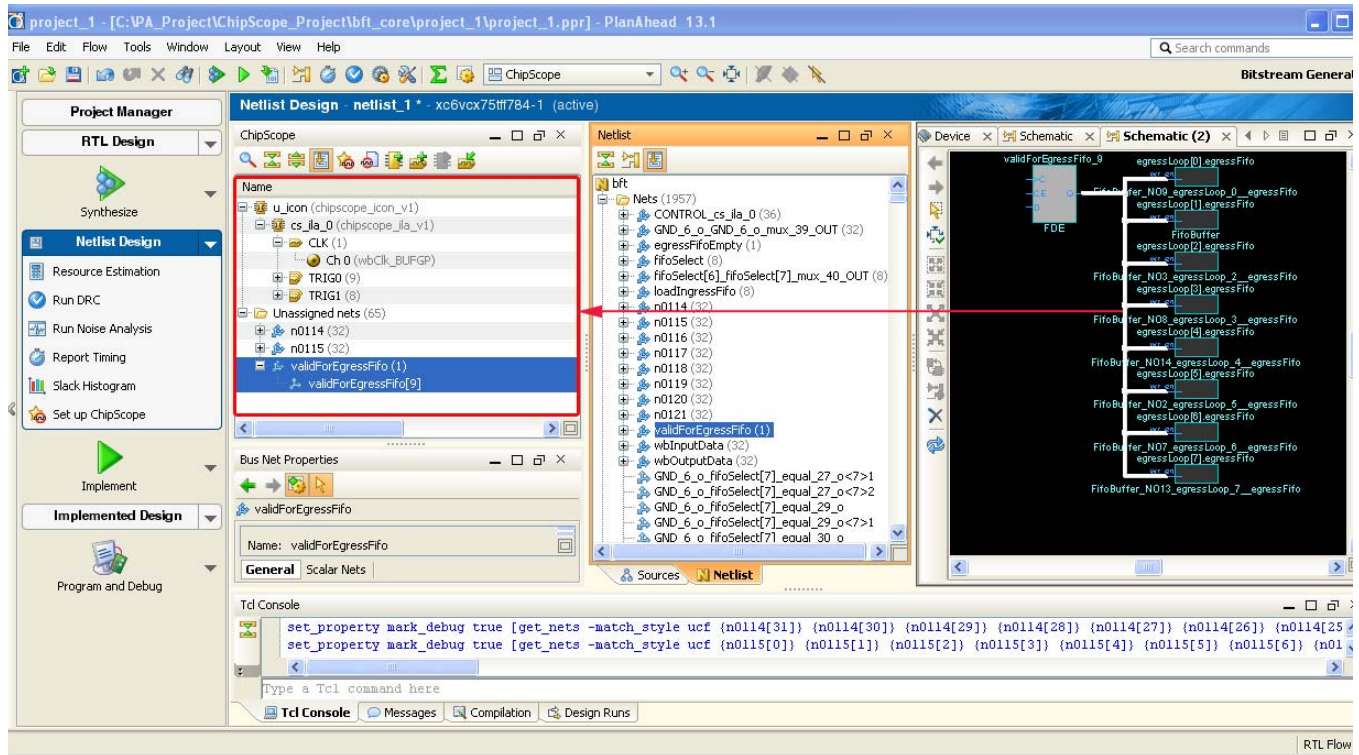


図 12-9: デバッグ コア ポートへのネットのドラッグ アンド ドロップ

デバッグ コアおよびポート パラメータのカスタマイズ

ChipScope デバッグ コアにはカスタマイズ可能なパラメータがあります。

これらのコアのパラメータを表示するには、次の手順に従います。

1. [ChipScope] ビューで ChipScope デバッグ コアを 1 つ選択します。
2. 352 ページの図 12-10 のように、[Properties] タブで [Options] をクリックしコア パラメータを設定します。

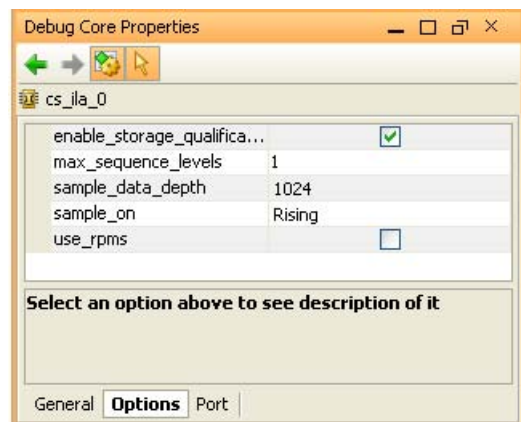


図 12-10: デバッグ コアのパラメータ

デバッグ コアのインプリメンテーション

ChipScope Pro の ICON および ILA コアは PlanAhead でブラックボックスとして始めは作成されます。これらのコアはマップ、配置、配線を実行する前にインプリメントしておく必要があります。

ChipScope デバッグ コアのインプリメンテーションは、Flow Navigator または [Tools] メニューの [Implement] コマンドを使用してインプリメンテーション フローを実行すると、自動化されますが、[ChipScope] ビューの左側にある [Implement] ボタンをクリックしてフロアプランまたはタイミング解析用に手動でインプリメントすることもできます。

各ブラック ボックス デバッグ コアに対しザイリンクスの CORE Generator™ がバッチ モードで起動します。この処理には、多少時間がかかる場合があります。この間、進捗状況を示すダイアログ ボックスが表示されます。デバッグ コアのインプリメンテーションが完了すると、デバッグ コアのブラック ボックスが処理され、生成されたインスタンスにアクセスできます。

ChipScope Analyzer のネット接続の CDC ファイルの使用

ChipScope Analyzer の CDC ファイルはデザイン インプリメンテーションが完了すると自動的に生成されます。[ChipScope] ビューで [Export Debug Net Names] を使用し CDC ファイルを手動でエクスポートすることもできます。この CDC ファイルを ChipScope Analyzer にインポートし、ILA コア データおよびトリガ ポートのネット名を自動的に設定することができます。

デバッグ コアを含むデザインのインプリメンテーション

ChipScope デバッグ コアが作成され接続されたら、標準 PlanAhead インプリメンテーション フローを実行しデバイスのビットストリームを作成することができます。

Flow Navigator または [Tools] メニューから [Implement] をクリックしてインプリメンテーション フローを開始します。

ChipScope Pro Analyzer の起動

ChipScope Pro Analyzer ソフトウェアがインストールされていれば、どのインプリメンテーション デザインに対しても [Generate Bitstream] コマンドを実行すると PlanAhead から直接起動できます。

ChipScope Pro Analyzer を起動するには次のいずれかの操作を実行します。

- Flow Navigator で [Program and Debug] → [Launch ChipScope Analyzer] をクリックします。
- [ChipScope] タブをクリックし、右クリックで [Launch ChipScope Analyzer] を選択します。

ビットストリーム ファイル (BIT ファイル) および CDC ファイルが自動的に ChipScope Pro Analyzer で読み込まれます。ChipScope Pro Analyzer の詳細は、http://japan.xilinx.com/support/documentation/dt_chipscopepro.htm を参照してください。

iMPACT の起動

iMPACT ツールではデバイス コンフィギュレーションとファイルの生成が実行できます。

- デバイス コンフィギュレーションでは、ザイリンクス ケーブル (パラレル ケーブル IV、プラットフォーム ケーブル USB またはプラットフォーム ケーブル USB II) を使用してザイリンクス FPGA および PROM を直接コンフィギュレーションできます。
- バウンダリスキャン モードで実行すると、ザイリンクス FPGA、CPLD、PROM をコンフィギュレーションまたはプログラムできます。
- ファイル生成では、System ACE CF、PROM、SVF、STAPL および XSVF などのプログラム ファイルを作成できます。

iMPACT では、次も実行できます。

- デザインのコンフィギュレーション データのリードバックおよび検証
- コンフィギュレーション エラーのデバッグ
- SVF および XSVF ファイルの実行

iMPACT ソフトウェアは、どのインプリメンテーション デザインに対しても [Generate Bitstream] コマンドを実行すると PlanAhead から直接起動できます。iMPACT を起動するには、Flow Navigator で [Launch iMPACT] をクリックします。

PlanAhead から起動すると、BIT ビットストリーム ファイルが自動的に iMPACT に読み込まれます。iMPACT の詳細は、[ISE ヘルプ](#)を参照してください。

第 13 章

階層デザイン手法の使用

PlanAhead と ISE の機能

PlanAhead™ ソフトウェアには、階層デザイン プロセスをサポートする機能が複数あります。このような機能を使用するかどうかは、設計前に決めておく必要があります。階層デザイン手法を使用するかどうかは、デザイン パーティションや RTL コードについて事前に考慮して決めてください。タイミング クロージャやランタイムの削減を目的に、この手法をデザイン サイクルの後半に使用し始めると、結果が変わってしまうことがあります。

階層デザインのマニュアル

階層デザイン手法の詳細は、次を参照してください。

- 『階層デザイン手法ガイド』(UG633)
- 『パーシャル リコンフィギュレーション ユーザー ガイド』(UG702)

パーシャル リコンフィギュレーションに関するマニュアルは、次から入手できます。

<http://japan.xilinx.com/tools/partial-reconfiguration.htm>

チュートリアルは、次から入手できます。

http://japan.xilinx.com/sw_manuals/xilinx13_1/tutorials.htm

- 『PlanAhead ソフトウェア チュートリアル：予測可能な結果に対する保存デザインの利用』(UG747)
- 『PlanAhead ソフトウェア チュートリアル：パーシャル リコンフィギュレーション フローの概要』(UG743)
- 『PlanAhead ソフトウェア チュートリアル：プロセッサ ペリフェラルのパーシャル リコンフィギュレーション』(UG744)

ライセンスは、ザイリンクス®のウェブ サイト <http://japan.xilinx.com/getproduct> から入手できます。

パーティションの使用

階層機能とは、「パーティション」というデザインの階層バウンダリを設定して管理する機能です。

これらのバウンダリを設定することにより、合成やインプリメンテーションでバウンダリを超えてロジックを最適化することがなくなるので、再利用するロジックのみを残しておくことができます。

パーティションを効率的に実行するには、効率的なロジック デザインおよび知識が必要です。

PlanAhead では、次のパーティション機能がサポートされます。

- RTL プロジェクトを使用した XST のインクリメンタルフロー

- パーティションを作成された階層とは別の階層にインポート
- パーティション内の AREA_GROUPS
- 合成およびインプリメンテーションでのブラック ボックス サポート
- パーティション ポートの定数および未接続の入力/出力のバウンダリ最適化


メモ：ISE コマンド ライン フローのネスト化されたパーティションの機能は、PlanAhead ではサポートされません。

パーティションを含むデザインがインプリメントされると、その結果を今後のインプリメンテーション用にエクスポートできます。パーティションの定義およびビヘイビアは、xpartitions.xml という XML ファイルに保存されます。ISE® Design Suite ツールでは、そのファイルの run ディレクトリが検索され、実行されます。パーティションは [Implement] や [Import] など、指定したパーティションの「アクション」と共に定義されます。xpartitions.xml ファイルの使用方法和構文については、階層デザインのマニュアルを参照してください。

パーティションの設定

パーティションは、デザインの階層デザイン インスタンスに設定できます。階層デザイン フローでは、各パーティションを別々に合成する必要があるため、パーティションごとにネットリストが生成されます。これにより、パーティション ネットリストは個別に保存され、再利用できるようになります。

パーティションを設定するには、次の手順に従います。

1. [Netlist] ビューでパーティションを設定するモジュール インスタンスを選択します。
2. 右クリックし、[Set Prohibit] をクリックします。
3.  13-1 のように、パーティションされたモジュールをハイライトする新しいアイコンが [Netlist] ビューに表示され、そのパーティションが [Instance Properties] ビューの [Partitions] タブに表示されます。

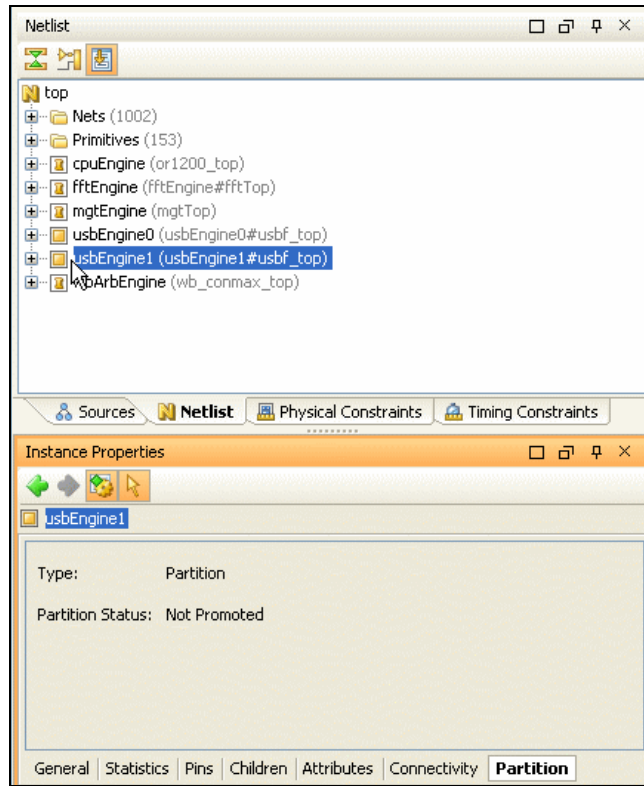


図 13-1 : [Netlist] ビューのパーティション

プロジェクトでパーティションが設定されると、残りのデザインも自動的にパーティションになります。この最上位のパーティションは、デザインのアップデート中に変更しないのであれば、プロモートするかインプリメントして保持できます。

パーティション プロパティの表示

インスタンスのパーティション プロパティは、357 ページの図 13-1 のように、そのパーティション インスタンスを [Netlist] ビューで選択すると、[Instance Properties] ビューの [Partitions] タブに表示されます。

このビューには、パーティションのディレクトリとプロモートされた日付が表示されます。

パーティションの合成実行

パーティション デザインで合成を実行すると、自動的に XST のインクリメンタルフローが使用されます。これにより、最上位モジュールを含む各パーティションのネットリスト ファイル (NGC) がそれぞれ生成されます。このあと、問題のなかった合成結果をプロモートすると、変更のなかったパーティションを続く run にインポートできるようになります。

合成の詳細は、第 6 章「デザインの合成」を参照してください。

パーティションの合成/インプリメンテーション run の設定

パーティション アクションは、PlanAhead から起動される合成 run またはインプリメンテーション run ごとに設定できます。各パーティションをインプリメントするかインポートするかは、ユーザー

が指定する必要があります。PlanAhead は、一番最近のプロモートに基づいて最適なアクションを設定します。各 run を起動する前にパーティション アクションが問題なく設定されているかどうか確認してください。

インプリメンテーション用にパーティション アクションを設定するには、次の手順に従います。

1. 図 13-2 のように、Flow Navigator で [Implement] ボタンの横にあるプルダウン メニューから [Implementation Settings] を選択します。

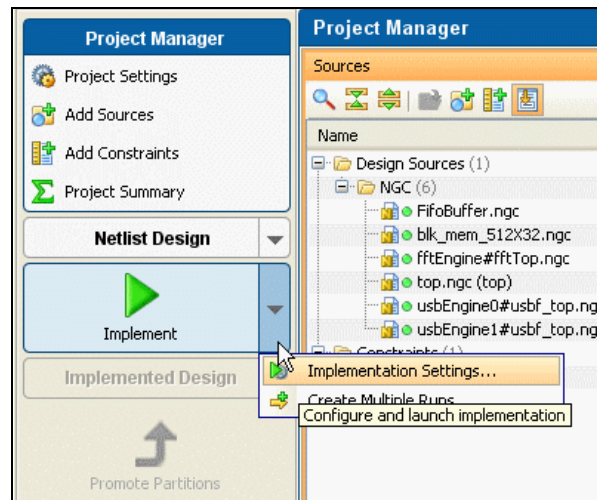


図 13-2： インプリメンテーション設定

[Implementation Settings] ダイアログ ボックスで run の起動オプションを設定します。[Specify Partitions] フィールドには、そのパーティションに現在設定されているアクションが表示されます。

2. 図 13-3 のように、[Specify Partitions] フィールドの参照ボタンをクリックします。

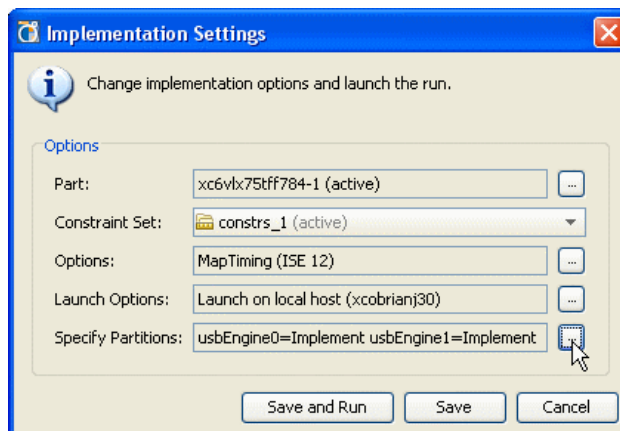


図 13-3： [Implementation Settings] ダイアログ ボックス

図 13-4 のように [Specify Partition] ダイアログ ボックスの各パーティションのアクションの列を [Implement] または [Import] に指定します。

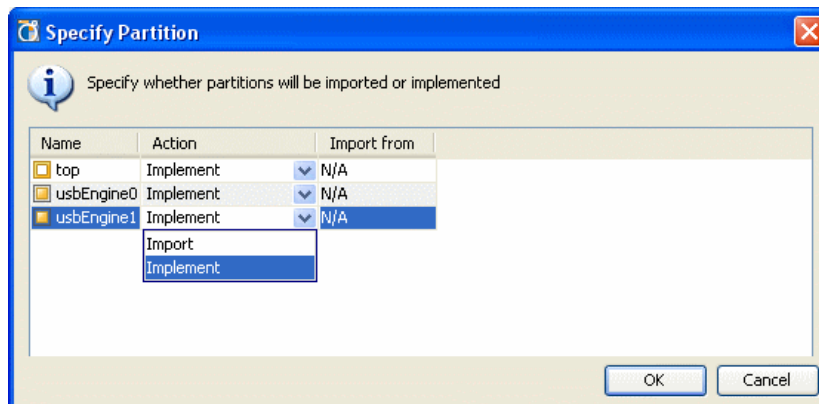


図 13-4 : [Specify Partitions] ダイアログ ボックス

- 最初にデザインをインプリメントする場合は、インプリメントされたパーティションをインポートするプロモート ディレクトリがないので、すべてのパーティションを [Implement] に設定する必要があります。
- パーティション アクションは次のように設定します。
 - パーティションをインポートする場合は、[Import from] 列でディレクトリを指定し、[OK] をクリックします。
 - [Implementation Settings] ダイアログ ボックスで [Run] をクリックし、新しいパーティション アクション設定でインプリメンテーションを開始します。
 - [Compilation Log] ビューで ISE コマンド ステータスをモニタします。
- ISE の NGDBuild コマンドが終了したら、[Report] タブをクリックし、NGDBuild レポート (359 ページの図 13-5) を確認します。run でパーティションに対して実行されたアクションが NGDBuild レポートに表示されます。

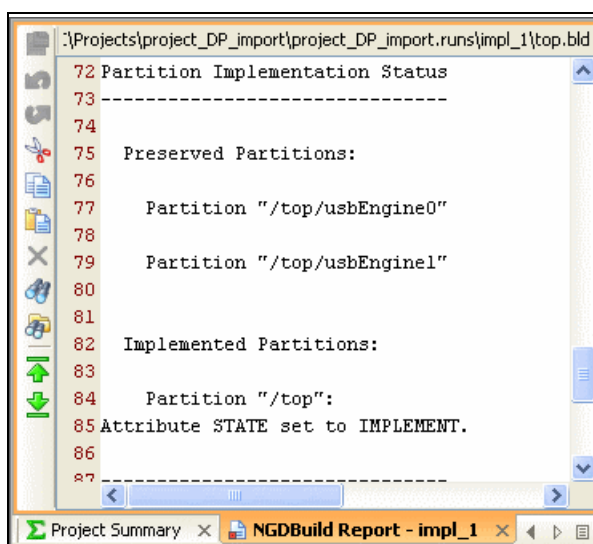


図 13-5 : NGDbuild レポートのパーティション アクションの表示

合成のパーティション アクションはインプリメンテーションと同じ手順で設定できますが、[Synthesis Settings] ダイアログ ボックスを表示するには、[Synthesis] ボタンの右側のドロップダ

ウン リストを使用する必要があります。

パーティションのプロモート

要件を満たした合成またはインプリメンテーションが達成されると、ISE の結果ファイルをレポジトリ ディレクトリにコピーして後でインポートできます。このプロセスはパーティションの「プロモート」と呼ばれます。

パーティションは、問題なく合成/インプリメントされた **run** からのみプロモートできます。

パーティションをプロモートするには、次の手順に従います。

1. Flow Navigator で [Promote Partitions] をクリックします。

図 13-6 に示すような [Promote Partition] ダイアログ ボックスが開きます。

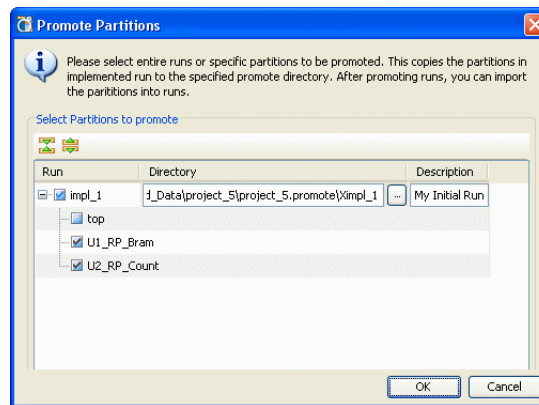


図 13-6： パーティションのプロモート

[Promote Partitions] ダイアログ ボックスでは、プロモートするパーティションが定義できます。デフォルトでは、すべてのパーティションが選択されます。最上位レベルのパーティションは選択されません。

2. ダイアログ ボックスをデフォルトのままにするか、プロモートするパーティションのみを選択して適用します。
3. [Description] フィールドに詳細を入力して [OK] をクリックします (オプション)。

[Promoted Partitions] ビューが開きます。

メモ：すべてのパーティションを 1 つのディレクトリにプロモートおよびインポートすることをお勧めします。デフォルトでは同じプロモート ディレクトリが使用されます。この方法を使用すると、以前にプロモートしたディレクトリを上書きするかどうか尋ねるメッセージが表示されます。文書のリストについては、355 ページの「階層デザインのマニュアル」を参照してください。

パーティションがプロモートされたら、次の合成またはインプリメンテーションのパーティションアクション設定がデフォルトの [Import] になります。

[Promoted Partitions] ビューの使用

[Promote Partitions] ビューは、[Promote Partitions] コマンドを実行すると表示されます。

[Promoted Partitions] ビューを開くには、[Window] → [Promoted Partitions] をクリックします。

図 13-7 は、[Promoted Partitions] ビューを示しています。

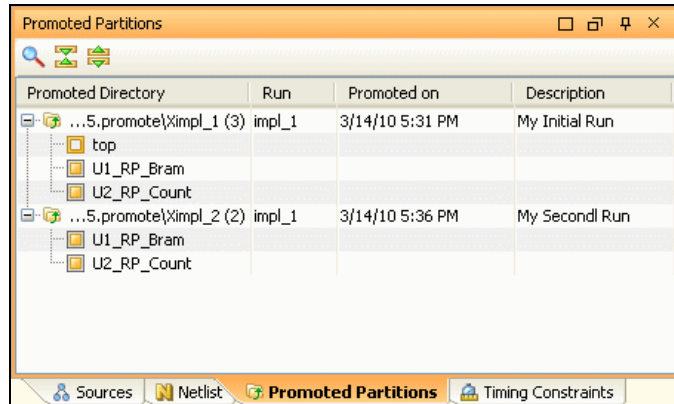


図 13-7: [Promoted Partitions] ビュー

各プロモーションがツリー形式で表示され、プロモートされたパーティション、ソースの **run**、プロモートされた日時、などの詳細が表示されます。

プロモートされたパーティションの削除

/Project ディレクトリを削除すると、前にプロモートしたディレクトリを削除できます。プロモート ディレクトリ全体が **run** からのプロモートされたパーティションすべてを含めて削除されます。

プロモート ディレクトリを削除するには [Promoted Partitions] ビューでそのディレクトリを右クリックし、[Delete] をクリックします。

パーティションのインポート

パーティションをプロモートしたら、それらのパーティションをその後の **run** にインポートできます。

- 合成の場合、パーティションをインポートすると、インポートされた **NGC** ファイルが現在の結果ディレクトリにコピーされ、同一の合成結果がインプリメンテーションで使用されるようになります。
- インプリメンテーションの場合、パーティションをインポートすると、残りのデザインをインプリメントする前に、配置配線でプロモートされたパーティションの **run** がコピーされ、新規 **run** にインポートされ、同じ結果を維持できます。

ソースのアップデート

RTL ソースのアップデート

RTL ソースに変更を加えると、[RTL] および [Netlist] ビュー、完了した合成またはインプリメンテーション **run** が最新の状態ではなくなります。この場合、[RTL] および [Netlist] ビューを開き直すか、ファイルを再び読み込んでロジックの変更を認識させる必要があります。

ネットリスト ソースのアップデート

デザインを修正すると、そのアップデートされたネットリストが自動的に検出されるか (リモートソースを使用している場合)、プロジェクトでアップデートされ、既存ネットリストがアップデートされます。ソース ファイルがアップデートされたら、[Netlist Design] を開くか読み込み直して、ロジックの変更を適用します。詳細は、145 ページの「[デザイン ソース ファイルの管理](#)」を参照してください。

ロジック アップデートに基づいたパーティション アクションの設定

357 ページの「パーティションの合成/インプリメンテーション run の設定」の記述のように、各 run に対してパーティション アクションを設定する必要があります。

- アップデートされたネットリストを含むパーティションは [Implement] に設定して、ロジックが変更を含めて再インプリメントされるようにします。
- パーティションに変更がない場合は、[Import] に設定して結果が保持されるようにする必要があります。

PlanAhead は、プロモートされたパーティションすべてのパーティション アクションを自動的に [Import] に設定し、インポート元の最新のプロモート ディレクトリを選択します。ただし、ロジック アップデートを自動的に認識して該当するパーティションを [Implement] に設定することはありません。

図 13-8 は、[Specify Partitions] ダイアログ ボックスを示しています。

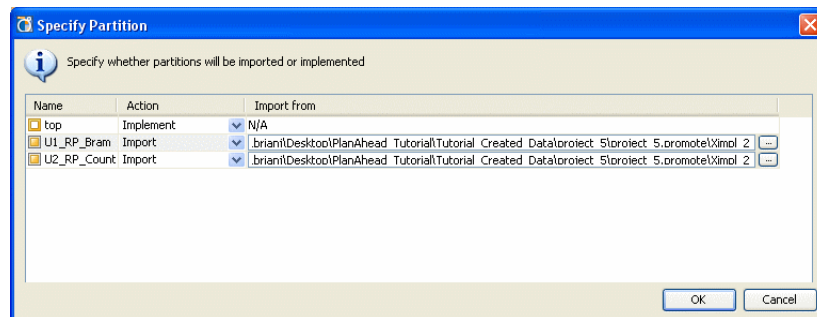


図 13-8： パーティションのインポート

ISE の NGDBuild レポートには、各 run のパーティション アクションに関する情報が含まれます。レポートを表示するには、[Reports] ビューのタブをクリックして NGDBuild レポートを開きます。362 ページの図 13-9 は、NGDBuild レポートのパーティション アクティビティを示しています。

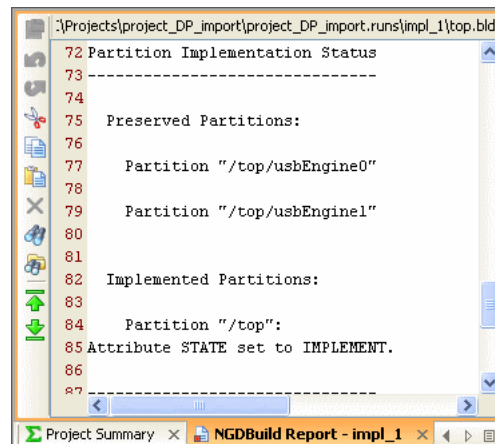


図 13-9： NGDBuild レポートのパーティション インポート アクション

問題なく保持されたパーティションがプロモート ディレクトリからコピーされ、新規 run に貼り付けられます。これにより、インポートされたパーティションの結果が同じになります。

チーム デザイン

PlanAhead には、複数のプロジェクトを作成および管理できる環境が含まれるので、開発をそれぞれ同時に進めることができます。このチーム デザイン フローでは、XST (Xilinx Synthesis Technology) のインクリメンタル合成とインプリメンテーションでのブラック ボックスがサポートされます。

デザイン保持

PlanAhead に ISE のパーティション機能が含まれたことにより、1 つの run からのパーティションの配置配線をロック (保持) して、続く別の run に利用できるようになりました。

このインクリメンタル デザイン手法により、より一貫したインプリメンテーション結果が出力され、検証時間も削減され、デザインのクロージャ時間も削減されます。この機能は「デザイン保持」と呼ばれ、1 つのデザインの特定期間をインプリメントしてロックし、後の実行に再利用するために使用されます。

PlanAhead でサポートされるデザイン保持機能は、次のとおりです。

- RTL ベースおよびネットリスト ベースのデザインのパーティション設定
- パーティション プロパティの表示と変更
- パーティションの run 設定
- パーティションのプロモート
- パーティションの削除とインポート

パーシャル リコンフィギュレーション

PlanAhead には、パーシャル リコンフィギュレーション プロジェクトを設定し、インプリメントし、管理する環境が含まれています。PlanAhead では、ISE Design Suite インプリメンテーション ツールに含まれるパーティションとパーシャル リコンフィギュレーション機能が使用されます。

Tcl およびバッチ スクリプト

PlanAhead の Tcl 機能の概要

Tcl (Tool Command Language) は PlanAhead™ ソフトウェア環境に統合されたスクリプト言語です。Tcl はデザイン制約および SDC (Synopsys® Design Constraints) に対する業界標準言語です。

SDC は、Synopsys 社の Synplify やその他のベンダー ツールから FPGA 合成ツールへタイミング制約を渡すメカニズムで、タイミング制約の業界標準なので、スクリプト言語には Tcl が最も適しています。

Tcl を使用することで、自動スクリプトだけでなく、デザイン ツールに対するインタラクティブな要求が実行可能になっています。Tcl にはデザイン データベースから、ツール、デザイン設定、ステートなどに関する情報をインタラクティブに取り出す機能があります。たとえば、特定のタイミング解析レポート コマンドをクエリ検索したり、インクリメンタル制約を適用したり、ツールの手順を再実行しなくてもビヘイビアが予測通りかどうか直後にクエリを実行して確認できます。

次のセクションでは、PlanAhead に関する基本的な Tcl 機能について説明します。

メモ：この章には、Tcl コマンドすべてに関する説明は含まれません。含まれるのは、Tcl リソースへのリファレンス、PlanAhead 環境での一般的な Tcl の機能に関する説明のみです。

ジャーナル ファイルの Tcl

PlanAhead ソフトウェアを起動すると、GUI またはバッチ モードのどちらかで実行された操作ログを含む 2 つのファイルが作成されます。

- ・ PlanAhead.log
- ・ PlanAhead.jou

このログ ファイルから Tcl コマンドをコピーして Tcl コマンド ウィンドウまたはバッチ ファイルのどちらかで使用できます。

ファイルのディレクトリについては、[付録 A「PlanAhead の入力ファイルおよび出力ファイル」](#)を参照してください。

Tcl ヘルプ

Tcl の `help` コマンドを使用すると、サポートされる Tcl コマンドの概要が表示されます。`help` コマンドを引数を指定せずに実行すると、すべてのコマンドのリストが表示されます。次は、特定のコマンドを `help` コマンドの引数として指定する例を示しています。

```
help get_cells
```

これにより、このコマンド情報がコンソールとログ ファイルの両方に表示されます。また、次のように `-help` オプションを指定すると `help` 構文が表示されます。

```
get_cells -help
```

[Tcl Console] ビュー

PlanAhead の GUI 環境には、操作が実行されると Tcl コマンドを反映するエリアが含まれ、実行したタスクの結果を元に情報、警告、エラー メッセージが表示されます。[Tcl Console] ビューは、PlanAhead 環境の一番下にあり、GUI の幅に固定されています。[Tcl Console] ビューの右側 (スクロールバーの右) には、警告やエラーが色付きのインディケータで示されます。警告があれば黄色、エラーの場合は赤色で表示されます。これにより、素早く警告やエラーを見つけることができます。

図 14-1 は、[Tcl Console] ビューを示しています。

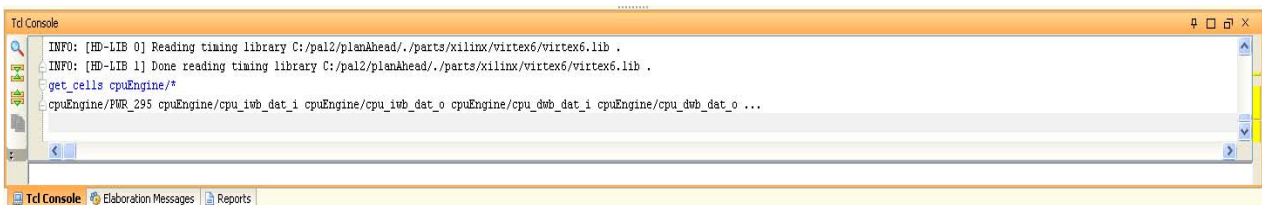


図 14-1： [Tcl Console] ビュー

PlanAhead の起動

PlanAhead には、主に次の 3 つの操作モードがあります。

- ・ GUI モード (デフォルト)
- ・ Tcl コマンド ライン オプションからの PlanAhead 実行ファイルの起動 (バッチ モード)
- ・ Tcl シェル モード

次のセクションでは、バッチ モードと Tcl シェル モードについて説明します。

バッチ モード

バッチ モードは、スクリプトを実行してツールをシャットダウンします。PlanAhead をバッチ モードで起動するには、次を入力します。

```
planAhead -mode batch -source script_name.tcl
```

Tcl シェル モード

Tcl モードは Windows のコマンド シェルや Linux シェルのようなシェルを起動します。これは GUI を起動しないインタラクティブなシェルセッションです。

スクリプトは `-source` オプションで渡すことができます (オプション)。これにより、スクリプトが実行された後、Tcl コマンドを手動で入力できるインタラクティブなシェルに制御が渡されます。Tcl シェル モードで PlanAhead を起動するには、次を入力します。

```
PlanAhead -mode tcl -source script_name.tcl
```

一般的な Tcl 構文のガイドライン

Tcl では、OS に関係なく Linux の表記規則 (/) が使用されます。

次のセクションでは、PlanAhead で Tcl を使用する際の一般的な構文ガイドラインについて説明しています。

Tcl スクリプトの実行

次のコマンド ライン オプションを使用すると、Tcl スクリプトを `source` コマンドで実行できます。

```
source -file_name
```

PlanAhead の GUI でこれを実行するには、[Tools] → [Run Tcl Script] をクリックします。

一般的な構文構造

PlanAhead の Tcl コマンドの一般的な構造は、次のとおりです。

```
command [optional_parameters] required_parameters
```

コマンド構文は、アンダースコア (`_`) で区切られた「動詞-名詞」および「動詞-形容詞-名詞」の構文になります。

コマンドは、関連するコマンド同士に同じ接頭辞が付けられて、グループ分けされています。

- ・ クエリを実行するコマンドには、通常 `get_` が接頭辞として付いています。
- ・ 値やパラメータを設定するコマンドには、通常 `set_` が接頭辞として付いています。

- ・ レポートを生成するコマンドには、通常 `report_` が接頭辞として付いています。

これまでの **PlanAhead** バージョンとは違い、コマンドに修飾子 `hdi::` を付ける必要はありません。コマンドに付属するサブコマンド也没有ありません。

構文例

次は、`get_cells -help` コマンドを実行した例です。

```
get_cells -help
Description:
Get a list of cells in the current design
Syntax:
get_cells [-hierarchical] [-regexp] [-nocase] [-filter arg]
[-of_objects args] [-quiet] [patterns...]
Returns:
list of cell objects
Usage:
```

Name	Optional	Default	Description
-hierarchical	yes	false	Search level-by-level in current instance
-regexp	yes	false	Patterns are full regular expressions
-nocase	yes	false	Perform case-insensitive matching
-filter	yes		Filter list with expression
-of_objects	yes		Get cells of these pins or nets
-quiet	yes	false	Ignore command errors
patterns	yes	*	Match cell names against patterns

不明コマンド

Tcl には、通常サポートされるビルトイン コマンド、Tcl インタープリタに渡される **PlanAhead** 特有のコマンド、およびユーザー定義のプロシージャのリストが含まれます。

これらの既知のコマンドに含まれないコマンドは **OS** に送信され、`exec` コマンドからシェルで実行されます。これにより、**OS** と関係なくシェル コマンドを実行できるようになります。シェル コマンドがない場合、コマンドが見つからなかったことを示すエラー メッセージが表示されます。

リターン コード

コマンドの中には、オブジェクトのリストやコレクションなどのリターン値が出力されるものがあります。ほかのコマンドの場合、処理は実行しても、ユーザーが直接利用できるような値を必ず返すとは限りません。Tcl インターフェイスを統合したツールの中には、コマンドでエラーのない場合は 0、エラーがある場合は 1 を返すものもありますが、オブジェクトのリストを返すコマンドと組み合わせる場合はこれらの値は返されません。

コマンドが問題なく実行されたかどうかを確認するには、Tcl のビルトイン コマンドの `catch` を使用します。

PlanAhead のコマンドはすべて標準的な Tcl メカニズムを使用して TCL_OK、TCL_ERROR、\$ERRORINFO を返すので、Tcl スクリプトのエラーを検出するには catch コマンドが一番便利です。これらの値は返されたり、インタープリタで変数に設定されるわけではなく、指定したコマンドのエラーの有無によってログ ファイルに 0 や 1 が返されたりすることもあります。一般的には、catch コマンドと番号付き情報/警告/エラー メッセージは、Tcl スクリプトのフローで問題がどのように評価されるかによって異なるべきです。

Tcl スクリプトの実行

Tcl スクリプトはコマンド ライン オプションの 1 つか、GUI の [File] メニューのどちらかから実行できます。Tcl スクリプトが GUI から起動されると、進捗バーのダイアログ ボックスが表示され、スクリプトが終了するまですべての GUI 操作がブロックされます。

現在のところ、ランタイム中にスクリプトの実行を一時停止する方法はないので、標準的な OS 手法のプロセスを停止 (kill) する方法で強制終了するしかありません。PlanAhead プロセスが強制終了されると、プロジェクトは最後に保存した状態に戻ります。

ファースト クラスの Tcl オブジェクトとその関係

PlanAhead の Tcl からは、ネットリスト、デバイス、プロジェクトのオブジェクト モデルへ直接アクセスできます。これらオブジェクトは「ファースト クラス」と呼ばれます。これは、単なるストリング記述以上のものであり、そこで操作ができ、クエリを行えることを意味します。例外もありますが、通常はオブジェクトとしてクエリを行えます。これらのオブジェクトには、クエリを行えるプロパティが含まれ、ほかのオブジェクトを取得できる関係があります。

オブジェクト タイプと定義

PlanAhead には多くのオブジェクト タイプがありますが、ここでは基本的なタイプの定義と説明のみが記述されます。最も基本的で重要なオブジェクト タイプは、デザイン ネットリストのエンティティと関連しています。詳細は、次のセクションでそれぞれ説明します。

セル

セルは、プリミティブまたはネットリスト内の階層のいずれかのインスタンスです。これには、フリップフロップ、LUT、I/O バッファ、RAM、DSP のほか、ほかのセルのコレクションのラップである階層インスタンスが含まれます。

ピン

ピンはセル上の論理接続ポイントです。ピンにより、セル内部が抽象化されて使用しやすくなります。ピンは、階層またはプリミティブのセル上に存在します。ピンには、クロック ピン、データ ピン、リセット ピン、フリップフロップの出力ピンなどが含まれます。

ポート

ポートは、特殊なタイプの階層ピン、最上位レベルのオブジェクト、モジュールまたはエンティティ上のピンです。ポートは通常 I/O パッドに接続され、FPGA デバイスの外側に接続されます。

ネット

ネットは、ワイヤまたは物理的に直接相互接続されるワイヤのコレクションです。ネットは、階層またはフラットにできます。

クロック

クロックは、デザイン内のシーケンシャル ロジックへ伝搬される周期的な信号です。クロックは主にクロック ドメインにできるほか、DCM、PLL、MMCM などのクロック プリミティブで生成できます。クロックは UCF の TIMESPEC PERIOD 制約とほぼ同じで、スタティック タイミング解析アルゴリズムの基礎になっています。

オブジェクトのクエリ

ファースト クラス オブジェクトはすべて、通常次のように Tcl コマンドの `get_` を使用してクエリ検索できます。

```
get_object_type pattern
```

`pattern` が検索パターンの場合、必要であれば階層区切りを使用して名前を指定します。オブジェクトは通常、階層の各レベルで指定されているストリング パターンに一致するものがクエリ検索されます。検索パターンには次のようにワイルドカードも使用でき、オブジェクトを見つけやすくなっています。

```
get_cells */inst_1
```

このコマンドでは、最上位レベルのすぐ下の階層の最初のレベルで `inst_1` という名前のセルが検索されます。階層のすべてのレベルで繰り返し同じパターンを使用して検索する場合は、次の構文を使用してください。

```
get_cells -hierarchical inst_1
```

このコマンドでは、`inst_1` に一致するインスタンスが全階層レベルで検索されます。

構文の詳細については、次のコマンドでヘルプ情報を参照してください。

```
help get_cells
get_cells -help
```

オブジェクト プロパティ

オブジェクトには、クエリを実行できるプロパティが含まれます。プロパティ名はオブジェクト タイプによってそれぞれ異なります。オブジェクトに特有のプロパティをクエリ検索するには、次のコマンドを使用します。

```
get_property property_name object
```

次の例では、セル オブジェクトの `lib_cell` プロパティを検索するもので、該当するインスタンスがどの UniSim コンポーネントにマップされているかがわかります。

```
get_property lib_cell [get_cell inst_1]
```

指定したオブジェクトに使用可能なプロパティすべてを表示する場合は、`report_property` コマンドを使用します。

```
report_property [get_cells inst_1]
```

キー	値	データ型
bel	OLOGICE1.OUTFF	string
class	cell	string
iob	TRUE	string
is_blackbox	0	bool

キー	値	データ型
is_fixed	0	bool
is_partition	0	bool
is_primitive	1	bool
is_reconfigurable	0	bool
is_sequential	1	bool
lib_cell	FD	string
loc	OLOGIC_X1Y27	string
name	error	string
primitive_group	FD_LD	string
primitive_subgroup	flop	string
site	OLOGIC_X1Y27	string
type	FD & LD	string
XSTLIB	1	bool

プロパティの中には、読み出し専用のものもあれば、ユーザーの設定可能なものもあります。UCF や HDL でアノート可能な属性にマップされるプロパティは、通常 Tcl コマンドの `set_property` でユーザーが設定できます。

```
set_property loc OLOGIC_X1Y27 [get_cell inst_1]
```

プロパティに基づいたフィルタ

オブジェクト クエリの `get_*` コマンドには、そのオブジェクトのプロパティ値に基づいてクエリにフィルタをかけるオプションがあります。これは、非常に優れたオブジェクト クエリ コマンド機能です。たとえば、プリミティブ タイプ FD のセルをすべてクエリ検索するには、次を入力します。

```
get_cells * -hierarchical -filter "lib_cell == FD"
```

また、`==` を使用すると、ストリング パターンでフィルタできます。たとえば、デザインに含まれるすべてのフリップフロップ タイプをクエリ検索するには、次を入力します。

```
get_cells * -hierarchical -filter "lib_cell =~ FD*"
```

OR (`||`) や AND (`&&`) を使用すると、複数のフィルタ プロパティを組み合わせで検索できます。次の例では、デザイン内のセルすべての中から、フリップフロップ タイプで、さらに配置済みロケーション制約が設定されているものをクエリ検索できます。

```
get_cells * -hierarchical -filter {lib_cell =~ FD* && loc != ""}
```

この例では、フィルタ オプションの値が `"` ではなく、`{ }` で囲まれています。これはインタープリタによるコマンド変換を回避する標準的な Tcl 構文で、これにより `loc` プロパティに空のストリングを渡すことができます。

オブジェクトのリスト (コレクション)

複数のオブジェクトを返すコマンドは、通常ネイティブ Tcl リストのようなコンテナ (コレクション) を返します。これは Tcl オブジェクトの大規模コレクションを劇的に最適化できる PlanAhead の機能で、Tcl ビルトイン コマンドの `foreach` で処理される `foreach_in_collection` のような特殊な反復コマンドを必要としません。

リストが大きい場合、ログ ファイルと GUI の Tcl コンソールでの表示が少し異なります。通常、`get_*` コマンドの結果に対して Tcl 変数を設定すると、リスト全体がコンソールとログ ファイルに表示されますが、リストが大きいと、バッファのメモリ オーバーフローを回避するために、それが一部省略されます。

コンソールとログ ファイルで省略があると、最後のエレメントが「...」と表示されます。次は、1 つのセルをクエリ検索した場合と、デザインに含まれるすべてのセルをクエリ検索した場合 (リストが大きい場合) の例です。

```
get_cells inst_1
inst_1
get_cells * -hierarchical
XST_VCC XST_GND error readIngressFifo wbDataForInputReg fifoSelect_0
fifoSelect_1 fifoSelect_2 fifoSelect_3 ...
%set x [get_cells * -hierarchical]
XST_VCC XST_GND error readIngressFifo wbDataForInputReg fifoSelect_0
fifoSelect_1 fifoSelect_2 fifoSelect_3 ...
%lindex $x end
bftClk_BUFGRP/bufg
%llength $x
4454
```

この例では、4000 セルすべては表示されておらず、... で省略をされています。実際に最後のエレメントが ... なわけではありません。

オブジェクトの関係

関連するオブジェクトは、`get_*` コマンドに `-of` オプションを付けるとクエリ検索できます。たとえば、あるセル ロジックに接続されたピンのリストを取得するには、次を入力します。

```
get_pins -of [get_cells inst_1]
```

373 ページの図 14-2 は、PlanAhead のオブジェクト タイプとその関係を示す図で、矢印はその `get_*` コマンドに対して `-of` オプションを使用して、論理接続に関係なく接続されたオブジェクトへの Tcl リファレンスを取得できるかどうかを示しています。

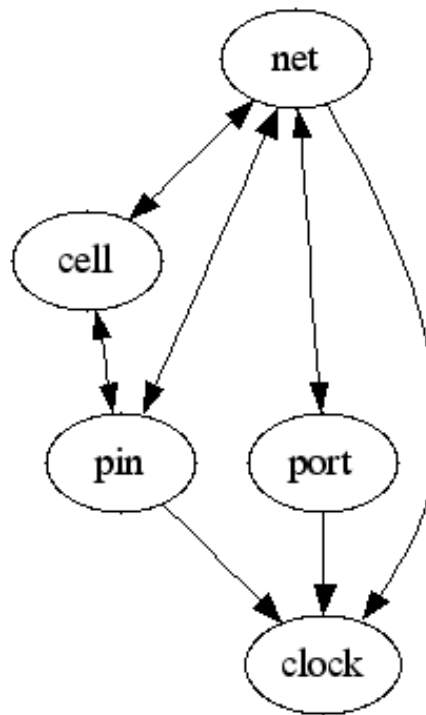


図 14-2: PlanAhead のオブジェクトの関係

エラー、クリティカル警告、警告、情報メッセージ

各コマンドの結果を示すメッセージはログ ファイルと、GUI を使用中であればコンソールにも表示されます。これらのメッセージには識別しやすいように番号が付いています。ログ ファイルでは **INFO**、**WARNING**、**ERROR**、**CRITICAL_WARNING** と最初に表示され、サブシステム識別子や独自の番号が付きます。

次は、タイミング ライブラリを読み込んだ後に表示される **INFO** メッセージの例です。

INFO: [HD-LIB 1] Done reading timing library

これらのメッセージにより、ログ ファイルで特定の問題が検出しやすくなり、コマンド実行中の動作内容が理解しやすくなります。

通常、Tcl スクリプトからの Tcl コマンドでエラーが発生すると、続くコマンドの実行は一時停止されます。これは、回復不可能なエラー状況を避けるためです。Tcl には、これらのエラー状況を回避して続行させるためのビルトイン コマンドがあります。一般的な Tcl メカニズムを使用したエラー処理方法については、**catch** コマンドを使用して Tcl リファレンスのいずれかを参照してください。

Tcl コマンド

各コマンドの詳細は、それぞれコマンドを実行してヘルプ情報を参照してください。PlanAhead Tcl コマンドについては、『[PlanAhead Tcl コマンド リファレンス ガイド](#)』(UG789) を参照してください。

Tcl リファレンス

次は、推奨される Tcl リファレンスです。

Tcl Developer Xchange

Tcl リファレンス資料は、インターネットから入手できます。ザイリンクスでは、Tcl のオープンソース ベースを維持する Tcl Developer Xchange サイトをお勧めしています。

<http://www.tcl.tk>

入門用チュートリアルは、次から入手できます。

<http://www.tcl.tk/man/tcl/tutorial/tcltutorial.html>

SDC について

SDC は、Synopsys Design Constraints を省略したもので、特にタイミング解析のために設計意図とツール間をつなぐ業界標準です。SDC 仕様のリファレンス コピーは、次の Synopsys のサイトから登録をすると入手できます。

<http://www.synopsys.com/Community/Interoperability/Pages/TapinSDC.aspx>

使用可能な Tcl マニュアル

Tcl のリファレンス マニュアルは、各自でご購入ください。

Project Navigator からの PlanAhead の使用

統合の概要

PlanAhead™ ソフトウェアは特定のデザイン作業を行うため ISE® ソフトウェアに統合されています。PlanAhead が ISE Project Navigator から起動されると、PlanAhead は ISE 統合モードで起動します。このモードでは、PlanAhead の機能は I/O ピン配置、フロアプラン、タイミング解析など、特定のデザイン作業にのみ適用されます。PlanAhead プロジェクトは、Project Navigator 環境で自動的に作成・管理されます。

PlanAhead を起動させる Project Navigator の [Processes] ウィンドウには次の 4 つのプロセスがあります。

- ・ 合成前
 - ・ I/O ピン配置
- ・ 合成後
 - ・ I/O ピン配置
 - ・ エリア/IO/ロジックのフロアプラン
- ・ インプリメンテーション後
 - ・ タイミングの解析とデザインのフロアプラン

この 2 つのツール間で渡されるデータや、PlanAhead で表示されるウィンドウ レイアウトは、どのようにツールが起動されたかによって変わります。統合に関する詳細は、[375 ページの「Project Navigator 内の PlanAhead のプロセス」](#)を参照してください。

PlanAhead には 2 つのデフォルト ビュー レイアウトがあります。

- ・ I/O Planning ビュー レイアウトと呼ばれる I/O ピン配置環境で、I/O ピンの配置に関連した表示機能を含みます。
- ・ Design Analysis 環境で、デザイン解析およびフロアプランに関連しています。

作業内容に合った正しいビュー レイアウトを使用することが重要です。

PlanAhead 表示環境の詳細は、[第 4 章「表示環境の使用」](#)を参照してください。ウィンドウ レイアウトの設定や読み込みの詳細は、[第 4 章の「表示環境の使用」](#)を参照してください。

Project Navigator 内の PlanAhead のプロセス

Project Navigator と PlanAhead は、それぞれ独立した環境で、別のシステム プロセスの下で動作しています。2 のプロセスは、ツール間で効率的にデータを渡すために統合されています。1 つの

ツールでデザイン データに変更が加えられても、リアル タイムにはもう 1 つのツールで自動認識はされませんので、両方のツールで同時にロジックや制約の編集はしないでください。PlanAhead は目的に合わせて起動し、Project Navigator デザイン データを更新する前に閉じてください。Project Navigator のプロセスは、PlanAhead で変更されたユーザー制約ファイル (UCF) を認識するため、データが保存されると同期します。次のセクションでは、ツールの起動ステップおよび統合を可能にするデータ トランザクションについて説明します。

ロジックおよび制約の受け渡し

ISE 統合モードでの PlanAhead では、I/O ピン、論理 LOC および AREA_GROUP 制約に対する物理的な制約のみを変更することができます。レジスタ転送 レベル (RTL) ソースや合成ネットリストでの論理接続は

PlanAhead に解析目的のためのみ渡され、Project Navigator には戻されません。ロジックやタイミング制約を変更する PlanAhead の機能は ISE 統合モードでは使用できないようになっています。

ロジックの変更はすべて Project Navigator または外部 RTL や合成ツールで行う必要があります。Project Navigator に戻されるファイルはユーザー制約ファイル (UCF) 制約ファイルのみです。

PlanAhead では、コメントや不完全な制約などを含め、UCF ファイルの元の内容とフォーマットが保持されます。デザインで制約が有効であるかどうかは、PlanAhead を開いたり閉じたりするときにはチェックされません。これは Project Navigator の変換プロセスでチェックされます。

PlanAhead が起動すると、Project Navigator プロジェクトの UCF ソース ファイルが PlanAhead に渡され、物理制約を追加したり変更したりできます。

PlanAhead で [Save Project] コマンドを使用すると、変更された UCF ファイルが元の Project Navigator のソースの保存場所へ書き込まれます。PlanAhead で制約を変更し [Exit] コマンドを使用すると、ツールを閉じる前に Project Navigator プロジェクトに変更を保存するかどうかを確認するメッセージが表示されます。

PlanAhead を起動し Project Navigator プロジェクトに UCF ファイルがない場合、UCF を作成するかどうかを確認するプロンプトが表示されます。この空の UCF ファイルは PlanAhead に渡されます。

複数の UCF ファイルを持つ Project Navigator プロジェクトがサポートされています。PlanAhead を起動する前に複数ある UCF ファイルの 1 つを選択するようプロンプトが表示されます。

- ・ PlanAhead で定義された新しい制約は選択した UCF ファイルに書き込まれます。
- ・ 選択されなかった UCF ファイルに存在する物理制約は、PlanAhead でその制約の値が変更されても、同じファイルの中に残ります。

Project Navigator デザイン フローで使用するコア レベルの NCF ファイルは PlanAhead には渡されません。PlanAhead でこれらのファイルにある物理制約を使用・表示するには、PlanAhead を起動する前に最上位 UCF ファイルに手動でまとめておく必要があります。

一時的な PlanAhead プロジェクトは ISE プロジェクト ディレクトリに作成され、PlanAhead が Project Navigator から起動されるたびに削除および置換されます。

I/O ピン配置 (合成前)

合成ネットリストを作成する前に I/O ピン配置を早期に実行することができます。これには、PlanAhead をスタンドアロンで起動するか、または Project Navigator のこのプロセスを実行します。

メモ: デザインプロセスのこの段階では、論理合成はまだ実行されていません。クロック ポート、クロック関連ロジック、差動ペア、GT などのコンセプトはツールには認識されていません。このようなタイプのポートはインプリメンテーション エラーを避けるために正しく配置されていることを必ず確認する必要があります。できる限り I/O ピン配置は論理合成の後に実行してください。ネットリストがある場合はクロック、クロック ロジック、差動ペア、GT などは、PlanAhead でのピン配置中に自動的に認識されます。インプリメンテーション前に配置の有効性を確認するための、論理接続およびクロックに基づき実行されるデザイン ルール チェック (DRC) も多数備わっています。

合成前に Project Navigator で I/O ピン配置を実行するには、次の手順に従ってください。

- ・ [Processes] ウィンドウで [User Constraints] を展開し [IO Pin Planning (PlanAhead) - Pre-Synthesis] をダブルクリック

または

- ・ [Tools] → [PlanAhead] → [Pre-Synthesis - IO Pin Planning] をクリック

PlanAhead が起動すると、Project Navigator からすべての RTL ソース ファイル、最上位モジュール名、UCF ファイルが PlanAhead に渡されます。PlanAhead には、デフォルトで I/O ピンを配置するための I/O Planning ビュー レイアウトが表示されます。RTL エラボレートが実行され、最上位 I/O ポートが抽出され PlanAhead の [I/O Ports] ビューに表示されます。

PlanAhead プロジェクトを保存したり閉じたりすると、元の Project Navigator ソース UCF ファイルがアップデートされます。Project Navigator デザインプロセスのステートはこれでリセットされます。

Project Navigator との統合およびプロセスについての詳細は、[376 ページの「ロジックおよび制約の受け渡し」](#)を参照してください。

PlanAhead の I/O ピン配置環境 (I/O Planning) の使用方法については、[第 8 章「I/O ピン配置」](#)を参照してください。

I/O ピン配置 (合成後)

メモ: できる限り I/O ピン配置は論理合成の後に実行してください。ネットリストがある場合はクロック、クロック ロジック、差動ペア、GT などは、PlanAhead でのピン配置中に自動的に認識されます。インプリメンテーション前に配置の有効性を確認するための、論理接続およびクロックに基づき実行されるデザイン ルール チェック (DRC) も多数備わっています。

ロジック合成後に Project Navigator で I/O ピン配置を実行するには、[Processes] ウィンドウで次を実行します。

- ・ [User Constraints] を展開し [IO Planning (PlanAhead) - Post-Synthesis] をダブルクリック

または

- ・ [Tools] → [PlanAhead] → [Post-Synthesis - IO Pin Planning] をクリック

PlanAhead が起動すると、Project Navigator から合成された NGC または EDIF フォーマットのネットリストおよび UCF ファイルが PlanAhead に渡されます。PlanAhead には、デフォルトで I/O

ピンを配置するための I/O Planning ビュー レイアウトが表示されます。I/O ポートは、PlanAhead の [I/O Ports] ビューに表示されます。

PlanAhead プロジェクトを保存したり閉じたりすると、元の Project Navigator ソース UCF ファイルがアップデートされます。Project Navigator デザイン プロセスのステートはこれでリセットされます。

Project Navigator との統合およびプロセスについての詳細は、[376 ページの「ロジックおよび制約の受け渡し」](#)を参照してください。PlanAhead の I/O 配置環境の使用方法については、[第 8 章「I/O ピン配置」](#)を参照してください。

エリア/I/O/ロジックのフロアプラン (合成後)

PlanAhead にはインプリメンテーションの前後に使用できるデザイン解析およびフロアプラン環境があります。ロジック合成後、インプリメンテーション前に Project Navigator でデザインを解析するか、フロアプランを実行するには、次の手順に従ってください。

- ・ [Processes] ウィンドウで [User Constraints] を展開し [Floorplan Area/I/O/Logic (PlanAhead) - Post-Synthesis] をダブルクリック

または

- ・ [Tools] → [PlanAhead] → [Post-Synthesis - Floorplan Area/I/O/Logic] をクリック

PlanAhead が起動すると、Project Navigator から合成された NGC または EDIF フォーマットのネットリストおよび UCF ファイルが PlanAhead に渡されます。PlanAhead がデフォルトのデザイン解析およびフロアプラン環境で起動します。

メモ：下位 NGC コア ファイルがデザインで使用されソースとして追加されていない場合、Project Navigator で、変換プロセスのプロパティであるマクロ検索パス (-sd) を該当ディレクトリに設定します。

PlanAhead プロジェクトを保存したり閉じたりすると、元の Project Navigator ソース UCF ファイルがアップデートされます。Project Navigator デザイン プロセスのステートはこれでリセットされます。

Project Navigator との統合およびプロセスについての詳細は、[376 ページの「ロジックおよび制約の受け渡し」](#)を参照してください。インプリメンテーション前に PlanAhead を使用方法については、[第 5 章「RTL デザイン」](#)を参照してください。

インプリメンテーション後に PlanAhead を使用方法については、次を参照してください。

- ・ [第 9 章「デザインのインプリメンテーション」](#)
- ・ [第 10 章「デザインのフロアプラン」](#)

タイミング解析/デザインのフロアプラン (インプリメンテーション後)

PlanAhead にはインプリメンテーション後に使用できるデザイン解析およびフロアプラン環境があります。インプリメンテーション後のデザイン解析では、潜在的なデザインの問題を認識するために配置結果およびタイミング結果を確認できます。

物理的な LOC または AREA_GROUP フロアプラン制約を設定し、インプリメンテーション ツールでよりよく、安定した結果が得られるよう、また、インプリメンテーション ランタイムを短縮できるようにすることができます。

インプリメンテーション後に Project Navigator からデザインを解析するか、フロアプランを実行するには、次の手順に従ってください。

- ・ [Processes] ウィンドウで [Implement Design] → [Place & Route] を展開し [Analyze Timing/Floorplan Design (PlanAhead) - Post-Synthesis] をダブルクリック

または

- ・ [Tools] → [PlanAhead] → [Post-Implementation - Analyze Timing/Floorplan Design] をクリック

Project Navigator からは、次のファイルが PlanAhead に渡されます。

- ・ 合成済み NGC または EDIF フォーマットのネットリスト
- ・ UCF ファイル
- ・ ISE 配置データ
- ・ タイミング結果
- ・ BMM ファイル

PlanAhead がデフォルトのデザイン解析およびフロアプラン環境で起動します。PlanAhead で ISE 配置データを抽出するには、XDL コマンドをまず実行して、XDL 拡張子の付いたファイルを生成する必要があります。

このコマンドの実行進捗状況を示すバーが PlanAhead に表示されます。PlanAhead の再起動をスピードアップさせるため、まず XDL ファイルが存在するかどうかチェックされ、最新のものがある場合は再生成されません。

古い日付のインプリメンテーション プロセスで [Tools] → [PlanAhead] → [Post Implementation - Analyze Timing/Floorplan Design] をクリックすると、デザインを再インプリメントし PlanAhead を起動するか、または既存結果データでインプリメンテーション ツールを再実行せずに PlanAhead を起動するかを選択するプロンプトが表示されます。

PlanAhead プロジェクトを保存したり閉じたりすると、元の Project Navigator ソース UCF ファイルがアップデートされます。Project Navigator デザイン プロセスのステートはこれでリセットされます。

付録 A

PlanAhead の入力ファイルおよび出力ファイル

入力ファイル

PlanAhead™ では、入力ファイルの読み込み中に発生するエラー、警告、およびメッセージが planAhead.log ファイルに書き込まれます。これらのメッセージは、PlanAhead の [Tcl Console] ビューにも表示されます。

PlanAhead ソフトウェアでは、入力として使用するファイルの場所を指定できます。

メモ：PlanAhead の起動時に、既存のジャーナル ファイルおよびログ ファイルが上書きされることに注意してください。これらのファイルが今後必要な場合は、保存しておいてください。PlanAhead を起動すると、最後に保存した状態のファイル セットのバックアップ コピーが *.jou_backup および *.log_backup に保存されます。

表 A-1 に入力ファイル名およびその説明を示します。

表 A-1：入力ファイル

ファイル名	説明
デザイン テキスト ファイル (Verilog、VHDL)	Verilog や VHDL ファイルをインポートおよびエラボレートして、ロジックを解析したり、ソースを修正することができます。元のソース ファイルはそのままの場所から参照することも、プロジェクトにコピーすることもできます。検索ディレクトリは、RTL ソース ファイルのインポート時に指定します。ディレクトリに含まれた認識可能なファイルおよびファイル タイプはすべてプロジェクトにインポートされます。
I/O ポート リスト (CSV)	CSV (カンマ区切り) フォーマット ファイルは、インポートして I/O Planner の [I/O Ports] ビューに表示できます。この機能は、I/O ピンを配置する空のプロジェクトでのみ使用できます。 これらの I/O ポートを物理パッケージ ピンに割り当てて、デバイス ピンの設定を定義できます。CSV は、FPGA やボード設計にあたり、デバイス ピンおよびピン配置のデータを交換するときに使用される標準ファイル形式です。CSV の各列は、 382 ページの「I/O ポート リスト (CSV)」 を参照してください。
モジュール レベルのネット リストとコア (EDIF、NGC、NGO、BMM)	PlanAhead では、階層デザイン手法をサポートする複数の EDIF または NGC ネットリストを使用してデザインを構築できます。最上位ロジックを選択すると、下位のモジュールが自動的にインポートされます。最上位ロジックを選択すると、下位のモジュールが自動的にインポートされます。デザイン モジュールを検索する検索パスを定義できるため、デザインをアップデートするとき非常に柔軟に対応できます。PlanAhead のインクリメンタル ネットリスト インポート機能では、どのレベルのデザイン階層のネットリストでも更新できます。

表 A-1 : 入力ファイル (続き)

ファイル名	説明
最上位ネットリスト (EDIF、NGC)	<p>PlanAhead では、EDIF または NGC ネットリストのインポートがサポートされています。このネットリストは、7 シリーズ、Virtex®-4、Virtex-5、Virtex-6、Spartan®-3 または Spartan-6 デバイス向けに合成される必要があります。</p> <p>PlanAhead では、階層デザイン手法をサポートする複数のネットリストを使用してデザインを構築できます。最上位ロジックを選択すると、下位のモジュールが自動的にインポートされます。インクリメンタルなネットリストのインポート機能では、どのレベルのデザイン階層のネットリストでも更新できます。作成中のフロアプラン制約は、更新されても保持されます。</p>
制約ファイル (UCF/NCF/XCF)	<p>PlanAhead では、タイミング制約および物理制約用の UCF、NCF、および XCF フォーマット ファイルのインポートがサポートされています。PlanAhead では、複数の UCF ファイルをインポートできるので、物理制約、I/O 制約、およびタイミング制約を区別できます。</p> <p>NCF ファイルはモジュール レベルの制約で、デザインのブロックまたは IP コア特有です。XCF ファイル (XST 制約ファイル) も PlanAhead プロジェクトにインポートできます。</p> <p>PlanAhead ではザイリンクスでサポートされている UCF 制約がすべてサポートされています。UCF 制約およびサポートされる構文の詳細は、『制約ガイド』(UG612) を参照してください。</p>
ザイリンクス ISE 配置結果 (NCD/XDL)	<p>PlanAhead では、XDL フォーマット データを使用して ISE 配置結果をインポートできます。XDL データは PlanAhead からインプリメンテーション run が起動されると自動的に作成されます。</p> <p>ISE コマンドが正しく実行されたら、<code>placed_design_name.ncd</code> ファイルから XDL ファイルを作成できます。XDL ファイルを作成したら、個々のブロックまたはデザイン全体の配置をインポートできます。</p> <p>[Import Placement] コマンドを使用して、<code>placed_design_name.ncd</code> ファイルを指定すると、XDL コマンドが自動的に実行されます。</p> <p>手動でこのコマンドを実行する場合のファイル構文は、次のとおりです。</p> <pre>xd1 ncd2xd1 placed_design_name.ncd</pre> <p>このコマンドを実行すると、<code>placed_design_name.xdl</code> ファイルが生成されます。</p> <p>XDL コマンドのステータスは、PlanAhead の [Messages] ビューに表示されます。</p>
TRCE タイミング結果 (TWX/TWR)	<p>PlanAhead では、ザイリンクス TRACE コマンドで生成されたタイミング レポートをインポートできます。インポートできるのは、TWX および TWR ファイルです。インポートすると、すべての信号トレースおよび選択が [Timing Results] ビューに表示されます。</p> <p>どちらのファイルもある場合は、TWX の方が適しています。</p>

I/O ポート リスト (CSV)

CSV (カンマ区切り) フォーマット ファイルは、インポートして I/O Planner の [I/O Ports] ビューに表示できます。この機能は、I/O ピンを配置する空のプロジェクトでのみ使用できます。

これらの I/O ポートを物理パッケージ ピンに割り当てて、デバイス ピンの設定を定義できます。CSV は、FPGA やボード設計にあたり、デバイス ピンおよびピン配置のデータを交換するときに使用される標準ファイル形式です。

CSV の列には、次が含まれます。

- **[IO Bank]** : ピンが配置される I/O バンク。デバイスのすべてのピンに対しこのフィールドにデータがソフトウェアで自動入力されます。値は数値または空白です。入力 CSV ファイルでは必須のフィールドではありません。
- **[Pin Number]** : パッケージ ピンの名前またはロケーション。デバイスのすべてのピンに対しこのフィールドにデータがソフトウェアで自動入力されます。入力ファイルで必須のフィールドではありません。入力に使用される場合は、配置を定義するために使用されます。値はデバイスの有効なピンです。
- **[IOB Alias]** : パッケージ ピンの代替パーツ名。このフィールドはソフトウェアで指定され、入力 CSV ファイルで指定されていない場合は使用されません。
- **[Site Type]** : デバイス データシートからのピン名。このフィールドはソフトウェアで指定され、入力 CSV ファイルで指定されていない場合は使用されません。
- **[Min Trace Delay (ps)]/[Max Trace Delay (ps)]** : デバイスのパッド サイトとパッケージのボールの間の距離で、単位はピコ秒 (ps) です。これらのフィールドはソフトウェアで入力され、ボード設計時にトレース遅延を一致させるために使用します。これらの値はデバイスとパッケージの組み合わせによって決まるため、出力ファイルのみに含まれます。ただし、入力として指定した場合は、無視されます。
- **[Trace Length (um)]** : パッケージ ピンとダイパッド間の内部トレース長を指定します。
- **[Prohibit]** : さまざまな理由でユーザー I/O がサイトに追加されないよう、特定のサイトを使用禁止にできます。このプロパティを設定することで、ボードレイアウト問題の抑制、信号間クロストークの低減、同じパッケージの複数の FPGA 間でピン配置が有効であるかどうかの確認に役立ちます。UCF ファイルでは、これは **CONFIG PROHIBIT** 制約として記述されています。値は **TRUE** または空白のどちらかになります。**[Pin Number]** が空白の場合は、このフィールドも空白にします。
- **[Interface]** : ユーザー I/O のセットをユーザーが指定してグループ化します。たとえば、このフィールドは、メモリ インターフェイスのデータ、アドレス、およびイネーブル信号の関係を指定するのに使用できます。値は文字列または空白です。
- **[Signal Name]** : FPGA デザインのユーザー I/O 名。値は文字列、または割り当てられていないパッケージ ピンの場合は空白です。
- **[Direction]** : 信号の方向。値は **IN**、**OUT**、**INOUT**、またはユーザー I/O がサイトに割り当てられていない場合は空白です。
- **[DiffPair Type]** : 差動ペアのピンが **N** 側、**P** 側のどちらにあるかが記述されます。これは差動信号に対してのみ使用されます。
ソフトウェアは、ピン名ではなく、この列を使用してどのピンが **N** 側か **P** 側かを判断します。
値は **P**、**N**、またはユーザー I/O がサイトに割り当てられていない場合は空白です。
- **[DiffPair Signal]** : 差動ペアのもう 1 つのピン名を指定するのに使用します。値はユーザー I/O 名、または未使用の場合は空白です。
- **[I/O Standard]** : 特定ユーザー I/O の I/O 規格。このフィールドがユーザー I/O に対し空白の場合、該当するデフォルト値が使用されます。値は有効な I/O 規格、または空白です。
- **[Drive]** : 特定ユーザー I/O の I/O 規格の駆動強度。すべての I/O 規格が駆動強度を必要とするわけではありません。このフィールドが空白の場合、デフォルト値が使用されます。値は数値または空白です。

- **[Slew Rate]** : 特定ユーザー I/O の I/O 規格のスルー レート。すべての I/O 規格がスルー レートを必要とするわけではありません。このフィールドが空白の場合、デフォルト値が使用されます。値は **FAST** および **SLOW** です。
- **[Pull Type]** : 選択されているポートの抵抗のタイプを指定します。トライステート出力バッファ (OBUFT) または双方向バッファ (IOBUF) を使用する場合、出力に弱いプルアップ抵抗、弱いプルダウン抵抗、またはウィーク キーパー回路を付けることができます。入力バッファ (IBUF) を使用する場合は、入力に弱いプルアップ抵抗または弱いプルダウン抵抗を付けることができます。
- **[Phase]** : 同期位相オフセットの場合に、バンク内のほかの I/O の位相に関連した I/O の位相を指定します。

次の CSV 列は、Spartan デバイスに表示される場合があります。

- **[BUFIO2_REGION]** : ポートが関連付けられる可能性がある BUFIO2 クロック領域を定義します。
- **[IN_TERM/OUT_TERM]** : Spartan-6 デバイス向けにオプションの IN_TERM または OUT_TERM ドライバーのインピーダンス属性を定義します。このフィールドは、ほとんどの場合で空白のままにします。製品デバイスではまだサポートされていません。この終端定義を使用すると、SLEW および DRIVE STRENGTH 属性が上書きされます。SSN の計算ではサポートされません。
- **[OFFCHIP_TERM]** : I/O の外部ボード レベルの終端を指定します。SSN の計算ではサポートされません。このフィールドを空白のままにすると、SSN の計算に予測された終端が使用され、この終端がデフォルトで SSN レポートおよび I/O ポートの表に表示されます。予測される終端とそれに対応する PlanAhead で表示される短縮名については、『[Spartan-6 Select I/O User Guide](#)』(UG381) に記述されています。

上記で定義されない列の値は、PlanAhead ソフトウェアで CSV を読み込むときに保持され、[I/O Ports] ビューでユーザー定義列としてレポートされます。

レポートの出力

図 A-1 に、Windows OS で PlanAhead を使用してレポートを出力するときに使用されるディレクトリ構造を示します。ファイルの場所がユーザー指定されない場合、OS に依存してレポート出力ファイルが配置されます。

- **Linux** では PlanAhead の起動ディレクトリに配置されます。
- 図 A-1 または C:\Documents and Settings\user_name\Application Data\Xilinx\PlanAhead\project_name

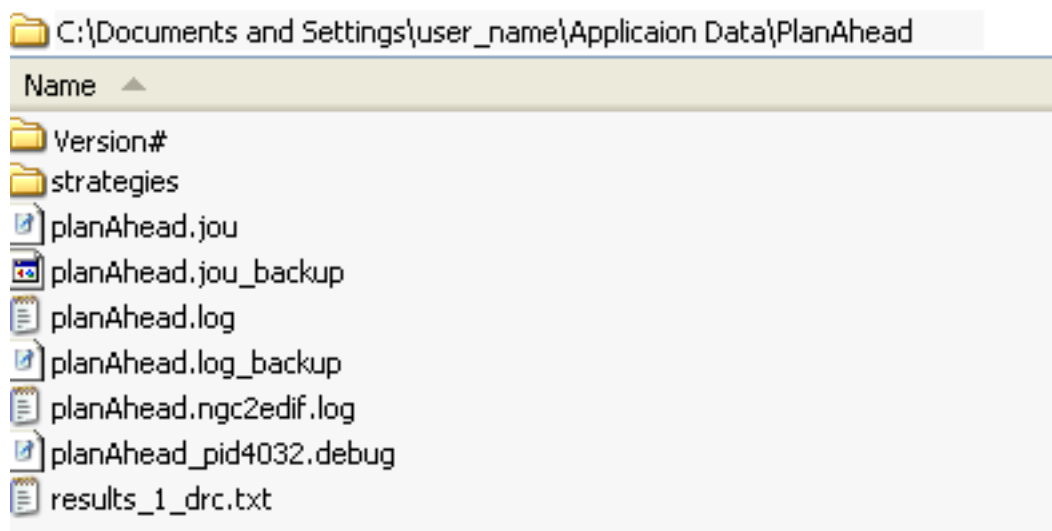


図 A-1： レポート出力を含む PlanAhead ディレクトリ

385 ページの表 A-2 に、PlanAhead の出力ファイルおよびその説明を示します。

表 A-2： レポートの出力

ファイル名	説明
I/O ピン配置 (CSV)	CSV フォーマット ファイルで、すべての I/O ポート配置と関連するパッケージ ピン情報が含まれています。このファイルは、RTL ポートのヘッダー定義および PCB 回路シンボル生成で使用されます。
I/O ピン配置 (RTL : Verilog または VHDL)	Verilog または VHDL フォーマットのファイルで、すべての I/O ポートの配置がポートとして定義されています。このファイルは、RTL ポートのヘッダー定義で使用されます。
ログ ファイル (planAhead.log および planAhead.log.backup)	ログ ファイル planAhead.log には、PlanAhead のコマンドを実行したときに生成されるメッセージの内容が含まれています。PlanAhead で [Window] → [View Log File] をクリックすると、このファイルを表示できます。
ジャーナル ファイル (planAhead.jou および planAhead.jou.backup)	ジャーナル ファイル planAhead.jou には、起動した PlanAhead セッションの Tcl コマンドすべてが含まれています。ジャーナル ファイルを再生すると、前のセッションで使用したコマンドを再利用できます。Tcl スクリプトは、ジャーナル ファイルからコマンドをコピーすると生成できます。このファイルでは、エラーを含むコマンドまたは再生する前の複数の PlanAhead セッションのコマンドを削除する必要がある場合があります。PlanAhead の操作によっては、ジャーナル ファイルに Tcl コマンドが書き込まれないものもあります。
エラー ログ ファイル (planAhead_pidxxxx.debug および hs_err_pidxxxx.log)	エラー ログ ファイルには、PlanAhead のエラーをデバッグするときに役立つ重要な情報が含まれています。PlanAhead で内部例外エラーの警告ダイアログ ボックスが表示されると、エラー ファイルが保存されます。ザイリンクスのテクニカル サポートでケースを開くときは、PlanAhead ジャーナル ファイル (planAhead.jou) およびエラー ログ ファイル (planAhead.log) を添付してください。 これらのファイルにはデザイン データは含まれていません。

表 A-2 : レポートの出力 (続き)

ファイル名	説明
DRC 結果 (results_x_drc.txt)	デザイン ルール チェック (DRC) の結果は、results_x_drc.txt に含まれます。DRC が実行されるたびに、[RunDRC] ダイアログ ボックスの [Results Name] に表示される名前のファイルが生成されます。別の名前を指定する場合は、[Output File] に入力します。
タイミング解析結果 (Excel ファイル)	タイミング解析の結果は、テキスト ファイルにエクスポートできます。データをエクスポートするには、[Timing Results] ビューで [Export Statistics] をクリックします。
ネットリスト モジュール、Pblock、およびクロック領域統計レポート	[Instance Properties]、[Clock Regions Properties]、および [Pblock Properties] ビューに表示されるリソース統計はマイクロソフトの Excel 形式のファイルにエクスポートできます。このファイルには、リソース使用率、RPM、キャリー チェーンのサイズ、クロックおよびクロックが供給されるインスタンス、およびその他のリソースのデータなどの情報が含まれます。 データをエクスポートするには、[Instance Properties]、[Clock Regions Properties]、および [Pblock Properties] ビューの [Statistics] タブで [Export Statistics] をクリックします。ダイアログ ボックスが表示され、レポートに含める情報や階層のレベル数を定義できます。
SSN 解析レポート	PlanAhead 同時スイッチ ノイズ (SSN) 解析の結果は、[Run SSN Analysis] ダイアログ ボックスでファイル名およびファイルを保存する場所を指定して、CVS 形式のレポート ファイルにエクスポートできます。
WASSO 解析レポート	PlanAhead WASSO 解析の結果は、[Run WASSO Analysis] ダイアログ ボックスでファイル名およびファイルを保存する場所を指定して、テキスト形式のレポート ファイルにエクスポートできます。
ストラテジ ファイル	PlanAhead の strategies ディレクトリには、ISE® のインプリメンテーション コマンドに対して指定したデフォルトのコマンド ライン オプションが含まれています。ストラテジは、PlanAhead を使用したどの ISE インプリメンテーション実行にも適用でき、作成したり、または提供されているストラテジをコピーできます。

デフォルト環境での出力ファイル

図 A-2 に Windows を使用する際のデフォルトの PlanAhead 環境ディレクトリを示します。

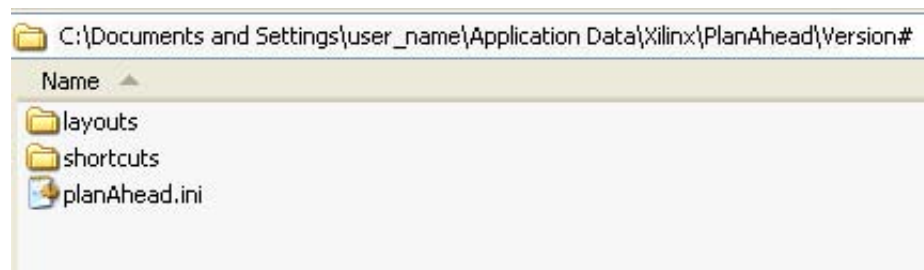


図 A-2 : デフォルトの環境ディレクトリおよびファイルの場所

Linux では、デフォルト環境は次のとおりです。

- 初期ファイル: ~/.Xilinx/planAhead.ini
- その他のファイル: 起動ディレクトリ

表 A-3 に、PlanAhead のデフォルト環境での出力ファイルおよびそのファイルの場所と説明を示します。

表 A-3 : PlanAheadのデフォルト環境での出力

ファイル名	説明
ウィンドウ表示オプション ファイル (planAhead.ini と theme_names.patheme)	../planAhead/version_number/planAhead.ini 初期化ファイル planAhead.ini には、表示色など PlanAhead 環境での表示オプションをはじめとする現時点での [Tools] → [Options] の設定がすべて含まれています。PlanAhead を閉じるときに、ユーザー設定が次の PlanAhead セッションで使用できるように保存されます。PlanAhead を起動すると、インストール ディレクトリからこのファイルが自動的にインポートされます。このディレクトリには、次の PlanAhead セッションで使用するカスタム テーマ ファイルを保存できます。作業中の PlanAhead セッションに使用するテーマ ファイルをプルダウン メニューから選択できます。詳細は、139 ページの「PlanAhead の動作の設定」を参照してください。カスタム設定が失われないように、カスタム設定ファイルのバックアップを保存しておいてください。
ウィンドウ レイアウト ファイル (layoutname.layout)	../planAhead/version_number/layouts ディレクトリには、*.layout ファイルが含まれており、このファイルは [Save Layout As] または [Save as Default Layout] コマンドを使用して生成できます。これらのコマンドでは、現在の PlanAhead のデスクトップ表示環境を後で使用できるように保存できます。表示環境の設定は、OS の特定ディレクトリに保存されます。
ショートカット スキーマ (default.xml)	../planAhead/version_number/shortcuts ディレクトリには、インストール時に default.xml ファイルが含まれます。[PlanAhead Options] ダイアログ ボックスの [Shortcuts] ページでは、PlanAhead コマンドへのキー ボード ショートカットのマップを定義するアクセラレーター キー定義 (ショートカット スキーマ) を作成できます。たとえば、Ctrl + F はデフォルトで [Edit] → [Find] コマンドにマップされています。複数のスキーマを定義、設定できます。これらのスキーマは、デフォルトの XML ファイルに保存されます。

プロジェクト データの出力

図 A-3 に、PlanAhead のプロジェクト データ ディレクトリ構造を示します。

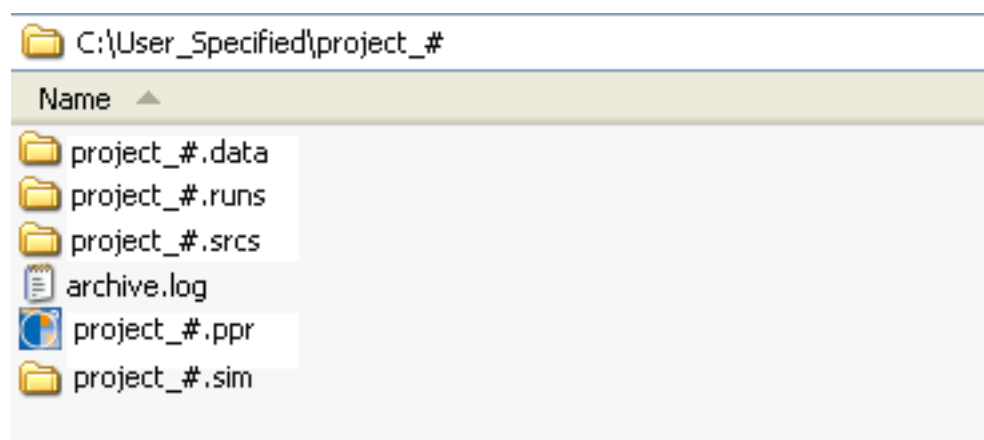


図 A-3: PlanAhead のプロジェクト データ ディレクトリ構造

表 A-4 に、PlanAhead プロジェクト データ出力およびその説明を示します。

表 A-4 : PlanAhead のプロジェクト データ出力

ディレクトリ名	説明
プロジェクト ディレクトリ (<i>projectname</i>)	新しいプロジェクトが作成されると、PlanAhead ではプロジェクト ファイル、プロジェクト データ ディレクトリ、および ISE インプリメンテーション結果を含めるプロジェクト ディレクトリが作成されます。このプロジェクト ディレクトリには、New Project ウィザードで入力したプロジェクト名と同じ名前が付けられます。
プロジェクト ファイル (<i>projectname.ppr</i>)	新しいプロジェクトが作成されると、PlanAhead では指定のプロジェクト名のプロジェクト ファイルが作成されます。プロジェクト ファイルには、プロジェクト特有の PlanAhead コンフィギュレーション設定が保存されます。
プロジェクト データ ディレクトリ (<i>projectname.data</i>)	新しいプロジェクトが作成されると、PlanAhead ではプロジェクト ディレクトリ内にプロジェクト データ ディレクトリが作成されます。データ ディレクトリには、PlanAhead のソース ファイル、制約ファイル、およびインプリメンテーション プロジェクトの合成とインプリメンテーションの run に特有のデータが保存されます。
プロジェクト データ : ネットリスト サブディレク トリ (netlist)	<p>/netlist というサブディレクトリには、デザイン全体のネットリストのコピーが保存されます。</p> <p>RTL ベースのプロジェクトの場合、PlanAhead では /Synthesis サブディレクトリが各 run に対して作成され、ネットリストが含まれます。このディレクトリは run がリセットされるたびに更新されます。</p> <p>ネットリスト ベースのプロジェクトの場合、インポートされたネットリストを含む 1 つのネットリスト ディレクトリが作成され、デザインで使用された NGC コア ファイルのすべてのコピーもこのディレクトリに保存されます。</p>
プロジェクト データ : 制約 セット サブディレクトリ およびファイル (<i>constraint_set_name</i>)	<p>制約セットを作成すると、PlanAhead では /<i>projectname.data</i> ディレクトリの下にそのサブディレクトリが作成されます。制約セット ディレクトリには、次のファイルが含まれます。</p> <p>*.ucf : インポートされた UCF ファイルすべて。入力ファイルによって異なる場合があります。</p> <p>iseloc.xml : PlanAhead で固定されている配置制約と ISE からインポートされた固定されていない配置制約を区別するのに使用します。</p> <p>pfi.xml : デザインの制約ターゲット デバイスが含まれています。</p> <p>pfp.xml : 現在の PlanAhead の実行情報が含まれています。</p> <p>expX サブ : PlanAhead の各実行情報が含まれています。</p>
プロジェクト RTL ディレ クトリ (<i>projectname.srcs</i>)	<p>プロジェクト ソース ディレクトリには、プロジェクトにインポートされた HDL ソース ファイルが保存されます。これらのフォルダは、PlanAhead で管理されるため、ユーザーが管理する必要はありません。</p> <p>これらのファイルを変更すると、プロジェクト データが破損する可能性があります。</p>

プロジェクト データ : シミュレーション (*projectname.sim*)

ビヘイビア シミュレーションおよびタイミング シミュレーションの run のプロジェクト シミュレーション ディレクトリ構造は、同じです。

```
project_name\project_name.sim\sim_run_name\sim_#
```

表 A-5 に、ビヘイビア シミュレーションおよびタイミング シミュレーションの run で作成されるディレクトリおよびファイルを示します。

表 A-5 : ビヘイビア シミュレーションおよびタイミング シミュレーションのファイルおよびディレクトリ

ファイル/ディレクトリ名	説明	シミュレーションの種類
<code>fuse.log</code>	<code>fuse</code> 実行ログ ファイル	両方
<code>fuse.xmsgs</code>	<code>fuse</code> 実行ログ ファイル (XML フォーマット)	両方
<code>fuseRelaunch.cmd</code> および <code>isim.cmd</code>	<code>ISim</code> のバッチ コマンドで、 <code>-tchbatch</code> が指定されないときに <code>tclbatch</code> のバナーに渡されます。	両方
<code>isim.log</code>	<code>iSim</code> 実行ログ ファイル	両方
<code>top.exe</code>	[Simulation Launch] ダイアログ ボックスで指定した最上位モジュールから <code>fuse</code> を使用して作成された <code>ISim</code> シミュレーション実行ファイル (ファイル名は最上位モジュールに依存)	両方
<code>top.prj</code>	最上位デザインを含む <code>PlanAhead</code> プロジェクト ファイル	両方
<code>top.wdb</code>	<code>ISim</code> で作成される波形データベース ファイル	両方
<code>top_timing_sim.nlf</code>	<code>NetGen</code> 実行ログ ファイル	タイミング
<code>top_timing_sim.sdf</code>	<code>NetGen</code> で出力される DF 遅延ファイルで、タイミング シミュレーションで使用	タイミング
<code>top_timing_sim.v</code>	<code>NetGen</code> で出力される Verilog ネットリスト出力で、タイミング シミュレーションで使用 (<code>-ofmt</code> オプションを使用すると VHDL ファイルを出力可能)	タイミング
<code>xilinxsim.ini</code>	ライブラリの論理から物理へのマッピングを含むファイル	両方
<code>/isim</code>	<code>isim_usage_statistics.htm</code> ファイルを含むディレクトリ	両方
<code>/isim/work</code>	<code>glbl.sdb</code> および <code>top.sdb</code> ファイルを含むディレクトリ	両方
<code>isim/top.exe.sim</code>	デザインを構成するデザイン ユニットそれぞれに対するオブジェクト コードおよびデータ ファイルを保存するために <code>fuse</code> で生成されたディレクトリ。デザインで <code>ISim</code> を実行するために <code>fuse</code> で作成されたシミュレーション実行ファイル <code>top.exe</code> が含まれています。	両方
<code>../top.exe.sim/secureip</code>	<code>fuse</code> でコンパイルされるデザイン データおよびオブジェクト コードが含まれています。	両方
<code>../top.exe.sim/simprims_ver</code>	<code>fuse</code> でコンパイルされるデザイン データおよびオブジェクト コードが含まれています。	両方
<code>../top.exe.sim/work</code>	<code>fuse</code> でコンパイルされるデザイン データ ファイルおよびオブジェクト コードを含むディレクトリ (<code>top.exe_main.c</code> および <code>top.exe_main.os_type.obj.</code>)	両方

ISE インプリメンテーションの出力ファイル

表 A-6 このセクションでは、PlanAhead の ISE インプリメンテーション デザイン操作で生成されるファイルについて簡単に説明します。これらのファイルは、PlanAhead で管理されるので、手動で変更しないでください。

表 A-6 : ISE インプリメンテーションの出力ファイル

出力	説明
run ディレクトリ (<i>projectname.runs</i>)	<p>PlanAhead では、複数の ISE インプリメンテーションの run をキューに含めて順番に実行できます。このとき、run ディレクトリの場所を指定するダイアログ ボックスが表示されます。デフォルトでは、保存先にプロジェクト ディレクトリが表示されます。</p> <p>各 run ディレクトリには完全な EDIF ネットリストおよび UCF 制約ファイルが含まれています。PlanAhead では、run ディレクトリごとにユーザー指定のオプションで ISE コマンドを実行する実行スクリプトが作成されます。</p> <p>各ディレクトリには、ネットリストおよび制約ファイルを含むすべてのインプリメンテーション デザイン データが保存されています。要件を満たしたインプリメンテーションが達成されると、run ディレクトリ全体をアーカイブすることができます。</p>
EDIF ネットリスト (.edf)	<p>PlanAhead は ASCII 形式のネットリストをエクスポートします。このファイルは、次のコマンドを実行すると生成されます。</p> <ul style="list-style-type: none"> • [Implement] および [Launch Runs] (PlanAhead) • [File] → [Export] → [Export Netlist] • [File] → [Export] → [Export Pblocks] • [File] → [Export] → [Export IP]
ChipScope コアのネットリスト (.ngc)	<p>PlanAhead は ChipScope™ Pro Analyzer と統合しているため、Integrated Logic Analyzer (ILA) コアを挿入およびコンフィギュレーションすることができます。このコアがインプリメントされると NGC フォーマットのネットリストがコンパイルされ、プロジェクトの /netlistディレクトリに保存され、各インプリメンテーションの run ディレクトリにコピーされます。詳細は、第 12 章「デザインのプログラムとデバッグ」を参照してください。</p>
制約ファイル (.ucf)	<p>PlanAhead では、ISE で使用されるタイミング制約および物理制約を含む UCF フォーマットの ASCII ファイルが書き出されます。このファイルは、次のコマンドを実行すると生成されます。</p> <ul style="list-style-type: none"> • [Implement] および [Launch Runs] (PlanAhead) • [File] → [Export Constraints] • [File] → [Export] → [Export Pblocks] • [File] → [Export] → [Export IP]

表 A-6 : ISE インプリメンテーションの出力ファイル (続き)

出力	説明
エクスポートされた Pblock	<p>特定の Pblock の EDIF および UCF ファイルを PlanAhead 環境外の ISE インプリメンテーションで使用します。</p> <p>Pblock をエクスポートすると、PlanAhead で Pblock の割り当てに基づいてネットリスト階層が作成されます。この UCF では、エクスポートされた EDIF ネットリスト名と一致するように、PlanAhead の物理階層構造が参照され、ブロック ベースのインプリメンテーション ストラテジを使用するときに柔軟に対応できます。</p> <p>エクスポートされる Pblock ファイルは、ネットリスト 1 つと制約ファイル 1 つです。PlanAhead では自動的にブロック レベルのディレクトリ構造が作成、管理されます。選択した Pblock をエクスポートすると、<i>pblockname_CV.edn</i> および <i>pblockname_CV.ucf</i> ファイルを含む <i>pblockname_CV</i> サブディレクトリが作成されます。</p> <p>[Export Pblocks] コマンドは通常、物理階層を含む複雑な IP で使用されます。このような IP でタイミング クロージャを達成すると、コードを再構築してネットリストを取得せずにべつのデザインで使用できます。</p>
ISE 起動スクリプト (jobx.bat/sh、runme.bat/sh、 および ISE_command.rst)	<p>ISE 起動スクリプトは、PlanAhead の [Implement] または [Launch Runs] コマンドを使用すると自動的に生成されます。スクリプトには、PlanAhead のストラテジで指定されたコマンドおよびコマンド ライン オプションが含まれています。</p> <p>jobx.bat/sh スクリプトは .jobs サブディレクトリにあるプロジェクト実行ディレクトリに保存され、選択された各実行を順番に起動します。このスクリプトにより各実行の runme.bat/sh スクリプトが呼び出されます。これらのスクリプトは、個別に実行することもできます。</p>

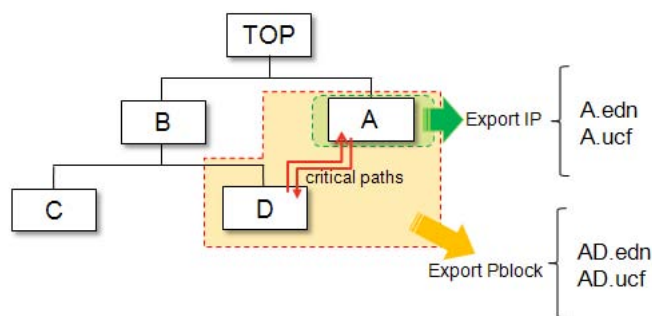


図 A-4 : [Export Pblock] コマンドおよび [Export IP] コマンドの使用例

付録 B

PlanAhead の DRC

RTL DRC : 消費電力およびパフォーマンス

表 B-1 および表 B-2 は、RTL 消費電力および RTL パフォーマンスの DRC を示しています。

RTL DRC :消費電力 DRC

表 B-1 : 消費電力ルール

ルール名	略称	説明	重要度
Constantly enabled synchronous RAM	RPRC	常にイネーブルの RAM (推論またはインスタンス化されたもの) が片方または両方のポートで検出されました。この RAM が常にアクセスされていないかどうかを判断します。常にアクセスされていなければ、この RAM をディスエーブルにするロジックを記述することで、消費電力を大幅に低減できる場合があります。	警告
Inefficient dangling BRAM port	RPRM	接続されていない出力ポートのある RAM が検出され、WRITE_MODE が NO_CHANGE 以外の値に設定されています。RAM 記述を変更して未接続の出力ポートを設定すると (WRITE_MODE を NO_CHANGE に設定)、ブロック RAM の消費電力を最大 10% 節約できる場合があります。	警告
Shallow RAM implemented in Block RAM	RPRS	Virtex ⁴⁻⁵ および Virtex-6 デバイス :幅が 19 ビット以上、ワード数が 64 ビット以下の RAM の場合、RAM が FIFO として使用されている場合 (クロスオーバー ポイントはワード数 32 ビット以下) を除き、SelectRAM (分散 RAM と呼ばれる LUT ベースの RAM) を選択した方が有益です。幅が 18 ビット未満のインターフェイスを構築する場合、ワード数が 128 ビットまでの場合は LUT ベースの SelectRAM が適していますが、一般的に 128 ビットを超えると、専用ブロック RAM の方が適しています。	警告
Inefficient mapping of small multiplier in DSP block	RPDS	DSP または MULT18X18 などのハード乗算器 IP にマップされている小型乗算器は、MSB にプッシュする必要があります。残りの LSB はグラウンドにマップする必要があります。このようにすると、キャリー伝搬を最小限に抑えることができます。通常のインプリメンテーション、特に乗算器を推論する場合、LSB および符号拡張を使用して MSB をマップします。	警告

RTL DRC : パフォーマンス

表 B-2 : パフォーマンスのルール

ルール名	略称	説明	重要度
Inefficient library element instantiation	RPWL	別の FPGA ファミリに属す「 <i>library_component_name</i> 」タイプのインスタンス「 <i>instance_name</i> 」を検出しました。この場合、最適なパフォーマンスが得られない可能性があります。ISE ソフトウェアで、このエレメントが選択されているファミリの類似エレメントに自動的にマップされる場合がありますが、使用する FPGA ファミリのエレメントを推論またはインスタンス化するようにソース コードを変更すると、そのエレメントにある追加機能または拡張機能を利用できます。これにより、エリア使用率およびパフォーマンスが向上する場合があります。	警告
Missing pipeline register	RPPR	レジスタを介していない出力のある乗算器が検出されました。レジスタのレベルを追加すると、乗算器の clock-to-out パフォーマンスを向上できます。また、これらのレジスタに非同期制御信号を使用しないようにするのがベストです。 レジスタを介していない出力のある RAM/ROM が検出されました。レジスタのレベルを追加すると、RAM/ROM の clock-to-out パフォーマンスを向上できます。また、これらのレジスタに非同期制御信号を使用しないようにするのがベストです。	警告
Inefficient pipeline register	RPIP	乗算ファンクションの入力または出力に非同期制御信号がある、レジスタ <i>register_name</i> (<i>file_name:line_number</i>) が検出されました。専用 DSP ハードウェア リソースには、プリセットやクリアなどの非同期制御信号はありません。レジスタは専用ハードウェア リソースにはマップされず、デバイスが最適に使用されません。	警告
Found Black Box instance no belonging to UNISIM library	RPBX	コンポーネントまたはモジュール <i>component/module_name</i> の記述を、合成で使用できませんした (<i>file_name:line</i>)。このブラック ボックスへのパスおよびブラック ボックスからのパスは最適化できません。合成ツールの使用率予測およびマップに悪影響を与える可能性があります。	警告
Found latch in design	RPLD	<i>signal_name</i> (<i>file_name:line_num</i>) 信号のラッチ記述が検出されました。ラッチがあると、インプリメンテーション後のシミュレーションが必要なタイミング パスを解析し、インプリメントされたデザインのビヘイビアが予測どおりのものであることを確認するのが困難になります。	警告
Found combinatorial loop in design	RPCL	<i>signal_name</i> (<i>file_name:line_number</i>) 信号の組み合わせループが検出されました。組み合わせループは、組み合わせロジックのコーンの出力が、同じコーンのロジックの部分入力としてフィードバックされると生成されます。ソースからデスティネーションまでの組み合わせ遅延合計は、フィードバック パス遅延分増やす必要があります。このタイプの構造は、デザインに予測されるビヘイビアに必要であるか、または意図したものではない場合があります。	警告

フロアプラン DRC

Pblock フロアプランの DRC

表 B-3 : Pblock フロアプランの DRC

ルール名	略称	説明	重要度
Longest Carry Chain Height	LCCH	Pblock の高さに、割り当てられたキャリー チェーンで一番長いチェーンが収まるかどうかチェック	警告
Pblock overlap	FLBO	重なり合った Pblock の長方形のチェック	情報
Pblock Partition	FLBP	LUT から MUXCY および MUXFx への接続が Pblock のパーティションで切断されていないかをチェック	エラー
Resource Utilization	UTLZ	割り当てられたロジックに対して、Pblocks のリソースが十分であることをチェック	警告 (スライスロジックの場合) エラー (非スライスロジックの場合)
Area Group Tile Alignment	FLBA	AREA_GROUP 制約のサイト範囲が CLB グリッドと一致しているかどうかをチェック	警告

バンク DCI の DRC

表 B-4 : DCI カスケードの DRC

ルール名	略称	説明	重要度
DCI Cascade Checks	DCIC	DCI カスケード制約が有効かどうかをチェック	エラー
DCI Cascade with part compatibility	DCICPC	ユーザーに UCF ファイルをほかの互換性のあるパーツに読み込み、DRC を手動で実行して DCI カスケードが有効であることを確認するよう警告	警告
DCI Check for I/O standard legality	DCICIOSTD	DCI カスケード内に使用される I/O 規格の VCCO と DCI 終端に関連する競合がないかどうかチェック	エラー

表 B-5 : IDelay Control の DRC

ルール名	略称	説明	重要度
IDelayCtrl Checks	IDLYCTRL	IDelay 配置が IDlyController のロケーションと一致しているかどうかをチェック	エラー

バンク IO の規格ルールのリストは、398 ページの「I/O ポート/クロック ロジック/配置 DRC の詳細」を参照してください。

ClkBuf の DRC

表 B-6 : ClkBuf の DRC

ルール名	略称	説明	重要度
BufR & BufIO Locations	BUFRIOC	同じリージョナル クロック ターミナルで駆動されている BUFR および BUFIO が相互配線可能なロケーションにあることをチェック	エラー

グローバル クロック ルールのリストは、[398 ページの「グローバル クロックの DRC」](#)を参照してください。

DSP48 の DRC

表 B-7 : DSP48 の DRC

ルール名	略称	説明	重要度
DSP48 output registers	DPOR	DSP48 の出力側にレジスタがありますが、このレジスタは同期制御して使用する必要があります (Virtex-4 のみ)	情報
DSP48 input registers	DPIR	DSP48 の入力側にレジスタがありますが、このレジスタは同期制御して使用する必要があります (Virtex-4 のみ)	情報
DSP48 output pipelining	DPOP	DSP48 の出力側にレジスタがありますが、このパイプラインのメカニズムを使用すると、パフォーマンスが向上します (Virtex-4 のみ)	情報
DSP multiplier output pipelining	DMOP	DSP48 出力はパイプライン化されていません。パイプラインされているとパフォーマンスが向上します	警告
DSP48 input pipelining	DPIP	DSP48 の入力側にレジスタがありますが、このパイプラインのメカニズムを使用すると、パフォーマンスが向上します (Virtex-4 のみ)	情報
DSP48 cascade	DPCA	DSP48 カスケード チェック	警告
DSP48 asynchronous	DPREG	DSP48 非同期フィードバック	警告

RAMB16 の DRC

表 B-8 : RAMB16 の DRC

ルール名	略称	説明	重要度
RAMB16 output registers	RBOR	RAMB16 の出力側にレジスタがありますが、このレジスタは同期制御して使用する必要があります (Virtex-4 のみ)	情報

RAMB DRC

表 B-9 : RAMB16 の DRC

ルール名	略称	説明	重要度
RAMB Read first mode	RBRF	READ_FIRST モードのクロック制限	警告

FIFO DRC

FIFO DRC については、[表 B-10](#) を参照してください。

表 B-10 : FIFO DRC

ルール名	略称	説明	重要度
FIFO Synchronous	FSYN	同期 FIFO のチェック	警告

ネットリストの DRC

ネットリストの DRC については、[表 B-11](#) を参照してください。

表 B-11 : ネットリストの DRC

ルール名	略称	説明	重要度
Driverless Nets	NDRV	各ネットに正しいドライバ ピンがあることをチェック	警告

インスタンスの DRC

インスタンスの DRC については、[表 B-12](#) を参照してください。

表 B-12 : インスタンスの DRC

ルール名	略称	説明	重要度
Black Box Instances	INBB	ブラックボックス（ネットリストの未定義ロジック）がないことをチェック	警告

属性の DRC

属性の DRC については、[表 B-13](#) を参照してください。

表 B-13 : 属性の DRC

ルール名	略称	説明	重要度
Invalid attribute	AVAL	無効な属性値をチェック	警告
Undefined attribute	ADEF	定義されていない属性値をチェック	警告

必須ピンの DRC

必須ピンの DRC については、[表 B-14](#) を参照してください。

表 B-14 : 必須ピンの DRC

ルール名	略称	説明	重要度
Unconnected pin	REQP	接続されていない必須ピンをチェック	警告

I/O ポート/クロック ロジック/配置 DRC の詳細

PlanAhead で使用可能な I/O ポートおよびクロック ロジック DRC は、I/O 関連 DRC のほんの一部です。I/O ポートおよびクロック領域の仕様に関しては、使用しているデバイスの資料を参照してください。

PlanAhead で表示される問題の重要度は、ISE インプリメンテーション ツールでレポートされる同じ状況の重要度とは異なることがあります。

その他の DRC ルールの詳細については、[165 ページの「DRC の選択」](#)を参照してください。

グローバル クロックの DRC

[表 B-15](#) は、グローバル クロックの DRC、略称、説明、重要度を示しています。

表 B-15 : グローバル クロックのルール

ルール名	略称	説明	重要度
IBUFG to DCM connectivity	IDCM	IBUFG には、デバイスの同じエッジ (上、下、左、右) にある DCM への専用配線のみがあります。	警告
DCM to BUFG connectivity	DCMB	DCM には最大 4 つの BUFG を接続できます。専用配線リソースを共有するバッファのペアが同じ DCM で駆動される場合、いずれかが非専用配線リソースを使用して駆動される必要があるため、これが原因でデザインでエラーが発生します。バッファに左から順に 1 ~ 8 の番号を付けると、1 と 5、2 と 6、3 と 7、4 と 8 という 4 組のペアができます。バッファがサイト 1 に配置されている場合は、同 DCM で駆動されるもう一方のバッファはサイト 5 に配置できません。	エラー
Number of BUFGs allowed for DCM	DCMN	DCM は最大 4 つの BUFG に接続できます。これは、DCMB に関連しています。	エラー
DCM and BUFG connectivity	DCME	BUFG にはデバイスの同じ側 (上、下、左、右) にある DCM への専用配線のみが存在します。	警告

配置ツールの DRC

配置ツールの DRC については、表 B-16 を参照してください。

表 B-16 : 配置ツールの DRC

ルール名	略称	説明	重要度
Placement constraint	PLCR	クロック領域の配置制約をチェック	エラー
Clock placer	PLCK	クロック配置が有効な位置かどうかチェック。PLCK に含まれるのは、次のチェックです。 <ul style="list-style-type: none"> IOBUFR : リージョナル クロック ターミナルおよび関連 BUFR が相互配線可能なロケーションにあることを確認します。 IOBUFIO : リージョナル クロック ターミナルおよび関連 BUFIO が相互配線可能なロケーションにあることを確認します。 	エラー
Design lock	PLDL	無効な LOC 制約をチェック	エラー
Valid placement	PLVP	実行不可能な配置になる制約をチェック	エラー
Valid placement	PLIO	I/O の配置が有効かどうかをチェック	エラー

IOB の DRC

表 B-17 は、IOB のルール、略称、説明、重要度を示しています。

表 B-17 : IOB の DRC

ルール名	略称	説明	重要度
Port Properties	PORTPROP	ポートのプロパティ内の矛盾をチェックします。	エラー
Differential IO pads	IODI	差動 I/O の P 信号および N 信号は、専用の差動ペアでは LOC 制約を付ける必要があります。	エラー
IO Standard Type	IOSTDTYPE	差動ペア I/O 規格が、差動ピンのペアにのみ割り当てられていることを確認します。	警告
Number of IOs	IOCNT	ターゲット デバイスにあるピンの数よりも多くの I/O ポートが定義されているかどうかを示します。	警告
I/Os placement	IOPL	許可されないサイトの I/O 配置をチェック。IOPL には、次のチェックが含まれます。 <ul style="list-style-type: none"> IOPR : ポートが禁止ピンに配置されていないことを確認します。 IOLVDSGCC : 差動出力規格が、この規格をサポートしない低キャパシタンス サイトで使用されていないことを確認します。 	エラー

表 B-17 : IOB の DRC (続き)

ルール名	略称	説明	重要度
Prohibit not specified for part compatibility	IOPCPR	互換性のあるパーツを使用するデザインに対し、パッケージピンが互換パーツにないこと、「prohibit」とマークされ、何も配置されていないことを確認します。	エラー
MGT not allowed for part compatibility	IOPCMGT	異なる MGT 供給電圧を持つパーツ 2 つに互換性があるかどうかを確認し、MGT の使用を無効にします。	警告
I/O Crosstalk to MGT	IOCTMGT	I/O と MGT 間で発生する可能性のあるクロストーク問題をチェックします。	警告
Part compatibility	IOPCSLR	モノリシック デバイスとマルチダイ デバイス間のパーツの互換性をチェック	情報
IOB clock sharing	IOCS	IOB サイトはペアに分けられ、クロック配線リソースが共有できるようになっています。これらのペアは、通常 LVDS ペアになります。フリップフロップが IOB にパックされている方法によっては、配線で問題が発生することがあります。この問題を解決するには、フリップフロップを特定の BEL に割り当てる必要があります。	警告
IOB set reset sharing	IOSR	IOB サイトには入力、出力、トライステート レジスタがあり、それぞれが同じセット/リセット信号を共有していますが、異なるリセット信号では、レジスタをパックできません。	エラー

バンク I/O 規格の DRC

表 B-18 は、バンク I/O 規格のルール、略称、説明、重要度を示しています。

表 B-18 : バンク I/O 規格の DRC

ルール名	略称	説明	重要度
Bank IO Standard Vcc	BIVC	バンク内の I/O に対する、IOSTANDARD ベースの VOUT の電圧互換性を確認します。	エラー
Bank IO Standard Support	BIVB	I/O 規格が I/O バンクでサポートされていることを確認します。	エラー
Bank IO standard Termination	BIVT	バンク内の I/O に対する、IOSTANDARD ベースの DCI 終端の電圧互換性を確認します。	エラー
Bank IO Standard VREF	BIVR	バンク内の I/O に対する、IOSTANDARD ベースの VREF の電圧互換性を確認します。	エラー
Bank IO Standard VREF Occupied	BIVRU	VREF を必要とする I/O 規格をインプリメントする I/O バンクに使用可能な VREF サイトがあるかどうかチェックされます。	警告
Bank I/O Standard	BIIVRC	バンクの I/O 規格と INTERNAL_VREF 制約間の競合がチェックされます。バンクの規格には、バンクの INTERNAL_VREF 制約で指定される VREF 電圧と異なる VREF 電圧は要求できません。	警告

表 B-18 : バンク I/O 規格の DRC (続き)

ルール名	略称	説明	重要度
Bank I/O Simultaneous Switching Output Limits	BISLIM	I/O バンク内に配置されている I/O に対し同時スイッチ ノイズ (SSN) 出力を確認します。	エラー
Bank I/O Standard VRN/VRP Occupied	DCIP	I/O バンクには専用の VRP サイトおよび VRN I/O サイトがあり、これらは通常の I/O としても使用できます。このバンクで DCI I/O 規格が使用される場合は、これらの I/O を未使用にしておく必要があります。	エラー
Inconsistent Diff pair I/O Standards	DIFFISTD	差動ペアのターミナルに同じ I/O 規格が設定されているかを確認します。	エラー
Inconsistent Diff pair I/O Standards	DIFFISTDDrv	差動ペアのターミナルに同じ駆動が設定されているかを確認します。	エラー
Inconsistent Diff pair I/O Standards	DIFFISTDSlew	差動ペアのターミナルに同じスルーが設定されているかを確認します。	エラー
Vccaux Voltage requirement	VCCAUX1	LVC MOS25 の要件について警告します。	警告
Vccaux Voltage requirement	VCCAUX2	LVPECL_33 および TMDS_33 の要件について警告します。	エラー

ChipScope の DRC

表 B-19 は、ChipScope の DRC、略称、説明、重要度を示しています。

表 B-19 : ChipScope の DRC

ルール名	略称	説明	重要度
Unconnected channel	CSUC	接続のないチャンネルがチェックされます。	エラー
クロック以外のネット	CSCL	デバッグ クロック ポートに接続されたクロック以外のネットがチェックされます。	警告
Device block RAM	CSBR	ChipScope デバッグ コアをインプリメントするのに十分なブロック RAM リソースがデバイスに含まれているかどうかチェックされます。	警告

PlanAhead の用語

BEL 配置制約 (BEL)

BEL (Basic Element of Logic) 制約は、特定のロジック デバイス ゲートに割り当てられた配置サイトがある下位インスタンスに割り当てられます。BEL 制約を割り当てると、そのインスタンスに対してエクスポートされた UCF ファイルに BEL 制約が書き込まれます。この制約は、[Device] ビューでズーム レベルに応じて、この制約が付けられているサイト内で長方形として、またはサイト内のロジック ファンクション シンボルとして表示されます。

制約

制約は、論理タイミング、ビヘイビア要件、または物理的な配置要件の記述です。I/O ポートの割り当ても、制約で定義されます。

制約セット

制約セットは、解析およびインプリメンテーションで使用する複数のファイルの 1 つです。これらは、PlanAhead の [Sources] ビューで管理されます。異なる制約セットを使用して制約の影響を確認したり、または異なるデバイスを試してみることが可能です。

デザイン

デザインは、ネットリスト (エラボレートされた RTL ネットリストまたは合成済みネットリスト)、制約セット、およびターゲット デバイスで構成されます。PlanAhead を使用するのにデザインを作成する必要はありません。デザインは、PlanAhead の現在使用中のセッション中でのみメモリに保存され、デザイン スナップショットの解析および run の起動に使用されます。インプリメンテーション run は外部ユーザー制約ファイル (UCF) を使用して起動できます。各プロジェクトのネットリストで、異なる制約やデバイスを使用した複数のフロアプランをサポートできます。

フラット ピン数

ネットが接続されているフラット化されたネットリストに含まれるピン数この情報は、[Properties] および [Find Results] ビューなど多数のビューに表示されます。ネットのフラット ピン数はピン数 (ピン数を参照) とは異なるので注意してください。

IBIS

I/O Buffer Information Specification (IBIS) モデル。IBIS モデルは、PCB 設計者がクロストーク、グラウンド バウンダリ スキャンズ、および SSN (同時スイッチ ノイズ) などのシグナル インテグリティの問題を FPGA デザインでシミュレーションするときに使用するモデルです。IBIS モデルでは、I/V 曲線やパッケージ デバイスのプラスチック情報の特性化に役立ちます。

I/O ポート

I/O ポートは物理パッケージ ピンに割り当てるユーザー I/O です。各 I/O 信号はポートとして定義されます。

インスタンス

ネットリストに含まれるインスタンスと呼ばれるエレメントには、下位ロジック プリミティブと階層モジュールのコンポーネントが含まれます。このマニュアルでは、モジュール コンポーネントはモジュールと呼びます。

モジュール

ネットリストに含まれる階層モジュールのインスタンス化を表現するエレメントをモジュールまたはコンポーネントと呼びます。下位プリミティブ ロジックは、インスタンスまたはプリミティブと呼びます。

ネットリスト

ネットリストはデザインの論理記述です。ネットリストは、最上位ネットリストとその下位レベルのネットリスト (モジュール) から構成される階層構造である必要があります。PlanAhead の RTL ベース プロジェクトには、複数の合成 run を使用できるため、複数のネットリストを含めることができます。

パッケージ ピン

パッケージ ピンは、I/O ポートが割り当てられるパッケージの物理ピンです。パッケージ ピンは、I/O バンクにグループ化されます。パッケージ ピンおよび I/O バンクの詳細は、デバイスの仕様を参照してください。

プロジェクト

PlanAhead™ の各セッションでは、アクティブなプロジェクトを 1 つ開始します。プロジェクトは、使用しているデザイン フローごとにさまざまな入力フォーマットで作成できます。

- RTL (レジスタ転送レベル) ソース ファイルは、RTL からビットストリーム生成までのフローに適したプロジェクトを作成するために使用できます。
- 合成ネットリストは、ネットリストからビットストリームまでのフローに使用できます。
- 空のプロジェクトは、I/O ピン配置プロジェクト、page 38で説明されているように、デバイスのリソースを試したり、I/O ピン配置を開始するために作成します。

以前のコマンド ライン インプリメンテーションからの結果をインポートしてプロジェクトを作成する方法もあります。

作成するプロジェクト タイプによっては、プロジェクトには複数のネットリストが含まれることがあります。それぞれのプロジェクトでは、複数のインプリメンテーション **run** を起動できます。

プロジェクト情報は、次の組み合わせを含むディレクトリ構造に保存されます。

- **project_1.ppr** : プロジェクト ファイル
- **project_1.data** : プロジェクト ネットリストを含むネットリスト ディレクトリ、およびプロジェクト内の各デザインのディレクトリが含まれているプロジェクト データ ディレクトリ
- **project_1.srscs** : プロジェクトにコピーされたすべてのソース ファイルが含まれるソース ディレクトリ
- **project_1.runs** : **PlanAhead** で作成された **ISE** インプリメンテーション **run** のデータが保存される **runs** ディレクトリ
- **project_1.sim** : デザインに対してされたシミュレーション ファイルを含む、オプションのシミュレーション ディレクトリ

PlanAhead ではプロジェクト データが自動的に管理されます。**PlanAhead** では、前回ツールを終了した時点のデータでプロジェクトが開くため、手動でこれらのファイルに変更を加えないようにします。

PlanAhead では、ファイルを開いたときに自動的にプロジェクトの状態が復元されます。プロジェクトを再度開くと、作業したデザイン、閉じたデザイン、およびこれらのデザインに関連する **run** を含むプロジェクトのステータスが更新され表示されます。

物理ブロック (Pblock)

Pblock は、**PlanAhead** のフロアプラン中に定義されます。従来の方法では、1 つの **Pblock** に 1 つのロジック インスタンスまたはロジック インスタンスのグループが割り当てられます。**Pblock** では、**FPGA** デバイス上に長方形のエリアを定義して、そのロジックに制約を付けることができます。**Pblock** 内に配置されたネットリスト ロジックには、**ISE** で **AREA_GROUP** 制約が付けられます。**Pblock** は、特定の **RANGE** タイプを使用して、**SLICE**、**RAM/MULT**、**DSP** など特定のロジックのみを含めるように指定できます。また **Pblock** は、複数の長方形を使用して **L** 形および **T** 形などの長方形以外の形を作成できるように定義することもできます。

ピン数

ネットが接続されている階層と同じレベルに含まれるピン数この情報は、**[Properties]** および **[Find Results]** ビューなど多数のビューに表示されます。

プリミティブ

ネットリストに含まれる **LUT**、フリップフロップなどの下位ロジック オブジェクトを表すエレメントは、プリミティブと呼びます。フリップフロップは **D** タイプ フリップフロップまたはラッチのいずれかとして機能する **FD_LD** タイプの可能性があるので注意してください。

run

各合成またはインプリメンテーションの試みを「run」と呼びます。各 run は特定のストラテジに関連付けられています。複数の run を複数のプロセッサを使用して同時にしたり、または 1 つずつできます。run は順次に起動し、PlanAhead にそのステータスが表示されます。

サイト

PlanAhead では、デザイン ネットリストをインプリメントするときに使用される特定 FPGA デバイス リソースがタイルで表示されます。プリミティブ ロジックのサイトには、ネットリストのインスタンスを配置できます。これらのサイトは、オブジェクトの種類 (RAM、MULT、CLB、DSP、PPC、MGT など) を区別するために、それぞれ形と色が異なります。下位ロジックは、配置制約を使用して特定のスライスに割り当てるか、BEL 制約を使用してスライス内のゲートに割り当てることができます。

サイト配置制約 (LOC)

ロケーション制約 (LOC) は、特定のスライス座標に割り当てられた固定配置サイトがある下位インスタンスに割り当てられます。この制約はロジックをスライス内の特定のロジック ゲートに固定しないので、BEL 制約とは異なります。LOC 制約を割り当てると、そのインスタンスに対してエクスポートされた UCF ファイルに LOC 制約が書き込まれます。

LOC 制約は、[Device] ビューでズーム レベルに応じて、この制約が付けられているサイト内で長方形として、またはサイト内のロジック ファンクション シンボルとして表示されます。

ソース

プロジェクトはさまざまなフォーマットの入力ファイルを使用して作成できます。プロジェクトは、Verilog および VHDL フォーマットの RTL ソース ファイル、IP コア モジュール、および NGC または EDIF フォーマットの合成済みネットリストをインポートして作成できます。このようなファイルはソース ファイルと呼ばれます。

ストラテジ

ストラテジは、ツールのコマンド オプションの定義済みセットです。ツールで提供されるストラテジを適用したり、ユーザー ストラテジを作成したりできます。ストラテジは個々の run に適用できます。

付録 D

XilinxNotify を使用したリリースのインストール

PlanAhead のリリース ストラテジ

PlanAhead™ では、新しい技術の導入やカスタマーのリクエストに迅速に対応するため、定期的に新規リリースが入手できるようになっています。定期的に新規リリースが入手できるようになっています。12.3 や 12.4 などのバージョン番号は、リリースを示します。[Help] → [About PlanAhead] をクリックすると、現在インストールされている PlanAhead のバージョンを確認できます。

新しいリリースを確認するには、[Help] → [Check for Updates] をクリックします。

ザイリンクス ツールのインストール方法の詳細は、『ISE Design Suite : インストールおよびライセンス ガイド』(UG631) および『ISE Design Suite : リリース ノート ガイド』(UG793) を参照してください。付録 F「その他のリソース」には、これらの資料へのリンクが含まれています。

XilinxNotify の

XilinxNotify は最新のソフトウェアを取得するのに推奨されるツールで、次をします。

- <http://japan.xilinx.com/support> の最新のソフトウェア アップデートとインストールしているソフトウェアのバージョンを比較し、新しいバージョンがある場合は通知します。
- [Download] ボタンをクリックすると、ブラウザが起動し、ザイリンクス ダウンロード センターにログインする画面が表示されます。

ログインしたら、選択した製品のダウンロードが開始されます。

XilinxNotify は、次のいずれかの方法で使用できます。

- PlanAhead の起動時に定期的に自動チェック
- [Help] → [Check for Updates] をクリック
- Linux シェルに xilinxnotify と入力

メモ：起動時の自動チェックの頻度は、[Edit] → [Preferences] から設定できます。

XilinxNotify のネットワーク インストール

[Automatically check for software updates] は、PlanAhead ソフトウェアをインストールする際に使用したコンピューターでのみデフォルトでオンになっています。

ネットワーク ロケーションにポイントしているクライアント マシンの場合は、デフォルトでオフになっています。

クライアント マシンでこの機能を使用するには、[Tools] → [Options] → [General] →

[Miscellaneous] → [Automatically check xilinx.com for software updates on startup] で設定するか、手動でします。図 D-1 にオプションを示します。

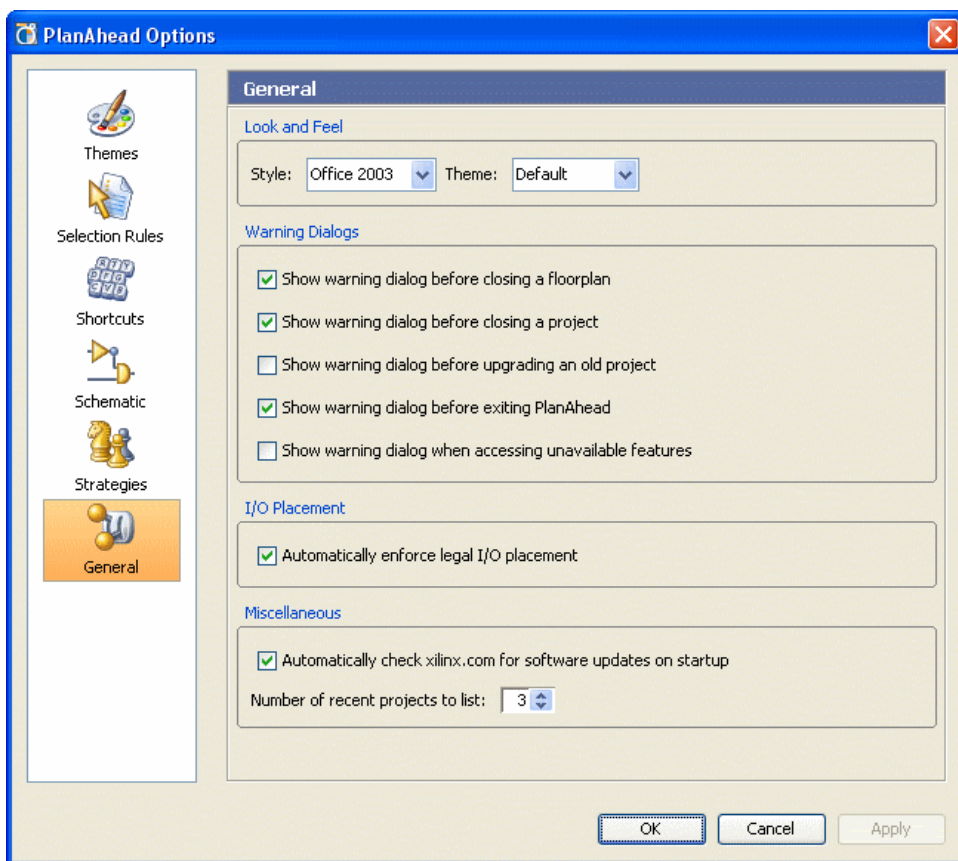


図 D-1: [Automatically check xilinx.com for software updates on startup] オプション

メモ：ソフトウェア アップデートをインストールする場合は、\$XILINX インストール ディレクトリに書き込み権が必要です。

ソフトウェア アップデートは、ダウンロード センターに定期的にアップロードされます。<http://japan.xilinx.com/support/download/index.htm>.

付録 E

パスワード入力なしの SSH の設定

SSH の設定

PlanAhead™ ソフトウェアでは、リモート ホストまたは複数のホストで同時に合成およびインプリメンテーションをできます。複数のホストでするには、Linux OS で提供されているサービス、セキュア シェル (SSH) を使用します。PlanAhead ソフトウェアで複数のホストを設定する前に、リモート マシンにログインするたびにパスワードを入力しなくて済むように SSH を設定します。

SSH は、Linux ターミナルまたはシェルで次のコマンドを入力して設定します。

メモ：これは一度設定しておけば、繰り返し設定する必要はありません。

1. Linux ターミナルまたはシェルで次のコマンドをし、パブリック キーをプライマリ コンピューターで生成します。必須ではありませんが、セキュリティ保護のため、プライベート キーを入力および記憶しておくようにします。

```
ssh-keygen -t rsa
```

2. パブリック キーをリモート コンピューターの `authorized_keys` ファイルに追加します。次の `remote_server` には、有効なホスト名を入力します。

```
cat ~/.ssh/id_rsa.pub | ssh remote_server "cat - >> ~/.ssh/authorized_keys"
```

3. プライベート キーを取得するため次のコマンドをし、キーを有効にします。

```
ssh-add
```

これで、どのリモート コンピューターでもパスワードを入力せずに使用できます。新しいコンピューターに初めてアクセスする場合は、パスワードを入力するよう求められますが、その次回からは入力する必要はありません。毎回パスワードの入力を求められる場合は、システム管理者に連絡し、パスワードを入力せずに SSH が使用できる Linux アカウントを設定してもらいます。

SSH が設定されたら、リモート ホストの設定に進んでください (Linux のみ)。

付録 F

その他のリソース

次に、この資料で紹介されるその他のリソースへのリンクをリストします。

ザイリンクス リソース

- 『ISE Design Suite : インストールおよびライセンス ガイド』(UG798) :
http://japan.xilinx.com/support/documentation/sw_manuals/xilinx13_1/iil.pdf
- 『ISE Design Suite : リリース ノート ガイド』(UG631) :
http://japan.xilinx.com/support/documentation/sw_manuals/xilinx13_1/irn.pdf
- ザイリンクス サポート : <http://japan.xilinx.com/support.htm>
- ビデオ デモ : <http://japan.xilinx.com/design>
- ザイリンクス アンサー データベース : <http://japan.xilinx.com/support/mysupport.htm>
- ザイリンクス資料 :
<http://japan.xilinx.com/support/documentation>
- ザイリンクス用語集 :
http://japan.xilinx.com/support/documentation/sw_manuals/glossary.pdf

ChipScope 資料

- 『ChipScope Pro Software and Cores User Guide』(UG029) :
http://japan.xilinx.com/support/documentation/sw_manuals/xilinx13_1/chipscope_pro_sw_cores_ug029.pdf
- 『Using Xilinx ChipScope Pro ILA Core with Project Navigator to Debug FPGA Applications』(UG750) :
http://japan.xilinx.com/support/documentation/sw_manuals/xilinx13_1/ug750.pdf
- 『Debugging with ChipScope (UG677) :
http://japan.xilinx.com/support/documentation/sw_manuals/xilinx13_1/PlanAhead_Tutorial_Debugging_w_ChipScope.pdf

ISE 資料

- 『制約ガイド』(UG625) :
http://japan.xilinx.com/support/documentation/sw_manuals/xilinx13_1/cgd.pdf
- 『合成/シミュレーション デザイン ガイド』(UG626) :
http://japan.xilinx.com/support/documentation/sw_manuals/xilinx13_1/sim.pdf
- 『ISim ユーザー ガイド』(UG660) :
http://japan.xilinx.com/support/documentation/sw_manuals/xilinx13_1/plugin_ism.pdf

ハードウェア資料

- 『Spartan-6 PCB Design Guide』 (UG393) :
http://japan.xilinx.com/support/documentation/sw_manuals/xilinx13_1/ug393.pdf
- 『Spartan-6 Select I/O User Guide』 (UG381):
http://japan.xilinx.com/support/documentation/sw_manuals/xilinx13_1/ug381.pdf
- 『Virtex-6 FPGA Clocking Resources』 (UG362) :
http://japan.xilinx.com/support/documentation/sw_manuals/xilinx13_1/ug362.pdf

パーシャル リコンフィギュレーション資料

- パーシャル リコンフィギュレーション ウェブサイト :
japan.xilinx.com/tools/partial-reconfiguration.htm
- 『Partial Reconfiguration User Guide』 (UG702) :
http://japan.xilinx.com/support/documentation/sw_manuals/xilinx13_1/ug702.pdf
- チュートリアル :
 - 『予測可能な結果に対する保存デザインの利用』 (UG747) :
http://japan.xilinx.com/support/documentation/sw_manuals/xilinx13_1/PlanAhead_Tutorial_Design_Preservation.pdf
 - 『パーシャル リコンフィギュレーション フローの概要』 (UG743) :
http://japan.xilinx.com/support/documentation/sw_manuals/xilinx13_1/PlanAhead_Tutorial_Partial_Reconfiguration.pdf
 - 『プロセッサ ペリフェラルのパーシャル リコンフィギュレーション』 (UG744) :
http://japan.xilinx.com/support/documentation/sw_manuals/xilinx13_1/PlanAhead_Tutorial_Reconfigurable_Peripheral.pdf

PlanAhead 資料

- PlanAhead 資料 :
http://japan.xilinx.com/support/documentation/dt_planahead_planahead13-1_userguides.htm
- 手法ガイド : http://japan.xilinx.com/support_documentation
 - 『フロアプラン手法ガイド』 (UG633) :
http://japan.xilinx.com/support/documentation/sw_manuals/xilinx13_1/Floorplanning_Methodolgy_Guide.pdf
 - 『階層デザイン手法ガイド』 (UG748) :
http://japan.xilinx.com/support/documentation/sw_manuals/xilinx13_1/Hierarchical_Design_Methodolgy_Guide.pdf
 - 『ピン配置手法ガイド』 (UG792) :
http://japan.xilinx.com/support/documentation/sw_manuals/xilinx13_1/ug792_pinplan.pdf
- 『PlanAhead ユーザー ガイド』 (UG632) :
http://japan.xilinx.com/support/documentation/sw_manuals/xilinx13_1/PlanAhead_UserGuide.pdf
- 『PlanAhead Tcl コマンド リファレンス ガイド』 (UG789) :
http://japan.xilinx.com/support/documentation/sw_manuals/xilinx13_1/ug789_tcl_commands.pdf

- PlanAhead チュートリアル:
http://japan.xilinx.com/support/documentation/dt_planahead_planahead13-1_tutorials.htm
 - 『Debugging with ChipScope』(UG677):
http://japan.xilinx.com/support/documentation/sw_manuals/xilinx13_1/PlanAhead_Tutorial_Debugging_w_ChipScope.pdf
 - 『デザイン解析およびフロアプラン』(UG676):
http://japan.xilinx.com/support/documentation/sw_manuals/xilinx13_1/PlanAhead_Tutorial_Design_Analysis_Floorplan.pdf
 - 『I/O ピンの配置』(UG674):
http://japan.xilinx.com/support/documentation/sw_manuals/xilinx13_1/PlanAhead_Tutorial_IO_Pin_Planning.pdf
 - 『クイック フロー概要』(UG673):
http://japan.xilinx.com/support/documentation/sw_manuals/xilinx13_1/PlanAhead_Tutorial_Quick_Front-to-Back_Overview.pdf
 - 『予測可能な結果に対する保存デザインの利用』(UG747):
http://japan.xilinx.com/support/documentation/sw_manuals/xilinx13_1/PlanAhead_Tutorial_Partial_Reconfiguration.pdf
 - 『パーシャル リコンフィギュレーション フローの概要』(UG743):
http://japan.xilinx.com/support/documentation/sw_manuals/xilinx13_1/PlanAhead_Tutorial_Partial_Reconfiguration.pdf
 - 『RTL デザインと CORE Generator を使用した IP の生成』(UG675):
http://japan.xilinx.com/support/documentation/sw_manuals/xilinx13_1/PlanAhead_Tutorial_RTL_Design_IP.pdf
 - 『Tcl および SDC コマンドの使用』(UG760):
http://japan.xilinx.com/support/documentation/sw_manuals/xilinx13_1/ug760_patut_tcl.pdf

