

RTL Viewer/Technology Viewer チュートリアル

UG685 (v13.1) 2011 年 3 月 1 日



The information disclosed to you hereunder (the “Information”) is provided “AS-IS” with no warranty of any kind, express or implied. Xilinx does not assume any liability arising from your use of the Information. You are responsible for obtaining any rights you may require for your use of this Information. Xilinx reserves the right to make changes, at any time, to the Information without notice and at its sole discretion. Xilinx assumes no obligation to correct any errors contained in the Information or to advise you of any corrections or updates. Xilinx expressly disclaims any liability in connection with technical support or assistance that may be provided to you in connection with the Information. **XILINX MAKES NO OTHER WARRANTIES, WHETHER EXPRESS, IMPLIED, OR STATUTORY, REGARDING THE INFORMATION, INCLUDING ANY WARRANTIES OF MERCHANTABILITY, FITNESS FOR A PARTICULAR PURPOSE, OR NONINFRINGEMENT OF THIRD-PARTY RIGHTS.**

© Copyright 2011 Xilinx, Inc. XILINX, the Xilinx logo, Virtex, Spartan, ISE, and other designated brands included herein are trademarks of Xilinx in the United States and other countries. All other trademarks are the property of their respective owners.

本資料は英語版 (v13.1) を翻訳したもので、内容に相違が生じる場合には原文を優先します。

資料によっては英語版の更新に対応していないものがあります。

日本語版は参考用としてご使用の上、最新情報につきましては、必ず最新英語版をご参照ください。

改訂履歴

次の表に、この文書の改訂履歴を示します。

日付	バージョン	改訂内容
2011 年 3 月 1 日	13.1	<ul style="list-style-type: none">ISE サンプル デザインにデザインが含まれていることを示すよう更新グラフィックを更新

目次

改訂履歴.....	2
第 1 章：回路図ビューアー：概要	
デザイン フローでの利点	5
主な機能.....	5
Project Navigator とコマンド ラインでの違い.....	7
第 2 章：チュートリアルの説明	
概要	9
要件	10
第 3 章：演習の準備：はじめに	
デザインのインストール.....	11
Project Navigator プリファレンスの設定	11
第 4 章：演習 1：基本的な機能	
目標	13
演習	13
まとめ	23
第 5 章：演習 2：階層ネットリストの操作	
目標	25
演習	25
まとめ	32
第 6 章：演習 3：回路図ビューアーを使用したタイミング解析	
目標	33
演習	33
まとめ	36
第 7 章：演習 4：デザインを解析しやすくする方法	
目標	37
演習	37
まとめ	43
第 8 章：演習 5：2 つのデザイン インプリメンテーションの比較	
目標	45
演習	45
まとめ	47
第 9 章：演習 6：大型デザインの操作	
目標	49
ヒント 1：階層ネットリストの使用	49
ヒント 2：複数の回路図シートの使用	50
まとめ	50

第 10 章：演習 7：回路図ビューアーをスタンドアロン ツールとして使用

目標	51
演習	51
まとめ	52

付録 A：その他のリソース

ザイリンクス リソース	53
-------------------	----

回路図ビューアー：概要

デザイン フローでの利点

このチュートリアルでは、ISE® Design Suite に含まれている回路図ビューアーの概要を説明し、デザインの解析およびデバッグに使用する方法を示します。FPGA デザインは急速に大型化し、複雑性が増しているため、デザインの解析およびデバッグを簡単に実行できるツールを使用することが重要となります。

回路図ビューアーを使用すると、次のような事項を確認できます。

- 合成ツールで HDL コードがどのように解釈されたか。
- HDL コードがターゲット テクノロジにどのようにマップされたか。
- クリティカル タイミング パスはどこに位置しているか。

また、デザインは世界中の異なる地域に所属する複数の設計者により共同で作成され、各設計者はデザインの一部のみを担当することがほとんどであるため、デザインの解析はさらに複雑となり、高性能のデバッグ ツールが必須となっています。

Schematic Viewer、PlanAhead™ ソフトウェア、および FPGA Editor などのグラフィカル ツールは、デザイン解析を大幅に簡略化します。

このチュートリアルでは、デザインを異なる視点から表示および解析するのに有益な回路図ビューアーの最新バージョンを紹介します。

主な機能

回路図ビューアーのインターフェイスはより柔軟性が高く、デザインの一部のみを表示することが可能です。デザインの一部のみを表示したり、徐々に表示を展開していくことが可能であるため、デザインを高速にナビゲートできます。

回路図ビューアーには、次のような解析機能があります。

- 必要なエレメントのみを選択して回路図を表示
- 入力/出力ロジック コーン抽出
- 注目していないオブジェクトを削除
- 以前の解析ステップにナビゲーション
- 同じネットリストの複数の回路図の使用

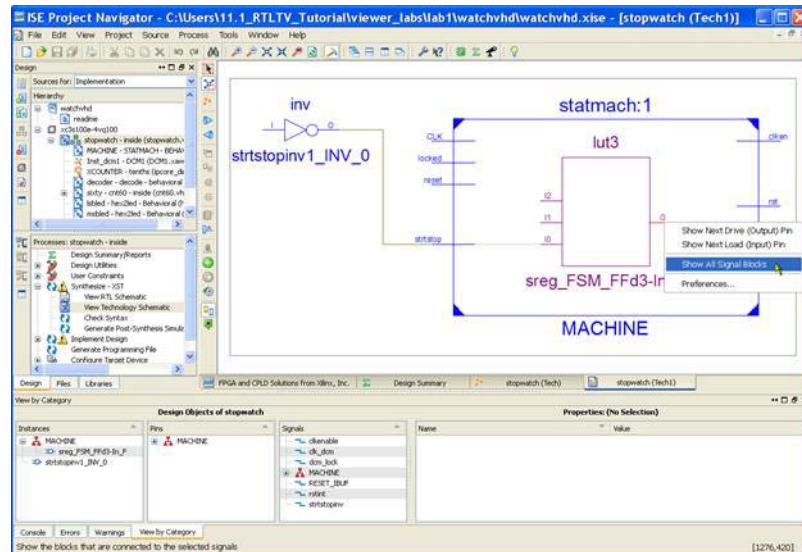


図 1-1：Schematic Viewer

回路図ビューアー (図 1-1) のパフォーマンスは大幅に向上しており、より複雑なデザインも処理できます。

回路図ビューアーには、次のものを表示する機能があります。

- デザインの RTL 表示
- 合成後のネットリスト
- Timing Analyzer からの配置配線後のタイミング レポートに示されるクリティカル タイミング パス遅延

RTL 表示

RTL 表示は、デザインのレジスタ転送レベルのグラフィカル表示です。この表示 (XST (Xilinx Synthesis Technology) で生成される NGR ファイル) は、合成ツールにより合成プロセスの初期段階 (テクノロジマップが完了していない段階) に生成されます。オリジナルの HDL コードにできるだけ近いものを表示することが目的です。RTL 表示では、デザインが加算器、乗算器、レジスタなどのマクロブロックで表されます。標準的な組み合わせロジックは、AND、NAND、OR などのロジックゲートにマップされます。

合成後のネットリスト

合成後のネットリスト (最適化およびマップ済み) のグラフィカル表示 (XST で生成される NGC ファイル) には、LUT、DCM、I/O バッファ、フリップフロップなどの UNISIM ライブラリで定義されたザイリンクスプリミティブが含まれます。プリミティブのプロパティや設定されている制約も表示できます。

クリティカルパス表示

Timing Analyzer レポートからクロスプローブすると、配置配線後のネットリストからデザインのクリティカル タイミング パスを表示できます。このネットリストは、合成後のネットリストとは異なり、デザインをスライスで表します。

Project Navigator とコマンド ラインでの違い

コマンド ラインまたは Project Navigator のどちらを使用しているかによって、回路図ビューアーで利用できる機能は異なります。次の表に、その違いを示します。

ケース 1 : ISE Project Navigator

表 1-1 : 回路図ビューアーの機能 (Project Navigator)

合成ツール	RTL 表示	合成後の ネットリスト	クリティカル パス表示	備考
XST	○	○	○	ISE 環境を使用してデザインを完全にインプリメント、合成には XST を使用
サードパーティ	-	-	○	ISE 環境を使用してデザインを完全にインプリメント、サードパーティ合成ツールを使用

ケース 2 : コマンド ライン

回路図ビューアーをスタンドアロン モードで起動することはできませんが、これをエミュレートする方法があり、回路図ビューアーを使用して **XST RTL** 表示または **XST** 合成後ネットリストを表示できます。このモードでは、マップ後、配置後、配線後のネットリストは表示できません。

詳細は、[第 10 章「演習 7 : 回路図ビューアーをスタンドアロン ツールとして使用」](#)を参照してください。

チュートリアルの説明

概要

このチュートリアルでは、ザイリンクス ISE[®] ソフトウェアにサンプル デザインとして含まれている **stopwatch** という小型のデザインを使用します。小型のデザインが選択されているのは、演習を短時間で完了できるようにするためです。

主な機能をすべて含むチュートリアル全体を、1 時間以内で完了できます。

次に、チュートリアルを実行する上での推奨事項を示します。

- 演習は順番に実行してください。ただし、各演習は独立しており、特定の機能をすぐに学ぶ必要がある場合は、どの順序で実行しても問題ありません。
- 各演習ごとに個別のデザイン ディレクトリを作成し、元のデザイン ファイルをそのディレクトリにコピーしてください。詳細は、[第 3 章「演習の準備：はじめに」](#)を参照してください。

回路図ビューアーのほとんどの機能は **RTL**、合成後のネットリスト、クリティカルパス表示のいずれも使用できるので、ほとんどの演習では合成後のネットリスト表示を使用して機能を説明します。

次の表に、すべての演習の概要を示します。

表 2-1：演習の概要

タイトル	時間	説明する機能
第 4 章「演習 1：基本的な機能」	9 分	<ul style="list-style-type: none"> • 回路図ビューアーのスタートアップ モードの選択 • Explorer Wizard の使用 • 回路図ビューアーのインターフェイスの理解 • ズーム操作 • 回路図の展開 • 回路図からのエレメントの削除 • 新規エレメントの色分け表示 • 履歴のナビゲーション • 開始/終了信号マーカーの使用
第 5 章「演習 2：階層ネットリストの操作」	9 分	<ul style="list-style-type: none"> • Explorer Wizard での階層ブロックの選択 • 階層ブロックの展開 • 最上位ブロックからの回路図の展開
第 6 章「演習 3：回路図ビューアーを使用したタイミング解析」	6 分	<ul style="list-style-type: none"> • 回路図ビューアーでのクリティカル パスの表示 • クリティカル パスのパス遅延の表示

第 7 章「演習 4: デザインを解析しやすくする方法」	7 分	<ul style="list-style-type: none">• 開始/終了信号マーカーの使用• 回路図エレメントの削除• 同じネットリストの複数の回路図の使用• エレメントを選択して新しい回路図を開く• さまざまなエレメントの色表示
第 8 章「演習 5: 2 つのデザイン インプリメンテーションの比較」	5 分	<ul style="list-style-type: none">• 同じデザインの 2 つのネットリストの読み込みおよび比較
第 9 章「演習 6: 大型デザインの操作」	3 分	<ul style="list-style-type: none">• 大型デザインの操作
第 10 章「演習 7: 回路図ビューアーをスタンドアロン ツールとして使用」	3 分	<ul style="list-style-type: none">• コマンド ラインからの回路図ビューアーの使用

要件

演習を実行するには、ISE Project Navigator 環境に関する基本的な知識が必要です。演習を開始する前に、次の操作を実行できることが必要です。

- 既存のプロジェクトを開く、閉じる
- 新規 UCF (インプリメンテーション制約ファイル) の追加、Constraints Editor を使用した基本的なタイミング制約の指定
- 基本的なインプリメンテーション フローの実行
- Timing Analyzer の起動と使用

演習の準備：はじめに

デザインのインストール

すべての演習で小型の stopwatch デザインを使用し、Spartan®-3E xc3s100e-4-vq100 デバイスをターゲットとします。このデザインは、ザイリンクス ISE® ソフトウェアのインストール ディレクトリに含まれています。

1. ISE Project Navigator で、[File] → [Open Example] をクリックします。
2. [Open Example] ダイアログ ボックスで watchvhd デザインを選択して、[Destination Directory] に c:\viewer_labs\labs1 を入力します。

この watchvhd プロジェクトは、指定のデスティネーション ディレクトリに解凍され、Project Navigator で表示されます。

Project Navigator プリファレンスの設定

このチュートリアルに含まれている演習のスクリーンショットが Project Navigator で実際に表示している回路図と一致するようにするため、回路図ビューアーのプリファレンスで [Light Background Color Scheme] をオンにします。

1. このダイアログ ボックスは、[Edit] → [Preferences] をクリックすると表示されます。
2. 左側の [Category] で [RTL/Technology Viewers] → [Color Scheme] をクリックします。

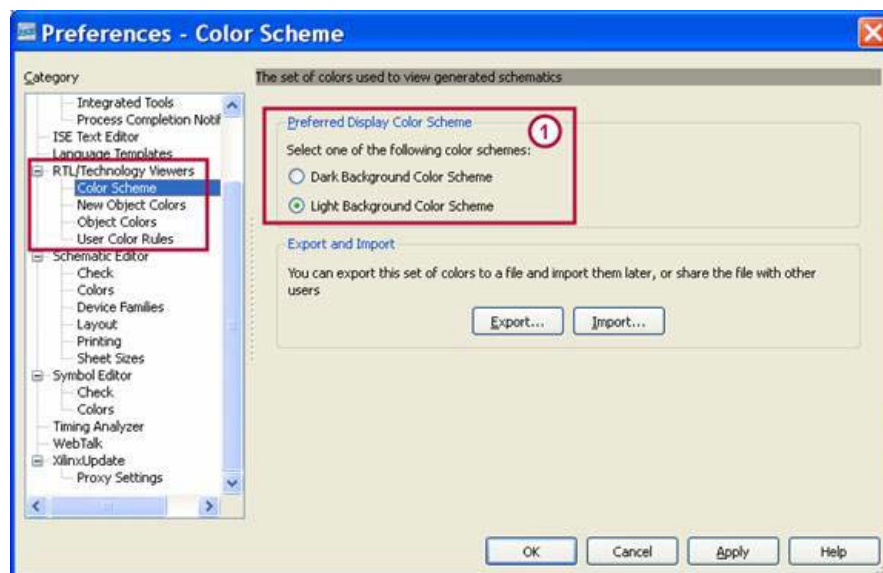


図 3-1：カラー スキームの選択

3. [Preferred Display Color Scheme] で [Light Background Color Scheme] をオン (図 3-1) にして [Apply] をクリックし、[OK] をクリックします。

これで、演習を開始する準備が完了しました。

演習 1：基本的な機能

目標

この演習では、この後の演習で頻繁に使用する回路図ビューアーの基本的な操作を学びます。次の作業が含まれます。

- 回路図ビューアーのスタートアップ モードの選択
- Explorer Wizard の使用
- 回路図ビューアーのインターフェイスの理解
- ズーム操作
- 回路図の展開
- 回路図からのエレメントの削除
- 新規エレメントの色分け表示
- 履歴のナビゲーション
- 開始/終了信号マーカーの使用

メモ：簡潔にわかりやすく説明するため、フラット化された合成後のネットリストを使用して上記のすべての機能を説明します。階層ネットリストのナビゲーションは、次の演習で説明します。

演習

手順 1：演習プロジェクトの準備

第 3 章「[演習の準備：はじめに](#)」の指示に従って stopwatch プロジェクトを開き、回路図ビューアーのプリファレンスで [Light Background Color Scheme] をオンにします。

手順 2：XST オプションの設定とデザインの合成

1. [Processes] ペインで [Synthesize - XST] を右クリックして [Process Properties] をクリックし、[Process Properties] ダイアログ ボックスを表示します。

2. [Keep Hierarchy] プロパティを [No] に設定します (図 4-1)。

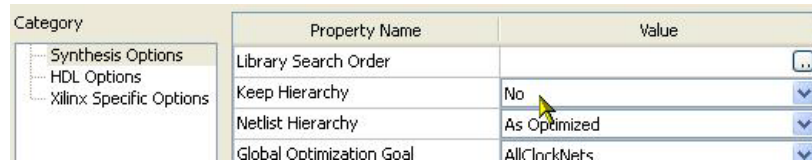


図 4-1：[Keep Hierarchy] プロパティの設定

3. [Processes] ペインで [Synthesize - XST] をダブルクリックし、デザインを合成します。

手順 3：Explorer Wizard の起動

デザインの回路図を表示するには、デザインの展開の開始点として使用するエレメントを選択する必要があります。

次の 2 つのスタートアップ モードがあります。

- Explorer Wizard を使用 ([Start with the Explorer Wizard])：このモードでは、初期回路図に表示するエレメントを選択できます。この演習では、このモードを使用します。
 - 最上位ブロックの回路図から開始 ([Start with a schematic of the top-level block])：このモードでは、Explorer Wizard はバイパスされ、初期回路図に最上位ブロックのみが表示されます。その後、回路図ビューアーのロジックの展開機能を使用し、最上位ブロックを展開していきます。このモードを使用する前に、回路図ビューアーの基本的な操作に慣れ、階層ブロックの操作方法を学ぶ必要があります。このスタートアップ モードの詳細は、第 5 章「演習 2：階層ネットリストの操作」を参照してください。
1. 合成が終了したら、[View Technology Schematic] をダブルクリックして回路図ビューアーを起動します。または、メニューから [Tools] → [Schematic Viewer] → [Technology] をクリックしても同じ操作を実行できます。
 2. [Start with the Explorer Wizard] をオンにします (図 4-2)。

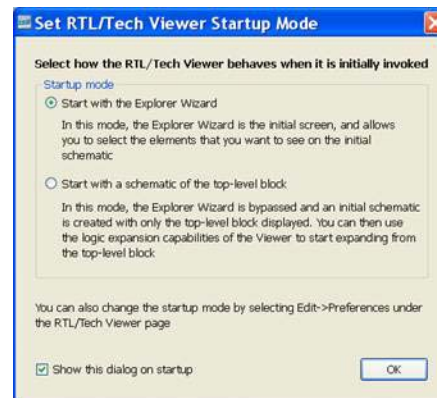


図 4-2：回路図ビューアーのスタートアップ モードの選択

Explorer Wizard を使用すると、回路図展開の開始点として使用するエレメントを選択できます (図 4-3 を参照)。

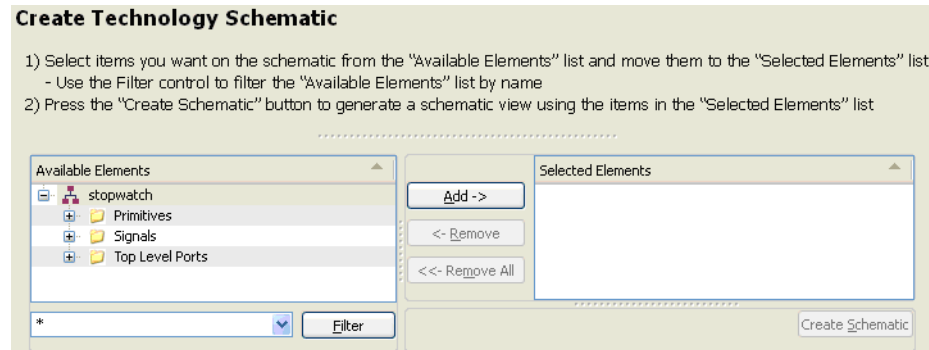


図 4-3 : Explorer Wizard

[Available Elements] には、デザインに含まれるすべてのオブジェクトが表示されます。プリミティブ ([Primitives])、信号 ([Signals])、最上位ポート ([Top Level Ports])、および階層ブロックに分類されています。

メモ：階層ブロックは、階層ネットリストに対してのみ表示されます。階層デザインでの操作の詳細は、第 5 章「演習 2：階層ネットリストの操作」を参照してください。

3. [Available Elements] で [Primitives] の下から MACHINE/sreg_FSM_FFd1 および MACHINE/sreg_FSM_FFd1-In を選択し、[Add] をクリックして [Selected Elements] リストに追加します (図 4-4 を参照)。



図 4-4 : [Available Elements] リスト

多数のエレメントがある場合は、[Filter] を使用して検索できます。たとえば、図 4-5 に示すように、[Filter] に「MACHINE/sreg_FSM_FFd1*」と入力して検索します。

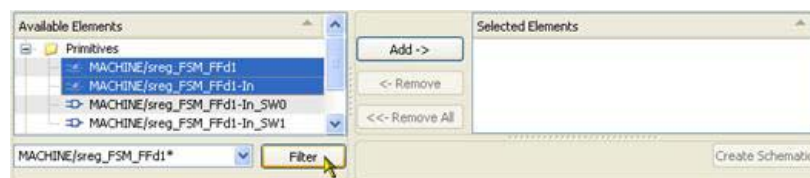


図 4-5 : フィルターの使用

4. [Create Schematic] をクリックし、回路図を作成します。

手順 4：回路図ビューアーのインターフェイスの理解

回路図ビューアーの GUI は、図 4-6 に示すように、次のコンポーネントで構成されています。

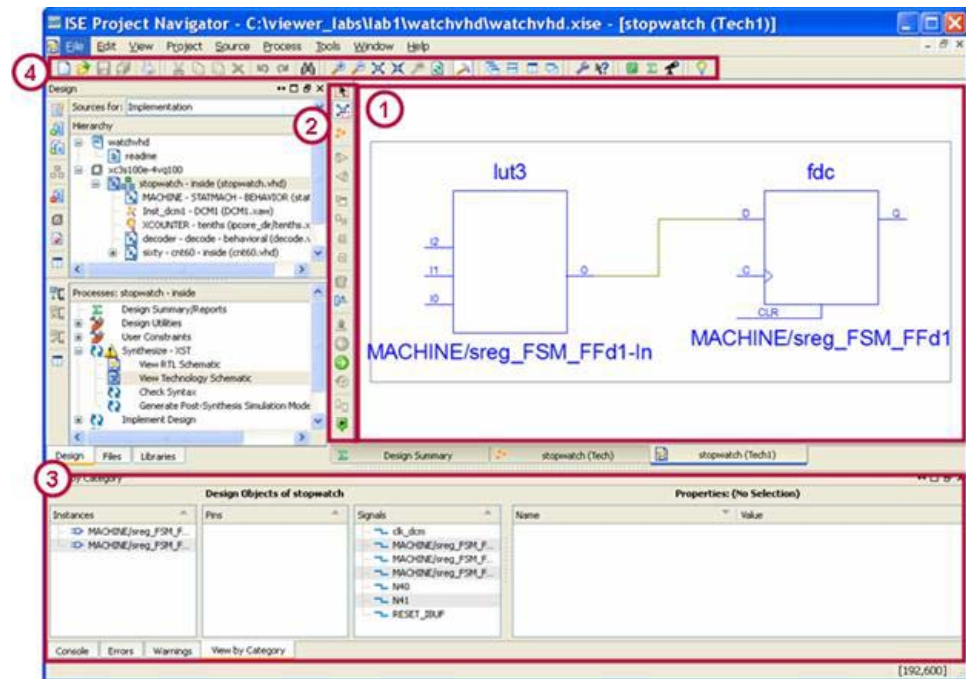


図 4-6：回路図ビューアー

1. 回路図ウィンドウは、エレメントを追加または削除するなどしてデザインを表示するメインウィンドウです。
2. このツールバーには、回路図ビューアー専用の機能が含まれています。
3. このパネルには、回路図に表示されるオブジェクト（インスタンス、ピン、および信号）とオブジェクトのプロパティが表示されます。たとえば、回路図で **BRAM** プリミティブを選択すると、初期値を含む **BRAM** のすべてのプロパティが表示されます。

メモ：このパネルを表示するには、[View By Category] タブをクリックする必要があります。

4. このツールバーには、ズーム機能など、複数のグラフィカル ツールで共有される機能が含まれています (図 4-7)。



図 4-7：ズーム ツールバー

メモ：メニュー制御の機能は専用ツールバーまたは共通ツールバーからアクセス可能で、メニューからも実行できます。たとえば、ズーム機能はすべて [View] → [Zoom] の下に含まれています。

この演習では、主に回路図ウィンドウとツールバーを使用します。

手順 5：ズーム機能

ズーム機能は、デザイン解析の際に頻繁に使用する基本的な機能です。回路図ビューアーには、共通ツールバー (図 4-7) または [View] → [Zoom] から実行可能な 5 つのズーム機能があります。また、マウス操作により、ズーム機能をすばやく実行することも可能です。

操作に慣れるまで異なるズーム機能を試してみることをお勧めします。チュートリアルに残りの部分で役立ちます。表 4-1 にズーム機能とその実行方法を示します。

表 4-1：ズーム機能

ズーム操作	ツールバー	メニュー コマンド	ショートカット
拡大表示		[View] → [Zoom] → [In]	次のいずれかを実行 <ul style="list-style-type: none"> F8 キーを押します。 クリックして左下方向にドラッグ
縮小表示		[View] → [Zoom] → [Out]	次のいずれかを実行 <ul style="list-style-type: none"> F7 キーを押します。 クリックして右上方向にドラッグ
全体を表示		[View] → [Zoom] → [To Full View]	次のいずれかを実行 <ul style="list-style-type: none"> F6 キーを押します。 クリックして左上方向にドラッグ
マウスで指定した範囲の拡大表示		[View] → [Zoom] → [To Box]	左上端をクリックして拡大する範囲を囲むようにドラッグしてボックスを描画します。
選択したオブジェクトの拡大表示		[View] → [Zoom] → [To Selected]	拡大表示するオブジェクトを選択して F11 キーを押します。

手順 6：回路図の展開

初期回路図ビューが開始点ですが、通常は表示を展開してほかのオブジェクトを表示していきます。これには、複数の方法があります。

まず、新規エレメント (非表示) を追加するエレメントを選択します。展開可能なエレメントは、ネット、ブロック、ブロックのピン、およびポートです。

選択したオブジェクトから表示を展開するには、マウスを右クリックし、追加するエレメント (ドライバ、ロード、ドライバとロード) を選択するか、入力ロジック コーン、出力ロジック コーンなどを抽出します。

現在の回路図で異なるオブジェクトを選択して右クリックし、ポップアップ メニューを確認します。表示されるコマンドは、オブジェクトのタイプおよびデザインでの位置によって異なります。

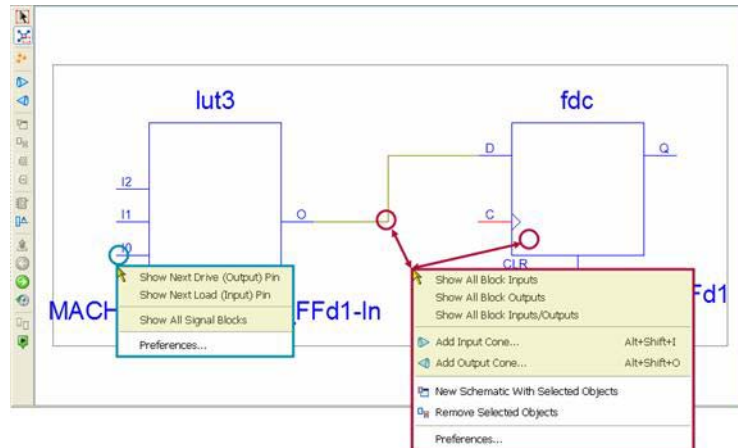


図 4-8：右クリックで表示されるポップアップ メニュー

例

1. lut3 プリミティブの I2 ピンを選択して右クリックし、[Show Next Drive (Output) Pin] をクリックしてそのドライバーを表示します。回路図は、図 4-9 のように表示されます。

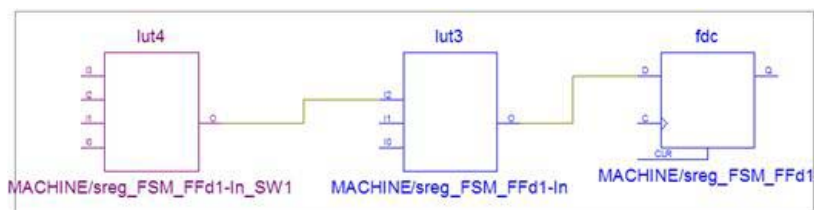


図 4-9：回路図の例

2. 新しく追加された lut4 は、異なる色で表示されています。オブジェクトを新しく追加すると、回路図上での配置がわかりやすいように、自動的に色分け表示されます。この機能は、回路図ビューアーのツールバー ボタン (図 4-10) をクリックすることによりオン/オフを切り替えることができます。また、[Preferences] ダイアログ ボックスで新規オブジェクトの色を変更できます。



図 4-10：[Colorize New Object] ボタン

3. ネット、ブロック ピン、またはポートを順に展開していく場合は、オブジェクトをダブルクリックします。ポップアップ メニューを使用する必要がないので便利です。

lut3 プリミティブの I0 ピンをダブルクリックすると、回路図は 図 4-11 のように表示されます。

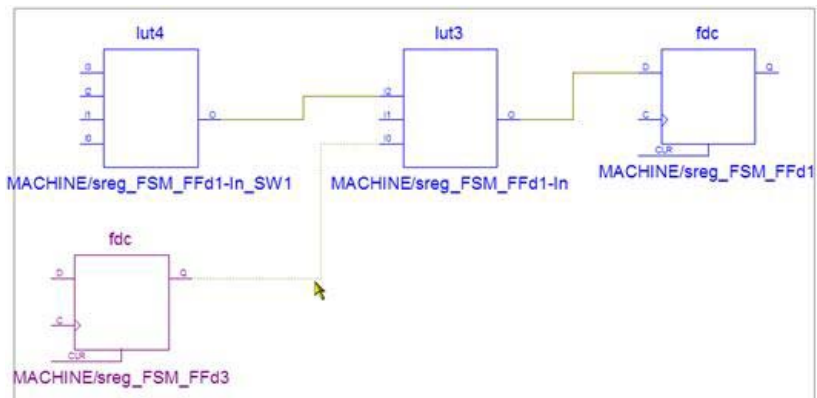


図 4-11：回路図を順に展開

fdc フリップフロップが回路図に追加されますが、I0 ピンに破線で接続されています。破線は、このネットに接続されているオブジェクトがほかにもあることを示しています（回路図には表示されていません）。

- 破線のネットが実線になるまでダブルクリックし続けると、ネットに接続されているすべてのエレメントが表示されます (図 4-12)。

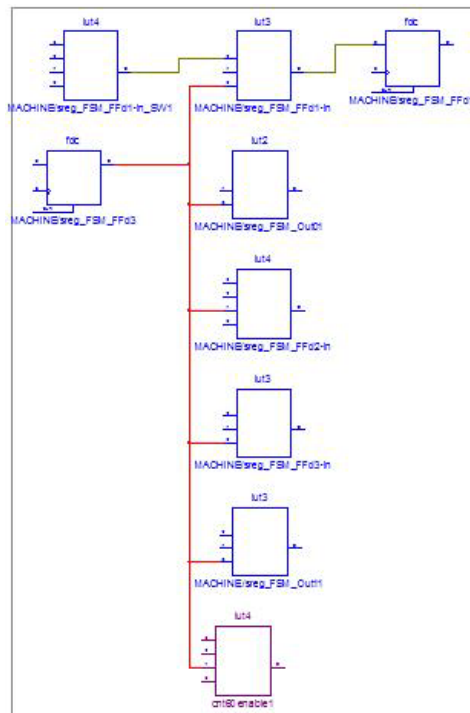


図 4-12：ネットの接続

手順 7：開始/終了信号マーカーの使用

開始/終了信号マーカーにより、選択した信号のソースとデスティネーションを簡単に特定できます。

1. この機能を使用するには、回路図ビューアーのツールバー ボタンをクリックしてオンにする必要があります。このボタンには 2 つのステートがあり、緑色の場合はこの機能はオンで、赤色の場合はオフです。[図 4-13](#) に示すボタンをクリックして、この機能をオンにします。



図 4-13 : [Start/End Marker] ボタン (オンの場合)



図 4-14 : [Start/End Marker] ボタン (オフの場合)

2. 回路図上で任意の信号を選択し、そのソースとデスティネーションを表示します ([図 4-15](#) を参照)。

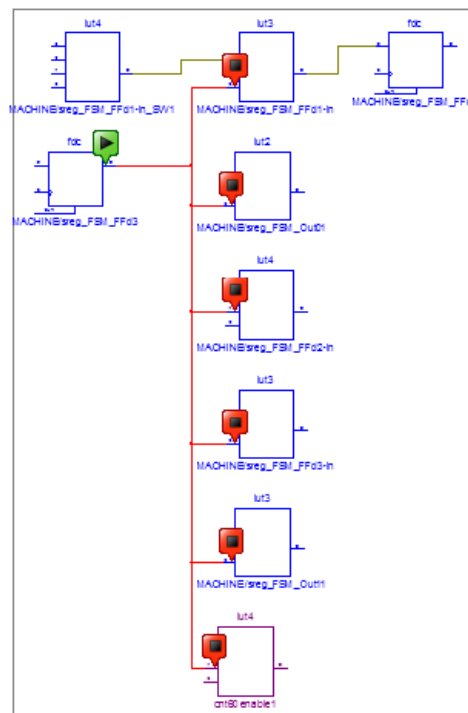


図 4-15 : ソースとデスティネーションの表示

手順 8：履歴のナビゲーション

[Previous Schematic] をクリックする (または **Ctrl+Z** を押す) と前の回路図表示に戻ることができ、[Next Schematic] をクリック (または **Ctrl+Y** を押す) と次の回路図表示に進むことができます。たとえば、[Previous Schematic] をクリックして前の回路図表示に戻り、デザインを別の方向に展開できます。[図 4-16](#) に [Previous Schematic] ボタン、[図 4-17](#) に [Next Schematic] ボタンを示します。



図 4-16 : [Previous Schematic] ボタン



図 4-17 : [Next Schematic] ボタン

1. 回路図が図 4-18 に示す表示になるまで [Previous Schematic] ボタンをクリックします。

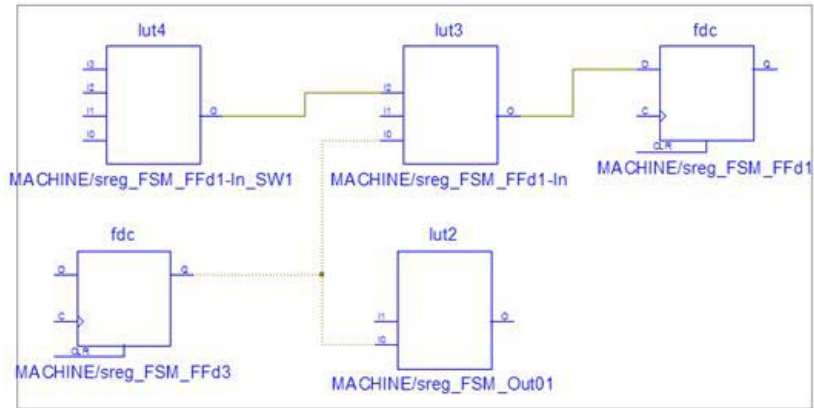


図 4-18 : 前の回路図表示

2. lut2 プリミティブを選択して右クリックし、[Show All Block Inputs/Outputs] をクリックします (図 4-19)。

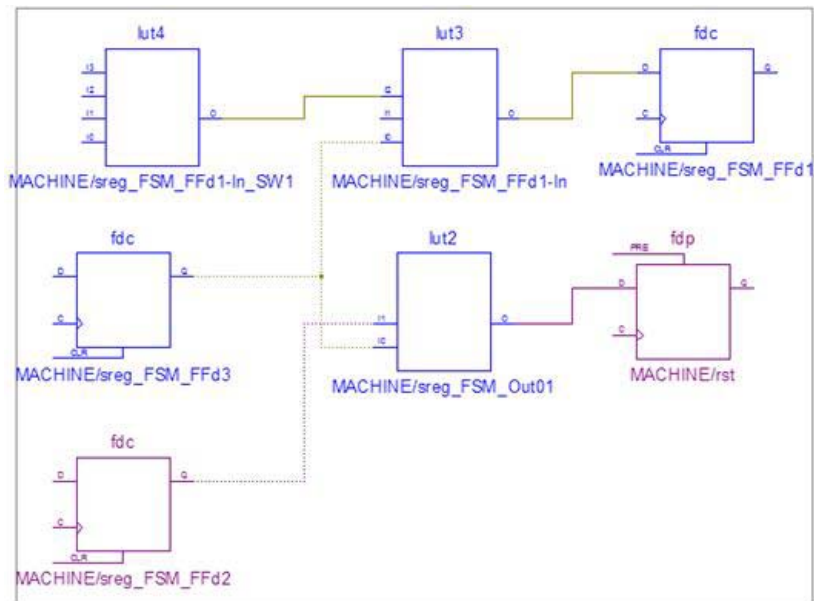


図 4-19 : ブロックのすべての入力/出力を表示

手順 9 : 回路図からのエレメントの削除

回路図を展開している際、追加したエレメントがデザイン解析には不要である場合があります。これらのエレメントは回路図から削除できます。Delete キーを押す、ツールバーの [Remove Selected Objects] ボタン (図 4-20) をクリックする、またはメニューから [Edit] → [Delete] をクリックします。



図 4-20 : [Remove Selected Objects] ボタン

信号エレメントを選択する場合は、1 回クリックします。複数のエレメントを選択する場合は、最初のエレメントを選択し、**Ctrl** キーを押しながらその他のエレメントをクリックします。または、**Ctrl** キーを押しながら選択するオブジェクト上でマウスをドラッグしても選択できます。

1. lut4 および lut3 プリミティブを選択します。
2. **Delete** キーを押して選択したプリミティブを削除します。

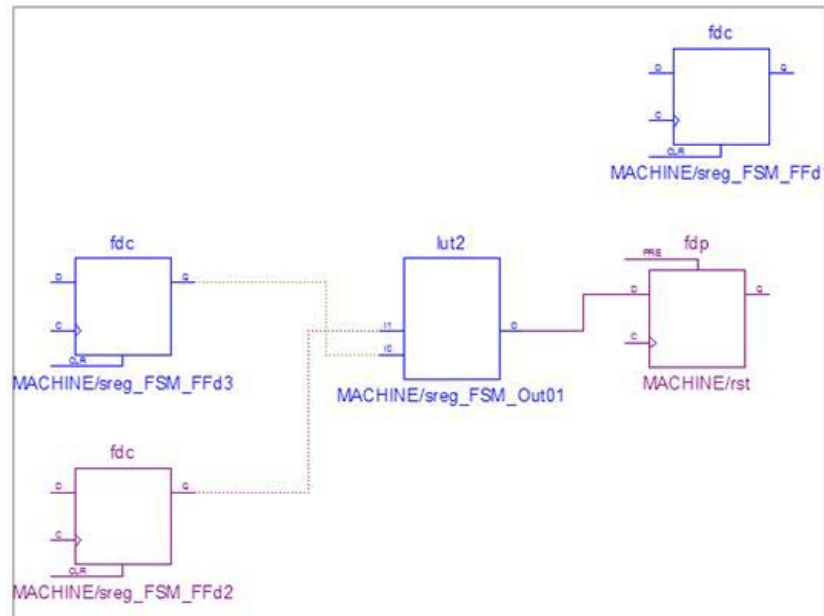


図 4-21：エレメントの削除

まとめ

この演習では、回路図ビューアーの基本的な操作を学びました。

- 回路図ビューアーのスタートアップ モードの選択
- **Explorer Wizard** を使用して回路図に最初に表示するエレメントを選択
- マウスを使用したズーム操作
- 回路図の展開方法
- 新規エレメントの色分け表示
- 履歴のナビゲーション
- 開始/終了信号マーカーの使用
- 回路図からのエレメントの削除

演習 2：階層ネットリストの操作

目標

この演習では、階層ネットリストでの作業に慣れ、デザイン解析で階層ブロックを操作する方法を学びます。次の内容が含まれます。

- 外部/内部階層ブロックの展開
- 階層ブロックの内容の表示/非表示

また、階層ブロックで作業する際の特別な考慮事項についても学びます。

最後に、第 4 章「演習 1：基本的な機能」で説明した最上位ブロックから回路図の展開を開始する方法を学びます。

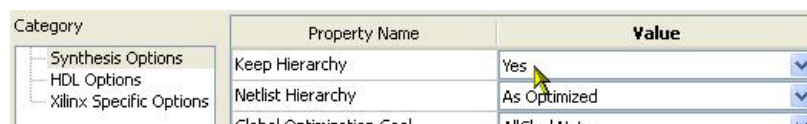
演習

手順 1：演習プロジェクトの準備

第 3 章「演習の準備：はじめに」の指示に従って stopwatch プロジェクトを開き、回路図ビューアーのプリファレンスで [Light Background Color Scheme] をオンにします。

手順 2：XST オプションの設定とデザインの合成

1. [Processes] ペインで [Synthesize - XST] を右クリックして [Process Properties] をクリックし、[Process Properties] ダイアログ ボックスを表示します。
2. [Keep Hierarchy] プロパティを [Yes] に設定します (図 5-1)。



Category	Property Name	Value
Synthesis Options	Keep Hierarchy	Yes
HDL Options	Netlist Hierarchy	As Optimized
Xilinx Specific Options	Global Optimization Goal	AllClockMet

図 5-1：[Keep Hierarchy] プロパティの設定

3. [Processes] ペインで [Synthesize - XST] をダブルクリックし、デザインを合成します。

手順 3：Explorer Wizard の起動

1. 合成が完了したら [View Technology Schematic] をダブルクリックし、[Start with the Explorer Wizard] をオンにします。

2. Explorer Wizard に、最上位ブロックを含むすべての階層ブロックが表示されます。階層ブロックの横には、階層シンボルが表示されています (図 5-2)。階層ブロックの左側に付いているプラス記号 (+) をクリックすると、そのブロックの内容が表示されます。



図 5-2：階層シンボル

3. MACHINE という階層ブロックを選択し、[Add] をクリックして [Selected Elements] リストに移動した後、[Create Schematic] をクリックします (図 5-3)。

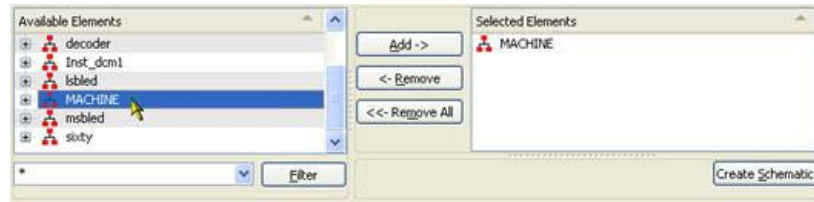


図 5-3：階層エレメントの選択

手順 4：階層ブロック シンボルの理解

回路図は、図 5-4 のように表示されます。

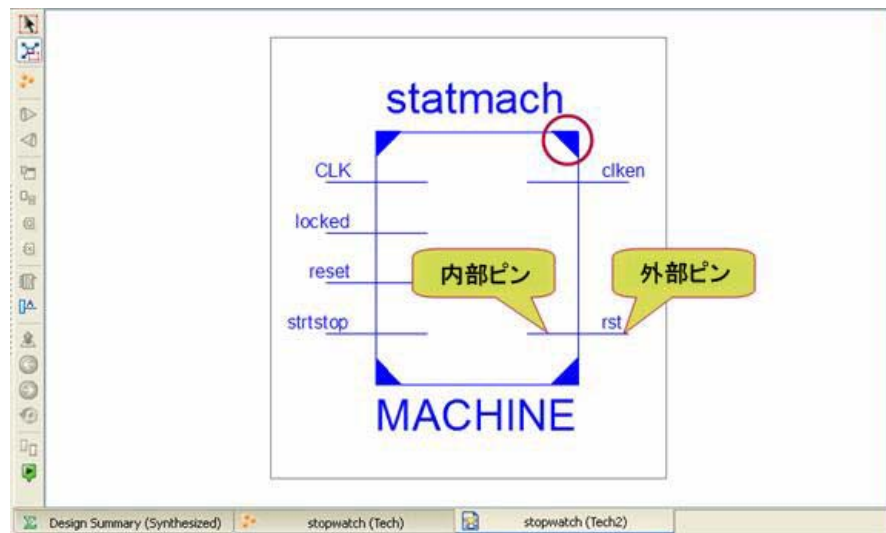


図 5-4：回路図表示

階層ブロックは、プリミティブとは次の 2 点が異なります。

- 階層ブロックには、4 つの角に三角形が示されます (図 5-4 および図 5-5 を参照)。
- 階層ブロックには、外部ピンに加え内部ピンがあります。内部ピンを使用すると、階層ブロックの内容を同じページに表示できます。



図 5-5 : 三角形シンボル

右クリックで表示されるポップアップメニューは、内部ピン、外部ピン、および階層ブロックに対して使用できます。内部ピンおよび外部ピンでは、ダブルクリックして順に展開していく方法も使用できます。

手順 5 : 階層ブロックの展開

1. MACHINE ブロックの内部および外部 **strstop** ピンをダブルクリックし、図 5-6 に示す回路図表示にします。

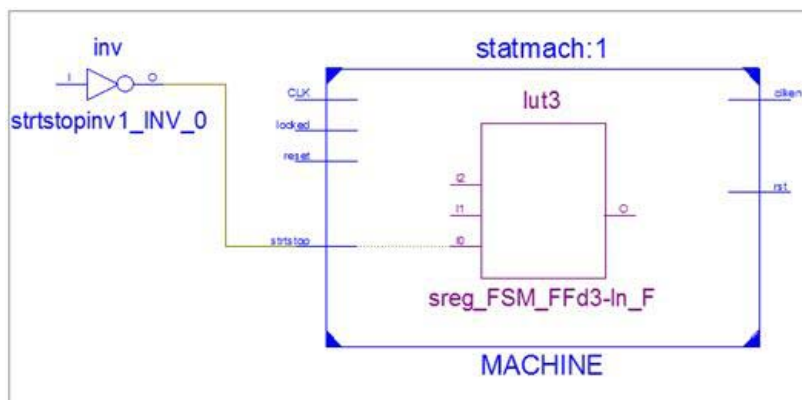


図 5-6 : MACHINE ブロック

2. MACHINE ブロックの **clk_en** 外部ピンを選択して右クリックし、[Show Next Load (Input) Pin] をクリックします。

図 5-7 に示すように **cnt60enable1** ブロックが表示されます。

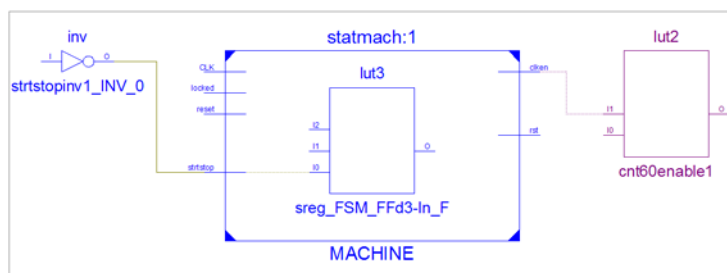


図 5-7 : ブロックの展開

手順 6：ブロックの内容の表示/非表示

階層ブロックの内容すべてを表示するには、ツールバーの [Show Block Contents] ボタン (図 5-8) をクリックするか、右クリックで表示されるポップアップメニューを使用します。ブロックの内容を非表示にするには、[Hide Block Contents] ボタン (図 5-9) をクリックします。



図 5-8：[Show Block Contents] ボタン



図 5-9：[Hide Block Contents] ボタン

1. MACHINE ブロックを選択して右クリックし、[Show Block Contents] をクリックして階層ブロックの内容を表示します (図 5-10)。

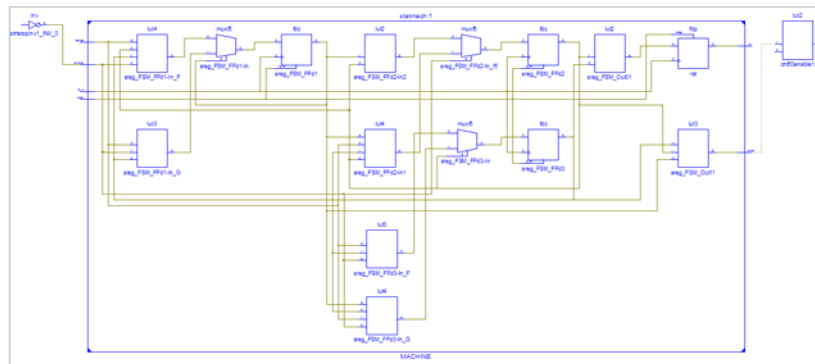


図 5-10：ブロックの内容の表示

2. MACHINE ブロックを選択して右クリックし、[Hide Block Contents] をクリックして階層ブロックの内容を非表示にします (図 5-11)。

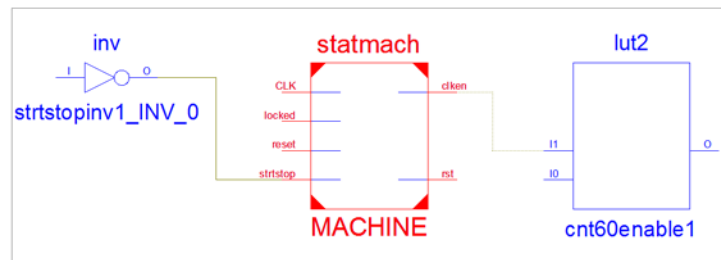


図 5-11：ブロックの内容の非表示

手順 7 : ボトムアップ デザイン展開

これまでの手順では、トップダウンの回路図展開を実行してきました。この手順では、回路図ビューアーをボトムアップ モードで使用方法を示します。

1. 図 5-12 に示す 2 つのタブをクリックし、[Close] ボタン (図 5-13) をクリックして閉じます。



図 5-12 : 閉じるタブ



図 5-13 : [Close] ボタン

2. [View Technology Schematic] をダブルクリックし、[Start with the Explorer Wizard] をオンにします。
3. MACHINE 階層ブロックの [Primitives] の下から sreg_FSM_FFd3-In_F を選択し、[Add] をクリックして [Selected Elements] リストに追加し、[Create Schematic] をクリックします (図 5-14)。



図 5-14 : 回路図ビューアーを再起動

4. sreg_FSM_FFd3-In_F を選択して右クリックし、[Show All Block Inputs] をクリックします。
5. 表示された回路図 (図 5-15) を「手順 6 : ブロックの内容の表示/非表示」で表示された回路図 (図 5-16) と比較すると、sreg_FSM_FFd3-In_F プリミティブが MACHINE 回路図ブロックの中に表示されていません。また、MACHINE の I/O はプライマリ デザイン ピンとして表示されています。

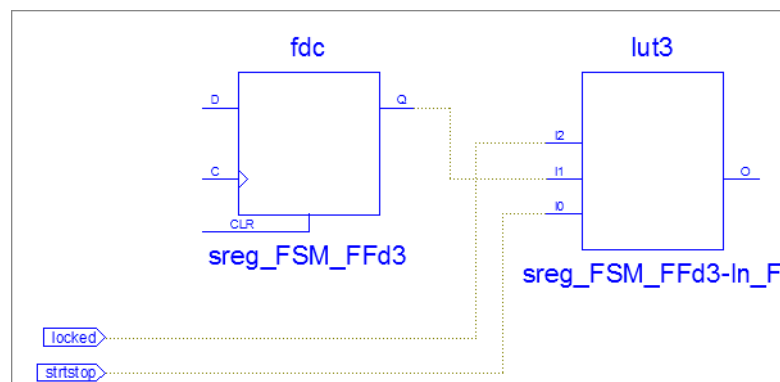


図 5-15 : ボトムアップ手法 (手順 7) で表示される回路図

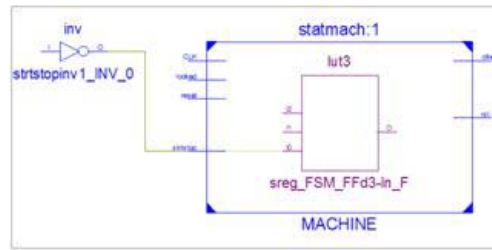


図 5-16：トップダウン手法 (手順 6) で表示された回路図

6. さらにデザインを展開していくと、回路図の展開は MACHINE 階層ブロックの境界で停止します (図 5-17)。

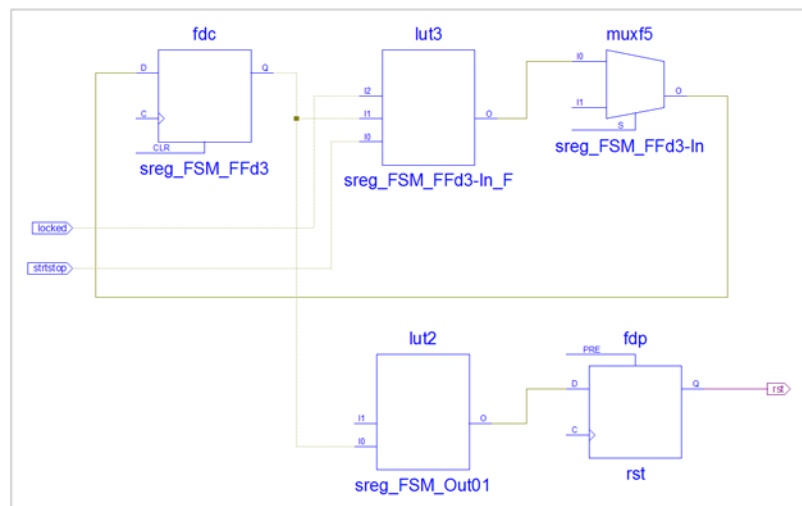


図 5-17：回路図の展開は階層の境界で停止

ボトムアップ手法で階層の境界を越えて展開する場合は、[Pop] ボタン (図 5-18) を使用します。



図 5-18：[Pop] ボタン

7. [Pop] ボタンをクリックすると、図 5-19 のように表示されます。

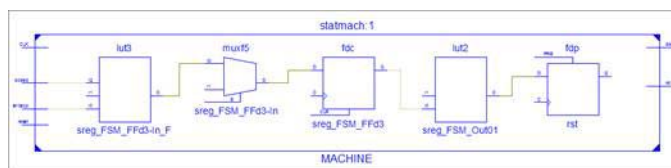


図 5-19：上位階層の表示

これで、MACHINE ブロックの内部および外部を展開していくことができます。上位階層レベルに移動する必要がある場合に、[Pop] をクリックします。

手順 8：最上位ブロックからの回路図の展開

第 4 章「演習 1：基本的な機能」で、回路図展開の 2 つのモードを紹介しました。

- Explorer Wizard の使用
- 最上位ブロックの回路図から開始

これまでは、最初のモードを使用してきました。ここでは、2 つ目のモードの使用方法を学びます。

1. [Close] ボタンをクリックして現在開いているすべての回路図を閉じます。
2. [View Technology Schematic] をダブルクリックして回路図ビューアーを再起動します。
3. [Start with a schematic of the top-level block] をオンにし、[OK] をクリックします (図 5-20)。

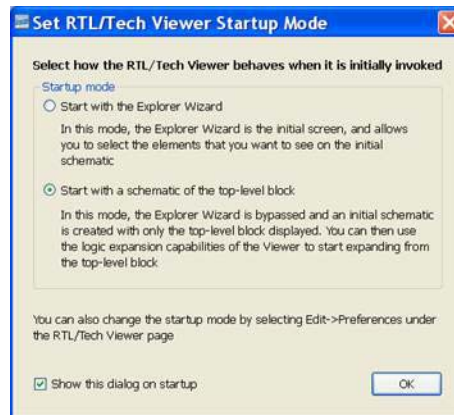


図 5-20：スタートアップ モードの選択

回路図は、図 5-21 のように表示されます。

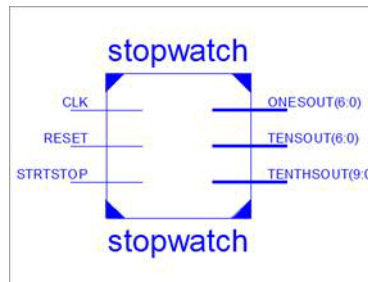


図 5-21：最上位レベル ブロック

4. これまでに説明した方法を使用して、回路図を展開していきます。

まとめ

この演習では、階層ブロックを含むデザインで回路図ビューアーを使用する方法を学びました。その一部として、**Explorer Wizard** で階層ブロックがどのように表示されるかと、階層ブロックをデザイン解析用に展開する方法を学びました。

また、[第 4 章「演習 1：基本的な機能」](#) で説明した最上位ブロックから回路図の展開を開始する方法も学びました。

演習 3：回路図ビューアーを使用したタイミング解析

目標

配置配線後のタイミング レポートに示されるクリティカル タイミング パスは、タイミング レポートから回路図ビューアーにクロスプローブすることにより簡単にグラフィック表示できます。表示されたクリティカル パスは、デザイン展開の開始点として使用できます。また、クリティカル パスのタイミング遅延も追加できます。

この演習では、タイミング レポートから回路図ビューアーへのクロスプローブ方法、タイミング パス遅延の表示方法を学びます。

演習

手順 1：演習プロジェクトの準備

第 3 章「演習の準備：はじめに」の指示に従って stopwatch プロジェクトを開き、回路図ビューアーのプリファレンスで [Light Background Color Scheme] をオンにします。

手順 2：タイミング制約の指定

クロスプローブを使用するため、プロジェクトに stopwatch.ucf という UCF ファイルを追加し、Constraints Editor を使用して CLK 信号に 3.5ns の PERIOD 制約を設定します (図 6-1)。



図 6-1：CLK 信号に PERIOD 制約を設定

手順 3：XST オプションの設定とデザインのインプリメンテーション

1. [Processes] ペインで [Synthesize - XST] を右クリックして [Process Properties] をクリックし、[Process Properties] ダイアログ ボックスを表示します。

2. [Keep Hierarchy] プロパティを [Yes] に設定します (図 6-2)。

Category	Property Name	Value
Synthesis Options	Keep Hierarchy	Yes
HDL Options	Netlist Hierarchy	As Optimized
Xilinx Specific Options	Global Optimization Goal	All Clocks Make

図 6-2：[Keep Hierarchy] プロパティの設定

3. [Processes] ペインで [Implement Design] → [Place & Route] をダブルクリックし、デザインをインプリメントします (図 6-3)。
4. [Analyze Post-Place & Route Static Timing] をダブルクリックして Timing Analyzer を開きます。



図 6-3：[Analyze Post-Place & Route Static Timing] プロセス

手順 4：回路図ビューアーでのクリティカルパスの表示

[Report Navigation] ペインでクリティカルパスを選択し、詳細なデータパス情報を表示します。詳細なパス表示から右クリックメニューを使用して、FPGA Editor やデータシートビューなど異なるビューにクロスプローブできます。

Slack	Source	Destination	Path Delay	Requirement	Logic Levels	
1	-2.028	MACHINE/reg_FSM_FFd3	sixty/mibcount/qoutsig_3	5.514	3.500	3
2	-2.028	MACHINE/reg_FSM_FFd3	sixty/mibcount/qoutsig_0	5.514	3.500	3
3	-2.028	MACHINE/reg_FSM_FFd3	sixty/mibcount/qoutsig_2	5.514	3.500	3

Destination Clock: clk_dcm rising at 3.300ns
Clock Uncertainty: 0.000ns

Maximum Data Path: MACHINE/reg_FSM_FFd3 to sixty/mibcount/qoutsig_3

1. Click on the 'Maximum Data Path' link.

2. Right-click on the 'Physical Resource' column and select 'Show in Technology Viewer'.

図 6-4：レポートナビゲーション

この演習では、回路図ビューアーに関するリンクに注目します (図 6-4)。

- [Maximum Data Path] リンクを使用すると、データパス全体を表示できます (1)。
- ネットの [Physical Resource] 列のリンクを使用すると、選択したネットに接続されているデータパスを表示できます (2)。

1. [Maximum Data Path リンクを右クリックし、[Show in Technology Viewer] をクリックします。
回路図ビューアーに選択したデータパスが表示されます (図 6-5)。

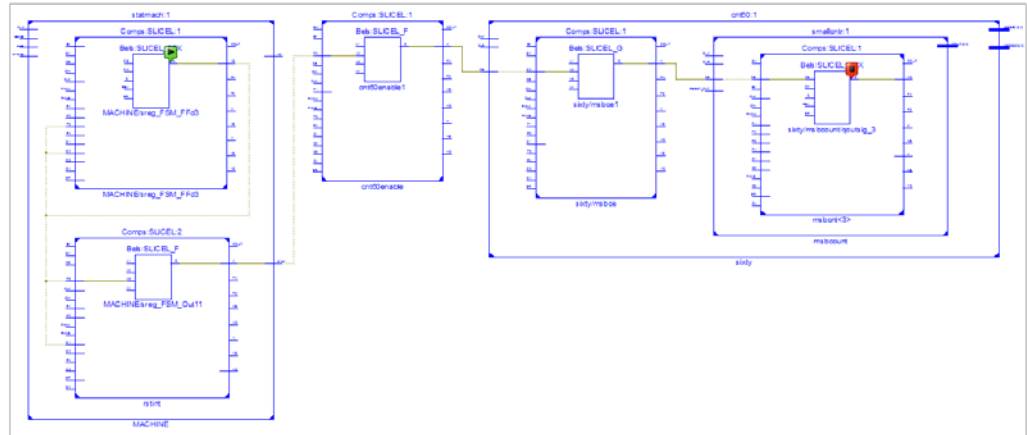


図 6-5 : 回路図ビューアーでデータパスを表示

2. 次を観察してください。
 - クリティカルパスの開始点が開始アイコンで示されている (図 6-6)。



図 6-6 : 開始アイコン

- スライスが階層ブロックとして表現されている。これにより、スライス内部を内部ピンおよび外部接続を使用して展開できます。
- これまでの演習で説明した機能をすべて使用できる。

手順 5 : 回路図にタイミング遅延を表示

詳細パスレポート (図 6-7) の遅延を回路図に直接表示できます。

Maximum Data Path: MACHINE/sreq_FSM_FFd3 to sixty/msbcount/qoutsig_0			
Location	Delay type	Delay(ns)	Physical Resource Logical Resource(s)
SLICE_X13Y2.XQ	Tcko	0.591	MACHINE/sreq_FSM_FFd3
SLICE_X12Y2.F2	net (fanout=7)	0.655	MACHINE/sreq_FSM_FFd3
SLICE_X12Y2.X	Tilo	0.759	MACHINE/sreq_FSM_FFd3
SLICE_X24Y4.F1	net (fanout=7)	0.990	rstint
SLICE_X24Y4.X	Tilo	0.759	MACHINE/sreq_FSM_Out11
			clkenable
			cnt60enable

図 6-7 : パスレポート

1. データパスを表示した回路図シートを選択します。
2. 回路図ビューアーのツールバーから [Select Block Pin Annotation] (図 6-8) をクリックします。



図 6-8 : [Select Block Pin Annotation] ボタン

3. [Select Block Pin Annotation] ダイアログ ボックスで、[Pin Name] および [Delay Values] をオンにします (図 6-9)。



図 6-9：[Select Block Pin Annotation] ダイアログ ボックス

回路図にデータパスの遅延が表示されます (図 6-10)。

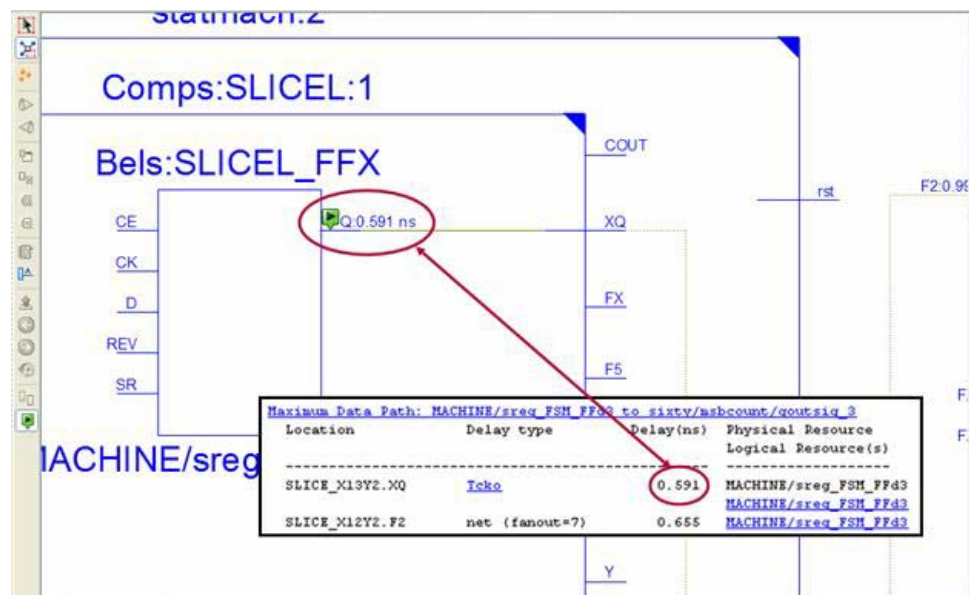


図 6-10：データパスのタイミング遅延を表示

まとめ

この演習では、タイミング解析に回路図ビューアーを使用する方法を学びました。タイミングレポートからクリティカル タイミング パスを選択し、回路図ビューアーでグラフィック表示できます。また、タイミング レポートの遅延情報を回路図ビューアーのクリティカル パスに追加することも可能です。

演習 4：デザインを解析しやすくする方法

目標

デザインの回路図を展開していくと、回路図シートに表示されるエレメントの数が増加していきます。回路図にエレメントが多数表示されていると、デザインが解析しにくくなります。

この演習では、デザインの回路図表示を簡略化し、解析しやすくする方法をいくつか学びます。解析しやすくするには、次の方法があります。

- 開始/終了信号マーカーを使用して選択した信号のソースとデスティネーションを特定する。
- 回路図シートから解析に関連のないエレメントを削除する。
- 同じネットリストの回路図を複数使用して作業する。
- 現在のデザインビューから一部のエレメントを選択して新しい回路図を開く。
- 特定のデザインインスタンスまたはエレメントのグループを別の色で表示する。

最初の 2 つは既に第 4 章「演習 1：基本的な機能」で説明しているので、この演習では残りの 3 つの方法を説明します。

演習

手順 1：演習プロジェクトの準備

第 3 章「演習の準備：はじめに」の指示に従って stopwatch プロジェクトを開き、回路図ビューアーのプリファレンスで [Light Background Color Scheme] をオンにします。

手順 2：XST オプションの設定とデザインの合成

1. [Processes] ペインで [Synthesize - XST] を右クリックして、[Process Properties] をクリックし、[Process Properties] ダイアログボックスを開きます。
2. [Keep Hierarchy] プロパティを [No] に設定します (図 7-1)。

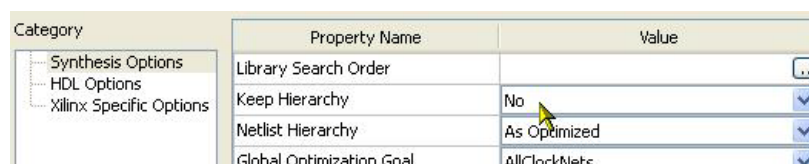


図 7-1：[Keep Hierarchy] プロパティの設定

3. [Synthesize - XST] をダブルクリックし、デザインを合成します。

手順 3：同じネットリストの複数の回路図の使用

この機能を学ぶため、フリップフロップを選択してその入力および出力ロジック コーンを解析します。回路図を簡略化するため、入力ロジック コーンを 1 つのシートに、出力ロジック コーンを別のシートに表示します。

1. 合成が完了したら [View Technology Schematic] をダブルクリックし、[Start with the Explorer Wizard] をオンにします。
2. MACHINE/sreg_FSM-FFd1 フリップフロップを [Selected Elements] リストに追加し、[Create Schematic] をクリックします。
3. 表示されたフリップフロップを選択して右クリックし、[Add Input Cone] をクリックします。
入力コーンは、図 7-2 のように表示されます。

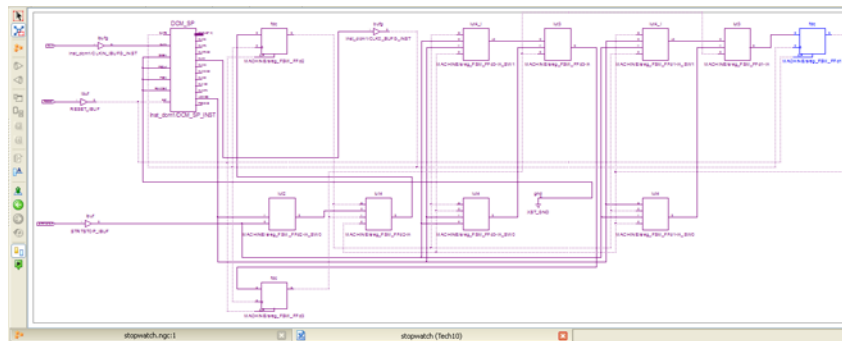


図 7-2：入力コーンの追加

4. [stopwatch.ngc] タブをクリックし、Explorer Wizard に戻ります。[Create Schematic] をクリックして新しい回路図を開きます。表示されたフリップフロップを選択して右クリックし、[Add Output Cone] をクリックします。

出力コーンは、図 7-3 のように表示されます。

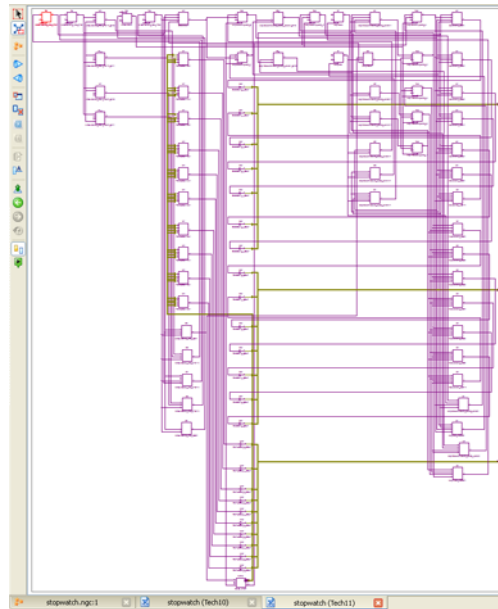


図 7-3 : 出力コーンの追加

このようにデザインビューを 2 つの部分に分割することにより、回路図の複雑さを低減できます。複数の回路図の表示機能は、さまざまな目的で使用できます。その 1 つを第 8 章「演習 5 : 2 つのデザインインプリメンテーションの比較」で説明します。演習 5 では、同じデザインの異なるネットリストを比較します。

手順 4 : 現在のビューからエレメントを選択して新しい回路図を表示

デザインのデバッグ中に問題の原因の発生箇所がわかり、その部分のみに注目する必要があるとします。現在表示されている回路図には無関係のエレメントが多数表示されており、表示が複雑になっています。

以前の演習で説明したように不要なオブジェクトを削除したり、Explorer Wizard に戻って必要なエレメントを選択して新しい回路図を表示することにより、必要なエレメントのみを表示できます。ただし、デザインによってはこれらの方法は面倒で時間がかかります。

通常は、現在のビューから必要なエレメントを選択し、回路図ビューアーのツールバーから [New Schematic With Selected Objects] (図 7-4) をクリックして新しい回路図を表示するのが最適な方法です。



図 7-4 : [New Schematic With Selected Objects] ボタン

メモ : この場合、新しい回路図シートが作成されるわけではなく、同じシート上に新しい回路図が表示されます。

1. [Stopwatch (Tech1)] タブをクリックします。
2. このシートで、図 7-5 に示すように四角形で囲まれたエレメントを選択します。

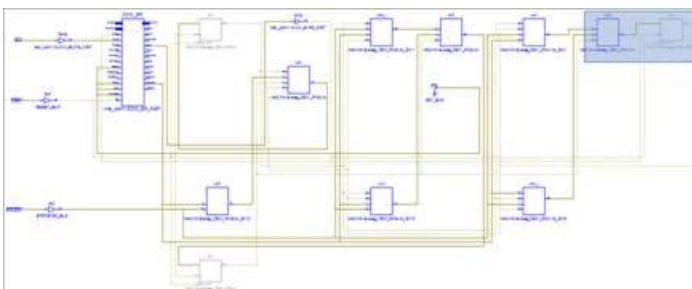


図 7-5：Stopwatch (Tech1) 回路図

3. 回路図ビューアーのツールバーから [New Schematic With Selected Objects] をクリックして新しい回路図を開きます。回路図は、図 7-6 のように表示されます。ここから、これまでの演習で学んだ方法を使用して回路図を展開できます。

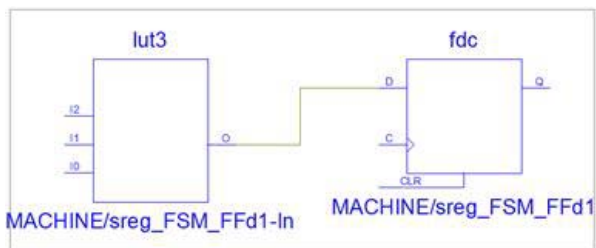


図 7-6：新規回路図

手順 5：エレメントのグループの色分け表示

[Stopwatch (Tech2)] タブをクリックします。回路図は、図 7-7 のように表示されます。

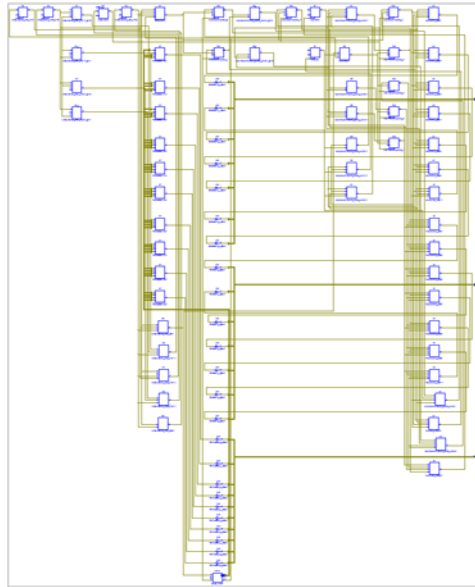


図 7-7 : Stopwatch (Tech2) 回路図

このシートには、多数のエレメントが表示されています。fd* タイプのフリップフロップを別の色で表示し、解析しやすくします。

1. [Edit] → [Preferences] をクリックして、[Preferences] ダイアログ ボックスを開きます。
2. [Category] で [RTL/Technology Viewers] → [User Color Rules] を選択します (図 7-8)。このページで、色表示のルールを指定できます。

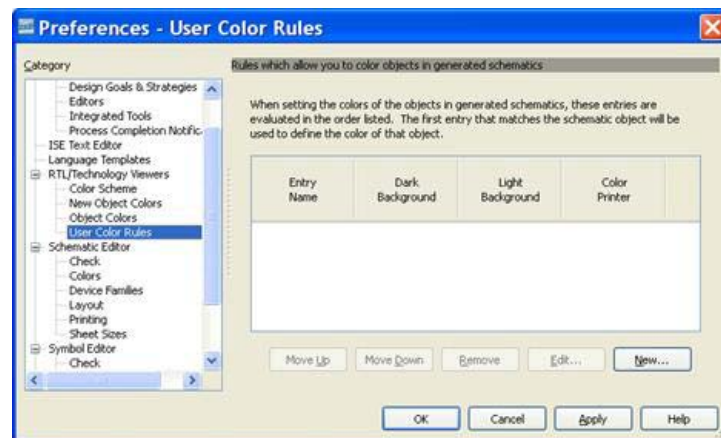


図 7-8 : [Preferences] ダイアログ ボックスの [User Color Rules] ページ

3. [New] をクリックして [Color Rules] ダイアログ ボックスを開きます。

4. [Name] に色ルールの名前として「fd_ff_colors」と入力します。[New] をクリックして新しいルールを追加します。

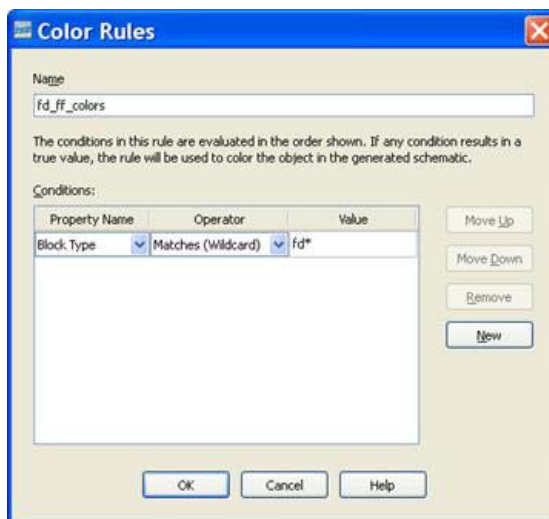


図 7-9 : [Color Rules] ダイアログ ボックス

5. [Property Name] に [Block Type]、[Operator] に [Matches(Wildcard)] を選択し、[Value] に「fd*」と入力して [OK] をクリックします。(図 7-9)。
6. [Light Background] 列をクリックして [Gray] を選択し (図 7-10)、[OK] をクリックします。

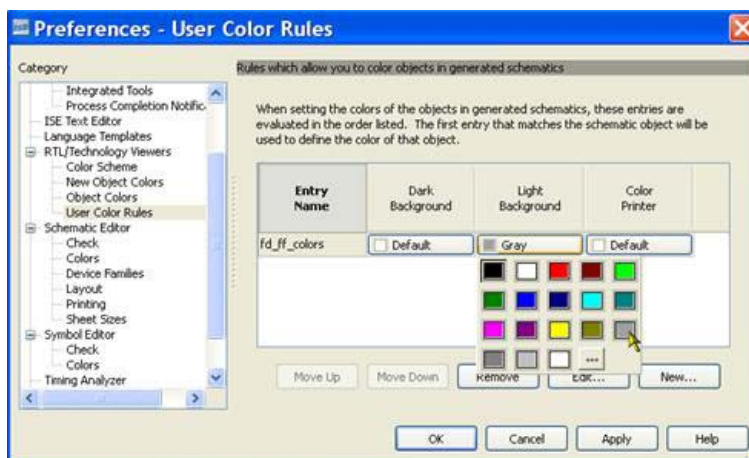


図 7-10 : [Light Background] に [Gray] を選択

すべてのフリップフロップがグレー色で表示されるようになり、回路図シートで見分けやすくなりました (図 7-11)。

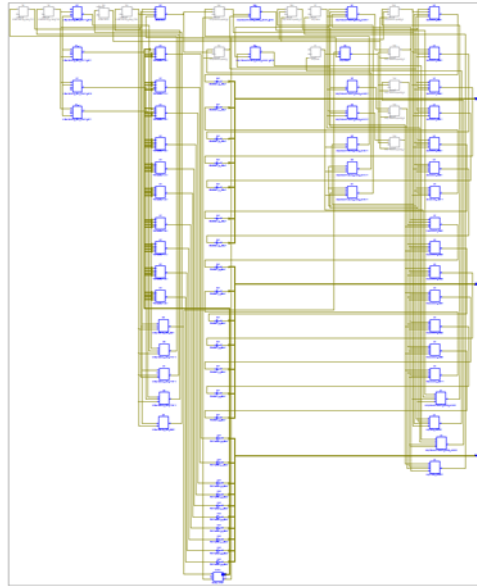


図 7-11 : 色分け表示されたエレメント

上記の `fd*` フリップフロップのように色ルールで特定の色を指定したエレメントを追加した場合、新規オブジェクトの色が優先され、指定した色で表示されない場合があります。色ルールで指定した色で表示するには、回路図ビューアーのツールバーで [Colorize New Objects] ボタンをクリックして新規オブジェクトの色分け表示をオフにしてください。



図 7-12 : [Colorize New Object] ボタン

まとめ

この演習では、デザインを解析しやすくするいくつかの方法を学びました。

- 同じネットリストの回路図を複数作成しました。
- 現在のデザインビューから一部のエレメントを選択し、新しい回路図を表示しました。
- 色ルールを使用して `fd` タイプのフリップフロップに別の色を指定し、回路図シートで見分けやすくしました。

演習 5 : 2 つのデザイン インプリメンテーションの比較

目標

スピード、エリア、消費電力などのデザイン要件を満たすため、オリジナルの HDL ソースを変更したり、合成オプションおよびインプリメンテーション オプションを変更する必要がある場合があります。変更を加える場合、その変更が最終的なインプリメンテーションにどのように影響するかを理解する必要があります。

回路図ビューアーでは異なるデザイン ネットリストを同時に表示して比較できるので、このような場合に役立ちます。このモードは、XST の RTL 表示および合成後のネットリストでのみ可能で、マップ後、配置後、配線後のネットリストは表示できません。

この演習では、XST で 2 つのデザイン インプリメンテーションを作成し、回路図ビューアーで表示する方法を示します。

演習

手順 1 : 演習プロジェクトの準備

第 3 章「演習の準備 : はじめに」の指示に従って stopwatch プロジェクトを開き、回路図ビューアーのプリファレンスで [Light Background Color Scheme] をオンにします。

手順 2 : XST オプションの設定とデザインの合成

1. [Processes] ペインで [Synthesize - XST] を右クリックして、[Process Properties] をクリックし、[Process Properties] ダイアログ ボックスを開きます。
2. [Keep Hierarchy] プロパティを [Yes] に設定します (図 8-1)。

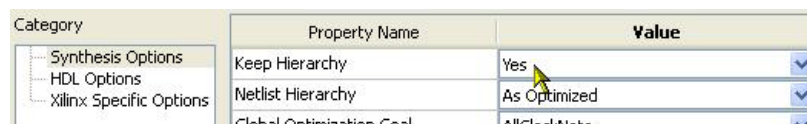


図 8-1 : [Keep Hierarchy] プロパティの設定

3. [Synthesize - XST] をダブルクリックし、デザインを合成します。
4. シェル プロンプトを開き、プロジェクト ディレクトリに移動して stopwatch.ngc ファイルを default_run.ngc にコピーします。

5. [Synthesize - XST] を右クリックして [Process Properties] をクリックし、[Category] で [Xilinx Specific Options] を選択して [Register Balancing] プロパティを [Yes] に設定した後 (図 8-2)、合成を再実行します。

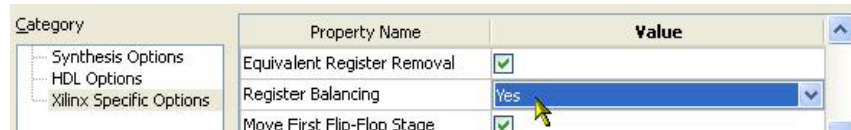


図 8-2：[Register Balancing] プロパティの設定

6. [Register Balancing] を [Yes] に設定して合成を実行すると、複数のフリップフロップが順方向に移動されたことを示す次のようなメッセージが表示されます。

Register(s) sreg_FSM_FFd3 sreg_FSM_FFd1 sreg_FSM_FFd2 has(ve) been forward balanced into : sreg_FSM_Out11_FRB.

これを回路図ビューアーで表示してみます。

手順 3：2 つのネットリストの読み込みと比較

1. [View Technology Schematic] をダブルクリックし、[Start with the Explorer Wizard] をオンにして回路図ビューアーを開きます。MACHINE 階層ブロック (図 8-3) を選択して [Selected Elements] リストに追加し、[Create Schematic] をクリックします。

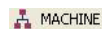


図 8-3：MACHINE 階層ブロック

2. [File] → [Open] をクリックし、先ほど保存した default_run.ngc ネットリストを開きます。[Start with the Explorer Wizard] をオンにします。Project Navigator にネットリストが読み込まれ、回路図ビューアーが起動します。MACHINE 階層ブロック (図 8-3) を選択して回路図を作成します。
3. 共通ツールバーで [Tile Windows Horizontally] (図 8-4) をクリックし、2 つの回路図を上下に並べて表示します。表示を展開するには、RST ピンおよび CLKEN ピンの内側のピンをダブルクリックします。回路図は、図 8-5 のように表示されます。



図 8-4：[Tile Windows Horizontally] ボタン

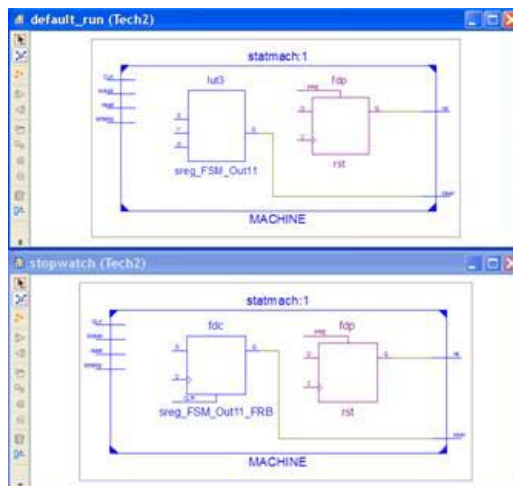


図 8-5 : 回路図を上下に並べて表示

4. 下のネットリストは **[Register Balancing]** を **[Yes]** に設定して生成したものです。デザイン パフォーマンスを向上するため、XST で `sreg_FSM_Out11_FRB` を構成する複数のフリップフロップが `clken` ピンの出力側に移動されています。

まとめ

この演習では、異なる合成プロパティ設定を使用して生成した同じデザインの 2 つのネットリストを表示し、比較する方法を学びました。

演習 6：大型デザインの操作

目標

ザイリンクスの最新の FPGA ファミリでは、より大型で複雑なデザインをインプリメントできるので、解析プロセスは複雑になります。デザインによっては、デザイン エLEMENT 数が数十万個になる可能性もあります。1 つのシートにデザイン全体を表示するのは実質的ではありません。

この演習では、大型で複雑なデザインを回路図ビューアーを使用して見やすく表示し、操作速度が低下しないようにするためのヒントを示します。

ヒント 1：階層ネットリストの使用

合成後のネットリストに階層が存在すると、デザイン解析の複雑さが低減され、回路図ビューアーの表示も見やすくなります。XST RTL ネットリストは完全に階層で表されています。

階層の保持

XST では、デザイン階層を完全に保持または一部保持できます。ただし、階層を保持すると階層の境界を越えたロジックの最適化は実行されません。これが原因で、デザインのパフォーマンスが低下する可能性があります。

合成で階層を保持する場合、デザイン要件が満たされていることを確認してください。

階層の再構築

デザイン パフォーマンスを低下させずに階層ネットリストを生成するには、[Netlist Hierarchy] プロパティを使用します。このプロパティを [Rebuilt] に設定すると (図 9-1)、最適化では完全にフラット化されていた場合でも、最終ネットリストで階層が再構築されます。



図 9-1：[Netlist Hierarchy] プロパティを [Rebuilt] に設定

この機能を使用すると XST での合成のランタイムが増加し、エリア予測レポートの精度に影響する場合があるので、デフォルトでは設定されていません。

現在のデザインでこのプロパティ設定をテストし、合成ランタイムが許容範囲内であるかどうかを確認することをお勧めします。

ヒント 2：複数の回路図シートの使用

デザインの階層が完全に再構築されたとしても、1 つの階層レベルに数千の要素が含まれ、表示および解析が困難となる可能性があります。

多数の要素を操作する必要がある場合は、同じネットリストを複数の回路図シートで表示する機能を活用できます (図 9-2)。この操作は、演習 4 で示したように、ニーズに応じて柔軟に実行できます。

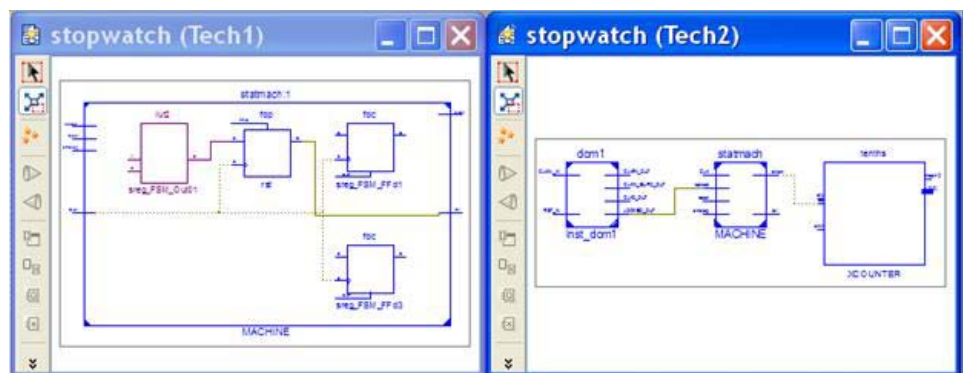


図 9-2：複数の回路図シート

詳細は、第 7 章「演習 4：デザインを解析しやすくする方法」を参照してください。

まとめ

この演習では、大型デザインを操作する場合のヒントとして階層ネットリストを生成することと複数の回路図シートを使用して 1 つのシートに表示する要素数を削減することを示しました。

演習 7：回路図ビューアーをスタンドアロン ツールとして使用

目標

コマンド ラインを使用している場合に、デザイン解析に FPGA Editor や回路図ビューアーなどのツールを実行する必要があることがあります。

ISE® ソフトウェアでは、回路図ビューアーをスタンドアロン モードで起動することはできませんが、スタンドアロン モードをエミュレートする方法があり、XST の RTL 表示または XST の合成後のネットリストを表示できます。マップ後、配置後、配線後のネットリストは表示できません。

この演習では、回路図ビューアーをスタンドアロン モードをエミュレートして使用し、XST RTL ネットリストおよび合成後のネットリストを表示する方法を学びます。

表 10-1 に、使用するネットリストを示します。

表 10-1：ネットリスト ファイルの拡張子

ネットリスト	拡張子
XST RTL	.ngc
XST 合成後	.ngr

演習

手順 1：演習プロジェクトの準備

第 3 章「演習の準備：はじめに」の指示に従って stopwatch プロジェクトを開き、回路図ビューアーのプリファレンスで [Light Background Color Scheme] をオンにします。

手順 2：XST オプションの設定とデザインの合成

- [Processes] ペインで [Synthesize - XST] を右クリックして、[Process Properties] をクリックし、[Process Properties] ダイアログ ボックスを開きます。
- [Keep Hierarchy] プロパティを [Yes] に設定します (図 10-1)。

Category	Property Name	Value
Synthesis Options	Keep Hierarchy	Yes
HDL Options	Netlist Hierarchy	As Optimized
Xilinx Specific Options	Global Optimization Goal	All Clocks

図 10-1：[Keep Hierarchy] プロパティの設定

3. [Synthesize - XST] をダブルクリックし、デザインを合成します。
4. 合成が完了したら、[File] → [Close Project] をクリックしてプロジェクトを閉じます。Project Navigator は開いたままです。

手順 3：回路図ビューアーで合成後のネットリストを開く

1. XST 合成後のネットリスト stopwatch.ngc は、プロジェクト ディレクトリにあります。NGC ファイルは、コマンド ライン モードからも生成できます。このネットリストを回路図ビューアーで開くには、[File] → [Open] をクリックします。
2. [Start with the Explorer Wizard] をオンにします。Project Navigator にネットリストが読み込まれ、回路図ビューアーが起動します (図 10-2)。これで、これまでの演習で説明したように、デザインの回路図を表示して展開していくことができます。

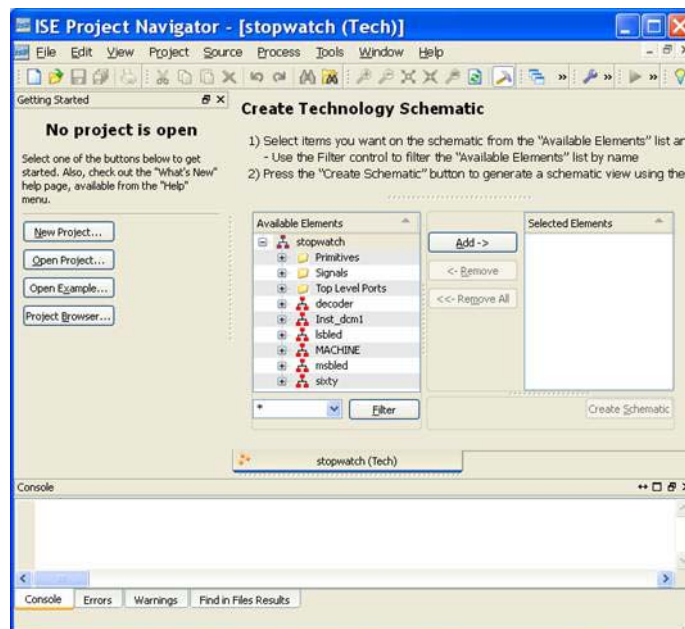


図 10-2：Explorer Wizard

まとめ

この演習では、回路図ビューアーをスタンドアロン モードをエミュレートして使用する方法を学びました。この方法を使用すると、コマンド ライン モードを使用している場合でも回路図ビューアーを活用できます。どの XST 合成後のネットリストでも、プロジェクトを開かずに回路図ビューアーで表示できます。

その他のリソース

ザイリンクス リソース

- 『ISE Design Suite : インストールおよびライセンス ガイド』(UG798) :
http://japan.xilinx.com/support/documentation/sw_manuals/xilinx13_1/iil.pdf
- 『ISE Design Suite 13 : リリース ノート ガイド』(UG631) :
http://japan.xilinx.com/support/documentation/sw_manuals/xilinx13_1/irn.pdf
- ザイリンクス 資料 :
<http://japan.xilinx.com/support/documentation>
- ザイリンクス 用語集 :
http://japan.xilinx.com/support/documentation/sw_manuals/glossary.pdf
- ザイリンクス サポート :
<http://japan.xilinx.com/support>

