

# 7 シリーズ FPGA ライブラリ ガイド (回路図用)

UG 799 (v13.3) 2011 年 10 月 26 日



Xilinx is disclosing this user guide, manual, release note, and/or specification (the “Documentation”) to you solely for use in the development of designs to operate with Xilinx hardware devices. You may not reproduce, distribute, republish, download, display, post, or transmit the Documentation in any form or by any means including, but not limited to, electronic, mechanical, photocopying, recording, or otherwise, without the prior written consent of Xilinx. Xilinx expressly disclaims any liability arising out of your use of the Documentation. Xilinx reserves the right, at its sole discretion, to change the Documentation without notice at any time. Xilinx assumes no obligation to correct any errors contained in the Documentation, or to advise you of any corrections or updates. Xilinx expressly disclaims any liability in connection with technical support or assistance that may be provided to you in connection with the Information.

THE DOCUMENTATION IS DISCLOSED TO YOU “AS-IS” WITH NO WARRANTY OF ANY KIND. XILINX MAKES NO OTHER WARRANTIES, WHETHER EXPRESS, IMPLIED, OR STATUTORY, REGARDING THE DOCUMENTATION, INCLUDING ANY WARRANTIES OF MERCHANTABILITY, FITNESS FOR A PARTICULAR PURPOSE, OR NONINFRINGEMENT OF THIRD-PARTY RIGHTS. IN NO EVENT WILL XILINX BE LIABLE FOR ANY CONSEQUENTIAL, INDIRECT, EXEMPLARY, SPECIAL, OR INCIDENTAL DAMAGES, INCLUDING ANY LOSS OF DATA OR LOST PROFITS, ARISING FROM YOUR USE OF THE DOCUMENTATION.

© Copyright 2002–2011 Xilinx Inc. All Rights Reserved. XILINX, the Xilinx logo, the Brand Window and other designated brands included herein are trademarks of Xilinx, Inc. All other trademarks are the property of their respective owners.

本資料は英語版 (v.13.3) を翻訳したもので、内容に相違が生じる場合には原文を優先します。  
資料によっては英語版の更新に対応していないものがあります。  
日本語版は参考用としてご使用の上、最新情報につきましては、必ず最新英語版をご参照ください。

この資料に関するフィードバックおよびリンクなどの問題につきましては、[jpn\\_trans\\_feedback@xilinx.com](mailto:jpn_trans_feedback@xilinx.com) までお知らせください。いただきましたご意見を参考に早急に対応させていただきます。なお、このメール アドレスへのお問い合わせは受け付けておりません。あらかじめご了承ください。

## 概要

---

回路図用ライブラリ ガイドは、ISE のオンライン マニュアルの 1 つです。HDL を使用して設計する場合は、HDL 用ライブラリ ガイドを参照してください。

このマニュアルには、次の内容が含まれます。

- ・ 概要
- ・ このアーキテクチャでサポートされるプリミティブとマクロのファンクション別リスト
- ・ 各プリミティブの詳細説明

## デザイン エLEMENT

このバージョンのライブラリ ガイドでは、このアーキテクチャのデザイン エLEMENTが記載されています。デザイン エLEMENTはいくつかのカテゴリに分類されています。

- ・ **プリミティブ**：ザイリンクス ライブラリで、ロジックの基本となる最も単純なデザイン エLEMENT。ザイリンクスのプリミティブの例として、BUF (バッファ)、FD (D フリップフロップ) などがあります。
- ・ **マクロ**：ザイリンクス ライブラリの基本となるデザイン エLEMENT。デザイン エLEMENTのプリミティブまたはマクロから作成することができます。たとえば、FD4CE フリップフロップ マクロは 4 つの FDCE プリミティブをまとめたものです。

ザイリンクスでは、さまざまなデバイス アーキテクチャに対応した多数のデザイン エLEMENT (マクロおよびプリミティブ) を含むソフトウェア ライブラリを提供しています。開発システム ソフトウェアのリリースごとに、新しいデザイン エLEMENTが組み込まれます。このマニュアルは、そのようなアーキテクチャ固有のライブラリの 1 つです。





## ファンクション別分類

このセクションでは、デバイスに含まれるデザイン エLEMENTをファンクション別に分類して示します。ELEMENT (プリミティブおよびマクロのインプリメンテーション) は、各カテゴリでアルファベット順にリストしています。

アドバンス	デコーダー	ラッチ
演算ファンクション	フリップフロップ	ロジック
バッファ	汎用ELEMENT	LUT
キャリー ロジック	入力/出力ファンクション	メモリ
クロック リソース	I/O	マルチプレクサー
コンパレータ	I/O フリップフロップ	シフトレジスタ
カウンタ	I/O ラッチ	シフター

### アドバンス

デザイン ELEMENT	説明
GTXE2_COMMON	プリミティブ : Gigabit Transceiver for 7 Series Devices
GTXE2_CHANNEL	プリミティブ : Gigabit Transceiver for 7 Series Devices
IN_FIFO	プリミティブ : Input First-In, First-Out (FIFO)
OUT_FIFO	プリミティブ : Output First-In, First-Out (FIFO) Buffer

### 演算ファンクション

デザイン ELEMENT	説明
ACC16	マクロ : 16-Bit Loadable Cascadable Accumulator with Carry-In, Carry-Out, and Synchronous Reset
ACC4	マクロ : 4-Bit Loadable Cascadable Accumulator with Carry-In, Carry-Out, and Synchronous Reset
ACC8	マクロ : 8-Bit Loadable Cascadable Accumulator with Carry-In, Carry-Out, and Synchronous Reset
ADD16	マクロ : 16-Bit Cascadable Full Adder with Carry-In, Carry-Out, and Overflow

デザイン エLEMENT	説明
ADD4	マクロ : 4-Bit Cascadable Full Adder with Carry-In, Carry-Out, and Overflow
ADD8	マクロ : 8-Bit Cascadable Full Adder with Carry-In, Carry-Out, and Overflow
ADSU16	マクロ : 16-Bit Cascadable Adder/Subtractor with Carry-In, Carry-Out, and Overflow
ADSU4	マクロ : 4-Bit Cascadable Adder/Subtractor with Carry-In, Carry-Out, and Overflow
ADSU8	マクロ : 8-Bit Cascadable Adder/Subtractor with Carry-In, Carry-Out, and Overflow
DSP48E1	プリミティブ : 48-bit Multi-Functional Arithmetic Block
MULT18X18	プリミティブ : 18 x 18 Signed Multiplier
MULT18X18S	プリミティブ : 18 x 18 Signed Multiplier -- Registered Version

### バッファ

デザイン エLEMENT	説明
BUF	プリミティブ : General Purpose Buffer
BUFCF	プリミティブ : Fast Connect Buffer
BUFG	プリミティブ : Global Clock Simple Buffer
BUFGCE	プリミティブ : Global Clock Buffer with Clock Enable
BUFGCE_1	プリミティブ : Global Clock Buffer with Clock Enable and Output State 1
BUFGMUX_CTRL	プリミティブ : 2-to-1 Global Clock MUX Buffer
BUFGP	プリミティブ : Primary Global Buffer for Driving Clocks

### キャリー ロジック

デザイン エLEMENT	説明
CARRY4	プリミティブ : Fast Carry Logic with Look Ahead
MUXCY	プリミティブ : 2-to-1 Multiplexer for Carry Logic with General Output
MUXCY_D	プリミティブ : 2-to-1 Multiplexer for Carry Logic with Dual Output
MUXCY_L	プリミティブ : 2-to-1 Multiplexer for Carry Logic with Local Output
XORCY	プリミティブ : XOR for Carry Logic with General Output

## クロック リソース

デザイン エLEMENT	説明
BUFGCTRL	プリミティブ : Global Clock Control Buffer
BUFH	プリミティブ : HROW Clock Buffer for a Single Clocking Region
BUFHCE	プリミティブ : HROW Clock Buffer for a Single Clocking Region with Clock Enable
BUFIO	プリミティブ : Local Clock Buffer for I/O
BUFIODQS	プリミティブ : Differential Clock Input for Transceiver Reference Clocks
BUFMR	プリミティブ : Multi-Region Clock Buffer
BUFMRCE	プリミティブ : Multi-Region Clock Buffer with Clock Enable
BUFR	プリミティブ : Regional Clock Buffer for I/O and Logic Resources within a Clock Region
MMCME2_ADV	プリミティブ : Advanced Mixed Mode Clock Manager
MMCME2_BASE	プリミティブ : Base Mixed Mode Clock Manager
PLLE2_ADV	プリミティブ : Advanced Phase Locked Loop (PLL)
PLLE2_BASE	プリミティブ : Base Phase Locked Loop (PLL)
XADC	プリミティブ : Dual 12-Bit 1MSPS Analog-to-Digital Converter

## コンパレータ

デザイン エLEMENT	説明
COMP16	マクロ : 16-Bit Identity Comparator
COMP2	マクロ : 2-Bit Identity Comparator
COMP4	マクロ : 4-Bit Identity Comparator
COMP8	マクロ : 8-Bit Identity Comparator
COMPM16	マクロ : 16-Bit Magnitude Comparator
COMPM2	マクロ : 2-Bit Magnitude Comparator
COMPM4	マクロ : 4-Bit Magnitude Comparator
COMPM8	マクロ : 8-Bit Magnitude Comparator
COMPMC16	マクロ : 16-Bit Magnitude Comparator
COMPMC8	マクロ : 8-Bit Magnitude Comparator

## カウンタ

デザイン エLEMENT	説明
CB16CE	マクロ : 16-Bit Cascadable Binary Counter with Clock Enable and Asynchronous Clear
CB16CLE	マクロ : 16-Bit Loadable Cascadable Binary Counters with Clock Enable and Asynchronous Clear
CB16CLED	マクロ : 16-Bit Loadable Cascadable Bidirectional Binary Counters with Clock Enable and Asynchronous Clear

デザイン エLEMENT	説明
CB16RE	マクロ : 16-Bit Cascadable Binary Counter with Clock Enable and Synchronous Reset
CB2CE	マクロ : 2-Bit Cascadable Binary Counter with Clock Enable and Asynchronous Clear
CB2CLE	マクロ : 2-Bit Loadable Cascadable Binary Counters with Clock Enable and Asynchronous Clear
CB2CLED	マクロ : 2-Bit Loadable Cascadable Bidirectional Binary Counters with Clock Enable and Asynchronous Clear
CB2RE	マクロ : 2-Bit Cascadable Binary Counter with Clock Enable and Synchronous Reset
CB4CE	マクロ : 4-Bit Cascadable Binary Counter with Clock Enable and Asynchronous Clear
CB4CLE	マクロ : 4-Bit Loadable Cascadable Binary Counters with Clock Enable and Asynchronous Clear
CB4CLED	マクロ : 4-Bit Loadable Cascadable Bidirectional Binary Counters with Clock Enable and Asynchronous Clear
CB4RE	マクロ : 4-Bit Cascadable Binary Counter with Clock Enable and Synchronous Reset
CB8CE	マクロ : 8-Bit Cascadable Binary Counter with Clock Enable and Asynchronous Clear
CB8CLE	マクロ : 8-Bit Loadable Cascadable Binary Counters with Clock Enable and Asynchronous Clear
CB8CLED	マクロ : 8-Bit Loadable Cascadable Bidirectional Binary Counters with Clock Enable and Asynchronous Clear
CB8RE	マクロ : 8-Bit Cascadable Binary Counter with Clock Enable and Synchronous Reset
CC16CE	マクロ : 16-Bit Cascadable Binary Counter with Clock Enable and Asynchronous Clear
CC16CLE	マクロ : 16-Bit Loadable Cascadable Binary Counter with Clock Enable and Asynchronous Clear
CC16CLED	マクロ : 16-Bit Loadable Cascadable Bidirectional Binary Counter with Clock Enable and Asynchronous Clear
CC16RE	マクロ : 16-Bit Cascadable Binary Counter with Clock Enable and Synchronous Reset
CC8CE	マクロ : 8-Bit Cascadable Binary Counter with Clock Enable and Asynchronous Clear
CC8CLE	マクロ : 8-Bit Loadable Cascadable Binary Counter with Clock Enable and Asynchronous Clear
CC8CLED	マクロ : 8-Bit Loadable Cascadable Bidirectional Binary Counter with Clock Enable and Asynchronous Clear
CC8RE	マクロ : 8-Bit Cascadable Binary Counter with Clock Enable and Synchronous Reset
CD4CE	マクロ : 4-Bit Cascadable BCD Counter with Clock Enable and Asynchronous Clear
CD4CLE	マクロ : 4-Bit Loadable Cascadable BCD Counter with Clock Enable and Asynchronous Clear

デザイン エLEMENT	説明
CD4RE	マクロ : 4-Bit Cascadable BCD Counter with Clock Enable and Synchronous Reset
CD4RLE	マクロ : 4-Bit Loadable Cascadable BCD Counter with Clock Enable and Synchronous Reset
CJ4CE	マクロ : 4-Bit Johnson Counter with Clock Enable and Asynchronous Clear
CJ4RE	マクロ : 4-Bit Johnson Counter with Clock Enable and Synchronous Reset
CJ5CE	マクロ : 5-Bit Johnson Counter with Clock Enable and Asynchronous Clear
CJ5RE	マクロ : 5-Bit Johnson Counter with Clock Enable and Synchronous Reset
CJ8CE	マクロ : 8-Bit Johnson Counter with Clock Enable and Asynchronous Clear
CJ8RE	マクロ : 8-Bit Johnson Counter with Clock Enable and Synchronous Reset

### デコーダー

デザイン エLEMENT	説明
D2_4E	マクロ : 2- to 4-Line Decoder/Demultiplexer with Enable
D3_8E	マクロ : 3- to 8-Line Decoder/Demultiplexer with Enable
D4_16E	マクロ : 4- to 16-Line Decoder/Demultiplexer with Enable
DEC_CC16	マクロ : 16-Bit Active Low Decoder
DEC_CC4	マクロ : 4-Bit Active Low Decoder
DEC_CC8	マクロ : 8-Bit Active Low Decoder

### フリップフロップ

デザイン エLEMENT	説明
FD	プリミティブ : D Flip-Flop
FD_1	プリミティブ : D Flip-Flop with Negative-Edge Clock
FD16CE	マクロ : 16-Bit Data Register with Clock Enable and Asynchronous Clear
FD16RE	マクロ : 16-Bit Data Register with Clock Enable and Synchronous Reset
FD4CE	マクロ : 4-Bit Data Register with Clock Enable and Asynchronous Clear
FD4RE	マクロ : 4-Bit Data Register with Clock Enable and Synchronous Reset
FD8CE	マクロ : 8-Bit Data Register with Clock Enable and Asynchronous Clear
FD8RE	マクロ : 8-Bit Data Register with Clock Enable and Synchronous Reset
FDC	プリミティブ : D Flip-Flop with Asynchronous Clear

デザイン エLEMENT	説明
FDC_1	プリミティブ : D Flip-Flop with Negative-Edge Clock and Asynchronous Clear
FDCE	プリミティブ : D Flip-Flop with Clock Enable and Asynchronous Clear
FDCE_1	プリミティブ : D Flip-Flop with Negative-Edge Clock, Clock Enable, and Asynchronous Clear
FDE	プリミティブ : D Flip-Flop with Clock Enable
FDE_1	プリミティブ : D Flip-Flop with Negative-Edge Clock and Clock Enable
FDP	プリミティブ : D Flip-Flop with Asynchronous Preset
FDP_1	プリミティブ : D Flip-Flop with Negative-Edge Clock and Asynchronous Preset
FDPE	プリミティブ : D Flip-Flop with Clock Enable and Asynchronous Preset
FDPE_1	プリミティブ : D Flip-Flop with Negative-Edge Clock, Clock Enable, and Asynchronous Preset
FDR	プリミティブ : D Flip-Flop with Synchronous Reset
FDR_1	プリミティブ : D Flip-Flop with Negative-Edge Clock and Synchronous Reset
FDRE	プリミティブ : D Flip-Flop with Clock Enable and Synchronous Reset
FDRE_1	プリミティブ : D Flip-Flop with Negative-Edge Clock, Clock Enable, and Synchronous Reset
FDS	プリミティブ : D Flip-Flop with Synchronous Set
FDS_1	プリミティブ : D Flip-Flop with Negative-Edge Clock and Synchronous Set
FDSE	プリミティブ : D Flip-Flop with Clock Enable and Synchronous Set
FDSE_1	プリミティブ : D Flip-Flop with Negative-Edge Clock, Clock Enable, and Synchronous Set
FJKC	マクロ : J-K Flip-Flop with Asynchronous Clear
FJKCE	マクロ : J-K Flip-Flop with Clock Enable and Asynchronous Clear
FJKP	マクロ : J-K Flip-Flop with Asynchronous Preset
FJKPE	マクロ : J-K Flip-Flop with Clock Enable and Asynchronous Preset
FTC	マクロ : Toggle Flip-Flop with Asynchronous Clear
FTCE	マクロ : Toggle Flip-Flop with Clock Enable and Asynchronous Clear
FTCLE	マクロ : Toggle/Loadable Flip-Flop with Clock Enable and Asynchronous Clear
FTCLEX	マクロ : Toggle/Loadable Flip-Flop with Clock Enable and Asynchronous Clear
FTP	マクロ : Toggle Flip-Flop with Asynchronous Preset

デザイン エLEMENT	説明
FTPE	マクロ : Toggle Flip-Flop with Clock Enable and Asynchronous Preset
FTPLE	マクロ : Toggle/Loadable Flip-Flop with Clock Enable and Asynchronous Preset

## 汎用ELEMENT

デザイン エLEMENT	説明
BSCANE2	プリミティブ : Boundary-Scan User Instruction
CAPTUREE2	プリミティブ : Register Capture
DNA_PORT	プリミティブ : Device DNA Access Port
EFUSE_USR	プリミティブ : 32-bit non-volatile design ID
FRAME_ECCE2	プリミティブ : Configuration Frame Error Correction
GND	プリミティブ : Ground-Connection Signal Tag
ICAPE2	プリミティブ : Internal Configuration Access Port
KEEPER	プリミティブ : KEEPER Symbol
KEY_CLEAR	プリミティブ : Virtex-5 Configuration Encryption Key Erase
PULLDOWN	プリミティブ : Resistor to GND for Input Pads, Open-Drain, and 3-State Outputs
PULLUP	プリミティブ : Resistor to VCC for Input PADS, Open-Drain, and 3-State Outputs
STARTUPE2	プリミティブ : STARTUP Block
USR_ACESSE2	プリミティブ : Configuration Data Access
VCC	プリミティブ : VCC-Connection Signal Tag

## 入力/出力ファンクション

デザイン エLEMENT	説明
DCIRESET	プリミティブ : Digitally Controlled Impedance Reset Component
IDELAYCTRL	プリミティブ : IDELAYE2/ODELAYE2 Tap Delay Value Control
IDELAYE2	プリミティブ : Input Fixed or Variable Delay Element
IDDR	プリミティブ : Input Dual Data-Rate Register
IDDR_2CLK	プリミティブ : Input Dual Data-Rate Register with Dual Clock Inputs
ISERDESE2	プリミティブ : Input SERIAL/DESerializer with bitflip
ODDR	プリミティブ : Dedicated Dual Data Rate (DDR) Output Register
ODELAYE2	プリミティブ : Output Fixed or Variable Delay Element
OSERDESE2	プリミティブ : Output SERIAL/DESerializer with bitflip

## I/O

デザイン エLEMENT	説明
IBUF	プリミティブ : Input Buffer
IBUF_IBUFDISABLE	プリミティブ : Single-ended Input Buffer with Input Disable
IBUF_INTERMDISABLE	プリミティブ : Single-ended Input Buffer with Input Termination Disable and Input Disable
IBUFDS	プリミティブ : Differential Signaling Input Buffer
IBUFDS_IBUFDISABLE	プリミティブ : Input Differential Buffer with Input Path Disable
IBUFDS_DIFF_OUT	プリミティブ : Differential Signaling Input Buffer With Differential Output
IBUFDS_DIFF_OUT_IBUFDISABLE	プリミティブ : Input Differential Buffer with Input Disable and Differential Output
IBUFDS_DIFF_OUT_INTERMDISABLE	プリミティブ : Input Differential Buffer with Input Termination Disable, Input Disable, and Differential Output
IBUFDS_INTERMDISABLE	プリミティブ : Input Differential Buffer with Input Termination Disable and Input Disable
IBUF16	マクロ : 16-Bit Input Buffer
IBUF4	マクロ : 4-Bit Input Buffer
IBUF8	マクロ : 8-Bit Input Buffer
IBUFG	プリミティブ : Dedicated Input Clock Buffer
IBUFGDS	プリミティブ : Differential Signaling Dedicated Input Clock Buffer
IBUFGDS_DIFF_OUT	プリミティブ : Differential Signaling Dedicated Input Clock Buffer with Differential Output
IOBUF	プリミティブ : Bi-Directional Buffer
IOBUF_DCEN	プリミティブ : Bi-Directional Single-ended Buffer with DCI and Input Disable.
IOBUF_INTERMDISABLE	プリミティブ : Bi-Directional Single-ended Buffer with Input Termination Disable and Input Path Disable
IOBUFDS	プリミティブ : 3-State Differential Signaling I/O Buffer with Active Low Output Enable
IOBUFDS_DCEN	プリミティブ : Bi-Directional Differential Buffer with DCI Enable/Disable and Input Disable
IOBUFDS_DIFF_OUT_DCEN	プリミティブ : Bi-Directional Differential Buffer with DCI Disable, Input Disable, and Differential Output
IOBUFDS_DIFF_OUT_INTERMDISABLE	プリミティブ : Bi-Directional Differential Buffer with Input Termination Disable, Input Disable, and Differential Output
IOBUFDS_INTERMDISABLE	プリミティブ : Bi-Directional Differential Buffer with Input Termination Disable and Input Disable
OBUF	プリミティブ : Output Buffer
OBUFDS	プリミティブ : Differential Signaling Output Buffer



デザイン エLEMENT	説明
OBUF16	マクロ : 16-Bit Output Buffer
OBUF4	マクロ : 4-Bit Output Buffer
OBUF8	マクロ : 8-Bit Output Buffer
OBUFT	プリミティブ : 3-State Output Buffer with Active Low Output Enable
OBUFTDS	プリミティブ : 3-State Output Buffer with Differential Signaling, Active-Low Output Enable
OBUFT16	マクロ : 16-Bit 3-State Output Buffer with Active Low Output Enable
OBUFT4	マクロ : 4-Bit 3-State Output Buffers with Active-Low Output Enable
OBUFT8	マクロ : 8-Bit 3-State Output Buffers with Active-Low Output Enable

### I/O フリップフロップ

デザイン エLEMENT	説明
IFD	マクロ : Input D Flip-Flop
IFD_1	マクロ : Input D Flip-Flop with Inverted Clock (Asynchronous Preset)
IFD16	マクロ : 16-Bit Input D Flip-Flop
IFD4	マクロ : 4-Bit Input D Flip-Flop
IFD8	マクロ : 8-Bit Input D Flip-Flop
IFDI	マクロ : Input D Flip-Flop (Asynchronous Preset)
IFDI_1	マクロ : Input D Flip-Flop with Inverted Clock (Asynchronous Preset)
IFDX	マクロ : Input D Flip-Flop with Clock Enable
IFDX_1	マクロ : Input D Flip-Flop with Inverted Clock and Clock Enable
IFDX16	マクロ : 16-Bit Input D Flip-Flops with Clock Enable
IFDX4	マクロ : 4-Bit Input D Flip-Flop with Clock Enable
IFDX8	マクロ : 8-Bit Input D Flip-Flop with Clock Enable
OFD	マクロ : Output D Flip-Flop
OFD_1	マクロ : Output D Flip-Flop with Inverted Clock
OFD16	マクロ : 16-Bit Output D Flip-Flop
OFD4	マクロ : 4-Bit Output D Flip-Flop
OFD8	マクロ : 8-Bit Output D Flip-Flop
OFDE	マクロ : D Flip-Flop with Active-High Enable Output Buffers
OFDE_1	マクロ : D Flip-Flop with Active-High Enable Output Buffer and Inverted Clock
OFDE4	マクロ : 4-Bit D Flip-Flop with Active-High Enable Output Buffers

デザイン エLEMENT	説明
OFDE8	マクロ : 8-Bit D Flip-Flop with Active-High Enable Output Buffers
OFDE16	マクロ : 16-Bit D Flip-Flop with Active-High Enable Output Buffers
OFDI	マクロ : Output D Flip-Flop (Asynchronous Preset)
OFDI_1	マクロ : Output D Flip-Flop with Inverted Clock (Asynchronous Preset)
OFDT	マクロ : D Flip-Flop with Active-Low 3-State Output Buffer
OFDT_1	マクロ : D Flip-Flop with Active-Low 3-State Output Buffer and Inverted Clock
OFDT16	マクロ : 16-Bit D Flip-Flop with Active-Low 3-State Output Buffers
OFDT4	マクロ : 4-Bit D Flip-Flop with Active-Low 3-State Output Buffers
OFDT8	マクロ : 8-Bit D Flip-Flop with Active-Low 3-State Output Buffers
OFDX	マクロ : Output D Flip-Flop with Clock Enable
OFDX_1	マクロ : Output D Flip-Flop with Inverted Clock and Clock Enable
OFDX16	マクロ : 16-Bit Output D Flip-Flop with Clock Enable
OFDX4	マクロ : 4-Bit Output D Flip-Flop with Clock Enable
OFDX8	マクロ : 8-Bit Output D Flip-Flop with Clock Enable
OFDXI	マクロ : Output D Flip-Flop with Clock Enable (Asynchronous Preset)
OFDXI_1	マクロ : Output D Flip-Flop with Inverted Clock and Clock Enable (Asynchronous Preset)

## I/O ラッチ

デザイン エLEMENT	説明
ILD	マクロ : Transparent Input Data Latch
ILD_1	マクロ : Transparent Input Data Latch with Inverted Gate
ILD16	マクロ : Transparent Input Data Latch
ILD4	マクロ : Transparent Input Data Latch
ILD8	マクロ : Transparent Input Data Latch
ILDI	マクロ : Transparent Input Data Latch (Asynchronous Preset)
ILDI_1	マクロ : Transparent Input Data Latch with Inverted Gate (Asynchronous Preset)
ILDXI	マクロ : Transparent Input Data Latch (Asynchronous Preset)
ILDXI_1	マクロ : Transparent Input Data Latch with Inverted Gate (Asynchronous Preset)

## ラッチ

デザイン エLEMENT	説明
ILD	マクロ：Transparent Input Data Latch
ILD_1	マクロ：Transparent Input Data Latch with Inverted Gate
ILD16	マクロ：Transparent Input Data Latch
ILD4	マクロ：Transparent Input Data Latch
ILD8	マクロ：Transparent Input Data Latch
ILDI	マクロ：Transparent Input Data Latch (Asynchronous Preset)
ILD_1_1	マクロ：Transparent Input Data Latch with Inverted Gate (Asynchronous Preset)
ILD_X1	マクロ：Transparent Input Data Latch (Asynchronous Preset)
ILD_X1_1	マクロ：Transparent Input Data Latch with Inverted Gate (Asynchronous Preset)

## ロジック

デザイン エLEMENT	説明
CARRY4	プリミティブ：Fast Carry Logic with Look Ahead
MUXCY	プリミティブ：2-to-1 Multiplexer for Carry Logic with General Output
MUXCY_D	プリミティブ：2-to-1 Multiplexer for Carry Logic with Dual Output
MUXCY_L	プリミティブ：2-to-1 Multiplexer for Carry Logic with Local Output
XORCY	プリミティブ：XOR for Carry Logic with General Output

## LUT

デザイン エLEMENT	説明
CFGLUT5	プリミティブ：5-input Dynamically Reconfigurable Look-Up Table (LUT)
LUT1	プリミティブ：1-Bit Look-Up Table with General Output
LUT1_D	プリミティブ：1-Bit Look-Up Table with Dual Output
LUT1_L	プリミティブ：1-Bit Look-Up Table with Local Output
LUT2	プリミティブ：2-Bit Look-Up Table with General Output
LUT2_D	プリミティブ：2-Bit Look-Up Table with Dual Output
LUT2_L	プリミティブ：2-Bit Look-Up Table with Local Output
LUT3	プリミティブ：3-Bit Look-Up Table with General Output
LUT3_D	プリミティブ：3-Bit Look-Up Table with Dual Output
LUT3_L	プリミティブ：3-Bit Look-Up Table with Local Output
LUT4	プリミティブ：4-Bit Look-Up-Table with General Output

デザイン エLEMENT	説明
LUT4_D	プリミティブ : 4-Bit Look-Up Table with Dual Output
LUT4_L	プリミティブ : 4-Bit Look-Up Table with Local Output
LUT5	プリミティブ : 5-Input Lookup Table with General Output
LUT5_D	プリミティブ : 5-Input Lookup Table with General and Local Outputs
LUT5_L	プリミティブ : 5-Input Lookup Table with Local Output
LUT6	プリミティブ : 6-Input Lookup Table with General Output
LUT6_D	プリミティブ : 6-Input Lookup Table with General and Local Outputs
LUT6_L	プリミティブ : 6-Input Lookup Table with Local Output
LUT6_2	プリミティブ : Six-input, 2-output, Look-Up Table

## メモリ

デザイン エLEMENT	説明
FIFO18E1	プリミティブ : 18Kb FIFO (First-In-First-Out) Block RAM Memory
FIFO36E1	プリミティブ : 36Kb FIFO (First-In-First-Out) Block RAM Memory
RAMB18E1	プリミティブ : 18K-bit Configurable Synchronous Block RAM
RAMB36E1	プリミティブ : 36K-bit Configurable Synchronous Block RAM
RAM16X1D	プリミティブ : 16-Deep by 1-Wide Static Dual Port Synchronous RAM
RAM16X1D_1	プリミティブ : 16-Deep by 1-Wide Static Dual Port Synchronous RAM with Negative-Edge Clock
RAM16X1S	プリミティブ : 16-Deep by 1-Wide Static Synchronous RAM
RAM16X1S_1	プリミティブ : 16-Deep by 1-Wide Static Synchronous RAM with Negative-Edge Clock
RAM16X2S	プリミティブ : 16-Deep by 2-Wide Static Synchronous RAM
RAM16X4S	プリミティブ : 16-Deep by 4-Wide Static Synchronous RAM
RAM16X8S	プリミティブ : 16-Deep by 8-Wide Static Synchronous RAM
RAM32M	プリミティブ : 32-Deep by 8-bit Wide Multi Port Random Access Memory (Select RAM)
RAM32X1D	プリミティブ : 32-Deep by 1-Wide Static Dual Port Synchronous RAM
RAM32X1S	プリミティブ : 32-Deep by 1-Wide Static Synchronous RAM
RAM32X1S_1	プリミティブ : 32-Deep by 1-Wide Static Synchronous RAM with Negative-Edge Clock
RAM32X2S	プリミティブ : 32-Deep by 2-Wide Static Synchronous RAM
RAM32X4S	プリミティブ : 32-Deep by 4-Wide Static Synchronous RAM
RAM32X8S	プリミティブ : 32-Deep by 8-Wide Static Synchronous RAM

デザイン エLEMENT	説明
RAM64M	プリミティブ : 64-Deep by 4-bit Wide Multi Port Random Access Memory (Select RAM)
RAM64X1D	プリミティブ : 64-Deep by 1-Wide Dual Port Static Synchronous RAM
RAM64X1S	プリミティブ : 64-Deep by 1-Wide Static Synchronous RAM
RAM64X1S_1	プリミティブ : 64-Deep by 1-Wide Static Synchronous RAM with Negative-Edge Clock
RAM64X2S	プリミティブ : 64-Deep by 2-Wide Static Synchronous RAM
RAM128X1D	プリミティブ : 128-Deep by 1-Wide Dual Port Random Access Memory (Select RAM)
RAM256X1S	プリミティブ : 256-Deep by 1-Wide Random Access Memory (Select RAM)
ROM32X1	プリミティブ : 32-Deep by 1-Wide ROM
ROM64X1	プリミティブ : 64-Deep by 1-Wide ROM
ROM128X1	プリミティブ : 128-Deep by 1-Wide ROM
ROM256X1	プリミティブ : 256-Deep by 1-Wide ROM

### マルチプレクサー

デザイン エLEMENT	説明
M16_1E	マクロ : 16-to-1 Multiplexer with Enable
M2_1	マクロ : 2-to-1 Multiplexer
M2_1B1	マクロ : 2-to-1 Multiplexer with D0 Inverted
M2_1B2	マクロ : 2-to-1 Multiplexer with D0 and D1 Inverted
M2_1E	マクロ : 2-to-1 Multiplexer with Enable
M4_1E	マクロ : 4-to-1 Multiplexer with Enable
M8_1E	マクロ : 8-to-1 Multiplexer with Enable
MUXF7	プリミティブ : 2-to-1 Look-Up Table Multiplexer with General Output
MUXF7_D	プリミティブ : 2-to-1 Look-Up Table Multiplexer with Dual Output
MUXF7_L	プリミティブ : 2-to-1 look-up table Multiplexer with Local Output
MUXF8	プリミティブ : 2-to-1 Look-Up Table Multiplexer with General Output
MUXF8_D	プリミティブ : 2-to-1 Look-Up Table Multiplexer with Dual Output
MUXF8_L	プリミティブ : 2-to-1 Look-Up Table Multiplexer with Local Output

## シフト レジスタ

デザイン エLEMENT	説明
SR16CE	マクロ : 16-Bit Serial-In Parallel-Out Shift Register with Clock Enable and Asynchronous Clear
SR16CLE	マクロ : 16-Bit Loadable Serial/Parallel-In Parallel-Out Shift Register with Clock Enable and Asynchronous Clear
SR16CLED	マクロ : 16-Bit Shift Register with Clock Enable and Asynchronous Clear
SR16RE	マクロ : 16-Bit Serial-In Parallel-Out Shift Register with Clock Enable and Synchronous Reset
SR16RLE	マクロ : 16-Bit Loadable Serial/Parallel-In Parallel-Out Shift Register with Clock Enable and Synchronous Reset
SR16RLED	マクロ : 16-Bit Shift Register with Clock Enable and Synchronous Reset
SR4CE	マクロ : 4-Bit Serial-In Parallel-Out Shift Register with Clock Enable and Asynchronous Clear
SR4CLE	マクロ : 4-Bit Loadable Serial/Parallel-In Parallel-Out Shift Register with Clock Enable and Asynchronous Clear
SR4CLED	マクロ : 4-Bit Shift Register with Clock Enable and Asynchronous Clear
SR4RE	マクロ : 4-Bit Serial-In Parallel-Out Shift Register with Clock Enable and Synchronous Reset
SR4RLE	マクロ : 4-Bit Loadable Serial/Parallel-In Parallel-Out Shift Register with Clock Enable and Synchronous Reset
SR4RLED	マクロ : 4-Bit Shift Register with Clock Enable and Synchronous Reset
SR8CE	マクロ : 8-Bit Serial-In Parallel-Out Shift Register with Clock Enable and Asynchronous Clear
SR8CLE	マクロ : 8-Bit Loadable Serial/Parallel-In Parallel-Out Shift Register with Clock Enable and Asynchronous Clear
SR8CLED	マクロ : 8-Bit Shift Register with Clock Enable and Asynchronous Clear
SR8RE	マクロ : 8-Bit Serial-In Parallel-Out Shift Register with Clock Enable and Synchronous Reset
SR8RLE	マクロ : 8-Bit Loadable Serial/Parallel-In Parallel-Out Shift Register with Clock Enable and Synchronous Reset
SR8RLED	マクロ : 8-Bit Shift Register with Clock Enable and Synchronous Reset
SRL16	プリミティブ : 16-Bit Shift Register Look-Up Table (LUT)
SRL16_1	プリミティブ : 16-Bit Shift Register Look-Up Table (LUT) with Negative-Edge Clock
SRL16E	プリミティブ : 16-Bit Shift Register Look-Up Table (LUT) with Clock Enable
SRL16E_1	プリミティブ : 16-Bit Shift Register Look-Up Table (LUT) with Negative-Edge Clock and Clock Enable
SRLC16	プリミティブ : 16-Bit Shift Register Look-Up Table (LUT) with Carry

デザイン エLEMENT	説明
<a href="#">SRLC16_1</a>	プリミティブ：16-Bit Shift Register Look-Up Table (LUT) with Carry and Negative-Edge Clock
<a href="#">SRLC16E</a>	プリミティブ：16-Bit Shift Register Look-Up Table (LUT) with Carry and Clock Enable
<a href="#">SRLC16E_1</a>	プリミティブ：16-Bit Shift Register Look-Up Table (LUT) with Carry, Negative-Edge Clock, and Clock Enable
<a href="#">SRLC32E</a>	プリミティブ：32 Clock Cycle, Variable Length Shift Register Look-Up Table (LUT) with Clock Enable

### シフター

デザイン エLEMENT	説明
<a href="#">BRLSHFT4</a>	マクロ：4-Bit Barrel Shifter
<a href="#">BRLSHFT8</a>	マクロ：8-Bit Barrel Shifter





## デザイン エLEMENT

---

このセクションでは、このアーキテクチャで利用できるデザイン エLEMENTについて説明します。デザイン エLEMENTは、アルファベット順に並べられています。

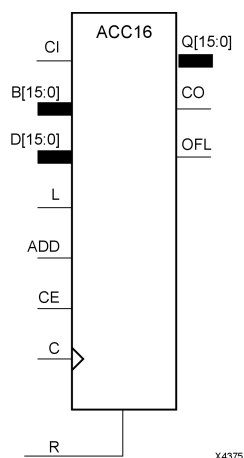
各ライブラリ エLEMENTについて、次の情報を示します。

- ・ 名称
- ・ 説明
- ・ 回路図シンボル (該当するELEMENTでのみ)
- ・ 論理表 (該当するELEMENTでのみ)
- ・ ポートの説明 (該当するELEMENTでのみ)
- ・ デザインの入力方法
- ・ 使用可能な属性 (該当するELEMENTでのみ)
- ・ その他のリソース

VHDL および Verilog のインスタンシエーション コードの例は、ISE ソフトウェア ([Edit] → [Language Templates]) またはこのアーキテクチャの HDL 用のライブラリ ガイドから入手できます。

## ACC16

**マクロ : 16-Bit Loadable Cascadable Accumulator with Carry-In, Carry-Out, and Synchronous Reset**



### 概要

このデザイン エLEMENTは、16 ビット データレジスタの値に対して 16 ビットの符号なし 2 進数または 2 の補数ワードを加算または減算して、その結果をレジスタに保存します。レジスタには、16 ビットワードでロードできます。

ロード入力 (L) が High になると、CE が無視され、クロック (C) が Low から High に切り替わる時に D 入力の値がレジスタにロードされます。ACC16 では、入力 D15 ~ D0 の値が 16 ビットレジスタにロードされます。

このデザイン エLEMENTは、16 ビットの符号なし 2 進数または 16 ビットの 2 の補数を処理します。符号なし 2 進数が入力されると、符号なし 2 進数が出力されます。2 の補数が入力されると、2 の補数が出力されます。この 2 つの唯一の機能的な違いは、オーバーフローの認識方法にあり、オーバーフローの発生を認識するのに符号なし 2 進数ではキャリー出力 (CO) が使用され、2 の補数では OFL が使用されます。

- ・ 符号なし 2 進演算の場合、0 ~ 15 までの数を表現できます。加算モードでは、加算結果が加減算器の範囲を超えると CO がアクティブ (High) になります。減算モードでは、減算器の範囲を超えると CO がアクティブ Low のボロアウトで、Low になります。CO は、データ出力と同時にレジスタに出力されません。CO には、入力 B15 ~ B0 入力の値の加算値が常に出力されます。このため、各 ACC16 の CO を次の段の CI に接続してカスケード接続できます。符号なし 2 進数のオーバーフローは、常にアクティブ High で、ADD と CO を次のようにゲート接続すると発生させることができます。

符号なしオーバーフロー = CO XOR ADD

符号なし 2 進演算では、OFL は無視されます。

- ・ 2 の補数演算の場合、-8 ~ +7 までの数を表現できます。加算または減算の結果がこの範囲を超えると、OFL 出力が High になります。オーバーフロー (OFL) は、データ出力と同時にレジスタに出力されません。OFL には、B 入力 (B15 ~ B0) とレジスタの値の合計が常に出力されます。このため、各 ACC4 の OFL を次の段の CI に接続してカスケード接続できます。

2 の補数演算では、CO は無視されます。

同期リセット (R) は、ほかのすべての入力よりも優先され、R が High になると、クロック (C) が Low から High に切り替わる時に出力が 0 になります。クロック イネーブル (CE) が Low の場合は、C の遷移は無視されます。

電力を供給すると、このデザイン エLEMENTは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP\_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

## 論理表

入力						出力
R	L	CE	ADD	D	C	Q
1	X	X	X	X	↑	0
0	1	X	X	Dn	↑	Dn
0	0	1	1	X	↑	$Q0 + Bn + CI$
0	0	1	0	X	↑	$Q0 - Bn - CI$
0	0	0	X	X	↑	変化なし
Q0 : Q の以前の値 Bn : データ入力 B の値 CI : 入力 CI の値						

## デザインの入力方法

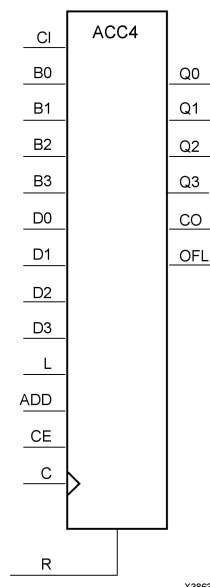
このELEMENTは、回路図でのみ使用できます。

## 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## ACC4

**マクロ : 4-Bit Loadable Cascadable Accumulator with Carry-In, Carry-Out, and Synchronous Reset**



### 概要

このデザイン エレメントは、4 ビット データレジスタの値に対して 4 ビットの符号なし 2 進数または 2 の補数ワードを加算または減算して、その結果をレジスタに保存します。レジスタには、4 ビットワードでロードできます。

ロード入力 (L) が High になると、CE が無視され、クロック (C) が Low から High に切り替わる時に D 入力の値がレジスタにロードされます。ACC4 では、入力 D3 ~ D0 の値が 4 ビットレジスタにロードされます。

このデザイン エレメントは、4 ビットの符号なし 2 進数または 4 ビットの 2 の補数を処理します。符号なし 2 進数が入力されると、符号なし 2 進数が出力されます。2 の補数が入力されると、2 の補数が出力されます。この 2 つの唯一の機能的な違いは、オーバーフローの認識方法にあり、オーバーフローの発生を認識するのに符号なし 2 進数ではキャリー出力 (CO) が使用され、2 の補数では OFL が使用されます。

- ・ 符号なし 2 進演算の場合、0 ~ 15 までの数を表現できます。加算モードでは、加算結果が加減算器の範囲を超えると CO がアクティブ (High) になります。減算モードでは、減算器の範囲を超えると CO がアクティブ Low のボローアウトで、Low になります。CO は、データ出力と同時にレジスタに出力されません。CO には、入力 B3 ~ B0 入力の値の加算値が常に出力されます。このため、各 ACC4 の CO を次の段の CI に接続してカスケード接続できます。符号なし 2 進数のオーバーフローは、常にアクティブ High で、ADD と CO を次のようにゲート接続すると発生させることができます。

符号なしオーバーフロー = CO XOR ADD

符号なし 2 進演算では、OFL は無視されます。

- ・ 2 の補数演算の場合、-8 ~ +7 までの数を表現できます。加算または減算の結果がこの範囲を超えると、OFL 出力が High になります。オーバーフロー (OFL) は、データ出力と同時にレジスタに出力されません。OFL には、B 入力 (B3 ~ B0) とレジスタの値の合計が常に出力されます。このため、各 ACC4 の OFL を次の段の CI に接続してカスケード接続できます。

2 の補数演算では、CO は無視されます。

同期リセット (R) は、ほかのすべての入力よりも優先され、R が High になると、クロック (C) が Low から High に切り替わる時に出力が 0 になります。クロック イネーブル (CE) が Low の場合は、C の遷移は無視されます。

電力を供給すると、このデザイン エLEMENTは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP\_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

## 論理表

入力						出力
R	L	CE	ADD	D	C	Q
1	X	X	X	X	↑	0
0	1	X	X	Dn	↑	Dn
0	0	1	1	X	↑	$Q0 + Bn + CI$
0	0	1	0	X	↑	$Q0 - Bn - CI$
0	0	0	X	X	↑	変化なし
Q0 : Q の以前の値 Bn : データ入力 B の値 CI : 入力 CI の値						

## デザインの入力方法

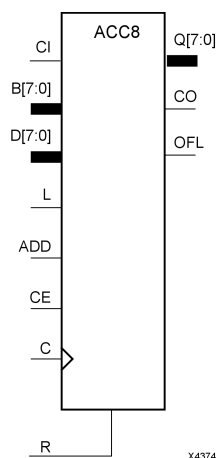
このELEMENTは、回路図でのみ使用できます。

## 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## ACC8

**マクロ：8-Bit Loadable Cascadable Accumulator with Carry-In, Carry-Out, and Synchronous Reset**



### 概要

このデザイン エLEMENTは、8 ビット データレジスタの値に対して 8 ビットの符号なし 2 進数または 2 の補数ワードを加算または減算して、その結果をレジスタに保存します。レジスタには、8 ビットワードでロードできます。

ロード入力 (L) が High になると、CE が無視され、クロック (C) が Low から High に切り替わる時に D 入力の値がレジスタにロードされます。ACC8 では、入力 D7 ~ D0 の値が 8 ビットレジスタにロードされます。

このデザイン エLEMENTは、8 ビットの符号なし 2 進数または 8 ビットの 2 の補数を処理します。符号なし 2 進数が入力されると、符号なし 2 進数が出力されます。2 の補数が入力されると、2 の補数が出力されます。この 2 つの唯一の機能的な違いは、オーバーフローの認識方法にあり、オーバーフローの発生を認識するのに符号なし 2 進数ではキャリー出力 (CO) が使用され、2 の補数では OFL が使用されます。

- ・ 符号なし 2 進演算の場合、0 ~ 255 までの数を表現できます。加算モードでは、加算結果が加減算器の範囲を超えると CO がアクティブ (High) になります。減算モードでは、減算器の範囲を超えると CO がアクティブ Low のボローアウトで、Low になります。CO は、データ出力と同時にレジスタに出力されません。CO には、入力 B3 ~ B0 入力の値の加算値が常に出力されます。このため、各 ACC8 の CO を次の段の CI に接続してカスケード接続できます。符号なし 2 進数のオーバーフローは、常にアクティブ High で、ADD と CO を次のようにゲート接続すると発生させることができます。

符号なしオーバーフロー = CO XOR ADD

符号なし 2 進演算では、OFL は無視されます。

- ・ 2 の補数演算の場合、-128 ~ +127 までの数を表現できます。加算または減算の結果がこの範囲を超えると、OFL 出力が High になります。オーバーフロー (OFL) は、データ出力と同時にレジスタに出力されません。OFL には、B 入力 (B3 ~ B0) とレジスタの値の合計が常に出力されます。このため、各 ACC8 の OFL を次の段の CI に接続してカスケード接続できます。

2 の補数演算では、CO は無視されます。

同期リセット (R) は、ほかのすべての入力よりも優先され、R が High になると、クロック (C) が Low から High に切り替わる時に出力が 0 になります。クロック イネーブル (CE) が Low の場合は、C の遷移は無視されます。

電力を供給すると、このデザイン エLEMENTは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP\_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

## 論理表

入力						出力
R	L	CE	ADD	D	C	Q
1	X	X	X	X	↑	0
0	1	X	X	Dn	↑	Dn
0	0	1	1	X	↑	$Q0 + Bn + CI$
0	0	1	0	X	↑	$Q0 - Bn - CI$
0	0	0	X	X	↑	変化なし
Q0 : Q の以前の値 Bn : データ入力 B の値 CI : 入力 CI の値						

## デザインの入力方法

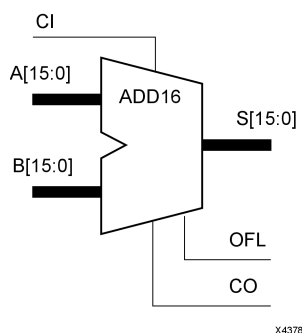
このエレメントは、回路図でのみ使用できます。

## 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## ADD16

**マクロ : 16-Bit Cascadable Full Adder with Carry-In, Carry-Out, and Overflow**



### 概要

このエレメントは、2 つのワードとキャリー入力 (CI) を加算して、その和とキャリー出力 (CO) またはオーバーフロー (OFL) を出力します。A15 ~ A0、B15 ~ B0、および CI が加算され、その和 S15 ~ S0 および CO (または OFL) が出力されます。

### 論理表

入力		出力
A	B	S
A <sub>n</sub>	B <sub>n</sub>	A <sub>n</sub> + B <sub>n</sub> + CI
CI : 入力 CI の値		

**符号なし 2 進数と 2 の補数** : このデザイン エレメントは、16 ビットの符号なし 2 進数または 16 ビットの 2 の補数処理できます。符号なし 2 進数が入力されると、符号なし 2 進数が出力されます。2 の補数が入力されると、2 の補数が出力されます。この 2 つの唯一の機能的な違いは、オーバーフローの認識方法にあり、オーバーフローの発生を認識するのに符号なし 2 進数では CO が使用され、2 の補数では OFL が使用されます。したがって、符号なし 2 進数が入力された場合は CO 出力を確認し、2 の補数が入力された場合は OFL 出力を確認します。

**符号なし 2 進演算** : 符号なし 2 進演算の場合、0 ~ 65535 までの数を表現できます。符号なし 2 進演算では、OFL は無視されます。

**2 の補数演算** : 2 の補数演算の場合、-32768 から +32767 までの数を表現できます。合計値が加算器の範囲を超えると、OFL がアクティブ (High) になります。2 の補数演算では、CO は無視されます。

### デザインの入力方法

このエレメントは、回路図でのみ使用できます。

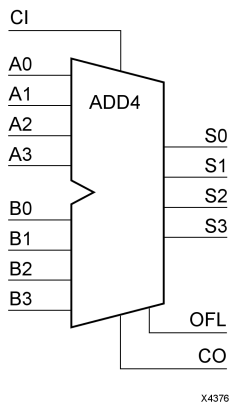
### 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)



## ADD4

マクロ：4-Bit Cascadable Full Adder with Carry-In, Carry-Out, and Overflow



### 概要

このエレメントは、2 つのワードとキャリー入力 (CI) を加算して、その和とキャリー出力 (CO) またはオーバーフロー (OFL) を出力します。A3 ~ A0、B3 ~ B0、および CI が加算され、その和 S3 ~ S0 および CO (または OFL) が出力されます。

### 論理表

入力		出力
A	B	S
A <sub>n</sub>	B <sub>n</sub>	A <sub>n</sub> + B <sub>n</sub> + CI
CI : 入力 CI の値		

**符号なし 2 進数と 2 の補数：**このデザイン エLEMENT は、4 ビットの符号なし 2 進数または 4 ビットの 2 の補数を処理できます。符号なし 2 進数が入力されると、符号なし 2 進数が出力されます。2 の補数が入力されると、2 の補数が出力されます。この 2 つの唯一の機能的な違いは、オーバーフローの認識方法にあり、オーバーフローの発生を認識するのに符号なし 2 進数では CO が使用され、2 の補数では OFL が使用されます。したがって、符号なし 2 進数が入力された場合は CO 出力を確認し、2 の補数が入力された場合は OFL 出力を確認します。

**符号なし 2 進演算：**符号なし 2 進演算の場合、0 ~ 15 までの数を表現できます。符号なし 2 進演算では、OFL は無視されます。

**2 の補数演算：**2 の補数演算の場合、-8 から +7 までの数を表現できます。合計値が加算器の範囲を超えると、OFL がアクティブ (High) になります。2 の補数演算では、CO は無視されます。

### デザインの入力方法

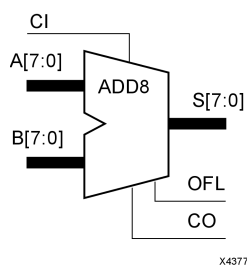
このエレメントは、回路図でのみ使用できます。

### 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## ADD8

**マクロ : 8-Bit Cascadable Full Adder with Carry-In, Carry-Out, and Overflow**



### 概要

このエレメントは、2 つのワードとキャリー入力 (CI) を加算して、その和とキャリー出力 (CO) またはオーバーフロー (OFL) を出力します。A7 ~ A0、B7 ~ B0、および CI が加算され、その和 S7 ~ S0 および CO (または OFL) が出力されます。

### 論理表

入力		出力
A	B	S
A <sub>n</sub>	B <sub>n</sub>	A <sub>n</sub> + B <sub>n</sub> + CI
CI : 入力 CI の値		

**符号なし 2 進数と 2 の補数 :** このデザイン エレメントは、8 ビットの符号なし 2 進数または 8 ビットの 2 の補数を処理できます。符号なし 2 進数が入力されると、符号なし 2 進数が出力されます。2 の補数が入力されると、2 の補数が出力されます。この 2 つの唯一の機能的な違いは、オーバーフローの認識方法にあり、オーバーフローの発生を認識するのに符号なし 2 進数では CO が使用され、2 の補数では OFL が使用されます。したがって、符号なし 2 進数が入力された場合は CO 出力を確認し、2 の補数が入力された場合は OFL 出力を確認します。

**符号なし 2 進演算 :** 符号なし 2 進演算の場合、0 ~ 255 までの数を表現できます。符号なし 2 進演算では、OFL は無視されます。

**2 の補数演算 :** 2 の補数演算の場合、-128 から +127 までの数を表現できます。合計値が加算器の範囲を超えると、OFL がアクティブ (High) になります。2 の補数演算では、CO は無視されます。

### デザインの入力方法

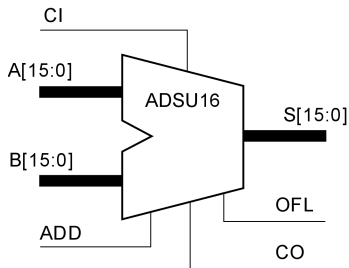
このエレメントは、回路図でのみ使用できます。

### 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## ADSU16

### マクロ：16-Bit Cascadable Adder/Subtractor with Carry-In, Carry-Out, and Overflow



X4381

### 概要

ADD が High の場合、2 つの 16 ビットワード (A15 ～ A0 と B15 ～ B0) とキャリー入力 (CI) を加算し、16 ビットの和 (S15 ～ S0) とキャリー出力 (CO) (またはオーバーフロー (OFL)) を出力します。

ADD 入力が Low の場合、A15 ～ A0 から B15 ～ B0 を減算し、その差とキャリー出力 (CO) またはオーバーフロー (OFL) を出力します。

加算モードでは、CO と CI はアクティブ High になります。減算モードでは、CO と CI はアクティブ Low になります。OFL は、モードにかかわらず常にアクティブ High です。

### 論理表

入力			出力
ADD	A	B	S
1	A <sub>n</sub>	B <sub>n</sub>	A <sub>n</sub> + B <sub>n</sub> + CI*
0	A <sub>n</sub>	B <sub>n</sub>	A <sub>n</sub> - B <sub>n</sub> - CI*
CI*: ADD = 0、CI、CO アクティブ Low			
CI*: ADD = 1、CI、CO アクティブ High			

**符号なし 2 進数と 2 の補数**：このデザイン エLEMENT は、16 ビットの符号なし 2 進数または 16 ビットの 2 の補数処理できます。符号なし 2 進数が入力されると、符号なし 2 進数が出力されます。2 の補数が入力されると、2 の補数が出力されます。この 2 つの唯一の機能的な違いは、オーバーフローの認識方法にあり、オーバーフローの発生を認識するのに符号なし 2 進数では CO が使用され、2 の補数では OFL が使用されます。

加減算器では、符号なし 2 進演算でも 2 の補数演算でもオーバーフローが発生します。演算結果がオーバーフローになる場合、オーバーフローが生成されます。同様に、演算結果が桁上がりする場合、キャリー出力が生成されます。

**符号なし 2 進演算**：符号なし 2 進演算の場合、0 ～ 65535 までの数を表現できます。加算モードでは、加算結果が加減算器の範囲を超えると CO がアクティブ (High) になります。減算モードでは、減算器の範囲を超えると CO がアクティブ Low のボロアウトで、Low になります。

符号なし 2 進数のオーバーフローは、常にアクティブ High で、ADD と CO を次のようにゲート接続すると発生させることができます。

符号なしオーバーフロー = CO XOR ADD

符号なし 2 進演算では、OFL は無視されます。

**2 の補数演算** : 2 の補数演算の場合、-32768 から +32767 までの数を表現できます。

加算または減算の結果がこの範囲を超えると、OFL 出力が High になります。2 の補数演算では、CO は無視されます。

## デザインの入力方法

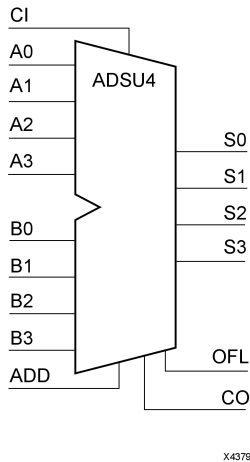
このエレメントは、回路図でのみ使用できます。

## 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## ADSU4

マクロ：4-Bit Cascadable Adder/Subtractor with Carry-In, Carry-Out, and Overflow



### 概要

ADD が High の場合、2 つの 4 ビットワード (A3 ～ A0 と B3 ～ B0) とキャリー入力 (CI) を加算し、4 ビットの和 (S3 ～ S0) とキャリー出力 (CO) (またはオーバーフロー (OFL)) を出力します。

ADD 入力 Low の場合、A3 ～ A0 から B3 ～ B0 を減算し、4 ビットの差 (S3 ～ S0) とキャリー出力 (CO) またはオーバーフロー (OFL) を出力します。

加算モードでは、CO と CI はアクティブ High になります。減算モードでは、CO と CI はアクティブ Low になります。OFL は、モードにかかわらず常にアクティブ High です。

### 論理表

入力			出力
ADD	A	B	S
1	A <sub>n</sub>	B <sub>n</sub>	A <sub>n</sub> + B <sub>n</sub> + CI*
0	A <sub>n</sub>	B <sub>n</sub>	A <sub>n</sub> - B <sub>n</sub> - CI*
CI* : ADD = 0、CI、CO アクティブ Low			
CI* : ADD = 1、CI、CO アクティブ High			

**符号なし 2 進数と 2 の補数：**このデザイン エLEMENT は、4 ビットの符号なし 2 進数または 4 ビットの 2 の補数を処理できます。符号なし 2 進数が入力されると、符号なし 2 進数が出力されます。2 の補数が入力されると、2 の補数が出力されます。この 2 つの唯一の機能的な違いは、オーバーフローの認識方法にあり、オーバーフローの発生を認識するのに符号なし 2 進数では CO が使用され、2 の補数では OFL が使用されます。

加減算器では、符号なし 2 進演算でも 2 の補数演算でもオーバーフローが発生します。演算結果がオーバーフローになる場合、オーバーフローが生成されます。同様に、演算結果が桁上がりする場合、キャリー出力が生成されます。

**符号なし 2 進演算：**符号なし 2 進演算の場合、0 ～ 15 までの数を表現できます。加算モードでは、加算結果が加減算器の範囲を超えると CO がアクティブ (High) になります。減算モードでは、減算器の範囲を超えると CO がアクティブ Low のボローアウトで、Low になります。

符号なし 2 進数のオーバーフローは、常にアクティブ High で、ADD と CO を次のようにゲート接続すると発生させることができます。

符号なしオーバーフロー = CO XOR ADD

符号なし 2 進演算では、OFL は無視されます。

**2 の補数演算**：2 の補数演算の場合、-8 から +7 までの数を表現できます。

加算または減算の結果がこの範囲を超えると、OFL 出力が High になります。2 の補数演算では、CO は無視されます。

## デザインの入力方法

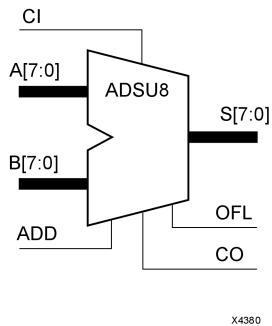
このELEMENTは、回路図でのみ使用できます。

## 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## ADSU8

### マクロ：8-Bit Cascadable Adder/Subtractor with Carry-In, Carry-Out, and Overflow



### 概要

ADD が High の場合、2 つの 8 ビットワード (A7 ～ A0 と B7 ～ B0) とキャリー入力 (CI) を加算し、8 ビットの和 (S7 ～ S0) とキャリー出力 (CO) (またはオーバーフロー (OFL)) を出力します。

ADD 入力が Low の場合、A7 ～ A0 から B7 ～ B0 を減算し、8 ビットの差 (S7 ～ S0) とキャリー出力 (CO) またはオーバーフロー (OFL) を出力します。

加算モードでは、CO と CI はアクティブ High になります。減算モードでは、CO と CI はアクティブ Low になります。OFL は、モードにかかわらず常にアクティブ High です。

### 論理表

入力			出力
ADD	A	B	S
1	A <sub>n</sub>	B <sub>n</sub>	A <sub>n</sub> + B <sub>n</sub> + CI*
0	A <sub>n</sub>	B <sub>n</sub>	A <sub>n</sub> - B <sub>n</sub> - CI*
CI* : ADD = 0、CI、CO アクティブ Low			
CI* : ADD = 1、CI、CO アクティブ High			

**符号なし 2 進数と 2 の補数：**このデザイン エLEMENT は、8 ビットの符号なし 2 進数または 8 ビットの 2 の補数を処理できます。符号なし 2 進数が入力されると、符号なし 2 進数が出力されます。2 の補数が入力されると、2 の補数が出力されます。この 2 つの唯一の機能的な違いは、オーバーフローの認識方法にあり、オーバーフローの発生を認識するのに符号なし 2 進数では CO が使用され、2 の補数では OFL が使用されます。

加減算器では、符号なし 2 進演算でも 2 の補数演算でもオーバーフローが発生します。演算結果がオーバーフローになる場合、オーバーフローが生成されます。同様に、演算結果が桁上がりする場合、キャリー出力が生成されます。

**符号なし 2 進演算：**符号なし 2 進演算の場合、0 ～ 255 までの数を表現できます。加算モードでは、加算結果が加減算器の範囲を超えると CO がアクティブ (High) になります。減算モードでは、減算器の範囲を超えると CO がアクティブ Low のボロアウトで、Low になります。

符号なし 2 進数のオーバーフローは、常にアクティブ High で、ADD と CO を次のようにゲート接続すると発生させることができます。

符号なしオーバーフロー = CO XOR ADD

符号なし 2 進演算では、OFL は無視されます。

**2 の補数演算**：2 の補数演算の場合、-128 から +127 までの数を表現できます。

加算または減算の結果がこの範囲を超えると、OFL 出力が High になります。2 の補数演算では、CO は無視されます。

## デザインの入力方法

このエレメントは、回路図でのみ使用できます。

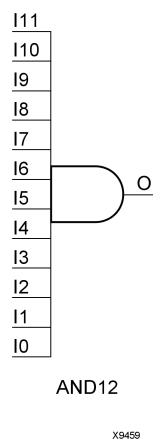
## 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)



## AND12

マクロ：12- Input AND Gate with Non-Inverted Inputs



### 概要

5 入力までの AND ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の AND ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転させるには、外部インバーターを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

### デザインの入力方法

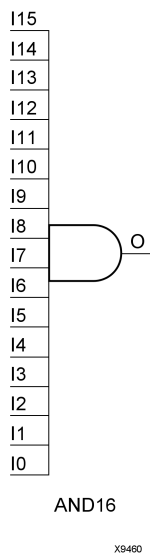
このエレメントは、回路図でのみ使用できます。

### 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## AND16

### 16- Input AND Gate with Non-Inverted Inputs



## 概要

5 入力までの AND ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の AND ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転させるには、外部インバーターを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

## デザインの入力方法

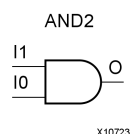
このエレメントは、回路図でのみ使用できます。

## 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## AND2

### プリミティブ：2-Input AND Gate with Non-Inverted Inputs



## 概要

5 入力までの AND ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の AND ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転させるには、外部インバーターを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

## デザインの入力方法

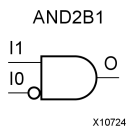
このエレメントは、回路図でのみ使用できます。

## 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## AND2B1

プリミティブ：2-Input AND Gate with 1 Inverted and 1 Non-Inverted Inputs



### 概要

5 入力までの AND ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の AND ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転させるには、外部インバーターを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

### デザインの入力方法

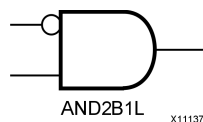
このエレメントは、回路図でのみ使用できます。

### 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## AND2B1L

プリミティブ：Two input AND gate implemented in place of a Slice Latch



### 概要

このデザイン エLEMENTでは、コンフィギュレーション可能なスライス ラッチで 1 入力 が反転される 2 入力 AND ゲートのファンクションが使用されます。このELEMENTを使用すると、ロジックのレジスタ/ラッチ リソース数をトレードオフにすることで、ロジックレベルを削減して、デバイスのロジック集積度を高めることができます。このELEMENTはレジスタのパックおよび集積度に影響を与えるので注意してください。AND2B1L または OR2L ELEMENTをスライスに指定すると、残りのレジスタおよびラッチが使用できなくなります。

### 論理表

入力		出力
DI	SRI	O
0	0	0
0	1	0
1	0	1
1	1	0

### ポートの説明

ポート名	方向	幅	機能
O	出力	1	AND ゲートの出力
DI	入力	1	同じスライスにあるソース LUT に通常接続されるアクティブ High の入力
SRI	入力	1	通常スライス外からソースされるアクティブ Low の入力  メモ：複数の AND2B1L または OR2B1L を 1 つのスライスにパックするには、この入力に共通の信号を接続する必要があります。

### デザインの入力方法

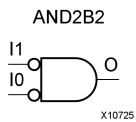
このELEMENTは、回路図で使用できます。

### 詳細情報

- ・ [7 シリーズ FPGA SelectIO リソース ユーザー ガイド](#)
- ・ [7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## AND2B2

### プリミティブ：2-Input AND Gate with Inverted Inputs



### 概要

5 入力までの AND ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の AND ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転させるには、外部インバーターを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

### デザインの入力方法

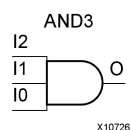
このエレメントは、回路図でのみ使用できます。

### 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## AND3

プリミティブ：3-Input AND Gate with Non-Inverted Inputs



### 概要

5 入力までの AND ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の AND ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転させるには、外部インバーターを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

### デザインの入力方法

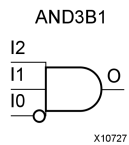
このエレメントは、回路図でのみ使用できます。

### 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## AND3B1

プリミティブ：3-Input AND Gate with 1 Inverted and 2 Non-Inverted Inputs



### 概要

5 入力までの AND ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の AND ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転させるには、外部インバーターを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

### デザインの入力方法

このエレメントは、回路図でのみ使用できます。

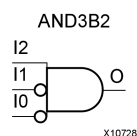
### 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)



## AND3B2

プリミティブ：3-Input AND Gate with 2 Inverted and 1 Non-Inverted Inputs



### 概要

5 入力までの AND ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の AND ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転させるには、外部インバーターを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

### デザインの入力方法

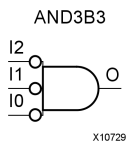
このエレメントは、回路図でのみ使用できます。

### 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## AND3B3

### プリミティブ：3-Input AND Gate with Inverted Inputs



### 概要

5 入力までの AND ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の AND ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転させるには、外部インバーターを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

### デザインの入力方法

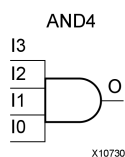
このエレメントは、回路図でのみ使用できます。

### 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## AND4

プリミティブ：4-Input AND Gate with Non-Inverted Inputs



### 概要

5 入力までの AND ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の AND ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転させるには、外部インバーターを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

### デザインの入力方法

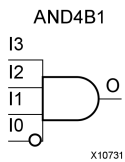
このエレメントは、回路図でのみ使用できます。

### 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## AND4B1

プリミティブ：4-Input AND Gate with 1 Inverted and 3 Non-Inverted Inputs



### 概要

5 入力までの AND ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の AND ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転させるには、外部インバーターを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

### デザインの入力方法

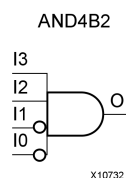
このエレメントは、回路図でのみ使用できます。

### 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## AND4B2

プリミティブ : 4-Input AND Gate with 2 Inverted and 2 Non-Inverted Inputs



### 概要

5 入力までの AND ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の AND ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転させるには、外部インバーターを使用します。各入力に CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

### デザインの入力方法

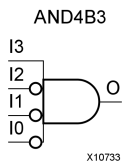
このエレメントは、回路図でのみ使用できます。

### 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## AND4B3

プリミティブ：4-Input AND Gate with 3 Inverted and 1 Non-Inverted Inputs



### 概要

5 入力までの AND ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の AND ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転させるには、外部インバーターを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

### デザインの入力方法

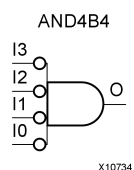
このエレメントは、回路図でのみ使用できます。

### 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## AND4B4

### プリミティブ：4-Input AND Gate with Inverted Inputs



## 概要

5 入力までの AND ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の AND ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転させるには、外部インバーターを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

## デザインの入力方法

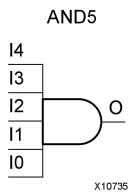
このエレメントは、回路図でのみ使用できます。

## 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## AND5

プリミティブ：5-Input AND Gate with Non-Inverted Inputs



### 概要

5 入力までの AND ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の AND ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転させるには、外部インバーターを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

### デザインの入力方法

このエレメントは、回路図でのみ使用できます。

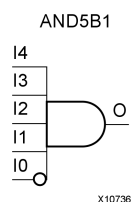
### 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)



## AND5B1

プリミティブ：5-Input AND Gate with 1 Inverted and 4 Non-Inverted Inputs



### 概要

5 入力までの AND ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の AND ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転させるには、外部インバーターを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

### デザインの入力方法

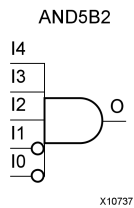
このエレメントは、回路図でのみ使用できます。

### 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## AND5B2

プリミティブ：5-Input AND Gate with 2 Inverted and 3 Non-Inverted Inputs



### 概要

5 入力までの AND ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の AND ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転させるには、外部インバーターを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

### デザインの入力方法

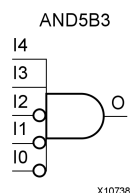
このエレメントは、回路図でのみ使用できます。

### 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## AND5B3

プリミティブ : 5-Input AND Gate with 3 Inverted and 2 Non-Inverted Inputs



### 概要

5 入力までの AND ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の AND ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転させるには、外部インバーターを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

### デザインの入力方法

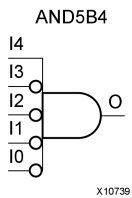
このエレメントは、回路図でのみ使用できます。

### 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## AND5B4

プリミティブ：5-Input AND Gate with 4 Inverted and 1 Non-Inverted Inputs



### 概要

5 入力までの AND ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の AND ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転させるには、外部インバーターを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

### デザインの入力方法

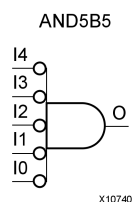
このエレメントは、回路図でのみ使用できます。

### 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## AND5B5

### プリミティブ：5-Input AND Gate with Inverted Inputs



### 概要

5 入力までの AND ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の AND ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転させるには、外部インバーターを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

### デザインの入力方法

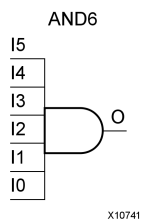
このエレメントは、回路図でのみ使用できます。

### 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## AND6

マクロ：6-Input AND Gate with Non-Inverted Inputs



### 概要

5 入力までの AND ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の AND ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転させるには、外部インバーターを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

### デザインの入力方法

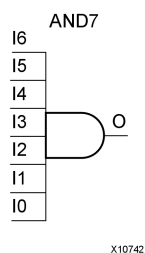
このエレメントは、回路図でのみ使用できます。

### 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## AND7

マクロ：7-Input AND Gate with Non-Inverted Inputs



### 概要

5 入力までの AND ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の AND ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転させるには、外部インバーターを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

### デザインの入力方法

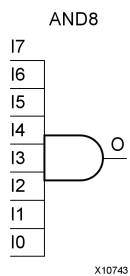
このエレメントは、回路図でのみ使用できます。

### 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## AND8

マクロ：8-Input AND Gate with Non-Inverted Inputs



### 概要

5 入力までの AND ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の AND ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転させるには、外部インバーターを使用します。各入力に CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

### デザインの入力方法

このエレメントは、回路図でのみ使用できます。

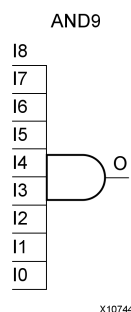
### 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)



## AND9

マクロ : 9-Input AND Gate with Non-Inverted Inputs



### 概要

5 入力までの AND ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の AND ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転させるには、外部インバーターを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

### デザインの入力方法

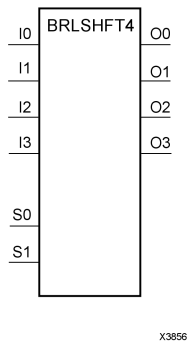
このエレメントは、回路図でのみ使用できます。

### 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## BRLSHFT4

### マクロ : 4-Bit Barrel Shifter



### 概要

このデザイン エレメントは 4 ビットのバレル シフターで、4 つの入力 (I3 ~ I0) を 4 回までローテーションできます。制御入力 (S1 と S0) は、データをローテーションする回数 (1 ~ 4) を指定します。4 つの出力 (O3 ~ O0) には、ローテーションされたデータ入力が出力されます。

### 論理表

入力						出力			
S1	S0	I0	I1	I2	I3	O0	O1	O2	O3
0	0	a	b	c	d	a	b	c	d
0	1	a	b	c	d	b	c	d	a
1	0	a	b	c	d	c	d	a	b
1	1	a	b	c	d	d	a	b	c

### デザインの入力方法

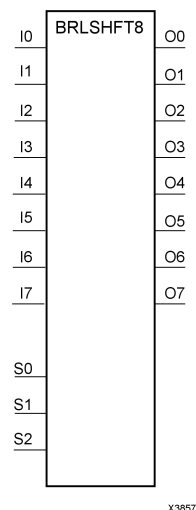
このエレメントは、回路図でのみ使用できます。

### 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## BRLSHFT8

### マクロ：8-Bit Barrel Shifter



### 概要

このデザイン エレメントは、8 ビットのバレル シフターで、8 つの入力 (I7 ~ I0) を 8 回までローテーションできます。制御入力 (S2 ~ S0) は、データをローテーションする回数 (1 ~ 8) を指定します。8 つの出力 (O7 ~ O0) には、ローテーションされたデータ入力が出力されます。

### 論理表

入力											出力							
S2	S1	S0	I0	I1	I2	I3	I4	I5	I6	I7	O0	O1	O2	O3	O4	O5	O6	O7
0	0	0	a	b	c	d	e	f	g	h	a	b	c	d	e	f	g	h
0	0	1	a	b	c	d	e	f	g	h	b	c	d	e	f	g	h	a
0	1	0	a	b	c	d	e	f	g	h	c	d	e	f	g	h	a	b
0	1	1	a	b	c	d	e	f	g	h	d	e	f	g	h	a	b	c
1	0	0	a	b	c	d	e	f	g	h	e	f	g	h	a	b	c	d
1	0	1	a	b	c	d	e	f	g	h	f	g	h	a	b	c	d	e
1	1	0	a	b	c	d	e	f	g	h	g	h	a	b	c	d	e	f
1	1	1	a	b	c	d	e	f	g	h	h	a	b	c	d	e	f	g

### デザインの入力方法

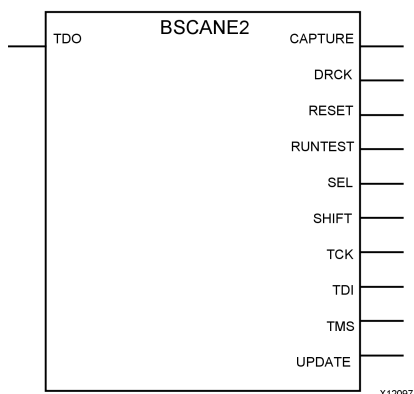
このエレメントは、回路図でのみ使用できます。

### 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## BSCANE2

### プリミティブ：Boundary-Scan User Instruction



### 概要

このデザイン エレメントを使用すると、JTAG バウンダリ スキャン ロジック コントローラを介して内部ロジックへアクセスできるので、内部実行デザインと FPGA の専用 JTAG ピン間の通信が可能になります。このデザイン エレメントの各インスタンスでは、JTAG\_CHAIN 属性の設定に従い、JTAG USER 命令 1 つ (USER1 から USER4 まで) が処理されます。USER 命令の 4 つをすべて処理するには、エレメントを 4 つインスタンス化し JTAG\_CHAIN 属性を設定します。バウンダリ スキャンの詳細については、コンフィギュレーション ユーザー ガイドを参照してください。

### ポートの説明

ポート名	方向	幅	説明
CAPTURE	出力	1	TAP コントローラの CAPTURE 出力
DRCK	出力	1	ゲート付き TCK 出力。SEL がアサートされているときに CAPTURE または SHIFT がアサートされるとトグルします。
RESET	出力	1	TAP コントローラのリセット出力
RUNTEST	出力	1	TAP コントローラが Run Test/Idle ステートのときにアサートされます。
SEL	出力	1	USER 命令アクティブ出力
SHIFT	出力	1	TAP コントローラの SHIFT 出力
TCK	出力	1	テストクロック出力。TAP クロック ピンへのファブリック接続。
TDI	出力	1	TAP コントローラからのテスト データ入力 (TDI) 出力
TDO	入力	1	USER ファンクションのテスト データ出力 (TDO) 入力
TMS	出力	1	テスト モード セレクト出力。TAP へのファブリック接続。
UPDATE	出力	1	TAP コントローラの UPDATE 出力

### デザインの入力方法

このエレメントは、回路図で使用できます。

## 使用可能な属性

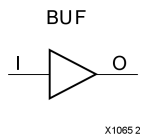
属性	データ型	値	デフォルト	説明
JTAG_CHAIN	10 進数	1、2、3、4	1	USER コマンドの値を指定します。

詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## BUF

プリミティブ：General Purpose Buffer



### 概要

このデザイン エLEMENTは、汎用の非反転バッファです。

このELEMENTは不要なので、MAP によって削除されます。

### デザインの入力方法

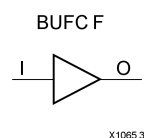
このELEMENTは、回路図でのみ使用できます。

### 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## BUFCF

プリミティブ：Fast Connect Buffer



### 概要

このデザイン エLEMENTは、一部の専用ロジックと LUT の出力を別の LUT の入力に直接接続するために使用する、単一の高速結合バッファです。このバッファを使用すると、CLB パックも行われます。LUT は、4 つまで 1 つのグループとして接続できます。

### デザインの入力方法

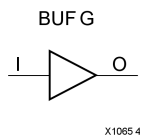
このELEMENTは、回路図で使用できます。

### 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## BUFG

### プリミティブ：Global Clock Buffer



### 概要

このデザイン エLEMENTは、ファンアウトが大きいバッファで、スキューを抑えて信号を分散するために、グローバル配線リソースへの信号に接続します。BUFG は、通常セット/リセットやクロック イネーブルなどのファンアウトの大きいネットやクロック ネットに使用されます。

### ポートの説明

ポート名	方向	幅	機能
I	入力	1	クロック入力
O	出力	1	クロック出力

### デザインの入力方法

このELEMENTは、回路図で使用できます。

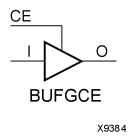
### 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)



## BUFGCE

プリミティブ：Global Clock Buffer with Clock Enable



### 概要

このデザイン エLEMENTは、クロック イネーブル付きグローバル クロック バッファです。O 出力は、クロック イネーブル (CE) が Low (非アクティブ) のときに 0 になります。CE が High になると、I 入力の値が O に出力されます。

### 論理表

入力		出力
I	CE	O
X	0	0
I	1	I

### デザインの入力方法

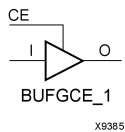
このELEMENTは、回路図で使用できます。

### 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## BUFGCE\_1

**プリミティブ**：Global Clock Buffer with Clock Enable and Output State 1



### 概要

このデザイン エレメントは、クロック イネーブル付きグローバル クロック バッファです。O 出力は、クロック イネーブル (CE) が Low (非アクティブ) のときに High (1) になります。CE が High になると、I 入力の値が O に出力されます。

### 論理表

入力		出力
I	CE	O
X	0	1
I	1	I

### ポートの説明

ポート名	方向	幅	機能
I	入力	1	クロック バッファ入力
CE	入力	1	クロック イネーブル入力
O	出力	1	クロック バッファ出力

### デザインの入力方法

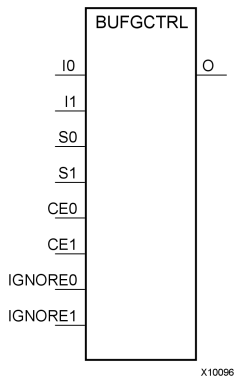
このエレメントは、回路図で使用できます。

### 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## BUFGCTRL

### プリミティブ：Global Clock Control Buffer



### 概要

BUFGCTRL は、2 つのクロック入力を持ち、同期/非同期のグリッチレス 2:1 マルチプレクサーとして機能する 7 シリーズのグローバル クロック バッファです。グローバル クロック バッファと異なり、多種の機能を使用したり効率的な入力の切り替えを可能にする制御ピンが追加されています。BUFGCTRL は、クロック供給以外の用途にも使用できます。

### ポートの説明

ポート名	方向	幅	機能
CE0	入力	1	I0 クロック入力のクロック イネーブル入力。入力をイネーブルするために CE0 ピンを使用する場合は、セットアップ/ホールド タイムを満たす必要があります。要件を満たさない場合、クロックでグリッチが発生する可能性があります。
CE1	入力	1	I1 クロック入力のクロック イネーブル入力。入力をイネーブルするために CE1 ピンを使用する場合は、セットアップ/ホールド タイムを満たす必要があります。要件を満たさない場合、クロックでグリッチが発生する可能性があります。
IGNORE0	入力	1	I0 入力のクロック IGNORE 入力。IGNORE ピンをアサートすると、BUFGCTRL がバイパスされ、2 つのクロック入力間の切り替え条件の検出時に無視されます。つまり、IGNORE ピンのアサート時は、セレクトピンが変更されると直ちにマルチプレクサーにより入力が切り替わります。セレクトピンが変更されると、IGNORE0 ピンは出力を I0 入力から切り替え、IGNORE1 ピンは I1 入力から切り替えます。
IGNORE1	入力	1	I1 入力のクロック IGNORE 入力。IGNORE ピンをアサートすると、BUFGCTRL がバイパスされ、2 つのクロック入力間の切り替え条件の検出時に無視されます。つまり、IGNORE ピンのアサート時は、セレクトピンが変更されると直ちにマルチプレクサーにより入力が切り替わります。セレクトピンが変更されると、IGNORE0 ピンは出力を I0 入力から切り替え、IGNORE1 ピンは I1 入力から切り替えます。
I0	入力	1	CE0 入力でイネーブルされ、S0 入力で選択される BUFGCTRL への主要クロック入力

ポート名	方向	幅	機能
I1	入力	1	CE1 入力でイネーブルされ、S1 入力で選択される BUFGCTRL へのセカンダリ クロック入力
O	出力	1	クロック出力
S0	入力	1	I0 のクロック セレクト入力。S ピンは、各クロック入力ピンのクロック セレクト入力です。S ピンをクロック セレクト入力として使用する場合は、セットアップおよびホールド タイム要件を満たす必要があります。CE ピンとは異なり、要件を満たさなくてもクロック グリッチが発生することはありませんが、出力クロックがピンに現れるのが 1 クロック サイクル後になる場合があります。
S1	入力	1	I1 のクロック セレクト入力。S ピンは、各クロック入力ピンのクロック セレクト入力です。S ピンをクロック セレクト入力として使用する場合は、セットアップおよびホールド タイム要件を満たす必要があります。CE ピンとは異なり、要件を満たさなくてもクロック グリッチが発生することはありませんが、出力クロックがピンに現れるのが 1 クロック サイクル後になる場合があります。

## デザインの入力方法

このエレメントは、回路図で使用できます。

## 使用可能な属性

属性	データ型	値	デフォルト	説明
INIT_OUT	10 進数	0、1	0	コンフィギュレーション後の BUFGCTRL 出力の初期値を指定
PRESELECT_I0	ブール代数	FALSE、TRUE	FALSE	TRUE に設定すると、コンフィギュレーション後に I0 入力が出力されます。
PRESELECT_I1	ブール代数	FALSE、TRUE	FALSE	TRUE に設定すると、コンフィギュレーション後に I1 入力が出力されます。

メモ：2 つの PRESELECT 属性を同時に TRUE にすることはできません。

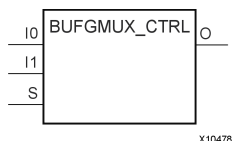
## 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)



## BUFGMUX\_CTRL

### プリミティブ：2-to-1 Global Clock MUX Buffer



### 概要

このデザイン エレメントは、2 つのクロック入力、1 つのクロック出力、セレクト入力を持つクロック バッファです。このセレクト入力は、グローバル クロック リソースを駆動する 2 つのクロックのいずれかを選択するときに使用します。このコンポーネントは BUFGCTRL に基づいており、一部のピンが High または Low に接続されています。このエレメントは、S ピンを 2:1 マルチプレクサーのセレクトピンとして使用します。この S ピンは、バッファの出力にグリッチを発生させることなく、いつでも切り替えることができます。

### ポートの説明

ポート名	方向	幅	機能
O	出力	1 ビット	クロック出力
I0	入力	1 ビット	2 つのクロック入力の 1 つ
I1	入力	1 ビット	2 つのクロック入力の 1 つ
S	入力	1 ビット	I0 (S=0) または I1 (S=1) クロック出力の選択

### デザインの入力方法

このエレメントは、回路図で使用できます。

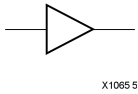
### 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## BUFGP

### プリミティブ : Primary Global Buffer for Driving Clocks

BUFGP



### 概要

BUFGP はプライマリ グローバル バッファーで、FPGA デバイス内でファンアウトの高いクロックまたは制御信号を分配するために使用されます。これは BUFG を駆動する IBUFG と同等です。

このエレメントを使用すると、コンフィギャブル ロジック ブロック (CLB) および I/O ブロック (IOB) のクロック ピンに直接アクセスでき、ほかの CLB 入力には制限付きでアクセスできます。BUFGP への入力は、専用 IOB からのみ供給されます。構造上、このエレメントは常にクロック ピンに直接アクセスできるようになっています。ただし、BUFGP がデバイスのどのエッジに配置されているかによって、F3、G1、C3、C1 ピンのいずれか 1 つにしかアクセスできません。必要なピンに垂直ラインから直接アクセスできない場合、PAR で別の CLB を通して信号が送られ、汎用配線を使用してそのロード ピンにアクセスします。

### デザインの入力方法

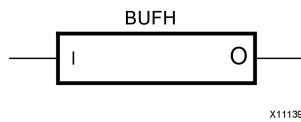
このエレメントは、回路図でのみ使用できます。

### 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## BUFH

### プリミティブ：HROW Clock Buffer for a Single Clocking Region



## 概要

BUFH プリミティブは、グローバル バッファ (BUFG) リソースのクロック領域エントリ ポイントに直接アクセスできます。これにより、未使用部分のグローバル クロック ネットワークを高速、低スキューのローカル (1 つのクロック領域) 配線リソースとして使用できます。このコンポーネントの使用の詳細は、『7 シリーズ FPGA クロッキング リソース ユーザー ガイド』を参照してください。

## ポートの説明

ポート名	方向	幅	説明
I	入力	1	クロック入力
O	出力	1	クロック出力

## デザインの入力方法

このエレメントは、回路図で使用できます。

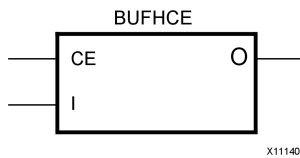
## 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)



## BUFHCE

プリミティブ：HROW Clock Buffer for a Single Clocking Region with Clock Enable



### 概要

BUFHCE は、グローバル バッファ (BUFG) リソースのクロック領域エントリ ポイントに直接アクセスできます。これにより、未使用部分のグローバル クロック ネットワークを高速、低スキューのローカル (1 つのクロック 領域) 配線リソースとして使用できます。また、CE またはクロック イネーブル入力では、定期的に使用されないデザインの回路またはデザイン箇所に対して精密なクロック イネーブルまたはクロック ゲーティングを使用して、消費電力を抑えることができます。このコンポーネントの使用の詳細は、『[7 シリーズ FPGA クロックリソース ユーザー ガイド](#)』(UG472) を参照してください。

### ポートの説明

ポート名	方向	幅	機能
CE	入力	1	I から O への信号伝播をイネーブルにします。Low のときは出力から INIT_OUT 値への遷移でグリッチが発生しません。
I	入力	1	クロック入力
O	出力	1	クロック出力

### デザインの入力方法

このエレメントは、回路図で使用できます。

### 使用可能な属性

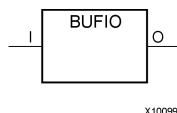
属性	データ型	値	デフォルト	説明
CE_TYPE	文字列	"SYNC"、"ASYNC"	"SYNC"	"SYNC" のときは、クロック イネーブルで INIT_OUT 値への遷移または INIT_OUT 値からの遷移でグリッチが発生しません。"ASYNC" のときは、クロックを停止したり、クロック バッファの代わりにファンアウト制御またはデータ パス配線のために BUFHCE 使用するときなど、遷移をすぐに発生させるときに使用します。
INIT_OUT	10 進数	0、1	0	初期出力値で、停止が Low か High かを示します。

### 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## BUFIO

**プリミティブ**：Local Clock Buffer for I/O



### 概要

BUFIO は、単純な clock-in/clock-out バッファです。I/O 列の専用クロック ネットを駆動し、グローバル クロック リソースからは独立しているため、ソース同期データ キャプチャ (転送/受信クロック分配) に適しています。これらは、同じクロック領域に配置されている専用の MRCC I/O または複数クロック領域へのクロック供給を可能にする BUFMRCE/BUFMR コンポーネントで駆動できます。BUFIO では、同じバンクに含まれる I/O コンポーネントのみを駆動できます。ただし、I/O クロック ネットワークの範囲は I/O 列までなので、CLB やブロック RAM などのロジック リソースは駆動できません。

### ポートの説明

ポート名	方向	幅	説明
I	入力	1	クロック バッファへの入力ポート。最上位ポートに接続されている IBUFG または関連する BUFMR バッファに接続します。
O	出力	1	クロック バッファからの出力ポート。ISERDESE2、OSERDESE2、IDDR、または ODDR などの同期 I/O コンポーネントに接続するか、または推論またはインスタンス化されている I/O ポートに直接接続されているレジスタに接続します。

### デザインの入力方法

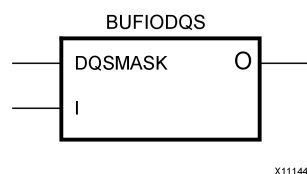
このエレメントは、回路図で使用できます。

### 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## BUFIODQS

**プリミティブ：Differential Clock Input for Transceiver Reference Clocks**



### 概要

メモリ アプリケーションの使用に理想的な追加専用回路付き BUFIO と同じクロック バッファで、オプションで余分な BUFIO 遅延を削除し、ストロープからのバースト長の後に I/O クロックをスケルチします。通常、このコンポーネントはザイリンクス MIG (Memory Interface Generator) 製品とのみ使用してください。

### ポートの説明

ポート名	方向	幅	機能
DQSMASK	入力	1	ストロープからのバースト長の後に I/O クロックをスケルチします。
I	入力	1	クロック入力ポート
O	出力	1	クロック出力ポート

### デザインの入力方法

このエレメントは、回路図で使用できます。

### 使用可能な属性

属性	データ型	値	デフォルト	説明
DQSMASK_ENABLE	ブール代数	FALSE、TRUE	FALSE	スケルチ回路を有効にします。

### 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## BUFMR

**プリミティブ：Multi-Region Clock Buffer**



### 概要

BUFMR は、単純な clock-in/clock-out バッファです。BUFMR は、以前の Virtex アーキテクチャで使用可能な BUFR および BUFIO の複数領域/バンク サポートを置き換えるエレメントです。各バンクには BUFMR が 2 個含まれており、バッファはそれぞれ同じバンクの特定の MRCC で駆動できます。BUFMR では、同じ領域/バンクおよび I/O クロッキング バックボーンを介した上下の領域に含まれる BUFIO と BUFR の両方またはいずれかが駆動されます。バイパスモードではなくクロック分周器を使用して BUFR を駆動するときは BUFMR の代わりに BUFMRCE を使用してください。

### ポートの説明

ポート名	方向	幅	機能
I	入力	1	BUFMR クロック入力ピン。MRCC I/O ポートに直接接続されている IBUFG 入力に接続します。
O	出力	1	BUFMR クロック出力ピン。同じまたは隣接する領域で駆動される BUFIO と BUFR の両方またはいずれかに接続します。

### デザインの入力方法

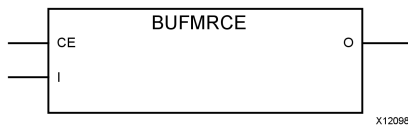
このエレメントは、回路図で使用できます。

### 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## BUFMRCE

### プリミティブ：Multi-Region Clock Buffer with Clock Enable



### 概要

BUFMRCE は、クロック イネーブル (CE) が付いた単純な clock-in/clock-out バッファです。CE をアサートすると、出力クロックがユーザー指定の値で停止します。BUFMRCE は、以前の Virtex アーキテクチャで使用可能な BUFR および BUFIO の複数領域/バンク サポートを置き換えるエレメントです。各バンクには BUFMRCE が 2 個含まれており、バッファはそれぞれ同じバンクの特定の MRCC で駆動できます。BUFMR では、同じ領域/バンクおよび I/O クロッキング バックポーを介した上下の領域に含まれる BUFIO と BUFR の両方またはいずれかが駆動されます。バイパスされていない BUFR 分周器をバイパスするときは、CE ピンをディアサートして BUFMRCE をディスエーブルし、CLR をアサートして BUFR をリセットする必要があります。この後に、CE 信号をアサートします。この順序に従うことで、すべての BUFR 出力クロックの位相が揃います。BUFR 内の分周器を使用しない場合は、この回路は不要です。クロック イネーブル回路が不要な場合は、BUFMRCE の代わりに BUFR コンポーネントを使用してください。

### ポートの説明

ポート名	方向	幅	機能
CE	入力	1	アクティブ High のバッファ イネーブル入力。Low のときは、出力が INIT_OUT 値になります。
I	入力	1	BUFR クロック入力ピン。MRCC I/O ポートに直接接続されている IBUFG 入力に接続します。
O	出力	1	BUFR クロック出力ピン。同じまたは隣接する領域で駆動される BUFIO と BUFR の両方またはいずれかに接続します。

### デザインの入力方法

このエレメントは、回路図で使用できます。

### 使用可能な属性

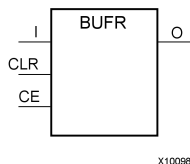
属性	データ型	値	デフォルト	説明
CE_TYPE	文字列	"SYNC"、"ASYN"	"SYNC"	CE を入力 I に同期させてグリッチが発生しない出力を生成する場合は "SYNC" に設定します。CE 信号のクロックが停止されていたり、またはクロックでの操作がない場合は、"ASYN" を設定します。
INIT_OUT	10 進数	0、1	0	初期出力値で、停止が Low か High かを示します。

### 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## BUFR

**プリミティブ**：Regional Clock Buffer for I/O and Logic Resources within a Clock Region



### 概要

BUFR は、7 シリーズで利用できるリージョナル クロック バッファです。グローバル クロック ツリーからは独立しており、クロック領域内の専用クロック ネットにクロック信号を供給します。BUFR では、BUFR が配置されている領域内のリージョナル クロック ネットを駆動できます。BUFR は、IBUFG、BUFRMCE、MMCM、またはローカル インターコネクトの出力のいずれかで駆動できます。クロック入力信号を分周したクロックを出力することもできます。分周の除算値は、1 ～ 8 の整数です。BUFR は、クロックドメインの切り替えやシリアルからパラレルへの変換が必要なソース同期アプリケーションに適しています。通常、1 つのクロック領域（リージョナル クロック ネットワーク 2 つ）には BUFR が 2 つ含まれます。複数のクロック領域でローカル クロッキングが必要な場合、BUFRMCE により隣接するクロック領域の BUFR を複数駆動して、クロック機能を拡張できます。詳細は、BUFRMCE を参照してください。

### ポートの説明

ポート名	方向	幅	機能
CE	入力	1	クロック イネーブル ポート Low にアサートされるとポート O の出力クロックがディスエーブルにされます。High にアサートされると、分周クロック出力を生成するのに使用するカウンタがリセットされます。BUFR_DIVIDE が "BYPASS" に設定されているときは、グラウンドに接続します。
CLR	入力	1	分周クロック出力用のカウンタ リセット。High になると、分周クロック出力を生成するために使用されたカウンタがリセットされます。BUFR_DIVIDE が "BYPASS" に設定されているときは、グラウンドに接続します。
I	入力	1	クロック入力ポート BUFR のクロック ソース ポートです。IBUFG、BUFRMCE、MMCM、またはローカルのインターコネクトにより駆動できます。
O	出力	1	クロック出力ポート BUFR のクロック領域に含まれるクロックトラックを駆動します。このポートは FPGA のクロックを供給するコンポーネントに接続します。

### デザインの入力方法

このエレメントは、回路図で使用できます。

### 使用可能な属性

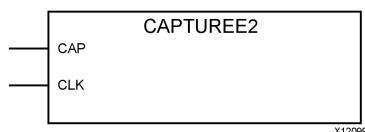
属性	データ型	値	デフォルト	説明
BUFR_DIVIDE	文字列	"BYPASS"、"1"、"2"、"3"、"4"、"5"、"6"、"7"、"8"	"BYPASS"	出力クロックに分周した入力クロックを使用する場合の分周率を指定します。
SIM_DEVICE	文字列	"7SERIES"、"VIRTEX4"、"VIRTEX5"、"VIRTEX6"	"7SERIES"	正しくシミュレーションが動作するよう、7 シリーズを使用するときは "7SERIES" に設定する必要があります。

## 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## CAPTUREE2

### プリミティブ：Register Capture



### 概要

このデザイン エレメントは、レジスタ (フリップフロップとラッチ) 情報のキャプチャ方法およびそのタイミングを制御します。リードバック機能は、専用のコンフィギュレーション ポート命令により提供されます。このエレメントを使用しない場合は、データはコンフィギュレーション クロックに同期してリードバックされます。このエレメントでは、レジスタ (フリップフロップとラッチ) の値のみをキャプチャできます。LUT RAM、SRL、ブロック RAM の値もリードバックされますが、キャプチャできません。CAP 信号を High にアサートすると、次にクロックが Low から High に切り替わるときにデバイス内のレジスタがキャプチャされます。デフォルトでは、トリガー (CAP をアサートしているときの CLK の遷移) のたびにデータがキャプチャされます。リードバック処理を 1 回のデータ キャプチャだけに制限するには、このエレメントに ONESHOT=TRUE 属性を追加します。

### ポートの説明

ポート名	方向	幅	機能
CAP	入力	1	キャプチャ入力
CLK	入力	1	クロック入力

### デザインの入力方法

このエレメントは、回路図で使用できます。

### 使用可能な属性

属性	データ型	値	デフォルト	説明
ONESHOT	文字列	"TRUE"、"FALSE"	"TRUE"	CAP のトリガーごとに 1 回のリードバックを実行します。

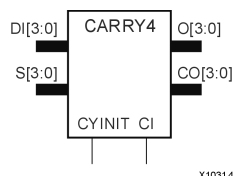
### 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)



## CARRY4

### プリミティブ：Fast Carry Logic with Look Ahead



### 概要

このデザイン エLEMENTは、スライスの高速キャリー ロジックです。キャリー チェーンには MUX および XOR がそれぞれ 4 個含まれています。これらの MUX および XOR はさらに複雑なファンクションを形成するために、専用配線を介してスライス内のその他のロジック (LUT) に接続されます。高速キャリー ロジックは、加算器、カウンタ、減算器、加減算器などの演算ファンクションの構築に加え、幅広のコンパレータ、アドレス デコーダ、ロジック ゲート (AND、OR、XOR など) などのその他のロジック ファンクションに使用できます。

### ポートの説明

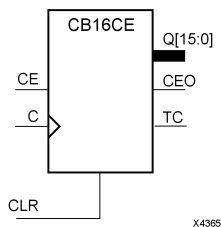
ポート名	方向	幅	機能
O	出力	4	キャリー チェーン XOR の通常データ出力
CO	出力	4	キャリー チェーンの各段のキャリー出力
DI	入力	4	キャリー MUX のデータ入力
S	入力	4	キャリー MUX のセレクト入力
CYINIT	入力	1	キャリー初期化入力
CI	入力	1	キャリー カスケード入力

### デザインの入力方法

このELEMENTは、回路図で使用できます。

## CB16CE

### マクロ：16-Bit Cascadable Binary Counter with Clock Enable and Asynchronous Clear



## 概要

このデザイン エレメントは、非同期クリア可能、カスケード可能なバイナリ カウンターです。非同期クリア (CLR) 入力が高になると、ほかのすべての入力は無視され、クロック (C) の遷移に関係なく、出力 (Q)、ターミナル カウンター (TC)、およびクロック イネーブル出力 (CEO) が 0 になります。クロック イネーブル入力 (CE) が High の場合、クロック (C) が Low から High に切り替わるときに出力 (Q) がインクリメントされます。CE が Low の場合、クロック遷移は無視されます。すべての Q 出力が高になると、TC 出力が高になります。

1 段目の CEO 出力を次の段の CE 入力に接続し、C および CLR 入力を並列に接続すると、より大型のカウンターを作成できます。TC と CE が High になると、CEO がアクティブ (High) になります。カウンターの長さの最大値は、CE ピンと TC ピン間の伝搬遅延の合計とクロック周期の関係によって決定されます。クロック周期は、 $n(t_{CE-TC})$  より大きい必要があります。ここで、 $n$  は段数、時間  $t_{CE-TC}$  は各段での CE ピンと TC ピン間の伝搬遅延を表します。カウンターをカスケードする場合、CE 入力を使用するときは CEO 出力を、CE 入力を使用しないときは TC 出力を使用します。

電力を供給すると、カウンターは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP\_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

## 論理表

入力			出力		
CLR	CE	C	Q <sub>z</sub> - Q <sub>0</sub>	TC	CEO
1	X	X	0	0	0
0	0	X	変化なし	変化なし	0
0	1	↑	インクリメント	TC	CEO
z = ビット幅 - 1 $TC = Q_z \cdot Q_{(z-1)} \cdot Q_{(z-2)} \cdot \dots \cdot Q_0$ $CEO = TC \cdot CE$					

## デザインの入力方法

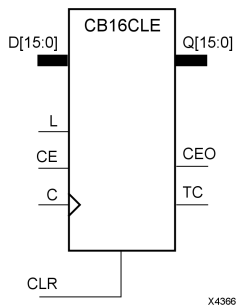
このエレメントは、回路図でのみ使用できます。

## 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## CB16CLE

**マクロ：16-Bit Loadable Cascadable Binary Counters with Clock Enable and Asynchronous Clear**



### 概要

このデザイン エLEMENTは、同期、ロード可能、非同期クリア可能、カスケード可能なバイナリ カウンターです。非同期クリア (CLR) 入力が高レベルになると、ほかのすべての入力は無視され、クロック (C) の遷移に関係なく、出力 (Q)、ターミナル カウンター (TC)、およびクロック イネーブル出力 (CEO) が 0 になります。ロード イネーブル入力 (L) が High の場合、クロックが Low から High に切り替わる時に、クロック イネーブル (CE) の値に関係なく、入力 (D) の値がカウンターにロードされます。CE が High の場合、クロックが Low から High に切り替わる時に Q 出力がインクリメントされます。CE が Low の場合、クロック遷移は無視されます。すべての Q 出力が高レベルになると、TC 出力が高レベルになります。

1 段目の CEO 出力を次の段の CE 入力に接続し、C、L、および CLR 入力を並列に接続すると、より大型のカウンターを作成できます。TC と CE が High になると、CEO がアクティブ (High) になります。カウンターの長さの最大値は、CE ピンと TC ピン間の伝搬遅延の合計とクロック周期の関係によって決定されます。クロック周期は、 $n(t_{CE-TC})$  より大きい必要があります。ここで、 $n$  は段数、時間  $t_{CE-TC}$  は各段での CE ピンと TC ピン間の伝搬遅延を表します。カウンターをカスケードする場合、CE 入力を使用するときは CEO 出力を、CE 入力を使用しないときは TC 出力を使用します。

電力を供給すると、カウンターは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP\_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

### 論理表

入力					出力		
CLR	L	CE	C	D <sub>z</sub> - D <sub>0</sub>	Q <sub>z</sub> - Q <sub>0</sub>	TC	CEO
1	X	X	X	X	0	0	0
0	1	X	↑	D <sub>n</sub>	D <sub>n</sub>	TC	CEO
0	0	0	X	X	変化なし	変化なし	0
0	0	1	↑	X	インクリメント	TC	CEO

$z = \text{ビット幅} - 1$   
 $TC = Q_z \cdot Q_{(z-1)} \cdot Q_{(z-2)} \cdot \dots \cdot Q_0$   
 $CEO = TC \cdot CE$

### デザインの入力方法

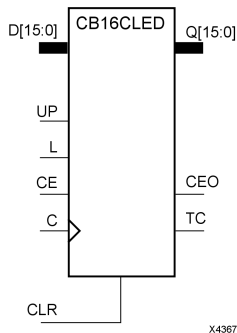
このELEMENTは、回路図でのみ使用できます。

## 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## CB16CLED

マクロ : 16-Bit Loadable Cascadable Bidirectional Binary Counters with Clock Enable and Asynchronous Clear



### 概要

このデザイン エLEMENTは、同期、ロード可能、非同期クリア可能、カスケード可能な双方向バイナリ カウンターです。非同期クリア (CLR) 入力が High になると、ほかのすべての入力は無視され、クロック (C) の遷移に関係なく、出力 (Q)、ターミナル カウンター (TC)、およびクロック イネーブル出力 (CEO) が 0 になります。ロード イネーブル入力 (L) が High の場合、クロック (C) が Low から High に切り替わるときに、クロック イネーブル (CE) の値に関係なく、入力 (D) の値がカウンターにロードされます。CE が High、UP が Low の場合、クロックが Low から High に切り替わるときに、Q 出力がデクリメントされます。CE と UP が High の場合、Q 出力がインクリメントされます。CE が Low の場合、クロック遷移は無視されます。

カウントアップする場合、すべての Q 出力と UP が High になると TC 出力が High になります。カウントダウンする場合、すべての Q 出力と UP が Low になると TC 出力が High になります。

1 段目の CEO 出力を次の段の CE 入力に接続し、C、UP、L、および CLR 入力を並列に接続すると、より大型のカウンターを作成できます。TC と CE が High になると、CEO がアクティブ (High) になります。カウンターの長さの最大値は、CE ピンと TC ピン間の伝搬遅延の合計とクロック周期の関係によって決定されます。クロック周期は、 $n(t_{CE-TC})$  より大きい必要があります。ここで、 $n$  は段数、時間  $t_{CE-TC}$  は各段での CE ピンと TC ピン間の伝搬遅延を表します。カウンターをカスケードする場合、CE 入力を使用するときは CEO 出力を、CE 入力を使用しないときは TC 出力を使用します。

CPLD デバイスについては、高速カスケードが可能な双方向カウンターである CB2X1、CB4X1、CB8X1、CB16X1 を参照してください。

電力を供給すると、カウンターは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP\_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

## 論理表

入力						出力		
CLR	L	CE	C	UP	Dz - D0	Qz - Q0	TC	CEO
1	X	X	X	X	X	0	0	0
0	1	X	↑	X	Dn	Dn	TC	CEO
0	0	0	X	X	X	変化なし	変化なし	0
0	0	1	↑	1	X	インクリメント	TC	CEO
0	0	1	↑	0	X	デクリメント	TC	CEO
z = ビット幅 - 1 $TC = (Qz \cdot Q(z-1) \cdot Q(z-2) \cdot \dots \cdot Q0 \cdot UP) + (Qz \cdot Q(z-1) \cdot Q(z-2) \cdot \dots \cdot Q0 \cdot \overline{UP})$ $CEO = TC \cdot CE$								

## デザインの入力方法

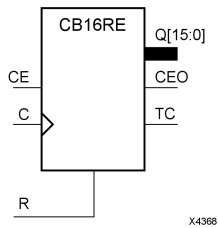
このエレメントは、回路図でのみ使用できます。

## 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## CB16RE

### マクロ：16-Bit Cascadable Binary Counter with Clock Enable and Synchronous Reset



## 概要

このデザイン エLEMENTは、同期、リセット可能、カスケード可能なバイナリ カウンターです。同期リセット入力 (R) が High になると、ほかの入力は無視され、クロック (C) が Low から High に切り替わる時に出力 (Q)、ターミナル カウンター (TC)、およびクロック イネーブル出力 (CEO) が 0 になります。クロック イネーブル入力 (CE) が High の場合、クロック (C) が Low から High に切り替わる時に出力 (Q) がインクリメントされます。CE が Low の場合、クロック遷移は無視されます。すべての Q 出力が High になると、TC 出力が High になります。

1 段目の CEO 出力を次の段の CE 入力に接続し、C および R 入力を並列に接続すると、より大型のカウンターを作成できます。TC と CE が High になると、CEO がアクティブ (High) になります。カウンターの長さの最大値は、CE ピンと TC ピン間の伝搬遅延の合計とクロック周期の関係によって決定されます。クロック周期は、 $n(t_{CE-TC})$  より大きい必要があります。ここで、 $n$  は段数、時間  $t_{CE-TC}$  は各段での CE ピンと TC ピン間の伝搬遅延を表します。カウンターをカスケードする場合、CE 入力を使用するときは CEO 出力を、CE 入力を使用しないときは TC 出力を使用します。

電力を供給すると、カウンターは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP\_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

## 論理表

入力			出力		
R	CE	C	Qz - Q0	TC	CEO
1	X	↑	0	0	0
0	0	X	変化なし	変化なし	0
0	1	↑	インクリメント	TC	CEO
$z = \text{ビット幅} - 1$ $TC = Qz \cdot Q(z-1) \cdot Q(z-2) \cdot \dots \cdot Q0$ $CEO = TC \cdot CE$					

## デザインの入力方法

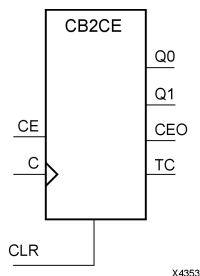
このELEMENTは、回路図でのみ使用できます。

## 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## CB2CE

### マクロ：2-Bit Cascadable Binary Counter with Clock Enable and Asynchronous Clear



## 概要

このデザイン エレメントは、非同期クリア可能、カスケード可能なバイナリ カウンターです。非同期クリア (CLR) 入力が高になると、ほかのすべての入力は無視され、クロック (C) の遷移に関係なく、出力 (Q)、ターミナル カウンター (TC)、およびクロック イネーブル出力 (CEO) が 0 になります。クロック イネーブル入力 (CE) が High の場合、クロック (C) が Low から High に切り替わるときに出力 (Q) がインクリメントされます。CE が Low の場合、クロック遷移は無視されます。すべての Q 出力が高になると、TC 出力が高になります。

1 段目の CEO 出力を次の段の CE 入力に接続し、C および CLR 入力を並列に接続すると、より大型のカウンターを作成できます。TC と CE が High になると、CEO がアクティブ (High) になります。カウンターの長さの最大値は、CE ピンと TC ピン間の伝搬遅延の合計とクロック周期の関係によって決定されます。クロック周期は、 $n(t_{CE-TC})$  より大きい必要があります。ここで、 $n$  は段数、時間  $t_{CE-TC}$  は各段での CE ピンと TC ピン間の伝搬遅延を表します。カウンターをカスケードする場合、CE 入力を使用するときは CEO 出力を、CE 入力を使用しないときは TC 出力を使用します。

電力を供給すると、カウンターは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP\_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

## 論理表

入力			出力		
CLR	CE	C	Q <sub>z</sub> - Q <sub>0</sub>	TC	CEO
1	X	X	0	0	0
0	0	X	変化なし	変化なし	0
0	1	↑	インクリメント	TC	CEO

$z = \text{ビット幅} - 1$   
 $TC = Q_z \cdot Q_{(z-1)} \cdot Q_{(z-2)} \cdot \dots \cdot Q_0$   
 $CEO = TC \cdot CE$

## デザインの入力方法

このエレメントは、回路図でのみ使用できます。

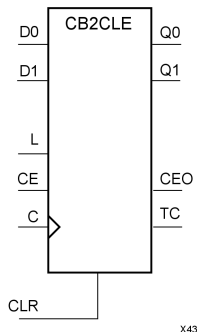
## 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)



## CB2CLE

### マクロ：2-Bit Loadable Cascadable Binary Counters with Clock Enable and Asynchronous Clear



## 概要

このデザイン エLEMENTは、同期、ロード可能、非同期クリア可能、カスケード可能なバイナリ カウンターです。非同期クリア (CLR) 入力が高レベルになると、ほかのすべての入力は無視され、クロック (C) の遷移に関係なく、出力 (Q)、ターミナル カウンター (TC)、およびクロック イネーブル出力 (CEO) が 0 になります。ロード イネーブル入力 (L) が High の場合、クロックが Low から High に切り替わるたびに、クロック イネーブル (CE) の値に関係なく、入力 (D) の値がカウンターにロードされます。CE が High の場合、クロックが Low から High に切り替わるたびに Q 出力がインクリメントされます。CE が Low の場合、クロック遷移は無視されます。すべての Q 出力が高レベルになると、TC 出力が高レベルになります。

1 段目の CEO 出力を次の段の CE 入力に接続し、C、L、および CLR 入力を並列に接続すると、より大型のカウンターを作成できます。TC と CE が High になると、CEO がアクティブ (High) になります。カウンターの長さの最大値は、CE ピンと TC ピン間の伝搬遅延の合計とクロック周期の関係によって決定されます。クロック周期は、 $n(t_{CE-TC})$  より大きい必要があります。ここで、 $n$  は段数、時間  $t_{CE-TC}$  は各段での CE ピンと TC ピン間の伝搬遅延を表します。カウンターをカスケードする場合、CE 入力を使用するときは CEO 出力を、CE 入力を使用しないときは TC 出力を使用します。

電力を供給すると、カウンターは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP\_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

## 論理表

入力					出力		
CLR	L	CE	C	D <sub>z</sub> - D <sub>0</sub>	Q <sub>z</sub> - Q <sub>0</sub>	TC	CEO
1	X	X	X	X	0	0	0
0	1	X	↑	D <sub>n</sub>	D <sub>n</sub>	TC	CEO
0	0	0	X	X	変化なし	変化なし	0
0	0	1	↑	X	インクリメント	TC	CEO
z = ビット幅 - 1 $TC = Q_z \cdot Q_{(z-1)} \cdot Q_{(z-2)} \cdot \dots \cdot Q_0$ $CEO = TC \cdot CE$							

## デザインの入力方法

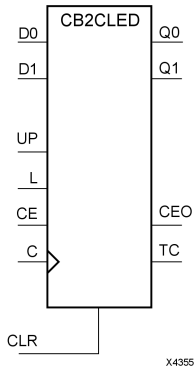
このELEMENTは、回路図でのみ使用できます。

## 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## CB2CLED

マクロ：2-Bit Loadable Cascadable Bidirectional Binary Counters with Clock Enable and Asynchronous Clear



### 概要

このデザイン エLEMENTは、同期、ロード可能、非同期クリア可能、カスケード可能な双方向バイナリ カウンターです。非同期クリア (CLR) 入力が高レベルになると、ほかのすべての入力は無視され、クロック (C) の遷移に関係なく、出力 (Q)、ターミナル カウンター (TC)、およびクロック イネーブル出力 (CEO) が 0 になります。ロード イネーブル入力 (L) が High の場合、クロック (C) が Low から High に切り替わるときに、クロック イネーブル (CE) の値に関係なく、入力 (D) の値がカウンターにロードされます。CE が High、UP が Low の場合、クロックが Low から High に切り替わるときに、Q 出力がデクリメントされます。CE と UP が High の場合、Q 出力がインクリメントされます。CE が Low の場合、クロック遷移は無視されます。

カウントアップする場合、すべての Q 出力と UP が High になると TC 出力が高レベルになります。カウントダウンする場合、すべての Q 出力と UP が Low になると TC 出力が高レベルになります。

1 段目の CEO 出力を次の段の CE 入力に接続し、C、UP、L、および CLR 入力を並列に接続すると、より大型のカウンターを作成できます。TC と CE が High になると、CEO がアクティブ (High) になります。カウンターの長さの最大値は、CE ピンと TC ピン間の伝搬遅延の合計とクロック周期の関係によって決定されます。クロック周期は、 $n(t_{CE-TC})$  より大きい必要があります。ここで、 $n$  は段数、時間  $t_{CE-TC}$  は各段での CE ピンと TC ピン間の伝搬遅延を表します。カウンターをカスケードする場合、CE 入力を使用するときは CEO 出力を、CE 入力を使用しないときは TC 出力を使用します。

CPLD デバイスについては、高速カスケードが可能な双方向カウンターである CB2X1、CB4X1、CB8X1、CB16X1 を参照してください。

電力を供給すると、カウンターは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP\_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

## 論理表

入力						出力		
CLR	L	CE	C	UP	Dz - D0	Qz - Q0	TC	CEO
1	X	X	X	X	X	0	0	0
0	1	X	↑	X	Dn	Dn	TC	CEO
0	0	0	X	X	X	変化なし	変化なし	0
0	0	1	↑	1	X	インクリメント	TC	CEO
0	0	1	↑	0	X	デクリメント	TC	CEO
z = ビット幅 - 1 $TC = (Qz \cdot Q(z-1) \cdot Q(z-2) \cdot \dots \cdot Q0 \cdot UP) + (Qz \cdot Q(z-1) \cdot Q(z-2) \cdot \dots \cdot Q0 \cdot \overline{UP})$ $CEO = TC \cdot CE$								

## デザインの入力方法

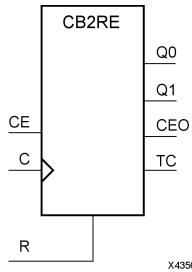
このエレメントは、回路図でのみ使用できます。

## 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## CB2RE

マクロ：2-Bit Cascadable Binary Counter with Clock Enable and Synchronous Reset



### 概要

このデザイン エLEMENTは、同期、リセット可能、カスケード可能なバイナリ カウンターです。同期リセット入力 (R) が High になると、ほかの入力は無視され、クロック (C) が Low から High に切り替わる時に出力 (Q)、ターミナル カウンター (TC)、およびクロック イネーブル出力 (CEO) が 0 になります。クロック イネーブル入力 (CE) が High の場合、クロック (C) が Low から High に切り替わる時に出力 (Q) がインクリメントされます。CE が Low の場合、クロック遷移は無視されます。すべての Q 出力が High になると、TC 出力が High になります。

1 段目の CEO 出力を次の段の CE 入力に接続し、C および R 入力を並列に接続すると、より大型のカウンターを作成できます。TC と CE が High になると、CEO がアクティブ (High) になります。カウンターの長さの最大値は、CE ピンと TC ピン間の伝搬遅延の合計とクロック周期の関係によって決定されます。クロック周期は、 $n(t_{CE-TC})$  より大きい必要があります。ここで、 $n$  は段数、時間  $t_{CE-TC}$  は各段での CE ピンと TC ピン間の伝搬遅延を表します。カウンターのカスケードする場合、CE 入力を使用するときは CEO 出力を、CE 入力を使用しないときは TC 出力を使用します。

電力を供給すると、カウンターの非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP\_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

### 論理表

入力			出力		
R	CE	C	Qz - Q0	TC	CEO
1	X	↑	0	0	0
0	0	X	変化なし	変化なし	0
0	1	↑	インクリメント	TC	CEO
z = ビット幅 - 1 $TC = Qz \cdot Q(z-1) \cdot Q(z-2) \cdot \dots \cdot Q0$ $CEO = TC \cdot CE$					

### デザインの入力方法

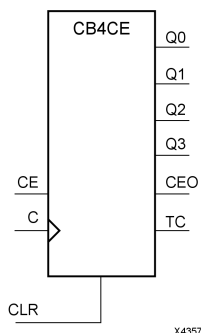
このELEMENTは、回路図でのみ使用できます。

### 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## CB4CE

マクロ : 4-Bit Cascadable Binary Counter with Clock Enable and Asynchronous Clear



### 概要

このデザイン エレメントは、非同期クリア可能、カスケード可能なバイナリ カウンターです。非同期クリア (CLR) 入力が高になると、ほかのすべての入力は無視され、クロック (C) の遷移に関係なく、出力 (Q)、ターミナル カウンター (TC)、およびクロック イネーブル出力 (CEO) が 0 になります。クロック イネーブル入力 (CE) が High の場合、クロック (C) が Low から High に切り替わるときに出力 (Q) がインクリメントされます。CE が Low の場合、クロック遷移は無視されます。すべての Q 出力が高になると、TC 出力が高になります。

1 段目の CEO 出力を次の段の CE 入力に接続し、C および CLR 入力を並列に接続すると、より大型のカウンターを作成できます。TC と CE が High になると、CEO がアクティブ (High) になります。カウンターの長さの最大値は、CE ピンと TC ピン間の伝搬遅延の合計とクロック周期の関係によって決定されます。クロック周期は、 $n(t_{CE-TC})$  より大きい必要があります。ここで、 $n$  は段数、時間  $t_{CE-TC}$  は各段での CE ピンと TC ピン間の伝搬遅延を表します。カウンターをカスケードする場合、CE 入力を使用するときは CEO 出力を、CE 入力を使用しないときは TC 出力を使用します。

電力を供給すると、カウンターは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP\_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

### 論理表

入力			出力		
CLR	CE	C	Q <sub>z</sub> - Q <sub>0</sub>	TC	CEO
1	X	X	0	0	0
0	0	X	変化なし	変化なし	0
0	1	↑	インクリメント	TC	CEO
$z = \text{ビット幅} - 1$ $TC = Q_z \cdot Q_{(z-1)} \cdot Q_{(z-2)} \cdot \dots \cdot Q_0$ $CEO = TC \cdot CE$					

### デザインの入力方法

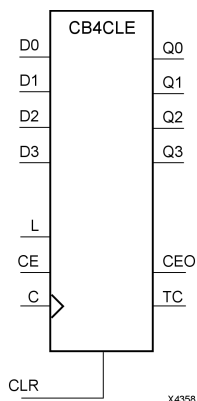
このエレメントは、回路図でのみ使用できます。

## 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## CB4CLE

マクロ : 4-Bit Loadable Cascadable Binary Counters with Clock Enable and Asynchronous Clear



### 概要

このデザイン エLEMENTは、同期、ロード可能、非同期クリア可能、カスケード可能なバイナリ カウンターです。非同期クリア (CLR) 入力が高になると、ほかのすべての入力は無視され、クロック (C) の遷移に関係なく、出力 (Q)、ターミナル カウンター (TC)、およびクロック イネーブル出力 (CEO) が 0 になります。ロード イネーブル入力 (L) が High の場合、クロックが Low から High に切り替わるときに、クロック イネーブル (CE) の値に関係なく、入力 (D) の値がカウンターにロードされます。CE が High の場合、クロックが Low から High に切り替わるときに Q 出力がインクリメントされます。CE が Low の場合、クロック遷移は無視されます。すべての Q 出力が高になると、TC 出力が高になります。

1 段目の CEO 出力を次の段の CE 入力に接続し、C、L、および CLR 入力を並列に接続すると、より大型のカウンターを作成できます。TC と CE が High になると、CEO がアクティブ (High) になります。カウンターの長さの最大値は、CE ピンと TC ピン間の伝搬遅延の合計とクロック周期の関係によって決定されます。クロック周期は、 $n(t_{CE-TC})$  より大きい必要があります。ここで、 $n$  は段数、時間  $t_{CE-TC}$  は各段での CE ピンと TC ピン間の伝搬遅延を表します。カウンターをカスケードする場合、CE 入力を使用するときは CEO 出力を、CE 入力を使用しないときは TC 出力を使用します。

電力を供給すると、カウンターは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP\_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

### 論理表

入力					出力		
CLR	L	CE	C	Dz - D0	Qz - Q0	TC	CEO
1	X	X	X	X	0	0	0
0	1	X	↑	Dn	Dn	TC	CEO
0	0	0	X	X	変化なし	変化なし	0
0	0	1	↑	X	インクリメント	TC	CEO
z = ビット幅 - 1 $TC = Q_z \cdot Q_{(z-1)} \cdot Q_{(z-2)} \cdot \dots \cdot Q_0$ $CEO = TC \cdot CE$							



## デザインの入力方法

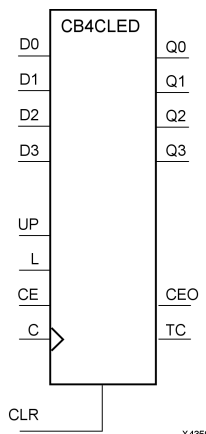
このエレメントは、回路図でのみ使用できます。

## 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## CB4CLED

**マクロ : 4-Bit Loadable Cascadable Bidirectional Binary Counters with Clock Enable and Asynchronous Clear**



### 概要

このデザイン エLEMENTは、同期、ロード可能、非同期クリア可能、カスケード可能な双方向バイナリ カウンターです。非同期クリア (CLR) 入力が高レベルになると、ほかのすべての入力は無視され、クロック (C) の遷移に関係なく、出力 (Q)、ターミナル カウンター (TC)、およびクロック イネーブル出力 (CEO) が 0 になります。ロード イネーブル入力 (L) が High の場合、クロック (C) が Low から High に切り替わるときに、クロック イネーブル (CE) の値に関係なく、入力 (D) の値がカウンターにロードされます。CE が High、UP が Low の場合、クロックが Low から High に切り替わるときに、Q 出力がデクリメントされます。CE と UP が High の場合、Q 出力がインクリメントされます。CE が Low の場合、クロック遷移は無視されます。

カウントアップする場合、すべての Q 出力と UP が High になると TC 出力が High になります。カウントダウンする場合、すべての Q 出力と UP が Low になると TC 出力が High になります。

1 段目の CEO 出力を次の段の CE 入力に接続し、C、UP、L、および CLR 入力を並列に接続すると、より大型のカウンターを作成できます。TC と CE が High になると、CEO がアクティブ (High) になります。カウンターの長さの最大値は、CE ピンと TC ピン間の伝搬遅延の合計とクロック周期の関係によって決定されます。クロック周期は、 $n(t_{CE-TC})$  より大きい必要があります。ここで、 $n$  は段数、時間  $t_{CE-TC}$  は各段での CE ピンと TC ピン間の伝搬遅延を表します。カウンターをカスケードする場合、CE 入力を使用するときは CEO 出力を、CE 入力を使用しないときは TC 出力を使用します。

CPLD デバイスについては、高速カスケードが可能な双方向カウンターである CB2X1、CB4X1、CB8X1、CB16X1 を参照してください。

電力を供給すると、カウンターは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP\_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

## 論理表

入力						出力		
CLR	L	CE	C	UP	Dz - D0	Qz - Q0	TC	CEO
1	X	X	X	X	X	0	0	0
0	1	X	↑	X	Dn	Dn	TC	CEO
0	0	0	X	X	X	変化なし	変化なし	0
0	0	1	↑	1	X	インクリメント	TC	CEO
0	0	1	↑	0	X	デクリメント	TC	CEO
z = ビット幅 - 1 $TC = (Qz \cdot Q(z-1) \cdot Q(z-2) \cdot \dots \cdot Q0 \cdot UP) + (Qz \cdot Q(z-1) \cdot Q(z-2) \cdot \dots \cdot Q0 \cdot \overline{UP})$ $CEO = TC \cdot CE$								

## デザインの入力方法

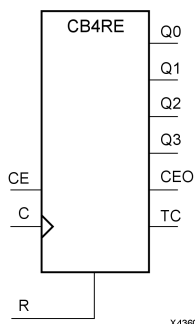
このエレメントは、回路図でのみ使用できます。

## 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## CB4RE

### マクロ：4-Bit Cascadable Binary Counter with Clock Enable and Synchronous Reset



## 概要

このデザイン エレメントは、同期、リセット可能、カスケード可能なバイナリ カウンターです。同期リセット入力 (R) が High になると、ほかの入力は無視され、クロック (C) が Low から High に切り替わる時に出力 (Q)、ターミナル カウンター (TC)、およびクロック イネーブル出力 (CEO) が 0 になります。クロック イネーブル入力 (CE) が High の場合、クロック (C) が Low から High に切り替わる時に出力 (Q) がインクリメントされます。CE が Low の場合、クロック遷移は無視されます。すべての Q 出力が High になると、TC 出力が High になります。

1 段目の CEO 出力を次の段の CE 入力に接続し、C および R 入力を並列に接続すると、より大型のカウンターを作成できます。TC と CE が High になると、CEO がアクティブ (High) になります。カウンターの長さの最大値は、CE ピンと TC ピン間の伝搬遅延の合計とクロック周期の関係によって決定されます。クロック周期は、 $n(t_{CE-TC})$  より大きい必要があります。ここで、 $n$  は段数、時間  $t_{CE-TC}$  は各段での CE ピンと TC ピン間の伝搬遅延を表します。カウンターをカスケードする場合、CE 入力を使用するときは CEO 出力を、CE 入力を使用しないときは TC 出力を使用します。

電力を供給すると、カウンターは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP\_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

## 論理表

入力			出力		
R	CE	C	Qz - Q0	TC	CEO
1	X	↑	0	0	0
0	0	X	変化なし	変化なし	0
0	1	↑	インクリメント	TC	CEO
z = ビット幅 - 1 $TC = Q_z \cdot Q_{(z-1)} \cdot Q_{(z-2)} \cdot \dots \cdot Q_0$ $CEO = TC \cdot CE$					

## デザインの入力方法

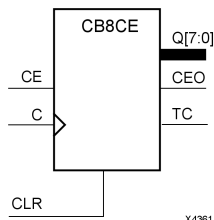
このエレメントは、回路図でのみ使用できます。

## 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## CB8CE

### マクロ：8-Bit Cascadable Binary Counter with Clock Enable and Asynchronous Clear



## 概要

このデザイン エレメントは、非同期クリア可能、カスケード可能なバイナリ カウンターです。非同期クリア (CLR) 入力が高レベルになると、ほかのすべての入力は無視され、クロック (C) の遷移に関係なく、出力 (Q)、ターミナル カウンター (TC)、およびクロック イネーブル出力 (CEO) が 0 になります。クロック イネーブル入力 (CE) が High の場合、クロック (C) が Low から High に切り替わるときに出力 (Q) がインクリメントされます。CE が Low の場合、クロック遷移は無視されます。すべての Q 出力が高レベルになると、TC 出力が高レベルになります。

1 段目の CEO 出力を次の段の CE 入力に接続し、C および CLR 入力を並列に接続すると、より大型のカウンターを作成できます。TC と CE が High になると、CEO がアクティブ (High) になります。カウンターの長さの最大値は、CE ピンと TC ピン間の伝搬遅延の合計とクロック周期の関係によって決定されます。クロック周期は、 $n(t_{CE-TC})$  より大きい必要があります。ここで、 $n$  は段数、時間  $t_{CE-TC}$  は各段での CE ピンと TC ピン間の伝搬遅延を表します。カウンターをカスケードする場合、CE 入力を使用するときは CEO 出力を、CE 入力を使用しないときは TC 出力を使用します。

電力を供給すると、カウンターは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP\_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

## 論理表

入力			出力		
CLR	CE	C	Q <sub>z</sub> - Q <sub>0</sub>	TC	CEO
1	X	X	0	0	0
0	0	X	変化なし	変化なし	0
0	1	↑	インクリメント	TC	CEO

$z = \text{ビット幅} - 1$   
 $TC = Q_z \cdot Q_{(z-1)} \cdot Q_{(z-2)} \cdot \dots \cdot Q_0$   
 $CEO = TC \cdot CE$

## デザインの入力方法

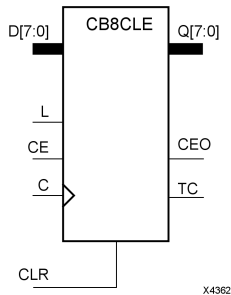
このエレメントは、回路図でのみ使用できます。

## 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## CB8CLE

マクロ : 8-Bit Loadable Cascadable Binary Counters with Clock Enable and Asynchronous Clear



### 概要

このデザイン エLEMENTは、同期、ロード可能、非同期クリア可能、カスケード可能なバイナリ カウンターです。非同期クリア (CLR) 入力が高になると、ほかのすべての入力は無視され、クロック (C) の遷移に関係なく、出力 (Q)、ターミナル カウンター (TC)、およびクロック イネーブル出力 (CEO) が 0 になります。ロード イネーブル入力 (L) が High の場合、クロックが Low から High に切り替わる時に、クロック イネーブル (CE) の値に関係なく、入力 (D) の値がカウンターにロードされます。CE が High の場合、クロックが Low から High に切り替わる時に Q 出力がインクリメントされます。CE が Low の場合、クロック遷移は無視されます。すべての Q 出力が高になると、TC 出力が高になります。

1 段目の CEO 出力を次の段の CE 入力に接続し、C、L、および CLR 入力を並列に接続すると、より大型のカウンターを作成できます。TC と CE が High になると、CEO がアクティブ (High) になります。カウンターの長さの最大値は、CE ピンと TC ピン間の伝搬遅延の合計とクロック周期の関係によって決定されます。クロック周期は、 $n(t_{CE-TC})$  より大きい必要があります。ここで、 $n$  は段数、時間  $t_{CE-TC}$  は各段での CE ピンと TC ピン間の伝搬遅延を表します。カウンターをカスケードする場合、CE 入力を使用するときは CEO 出力を、CE 入力を使用しないときは TC 出力を使用します。

電力を供給すると、カウンターは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP\_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

## 論理表

入力					出力		
CLR	L	CE	C	Dz - D0	Qz - Q0	TC	CEO
1	X	X	X	X	0	0	0
0	1	X	↑	Dn	Dn	TC	CEO
0	0	0	X	X	変化なし	変化なし	0
0	0	1	↑	X	インクリメント	TC	CEO
z = ビット幅 - 1 $TC = Qz \cdot Q(z-1) \cdot Q(z-2) \cdot \dots \cdot Q0$ $CEO = TC \cdot CE$							

## デザインの入力方法

このエレメントは、回路図でのみ使用できます。

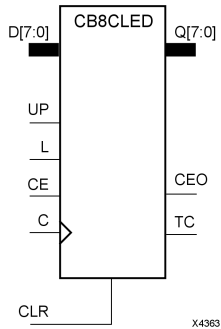
## 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)



## CB8CLED

**マクロ：8-Bit Loadable Cascadable Bidirectional Binary Counters with Clock Enable and Asynchronous Clear**



### 概要

このデザイン エLEMENTは、同期、ロード可能、非同期クリア可能、カスケード可能な双方向バイナリ カウンターです。非同期クリア (CLR) 入力が高レベルになると、ほかのすべての入力は無視され、クロック (C) の遷移に関係なく、出力 (Q)、ターミナル カウンター (TC)、およびクロック イネーブル出力 (CEO) が 0 になります。ロード イネーブル入力 (L) が High の場合、クロック (C) が Low から High に切り替わるときに、クロック イネーブル (CE) の値に関係なく、入力 (D) の値がカウンターにロードされます。CE が High、UP が Low の場合、クロックが Low から High に切り替わるときに、Q 出力がデクリメントされます。CE と UP が High の場合、Q 出力がインクリメントされます。CE が Low の場合、クロック遷移は無視されます。

カウント アップする場合、すべての Q 出力と UP が High になると TC 出力が High になります。カウント ダウンする場合、すべての Q 出力と UP が Low になると TC 出力が High になります。

1 段目の CEO 出力を次の段の CE 入力に接続し、C、UP、L、および CLR 入力を並列に接続すると、より大型のカウンターを作成できます。TC と CE が High になると、CEO がアクティブ (High) になります。カウンターの長さの最大値は、CE ピンと TC ピン間の伝搬遅延の合計とクロック周期の関係によって決定されます。クロック周期は、 $n(t_{CE-TC})$  より大きい必要があります。ここで、 $n$  は段数、時間  $t_{CE-TC}$  は各段での CE ピンと TC ピン間の伝搬遅延を表します。カウンターをカスケードする場合、CE 入力を使用するときは CEO 出力を、CE 入力を使用しないときは TC 出力を使用します。

CPLD デバイスについては、高速カスケードが可能な双方向カウンターである CB2X1、CB4X1、CB8X1、CB16X1 を参照してください。

電力を供給すると、カウンターは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP\_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

## 論理表

入力						出力		
CLR	L	CE	C	UP	Dz - D0	Qz - Q0	TC	CEO
1	X	X	X	X	X	0	0	0
0	1	X	↑	X	Dn	Dn	TC	CEO
0	0	0	X	X	X	変化なし	変化なし	0
0	0	1	↑	1	X	インクリメント	TC	CEO
0	0	1	↑	0	X	デクリメント	TC	CEO
z = ビット幅 - 1 $TC = (Qz \cdot Q(z-1) \cdot Q(z-2) \cdot \dots \cdot Q0 \cdot UP) + (Qz \cdot Q(z-1) \cdot Q(z-2) \cdot \dots \cdot Q0 \cdot \overline{UP})$ $CEO = TC \cdot CE$								

## デザインの入力方法

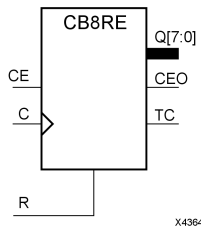
このELEMENTは、回路図でのみ使用できます。

## 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## CB8RE

### マクロ：8-Bit Cascadable Binary Counter with Clock Enable and Synchronous Reset



## 概要

このデザイン エLEMENTは、同期、リセット可能、カスケード可能なバイナリ カウンターです。同期リセット入力 (R) が High になると、ほかの入力は無視され、クロック (C) が Low から High に切り替わる時に出力 (Q)、ターミナル カウンター (TC)、およびクロック イネーブル出力 (CEO) が 0 になります。クロック イネーブル入力 (CE) が High の場合、クロック (C) が Low から High に切り替わる時に出力 (Q) がインクリメントされます。CE が Low の場合、クロック遷移は無視されます。すべての Q 出力が High になると、TC 出力が High になります。

1 段目の CEO 出力を次の段の CE 入力に接続し、C および R 入力を並列に接続すると、より大型のカウンターを作成できます。TC と CE が High になると、CEO がアクティブ (High) になります。カウンターの長さの最大値は、CE ピンと TC ピン間の伝搬遅延の合計とクロック周期の関係によって決定されます。クロック周期は、 $n(t_{CE-TC})$  より大きい必要があります。ここで、 $n$  は段数、時間  $t_{CE-TC}$  は各段での CE ピンと TC ピン間の伝搬遅延を表します。カウンターをカスケードする場合、CE 入力を使用するときは CEO 出力を、CE 入力を使用しないときは TC 出力を使用します。

電力を供給すると、カウンターは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP\_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

## 論理表

入力			出力		
R	CE	C	Qz - Q0	TC	CEO
1	X	↑	0	0	0
0	0	X	変化なし	変化なし	0
0	1	↑	インクリメント	TC	CEO
$z = \text{ビット幅} - 1$ $TC = Qz \cdot Q(z-1) \cdot Q(z-2) \cdot \dots \cdot Q0$ $CEO = TC \cdot CE$					

## デザインの入力方法

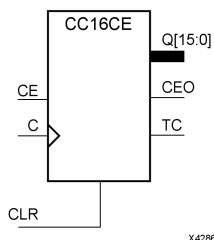
このELEMENTは、回路図でのみ使用できます。

## 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## CC16CE

### マクロ：16-Bit Cascadable Binary Counter with Clock Enable and Asynchronous Clear



## 概要

このデザイン エレメントは、非同期クリア可能、カスケード可能なバイナリ カウンターです。このカウンターは、キャリー ロジックと相対ロケーション制約を使用してインプリメントされているので、ロジックが効率よく配置されます。非同期クリア入力 (CLR) が最も優先される入力で、High の場合、クロック (C) の遷移に関係なく、Q 出力、ターミナル カウント (TC)、クロック イネーブル出力 (CEO) が 0 になります。クロック イネーブル入力 (CE) が High の場合、クロック (C) が Low から High に切り替わる時に出力 (Q) がインクリメントされます。CE が Low の場合、クロック遷移は無視されます。すべての Q 出力が High になると、TC 出力が High になります。

1 段目の CEO 出力を次の段の CE 入力に接続し、C および CLR 入力を並列に接続すると、より大型のカウンターを作成できます。TC と CE が High になると、CEO がアクティブ (High) になります。カウンターの長さの最大値は、CE ピンと TC ピン間の伝搬遅延の合計とクロック周期の関係によって決定されます。クロック周期は、 $n(t_{CE-TC})$  より大きい必要があります。ここで、 $n$  は段数、時間  $t_{CE-TC}$  は各段での CE ピンと TC ピン間の伝搬遅延を表します。カウンターをカスケードする場合、CE 入力を使用するときは CEO 出力を、CE 入力を使用しないときは TC 出力を使用します。

電力を供給すると、カウンターは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP\_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

## 論理表

入力			出力		
CLR	CE	C	Q <sub>z</sub> - Q <sub>0</sub>	TC	CEO
1	X	X	0	0	0
0	0	X	変化なし	変化なし	0
0	1	↑	インクリメント	TC	CEO
$z = \text{ビット幅} - 1$ $TC = Q_z \cdot Q_{(z-1)} \cdot Q_{(z-2)} \cdot \dots \cdot Q_0$ $CEO = TC \cdot CE$					

## デザインの入力方法

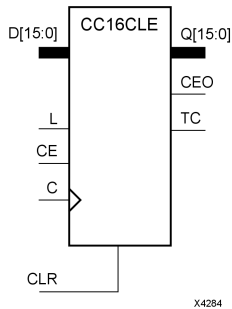
このエレメントは、回路図でのみ使用できます。

## 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## CC16CLE

**マクロ：16-Bit Loadable Cascadable Binary Counter with Clock Enable and Asynchronous Clear**



### 概要

このデザイン エLEMENTは、同期、ロード可能、非同期クリア可能、カスケード可能なバイナリ カウンターです。このカウンターは、キャリー ロジックと相対ロケーション制約を使用してインプリメントされているので、ロジックが効率よく配置されます。非同期クリア入力 (CLR) が最も優先される入力で、High の場合、クロック (C) の遷移に関係なく、Q 出力、ターミナル カウント (TC)、クロック イネーブル出力 (CEO) が 0 になります。ロード イネーブル入力 (L) が High の場合、クロック (C) が Low から High に切り替わるときに、クロック イネーブル (CE) の値に関係なく、入力 (D) の値がカウンターにロードされます。CE が High の場合、クロックが Low から High に切り替わるときに Q 出力がインクリメントされます。CE が Low の場合、クロック遷移は無視されます。すべての Q 出力が High になると、TC 出力が High になります。

1 段目の CEO 出力を次の段の CE 入力に接続し、C、L、および CLR 入力を並列に接続すると、より大型のカウンターを作成できます。TC と CE が High になると、CEO がアクティブ (High) になります。カウンターの長さの最大値は、CE ピンと TC ピン間の伝搬遅延の合計とクロック周期の関係によって決定されます。クロック周期は、 $n(t_{CE-TC})$  より大きい必要があります。ここで、 $n$  は段数、時間  $t_{CE-TC}$  は各段での CE ピンと TC ピン間の伝搬遅延を表します。カウンターをカスケードする場合、CE 入力を使用するときは CEO 出力を、CE 入力を使用しないときは TC 出力を使用します。

電力を供給すると、カウンターは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP\_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

### 論理表

入力					出力		
CLR	L	CE	C	D <sub>z</sub> - D <sub>0</sub>	Q <sub>z</sub> - Q <sub>0</sub>	TC	CEO
1	X	X	X	X	0	0	0
0	1	X	↑	D <sub>n</sub>	D <sub>n</sub>	TC	CEO
0	0	0	X	X	変化なし	変化なし	0
0	0	1	↑	X	インクリメント	TC	CEO

$z = \text{ビット幅} - 1$   
 $TC = Q_z \cdot Q_{(z-1)} \cdot Q_{(z-2)} \cdot \dots \cdot Q_0$   
 $CEO = TC \cdot CE$

### デザインの入力方法

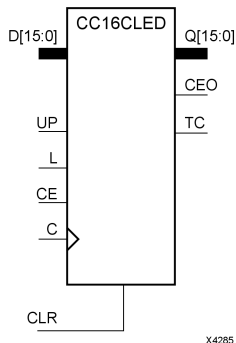
このELEMENTは、回路図でのみ使用できます。

## 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## CC16CLED

**マクロ : 16-Bit Loadable Cascadable Bidirectional Binary Counter with Clock Enable and Asynchronous Clear**



### 概要

このデザイン エLEMENTは、同期、ロード可能、非同期クリア可能、カスケード可能な双方向バイナリ カウンターです。このカウンターは、キャリー ロジックと相対ロケーション制約を使用してインプリメントされているので、ロジックが効率よく配置されます。非同期クリア入力 (CLR) が最も優先される入力で、High の場合、クロック (C) の遷移に関係なく、Q 出力、ターミナル カウント (TC)、クロック イネーブル出力 (CEO) が 0 になります。ロード イネーブル入力 (L) が High の場合、クロック (C) が Low から High に切り替わるときに、クロック イネーブル (CE) の値に関係なく、入力 (D) の値がカウンターにロードされます。CE が High、UP が Low の場合、クロックが Low から High に切り替わるときに、Q 出力がデクリメントされます。CE と UP が High の場合、Q 出力がインクリメントされます。CE が Low の場合、クロック遷移は無視されます。

カウント アップする場合、すべての Q 出力と UP が High になると TC 出力が High になります。カウント ダウンする場合、すべての Q 出力と UP が Low になると TC 出力が High になります。

1 段目の CEO 出力を次の段の CE 入力に接続し、C、UP、L、および CLR 入力を並列に接続すると、より大型のカウンターを作成できます。TC と CE が High になると、CEO がアクティブ (High) になります。カウンターの長さの最大値は、CE ピンと TC ピン間の伝搬遅延の合計とクロック周期の関係によって決定されます。クロック周期は、 $n(t_{CE-TC})$  より大きい必要があります。ここで、 $n$  は段数、時間  $t_{CE-TC}$  は各段での CE ピンと TC ピン間の伝搬遅延を表します。カウンターをカスケードする場合、CE 入力を使用するときは CEO 出力を、CE 入力を使用しないときは TC 出力を使用します。

電力を供給すると、カウンターは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP\_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

## 論理表

入力						出力		
CLR	L	CE	C	UP	Dz - D0	Qz - Q0	TC	CEO
1	X	X	X	X	X	0	0	0
0	1	X	↑	X	Dn	Dn	TC	CEO
0	0	0	X	X	X	変化なし	変化なし	0
0	0	1	↑	1	X	インクリメント	TC	CEO
0	0	1	↑	0	X	デクリメント	TC	CEO
z = ビット幅 - 1 $TC = (Qz \cdot Q(z-1) \cdot Q(z-2) \cdot \dots \cdot Q0 \cdot UP) + (Qz \cdot Q(z-1) \cdot Q(z-2) \cdot \dots \cdot Q0 \cdot \overline{UP})$ $CEO = TC \cdot CE$								

## デザインの入力方法

このエレメントは、回路図でのみ使用できます。

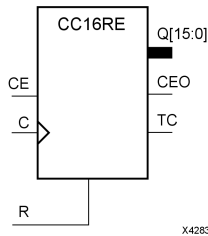
## 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)



## CC16RE

### マクロ：16-Bit Cascadable Binary Counter with Clock Enable and Synchronous Reset



## 概要

このデザイン エLEMENTは、同期、リセット可能、カスケード可能なバイナリ カウンターです。これらのカウンターは、キャリー ロジックと相対ロケーション制約を使用してインプリメントされているので、ロジックが効率よく配置されます。同期リセット入力 (R) は最も優先される入力で、R が High になると、ほかのすべての入力は無視され、クロック (C) が Low から High に切り替わるときに、Q 出力、ターミナル カウント (TC)、クロック イネーブル出力 (CEO) が 0 になります。クロック イネーブル入力 (CE) が High の場合、クロックが Low から High に切り替わるときに Q 出力がインクリメントされます。CE が Low の場合、クロック遷移は無視されます。すべての Q 出力と CE が High になると、TC 出力が High になります。

1 段目の CEO 出力を次の段の CE 入力に接続し、C および R 入力を並列に接続すると、より大型のカウンターを作成できます。TC と CE が High になると、CEO がアクティブ (High) になります。カウンターの長さの最大値は、CE ピンと TC ピン間の伝搬遅延の合計とクロック周期の関係によって決定されます。クロック周期は、 $n(t_{CE-TC})$  より大きい必要があります。ここで、 $n$  は段数、時間  $t_{CE-TC}$  は各段での CE ピンと TC ピン間の伝搬遅延を表します。カウンターをカスケードする場合、CE 入力を使用するときは CEO 出力を、CE 入力を使用しないときは TC 出力を使用します。

電力を供給すると、カウンターは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP\_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

## 論理表

入力			出力		
R	CE	C	Q <sub>z</sub> - Q <sub>0</sub>	TC	CEO
1	X	↑	0	0	0
0	0	X	変化なし	変化なし	0
0	1	↑	インクリメント	TC	CEO

$z = \text{ビット幅} - 1$   
 $TC = Q_z \cdot Q_{(z-1)} \cdot Q_{(z-2)} \cdot \dots \cdot Q_0$   
 $CEO = TC \cdot CE$

## デザインの入力方法

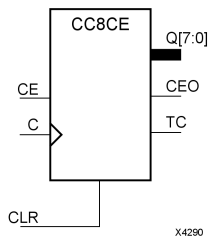
このELEMENTは、回路図でのみ使用できます。

## 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## CC8CE

### マクロ：8-Bit Cascadable Binary Counter with Clock Enable and Asynchronous Clear



## 概要

このデザイン エレメントは、非同期クリア可能、カスケード可能なバイナリ カウンターです。このカウンターは、キャリー ロジックと相対ロケーション制約を使用してインプリメントされているので、ロジックが効率よく配置されます。非同期クリア入力 (CLR) が最も優先される入力で、High の場合、クロック (C) の遷移に関係なく、Q 出力、ターミナル カウント (TC)、クロック イネーブル出力 (CEO) が 0 になります。クロック イネーブル入力 (CE) が High の場合、クロック (C) が Low から High に切り替わるときに出力 (Q) がインクリメントされます。CE が Low の場合、クロック遷移は無視されます。すべての Q 出力が High になると、TC 出力が High になります。

1 段目の CEO 出力を次の段の CE 入力に接続し、C および CLR 入力を並列に接続すると、より大型のカウンターを作成できます。TC と CE が High になると、CEO がアクティブ (High) になります。カウンターの長さの最大値は、CE ピンと TC ピン間の伝搬遅延の合計とクロック周期の関係によって決定されます。クロック周期は、 $n(t_{CE-TC})$  より大きい必要があります。ここで、 $n$  は段数、時間  $t_{CE-TC}$  は各段での CE ピンと TC ピン間の伝搬遅延を表します。カウンターをカスケードする場合、CE 入力を使用するときは CEO 出力を、CE 入力を使用しないときは TC 出力を使用します。

電力を供給すると、カウンターは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP\_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

## 論理表

入力			出力		
CLR	CE	C	Q <sub>z</sub> - Q <sub>0</sub>	TC	CEO
1	X	X	0	0	0
0	0	X	変化なし	変化なし	0
0	1	↑	インクリメント	TC	CEO

$z = \text{ビット幅} - 1$   
 $TC = Q_z \cdot Q_{(z-1)} \cdot Q_{(z-2)} \cdot \dots \cdot Q_0$   
 $CEO = TC \cdot CE$

## デザインの入力方法

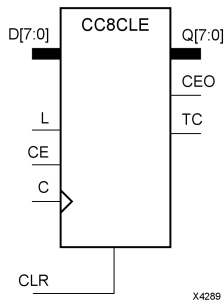
このエレメントは、回路図でのみ使用できます。

## 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## CC8CLE

**マクロ：8-Bit Loadable Cascadable Binary Counter with Clock Enable and Asynchronous Clear**



### 概要

このデザイン エLEMENTは、同期、ロード可能、非同期クリア可能、カスケード可能なバイナリ カウンターです。このカウンターは、キャリー ロジックと相対ロケーション制約を使用してインプリメントされているので、ロジックが効率よく配置されます。非同期クリア入力 (CLR) が最も優先される入力で、High の場合、クロック (C) の遷移に関係なく、Q 出力、ターミナル カウント (TC)、クロック イネーブル出力 (CEO) が 0 になります。ロード イネーブル入力 (L) が High の場合、クロック (C) が Low から High に切り替わるときに、クロック イネーブル (CE) の値に関係なく、入力 (D) の値がカウンターにロードされます。CE が High の場合、クロックが Low から High に切り替わるときに Q 出力がインクリメントされます。CE が Low の場合、クロック遷移は無視されます。すべての Q 出力が High になると、TC 出力が High になります。

1 段目の CEO 出力を次の段の CE 入力に接続し、C、L、および CLR 入力を並列に接続すると、より大型のカウンターを作成できます。TC と CE が High になると、CEO がアクティブ (High) になります。カウンターの長さの最大値は、CE ピンと TC ピン間の伝搬遅延の合計とクロック周期の関係によって決定されます。クロック周期は、 $n(t_{CE-TC})$  より大きい必要があります。ここで、 $n$  は段数、時間  $t_{CE-TC}$  は各段での CE ピンと TC ピン間の伝搬遅延を表します。カウンターをカスケードする場合、CE 入力を使用するときは CEO 出力を、CE 入力を使用しないときは TC 出力を使用します。

電力を供給すると、カウンターは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP\_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

### 論理表

入力					出力		
CLR	L	CE	C	D <sub>z</sub> - D <sub>0</sub>	Q <sub>z</sub> - Q <sub>0</sub>	TC	CEO
1	X	X	X	X	0	0	0
0	1	X	↑	D <sub>n</sub>	D <sub>n</sub>	TC	CEO
0	0	0	X	X	変化なし	変化なし	0
0	0	1	↑	X	インクリメント	TC	CEO
z = ビット幅 - 1 $TC = Q_z \cdot Q_{(z-1)} \cdot Q_{(z-2)} \cdot \dots \cdot Q_0$ $CEO = TC \cdot CE$							

### デザインの入力方法

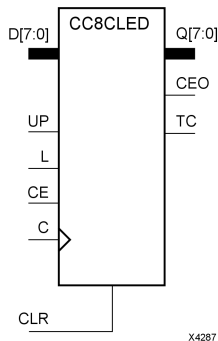
このELEMENTは、回路図でのみ使用できます。

## 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## CC8CLED

マクロ : 8-Bit Loadable Cascadable Bidirectional Binary Counter with Clock Enable and Asynchronous Clear



### 概要

このデザイン エLEMENTは、同期、ロード可能、非同期クリア可能、カスケード可能な双方向バイナリ カウンターです。このカウンターは、キャリー ロジックと相対ロケーション制約を使用してインプリメントされているので、ロジックが効率よく配置されます。非同期クリア入力 (CLR) が最も優先される入力で、High の場合、クロック (C) の遷移に関係なく、Q 出力、ターミナル カウント (TC)、クロック イネーブル出力 (CEO) が 0 になります。ロード イネーブル入力 (L) が High の場合、クロック (C) が Low から High に切り替わるときに、クロック イネーブル (CE) の値に関係なく、入力 (D) の値がカウンターにロードされます。CE が High、UP が Low の場合、クロックが Low から High に切り替わるときに、Q 出力がデクリメントされます。CE と UP が High の場合、Q 出力がインクリメントされます。CE が Low の場合、クロック遷移は無視されます。

カウントアップする場合、すべての Q 出力と UP が High になると TC 出力が High になります。カウントダウンする場合、すべての Q 出力と UP が Low になると TC 出力が High になります。

1 段目の CEO 出力を次の段の CE 入力に接続し、C、UP、L、および CLR 入力を並列に接続すると、より大型のカウンターを作成できます。TC と CE が High になると、CEO がアクティブ (High) になります。カウンターの長さの最大値は、CE ピンと TC ピン間の伝搬遅延の合計とクロック周期の関係によって決定されます。クロック周期は、 $n(t_{CE-TC})$  より大きい必要があります。ここで、 $n$  は段数、時間  $t_{CE-TC}$  は各段での CE ピンと TC ピン間の伝搬遅延を表します。カウンターをカスケードする場合、CE 入力を使用するときは CEO 出力を、CE 入力を使用しないときは TC 出力を使用します。

電力を供給すると、カウンターは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP\_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

## 論理表

入力						出力		
CLR	L	CE	C	UP	Dz - D0	Qz - Q0	TC	CEO
1	X	X	X	X	X	0	0	0
0	1	X	↑	X	Dn	Dn	TC	CEO
0	0	0	X	X	X	変化なし	変化なし	0
0	0	1	↑	1	X	インクリメント	TC	CEO
0	0	1	↑	0	X	デクリメント	TC	CEO
z = ビット幅 - 1 $TC = (Qz \cdot Q(z-1) \cdot Q(z-2) \cdot \dots \cdot Q0 \cdot UP) + (Qz \cdot Q(z-1) \cdot Q(z-2) \cdot \dots \cdot Q0 \cdot \overline{UP})$ $CEO = TC \cdot CE$								

## デザインの入力方法

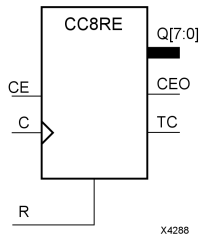
このエレメントは、回路図でのみ使用できます。

## 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## CC8RE

### マクロ：8-Bit Cascadable Binary Counter with Clock Enable and Synchronous Reset



## 概要

このデザイン エLEMENTは、同期、リセット可能、カスケード可能なバイナリ カウンターです。これらのカウンターは、キャリー ロジックと相対ロケーション制約を使用してインプリメントされているので、ロジックが効率よく配置されます。同期リセット入力 (R) は最も優先される入力で、R が High になると、ほかのすべての入力は無視され、クロック (C) が Low から High に切り替わるときに、Q 出力、ターミナル カウント (TC)、クロック イネーブル出力 (CEO) が 0 になります。クロック イネーブル入力 (CE) が High の場合、クロックが Low から High に切り替わるときに Q 出力がインクリメントされます。CE が Low の場合、クロック遷移は無視されます。すべての Q 出力と CE が High になると、TC 出力が High になります。

1 段目の CEO 出力を次の段の CE 入力に接続し、C および R 入力を並列に接続すると、より大型のカウンターを作成できます。TC と CE が High になると、CEO がアクティブ (High) になります。カウンターの長さの最大値は、CE ピンと TC ピン間の伝搬遅延の合計とクロック周期の関係によって決定されます。クロック周期は、 $n(t_{CE-TC})$  より大きい必要があります。ここで、 $n$  は段数、時間  $t_{CE-TC}$  は各段での CE ピンと TC ピン間の伝搬遅延を表します。カウンターをカスケードする場合、CE 入力を使用するときは CEO 出力を、CE 入力を使用しないときは TC 出力を使用します。

電力を供給すると、カウンターは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP\_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

## 論理表

入力			出力		
R	CE	C	Q <sub>z</sub> - Q <sub>0</sub>	TC	CEO
1	X	↑	0	0	0
0	0	X	変化なし	変化なし	0
0	1	↑	インクリメント	TC	CEO
$z = \text{ビット幅} - 1$ $TC = Q_z \cdot Q_{(z-1)} \cdot Q_{(z-2)} \cdot \dots \cdot Q_0$ $CEO = TC \cdot CE$					

## デザインの入力方法

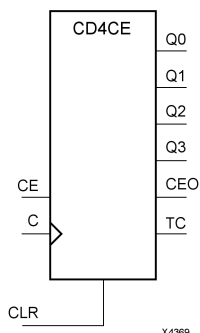
このELEMENTは、回路図でのみ使用できます。

## 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## CD4CE

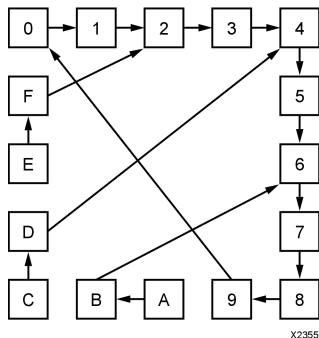
マクロ : 4-Bit Cascadable BCD Counter with Clock Enable and Asynchronous Clear



### 概要

CD4CE は、4 ビットの非同期、クリア可能、カスケード可能な 2 進法 10 進法 (BCD) のカウンタです。非同期クリア入力 (CLR) が最も優先される入力で、High の場合、クロック (C) の遷移に関係なく、Q 出力、ターミナル カウント (TC)、クロック イネーブル出力 (CEO) が 0 になります。クロック イネーブル (CE) が High の場合、クロック (C) が Low から High に切り替わるときに Q 出力がインクリメントされます。CE が Low の場合、クロック遷移は無視されます。Q3 と Q0 が High、Q2 と Q1 が Low になると、TC 出力が High になります。

次のステート ダイアグラムに示すように、カウンタは 6 通りの無効状態から 2 クロック サイクル以内に通常のカウンタシーケンスに復帰します。



1 段目の CEO 出力を次の段の CE 入力に接続し、C および CLR 入力を並列に接続すると、より大型のカウンタを作成できます。TC と CE が High になると、CEO がアクティブ (High) になります。カウンタの長さの最大値は、CE ピンと TC ピン間の伝搬遅延の合計とクロック周期の関係によって決定されます。クロック周期は、 $n(t_{CE-TC})$  より大きい必要があります。ここで、 $n$  は段数、時間  $t_{CE-TC}$  は各段での CE ピンと TC ピン間の伝搬遅延を表します。カウンタをカスケードする場合、CE 入力を使用するときは CEO 出力を、CE 入力を使用しないときは TC 出力を使用します。

電力を供給すると、カウンタは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP\_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。



## 論理表

入力			出力					
CLR	CE	C	Q3	Q2	Q1	Q0	TC	CEO
1	X	X	0	0	0	0	0	0
0	1	↑	インクリメント	インクリメント	インクリメント	インクリメント	TC	CEO
0	0	X	変化なし	変化なし	変化なし	変化なし	TC	0
0	1	X	1	0	0	1	1	1
TC = Q3·!Q2·!Q1·Q0								
CEO = TC·CE								

## デザインの入力方法

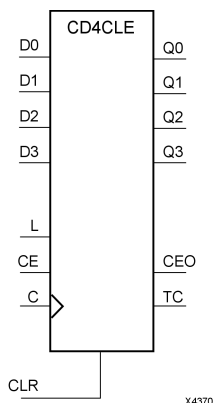
このエレメントは、回路図でのみ使用できます。

## 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## CD4CLE

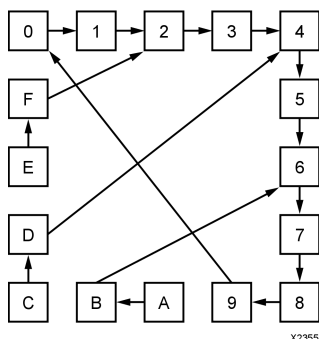
マクロ : 4-Bit Loadable Cascadable BCD Counter with Clock Enable and Asynchronous Clear



### 概要

CD4CLE は、4 ビットの同期ロード可能、非同期クリア可能、カスケード可能なバイナリ カウンターです。非同期クリア入力 (CLR) が最も優先される入力で、High の場合、クロック (C) の遷移に関係なく、Q 出力、ターミナル カウント (TC)、クロック イネーブル出力 (CEO) が 0 になります。ロード イネーブル入力 (L) が High の場合、クロック (C) が Low から High に切り替わるときに D 入力の値がカウンターにロードされます。クロック イネーブル入力 (CE) が High の場合、クロックが Low から High に切り替わるときに Q 出力がインクリメントされます。CE が Low の場合、クロック遷移は無視されます。Q3 と Q0 が High、Q2 と Q1 が Low になると、TC 出力が High になります。

次のステートダイアグラムに示すように、カウンターは 6 通りの無効状態から 2 クロック サイクル以内に通常のカウンタ シーケンスに復帰します。



1 段目の CEO 出力を次の段の CE 入力に接続し、C、L、および CLR 入力を並列に接続すると、より大型のカウンターを作成できます。TC と CE が High になると、CEO がアクティブ (High) になります。カウンターの長さの最大値は、CE ピンと TC ピン間の伝搬遅延の合計とクロック周期の関係によって決定されます。クロック周期は、 $n(t_{CE-TC})$  より大きい必要があります。ここで、 $n$  は段数、時間  $t_{CE-TC}$  は各段での CE ピンと TC ピン間の伝搬遅延を表します。カウンターをカスケードする場合、CE 入力を使用するときは CEO 出力を、CE 入力を使用しないときは TC 出力を使用します。

電力を供給すると、カウンターは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP\_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

## 論理表

入力					出力					
CLR	L	CE	D3 : D0	C	Q3	Q2	Q1	Q0	TC	CEO
1	X	X	X	X	0	0	0	0	0	0
0	1	X	D3 : D0	↑	D3	D2	D1	D0	TC	CEO
0	0	1	X	↑	インクリメント	インクリメント	インクリメント	インクリメント	TC	CEO
0	0	0	X	X	変化なし	変化なし	変化なし	変化なし	TC	0
0	0	1	X	X	1	0	0	1	1	1
TC = Q3·!Q2·!Q1·Q0										
CEO = TC·CE										

## デザインの入力方法

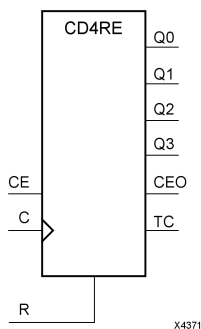
このエレメントは、回路図でのみ使用できます。

## 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## CD4RE

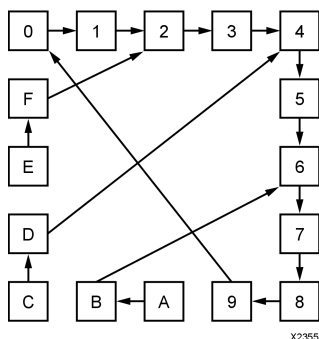
マクロ : 4-Bit Cascadable BCD Counter with Clock Enable and Synchronous Reset



### 概要

CD4RE は、4 ビットの同期、リセット可能、カスケード可能な 2 進法 10 進法 (BCD) のカウンタです。同期リセット入力 (R) は最も優先される入力で、R が High になるとほかのすべての入力は無視され、クロック (C) が Low から High に切り替わる時に、Q 出力、ターミナル カウント (TC)、クロック イネーブル出力 (CEO) が 0 になります。クロック イネーブル入力 (CE) が High の場合、クロックが Low から High に切り替わる時に Q 出力がインクリメントされます。CE が Low の場合、クロック遷移は無視されます。Q3 と Q0 が High、Q2 と Q1 が Low になると、TC 出力が High になります。

次のステート ダイアグラムに示すように、カウンタは 6 通りの無効状態から 2 クロック サイクル以内に通常のカウンタシーケンスに復帰します。



1 段目の CEO 出力を次の段の CE 入力に接続し、C および R 入力を並列に接続すると、より大型のカウンタを作成できます。TC と CE が High になると、CEO がアクティブ (High) になります。カウンタの長さの最大値は、CE ピンと TC ピン間の伝搬遅延の合計とクロック周期の関係によって決定されます。クロック周期は、 $n(t_{CE-TC})$  より大きい必要があります。ここで、 $n$  は段数、時間  $t_{CE-TC}$  は各段での CE ピンと TC ピン間の伝搬遅延を表します。カウンタをカスケードする場合、CE 入力を使用するときは CEO 出力を、CE 入力を使用しないときは TC 出力を使用します。

電力を供給すると、カウンタは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP\_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

## 論理表

入力			出力					
R	CE	C	Q3	Q2	Q1	Q0	TC	CEO
1	X	↑	0	0	0	0	0	0
0	1	↑	インクリメント	インクリメント	インクリメント	インクリメント	TC	CEO
0	0	X	変化なし	変化なし	変化なし	変化なし	TC	0
0	1	X	1	0	0	1	1	1
TC = $Q3 \cdot !Q2 \cdot !Q1 \cdot Q0$								
CEO = TC · CE								

## デザインの入力方法

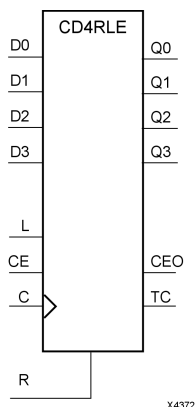
このエレメントは、回路図でのみ使用できます。

## 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## CD4RLE

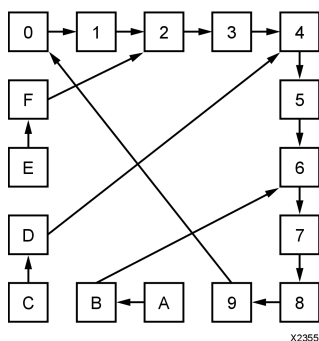
マクロ：4-Bit Loadable Cascadable BCD Counter with Clock Enable and Synchronous Reset



### 概要

CD4RLE は、4 ビットの同期、ロード可能、リセット可能な 2 進法 10 進法 (BCD) カウンターです。同期リセット入力 (R) は最も優先される入力で、R が High になると、ほかのすべての入力は無視され、クロックが Low から High に切り替わるときに、Q 出力、ターミナル カウント (TC)、クロック イネーブル出力 (CEO) が 0 になります。ロード イネーブル入力 (L) が High の場合、クロック (C) が Low から High に切り替わるときに D 入力の値がカウンターにロードされます。クロック イネーブル入力 (CE) が High の場合、クロックが Low から High に切り替わるときに Q 出力がインクリメントされます。CE が Low の場合、クロック遷移は無視されます。Q3 と Q0 が High、Q2 と Q1 が Low になると、TC 出力が High になります。

次のステートダイアグラムに示すように、カウンターは 6 通りの無効状態から 2 クロック サイクル以内に通常のカウンティングシーケンスに復帰します。



1 段目の CEO 出力を次の段の CE 入力に接続し、C、L、および R 入力を並列に接続すると、より大型のカウンターを作成できます。TC と CE が High になると、CEO がアクティブ (High) になります。カウンターの長さの最大値は、CE ピンと TC ピン間の伝搬遅延の合計とクロック周期の関係によって決定されます。クロック周期は、 $n(t_{CE-TC})$  より大きい必要があります。ここで、 $n$  は段数、時間  $t_{CE-TC}$  は各段での CE ピンと TC ピン間の伝搬遅延を表します。カウンターをカスケードする場合、CE 入力を使用するときは CEO 出力を、CE 入力を使用しないときは TC 出力を使用します。

電力を供給すると、カウンターは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP\_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

## 論理表

入力					出力					
R	L	CE	D3 : D0	C	Q3	Q2	Q1	Q0	TC	CEO
1	X	X	X	↑	0	0	0	0	0	0
0	1	X	D3 : D0	↑	D3	D	D	D0	TC	CEO
0	0	1	X	↑	インクリメント	インクリメント	インクリメント	インクリメント	TC	CEO
0	0	0	X	X	変化なし	変化なし	変化なし	変化なし	TC	0
0	0	1	X	X	1	0	0	1	1	1
TC = Q3·!Q2·!Q1·Q0										
CEO = TC·CE										

## デザインの入力方法

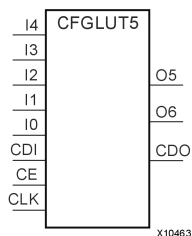
このエレメントは、回路図でのみ使用できます。

## 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## CFGLUT5

### プリミティブ：5-input Dynamically Reconfigurable Look-Up Table (LUT)



### 概要

このデザイン エレメントは、ランタイムのダイナミック リコンフィギュレーションが可能な 5 入力ルックアップ テーブル (LUT) で、回路の動作中に LUT のロジック ファンクションを変更できます。CDI ピンを使用すると、クロックに同期して新しい INIT 値がシリアルにシフトされ、ロジック ファンクションが変更されます。O6 出力ピンでは、LUT に読み込まれた現在の INIT 値と現在選択されている I0 ~ I4 の入力ピンに基づいてロジック ファンクションが生成されます。オプションで O5 出力と O6 出力を使用して、同じ入力を共有する 4 入力ファンクションを 2 つ作成するか、または 5 入力ファンクション 1 つとその 5 入力ロジックのサブセットを使用する 4 入力ファンクションを作成できます (下の表を参照)。このエレメントには、1 つのスライスに含まれる 6 入力 LUT 4 個のうちの 1 つが含まれます。

このエレメントをカスケード接続するには、CDO ピンを次のエレメントの CDI 入力に接続します。これにより、シングル シリアル チェーンのデータ (LUT につき 32 ビット) で複数の LUT をリコンフィギュレーションできます。

### ポートの説明

ポート名	方向	幅	機能
O6	出力	1	5 入力 LUT 出力
O5	出力	1	4 入力 LUT 出力
I0, I1, I2, I3, I4	入力	1	LUT 入力
CDO	出力	1	リコンフィギュレーション データのカスケード出力 (オプションで後続の LUT の CDI 入力に接続)
CDI	入力	1	リコンフィギュレーション データ シリアル入力
CLK	入力	1	リコンフィギュレーション クロック
CE	入力	1	アクティブ High リコンフィギュレーション クロック イネーブル

### デザインの入力方法

このエレメントは、回路図で使用できます。

- ・ CLK 入力をリコンフィギュレーション データを供給するのに使用するクロック ソースに接続します。
- ・ CDI 入力をリコンフィギュレーション データのソースに接続します。
- ・ CE ピンを LUT のリコンフィギュレーションをイネーブルまたはディスエーブルにするには、アクティブ High のロジックに接続します。
- ・ I4 ~ I0 ピンを論理式のソース入力に接続します。ロジック ファンクションは、O6 および O5 から出力されます。
- ・ このエレメントをカスケード接続する場合は、CDO ピンを次のエレメントの CDI ピンに接続することで、1 つのシリアル チェーンのデータで複数のエレメントをリコンフィギュレーションできます。



INIT 属性をこのデザイン エLEMENT に設定して、LUT の初期ロジック ファンクションを指定する必要があります。新しい INIT 値は、チェーンに含まれる LUT に 32 ビットずつシフトさせることで、回路の作動中いつでも読み込むことができます。O6 および O5 の出力値は、新しい 32 ビットの INIT 値が LUT に入力されるまで無視します。LUT のロジック ファンクションは、新しい INIT 値が LUT にシフトされるときに変化します。データは MSB (INIT[31]) から順に LSB (INIT[0]) までシフトされる必要があります。

次の表に示すように、O6 および O5 の論理値は、現在の INIT 値に基づいています。

I4、I3、I2、I1、I0	O6 値	O5 値
1 1 1 1 1	INIT[31]	INIT[15]
1 1 1 1 0	INIT[30]	INIT[14]
...	...	...
1 0 0 0 1	INIT[17]	INIT[1]
1 0 0 0 0	INIT[16]	INIT[0]
0 1 1 1 1	INIT[15]	INIT[15]
0 1 1 1 0	INIT[14]	INIT[14]
...	...	...
0 0 0 0 1	INIT[1]	INIT[1]
0 0 0 0 0	INIT[0]	INIT[0]

たとえば INIT 値が FFFF8000 の場合は、次の論理式を表します。

- ・ O6 = I4 または (I3、I2、I1、および I0)
- ・ O5 = I3、I2、I1、および I0

入力を共有するが機能は異なる 2 つの 4 入力 LUT として使用するには、I4 信号の論理値を 1 にします。INIT[31:16] が O6 出力の論理値に、INIT [15:0] の値が O5 出力の論理値に適用されます。

## 使用可能な属性

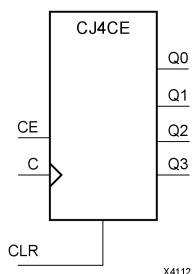
属性	データ型	値	デフォルト	説明
INIT	16 進数	32 ビット値	すべてゼロ	このELEMENTの初期値を指定します。

## 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## CJ4CE

マクロ：4-Bit Johnson Counter with Clock Enable and Asynchronous Clear



### 概要

このデザイン エレメントは、クリア可能なジョンソン/シフト カウンターです。非同期クリア (CLR) 入力が高になると、ほかのすべての入力は無視され、クロック (C) の遷移に関係なく、出力 (Q) が 0 になります。クロック イネーブル入力 (CE) が High の場合、クロックが Low から High に切り替わるときにカウンタがインクリメント (Q0 → Q1、Q1 → Q2 のようにシフト) します。CE が Low の場合、クロック遷移は無視されます。

このデザイン エレメントでは、Q3 の出力が反転されて入力 Q0 にフィードバックされ、連続したカウント処理が行われます。

電力を供給すると、カウンタは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP\_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

### 論理表

入力			出力	
CLR	CE	C	Q0	Q1 – Q3
1	X	X	0	0
0	0	X	変化なし	変化なし
0	1	↑	!q3	q0 – q2
q = アクティブなクロック エッジの 1 セットアップ タイム前の対応する出力の値				

### デザインの入力方法

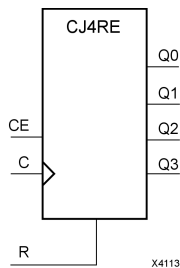
このエレメントは、回路図でのみ使用できます。

### 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## CJ4RE

マクロ：4-Bit Johnson Counter with Clock Enable and Synchronous Reset



### 概要

このデザイン エLEMENTは、リセット可能なジョンソン/シフト カウンターです。同期 R が High になると、ほかのすべての入力は無視され、クロック (C) が Low から High に切り替わる時に出力が 0 になります。クロック イネーブル入力 (CE) が High の場合、クロックが Low から High に切り替わる時にカウンタがインクリメント (Q0 → Q1、Q1 → Q2 のようにシフト) します。CE が Low の場合、クロック遷移は無視されます。

このデザイン エLEMENTでは、Q3 の出力が反転されて入力 Q0 にフィードバックされ、連続したカウント処理が行われます。

電力を供給すると、カウンタは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP\_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

### 論理表

入力			出力	
R	CE	C	Q0	Q1 - Q3
1	X	↑	0	0
0	0	X	変化なし	変化なし
0	1	↑	!q3	q0 - q2
q = アクティブなクロック エッジの 1 セットアップ タイム前の対応する出力の値				

### デザインの入力方法

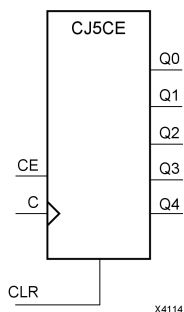
このELEMENTは、回路図でのみ使用できます。

### 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## CJ5CE

マクロ：5-Bit Johnson Counter with Clock Enable and Asynchronous Clear



### 概要

このデザイン エレメントは、クリア可能なジョンソン/シフト カウンターです。非同期クリア (CLR) 入力が高になると、ほかのすべての入力は無視され、クロック (C) の遷移に関係なく、出力 (Q) が 0 になります。クロック イネーブル入力 (CE) が High の場合、クロックが Low から High に切り替わるときにカウンタがインクリメント (Q0 → Q1、Q1 → Q2 のようにシフト) します。CE が Low の場合、クロック遷移は無視されます。

このデザイン エレメントでは、Q4 の出力が反転されて入力 Q0 にフィードバックされ、連続したカウント処理が行われます。

電力を供給すると、カウンタは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP\_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

### 論理表

入力			出力	
CLR	CE	C	Q0	Q1 - Q4
1	X	X	0	0
0	0	X	変化なし	変化なし
0	1	↑	!q4	q0 - q3
q = アクティブなクロック エッジの 1 セットアップ タイム前の対応する出力の値				

### デザインの入力方法

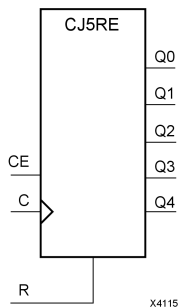
このエレメントは、回路図でのみ使用できます。

### 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## CJ5RE

## マクロ：5-Bit Johnson Counter with Clock Enable and Synchronous Reset



## 概要

このデザイン エLEMENTは、リセット可能なジョンソン/シフト カウンターです。同期 R が High になると、ほかのすべての入力は無視され、クロック (C) が Low から High に切り替わるときに出力が 0 になります。クロック イネーブル入力 (CE) が High の場合、クロックが Low から High に切り替わるときにカウンタがインクリメント (Q0 → Q1、Q1 → Q2 のようにシフト) します。CE が Low の場合、クロック遷移は無視されます。

このデザイン エLEMENTでは、Q4 の出力が反転されて入力 Q0 にフィードバックされ、連続したカウント処理が行われます。

電力を供給すると、カウンタは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP\_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

## 論理表

入力			出力	
R	CE	C	Q0	Q1 – Q4
1	X	↑	0	0
0	0	X	変化なし	変化なし
0	1	↑	!q4	q0 – q3
q = アクティブなクロック エッジの 1 セットアップ タイム前の対応する出力の値				

## デザインの入力方法

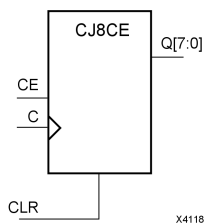
このELEMENTは、回路図でのみ使用できます。

## 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## CJ8CE

マクロ：8-Bit Johnson Counter with Clock Enable and Asynchronous Clear



### 概要

このデザイン エレメントは、クリア可能なジョンソン/シフト カウンターです。非同期クリア (CLR) 入力が高レベルになると、ほかのすべての入力は無視され、クロック (C) の遷移に関係なく、出力 (Q) が 0 になります。クロック イネーブル入力 (CE) が High の場合、クロックが Low から High に切り替わるときにカウンタがインクリメント (Q0 → Q1、Q1 → Q2 のようにシフト) します。CE が Low の場合、クロック遷移は無視されます。

このデザイン エレメントでは、Q7 の出力が反転されて入力 Q0 にフィードバックされ、連続したカウント処理が行われます。

電力を供給すると、カウンタは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP\_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

### 論理表

入力			出力	
CLR	CE	C	Q0	Q1 – Q8
1	X	X	0	0
0	0	X	変化なし	変化なし
0	1	↑	!q7	q0 – q7
q = アクティブなクロック エッジの 1 セットアップ タイム前の対応する出力の値				

### デザインの入力方法

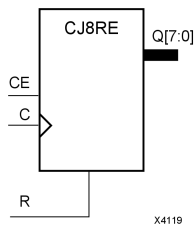
このエレメントは、回路図でのみ使用できます。

### 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## CJ8RE

マクロ：8-Bit Johnson Counter with Clock Enable and Synchronous Reset



### 概要

このデザイン エLEMENTは、リセット可能なジョンソン/シフト カウンターです。同期 R が High になると、ほかのすべての入力は無視され、クロック (C) が Low から High に切り替わる時に出力が 0 になります。クロック イネーブル入力 (CE) が High の場合、クロックが Low から High に切り替わる時にカウンタがインクリメント (Q0 → Q1、Q1 → Q2 のようにシフト) します。CE が Low の場合、クロック遷移は無視されます。

このデザイン エLEMENTでは、Q7 の出力が反転されて入力 Q0 にフィードバックされ、連続したカウント処理が行われます。

電力を供給すると、カウンタは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP\_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

### 論理表

入力			出力	
R	CE	C	Q0	Q1 – Q7
1	X	↑	0	0
0	0	X	変化なし	変化なし
0	1	↑	!q7	q0 – q6
q = アクティブなクロック エッジの 1 セットアップ タイム前の対応する出力の値				

### デザインの入力方法

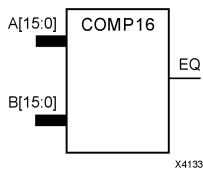
このELEMENTは、回路図でのみ使用できます。

### 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## COMP16

### マクロ：16-Bit Identity Comparator



### 概要

このデザイン エLEMENTは、16 ビットのアイデンティティ コンパレータです。イコール出力 (EQ) は、A15 ～ A0 および B15 ～ B0 の 2 つのワードが等しいと High になります。

2 つのワードが等しいかどうかは、各ビットを比較して判断されます。各ワードの対応するビットのいずれかに等しくないものがある場合、EQ 出力は Low になります。

### デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

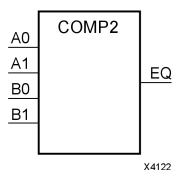
### 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)



## COMP2

### マクロ：2-Bit Identity Comparator



### 概要

このデザイン エLEMENTは、2 ビットのアイデンティティ コンパレータです。イコール出力 (EQ) は、A1 ～ A0 および B1 ～ B0 の 2 つのワードが等しいと High になります。

2 つのワードが等しいかどうかは、各ビットを比較して判断されます。各ワードの対応するビットのいずれかに等しくないものがある場合、EQ 出力は Low になります。

### デザインの入力方法

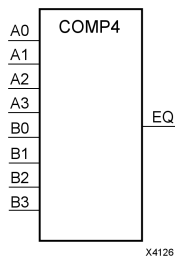
このELEMENTは、回路図でのみ使用できます。

### 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## COMP4

### マクロ：4-Bit Identity Comparator



### 概要

このデザイン エLEMENTは、4 ビットのアイデンティティ コンパレータです。イコール出力 (EQ) は、A3 ～ A0 および B3 ～ B0 の 2 つのワードが等しいと High になります。

2 つのワードが等しいかどうかは、各ビットを比較して判断されます。各ワードの対応するビットのいずれかに等しくないものがある場合、EQ 出力は Low になります。

### デザインの入力方法

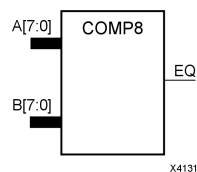
このELEMENTは、回路図でのみ使用できます。

### 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## COMP8

### マクロ：8-Bit Identity Comparator



### 概要

このデザイン エLEMENTは、8 ビットのアイデンティティコンパレータです。イコール出力 (EQ) は、A7 ～ A0 および B7 ～ B0 の 2 つのワードが等しいと High になります。

2 つのワードが等しいかどうかは、各ビットを比較して判断されます。各ワードの対応するビットのいずれかに等しくないものがある場合、EQ 出力は Low になります。

### デザインの入力方法

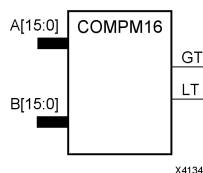
このELEMENTは、回路図でのみ使用できます。

### 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## COMPM16

### マクロ : 16-Bit Magnitude Comparator



### 概要

このデザイン エLEMENTは 16 ビットのマグニチュード コンパレータであり、2 つの正の 2 進重み付きワード A15 ~ A0 と B15 ~ B0 を比較します。この場合、A15 と B15 が最上位ビットです。

大なり出力 (GT) は  $A > B$  のとき High になり、小なり出力 (LT) は  $A < B$  のとき High になります。2 つのワードが等しいときは、GT と LT の両方が Low になります。このマクロで等価性を調べるには、両方の出力を NOR ゲートで比較します。

### 論理表

入力								出力	
A7、B7	A6、B6	A5、B5	A4、B4	A3、B3	A2、B2	A1、B1	A0、B0	GT	LT
A7>B7	X	X	X	X	X	X	X	1	0
A7<B7	X	X	X	X	X	X	X	0	1
A7=B7	A6>B6	X	X	X	X	X	X	1	0
A7=B7	A6<B6	X	X	X	X	X	X	0	1
A7=B7	A6=B6	A5>B5	X	X	X	X	X	1	0
A7=B7	A6=B6	A5<B5	X	X	X	X	X	0	1
A7=B7	A6=B6	A5=B5	A4>B4	X	X	X	X	1	0
A7=B7	A6=B6	A5=B5	A4<B4	X	X	X	X	0	1
A7=B7	A6=B6	A5=B5	A4=B4	A3>B3	X	X	X	1	0
A7=B7	A6=B6	A5=B5	A4=B4	A3<B3	X	X	X	0	1
A7=B7	A6=B6	A5=B5	A4=B4	A3=B3	A2>B2	X	X	1	0
A7=B7	A6=B6	A5=B5	A4=B4	A3=B3	A2<B2	X	X	0	1
A7=B7	A6=B6	A5=B5	A4=B4	A3=B3	A2=B2	A1>B1	X	1	0
A7=B7	A6=B6	A5=B5	A4=B4	A3=B3	A2=B2	A1<B1	X	0	1
A7=B7	A6=B6	A5=B5	A4=B4	A3=B3	A2=B2	A1=B1	A0>B0	1	0
A7=B7	A6=B6	A5=B5	A4=B4	A3=B3	A2=B2	A1=B1	A0<B0	0	1
A7=B7	A6=B6	A5=B5	A4=B4	A3=B3	A2=B2	A1=B1	A0=B0	0	0

### デザインの入力方法

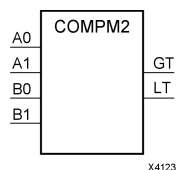
このELEMENTは、回路図でのみ使用できます。

### 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## COMPM2

### マクロ：2-Bit Magnitude Comparator



### 概要

このデザイン エLEMENTは 2 ビットのマグニチュード コンパレータであり、2 つの正の 2 進重み付きワード A1 ～ A0 と B1 ～ B0 を比較します。この場合、A1 と B1 が最上位ビットです。

大なり出力 (GT) は  $A > B$  のとき High になり、小なり出力 (LT) は  $A < B$  のとき High になります。2 つのワードが等しいときは、GT と LT の両方が Low になります。このマクロで等価性を調べるには、両方の出力を NOR ゲートで比較します。

### 論理表

入力				出力	
A1	B1	A0	B0	GT	LT
0	0	0	0	0	0
0	0	1	0	1	0
0	0	0	1	0	1
0	0	1	1	0	0
1	1	0	0	0	0
1	1	1	0	1	0
1	1	0	1	0	1
1	1	1	1	0	0
1	0	X	X	1	0
0	1	X	X	0	1

### デザインの入力方法

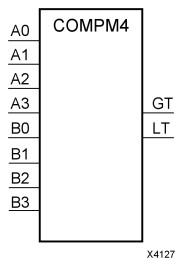
このELEMENTは、回路図でのみ使用できます。

### 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## COMPM4

### マクロ : 4-Bit Magnitude Comparator



### 概要

このデザイン エレメントは 4 ビットのマグニチュード コンパレータであり、2 つの正の 2 進重み付きワード A3 ~ A0 と B3 ~ B0 を比較します。この場合、A3 と B3 が最上位ビットです。

大なり出力 (GT) は  $A > B$  のとき High になり、小なり出力 (LT) は  $A < B$  のとき High になります。2 つのワードが等しいときは、GT と LT の両方が Low になります。このマクロで等価性を調べるには、両方の出力を NOR ゲートで比較します。

### 論理表

入力				出力	
A3、B3	A2、B2	A1、B1	A0、B0	GT	LT
$A3 > B3$	X	X	X	1	0
$A3 < B3$	X	X	X	0	1
$A3 = B3$	$A2 > B2$	X	X	1	0
$A3 = B3$	$A2 < B2$	X	X	0	1
$A3 = B3$	$A2 = B2$	$A1 > B1$	X	1	0
$A3 = B3$	$A2 = B2$	$A1 < B1$	X	0	1
$A3 = B3$	$A2 = A2$	$A1 = B1$	$A0 > B0$	1	0
$A3 = B3$	$A2 = B2$	$A1 = B1$	$A0 < B0$	0	1
$A3 = B3$	$A2 = B2$	$A1 = B1$	$A0 = B0$	0	0

### デザインの入力方法

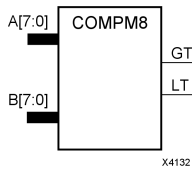
このエレメントは、回路図でのみ使用できます。

### 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## COMP8

### マクロ : 8-Bit Magnitude Comparator



### 概要

このデザイン エLEMENTは 8 ビットのマグニチュード コンパレータであり、2 つの正の 2 進重み付きワード A7 ~ A0 と B7 ~ B0 を比較します。この場合、A7 と B7 が最上位ビットです。

大なり出力 (GT) は  $A > B$  のとき High になり、小なり出力 (LT) は  $A < B$  のとき High になります。2 つのワードが等しいときは、GT と LT の両方が Low になります。このマクロで等価性を調べるには、両方の出力を NOR ゲートで比較します。

### 論理表

入力								出力	
A7、B7	A6、B6	A5、B5	A4、B4	A3、B3	A2、B2	A1、B1	A0、B0	GT	LT
$A7 > B7$	X	X	X	X	X	X	X	1	0
$A7 < B7$	X	X	X	X	X	X	X	0	1
$A7 = B7$	$A6 > B6$	X	X	X	X	X	X	1	0
$A7 = B7$	$A6 < B6$	X	X	X	X	X	X	0	1
$A7 = B7$	$A6 = B6$	$A5 > B5$	X	X	X	X	X	1	0
$A7 = B7$	$A6 = B6$	$A5 < B5$	X	X	X	X	X	0	1
$A7 = B7$	$A6 = B6$	$A5 = B5$	$A4 > B4$	X	X	X	X	1	0
$A7 = B7$	$A6 = B6$	$A5 = B5$	$A4 < B4$	X	X	X	X	0	1
$A7 = B7$	$A6 = B6$	$A5 = B5$	$A4 = B4$	$A3 > B3$	X	X	X	1	0
$A7 = B7$	$A6 = B6$	$A5 = B5$	$A4 = B4$	$A3 < B3$	X	X	X	0	1
$A7 = B7$	$A6 = B6$	$A5 = B5$	$A4 = B4$	$A3 = B3$	$A2 > B2$	X	X	1	0
$A7 = B7$	$A6 = B6$	$A5 = B5$	$A4 = B4$	$A3 = B3$	$A2 < B2$	X	X	0	1
$A7 = B7$	$A6 = B6$	$A5 = B5$	$A4 = B4$	$A3 = B3$	$A2 = B2$	$A1 > B1$	X	1	0
$A7 = B7$	$A6 = B6$	$A5 = B5$	$A4 = B4$	$A3 = B3$	$A2 = B2$	$A1 < B1$	X	0	1
$A7 = B7$	$A6 = B6$	$A5 = B5$	$A4 = B4$	$A3 = B3$	$A2 = B2$	$A1 = B1$	$A0 > B0$	1	0
$A7 = B7$	$A6 = B6$	$A5 = B5$	$A4 = B4$	$A3 = B3$	$A2 = B2$	$A1 = B1$	$A0 < B0$	0	1
$A7 = B7$	$A6 = B6$	$A5 = B5$	$A4 = B4$	$A3 = B3$	$A2 = B2$	$A1 = B1$	$A0 = B0$	0	0

### デザインの入力方法

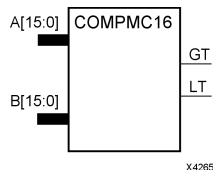
このELEMENTは、回路図でのみ使用できます。

### 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## COMP16

### マクロ : 16-Bit Magnitude Comparator



### 概要

このデザイン エLEMENTは 16 ビットのマグニチュード コンパレータであり、2 つの正の 2 進重み付きワード A15 ~ A0 と B15 ~ B0 を比較します。この場合、A15 と B15 が最上位ビットです。

このコンパレータは、キャリー ロジックと相対ロケーション制約を使用してインプリメントされているので、ロジックが効率よく配置されます。

大なり出力 (GT) は  $A > B$  のとき High になり、小なり出力 (LT) は  $A < B$  のとき High になります。2 つのワードが等しいときは、GT と LT の両方が Low になります。このマクロで等価性を調べるには、両方の出力を NOR ゲートに接続します。

### 論理表

入力								出力	
A7、B7	A6、B6	A5、B5	A4、B4	A3、B3	A2、B2	A1、B1	A0、B0	GT	LT
A7>B7	X	X	X	X	X	X	X	1	0
A7<B7	X	X	X	X	X	X	X	0	1
A7=B7	A6>B6	X	X	X	X	X	X	1	0
A7=B7	A6<B6	X	X	X	X	X	X	0	1
A7=B7	A6=B6	A5>B5	X	X	X	X	X	1	0
A7=B7	A6=B6	A5<B5	X	X	X	X	X	0	1
A7=B7	A6=B6	A5=B5	A4>B4	X	X	X	X	1	0
A7=B7	A6=B6	A5=B5	A4<B4	X	X	X	X	0	1
A7=B7	A6=B6	A5=B5	A4=B4	A3>B3	X	X	X	1	0
A7=B7	A6=B6	A5=B5	A4=B4	A3<B3	X	X	X	0	1
A7=B7	A6=B6	A5=B5	A4=B4	A3=B3	A2>B2	X	X	1	0
A7=B7	A6=B6	A5=B5	A4=B4	A3=B3	A2<B2	X	X	0	1
A7=B7	A6=B6	A5=B5	A4=B4	A3=B3	A2=B2	A1>B1	X	1	0
A7=B7	A6=B6	A5=B5	A4=B4	A3=B3	A2=B2	A1<B1	X	0	1
A7=B7	A6=B6	A5=B5	A4=B4	A3=B3	A2=B2	A1=B1	A0>B0	1	0
A7=B7	A6=B6	A5=B5	A4=B4	A3=B3	A2=B2	A1=B1	A0<B0	0	1
A7=B7	A6=B6	A5=B5	A4=B4	A3=B3	A2=B2	A1=B1	A0=B0	0	0

### デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

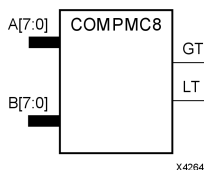


## 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## COMP8

### マクロ : 8-Bit Magnitude Comparator



### 概要

このデザイン エLEMENTは 8 ビットのマグニチュード コンパレータであり、2 つの正の 2 進重み付きワード A7 ~ A0 と B7 ~ B0 を比較します。この場合、A7 と B7 が最上位ビットです。

このコンパレータは、キャリー ロジックと相対ロケーション制約を使用してインプリメントされているので、ロジックが効率よく配置されます。

大なり出力 (GT) は  $A > B$  のとき High になり、小なり出力 (LT) は  $A < B$  のとき High になります。2 つのワードが等しいときは、GT と LT の両方が Low になります。このマクロで等価性を調べるには、両方の出力を NOR ゲートに接続します。

### 論理表

入力								出力	
A7、B7	A6、B6	A5、B5	A4、B4	A3、B3	A2、B2	A1、B1	A0、B0	GT	LT
A7>B7	X	X	X	X	X	X	X	1	0
A7<B7	X	X	X	X	X	X	X	0	1
A7=B7	A6>B6	X	X	X	X	X	X	1	0
A7=B7	A6<B6	X	X	X	X	X	X	0	1
A7=B7	A6=B6	A5>B5	X	X	X	X	X	1	0
A7=B7	A6=B6	A5<B5	X	X	X	X	X	0	1
A7=B7	A6=B6	A5=B5	A4>B4	X	X	X	X	1	0
A7=B7	A6=B6	A5=B5	A4<B4	X	X	X	X	0	1
A7=B7	A6=B6	A5=B5	A4=B4	A3>B3	X	X	X	1	0
A7=B7	A6=B6	A5=B5	A4=B4	A3<B3	X	X	X	0	1
A7=B7	A6=B6	A5=B5	A4=B4	A3=B3	A2>B2	X	X	1	0
A7=B7	A6=B6	A5=B5	A4=B4	A3=B3	A2<B2	X	X	0	1
A7=B7	A6=B6	A5=B5	A4=B4	A3=B3	A2=B2	A1>B1	X	1	0
A7=B7	A6=B6	A5=B5	A4=B4	A3=B3	A2=B2	A1<B1	X	0	1
A7=B7	A6=B6	A5=B5	A4=B4	A3=B3	A2=B2	A1=B1	A0>B0	1	0
A7=B7	A6=B6	A5=B5	A4=B4	A3=B3	A2=B2	A1=B1	A0<B0	0	1
A7=B7	A6=B6	A5=B5	A4=B4	A3=B3	A2=B2	A1=B1	A0=B0	0	0

### デザインの入力方法

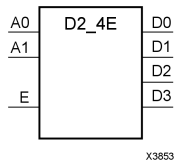
このELEMENTは、回路図でのみ使用できます。

## 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## D2\_4E

マクロ : 2- to 4-Line Decoder/Demultiplexer with Enable



### 概要

このデザイン エLEMENTは、デコーダー/デマルチプレクサーです。イネーブル (E) 入力が高の場合、2 ビットのバイナリ アドレス (A1 ~ A0) 入力に応じて 4 つのアクティブ High の出力 (D3 ~ D0) のいずれかが High になります。それ以外の出力は、Low になります。E 入力が高の場合は、すべての出力が Low になります。デマルチプレクサー アプリケーションでは、E 入力が入力値になります。

### 論理表

入力			出力			
A1	A0	E	D3	D2	D1	D0
X	X	0	0	0	0	0
0	0	1	0	0	0	1
0	1	1	0	0	1	0
1	0	1	0	1	0	0
1	1	1	1	0	0	0

### デザインの入力方法

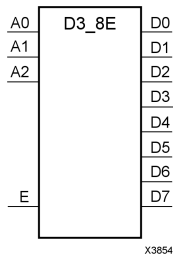
このELEMENTは、回路図でのみ使用できます。

### 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## D3\_8E

マクロ : 3- to 8-Line Decoder/Demultiplexer with Enable



### 概要

D3\_8E デコーダー/デマルチプレクサーのイネーブル (E) 入力が高の場合、3 ビットのバイナリ アドレス (A2 ~ A0) 入力によって 8 つのアクティブ High の出力 (D7 ~ D0) のいずれかが High になります。それ以外の出力は、Low になります。E 入力が高の場合、すべての出力が Low になります。デマルチプレクサー アプリケーションでは、E 入力が入力値になります。

### 論理表

入力				出力							
A2	A1	A0	E	D7	D6	D5	D4	D3	D2	D1	D0
X	X	X	0	0	0	0	0	0	0	0	0
0	0	0	1	0	0	0	0	0	0	0	1
0	0	1	1	0	0	0	0	0	0	1	0
0	1	0	1	0	0	0	0	0	1	0	0
0	1	1	1	0	0	0	0	1	0	0	0
1	0	0	1	0	0	0	1	0	0	0	0
1	0	1	1	0	0	1	0	0	0	0	0
1	1	0	1	0	1	0	0	0	0	0	0
1	1	1	1	1	0	0	0	0	0	0	0

### デザインの入力方法

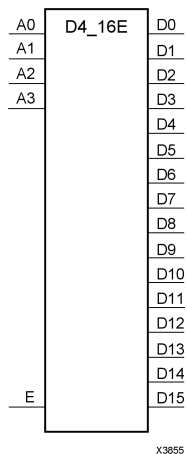
このエレメントは、回路図でのみ使用できます。

### 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## D4\_16E

マクロ : 4- to 16-Line Decoder/Demultiplexer with Enable



### 概要

このデザイン エLEMENTは、デコーダー/デマルチプレクサーです。D4\_16E デコーダー/デマルチプレクサーのイネーブル (E) 入力が高になると、4 ビットのバイナリ アドレス (A3 ~ A0) 入力に応じて 16 のアクティブ High の出力 (D15 ~ D0) のいずれかが High になります。それ以外の出力は、Low になります。E 入力が高の場合は、すべての出力が Low になります。デマルチプレクサー アプリケーションでは、E 入力が入力値になります。

### デザインの入力方法

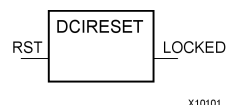
このELEMENTは、回路図でのみ使用できます。

### 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## DCIRESET

### プリミティブ：Digitally Controlled Impedance Reset Component



### 概要

このデザイン エLEMENTは、コンフィギュレーション後に DCI (Digitally Controlled Impedance) ステート マシンをリセットするために使用します。デバイスの動作中に DCIRESET プリミティブへの RST 入力を切り替えることで、DCI ステート マシンがリセットされ、インピーダンス調整の両段階が順番に実行されます。DCI を使用するすべての I/O は、DCIRESET ブロックの LOCKED 出力がアサートされるまで使用できません。

### ポートの説明

ポート名	方向	幅	機能
LOCKED	出力	1	DCI ステート マシン LOCK ステータス出力。Low のときは DCI I/O インピーダンスが調整されるので、DCI I/O は使用できませんが、Low から High に遷移すると、使用できるようになります。
RST	入力	1	DCI ステート マシンへのアクティブ High の非同期リセット入力。RST のアサートされると、LOCKED がアサートされるまで DCI を使用している I/O が使用できなくなります。

### デザインの入力方法

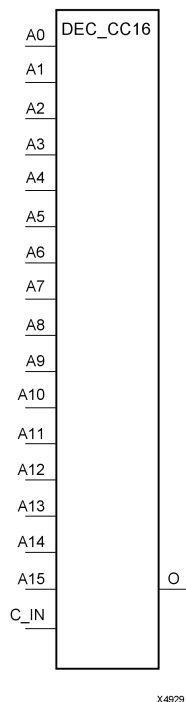
このELEMENTは、回路図で使用できます。

### 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## DEC\_CC16

マクロ : 16-Bit Active Low Decoder



## 概要

このデザイン エLEMENTは、多入力デコーダー ファンクションを作成するために使用される 16 ビットのデコーダーで、ルックアップ テーブル (LUT) で駆動される CY\_MUX ELEMENTをカスケードしてインプリメントされます。C\_IN ピンは、前段のデコードの出力 (O) によってのみ駆動されます。1 つ以上の入力 (A) が Low になると、出力が Low になります。すべての A 入力と C\_IN 入力が High になると、出力が High になります。入力にインバーターを追加すると、パターンをデコードできます。

## 論理表

入力					出力
A0	A1	...	Az	C_IN	O
1	1	1	1	1	1
X	X	X	X	0	0
0	X	X	X	X	0
X	0	X	X	X	0
X	X	X	0	X	0

DEC\_CC4 の場合 z = 3、DEC\_CC8 の場合 z = 7、DEC\_CC16 の場合 z = 15

## デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

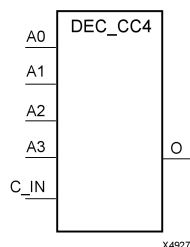


## 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## DEC\_CC4

マクロ : 4-Bit Active Low Decoder



### 概要

このデザイン エレメントは、多入力デコーダー ファンクションを作成するために使用される 4 ビットのデコーダーで、ルックアップ テーブル (LUT) で駆動される CY\_MUX エレメントをカスケードしてインプリメントされます。C\_IN ピンは、前段のデコードの出力 (O) によってのみ駆動されます。1 つ以上の入力 (A) が Low になると、出力が Low になります。すべての A 入力と C\_IN 入力が高になると、出力が高になります。入力にインバーターを追加すると、パターンをデコードできます。

### 論理表

入力					出力
A0	A1	...	Az	C_IN	O
1	1	1	1	1	1
X	X	X	X	0	0
0	X	X	X	X	0
X	0	X	X	X	0
X	X	X	0	X	0

DEC\_CC4 の場合 z = 3、DEC\_CC8 の場合 z = 7、DEC\_CC16 の場合 z = 15

### デザインの入力方法

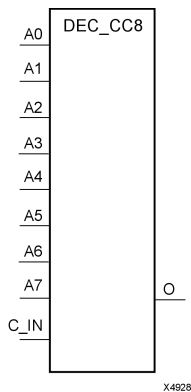
このエレメントは、回路図でのみ使用できます。

### 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## DEC\_CC8

マクロ：8-Bit Active Low Decoder



### 概要

このデザイン エLEMENTは、多入力デコーダー ファンクションを作成するために使用される 8 ビットのデコーダーで、ルックアップ テーブル (LUT) で駆動される CY\_MUX エLEMENTをカスケードしてインプリメントされます。C\_IN ピンは、前段のデコードの出力 (O) によってのみ駆動されます。1 つ以上の入力 (A) が Low になると、出力が Low になります。すべての A 入力と C\_IN 入力が High になると、出力が High になります。入力にインバーターを追加すると、パターンをデコードできます。

### 論理表

入力					出力
A0	A1	...	Az	C_IN	O
1	1	1	1	1	1
X	X	X	X	0	0
0	X	X	X	X	0
X	0	X	X	X	0
X	X	X	0	X	0
DEC_CC4 の場合 z = 3、DEC_CC8 の場合 z = 7、DEC_CC16 の場合 z = 15					

### デザインの入力方法

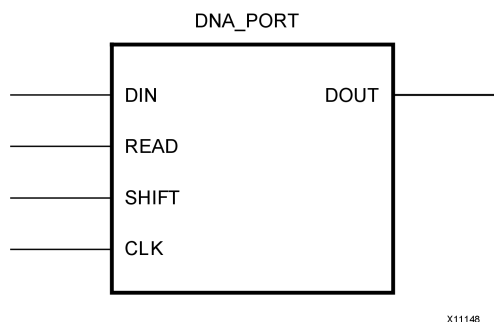
このELEMENTは、回路図でのみ使用できます。

### 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## DNA\_PORT

### プリミティブ：Device DNA Access Port



### 概要

DNA\_PORT を使用すると、7 シリーズ デバイスのデバイス DNA データ ビット (工場でプログラムされた読み取り専用の固有 ID) を読み込むことができる専用のシフトレジスタにアクセスできます。このコンポーネントを使用すると、DNA データ ビットをシフトアウトできるだけでなく、補足データ ビットを含めたり、DNA データをロールオーバーさせる (初期データのシフトアウト後に DNA データを繰り返す) こともできます。このコンポーネントは、主にほかの回路と合わせて FPGA ビットストリームの不正コピー防止を構築するのに使用されます。正しく動作するように、入力および出力をすべてデザインに接続してください。デバイス DNA データにアクセスするにはまず、アクティブ High の READ 信号を 1 クロック サイクル間 High にしてシフトレジスタをロードする必要があります。シフトレジスタをロードした後は、アクティブ High の SHIFT 入力をイネーブルにして、DOUT 出力ポートのデータを取り込むことで、データをクロックに同期させてシフトアウトできます。追加するデータがある場合は、適切なロジックを DIN ポートに接続すると、57 ビットのシフトレジスタの最後に追加できます。DNA データをロールオーバーする場合は、DOUT ポートを直接 DIN ポートに接続し、57 ビットのシフト操作の後で同じデータがシフトアウトされるようにします。データを追加する必要がない場合は、DIN ポートを論理値 0 に固定できます。属性 SIM\_DNA\_VALUE はオプションで、DNA データシーケンスをシミュレーションするように設定できます。デフォルトでは、シミュレーション モデルのデバイス DNA データ ビットはすべて 0 です。

### ポートの説明

ポート名	方向	幅	機能
CLK	入力	1	クロック入力
DIN	入力	1	ユーザー データ入力
DOUT	出力	1	DNA 出力データ
READ	入力	1	アクティブ High の DNA ロード入力、アクティブ Low の読み出し入力
SHIFT	入力	1	アクティブ High のシフト イネーブル入力

### デザインの入力方法

このエレメントは、回路図で使用できます。

## 使用可能な属性

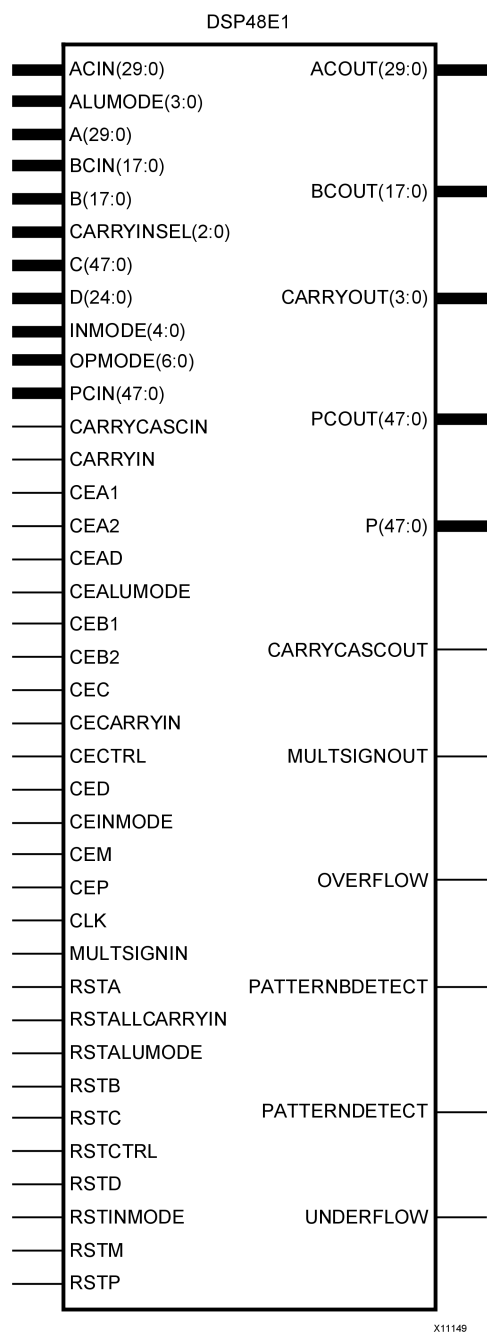
属性	データ型	値	デフォルト	説明
SIM_DNA_VALUE	16 進数	57'h00000000000000 000 ~ 57'h1fffffffffffff	すべてゼロ	シミュレーションで使用する 57 ビットの DNA 値を指定します。

## 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## DSP48E1

### プリミティブ : 48-bit Multi-Functional Arithmetic Block



### 概要

このデザイン エLEMENTは、7 シリーズ デバイスに含まれる柔軟性が高い多用途のハード IP ブロックで、多くの DSP アルゴリズムで見られる小型で高速な演算処理を作成できます。このブロックでは、乗算、加算、減算、累積、シフト、論理処理、およびパターン検出などが実行できます。

データポート A、B、C、および D を使用しない場合でリーク電流を削減するには、データポート入力信号を High にし、ポート入力レジスタを選択し、CE および RST 入力制御信号を Low にする必要があります。次に、未使用の C ポートに推奨する設定の例を示します。C[47:0] = すべて 1、CREG = 1、CEC = 0、および RSTC = 0

すべての信号はアクティブ High です。

## ポートの説明

ポート名	方向	幅	説明
A<29:0>	入力	30	前置加算器、乗算器器、加減算器/アキュムレーター、ALU、または連結などの処理用のデータ入力。乗算器または前置加算器で使用する場合は、データ (A[24:0]) の 25 ビットが使用され、上位ビット (A[29:25]) は使用されず、グランドに接続される場合があります。内部加減算器/アキュムレーターまたは ALU 回路で使用する場合は、30 ビットすべてが使用されます (A[29:0])。連結モードで使用される場合は、30 ビットすべてが使用され、連結ベクターの MSB (上位) ビットを構成します。
ACIN<29:0>	入力	30	カスケード接続されている直前の DSP48E1 スライスの ACOUT からのデータ入力で、A 入力と共にマルチプレクサー処理されます。使用しない場合は、ポートをすべてゼロにします。この信号は、DSP48E1 列への内部専用配線パスです。ファブリック配線リソースからはアクセスできません。
ACOUT<29:0>	出力	30	カスケード接続されている次の DSP48E1 スライスの ACIN へのデータ出力で、使用しない場合は未接続にします。この信号は、DSP48E1 列への内部専用配線パスです。ファブリック配線リソースからはアクセスできません。
ALUMODE<3:0>	入力	4	DSP48E1 スライスのロジック ファンクションの選択を制御します。
B<17:0>	入力	18	乗算器の B 入力です。B[17:0] A と B の連結入力の最下位ビット (LSB) で、2 段目の加減算器またはロジック ファンクションに入力されます。
BCIN<17:0>	入力	18	カスケード接続されている直前の DSP48E1 スライスの BCOUT からのデータ入力で、B 入力と共にマルチプレクサー処理されます。使用しない場合は、ポートをすべてゼロにします。この信号は、DSP48E1 列への内部専用配線パスです。ファブリック配線リソースからはアクセスできません。
BCOUT<17:0>	出力	18	カスケード接続されている次の DSP48E1 スライスの BCIN へのデータ出力で、使用しない場合は未接続にします。この信号は、DSP48E1 列への内部専用配線パスです。ファブリック配線リソースからはアクセスできません。
C<47:0>	入力	48	加減算器、パターン検出器、またはロジック ファンクションへのデータ入力。
CARRYCASCIN	入力	1	カスケード接続されている直前の DSP48E1 スライスの CARRYCASCOUT からのキャリー入力。この信号は、DSP48E1 列への内部専用配線パスです。ファブリック配線リソースからはアクセスできません。
CARRYCASCOUT	出力	1	カスケード接続されている次の DSP48E1 スライスの CARRYCASCIN へのキャリー出力。この信号は、同じ DSP48E1 スライスの CARRYINSEL マルチプレクサー入力に内部フィードバックされます。この信号は、DSP48E1 列への内部専用配線パスです。ファブリック配線リソースからはアクセスできません。
CARRYIN	入力	1	FPGA ロジックからのキャリー入力

ポート名	方向	幅	説明
CARRYINSEL<2:0>	入力	3	<p>キャリーのソースを選択します。</p> <ul style="list-style-type: none"> <li>0 1 1 – PCIN[47] : PCIN の丸め (0 への丸め)</li> <li>1 0 0 – CARRYCASCOUT : 大型の加算/減算/累積向け (内部フィードバックを介した連続操作)。PREG=1 も選択する必要があります。</li> <li>1 0 1 – ~P[47] : P の丸め (無限大への丸め)。PREG=1 も選択する必要があります。</li> <li>1 1 0 – A[24] : XNOR B[17] A x B の丸め</li> <li>1 1 1 – P[47] : P の丸め (ゼロへの丸め)。PREG=1 も選択する必要があります。</li> </ul>
CARRYOUT<3:0>	出力	4	各累積/加算/ロジックユニットの 12 ビット フィールドから出力される 4 ビット キャリー出力。通常の 48 ビット操作では CARRYOUT3 のみが使用されます。SIMD 操作では、4 キャリー アウトビット (CARRYOUT[3:0]) を使用できます。
CEAD	入力	1	前置加算器出力 AD パイプライン レジスタのアクティブ High のクロック イネーブル。使用しない場合や ADREG=1 の場合は、論理値を 1 にします。ADREG=0 の場合は論理値を 0 にします。
CEALUMODE	入力	1	ALUMODE (制御入力) レジスタ (ALUMODEREG=1) のアクティブ High のクロック イネーブルで、使用しない場合は論理値を 1 にします。
CEA1	入力	1	最初の A (入力) レジスタのアクティブ High のクロック イネーブル。AREG=2 または INMODE0 = 1 の場合のみに使用します。使用しない場合や AREG=2 の場合は、論理値を 1 にします。AREG=0 または 1 の場合は、論理値を 0 にします。2 つのレジスタが使用される場合は、このレジスタが最初に使用されます。ダイナミック AB アクセスが使用されている場合、このクロック イネーブルは INMODE[0]=1 に適用されます。
CEA2	入力	1	2 番目の A (入力) レジスタのアクティブ High のクロック イネーブル。AREG=1 または 2 の場合のみに使用します。使用しない場合や AREG=1 または 2 の場合は、論理値を 1 にします。AREG=0 の場合は論理値を 0 にします。2 つのレジスタが使用される場合は、このレジスタが 2 番目に使用されます。レジスタが使用されている場合 (AREG=1)、CEA2 がクロック イネーブルです。
CEB1	入力	1	最初の B (入力) レジスタのアクティブ High のクロック イネーブル。BREG=2 または INMODE4=1 の場合のみに使用します。使用しない場合や BREG=2 の場合は、論理値を 1 にします。BREG=0 または 1 の場合は、論理値を 0 にします。2 つのレジスタが使用される場合は、このレジスタが最初に使用されます。ダイナミック AB アクセスが使用されている場合、このクロック イネーブルは INMODE[4]=1 に適用されます。
CEB2	入力	1	2 番目の B (入力) レジスタのアクティブ High のクロック イネーブル。BREG=1 または 2 の場合のみに使用します。使用しない場合や BREG=1 または 2 の場合は、論理値を 1 にします。BREG=0 の場合は論理値を 0 にします。2 つのレジスタが使用される場合は、このレジスタが 2 番目に使用されます。レジスタが使用されている場合 (BREG=1)、CEB2 がクロック イネーブルです。
CEC	入力	1	C (入力) レジスタ (CREG=1) のアクティブ High のクロック イネーブルで、使用しない場合は論理値を 1 にします。
CECARRYIN	入力	1	CARRYIN (ファブリックからの入力) レジスタ (CARRYINREG=1) のアクティブ High のクロック イネーブルで、使用しない場合は論理値を 1 にします。



ポート名	方向	幅	説明
CECTRL	入力	1	OPMODE および CARRYINSEL (制御入力) レジスタ (OPMODEREG=1 または CARRYINSELREG=1) のアクティブ High のクロック イネーブルで、使用しない場合は論理値を 1 にします。
CED	入力	1	D (入力) レジスタ (DREG=1) のアクティブ High のクロック イネーブルで、使用しない場合は論理値を 1 にします。
CEINMODE	入力	1	INMODE 制御入力レジスタ (INMODEREG=1) のアクティブ High のクロック イネーブルで、使用しない場合は論理値を 1 にします。
CEM	入力	1	後置乗算 M (パイプライン) レジスタおよび内部乗算丸め CARRYIN レジスタ (MREG=1) のアクティブ High のクロック イネーブルで、使用しない場合は論理値を 1 にします。
CEP	入力	1	P (出力) レジスタ (PREG=1) のアクティブ High のクロック イネーブルで、使用しない場合は論理値を 1 にします。
CLK	入力	1	DSP48E1 の入力クロックで、すべての内部レジスタおよびフリップフロップで使用されます。
D<24:0>	入力	25	前置加算器への 25 ビット データ入力、または乗算器への入力。前置加算器では、INMODE3 信号での決定に合わせ D + A がインプリメントされます。
INMODE<4:0>	入力	5	これらの 5 制御ビットを使用して、前置加算器、A/B/D 入力、および入力レジスタの機能を選択します。使用しない場合は、すべて 0 に接続する必要があります。
MULTSIGNIN	入力	1	MACC 拡張向けに直前の DSP48E1 スライスから出力された乗算結果の符号。別の DSP ブロックの MULTSIGNOUT に接続するか、使用しない場合はグラウンドに接続します。この信号は、DSP48E1 列への内部専用配線バスです。ファブリック配線リソースからはアクセスできません。
MULTSIGNOUT	出力	1	MACC 拡張向けに次の DSP48E1 スライスに入力される乗算結果の符号。別の DSP ブロックの MULTSIGNIN に接続するか、使用しない場合はグラウンドに接続します。この信号は、DSP48E1 列への内部専用配線バスです。ファブリック配線リソースからはアクセスできません。
OPMODE<6:0>	入力	7	DSP スライスの動作およびファンクションを示しながら、DSP48E1 スライスに含まれる X、Y、Z マルチプレクサーへの入力を制御します。
OVERFLOW	出力	1	適切に設定したパターン検出器および PREG=1 を使用したときのアクティブ High のオーバーフロー表示出力
P<47:0>	出力	48	2 段目の加減算器またはロジック ファンクションからのデータ出力
PATTERNBDETECT	出力	1	P[47:0] とパターン バーの一致を示すアクティブ High 出力
PATTERNDETECT	出力	1	P[47:0] と MASK でゲート処理されたパターンの一致を示すアクティブ High 出力で、結果は P と同じクロック サイクルで出力されます。
PCIN<47:0>	入力	48	カスケード接続されている直前の DSP48E1 スライスの PCOUT から加算器へのデータ入力。使用する場合は、カスケード接続されている直前 DSP スライスの PCOUT に接続し、使用しない場合は、ポートをすべてゼロにします。この信号は、DSP48E1 列への内部専用配線バスです。ファブリック配線リソースからはアクセスできません。
PCOUT<47:0>	出力	48	カスケード接続されている次の DSP48E1 スライスの PCIN へのデータ出力。使用する場合は、カスケード接続されている次の DSP スライスの PCIN に接続し、使用しない場合は未接続にします。この信号は、DSP48E1 列への内部専用配線バスです。ファブリック配線リソースからはアクセスできません。
RSTA	入力	1	2 つの A (入力) レジスタ (AREG=1 または 2) のアクティブ High の同期リセットで、使用しない場合は論理値を 0 にします。

ポート名	方向	幅	説明
RSTALLCARRYIN	入力	1	キャリー (内部パス) および CARRYIN レジスタ (CARRYINREG=1) のアクティブ High 同期リセットで、使用しない場合は論理値を 0 にします。
RSTALUMODE	入力	1	ALUMODE (制御入力) レジスタ (ALUMODEREG=1) のアクティブ High の同期リセットで、使用しない場合は論理値を 0 にします。
RSTB	入力	1	2 つの B (入力) レジスタ (BREG=1 または 2) のアクティブ High の同期リセットで、使用しない場合は論理値を 0 にします。
RSTC	入力	1	C (入力) レジスタ (CREG=1) のアクティブ High の同期リセットで、使用しない場合は論理値を 0 にします。
RSTCTRL	入力	1	OPMODE および CARRYINSEL (制御入力) レジスタ (OPMODEREG=1 または CARRYINSELREG=1) のアクティブ High の同期リセットで、使用しない場合は論理値を 0 にします。
RSTD	入力	1	D (入力) レジスタおよび前置加算 (出力) AD パイプライン レジスタ (DREG=1 と ADREG=1 の両方またはいずれか) のアクティブ High の同期リセットで、使用しない場合は論理値を 0 にします。
RSTINMODE	入力	1	INMODE (制御入力) レジスタ (INMODEREG=1) のアクティブ High の同期リセットで、使用しない場合は論理値を 0 にします。
RSTM	入力	1	M (パイプライン) レジスタ (MREG=1) のアクティブ High の同期リセットで、使用しない場合は論理値を 0 にします。
RSTP	入力	1	P (出力) レジスタ (PREG=1) のアクティブ High の同期リセットで、使用しない場合は論理値を 0 にします。
UNDERFLOW	出力	1	適切に設定したパターン検出器および PREG=1 を使用したときのアクティブ High のアンダーフロー表示出力

## デザインの入力方法

このエレメントは、回路図で使用できます。

## 使用可能な属性

属性	方向	値	デフォルト	説明
A_INPUT	文字列	"DIRECT"、 "CASCADE"	DIRECT	A ポートへの入力をパラレル入力 ("DIRECT") またはカスケード接続されている直前のスライスからの入力 ("CASCADE") のいずれかから選択します。
ACASCREG	10 進数	1、0、2	1	AREG 属性と組み合わせて使用し、A カスケードパス ACOUT の A 入力レジスタの数を指定します。この値は、AREG の値以下にする必要があります。 <ul style="list-style-type: none"> <li>AREG=0：ACASCREG を 0 にする必要があります。</li> <li>AREG=1：ACASCREG を 1 にする必要があります。</li> <li>AREG=2：ACASCREG に 1 または 2 を指定できます。</li> </ul>
ADREG	10 進数	1、0	1	AD パイプライン レジスタ数を選択します。AD パイプライン レジスタを使用する場合は 1 に設定します。

属性	方向	値	デフォルト	説明
ALUMODEREG	10 進数	1、0	1	ALUMODE 入力レジスタ数を選択します。ALUMODE 入力をレジスタに格納する場合は 1 に設定します。
AREG	10 進数	1、0、2	1	A 入力パイプライン レジスタ数を選択します。
AUTORESET_PATTERN	文字列	"NO_RESET"、 "RESET_MATCH"、 "RESET_NOT_MATCH"	"NO_RESET"	あるクロック サイクルでパターン検出イベントが発生した場合、その次のクロック サイクルで P レジスタ (累積値またはカウンタ値) を自動的にリセットします。パターンが一致した場合に自動リセットを実行する場合は "RESET_MATCH"、1 つ前のサイクルでパターンが一致していたが現在のサイクルでパターンが一致しない場合にリセットを実行する場合は "RESET_NOT_MATCH" を選択します。
B_INPUT	文字列	"DIRECT"、 "CASCADE"	DIRECT	B ポートへの入力をパラレル入力 ("DIRECT") またはカスケード接続されている直前のスライスからの入力 ("CASCADE") のいずれかから選択します。
BCASCREG	10 進数	1、0、2	1	BREG 属性と組み合わせて使用し、B カスケードパス BCOUT の B 入力レジスタの数を指定します。この値は、BREG の値以下にする必要があります。 <ul style="list-style-type: none"> <li>BREG=0 :BCASCREG を 0 にする必要があります。</li> <li>BREG=1 :BCASCREG を 1 にする必要があります。</li> <li>BREG=2 :BCASCREG に 1 または 2 を指定できます。</li> </ul>
BREG	10 進数	1、0、2	1	B 入力レジスタ数を選択します。
CARRYINREG	10 進数	1、0	1	CARRYIN 入力レジスタ数を選択します。CARRYIN 入力をレジスタに格納する場合は 1 に設定します。
CARRYINSELREG	10 進数	1、0	1	CARRYINSEL 入力レジスタ数を選択します。CARRYINSEL 入力をレジスタに格納する場合は 1 に設定します。
CREG	10 進数	1、0	1	C 入力レジスタ数を選択します。C 入力をレジスタに格納する場合は 1 に設定します。
DREG	10 進数	1、0	1	D 入力レジスタ数を選択します。D 入力をレジスタに格納する場合は 1 に設定します。
INMODEREG	10 進数	1、0	1	INMODE 入力レジスタ数を選択します。INMODE 入力をレジスタに格納する場合は 1 に設定します。
MASK	16 進数	48'h00000000000000 ～ 48'hffffffff	48'h3fffffff	48 ビット値を使用してパターン検出中に特定のビットをマスクし、パターン検出対象外にします。MASK ビットを 1 に設定すると対応するパターンビットが無視され、0 に設定するとパターンビットが比較されます。
MREG	10 進数	1、0	1	乗算器出力 (M) パイプライン レジスタの段数を選択します。使用する場合は 1 に設定します。
OPMODEREG	10 進数	1、0	1	OPMODE 入力レジスタ数を選択します。OPMODE 入力を格納する場合は 1 に設定します。
PATTERN	16 進数	48'h00000000000000 ～ 48'hffffffff	すべてゼロ	この 48 ビット値は、パターン検出器で使用されます。

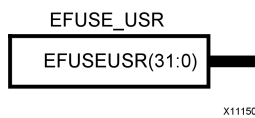
属性	方向	値	デフォルト	説明
PREG	10 進数	1、0	1	P 出力レジスタ数を選択します。P 出力をレジスタに格納する場合は 1 に設定します。レジスタが付いている出力には、CARRYOUT、CARRYCASCOUT、MULTSIGNOUT、PATTERNB_DETECT、PATTERN_DETECT、PCOUT が含まれます。
SEL_MASK	文字列	"MASK"、"C"、 "ROUNDING_ MODE1"、 "ROUNDING_ MODE2"	"MASK"	パターン検出器で使用されるマスクを指定します。C および MASK は、パターン検出器を標準的に使用する際の設定です (カウンタ、オーバーフロー検出など)。ROUNDING_MODE1 (C バー 1 つ左にシフト) および ROUNDING_MODE2 (C バー 2 つ左にシフト) では、オプションでレジスタを付けた C ポートに基づき、特別マスクが選択されます。これらの丸めモードは、パターン検出器を使用して DSP48E1 スライスに収束丸めをインプリメントするのに使用できます。
SEL_PATTERN	文字列	"PATTERN"、"C"	"PATTERN"	パターン フィールドの入力ソースを選択します。入力ソースは、48 ビットのダイナミック C 入力または 48 ビットのスタティック PATTERN 属性フィールドにできます。
USE_DPORT	ブール代数	FALSE、TRUE	FALSE	前置加算器および D ポートの使用の有無を選択します。
USE_MULT	文字列	"MULTIPLY"、 "DYNAMIC"、 "NONE"	"MULTIPLY"	乗算器の使用方法を選択します。"NONE" に設定すると、加算器/ロジックユニットのみを使用するときに消費電力を節約できます。"DYNAMIC" は、ユーザーが A*B と A:B をダイナミックに切り替えていて、この 2 つのパスのワーストケース タイミングを取得することが必要であることを示します。
USE_PATTERN_DETECT	文字列	"NO_PATDET"、 "PATDET"	"NO_PATDET"	パターン検出器および関連機能を使用するか ("PATDET")、使用しないか ("NO_PATDET") 選択します。この属性は、スピード仕様およびシミュレーション モデルの用途のみに使用します。
USE_SIMD	文字列	"ONE48"、 "TWO24"、 "FOUR12"	"ONE48"	加減算器の動作モードを選択します。1 つの 48 ビット加算器モードにするには "ONE48"、2 つの 24 ビット加算器モードにするには "TWO24"、4 つの 12 ビット加算器モードにするには "FOUR12" を指定します。ONE48 モードは、Virtex-5 DSP48 動作と互換性があり、本来の SIMD モードではありません。通常の乗算/加算操作は、"ONE48" が設定されているときにサポートされています。"TWO24" または "FOUR12" モードを選択する場合は、乗算器は使用せず、USE_MULT を "NONE" に設定する必要があります。

## 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## EFUSE\_USR

**プリミティブ：32-bit non-volatile design ID**



### 概要

このデザイン エLEMENTでは、不揮発性、ユーザー プログラマブル eFUSE 32 ビットへの内部アクセスを提供します。

### ポートの説明

ポート名	方向	幅	説明
EFUSEUSR<31 :0>	出力	32	ユーザー eFUSE レジスタ値出力

### デザインの入力方法

このELEMENTは、回路図で使用できます。

### 使用可能な属性

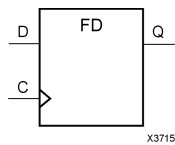
属性	データ型	値	デフォルト	説明
SIM_EFUSE_VALUE	16 進数	32'h00000000 ~ 32'hffffff	すべてゼロ	シミュレーションで使用される 32 ビットの揮発性の値

### 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## FD

### プリミティブ：D Flip-Flop



## 概要

このデザイン エLEMENTは、データ入力 (D) とデータ出力 (Q) がある D フリップフロップです。D 入力の値は、クロック (C) が Low から High に切り替わるときにフリップフロップにロードされます。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP\_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

## 論理表

入力		出力
D	C	Q
0	↑	0
1	↑	1

## デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

## 使用可能な属性

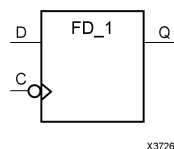
属性	データ型	値	デフォルト	説明
INIT	2 進数	0、1	0	コンフィギュレーション後の Q 出力の初期値を指定

## 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## FD\_1

## プリミティブ：D Flip-Flop with Negative-Edge Clock



## 概要

このデザイン エLEMENTは、データ入力 (D) とデータ出力 (Q) がある単一の D フリップフロップです。D 入力の値は、クロック (C) が High から Low に切り替わる時にフリップフロップにロードされます。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP\_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

## 論理表

入力		出力
D	C	Q
0	↓	0
1	↓	1

## デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

## 使用可能な属性

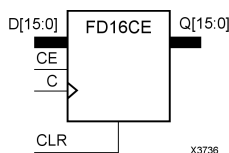
属性	データ型	値	デフォルト	説明
INIT	2 進数	0、1	0	コンフィギュレーション後の Q 出力の初期値を指定

## 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## FD16CE

### マクロ：16-Bit Data Register with Clock Enable and Asynchronous Clear



## 概要

このデザイン エLEMENTは、クロック イネーブルと非同期クリアがある 16 ビットのデータレジスタです。クロック イネーブル (CE) が High、非同期クリア (CLR) が Low の場合、クロック (C) が Low から High に切り替わるときにデータ入力 (D) の値がデータ出力 (Q) に送られます。CLR が High になると、ほかの入力はすべて無視され、出力 (Q) が Low にリセットされます。CE が Low の場合、クロック遷移は無視されます。

電力を供給すると、レジスタは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP\_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

## 論理表

入力				出力
CLR	CE	Dz : D0	C	Qz : Q0
1	X	X	X	0
0	0	X	X	変化なし
0	1	Dn	↑	Dn
z = ビット幅 - 1				

## デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

## 使用可能な属性

属性	データ型	値	デフォルト	説明
INIT	2 進数	16 ビット値	すべてゼロ	コンフィギュレーション後の Q 出力の初期値を指定

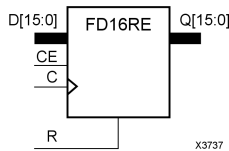
## 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)



## FD16RE

### マクロ：16-Bit Data Register with Clock Enable and Synchronous Reset



### 概要

このデザイン エLEMENTは、16 ビットのデータレジスタです。クロック イネーブル入力 (CE) が High、同期リセット入力 (R) が Low の場合、クロック (C) が Low から High に切り替わるときに入力 (D) の値が対応する出力 (Q) に送られます。R が High になると、ほかの入力はすべて無視され、クロックが Low から High に切り替わるときに出力 (Q) の値が Low にリセットされます。CE が Low の場合、クロック遷移は無視されます。

電力を供給すると、レジスタは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP\_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

### 論理表

入力				出力
R	CE	Dz : D0	C	Qz : Q0
1	X	X	↑	0
0	0	X	X	変化なし
0	1	Dn	↑	Dn
z = ビット幅 - 1				

### デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

### 使用可能な属性

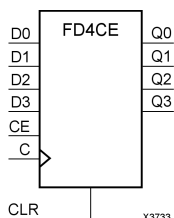
属性	データ型	値	デフォルト	説明
INIT	2 進数	16 ビット値	すべてゼロ	コンフィギュレーション後の Q 出力の初期値を指定

### 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## FD4CE

マクロ : 4-Bit Data Register with Clock Enable and Asynchronous Clear



### 概要

このデザイン エLEMENTは、クロック イネーブルと非同期クリアがある 4 ビットのデータレジスタです。クロック イネーブル (CE) が High、非同期クリア (CLR) が Low の場合、クロック (C) が Low から High に切り替わるときにデータ入力 (D) の値がデータ出力 (Q) に送られます。CLR が High になると、ほかの入力はすべて無視され、出力 (Q) が Low にリセットされます。CE が Low の場合、クロック遷移は無視されます。

電力を供給すると、レジスタは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP\_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

### 論理表

入力				出力
CLR	CE	Dz : D0	C	Qz : Q0
1	X	X	X	0
0	0	X	X	変化なし
0	1	Dn	↑	Dn
z = ビット幅 - 1				

### デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

### 使用可能な属性

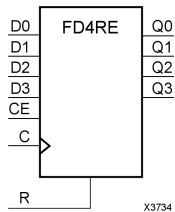
属性	データ型	値	デフォルト	説明
INIT	2 進数	4 ビット値	すべてゼロ	コンフィギュレーション後の Q 出力の初期値を指定

### 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## FD4RE

マクロ：4-Bit Data Register with Clock Enable and Synchronous Reset



### 概要

このデザイン エLEMENTは、4 ビットのデータレジスタです。クロック イネーブル入力 (CE) が High、同期リセット入力 (R) が Low の場合、クロック (C) が Low から High に切り替わるときに入力 (D) の値が対応する出力 (Q) に送られます。R が High になると、ほかの入力はすべて無視され、クロックが Low から High に切り替わるときに出力 (Q) の値が Low にリセットされます。CE が Low の場合、クロック遷移は無視されます。

電力を供給すると、レジスタは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP\_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

### 論理表

入力				出力
R	CE	Dz : D0	C	Qz : Q0
1	X	X	↑	0
0	0	X	X	変化なし
0	1	Dn	↑	Dn
z = ビット幅 - 1				

### デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

### 使用可能な属性

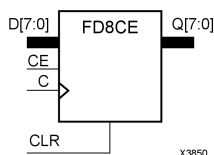
属性	データ型	値	デフォルト	説明
INIT	2 進数	4 ビット値	すべてゼロ	コンフィギュレーション後の Q 出力の初期値を指定

### 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## FD8CE

### マクロ：8-Bit Data Register with Clock Enable and Asynchronous Clear



## 概要

このデザイン エLEMENTは、クロック イネーブルと非同期クリアがある 8 ビットのデータレジスタです。クロック イネーブル (CE) が High、非同期クリア (CLR) が Low の場合、クロック (C) が Low から High に切り替わるときにデータ入力 (D) の値がデータ出力 (Q) に送られます。CLR が High になると、ほかの入力はすべて無視され、出力 (Q) が Low にリセットされます。CE が Low の場合、クロック遷移は無視されます。

電力を供給すると、レジスタは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP\_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

## 論理表

入力				出力
CLR	CE	Dz : D0	C	Qz : Q0
1	X	X	X	0
0	0	X	X	変化なし
0	1	Dn	↑	Dn

z = ビット幅 - 1

## デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

## 使用可能な属性

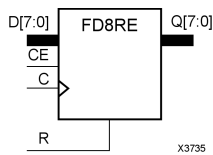
属性	データ型	値	デフォルト	説明
INIT	2 進数	8 ビット値	すべてゼロ	コンフィギュレーション後の Q 出力の初期値を指定

## 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## FD8RE

### マクロ：8-Bit Data Register with Clock Enable and Synchronous Reset



## 概要

このデザイン エLEMENTは、8 ビットのデータレジスタです。クロック イネーブル入力 (CE) が High、同期リセット入力 (R) が Low の場合、クロック (C) が Low から High に切り替わるときに入力 (D) の値が対応する出力 (Q) に送られます。R が High になると、ほかの入力はすべて無視され、クロックが Low から High に切り替わるときに出力 (Q) の値が Low にリセットされます。CE が Low の場合、クロック遷移は無視されます。

電力を供給すると、レジスタは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP\_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

## 論理表

入力				出力
R	CE	Dz : D0	C	Qz : Q0
1	X	X	↑	0
0	0	X	X	変化なし
0	1	Dn	↑	Dn
z = ビット幅 - 1				

## デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

## 使用可能な属性

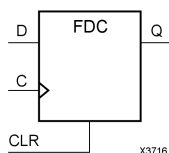
属性	データ型	値	デフォルト	説明
INIT	2 進数	8 ビット値	すべてゼロ	コンフィギュレーション後の Q 出力の初期値を指定

## 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## FDC

### プリミティブ：D Flip-Flop with Asynchronous Clear



## 概要

このデザイン エLEMENTは、データ入力 (D)、非同期クリア入力 (CLR)、データ出力 (Q) がある単一の D フリップフロップです。非同期 CLR が High になると、ほかのすべての入力は無視され、Q 出力が Low になります。CLR が Low の場合、クロックが Low から High に切り替わるときに D 入力の値がフリップフロップにロードされます。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP\_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

## 論理表

入力			出力
CLR	D	C	Q
1	X	X	0
0	D	↑	D

## デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

## 使用可能な属性

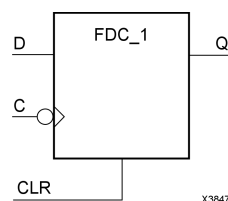
属性	データ型	値	デフォルト	説明
INIT	2 進数	0、1	0	コンフィギュレーション後の Q 出力の初期値を指定。

## 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## FDC\_1

### プリミティブ：D Flip-Flop with Negative-Edge Clock and Asynchronous Clear



## 概要

FDC\_1 は、入力 (D)、非同期クリア入力 (CLR)、出力 (Q) がある単一の D タイプ フリップフロップです。非同期 CLR が High になると、ほかのすべての入力は無視され、Q 出力が Low になります。D 入力の値は、クロック (C) が High から Low に切り替わる時にフリップフロップにロードされます。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP\_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

## 論理表

入力			出力
CLR	D	C	Q
1	X	X	0
0	D	↓	D

## デザインの入力方法

このエレメントは、回路図でのみ使用できます。

## 使用可能な属性

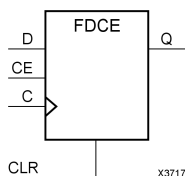
属性	データ型	値	デフォルト	説明
INIT	2 進数	0、1	0	コンフィギュレーション後の Q 出力の初期値を指定。

## 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## FDCE

### プリミティブ：D Flip-Flop with Clock Enable and Asynchronous Clear



## 概要

このデザイン エレメントは、クロック イネーブルと非同期クリアがある単一の D タイプ フリップフロップです。クロック イネーブル (CE) が High、非同期クリア (CLR) が Low の場合、クロック (C) が Low から High に切り替わるときにデータ入力 (D) の値がデータ出力 (Q) に送られます。CLR が High になると、ほかのすべての入力は無視され、出力 (Q) の値が Low にリセットされます。CE が Low の場合、クロック遷移は無視されます。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP\_E2 シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

## 論理表

入力				出力
CLR	CE	D	C	Q
1	X	X	X	0
0	0	X	X	変化なし
0	1	D	↑	D

## デザインの入力方法

このエレメントは、回路図で使用できます。

## 使用可能な属性

属性	タイプ	値	デフォルト	説明
INIT	2 進数	1、0	0	コンフィギュレーション後の Q 出力の初期値を指定

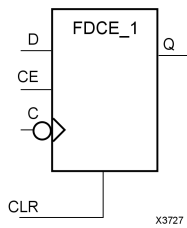
## 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)



## FDCE\_1

**プリミティブ：D Flip-Flop with Negative-Edge Clock, Clock Enable, and Asynchronous Clear**



### 概要

このデザイン エLEMENTは、データ (D)、クロック イネーブル (CE)、非同期クリア (CLR) の各入力とデータ出力 (Q) のある単一の D タイプ フリップフロップです。非同期 CLR が High になると、ほかのすべての入力は無視され、Q 出力が Low になります。CLR が Low、CE が High の場合、クロック (C) が High から Low に切り替わるときに D 入力の値がフリップフロップにロードされます。CE が Low の場合、クロック遷移は無視されます。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP\_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

### 論理表

入力				出力
CLR	CE	D	C	Q
1	X	X	X	0
0	0	X	X	変化なし
0	1	D	↓	D

### デザインの入力方法

このELEMENTは、回路図で使用できます。

### 使用可能な属性

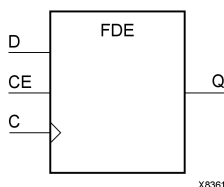
属性	データ型	値	デフォルト	説明
INIT	2 進数	0、1	0	コンフィギュレーション後の Q 出力の初期値を指定。

### 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## FDE

### プリミティブ：D Flip-Flop with Clock Enable



## 概要

このデザイン エレメントは、データ入力 (D)、クロック イネーブル (CE)、データ出力 (Q) がある単一の D フリップフロップです。クロック イネーブルが High の場合、クロック (C) が Low から High に切り替わるときに D 入力の値がフリップフロップにロードされます。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP\_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

## 論理表

入力			出力
CE	D	C	Q
0	X	X	変化なし
1	0	↑	0
1	1	↑	1

## デザインの入力方法

このエレメントは、回路図でのみ使用できます。

## 使用可能な属性

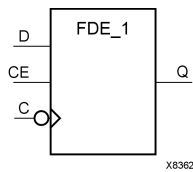
属性	データ型	値	デフォルト	説明
INIT	2 進数	0、1	0	コンフィギュレーション後の Q 出力の初期値を指定

## 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## FDE\_1

### プリミティブ：D Flip-Flop with Negative-Edge Clock and Clock Enable



## 概要

このデザイン エLEMENTは、データ入力 (D)、クロック イネーブル (CE)、データ出力 (Q) がある単一の D フリップフロップです。クロック イネーブルが High の場合、クロック (C) が High から Low に切り替わるときに D 入力の値がフリップフロップにロードされます。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP\_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

## 論理表

入力			出力
CE	D	C	Q
0	X	X	変化なし
1	0	↓	0
1	1	↓	1

## デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

## 使用可能な属性

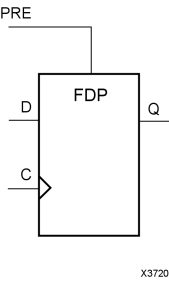
属性	データ型	値	デフォルト	説明
INIT	2 進数	0、1	0	コンフィギュレーション後の Q 出力の初期値を指定

## 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

# FDP

## プリミティブ : D Flip-Flop with Asynchronous Preset



## 概要

このデザイン エレメントは、データ (D)、非同期プリセット (PRE) の各入力とデータ出力 (Q) がある単一の D フリップフロップです。非同期 PRE が High になると、ほかのすべての入力は無視され、Q 出力が High にプリセットされます。PRE が Low の場合、クロック (C) が Low から High に切り替わるときに D 入力の値がフリップフロップにロードされます。

FPGA では、電力を供給すると、フリップフロップは非同期にプリセットされ、出力が High になります。グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP\_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

## 論理表

入力			出力
PRE	C	D	Q
1	X	X	1
0	↑	D	D

## デザインの入力方法

このエレメントは、回路図でのみ使用できます。

## 使用可能な属性

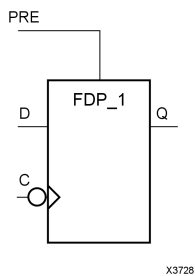
属性	データ型	値	デフォルト	説明
INIT	2 進数	0、1	1	コンフィギュレーション後の Q 出力の初期値を指定。

## 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## FDP\_1

### プリミティブ：D Flip-Flop with Negative-Edge Clock and Asynchronous Preset



## 概要

このデザイン エLEMENTは、データ (D)、非同期プリセット (PRE) の各入力とデータ出力 (Q) がある単一の D フリップフロップです。非同期 PRE が High になると、ほかのすべての入力は無視され、Q 出力が High にプリセットされます。PRE が Low の場合、クロック (C) が High から Low に切り替わるときに D 入力の値がフリップフロップにロードされます。

電力を供給すると、フリップフロップは非同期にプリセットされ、出力が High になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP\_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

## 論理表

入力			出力
PRE	C	D	Q
1	X	X	1
0	↓	D	D

## デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

## 使用可能な属性

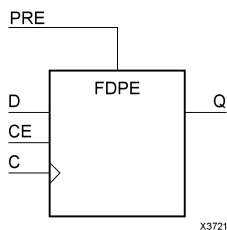
属性	データ型	値	デフォルト	説明
INIT	2 進数	0、1	1	コンフィギュレーション後の Q 出力の初期値を指定。

## 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## FDPE

### プリミティブ : D Flip-Flop with Clock Enable and Asynchronous Preset



## 概要

このデザイン エレメントは、データ (D)、クロック イネーブル (CE)、非同期プリセット (PRE) の各入力とデータ出力 (Q) がある単一の D フリップフロップです。非同期の PRE が High になると、ほかのすべての入力は無視され、Q 出力が High にセットされます。PRE が Low、CE が High の場合、クロック (C) が Low から High に切り替わるときに D 入力の値がフリップフロップにロードされます。CE が Low の場合、クロック遷移は無視されます。

FPGA では、電力を供給すると、フリップフロップは非同期にプリセットされ、出力が High になります。グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP\_E2 シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

## 論理表

入力				出力
PRE	CE	D	C	Q
1	X	X	X	1
0	0	X	X	変化なし
0	1	D	↑	D

## デザインの入力方法

このエレメントは、回路図で使用できます。

## 使用可能な属性

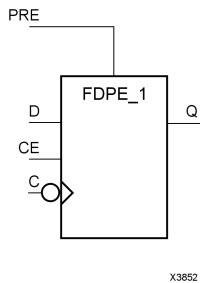
属性	データ型	値	デフォルト	説明
INIT	2 進数	0、1	1	コンフィギュレーション後の Q 出力の初期値を指定

## 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## FDPE\_1

プリミティブ：D Flip-Flop with Negative-Edge Clock, Clock Enable, and Asynchronous Preset



### 概要

このデザイン エLEMENTは、データ (D)、クロック イネーブル (CE)、非同期プリセット (PRE) の各入力とデータ出力 (Q) がある単一の D フリップフロップです。非同期の PRE が High になると、ほかのすべての入力は無視され、Q 出力が High にセットされます。PRE が Low、CE が High の場合、クロック (C) が High から Low に切り替わる時に D 入力の値がフリップフロップにロードされます。CE が Low の場合、クロック遷移は無視されます。

FPGA では、電力を供給すると、フリップフロップは非同期にプリセットされ、出力が High になります。グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP\_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

### 論理表

入力				出力
PRE	CE	D	C	Q
1	X	X	X	1
0	0	X	X	変化なし
0	1	D	↓	D

### デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

### 使用可能な属性

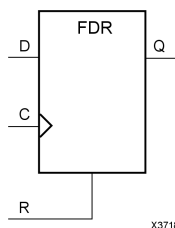
属性	データ型	値	デフォルト	説明
INIT	2 進数	0、1	1	コンフィギュレーション後の Q 出力の初期値を指定。

### 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## FDR

### プリミティブ：D Flip-Flop with Synchronous Reset



## 概要

このデザイン エレメントは、データ (D)、同期リセット (R) の各入力とデータ出力 (Q) がある単一の D タイプ フリップフロップです。同期リセット入力 (R) が High になると、ほかの入力は無視され、クロック (C) が Low から High に切り替わる時に出力 (Q) が Low にリセットされます。R が Low の場合、クロックが Low から High に切り替わる時に D 入力の値がフリップフロップにロードされます。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP\_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

## 論理表

入力			出力
R	D	C	Q
1	X	↑	0
0	D	↑	D

## デザインの入力方法

このエレメントは、回路図でのみ使用できます。

## 使用可能な属性

属性	データ型	値	デフォルト	説明
INIT	2 進数	0、1	0	コンフィギュレーション後の Q 出力の初期値を指定

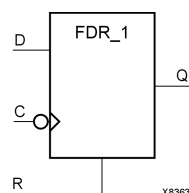
## 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)



## FDR\_1

プリミティブ：D Flip-Flop with Negative-Edge Clock and Synchronous Reset



### 概要

このデザイン エLEMENTは、データ (D)、同期リセット (R) の各入力とデータ出力 (Q) がある単一の D タイプ フリップフロップです。同期リセット入力 (R) が High になると、ほかの入力は無視され、クロック (C) が High から Low に切り替わるときに出力 (Q) が Low にリセットされます。R が Low の場合、クロック (C) が High から Low に切り替わるときに D 入力の値がフリップフロップにロードされます。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP\_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

### 論理表

入力			出力
R	D	C	Q
1	X	↓	0
0	D	↓	D

### デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

### 使用可能な属性

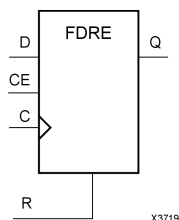
属性	データ型	値	デフォルト	説明
INIT	2 進数	0、1	0	コンフィギュレーション後の Q 出力の初期値を指定

### 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## FDRE

### プリミティブ : D Flip-Flop with Clock Enable and Synchronous Reset



## 概要

このデザイン エLEMENTは、データ (D)、クロック イネーブル (CE)、同期リセット (R) の各入力とデータ出力 (Q) がある単一の D タイプ フリップフロップです。同期リセット入力 (R) が High になると、ほかの入力は無視され、クロック (C) が Low から High に切り替わるときに出力 (Q) が Low にリセットされます。R が Low、CE が High の場合、クロックが Low から High に切り替わるときに D 入力の値がフリップフロップにロードされます。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット / リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP\_E2 シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

## 論理表

入力				出力
R	CE	D	C	Q
1	X	X	↑	0
0	0	X	X	変化なし
0	1	D	↑	D

## デザインの入力方法

このELEMENTは、回路図で使用できます。

## 使用可能な属性

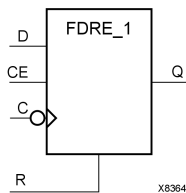
属性	データ型	値	デフォルト	説明
INIT	2 進数	0、1	0	コンフィギュレーション後の Q 出力の初期値を指定

## 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## FDRE\_1

**プリミティブ：D Flip-Flop with Negative-Clock Edge, Clock Enable, and Synchronous Reset**



### 概要

FDRE\_1 は、データ (D)、クロック イネーブル (CE)、同期リセット (R) の各入力とデータ出力 (Q) がある単一の D タイプ フリップフロップです。同期リセット入力 (R) が High になると、ほかの入力は無視され、クロック (C) が High から Low に切り替わるときに出力 (Q) が Low にリセットされます。R が Low で CE が High の場合、クロック (C) が High から Low に切り替わるときに D 入力の値がフリップフロップにロードされます。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP\_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

### 論理表

入力				出力
R	CE	D	C	Q
1	X	X	↓	0
0	0	X	X	変化なし
0	1	D	↓	D

### デザインの入力方法

このエレメントは、回路図でのみ使用できます。

### 使用可能な属性

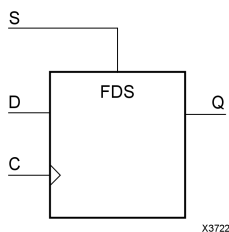
属性	データ型	値	デフォルト	説明
INIT	2 進数	0、1	0	コンフィギュレーション後の Q 出力の初期値を指定。

### 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## FDS

### プリミティブ : D Flip-Flop with Synchronous Set



### 概要

FDS は、データ (D)、同期セット (S) の各入力とデータ出力 (Q) がある単一の D タイプ フリップフロップです。同期セット入力が高になると、クロック (C) が Low から High に切り替わるときに Q 出力が高にセットされます。S が Low の場合、クロック (C) が Low から High に切り替わるときに D 入力の値がフリップフロップにロードされます。

FPGA では、電力を供給すると、フリップフロップは非同期にプリセットされ、出力が高になります。グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP\_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

### 論理表

入力			出力
S	D	C	Q
1	X	↑	1
0	D	↑	D

### デザインの入力方法

このエレメントは、回路図でのみ使用できます。

### 使用可能な属性

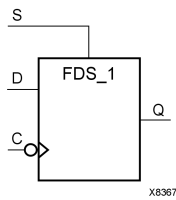
属性	データ型	値	デフォルト	説明
INIT	2 進数	0、1	1	コンフィギュレーション後の Q 出力の初期値を指定

### 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## FDS\_1

## プリミティブ：D Flip-Flop with Negative-Edge Clock and Synchronous Set



## 概要

FDS は、データ (D)、同期セット (S) の各入力とデータ出力 (Q) がある単一の D タイプ フリップフロップです。同期セット入力が High になると、クロック (C) が Low から High に切り替わるときに Q 出力が High にセットされます。S が Low の場合、クロック (C) が Low から High に切り替わるときに D 入力の値がフリップフロップにロードされます。

電力を供給すると、フリップフロップは非同期にプリセットされ、出力が High になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP\_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

## 論理表

入力			出力
S	D	C	Q
1	X	↓	1
0	D	↓	D

## デザインの入力方法

このエレメントは、回路図でのみ使用できます。

## 使用可能な属性

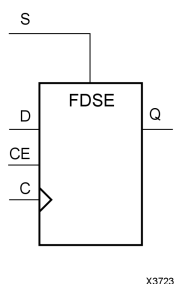
属性	データ型	値	デフォルト	説明
INIT	2 進数	0、1	1	コンフィギュレーション後の Q 出力の初期値を指定

## 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## FDSE

### プリミティブ : D Flip-Flop with Clock Enable and Synchronous Set



## 概要

FDSE は、データ (D)、クロック イネーブル (CE)、同期セット (S) の各入力とデータ出力 (Q) がある単一の D タイプ フリップフロップです。同期セット (S) 入力が高になると、クロック イネーブル (CE) 入力は無視され、クロック (C) が Low から High に切り替わるときに Q 出力が高にセットされます。S が Low、CE が High の場合、クロック (C) が Low から High に切り替わるときに D 入力の値がフリップフロップにロードされます。

FPGA では、電力を供給すると、フリップフロップは非同期にプリセットされ、出力が高になります。グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP\_E2 シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

## 論理表

入力				出力
S	CE	D	C	Q
1	X	X	↑	1
0	0	X	X	変化なし
0	1	D	↑	D

## デザインの入力方法

このエレメントは、回路図で使用できます。

## 使用可能な属性

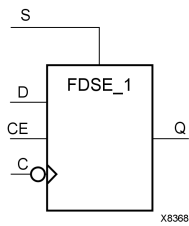
属性	データ型	値	デフォルト	説明
INIT	2 進数	0、1	1	コンフィギュレーション後の Q 出力の初期値を指定

## 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## FDSE\_1

プリミティブ：D Flip-Flop with Negative-Edge Clock, Clock Enable, and Synchronous Set



### 概要

FDSE\_1 は、データ (D)、クロック イネーブル (CE)、同期セット (S) の各入力とデータ出力 (Q) がある単一の D フリップフロップです。同期セット (S) 入力が High になると、クロック イネーブル (CE) 入力は無視され、クロック (C) が High から Low に切り替わるときに Q 出力が High にセットされます。S が Low、CE が High の場合、クロック (C) が High から Low に切り替わるときに D 入力の値がフリップフロップにロードされます。

電力を供給すると、フリップフロップは非同期にプリセットされ、出力が High になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP\_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

### 論理表

入力				出力
S	CE	D	C	Q
1	X	X	↓	1
0	0	X	X	変化なし
0	1	D	↓	D

### デザインの入力方法

このエレメントは、回路図でのみ使用できます。

### 使用可能な属性

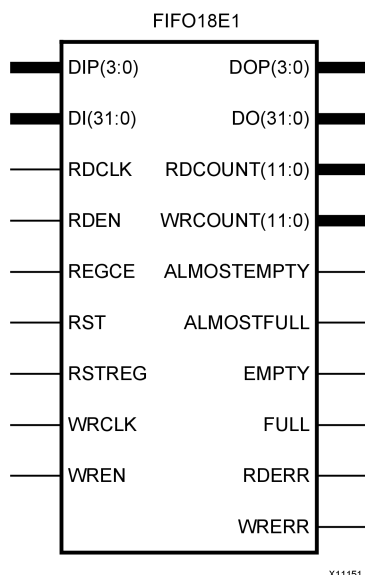
属性	データ型	値	デフォルト	説明
INIT	2 進数	0、1	1	コンフィギュレーション後の Q 出力の初期値を指定。

### 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## FIFO18E1

### プリミティブ：18Kb FIFO (First-In-First-Out) Block RAM Memory



## 概要

7 series デバイスにはブロック RAM が数個含まれ、これらの RAM を個別に FIFO、自動エラー訂正 RAM、または汎用 RAM/ROM (36Kb または 18Kb) としてコンフィギュレーションできます。これらのブロック RAM には、大量のオンチップデータを高速かつ柔軟に格納できます。FIFO18E1 では、FIFO 制御ロジックおよび 18KB ブロック RAM が使用されます。このプリミティブは、4 ビット X 4K、9 ビット X 2K、18 ビット X 1K、または 36 ビット X 512 コンフィギュレーションで使用できます。また、このプリミティブは関連するすべての FIFO フラグおよびステータス信号と共に、同期モードまたはデュアル クロック (非同期) モードのいずれにもコンフィギュレーションできます。独立したクロックでデュアル クロック モードを使用する場合、読み出しクロック エッジと書き込みクロック エッジ間のオフセットによっては、Empty、Almost Empty、Full、および Almost Full フラグが 1 クロック サイクル後にディアサートされることがあります。クロックが非同期のため、シミュレーション モデルではユーザー ガイドに示されているディアサートレイテンシ サイクルのみが反映されます。

**メモ：** 36 ビット X 512 ワードの FIFO には、FIFO18\_36 を使用する必要があります。ワード数が多く、データ幅の広いコンフィギュレーションには、FIFO36E1 を使用できます。ただし、エラー修正回路が必用な場合は、“FIFO36\_72” モードで FIFO36E1 を使用する必要があります。

## ポートの説明

ポート名	方向	幅	説明
ALMOSTEMPTY	出力	1	FIFO がほぼ空であることを示します。この出力は、RDCLK に同期しています。このフラグのオフセットは、ユーザーが設定できます。このフラグのしきい値は ALMOST_EMPTY_OFFSET 属性で指定します。
ALMOSTFULL	出力	1	FIFO がほぼフルであることを示します。この出力は、WRCLK に同期しています。このフラグのオフセットは、ユーザーが設定できます。このフラグのしきい値は ALMOST_FULL_OFFSET 属性で指定します。
DI<31:0>	入力	32	FIFO データ入力バス
DIP<3:0>	入力	4	FIFO パリティ データ入力バス



ポート名	方向	幅	説明
DO<31:0>	出力	32	FIFO データ出力バス
DOP<3:0>	出力	4	FIFO パリティ データ出力バス
EMPTY	出力	1	FIFO が空であることを示します。追加の読み出しは許容されません。この出力は、RDCLK に同期しています。
FULL	出力	1	FIFO がフルであることを示します。
RDCLK	入力	1	リード立ち上がりエッジ クロック入力。立ち下がりエッジのデータリードを作成するには、このポートの前にインバーターを付けるよう記述してください。インバーターは、このブロックのプログラマブル インバーターにマップされるので、余計なロジックリソースが消費されたりタイミング遅延が増えたりすることはありません。EN_SYN=TRUE の場合は、WRCLK と同じ信号に接続する必要があります。
RDCOUNT<11:0>	出力	12	カウンターの出力値を読み出します。RDCLK に同期しています。最大読み出しポインター値に達すると、0 に戻ります。
RDEN	入力	1	アクティブ High の FIFO リード イネーブル。RDEN = 1 の場合、データが出力レジスタに読み出されます。RDEN = 0 の場合、読み出しはディスエーブルになります。WREN および RDEN は、RST がアサートされる前の 4 クロック サイクル間 Low に保持し、RST サイクル間 Low のままにする必要があります。
RDERR	出力	1	読み出しエラーが発生したことを示します。FIFO が空のときに読み出しを行うと、アサートされます。RDCLK に同期しています。
REGCE	入力	1	パイプライン化された同期 FIFO の出力レジスタ クロック イネーブル。EN_SYNC = TRUE および D0_REG = 1 のときのみ使用します。RSTREG は REGCE より優先されます。
RST	入力	1	アクティブ High の FIFO 機能、フラグ、ポインターの非同期リセット。RST は、操作と後続のリセットの前に WRCLK および RDCLK の 3 サイクル間 High に保持する必要があります。
RSTREG	入力	1	出力レジスタの同期セット/リセット。値（セットまたはリセット）は、INIT 属性に一致します。
WRCLK	入力	1	ライト立ち上がりエッジ クロック入力。立ち下がりエッジのデータライトを作成するには、このポートの前にインバーターを付けるよう記述してください。インバーターは、このブロックのプログラマブル インバーターにマップされるので、余計なロジックリソースが消費されたりタイミング遅延が増えたりすることはありません。EN_SYN=TRUE の場合は、RDCLK と同じ信号に接続する必要があります。
WRCOUNT<11:0>	出力	12	カウンターの出力値を書き出します。WRCLK に同期しています。最大書き込みポインター値に達すると、0 に戻ります。
WREN	入力	1	アクティブ High の FIFO ライト イネーブル WREN = 1 の場合、データがメモリに書き込まれます。WREN = 0 の場合、書き込みはディスエーブルになります。WREN および RDEN は、RST がアサートされる前の 4 クロック サイクル間 Low に保持し、RST サイクル間 Low のままにする必要があります。
WRERR	出力	1	書き込みエラーが発生したことを示します。FIFO がフルのときに書き込みを行うと、アサートされます。WRCLK に同期しています。

## デザインの入力方法

このエレメントは、回路図で使用できます。

## 使用可能な属性

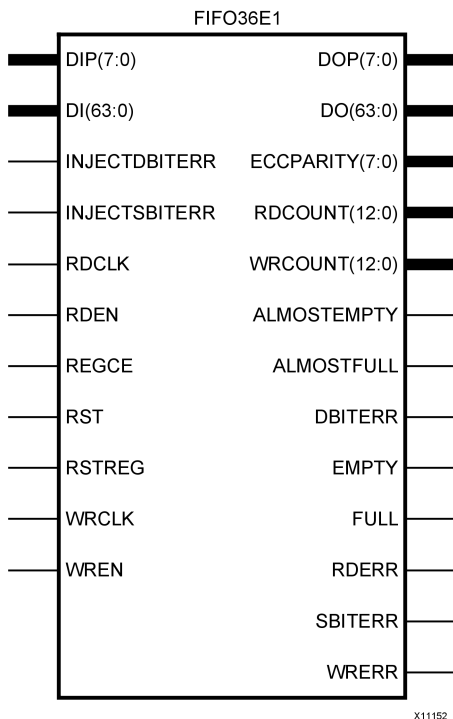
属性	データ型	値	デフォルト	説明
ALMOST_EMPTY_OFFSET	16 進数	13'h0000 ～ 13'h1fff	13'h0080	ALMOST_EMPTY フラグをトリガーする RAM のデータ量を指定します。EMPTY と ALMOSTEMPTY の差を設定します。16 進数で指定します。
ALMOST_FULL_OFFSET	16 進数	13'h0000 ～ 13'h1fff	13'h0080	ALMOST_FULL フラグをトリガーする RAM のデータ量を指定します。FULL と ALMOSTFULL の差を設定します。16 進数で指定します。
DATA_WIDTH	10 進数	4、9、18、36	4	FIFO に必要なデータ幅を指定
DO_REG	10 進数	1、0	1	デュアル クロック (非同期) FIFO では、1 に設定します。同期 FIFO では、標準の動作を実行するには 0 に設定します。1 に設定した場合、同期 FIFO の出力にパイプラインレジスタが追加されます。このためデータに 1 クロック サイクルのレイテンシが発生しますが、clock-to-out タイミングは改善します。
EN_SYN	ブール代数	FALSE、TRUE	FALSE	FIFO がデュアル クロック (独立した 2 つのクロック) または同期 (1 つのクロック) のいずれで動作しているかを示します。TRUE に設定する場合は、WRCLK および RDCLK に同じ信号を接続する必要があります。FALSE に設定する場合は、DO_REG を 1 に設定する必要があります。
FIFO_MODE	文字列	"FIFO18"、 "FIFO18_36"	"FIFO18"	FIFO を通常モードにするかワイド モードにするか選択します。data_width が 4、9、または 18 に設定されているときは FIFO18 に設定し、幅広 36 ビット データパスが必要な場合は FIFO18_36 に設定します。
FIRST_WORD_FALL_THROUGH	ブール代数	FALSE、TRUE	FALSE	TRUE に設定すると、RDEN がアサートされずに FIFO に最初に書き込まれた値が DO に出力されます。
INIT	16 進数	36 ビット値	36'h000000000	コンフィギュレーションまたはグローバル セット/リセット (GSR) 後の DO 出力の初期値を指定します。
SIM_DEVICE	文字列	"VIRTEX6"、 "7SERIES"	"7SERIES"	どの条件でも正しくシミュレーションが動作するよう "7SERIES" を設定する必要があります。
SRVAL	16 進数	36 ビット値	36'h000000000	DO_REG リセット信号 (RSTREG) がアサートされたときの FIFO の出力値を指定します。DO_REG = 1 および EN_SYN = TRUE で RSTREG がアクティブな信号に接続されているときのみサポートされます。

## 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## FIFO36E1

プリミティブ : 36Kb FIFO (First-In-First-Out) Block RAM Memory



### 概要

7 シリーズ デバイスにはブロック RAM が数個含まれ、FIFO、自動エラー訂正 RAM、または汎用 RAM/ROM (36 KB または 18 KB) としてコンフィギュレーションできます。これらのブロック RAM には、大量のオンチップ データを高速かつ柔軟に格納できます。FIFO36E1 を使用すると、36KB の FIFO のブロック RAM へアクセスできます。このコンポーネントは、関連 FIFO フラグと共に、4 ビット X 8K ワード、9 ビット X 4K ワード、18 ビット X 2K ワード、36 ビット X 1K ワード、72 ビット X 512 ワードの同期またはデュアル クロック (非同期) FIFO RAM としてコンフィギュレーションできます。独立したクロックでデュアル クロック モードを使用する場合、読み出しクロック エッジと書き込みクロック エッジ間のオフセットによっては、Empty、Almost Empty、Full、および Almost Full フラグが 1 クロック サイクル後にディアサートされることがあります。クロックが非同期のため、シミュレーション モデルではユーザー ガイドに示されているディアサートレイテンシ サイクルのみが反映されます。

**メモ :** 72 ビット X 512 ワードの FIFO には、FIFO36\_72 を使用する必要があります。ワード数が少なく、データ幅の狭いコンフィギュレーションには、FIFO18E1 を使用します。ただし、エラー修正回路が必用な場合は、“FIFO36\_72” モードを使用する必要があります。

## ポートの説明

ポート名	方向	幅	説明
ALMOSTEMPTY	出力	1	FIFO がほぼ空であることを示します。このフラグをトリガーする位置は ALMOST_EMPTY_OFFSET 属性で指定します。
ALMOSTFULL	出力	1	FIFO がほぼフルであることを示します。このフラグの値は ALMOST_FULL_OFFSET 属性で指定します。
DBITERR	出力	1	ダブル ビット エラーが検出されたことを示す ECC ファンクションからのステータス出力。使用する場合は、EN_ECC_READ を TRUE にする必要があります。
DI<63:0>	入力	64	FIFO データ入力バス
DIP<7:0>	入力	8	FIFO パリティ データ入力バス
DO<63:0>	出力	64	FIFO データ出力バス
DOP<7:0>	出力	8	FIFO パリティ データ出力バス
ECCPARITY<7:0>	出力	8	メモリ エラー検出と訂正を行う ECC デコーダーで使用される ECC エンコーダーから生成された 8 ビット データ
EMPTY	出力	1	FIFO が空であることを示します。
FULL	出力	1	FIFO がフルであることを示します。
INJECTDBITE RR	入力	1	ECC 機能を使用されている場合はダブル ビット エラーが挿入されます。
INJECTSBITE RR	入力	1	ECC 機能を使用されている場合はシングル ビット エラーが挿入されます。
RDCLK	入力	1	立ち上がりリード クロック 入力
RDCOUNT<12:0>	出力	13	カウンターの出力値を読み出します。
RDEN	入力	1	アクティブ High の FIFO リード イネーブル
RDERR	出力	1	読み出しエラーが発生したことを示します。
REGCE	入力	1	パイプライン化された同期 FIFO の出力レジスタ クロック イネーブル。このイネーブルを使用するには、DO_REG を 1 にする必要があります。
RST	入力	1	5 クロック サイクル間アクティブ High の (FIFO ロジック) の非同期リセット (デュアル レートの FIFO 向け)、同期リセット (同期 FIFO)
RSTREG	入力	1	出力レジスタの同期セット/リセット。このリセットを使用するには、DO_REG を 1 にする必要があります。
SBITERR	出力	1	シングル ビット エラーが検出されたことを示す ECC ファンクションからのステータス出力。使用する場合は、EN_ECC_READ を TRUE にする必要があります。
WRCLK	入力	1	ライト クロックおよびイネーブル入力信号
WRCOUNT<12:0>	出力	13	カウンターの出力値を書き出します。
WREN	入力	1	アクティブ High の FIFO ライト イネーブル
WRERR	出力	1	書き込みエラーが発生したことを示します。

## デザインの入力方法

このELEMENTは、回路図で使用できます。

## 使用可能な属性

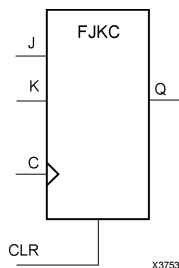
属性	データ型	値	デフォルト	説明
ALMOST_EMPTY_OFFSET	16 進数	13'h0000 ~ 13'h1fff	13'h0080	ALMOST_EMPTY フラグをトリガーする RAM のデータ量を指定します。
ALMOST_FULL_OFFSET	16 進数	13'h0000 ~ 13'h1fff	13'h0080	ALMOST_FULL フラグをトリガーする RAM のデータ量を指定します。
DATA_WIDTH	10 進数	4、9、18、36、72	4	FIFO に必要なデータ幅を指定。データ幅が 72 の場合は、FIFO_MODE を "FIFO36_72" に設定する必要があります。
DO_REG	10 進数	1、0	1	読み出しレイテンシ (パイプライン遅延 1 つ) 追加することで clock-to-out のタイミングを向上するように、FIFO の出力レジスタをイネーブルします。EN_SYN が FALSE のときは DO_REG を 1 にする必要があります。
EN_ECC_READ	ブール代数	FALSE、TRUE	FALSE	ECC デコーダ回路をイネーブルにします。
EN_ECC_WRITE	ブール代数	FALSE、TRUE	FALSE	ECC エンコーダ回路をイネーブルにします。
EN_SYN	ブール代数	FALSE、TRUE	FALSE	FALSE のときは非同期モード、TRUE のときは同期 (1 クロック) モードで FIFO が使用されることを示します。
FIFO_MODE	文字列	"FIFO36"、 "FIFO36_72"	"FIFO36"	通常の "FIFO36" または幅広の "FIFO36_72" モードのいずれかを選択します。"FIFO36_72" に設定する場合、DATA_WIDTH 属性は 72 にする必要があります。
FIRST_WORD_FALL_THROUGH	ブール代数	FALSE、TRUE	FALSE	TRUE に設定すると、RDEN がアサートされずに FIFO に最初書き込まれた値が DO に出力されます。
INIT	16 進数	72 ビット値	すべてゼロ	コンフィギュレーション後の DO 出力の初期値を指定します。
SIM_DEVICE	文字列	"VIRTEX6"、 "7SERIES"	"7SERIES"	どの条件でも正しくシミュレーションが動作するよう "7SERIES" を設定する必要があります。
SRVAL	16 進数	72 ビット値	すべてゼロ	同期リセット信号 (RSTREG) がアサートされたときの FIFO の出力値を指定します。DO_REG=1 の場合のみ有効です。

## 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## FJKC

### マクロ：J-K Flip-Flop with Asynchronous Clear



### 概要

このデザイン エレメントは、J、K、非同期クリア (CLR) の各入力とデータ出力 (Q) がある単一の J-K タイプ フリップフロップです。非同期クリア入力 (CLR) が High になると、ほかのすべての入力は無視され、Q 出力が Low にリセットされます。CLR が Low になると、次の論理表に示すように、クロックが Low から High に切り替わるときに、J および K 入力の値に応じて出力の値が変化します。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP\_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

### 論理表

入力				出力
CLR	J	K	C	Q
1	X	X	X	0
0	0	0	↑	変化なし
0	0	1	↑	0
0	1	0	↑	1
0	1	1	↑	トグル

### デザインの入力方法

このエレメントは、回路図でのみ使用できます。

### 使用可能な属性

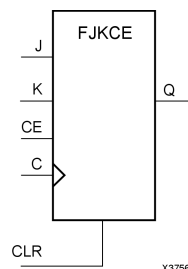
属性	データ型	値	デフォルト	説明
INIT	2 進数	0、1	0	コンフィギュレーション後の Q 出力の初期値を指定。

### 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## FJKCE

マクロ：J-K Flip-Flop with Clock Enable and Asynchronous Clear



### 概要

このデザイン エLEMENTは、J、K、クロック イネーブル (CE)、非同期クリア (CLR) の各入力とデータ出力 (Q) がある単一の J-K タイプ フリップフロップです。非同期クリア (CLR) が High になると、ほかのすべての入力は無視され、Q 出力が Low にリセットされます。CLR が Low、CE が High の場合、次の論理表に示すように、クロックが Low から High に切り替わるたびに、J および K 入力の値に応じて Q の値が変化します。CE が Low の場合、クロック遷移は無視されます。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP\_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

### 論理表

入力					出力
CLR	CE	J	K	C	Q
1	X	X	X	X	0
0	0	X	X	X	変化なし
0	1	0	0	X	変化なし
0	1	0	1	↑	0
0	1	1	0	↑	1
0	1	1	1	↑	トグル

### デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

### 使用可能な属性

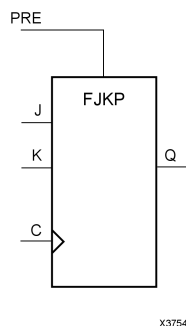
属性	データ型	値	デフォルト	説明
INIT	2 進数	0、1	0	コンフィギュレーション後の Q 出力の初期値を指定。

### 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## FJKP

## マクロ : J-K Flip-Flop with Asynchronous Preset



## 概要

このデザイン エLEMENTは、J、K、非同期プリセット (PRE) の各入力とデータ出力 (Q) がある単一の J-K フリップフロップです。非同期プリセット入力 (PRE) が High になると、ほかのすべての入力は無視され、Q 出力が High にセットされます。PRE が Low の場合、次の論理表に示すように、クロックが Low から High に切り替わるときに、J および K 入力の値に応じて Q の値が変化します。

FPGA では、電力を供給すると、フリップフロップは非同期にプリセットされ、出力が High になります。グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP\_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

## 論理表

入力				出力
PRE	J	K	C	Q
1	X	X	X	1
0	0	0	X	変化なし
0	0	1	↑	0
0	1	0	↑	1
0	1	1	↑	トグル

## デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

## 使用可能な属性

属性	データ型	値	デフォルト	説明
INIT	2 進数	0、1	1	コンフィギュレーション後の Q 出力の初期値を指定。

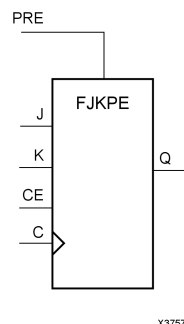
## 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)



## FJKPE

マクロ：J-K Flip-Flop with Clock Enable and Asynchronous Preset



### 概要

このデザイン エLEMENTは、J、K、クロック イネーブル (CE)、非同期プリセット (PRE) の各入力とデータ出力 (Q) がある単一の J-K フリップフロップです。非同期プリセット (PRE) が High になると、ほかのすべての入力は無視され、Q 出力が High にセットされます。PRE が Low、CE が High の場合、次の論理表に示すように、クロック (C) が Low から High に切り替わる時に、J および K 入力の値に応じて Q 出力の値が変化します。CE が Low の場合、クロック遷移は無視されます。

FPGA では、電力を供給すると、フリップフロップは非同期にプリセットされ、出力が High になります。グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP\_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

### 論理表

入力					出力
PRE	CE	J	K	C	Q
1	X	X	X	X	1
0	0	X	X	X	変化なし
0	1	0	0	X	変化なし
0	1	0	1	↑	0
0	1	1	0	↑	1
0	1	1	1	↑	トグル

### デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

### 使用可能な属性

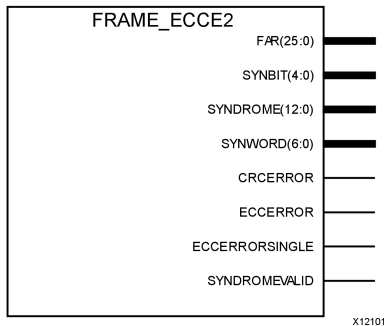
属性	データ型	値	デフォルト	説明
INIT	2 進数	0、1	1	コンフィギュレーション後の Q 出力の初期値を指定。

## 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## FRAME\_ECCE2

### プリミティブ：Configuration Frame Error Correction



### 概要

このデザイン エLEMENTでは、FPGA のコンフィギュレーション メモリ向けの専用ビルトインエラー検出および修正 (ECC) が提供されます。このELEMENTには、ECC 回路のステータスおよびリードバック CRC 回路のステータスを監視する出力が含まれています。

### ポートの説明

ポート名	タイプ	幅	機能
CRCERROR	出力	1	CRC エラーを示す出力
ECCERROR	出力	1	ECC エラーを示す出力
ECCERRORSINGLE	出力	1	シングル ビット フレーム ECC エラーが検出されたことを示す出力
FAR<25:0>	出力	26	フレーム アドレス レジスタ値を示す出力
SYNBIT<4:0>	出力	5	エラーのビット アドレスを示す出力
SYNDROME<12:0>	出力	13	エラー ビットのロケーションを示す出力
SYNDROMEVALID	出力	1	SYNDROME 出力が有効であることを示す フレーム ECC 出力
SYNWORD<6:0>	出力	7	ECC エラーが検出されたフレーム内のワード出力

### デザインの入力方法

このELEMENTは、回路図で使用できます。

## 使用可能な属性

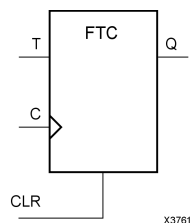
属性	データ型	値	デフォルト	説明
FARSRC	文字列	"EFAR"、"FAR"	"EFAR"	FAR[25:0] コンフィギュレーション レジスタの出力先を "FAR" または "EFAR" のいずれかに決定します。コンフィギュレーション オプション レジスタ ビット CTL0[7] を設定します。
FRAME_RBT_IN_FILENAME	文字列	ファイル名およびそのロケーションを示す文字列	"NONE"	このファイルは、ICAP_E2 モデルにより出力され、RBT ファイルのフレーム データ情報が含まれています。FRAME_ECC モデルではこのファイルを解析して ECC が算出され、エラーがある場合は出力されます。

## 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## FTC

### マクロ：Toggle Flip-Flop with Asynchronous Clear



## 概要

このデザイン エLEMENTは、リセット可能な同期トグル フリップフロップです。非同期クリア入力 (CLR) が High になると、ほかのすべての入力は無視され、出力 (Q) が Low にリセットされます。トグル イネーブル入力 (T) が High、CLR が Low の場合、クロックが Low から High に切り替わるときに Q 出力がトグルし、値が変化します。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP\_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

## 論理表

入力			出力
CLR	T	C	Q
1	X	X	0
0	0	X	変化なし
0	1	↑	トグル

## デザインの入力方法

このELEMENTは、CPLD を使用しているときはインスタンスエートできますが、FPGA を使用しているときはインスタンスエートできません。

## 使用可能な属性

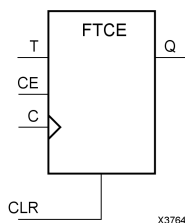
属性	データ型	値	デフォルト	説明
INIT	2 進数	0、1	0	コンフィギュレーション後の Q 出力の初期値を指定。

## 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## FTCE

マクロ：Toggle Flip-Flop with Clock Enable and Asynchronous Clear



### 概要

このデザイン エレメントは、トグル イネーブル、クロック イネーブル、非同期クリアがあるトグル フリップフロップです。非同期クリア入力 (CLR) が High になると、ほかのすべての入力は無視され、出力 (Q) の値が Low にリセットされます。CLR が Low、トグル イネーブル (T) とクロック イネーブル (CE) が High の場合、クロック (C) が Low から High に切り替わるときに Q 出力がトグルし、値が変化します。CE が Low の場合、クロック遷移は無視されます。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP\_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

### 論理表

入力				出力
CLR	CE	T	C	Q
1	X	X	X	0
0	0	X	X	変化なし
0	1	0	X	変化なし
0	1	1	↑	トグル

### デザインの入力方法

このエレメントは、回路図でのみ使用できます。

### 使用可能な属性

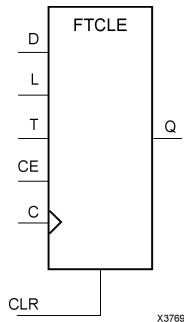
属性	データ型	値	デフォルト	説明
INIT	2 進数	0、1	0	コンフィギュレーション後の Q 出力の初期値を指定。

### 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## FTCLE

マクロ : Toggle/Loadable Flip-Flop with Clock Enable and Asynchronous Clear



### 概要

このデザイン エLEMENTは、トグル イネーブル、クロック イネーブル、非同期クリアがあるロード可能なトグル フリップフロップです。非同期クリア入力 (CLR) が High になると、ほかのすべての入力は無視され、出力 Q が Low にリセットされます。ロード イネーブル入力 (L) が High、CLR が Low の場合、クロック イネーブル (CE) は無視され、クロック (C) が Low から High に切り替わるときに、データ入力 (D) の値がフリップフロップにロードされます。トグル イネーブル (T) と CE が High、L と CLR が Low の場合、クロックが Low から High に切り替わるときに出力 Q がトグルし、値が変化します。CE が Low の場合、クロック遷移は無視されます。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP\_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

### 論理表

入力						出力
CLR	L	CE	T	D	C	Q
1	X	X	X	X	X	0
0	1	X	X	D	↑	D
0	0	0	X	X	X	変化なし
0	0	1	0	X	X	変化なし
0	0	1	1	X	↑	トグル

### デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

### 使用可能な属性

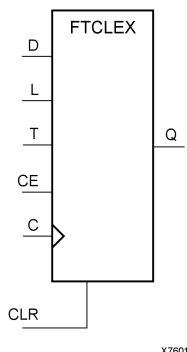
属性	データ型	値	デフォルト	説明
INIT	2 進数	0、1	0	コンフィギュレーション後の Q 出力の初期値を指定。

### 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## FTCLEX

マクロ : Toggle/Loadable Flip-Flop with Clock Enable and Asynchronous Clear



### 概要

このデザイン エレメントは、トグル イネーブル、クロック イネーブル、非同期クリアがあるロード可能なトグル フリップフロップです。非同期クリア入力 (CLR) が High になると、ほかのすべての入力は無視され、出力 Q が Low にリセットされます。ロード イネーブル入力 (L) と CE が High、CLR が Low の場合、クロック (C) が Low から High に切り替わる時に、入力 (D) の値がフリップフロップにロードされます。トグル イネーブル (T) と CE が High、L と CLR が Low の場合、クロックが Low から High に切り替わる時に出力 Q がトグルし、値が変化します。CE が Low の場合、クロック遷移は無視されます。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP\_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

### 論理表

入力						出力
CLR	L	CE	T	D	C	Q
1	X	X	X	X	X	0
0	1	X	X	D	↑	D
0	0	0	X	X	X	変化なし
0	0	1	0	X	X	変化なし
0	0	1	1	X	↑	トグル

### デザインの入力方法

このエレメントは、回路図でのみ使用できます。

### 使用可能な属性

属性	データ型	値	デフォルト	説明
INIT	2 進数	0、1	0	コンフィギュレーション後の Q 出力の初期値を指定。

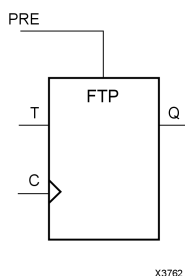


## 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## FTP

### マクロ : Toggle Flip-Flop with Asynchronous Preset



## 概要

このデザイン エレメントは、トグル イネーブルと非同期プリセットがあるトグル フリップフロップです。非同期プリセット入力 (PRE) が High になると、ほかのすべての入力は無視され、出力 Q が High にセットされます。トグル イネーブル入力 (T) が High、PRE が Low の場合、クロック (C) が Low から High に切り替わるときに出力 Q がトグルし、値が変化します。

FPGA では、電力を供給すると、フリップフロップは非同期にプリセットされ、出力が High になります。グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP\_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

## 論理表

入力			出力
PRE	T	C	Q
1	X	X	1
0	0	X	変化なし
0	1	↑	トグル

## デザインの入力方法

このエレメントは、回路図でのみ使用できます。

## 使用可能な属性

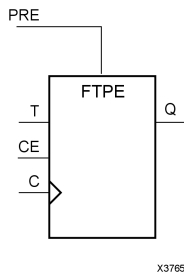
属性	データ型	値	デフォルト	説明
INIT	2 進数	0、1	1	コンフィギュレーション後の Q 出力の初期値を指定。

## 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## FTPE

マクロ：Toggle Flip-Flop with Clock Enable and Asynchronous Preset



### 概要

このデザイン エLEMENTは、トグル イネーブル、クロック イネーブル、非同期プリセットがあるトグル フリップフロップです。非同期プリセット入力 (PRE) が High になると、ほかのすべての入力は無視され、出力 Q が High にセットされます。トグル イネーブル入力 (T) とクロック イネーブル入力 (CE) が High、PRE が Low の場合、クロックが Low から High に切り替わるときに出力 Q がトグルし、値が変化します。CE が Low の場合、クロック遷移は無視されます。

FPGA では、電力を供給すると、フリップフロップは非同期にプリセットされ、出力が High になります。グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP\_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

### 論理表

入力				出力
PRE	CE	T	C	Q
1	X	X	X	1
0	0	X	X	変化なし
0	1	0	X	変化なし
0	1	1	↑	トグル

### デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

### 使用可能な属性

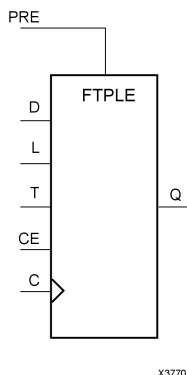
属性	データ型	値	デフォルト	説明
INIT	2 進数	0、1	1	コンフィギュレーション後の Q 出力の初期値を指定。

### 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## FTPLE

マクロ：Toggle/Loadable Flip-Flop with Clock Enable and Asynchronous Preset



### 概要

このデザイン エレメントは、トグル イネーブル、クロック イネーブル、非同期プリセットがあるロード可能なトグル フリップフロップです。非同期プリセット入力 (PRE) が High になると、ほかのすべての入力は無視され、出力 Q が High にセットされます。ロード イネーブル入力 (L) が High、PRE が Low の場合、クロック イネーブル (CE) は無視され、クロックが Low から High に切り替わるときに、D の値がフリップフロップにロードされます。L と PRE が Low、トグル イネーブル入力 (T) と CE が High の場合、クロックが Low から High に切り替わるときに出力 Q がトグルし、値が変化します。CE が Low の場合、クロック遷移は無視されます。

FPGA では、電力を供給すると、フリップフロップは非同期にプリセットされ、出力が High になります。グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP\_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

### 論理表

入力						出力
PRE	L	CE	T	D	C	Q
1	X	X	X	X	X	1
0	1	X	X	D	↑	D
0	0	0	X	X	X	変化なし
0	0	1	0	X	X	変化なし
0	0	1	1	X	↑	トグル

### デザインの入力方法

このエレメントは、回路図でのみ使用できます。

### 使用可能な属性

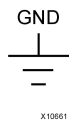
属性	データ型	値	デフォルト	説明
INIT	2 進数	0、1	1	コンフィギュレーション後の Q 出力の初期値を指定。

## 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## GND

### プリミティブ：Ground-Connection Signal Tag



## 概要

GND 信号タグは、ネットまたは入力ファンクションの論理レベルを Low にします。GND に接続されたネットは、ほかのソースに接続できません。

ロジックトリム ソフトウェアまたはフィッターでは、GND に接続されたネットまたは入力ファンクションがあると、GND 信号でディスエーブルになるロジックが削除されます。ディスエーブルになるロジックを削除できない場合のみ、GND 信号がインプリメントされます。

## デザインの入力方法

このエレメントは、回路図でのみ使用できます。

## 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## GTXE2\_CHANNEL

**プリミティブ : Gigabit Transceiver for 7 Series Devices**

### 概要

GTXE2 は、7 シリーズ デバイスのギガビットトランシーバー コンポーネントです。このコンポーネントを正しくコンフィギュレーションして使用できるよう、直接インスタンス化せずに、サイリンクス CORE Generator を使用してください。このコンポーネントの詳細は、『7 シリーズ FPGA GTX トランシーバー ユーザー ガイド』を参照してください。

### デザインの入力方法

このエレメントは、回路図で使用できます。

### 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## GTXE2\_COMMON

### プリミティブ：Gigabit Transceiver for 7 Series Devices

#### 概要

GTXE2 は、7 シリーズ デバイスのギガビットトランシーバー コンポーネントです。このコンポーネントを正しくコンフィギュレーションして使用できるよう、直接インスタンス化せず、ザイリンクス CORE Generator を使用してください。このコンポーネントの詳細は、『7 シリーズ FPGA GTX トランシーバー ユーザー ガイド』を参照してください。

#### デザインの入力方法

このエレメントは、回路図で使用できます。

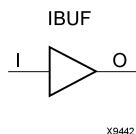
#### 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)



## IBUF

### プリミティブ：Input Buffer



### 概要

このデザイン エLEMENTは、最上位の入力ポートまたは入出力ポートに接続されている信号に自動的に挿入されます。このバッファは通常、合成ツールで推論しますが、必要に応じてインスタンスエートすることも可能です。インスタンスエートするには、入力ポート (I) を関連する最上位の入力ポートまたは入出力ポートに接続し、出力ポート (O) をそのポートをソースとする FPGA ロジックに接続します。必要なジェネリック マップ (VHDL) またはパラメーター値代入 (Verilog) に変更を加えて、コンポーネントのデフォルトのビヘイビアーを変更します。

### ポートの説明

ポート名	方向	幅	機能
O	出力	1	バッファの出力
I	入力	1	バッファの入力

### デザインの入力方法

このELEMENTは、回路図で使用できます。

このELEMENTは通常、デザインの最上位入力ポートに対して推論されます。通常はソースコードで指定する必要はありませんが、必要に応じてインスタンスエートできます。このコンポーネントをインスタンスエートするには、該当するライブラリ ガイドに含まれるインスタンスエーション コードを最上位エンティティ/モジュールに挿入します。デザイン階層を保つため、すべての I/O コンポーネントを必ずデザインの最上位に配置してください。I ポートをデザインの最上位入力ポートに、O ポートをこの入力 that 供給されるロジックに直接接続します。generic/defparam 値を設定し、バッファのビヘイビアーを適切に設定してください。

### 使用可能な属性

属性	データ型	値	デフォルト	説明
IBUF_LOW_PWR	ブール代数	TRUE、FALSE	TRUE	TRUE に設定すると、LVDS や HSTL などの差動入力規格または参照入力規格 ( $V_{REF}$ が必要) を使用する場合に消費電力を削減できます。FALSE に設定すると、TRUE に設定した場合より消費電力は大きくなりますが、パフォーマンスは向上します。詳細は、『7 シリーズ FPGA SelectIO リソース ユーザー ガイド』を参照してください。
IOSTANDARD	文字列	データシートを参照	"DEFAULT"	ELEMENTに I/O 規格を割り当てます。

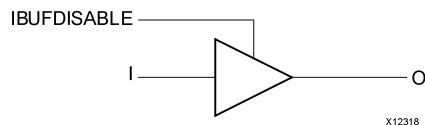
### 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## IBUF\_IBUFDISABLE

**プリミティブ：Single-ended Input Buffer with Input Disable**

IBUF\_IBUFDISABLE



### 概要

このデザイン エレメントは、内部ロジックを外部ピンに接続する入力バッファです。I/O が長時間使用されないときに電力消費を削減する機能として、入力パス ディスエーブルが含まれています。

### ポートの説明

ポート名	方向	幅	説明
I	入力	1	入力ポート接続。デザインの最上位ポートに直接接続します。
IBUFDISABLE	入力	1	USE_IBUFDISABLE が "TRUE" に設定されている場合にこの信号が High にアサートされると、バッファを介する入力パスがディスエーブルになり、ロジック High になります。USE_IBUFDISABLE が "FALSE" に設定されている場合はこの入力は無視されるので、グラウンドに接続する必要があります。この機能は、I/O が長時間アイドル状態になったときに電力消費を削減するために使用します。
O	出力	1	デバイスへの入力パスを表すバッファ出力

### デザインの入力方法

このエレメントは、回路図で使用できます。

### 使用可能な属性

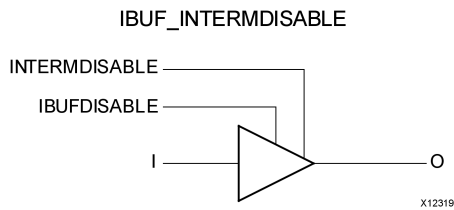
属性	データ型	値	デフォルト	説明
IBUF_LOW_PWR	文字列	"TRUE"、"FALSE"	"TRUE"	参照 I/O 規格が使用された場合に、消費電力を削減することを優先するか、パフォーマンスを向上することを優先するかを指定します。
IOSTANDARD	文字列	データシートを参照	"DEFAULT"	エレメントに I/O 規格を割り当てます。
USE_IBUFDISABLE	文字列	"TRUE"、"FALSE"	"TRUE"	IBUFDISABLE の機能をイネーブルまたはディスエーブルにします。

### 詳細情報

- ・ [7 シリーズ FPGA SelectIO リソース ユーザー ガイド](#)
- ・ [7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## IBUF\_INTERMDISABLE

**プリミティブ：Single-ended Input Buffer with Input Termination Disable and Input Disable**



### 概要

このデザイン エLEMENTは、内部ロジックを外部ピンに接続する入力バッファです。I/O が長時間使用されないときに電力消費を削減する機能として、入力パス ディスエーブルと入力終端 (INTERM) イネーブル/ディスエーブルが含まれています。

### ポートの説明

ポート名	方向	幅	説明
I	入力	1	入力ポート接続。デザインの最上位ポートに直接接続します。
IBUFDISABLE	入力	1	USE_IBUFDISABLE が "TRUE" に設定されている場合にこの信号が High にアサートされると、バッファを介する入力パスがディスエーブルになり、ロジック High になります。USE_IBUFDISABLE が "FALSE" に設定されている場合はこの入力は無視されるので、グランドに接続する必要があります。この機能は、I/O が長時間アイドル状態になったときに電力消費を削減するために使用します。
INTERMDISABLE	入力	1	入力終端をディスエーブルにします。この機能は、I/O がアイドル状態になったときに電力消費を削減するために使用します。
O	出力	1	デバイスへの入力パスを表すバッファ出力

### デザインの入力方法

このELEMENTは、回路図で使用できます。

### 使用可能な属性

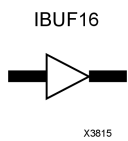
属性	データ型	値	デフォルト	説明
IBUF_LOW_PWR	文字列	"TRUE"、"FALSE"	"TRUE"	参照 I/O 規格が使用された場合に、消費電力を削減することを優先するか、パフォーマンスを向上することを優先するかを指定します。
IOSTANDARD	文字列	データシートを参照	"DEFAULT"	ELEMENTに I/O 規格を割り当てます。
USE_IBUFDISABLE	文字列	"TRUE"、"FALSE"	"TRUE"	IBUFDISABLE の機能をイネーブルまたはディスエーブルにします。

### 詳細情報

- ・ [7 シリーズ FPGA SelectIO リソース ユーザー ガイド](#)
- ・ [7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## IBUF16

### マクロ：16-Bit Input Buffer



### 概要

IBUF は、チップに入力される信号から内部回路を分離します。このデザイン エLEMENTは I/O ブロック (IOB) に含まれており、I/O の I/O 規格を指定できます。通常シングルエンドのデータ入力ピンまたは双方向ピンに使用されます。

### デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

### 使用可能な属性

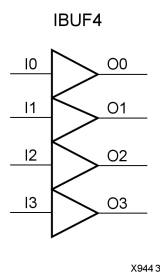
属性	データ型	値	デフォルト	説明
IOSTANDARD	文字列	データシートを参照	"DEFAULT"	ELEMENTに I/O 規格を割り当てます。

### 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## IBUF4

マクロ：4-Bit Input Buffer



### 概要

IBUF は、チップに入力される信号から内部回路を分離します。このデザイン エLEMENT は I/O ブロック (IOB) に含まれており、I/O の I/O 規格を指定できます。通常シングルエンドのデータ入力ピンまたは双方向ピンに使用されます。

### デザインの入力方法

このELEMENT は、回路図でのみ使用できます。

### 使用可能な属性

属性	データ型	値	デフォルト	説明
IOSTANDARD	文字列	データシートを参照	"DEFAULT"	ELEMENT に I/O 規格を割り当てます。

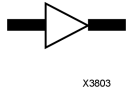
### 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## IBUF8

### マクロ：8-Bit Input Buffer

IBUF8



## 概要

IBUF は、チップに入力される信号から内部回路を分離します。このデザイン エLEMENTは I/O ブロック (IOB) に含まれており、I/O の I/O 規格を指定できます。通常シングルエンドのデータ入力ピンまたは双方向ピンに使用されます。

## デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

## 使用可能な属性

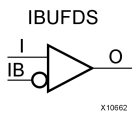
属性	データ型	値	デフォルト	説明
IOSTANDARD	文字列	データシートを参照	"DEFAULT"	ELEMENTに I/O 規格を割り当てます。

## 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## IBUFDS

### プリミティブ：Differential Signaling Input Buffer



### 概要

このデザイン エLEMENTは、低電圧差動信号を使用する入力バッファです。IBUFDS では、デザイン レベルのインターフェイス信号は、一方がマスターでもう一方がスレーブとなる 2 つの異なるポート (I、IB) で表されます。マスターとスレーブは MYNET\_P と MYNET\_N のように、同じ論理信号の反対の状態を示します。また、オプションの差動終端を使用すると、シグナル インテグリティが向上し、外部コンポーネントの数を削減できます。

### 論理表

入力		出力
I	IB	O
0	0	変化なし
0	1	0
1	0	1
1	1	変化なし

### ポートの説明

ポート名	方向	幅	機能
I	入力	1	Diff_p バッファの入力
IB	入力	1	Diff_p バッファの入力
O	出力	1	バッファの出力

### デザインの入力方法

このELEMENTは、回路図で使用できます。

デザイン階層を保つため、すべての I/O コンポーネントをデザインの最上位に配置してください。I ポートを直接デザインの最上位のマスターとなる入力ポートに、IB ポートを最上位のスレーブとなる入力ポートに、O ポートをこの入力供給されるロジックに接続します。generic/defparam 値を設定し、バッファのビヘイビアーを適切に設定してください。

## 使用可能な属性

属性	データ型	値	デフォルト	説明
DIFF_TERM	ブール代数	TRUE、FALSE	FALSE	7 シリーズ FPGA でサポートされる差動入力 I/O 規格用の差動終端属性で、ビルトインの 100 $\Omega$ の差動終端をオン (TRUE) またはオフ (FALSE) にします。
IBUF_LOW_PWR	ブール代数	TRUE、FALSE	TRUE	TRUE に設定すると、LVDS や HSTL などの差動入力規格または参照入力規格 ( $V_{REF}$ が必要) を使用する場合に消費電力を削減できます。FALSE に設定すると、TRUE に設定した場合より消費電力は大きくなりますが、パフォーマンスは向上します。詳細は、『7 シリーズ FPGA SelectIO リソース ユーザー ガイド』を参照してください。
IOSTANDARD	文字列	データシートを参照	"DEFAULT"	エレメントに I/O 規格を割り当てます。

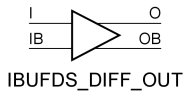
## 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)



## IBUFDS\_DIFF\_OUT

**プリミティブ**：Differential Signaling Input Buffer With Differential Output



X10107

### 概要

このデザイン エLEMENTは、差動信号を使用する入力バッファです。IBUFDS\_DIFF\_OUT では、デザイン レベルのインターフェイス信号は、一方がマスターでもう一方がスレーブとなる 2 つの異なるポート (I、IB) で表されます。マスターとスレーブは MYNET\_P と MYNET\_N のように、同じ論理信号の反対の状態を示します。IBUFGDS\_DIFF\_OUT では、差動信号の両方の位相に内部アクセスできる点が IBUFGDS と異なります。また、オプションの差動終端を使用すると、シグナル インテグリティが向上し、外部コンポーネントの数を削減できます。

### 論理表

入力		出力	
I	IB	O	OB
0	0	変化なし	変化なし
0	1	0	1
1	0	1	0
1	1	変化なし	変化なし

### ポートの説明

ポート名	方向	幅	説明
I	入力	1	Diff_p バッファ入力 (デザインの最上位ポートに接続)
IB	入力	1	Diff_n バッファ入力 (デザインの最上位ポートに接続)
O	出力	1	Diff_p バッファ出力
OB	出力	1	Diff_n バッファ出力

### デザインの入力方法

このELEMENTは、回路図で使用できます。

デザイン階層を保つため、すべての I/O コンポーネントをデザインの最上位に配置してください。I ポートを直接デザインの最上位のマスターとなる入力ポートに、IB ポートを最上位のスレーブとなる入力ポートに、O および OB ポートをこの入力が供給されるロジックに接続します。generic/パラメーター値を設定し、バッファのビヘイビアを適切に設定してください。

## 使用可能な属性

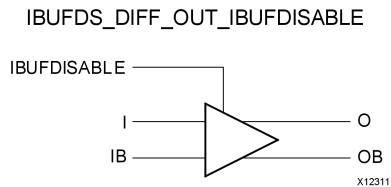
属性	データ型	値	デフォルト	説明
DIFF_TERM	ブール代数	TRUE、FALSE	FALSE	7 シリーズ FPGA でサポートされる差動入力 I/O 規格用の差動終端属性で、ビルトインの 100 $\Omega$ の差動終端をオン (TRUE) またはオフ (FALSE) にします。
IBUF_LOW_PWR	ブール代数	TRUE、FALSE	TRUE	TRUE に設定すると、LVDS や HSTL などの差動入力規格または参照入力規格 ( $V_{REF}$ が必要) を使用する場合に消費電力を削減できます。FALSE に設定すると、TRUE に設定した場合より消費電力は大きくなりますが、パフォーマンスは向上します。詳細は、『7 シリーズ FPGA SelectIO リソース ユーザー ガイド』を参照してください。
IOSTANDARD	文字列	データシートを参照	"DEFAULT"	エレメントに I/O 規格を割り当てます。

## 詳細情報

- ・ [7 シリーズ FPGA SelectIO リソース ユーザー ガイド](#)
- ・ [7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## IBUFDS\_DIFF\_OUT\_IBUFDISABLE

**プリミティブ：Input Differential Buffer with Input Disable and Differential Output**



### 概要

このデザイン エLEMENTは、内部ロジックを外部差動ピンに接続する差動入力バッファです。入力が長時間アイドル状態になったときに電力消費を削減する機能として、入力パス ディスエーブルが含まれています。IOBUFDS\_DIFF\_OUT\_IBUFDISABLE は、差動信号の両方の位相に内部アクセスできる点が IOBUFDS\_IBUFDISABLE と異なります。

### ポートの説明

ポート名	方向	幅	説明
I	入力	1	入力 p 側ポート接続。デザインの最上位ポートに直接接続します。
IB	入力	1	入力 n 側ポート接続。デザインの最上位ポートに直接接続します。
IBUFDISABLE	入力	1	USE_IBUFDISABLE が "TRUE" に設定されている場合にこの信号が High にアサートされると、バッファを介する入力パスがディスエーブルになり、ロジック High になります。USE_IBUFDISABLE が "FALSE" に設定されている場合はこの入力は無視されるので、グラウンドに接続する必要があります。この機能は、I/O が長時間アイドル状態になったときに電力消費を削減するために使用します。
O	出力	1	デバイスへの入力パスを表すバッファ p 側出力
OB	出力	1	デバイスへの入力パスを表すバッファ n 側出力

### デザインの入力方法

このELEMENTは、回路図で使用できます。

### 使用可能な属性

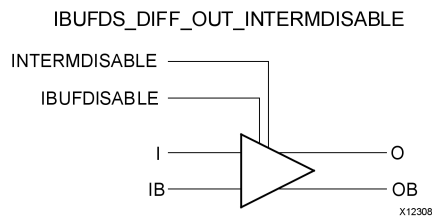
属性	データ型	値	デフォルト	説明
DIFF_TERM	文字列	"TRUE"、"FALSE"	"FALSE"	ビルトインの差動終端をイネーブルにします。
IBUF_LOW_PWR	文字列	"TRUE"、"FALSE"	"TRUE"	参照 I/O 規格が使用された場合に、消費電力を削減することを優先するか、パフォーマンスを向上することを優先するかを指定します。
IOSTANDARD	文字列	データシートを参照	"DEFAULT"	ELEMENTに I/O 規格を割り当てます。
USE_IBUFDISABLE	文字列	"TRUE"、"FALSE"	"TRUE"	IBUFDISABLE の機能をイネーブルまたはディスエーブルにします。

## 詳細情報

- ・ [7 シリーズ FPGA SelectIO リソース ユーザー ガイド](#)
- ・ [7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## IBUFDS\_DIFF\_OUT\_INTERMDISABLE

**プリミティブ：** Input Differential Buffer with Input Termination Disable, Input Disable, and Differential Output



### 概要

このデザイン エLEMENTは、内部ロジックを外部差動ピンに接続する差動入力バッファです。I/O が長時間アイドル状態になったときに電力消費を削減する機能として、入力バス ディスエーブルとキャリブレーションされない入力終端 (INTERM) ディスエーブルが含まれています。IOBUFDS\_DIFF\_OUT\_INTERMDISABLE は、差動信号の両方の位相に内部アクセスできる点が IOBUFDS\_INTERMDISABLE と異なります。このELEMENTは、7 シリーズ デバイスの HR (High Range) バンクにのみ配置可能です。

### ポートの説明

ポート名	方向	幅	説明
I	入力	1	入力 p 側ポート接続。デザインの最上位ポートに直接接続します。
IB	入力	1	入力 n 側ポート接続。デザインの最上位ポートに直接接続します。
IBUFDS_DISABLE	入力	1	USE_IBUFDS_DISABLE が "TRUE" に設定されている場合にこの信号が High にアサートされると、バッファを介する入力バスがディスエーブルになり、ロジック High になります。USE_IBUFDS_DISABLE が "FALSE" に設定されている場合はこの入力は無視されるので、グランドに接続する必要があります。この機能は、I/O がアイドル状態になったときに電力消費を削減するために使用します。
INTERMDISABLE	入力	1	入力終端をディスエーブルにします。この機能は、I/O がアイドル状態になったときに電力消費を削減するために使用します。
O	出力	1	デバイスへの入力バスを表すバッファ p 側出力
OB	出力	1	デバイスへの入力バスを表すバッファ n 側出力

### デザインの入力方法

このELEMENTは、回路図で使用できます。

## 使用可能な属性

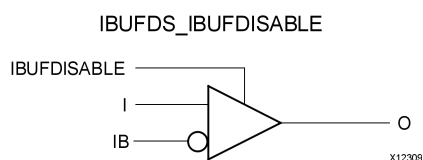
属性	データ型	値	デフォルト	説明
DIFF_TERM	文字列	"TRUE"、"FALSE"	"FALSE"	ビルトインの差動終端をイネーブルにします。
IBUF_LOW_PWR	文字列	"TRUE"、"FALSE"	"TRUE"	参照 I/O 規格が使用された場合に、消費電力を削減することを優先するか、パフォーマンスを向上することを優先するかを指定します。
IOSTANDARD	文字列	データシートを参照	"DEFAULT"	エレメントに I/O 規格を割り当てます。
USE_IBUFDISABLE	文字列	"TRUE"、"FALSE"	"TRUE"	IBUFDISABLE の機能をイネーブルまたはディスエーブルにします。

## 詳細情報

- ・ [7 シリーズ FPGA SelectIO リソース ユーザー ガイド](#)
- ・ [7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## IBUFDS\_IBUFDISABLE

プリミティブ：Input Differential Buffer with Input Path Disable



### 概要

このデザイン エLEMENTは、内部ロジックを外部差動ピンに接続する入力差動バッファです。I/O が長時間使用されないときに電力消費を削減する機能として、入力パス ディスエーブルが含まれています。

### ポートの説明

ポート名	方向	幅	説明
I	入力	1	入力 p 側ポート接続。デザインの最上位ポートに直接接続します。
IB	入力	1	入力 n 側ポート接続。デザインの最上位ポートに直接接続します。
IBUFDISABLE	入力	1	USE_IBUFDISABLE が "TRUE" に設定されている場合にこの信号が High にアサートされると、バッファを介する入力パスがディスエーブルになり、ロジック High になります。USE_IBUFDISABLE が "FALSE" に設定されている場合はこの入力は無視されるので、グラウンドに接続する必要があります。この機能は、I/O がアイドル状態になったときに電力消費を削減するために使用します。
O	出力	1	デバイスへの入力パスを表すバッファ出力

### デザインの入力方法

このELEMENTは、回路図で使用できます。

デザイン階層を保つため、すべての I/O コンポーネントをデザインの最上位に配置してください。I ポートを直接デザインの最上位のマスターとなる入力ポートに、IB ポートを最上位のスレーブとなる入力ポートに、O ポートをこの入力供給されるロジックに接続します。generic/defparam 値を設定し、バッファのビヘイビアーを適切に設定してください。

### 使用可能な属性

属性	データ型	値	デフォルト	説明
DIFF_TERM	文字列	"TRUE"、"FALSE"	"FALSE"	ビルトインの差動終端をイネーブルにします。
IBUF_LOW_PWR	文字列	"TRUE"、"FALSE"	"TRUE"	参照 I/O 規格が使用された場合に、消費電力を削減することを優先するか、パフォーマンスを向上することを優先するかを指定します。
IOSTANDARD	文字列	データシートを参照	"DEFAULT"	ELEMENTに I/O 規格を割り当てます。
USE_IBUFDISABLE	文字列	"TRUE"、"FALSE"	"TRUE"	IBUFDISABLE の機能をイネーブルまたはディスエーブルにします。

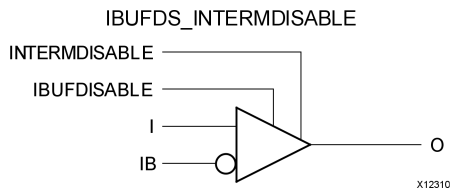
## 詳細情報

- ・ [7 シリーズ FPGA SelectIO リソース ユーザー ガイド](#)
- ・ [7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)



## IBUFDS\_INTERMDISABLE

**プリミティブ：Input Differential Buffer with Input Termination Disable and Input Disable**



### 概要

このデザイン エLEMENTは、内部ロジックを外部差動ピンに接続する入力差動バッファです。入力が長時間アイドル状態になったときに電力消費を削減する機能として、入力パス ディスエーブルとキャリブレーションされない入力終端 (INTERM) ディスエーブルが含まれています。このELEMENTは、7 シリーズ デバイスの HR (High Range) バンクにのみ配置可能です。

### ポートの説明

ポート名	方向	幅	説明
I	入力	1	入力 p 側ポート接続。デザインの最上位ポートに直接接続します。
IB	入力	1	入力 n 側ポート接続。デザインの最上位ポートに直接接続します。
IBUFDISABLE	入力	1	USE_IBUFDISABLE が "TRUE" に設定されている場合にこの信号が High にアサートされると、バッファを介する入力パスがディスエーブルになり、ロジック High になります。USE_IBUFDISABLE が "FALSE" に設定されている場合はこの入力は無視されるので、グランドに接続する必要があります。この機能は、I/O がアイドル状態になったときに電力消費を削減するために使用します。
INTERMDISABLE	入力	1	入力終端をディスエーブルにします。この機能は、I/O がアイドル状態になったときに電力消費を削減するために使用します。
O	出力	1	デバイスへの入力パスを表すバッファ出力

### デザインの入力方法

このELEMENTは、回路図で使用できます。

### 使用可能な属性

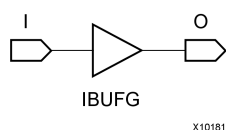
属性	データ型	値	デフォルト	説明
DIFF_TERM	文字列	"TRUE"、"FALSE"	"FALSE"	ビルトインの差動終端をイネーブルにします。
IBUF_LOW_PWR	文字列	"TRUE"、"FALSE"	"TRUE"	参照 I/O 規格が使用された場合に、消費電力を削減することを優先するか、パフォーマンスを向上することを優先するかを指定します。
IOSTANDARD	文字列	データシートを参照	"DEFAULT"	ELEMENTに I/O 規格を割り当てます。
USE_IBUFDISABLE	文字列	"TRUE"、"FALSE"	"TRUE"	IBUFDISABLE の機能をイネーブルまたはディスエーブルにします。T ビン ディスエーブル入力パスで書き込み中の読み出しを許可しないようにする場合に使用します。

## 詳細情報

- ・ [7 シリーズ FPGA SelectIO リソース ユーザー ガイド](#)
- ・ [7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## IBUFG

プリミティブ：Dedicated Input Clock Buffer



### 概要

IBUFG は、FPGA への入力クロックをグローバル クロック配線リソースに接続するために使用する専用入力です。最上位ポートから MMCM または BUFG への専用接続として使用でき、デバイスのクロック遅延とジッターを最小限に抑えます。IBUFG の入力は、クロック兼用 (MRCC または SRCC) ピンでのみ駆動できます。

### ポートの説明

ポート名	方向	幅	機能
O	出力	1	クロック バッファ出力
I	入力	1	クロック バッファ入力

### デザインの入力方法

このエレメントは、回路図で使用できます。

### 使用可能な属性

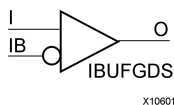
属性	データ型	値	デフォルト	説明
IBUF_LOW_PWR	ブール代数	TRUE、FALSE	TRUE	TRUE に設定すると、LVDS や HSTL などの差動入力規格または参照入力規格 ( $V_{REF}$ が必要) を使用する場合に消費電力を削減できます。FALSE に設定すると、TRUE に設定した場合より消費電力は大きくなりますが、パフォーマンスは向上します。詳細は、『7 シリーズ FPGA SelectIO リソース ユーザー ガイド』を参照してください。
IOSTANDARD	文字列	データシートを参照	"DEFAULT"	エレメントに I/O 規格を割り当てます。

### 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## IBUFGDS

**プリミティブ：Differential Signaling Dedicated Input Clock Buffer**



### 概要

このデザイン エLEMENT は、クロック バッファ (BUFG) または MMCM に接続するための専用の差動信号入力バッファです。IBUFGDS では、デザイン レベルのインターフェイス信号は、一方がマスターでもう一方がスレーブとなる 2 つの異なるポート (I, IB) で表されます。マスターとスレーブは、MYNET\_P と MYNET\_N のように、同じ論理信号の反対の状態を示します。

### 論理表

入力		出力
I	IB	O
0	0	変化なし
0	1	0
1	0	1
1	1	変化なし

### ポートの説明

ポート名	方向	幅	機能
O	出力	1	クロック バッファ出力
IB	入力	1	Diff_n クロック バッファの入力
I	入力	1	Diff_p クロック バッファの入力

### デザインの入力方法

このELEMENTは、回路図で使用できます。

デザイン階層を保つため、すべての I/O コンポーネントをデザインの最上位に配置してください。I ポートを直接デザインの最上位のマスターとなる入力ポートに、IB ポートを最上位のスレーブとなる入力ポートに、O ポートをこの入力をソースとする MMCM、BUFG、またはロジックに接続してください。一部の合成ツールでは、IBUFG を FPGA のクロックリソースに接続すると、必要に応じて BUFG が自動的に推論されます。generic/defparam 値を設定し、バッファのビヘイビアーを適切に設定してください。

## 使用可能な属性

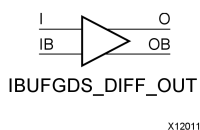
属性	データ型	値	デフォルト	説明
DIFF_TERM	ブール代数	TRUE、FALSE	FALSE	内部差動終端抵抗を使用するかどうかを指定します。
IBUF_LOW_PWR	ブール代数	TRUE、FALSE	TRUE	TRUE に設定すると、LVDS や HSTL などの差動入力規格または参照入力規格 ( $V_{REF}$ が必要) を使用する場合に消費電力を削減できます。FALSE に設定すると、TRUE に設定した場合より消費電力は大きくなりますが、パフォーマンスは向上します。詳細は、『7 シリーズ FPGA SelectIO リソース ユーザー ガイド』を参照してください。
IOSTANDARD	文字列	データシートを参照	"DEFAULT"	エレメントに I/O 規格を割り当てます。

## 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## IBUFGDS\_DIFF\_OUT

**プリミティブ : Differential Signaling Dedicated Input Clock Buffer with Differential Output**



### 概要

このデザイン エレメントは、差動信号を使用する入力バッファです。IBUFGDS\_DIFF\_OUT では、デザイン レベルのインターフェイス信号は、一方がマスターで、もう一方がスレーブとなる 2 つの異なるポート (I, IB) で表されます。マスターとスレーブは MYNET\_P と MYNET\_N のように、同じ論理信号の反対の状態を示します。IBUFGDS\_DIFF\_OUT では、差動信号の両方の位相に内部アクセスできる点が IBUFGDS と異なります。また、オプションの差動終端を使用すると、シグナル インテグリティが向上し、外部コンポーネントの数を削減できます。

### 論理表

入力		出力	
I	IB	O	OB
0	0	変化なし	変化なし
0	1	0	1
1	0	1	0
1	1	変化なし	変化なし

### ポートの説明

ポート名	方向	幅	機能
I	入力	1	Diff_p バッファ入力 (デザインの最上位ポートに接続)
IB	入力	1	Diff_n バッファ入力 (デザインの最上位ポートに接続)
O	出力	1	Diff_p バッファ出力
OB	出力	1	Diff_n バッファ出力

### デザインの入力方法

デザイン階層を保つため、すべての I/O コンポーネントをデザインの最上位に配置することをお勧めします。I ポートを直接デザインの最上位のマスターとなる入力ポートに、IB ポートを最上位のスレーブとなる入力ポートに、O および OB ポートをこの入力に供給されるロジックに接続します。generic/パラメーター値を設定し、バッファのビヘイビアーを適切に設定してください。

## 使用可能な属性

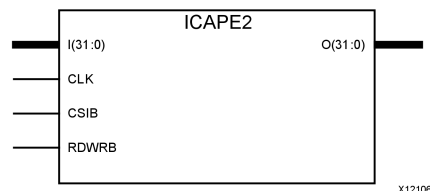
属性	データ型	値	デフォルト	説明
IOSTANDARD	文字列	データシートを参照	"DEFAULT"	エレメントに I/O 規格を割り当てます。
DIFF_TERM	ブール代数	TRUE、FALSE	FALSE	内部差動終端抵抗を使用するかどうかを指定します。
IBUF_LOW_PWR	ブール代数	TRUE、FALSE	TRUE	TRUE に設定すると、LVDS や HSTL などの差動入力規格または参照入力規格 ( $V_{REF}$ が必要) を使用する場合に消費電力を削減できます。FALSE に設定すると、TRUE に設定した場合より消費電力は大きくなりますが、パフォーマンスは向上します。詳細は、『7 シリーズ FPGA SelectIO リソース ユーザー ガイド』を参照してください。

## 詳細情報

- ・ [7 シリーズ FPGA SelectIO リソース ユーザー ガイド](#)
- ・ [7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## ICAPE2

**プリミティブ：Internal Configuration Access Port**



### 概要

このデザイン エLEMENTからは、FPGA ファブリックから FPGA のコンフィギュレーション機能にアクセスできます。このコンポーネントを使用すると、FPGA アレイのコンフィギュレーション ロジックにコマンドおよびデータを書き込んだり、コンフィギュレーション ロジックからデータを読み出したりすることができます。このファンクションを正しく使用しないと FPGA の機能および信頼性に悪影響を与えるため、この機能に精通していない限りこのELEMENTは使用しないでください。

### ポートの説明

ポート名	方向	幅	機能
CLK	入力	1	クロック入力
CSIB	入力	1	アクティブ Low の ICAP イネーブル
I<31:0>	入力	32	コンフィギュレーション データ入力バス
O<31:0>	出力	32	コンフィギュレーション データ出力バス
RDWRB	入力	1	読み出し/書き込みのセレクト入力

### デザインの入力方法

このELEMENTは、回路図で使用できます。

### 使用可能な属性

属性	データ型	値	デフォルト	説明
DEVICE_ID	16 進数	32'h03651093、 32'h036BF093、 32'h036DF093、 32'h036FF093、 32'h0362A093、 32'h0362B093、 32'h0362C093、 32'h0362D093、 32'h0362E093、 32'h0362F093、 32'h0363A093、 32'h0364A093、 32'h0364B093、 32'h0364C093、 32'h0364D093、 32'h0364E093、 32'h0364F093、 32'h0365A093、 32'h0365B093、 32'h0365C093、	32'h03651093	シミュレーションで使用するあらかじめプログラムされているデバイス ID 値を指定します。



属性	データ型	値	デフォルト	説明
		32'h0366A093、 32'h0366B093、 32'h0366C093、 32'h0366D093、 32'h0366E093、 32'h0366F093、 32'h0367A093、 32'h0368A093、 32'h0368B093、 32'h0368C093、 32'h0368D093、 32'h0368E093、 32'h0368F093、 32'h0369B093、 32'h0372A093、 32'h0372B093、 32'h0372C093、 32'h0372D093、 32'h0372E093、 32'h0372F093、 32'h03600093、 32'h03620093、 32'h03622093、 32'h03627093、 32'h03628093、 32'h03629093、 32'h03630093、 32'h03631093、 32'h03632093、 32'h03633093、 32'h03634093、 32'h03635093、 32'h03636093、 32'h03637093、 32'h03638093、 32'h03639093、 32'h03642093、 32'h03643093、 32'h03644093、 32'h03645093、 32'h03646093、 32'h03647093、 32'h03648093、 32'h03649093、 32'h03650093、 32'h03652093、 32'h03653093、 32'h03654093、 32'h03655093、 32'h03656093、 32'h03657093、 32'h03658093、 32'h03659093、 32'h03662093、 32'h03663093、 32'h03664093、 32'h03665093、 32'h03666093、 32'h03667093、 32'h03668093、 32'h03669093、 32'h03670093、 32'h03671093、		

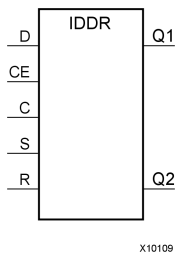
属性	データ型	値	デフォルト	説明
		32'h03672093、 32'h03673093、 32'h03674093、 32'h03675093、 32'h03676093、 32'h03677093、 32'h03678093、 32'h03679093、 32'h03682093、 32'h03683093、 32'h03684093、 32'h03685093、 32'h03686093、 32'h03687093、 32'h03688093、 32'h03689093、 32'h03690093、 32'h03722093、 32'h03723093、 32'h03724093、 32'h03725093、 32'h03726093、 32'h03727093、 32'h03728093、 32'h03729093、 32'h03730093、 32'h03731093、 32'h03732093、 32'h03733093、 32'h03734093、 32'h03735093		
ICAP_WIDTH	文字列	"X32"、"X8"、"X16"	"X32"	ICAPE2 で使用する入力および出力データ幅を指定します。
SIM_CFG_FILE_NAME	文字列	"NONE" または有効なファイルの名前と場所	"NONE"	シミュレーション モデルで解析するロービット ファイル (RBT) を指定します。

## 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## IDDR

### プリミティブ：Input Dual Data-Rate Register



### 概要

このデザイン エLEMENTは、ザイリンクス FPGA に入力される外部デュアル データレート (DDR) 信号を受信するための専用入力レジスタです。データが取り込まれるクロック エッジごとにデータを FPGA ファブリックに入力するモードと、同じクロック エッジで同時にデータを入力するモードがあります。これにより、タイミングが複雑にならず、追加のリソースも必要ありません。

- ・ **OPPOSITE\_EDGE モード**：通常の DDR 方式でデータが受信されます。Q1 はクロック C の各立ち上がりエッジの後に変化し、Q2 は各立ち下がりエッジの後に変化します。
- ・ **SAME\_EDGE モード**：データはクロック C の反対のエッジで受信されますが、立ち下がりエッジ データレジスタの前にレジスタが追加されており、このレジスタはクロック信号 C の立ち上がりエッジで動作するので、DDR データは同じクロック エッジで FPGA に送信されます。ただし、データ ペアは分離されているように見えます。Q1 と Q2 にはペア 1 および 2 が同時に送信されず、最初のペアがペア 1 とドントケアとなり、次のクロック サイクルでペア 2 と 3 が送信されます。
- ・ **SAME\_EDGE\_PIPELINED モード**：SAME\_EDGE モードと同様にデータが処理されますが、SAME\_EDGE モードでのデータ ペアの分離を回避するため、立ち上がりエッジ データレジスタの前にもレジスタが追加されます。これにより、データ ペアが Q1 と Q2 ピンに同時に送信されます。ただし、このモードを使用すると、Q1 と Q2 信号が変化するレイテンシが 1 サイクル分増加します。

IDDR は IODELAYE2 などの SelectIO™ 機能とも使用できます。

**メモ**：高速インターフェイスには、IDDR\_2CLK コンポーネントを使用して データの取り込みに 2 つの独立したクロックを指定できます。このコンポーネントは、IDDR のパフォーマンス要件が不十分なときに使用します。IDDR\_2CLK では、必要なクロック リソース数が増え、IDDR コンポーネントを使用するときには不要な配置制限が発生する可能性があります。

### ポートの説明

ポート名	方向	幅	機能
Q1 ~ Q2	出力	1	FPGA に接続する IDDR 出力です。Q1 は最初のデータ ペア、Q2 は 2 番目のデータ ペアです。
C	入力	1	クロック入力ピンです。
CE	入力	1	Low になると、ポート O の出力クロックがディスエーブルになります。
D	入力	1	DDR データを IDDR モジュールに入力するピン。  このピンは、最上位の入力または双方向ポート、入力遅延が設定された IODELAY、または適切な入力または双方向バッファに接続します。

ポート名	方向	幅	機能
R	入力	1	アクティブ High のリセットで Q1 および Q2 を論理 0 にします。SRTYPE 属性に基づき、同期または非同期に設定できます。
S	入力	1	アクティブ High のリセットで Q1 および Q2 を論理 1 にします。SRTYPE 属性に基づき、同期または非同期に設定できます。

## デザインの入力方法

このエレメントは、回路図で使用できます。

## 使用可能な属性

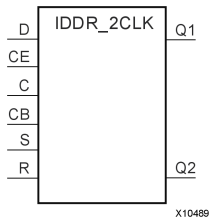
属性	データ型	値	デフォルト	説明
DDR_CLK_EDGE	文字列	"OPPOSITE_EDGE"、 "SAME_EDGE"、 "SAME_EDGE_PIPELINED"	"OPPOSITE_EDGE"	クロック エッジに対する IDDR の操作モードを指定します。
INIT_Q1	2 進数	0、1	0	コンフィギュレーションのスタートアップ後または GSR がアサートされたときの Q1 ピンの初期値を指定します。
INIT_Q2	2 進数	0、1	0	コンフィギュレーションのスタートアップ後または GSR がアサートされたときの Q2 ピンの初期値を指定します。
SRTYPE	文字列	"SYNC"、"ASYNC"	"SYNC"	セット/リセットのタイプを選択します。"SYNC" に設定するとリセット (R) およびセット (S) ピンの動作が C クロック ピンの立ち上がりエッジに同期し、"ASYNC" に設定すると非同期動作になります。

## 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## IDDR\_2CLK

### プリミティブ：Input Dual Data-Rate Register with Dual Clock Inputs



### 概要

このデザイン エLEMENTは、ザイリンクス FPGA に入力される外部デュアル データレート (DDR) 信号を受信するための専用入力レジスタです。IDDR\_2CLK プリミティブは超高速インターフェイス用であり、必要なクロック リソース数および消費電力が増加し、IDDR コンポーネントを使用するときには不要な配置制限があるため、通常は使用を避けてください。代わりに IDDR コンポーネントを使用すると、動作速度は多少遅くなるものの、簡単に使用でき、リソース数も抑えられ、制限も低減します。このプリミティブには、データが取り込まれるクロック エッジごとにデータを FPGA ファブリックに入力するモードと、同じクロック エッジで同時にデータを入力するモードがあります。これにより、タイミングが複雑にならず、追加のリソースも必要ありません。

- OPPOSITE\_EDGE モード：**通常の DDR 方式でデータが受信されます。Q1 はクロック C の各立ち上がりエッジの後に変化し、Q2 はクロック CB の各立ち下がりエッジの後に変化します。
- SAME\_EDGE モード：**データは各クロックの立ち上がりエッジで受信されますが、CB クロック データレジスタの前にレジスタが 1 つ追加されます。このレジスタはクロック信号 C の立ち上がりエッジで動作するので、DDR データは同じクロック エッジで FPGA に送信されます。ただし、データ ペアは分離されているように見えます。Q1 と Q2 にはペア 1 および 2 が同時に送信されず、最初のペアがペア 1 とドントケアとなり、次のクロック サイクルでペア 2 と 3 が送信されます。
- SAME\_EDGE\_PIPELINED モード：**SAME\_EDGE モードと同様にデータが処理されますが、SAME\_EDGE モードでのデータ ペアの分離を回避するため、C のクロック データレジスタの前にもレジスタが追加されます。これにより、データ ペアが Q1 と Q2 ピンに同時に送信されます。ただし、このモードを使用すると、Q1 と Q2 信号が変化するレイテンシが 1 サイクル分増加します。

IDDR は IODELAYE2 などの SelectIO™ 機能とも使用できます。

### ポートの説明

ポート名	方向	幅	機能
Q1 : Q2	出力	1	FPGA に接続する IDDR 出力です。Q1 は最初のデータ ペア、Q2 は 2 番目のデータ ペアです。
C	入力	1	立ち上がりエッジのデータをキャプチャするプライマリ クロック 入力ピン
CB	入力	1	立ち下がりエッジのデータをキャプチャするセカンダリ クロック 入力ピン。通常プライマリ クロックと 180 度位相がずれています。
CE	入力	1	Low になると、ポート O の出力クロックがディスエーブルになります。
D	入力	1	DDR データを IDDR モジュールに入力するピン  このピンは、最上位の入力または双方向ポート、入力遅延が設定された IODELAY、あるいは適切な入力または双方向バッファに接続します。

ポート名	方向	幅	機能
R	入力	1	アクティブ High のリセットで Q1 および Q2 を論理 0 にします。SRTYPE 属性に基づき、同期または非同期に設定できます。
S	入力	1	アクティブ High のリセットで Q1 および Q2 を論理 1 にします。SRTYPE 属性に基づき、同期または非同期に設定できます。

## デザインの入力方法

このエレメントは、回路図で使用できます。

- ・ C ピンを立ち上がりクロック エッジを示すクロック ソースに、CB ピンを立ち下がりクロック エッジを示すクロック ソースに接続します。
- ・ D ピンを最上位の入力または双方向ポート、IODELAY、あるいはインスタンス化された入力または双方向バッファに接続します。
- ・ Q1 および Q2 ピンは、適切なデータ ソースに接続する必要があります。
- ・ CE ピンは、未使用の場合は High に接続し、使用する場合は適切なクロック イネーブル ロジックに接続します。
- ・ R および S ピンは、未使用の場合は Low に接続し、使用する場合は適切なセット/リセット生成ロジックに接続します。
- ・ 目的の動作になるように、コンポーネントに属性を設定します。
- ・ このペアのコンポーネントは同じクロックを使用してインスタンス化し、使用可能な I/O リソースを無駄にしないように、I/O ペアの P および N に LOC 制約を使用して固定します。
- ・ このコンポーネントは、常にほかの I/O コンポーネントと共にコードの最上位階層にインスタンス化します。これにより、階層デザイン フローを適切に実行できるようになります。
- ・ CLK スキューを最小限に抑えるには、CLK および CLKB の両方が、ローカル反転からではなく、グローバル配線 (MMCM) から供給されるようにする必要があります。ローカル反転を使用するとスキューが追加されますが、MMCM を使用するとスキューが抑えられます。

## 使用可能な属性

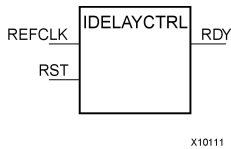
属性	データ型	値	デフォルト	説明
DDR_CLK_EDGE	文字列	"OPPOSITE_EDGE"、 "SAME_EDGE"、 "SAME_EDGE_PIPELINED"	"OPPOSITE_EDGE"	クロック エッジに対する DDR の操作モードを指定します。詳細は、「概要」を参照してください。
INIT_Q1	2 進数	0、1	0	コンフィギュレーションのスタートアップ後または GSR がアサートされたときの Q1 ピンの初期値を指定します。
INIT_Q2	2 進数	0、1	0	コンフィギュレーションのスタートアップ後または GSR がアサートされたときの Q2 ピンの初期値を指定します。
SRTYPE	文字列	"SYNC"、"ASYN"	"SYNC"	セット/リセットのタイプを選択します。 "SYNC" に設定すると、リセット (R) およびセット (S) ピンの動作が C クロックピンの立ち上がりエッジに同期し、"ASYN" に設定すると非同期動作になります。

## 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## IDELAYCTRL

### プリミティブ：IDELAYE2/ODELAYE2 Tap Delay Value Control



### 概要

IDELAYE2 または ODELAYE2 を使用する場合は、IDELAYCTRL を少なくとも 1 つ使用する必要があります。IDELAYCTRL は、PVT（プロセス、電圧、および温度）の変動にかかわらず、関連付けられている IDELAYE2 および ODELAYE2 コンポーネント用に正確な遅延タップ値を求めるために内部回路で電圧バイアスを算出するのに使用するリファレンス クロック入力を供給します。このコンポーネントをインスタンス化するには、どの IDELAYCTRL がどの IDELAYE2 または ODELAYE2 に関連付けられているかを判別するため、IODELAY\_GROUP 属性を使用することをお勧めします。IODELAY\_GROUP 属性の詳細は、『[制約ガイド](#)』（UG625）を参照してください。

### ポートの説明

ポート名	方向	幅	機能
RDY	出力	1	特定の領域の IDELAYE2 および ODELAYE2 モジュールがキャリブレーションされたことを示します。REFCLK が High または Low に 1 クロック周期以上保持されると、RDY 信号はディアサートされます。RDY が Low にディアサートされた場合は、IDELAYCTRL モジュールをリセットする必要があります。RDY を使用しない場合は、未接続にするか無視します。
REFCLK	入力	1	同じ領域にあるすべての IDELAYE2 および ODELAYE2 モジュールをキャリブレーションするための IDELAYCTRL に対する時間のリファレンスです。ユーザー ソースまたは MMCME2/PLLE2 から直接供給でき、グローバル クロック バッファに配線する必要があります。
RST	入力	1	アクティブ High の非同期リセット。IDELAYE2 および ODELAYE2 を正しく動作させるため、コンフィギュレーション後 REFCLK 信号が安定した後に IDELAYCTRL をリセットする必要があります。リセットパルス幅 Tdelayctrl_rpw が必要です。

**RST (モジュールリセット)：**IDELAYCTRL 回路をリセットします。RST 信号は、アクティブ High の非同期リセットです。IDELAYCTRL をリセットするには、このポートを 50ns 以上 High にアサートする必要があります。

**REFCLK (リファレンス クロック)：**プロセス、電圧、温度の変動にかかわらず、IOB のタップ遅延ラインに電圧バイアスを供給します。タップ遅延をデータシートに記載された値にするには、REFCLK の周波数を 200MHz にする必要があります。

**RDY (Ready 出力)：**リファレンス クロック入力 REFCLK が有効になったことを示します。REFCLK が停止する (REFCLK が High または Low に 1 クロック周期以上保持される) と、RDY 信号がディアサートされます。

### デザインの入力方法

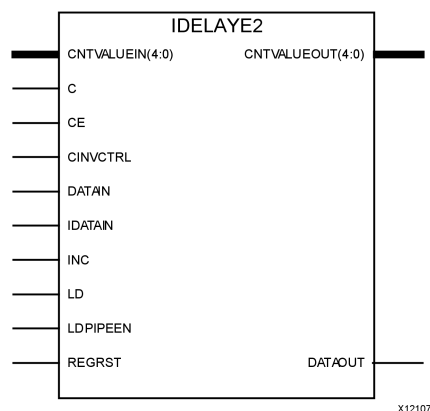
このエレメントは、回路図で使用できます。

### 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## IDELAYE2

### プリミティブ :Input Fixed or Variable Delay Element



## 概要

各 I/O ブロックには、IDELAYE2 と呼ばれるプログラム可能な絶対遅延エレメントが含まれています。この遅延エレメントは、入力レジスタ/ISERDESE1 に接続するか、または FPGA ロジックを直接駆動できます。IDELAYE2 は、キャリブレーションされたタップ精度を使用する 31 タップのラップアラウンド遅延エレメントです。遅延値は、7 シリーズ FPGA データシートを参照してください。IDELAYE2 を使用すると、入力信号を個別に遅延できます。タップ遅延精度は、IDELAYCTRL リファレンス クロックを 7 シリーズ FPGA データシートで指定された範囲から選択することによって変更できます。

## ポートの説明

ポート名	データ型	幅	説明
C	入力	1	IDELAYE2 プリミティブの制御入力 (RST、CE、および INC) は、すべてクロック入力 (C) に同期しています。IDELAYE2 を "VARIABLE"、"VAR_LOAD"、または "VAR_LOAD_PIPE" モードでコンフィギュレーションする場合は、クロックをこのポートに接続する必要があります。C はローカルで反転でき、グローバルまたはリージョナル クロック バッファから供給する必要があります。このクロックは SelectIO ロジック リソースの同じクロックに接続する必要があります (ISERDESE2 および OSERDESE2 を使用する場合は C は CLKDIV に接続)。
CE	入力	1	インクリメント/デクリメントを有効にするアクティブ High のイネーブル
CINVCTRL	入力	1	C ピンの極性を動的に切り替えます。この機能は、グリッチが問題にならないアプリケーションで使用されます。極性を切り替える際は、2 クロック サイクル間 IDELAYE2 制御ピンを使用しないでください。
CNTVALUEIN<4:0>	入力	5	動的に読み込まれるタップ値用の FPGA ロジックからのカウンター値
CNTVALUEOUT<4:0>	出力	5	遅延エレメントの値の動的な変更をレポートします。IDELAYE2 が "VAR_LOAD" または "VAR_LOAD_PIPE" モードの場合にのみ有効です。
DATAIN	入力	1	FPGA ロジックで直接駆動され、ロジックでアクセス可能な遅延ラインとなります。データは、DATAOUT ポートを介して IDELAY_VALUE で設定された遅延で FPGA ロジックにフィードバックされます。DATAIN はローカルに反転可能です。データを I/O に駆動することはできません。
DATAOUT	出力	1	IDATAIN または DATAIN 入力パスからの遅延データです。ISERDESE2、入力レジスタ、または FPGA ロジックに接続されます。



ポート名	データ型	幅	説明
IDATAIN	入力	1	接続されている I/O で駆動されます。データは ISERDESE1 または入力レジスタ ブロックに入力するか、FPGA ロジックに直接入力するか、または DATAOUT ポートを介して IDELAY_VALUE で設定された遅延で両方に入力できます。
INC	入力	1	タップ遅延のインクリメント/デクリメント数
LD	入力	1	カウンタに IDELAY_VALUE を読み込みます。
LDPIPEEN	入力	1	LD ピンからデータを読み込む際にパイプライン レジスタをイネーブルにします。
REGRST	入力	1	“VARIABLE” モードでは、遅延エレメントを IDELAY_VALUE 属性で設定された値にリセットします。この属性が設定されていない場合は、0 にリセットします。RST はアクティブ High のリセットで、入力クロック入力 (C) に同期しています。“VAR_LOAD” または “VAR_LOAD_PIPE” モードの場合は、遅延エレメントを CNTVALUEIN で設定された値にリセットします。CNTVALUEIN の値が新しいタップ値になります。この場合、IDELAY_VALUE 属性は無視されます。

## デザインの入力方法

このエレメントは、回路図で使用できます。

## 使用可能な属性

属性	データ型	値	デフォルト	説明
CINVCTRL_SEL	文字列	“FALSE”、“TRUE”	“FALSE”	C ピンの極性を動的に切り替える CINVCTRL_SEL ピンをイネーブルにします。
DELAY_SRC	文字列	“IDATAIN”、“DATAIN”	“IDATAIN”	IDELAYE2 に入力する遅延ソースを指定します。 <ul style="list-style-type: none"> <li>“IDATAIN”：IDELAYE2 チェーンの入力は IDATAIN</li> <li>“DATAIN”：IDELAYE2 チェーンの入力は DATAIN</li> </ul>
HIGH_PERFORMANCE_MODE	文字列	“FALSE”、“TRUE”	“FALSE”	“TRUE” に設定すると出力ジッターが減少し、“FALSE” に設定すると消費電力が削減されます。消費電力量の差異は、Xilinx Power Estimator ツールで確認できます。
IDELAY_TYPE	文字列	“FIXED”、“VAR_LOAD”、“VAR_LOAD_PIPE”、“VARIABLE”	“FIXED”	タップ遅延ラインのタイプを設定します。 <ul style="list-style-type: none"> <li>“FIXED”：スタティック遅延値に設定します。</li> <li>“VARIABLE”：遅延値を動的に調整（インクリメントまたはデクリメント）します。</li> <li>“VAR_LOADABLE”：タップ値を動的に読み込みます。</li> </ul>

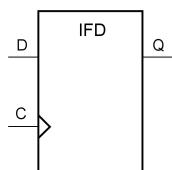
属性	データ型	値	デフォルト	説明
				・ “VAR_LOAD_PIPE” : タップ値をパイプラインを介して動的に読み込みます。
IDELAY_VALUE	10 進数	0、1、2、3、4、5、6、7、8、9、10、11、12、13、14、15、16、17、18、19、20、21、22、23、24、25、26、27、28、29、30、31	0	“FIXED” モードでは固定遅延タップ数、“VARIABLE” モードでは遅延タップ数の初期値を指定します (入力パス)。“VAR_LOAD” または “VAR_LOAD_PIPE” モードの場合、この属性値は無視されます。
PIPE_SEL	文字列	“FALSE”、“TRUE”	“FALSE”	パイプライン モードを選択します。
REFCLK_FREQUENCY	1 上位ビット浮動小数点	190.0 ~ 210.1 および 290.0 ~ 310.0	200.0	Timing Analyzer でスタティック タイミング解析、論理シミュレーション、タイミングシミュレーションに使用するタップ値 (MHz) を指定します。適切なタップ遅延値およびパフォーマンスを得るためには、REFCLK の周波数をデータシートに記載された範囲内にする必要があります。
SIGNAL_PATTERN	文字列	“DATA”、“CLOCK”	“DATA”	Timing Analyzer でデータ パスまたはクロック パスに対して適切な遅延チェーン ジッタ量が使用されるようにします。

## 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## IFD

### マクロ：Input D Flip-Flop



X3776

## 概要

このエレメントは D フリップフロップで、I/O ブロック (IOB) に含まれています。フリップフロップの入力 (D) は、IBUF を使用せずに IPAD または IOPAD に接続されます。入力 D からはデータが入力され、チップへのデータ入力同期化されます。入力 D の値は、クロック (C) が Low から High に切り替わる時に、フリップフロップにロードされ、出力 (Q) に出力されます。クロック入力、内部ロジックまたは別の外部ピンによって駆動できます。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP\_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

## 論理表

入力		出力
D	C	Q
D	↑	D

## デザインの入力方法

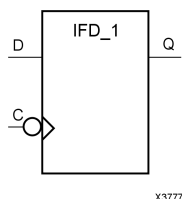
このエレメントは、回路図でのみ使用できます。

## 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## IFD\_1

マクロ：Input D Flip-Flop with Inverted Clock (Asynchronous Preset)



### 概要

このデザイン エレメントは D フリップフロップで、I/O ブロック (IOB) に含まれています。フリップフロップの入力 (D) は、IPAD または IOPAD に接続されます。また、入力 D からデータが入力され、チップへのデータ入力が同期化されます。入力 D の値は、クロック (C) が High から Low に切り替わる時に、フリップフロップにロードされ、出力 (Q) に出力されます。クロック入力、内部ロジックまたは別の外部ピンによって駆動できます。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP\_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

### 論理表

入力		出力
D	C	Q
0	↓	0
1	↓	1

### デザインの入力方法

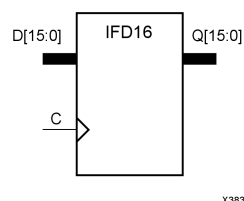
このエレメントは、回路図でのみ使用できます。

### 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## IFD16

### マクロ：16-Bit Input D Flip-Flop



### 概要

このエレメントは D フリップフロップで、I/O ブロック (IOB) に含まれています。フリップフロップの入力 (D) は、IBUF を使用せずに IPAD または IOPAD に接続されます。入力 D からはデータが入力され、チップへのデータ入力同期化されます。入力 D の値は、クロック (C) が Low から High に切り替わるときに、フリップフロップにロードされ、出力 (Q) に出力されます。クロック入力、内部ロジックまたは別の外部ピンによって駆動できます。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP\_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

### 論理表

入力		出力
D	C	Q
D	↑	D

### デザインの入力方法

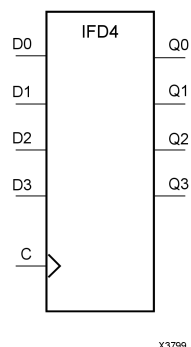
このエレメントは、回路図でのみ使用できます。

### 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## IFD4

### マクロ：4-Bit Input D Flip-Flop



## 概要

このエレメントは D フリップフロップで、I/O ブロック (IOB) に含まれています。フリップフロップの入力 (D) は、IBUF を使用せずに IPAD または IOPAD に接続されます。入力 D からはデータが入力され、チップへのデータ入力同期化されます。入力 D の値は、クロック (C) が Low から High に切り替わるときに、フリップフロップにロードされ、出力 (Q) に出力されます。クロック入力は、内部ロジックまたは別の外部ピンによって駆動できます。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP\_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

## 論理表

入力		出力
D	C	Q
D	↑	D

## デザインの入力方法

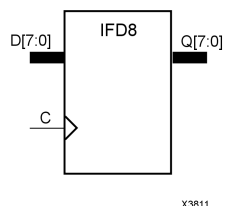
このエレメントは、回路図でのみ使用できます。

## 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## IFD8

### マクロ：8-Bit Input D Flip-Flop



## 概要

このエレメントは D フリップフロップで、I/O ブロック (IOB) に含まれています。フリップフロップの入力 (D) は、IBUF を使用せずに IPAD または IOPAD に接続されます。入力 D からはデータが入力され、チップへのデータ入力同期化されます。入力 D の値は、クロック (C) が Low から High に切り替わる時に、フリップフロップにロードされ、出力 (Q) に出力されます。クロック入力、内部ロジックまたは別の外部ピンによって駆動できます。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP\_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

## 論理表

入力		出力
D	C	Q
D	↑	D

## デザインの入力方法

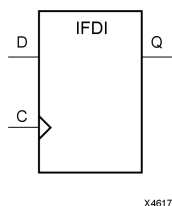
このエレメントは、回路図でのみ使用できます。

## 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## IFDI

マクロ : Input D Flip-Flop (Asynchronous Preset)



## 概要

このデザイン エレメントは D フリップフロップで、I/O ブロック (IOB) に含まれています。フリップフロップの入力 (D) は、IPAD または IOPAD に接続されます。入力 D からはデータが入力され、チップへのデータ入力が同期化されます。入力 D の値は、クロック (C) が Low から High に切り替わるときに、フリップフロップにロードされ、出力 (Q) に出力されます。クロック入力、内部ロジックまたは別の外部ピンによって駆動できます。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP\_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

## 論理表

入力		出力
D	C	Q
D	↑	D

## デザインの入力方法

このエレメントは、回路図でのみ使用できます。

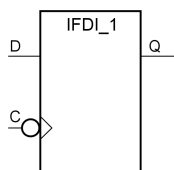
## 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)



## IFDI\_1

マクロ : Input D Flip-Flop with Inverted Clock (Asynchronous Preset)



X4386

## 概要

このデザイン エLEMENTは D フリップフロップで、I/O ブロック (IOB) に含まれています。フリップフロップの入力 (D) は、IPAD または IOPAD に接続されます。入力 D からはデータが入力され、チップへのデータ入力同期化されます。入力 D の値は、クロック (C) が High から Low に切り替わる時にフリップフロップにロードされ、出力 (Q) に出力されます。クロック入力は、内部ロジックまたは別の外部ピンによって駆動できます。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP\_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

## 論理表

入力		出力
D	C	Q
0	↓	0
1	↓	1

## デザインの入力方法

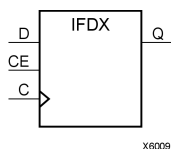
このELEMENTは、回路図でのみ使用できます。

## 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## IFDX

### マクロ：Input D Flip-Flop with Clock Enable



## 概要

このエレメントは D フリップフロップで、I/O ブロック (IOB) に含まれています。フリップフロップの入力 (D) は、IBUF を使用せずに IPAD または IOPAD に接続されます。入力 D からはデータが入力され、チップへのデータ入力同期化されます。CE が High になっていると、入力 D の値は、クロック (C) が Low から High に切り替わる時にフリップフロップにロードされ、出力 (Q) に出力されます。クロック入力、内部ロジックまたは別の外部ピンによって駆動できます。クロック イネーブル (CE) が Low のときには、フリップフロップの出力は変化しません。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP\_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

## 論理表

入力			出力
CE	D	C	Q
1	D	↑	D
0	X	X	変化なし

## デザインの入力方法

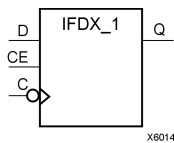
このエレメントは、回路図でのみ使用できます。

## 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## IFDX\_1

マクロ：Input D Flip-Flop with Inverted Clock and Clock Enable



## 概要

このデザイン エLEMENTは D フリップフロップで、I/O ブロック (IOB) に含まれています。フリップフロップの入力 (D) は、IPAD または IOPAD に接続されます。また、入力 D からはデータが入力され、チップへのデータ入力同期化されます。CE が High になっていると、入力 D の値は、クロック (C) が High から Low に切り替わる時にフリップフロップにロードされ、出力 (Q) に出力されます。クロック入力は、内部ロジックまたは別の外部ピンによって駆動できます。クロック イネーブル (CE) が Low のときには、出力 (Q) は変化しません。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP\_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

## 論理表

入力			出力
CE	D	C	Q
1	D	↓	D
0	X	X	変化なし

## デザインの入力方法

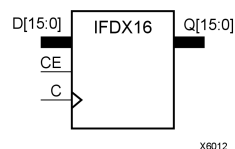
このELEMENTは、回路図でのみ使用できます。

## 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## IFDX16

### マクロ : 16-Bit Input D Flip-Flops with Clock Enable



### 概要

このエレメントは D フリップフロップで、I/O ブロック (IOB) に含まれています。フリップフロップの入力 (D) は、IBUF を使用せずに IPAD または IOPAD に接続されます。入力 D からはデータが入力され、チップへのデータ入力同期化されます。CE が High になっていると、入力 D の値は、クロック (C) が Low から High に切り替わる時にフリップフロップにロードされ、出力 (Q) に出力されます。クロック入力、内部ロジックまたは別の外部ピンによって駆動できます。クロック イネーブル (CE) が Low のときには、フリップフロップの出力は変化しません。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP\_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

### 論理表

入力			出力
CE	D	C	Q
1	D	↑	D
0	X	X	変化なし

### デザインの入力方法

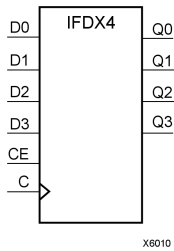
このエレメントは、回路図でのみ使用できます。

### 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## IFDX4

マクロ：4-Bit Input D Flip-Flop with Clock Enable



### 概要

このエレメントは D フリップフロップで、I/O ブロック (IOB) に含まれています。フリップフロップの入力 (D) は、IBUF を使用せずに IPAD または IOPAD に接続されます。入力 D からはデータが入力され、チップへのデータ入力同期化されます。CE が High になっていると、入力 D の値は、クロック (C) が Low から High に切り替わる時にフリップフロップにロードされ、出力 (Q) に出力されます。クロック入力、内部ロジックまたは別の外部ピンによって駆動できます。クロック イネーブル (CE) が Low のときには、フリップフロップの出力は変化しません。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP\_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

### 論理表

入力			出力
CE	D	C	Q
1	D	↑	D
0	X	X	変化なし

### デザインの入力方法

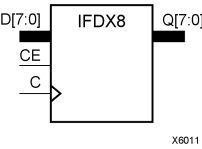
このエレメントは、回路図でのみ使用できます。

### 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

# IFDX8

マクロ : 8-Bit Input D Flip-Flop with Clock Enable



## 概要

このエレメントは D フリップフロップで、I/O ブロック (IOB) に含まれています。フリップフロップの入力 (D) は、IBUF を使用せずに IPAD または IOPAD に接続されます。入力 D からはデータが入力され、チップへのデータ入力同期化されます。CE が High になっていると、入力 D の値は、クロック (C) が Low から High に切り替わる時にフリップフロップにロードされ、出力 (Q) に出力されます。クロック入力、内部ロジックまたは別の外部ピンによって駆動できます。クロック イネーブル (CE) が Low のときには、フリップフロップの出力は変化しません。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP\_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

## 論理表

入力			出力
CE	D	C	Q
1	D	↑	D
0	X	X	変化なし

## デザインの入力方法

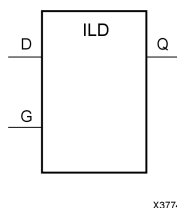
このエレメントは、回路図でのみ使用できます。

## 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## ILD

### マクロ：Transparent Input Data Latch



## 概要

このデザイン エLEMENTは単一の透過データ ラッチで、チップに入力されるデータを一時的に保持します。このラッチは、I/O ブロック (IOB) に含まれます。ラッチ入力 (D) は、IBUF を使用せずに IPAD または IOPAD に接続されます。ゲート入力 (G) が High になると、入力 (D) のデータが出力 (Q) に出力されます。入力 D のデータは、G が High から Low に切り替わるときにラッチに格納されます。

電力を供給すると、ラッチは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP\_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

## 論理表

入力		出力
G	D	Q
1	D	D
0	X	変化なし
↓	D	D

## デザインの入力方法

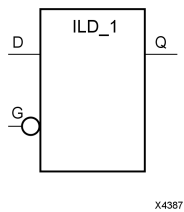
このELEMENTは、回路図でのみ使用できます。

## 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## ILD\_1

### マクロ：Transparent Input Data Latch with Inverted Gate



### 概要

このデザイン エレメントは透過データ ラッチであり、チップに入力されるデータを一時的に保持します。ゲート入力 (G) が Low になると、入力 (D) の値が出力 (Q) に出力されます。入力 D の値は、G が Low から High に切り替わるときにラッチに格納されます。

電力を供給すると、ラッチは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP\_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

### 論理表

入力		出力
G	D	Q
0	D	D
1	X	変化なし
↑	D	D

### デザインの入力方法

このエレメントは、回路図でのみ使用できます。

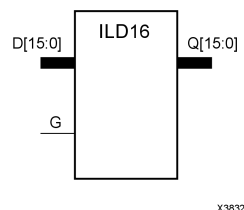
### 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)



## ILD16

### マクロ：Transparent Input Data Latch



### 概要

このデザイン エLEMENTは複数の透過データ ラッチで、チップに入力されるデータを一時的に保持します。ILD ラッチは、I/O ブロック (IOB) に含まれています。ラッチ入力 (D) は、IBUF を使用せずに IPAD または IOPAD に接続されます。ゲート入力 (G) が High になると、入力 (D) の値が出力 (Q) に出力されます。入力 D の値は、G が High から Low に切り替わるときにラッチに格納されます。

電力を供給すると、ラッチは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP\_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

### 論理表

入力		出力
G	D	Q
1	Dn	Dn
0	X	変化なし
↓	Dn	Dn

### デザインの入力方法

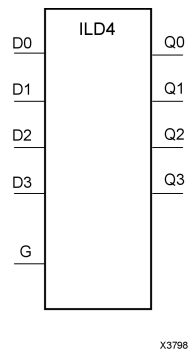
このELEMENTは、回路図でのみ使用できます。

### 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## ILD4

### マクロ : Transparent Input Data Latch



## 概要

このデザイン エLEMENTは複数の透過データラッチで、チップに入力されるデータを一時的に保持します。ILD ラッチは、I/O ブロック (IOB) に含まれています。ラッチ入力 (D) は、IBUF を使用せずに IPAD または IOPAD に接続されます。ゲート入力 (G) が High になると、入力 (D) の値が出力 (Q) に出力されます。入力 D の値は、G が High から Low に切り替わるときにラッチに格納されます。

電力を供給すると、ラッチは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP\_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

## 論理表

入力		出力
G	D	Q
1	Dn	Dn
0	X	変化なし
↓	Dn	Dn

## デザインの入力方法

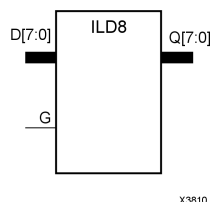
このELEMENTは、回路図でのみ使用できます。

## 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## ILD8

### マクロ：Transparent Input Data Latch



### 概要

このデザイン エLEMENTは複数の透過データ ラッチで、チップに入力されるデータを一時的に保持します。ILD ラッチは、I/O ブロック (IOB) に含まれています。ラッチ入力 (D) は、IBUF を使用せずに IPAD または IOPAD に接続されます。ゲート入力 (G) が High になると、入力 (D) の値が出力 (Q) に出力されます。入力 D の値は、G が High から Low に切り替わるときにラッチに格納されます。

電力を供給すると、ラッチは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP\_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

### 論理表

入力		出力
G	D	Q
1	Dn	Dn
0	X	変化なし
↓	Dn	Dn

### デザインの入力方法

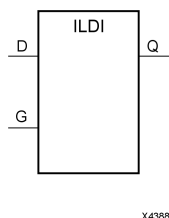
このELEMENTは、回路図でのみ使用できます。

### 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## ILDI

### マクロ：Transparent Input Data Latch (Asynchronous Preset)



## 概要

このデザイン エレメントは透過データ ラッチであり、チップに入力されるデータを一時的に保持します。ゲート入力 (G) が High になると、入力 (D) のデータが出力 (Q) に出力されます。入力 D のデータは、G が High から Low に切り替わるときにラッチに格納されます。

ILDI は、入力フリップフロップのマスター ラッチです。入力フリップフロップからは、クロック信号のレベルに対応する出力とクロック信号のエッジに対応する出力という 2 つの異なる出力が使用できます。同じ入力フリップフロップから両方の出力を使用する場合、透過 High ラッチ (ILDI) は立ち下がりエッジでトリガされるフリップフロップ (IFDL1) に対応します。同様に、透過 Low ラッチ (ILDI1) は立ち上がりエッジでトリガされるフリップフロップ (IFDI) に対応します。

電力が供給されると、ラッチは非同期にプリセットされ、出力が High になります。

FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP\_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

## 論理表

入力		出力
G	D	Q
1	D	D
0	X	変化なし
↓	D	D

## デザインの入力方法

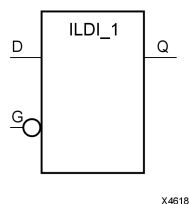
このエレメントは、回路図でのみ使用できます。

## 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## ILDI\_1

マクロ：Transparent Input Data Latch with Inverted Gate (Asynchronous Preset)



### 概要

このデザイン エLEMENTは透過データラッチであり、チップに入力されるデータを一時的に保持します。ゲート入力 (G) が Low になると、入力 (D) の値が出力 (Q) に出力されます。入力 D の値は、G が Low から High に切り替わるときにラッチに格納されます。

電力が供給されると、ラッチは非同期にプリセットされ、出力が High になります。

FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP\_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

### 論理表

入力		出力
G	D	Q
0	1	1
0	0	0
1	X	変化なし
↑	D	D

### デザインの入力方法

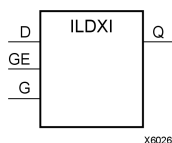
このELEMENTは、回路図でのみ使用できます。

### 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## ILDXI

### マクロ：Transparent Input Data Latch (Asynchronous Preset)



### 概要

このデザイン エLEMENTは透過データラッチであり、チップに入力されるデータを一時的に保持します。ゲート入力 (G) が High になると、入力 (D) のデータが出力 (Q) に出力されます。入力 D のデータは、G が High から Low に切り替わるときにラッチに格納されます。

ILDXI は、入力フリップフロップのマスター ラッチです。入力フリップフロップからは、クロック信号のレベルに対応する出力とクロック信号のエッジに対応する出力という 2 つの出力が使用できます。同じ入力フリップフロップから両方の出力を使用する場合、透過 High ラッチ (ILDXI) は立ち下がりエッジでトリガされるフリップフロップ (IFDXI\_1) に対応します。同様に、透過 Low ラッチ (ILDXI\_1) は立ち上がりエッジでトリガされるフリップフロップ (IFDXI) に対応します。

電力が供給されると、ラッチは非同期にプリセットされ、出力が High になります。

FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP\_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

### 論理表

入力			出力
GE	G	D	Q
0	X	X	変化なし
1	0	X	変化なし
1	1	D	D
1	↓	D	D

### デザインの入力方法

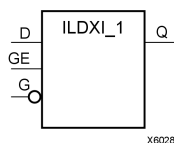
このELEMENTは、回路図でのみ使用できます。

### 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## ILDXI\_1

マクロ：Transparent Input Data Latch with Inverted Gate (Asynchronous Preset)



### 概要

このデザイン エLEMENTは透過データ ラッチであり、チップに入力されるデータを一時的に保持します。

電力が供給されると、ラッチは非同期にプリセットされ、出力が High になります。

FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP\_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

### 論理表

入力			出力
GE	G	D	Q
0	X	X	変化なし
1	1	X	変化なし
1	0	D	D
1	↑	D	D

### デザインの入力方法

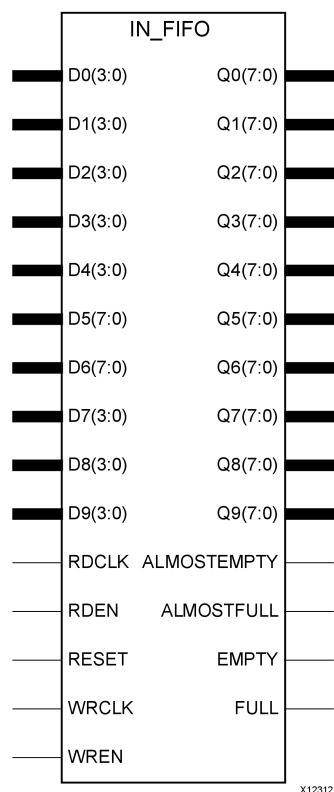
このELEMENTは、回路図でのみ使用できます。

### 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## IN\_FIFO

プリミティブ：Input First-In, First-Out (FIFO)



## 概要

入力 FIFO は、I/O の横に配置されている新しいリソースです。この専用ハードウェアは、データを入力ポート、入力レジスタ、IDDR、または ISERDES からファブリックに転送するために設計されたものです。FIFO に入力されたデータが同じレートで出力される 4x4 モードと、データが係数 2 でデシリアライズされてから出力される 4x8 モードがあります。つまり、4x8 モードでは 4 ビットのデータが IN\_FIFO に入力され、8 ビットのデータが出力されます。

機能：

- ・ アレイ サイズ：幅 40、深さ 8 (4x8 モード)、幅 40、深さ 8 (4x4 mode)
- ・ EMPTY および FULL フラグ
- ・ プログラム可能な ALMOSTEMPTY および ALMOSTFULL フラグ



## ポートの説明

ポート名	方向	幅	説明
ALMOSTEMPTY	出力	1	FIFO がほぼ空であることを示すアクティブ High の出力フラグ。しきい値は ALMOST_EMPTY_VALUE 属性で設定します。
ALMOSTFULL	出力	1	FIFO がほぼフルであることを示すアクティブ High の出力フラグ。しきい値は ALMOST_FULL_VALUE 属性で設定します。
D0<3:0>	入力	4	チャネル 0 入力バス
D1<3:0>	入力	4	チャネル 1 入力バス
D2<3:0>	入力	4	チャネル 2 入力バス
D3<3:0>	入力	4	チャネル 3 入力バス
D4<3:0>	入力	4	チャネル 4 入力バス
D5<7:0>	入力	8	チャネル 5 入力バス
D6<7:0>	入力	8	チャネル 6 入力バス
D7<3:0>	入力	4	チャネル 7 入力バス
D8<3:0>	入力	4	チャネル 8 入力バス
D9<3:0>	入力	4	チャネル 9 入力バス
EMPTY	出力	1	FIFO が空であることを示すアクティブ High の出力フラグ
FULL	出力	1	FIFO がフルであることを示すアクティブ High の出力フラグ
Q0<7:0>	出力	8	チャネル 0 出力バス
Q1<7:0>	出力	8	チャネル 1 出力バス
Q2<7:0>	出力	8	チャネル 2 出力バス
Q3<7:0>	出力	8	チャネル 3 出力バス
Q4<7:0>	出力	8	チャネル 4 出力バス
Q5<7:0>	出力	8	チャネル 5 出力バス
Q6<7:0>	出力	8	チャネル 6 出力バス
Q7<7:0>	出力	8	チャネル 7 出力バス
Q8<7:0>	出力	8	チャネル 8 出力バス
Q9<7:0>	出力	8	チャネル 9 出力バス
RDCLK	入力	1	読み出しクロック
RDEN	入力	1	アクティブ High のリード イネーブル
RESET	入力	1	アクティブ High の非同期リセット
WRCLK	入力	1	書き込みクロック
WREN	入力	1	アクティブ High のライト イネーブル

## デザインの入力方法

このエレメントは、回路図で使用できます。

## 使用可能な属性

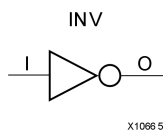
属性	データ型	値	デフォルト	説明
ALMOST_EMPTY_VALUE	10 進数	1、2	1	ALMOSTEMPTY 出力信号をアサートする際に FIFO にあるエントリ数を指定します。
ALMOST_FULL_VALUE	10 進数	1、2	1	ALMOSTFULL 出力信号をアサートする際に FIFO にあるエントリ数を指定します。
ARRAY_MODE	文字列	"ARRAY_MODE_4_X_8"、 "ARRAY_MODE_4_X_4"	"ARRAY_MODE_4_X_8"	デシリアライザー モードを指定します。 <ul style="list-style-type: none"> <li>"ARRAY_MODE_8_X_8" : 8 ビット データを入力し、8 ビット データを出力します。</li> <li>"ARRAY_MODE_4_X_8" : 4 ビット データを入力し、8 ビット データを出力します。</li> </ul>
SYNCHRONOUS_MODE	文字列	"FALSE"	"FALSE"	RDCLK と WRCLK を同期させるかどうかを指定します。

## 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## INV

プリミティブ：Inverter



### 概要

このデザイン エLEMENTは、回路図で信号を反転する単一のインバーターです。

### デザインの入力方法

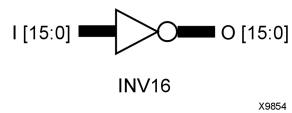
このELEMENTは、回路図でのみ使用できます。

### 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## INV16

### マクロ : 16 Inverters



### 概要

このデザイン エLEMENTは、回路図で信号を反転する複数のインバーターです。

### デザインの入力方法

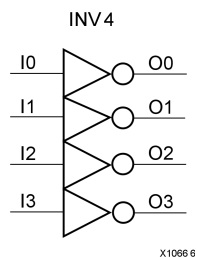
このELEMENTは、回路図でのみ使用できます。

### 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## INV4

### マクロ：Four Inverters



### 概要

このデザイン エLEMENTは、回路図で信号を反転する複数のインバーターです。

### デザインの入力方法

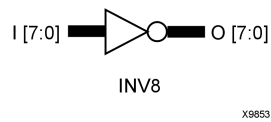
このELEMENTは、回路図でのみ使用できます。

### 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## INV8

### マクロ：Eight Inverters



## 概要

このデザイン エLEMENTは、回路図で信号を反転する複数のインバーターです。

## デザインの入力方法

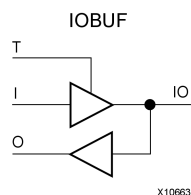
このELEMENTは、回路図でのみ使用できます。

## 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## IOBUF

プリミティブ：Bi-Directional Buffer



## 概要

このデザイン エLEMENTは双方向でシングルエンドの I/O バッファで、内部ロジックを外部双方向ピンに接続する場合に使用します。

## 論理表

入力		双方向	出力
T	I	I/O	O
1	X	Z	I/O
0	1	1	1
0	0	0	0

## ポートの説明

ポート名	方向	幅	説明
O	出力	1	バッファの出力
I/O	入出力	1	バッファの入出力
I	入力	1	バッファの入力
T	入力	1	トライステート イネーブル入力

## デザインの入力方法

このELEMENTは、回路図で使用できます。

## 使用可能な属性

属性	データ型	値	デフォルト	説明
DRIVE	整数	2、4、6、8、12、16、24	12	I/O 規格として LVTTTL、LVCMOS12、LVCMOS15、LVCMOS18、LVCMOS25、または LVCMOS33 を使用する SelectIO™ バッファの出力駆動電流 (mA) を選択します。
IOSTANDARD	文字列	データシートを参照	"DEFAULT"	ELEMENTに I/O 規格を割り当てます。
SLEW	文字列	"SLOW"、"FAST"	"SLOW"	出力の立ち上がり時間と立ち下がり時間を設定します。

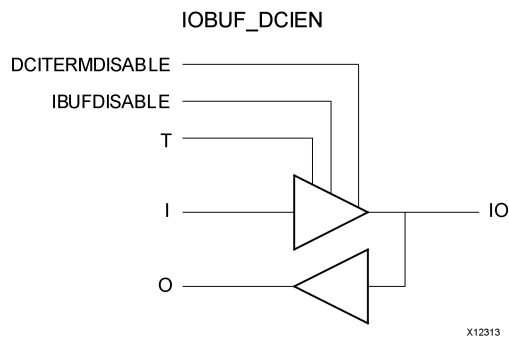
## 詳細情報

- ・ [7 シリーズ FPGA SelectIO リソース ユーザー ガイド](#)
- ・ [7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)



## IOBUF\_DCIEN

プリミティブ：Bi-Directional Single-ended Buffer with DCI and Input Disable.



## 概要

このデザイン エLEMENTは双方向でシングルエンドの I/O バッファで、内部ロジックを外部双方向ピンに接続する場合に使用します。I/O が長時間使用されないとき、または長時間出力として使用される場合に電力消費を削減する機能として、入力パス ディスエーブルとデジタル制御インピーダンス (DCI) 終端イネーブル/ディスエーブルが含まれています。このELEMENTは、7 シリーズ デバイスの HP (High Performance) バンクにのみ配置可能です。

## ポートの説明

ポート名	方向	幅	説明
I/O	入出力	1	双方向ポート接続。デザインの最上位ポートに直接接続します。
I	入力	1	デバイスへの出力パスを表すバッファ入力
IBUFDISABLE	入力	1	入力パスをディスエーブルにします。USE_IBUFDISABLE が "TRUE" に設定されている場合にこの信号が High にアサートされると、バッファを介する入力パスがディスエーブルになり、ロジック High になります。USE_IBUFDISABLE が "FALSE" に設定されている場合はこの入力は無視されるので、グランドに接続する必要があります。この機能は、I/O が長時間アイドル状態になったとき、または長時間書き込み状態 (出力) となったときに、電力消費を削減するために使用します。
DCITERMDISABLE	入力	1	DCI 終端をディスエーブルにします。High の場合、DCI 終端はディスエーブルになります。この機能は、I/O が長時間アイドル状態になったとき、または長時間書き込み状態 (出力) となったときに、電力消費を削減するために使用します。
T	入力	1	I/O が読み出し (入力) で使用されている場合に I/O をハイ インピーダンス (トライステート) モードにします。USE_IBUFDISABLE = "TRUE" の場合、T ピンは IBUFDISABLE 機能にも影響します。
O	出力	1	デバイスへの入力パスを表すバッファ出力

## デザインの入力方法

このELEMENTは、回路図で使用できます。

## 使用可能な属性

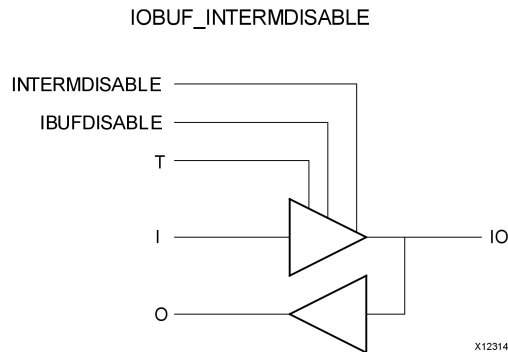
属性	データ型	値	デフォルト	説明
DRIVE	整数	2、4、6、8、12、16、24	12	SelectIO™ バッファの出力駆動電流を指定します。
IOSTANDARD	文字列	データシートを参照	"DEFAULT"	エレメントに I/O 規格を割り当てます。
SLEW	文字列	"SLOW"、"FAST"	"SLOW"	出力の立ち上がり時間と立ち下がり時間を設定します。この属性の最適な設定方法は、データシートを参照してください。
USE_IBUFDISABLE	文字列	"TRUE"、"FALSE"	"TRUE"	IBUFDISABLE の機能をイネーブルまたはディスエーブルにします。T ピン ディスエーブル入力パスで書き込み中の読み出しを許可しないようにする場合は、"FALSE" に設定します。"TRUE" に設定した場合、T をディアサートするか (I/O を出力として使用)、IBUFDISABLE をアサートすると、バッファを介する入力パスがディスエーブルになり、ロジック High になります。

## 詳細情報

- ・ [7 シリーズ FPGA SelectIO リソース ユーザー ガイド](#)
- ・ [7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

# IOBUF\_INTERMDISABLE

**プリミティブ** : Bi-Directional Single-ended Buffer with Input Termination Disable and Input Path Disable



## 概要

このデザイン エLEMENTは双方向でシングルエンドの I/O バッファで、内部ロジックを外部双方向ピンに接続する場合に使用します。I/O が長時間使用されないとき、または数クロック サイクル間出力として使用される場合に電力消費を削減する機能として、入力パス ディスエーブルとキャリブレーションされない入力終端 (INTERM) ディスエーブルが含まれています。このELEMENTは、7 シリーズ デバイスの HR (High Range) バンクにのみ配置可能です。

## ポートの説明

ポート名	方向	幅	説明
O	出力	1	デバイスへの入力パスを表すバッファ出力
I/O	入出力	1	双方向ポート接続。デザインの最上位ポートに直接接続します。
I	入力	1	デバイスへの出力パスを表すバッファ入力
IBUFDISABLE	入力	1	USE_IBUFDISABLE が “TRUE” に設定されている場合に、バッファを介する入力パスをディスエーブルにし、ロジック High にします。USE_IBUFDISABLE が “FALSE” に設定されている場合はこの入力は無視されるので、グランドに接続する必要があります。この機能は、I/O が長時間アイドル状態になったとき、または長時間書き込み状態（出力）となったときに、電力消費を削減するために使用します。
INTERMDISABLE	入力	1	入力終端をディスエーブルにします。この機能は、I/O が長時間アイドル状態になったとき、または長時間書き込み状態（出力）となったときに、電力消費を削減するために使用します。
T	入力	1	I/O が読み出し（入力）で使用されている場合に I/O をハイインピーダンス（トリステスト）モードにします。USE_IBUFDISABLE = “TRUE” の場合、T ピンは IBUFDISABLE 機能にも影響します。書き込み（出力）モードの場合は、INTERM もディスエーブルにします。

## デザインの入力方法

このエレメントは、回路図で使用できます。

## 使用可能な属性

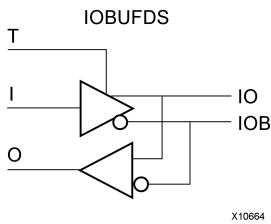
属性	データ型	値	デフォルト	説明
DRIVE	整数	2、4、6、8、12、16、24	12	SelectIO™ バッファの出力駆動電流を指定します。
IOSTANDARD	文字列	データシートを参照	"DEFAULT"	エレメントに I/O 規格を割り当てます。
SLEW	文字列	"SLOW"、"FAST"	"SLOW"	出力の立ち上がり時間と立ち下がり時間を設定します。この属性の最適な設定方法は、データシートを参照してください。
USE_IBUFDISABLE	文字列	"TRUE"、"FALSE"	"TRUE"	IBUFDISABLE の機能をイネーブルまたはディスエーブルにします。T ビン ディスエーブル入力パスで書き込み中の読み出しを許可しないようにする場合に使用します。

## 詳細情報

- ・ [7 シリーズ FPGA SelectIO リソース ユーザー ガイド](#)
- ・ [7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## IOBUFDS

### プリミティブ：3-State Differential Signaling I/O Buffer with Active Low Output Enable



## 概要

このデザイン エLEMENTは、低電圧差動信号をサポートする双方向バッファです。IOBUFDS では、デザイン レベルのインターフェイス信号は、一方がマスターでもう一方がスレーブとなる 2 つの異なるポート (IO、IOB) で表されます。マスターとスレーブは MYNET\_P と MYNET\_N のように、同じ論理信号の反対の状態を示します。また、オプションの差動終端を使用すると、シグナル インテグリティが向上し、外部コンポーネントの数を削減できます。デバイスへの入力データの遅延を調整する遅延ELEMENTも含まれています。

## 論理表

入力		双方向		出力
I	T	I/O	IOB	O
X	1	Z	Z	変化なし
0	0	0	1	0
1	0	1	0	1

## ポートの説明

ポート名	方向	幅	説明
O	出力	1	バッファの出力
I/O	入出力	1	Diff_p 入出力
IOB	入出力	1	Diff_n 入出力
I	入力	1	バッファの入力
T	入力	1	トリステート イネーブル入力

## デザインの入力方法

このELEMENTは、回路図で使用できます。

## 使用可能な属性

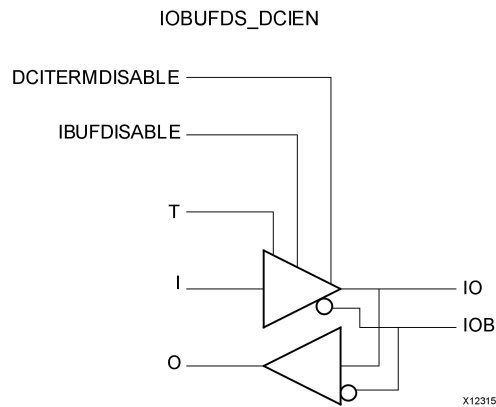
属性	データ型	値	デフォルト	説明
DIFF_TERM	ブール代数	TRUE、FALSE	FALSE	7 シリーズ FPGA でサポートされる差動入力 I/O 規格用の差動終端属性で、ビルトインの 100 $\Omega$ の差動終端をオン (TRUE) またはオフ (FALSE) にします。
IBUF_LOW_PWR	ブール代数	TRUE、FALSE	TRUE	TRUE に設定すると、LVDS や HSTL などの差動入力規格または参照入力規格 ( $V_{REF}$ が必要) を使用する場合に消費電力を削減できます。FALSE に設定すると、TRUE に設定した場合より消費電力は大きくなりますが、パフォーマンスは向上します。詳細は、『7 シリーズ FPGA SelectIO リソース ユーザー ガイド』を参照してください。
IOSTANDARD	文字列	データシートを参照	"DEFAULT"	エレメントに I/O 規格を割り当てます。
SLEW	文字列	"SLOW"、"FAST"	"SLOW"	出力ドライバのスルー レートを指定します。この属性の最適な設定方法は、データシートを参照してください。

## 詳細情報

- ・ [7 シリーズ FPGA SelectIO リソース ユーザー ガイド](#)
- ・ [7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## IOBUFDS\_DCIE

プリミティブ：Bi-Directional Differential Buffer with DCI Enable/Disable and Input Disable



## 概要

このデザイン エLEMENTは双方向差動 I/O バッファで、内部ロジックを外部双方向ピンに接続する場合に使用します。I/O が長時間使用されないとき、または長時間出力として使用される場合に電力消費を削減する機能として、入力パス ディスエーブルとデジタル制御インピーダンス (DCI) 終端イネーブル/ディスエーブルが含まれています。このELEMENTは、7 シリーズ デバイスの HP (High Performance) バンクにのみ配置可能です。

## ポートの説明

ポート名	方向	幅	説明
I/O	入出力	1	双方向 p 側ポート接続。デザインの最上位ポートに直接接続します。
IOB	入出力	1	双方向 p 側ポート接続。デザインの最上位ポートに直接接続します。
I	入力	1	デバイスへの出力パスを表すバッファ入力
IBUFDISABLE	入力	1	入力パスをディスエーブルにします。USE_IBUFDISABLE が "TRUE" に設定されている場合にこの信号が High にアサートされると、バッファを介する入力パスがディスエーブルになり、ロジック High になります。USE_IBUFDISABLE が "FALSE" に設定されている場合はこの入力は無視されるので、グラウンドに接続する必要があります。この機能は、I/O が長時間アイドル状態になったとき、または長時間書き込み状態 (出力) となったときに、電力消費を削減するために使用します。
DCITERMDISABLE	入力	1	DCI 終端をディスエーブルにします。High の場合、DCI 終端はディスエーブルになります。この機能は、I/O が長時間アイドル状態になったとき、または長時間書き込み状態 (出力) となったときに、電力消費を削減するために使用します。
T	入力	1	I/O が読み出し (入力) で使用されている場合に I/O をハイ インピーダンス (トライステート) モードにします。USE_IBUFDISABLE = "TRUE" の場合、T ピンは IBUFDISABLE 機能にも影響します。
O	出力	1	デバイスへの入力パスを表すバッファ出力

## デザインの入力方法

このELEMENTは、回路図で使用できます。

## 使用可能な属性

属性	データ型	値	デフォルト	説明
DIFF_TERM	文字列	"TRUE"、"FALSE"	"FALSE"	ビルトインの差動終端をイネーブルにします。
IOSTANDARD	文字列	データシートを参照	"DEFAULT"	エレメントに I/O 規格を割り当てます。
SLEW	文字列	"SLOW"、"FAST"	"SLOW"	出力の立ち上がり時間と立ち下がり時間を設定します。この属性の最適な設定方法は、データシートを参照してください。
USE_IBUFDISABLE	文字列	"TRUE"、"FALSE"	"TRUE"	IBUFDISABLE の機能をイネーブルまたはディスエーブルにします。T ビン ディスエーブル入力パスで書き込み中の読み出しを許可しないようにする場合は、"FALSE" に設定します。 "TRUE" に設定した場合、T をディアサートするか (I/O を出力として使用)、IBUFDISABLE をアサートすると、バッファを介する入力パスがディスエーブルになり、ロジック High になります。

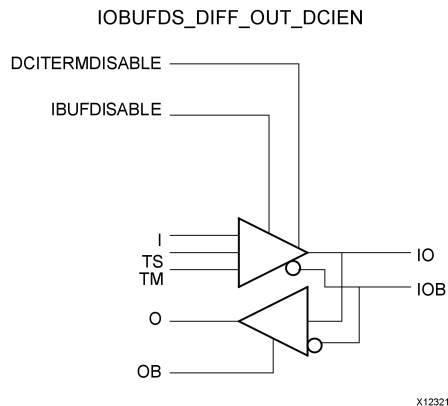
## 詳細情報

- ・ [7 シリーズ FPGA SelectIO リソース ユーザー ガイド](#)
- ・ [7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)



## IOBUFDS\_DIFF\_OUT\_DCIEEN

**プリミティブ**：Bi-Directional Differential Buffer with DCI Disable, Input Disable, and Differential Output



## 概要

このデザイン エLEMENTは双方向差動 I/O バッファで、内部ロジックを外部双方向ピンに接続する場合に使用します。I/O が長時間使用されないとき、または長時間出力として使用される場合に電力消費を削減する機能として、入力パス ディスエーブルとデジタル制御インピーダンス (DCI) 終端イネーブル/ディスエーブルが含まれています。IOBUFDS\_DIFF\_OUT\_DCIEEN は、差動信号の両方の位相に内部アクセスできる点が IOBUFDS\_DCIEEN と異なります。このELEMENTは、7 シリーズ デバイスの HP (High Performance) バンクにのみ配置可能です。

## ポートの説明

ポート名	方向	幅	説明
I/O	入出力	1	双方向 p 側ポート接続。デザインの最上位ポートに直接接続します。
IOB	入出力	1	双方向 n 側ポート接続。デザインの最上位ポートに直接接続します。
I	入力	1	デバイスへの出力パスを表すバッファ入力
IBUFDISABLE	入力	1	入力パスをディスエーブルにします。USE_IBUFDISABLE が "TRUE" に設定されている場合にこの信号が High にアサートされると、バッファを介する入力パスがディスエーブルになり、ロジック High になります。USE_IBUFDISABLE が "FALSE" に設定されている場合はこの入力は無視されるので、グランドに接続する必要があります。この機能は、I/O が長時間アイドル状態になったとき、または長時間書き込み状態 (出力) となったときに、電力消費を削減するために使用します。
DCITERMDISABLE	入力	1	DCI 終端をディスエーブルにします。High の場合、DCI 終端はディスエーブルになります。この機能は、I/O が長時間アイドル状態になったとき、または長時間書き込み状態 (出力) となったときに、電力消費を削減するために使用します。
TM	入力	1	I/O が読み出し (入力) で使用されている場合に、P 側 (マスター) をハイインピーダンス (トライステート) モードにします。USE_IBUFDISABLE = "TRUE" の場合、TM ピンは IBUFDISABLE 機能にも影響します。
TS	入力	1	I/O が読み出し (入力) で使用されている場合に、N 側 (スレーブ) をハイインピーダンス (トライステート) モードにします。USE_IBUFDISABLE = "TRUE" の場合、TS ピンは IBUFDISABLE 機能にも影響します。

ポート名	方向	幅	説明
O	出力	1	デバイスへの入力パスを表すバッファ p 側出力
OB	出力	1	デバイスへの入力パスを表すバッファ n 側出力

## デザインの入力方法

このエレメントは、回路図で使用できます。

## 使用可能な属性

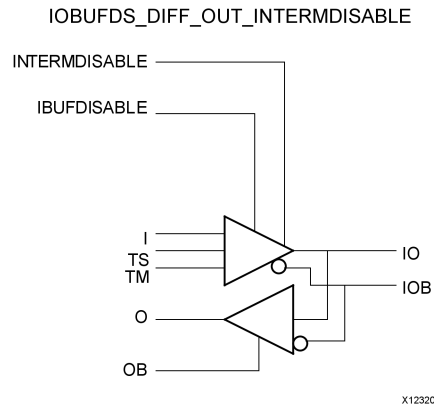
属性	データ型	値	デフォルト	説明
DIFF_TERM	文字列	"TRUE"、"FALSE"	"FALSE"	ビルトインの差動終端をイネーブルにします。
IOSTANDARD	文字列	データシートを参照	"DEFAULT"	エレメントに I/O 規格を割り当てます。
USE_IBUFDISABLE	文字列	"TRUE"、"FALSE"	"TRUE"	IBUFDISABLE の機能をイネーブルまたはディスエーブルにします。T ビン ディスエーブル入力パスで書き込み中の読み出しを許可しないようにする場合は、"FALSE" に設定します。 "TRUE" に設定した場合、T をディアサートするか (I/O を出力として使用)、IBUFDISABLE をアサートすると、バッファを介する入力パスがディスエーブルになり、ロジック High になります。

## 詳細情報

- ・ [7 シリーズ FPGA SelectIO リソース ユーザー ガイド](#)
- ・ [7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## IOBUFDS\_DIFF\_OUT\_INTERMDISABLE

**プリミティブ：Bi-Directional Differential Buffer with Input Termination Disable, Input Disable, and Differential Output**



## 概要

このデザイン エLEMENTは双方向差動 I/O バッファで、内部ロジックを外部双方向ピンに接続する場合に使用します。I/O が長時間使用されないとき、または数クロック サイクル間出力として使用される場合に電力消費を削減する機能として、入力パス ディスエーブルとキャリブレーションされない入力終端 (INTERM) ディスエーブルが含まれています。IOBUFDS\_DIFF\_OUT\_INTERMDISABLE は、差動信号の両方の位相に内部アクセスできる点が IOBUFDS\_INTERMDISABLE と異なります。このELEMENTは、7 シリーズ デバイスの HR (High Range) バンクにのみ配置可能です。

## ポートの説明

ポート名	方向	幅	説明
I/O	入出力	1	双方向 p 側ポート接続。デザインの最上位ポートに直接接続します。
IOB	入出力	1	双方向 n 側ポート接続。デザインの最上位ポートに直接接続します。
I	入力	1	デバイスへの出力パスを表すバッファ入力
IBUFDISABLE	入力	1	USE_IBUFDISABLE が "TRUE" に設定されている場合に、バッファを介する入力パスをディスエーブルにし、ロジック High にします。USE_IBUFDISABLE が "FALSE" に設定されている場合はこの入力は無視されるので、グラウンドに接続する必要があります。この機能は、I/O が長時間アイドル状態になったとき、または長時間書き込み状態 (出力) となったときに、電力消費を削減するために使用します。
INTERMDISABLE	入力	1	入力終端をディスエーブルにします。この機能は、I/O が長時間アイドル状態になったとき、または長時間書き込み状態 (出力) となったときに、電力消費を削減するために使用します。
TM	入力	1	I/O が読み出し (入力) で使用されている場合に、P 側 (マスター) をハイインピーダンス (トリステート) モードにします。USE_IBUFDISABLE = "TRUE" の場合、TM ピンは IBUFDISABLE 機能にも影響します。書き込み (出力) モードの場合は、INTERM もディスエーブルにします。
TS	入力	1	I/O が読み出し (入力) で使用されている場合に、N 側 (スレーブ) をハイインピーダンス (トリステート) モードにします。USE_IBUFDISABLE = "TRUE" の場合、TM ピンは IBUFDISABLE 機能にも影響します。書き込み (出力) モードの場合は、INTERM もディスエーブルにします。

ポート名	方向	幅	説明
O	出力	1	デバイスへの入力パスを表すバッファ p 側出力
OB	出力	1	デバイスへの入力パスを表すバッファ n 側出力

## デザインの入力方法

このエレメントは、回路図で使用できます。

## 使用可能な属性

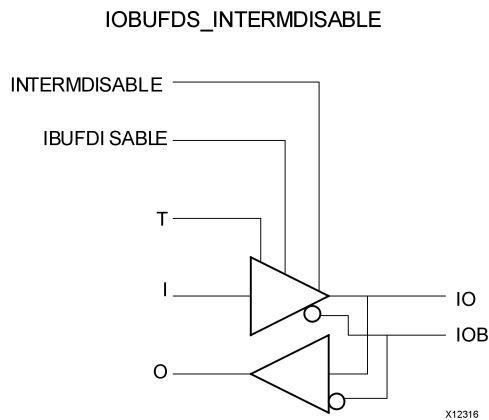
属性	データ型	値	デフォルト	説明
DIFF_TERM	文字列	"TRUE"、"FALSE"	"FALSE"	ビルトインの差動終端をイネーブルにします。
IBUF_LOW_PWR	文字列	"TRUE"、"FALSE"	"TRUE"	参照 I/O 規格が使用された場合に、消費電力を削減することを優先するか、パフォーマンスを向上することを優先するかを指定します。
IOSTANDARD	文字列	データシートを参照	"DEFAULT"	エレメントに I/O 規格を割り当てます。
USE_IBUFDISABLE	文字列	"TRUE"、"FALSE"	"TRUE"	IBUFDISABLE の機能をイネーブルまたはディスエーブルにします。T ビン ディスエーブル入力パスで書き込み中の読み出しを許可しないようにする場合に使用します。

## 詳細情報

- ・ [7 シリーズ FPGA SelectIO リソース ユーザー ガイド](#)
- ・ [7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## IOBUFDS\_INTERMDISABLE

プリミティブ：Bi-Directional Differential Buffer with Input Termination Disable and Input Disable



## 概要

このデザイン エレメントは双方向差動 I/O バッファで、内部ロジックを外部双方向ピンに接続する場合に使用します。I/O が長時間使用されないとき、または長時間出力として使用される場合に電力消費を削減する機能として、入力パス ディスエーブルとキャリブレーションされない入力終端 (INTERM) ディスエーブルが含まれています。このエレメントは、7 シリーズ デバイスの HR (High Range) バンクにのみ配置可能です。

## ポートの説明

ポート名	方向	幅	説明
I/O	入出力	1	双方向 p 側ポート接続。デザインの最上位ポートに直接接続します。
IOB	入出力	1	双方向 n 側ポート接続。デザインの最上位ポートに直接接続します。
I	入力	1	デバイスへの出力パスを表すバッファ入力
IBUFDISABLE	入力	1	USE_IBUFDISABLE が "TRUE" に設定されている場合に、バッファを介する入力パスをディスエーブルにし、ロジック High にします。USE_IBUFDISABLE が "FALSE" に設定されている場合はこの入力は無視されるので、グラウンドに接続する必要があります。この機能は、I/O が長時間アイドル状態になったとき、または長時間書き込み状態 (出力) となったときに、電力消費を削減するために使用します。
INTERMDISABLE	入力	1	入力終端をディスエーブルにします。この機能は、I/O が長時間アイドル状態になったとき、または長時間書き込み状態 (出力) となったときに、電力消費を削減するために使用します。
T	入力	1	I/O が読み出し (入力) で使用されている場合に I/O をハイ インピーダンス (トライステート) モードにします。USE_IBUFDISABLE = "TRUE" の場合、T ピンは IBUFDISABLE 機能にも影響します。書き込み (出力) モードの場合は、INTERM もディスエーブルにします。
O	出力	1	デバイスへの入力パスを表すバッファ出力

## デザインの入力方法

このエレメントは、回路図で使用できます。

## 使用可能な属性

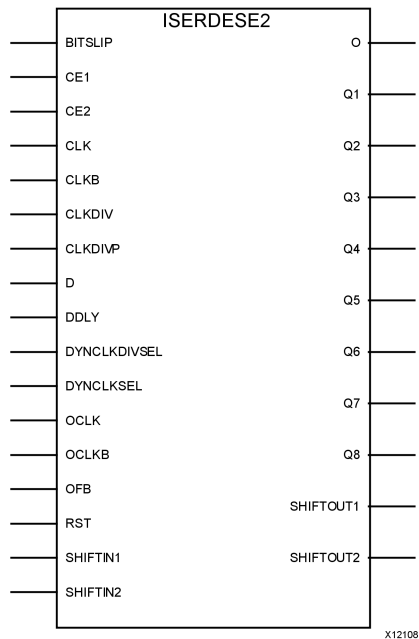
属性	データ型	値	デフォルト	説明
DIFF_TERM	文字列	"TRUE"、"FALSE"	"FALSE"	ビルトインの差動終端をイネーブルにします。
IBUF_LOW_PWR	文字列	"TRUE"、"FALSE"	"TRUE"	参照 I/O 規格が使用された場合に、消費電力を削減することを優先するか、パフォーマンスを向上することを優先するかを指定します。
IOSTANDARD	文字列	データシートを参照	"DEFAULT"	エレメントに I/O 規格を割り当てます。
SLEW	文字列	"SLOW"、"FAST"	"SLOW"	出力の立ち上がり時間と立ち下がり時間を設定します。この属性の最適な設定方法は、データシートを参照してください。
USE_IBUFDISABLE	文字列	"TRUE"、"FALSE"	"TRUE"	IBUFDISABLE の機能をイネーブルまたはディスエーブルにします。T ビン ディスエーブル入力パスで書き込み中の読み出しを許可しないようにする場合に使用します。

## 詳細情報

- ・ [7 シリーズ FPGA SelectIO リソース ユーザー ガイド](#)
- ・ [7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## ISERDESE2

プリミティブ : Input SERial/DESerializer with bitslip



### 概要

7 シリーズ FPGA に含まれる ISERDESE2 は、高速ソース同期アプリケーションのインプリメンテーションに特化したクロックおよびロジック機能を持つ、専用シリアル/パラレル コンバーターです。FPGA でデシリアライザーを設計する際の複雑なタイミング問題を回避できます。ISERDESE2 には、次の機能があります。

- ・ **専用デシリアライザー、シリアル/パラレル コンバーター** : ISERDESE2 デシリアライザーを使用すると、FPGA ファブリックが入力データ周波数に一致していなくても、高速データ転送が可能になります。このコンバーターでは、シングル データ レート (SDR) モードとダブル データ レート (DDR) モードがサポートされます。SDR モードでは 2、3、4、5、6、7、または 8 ビット幅のパラレル ワードが作成され、DDR モードでは 4、6、8、10、または 14 ビット幅のパラレル ワードが作成されます。
- ・ **Bitslip サブモジュール** : FPGA ファブリックに入力するパラレル データ ストリームのシーケンスを並べ替えます。トレーニング パターンを含むトレーニング ソース同期インターフェイスに使用できます。
- ・ **ストローブ ベース メモリ インターフェイスの専用サポート** : ISERDESE2 には、ストローブから FPGA クロックドメインへの切り替えを処理する専用回路 (OCLK 入力ピンを含む) が含まれています。これにより、パフォーマンスが向上し、インプリメンテーションが簡略化されます。
- ・ ネットワーク インターフェイスの専用サポート

## ポートの説明

ポート名	方向	幅	機能
BITSLIP	入力	1	BITSLIP ピンがアサートされると (アクティブ High)、CLKDIV に同期してビットスリップ処理が実行されます。ビットスリップ処理が実行されるごとに、パレル シフトと同様、Q1 ~ Q8 出力ポートのデータが 1 ずつシフトします (DDR と SDR では動作が異なる)。
CE1、CE2	入力	1	各 ISERDESE2 ブロックには、入力クロック イネーブル モジュールが含まれています。NUM_CE = 1 の場合、CE2 入力を使用されず、CE1 入力 that アクティブ High のクロック イネーブルとして ISERDESE2 の入力レジスタに直接接続されます。NUM_CE = 2 の場合、CE1 および CE2 入力の両方が使用され、CLKDIV の半サイクル CE1 がイネーブルとして使用され、残りの半サイクルは CE2 がイネーブルとして使用されます。この場合、クロック イネーブル モジュールは 2:1 シリアル/パラレル コンバーターとして使用され、CLKDIV によりクロックが供給されます。クロック イネーブル モジュールは、ISERDESE2 を DDR モードで 1:4 デシリアル化をコンフィギュレーションする際、双方向メモリ インターフェイスに必要です。NUM_CE = 2 の場合、クロック イネーブル モジュールがイネーブルになり、CE1 および CE2 ポートの両方が使用できるようになります。NUM_CE = 1 の場合は、CE1 のみが使用可能で、通常のクロック イネーブルとして機能します。
CLK	入力	1	入力シリアル データ ストリームの入力に使用される高速クロック入力
CLKB	入力	1	入力シリアル データ ストリームの入力に使用される高速セカンダリ クロック入力。“MEMORY_QDR” 以外のモードでは、CLKB を CLK を反転したクロックに接続します。“MEMORY_QDR” モードでは、CLKB を固有の位相シフトされたクロックに接続する必要があります。
CLKDIV	入力	1	分周クロック入力。通常は CLK を分周したクロックです (インプリメントされたデシリアルライザーの幅による)。シリアル/パラレル コンバーターの出力、Bitslip サブモジュール、および CE モジュールを駆動します。
CLKDIVP	入力	1	MIG でのみサポートされます。MEMORY_DDR3 モードの場合に PHASER_IN で分周された CLK が供給され、その他のモードではグラウンドに接続されます。
D	入力	1	ISERDESE2 のシリアル (高速) データ入力ポート。7 シリーズ FPGA の I/O リソースと使用した場合にのみ機能します。
DDLY	入力	1	ISERDESE2 のシリアル (高速) データ入力ポート。7 シリーズ FPGA の IDELAYE2 リソースと使用した場合にのみ機能します。
DYNCLKDIVSEL	入力	1	CLKDIV の反転を動的に選択します。
DYNCLKSEL	入力	1	CLK および CLKB の反転を動的に選択します。
O	出力	1	ISERDESE2 モジュールのレジスタを介さない組み合わせ出力で、データ入力 (D) が直接出力されるか、または IDELAYE2 を介したデータ入力 (DDLY) が出力されます。
OCLK	入力	1	ストローブ ベース メモリ インターフェイスのデータ転送を同期化します。INTERFACE_TYPE が “MEMORY” に設定されている場合にのみ使用されます。ストローブ ベース メモリ データをフリー ランニング クロックドメインに転送するために使用するクロック入力です。OCLK は、CLK 入力上のストローブと同じ周波数のフリーランニング FPGA クロックです。ドメイン転送のタイミングは、ストローブ信号から CLK 入力への遅延を IDELAY を使用するなどして調整することにより、ユーザーが設定します。このドメイン転送のタイミングの設定例は、Memory Interface Generator (MIG) に示されます。INTERFACE_TYPE が “NETWORKING” に設定されている場合は、このポートは使用されず、GND に接続する必要があります。
OCLKB	入力	1	ストローブ ベース メモリ インターフェイスのデータ転送を同期化します。INTERFACE_TYPE が “MEMORY” に設定されている場合にのみ使用されます。



ポート名	方向	幅	機能
OFB	入力	1	ISERDESE2 のシリアル (高速) データ入力ポート。7 シリーズ FPGA の OSERDESE2 の OFB ポートと使用した場合にのみ機能します。
Q1 ~ Q8	出力	1	ISERDESE2 モジュールのレジスタ付き出力。1 つの ISERDESE2 ブロックで最大 8 ビット (1:8 デシリアル化) までサポートできます。データ幅拡張を使用して 8 ビットより広い幅 (14 ビットまで) もサポート可能です。受信される最初のデータビットは、Q 出力の最上位ビットに出力されます。OSERDESE2 の入力でのビット順序は、ISERDESE2 ブロックの出力とは逆になります。たとえば、ワード FEDCBA の最下位ビット A は OSERDESE2 の D1 入力に配置されますが、同じビット A は ISERDESE2 ブロックでは Q8 出力に現れます。つまり、OSERDESE2 の最下位入力は D1 であり、ISERDESE2 ブロックの最下位出力は Q8 です。データ幅拡張を使用すると、マスター OSERDESE1 の D1 が最下位入力となり、スレーブ ISERDESE2 ブロックの Q7 が最下位出力になります。
RST	入力	1	CLK および CLKDIV ドメインのすべてのデータフリップフロップの出力を非同期で Low に駆動します。ISERDESE2 回路が CLK ドメインで動作しており、タイミングがクリティカルな場合は、内部専用回路を使用して RST 入力のタイミングを調整し、CLK ドメインに同期したリセット信号を生成してください。同様に、CLKDIV ドメインに同期したリセット信号を生成する RST 入力のタイミングを調整する専用回路があります。ISERDESE2 は非同期でリセットされますが、クロックに同期してリセット状態から戻るので、CLKDIV ドメインへの同期リセットとして扱い、CLKDIV の 1 サイクル以上パルスする必要があります。複数の ISERDESE2 ポートを含むインターフェイスを構築する場合は、すべての ISERDESE2 ポートを同期化する必要があります。RST 入力の内部タイミングは、同じリセットパルスを受信するすべての ISERDESE2 ブロックがお互いに同期してリセット状態から戻るように調整されます。
SHIFTIN1 ~ SHIFTIN2	入力	1	SERDES_MODE が "SLAVE" の場合は、マスターの SHIFTOUT1 と SHIFTOUT2 出力に接続します。それ以外の場合は、SHIFTOUT1 および SHIFTOUT2 を未接続のままにするか、SHIFTIN1 および SHIFTIN2 をグランドに接続します。
SHIFTOUT1 ~ SHIFTOUT2	出力	1	SERDES_MODE が "MASTER" に設定されており、2 つの ISERDESE2 をカスケード接続する場合は、スレーブ ISERDESE2 の SHIFTIN1 と SHIFTIN2 入力に接続します。

## デザインの入力方法

このエレメントは、回路図で使用できます。

## 使用可能な属性

属性	データ型	値	デフォルト	説明
DATA_RATE	文字列	"DDR"、"SDR"	"DDR"	入力データストリームをシングル データレート (SDR) またはダブル データレート (DDR) のいずれかで処理するかを指定します。
DATA_WIDTH	10 進数	4、2、3、5、6、7、8、10、14	4	シリアル/パラレル コンバーターの幅を指定します。有効な値は、DATA_RATE 属性 (SDR または DDR) によって異なります。DATA_RATE が "DDR" の場合は 4、6、8、10、14、DATA_RATE が "SDR" の場合は 2、3、4、5、6、7、8 です。
DYN_CLK_INV_EN	文字列	"FALSE"、"TRUE"	"FALSE"	"TRUE" の場合、DYNCLKINVSEL の反転がイネーブルになり、CLK および CLKB ピンの HDL 反転がディスエーブルになります。

属性	データ型	値	デフォルト	説明
DYN_CLKDIV_INV_EN	文字列	"FALSE"、"TRUE"	"FALSE"	"TRUE" の場合、DYNCLKDIVINVSEL の反転がイネーブルになり、CLKDIV ピンの HDL 反転がディスエーブルになります。
INIT_Q1	2 進数	1'b0 ~ 1'b1	1'b0	コンフィギュレーション後のポート Q1 の出力の初期値を指定します。
INIT_Q2	2 進数	1'b0 ~ 1'b1	1'b0	コンフィギュレーション後のポート Q2 の出力の初期値を指定します。
INIT_Q3	2 進数	1'b0 ~ 1'b1	1'b0	コンフィギュレーション後のポート Q3 の出力の初期値を指定します。
INIT_Q4	2 進数	1'b0 ~ 1'b1	1'b0	コンフィギュレーション後のポート Q4 の出力の初期値を指定します。
INTERFACE_TYPE	文字列	"MEMORY"、 "MEMORY_DDR3"、 "MEMORY_QDR"、 "NETWORKING"、 "OVERSAMPLE"	"MEMORY"	ISERDESE2 の操作モードを指定します。各モードの詳細は、『7 シリーズ FPGA SelectIO リソース ユーザー ガイド』を参照してください。
IOBDELAY	文字列	"NONE"、"BOTH"、 "IBUF"、"IFD"	"NONE"	ISERDESE2 モジュールの入力ソースを指定します。D および DDLY ピンは、ISERDESE2 への専用入力です。D 入力は I/O への直接接続で、DDLY ピンは IODELAYE2 への直接接続です。これにより、レジスタを介した (Q1 ~ Q6) 出力または組み合わせパス (O) 出力への入力に、遅延のあるものまたは遅延のないものを使用できます。出力に適用する入力は、IOBDELAY 属性により指定します。  <ul style="list-style-type: none"> <li>・ "NONE" : O =&gt; D   Q1 ~ Q6 =&gt; D</li> <li>・ "IBUF" : O =&gt; DDLY   Q1 ~ Q6 =&gt; D</li> <li>・ "IFD" : O =&gt; D   Q1 ~ Q6 =&gt; DDLY</li> <li>・ "BOTH" : O =&gt; DDLY   Q1 ~ Q6 =&gt; DDLY</li> </ul>
NUM_CE	10 進数	2, 1	2	使用するクロック イネーブル (CE1 および CE2) の数を指定します。
OFB_USED	文字列	"FALSE"、"TRUE"	"FALSE"	OLOGIC、OSERDES の OFB ピンから ISERDES の OFB ピンへのパスをイネーブルにし、D 入力ピンの使用をディスエーブルにします。
SERDES_MODE	文字列	"MASTER"、"SLAVE"	"MASTER"	データ幅を拡張する場合に ISERDESE2 モジュールがマスターかスレーブかを指定します。データ幅拡張を使用しない場合は、"MASTER" に設定します。
SRVAL_Q1	2 進数	1'b0 ~ 1'b1	1'b0	SR ピンをアサートした場合の Q1 出力の値 (セットまたはリセット) を指定します。
SRVAL_Q2	2 進数	1'b0 ~ 1'b1	1'b0	SR ピンをアサートした場合の Q2 出力の値 (セットまたはリセット) を指定します。

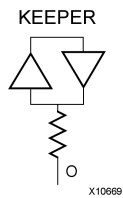
属性	データ型	値	デフォルト	説明
SRVAL_Q3	2 進数	1'b0 ~ 1'b1	1'b0	SR ピンをアサートした場合の Q3 出力の値 (セットまたはリセット) を指定します。
SRVAL_Q4	2 進数	1'b0 ~ 1'b1	1'b0	SR ピンをアサートした場合の Q4 出力の値 (セットまたはリセット) を指定します。

## 詳細情報

- ・ [7 シリーズ FPGA SelectIO リソース ユーザー ガイド](#)
- ・ [7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## KEEPER

### プリミティブ：KEEPER Symbol



### 概要

このデザイン エレメントは、双方向出力ピンに接続されるネットの値を保持するウィーク キーパー エレメントです。たとえば、ネットに対して論理値 1 を駆動すると、KEEPER はそのネットにウィーク/抵抗値 1 を駆動します。その後、ネットドライバがトライステートになっても、KEEPER はウィーク/抵抗値 1 を駆動し続けます。

### ポートの説明

ポート名	方向	幅	説明
O	出力	1 ビット	キーパー出力

### デザインの入力方法

このエレメントは、最上位の回路図ファイルで次のネットに接続できます。

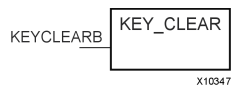
- ・ 入力 I/O マーカーに接続されたネット
- ・ 出力 I/O マーカーおよび OBUFT のようなトライステートにできる I/O エレメントの両方に接続されたネット

### 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## KEY\_CLEAR

プリミティブ：Virtex-5 Configuration Encryption Key Erase



### 概要

このデザイン エLEMENTでは、内部ロジックからコンフィギュレーション暗号回路キー レジスタの内容を消去できます。

### ポートの説明

ポート名	方向	幅	機能
KEYCLEARB	入力	1	アクティブ Low の入力で、コンフィギュレーション暗号キーを消去します。

### デザインの入力方法

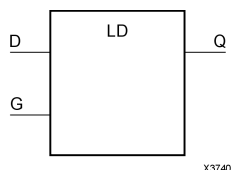
このELEMENTは、回路図で使用できます。

### 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## LD

### プリミティブ：Transparent Data Latch



### 概要

LD は透過データラッチです。ゲート イネーブル入力 (G) が High の場合、データ出力 (Q) にデータ入力 (D) の値が出力されます。D 入力の値は、G が High から Low に切り替わるときにラッチ内に格納されます。Q 出力の値は、G が Low の間は変化しません。

電力を供給すると、ラッチは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP\_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

### 論理表

入力		出力
G	D	Q
1	D	D
0	X	変化なし
↓	D	D

### デザインの入力方法

このエレメントは、回路図でのみ使用できます。

### 使用可能な属性

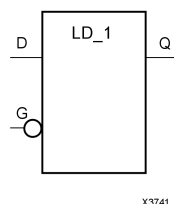
属性	データ型	値	デフォルト	説明
INIT	2 進数	0、1	0	コンフィギュレーション後の Q 出力の初期値を指定

### 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## LD\_1

## プリミティブ：Transparent Data Latch with Inverted Gate



## 概要

このデザイン エLEMENTは、反転ゲート (G) 付き透過データ ラッチです。ゲート (G) 入力 が Low の場合、データ出力 (Q) にデータ入力 (D) の値が出力されます。D 入力の値は、G が Low から High に切り替わるときにラッチ内に格納されます。Q 出力の値は、G が High の間は変化しません。

電力を供給すると、ラッチは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP\_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

## 論理表

入力		出力
G	D	Q
0	D	D
1	X	変化なし
↑	D	D

## デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

## 使用可能な属性

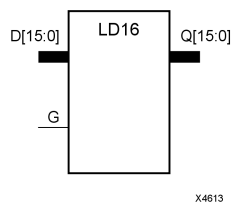
属性	データ型	値	デフォルト	説明
INIT	2 進数	0、1	0	コンフィギュレーション後の Q 出力の初期値を指定

## 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## LD16

### マクロ：Multiple Transparent Data Latch



### 概要

このデザイン エレメントは透過データ ラッチ 16 個で構成されており、共通のゲート イネーブル (G) が 1 つあります。ゲート イネーブル入力 (G) が High の場合、データ出力 (Q) にデータ入力 (D) の値が出力されます。D 入力の値は、G が High から Low に切り替わるときにラッチ内に格納されます。Q 出力の値は、G が Low の間は変化しません。

電力を供給すると、ラッチは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP\_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

### 論理表

入力		出力
G	D	Q
1	Dn	Dn
0	X	変化なし
↓	Dn	Dn

### デザインの入力方法

このエレメントは、回路図でのみ使用できます。

### 使用可能な属性

属性	データ型	値	デフォルト	説明
INIT	2 進数	16 ビット値	すべてゼロ	コンフィギュレーション後の Q 出力の初期値を指定

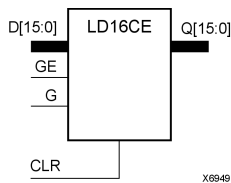
### 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)



## LD16CE

### マクロ：Transparent Data Latch with Asynchronous Clear and Gate Enable



### 概要

このデザイン エLEMENTは 16 個の透過データ ラッチで構成されており、非同期クリア (CLR) とゲート イネーブル (GE) があります。非同期クリア入力 (CLR) が High になると、ほかの入力は無視され、データ出力 (Q) が Low にリセットされます。ゲート入力 (G) およびゲート イネーブル (GE) が High で CLR が Low の場合、Q にデータ入力 (D) の値が出力されます。GE が Low の場合、D の値は不定値になります。D 入力の値は、G が High から Low に切り替わる時にラッチ内に格納されます。Q 出力の値は、G または GE が Low の間は変化しません。

電力を供給すると、ラッチは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP\_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

### 論理表

入力				出力
CLR	GE	G	Dn	Qn
1	X	X	X	0
0	0	X	X	変化なし
0	1	1	Dn	Dn
0	1	0	X	変化なし
0	1	↓	Dn	Dn

### デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

### 使用可能な属性

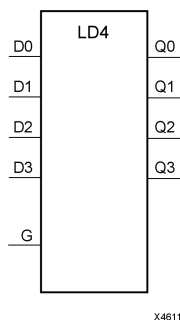
属性	データ型	値	デフォルト	説明
INIT	2 進数	16 ビット値	すべてゼロ	コンフィギュレーション後の Q 出力の初期値を指定

### 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## LD4

### マクロ : Multiple Transparent Data Latch



### 概要

このデザイン エLEMENTは透過データ ラッチ 4 個で構成されており、共通のゲート イネーブル (G) が 1 つあります。ゲート イネーブル入力 (G) が High の場合、データ出力 (Q) にデータ入力 (D) の値が出力されます。D 入力の値は、G が High から Low に切り替わるときにラッチ内に格納されます。Q 出力の値は、G が Low の間は変化しません。

電力を供給すると、ラッチは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP\_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

### 論理表

入力		出力
G	D	Q
1	D <sub>n</sub>	D <sub>n</sub>
0	X	変化なし
↓	D <sub>n</sub>	D <sub>n</sub>

### デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

### 使用可能な属性

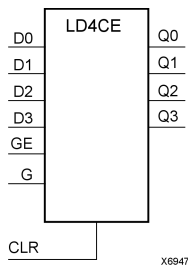
属性	データ型	値	デフォルト	説明
INIT	2 進数	4 ビット値	すべてゼロ	コンフィギュレーション後の Q 出力の初期値を指定

### 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## LD4CE

マクロ：Transparent Data Latch with Asynchronous Clear and Gate Enable



### 概要

このデザイン エLEMENTは 4 個の透過データ ラッチで構成されており、非同期クリア (CLR) とゲート イネーブル (GE) があります。非同期クリア入力 (CLR) が High になると、ほかの入力は無視され、データ出力 (Q) が Low にリセットされます。ゲート入力 (G) およびゲート イネーブル (GE) が High で CLR が Low の場合、Q にデータ入力 (D) の値が出力されます。GE が Low の場合、D の値は不定値になります。D 入力の値は、G が High から Low に切り替わるときにラッチ内に格納されます。Q 出力の値は、G または GE が Low の間は変化しません。

電力を供給すると、ラッチは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP\_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

### 論理表

入力				出力
CLR	GE	G	Dn	Qn
1	X	X	X	0
0	0	X	X	変化なし
0	1	1	Dn	Dn
0	1	0	X	変化なし
0	1	↓	Dn	Dn

### デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

### 使用可能な属性

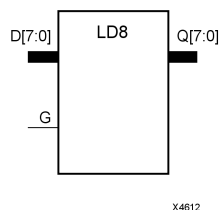
属性	データ型	値	デフォルト	説明
INIT	2 進数	4 ビット値	すべてゼロ	コンフィギュレーション後の Q 出力の初期値を指定

### 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## LD8

### マクロ：Multiple Transparent Data Latch



### 概要

このデザイン エレメントは透過データ ラッチ 8 個で構成されており、共通のゲート イネーブル (G) が 1 つあります。ゲート イネーブル入力 (G) が High の場合、データ出力 (Q) にデータ入力 (D) の値が出力されます。D 入力の値は、G が High から Low に切り替わるときにラッチ内に格納されます。Q 出力の値は、G が Low の間は変化しません。

電力を供給すると、ラッチは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP\_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

### 論理表

入力		出力
G	D	Q
1	Dn	Dn
0	X	変化なし
↓	Dn	Dn

### デザインの入力方法

このエレメントは、回路図でのみ使用できます。

### 使用可能な属性

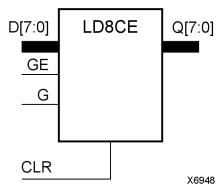
属性	データ型	値	デフォルト	説明
INIT	2 進数	8 ビット値	すべてゼロ	コンフィギュレーション後の Q 出力の初期値を指定

### 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## LD8CE

### マクロ：Transparent Data Latch with Asynchronous Clear and Gate Enable



## 概要

このデザイン エLEMENTは 8 個の透過データ ラッチで構成されており、非同期クリア (CLR) とゲート イネーブル (GE) があります。非同期クリア入力 (CLR) が High になると、ほかの入力は無視され、データ出力 (Q) が Low にリセットされます。ゲート入力 (G) およびゲート イネーブル (GE) が High で CLR が Low の場合、Q にデータ入力 (D) の値が出力されます。GE が Low の場合、D の値は不定値になります。D 入力の値は、G が High から Low に切り替わる時にラッチ内に格納されます。Q 出力の値は、G または GE が Low の間は変化しません。

電力を供給すると、ラッチは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP\_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

## 論理表

入力				出力
CLR	GE	G	Dn	Qn
1	X	X	X	0
0	0	X	X	変化なし
0	1	1	Dn	Dn
0	1	0	X	変化なし
0	1	↓	Dn	Dn

## デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

## 使用可能な属性

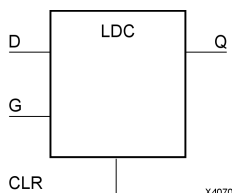
属性	データ型	値	デフォルト	説明
INIT	2 進数	8 ビット値	すべてゼロ	コンフィギュレーション後の Q 出力の初期値を指定

## 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## LDC

### プリミティブ：Transparent Data Latch with Asynchronous Clear



### 概要

このデザイン エレメントは、非同期クリア (CLR) がある透過データラッチです。非同期クリア入力 (CLR) が High になると、ほかの入力は無視され、データ出力 (Q) が Low にリセットされます。ゲートイネーブル入力 (G) が High で CLR が Low の場合、Q にデータ入力 (D) の値が出力されます。D 入力の値は、G が High から Low に切り替わる時にラッチ内に格納されます。Q 出力の値は、G が Low の間は変化しません。

電力を供給すると、ラッチは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP\_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

### 論理表

入力			出力
CLR	G	D	Q
1	X	X	0
0	1	D	D
0	0	X	変化なし
0	↓	D	D

### デザインの入力方法

このエレメントは、回路図でのみ使用できます。

### 使用可能な属性

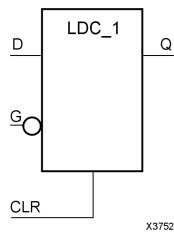
属性	データ型	値	デフォルト	説明
INIT	2 進数	0、1	0	コンフィギュレーション後の Q 出力の初期値を指定

### 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## LDC\_1

### プリミティブ：Transparent Data Latch with Asynchronous Clear and Inverted Gate



### 概要

このデザイン エLEMENTは、非同期クリア (CLR) および反転ゲート (G) 付き透過データラッチです。CLR が High になると、ほかの入力 (D、G) は無視され、データ出力 (Q) が Low にリセットされます。ゲート (G) 入力および CLR が Low の場合、Q にデータ入力 (D) の値が出力されます。D 入力の値は、G が Low から High に切り替わる時にラッチ内に格納されます。Q 出力の値は、G が High の間は変化しません。

電力を供給すると、ラッチは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP\_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

### 論理表

入力			出力
CLR	G	D	Q
1	X	X	0
0	0	D	D
0	1	X	変化なし
0	↑	D	D

### デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

### 使用可能な属性

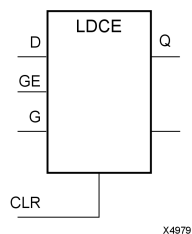
属性	データ型	値	デフォルト	説明
INIT	2 進数	0、1	0	コンフィギュレーション後の Q 出力の初期値を指定

### 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## LDCE

### プリミティブ：Transparent Data Latch with Asynchronous Clear and Gate Enable



## 概要

このデザイン エレメントは、非同期クリア (CLR) およびゲート イネーブル (GE) 付き透過データ ラッチです。非同期クリア入力 (CLR) が High になると、ほかの入力は無視され、データ出力 (Q) が Low にリセットされます。ゲート入力 (G) およびゲート イネーブル (GE) が High で、CLR が Low のとき、Q にはデータ入力 (D) が使用されます。GE が Low の場合、D の値は不定値になります。D 入力の値は、G が High から Low に切り替わるときにラッチ内に格納されます。Q 出力の値は、G または GE が Low の間は変化しません。

電力を供給すると、ラッチは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。

## 論理表

入力				出力
CLR	GE	G	D	Q
1	X	X	X	0
0	0	X	X	変化なし
0	1	1	D	D
0	1	0	X	変化なし
0	1	↓	D	D

## デザインの入力方法

このエレメントは、回路図で使用できます。

## 使用可能な属性

属性	データ型	値	デフォルト	説明
INIT	2 進数	0、1	0	コンフィギュレーション後の Q 出力の初期値を指定します。

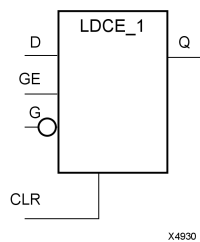
## 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)



## LDCE\_1

**プリミティブ：Transparent Data Latch with Asynchronous Clear, Gate Enable, and Inverted Gate**



### 概要

このデザイン エLEMENTは、非同期クリア (CLR)、ゲート イネーブル (GE)、反転ゲート (G) 付きの透過データ ラッチです。非同期クリア入力 (CLR) が High になると、ほかの入力は無視され、データ出力 (Q) が Low にリセットされます。G および CLR が Low、GE が High のとき、Q にはデータ入力 (D) が使用されます。D 入力の値は、G が Low から High に切り替わるときにラッチ内に格納されます。Q 出力の値は、G が High または GE が Low の間は変化しません。

電力を供給すると、ラッチは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP\_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

### 論理表

入力				出力
CLR	GE	G	D	Q
1	X	X	X	0
0	0	X	X	変化なし
0	1	0	D	D
0	1	1	X	変化なし
0	1	↑	D	D

### デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

### 使用可能な属性

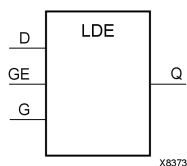
属性	データ型	値	デフォルト	説明
INIT	2 進数	0、1	0	コンフィギュレーション後の Q 出力の初期値を指定

### 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## LDE

### プリミティブ：Transparent Data Latch with Gate Enable



## 概要

このデザイン エLEMENTは、データ入力 (D) とゲート イネーブル入力 (GE) がある透過データ ラッチです。ゲート入力 (G) とゲート イネーブル (GE) が High の場合、Q 出力にはデータ入力 (D) の値が出力されます。D 入力の値は、G が High から Low に切り替わるときにラッチ内に格納されます。Q 出力の値は、G または GE が Low の間は変化しません。

電力を供給すると、ラッチは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP\_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

## 論理表

入力			出力
GE	G	D	Q
0	X	X	変化なし
1	1	D	D
1	0	X	変化なし
1	↓	D	D

## デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

## 使用可能な属性

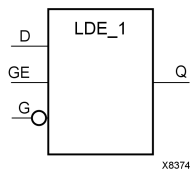
属性	データ型	値	デフォルト	説明
INIT	2 進数	0、1	0	電源投入時または Q ポートに対する GSR のアサート時の初期値を指定

## 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## LDE\_1

### プリミティブ：Transparent Data Latch with Gate Enable and Inverted Gate



### 概要

このデザイン エLEMENTは、データ入力 (D) とゲート イネーブル入力 (GE)、反転ゲート (G) がある透過データ ラッチです。G が Low で GE が High の場合、Q 出力にはデータ入力 (D) の値が出力されます。D 入力の値は、G が Low から High に切り替わるときにラッチ内に格納されます。Q 出力の値は、G が High または GE が Low の間は変化しません。

電力を供給すると、ラッチは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP\_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

### 論理表

入力			出力
GE	G	D	Q
0	X	X	変化なし
1	0	D	D
1	1	X	変化なし
1	↑	D	D

### デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

### 使用可能な属性

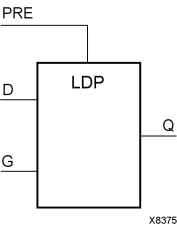
属性	データ型	値	デフォルト	説明
INIT	2 進数	0、1	0	電源投入時または Q ポートに対する GSR のアサート時の初期値を指定

### 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

# LDP

## プリミティブ : Transparent Data Latch with Asynchronous Preset



## 概要

このデザイン エレメントは、非同期プリセット (PRE) がある透過データ ラッチです。ゲート入力 (G) が High で PRE が Low の場合、Q にはデータ入力 (D) の値が出力されます。D 入力の値は、G が High から Low に切り替わるときにラッチ内に格納されます。Q 出力の値は、G が Low の間は変化しません。

電力が供給されると、ラッチは非同期にプリセットされ、出力が High になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP\_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

## 論理表

### デザインの入力方法

このエレメントは、回路図でのみ使用できます。

### 使用可能な属性

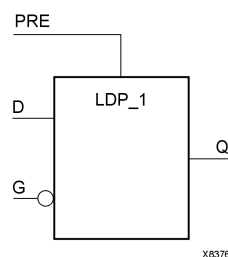
属性	データ型	値	デフォルト	説明
INIT	2 進数	0、1	1	電源投入時または Q ポートに対する GSR のアサート時の初期値を指定

## 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## LDP\_1

### プリミティブ：Transparent Data Latch with Asynchronous Preset and Inverted Gate



## 概要

このデザイン エLEMENTは、非同期プリセット (PRE)、反転ゲート (G) がある透過データ ラッチです。PRE が High になると、ほかの入力は無視され、データ出力 (Q) が High にプリセットされます。G と PRE が Low の場合、Q にはデータ入力 (D) の値が出力されます。D 入力の値は、G が Low から High に切り替わるときにラッチ内に格納されます。Q 出力の値は、G が High の間は変化しません。

電力が供給されると、ラッチは非同期にプリセットされ、出力が High になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP\_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

## 論理表

入力			出力
PRE	G	D	Q
1	X	X	1
0	0	D	D
0	1	X	変化なし
0	↑	D	D

## デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

## 使用可能な属性

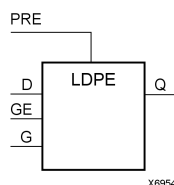
属性	データ型	値	デフォルト	説明
INIT	2 進数	0、1	1	電源投入時または Q ポートに対する GSR のアサート時の初期値を指定

## 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## LDPE

### プリミティブ : Transparent Data Latch with Asynchronous Preset and Gate Enable



## 概要

このデザイン エLEMENTは、非同期プリセット (PRE) およびゲート イネーブル (GE) 付き透過データ ラッチです。PRE が High になると、ほかの入力は無視され、データ出力 (Q) が High にプリセットされます。ゲート入力 (G) およびゲート イネーブル (GE) が High の場合、Q にデータ入力 (D) の値が出力されます。D 入力の値は、G が High から Low に切り替わる時にラッチ内に格納されます。Q 出力の値は、G または GE が Low の間は変化しません。

電力が供給されると、ラッチは非同期にプリセットされ、出力が High になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。

## 論理表

入力				出力
PRE	GE	G	D	Q
1	X	X	X	1
0	0	X	X	変化なし
0	1	1	D	D
0	1	0	X	変化なし
0	1	↓	D	D

## デザインの入力方法

このELEMENTは、回路図で使用できます。

## 使用可能な属性

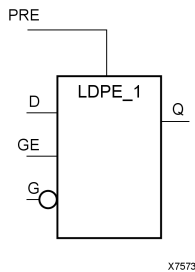
属性	データ型	値	デフォルト	説明
INIT	2 進数	0、1	1	電源投入時または Q ポートに対する GSR のアサート時の初期値を指定します。

## 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## LDPE\_1

**プリミティブ：Transparent Data Latch with Asynchronous Preset, Gate Enable, and Inverted Gate**



### 概要

このデザイン エLEMENTは、非同期プリセット (PRE)、ゲート イネーブル (GE)、反転ゲート (G) 付きの透過データ ラッチ です。PRE が High になると、ほかの入力は無視され、データ出力 (Q) が High にプリセットされます。G および PRE が Low で、GE が High の場合、Q にデータ入力 (D) の値が出力されます。D 入力の値は、G が Low から High に切り替わる時にラッチ内に格納されます。Q 出力の値は、G が High または GE が Low の間は変化しません。

電力が供給されると、ラッチは非同期にプリセットされ、出力が High になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP\_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

### 論理表

入力				出力
PRE	GE	G	D	Q
1	X	X	X	1
0	0	X	X	変化なし
0	1	0	D	D
0	1	1	X	変化なし
0	1	↑	D	D

### デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

### 使用可能な属性

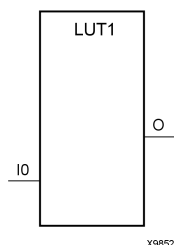
属性	データ型	値	デフォルト	説明
INIT	2 進数	0、1	1	電源投入時または Q ポートに対する GSR のアサート時の初期値を指定

### 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## LUT1

### プリミティブ：1-Bit Look-Up Table with General Output



### 概要

このデザイン エレメントは一般出力 (O) を持つ 1 ビットのルックアップ テーブル (LUT) です。

LUT のファンクションを設定するため、INIT 属性を使用して、各入力値に対する出力値を 16 進数で指定する必要があります。このエレメントは、バッファまたはインバーターの機能を果たします。これらのエレメントは基本ブロックです。LUT には複数のバリエーションがあり、異なるタイミング モデルでレイアウト前のタイミングをより正確に予測する必要がある場合に使用できます。

FPGA LUT プリミティブでは、INIT パラメーターで論理値が設定されます。デフォルトは 0 で、入力値にかかわらず出力を 0 に駆動します (グラウンドとして機能)。ただし多くの場合、LUT プリミティブのロジック ファンクションを指定するため、INIT 値を設定する必要があります。LUT の値を指定する方法には、次の 2 つがあります。

**論理表を使用する方法：**LUT の INIT 値を決定する一般的な方法。バイナリの論理表にすべての入力をリストして出力のロジック値を指定し、これらの出力値から、初期値を作成します。

**論理式を使用する方法：**リストされた論理表の値に対応する LUT の各入力にパラメーターを定義し、パラメーターを基にロジックの論理式を生成します。概念を理解してしまえばこの方法の方が簡単ですが、コードで最初に適切なパラメーターを指定する必要があります。

### 論理表

入力	出力
IO	O
0	INIT[0]
1	INIT[1]
INIT = INIT 属性に割り当てられた 2 進数値	

### デザインの入力方法

このエレメントは、回路図で使用できます。

### 使用可能な属性

属性	データ型	値	デフォルト	説明
INIT	16 進数	2 ビット値	すべてゼロ	ルックアップ テーブルの論理値を指定します。

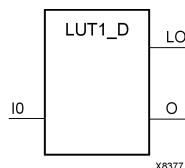


## 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## LUT1\_D

### プリミティブ：1-Bit Look-Up Table with Dual Output



### 概要

このデザイン エLEMENTは 1 ビットのルックアップ テーブル (LUT) で、同じ機能を持つ O および LO という 2 つの出力があります。このELEMENTはバッファまたはインバーターの機能を果たします。

出力 O は一般的なインターコネクトです。LO 出力は、同じ CLB スライス内の別の出力に接続されます。LUT のファンクションを設定するため、INIT 属性を使用して、各入力値に対する出力値を 16 進数で指定する必要があります。

FPGA LUT プリミティブでは、INIT パラメーターで論理値が設定されます。デフォルトは 0 で、入力値にかかわらず出力を 0 に駆動します (グラウンドとして機能)。ただし多くの場合、LUT プリミティブのロジック ファンクションを指定するため、INIT 値を設定する必要があります。LUT の値を指定する方法には、次の 2 つがあります。

**論理表を使用する方法：**LUT の INIT 値を決定する一般的な方法。バイナリの論理表にすべての入力をリストして出力のロジック値を指定し、これらの出力値から、初期値を作成します。

**論理式を使用する方法：**リストされた論理表の値に対応する LUT の各入力にパラメーターを定義し、パラメーターを基にロジックの論理式を生成します。概念を理解してしまえばこの方法の方が簡単ですが、コードで最初に適切なパラメーターを指定する必要があります。

### 論理表

入力	出力	
I0	O	LO
0	INIT[0]	INIT[0]
1	INIT[1]	INIT[1]
INIT = INIT 属性に割り当てられた 2 進数値		

### デザインの入力方法

このELEMENTは、回路図で使用できます。

### 使用可能な属性

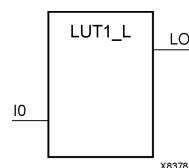
属性	データ型	値	デフォルト	説明
INIT	16 進数	2 ビット値	すべてゼロ	ルックアップ テーブルの論理値を指定します。

### 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## LUT1\_L

### プリミティブ：1-Bit Look-Up Table with Local Output



### 概要

このデザイン エLEMENT は、1 ビットのルックアップ テーブル (LUT) で、同じ CLB スライス内にある別の出力への接続に使用するローカル出力 (LO) があります。このELEMENTはバッファまたはインバーターの機能を果たします。

LUT のファンクションを設定するため、INIT 属性を使用して、各入力値に対する出力値を 16 進数で指定する必要があります。

FPGA LUT プリミティブでは、INIT パラメーターで論理値が設定されます。デフォルトは 0 で、入力値にかかわらず出力を 0 に駆動します (グラウンドとして機能)。ただし多くの場合、LUT プリミティブのロジック ファンクションを指定するため、INIT 値を設定する必要があります。LUT の値を指定する方法には、次の 2 つがあります。

**論理表を使用する方法：**LUT の INIT 値を決定する一般的な方法。バイナリの論理表にすべての入力をリストして出力のロジック値を指定し、これらの出力値から、初期値を作成します。

**論理式を使用する方法：**リストされた論理表の値に対応する LUT の各入力にパラメーターを定義し、パラメーターを基にロジックの論理式を生成します。概念を理解してしまえばこの方法の方が簡単ですが、コードで最初に適切なパラメーターを指定する必要があります。

### 論理表

入力	出力
I0	LO
0	INIT[0]
1	INIT[1]
INIT = INIT 属性に割り当てられた 2 進数値	

### デザインの入力方法

このELEMENTは、回路図で使用できます。

### 使用可能な属性

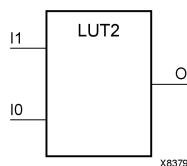
属性	データ型	値	デフォルト	説明
INIT	16 進数	2 ビット値	すべてゼロ	ルックアップ テーブルの論理値を指定します。

### 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## LUT2

### プリミティブ : 2-Bit Look-Up Table with General Output



### 概要

このデザイン エレメントは一般出力 (O) を持つ 2 ビットのルックアップ テーブル (LUT) です。

LUT のファンクションを設定するため、INIT 属性を使用して、各入力値に対する出力値を 16 進数で指定する必要があります。このエレメントは、バッファまたはインバーターの機能を果たします。これらのエレメントは基本ブロックです。LUT には複数のバリエーションがあり、異なるタイミング モデルでレイアウト前のタイミングをより正確に予測する必要がある場合に使用できます。

FPGA LUT プリミティブでは、INIT パラメーターで論理値が設定されます。デフォルトは 0 で、入力値にかかわらず出力を 0 に駆動します (グラウンドとして機能)。ただし多くの場合、LUT プリミティブのロジック ファンクションを指定するため、INIT 値を設定する必要があります。LUT の値を指定する方法には、次の 2 つがあります。

**論理表を使用する方法 :** LUT の INIT 値を決定する一般的な方法。バイナリの論理表にすべての入力をリストして出力のロジック値を指定し、これらの出力値から、初期値を作成します。

**論理式を使用する方法 :** リストされた論理表の値に対応する LUT の各入力にパラメーターを定義し、パラメーターを基にロジックの論理式を生成します。概念を理解してしまえばこの方法の方が簡単ですが、コードで最初に適切なパラメーターを指定する必要があります。

### 論理表

入力		出力
I1	I0	O
0	0	INIT[0]
0	1	INIT[1]
1	0	INIT[2]
1	1	INIT[3]
INIT = INIT 属性で指定された 16 進数値を 2 進数で表した値		

### デザインの入力方法

このエレメントは、回路図で使用できます。

### 使用可能な属性

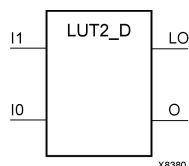
属性	データ型	値	デフォルト	説明
INIT	16 進数	4 ビット値	すべてゼロ	ルックアップ テーブルの論理値を指定します。

## 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## LUT2\_D

### プリミティブ：2-Bit Look-Up Table with Dual Output



### 概要

このデザイン エLEMENTは 2 ビットのルックアップ テーブル (LUT) で、同じ機能を持つ O および LO という 2 つの出力があります。

出力 O は一般的なインターコネクトです。LO 出力は、同じ CLB スライス内の別の出力に接続されます。LUT のファンクションを設定するため、INIT 属性を使用して、各入力値に対する出力値を 16 進数で指定する必要があります。

FPGA LUT プリミティブでは、INIT パラメーターで論理値が設定されます。デフォルトは 0 で、入力値にかかわらず出力を 0 に駆動します (グラウンドとして機能)。ただし多くの場合、LUT プリミティブのロジック ファンクションを指定するため、INIT 値を設定する必要があります。LUT の値を指定する方法には、次の 2 つがあります。

**論理表を使用する方法：**LUT の INIT 値を決定する一般的な方法。バイナリの論理表にすべての入力をリストして出力のロジック値を指定し、これらの出力値から、初期値を作成します。

**論理式を使用する方法：**リストされた論理表の値に対応する LUT の各入力にパラメーターを定義し、パラメーターを基にロジックの論理式を生成します。概念を理解してしまえばこの方法の方が簡単ですが、コードで最初に適切なパラメーターを指定する必要があります。

### 論理表

入力		出力	
I1	I0	O	LO
0	0	INIT[0]	INIT[0]
0	1	INIT[1]	INIT[1]
1	0	INIT[2]	INIT[2]
1	1	INIT[3]	INIT[3]
INIT = INIT 属性で指定された 16 進数値を 2 進数で表した値			

### デザインの入力方法

このELEMENTは、回路図で使用できます。

### 使用可能な属性

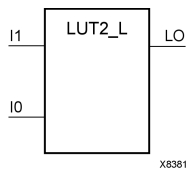
属性	データ型	値	デフォルト	説明
INIT	16 進数	4 ビット値	すべてゼロ	ルックアップ テーブルの論理値を指定します。

### 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## LUT2\_L

### プリミティブ：2-Bit Look-Up Table with Local Output



### 概要

このデザイン エLEMENT は、2 ビットのルックアップ テーブル (LUT) で、同じ CLB スライス内にある別の出力および高速バッファへの接続に使用するローカル出力 (LO) があります。このELEMENTはバッファまたはインバーターの機能を果たします。

LUT のファンクションを設定するため、INIT 属性を使用して、各入力値に対する出力値を 16 進数で指定する必要があります。

FPGA LUT プリミティブでは、INIT パラメーターで論理値が設定されます。デフォルトは 0 で、入力値にかかわらず出力を 0 に駆動します (グラウンドとして機能)。ただし多くの場合、LUT プリミティブのロジック ファンクションを指定するため、INIT 値を設定する必要があります。LUT の値を指定する方法には、次の 2 つがあります。

**論理表を使用する方法：**LUT の INIT 値を決定する一般的な方法。バイナリの論理表にすべての入力をリストして出力のロジック値を指定し、これらの出力値から、初期値を作成します。

**論理式を使用する方法：**リストされた論理表の値に対応する LUT の各入力にパラメーターを定義し、パラメーターを基にロジックの論理式を生成します。概念を理解してしまえばこの方法の方が簡単ですが、コードで最初に適切なパラメーターを指定する必要があります。

### 論理表

入力		出力
I1	I0	LO
0	0	INIT[0]
0	1	INIT[1]
1	0	INIT[2]
1	1	INIT[3]
INIT = INIT 属性で指定された 16 進数値を 2 進数で表した値		

### デザインの入力方法

このELEMENTは、回路図で使用できます。

### 使用可能な属性

属性	データ型	値	デフォルト	説明
INIT	16 進数	4 ビット値	すべてゼロ	ルックアップ テーブルの論理値を指定します。

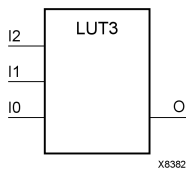
## 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)



## LUT3

### プリミティブ：3-Bit Look-Up Table with General Output



### 概要

このデザイン エLEMENTは一般出力 (O) を持つ 3 ビットのルックアップ テーブル (LUT) です。LUT のファンクションを設定するため、INIT 属性を使用して、各入力値に対する出力値を 16 進数で指定する必要があります。

LUT のファンクションを設定するため、INIT 属性を使用して、各入力値に対する出力値を 16 進数で指定する必要があります。このELEMENTは、バッファまたはインバーターの機能を果たします。これらのELEMENTは基本ブロックです。LUT には複数のバリエーションがあり、異なるタイミング モデルでレイアウト前のタイミングをより正確に予測する必要がある場合に使用できます。

FPGA LUT プリミティブでは、INIT パラメーターで論理値が設定されます。デフォルトは 0 で、入力値にかかわらず出力を 0 に駆動します (グラウンドとして機能)。ただし多くの場合、LUT プリミティブのロジック ファンクションを指定するため、INIT 値を設定する必要があります。LUT の値を指定する方法には、次の 2 つがあります。

**論理表を使用する方法：**LUT の INIT 値を決定する一般的な方法。バイナリの論理表にすべての入力をリストして出力のロジック値を指定し、これらの出力値から、初期値を作成します。

**論理式を使用する方法：**リストされた論理表の値に対応する LUT の各入力にパラメーターを定義し、パラメーターを基にロジックの論理式を生成します。概念を理解してしまえばこの方法の方が簡単ですが、コードで最初に適切なパラメーターを指定する必要があります。

### 論理表

入力			出力
I2	I1	I0	O
0	0	0	INIT[0]
0	0	1	INIT[1]
0	1	0	INIT[2]
0	1	1	INIT[3]
1	0	0	INIT[4]
1	0	1	INIT[5]
1	1	0	INIT[6]
1	1	1	INIT[7]
INIT = INIT 属性で指定された 16 進数値を 2 進数で表した値			

### デザインの入力方法

このELEMENTは、回路図で使用できます。

## 使用可能な属性

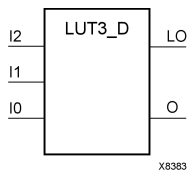
属性	データ型	値	デフォルト	説明
INIT	16 進数	8 ビット値	すべてゼロ	ルックアップ テーブルの論理値を指定します。

## 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## LUT3\_D

### プリミティブ：3-Bit Look-Up Table with Dual Output



## 概要

このデザイン エLEMENTは 3 ビットのルックアップ テーブル (LUT) で、同じ機能を持つ O および LO という 2 つの出力があります。

出力 O は一般的なインターコネクトです。LO 出力は、同じ CLB スライス内の別の出力に接続されます。LUT のファンクションを設定するため、INIT 属性を使用して、各入力値に対する出力値を 16 進数で指定する必要があります。

FPGA LUT プリミティブでは、INIT パラメーターで論理値が設定されます。デフォルトは 0 で、入力値にかかわらず出力を 0 に駆動します (グラウンドとして機能)。ただし多くの場合、LUT プリミティブのロジック ファンクションを指定するため、INIT 値を設定する必要があります。LUT の値を指定する方法には、次の 2 つがあります。

**論理表を使用する方法：**LUT の INIT 値を決定する一般的な方法。バイナリの論理表にすべての入力をリストして出力のロジック値を指定し、これらの出力値から、初期値を作成します。

**論理式を使用する方法：**リストされた論理表の値に対応する LUT の各入力にパラメーターを定義し、パラメーターを基にロジックの論理式を生成します。概念を理解してしまえばこの方法の方が簡単ですが、コードで最初に適切なパラメーターを指定する必要があります。

## 論理表

入力			出力	
I2	I1	I0	O	LO
0	0	0	INIT[0]	INIT[0]
0	0	1	INIT[1]	INIT[1]
0	1	0	INIT[2]	INIT[2]
0	1	1	INIT[3]	INIT[3]
1	0	0	INIT[4]	INIT[4]
1	0	1	INIT[5]	INIT[5]
1	1	0	INIT[6]	INIT[6]
1	1	1	INIT[7]	INIT[7]

INIT = INIT 属性で指定された 16 進数値を 2 進数で表した値

## デザインの入力方法

このELEMENTは、回路図で使用できます。

## 使用可能な属性

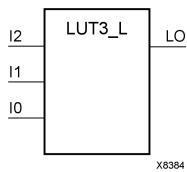
属性	データ型	値	デフォルト	説明
INIT	16 進数	8 ビット値	すべてゼロ	ルックアップ テーブルの論理値を指定します。

## 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## LUT3\_L

### プリミティブ：3-Bit Look-Up Table with Local Output



### 概要

このデザイン エLEMENT は、3 ビットのルックアップ テーブル (LUT) で、同じ CLB スライス内にある別の出力および高速バッファへの接続に使用するローカル出力 (LO) があります。このELEMENTはバッファまたはインバーターの機能を果たします。

LUT のファンクションを設定するため、INIT 属性を使用して、各入力値に対する出力値を 16 進数で指定する必要があります。

FPGA LUT プリミティブでは、INIT パラメーターで論理値が設定されます。デフォルトは 0 で、入力値にかかわらず出力を 0 に駆動します (グラウンドとして機能)。ただし多くの場合、LUT プリミティブのロジック ファンクションを指定するため、INIT 値を設定する必要があります。LUT の値を指定する方法には、次の 2 つがあります。

**論理表を使用する方法：**LUT の INIT 値を決定する一般的な方法。バイナリの論理表にすべての入力をリストして出力のロジック値を指定し、これらの出力値から、初期値を作成します。

**論理式を使用する方法：**リストされた論理表の値に対応する LUT の各入力にパラメーターを定義し、パラメーターを基にロジックの論理式を生成します。概念を理解してしまえばこの方法の方が簡単ですが、コードで最初に適切なパラメーターを指定する必要があります。

### 論理表

入力			出力
I2	I1	I0	LO
0	0	0	INIT[0]
0	0	1	INIT[1]
0	1	0	INIT[2]
0	1	1	INIT[3]
1	0	0	INIT[4]
1	0	1	INIT[5]
1	1	0	INIT[6]
1	1	1	INIT[7]
INIT = INIT 属性で指定された 16 進数値を 2 進数で表した値			

### デザインの入力方法

このELEMENTは、回路図で使用できます。

## 使用可能な属性

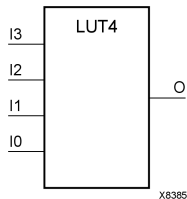
属性	データ型	値	デフォルト	説明
INIT	16 進数	8 ビット値	すべてゼロ	ルックアップ テーブルの論理値を指定します。

## 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## LUT4

### プリミティブ：4-Bit Look-Up-Table with General Output



### 概要

このデザイン エLEMENTは一般出力 (O) を持つ 4 ビットのルックアップ テーブル (LUT) です。

LUT のファンクションを設定するため、INIT 属性を使用して、各入力値に対する出力値を 16 進数で指定する必要があります。このELEMENTは、バッファまたはインバーターの機能を果たします。これらのELEMENTは基本ブロックです。LUT には複数のバリエーションがあり、異なるタイミング モデルでレイアウト前のタイミングをより正確に予測する必要がある場合に使用できます。

FPGA LUT プリミティブでは、INIT パラメーターで論理値が設定されます。デフォルトは 0 で、入力値にかかわらず出力を 0 に駆動します (グラウンドとして機能)。ただし多くの場合、LUT プリミティブのロジック ファンクションを指定するため、INIT 値を設定する必要があります。LUT の値を指定する方法には、次の 2 つがあります。

**論理表を使用する方法：**LUT の INIT 値を決定する一般的な方法。バイナリの論理表にすべての入力をリストして出力のロジック値を指定し、これらの出力値から、初期値を作成します。

**論理式を使用する方法：**リストされた論理表の値に対応する LUT の各入力にパラメーターを定義し、パラメーターを基にロジックの論理式を生成します。概念を理解してしまえばこの方法の方が簡単ですが、コードで最初に適切なパラメーターを指定する必要があります。

### 論理表

入力				出力
I3	I2	I1	I0	O
0	0	0	0	INIT[0]
0	0	0	1	INIT[1]
0	0	1	0	INIT[2]
0	0	1	1	INIT[3]
0	1	0	0	INIT[4]
0	1	0	1	INIT[5]
0	1	1	0	INIT[6]
0	1	1	1	INIT[7]
1	0	0	0	INIT[8]
1	0	0	1	INIT[9]
1	0	1	0	INIT[10]
1	0	1	1	INIT[11]
1	1	0	0	INIT[12]

入力				出力
I3	I2	I1	I0	O
1	1	0	1	INIT[13]
1	1	1	0	INIT[14]
1	1	1	1	INIT[15]
INIT = INIT 属性で指定された 16 進数値を 2 進数で表した値				

## デザインの入力方法

このエレメントは、回路図で使用できます。

## 使用可能な属性

属性	データ型	値	デフォルト	説明
INIT	16 進数	16 ビット値	すべてゼロ	ルックアップ テーブルの論理値を指定します。

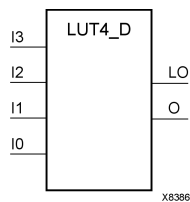
## 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)



## LUT4\_D

### プリミティブ：4-Bit Look-Up Table with Dual Output



### 概要

このデザイン エLEMENTは 4 ビットのルックアップ テーブル (LUT) で、同じ機能を持つ O および LO という 2 つの出力があります。

出力 O は一般的なインターコネクトです。LO 出力は、同じ CLB スライス内の別の出力に接続されます。LUT のファンクションを設定するため、INIT 属性を使用して、各入力値に対する出力値を 16 進数で指定する必要があります。

FPGA LUT プリミティブでは、INIT パラメーターで論理値が設定されます。デフォルトは 0 で、入力値にかかわらず出力を 0 に駆動します (グラウンドとして機能)。ただし多くの場合、LUT プリミティブのロジック ファンクションを指定するため、INIT 値を設定する必要があります。LUT の値を指定する方法には、次の 2 つがあります。

**論理表を使用する方法：**LUT の INIT 値を決定する一般的な方法。バイナリの論理表にすべての入力をリストして出力のロジック値を指定し、これらの出力値から、初期値を作成します。

**論理式を使用する方法：**リストされた論理表の値に対応する LUT の各入力にパラメーターを定義し、パラメーターを基にロジックの論理式を生成します。概念を理解してしまえばこの方法の方が簡単ですが、コードで最初に適切なパラメーターを指定する必要があります。

### 論理表

入力				出力	
I3	I2	I1	I0	O	LO
0	0	0	0	INIT[0]	INIT[0]
0	0	0	1	INIT[1]	INIT[1]
0	0	1	0	INIT[2]	INIT[2]
0	0	1	1	INIT[3]	INIT[3]
0	1	0	0	INIT[4]	INIT[4]
0	1	0	1	INIT[5]	INIT[5]
0	1	1	0	INIT[6]	INIT[6]
0	1	1	1	INIT[7]	INIT[7]
1	0	0	0	INIT[8]	INIT[8]
1	0	0	1	INIT[9]	INIT[9]
1	0	1	0	INIT[10]	INIT[10]
1	0	1	1	INIT[11]	INIT[11]
1	1	0	0	INIT[12]	INIT[12]

入力				出力	
I3	I2	I1	I0	O	LO
1	1	0	1	INIT[13]	INIT[13]
1	1	1	0	INIT[14]	INIT[14]
1	1	1	1	INIT[15]	INIT[15]
INIT = INIT 属性で指定された 16 進数値を 2 進数で表した値					

## デザインの入力方法

このエレメントは、回路図で使用できます。

## 使用可能な属性

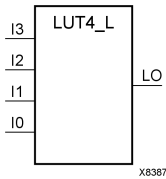
属性	データ型	値	デフォルト	説明
INIT	16 進数	16 ビット値	すべてゼロ	ルックアップ テーブルの論理値を指定します。

## 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## LUT4\_L

### プリミティブ：4-Bit Look-Up Table with Local Output



### 概要

このデザイン エLEMENT は、4 ビットのルックアップ テーブル (LUT) で、同じ CLB スライス内にある別の出力および高速バッファへの接続に使用するローカル出力 (LO) があります。このELEMENTはバッファまたはインバーターの機能を果たします。

LUT のファンクションを設定するため、INIT 属性を使用して、各入力値に対する出力値を 16 進数で指定する必要があります。

FPGA LUT プリミティブでは、INIT パラメーターで論理値が設定されます。デフォルトは 0 で、入力値にかかわらず出力を 0 に駆動します (グラウンドとして機能)。ただし多くの場合、LUT プリミティブのロジック ファンクションを指定するため、INIT 値を設定する必要があります。LUT の値を指定する方法には、次の 2 つがあります。

**論理表を使用する方法：**LUT の INIT 値を決定する一般的な方法。バイナリの論理表にすべての入力をリストして出力のロジック値を指定し、これらの出力値から、初期値を作成します。

**論理式を使用する方法：**リストされた論理表の値に対応する LUT の各入力にパラメーターを定義し、パラメーターを基にロジックの論理式を生成します。概念を理解してしまえばこの方法の方が簡単で、前出の方法のようにパラメータの指定にコードを使用する必要がありません。

### 論理表

入力				出力
I3	I2	I1	I0	LO
0	0	0	0	INIT[0]
0	0	0	1	INIT[1]
0	0	1	0	INIT[2]
0	0	1	1	INIT[3]
0	1	0	0	INIT[4]
0	1	0	1	INIT[5]
0	1	1	0	INIT[6]
0	1	1	1	INIT[7]
1	0	0	0	INIT[8]
1	0	0	1	INIT[9]
1	0	1	0	INIT[10]
1	0	1	1	INIT[11]
1	1	0	0	INIT[12]

入力				出力
I3	I2	I1	I0	LO
1	1	0	1	INIT[13]
1	1	1	0	INIT[14]
1	1	1	1	INIT[15]
INIT = INIT 属性で指定された 16 進数値を 2 進数で表した値				

## デザインの入力方法

このエレメントは、回路図で使用できます。

## 使用可能な属性

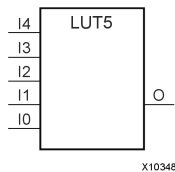
属性	データ型	値	デフォルト	説明
INIT	16 進数	16 ビット値	すべてゼロ	ルックアップ テーブルの論理値を指定します。

## 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## LUT5

### プリミティブ：5-Input Lookup Table with General Output



### 概要

このデザイン エLEMENTは、入力 5 個、出力 1 個のルックアップ テーブル (LUT) で、非同期 32 ビット ROM (5 ビットのアドレス指定) として動作するか、5 入力のロジック ファンクションをインプリメントできます。LUT は基本的なロジック 構築ブロックで、デザインに含まれる多くのロジック ファンクションのインプリメントに使用されます。LUT5 が 1 つの場合はスライス内の LUT6 に、2 つの場合は多少の制限はありますが 1 つの LUT6 にパックできます。LUT5、LUT5\_L、および LUT5\_D の機能は同じですが、LUT5\_L および LUT5\_D では、LUT5 の出力信号を内部スライスに接続したり、LO 出力を使用して CLB に接続できます。LUT5\_L では LUT5 からの接続が 1 つのスライスまたは CLB 内に制限されるのに対し、LUT5\_D では LUT5 の出力を内部スライス/CLB ロジックおよび外部ロジックの両方に接続できます。LUT5 では出力の接続は特定されないため、内部スライスまたは CLB 信号の接続を暗示的に指定する必要がある場合以外は、常に使用する必要があります。

LUT のロジック ファンクションを指定するため、INIT 属性に 32 ビットの 16 進数を設定する必要があります。入力が適用されたときに出力される値を、その入力に対応する INIT ビットに設定します。たとえば Verilog で INIT 値を 32'h80000000 (VHDL では X"80000000") に設定すると、入力すべてが 1 の場合以外は出力は 0 になります (5 入力の AND ゲート)。また、Verilog で INIT 値を 32'hffffff (VHDL では X"FFFFFFFE") に設定すると、入力がすべてゼロの場合以外は出力は 1 になります (5 入力 OR ゲート)。

FPGA LUT プリミティブでは、INIT パラメーターで論理値が設定されます。デフォルトは 0 で、入力値にかかわらず出力を 0 に駆動します (グラウンドとして機能)。ただし多くの場合、LUT プリミティブのロジック ファンクションを指定するため、INIT 値を設定する必要があります。LUT の値を指定する方法には、次の 2 つがあります。

**論理表を使用する方法：**LUT の INIT 値を決定する一般的な方法。バイナリの論理表にすべての入力をリストして出力のロジック値を指定し、これらの出力値から、初期値を作成します。

**論理式を使用する方法：**リストされた論理表の値に対応する LUT の各入力にパラメーターを定義し、パラメーターを基にロジックの論理式を生成します。概念を理解してしまえばこの方法の方が簡単ですが、コードで最初に適切なパラメーターを指定する必要があります。

### 論理表

入力					出力
I4	I3	I2	I1	I0	LO
0	0	0	0	0	INIT[0]
0	0	0	0	1	INIT[1]
0	0	0	1	0	INIT[2]
0	0	0	1	1	INIT[3]
0	0	1	0	0	INIT[4]
0	0	1	0	1	INIT[5]

入力					出力
I4	I3	I2	I1	I0	LO
0	0	1	1	0	INIT[6]
0	0	1	1	1	INIT[7]
0	1	0	0	0	INIT[8]
0	1	0	0	1	INIT[9]
0	1	0	1	0	INIT[10]
0	1	0	1	1	INIT[11]
0	1	1	0	0	INIT[12]
0	1	1	0	1	INIT[13]
0	1	1	1	0	INIT[14]
0	1	1	1	1	INIT[15]
1	0	0	0	0	INIT[16]
1	0	0	0	1	INIT[17]
1	0	0	1	0	INIT[18]
1	0	0	1	1	INIT[19]
1	0	1	0	0	INIT[20]
1	0	1	0	1	INIT[21]
1	0	1	1	0	INIT[22]
1	0	1	1	1	INIT[23]
1	1	0	0	0	INIT[24]
1	1	0	0	1	INIT[25]
1	1	0	1	0	INIT[26]
1	1	0	1	1	INIT[27]
1	1	1	0	0	INIT[28]
1	1	1	0	1	INIT[29]
1	1	1	1	0	INIT[30]
1	1	1	1	1	INIT[31]

INIT = INIT 属性で指定された 16 進数値を 2 進数で表した値

## ポートの説明

ポート名	方向	幅	機能
O	出力	1	5 入力 LUT 出力
I0、I1、I2、I3、I4	入力	1	LUT 入力

## デザインの入力方法

このエレメントは、回路図で使用できます。

## 使用可能な属性

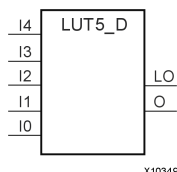
属性	データ型	値	デフォルト	説明
INIT	16 進数	32 ビット値	すべてゼロ	ルックアップ テーブルの論理値を指定します。

## 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## LUT5\_D

### プリミティブ : 5-Input Lookup Table with General and Local Outputs



### 概要

このデザイン エLEMENTは、入力 5 個、出力 1 個のルックアップ テーブル (LUT) で、非同期 32 ビット ROM (5 ビットのアドレス指定) として動作するか、5 入力のロジック ファンクションをインプリメントできます。LUT は基本的なロジック構築ブロックで、デザインに含まれる多くのロジック ファンクションのインプリメントに使用されます。LUT5 が 1 つの場合はスライス内の LUT6 に、2 つの場合は多少の制限はありますが 1 つの LUT6 にバックできます。LUT5、LUT5\_L、および LUT5\_D の機能は同じですが、LUT5\_L および LUT5\_D では、LUT5 の出力信号を内部スライスに接続したり、LO 出力を使用して CLB に接続できます。LUT5\_L では LUT5 からの接続が 1 つのスライスまたは CLB 内に制限されるのに対し、LUT5\_D では LUT5 の出力を内部スライス/CLB ロジックおよび外部ロジックの両方に接続できます。LUT5 では出力の接続は特定されないため、内部スライスまたは CLB 信号の接続を暗示的に指定する必要がある場合以外は、常に使用する必要があります。

LUT のロジック ファンクションを指定するため、INIT 属性に 32 ビットの 16 進数を設定する必要があります。入力が適用されたときに出力される値を、その入力に対応する INIT ビットに設定します。たとえば Verilog で INIT 値を 32'h80000000 (VHDL では X"80000000") に設定すると、入力すべてが 1 の場合以外は出力は 0 になります (5 入力の AND ゲート)。また、Verilog で INIT 値を 32'hffffff (VHDL では X"FFFFFFFE") に設定すると、入力がすべてゼロの場合以外は出力は 1 になります (5 入力 OR ゲート)。

FPGA LUT プリミティブでは、INIT パラメーターで論理値が設定されます。デフォルトは 0 で、入力値にかかわらず出力を 0 に駆動します (グラウンドとして機能)。ただし多くの場合、LUT プリミティブのロジック ファンクションを指定するため、INIT 値を設定する必要があります。LUT の値を指定する方法には、次の 2 つがあります。

**論理表を使用する方法 :** LUT の INIT 値を決定する一般的な方法。バイナリの論理表にすべての入力をリストして出力のロジック値を指定し、これらの出力値から、初期値を作成します。

**論理式を使用する方法 :** リストされた論理表の値に対応する LUT の各入力にパラメーターを定義し、パラメーターを基にロジックの論理式を生成します。概念を理解してしまえばこの方法の方が簡単ですが、コードで最初に適切なパラメーターを指定する必要があります。

### 論理表

入力					出力	
I4	I3	I2	I1	I0	O	LO
0	0	0	0	0	INIT[0]	INIT[0]
0	0	0	0	1	INIT[1]	INIT[1]
0	0	0	1	0	INIT[2]	INIT[2]
0	0	0	1	1	INIT[3]	INIT[3]
0	0	1	0	0	INIT[4]	INIT[4]
0	0	1	0	1	INIT[5]	INIT[5]



入力					出力	
I4	I3	I2	I1	I0	O	LO
0	0	1	1	0	INIT[6]	INIT[6]
0	0	1	1	1	INIT[7]	INIT[7]
0	1	0	0	0	INIT[8]	INIT[8]
0	1	0	0	1	INIT[9]	INIT[9]
0	1	0	1	0	INIT[10]	INIT[10]
0	1	0	1	1	INIT[11]	INIT[11]
0	1	1	0	0	INIT[12]	INIT[12]
0	1	1	0	1	INIT[13]	INIT[13]
0	1	1	1	0	INIT[14]	INIT[14]
0	1	1	1	1	INIT[15]	INIT[15]
1	0	0	0	0	INIT[16]	INIT[16]
1	0	0	0	1	INIT[17]	INIT[17]
1	0	0	1	0	INIT[18]	INIT[18]
1	0	0	1	1	INIT[19]	INIT[19]
1	0	1	0	0	INIT[20]	INIT[20]
1	0	1	0	1	INIT[21]	INIT[21]
1	0	1	1	0	INIT[22]	INIT[22]
1	0	1	1	1	INIT[23]	INIT[23]
1	1	0	0	0	INIT[24]	INIT[24]
1	1	0	0	1	INIT[25]	INIT[25]
1	1	0	1	0	INIT[26]	INIT[26]
1	1	0	1	1	INIT[27]	INIT[27]
1	1	1	0	0	INIT[28]	INIT[28]
1	1	1	0	1	INIT[29]	INIT[29]
1	1	1	1	0	INIT[30]	INIT[30]
1	1	1	1	1	INIT[31]	INIT[31]

INIT = INIT 属性で指定された 16 進数値を 2 進数で表した値

## ポートの説明

ポート名	方向	幅	機能
O	出力	1	5 入力 LUT 出力
LO	出力	1	内部 CLB 接続用の 5 入力 LUT 出力
I0、I1、I2、I3、I4	入力	1	LUT 入力

## デザインの入力方法

このELEMENTは、回路図で使用できます。

### 使用可能な属性

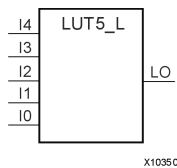
属性	データ型	値	デフォルト	説明
INIT	16 進数	32 ビット値	すべてゼロ	ルックアップ テーブルの論理値を指定します。

### 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## LUT5\_L

### プリミティブ：5-Input Lookup Table with Local Output



### 概要

このデザイン エLEMENTは、入力 5 個、出力 1 個のルックアップ テーブル (LUT) で、非同期 32 ビット ROM (5 ビットのアドレス指定) として動作するか、5 入力のロジック ファンクションをインプリメントできます。LUT は基本的なロジック構築ブロックで、デザインに含まれる多くのロジック ファンクションのインプリメントに使用されます。LUT5 が 1 つの場合はスライス内の LUT6 に、2 つの場合は多少の制限はありますが 1 つの LUT6 にパックできます。LUT5、LUT5\_L、および LUT5\_D の機能は同じですが、LUT5\_L および LUT5\_D では、LUT5 の出力信号を内部スライスに接続したり、LO 出力を使用して CLB に接続できます。LUT5\_L では LUT5 からの接続が 1 つのスライスまたは CLB 内に制限されるのに対し、LUT5\_D では LUT5 の出力を内部スライス/CLB ロジックおよび外部ロジックの両方に接続できます。LUT5 では出力の接続は特定されないため、内部スライスまたは CLB 信号の接続を暗示的に指定する必要がある場合以外は、常に使用する必要があります。

LUT のロジック ファンクションを指定するため、INIT 属性に 32 ビットの 16 進数を設定する必要があります。入力が適用されたときに出力される値を、その入力に対応する INIT ビットに設定します。たとえば Verilog で INIT 値を 32'h80000000 (VHDL では X"80000000") に設定すると、入力すべてが 1 の場合以外は出力は 0 になります (5 入力の AND ゲート)。また、Verilog で INIT 値を 32'hffffff (VHDL では X"FFFFFFFE") に設定すると、入力がすべてゼロの場合以外は出力は 1 になります (5 入力 OR ゲート)。

FPGA LUT プリミティブでは、INIT パラメーターで論理値が設定されます。デフォルトは 0 で、入力値にかかわらず出力を 0 に駆動します (グラウンドとして機能)。ただし多くの場合、LUT プリミティブのロジック ファンクションを指定するため、INIT 値を設定する必要があります。LUT の値を指定する方法には、次の 2 つがあります。

**論理表を使用する方法：**LUT の INIT 値を決定する一般的な方法。バイナリの真理値表にすべての入力をリストして出力のロジック値を指定し、これらの出力値から、初期値を作成します。

**論理式を使用する方法：**リストされた論理表の値に対応する LUT の各入力にパラメーターを定義し、パラメーターを基にロジックの論理式を生成します。概念を理解してしまえばこの方法の方が簡単ですが、コードで最初に適切なパラメーターを指定する必要があります。

### 論理表

入力					出力
I4	I3	I2	I1	I0	LO
0	0	0	0	0	INIT[0]
0	0	0	0	1	INIT[1]
0	0	0	1	0	INIT[2]
0	0	0	1	1	INIT[3]
0	0	1	0	0	INIT[4]
0	0	1	0	1	INIT[5]

入力					出力
I4	I3	I2	I1	I0	LO
0	0	1	1	0	INIT[6]
0	0	1	1	1	INIT[7]
0	1	0	0	0	INIT[8]
0	1	0	0	1	INIT[9]
0	1	0	1	0	INIT[10]
0	1	0	1	1	INIT[11]
0	1	1	0	0	INIT[12]
0	1	1	0	1	INIT[13]
0	1	1	1	0	INIT[14]
0	1	1	1	1	INIT[15]
1	0	0	0	0	INIT[16]
1	0	0	0	1	INIT[17]
1	0	0	1	0	INIT[18]
1	0	0	1	1	INIT[19]
1	0	1	0	0	INIT[20]
1	0	1	0	1	INIT[21]
1	0	1	1	0	INIT[22]
1	0	1	1	1	INIT[23]
1	1	0	0	0	INIT[24]
1	1	0	0	1	INIT[25]
1	1	0	1	0	INIT[26]
1	1	0	1	1	INIT[27]
1	1	1	0	0	INIT[28]
1	1	1	0	1	INIT[29]
1	1	1	1	0	INIT[30]
1	1	1	1	1	INIT[31]

INIT = INIT 属性で指定された 16 進数値を 2 進数で表した値

## ポートの説明

ポート名	方向	幅	機能
L0	出力	1	内部 CLB 接続用の 6/5 入力 LUT 出力
I0、I1、I2、I3、I4	入力	1	LUT 入力

## デザインの入力方法

このエレメントは、回路図で使用できます。

## 使用可能な属性

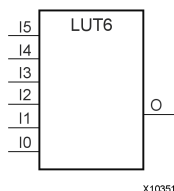
属性	データ型	値	デフォルト	説明
INIT	16 進数	32 ビット値	すべてゼロ	ルックアップ テーブルの論理値を指定します。

## 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## LUT6

### プリミティブ：6-Input Lookup Table with General Output



### 概要

このデザイン エレメントは、入力 6 個、出力 1 個のルックアップ テーブル (LUT) で、非同期 64 ビット ROM (6 ビットのアドレス指定) として動作するか、6 入力のロジック ファンクションをインプリメントできます。LUT は基本的なロジック構築ブロックで、デザインに含まれる多くのロジック ファンクションのインプリメントに使用されます。LUT6 は、4 個のルックアップ テーブル (LUT) のいずれかにマップされます。LUT6、LUT6\_L、および LUT6\_D の機能は同じですが、LUT6\_L および LUT6\_D では、LUT6 の出力信号を内部スライスに接続したり、LO 出力を使用して CLB に接続できます。LUT6\_L では LUT6 からの接続が 1 つのスライスまたは CLB 内に制限されるのに対し、LUT6\_D では LUT6 の出力を内部スライス/CLB ロジックおよび外部ロジックの両方に接続できます。LUT6 では出力の接続は特定されないのので、内部スライスまたは CLB 信号の接続を暗示的に指定する必要がある場合以外は、常に使用する必要があります。

LUT のロジック ファンクションを指定するため、INIT 属性に 64 ビットの 16 進数値を設定する必要があります。入力 が適用されたときに出力される値を、その入力に対応する INIT ビットに設定します。たとえば Verilog で INIT 値を 64'h8000000000000000 (VHDL では X"8000000000000000") に設定すると、入力すべてが 1 の場合以外は出力は 0 になります (6 入力の AND ゲート)。また、Verilog で INIT 値を 64'hffffffff (VHDL では X"FFFFFFFFFFFFFFFF") に設定すると、入力すべてがゼロの場合以外は出力は 1 になります (6 入力 OR ゲート)。

FPGA LUT プリミティブでは、INIT パラメーターで論理値が設定されます。デフォルトは 0 で、入力値にかかわらず出力を 0 に駆動します (グラウンドとして機能)。ただし多くの場合、LUT プリミティブのロジック ファンクションを指定するため、INIT 値を設定する必要があります。LUT の値を指定する方法には、次の 2 つがあります。

**論理表を使用する方法：**LUT の INIT 値を決定する一般的な方法。バイナリの論理表にすべての入力をリストして出力のロジック値を指定し、これらの出力値から、初期値を作成します。

**論理式を使用する方法：**リストされた論理表の値に対応する LUT の各入力にパラメーターを定義し、パラメーターを基にロジックの論理式を生成します。概念を理解してしまえばこの方法の方が簡単ですが、コードで最初に適切なパラメーターを指定する必要があります。

### 論理表

入力						出力
I5	I4	I3	I2	I1	I0	O
0	0	0	0	0	0	INIT[0]
0	0	0	0	0	1	INIT[1]
0	0	0	0	1	0	INIT[2]
0	0	0	0	1	1	INIT[3]
0	0	0	1	0	0	INIT[4]
0	0	0	1	0	1	INIT[5]
0	0	0	1	1	0	INIT[6]

入力						出力
I5	I4	I3	I2	I1	I0	O
0	0	0	1	1	1	INIT[7]
0	0	1	0	0	0	INIT[8]
0	0	1	0	0	1	INIT[9]
0	0	1	0	1	0	INIT[10]
0	0	1	0	1	1	INIT[11]
0	0	1	1	0	0	INIT[12]
0	0	1	1	0	1	INIT[13]
0	0	1	1	1	0	INIT[14]
0	0	1	1	1	1	INIT[15]
0	1	0	0	0	0	INIT[16]
0	1	0	0	0	1	INIT[17]
0	1	0	0	1	0	INIT[18]
0	1	0	0	1	1	INIT[19]
0	1	0	1	0	0	INIT[20]
0	1	0	1	0	1	INIT[21]
0	1	0	1	1	0	INIT[22]
0	1	0	1	1	1	INIT[23]
0	1	1	0	0	0	INIT[24]
0	1	1	0	0	1	INIT[25]
0	1	1	0	1	0	INIT[26]
0	1	1	0	1	1	INIT[27]
0	1	1	1	0	0	INIT[28]
0	1	1	1	0	1	INIT[29]
0	1	1	1	1	0	INIT[30]
0	1	1	1	1	1	INIT[31]
1	0	0	0	0	0	INIT[32]
1	0	0	0	0	1	INIT[33]
1	0	0	0	1	0	INIT[34]
1	0	0	0	1	1	INIT[35]
1	0	0	1	0	0	INIT[36]
1	0	0	1	0	1	INIT[37]
1	0	0	1	1	0	INIT[38]
1	0	0	1	1	1	INIT[39]
1	0	1	0	0	0	INIT[40]
1	0	1	0	0	1	INIT[41]

入力						出力
I5	I4	I3	I2	I1	I0	O
1	0	1	0	1	0	INIT[42]
1	0	1	0	1	1	INIT[43]
1	0	1	1	0	0	INIT[44]
1	0	1	1	0	1	INIT[45]
1	0	1	1	1	0	INIT[46]
1	0	1	1	1	1	INIT[47]
1	1	0	0	0	0	INIT[48]
1	1	0	0	0	1	INIT[49]
1	1	0	0	1	0	INIT[50]
1	1	0	0	1	1	INIT[51]
1	1	0	1	0	0	INIT[52]
1	1	0	1	0	1	INIT[53]
1	1	0	1	1	0	INIT[54]
1	1	0	1	1	1	INIT[55]
1	1	1	0	0	0	INIT[56]
1	1	1	0	0	1	INIT[57]
1	1	1	0	1	0	INIT[58]
1	1	1	0	1	1	INIT[59]
1	1	1	1	0	0	INIT[60]
1	1	1	1	0	1	INIT[61]
1	1	1	1	1	0	INIT[62]
1	1	1	1	1	1	INIT[63]
INIT = INIT 属性で指定された 16 進数値を 2 進数で表した値						

## ポートの説明

ポート名	方向	幅	機能
O	出力	1	6/5 LUT 出力
I0、I1、I2、I3、I4、I5	入力	1	LUT 入力

## デザインの入力方法

このエレメントは、回路図で使用できます。

## 使用可能な属性

属性	データ型	値	デフォルト	説明
INIT	16 進数	64 ビット値	すべてゼロ	ルックアップ テーブルの論理値を指定します。

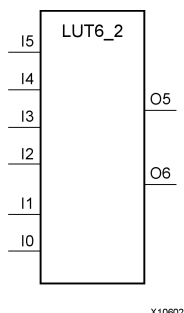


## 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## LUT6\_2

プリミティブ：Six-input, 2-output, Look-Up Table



### 概要

このデザイン エLEMENTは、入力 6 個、出力 2 個のルックアップ テーブル (LUT) で、非同期 32 ビット デュアル ROM (5 ビットのアドレス指定) として動作するか、入力を共有する 5 入力のロジック ファンクション 2 つ、または入力とロジック値を共有する 6 入力および 5 入力のロジック ファンクションをインプリメントできます。LUT は基本的なロジック構築ブロックで、デザインに含まれる多くのロジック ファンクションのインプリメントに使用されます。LUT6\_2 は、スライスに含まれる 4 個のルックアップ テーブル (LUT) のいずれかにマップされます。

LUT のロジック ファンクションを指定するため、INIT 属性に 64 ビットの 16 進数を設定する必要があります。入力が適用されたときに出力される値を、その入力に対応する INIT ビットに設定します。たとえば、Verilog で INIT 値を `64'hXXXXXXXXXXXXFE` (VHDL では `X"FFFFFFFFFFFFFFFE"`) に設定すると、入力がすべてゼロの場合以外は O6 出力は 1 になり、I[4:0] がすべてゼロの場合以外は O5 出力は 1 になります (5 または 6 入力の OR ゲート)。INIT 値の下位半分 (ビット 31:0) は O5 出力のロジック ファンクションに適用されます。

FPGA LUT プリミティブでは、INIT パラメーターで論理値が設定されます。デフォルトは 0 で、入力値にかかわらず出力を 0 に駆動します (グランドとして機能)。ただし多くの場合、LUT プリミティブのロジック ファンクションを指定するため、INIT 値を設定する必要があります。LUT の値を指定する方法には、次の 2 つがあります。

**論理表を使用する方法：** LUT の INIT 値を決定する一般的な方法。バイナリの論理表にすべての入力をリストして出力のロジック値を指定し、これらの出力値から、初期値を作成します。

**論理式を使用する方法：** リストされた論理表の値に対応する LUT の各入力にパラメーターを定義し、パラメーターを基にロジックの論理式を生成します。概念を理解してしまえばこの方法の方が簡単ですが、コードで最初に適切なパラメーターを指定する必要があります。

### 論理表

入力						出力	
I5	I4	I3	I2	I1	I0	O5	O6
0	0	0	0	0	0	INIT[0]	INIT[0]
0	0	0	0	0	1	INIT[1]	INIT[1]
0	0	0	0	1	0	INIT[2]	INIT[2]
0	0	0	0	1	1	INIT[3]	INIT[3]
0	0	0	1	0	0	INIT[4]	INIT[4]
0	0	0	1	0	1	INIT[5]	INIT[5]
0	0	0	1	1	0	INIT[6]	INIT[6]

入力						出力	
0	0	0	1	1	1	INIT[7]	INIT[7]
0	0	1	0	0	0	INIT[8]	INIT[8]
0	0	1	0	0	1	INIT[9]	INIT[9]
0	0	1	0	1	0	INIT[10]	INIT[10]
0	0	1	0	1	1	INIT[11]	INIT[11]
0	0	1	1	0	0	INIT[12]	INIT[12]
0	0	1	1	0	1	INIT[13]	INIT[13]
0	0	1	1	1	0	INIT[14]	INIT[14]
0	0	1	1	1	1	INIT[15]	INIT[15]
0	1	0	0	0	0	INIT[16]	INIT[16]
0	1	0	0	0	1	INIT[17]	INIT[17]
0	1	0	0	1	0	INIT[18]	INIT[18]
0	1	0	0	1	1	INIT[19]	INIT[19]
0	1	0	1	0	0	INIT[20]	INIT[20]
0	1	0	1	0	1	INIT[21]	INIT[21]
0	1	0	1	1	0	INIT[22]	INIT[22]
0	1	0	1	1	1	INIT[23]	INIT[23]
0	1	1	0	0	0	INIT[24]	INIT[24]
0	1	1	0	0	1	INIT[25]	INIT[25]
0	1	1	0	1	0	INIT[26]	INIT[26]
0	1	1	0	1	1	INIT[27]	INIT[27]
0	1	1	1	0	0	INIT[28]	INIT[28]
0	1	1	1	0	1	INIT[29]	INIT[29]
0	1	1	1	1	0	INIT[30]	INIT[30]
0	1	1	1	1	1	INIT[31]	INIT[31]
1	0	0	0	0	0	INIT[0]	INIT[32]
1	0	0	0	0	1	INIT[1]	INIT[33]
1	0	0	0	1	0	INIT[2]	INIT[34]
1	0	0	0	1	1	INIT[3]	INIT[35]
1	0	0	1	0	0	INIT[4]	INIT[36]
1	0	0	1	0	1	INIT[5]	INIT[37]
1	0	0	1	1	0	INIT[6]	INIT[38]
1	0	0	1	1	1	INIT[7]	INIT[39]
1	0	1	0	0	0	INIT[8]	INIT[40]
1	0	1	0	0	1	INIT[9]	INIT[41]
1	0	1	0	1	0	INIT[10]	INIT[42]

入力						出力	
1	0	1	0	1	1	INIT[11]	INIT[43]
1	0	1	1	0	0	INIT[12]	INIT[44]
1	0	1	1	0	1	INIT[13]	INIT[45]
1	0	1	1	1	0	INIT[14]	INIT[46]
1	0	1	1	1	1	INIT[15]	INIT[47]
1	1	0	0	0	0	INIT[16]	INIT[48]
1	1	0	0	0	1	INIT[17]	INIT[49]
1	1	0	0	1	0	INIT[18]	INIT[50]
1	1	0	0	1	1	INIT[19]	INIT[51]
1	1	0	1	0	0	INIT[20]	INIT[52]
1	1	0	1	0	1	INIT[21]	INIT[53]
1	1	0	1	1	0	INIT[22]	INIT[54]
1	1	0	1	1	1	INIT[23]	INIT[55]
1	1	1	0	0	0	INIT[24]	INIT[56]
1	1	1	0	0	1	INIT[25]	INIT[57]
1	1	1	0	1	0	INIT[26]	INIT[58]
1	1	1	0	1	1	INIT[27]	INIT[59]
1	1	1	1	0	0	INIT[28]	INIT[60]
1	1	1	1	0	1	INIT[29]	INIT[61]
1	1	1	1	1	0	INIT[30]	INIT[62]
1	1	1	1	1	1	INIT[31]	INIT[63]

INIT = INIT 属性で指定された 16 進数値を 2 進数で表した値

## ポートの説明

ポート名	方向	幅	機能
O6	出力	1	6/5 LUT 出力
O5	出力	1	5 入力 LUT 出力
I0、I1、I2、I3、I4、I5	入力	1	LUT 入力

## デザインの入力方法

このエレメントは、回路図で使用できます。

## 使用可能な属性

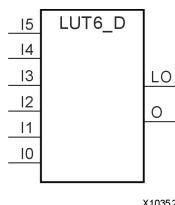
属性	データ型	値	デフォルト	説明
INIT	16 進数	64 ビット値	すべてゼロ	LUT5/6 の出力ファンクションを指定します。

## 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## LUT6\_D

### プリミティブ：6-Input Lookup Table with General and Local Outputs



### 概要

このデザイン エLEMENTは、入力 6 個、出力 1 個のルックアップ テーブル (LUT) で、非同期 64 ビット ROM (6 ビットのアドレス指定) として動作するか、6 入力のロジック ファンクションをインプリメントできます。LUT は基本的なロジック構築ブロックで、デザインに含まれる多くのロジック ファンクションのインプリメントに使用されます。LUT6 は、4 個のルックアップ テーブル (LUT) のいずれかにマップされます。LUT6、LUT6\_L、および LUT6\_D の機能は同じですが、LUT6\_L および LUT6\_D では、LUT6 の出力信号を内部スライスに接続したり、LO 出力を使用して CLB に接続できます。LUT6\_L では LUT6 からの接続が 1 つのスライスまたは CLB 内に制限されるのに対し、LUT6\_D では LUT6 の出力を内部スライス/CLB ロジックおよび外部ロジックの両方に接続できます。LUT6 では出力の接続は特定されないのので、内部スライスまたは CLB 信号の接続を暗示的に指定する必要がある場合以外は、常に使用する必要があります。

LUT のロジック ファンクションを指定するため、INIT 属性に 64 ビットの 16 進数値を設定する必要があります。入力 が適用されたときに出力される値を、その入力に対応する INIT ビットに設定します。たとえば Verilog で INIT 値を 64'h8000000000000000 (VHDL では X"8000000000000000") に設定すると、入力すべてが 1 の場合以外は出力は 0 になります (6 入力の AND ゲート)。また、Verilog で INIT 値を 64'hffffffff (VHDL では X"FFFFFFFFFFFFFFFF") に設定すると、入力 がすべてゼロの場合以外は出力は 1 になります (6 入力 OR ゲート)。

FPGA LUT プリミティブでは、INIT パラメーターで論理値が設定されます。デフォルトは 0 で、入力値にかかわらず出力を 0 に駆動します (グラウンドとして機能)。ただし多くの場合、LUT プリミティブのロジック ファンクションを指定するため、INIT 値を設定する必要があります。LUT の値を指定する方法には、次の 2 つがあります。

**論理表を使用する方法：**LUT の INIT 値を決定する一般的な方法。バイナリの論理表にすべての入力をリストして出力のロジック値を指定し、これらの出力値から、初期値を作成します。

**論理式を使用する方法：**リストされた論理表の値に対応する LUT の各入力にパラメーターを定義し、パラメーターを基にロジックの論理式を生成します。概念を理解してしまえばこの方法の方が簡単で、前出の方法のようにパラメータの指定にコードを使用する必要がありません。

### 論理表

入力						出力	
I5	I4	I3	I2	I1	I0	O	LO
0	0	0	0	0	0	INIT[0]	INIT[0]
0	0	0	0	0	1	INIT[1]	INIT[1]
0	0	0	0	1	0	INIT[2]	INIT[2]
0	0	0	0	1	1	INIT[3]	INIT[3]
0	0	0	1	0	0	INIT[4]	INIT[4]
0	0	0	1	0	1	INIT[5]	INIT[5]
0	0	0	1	1	0	INIT[6]	INIT[6]

入力						出力	
I5	I4	I3	I2	I1	I0	O	LO
0	0	0	1	1	1	INIT[7]	INIT[7]
0	0	1	0	0	0	INIT[8]	INIT[8]
0	0	1	0	0	1	INIT[9]	INIT[9]
0	0	1	0	1	0	INIT[10]	INIT[10]
0	0	1	0	1	1	INIT[11]	INIT[11]
0	0	1	1	0	0	INIT[12]	INIT[12]
0	0	1	1	0	1	INIT[13]	INIT[13]
0	0	1	1	1	0	INIT[14]	INIT[14]
0	0	1	1	1	1	INIT[15]	INIT[15]
0	1	0	0	0	0	INIT[16]	INIT[16]
0	1	0	0	0	1	INIT[17]	INIT[17]
0	1	0	0	1	0	INIT[18]	INIT[18]
0	1	0	0	1	1	INIT[19]	INIT[19]
0	1	0	1	0	0	INIT[20]	INIT[20]
0	1	0	1	0	1	INIT[21]	INIT[21]
0	1	0	1	1	0	INIT[22]	INIT[22]
0	1	0	1	1	1	INIT[23]	INIT[23]
0	1	1	0	0	0	INIT[24]	INIT[24]
0	1	1	0	0	1	INIT[25]	INIT[25]
0	1	1	0	1	0	INIT[26]	INIT[26]
0	1	1	0	1	1	INIT[27]	INIT[27]
0	1	1	1	0	0	INIT[28]	INIT[28]
0	1	1	1	0	1	INIT[29]	INIT[29]
0	1	1	1	1	0	INIT[30]	INIT[30]
0	1	1	1	1	1	INIT[31]	INIT[31]
1	0	0	0	0	0	INIT[32]	INIT[32]
1	0	0	0	0	1	INIT[33]	INIT[33]
1	0	0	0	1	0	INIT[34]	INIT[34]
1	0	0	0	1	1	INIT[35]	INIT[35]
1	0	0	1	0	0	INIT[36]	INIT[36]
1	0	0	1	0	1	INIT[37]	INIT[37]
1	0	0	1	1	0	INIT[38]	INIT[38]
1	0	0	1	1	1	INIT[39]	INIT[39]
1	0	1	0	0	0	INIT[40]	INIT[40]
1	0	1	0	0	1	INIT[41]	INIT[41]

入力						出力	
I5	I4	I3	I2	I1	I0	O	LO
1	0	1	0	1	0	INIT[42]	INIT[42]
1	0	1	0	1	1	INIT[43]	INIT[43]
1	0	1	1	0	0	INIT[44]	INIT[44]
1	0	1	1	0	1	INIT[45]	INIT[45]
1	0	1	1	1	0	INIT[46]	INIT[46]
1	0	1	1	1	1	INIT[47]	INIT[47]
1	1	0	0	0	0	INIT[48]	INIT[48]
1	1	0	0	0	1	INIT[49]	INIT[49]
1	1	0	0	1	0	INIT[50]	INIT[50]
1	1	0	0	1	1	INIT[51]	INIT[51]
1	1	0	1	0	0	INIT[52]	INIT[52]
1	1	0	1	0	1	INIT[53]	INIT[53]
1	1	0	1	1	0	INIT[54]	INIT[54]
1	1	0	1	1	1	INIT[55]	INIT[55]
1	1	1	0	0	0	INIT[56]	INIT[56]
1	1	1	0	0	1	INIT[57]	INIT[57]
1	1	1	0	1	0	INIT[58]	INIT[58]
1	1	1	0	1	1	INIT[59]	INIT[59]
1	1	1	1	0	0	INIT[60]	INIT[60]
1	1	1	1	0	1	INIT[61]	INIT[61]
1	1	1	1	1	0	INIT[62]	INIT[62]
1	1	1	1	1	1	INIT[63]	INIT[63]
INIT = INIT 属性で指定された 16 進数値を 2 進数で表した値							

## ポートの説明

ポート名	方向	幅	機能
O6	出力	1	6/5 LUT 出力
O5	出力	1	5 入力 LUT 出力
I0、I1、I2、I3、I4、I5	入力	1	LUT 入力

## デザインの入力方法

このエレメントは、回路図で使用できます。



## 使用可能な属性

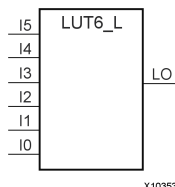
属性	データ型	値	デフォルト	説明
INIT	16 進数	64 ビット値	すべてゼロ	ルックアップ テーブルの論理値を指定します。

## 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## LUT6\_L

### プリミティブ : 6-Input Lookup Table with Local Output



### 概要

このデザイン エレメントは、入力 6 個、出力 1 個のルックアップ テーブル (LUT) で、非同期 64 ビット ROM (6 ビットのアドレス指定) として動作するか、6 入力のロジック ファンクションをインプリメントできます。LUT は基本的なロジック構築ブロックで、デザインに含まれる多くのロジック ファンクションのインプリメントに使用されます。LUT6 は、4 個のルックアップ テーブル (LUT) のいずれかにマップされます。LUT6、LUT6\_L、および LUT6\_D の機能は同じですが、LUT6\_L および LUT6\_D では、LUT6 の出力信号を内部スライスに接続したり、LO 出力を使用して CLB に接続できます。LUT6\_L では LUT6 からの接続が 1 つのスライスまたは CLB 内に制限されるのに対し、LUT6\_D では LUT6 の出力を内部スライス/CLB ロジックおよび外部ロジックの両方に接続できます。LUT6 では出力の接続は特定されないのので、内部スライスまたは CLB 信号の接続を暗示的に指定する必要がある場合以外は、常に使用する必要があります。

LUT のロジック ファンクションを指定するため、INIT 属性に 64 ビットの 16 進数値を設定する必要があります。入力 が適用されたときに出力される値を、その入力に対応する INIT ビットに設定します。たとえば Verilog で INIT 値を 64'h8000000000000000 (VHDL では X"8000000000000000") に設定すると、入力すべてが 1 の場合以外は出力は 0 になります (6 入力の AND ゲート)。また、Verilog で INIT 値を 64'hffffffff (VHDL では X"FFFFFFFFFFFFFFFF") に設定すると、入力すべてがゼロの場合以外は出力は 1 になります (6 入力 OR ゲート)。

FPGA LUT プリミティブでは、INIT パラメーターで論理値が設定されます。デフォルトは 0 で、入力値にかかわらず出力を 0 に駆動します (グラウンドとして機能)。ただし多くの場合、LUT プリミティブのロジック ファンクションを指定するため、INIT 値を設定する必要があります。LUT の値を指定する方法には、次の 2 つがあります。

**論理表を使用する方法 :** LUT の INIT 値を決定する一般的な方法。バイナリの真理値表にすべての入力をリストして出力のロジック値を指定し、これらの出力値から、初期値を作成します。

**論理式を使用する方法 :** リストされた論理表の値に対応する LUT の各入力にパラメーターを定義し、パラメーターを基にロジックの論理式を生成します。概念を理解してしまえばこの方法の方が簡単で、前出の方法のようにパラメータの指定にコードを使用する必要がありません。

### 論理表

入力						出力
I5	I4	I3	I2	I1	I0	LO
0	0	0	0	0	0	INIT[0]
0	0	0	0	0	1	INIT[1]
0	0	0	0	1	0	INIT[2]
0	0	0	0	1	1	INIT[3]
0	0	0	1	0	0	INIT[4]
0	0	0	1	0	1	INIT[5]
0	0	0	1	1	0	INIT[6]

入力						出力
I5	I4	I3	I2	I1	I0	LO
0	0	0	1	1	1	INIT[7]
0	0	1	0	0	0	INIT[8]
0	0	1	0	0	1	INIT[9]
0	0	1	0	1	0	INIT[10]
0	0	1	0	1	1	INIT[11]
0	0	1	1	0	0	INIT[12]
0	0	1	1	0	1	INIT[13]
0	0	1	1	1	0	INIT[14]
0	0	1	1	1	1	INIT[15]
0	1	0	0	0	0	INIT[16]
0	1	0	0	0	1	INIT[17]
0	1	0	0	1	0	INIT[18]
0	1	0	0	1	1	INIT[19]
0	1	0	1	0	0	INIT[20]
0	1	0	1	0	1	INIT[21]
0	1	0	1	1	0	INIT[22]
0	1	0	1	1	1	INIT[23]
0	1	1	0	0	0	INIT[24]
0	1	1	0	0	1	INIT[25]
0	1	1	0	1	0	INIT[26]
0	1	1	0	1	1	INIT[27]
0	1	1	1	0	0	INIT[28]
0	1	1	1	0	1	INIT[29]
0	1	1	1	1	0	INIT[30]
0	1	1	1	1	1	INIT[31]
1	0	0	0	0	0	INIT[32]
1	0	0	0	0	1	INIT[33]
1	0	0	0	1	0	INIT[34]
1	0	0	0	1	1	INIT[35]
1	0	0	1	0	0	INIT[36]
1	0	0	1	0	1	INIT[37]
1	0	0	1	1	0	INIT[38]
1	0	0	1	1	1	INIT[39]
1	0	1	0	0	0	INIT[40]
1	0	1	0	0	1	INIT[41]

入力						出力
I5	I4	I3	I2	I1	I0	LO
1	0	1	0	1	0	INIT[42]
1	0	1	0	1	1	INIT[43]
1	0	1	1	0	0	INIT[44]
1	0	1	1	0	1	INIT[45]
1	0	1	1	1	0	INIT[46]
1	0	1	1	1	1	INIT[47]
1	1	0	0	0	0	INIT[48]
1	1	0	0	0	1	INIT[49]
1	1	0	0	1	0	INIT[50]
1	1	0	0	1	1	INIT[51]
1	1	0	1	0	0	INIT[52]
1	1	0	1	0	1	INIT[53]
1	1	0	1	1	0	INIT[54]
1	1	0	1	1	1	INIT[55]
1	1	1	0	0	0	INIT[56]
1	1	1	0	0	1	INIT[57]
1	1	1	0	1	0	INIT[58]
1	1	1	0	1	1	INIT[59]
1	1	1	1	0	0	INIT[60]
1	1	1	1	0	1	INIT[61]
1	1	1	1	1	0	INIT[62]
1	1	1	1	1	1	INIT[63]
INIT = INIT 属性で指定された 16 進数値を 2 進数で表した値						

## ポートの説明

ポート名	方向	幅	機能
LO	出力	1	6/5 入力 LUT 出力または内部 CLB 接続
I0、I1、I2、I3、I4、I5	入力	1	LUT 入力

## デザインの入力方法

このエレメントは、回路図で使用できます。

## 使用可能な属性

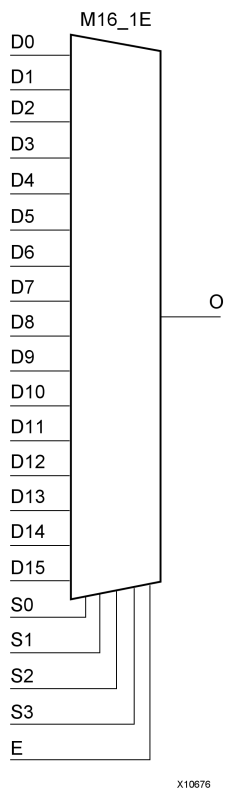
属性	データ型	値	デフォルト	説明
INIT	16 進数	64 ビット値	すべてゼロ	ルックアップ テーブルの論理値を指定します。

## 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## M16\_1E

マクロ：16-to-1 Multiplexer with Enable



## 概要

このデザイン エLEMENTは、イネーブル付き 16:1 マルチプレクサーです。イネーブル入力 (E) が High の場合、セレクト入力 (S3 ～ S0) の値に応じて、16 個の入力 (D15 ～ D0) のうち 1 つのデータビットが選択されます。出力 (O) には、次の論理表に示すように、選択された入力の値が出力されます。E が Low の場合、出力は Low になります。

## 論理表

入力						出力
E	S3	S2	S1	S0	D15:D0	O
0	X	X	X	X	X	0
1	0	0	0	0	D0	D0
1	0	0	0	1	D1	D1
1	0	0	1	0	D2	D2
1	0	0	1	1	D3	D3
.	.	.	.	.	.	.
.	.	.	.	.	.	.
.	.	.	.	.	.	.
1	1	1	0	0	D12	D12
1	1	1	0	1	D13	D13

入力						出力
E	S3	S2	S1	S0	D15:D0	O
1	1	1	1	0	D14	D14
1	1	1	1	1	D15	D15

## デザインの入力方法

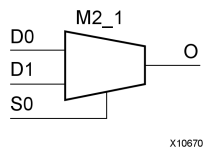
このエレメントは、回路図でのみ使用できます。

## 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## M2\_1

### マクロ：2-to-1 Multiplexer



### 概要

このデザイン エレメントは、セレクト入力 (S0) の値に応じて、2 つの入力 (D1 または D0) のうち 1 つのデータビットを選択します。出力 (O) には、選択された入力の値が出力されます。S0 が Low の場合は D0 が選択され、High の場合は D1 が選択されます。

### 論理表

入力			出力
S0	D1	D0	O
1	D1	X	D1
0	X	D0	D0

### デザインの入力方法

このエレメントは、回路図でのみ使用できます。

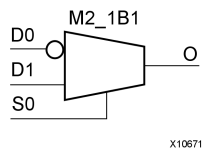
### 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)



## M2\_1B1

マクロ：2-to-1 Multiplexer with D0 Inverted



### 概要

このデザイン エLEMENTは、セレクト入力 (S0) の値に応じて、2 つの入力 (D1 または D0) のうち 1 つのデータビットを選択します。S0 が Low の場合は O に D0 の反転値が出力され、S0 が High の場合は D1 の値が出力されます。

### 論理表

入力			出力
S0	D1	D0	O
1	1	X	1
1	0	X	0
0	X	1	0
0	X	0	1

### デザインの入力方法

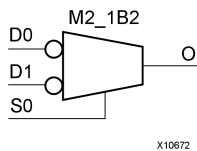
このELEMENTは、回路図でのみ使用できます。

### 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## M2\_1B2

マクロ：2-to-1 Multiplexer with D0 and D1 Inverted



### 概要

このデザイン エLEMENTは、セレクト入力 (S0) の値に応じて、2 つの入力 (D1 または D0) のうち 1 つのデータビットを選択します。S0 が Low の場合は O に D0 の反転値が出力され、S0 が High の場合は D1 の反転値が出力されます。

### 論理表

入力			出力
S0	D1	D0	O
1	1	X	0
1	0	X	1
0	X	1	0
0	X	0	1

### デザインの入力方法

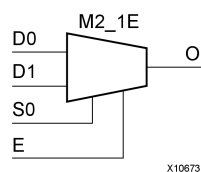
このELEMENTは、回路図でのみ使用できます。

### 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## M2\_1E

マクロ : 2-to-1 Multiplexer with Enable



### 概要

このデザイン エLEMENTは、イネーブル付き 2:1 マルチプレクサーです。イネーブル入力 (E) が High の場合、セレクト入力 (S0) の値に応じて、2 つの入力 (D1 または D0) のうち 1 つのデータ ビットが選択されます。S0 が Low の場合は D0 が選択され、High の場合は D1 が選択されます。E が Low の場合、出力は Low になります。

### 論理表

入力				出力
E	S0	D1	D0	O
0	X	X	X	0
1	0	X	1	1
1	0	X	0	0
1	1	1	X	1
1	1	0	X	0

### デザインの入力方法

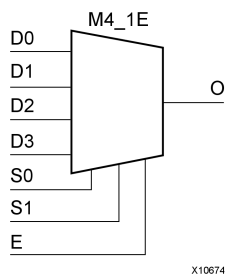
このELEMENTは、回路図でのみ使用できます。

### 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## M4\_1E

マクロ：4-to-1 Multiplexer with Enable



### 概要

このデザイン エLEMENTは、イネーブル付き 4:1 マルチプレクサーです。イネーブル入力 (E) が High の場合、セレクト入力 (S1 ~ S0) の値に応じて、4 つの入力 (D3、D2、D1、D0) のうち 1 つのデータビットが選択されます。出力 (O) には、次の論理表に示すように、選択された入力の値が出力されます。E が Low の場合、出力は Low になります。

### 論理表

入力							出力
E	S1	S0	D0	D1	D2	D3	O
0	X	X	X	X	X	X	0
1	0	0	D0	X	X	X	D0
1	0	1	X	D1	X	X	D1
1	1	0	X	X	D2	X	D2
1	1	1	X	X	X	D3	D3

### デザインの入力方法

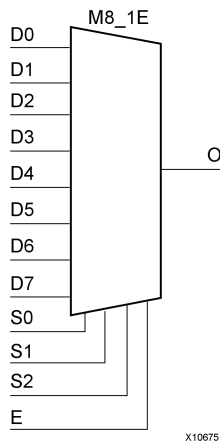
このELEMENTは、回路図でのみ使用できます。

### 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## M8\_1E

マクロ：8-to-1 Multiplexer with Enable



### 概要

このデザイン エLEMENTは、イネーブル付き 8:1 マルチプレクサーです。イネーブル入力 (E) が High の場合、セレクト入力 (S2 ～ S0) の値に応じて、8 つの入力 (D7 ～ D0) のうち 1 つのデータビットが選択されます。出力 (O) には、次の論理表に示すように、選択された入力の値が出力されます。E が Low の場合、出力は Low になります。

### 論理表

入力					出力
E	S2	S1	S0	D7:D0	O
0	X	X	X	X	0
1	0	0	0	D0	D0
1	0	0	1	D1	D1
1	0	1	0	D2	D2
1	0	1	1	D3	D3
1	1	0	0	D4	D4
1	1	0	1	D5	D5
1	1	1	0	D6	D6
1	1	1	1	D7	D7

### デザインの入力方法

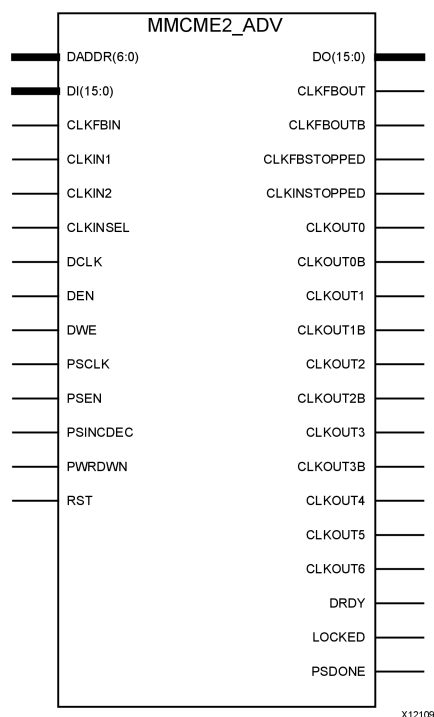
このELEMENTは、回路図でのみ使用できます。

### 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## MMCM2\_ADV

プリミティブ : Advanced Mixed Mode Clock Manager



### 概要

MMCM2 は、周波数合成、クロック ネットワークのスキュー調整、ジッター低減をサポートするための混合信号ブロックです。各クロック出力に対して、同じ VCO 周波数を基準に分周、位相シフト、デューティ サイクルを個別に設定できます。ダイナミック位相シフトおよび分数分周もサポートされます。

### ポートの説明

ポート名	データ型	幅	説明
CLKFBIN	入力	1	MMCM へのフィードバック クロック ピン
CLKFBOUT	出力	1	専用 MMCM フィードバック クロック出力
CLKFBOUTB	出力	1	CLKFBOUT を反転したクロック出力
CLKFBSTOPPED	出力	1	フィードバック クロックが停止したことを示すステータスピン
CLKINSEL	入力	1	入力マルチプレクサーのステートを制御する信号で、High の場合は CLKIN1、Low の場合は CLKIN2 です。
CLKINSTOPPED	出力	1	入力クロックが停止したことを示すステータスピン
CLKIN1	入力	1	プライマリ クロック入力
CLKIN2	入力	1	MMCM リファレンス クロックを動的に切り替えるためのセカンダリ クロック入力
CLKOUT0	出力	1	CLKOUT0 出力
CLKOUT0B	出力	1	CLKOUT0 の反転出力

ポート名	データ型	幅	説明
CLKOUT1	出力	1	CLKOUT1 出力
CLKOUT1B	出力	1	CLKOUT1 の反転出力
CLKOUT2	出力	1	CLKOUT2 出力
CLKOUT2B	出力	1	CLKOUT2 の反転出力
CLKOUT3	出力	1	CLKOUT3 出力
CLKOUT3B	出力	1	CLKOUT3 の反転出力
CLKOUT4	出力	1	CLKOUT4 出力
CLKOUT5	出力	1	CLKOUT5 出力
CLKOUT6	出力	1	CLKOUT6 出力
DADDR<6:0>	入力	7	ダイナミックリコンフィギュレーション用のリコンフィギュレーション アドレスを供給する入力バス。このバスを使用しない場合は、すべてのビットを 0 にする必要があります。
DCLK	入力	1	ダイナミックリコンフィギュレーション ポートのリファレンス クロック
DEN	入力	1	ダイナミックリコンフィギュレーション機能にアクセスするためのイネーブル制御信号。ダイナミックリコンフィギュレーションを使用しない場合は、Low に固定する必要があります。
DI<15:0>	入力	16	リコンフィギュレーション データを供給するデータ入力バス。このバスを使用しない場合は、すべてのビットを 0 にする必要があります。
DO<15:0>	出力	16	ダイナミックリコンフィギュレーションを使用する場合の MMCM データ出力バス
DRDY	出力	1	MMCM のダイナミックリコンフィギュレーション機能の DEN 信号への応答を供給する READY 出力
DWE	入力	1	DADDR アドレスへの DI データの書き込みを制御するライト イネーブル信号。使用しない場合は、Low に接続する必要があります。
LOCKED	出力	1	位相アライメントが定義されている時間内で完了し、周波数が定義されている PPM 範囲内で一致したことを示します。MMCM は電源投入時に自動的にロックされるので、リセットは必要ありません。入力クロックが停止した場合、または位相アライメントに違反が発生した場合（入力クロックの位相シフトなど）は、LOCKED がディアサートされます。LOCKED がディアサートされると、自動的にロックが達成されます。
PSCLK	入力	1	位相シフト クロック
PSDONE	出力	1	位相シフト終了
PSEN	入力	1	位相シフト イネーブル
PSINCDEC	入力	1	位相シフト インクリメント/デクリメント制御
PWRDWN	入力	1	インスタンス化されているが未使用の MMCM をパワー ダウンします。
RST	入力	1	非同期リセット信号。この信号が解放されると、MMCM はクロックに同期して再びイネーブルになります。入力クロックの条件（周波数など）を変更する場合、リセットが必要です。

## デザインの入力方法

このエレメントは、回路図で使用できます。

## 使用可能な属性

属性	データ型	値	デフォルト	説明
BANDWIDTH	文字列	"OPTIMIZED"、 "HIGH"、"LOW"	"OPTIMIZED"	ジッター、位相マージンなどの MMCM 特性に影響する MMCM プログラム アルゴリズムを指定します。
CLKFBOUT_MULT_F	3 上位ビット 浮動小数点	2.000 ~ 64.000	5.000	別の周波数を使用する場合に、すべての CLKOUT クロック出力を逡倍する値を指定します。この値と、CLKOUT#_DIVIDE 値および DIVCLK_DIVIDE 値により出力周波数が決まります。
CLKFBOUT_PHASE	3 上位ビット 浮動小数点	-360.000 ~ 360.000	0.000	クロック フィードバック出力の位相オフセットを度数で指定します。フィードバック クロックをシフトすると、MMCM の出力クロックがすべて負の値に位相シフトします。
CLKIN1_PERIOD	浮動小数点 (nS)	0.000 ~ 100.000	0.000	CLKIN1 入力の周期を指定します。精度は ps です。たとえば、値 33.333 は 30MHz の入力クロックを示します。この値は必ず設定する必要があります。CLKIN1_PERIOD は CLKIN1 入力の入力クロック周期、CLKIN2_PERIOD は CLKIN2 入力の入力クロック周期を指定します。
CLKIN2_PERIOD	浮動小数点 (nS)	0.000 ~ 100.000	0.000	CLKIN2 入力の周期を指定します。精度は ps です。たとえば、値 33.333 は 30MHz の入力クロックを示します。この値は必ず設定する必要があります。CLKIN1_PERIOD は CLKIN1 入力の入力クロック周期、CLKIN2_PERIOD は CLKIN2 入力の入力クロック周期を指定します。
CLKOUT0_DIVIDE_F	3 上位ビット 浮動小数点	1.000 ~ 128.000	1.000	CLKOUT0 クロック出力を分周する値を指定します。この値と、CLKFBOUT_MULT_F 値および DIVCLK_DIVIDE 値により出力周波数が決まります。
CLKOUT1_DIVIDE	10 進数	1 ~ 128	1	CLKOUT1 クロック出力を分周する値を指定します。この値と、CLKFBOUT_MULT 値および DIVCLK_DIVIDE 値により出力周波数が決まります。
CLKOUT2_DIVIDE	10 進数	1 ~ 128	1	CLKOUT2 クロック出力を分周する値を指定します。この値と、CLKFBOUT_MULT 値および DIVCLK_DIVIDE 値により出力周波数が決まります。
CLKOUT3_DIVIDE	10 進数	1 ~ 128	1	CLKOUT3 クロック出力を分周する値を指定します。この値と、CLKFBOUT_MULT 値および DIVCLK_DIVIDE 値により出力周波数が決まります。
CLKOUT4_DIVIDE	10 進数	1 ~ 128	1	CLKOUT4 クロック出力を分周する値を指定します。この値と、CLKFBOUT_MULT 値および DIVCLK_DIVIDE 値により出力周波数が決まります。
CLKOUT5_DIVIDE	10 進数	1 ~ 128	1	CLKOUT5 クロック出力を分周する値を指定します。この値と、CLKFBOUT_MULT 値および DIVCLK_DIVIDE 値により出力周波数が決まります。



属性	データ型	値	デフォルト	説明
CLKOUT6_DIVIDE	10 進数	1 ~ 128	1	CLKOUT6 クロック出力を分周する値を指定します。この値と、CLKFBOUT_MULT 値および DIVCLK_DIVIDE 値により出力周波数が決まります。
CLKOUT0_DUTY_CYCLE	3 上位ビット 浮動小数点	0.001 ~ 0.999	0.500	CLKOUT0 クロック出力のデューティ サイクルをパーセントで指定します。0.50 に設定すると、デューティ サイクルは 50% になります。
CLKOUT1_DUTY_CYCLE	3 上位ビット 浮動小数点	0.001 ~ 0.999	0.500	CLKOUT1 クロック出力のデューティ サイクルをパーセントで指定します。0.50 に設定すると、デューティ サイクルは 50% になります。
CLKOUT2_DUTY_CYCLE	3 上位ビット 浮動小数点	0.001 ~ 0.999	0.500	CLKOUT2 クロック出力のデューティ サイクルをパーセントで指定します。0.50 に設定すると、デューティ サイクルは 50% になります。
CLKOUT3_DUTY_CYCLE	3 上位ビット 浮動小数点	0.001 ~ 0.999	0.500	CLKOUT3 クロック出力のデューティ サイクルをパーセントで指定します。0.50 に設定すると、デューティ サイクルは 50% になります。
CLKOUT4_DUTY_CYCLE	3 上位ビット 浮動小数点	0.001 ~ 0.999	0.500	CLKOUT4 クロック出力のデューティ サイクルをパーセントで指定します。0.50 に設定すると、デューティ サイクルは 50% になります。
CLKOUT5_DUTY_CYCLE	3 上位ビット 浮動小数点	0.001 ~ 0.999	0.500	CLKOUT5 クロック出力のデューティ サイクルをパーセントで指定します。0.50 に設定すると、デューティ サイクルは 50% になります。
CLKOUT6_DUTY_CYCLE	3 上位ビット 浮動小数点	0.001 ~ 0.999	0.500	CLKOUT6 クロック出力のデューティ サイクルをパーセントで指定します。0.50 に設定すると、デューティ サイクルは 50% になります。
CLKOUT0_PHASE	3 上位ビット 浮動小数点	-360.000 ~ 360.000	0.000	クロック フィードバック出力の位相オフセットを度数で指定します。フィードバック クロックをシフトすると、MMCM の出力クロックがすべて負の値に位相シフトします。
CLKOUT1_PHASE	3 上位ビット 浮動小数点	-360.000 ~ 360.000	0.000	クロック フィードバック出力の位相オフセットを度数で指定します。フィードバック クロックをシフトすると、MMCM の出力クロックがすべて負の値に位相シフトします。
CLKOUT2_PHASE	3 上位ビット 浮動小数点	-360.000 ~ 360.000	0.000	クロック フィードバック出力の位相オフセットを度数で指定します。フィードバック クロックをシフトすると、MMCM の出力クロックがすべて負の値に位相シフトします。
CLKOUT3_PHASE	3 上位ビット 浮動小数点	-360.000 ~ 360.000	0.000	クロック フィードバック出力の位相オフセットを度数で指定します。フィードバック クロックをシフトすると、MMCM の出力クロックがすべて負の値に位相シフトします。
CLKOUT4_PHASE	3 上位ビット 浮動小数点	-360.000 ~ 360.000	0.000	クロック フィードバック出力の位相オフセットを度数で指定します。フィードバック クロックをシフトすると、MMCM の出力クロックがすべて負の値に位相シフトします。
CLKOUT5_PHASE	3 上位ビット 浮動小数点	-360.000 ~ 360.000	0.000	クロック フィードバック出力の位相オフセットを度数で指定します。フィードバック クロックをシフトすると、MMCM の出力クロックがすべて負の値に位相シフトします。

属性	データ型	値	デフォルト	説明
CLKOUT6_PHASE	3 上位ビット 浮動小数点	-360.000 ~ 360.000	0.000	クロック フィードバック出力の位相オフセットを 度数で指定します。フィードバック クロックを シフトすると、MMCM の出力クロックがすべて 負の値に位相シフトします。
CLKOUT4_CASCADE	ブール代数	FALSE、TRUE	FALSE	出力クロック分周が 128 よりも大きい場合、出 力分周 (カウンタ) を CLKOUT4 分周の入 力にカスケード接続します。
COMPENSATION	文字列	"ZHOLD"、 "BUF_IN"、 "EXTERNAL"、 "INTERNAL"	"ZHOLD"	クロック入力 of 補正。"ZHOLD" に設定するこ とをお勧めします。MMCM フィードバックのコン フィギュレーション方法を定義します。  <ul style="list-style-type: none"> <li>・ "ZHOLD" : I/O レジスタでのホールド タイ ムが負になるように MMCM がコンフィ ギュレーションされます。</li> <li>・ "INTERNAL" : MMCM の内部フィード バック パスが使用され、遅延は補正され ません。</li> <li>・ "EXTERNAL" : FPGA の外部ネットワー クが補正されます。</li> <li>・ "BUF_IN" : その他の補正モードには一 致せず、遅延は補正されません。クロッ ク入力 が BUFG/BUFH/BUFR/GT で駆 動される場合です。</li> </ul>
DIVCLK_DIVIDE	10 進数	1 ~ 106	1	すべての出力クロックの入力クロックに対する 分周比を指定し、PFD に入力される CLKIN を分周します。
REF_JITTER1	3 上位ビット 浮動小数点	0.000 ~ 0.999	0.010	MMCM パフォーマンスを最適化するため、 CLKIN1 入力に予測されるジッター値を指定 します。BANDWIDTH が "OPTIMIZED" に設 定されている場合、値が既知でない場合は入 力クロックに最適なパラメーターが選択されま す。値が既知である場合は、値を入力クロッ クに予測されるジッターの UI パーセント (最 大ピークトゥピーク値) で指定する必要があります。 REF_JITTER1 は CLKIN1 の入力ジッ ター、REF_JITTER2 は CLKIN2 の入力ジッ ターを指定します。
REF_JITTER2	3 上位ビット 浮動小数点	0.000 ~ 0.999	0.010	MMCM パフォーマンスを最適化するため、 CLKIN2 入力に予測されるジッター値を指定 します。バンド幅が OPTIMIZED に設定され ていると、値が既知でない場合は入力クロッ クに最適なパラメーターが選択されます。値 が既知である場合は、値を入力クロックに予 測されるジッターの UI パーセント (最大ピー クトゥピーク値) で指定する必要があります。 REF_JITTER1 は CLKIN1 の入力ジッター、 REF_JITTER2 は CLKIN2 の入力ジッターを 指定します。
STARTUP_WAIT	ブール代数	FALSE、TRUE	FALSE	コンフィギュレーション DONE 信号がアサー トされるのを、MMCM がロックされるまで遅 延します。
CLKFBOUT_USE_FINE_PS	ブール代数	FALSE、TRUE	FALSE	カウンタ可変ファイン位相シフト イネーブル

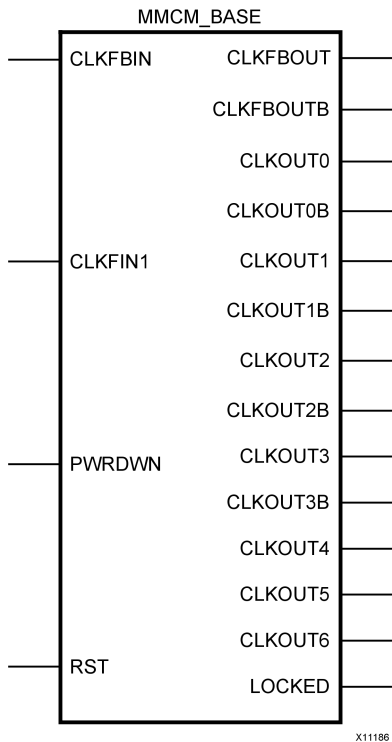
属性	データ型	値	デフォルト	説明
CLKOUT0_USE_FINE_PS	ブール代数	FALSE、TRUE	FALSE	カウンター可変ファイン位相シフト イネーブル
CLKOUT1_USE_FINE_PS	ブール代数	FALSE、TRUE	FALSE	カウンター可変ファイン位相シフト イネーブル
CLKOUT2_USE_FINE_PS	ブール代数	FALSE、TRUE	FALSE	カウンター可変ファイン位相シフト イネーブル
CLKOUT3_USE_FINE_PS	ブール代数	FALSE、TRUE	FALSE	カウンター可変ファイン位相シフト イネーブル
CLKOUT4_USE_FINE_PS	ブール代数	FALSE、TRUE	FALSE	カウンター可変ファイン位相シフト イネーブル
CLKOUT5_USE_FINE_PS	ブール代数	FALSE、TRUE	FALSE	カウンター可変ファイン位相シフト イネーブル
CLKOUT6_USE_FINE_PS	ブール代数	FALSE、TRUE	FALSE	カウンター可変ファイン位相シフト イネーブル

## 詳細情報

[7 series FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## MMCME2\_BASE

プリミティブ：Base Mixed Mode Clock Manager



### 概要

MMCME2 は、周波数合成、クロック ネットワークのスキュー調整、ジッター低減をサポートするための混合信号ブロックです。各クロック出力に対して、同じ VCO 周波数を基準に分周、位相シフト、デューティ サイクルを個別に設定できます。ダイナミック位相シフトおよび分数分周もサポートされます。

### ポートの説明

ポート名	データ型	幅	説明
CLKFBIN	入力	1	MMCM へのフィードバック クロック ピン
CLKFBOUT	出力	1	専用 MMCM フィードバック クロック出力
CLKFBOUTB	出力	1	CLKFBOUT の反転出力
CLKOUT0	出力	1	CLKOUT0 出力
CLKOUT0B	出力	1	CLKOUT0 の反転出力
CLKOUT1	出力	1	CLKOUT1 出力
CLKOUT1B	出力	1	CLKOUT1 の反転出力
CLKOUT2	出力	1	CLKOUT2 出力
CLKOUT2B	出力	1	CLKOUT2 の反転出力
CLKOUT3	出力	1	CLKOUT3 出力
CLKOUT3B	出力	1	CLKOUT3 の反転出力

ポート名	データ型	幅	説明
CLKOUT4	出力	1	CLKOUT4 出力
CLKOUT5	出力	1	CLKOUT5 出力
CLKOUT6	出力	1	CLKOUT6 出力
CLKIN1	入力	1	汎用クロック入力
PWRDWN	入力	1	インスタンス化されているが未使用の MMCM をパワー ダウン します。
RST	入力	1	非同期リセット信号。この信号が解放されると、MMCM はクロックに同期して再びイネーブルになります。入力クロックの条件 (周波数など) を変更する場合、リセットが必要です。
LOCKED	出力	1	位相アライメントが定義されている時間内で完了し、周波数が定義されている PPM 範囲内で一致したことを示します。MMCM は電源投入時に自動的にロックされるので、リセットは必要ありません。入力クロックが停止した場合、または位相アライメントに違反が発生した場合 (入力クロックの位相シフトなど) は、LOCKED がディアサートされます。LOCKED がディアサートされると、自動的にロックが達成されます。

## デザインの入力方法

このエレメントは、回路図で使用できます。

## 使用可能な属性

属性	データ型	値	デフォルト	説明
BANDWIDTH	文字列	"OPTIMIZED"、 "HIGH"、"LOW"	"OPTIMIZED"	ジッター、位相マージンなどの MMCM 特性に影響する MMCM プログラム アルゴリズムを指定します。
CLKFBOUT_MULT_F	3 上位ビット 浮動小数点	2.000 ~ 64.000	5.000	すべての CLKOUT クロック出力を通倍する値を指定します。この値と、CLKOUT#_DIVIDE 値および DIVCLK_DIVIDE 値により出力周波数が決まります。
CLKFBOUT_PHASE	3 上位ビット 浮動小数点	-360.000 ~ 360.000	0.000	クロック フィードバック出力の位相オフセットを度数で指定します。フィードバック クロックをシフトすると、MMCM の出力クロックがすべて負の値に位相シフトします。
CLKIN1_PERIOD	浮動小数点 (nS)	0.000 ~ 100.000	0.000	CLKIN1 入力の周期を指定します。精度は ps です (小数点以下 3 桁)。たとえば、値 33.333 は 30MHz の入力クロックを示します。この値は必ず設定する必要があります。
CLKOUT0_DIVIDE_F	3 上位ビット 浮動小数点	1.000 ~ 128.000	1.000	CLKOUT0 クロック出力を分周する値を指定します。この値と、CLKFBOUT_MULT_F 値および DIVCLK_DIVIDE 値により出力周波数が決まります。
CLKOUT1_DIVIDE	10 進数	1 ~ 128	1	CLKOUT1 クロック出力を分周する値を指定します。この値と、CLKFBOUT_MULT_F 値および DIVCLK_DIVIDE 値により出力周波数が決まります。
CLKOUT2_DIVIDE	10 進数	1 ~ 128	1	CLKOUT2 クロック出力を分周する値を指定します。この値と、CLKFBOUT_MULT_F 値および DIVCLK_DIVIDE 値により出力周波数が決まります。

属性	データ型	値	デフォルト	説明
CLKOUT3_DIVIDE	10 進数	1 ~ 128	1	CLKOUT3 クロック出力を分周する値を指定します。この値と、CLKFBOUT_MULT_F 値および DIVCLK_DIVIDE 値により出力周波数が決まります。
CLKOUT4_DIVIDE	10 進数	1 ~ 128	1	CLKOUT4 クロック出力を分周する値を指定します。この値と、CLKFBOUT_MULT_F 値および DIVCLK_DIVIDE 値により出力周波数が決まります。
CLKOUT5_DIVIDE	10 進数	1 ~ 128	1	CLKOUT5 クロック出力を分周する値を指定します。この値と、CLKFBOUT_MULT_F 値および DIVCLK_DIVIDE 値により出力周波数が決まります。
CLKOUT6_DIVIDE	10 進数	1 ~ 128	1	CLKOUT6 クロック出力を分周する値を指定します。この値と、CLKFBOUT_MULT_F 値および DIVCLK_DIVIDE 値により出力周波数が決まります。
CLKOUT0_DUTY_CYCLE	3 上位ビット 浮動小数点	0.001 ~ 0.999	0.500	CLKOUT0 クロック出力のデューティサイクルをパーセントで指定します。0.50 に設定すると、デューティサイクルは 50% になります。
CLKOUT1_DUTY_CYCLE	3 上位ビット 浮動小数点	0.001 ~ 0.999	0.500	CLKOUT1 クロック出力のデューティサイクルをパーセントで指定します。0.50 に設定すると、デューティサイクルは 50% になります。
CLKOUT2_DUTY_CYCLE	3 上位ビット 浮動小数点	0.001 ~ 0.999	0.500	CLKOUT2 クロック出力のデューティサイクルをパーセントで指定します。0.50 に設定すると、デューティサイクルは 50% になります。
CLKOUT3_DUTY_CYCLE	3 上位ビット 浮動小数点	0.001 ~ 0.999	0.500	CLKOUT3 クロック出力のデューティサイクルをパーセントで指定します。0.50 に設定すると、デューティサイクルは 50% になります。
CLKOUT4_DUTY_CYCLE	3 上位ビット 浮動小数点	0.001 ~ 0.999	0.500	CLKOUT4 クロック出力のデューティサイクルをパーセントで指定します。0.50 に設定すると、デューティサイクルは 50% になります。
CLKOUT5_DUTY_CYCLE	3 上位ビット 浮動小数点	0.001 ~ 0.999	0.500	CLKOUT5 クロック出力のデューティサイクルをパーセントで指定します。0.50 に設定すると、デューティサイクルは 50% になります。
CLKOUT6_DUTY_CYCLE	3 上位ビット 浮動小数点	0.001 ~ 0.999	0.500	CLKOUT6 クロック出力のデューティサイクルをパーセントで指定します。0.50 に設定すると、デューティサイクルは 50% になります。
CLKOUT0_PHASE	3 上位ビット 浮動小数点	-360.000 ~ 360.000	0.000	クロックフィードバック出力の位相オフセットを度数で指定します。フィードバッククロックをシフトすると、MMCM の出力クロックがすべて負の値に位相シフトします。
CLKOUT1_PHASE	3 上位ビット 浮動小数点	-360.000 ~ 360.000	0.000	クロックフィードバック出力の位相オフセットを度数で指定します。フィードバッククロックをシフトすると、MMCM の出力クロックがすべて負の値に位相シフトします。
CLKOUT2_PHASE	3 上位ビット 浮動小数点	-360.000 ~ 360.000	0.000	クロックフィードバック出力の位相オフセットを度数で指定します。フィードバッククロックをシフトすると、MMCM の出力クロックがすべて負の値に位相シフトします。

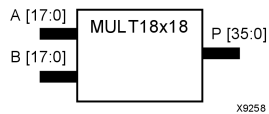
属性	データ型	値	デフォルト	説明
CLKOUT3_PHASE	3 上位ビット 浮動小数点	-360.000 ~ 360.000	0.000	クロック フィードバック出力の位相オフセットを 度数で指定します。フィードバック クロックを シフトすると、MMCM の出力クロックがすべて 負の値に位相シフトします。
CLKOUT4_PHASE	3 上位ビット 浮動小数点	-360.000 ~ 360.000	0.000	クロック フィードバック出力の位相オフセットを 度数で指定します。フィードバック クロックを シフトすると、MMCM の出力クロックがすべて 負の値に位相シフトします。
CLKOUT5_PHASE	3 上位ビット 浮動小数点	-360.000 ~ 360.000	0.000	クロック フィードバック出力の位相オフセットを 度数で指定します。フィードバック クロックを シフトすると、MMCM の出力クロックがすべて 負の値に位相シフトします。
CLKOUT6_PHASE	3 上位ビット 浮動小数点	-360.000 ~ 360.000	0.000	クロック フィードバック出力の位相オフセットを 度数で指定します。フィードバック クロックを シフトすると、MMCM の出力クロックがすべて 負の値に位相シフトします。
CLKOUT4_CASCADE	ブール代数	FALSE、TRUE	FALSE	出力クロック分周が 128 よりも大きい場合、出 力分周 (カウンタ) CLKOUT6 を CLKOUT4 分周の入力にカスケードします。
DIVCLK_DIVIDE	10 進数	1 ~ 106	1	すべての出力クロックの入力クロックに対する 分周比を指定し、PFD に入力される CLKIN を分周します。
REF_JITTER1	3 上位ビット 浮動小数点	0.000 ~ 0.999	0.010	MMCM のパフォーマンスを最適化するため、 CLKIN1 に予測されるジッター値を指定しま す。BANDWIDTH が "OPTIMIZED" に設定さ れている場合、値が既知でない場合は入力ク ロックに最適なパラメーターが選択されます。 値が既知である場合は、値を入力クロックに予 測されるジッターの UI パーセント (最大ピーク トゥ ピーク値) で指定する必要があります。
STARTUP_WAIT	ブール代数	FALSE、TRUE	FALSE	コンフィギュレーション DONE 信号がアサー トされるのを、MMCM がロックされるまで遅 延します。

## 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## MULT18X18

### プリミティブ：18 x 18 Signed Multiplier



### 概要

MULT18X18 は、組み合わせ符号付き 18 X 18 ビット乗算器です。18 ビット入力 A の値に 18 ビット入力 B の値を掛け合わせた積が、出力 P に 36 ビットで出力されます。

### 論理表

入力		出力
A	B	P
A	B	A X B
A、B、および P は 2 の補数です。		

### デザインの入力方法

このエレメントは、回路図で使用できます。

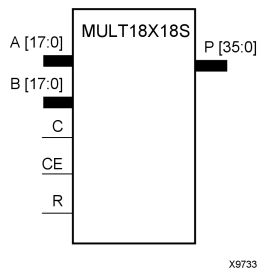
### 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)



## MULT18X18S

プリミティブ：18 x 18 Signed Multiplier -- Registered Version



### 概要

MULT18X18S は、符号付き 18 X 18 乗算器 (MULT18X18) にレジスタを追加したもので、出力 (P)、データ入力 (A、B、C)、クロック イネーブル入力 (CE)、および同期リセット入力 (R) があります。レジスタは、GSR パルス後 0 に初期化されます。

18 ビット入力 A の値に 18 ビット入力 B の値を掛け合わせた積が、出力 P に 36 ビットで出力されます。

### 論理表

入力					出力
C	CE	Am	Bn	R	P
↑	X	X	X	1	0
↑	1	Am	Bn	0	A X B
X	0	X	X	0	変化なし
A、B、および P は 2 の補数です。					

### デザインの入力方法

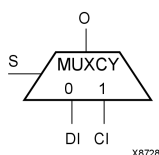
このエレメントは、回路図で使用できます。

### 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## MUXCY

プリミティブ：2-to-1 Multiplexer for Carry Logic with General Output



### 概要

スライスの直接入力 (DI) は、MUXCY の DI 入力に接続します。LC のキャリー入力 (CI) は、MUXCY の CI 入力に接続します。セレクト入力 (S) は、ルックアップ テーブル (LUT) の出力で駆動し、MUX ファンクションとしてコンフィギュレーションします。キャリー出力 (O) には選択された入力の値が出力され、各 LC のキャリー出力ファンクションをインプリメントします。S が Low の場合は DI が選択され、High の場合は CI が選択されます。

このほか、ローカル出力を持つ MUXCY\_D および MUXCY\_L があり、異なるタイミング モデルでレイアウト前のタイミングをより正確に予測する必要がある場合に使用できます。

### 論理表

入力			出力
S	DI	CI	O
0	1	X	1
0	0	X	0
1	X	1	1
1	X	0	0

### デザインの入力方法

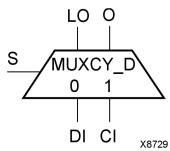
このエレメントは、回路図で使用できます。

### 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## MUXCY\_D

プリミティブ：2-to-1 Multiplexer for Carry Logic with Dual Output



### 概要

このデザイン エLEMENTは、1 ビットの高速キャリー伝搬ファンクションをインプリメントするために使用します。このようなファンクションは、1 つのロジック セル (LC) に 1 つずつインプリメントできるので、1 つの CLB に合計 4 ビットをインプリメントできます。LC の直接入力 (DI) は MUXCY\_D の DI 入力に接続し、LC のキャリー入力 (CI) は MUXCY\_D の CI 入力に接続します。セレクト入力 (S) は、ルックアップ テーブル (LUT) の出力で駆動し、XOR ファンクションとしてコンフィギュレーションします。キャリー出力 (O と LO) には選択された入力の値が出力され、各 LC のキャリー出力ファンクションをインプリメントします。S が Low の場合は DI が選択され、High の場合は CI が選択されます。

出力 O と LO は、機能的に同じです。出力 O は一般的なインターコネクトです。「MUXCY」および「MUXCY\_L」も参照してください。

### 論理表

入力			出力	
S	DI	CI	O	LO
0	1	X	1	1
0	0	X	0	0
1	X	1	1	1
1	X	0	0	0

### デザインの入力方法

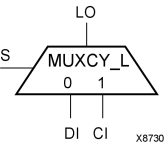
このELEMENTは、回路図で使用できます。

### 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

# MUXCY\_L

プリミティブ : 2-to-1 Multiplexer for Carry Logic with Local Output



## 概要

このデザイン エレメントは、1 ビットの高速キャリー伝搬ファンクションをインプリメントするために使用します。このようなファンクションは、1 つのロジック セル (LC) に 1 つずつインプリメントできるので、1 つの CLB に合計 4 ビットをインプリメントできます。LC の直接入力 (DI) は MUXCY\_L の DI 入力に接続し、LC のキャリー入力 (CI) は MUXCY\_L の CI 入力に接続します。セレクト入力 (S) は、ルックアップ テーブル (LUT) の出力で駆動し、XOR ファンクションとしてコンフィギュレーションします。キャリー出力 (LO) には選択された入力の値が出力され、各 LC のキャリー出力ファンクションをインプリメントします。S が Low の場合は DI が選択され、High の場合は CI が選択されます。

「MUXCY」および「MUXCY\_D」も参照してください。

## 論理表

入力			出力
S	DI	CI	LO
0	1	X	1
0	0	X	0
1	X	1	1
1	X	0	0

## デザインの入力方法

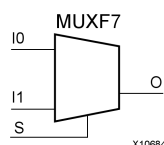
このエレメントは、回路図で使用できます。

## 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## MUXF7

プリミティブ：2-to-1 Look-Up Table Multiplexer with General Output



### 概要

このデザイン エLEMENTは、7 入力ファンクション、8:1 マルチプレクサー、および一部の 12 ビット幅までのロジック ファンクションを作成するためのロジック構造をインプリメントします。I0 および I1 入力には、LUT6 のローカル出力を接続します。

このほか、ローカル出力を持つ MUXF7\_D および MUXF7\_L があり、異なるタイミング モデルでレイアウト前のタイミングをより正確に予測する必要がある場合に使用できます。

### 論理表

入力			出力
S	I0	I1	O
0	I0	X	I0
1	X	I1	I1
X	0	0	0
X	1	1	1

### ポートの説明

ポート名	方向	幅	機能
O	出力	1	汎用配線への MUX の出力
I0	入力	1	入力 (LUT6 の LO 出力に接続)
I1	入力	1	入力 (LUT6 の LO 出力に接続)
S	入力	1	MUX への入力セレクト

### デザインの入力方法

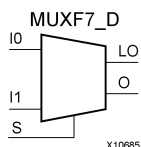
このELEMENTは、回路図で使用できます。

### 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## MUXF7\_D

プリミティブ：2-to-1 Look-Up Table Multiplexer with Dual Output



### 概要

このデザイン エレメントは、7 入力ファンクション、8:1 マルチプレクサー、および一部の 12 ビット幅までのロジック ファンクションを作成するためのロジック構造をインプリメントします。I0 および I1 入力には、LUT6 のローカル出力を接続します。

出力 O と LO は、機能的に同じです。出力 O は一般的なインターコネクトです。LO 出力は、同じ CLB スライス内にある別の入力との接続に使用します。

### 論理表

入力			出力	
S	I0	I1	O	LO
0	I0	X	I0	I0
1	X	I1	I1	I1
X	0	0	0	0
X	1	1	1	1

### ポートの説明

ポート名	方向	幅	機能
O	出力	1	汎用配線への MUX の出力
LO	出力	1	ローカル配線への MUX の出力
I0	入力	1	入力 (LUT6 の LO 出力に接続)
I1	入力	1	入力 (LUT6 の LO 出力に接続)
S	入力	1	MUX への入力セレクト

### デザインの入力方法

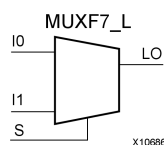
このエレメントは、回路図で使用できます。

### 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## MUXF7\_L

プリミティブ：2-to-1 look-up table Multiplexer with Local Output



### 概要

このデザイン エLEMENTは、7 入力ファンクション、8:1 マルチプレクサー、および一部の 12 ビット幅までのロジック ファンクションを作成するためのロジック構造をインプリメントします。I0 および I1 入力には、LUT6 のローカル出力を接続します。

LO 出力は、同じ CLB スライス内にある別の入力との接続に使用します。

### 論理表

入力			出力
S	I0	I1	LO
0	I0	X	I0
1	X	I1	I1
X	0	0	0
X	1	1	1

### ポートの説明

ポート名	方向	幅	機能
LO	出力	1	ローカル配線への MUX の出力
I0	入力	1	入力
I1	入力	1	入力
S	入力	1	MUX への入力セレクト

### デザインの入力方法

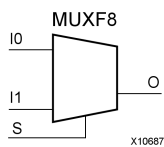
このELEMENTは、回路図で使用できます。

### 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## MUXF8

プリミティブ：2-to-1 Look-Up Table Multiplexer with General Output



### 概要

このデザイン エレメントは、8 入力ファンクション、16:1 マルチプレクサー、および一部の 24 ビット幅までのロジック ファンクションを作成するためのロジック構造をインプリメントします。I0 および I1 入力には、MUXF7 のローカル出力を接続します。

### 論理表

入力			出力
S	I0	I1	O
0	I0	X	I0
1	X	I1	I1
X	0	0	0
X	1	1	1

### ポートの説明

ポート名	方向	幅	機能
O	出力	1	汎用配線への MUX の出力
I0	入力	1	入力 (MUXF7 LO 出力に接続)
I1	入力	1	入力 (MUXF7 LO 出力に接続)
S	入力	1	MUX への入力セレクト

### デザインの入力方法

このエレメントは、回路図で使用できます。

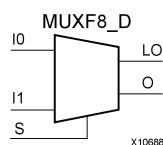
### 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)



## MUXF8\_D

プリミティブ : 2-to-1 Look-Up Table Multiplexer with Dual Output



### 概要

このデザイン エLEMENTは、8 入力ファンクション、16:1 マルチプレクサー、および一部の 24 ビット幅までのロジック ファンクションを作成するためのロジック構造をインプリメントします。I0 および I1 入力には、MUXF7 のローカル出力を接続します。

出力 O と LO は、機能的に同じです。出力 O は一般的なインターコネクトです。LO 出力は、同じ CLB スライス内にある別の入力との接続に使用します。

### 論理表

入力			出力	
S	I0	I1	O	LO
0	I0	X	I0	I0
1	X	I1	I1	I1
X	0	0	0	0
X	1	1	1	1

### ポートの説明

ポート名	方向	幅	機能
O	出力	1	汎用配線への MUX の出力
LO	出力	1	ローカル配線への MUX の出力
I0	入力	1	入力 (MUXF7 LO 出力に接続)
I1	入力	1	入力 (MUXF7 LO 出力に接続)
S	入力	1	MUX への入力セレクト

### デザインの入力方法

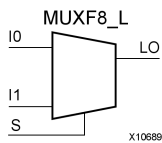
このELEMENTは、回路図で使用できます。

### 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## MUXF8\_L

プリミティブ：2-to-1 Look-Up Table Multiplexer with Local Output



### 概要

このデザイン エLEMENTは、8 入力ファンクション、16:1 マルチプレクサー、および一部の 24 ビット幅までのロジック ファンクションを作成するためのロジック構造をインプリメントします。IO および I1 入力には、MUXF7 のローカル出力を接続します。

LO 出力は、同じ CLB スライス内にある別の入力との接続に使用します。

### 論理表

入力			出力
S	IO	I1	LO
0	IO	X	IO
1	X	I1	I1
X	0	0	0
X	1	1	1

### ポートの説明

ポート名	方向	幅	機能
LO	出力	1	ローカル配線への MUX の出力
IO	入力	1	入力 (MUXF7 LO 出力に接続)
I1	入力	1	入力 (MUXF7 LO 出力に接続)
S	入力	1	MUX への入力セレクト

### デザインの入力方法

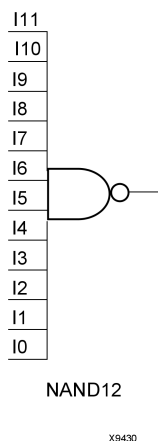
このELEMENTは、回路図で使用できます。

### 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## NAND12

マクロ：12-Input NAND Gate with Non-Inverted Inputs



### 概要

5 入力までの NAND ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NAND ファンクションには、非反転入力のみが使用されています。入力を反転するには、外部インバーターを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

### デザインの入力方法

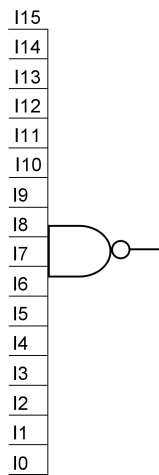
このエレメントは、回路図でのみ使用できます。

### 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## NAND16

マクロ：16-Input NAND Gate with Non-Inverted Inputs



NAND16

X9431

### 概要

5 入力までの NAND ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NAND ファンクションには、非反転入力のみが使用されています。入力を反転するには、外部インバーターを使用します。各入力に 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

### デザインの入力方法

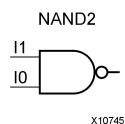
このエレメントは、回路図でのみ使用できます。

### 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## NAND2

プリミティブ：2-Input NAND Gate with Non-Inverted Inputs



### 概要

5 入力までの NAND ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NAND ファンクションには、非反転入力のみが使用されています。入力を反転するには、外部インバーターを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

### デザインの入力方法

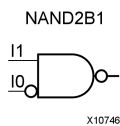
このエレメントは、回路図でのみ使用できます。

### 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## NAND2B1

プリミティブ：2-Input NAND Gate with 1 Inverted and 1 Non-Inverted Inputs



### 概要

5 入力までの NAND ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NAND ファンクションには、非反転入力のみが使用されています。入力を反転するには、外部インバーターを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

### デザインの入力方法

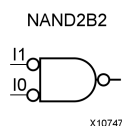
このエレメントは、回路図でのみ使用できます。

### 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## NAND2B2

### プリミティブ：2-Input NAND Gate with Inverted Inputs



### 概要

5 入力までの NAND ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NAND ファンクションには、非反転入力のみが使用されています。入力を反転するには、外部インバーターを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

### デザインの入力方法

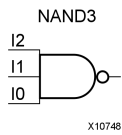
このエレメントは、回路図でのみ使用できます。

### 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## NAND3

プリミティブ：3-Input NAND Gate with Non-Inverted Inputs



### 概要

5 入力までの NAND ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NAND ファンクションには、非反転入力のみが使用されています。入力を反転するには、外部インバーターを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

### デザインの入力方法

このエレメントは、回路図でのみ使用できます。

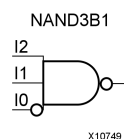
### 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)



## NAND3B1

プリミティブ：3-Input NAND Gate with 1 Inverted and 2 Non-Inverted Inputs



### 概要

5 入力までの NAND ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NAND ファンクションには、非反転入力のみが使用されています。入力を反転するには、外部インバーターを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

### デザインの入力方法

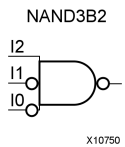
このエレメントは、回路図でのみ使用できます。

### 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## NAND3B2

プリミティブ：3-Input NAND Gate with 2 Inverted and 1 Non-Inverted Inputs



### 概要

5 入力までの NAND ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NAND ファンクションには、非反転入力のみが使用されています。入力を反転するには、外部インバーターを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

### デザインの入力方法

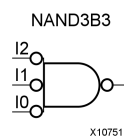
このエレメントは、回路図でのみ使用できます。

### 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## NAND3B3

プリミティブ：3-Input NAND Gate with Inverted Inputs



### 概要

5 入力までの NAND ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NAND ファンクションには、非反転入力のみが使用されています。入力を反転するには、外部インバーターを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

### デザインの入力方法

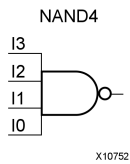
このエレメントは、回路図でのみ使用できます。

### 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## NAND4

プリミティブ：4-Input NAND Gate with Non-Inverted Inputs



### 概要

5 入力までの NAND ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NAND ファンクションには、非反転入力のみが使用されています。入力を反転するには、外部インバーターを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

### デザインの入力方法

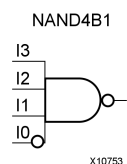
このエレメントは、回路図でのみ使用できます。

### 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## NAND4B1

プリミティブ：4-Input NAND Gate with 1 Inverted and 3 Non-Inverted Inputs



### 概要

5 入力までの NAND ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NAND ファンクションには、非反転入力のみが使用されています。入力を反転するには、外部インバーターを使用します。各入力に 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

### デザインの入力方法

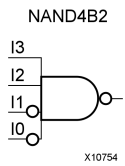
このエレメントは、回路図でのみ使用できます。

### 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## NAND4B2

プリミティブ：4-Input NAND Gate with 2 Inverted and 2 Non-Inverted Inputs



### 概要

5 入力までの NAND ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NAND ファンクションには、非反転入力のみが使用されています。入力を反転するには、外部インバーターを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

### デザインの入力方法

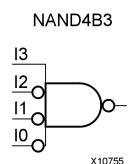
このエレメントは、回路図でのみ使用できます。

### 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## NAND4B3

プリミティブ：4-Input NAND Gate with 3 Inverted and 1 Non-Inverted Inputs



### 概要

5 入力までの NAND ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NAND ファンクションには、非反転入力のみが使用されています。入力を反転するには、外部インバーターを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

### デザインの入力方法

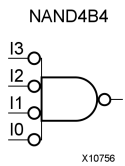
このエレメントは、回路図でのみ使用できます。

### 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## NAND4B4

プリミティブ：4-Input NAND Gate with Inverted Inputs



### 概要

5 入力までの NAND ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NAND ファンクションには、非反転入力のみが使用されています。入力を反転するには、外部インバーターを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

### デザインの入力方法

このエレメントは、回路図でのみ使用できます。

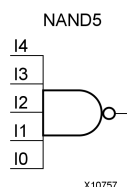
### 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)



## NAND5

プリミティブ：5-Input NAND Gate with Non-Inverted Inputs



### 概要

5 入力までの NAND ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NAND ファンクションには、非反転入力のみが使用されています。入力を反転するには、外部インバーターを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

### デザインの入力方法

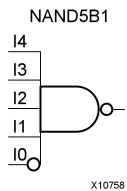
このエレメントは、回路図でのみ使用できます。

### 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## NAND5B1

プリミティブ：5-Input NAND Gate with 1 Inverted and 4 Non-Inverted Inputs



### 概要

5 入力までの NAND ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NAND ファンクションには、非反転入力のみが使用されています。入力を反転するには、外部インバーターを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

### デザインの入力方法

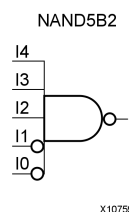
このエレメントは、回路図でのみ使用できます。

### 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## NAND5B2

プリミティブ：5-Input NAND Gate with 2 Inverted and 3 Non-Inverted Inputs



### 概要

5 入力までの NAND ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NAND ファンクションには、非反転入力のみが使用されています。入力を反転するには、外部インバーターを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

### デザインの入力方法

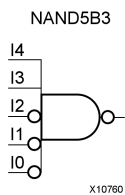
このエレメントは、回路図でのみ使用できます。

### 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## NAND5B3

プリミティブ：5-Input NAND Gate with 3 Inverted and 2 Non-Inverted Inputs



### 概要

5 入力までの NAND ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NAND ファンクションには、非反転入力のみが使用されています。入力を反転するには、外部インバーターを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

### デザインの入力方法

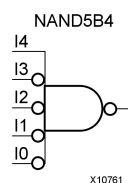
このエレメントは、回路図でのみ使用できます。

### 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## NAND5B4

プリミティブ：5-Input NAND Gate with 4 Inverted and 1 Non-Inverted Inputs



### 概要

5 入力までの NAND ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NAND ファンクションには、非反転入力のみが使用されています。入力を反転するには、外部インバーターを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

### デザインの入力方法

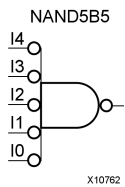
このエレメントは、回路図でのみ使用できます。

### 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## NAND5B5

プリミティブ：5-Input NAND Gate with Inverted Inputs



### 概要

5 入力までの NAND ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NAND ファンクションには、非反転入力のみが使用されています。入力を反転するには、外部インバーターを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

### デザインの入力方法

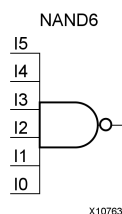
このエレメントは、回路図でのみ使用できます。

### 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## NAND6

マクロ：6-Input NAND Gate with Non-Inverted Inputs



### 概要

5 入力までの NAND ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NAND ファンクションには、非反転入力のみが使用されています。入力を反転するには、外部インバーターを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

### デザインの入力方法

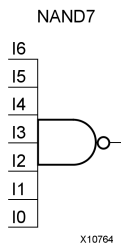
このエレメントは、回路図でのみ使用できます。

### 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## NAND7

### マクロ：7-Input NAND Gate with Non-Inverted Inputs



## 概要

5 入力までの NAND ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NAND ファンクションには、非反転入力のみが使用されています。入力を反転するには、外部インバーターを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

## デザインの入力方法

このエレメントは、回路図でのみ使用できます。

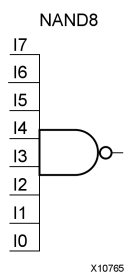
## 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)



## NAND8

マクロ：8-Input NAND Gate with Non-Inverted Inputs



### 概要

5 入力までの NAND ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NAND ファンクションには、非反転入力のみが使用されています。入力を反転するには、外部インバーターを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

### デザインの入力方法

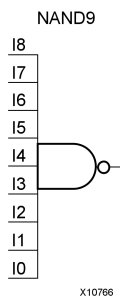
このエレメントは、回路図でのみ使用できます。

### 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## NAND9

マクロ : 9-Input NAND Gate with Non-Inverted Inputs



### 概要

5 入力までの NAND ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NAND ファンクションには、非反転入力のみが使用されています。入力を反転するには、外部インバーターを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

### デザインの入力方法

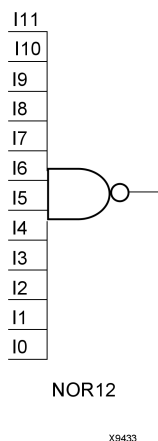
このエレメントは、回路図でのみ使用できます。

### 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## NOR12

マクロ：12-Input NOR Gate with Non-Inverted Inputs



### 概要

5 入力までの NOR ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NOR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバーターを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

### デザインの入力方法

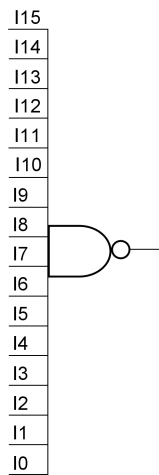
このエレメントは、回路図でのみ使用できます。

### 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## NOR16

マクロ：16-Input NOR Gate with Non-Inverted Inputs



NOR16

X9434

### 概要

5 入力までの NOR ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NOR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバーターを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

### デザインの入力方法

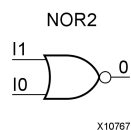
このエレメントは、回路図でのみ使用できます。

### 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## NOR2

### プリミティブ：2-Input NOR Gate with Non-Inverted Inputs



### 概要

5 入力までの NOR ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NOR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバーターを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

### デザインの入力方法

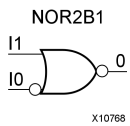
このエレメントは、回路図でのみ使用できます。

### 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## NOR2B1

プリミティブ：2-Input NOR Gate with 1 Inverted and 1 Non-Inverted Inputs



### 概要

5 入力までの NOR ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NOR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバーターを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

### デザインの入力方法

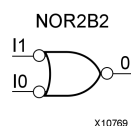
このエレメントは、回路図でのみ使用できます。

### 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## NOR2B2

プリミティブ：2-Input NOR Gate with Inverted Inputs



### 概要

5 入力までの NOR ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NOR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバーターを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

### デザインの入力方法

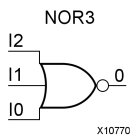
このエレメントは、回路図でのみ使用できます。

### 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## NOR3

### プリミティブ：3-Input NOR Gate with Non-Inverted Inputs



## 概要

5 入力までの NOR ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NOR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバーターを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

## デザインの入力方法

このエレメントは、回路図でのみ使用できます。

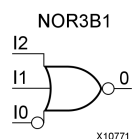
## 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)



## NOR3B1

プリミティブ：3-Input NOR Gate with 1 Inverted and 2 Non-Inverted Inputs



### 概要

5 入力までの NOR ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NOR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバーターを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

### デザインの入力方法

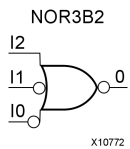
このエレメントは、回路図でのみ使用できます。

### 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## NOR3B2

プリミティブ：3-Input NOR Gate with 2 Inverted and 1 Non-Inverted Inputs



### 概要

5 入力までの NOR ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NOR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバーターを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

### デザインの入力方法

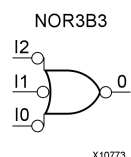
このエレメントは、回路図でのみ使用できます。

### 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## NOR3B3

プリミティブ：3-Input NOR Gate with Inverted Inputs



### 概要

5 入力までの NOR ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NOR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバーターを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

### デザインの入力方法

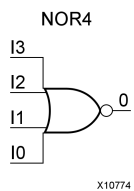
このエレメントは、回路図でのみ使用できます。

### 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## NOR4

### プリミティブ：4-Input NOR Gate with Non-Inverted Inputs



## 概要

5 入力までの NOR ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NOR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバーターを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

## デザインの入力方法

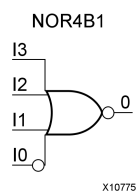
このエレメントは、回路図でのみ使用できます。

## 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## NOR4B1

プリミティブ：4-Input NOR Gate with 1 Inverted and 3 Non-Inverted Inputs



### 概要

5 入力までの NOR ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NOR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバーターを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

### デザインの入力方法

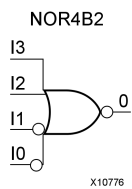
このエレメントは、回路図でのみ使用できます。

### 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## NOR4B2

プリミティブ：4-Input NOR Gate with 2 Inverted and 2 Non-Inverted Inputs



### 概要

5 入力までの NOR ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NOR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバーターを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

### デザインの入力方法

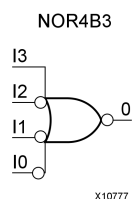
このエレメントは、回路図でのみ使用できます。

### 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## NOR4B3

プリミティブ：4-Input NOR Gate with 3 Inverted and 1 Non-Inverted Inputs



### 概要

5 入力までの NOR ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NOR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバーターを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

### デザインの入力方法

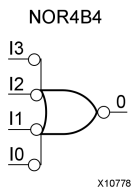
このエレメントは、回路図でのみ使用できます。

### 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## NOR4B4

プリミティブ：4-Input NOR Gate with Inverted Inputs



### 概要

5 入力までの NOR ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NOR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバーターを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

### デザインの入力方法

このエレメントは、回路図でのみ使用できます。

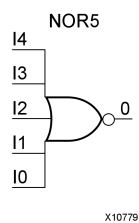
### 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)



## NOR5

プリミティブ：5-Input NOR Gate with Non-Inverted Inputs



### 概要

5 入力までの NOR ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NOR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバーターを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

### デザインの入力方法

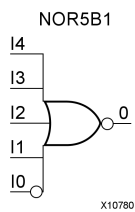
このエレメントは、回路図でのみ使用できます。

### 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## NOR5B1

プリミティブ：5-Input NOR Gate with 1 Inverted and 4 Non-Inverted Inputs



### 概要

5 入力までの NOR ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NOR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバーターを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

### デザインの入力方法

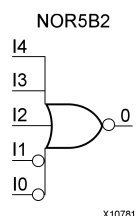
このエレメントは、回路図でのみ使用できます。

### 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## NOR5B2

プリミティブ：5-Input NOR Gate with 2 Inverted and 3 Non-Inverted Inputs



### 概要

5 入力までの NOR ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NOR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバーターを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

### デザインの入力方法

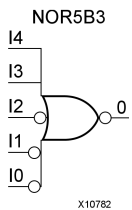
このエレメントは、回路図でのみ使用できます。

### 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## NOR5B3

プリミティブ：5-Input NOR Gate with 3 Inverted and 2 Non-Inverted Inputs



### 概要

5 入力までの NOR ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NOR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバーターを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

### デザインの入力方法

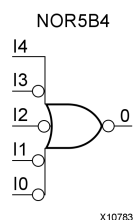
このエレメントは、回路図でのみ使用できます。

### 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## NOR5B4

プリミティブ：5-Input NOR Gate with 4 Inverted and 1 Non-Inverted Inputs



### 概要

5 入力までの NOR ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NOR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバーターを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

### デザインの入力方法

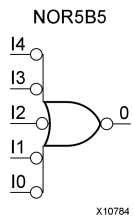
このエレメントは、回路図でのみ使用できます。

### 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## NOR5B5

プリミティブ：5-Input NOR Gate with Inverted Inputs



### 概要

5 入力までの NOR ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NOR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバーターを使用します。各入力に 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

### デザインの入力方法

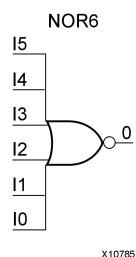
このエレメントは、回路図でのみ使用できます。

### 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## NOR6

マクロ：6-Input NOR Gate with Non-Inverted Inputs



### 概要

5 入力までの NOR ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NOR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバーターを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

### デザインの入力方法

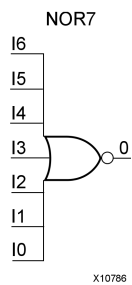
このエレメントは、回路図でのみ使用できます。

### 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## NOR7

### マクロ：7-Input NOR Gate with Non-Inverted Inputs



## 概要

5 入力までの NOR ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NOR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバーターを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

## デザインの入力方法

このエレメントは、回路図でのみ使用できます。

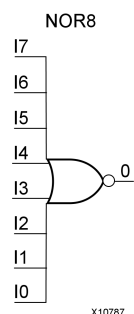
## 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)



## NOR8

マクロ：8-Input NOR Gate with Non-Inverted Inputs



### 概要

5 入力までの NOR ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NOR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバーターを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

### デザインの入力方法

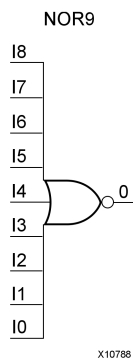
このエレメントは、回路図でのみ使用できます。

### 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## NOR9

マクロ：9-Input NOR Gate with Non-Inverted Inputs



### 概要

5 入力までの NOR ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NOR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバーターを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

### デザインの入力方法

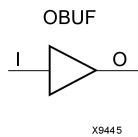
このエレメントは、回路図でのみ使用できます。

### 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## OBUF

### プリミティブ：Output Buffer



### 概要

このデザイン エLEMENTは単純な出力バッファで、トライステートにならない (常に駆動される) FPGA デバイス ピンへの出力信号を駆動するために使用します。デザインのすべての出力ポートに OBUF、OBUFT、OBUFDS、OBUFTDS のいずれかを接続する必要があります。

このELEMENTは内部回路を外部から分離し、チップから出力する信号の駆動電流を供給します。I/O ブロック (IOB) 内にあります。出力 (O) は、OPAD または IOPAD に接続されます。このELEMENTでは LVCMOS18 規格が使用され、DRIVE 制約と SLOW または FAST 制約を使用して駆動電流とスルー レートを選択できます。

### ポートの説明

ポート名	方向	幅	機能
O	出力	1	最上位出力ポートに直接接続される OBUF の出力
I	入力	1	OBUF の入力。出力ポートを駆動するロジックに接続します。

### デザインの入力方法

このELEMENTは、回路図で使用できます。

### 使用可能な属性

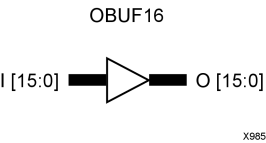
属性	データ型	値	デフォルト	説明
DRIVE	整数	2、4、6、8、12、16、24	12	出力の駆動電流を指定します。許容範囲で最も低い値を使用してください。
IOSTANDARD	文字列	データシートを参照	"DEFAULT"	ELEMENTに I/O 規格を割り当てます。
SLEW	文字列	"SLOW"、"FAST"	"SLOW"	出力ドライバースルー レートを指定します。この属性の最適な設定方法は、データシートを参照してください。

### 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

# OBUF16

マクロ : 16-Bit Output Buffer



## 概要

このデザイン エLEMENTは、複数出力バッファです。

このELEMENTは内部回路を外部から分離し、チップから出力する信号の駆動電流を供給します。I/O ブロック (IOB) 内にあります。出力 (O) は、OPAD または IOPAD に接続されます。このELEMENTでは、LVTTL 規格が使用され、DRIVE 制約と SLOW または FAST 制約を使用して駆動電流とスルー レートを選択できます。デフォルトでは、DRIVE は 12mA、スルー レートは SLOW に設定されています。

## デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

## 使用可能な属性

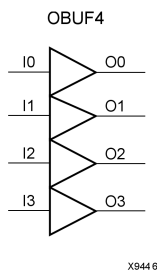
属性	データ型	値	デフォルト	説明
IOSTANDARD	文字列	データシートを参照	"DEFAULT"	ELEMENTに I/O 規格を割り当てます。

## 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## OBUF4

### マクロ：4-Bit Output Buffer



## 概要

このデザイン エLEMENTは、複数出力バッファです。

このELEMENTは内部回路を外部から分離し、チップから出力する信号の駆動電流を供給します。I/O ブロック (IOB) 内にあります。出力 (O) は、OPAD または IOPAD に接続されます。このELEMENTでは、LVTTL 規格が使用され、DRIVE 制約と SLOW または FAST 制約を使用して駆動電流とスルー レートを選択できます。デフォルトでは、DRIVE は 12mA、スルー レートは SLOW に設定されています。

## デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

## 使用可能な属性

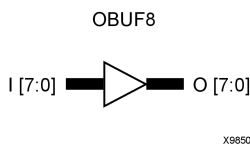
属性	データ型	値	デフォルト	説明
IOSTANDARD	文字列	データシートを参照	"DEFAULT"	ELEMENTに I/O 規格を割り当てます。

## 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## OBUF8

### マクロ：8-Bit Output Buffer



### 概要

このデザイン エLEMENTは、複数出力バッファです。

このELEMENTは内部回路を外部から分離し、チップから出力する信号の駆動電流を供給します。I/O ブロック (IOB) 内にあります。出力 (O) は、OPAD または IOPAD に接続されます。このELEMENTでは、LVTTL 規格が使用され、DRIVE 制約と SLOW または FAST 制約を使用して駆動電流とスルー レートを選択できます。デフォルトでは、DRIVE は 12mA、スルー レートは SLOW に設定されています。

### デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

### 使用可能な属性

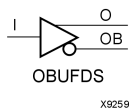
属性	データ型	値	デフォルト	説明
IOSTANDARD	文字列	データシートを参照	"DEFAULT"	ELEMENTに I/O 規格を割り当てます。

### 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## OBUFDS

### プリミティブ：Differential Signaling Output Buffer



### 概要

このデザイン エLEMENTは、低電圧差動信号をサポートする単一出力バッファです。内部回路を外部から分離し、チップから出力する信号の駆動電流を供給します。出力には 2 つの異なるポート (O および OB) があり、これらのポートをそれぞれ「マスター」および「スレーブ」と呼びます。マスターとスレーブは MYNET と MYNETB のように、同じ論理信号の反対の状態を示します。

### 論理表

入力	出力	
I	O	OB
0	0	1
1	1	0

### ポートの説明

ポート名	方向	幅	機能
O	出力	1	Diff_p 出力 (最上位ポートに直接接続)
OB	出力	1	Diff_n 出力 (最上位ポートに直接接続)
I	入力	1	バッファの入力

### デザインの入力方法

このELEMENTは、回路図で使用できます。

### 使用可能な属性

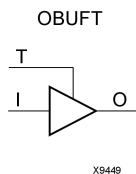
属性	データ型	値	デフォルト	説明
IOSTANDARD	文字列	データシートを参照	"DEFAULT"	ELEMENTに I/O 規格を割り当てます。
SLEW	文字列	"SLOW"、"FAST"	"SLOW"	出力ドライバのスルー レートを指定します。この属性の最適な設定方法は、データシートを参照してください。

### 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## OBUFT

### プリミティブ：3-State Output Buffer with Active Low Output Enable



## 概要

このデザイン エLEMENTは、入力 (I)、出力 (O)、アクティブ Low 出力イネーブル (T) を持つ単一のトライステート出力バッファです。このELEMENTでは LVCMOS18 規格が使用され、DRIVE 制約と SLOW または FAST 制約を使用して駆動電流とスルー レートを選択できます。

T が Low の場合、バッファーに入力された値が対応する出力に送られます。T が High の場合は、出力がハイインピーダンス (オフまたは Z ステート) になります。OBUFT は、双方向 I/O を作成するなど、トライステート機能にシングルエンド出力を使用する必要がある場合に使用します。

## 論理表

入力		出力
T	I	O
1	X	Z
0	1	1
0	0	0

## ポートの説明

ポート名	方向	幅	説明
O	出力	1	バッファー出力 (最上位ポートに直接接続)
I	入力	1	バッファーの入力
T	入力	1	トライステート イネーブル入力

## デザインの入力方法

このELEMENTは、回路図で使用できます。

## 使用可能な属性

属性	データ型	値	デフォルト	説明
DRIVE	整数	2、4、6、8、12、16、24	12	出力の駆動電流を指定します。許容範囲で最も低い値を使用してください。
IOSTANDARD	文字列	データシートを参照	"DEFAULT"	ELEMENTに I/O 規格を割り当てます。
SLEW	文字列	"SLOW"、"FAST"	"SLOW"	出力ドライバーのスルー レートを指定します。この属性の最適な設定方法は、データシートを参照してください。

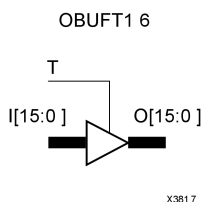


## 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## OBUFT16

マクロ : 16-Bit 3-State Output Buffer with Active Low Output Enable



### 概要

このデザイン エレメントは、入力 (I)、出力 (O)、アクティブ Low 出力イネーブル (T) を持つ複数のトライステート出力バッファです。このエレメントでは、LVTTTL 規格が使用され、DRIVE 制約と SLOW または FAST 制約を使用して駆動電流とスルー レートを選択できます。デフォルトでは、DRIVE=12mA、スルー レートは SLOW に設定されています。

T が Low の場合、バッファに入力された値が対応する出力に送られます。T が High の場合は、出力がハイインピーダンス (オフまたは Z ステート) になります。OBUFT は、双方向 I/O を作成するなど、トライステート機能にシングルエンド出力を使用する必要がある場合に使用します。

### 論理表

入力		出力
T	I	O
1	X	Z
0	1	1
0	0	0

### デザインの入力方法

このエレメントは、回路図でのみ使用できます。

### 使用可能な属性

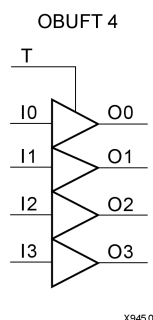
属性	データ型	値	デフォルト	説明
IOSTANDARD	文字列	データシートを参照	"DEFAULT"	エレメントに I/O 規格を割り当てます。

### 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## OBUFT4

マクロ：4-Bit 3-State Output Buffers with Active-Low Output Enable



### 概要

このデザイン エLEMENTは、入力 (I)、出力 (O)、アクティブ Low 出力イネーブル (T) を持つ複数のトライステート出力バッファです。このELEMENTでは、LVTTTL 規格が使用され、DRIVE 制約と SLOW または FAST 制約を使用して駆動電流とスルー レートを選択できます。デフォルトでは、DRIVE=12mA、スルー レートは SLOW に設定されています。

T が Low の場合、バッファに入力された値が対応する出力に送られます。T が High の場合は、出力がハイインピーダンス (オフまたは Z ステート) になります。OBUFT は、双方向 I/O を作成するなど、トライステート機能にシングルエンド出力を使用する必要がある場合に使用します。

### 論理表

入力		出力
T	I	O
1	X	Z
0	1	1
0	0	0

### デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

### 使用可能な属性

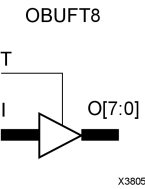
属性	データ型	値	デフォルト	説明
IOSTANDARD	文字列	データシートを参照	"DEFAULT"	ELEMENTに I/O 規格を割り当てます。

### 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

# OBUFT8

マクロ : 8-Bit 3-State Output Buffers with Active-Low Output Enable



## 概要

このデザイン エレメントは、入力 (I)、出力 (O)、アクティブ Low 出力イネーブル (T) を持つ複数のトライステート出力バッファです。このエレメントでは、LVTTL 規格が使用され、DRIVE 制約と SLOW または FAST 制約を使用して駆動電流とスルー レートを選択できます。デフォルトでは、DRIVE=12mA、スルー レートは SLOW に設定されています。

T が Low の場合、バッファに入力された値が対応する出力に送られます。T が High の場合は、出力がハイインピーダンス (オフまたは Z ステート) になります。OBUFT は、双方向 I/O を作成するなど、トライステート機能にシングルエンド出力を使用する必要がある場合に使用します。

## 論理表

入力		出力
T	I	O
1	X	Z
0	1	1
0	0	0

## デザインの入力方法

このエレメントは、回路図でのみ使用できます。

## 使用可能な属性

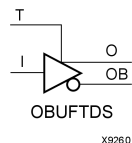
属性	データ型	値	デフォルト	説明
IOSTANDARD	文字列	データシートを参照	"DEFAULT"	エレメントに I/O 規格を割り当てます。

## 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## OBUFTDS

**プリミティブ：3-State Output Buffer with Differential Signaling, Active-Low Output Enable**



### 概要

このデザイン エLEMENTは、低電圧差動信号をサポートする出力バッファです。OBUFTDS では、デザイン レベルのインターフェイス信号は、一方がマスターで、もう一方がスレーブとなる 2 つの異なるポート (O、OB) で表されます。マスターとスレーブは MYNET\_P と MYNET\_N のように、同じ論理信号の反対の状態を示します。

### 論理表

入力		出力	
I	T	O	OB
X	1	Z	Z
0	0	0	1
1	0	1	0

### ポートの説明

ポート名	方向	幅	説明
O	出力	1	Diff_p 出力 (最上位ポートに直接接続)
OB	出力	1	Diff_n 出力 (最上位ポートに直接接続)
I	入力	1	バッファの入力
T	入力	1	トライステート イネーブル入力

### デザインの入力方法

このELEMENTは、回路図で使用できます。

### 使用可能な属性

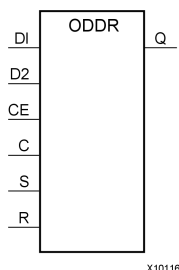
属性	データ型	値	デフォルト	説明
IOSTANDARD	文字列	データシートを参照	"DEFAULT"	ELEMENTに I/O 規格を割り当てます。
SLEW	文字列	"SLOW"、"FAST"	"SLOW"	出力ドライバのスルー レートを指定します。この属性の最適な設定方法は、データシートを参照してください。

### 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## ODDR

### プリミティブ：Dedicated Dual Data Rate (DDR) Output Register



### 概要

このデザイン エLEMENTは、FPGA デバイスからデュアル データ レート (DDR) 信号を送信するための専用出力レジスタです。ODDR プリミティブでは、FPGA からのデータを送信するのに反対のクロック エッジだけではなく、同じクロック エッジを使用することも可能です。これにより、タイミングが複雑にならず、追加の CLB リソースも必要ありません。また ODDR は SelectIO™ 機能と共に使用されます。

#### ODDR のモード

このELEMENTは 2 つのモードで動作します。これらのモードは、DDR\_CLK\_EDGE 属性で設定します。

- ・ **OPPOSITE\_EDGE モード**：通常の DDR 方式でデータを送信します。D1 はクロック C の立ち上がりエッジごとにサンプリングされ、D2 は立ち下がりエッジごとにサンプリングされます。Q は各クロック エッジで変化します。
- ・ **SAME\_EDGE モード**：データはクロック C の反対のエッジで ODDR 出力から送信されますが、ODDR への 2 つの入力はクロック信号 C の立ち上がりエッジで動作し、追加されたレジスタがクロック信号 C の立ち下がりエッジで動作します。この機能を使用すると、DDR データは同じクロック エッジで ODDR に取り込まれます。

### ポートの説明

ポート名	方向	幅	機能
Q	出力	1	データ出力 (DDR)。IOB パッドに接続されます。
C	入力	1	クロック入力
CE	入力	1	クロック イネーブル入力。High になると、ポート C のクロック入力がいネーブルになります。
D1 : D2	入力	1 (それぞれ)	データ入力。DDR データを ODDR モジュールに入力するピンです。
R	入力	1	リセット。SRTYPE の設定によって異なります。
S	入力	1	アクティブ High の非同期セットピン。SRTYPE 属性の設定により、同期にもなります。

### デザインの入力方法

このELEMENTは、回路図で使用できます。

## 使用可能な属性

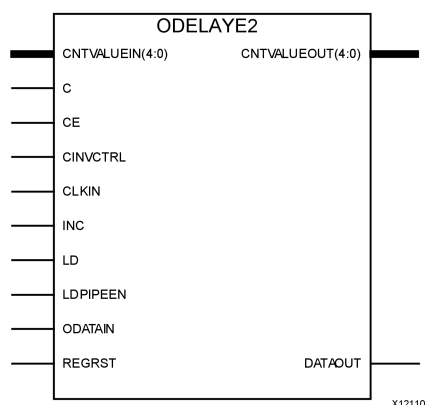
属性	データ型	値	デフォルト	説明
DDR_CLK_EDGE	文字列	"OPPOSITE_EDGE"、 "SAME_EDGE"	"OPPOSITE_ EDGE"	クロック エッジに対する DDR の操作モードを指定します。
INIT	整数	0、1	1	Q の初期値を設定します。
SRTYPE	文字列	"SYNC"、"ASYNC"	"SYNC"	セット/リセットのタイプを選択します。

## 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## ODELAYE2

### プリミティブ：Output Fixed or Variable Delay Element



### 概要

このデザイン エレメントは、7 シリーズ FPGA の出力パスに固定遅延または可変遅延を追加します。この遅延は、外部データのアライメント、外部位相オフセットおよび同時スイッチ ノイズ (SSN) の低減、プロセス、温度、電圧 (PVT) の変動による外部データ アライメントの監視に有益です。IDELAYCTRL コンポーネントと共に使用すると、正確なタイミングで遅延を増減できます。VARIABLE モードでは、出力パスを調整して遅延の量を増分または減分できます。7 シリーズデバイスでは、HR (High Range) バンクには ODELAYE2 はありません。

### ポートの説明

ポート名	方向	幅	機能
C	入力	1	ODELAYE2 プリミティブの制御入力 (CNTVALUEIN、RST、CE、LD、LDPIPEEN、および INC) は、すべてクロック入力 (C) に同期しています。ODELAYE2 を "VARIABLE"、"VAR_LOAD"、または "VAR_LOAD_PIPE" モードでコンフィギュレーションする場合は、クロックをこのポートに接続する必要があります。C はローカルで反転でき、グローバルまたはリージョナルクロック バッファから供給する必要があります。このクロックは SelectIO™ ロジック リソースの同じクロックに接続する必要があります (OSERDESE2 を使用する場合は C は CLKDIV に接続)。ODELAYE2 を "FIXED" モードでコンフィギュレーションする場合は、GND に接続してください。
CE	入力	1	インクリメント/ディクリメントを有効にするアクティブ High のイネーブル。ODELAYE2 を "FIXED" モードでコンフィギュレーションする場合は、GND に接続してください。
CINVCTRL	入力	1	C ピンの極性を動的に切り替えます。この機能は、グリッチが問題にならないアプリケーションで使します。極性を切り替える際は、2 クロック サイクル間 ODELAYE2 制御ピンを使用しないでください。ODELAYE2 を "FIXED" モードでコンフィギュレーションする場合は、GND に接続してください。
CLKIN	入力	1	遅延されたクロック入力
CNTVALUEIN<4:0>	入力	5	"VAR_LOAD" または "VAR_LOAD_PIPE" モードでコンフィギュレーションする場合に、動的に読み込まれるタップ値用の FPGA ロジックからのカウンタ値。ODELAYE2 を "FIXED" または "VARIABLE" モードでコンフィギュレーションする場合は、GND に接続してください。
CNTVALUEOUT<4:0>	出力	5	遅延エレメントの値の動的な変更をレポートします。ODELAYE2 が "VAR_LOAD" または "VAR_LOAD_PIPE" モードの場合にのみ有効です。



ポート名	方向	幅	機能
DATAOUT	出力	1	CLKIN または ODATAIN ポートからの遅延されたデータ/クロック。データの場合は I/O ポートに接続され、クロックの場合はクロック構造に戻されます。
INC	入力	1	インクリメント/デクリメントは、イネーブル信号 (CE) により制御されます。ODELAYE2 が "VARIABLE"、"VAR_LOAD"、または "VAR_LOAD_PIPE" モードの場合にのみ有効です。
LD	入力	1	初期値または読み込まれた値をカウンタに読み込みます。
LDPIPEEN	入力	1	LD ピンからデータを読み込む際にパイプライン レジスタをイネーブルにします。
ODATAIN	入力	1	OSERDESE2 または出力レジスタで駆動される、遅延される出力データ
REGRST	入力	1	アクティブ High のリセットで、入力クロック入力 (C) に同期しています。アサートすると、LDPIPEEN がアサートされていない場合はタップ値が 0 に戻り、LDPIPEEN がアサートされている場合はタップ値は CNTVALUEIN ポートの値になります。

## デザインの入力方法

このエレメントは、回路図で使用できます。

## 使用可能な属性

属性	データ型	値	デフォルト	説明
CINVCTRL_SEL	文字列	"FALSE"、"TRUE"	"FALSE"	C ピンの極性を動的に切り替える CINVCTRL_SEL ピンをイネーブルにします。
DELAY_SRC	文字列	"ODATAIN"、"CLKIN"	"ODATAIN"	データ入力のソースを選択します。 <ul style="list-style-type: none"> <li>"ODATAIN"：ODELAYE2 チェーンの入力は ODATAIN</li> <li>"CLKIN"：ODELAYE2 チェーンの入力は CLKIN</li> </ul>
HIGH_PERFORMANCE_MODE	文字列	"FALSE"、"TRUE"	"FALSE"	"TRUE" に設定すると出力ジッターが減少し、"FALSE" に設定すると消費電力が削減されます。消費電力量の差異は、XPower Analyzer および XPower Estimator (XPE) ツールで確認できます。
ODELAY_TYPE	文字列	"FIXED"、 "VAR_LOAD"、 "VAR_LOAD_PIPE"、 "VARIABLE"	"FIXED"	タップ遅延ラインのタイプを設定します。 <ul style="list-style-type: none"> <li>"FIXED"：スタティック遅延値を設定します。</li> <li>"VARIABLE"：遅延値を動的に調整（インクリメントまたはデクリメント）します。</li> <li>"VAR_LOAD"：タップ値を動的に読み込みます。</li> </ul>

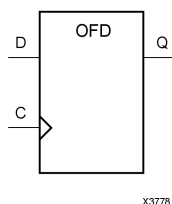
属性	データ型	値	デフォルト	説明
				<ul style="list-style-type: none"> <li>“VAR_LOAD_PIPE” : タップ値をパイプラインを介して動的に読み込みます。</li> </ul>
ODELAY_VALUE	10 進数	0、1、2、3、4、5、6、7、8、9、10、11、12、13、14、15、16、17、18、19、20、21、22、23、24、25、26、27、28、29、30、31	0	“FIXED” モードでは遅延タップ数、“VARIABLE” モードでは遅延タップ数の初期値を指定します (入力パス)。“VAR_LOAD” または “VAR_LOAD_PIPE” モードの場合、この属性値は無視されます。
PIPE_SEL	文字列	“FALSE”、“TRUE”	“FALSE”	パイプライン モードを選択します。
REFCLK_FREQUENCY	1 上位ビット 浮動小数点	190.0 ~ 210 および 290.0 ~ 310.0	200.0	Timing Analyzer でスタティック タイミング解析、論理シミュレーション、タイミングシミュレーションに使用するタップ値 (MHz) を設定します。適切なタップ遅延値およびパフォーマンスを得るためには、REFCLK の周波数をデータシートに記載された範囲内にする必要があります。
SIGNAL_PATTERN	文字列	“DATA”、“CLOCK”	“DATA”	タイミング解析で、不規則な遷移を含む “DATA” パターンまたは規則的な立ち上がり/立下りパターンを含む “CLOCK” パターンが現れたときに、適切な遅延チェーン ジッター量が考慮されます。

## For More Information

- ・ [7 シリーズ FPGA SelectIO リソース ユーザー ガイド](#)
- ・ [7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## OFD

### マクロ：Output D Flip-Flop



### 概要

このデザイン エLEMENTは単一出力の D フリップフロップです。

出力は、OPAD または IOPAD に接続されます。D 入力の値は、クロック (C) が Low から High に切り替わる時にフリップフロップにロードされ、Q に出力されます。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP\_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

### 論理表

入力		出力
D	C	Q
D	↑	D

### デザインの入力方法

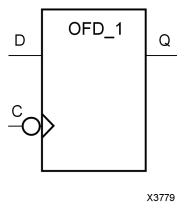
このELEMENTは、回路図でのみ使用できます。

### 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## OFD\_1

### マクロ：Output D Flip-Flop with Inverted Clock



## 概要

このデザイン エLEMENTは、I/O ブロック (IOB) に含まれます。D フリップフロップの出力 (Q) は、OPAD または IOPAD に接続されます。D 入力の値は、クロック (C) が High から Low に切り替わるときにフリップフロップ内にロードされ、Q に出力されます。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP\_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

## 論理表

入力		出力
D	C	Q
D	↓	D

## デザインの入力方法

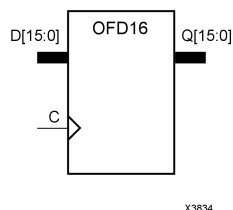
このELEMENTは、回路図でのみ使用できます。

## 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## OFD16

### マクロ：16-Bit Output D Flip-Flop



### 概要

このデザイン エLEMENTは複数出力の D フリップフロップです。

出力は、OPAD または IOPAD に接続されます。D 入力の値は、クロック (C) が Low から High に切り替わる時にフリップフロップにロードされ、Q に出力されます。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP\_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

### 論理表

入力		出力
D	C	Q
D	↑	D

### デザインの入力方法

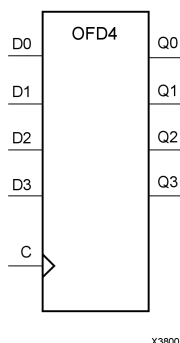
このELEMENTは、回路図でのみ使用できます。

### 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## OFD4

### マクロ：4-Bit Output D Flip-Flop



## 概要

このデザイン エレメントは複数出力の D フリップフロップです。

出力は、OPAD または IOPAD に接続されます。D 入力の値は、クロック (C) が Low から High に切り替わる時にフリップフロップにロードされ、Q に出力されます。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP\_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

## 論理表

入力		出力
D	C	Q
D	↑	D

## デザインの入力方法

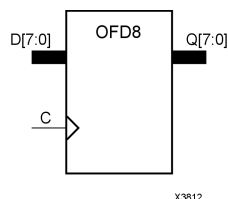
このエレメントは、回路図でのみ使用できます。

## 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## OFD8

### マクロ：8-Bit Output D Flip-Flop



### 概要

このデザイン エLEMENTは複数出力の D フリップフロップです。

出力は、OPAD または IOPAD に接続されます。D 入力の値は、クロック (C) が Low から High に切り替わる時にフリップフロップにロードされ、Q に出力されます。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP\_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

### 論理表

入力		出力
D	C	Q
D	↑	D

### デザインの入力方法

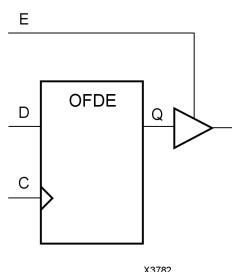
このELEMENTは、回路図でのみ使用できます。

### 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## OFDE

### マクロ : D Flip-Flop with Active-High Enable Output Buffers



### 概要

このデザイン エレメントは単一の D フリップフロップで、出力はトリステート バッファでイネーブル制御されます。フリップフロップの出力 (Q) は、出力バッファ (OBUFE) の入力に接続されます。OBUFE の出力は、OPAD または IOPAD に接続されます。入力 (D) の値は、クロック (C) が Low から High に切り替わる時にフリップフロップにロードされます。アクティブ High のイネーブル入力 (E) が High の場合、フリップフロップの出力 (Q) の値は OBUFE の O に出力されます。E が Low になると、出力はハイ インピーダンス (Z ステートまたはオフ) になります。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP\_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

### 論理表

入力			出力
E	D	C	O
0	X	X	Z
1	Dn	↑	Dn

### デザインの入力方法

このエレメントは、回路図でのみ使用できます。

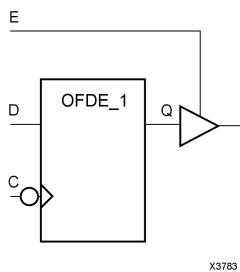
### 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)



## OFDE\_1

マクロ：D Flip-Flop with Active-High Enable Output Buffer and Inverted Clock



### 概要

このデザイン エLEMENTとその出力バッファは、I/O ブロック (IOB) に含まれます。フリップフロップの出力 (Q) は、出力バッファまたは OBUFE の入力に接続されます。OBUFE の出力は、OPAD または IOPAD に接続されます。入力 (D) の値は、クロック (C) が High から Low に切り替わる時にフリップフロップにロードされます。アクティブ High のイネーブル入力 (E) が High の場合、フリップフロップの出力 (Q) の値は OBUFT の O に出力されます。E が Low になると、出力はハイ インピーダンス (Z ステートまたはオフ) になります。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP\_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

### 論理表

入力			出力
E	D	C	O
0	X	X	Z
1	D	↓	D

### デザインの入力方法

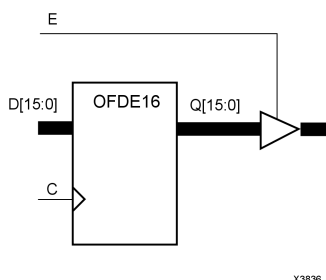
このELEMENTは、回路図でのみ使用できます。

### 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## OFDE16

### マクロ : 16-Bit D Flip-Flop with Active-High Enable Output Buffers



## 概要

このデザイン エLEMENTは複数の D フリップフロップで、出力はトライステート バッファでイネーブル制御されます。フリップフロップの出力 (Q) は、出力バッファ (OBUFE) の入力に接続されます。OBUFE の出力 (O) は、OPAD または IOPAD に接続されます。入力 (D) の値は、クロック (C) が Low から High に切り替わる時にフリップフロップにロードされます。アクティブ High のイネーブル入力 (E) が High のとき、フリップフロップの出力 (Q) の値が OBUFE の O に出力されます。E が Low になると、出力はハイ インピーダンス (Z ステートまたはオフ) になります。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP\_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

## 論理表

入力			出力
E	D	C	O
0	X	X	Z
1	Dn	↑	Dn

## デザインの入力方法

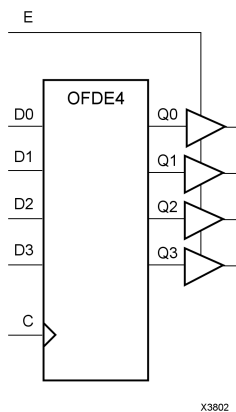
このELEMENTは、回路図でのみ使用できます。

## 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## OFDE4

### マクロ：4-Bit D Flip-Flop with Active-High Enable Output Buffers



## 概要

このデザイン エLEMENTは複数の D フリップフロップで、出力はトライステートバッファでイネーブル制御されます。フリップフロップの出力 (Q) は、出力バッファ (OBUFE) の入力に接続されます。OBUFE の出力 (O) は、OPAD または IOPAD に接続されます。入力 (D) の値は、クロック (C) が Low から High に切り替わる時にフリップフロップにロードされます。アクティブ High のイネーブル入力 (E) が High のとき、フリップフロップの出力 (Q) の値が OBUFE の O に出力されます。E が Low になると、出力はハイインピーダンス (Z ステートまたはオフ) になります。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。FPGA では、グローバルセット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP\_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

## 論理表

入力			出力
E	D	C	O
0	X	X	Z
1	Dn	↑	Dn

## デザインの入力方法

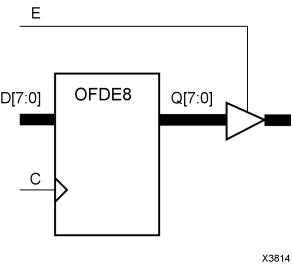
このELEMENTは、回路図でのみ使用できます。

## 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

# OFDE8

マクロ : 8-Bit D Flip-Flop with Active-High Enable Output Buffers



## 概要

このデザイン エレメントは複数の D フリップフロップで、出力はトライステート バッファでイネーブル制御されます。フリップフロップの出力 (Q) は、出力バッファ (OBUFE) の入力に接続されます。OBUFE の出力 (O) は、OPAD または IOPAD に接続されます。入力 (D) の値は、クロック (C) が Low から High に切り替わる時にフリップフロップにロードされます。アクティブ High のイネーブル入力 (E) が High のとき、フリップフロップの出力 (Q) の値が OBUFE の O に出力されます。E が Low になると、出力はハイ インピーダンス (Z ステートまたはオフ) になります。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP\_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

## 論理表

入力			出力
E	D	C	O
0	X	X	Z
1	Dn	↑	Dn

## デザインの入力方法

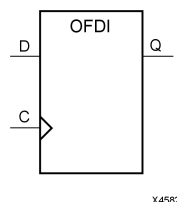
このエレメントは、回路図でのみ使用できます。

## 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## OFDI

マクロ：Output D Flip-Flop (Asynchronous Preset)



## 概要

このデザイン エLEMENTは、I/O ブロック (IOB) に含まれます。D フリップフロップの出力 (Q) は、OPAD または IOPAD に接続されます。D 入力の値は、クロック (C) が Low から High に切り替わるときにフリップフロップにロードされ、Q に出力されます。

電力を供給すると、フリップフロップは非同期にプリセットされ、出力が High になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP\_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

## 論理表

入力		出力
D	C	Q
D	↑	D

## デザインの入力方法

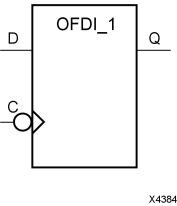
このELEMENTは、回路図でのみ使用できます。

## 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

# OFDI\_1

マクロ : Output D Flip-Flop with Inverted Clock (Asynchronous Preset)



## 概要

このデザイン エレメントは、I/O ブロック (IOB) 内に配置されます。D フリップフロップの出力 (Q) は、OPAD または IOPAD に接続されます。D 入力の値は、クロック (C) が High から Low に切り替わる時にフリップフロップ内にロードされ、Q に出力されます。

電力を供給すると、フリップフロップは非同期にプリセットされ、出力が High になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP\_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

## 論理表

入力		出力
D	C	Q
D	↓	D

## デザインの入力方法

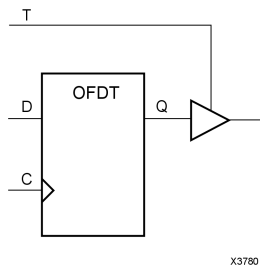
このエレメントは、回路図でのみ使用できます。

## 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## OFDT

### マクロ：D Flip-Flop with Active-Low 3-State Output Buffer



## 概要

このデザイン エLEMENTは単一の D フリップフロップで、出力はトリステート バッファでイネーブル制御されます。

フリップフロップの出力 (Q) は、出力バッファ (OBUFT) の入力に接続されます。OBUFT の出力 (O) は、OPAD または IOPAD に接続されます。入力 (D) の値は、クロック (C) が Low から High に切り替わる時にフリップフロップにロードされます。アクティブ Low のイネーブル入力 (T) が Low のとき、フリップフロップの出力 (Q) の値が O に出力されます。T が High になると、出力はハイ インピーダンス (オフ) になります。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP\_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

## 論理表

入力			出力
T	D	C	O
1	X	X	Z
0	D	↑	D

## デザインの入力方法

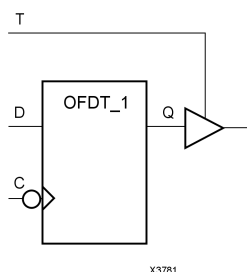
このELEMENTは、回路図でのみ使用できます。

## 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## OFDT\_1

マクロ : D Flip-Flop with Active-Low 3-State Output Buffer and Inverted Clock



### 概要

このデザイン エレメントとその出力バッファは、I/O ブロック (IOB) に含まれます。フリップフロップの出力 (Q) は、出力バッファ (OBUFT) の入力に接続されます。OBUFT の出力は、OPAD または IOPAD に接続されます。入力 (D) の値は、クロック (C) が High から Low に切り替わるときにフリップフロップにロードされます。アクティブ Low のイネーブル入力 (T) が Low のとき、フリップフロップの出力 (Q) の値が 0 に出力されます。T が High になると、出力はハイインピーダンス (オフ) になります。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP\_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

### 論理表

入力			出力
T	D	C	O
1	X	X	Z
0	D	↓	D

### デザインの入力方法

このエレメントは、回路図でのみ使用できます。

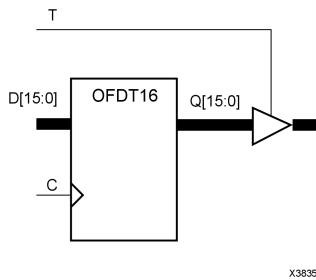
### 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)



## OFDT16

マクロ：16-Bit D Flip-Flop with Active-Low 3-State Output Buffers



### 概要

このデザイン エLEMENTは複数の D フリップフロップで、出力はトリステート バッファでイネーブル制御されます。

フリップフロップの出力 (Q) は、出力バッファ (OBUFT) の入力に接続されます。OBUFT の出力 (O) は、OPAD または IOPAD に接続されます。入力 (D) の値は、クロック (C) が Low から High に切り替わる時にフリップフロップにロードされます。アクティブ Low のイネーブル入力 (T) が Low のとき、フリップフロップの出力 (Q) の値が O に出力されます。T が High になると、出力はハイ インピーダンス (オフ) になります。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP\_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

### 論理表

入力			出力
T	D	C	O
1	X	X	Z
0	D	↑	D

### デザインの入力方法

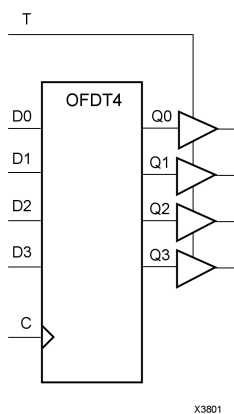
このELEMENTは、回路図でのみ使用できます。

### 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## OFDT4

### マクロ : 4-Bit D Flip-Flop with Active-Low 3-State Output Buffers



## 概要

このデザイン エLEMENTは複数の D フリップフロップで、出力はトリステートバッファでイネーブル制御されます。

フリップフロップの出力 (Q) は、出力バッファ (OBUFT) の入力に接続されます。OBUFT の出力 (O) は、OPAD または IOPAD に接続されます。入力 (D) の値は、クロック (C) が Low から High に切り替わる時にフリップフロップにロードされます。アクティブ Low のイネーブル入力 (T) が Low のとき、フリップフロップの出力 (Q) の値が O に出力されます。T が High になると、出力はハイインピーダンス (オフ) になります。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP\_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

## 論理表

入力			出力
T	D	C	O
1	X	X	Z
0	D	↑	D

## デザインの入力方法

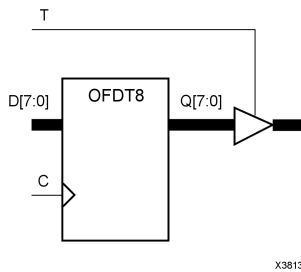
このELEMENTは、回路図でのみ使用できます。

## 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## OFDT8

マクロ：8-Bit D Flip-Flop with Active-Low 3-State Output Buffers



### 概要

このデザイン エLEMENTは複数の D フリップフロップで、出力はトライステート バッファでイネーブル制御されます。

フリップフロップの出力 (Q) は、出力バッファ (OBUFT) の入力に接続されます。OBUFT の出力 (O) は、OPAD または IOPAD に接続されます。入力 (D) の値は、クロック (C) が Low から High に切り替わる時にフリップフロップにロードされます。アクティブ Low のイネーブル入力 (T) が Low のとき、フリップフロップの出力 (Q) の値が O に出力されます。T が High になると、出力はハイ インピーダンス (オフ) になります。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP\_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

### 論理表

入力			出力
T	D	C	O
1	X	X	Z
0	D	↑	D

### デザインの入力方法

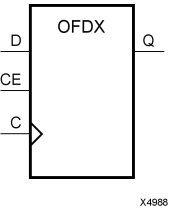
このELEMENTは、回路図でのみ使用できます。

### 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

# OFDX

マクロ : Output D Flip-Flop with Clock Enable



## 概要

このデザイン エレメントは単一出力の D フリップフロップです。Q 出力は、OPAD または IOPAD に接続されます。D 入力の値は、クロック (C) が Low から High に切り替わるときにフリップフロップ内にロードされ、Q に出力されます。クロック イネーブル (CE) が Low のときには、出力は変化しません。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP\_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

## 論理表

入力			出力
CE	D	C	Q
1	Dn	↑	Dn
0	X	X	変化なし

## デザインの入力方法

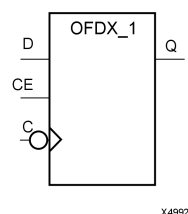
このエレメントは、回路図でのみ使用できます。

## 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## OFDX\_1

マクロ：Output D Flip-Flop with Inverted Clock and Clock Enable



### 概要

このデザイン エLEMENTは、I/O ブロック (IOB) に含まれます。D フリップフロップの出力 (Q) は、OPAD または IOPAD に接続されます。D 入力の値は、クロック (C) が High から Low に切り替わる時にフリップフロップ内にロードされ、Q に出力されます。クロック イネーブル (CE) が Low のときには、出力 (Q) は変化しません。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP\_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

### 論理表

入力			出力
CE	D	C	Q
1	D	↓	D
0	X	X	変化なし

### デザインの入力方法

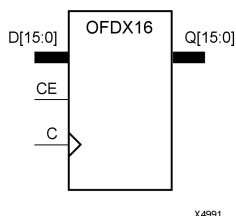
このELEMENTは、回路図でのみ使用できます。

### 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## OFDX16

### マクロ：16-Bit Output D Flip-Flop with Clock Enable



### 概要

このデザイン エレメントは複数出力の D フリップフロップです。Q 出力は、OPAD または IOPAD に接続されます。D 入力の値は、クロック (C) が Low から High に切り替わるときにフリップフロップ内にロードされ、Q に出力されます。クロック イネーブル (CE) が Low のときには、出力は変化しません。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP\_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

### 論理表

入力			出力
CE	D	C	Q
1	Dn	↑	Dn
0	X	X	変化なし

### デザインの入力方法

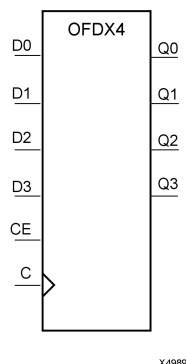
このエレメントは、回路図でのみ使用できます。

### 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## OFDX4

マクロ：4-Bit Output D Flip-Flop with Clock Enable



### 概要

このデザイン エLEMENTは複数出力の D フリップフロップです。Q 出力は、OPAD または IOPAD に接続されます。D 入力の値は、クロック (C) が Low から High に切り替わるときにフリップフロップ内にロードされ、Q に出力されます。クロック イネーブル (CE) が Low のときには、出力は変化しません。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP\_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

### 論理表

入力			出力
CE	D	C	Q
1	Dn	↑	Dn
0	X	X	変化なし

### デザインの入力方法

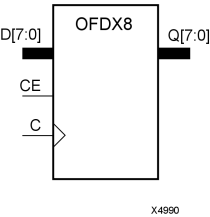
このELEMENTは、回路図でのみ使用できます。

### 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

# OFDX8

マクロ : 8-Bit Output D Flip-Flop with Clock Enable



## 概要

このデザイン エレメントは複数出力の D フリップフロップです。Q 出力は、OPAD または IOPAD に接続されます。D 入力の値は、クロック (C) が Low から High に切り替わるときにフリップフロップ内にロードされ、Q に出力されます。クロック イネーブル (CE) が Low のときには、出力は変化しません。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP\_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

## 論理表

入力			出力
CE	D	C	Q
1	Dn	↑	Dn
0	X	X	変化なし

## デザインの入力方法

このエレメントは、回路図でのみ使用できます。

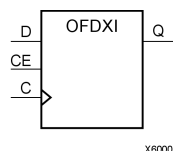
## 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)



## OFDXI

マクロ：Output D Flip-Flop with Clock Enable (Asynchronous Preset)



### 概要

このデザイン エLEMENTは、I/O ブロック (IOB) に含まれます。D フリップフロップの出力 (Q) は、OPAD または IOPAD に接続されます。D 入力の値は、クロック (C) が Low から High に切り替わるときにフリップフロップにロードされ、Q に出力されます。クロック イネーブル (CE) が Low のときには、出力は変化しません。

電力を供給すると、フリップフロップは非同期にプリセットされ、出力が High になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP\_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

### 論理表

入力			出力
CE	D	C	Q
1	D	↑	D
0	X	X	変化なし

### デザインの入力方法

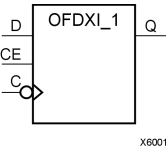
このELEMENTは、回路図でのみ使用できます。

### 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

# OFDXI\_1

マクロ : Output D Flip-Flop with Inverted Clock and Clock Enable (Asynchronous Preset)



## 概要

このデザイン エレメントは、I/O ブロック (IOB) に含まれます。D フリップフロップの出力 (Q) は、OPAD または IOPAD に接続されます。D 入力の値は、クロック (C) が High から Low に切り替わる時にフリップフロップ内にロードされ、Q に出力されます。クロック イネーブル (CE) が Low のときには、出力 (Q) は変化しません。

電力を供給すると、フリップフロップは非同期にプリセットされ、出力が High になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP\_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

## 論理表

入力			出力
CE	D	C	Q
1	D	↓	D
0	X	X	変化なし

## デザインの入力方法

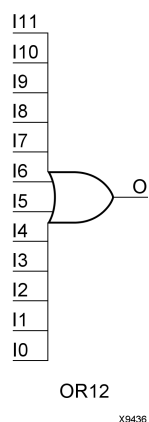
このエレメントは、回路図でのみ使用できます。

## 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## OR12

マクロ：12-Input OR Gate with Non-Inverted Inputs



### 概要

5 入力までの OR ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の OR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバーターを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

### デザインの入力方法

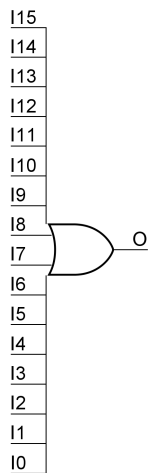
このエレメントは、回路図でのみ使用できます。

### 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## OR16

マクロ：16-Input OR Gate with Non-Inverted Inputs



OR16

X9437

### 概要

5 入力までの OR ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の OR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバーターを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

### デザインの入力方法

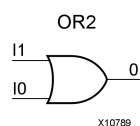
このエレメントは、回路図でのみ使用できます。

### 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## OR2

### プリミティブ：2-Input OR Gate with Non-Inverted Inputs



## 概要

5 入力までの OR ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の OR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバーターを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

## デザインの入力方法

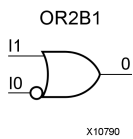
このエレメントは、回路図でのみ使用できます。

## 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## OR2B1

プリミティブ：2-Input OR Gate with 1 Inverted and 1 Non-Inverted Inputs



### 概要

5 入力までの OR ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の OR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバーターを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

### デザインの入力方法

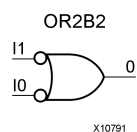
このエレメントは、回路図でのみ使用できます。

### 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## OR2B2

### プリミティブ：2-Input OR Gate with Inverted Inputs



### 概要

5 入力までの OR ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の OR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバーターを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

### デザインの入力方法

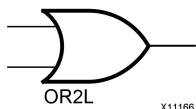
このエレメントは、回路図でのみ使用できます。

### 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## OR2L

プリミティブ：Two input OR gate implemented in place of a Slice Latch



### 概要

このデザイン エレメントでは、コンフィギュレーション可能なスライス ラッチで 2 入力 OR ゲートのファンクションが使用されます (論理表を参照)。このエレメントを使用すると、ロジックのレジスタ/ラッチ リソース数をトレードオフすることで、ロジック レベルを削減して、デバイスのロジック集積度を高めることができます。このエレメントは、レジスタのパックおよび集積度に影響を与えるので注意してください。スライスで AND2B1L または OR2L コンポーネントを指定すると、残りのレジスタおよびラッチが使用できなくなります。

### 論理表

入力		出力
DI	SRI	O
0	0	0
0	1	1
1	0	1
1	1	1

### ポートの説明

ポート名	方向	幅	機能
O	出力	1	OR ゲートの出力
DI	入力	1	同じスライスにあるソース LUT に通常接続されるアクティブ High の入力
SRI	入力	1	通常スライス外からソースされるアクティブ Low の入力  <b>メモ：</b> 複数の AND2B1L または OR2B1L を 1 つのスライスにパックするには、この入力に共通の信号を接続する必要があります。

### デザインの入力方法

このエレメントは、回路図でのみ使用できます。

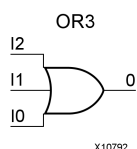
### 詳細情報

- ・ [7 シリーズ FPGA SelectIO リソース ユーザー ガイド](#)
- ・ [7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)



## OR3

### プリミティブ：3-Input OR Gate with Non-Inverted Inputs



## 概要

5 入力までの OR ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の OR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバーターを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

## デザインの入力方法

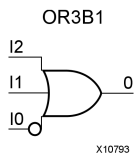
このエレメントは、回路図でのみ使用できます。

## 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## OR3B1

プリミティブ：3-Input OR Gate with 1 Inverted and 2 Non-Inverted Inputs



### 概要

5 入力までの OR ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の OR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバーターを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

### デザインの入力方法

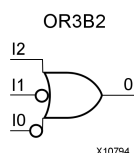
このエレメントは、回路図でのみ使用できます。

### 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## OR3B2

プリミティブ：3-Input OR Gate with 2 Inverted and 1 Non-Inverted Inputs



### 概要

5 入力までの OR ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の OR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバーターを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

### デザインの入力方法

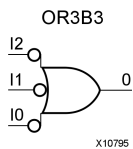
このエレメントは、回路図でのみ使用できます。

### 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## OR3B3

### プリミティブ：3-Input OR Gate with Inverted Inputs



### 概要

5 入力までの OR ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の OR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバーターを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

### デザインの入力方法

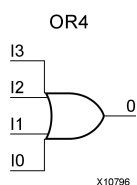
このエレメントは、回路図でのみ使用できます。

### 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## OR4

### プリミティブ：4-Input OR Gate with Non-Inverted Inputs



## 概要

5 入力までの OR ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の OR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバーターを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

## デザインの入力方法

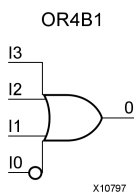
このエレメントは、回路図でのみ使用できます。

## 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## OR4B1

プリミティブ：4-Input OR Gate with 1 Inverted and 3 Non-Inverted Inputs



### 概要

5 入力までの OR ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の OR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバーターを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

### デザインの入力方法

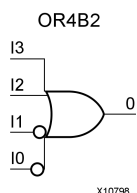
このエレメントは、回路図でのみ使用できます。

### 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## OR4B2

プリミティブ：4-Input OR Gate with 2 Inverted and 2 Non-Inverted Inputs



### 概要

5 入力までの OR ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の OR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバーターを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

### デザインの入力方法

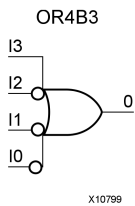
このエレメントは、回路図でのみ使用できます。

### 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## OR4B3

プリミティブ：4-Input OR Gate with 3 Inverted and 1 Non-Inverted Inputs



### 概要

5 入力までの OR ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の OR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバーターを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

### デザインの入力方法

このエレメントは、回路図でのみ使用できます。

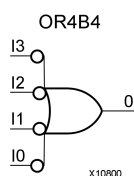
### 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)



## OR4B4

プリミティブ：4-Input OR Gate with Inverted Inputs



### 概要

5 入力までの OR ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の OR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバーターを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

### デザインの入力方法

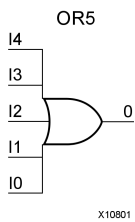
このエレメントは、回路図でのみ使用できます。

### 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## OR5

### プリミティブ：5-Input OR Gate with Non-Inverted Inputs



## 概要

5 入力までの OR ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の OR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバーターを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

## デザインの入力方法

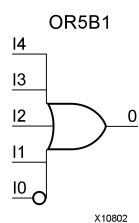
このエレメントは、回路図でのみ使用できます。

## 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## OR5B1

プリミティブ：5-Input OR Gate with 1 Inverted and 4 Non-Inverted Inputs



### 概要

5 入力までの OR ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の OR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバーターを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

### デザインの入力方法

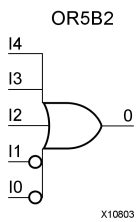
このエレメントは、回路図でのみ使用できます。

### 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## OR5B2

プリミティブ：5-Input OR Gate with 2 Inverted and 3 Non-Inverted Inputs



### 概要

5 入力までの OR ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の OR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバーターを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

### デザインの入力方法

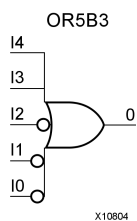
このエレメントは、回路図でのみ使用できます。

### 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## OR5B3

プリミティブ：5-Input OR Gate with 3 Inverted and 2 Non-Inverted Inputs



### 概要

5 入力までの OR ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の OR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバーターを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

### デザインの入力方法

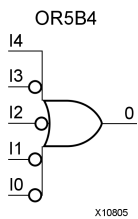
このエレメントは、回路図でのみ使用できます。

### 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## OR5B4

プリミティブ：5-Input OR Gate with 4 Inverted and 1 Non-Inverted Inputs



### 概要

5 入力までの OR ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の OR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバーターを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

### デザインの入力方法

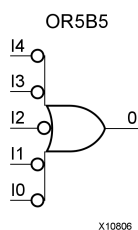
このエレメントは、回路図でのみ使用できます。

### 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## OR5B5

プリミティブ：5-Input OR Gate with Inverted Inputs



### 概要

5 入力までの OR ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の OR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバーターを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

### デザインの入力方法

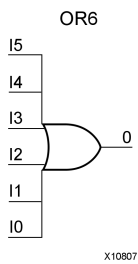
このエレメントは、回路図でのみ使用できます。

### 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## OR6

### マクロ：6-Input OR Gate with Non-Inverted Inputs



## 概要

5 入力までの OR ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の OR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバーターを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

## デザインの入力方法

このエレメントは、回路図でのみ使用できます。

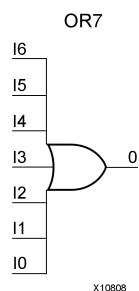
## 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)



## OR7

マクロ : 7-Input OR Gate with Non-Inverted Inputs



### 概要

5 入力までの OR ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の OR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバーターを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

### デザインの入力方法

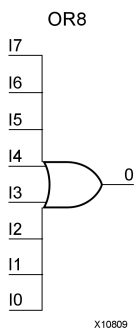
このエレメントは、回路図でのみ使用できます。

### 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## OR8

### マクロ : 8-Input OR Gate with Non-Inverted Inputs



## 概要

5 入力までの OR ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の OR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバーターを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

## デザインの入力方法

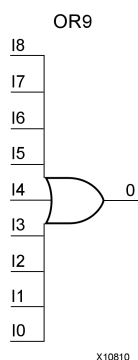
このエレメントは、回路図でのみ使用できます。

## 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## OR9

マクロ：9-Input OR Gate with Non-Inverted Inputs



### 概要

5 入力までの OR ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の OR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバーターを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

### デザインの入力方法

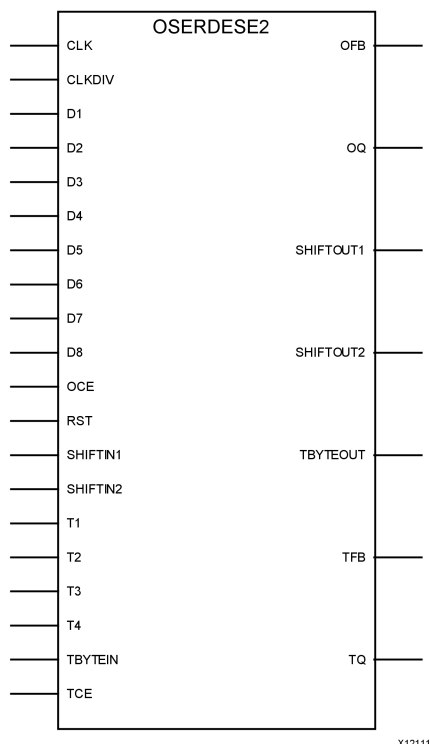
このエレメントは、回路図でのみ使用できます。

### 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## OSERDESE2

プリミティブ：Output SERial/DESerializer with bit slip



### 概要

7 シリーズ デバイスの OSERDES は、高速ソース同期インターフェイスのインプリメンテーションに特化したクロックおよびロジックリソースを持つ、専用パラレル/シリアル コンバーターです。各 OSERDES モジュールに、データおよびトライステート制御用の専用シリアライザーが含まれています。データ シリアライザーおよびトライステート シリアライザーは、両方ともシングル データ レート (SDR) およびダブル データ レート (DDR) モードにコンフィギュレーションできます。データでは 8:1 まで (データ幅拡張を使用する場合は 10:1 または 14:1 まで) のシリアル化、トライステートでは 4:1 までのシリアル化が可能です。

### ポートの説明

ポート名	方向	幅	説明
CLK	入力	1	高速クロック入力。パラレル/シリアル コンバーターのシリアル側を駆動します。
CLKDIV	入力	1	高速分周クロック入力。パラレル/シリアル コンバーターのパラレル側を駆動します。CLK ポートに接続されたクロックを分周したクロックです。
D1 ~ D8	入力	1	パラレル データ入力。パラレル データは、D1 ~ D8 から OSERDES モジュールに入力されます。これらのポートは FPGA に接続され、2 ~ 8 ビット (8:1 シリアル化) にコンフィギュレーションできます。2 つ目の OSERDES を SLAVE モードで使用することにより、14 ビットまでの幅をサポートできます。
OCE	入力	1	データ パス用のアクティブ High のクロック イネーブル
OFB	出力	1	出力フィードバック ポート。OSERDESE2 のシリアル (高速) データ出力ポートです。

ポート名	方向	幅	説明
OQ	出力	1	OSERDES モジュールのデータ出力ポート。入力ポート D1 のデータが OQ に一番最初に出力されます。このポートは、データ パラレル/シリアル コンバーター の出力と IOB のデータ入力を接続します。このポートで ODELAYE2 を駆動することはできません。OFB ピンを使用する必要があります。
RST	入力	1	CLK および CLKDIV ドメインのすべてのデータ フリップフロップの出力を非同期で Low に駆動します。OSERDES 回路が CLK ドメインで動作しており、タイミングがクリティカルな場合は、内部専用回路を使用して RST 入力のタイミングを調整し、CLK ドメインに同期したリセット信号を生成してください。同様に、CLKDIV ドメインに同期したリセット信号を生成する RST 入力のタイミングを調整する専用回路があります。RST 入力のタイミングを調整する OSERDES 回路があるので、CLKDIV 周波数ドメイン (CLKDIV に同期) でタイミングを満たす RST 入力にリセットパルスを供給するだけですみます。RST は、CLKDIV の 1 サイクル以上 High に駆動する必要があります。複数の OSERDES ポートを含むインターフェイスを構築する場合は、すべての OSERDES ポートを同期化する必要があります。RST 入力の内部タイミングは、同じリセットパルスを受信するすべての OSERDES ブロックがお互いに同期してリセット状態から戻るように調整されます。
SHIFTIN1/ SHIFTIN2	入力	1	データ入力を拡張するためのカスケード入力。スレーブの SHIFTOUT1、SHIFTOUT2 に接続します。
SHIFTOUT1/ SHIFTOUT2	出力	1	データ入力を拡張するためのカスケード出力。マスタの SHIFTIN1、SHIFTIN2 に接続します。
TBYTEIN	入力	1	ソースからのバイト グループ トライステート入力
TBYTEOUT	出力	1	IOB へのバイト グループ トライステート出力
TCE	入力	1	トライステート制御パス用のアクティブ High のクロック イネーブル
TFB	出力	1	ODELAYE2 に送信される OSERDES モジュールのトライステート制御出力。トライステート パラレル/シリアル コンバーターの出力を ODELAYE2 の制御/トライステート入力に接続します。
TQ	出力	1	OSERDES モジュールのトライステート制御出力。トライステート パラレル/シリアル コンバーターの出力を IOB の制御/トライステート入力に接続します。
T1 ~ T4	入力	1	パラレル トライステート入力。パラレル トライステート信号は、T1 ~ T4 から OSERDES モジュールに入力されます。このポートは FPGA に接続され、1、2、または 4 ビットにコンフィギュレーションできます。

## デザインの入力方法

このエレメントは、回路図で使用できます。

## 使用可能な属性

属性	データ型	値	デフォルト	説明
DATA_RATE_OQ	文字列	"DDR"、"SDR"	"DDR"	データをシングル データレート (SDR) またはダブル データレート (DDR) のいずれで処理するかを指定します。
DATA_RATE_TQ	文字列	"DDR"、"BUF"、"SDR"	"DDR"	トライステート制御をシングル データレート (SDR) またはダブル データレート (DDR) のいずれで処理するかを指定します。
DATA_WIDTH	10 進数	4、2、3、5、6、7、8、10、14	4	パラレル/シリアル コンバーターのパラレル データ出力幅を指定します。有効な値は、DATA_RATE_OQ が "SDR" の場合は 2、3、4、5、6、7、および 8、

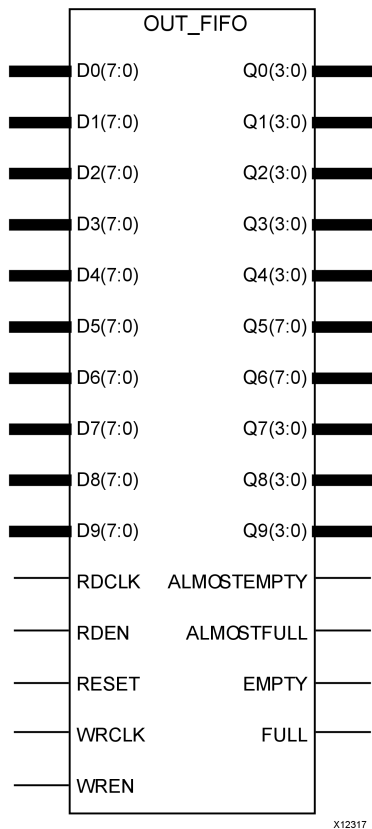
属性	データ型	値	デフォルト	説明
				DATA_RATE_OQ が "DDR" の場合は 4、6、8、10、および 14 です。DATA_WIDTH を 10 以上の値に設定した場合、2 つの OSERDES をマスターおよびスレーブとしてコンフィギュレーションする必要があります。
INIT_OQ	2 進数	1'b0 ~ 1'b1	1'b0	OQ 出力の初期値を指定します。
INIT_TQ	2 進数	1'b0 ~ 1'b1	1'b0	TQ 出力の初期値を指定します。
SERDES_MODE	文字列	"MASTER"、"SLAVE"	"MASTER"	データ幅を拡張する場合に OSERDES モジュールがマスターであるかスレーブであるかを指定します。
SRVAL_OQ	2 進数	1'b0 ~ 1'b1	1'b0	SR をアサートした場合の OQ 出力の値を指定します。
SRVAL_TQ	2 進数	1'b0 ~ 1'b1	1'b0	SR をアサートした場合の YQ 出力の値を指定します。
TBYTE_CTL	文字列	"FALSE"、"TRUE"	"FALSE"	DDR3 モードのトリステートバイト操作をイネーブルにします。この操作をイネーブルにすると、トリステート信号の値をソースとなるトリステート出力のいずれかからの値にできます。
TBYTE_SRC	文字列	"FALSE"、"TRUE"	"FALSE"	DDR3 モードで OSERDES をトリステートバイト操作のソースとして使用できるようにします。
TRISTATE_WIDTH	10 進数	4、1	4	トリステート制御パラレル/シリアルコンバーターのパラレルトリステート入力幅を定義します。有効な値は DATA_RATE_TQ 属性の設定によって異なり、DATA_RATE_TQ が "SDR" または "BUF" の場合は 1 に設定し、DATA_RATE_OQ が "DDR" の場合は 4 に設定します。5 以上の幅に設定することはできません。DATA_WIDTH が 5 以上の場合は、TRISTATE_WIDTH を 1 に設定します。

## 詳細情報

- ・ [7 シリーズ FPGA SelectIO リソース ユーザー ガイド](#)
- ・ [7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## OUT\_FIFO

プリミティブ：Output First-In, First-Out (FIFO) Buffer



出力 FIFO は、I/O の横に配置されている新しいリソースです。この専用ハードウェアは、データをファブリックから I/O、ODDR、または OSERDES をに転送するために設計されたものです。FIFO に入力されたデータが同じレートで出力される 4x4 モードと、データが係数 2 でシリアライズされてから出力される 8x4 モードがあります。つまり、8x4 モードでは 8 ビットのデータが OUT\_FIFO に入力され、4 ビットのデータが出力されます。

機能：

- ・ アレイ サイズ：幅 80、深さ 8 (8x4 モード)、幅 40、深さ 8 (4x4 mode)
- ・ EMPTY および FULL フラグ
- ・ プログラム可能な ALMOSTEMPTY および ALMOSTFULL フラグ

## ポートの説明

ポート名	方向	幅	説明
ALMOSTEMPTY	出力	1	FIFO がほぼ空であることを示すアクティブ High の出力フラグ。しきい値は ALMOST_EMPTY_VALUE 属性で設定します。
ALMOSTFULL	出力	1	FIFO がほぼフルであることを示すアクティブ High の出力フラグ。しきい値は ALMOST_FULL_VALUE 属性で設定します。
D0<7:0>	入力	8	チャンネル 0 入力バス
D1<7:0>	入力	8	チャンネル 1 入力バス

ポート名	方向	幅	説明
D2<7:0>	入力	8	チャンネル 2 入力バス
D3<7:0>	入力	8	チャンネル 3 入力バス
D4<7:0>	入力	8	チャンネル 4 入力バス
D5<7:0>	入力	8	チャンネル 5 入力バス
D6<7:0>	入力	8	チャンネル 6 入力バス
D7<7:0>	入力	8	チャンネル 7 入力バス
D8<7:0>	入力	8	チャンネル 8 入力バス
D9<7:0>	入力	8	チャンネル 9 入力バス
EMPTY	出力	1	FIFO が空であることを示すアクティブ High の出力フラグ
FULL	出力	1	FIFO がフルであることを示すアクティブ High の出力フラグ
Q0<3:0>	出力	4	チャンネル 0 出力バス
Q1<3:0>	出力	4	チャンネル 1 出力バス
Q2<3:0>	出力	4	チャンネル 2 出力バス
Q3<3:0>	出力	4	チャンネル 3 出力バス
Q4<3:0>	出力	4	チャンネル 4 出力バス
Q5<7:0>	出力	8	チャンネル 5 出力バス
Q6<7:0>	出力	8	チャンネル 6 出力バス
Q7<3:0>	出力	4	チャンネル 7 出力バス
Q8<3:0>	出力	4	チャンネル 8 出力バス
Q9<3:0>	出力	4	チャンネル 9 出力バス
RDCLK	入力	1	読み出しクロック
RDEN	入力	1	アクティブ High のリード イネーブル
RESET	入力	1	アクティブ High の非同期リセット
WRCLK	入力	1	書き込みクロック
WREN	入力	1	アクティブ High のライト イネーブル

## デザインの入力方法

このエレメントは、回路図で使用できます。



## 使用可能な属性

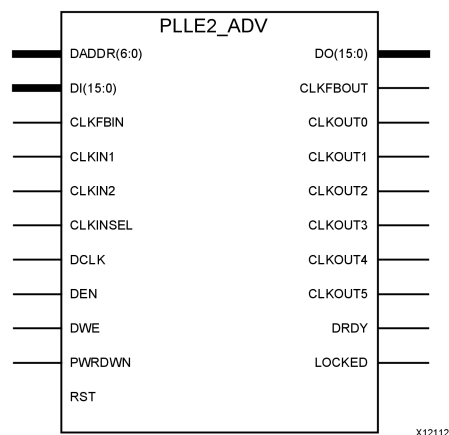
属性	データ型	値	デフォルト	説明
ALMOST_EMPTY_VALUE	10 進数	1、2	1	ALMOSTEMPTY 出力信号をアサートする際に FIFO にあるエントリ数を指定します。
ALMOST_FULL_VALUE	10 進数	1、2	1	ALMOSTFULL 出力信号をアサートする際に FIFO にあるエントリ数を指定します。
ARRAY_MODE	文字列	"ARRAY_MODE_8_X_4" "ARRAY_MODE_4_X_4"	"ARRAY_MODE_8_X_4"	シリアライザー モードを指定します。 <ul style="list-style-type: none"> <li>・ "ARRAY_MODE_4_X_4" : 4 ビット データを入力し、4 ビット データを出力します。</li> <li>・ "ARRAY_MODE_4_X_8" : 4 ビット データを入力し、8 ビット データを出力します。</li> </ul>
OUTPUT_DISABLE	文字列	"FALSE"、"TRUE"	"FALSE"	出力をディスエーブルにします。
SYNCHRONOUS_MODE	文字列	"FALSE"	"FALSE"	"FALSE" に設定する必要があります。

## 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## PLLE2\_ADV

プリミティブ：Advanced Phase Locked Loop (PLL)



### 概要

PLLE2 は、周波数合成、クロック ネットワークのスキュー調整、ジッター低減をサポートするための混合信号ブロックです。各クロック出力に対して、同じ VCO 周波数を基準に分周、位相シフト、デューティ サイクルを個別に設定できます。MMCM が一般的なクロックの機能を提供するのに対し、PLLE2 は高速クロックをサポートします。ほとんどの場合は PLLE2\_BASE を使用し、PLLE2\_ADV はクロックのスイッチオーバーやダイナミック リコンフィギュレーションが必要な場合に使用します。

### ポートの説明

ポート名	方向	幅	説明
CLKFBIN	入力	1	PLL へのフィードバック クロック ピン
CLKFBOUT	出力	1	専用 PLL フィードバック クロック出力
CLKINSEL	入力	1	入力マルチプレクサーのステートを制御する信号で、High の場合は CLKIN1、Low の場合は CLKIN2 です。
CLKIN1	入力	1	プライマリ クロック入力
CLKIN2	入力	1	セカンダリ クロック入力
CLKOUT0	出力	1	CLKOUT0 出力
CLKOUT1	出力	1	CLKOUT1 出力
CLKOUT2	出力	1	CLKOUT2 出力
CLKOUT3	出力	1	CLKOUT3 出力
CLKOUT4	出力	1	CLKOUT4 出力
CLKOUT5	出力	1	CLKOUT5 出力
DADDR<6:0>	入力	7	ダイナミック リコンフィギュレーション用のリコンフィギュレーション アドレスを供給する入力バス。このバスを使用しない場合は、すべてのビットを 0 にする必要があります。
DCLK	入力	1	ダイナミック リコンフィギュレーション ポートのリファレンス クロック
DEN	入力	1	ダイナミック リコンフィギュレーション機能にアクセスするためのイネーブル制御信号。ダイナミック リコンフィギュレーションを使用しない場合は、Low に固定する必要があります。

ポート名	方向	幅	説明
DI<15:0>	入力	16	リコンフィギュレーション データを供給するデータ入力バス。このバスを使用しない場合は、すべてのビットを 0 にする必要があります。
DO<15:0>	出力	16	ダイナミックリコンフィギュレーションを使用する場合の PLL データ出力バス
DRDY	出力	1	PLL のダイナミックリコンフィギュレーション機能の DEN 信号への応答を供給する READY 出力
DWE	入力	1	DADDR アドレスへの DI データの書き込みを制御するライト イネーブル信号。使用しない場合は、Low に接続する必要があります。
PWRDWN	入力	1	インスタンシエートされているが未使用の PLL をパワー ダウンします。
RST	入力	1	PLL の非同期リセット。この信号が解放されると PLL はクロックに同期して再びイネーブルになり、新たに位相アライメントおよびロック サイクルが実行されます。入力クロックの条件 (周波数など) を変更する場合、リセットが必要です。
LOCKED	出力	1	位相アライメントが定義されている時間内で完了し、周波数が定義されている PPM 範囲内で一致したことを示します。PLL は電源投入時に自動的にロックされるので、リセットは必要ありません。入力クロックが停止した場合、または位相アライメントに違反が発生した場合 (入力クロックの位相シフトなど) は、LOCKED がディアサートされます。LOCKED がディアサートされると、自動的にロックが達成されます。

## デザインの入力方法

このエレメントは、回路図で使用できます。

## 使用可能な属性

属性	データ型	値	デフォルト	説明
BANDWIDTH	文字列	"OPTIMIZED"、 "HIGH"、"LOW"	"OPTIMIZED"	ジッター、位相マージンなどの PLLE2 特性に影響する PLLE2 プログラム アルゴリズムを指定します。
CLKFBOUT_MULT	10 進数	2 ~ 64	5	すべての CLKOUT クロック出力を逡倍する値を指定します。この値と、CLKOUT#_DIVIDE 値および DIVCLK_DIVIDE 値により出力周波数が決まります。
CLKFBOUT_PHASE	3 上位ビット 浮動小数点	-360.000 ~ 360.000	0.000	クロック フィードバック出力の位相オフセットを度数で指定します。フィードバック クロックをシフトすると、PLL の出力クロックがすべて負の方向に位相シフトされます。
CLKIN1_PERIOD	浮動小数点 (nS)	0.000 ~ 52.631	0.000	CLKIN1 の入力周期を ns で指定します。精度は ps です。たとえば、値 33.333 は 30 MHz の入力クロックを示します。この値は必ず設定する必要があります。CLKIN1_PERIOD は CLKIN1 入力の入力クロック周期、CLKIN2_PERIOD は CLKIN2 入力の入力クロック周期を指定します。
CLKIN2_PERIOD	浮動小数点 (nS)	0.000 ~ 52.631	0.000	CLKIN2 の入力周期を ns で指定します。精度は ps です。たとえば、値 33.333 は 30 MHz の入力クロックを示します。この値は必ず設定する必要があります。CLKIN1_PERIOD は CLKIN1 入力の入力クロック周期、CLKIN2_PERIOD は CLKIN2 入力の入力クロック周期を指定します。

属性	データ型	値	デフォルト	説明
CLKOUT0_DIVIDE	10 進数	1 ~ 128	1	CLKOUT0 クロック出力を分周する値を指定します。この値と、CLKFBOUT_MULT 値および DIVCLK_DIVIDE 値により出力周波数が決まります。
CLKOUT1_DIVIDE	10 進数	1 ~ 128	1	CLKOUT1 クロック出力を分周する値を指定します。この値と、CLKFBOUT_MULT 値および DIVCLK_DIVIDE 値により出力周波数が決まります。
CLKOUT2_DIVIDE	10 進数	1 ~ 128	1	CLKOUT2 クロック出力を分周する値を指定します。この値と、CLKFBOUT_MULT 値および DIVCLK_DIVIDE 値により出力周波数が決まります。
CLKOUT3_DIVIDE	10 進数	1 ~ 128	1	CLKOUT3 クロック出力を分周する値を指定します。この値と、CLKFBOUT_MULT 値および DIVCLK_DIVIDE 値により出力周波数が決まります。
CLKOUT4_DIVIDE	10 進数	1 ~ 128	1	CLKOUT4 クロック出力を分周する値を指定します。この値と、CLKFBOUT_MULT 値および DIVCLK_DIVIDE 値により出力周波数が決まります。
CLKOUT5_DIVIDE	10 進数	1 ~ 128	1	CLKOUT5 クロック出力を分周する値を指定します。この値と、CLKFBOUT_MULT 値および DIVCLK_DIVIDE 値により出力周波数が決まります。
CLKOUT0_DUTY_CYCLE	3 上位ビット 浮動小数点	0.001 ~ 0.999	0.500	CLKOUT0 クロック出力のデューティ サイクルをパーセントで指定します。0.500 に設定すると、デューティ サイクルは 50% になります。
CLKOUT1_DUTY_CYCLE	3 上位ビット 浮動小数点	0.001 ~ 0.999	0.500	CLKOUT1 クロック出力のデューティ サイクルをパーセントで指定します。0.500 に設定すると、デューティ サイクルは 50% になります。
CLKOUT2_DUTY_CYCLE	3 上位ビット 浮動小数点	0.001 ~ 0.999	0.500	CLKOUT2 クロック出力のデューティ サイクルをパーセントで指定します。0.500 に設定すると、デューティ サイクルは 50% になります。
CLKOUT3_DUTY_CYCLE	3 上位ビット 浮動小数点	0.001 ~ 0.999	0.500	CLKOUT3 クロック出力のデューティ サイクルをパーセントで指定します。0.500 に設定すると、デューティ サイクルは 50% になります。
CLKOUT4_DUTY_CYCLE	3 上位ビット 浮動小数点	0.001 ~ 0.999	0.500	CLKOUT4 クロック出力のデューティ サイクルをパーセントで指定します。0.500 に設定すると、デューティ サイクルは 50% になります。
CLKOUT5_DUTY_CYCLE	3 上位ビット 浮動小数点	0.001 ~ 0.999	0.500	CLKOUT5 クロック出力のデューティ サイクルをパーセントで指定します。0.500 に設定すると、デューティ サイクルは 50% になります。
CLKOUT0_PHASE	3 上位ビット 浮動小数点	-360.000 ~ 360.000	0.000	クロック フィードバック出力の位相オフセットを度数で指定します。フィードバック クロックをシフトすると、PLL の出力クロックがすべて負の方向に位相シフトされます。
CLKOUT1_PHASE	3 上位ビット 浮動小数点	-360.000 ~ 360.000	0.000	クロック フィードバック出力の位相オフセットを度数で指定します。フィードバック クロックをシフトすると、PLL の出力クロックがすべて負の方向に位相シフトされます。

属性	データ型	値	デフォルト	説明
CLKOUT2_PHASE	3 上位ビット 浮動小数点	-360.000 ~ 360.000	0.000	クロック フィードバック出力の位相オフセットを 度数で指定します。フィードバック クロックをシ フトすると、PLL の出力クロックがすべて負の 方向に位相シフトされます。
CLKOUT3_PHASE	3 上位ビット 浮動小数点	-360.000 ~ 360.000	0.000	クロック フィードバック出力の位相オフセットを 度数で指定します。フィードバック クロックをシ フトすると、PLL の出力クロックがすべて負の 方向に位相シフトされます。
CLKOUT4_PHASE	3 上位ビット 浮動小数点	-360.000 ~ 360.000	0.000	クロック フィードバック出力の位相オフセットを 度数で指定します。フィードバック クロックをシ フトすると、PLL の出力クロックがすべて負の 方向に位相シフトされます。
CLKOUT5_PHASE	3 上位ビット 浮動小数点	-360.000 ~ 360.000	0.000	クロック フィードバック出力の位相オフセットを 度数で指定します。フィードバック クロックをシ フトすると、PLL の出力クロックがすべて負の 方向に位相シフトされます。
COMPENSATION	文字列	"ZHOLD"、 "BUF_IN"、 "EXTERNAL"、 "INTERNAL"	"ZHOLD"	クロック入力 of 補正。"ZHOLD" に設定するこ とをお勧めします。PLL フィードバックのコン フィギュレーション方法を定義します。  ・ "ZHOLD"：I/O レジスタでのホールド タ イムが負になるように PLL がコンフィギュ レーションされます。  ・ "INTERNAL"：PLL の内部フィードバック パスが使用され、遅延は補正されません。  ・ "EXTERNAL"：FPGA の外部ネットワー クが補正されます。  ・ "BUF_IN"：その他の補正モードには一 致せず、遅延は補正されません。
DIVCLK_DIVIDE	10 進数	1 ~ 56	1	すべての出力クロックの入力クロックに対する 分周比を指定し、PFD に入力される CLKIN を分周します。
REF_JITTER1	3 上位ビット 浮動小数点	0.000 ~ 0.999	0.010	PLL パフォーマンスを最適化するため、 CLKIN1 入力に予測されるジッター値を指定 します。BANDWIDTH が "OPTIMIZED" に設 定されている場合、値が既知でない場合は入 力クロックに最適なパラメーターが選択されま す。値が既知である場合は、値を入力クロッ クに予測されるジッターの UI パーセント (最 大ピークトゥピーク値) で指定する必要があります。 REF_JITTER1 は CLKIN1 の入力ジッ ター、REF_JITTER2 は CLKIN2 の入力ジッ ターを指定します。

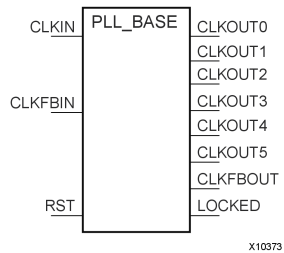
属性	データ型	値	デフォルト	説明
REF_JITTER2	3 上位ビット 浮動小数点	0.000 ～ 0.999	0.010	PLL パフォーマンスを最適化するため、CLKIN2 入力に予測されるジッター値を指定します。BANDWIDTH が "OPTIMIZED" に設定されている場合、値が既知でない場合は入力クロックに最適なパラメーターが選択されます。値が既知である場合は、値を入力クロックに予測されるジッターの UI パーセント (最大ピークトゥピーク値) で指定する必要があります。REF_JITTER1 は CLKIN1 の入力ジッター、REF_JITTER2 は CLKIN2 の入力ジッターを指定します。
STARTUP_WAIT	文字列	"FALSE"、 "TRUE"	"FALSE"	"TRUE" の場合、ロックが達成されるまで DONE が High になるのが遅延されます。

## 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## PLLE2\_BASE

### プリミティブ：Base Phase Locked Loop (PLL)



### 概要

PLLE2 は、周波数合成、クロック ネットワークのスキュー調整、ジッター低減をサポートするための混合信号ブロックです。各クロック出力に対して、同じ VCO 周波数を基準に分周、位相シフト、デューティ サイクルを個別に設定できます。MMCM が一般的なクロックの機能を提供するのに対し、PLLE2 は高速クロックをサポートします。ほとんどの場合は PLLE2\_BASE を使用し、PLLE2\_ADV はクロックのスイッチオーバーやダイナミック リコンフィギュレーションが必要な場合に使用します。

### ポートの説明

ポート名	方向	幅	説明
クロック出力/入力			
CLKOUT0 ~ 5	出力	1	コンフィギュレーション可能なクロック出力で、VCO 位相出力 (ユーザー制御可能) を 1 (バイパス) から 128 までの値で分周したものに設定できます。出力クロックは、位相シフトされていない場合はお互いに位相が揃っており、適切なフィードバック コンフィギュレーションにより入力クロックに揃えられます。
CLKFBOUT	出力	1	専用 PLL フィードバック クロック出力。PLL 位相アライメント機能を使用する場合に必要です。
CLKIN1	入力	1	PLL のクロック ソース入力。FPGA の専用クロックピン、MMCM 出力クロックピン、または BUFG 出力ピンで駆動できます。
CLKFBIN	入力	1	PLL へのフィードバック クロックピン。PLL 位相アライメント機能を使用する場合に必要です。
ステータス出力/制御入力			
LOCKED	出力	1	位相アライメントが定義されている時間内で完了し、周波数が定義されている PPM 範囲内で一致したことを示します。PLL は電源投入時に自動的にロックされるので、リセットは必要ありません。入力クロックが停止した場合、または位相アライメントに違反が発生した場合 (入力クロックの位相シフトなど) は、LOCKED がデアサートされます。LOCKED がデアサートされると、自動的にロックが達成されます。
PWRDWN	入力	1	インスタンス化されているが未使用の PLL をパワー ダウンします。
RST	入力	1	非同期リセット信号。PLL の非同期リセット。この信号が解放されると PLL はクロックに同期して再びイネーブルになり、新たに位相アライメントおよびロック サイクルが実行されます。

## デザインの入力方法

このELEMENTは、回路図で使用できます。

## 使用可能な属性

属性	データ型	値	デフォルト	説明
BANDWIDTH	文字列	"OPTIMIZED"、 "HIGH"、"LOW"	"OPTIMIZED"	ジッター、位相マージンなどの PLLE2 特性に影響する PLLE2 プログラム アルゴリズムを指定します。
CLKFBOUT_MULT	10 進数	2 ~ 64	5	すべての CLKOUT クロック出力を逡倍する値を指定します。この値と、CLKOUT#.DIVIDE 値および DIVCLK_DIVIDE 値により出力周波数が決まります。
CLKFBOUT_PHASE	3 上位ビット浮動小数点	-360.000 ~ 360.000	0.000	クロック フィードバック出力の位相オフセットを度数で指定します。フィードバッククロックをシフトすると、PLL の出力クロックがすべて負の方向に位相シフトされます。
CLKIN1_PERIOD	浮動小数点 (nS)	0.000 ~ 52.631	0.000	CLKIN1 の入力周期を ns で指定します。精度は ps です (小数点以下 3 桁)。たとえば、値 33.333 は 30 MHz の入力クロックを示します。この値は必ず設定する必要があります。
CLKOUT0_DIVIDE	10 進数	1 ~ 128	1	CLKOUT0 クロック出力を分周する値を指定します。この値と、CLKFBOUT_MULT 値および DIVCLK_DIVIDE 値により出力周波数が決まります。
CLKOUT1_DIVIDE	10 進数	1 ~ 128	1	CLKOUT1 クロック出力を分周する値を指定します。この値と、CLKFBOUT_MULT 値および DIVCLK_DIVIDE 値により出力周波数が決まります。
CLKOUT2_DIVIDE	10 進数	1 ~ 128	1	CLKOUT2 クロック出力を分周する値を指定します。この値と、CLKFBOUT_MULT 値および DIVCLK_DIVIDE 値により出力周波数が決まります。
CLKOUT3_DIVIDE	10 進数	1 ~ 128	1	CLKOUT3 クロック出力を分周する値を指定します。この値と、CLKFBOUT_MULT 値および DIVCLK_DIVIDE 値により出力周波数が決まります。
CLKOUT4_DIVIDE	10 進数	1 ~ 128	1	CLKOUT4 クロック出力を分周する値を指定します。この値と、CLKFBOUT_MULT 値および DIVCLK_DIVIDE 値により出力周波数が決まります。
CLKOUT5_DIVIDE	10 進数	1 ~ 128	1	CLKOUT5 クロック出力を分周する値を指定します。この値と、CLKFBOUT_MULT 値および DIVCLK_DIVIDE 値により出力周波数が決まります。
CLKOUT0_DUTY_CYCLE	3 上位ビット浮動小数点	0.001 ~ 0.999	0.500	CLKOUT0 クロック出力のデューティサイクルをパーセントで指定します。0.500 に設定すると、デューティサイクルは 50% になります。



属性	データ型	値	デフォルト	説明
CLKOUT1_DUTY_CYCLE	3 上位ビット浮動小数点	0.001 ~ 0.999	0.500	CLKOUT1 クロック出力のデューティサイクルをパーセントで指定します。0.500 に設定すると、デューティサイクルは 50% になります。
CLKOUT2_DUTY_CYCLE	3 上位ビット浮動小数点	0.001 ~ 0.999	0.500	CLKOUT2 クロック出力のデューティサイクルをパーセントで指定します。0.500 に設定すると、デューティサイクルは 50% になります。
CLKOUT3_DUTY_CYCLE	3 上位ビット浮動小数点	0.001 ~ 0.999	0.500	CLKOUT3 クロック出力のデューティサイクルをパーセントで指定します。0.500 に設定すると、デューティサイクルは 50% になります。
CLKOUT4_DUTY_CYCLE	3 上位ビット浮動小数点	0.001 ~ 0.999	0.500	CLKOUT4 クロック出力のデューティサイクルをパーセントで指定します。0.500 に設定すると、デューティサイクルは 50% になります。
CLKOUT5_DUTY_CYCLE	3 上位ビット浮動小数点	0.001 ~ 0.999	0.500	CLKOUT5 クロック出力のデューティサイクルをパーセントで指定します。0.500 に設定すると、デューティサイクルは 50% になります。
CLKOUT0_PHASE	3 上位ビット浮動小数点	-360.000 ~ 360.000	0.000	クロック フィードバック出力の位相オフセットを度数で指定します。フィードバッククロックをシフトすると、PLL の出力クロックがすべて負の方向に位相シフトされます。
CLKOUT1_PHASE	3 上位ビット浮動小数点	-360.000 ~ 360.000	0.000	クロック フィードバック出力の位相オフセットを度数で指定します。フィードバッククロックをシフトすると、PLL の出力クロックがすべて負の方向に位相シフトされます。
CLKOUT2_PHASE	3 上位ビット浮動小数点	-360.000 ~ 360.000	0.000	クロック フィードバック出力の位相オフセットを度数で指定します。フィードバッククロックをシフトすると、PLL の出力クロックがすべて負の方向に位相シフトされます。
CLKOUT3_PHASE	3 上位ビット浮動小数点	-360.000 ~ 360.000	0.000	クロック フィードバック出力の位相オフセットを度数で指定します。フィードバッククロックをシフトすると、PLL の出力クロックがすべて負の方向に位相シフトされます。
CLKOUT4_PHASE	3 上位ビット浮動小数点	-360.000 ~ 360.000	0.000	クロック フィードバック出力の位相オフセットを度数で指定します。フィードバッククロックをシフトすると、PLL の出力クロックがすべて負の方向に位相シフトされます。
CLKOUT5_PHASE	3 上位ビット浮動小数点	-360.000 ~ 360.000	0.000	クロック フィードバック出力の位相オフセットを度数で指定します。フィードバッククロックをシフトすると、PLL の出力クロックがすべて負の方向に位相シフトされます。
DIVCLK_DIVIDE	10 進数	1 ~ 56	1	すべての出力クロックの入力クロックに対する分周比を指定し、PFD に入力される CLKIN を分周します。

属性	データ型	値	デフォルト	説明
REF_JITTER1	3 上位ビット浮動小数点	0.000 ～ 0.999	0.010	PLL のパフォーマンスを最適化するため、CLKIN1 に予測されるジッター値を指定します。BANDWIDTH が "OPTIMIZED" に設定されている場合、値が既知でない場合は入力クロックに最適なパラメーターが選択されます。値が既知である場合は、値を入力クロックに予測されるジッターの UI パーセント (最大ピークトゥピーク値) で指定する必要があります。
STARTUP_WAIT	文字列	"FALSE"、"TRUE"	"FALSE"	"TRUE" の場合、ロックが達成されるまで DONE が High になるのが遅延されます。

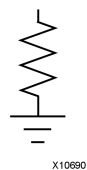
## 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## PULLDOWN

プリミティブ：Resistor to GND for Input Pads, Open-Drain, and 3-State Outputs

PULLDOWN



### 概要

この抵抗エレメントは、入力、出力、双方向のパッドに接続し、フロートする可能性のあるノードのロジックレベルを Low にします。

### ポートの説明

ポート名	方向	幅	機能
O	出力	1	プルダウン出力 (最上位ポートに直接接続)

### デザインの入力方法

このエレメントは、回路図で使用できます。

このエレメントは、最上位の回路図ファイルで次のネットに接続できます。

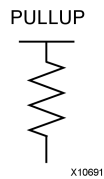
- ・ 入力 I/O マーカーに接続されたネット
- ・ 出力 I/O マーカーおよび OBUFT のようなトライステートにできる I/O エLEMENTの両方に接続されたネット

### 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## PULLUP

**プリミティブ**：Resistor to VCC for Input PADs, Open-Drain, and 3-State Outputs



### 概要

このデザイン エLEMENTは、入力、トライステート出力、または双方向ポートが内部または外部ソースで駆動されていないときに、弱い High で駆動します。すべてのドライバーがオフのときに、オープンドレイン エLEMENTおよびマクロのロジックレベルを High にします。

### ポートの説明

ポート名	方向	幅	機能
O	出力	1	プルアップ出力 (最上位ポートに直接接続)

### デザインの入力方法

このELEMENTは、回路図で使用できます。

このELEMENTは、最上位の回路図ファイルで次のネットに接続できます。

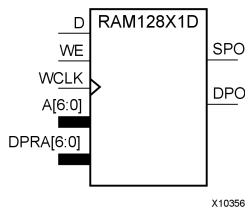
- ・ 入力 I/O マーカーに接続されたネット
- ・ 出力 I/O マーカーおよび OBUFT のようなトライステートにできる I/O ELEMENTの両方に接続されたネット

### 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## RAM128X1D

**プリミティブ：128-Deep by 1-Wide Dual Port Random Access Memory (Select RAM)**



### 概要

このデザイン エLEMENTは 128 ワード X 1 ビットの RAM で読み出し/書き込みポートがあり、ライト イネーブル (WE) が High のときにアドレス バス A で指定されたロケーションに D 入力データピンの値が書き込まれます。この書き込みは WCLK の立ち上がりエッジの直後に実行され、同じ値が SPO に出力されます。WE が Low のときは非同期読み出しが実行され、アドレス バス A で指定されたメモリ ロケーションの値が SPO に非同期で出力されます。アドレス バス DPRA の値を変更することにより、読み出しポートで非同期読み出しを実行できます。DPO にその値が出力されます。

### ポートの説明

ポート名	方向	幅	機能
SPO	出力	1	アドレス バス A で指定された読み出し/書き込みポートのデータ出力
DPO	出力	1	アドレス バス DPRA で指定された読み出しポートのデータ出力
D	入力	1	アドレス バス A で指定される書き込みデータ入力
A	入力	7	読み出し/書き込みポートのアドレス バス
DPRA	入力	7	読み出しポートのアドレス バス
WE	入力	1	ライト イネーブル
WCLK	入力	1	ライト クロック (読み出しは非同期)

インスタンス化する場合、このコンポーネントを次のように接続します。

- WCLK 入力をクロックソースに、D 入力を格納するデータソースに、DPO 出力を FDCE の D 入力などの適切なデスティネーションに接続します。
- オプションで、SPO 出力を適切なデスティネーションに接続するか、または未接続にすることもできます。
- クロック イネーブル ピン (WE) は、適切なライト イネーブル ソースに接続します。
- 7 ビット バス A は読み出し/書き込みアドレスに、7 ビット バス DPRA は読み出しアドレスに接続する必要があります。
- 128 ビットの 16 進数で構成される INIT 属性で、RAM の初期値を指定できます。

指定しない場合は、初期値はすべて 0 になります。

### デザインの入力方法

このELEMENTは、回路図で使用できます。

## 使用可能な属性

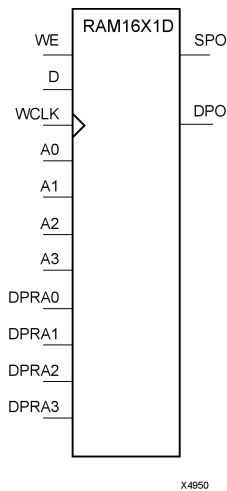
属性	タイプ	値	デフォルト	説明
INIT	16 進数	128 ビット値	すべてゼロ	RAM の初期値を指定

## 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## RAM16X1D

プリミティブ：16-Deep by 1-Wide Static Dual Port Synchronous RAM



### 概要

このエレメントは 16 ワード X 1 ビットのデュアル ポート SRAM で、同期書き込み機能を備えています。デバイスには、読み出しアドレス (DPRA3 ~ DPRA0) と書き込みアドレス (A3 ~ A0) の 2 種類のアドレスポートがあります。この 2 種類のアドレスポートは非同期です。読み出しアドレスによって出力ピン (DPO) に出力される値が指定され、書き込みアドレスによって書き込みを行う位置が指定されます。ライト イネーブル (WE) が Low の場合、ライト クロック (WCLK) の遷移は無視され、RAM に格納されている値は変化しません。

WE が High の場合、WCLK が Low から High に切り替わるときに、データ入力 (D) の値が 4 ビットの書き込みアドレスで選択されたワードに書き込まれます。書き込みを正しく行うには、WCLK が Low から High に切り替わる前に、書き込みアドレスとデータ入力の値を安定させる必要があります。WCLK はデフォルトではアクティブ High ですが、インバーターを使用してアクティブ Low にすることもできます。WCLK の入力ネットに配置されたインバーターは、RAM ブロック内に組み込まれます。

SPO 出力には、A3 ~ A0 で指定されたメモリ セルの値が出力されます。DPO 出力には、DPRA3 ~ DPRA0 で指定されたメモリ セルの値が出力されます。

**メモ：** 書き込み処理は、読み出しアドレスポートのアドレスには影響されません。

INIT 属性を使用すると、RAM を直接初期化できます。値は、INIT=ABAC のように、16 進数で指定してください。INIT 属性を指定しない場合は、RAM は 0 に初期化されます。

### 論理表

モード選択を次の論理表に示します。

入力			出力	
WE (モード)	WCLK	D	SPO	DPO
0 (読み出し)	X	X	data_a	data_d
1 (読み出し)	0	X	data_a	data_d
1 (読み出し)	1	X	data_a	data_d
1 (書き込み)	↑	D	D	data_d
1 (読み出し)	↓	X	data_a	data_d
data_a = A3 ～ A0 で指定されたワード				
data_d = DPRA3 ～ DPRA0 で指定されたワード				

## デザインの入力方法

このエレメントは、回路図で使用できます。

## 使用可能な属性

属性	データ型	値	デフォルト	説明
INIT	16 進数	16 ビット値	すべてゼロ	RAM、レジスタ、LUT の初期値を指定

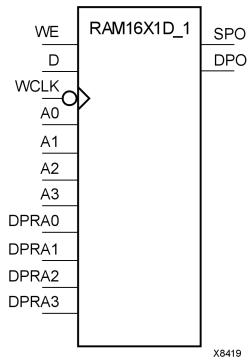
## 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)



## RAM16X1D\_1

**プリミティブ：16-Deep by 1-Wide Static Dual Port Synchronous RAM with Negative-Edge Clock**



### 概要

このエレメントは、クロックのネガティブ エッジで動作する 16 ワード X 1 ビットのデュアル ポート SRAM で、同期書き込み機能を備えています。デバイスには、読み出しアドレス (DPRA3 ~ DPRA0) と書き込みアドレス (A3 ~ A0) の独立した 2 種類のアドレス ポートがあります。この 2 種類のアドレス ポートは非同期です。読み出しアドレスによって出力ピン (DPO) に出力される値が指定され、書き込みアドレスによって書き込みを行う位置が指定されます。

ライト イネーブル (WE) が Low の場合、ライト クロック (WCLK) の遷移は無視され、RAM に格納されている値は変化しません。WE が High の場合、WCLK が High から Low に切り替わるときに、4 ビットの書き込みアドレスで選択されているワードにデータ入力 (D) の値が書き込まれます。書き込みを正しく行うには、WCLK が High から Low に切り替わる前に、書き込みアドレスとデータ入力の値を安定させる必要があります。WCLK はデフォルトではアクティブ Low ですが、インバーターを使用してアクティブ High にすることもできます。WCLK の入力ネットに配置されたインバーターは、RAM ブロック内に組み込まれます。

INIT 属性を使用すると、コンフィギュレーション中に RAM16X1D\_1 を初期化できます。

SPO 出力には、A3 ~ A0 で指定されたメモリ セルの値が出力されます。DPO 出力には、DPRA3 ~ DPRA0 で指定されたメモリ セルの値が出力されます。

**メモ：** 書き込み処理は、読み出しアドレス ポートのアドレスには影響されません。

### 論理表

モード選択を次の論理表に示します。

入力			出力	
WE (モード)	WCLK	D	SPO	DPO
0 (読み出し)	X	X	data_a	data_d
1 (読み出し)	0	X	data_a	data_d
1 (読み出し)	1	X	data_a	data_d
1 (書き込み)	↓	D	D	data_d
1 (読み出し)	↑	X	data_a	data_d
data_a = A3 ~ A0 で指定されたワード				
data_d = DPRA3 ~ DPRA0 で指定されたワード				

## ポートの説明

ポート名	方向	幅	機能
DPO	出力	1	読み出し専用 1 ビット データ出力
SPO	出力	1	読み出し/書き込み 1 ビット データ出力
A0	入力	1	読み出し/書き込み address[0] 入力
A1	入力	1	読み出し/書き込み address[1] 入力
A2	入力	1	読み出し/書き込み address[2] 入力
A3	入力	1	読み出し/書き込み address[3] 入力
D	入力	1	書き込み 1 ビット データ入力
DPRA0	入力	1	読み出し専用 address[0] 入力
DPRA1	入力	1	読み出し専用 address[1] 入力
DPRA2	入力	1	読み出し専用 address[2] 入力
DPRA3	入力	1	読み出し専用 address[3] 入力
WCLK	入力	1	書き込みクロック入力
WE	入力	1	書き込みイネーブル入力

## デザインの入力方法

このエレメントは、回路図で使用できます。

## 使用可能な属性

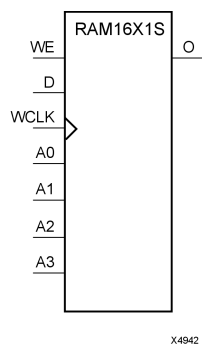
属性	データ型	値	デフォルト	説明
INIT	16 進数	16 ビット値	すべてゼロ	RAM の初期値を指定

## 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## RAM16X1S

プリミティブ：16-Deep by 1-Wide Static Synchronous RAM



### 概要

このエレメントは 16 ワード X 1 ビットの SRAM で、同期書き込み機能を備えています。ライト イネーブル (WE) が Low の場合、ライト クロック (WCLK) の遷移は無視され、RAM に格納されている値は変化しません。WE が High になると、WCLK が Low から High に切り替わる時に、データ入力 (D) の値が 4 ビットのアドレス (A3 ～ A0) で選択されたワードに書き込まれます。WCLK はデフォルトではアクティブ High ですが、インバーターを使用してアクティブ Low にすることもできます。WCLK の入力ネットに配置されたインバーターは、RAM ブロック内に組み込まれます。

出力ピン (O) に出力される値は、アドレス ピンで指定された RAM 内の位置に格納されている値です。INIT 属性を使用すると、コンフィギュレーション中に RAM16X1S を初期化できます。

### 論理表

入力			出力
WE (モード)	WCLK	D	O
0 (読み出し)	X	X	データ
1 (読み出し)	0	X	データ
1 (読み出し)	1	X	データ
1 (書き込み)	↑	D	D
1 (読み出し)	↓	X	データ
データ = A3 ～ A0 で指定されたワード			

### デザインの入力方法

このエレメントは、回路図で使用できます。

### 使用可能な属性

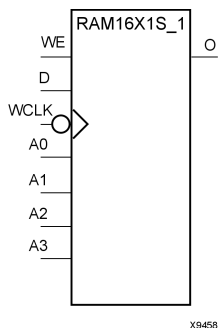
属性	データ型	値	デフォルト	説明
INIT	16 進数	16 ビット値	すべてゼロ	RAM の初期値を指定

### 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## RAM16X1S\_1

**プリミティブ：16-Deep by 1-Wide Static Synchronous RAM with Negative-Edge Clock**



### 概要

このエレメントはクロックの立ち下がりエッジで動作する 16 ワード X 1 ビットの SRAM で、同期書き込み機能を備えています。ライト イネーブル (WE) が Low の場合、ライト クロック (WCLK) の遷移は無視され、RAM に格納されている値は変化しません。WE が High の場合、WCLK が High から Low に切り替わる時に、データ入力 (D) の値が 4 ビットのアドレス (A3 ～ A0) で選択されたワードに書き込まれます。書き込みを正しく行うには、WCLK が High から Low に切り替わる前に、書き込みアドレスとデータ入力の値を安定させる必要があります。WCLK はデフォルトではアクティブ Low ですが、インバーターを使用してアクティブ High にすることもできます。WCLK の入力ネットに配置されたインバーターは、RAM ブロック内に組み込まれます。

出力ピン (O) に出力される値は、アドレス ピンで指定された RAM 内の位置に格納されている値です。

INIT 属性を使用すると、コンフィギュレーション中にこのエレメントを初期化できます。

### 論理表

入力			出力
WE (モード)	WCLK	D	O
0 (読み出し)	X	X	データ
1 (読み出し)	0	X	データ
1 (読み出し)	1	X	データ
1 (書き込み)	↓	D	D
1 (読み出し)	↑	X	データ
データ = A3 ～ A0 で指定されたワード			

### デザインの入力方法

このエレメントは、回路図で使用できます。

### 使用可能な属性

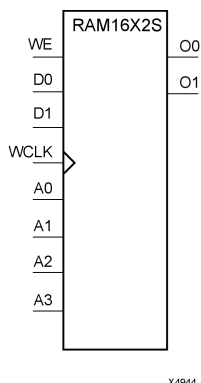
属性	データ型	値	デフォルト	説明
INIT	16 進数	16 ビット値	すべてゼロ	RAM の初期値を指定

## 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## RAM16X2S

**プリミティブ：16-Deep by 2-Wide Static Synchronous RAM**



### 概要

このエレメントは 16 ワード X 2 ビットの SRAM で、同期書き込み機能を備えています。ライト イネーブル (WE) が Low の場合、ライト クロック (WCLK) の遷移は無視され、RAM に格納されている値は変化しません。WE が High の場合、WCLK が Low から High に切り替わるときに、入力 (D1 ~ D0) の値が 4 ビットのアドレス (A3 ~ A0) で選択されたワードに書き込まれます。書き込みを正しく行うには、WCLK が Low から High に切り替わる前に、書き込みアドレスとデータ入力の値を安定させる必要があります。WCLK はデフォルトではアクティブ High ですが、インバーターを使用してアクティブ Low にすることもできます。WCLK の入力ネットに配置されたインバーターは、RAM ブロック内に組み込まれます。

出力ピン (O1 ~ O0) に出力される値は、アドレス ピンで指定された RAM 内の位置に格納されている値です。

INIT\_xx 属性を使用すると、RAM の初期値を指定できます。INIT\_00 は出力 (O0) に対応する RAM のセルを初期化し、INIT\_01 は出力 (O1) に対応するセルを初期化します。たとえば、RAM16X2S インスタンスは、INIT\_00 および INIT\_01 にそれぞれ 4 個の 16 進数値を指定して初期化します。RAM16X8S インスタンスは、INIT\_00 ~ INIT\_07 の 8 個の属性にそれぞれ 4 個の 16 進数値を指定して初期化します。RAM64X2S インスタンスは、INIT\_00 および INIT\_01 にそれぞれ 16 個の 16 進数値を指定して初期化します。

Virtex-4 デバイス以外では、このエレメントの初期値を直接指定することはできません。

### 論理表

入力			出力
WE (モード)	WCLK	D1 ~ D0	O1 ~ O0
0 (読み出し)	X	X	データ
1 (読み出し)	0	X	データ
1 (読み出し)	1	X	データ
1 (書き込み)	↑	D1 ~ D0	D1 ~ D0
1 (読み出し)	↓	X	データ
データ = A3 ~ A0 で指定されたワード			

### デザインの入力方法

このエレメントは、回路図で使用できます。

## 使用可能な属性

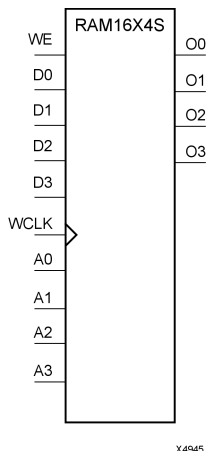
属性	データ型	値	デフォルト	説明
INIT_00 ～ INIT_01	16 進数	16 ビット値	すべてゼロ	RAM の初期値を指定

## 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## RAM16X4S

プリミティブ：16-Deep by 4-Wide Static Synchronous RAM



### 概要

このエレメントは 16 ワード X 4 ビットの SRAM で、同期書き込み機能を備えています。ライト イネーブル (WE) が Low の場合、ライト クロック (WCLK) の遷移は無視され、RAM に格納されている値は変化しません。WE が High になると、WCLK が Low から High に切り替わるときに、入力 (D3 ~ D0) の値が 4 ビットのアドレス (A3 ~ A0) で選択されたワードに書き込まれます。書き込みを正しく行うには、WCLK が Low から High に切り替わる前に、書き込みアドレスとデータ入力の値を安定させる必要があります。WCLK はデフォルトではアクティブ High ですが、インバーターを使用してアクティブ Low にすることもできます。WCLK の入力ネットに配置されたインバーターは、RAM ブロック内に組み込まれます。

出力ピン (O3 ~ O0) に出力される値は、アドレス ピンで指定された RAM 内の位置に格納されている値です。

### 論理表

入力			出力
WE (モード)	WCLK	D3:D0	O3:O0
0 (読み出し)	X	X	データ
1 (読み出し)	0	X	データ
1 (読み出し)	1	X	データ
1 (書き込み)	↑	D3:D0	D3:D0
1 (読み出し)	↓	X	データ
データ = A3 ~ A0 で指定されたワード			

### デザインの入力方法

このエレメントは、回路図でのみ使用できます。

### 使用可能な属性

属性	データ型	値	デフォルト	説明
INIT_00 ~ INIT_03	16 進数	16 ビット値	すべてゼロ	RAM の初期値を指定

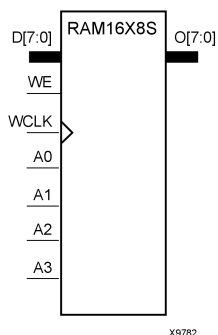


## 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## RAM16X8S

**プリミティブ：16-Deep by 8-Wide Static Synchronous RAM**



### 概要

このエレメントは 16 ワード X 8 ビットの SRAM で、同期書き込み機能を備えています。ライト イネーブル (WE) が Low の場合、ライト クロック (WCLK) の遷移は無視され、RAM に格納されている値は変化しません。WE が High になると、WCLK が Low から High に切り替わるときに、入力 (D7 ~ D0) の値が 4 ビットのアドレス (A3 ~ A0) で選択されたワードに書き込まれます。書き込みを正しく行うには、WCLK が Low から High に切り替わる前に、書き込みアドレスとデータ入力の値を安定させる必要があります。WCLK はデフォルトではアクティブ High ですが、インバーターを使用してアクティブ Low にすることもできます。WCLK の入力ネットに配置されたインバーターは、RAM ブロック内に組み込まれます。

出力ピン (O7 ~ O0) に出力される値は、アドレス ピンで指定された RAM 内の位置に格納されている値です。

### 論理表

入力			出力
WE (モード)	WCLK	D7:D0	O7:O0
0 (読み出し)	X	X	データ
1 (読み出し)	0	X	データ
1 (読み出し)	1	X	データ
1 (書き込み)	↑	D7:D0	D7:D0
1 (読み出し)	↓	X	データ
データ = A3 ~ A0 で指定されたワード			

### デザインの入力方法

このエレメントは、回路図でのみ使用できます。

### 使用可能な属性

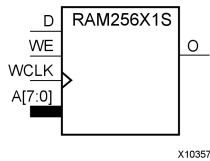
属性	データ型	値	デフォルト	説明
INIT_00 ~ INIT_07	16 進数	16 ビット値	すべてゼロ	RAM の初期値を指定

### 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## RAM256X1S

**プリミティブ：256-Deep by 1-Wide Random Access Memory (Select RAM)**



### 概要

このデザイン エLEMENTは、256 ワード X 1 ビットの RAM で、同期書き込みと非同期読み出し機能を備えています。この RAM は、デバイスの LUT (SelectRAM と呼ばれる) を使用してインプリメントされるため、ブロック RAM リソースは使用しません。同期読み出しを行う場合は、出力にレジスタを付けて同じスライスに配置できます。この場合、RAM とレジスタで同じクロックを使用する必要があります。アクティブ High のライト イネーブル (WE) が High になると、WCLK ピンの立ち上がりエッジで D 入力データ ピンの値がメモリ アレイに書き込まれます。出力 O は、WE の値にかかわらず、アドレス バス A で指定されたメモリ ロケーションの値を出力します。書き込みが実行されると、その直後に出力の値が新しい値に更新されます。

### ポートの説明

ポート名	方向	幅	機能
O	出力	1	アドレス バス A で指定される読み出し/書き込みポートのデータ出力
D	入力	1	アドレス バス A で指定される書き込みデータ入力
A	入力	8	読み出し/書き込みポートのアドレス バス
WE	入力	1	ライト イネーブル
WCLK	入力	1	ライト クロック (読み出しは非同期)

### デザインの入力方法

インスタンス化する場合、このコンポーネントを次のように接続します。

- ・ WCLK 入力をクロック ソースに、D 入力を格納するデータ ソースに、O 出力を FDCE の D 入力などの適切なデスティネーションに接続します。
- ・ クロック イネーブル ピン (WE) は、適切なライト イネーブル ソースに接続します。
- ・ 8 ビット バス A は、読み出し/書き込みのソースに接続します。
- ・ 256 ビットの 16 進数で構成される INIT 属性で、RAM の初期値を指定できます。

指定しない場合は、初期値はすべて 0 になります。

### 使用可能な属性

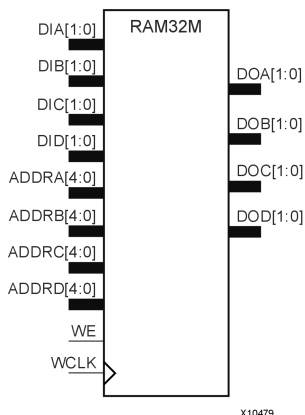
属性	データ型	値	デフォルト	説明
INIT	16 進数	256 ビット値	すべてゼロ	RAM の初期値を指定

### 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## RAM32M

**プリミティブ：32-Deep by 8-bit Wide Multi Port Random Access Memory (Select RAM)**



### 概要

このデザイン エLEMENTは、32 ワード X 8 ビットのマルチポート RAM で、同期書き込みと非同期読み出し機能を備えています。この RAM は、デバイスの LUT (SelectRAM™) を使用してインプリメントされるため、デバイスのブロック RAM リソースを使用しません。RAM32M コンポーネントは 1 つのスライスにインプリメントされ、8 ビット書き込みポート 1 つ、2 ビット読み出しポート 1 つ、および同じメモリからの 2 ビット読み出しポート 3 つから構成されます。これにより、RAM のバイト幅の書き込みと独立した 2 ビットの読み出しが可能です。DIA、DIB、DIC、および DID 入力をすべて同じデータ入力に接続すると、読み出し/書き込みポート 1 つ、独立した読み出しポート 3 つの 32x2 クワッド ポートメモリになります。DID をグラウンドに接続した場合、DOD は使用されません。ADDRA、ADDRb、ADDRC を同じアドレスに接続すると、32x6 のシングル デュアル ポート RAM になります。ADDRd を ADDRA、ADDRb、ADDRC に接続すると、32x8 のシングル ポート RAM になります。この RAM には、ほかにも可能なコンフィギュレーションがあります。

### ポートの説明

ポート名	方向	幅	機能
DOA	出力	2	アドレス バス ADDRA で指定される読み出しポートのデータ出力
DOB	出力	2	アドレス バス ADDRb で指定される読み出しポートのデータ出力
DOC	出力	2	アドレス バス ADDRC で指定される読み出しポートのデータ出力
DOD	出力	2	アドレス バス ADDRd で指定される読み出し/書き込みポートのデータ出力
DIA	入力	2	ADDRd で指定される書き込みデータ入力 (読み出し出力は ADDRA で指定)
DIB	入力	2	ADDRd で指定される書き込みデータ入力 (読み出し出力は ADDRb で指定)
DIC	入力	2	ADDRd で指定される書き込みデータ入力 (読み出し出力は ADDRC で指定)
DID	入力	2	アドレス バス ADDRd で指定される書き込みデータ入力
ADDRA	入力	5	読み出しアドレス バス A
ADDRb	入力	5	読み出しアドレス バス B
ADDRC	入力	5	読み出しアドレス バス C

ポート名	方向	幅	機能
ADDRD	入力	5	8 ビットのデータ書き込みポート、2 ビットのデータ読み出しポートのアドレス バス D
WE	入力	1	ライト イネーブル
WCLK	入力	1	ライト クロック (読み出しは非同期)

## デザインの入力方法

このエレメントは、回路図で使用できます。

このエレメントは、同期書き込みと非同期読み出し機能を備えた RAM を記述することにより、一部の合成ツールで推論できます。RAM の推論およびコード例の詳細は、合成ツールのマニュアルを参照してください。RAM32M のインスタンス化は、RAM ファンクションを暗示的に指定する必要がある場合、コンポーネントを手動でまたは相対的に配置する必要がある場合に実行することをお勧めします。同期読み出しを行う場合は、RAM32M の出力を FDRSE に接続してファンクションの出力タイミングを向上させることも可能ですが、通常の RAM の操作では不要です。

インバーターをこのコンポーネントのクロック入力に追加すると、クロックの立ち下がりエッジでデータを入力できます。このインバーターはブロック内に組み込まれ、クロックの立ち下がりエッジで RAM への書き込みを実行できます。

インスタンス化する場合、このコンポーネントは、次のように接続します。

- WCLK 入力をクロック ソースに、DIA、DIB、DIC、DID 入力を格納するデータ ソースに、DOA、DOB、DOC、DOD 出力を FDCE の D 入力などの適切なデスティネーションに接続するか、使用しない場合は未接続のままにします。
- クロック イネーブル ピン (WE) は、適切なライト イネーブル ソースに接続します。
- 5 ビット バス ADDRD は読み出し/書き込みアドレスに、5 ビット バス ADDRA、ADDRB、ADDRC は読み出しアドレスに接続する必要があります。
- オプションで INIT\_A、INIT\_B、INIT\_C、INIT\_D 属性を使用すると、各ポートの初期メモリ内容を 64 ビット (16 進数) で指定できます。RAM の INIT 値は、 $\text{ADDRy}[z] = \text{INIT}_y[2*z+1:2*z]$  で計算されます。たとえば、RAM の ADDRc ポートが 00001 の場合、INIT\_C[3:2] 値がそのアドレスで最初の書き込みが行われる前の DOC ポートの初期値になります。指定しない場合は、初期値はすべて 0 になります。

## 使用可能な属性

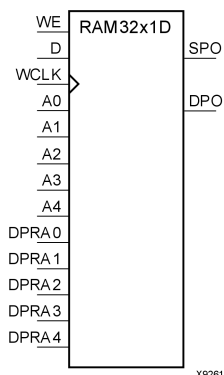
属性	データ型	値	デフォルト	説明
INIT_A	16 進数	64 ビット値	すべてゼロ	A ポートの RAM の初期値を指定
INIT_B	16 進数	64 ビット値	すべてゼロ	B ポートの RAM の初期値を指定
INIT_C	16 進数	64 ビット値	すべてゼロ	C ポートの RAM の初期値を指定
INIT_D	16 進数	64 ビット値	すべてゼロ	D ポートの RAM の初期値を指定

## 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## RAM32X1D

**プリミティブ：32-Deep by 1-Wide Static Dual Port Synchronous RAM**



### 概要

このデザイン エレメントは 32 ワード X 1 ビットのデュアル ポート SRAM で、同期書き込み機能を備えています。デバイスには、読み出しアドレス (DPRA4 ~ DPRA0) と書き込みアドレス (A4 ~ A0) の独立した 2 種類のアドレス ポートがあります。この 2 種類のアドレス ポートは完全に非同期です。読み出しアドレスによって出力ピン (DPO) に出力される値が指定され、書き込みアドレスによって書き込みを行う位置が指定されます。ライト イネーブル (WE) が Low の場合、ライト クロック (WCLK) の遷移は無視され、RAM に格納されている値は変化しません。WE が High の場合、WCLK が Low から High に切り替わるときに、データ入力 (D) の値が 5 ビットの書き込みアドレスで選択されたワードに書き込まれます。書き込みを正しく行うには、WCLK が Low から High に切り替わる前に、書き込みアドレスとデータ入力の値を安定させる必要があります。WCLK はデフォルトではアクティブ High ですが、インバーターを使用してアクティブ Low にすることもできます。WCLK の入力ネットに配置されたインバーターは、RAM ブロック内に組み込まれます。INIT 属性を使用すると、コンフィギュレーション中に RAM32X1D を初期化できます。モード選択を次の論理表に示します。

SPO 出力には、A4 ~ A0 で指定されたメモリ セルの値が出力されます。DPO 出力には、DPRA4 ~ DPRA0 で指定されたメモリ セルの値が出力されます。書き込み処理は、読み出しアドレス ポートのアドレスには影響されません。

### 論理表

入力			出力	
WE (モード)	WCLK	D	SPO	DPO
0 (読み出し)	X	X	data_a	data_d
1 (読み出し)	0	X	data_a	data_d
1 (読み出し)	1	X	data_a	data_d
1 (書き込み)	↑	D	D	data_d
1 (読み出し)	↓	X	data_a	data_d

### デザインの入力方法

このエレメントは、回路図で使用できます。

## 使用可能な属性

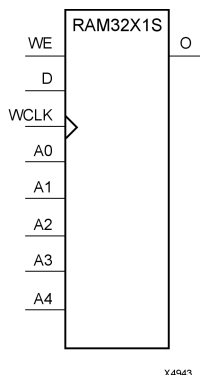
属性	タイプ	値	デフォルト	説明
INIT	16 進数	32 ビット値	すべてゼロ	RAM の初期値を指定

## 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## RAM32X1S

プリミティブ：32-Deep by 1-Wide Static Synchronous RAM



### 概要

このデザイン エレメントは 32 ワード X 1 ビットの SRAM で、同期書き込み機能を備えています。ライト イネーブル (WE) が Low の場合、ライト クロック (WCLK) の遷移は無視され、RAM に格納されている値は変化しません。WE が High になると、WCLK が Low から High に切り替わる時に、データ入力 (D) の値が 5 ビットのアドレス (A4 ~ A0) で選択されたワードに書き込まれます。書き込みを正しく行うには、WCLK が Low から High に切り替わる前に、書き込みアドレスとデータ入力の値を安定させる必要があります。WCLK はデフォルトではアクティブ High ですが、インバーターを使用してアクティブ Low にすることもできます。WCLK の入力ネットに配置されたインバーターは、RAM ブロック内に組み込まれます。

出力ピン (O) に出力される値は、アドレス ピンで指定された RAM 内の位置に格納されている値です。INIT 属性を使用すると、コンフィギュレーション中に RAM32X1S を初期化できます。

### 論理表

入力			出力
WE (モード)	WCLK	D	O
0 (読み出し)	X	X	データ
1 (読み出し)	0	X	データ
1 (読み出し)	1	X	データ
1 (書き込み)	↓	D	D
1 (読み出し)	↑	X	データ

### デザインの入力方法

このエレメントは、回路図で使用できます。

### 使用可能な属性

属性	タイプ	値	デフォルト	説明
INIT	16 進数	32 ビット値	すべてゼロ	RAM の初期値を指定

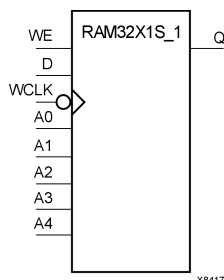


## 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## RAM32X1S\_1

プリミティブ：32-Deep by 1-Wide Static Synchronous RAM with Negative-Edge Clock



### 概要

このデザイン エLEMENTは 32 ワード X 1 ビットの SRAM で、同期書き込み機能を備えています。ライト イネーブル (WE) が Low の場合、ライト クロック (WCLK) の遷移は無視され、RAM に格納されている値は変化しません。WE が High になると、WCLK が High から Low に切り替わる時に、データ入力 (D) の値が 5 ビットのアドレス (A4 ~ A0) で選択されたワードに書き込まれます。書き込みを正しく行うには、WCLK が High から Low に切り替わる前に、書き込みアドレスとデータ入力の値を安定させる必要があります。WCLK はデフォルトではアクティブ Low ですが、インバーターを使用してアクティブ High にすることもできます。WCLK の入力ネットに配置されたインバーターは、RAM ブロック内に組み込まれます。

出力ピン (O) に出力される値は、アドレス ピンで指定された RAM 内の位置に格納されている値です。INIT 属性を使用すると、コンフィギュレーション中に RAM32X1S\_1 を初期化できます。

### 論理表

入力			出力
WE (モード)	WCLK	D	O
0 (読み出し)	X	X	データ
1 (読み出し)	0	X	データ
1 (読み出し)	1	X	データ
1 (書き込み)	↓	D	D
1 (読み出し)	↑	X	データ
データ = A4 ~ A0 で指定されたワード			

### デザインの入力方法

このELEMENTは、回路図で使用できます。

### 使用可能な属性

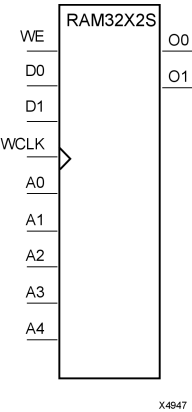
属性	タイプ	値	デフォルト	説明
INIT	16 進数	32 ビット値	0	RAM の初期値を指定

## 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

# RAM32X2S

プリミティブ : 32-Deep by 2-Wide Static Synchronous RAM



## 概要

このデザイン エレメントは 32 ワード X 2 ビットの SRAM で、同期書き込み機能を備えています。ライト イネーブル (WE) が Low の場合、ライト クロック (WCLK) の遷移は無視され、RAM に格納されている値は変化しません。WE が High になると、WCLK が Low から High に切り替わるときに、入力 (D1 ~ D0) の値が 5 ビットのアドレス (A4 ~ A0) で選択されたワードに書き込まれます。書き込みを正しく行うには、WCLK が Low から High に切り替わる前に、書き込みアドレスとデータ入力の値を安定させる必要があります。WCLK はデフォルトではアクティブ High ですが、インバーターを使用してアクティブ High にすることもできます。WCLK の入力ネットに配置されたインバーターは、RAM ブロック内に組み込まれます。出力ピン (O1 ~ O0) に出力される値は、アドレス ピンで指定された RAM 内の位置に格納されている値です。

INIT\_00 および INIT\_01 属性を使用して RAM32X2S の初期値を指定できます。

## 論理表

入力			出力
WE (モード)	WCLK	D	O0 ~ O1
0 (読み出し)	X	X	データ
1 (読み出し)	0	X	データ
1 (読み出し)	1	X	データ
1 (書き込み)	↑	D1 ~ D0	D1 ~ D0
1 (読み出し)	↓	X	データ
データ = A4 ~ A0 で指定されたワード			

## デザインの入力方法

このエレメントは、回路図で使用できます。

## 使用可能な属性

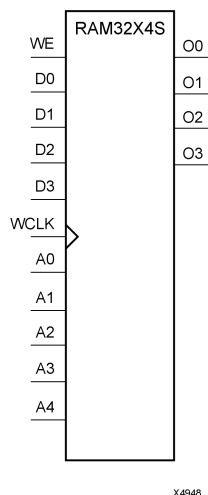
属性	タイプ	値	デフォルト	説明
INIT_00	16 進数	32 ビット値	すべてゼロ	RAM のビット 0 の初期値を指定
INIT_01	16 進数	32 ビット値	すべてゼロ	RAM のビット 1 の初期値を指定

## 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## RAM32X4S

### プリミティブ：32-Deep by 4-Wide Static Synchronous RAM



### 概要

このデザイン エLEMENTは 32 ワード X 4 ビットの SRAM で、同期書き込み機能を備えています。ライト イネーブル (WE) が Low の場合、ライト クロック (WCLK) の遷移は無視され、RAM に格納されている値は変化しません。WE が High になると、WCLK が Low から High に切り替わるときに、入力 (D3 ~ D0) の値が 5 ビットのアドレス (A4 ~ A0) で選択されたワードに書き込まれます。書き込みを正しく行うには、WCLK が Low から High に切り替わる前に、書き込みアドレスとデータ入力の値を安定させる必要があります。WCLK はデフォルトではアクティブ High ですが、インバーターを使用してアクティブ Low にすることもできます。WCLK の入力ネットに配置されたインバーターは、RAM ブロック内に組み込まれます。

出力ピン (O3 ~ O0) に出力される値は、アドレス ピンで指定された RAM 内の位置に格納されている値です。

### 論理表

入力			出力
WE	WCLK	D3 ~ D0	O3 ~ O0
0 (読み出し)	X	X	データ
1 (読み出し)	0	X	データ
1 (読み出し)	1	X	データ
1 (書き込み)	↑	D3:D0	D3:D0
1 (読み出し)	↓	X	データ
データ = A4 ~ A0 で指定されたワード			

### デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

## 使用可能な属性

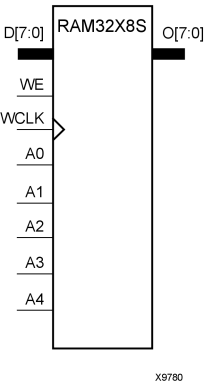
属性	データ型	値	デフォルト	説明
INIT_00	16 進数	32 ビット値	すべてゼロ	RAM のビット 0 の初期値を指定
INIT_01	16 進数	32 ビット値	すべてゼロ	RAM のビット 1 の初期値を指定
INIT_02	16 進数	32 ビット値	すべてゼロ	RAM のビット 2 の初期値を指定
INIT_03	16 進数	32 ビット値	すべてゼロ	RAM のビット 3 の初期値を指定

## 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

# RAM32X8S

プリミティブ : 32-Deep by 8-Wide Static Synchronous RAM



## 概要

このデザイン エLEMENTは 32 ワード X 8 ビットの SRAM で、同期書き込み機能を備えています。ライト イネーブル (WE) が Low の場合、ライト クロック (WCLK) の遷移は無視され、RAM に格納されている値は変化しません。WE が High になると、WCLK が Low から High に切り替わるときに、入力 (D7 ~ D0) の値が 5 ビットのアドレス (A4 ~ A0) で選択されたワードに書き込まれます。書き込みを正しく行うには、WCLK が Low から High に切り替わる前に、書き込みアドレスとデータ入力の値を安定させる必要があります。WCLK はデフォルトではアクティブ High ですが、インバーターを使用してアクティブ Low にすることもできます。WCLK の入力ネットに配置されたインバーターは、RAM ブロック内に組み込まれます。

出力ピン (O7 ~ O0) に出力される値は、アドレス ピンで指定された RAM 内の位置に格納されている値です。

## 論理表

入力			出力
WE (モード)	WCLK	D7:D0	O7:O0
0 (読み出し)	X	X	データ
1 (読み出し)	0	X	データ
1 (読み出し)	1	X	データ
1 (書き込み)	↑	D7:D0	D7:D0
1 (読み出し)	↓	X	データ
データ = A4 ~ A0 で指定されたワード			

## デザインの入力方法

このELEMENTは、回路図でのみ使用できます。



## 使用可能な属性

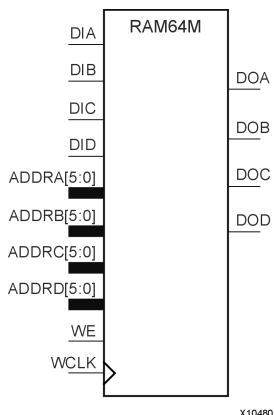
属性	データ型	値	デフォルト	説明
INIT_00	16 進数	32 ビット値	すべてゼロ	RAM のビット 0 の初期値を指定
INIT_01	16 進数	32 ビット値	すべてゼロ	RAM のビット 1 の初期値を指定
INIT_02	16 進数	32 ビット値	すべてゼロ	RAM のビット 2 の初期値を指定
INIT_03	16 進数	32 ビット値	すべてゼロ	RAM のビット 3 の初期値を指定
INIT_04	16 進数	32 ビット値	すべてゼロ	RAM のビット 4 の初期値を指定
INIT_05	16 進数	32 ビット値	すべてゼロ	RAM のビット 5 の初期値を指定
INIT_06	16 進数	32 ビット値	すべてゼロ	RAM のビット 6 の初期値を指定
INIT_07	16 進数	32 ビット値	すべてゼロ	RAM のビット 7 の初期値を指定

## 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## RAM64M

プリミティブ：64-Deep by 4-bit Wide Multi Port Random Access Memory (Select RAM)



### 概要

このデザイン エLEMENTは、64 ワード X 4 ビットのマルチポート RAM で、同期書き込みと非同期読み出し機能を備えています。この RAM は、デバイスの LUT (SelectRAM™ と呼ばれる) を使用してインプリメントされるため、ブロック RAM リソースを使用しません。RAM64M コンポーネントは 1 つのスライスにインプリメントされます。4 ビット書き込みポート 1 つ、1 ビット読み出しのポート 1 つ、および同じメモリからの 1 ビット読み出しポート 3 つから構成されされており、RAM の 4 ビット書き込みおよび個別ビット読み出しが可能です。DIA、DIB、DIC、および DID 入力をすべて同じデータ入力に接続すると、読み出し/書き込みポート 1 つ、独立した読み出しポート 3 つの 64x1 クワッド ポートメモリになります。DID をグラウンドに接続した場合、DOD は使用されません。ADDRA、ADDRb、ADDRC を同じアドレスに接続すると、64x3 のシングル デュアル ポート RAM になります。ADDRd を ADDRA、ADDRb、ADDRC に接続すると、64x4 のシングル ポート RAM になります。この RAM には、ほかにも可能なコンフィギュレーションがあります。

### ポートの説明

ポート名	方向	幅	説明
DOA	出力	1	アドレス バス ADDRA で指定される読み出しポートのデータ出力
DOB	出力	1	アドレス バス ADDRb で指定される読み出しポートのデータ出力
DOC	出力	1	アドレス バス ADDRC で指定される読み出しポートのデータ出力
DOD	出力	1	アドレス バス ADDRd で指定される読み出し/書き込みポートのデータ出力
DIA	入力	1	ADDRd で指定される書き込みデータ入力 (読み出し出力は ADDRA で指定)
DIB	入力	1	ADDRd で指定される書き込みデータ入力 (読み出し出力は ADDRb で指定)
DIC	入力	1	ADDRd で指定される書き込みデータ入力 (読み出し出力は ADDRC で指定)
DID	入力	1	アドレス バス ADDRd で指定される書き込みデータ入力
ADDRA	入力	6	読み出しアドレス バス A
ADDRb	入力	6	読み出しアドレス バス B
ADDRC	入力	6	読み出しアドレス バス C

ポート名	方向	幅	説明
ADDRD	入力	6	4 ビットのデータ書き込みポート、1 ビットのデータ読み出しポートのアドレス バス D
WE	入力	1	ライト イネーブル
WCLK	入力	1	ライト クロック (読み出しは非同期)

## デザインの入力方法

このエレメントは、回路図で使用できます。

このエレメントは、同期書き込みと非同期読み出し機能を備えた RAM を記述することにより、一部の合成ツールで推論できます。RAM の推論およびコード例の詳細は、合成ツールのマニュアルを参照してください。RAM64M のインスタンスエーションは、RAM ファンクションを暗示的に指定する必要がある場合、コンポーネントを手動でまたは相対的に配置する必要がある場合に実行することをお勧めします。同期読み出しを行う場合は、RAM64M の出力を FDRE (非同期リセットの場合は FDCE) に接続してファンクションの出力タイミングを向上させることも可能ですが、通常の RAM の操作では不要です。インバーターをこのコンポーネントのクロック入力に追加すると、クロックの立ち下がりエッジでデータを入力できます。このインバーターはブロック内に組み込まれ、クロックの立ち下がりエッジで RAM への書き込みを実行できます。

インスタンスエートする場合、このコンポーネントは、次のように接続します。

- ・ WCLK 入力をクロック ソースに、DIA、DIB、DIC、DID 入力を格納するデータ ソースに、DOA、DOB、DOC、DOD 出力を FDCE の D 入力などの適切なデスティネーションに接続するか、使用しない場合は未接続のままにします。
- ・ クロック イネーブル ピン (WE) は、適切なライト イネーブル ソースに接続します。
- ・ 5 ビット バス ADDRD は読み出し/書き込みアドレスに、5 ビット バス ADDRA、ADDRB、ADDRC は読み出しアドレスに接続する必要があります。
- ・ オプションで INIT\_A、INIT\_B、INIT\_C、INIT\_D 属性を使用すると、各ポートの初期メモリ内容を 64 ビット (16 進数) で指定できます。RAM の INIT 値は、 $\text{ADDRy}[z] = \text{INIT}_y[z]$  で計算されます。たとえば、RAM の ADDRC ポートが 00001 の場合、INIT\_C[1] 値がそのアドレスで最初の書き込みが行われる前の DOC ポートの初期値になります。指定しない場合は、初期値はすべて 0 になります。

## 使用可能な属性

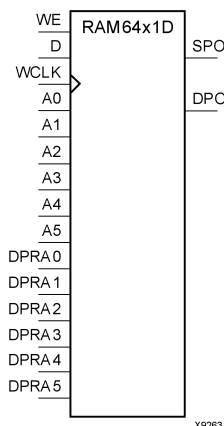
属性	データ型	値	デフォルト	説明
INIT_A	16 進数	64 ビット値	すべてゼロ	A ポートの RAM の初期値を指定
INIT_B	16 進数	64 ビット値	すべてゼロ	B ポートの RAM の初期値を指定
INIT_C	16 進数	64 ビット値	すべてゼロ	C ポートの RAM の初期値を指定
INIT_D	16 進数	64 ビット値	すべてゼロ	D ポートの RAM の初期値を指定

## 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## RAM64X1D

プリミティブ：64-Deep by 1-Wide Dual Port Static Synchronous RAM



### 概要

このデザイン エLEMENTは 64 ワード X 1 ビットのデュアル ポート SRAM で、同期書き込み機能を備えています。デバイスには、読み出しアドレス (DPRA5 ~ DPRA0) と書き込みアドレス (A5 ~ A0) の独立した 2 種類のアドレスポートがあります。この 2 種類のアドレスポートは完全に非同期です。読み出しアドレスによって出力ピン (DPO) に出力される値が指定され、書き込みアドレスによって書き込みを行う位置が指定されます。ライト イネーブル (WE) が Low の場合、ライト クロック (WCLK) の遷移は無視され、RAM に格納されている値は変化しません。

WE が High になると、WCLK が Low から High に切り替わる時に、データ入力 (D) の値が 6 ビットの書き込みアドレス (A0 ~ A5) で選択されたワードに書き込まれます。書き込みを正しく行うには、WCLK が Low から High に切り替わる前に、書き込みアドレスとデータ入力の値を安定させる必要があります。WCLK はデフォルトではアクティブ High ですが、インバーターを使用してアクティブ Low にすることもできます。WCLK の入力ネットに配置されたインバーターは、RAM ブロック内に組み込まれます。

SPO 出力には、A5 ~ A0 で指定されたメモリ セルの値が出力されます。DPO 出力には、DPRA5 ~ DPRA0 で指定されたメモリ セルの値が出力されます。

**メモ：** 書き込み処理は、読み出しアドレス ポートのアドレスには影響されません。

### 論理表

入力			出力	
WE (モード)	WCLK	D	SPO	DPO
0 (読み出し)	X	X	data_a	data_d
1 (読み出し)	0	X	data_a	data_d
1 (読み出し)	1	X	data_a	data_d
1 (書き込み)	↑	D	D	data_d
1 (読み出し)	↓	X	data_a	data_d
data_a = A5 ~ A0 で指定されたワード				
data_d = DPRA5 ~ DPRA0 で指定されたワード				

## デザインの入力方法

このELEMENTは、回路図で使用できます。

## 使用可能な属性

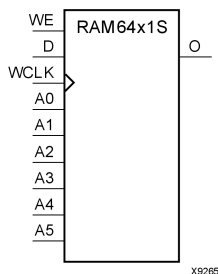
属性	データ型	値	デフォルト	説明
INIT	16 進数	64 ビット値	すべてゼロ	RAM の初期値を指定

## 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## RAM64X1S

**プリミティブ：64-Deep by 1-Wide Static Synchronous RAM**



### 概要

このデザイン エLEMENTは 64 ワード X 1 ビットの SRAM で、同期書き込み機能を備えています。ライト イネーブル (WE) が Low の場合、ライト クロック (WCLK) の遷移は無視され、RAM に格納されている値は変化しません。WE が High になると、WCLK が Low から High に切り替わるときに、データ入力 (D) の値が 6 ビットのアドレス (A5 ～ A0) で選択されたワードに書き込まれます。WCLK はデフォルトではアクティブ High ですが、インバーターを使用してアクティブ Low にすることもできます。WCLK の入力ネットに配置されたインバーターは、RAM ブロック内に組み込まれます。

出力ピン (O) に出力される値は、アドレス ピンで指定された RAM 内の位置に格納されている値です。

INIT 属性を使用すると、コンフィギュレーション中にこのELEMENTを初期化できます。

### 論理表

モード選択を次の論理表に示します。

入力			出力
WE (モード)	WCLK	D	O
0 (読み出し)	X	X	データ
1 (読み出し)	0	X	データ
1 (読み出し)	1	X	データ
1 (書き込み)	↑	D	D
1 (読み出し)	↓	X	データ
データ = A5 ～ A0 で指定されたワード			

### デザインの入力方法

このELEMENTは、回路図で使用できます。

### 使用可能な属性

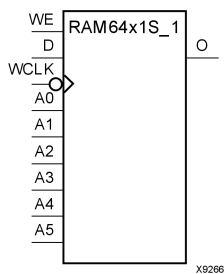
属性	データ型	値	デフォルト	説明
INIT	16 進数	64 ビット値	すべてゼロ	RAM の初期値を指定

### 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## RAM64X1S\_1

**プリミティブ：64-Deep by 1-Wide Static Synchronous RAM with Negative-Edge Clock**



### 概要

このデザイン エLEMENTは 64 ワード X 1 ビットの SRAM で、同期書き込み機能を備えています。ライト イネーブル (WE) が Low の場合、ライト クロック (WCLK) の遷移は無視され、RAM に格納されている値は変化しません。WE が High になると、WCLK が High から Low に切り替わるときに、データ入力 (D) の値が 6 ビットのアドレス (A5 ～ A0) で選択されたワードに書き込まれます。書き込みを正しく行うには、WCLK が High から Low に切り替わる前に、書き込みアドレスとデータ入力の値を安定させる必要があります。WCLK はデフォルトではアクティブ Low ですが、インバーターを使用してアクティブ High にすることもできます。WCLK の入力ネットに配置されたインバーターは、RAM ブロック内に組み込まれます。

出力ピン (O) に出力される値は、アドレス ピンで指定された RAM 内の位置に格納されている値です。

INIT 属性を使用すると、コンフィギュレーション中にこのELEMENTを初期化できます。

### 論理表

入力			出力
WE (モード)	WCLK	D	O
0 (読み出し)	X	X	データ
1 (読み出し)	0	X	データ
1 (読み出し)	1	X	データ
1 (書き込み)	↓	D	D
1 (読み出し)	↑	X	データ
データ = A5 ～ A0 で指定されたワード			

### デザインの入力方法

このELEMENTは、回路図で使用できます。

### 使用可能な属性

属性	データ型	値	デフォルト	説明
INIT	16 進数	64 ビット値	すべてゼロ	RAM の初期値を指定

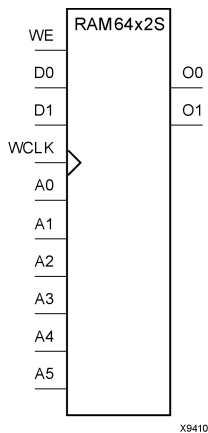
## 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)



## RAM64X2S

プリミティブ：64-Deep by 2-Wide Static Synchronous RAM



### 概要

このデザイン エLEMENTは 64 ワード X 2 ビットの SRAM で、同期書き込み機能を備えています。ライト イネーブル (WE) が Low の場合、ライト クロック (WCLK) の遷移は無視され、RAM に格納されている値は変化しません。WE が High になると、WCLK が Low から High に切り替わるときに、入力 (D1 ～ D0) の値が 6 ビットのアドレス (A5 ～ A0) で選択されたワードに書き込まれます。書き込みを正しく行うには、WCLK が Low から High に切り替わる前に、書き込みアドレスとデータ入力の値を安定させる必要があります。WCLK はデフォルトではアクティブ High ですが、インバーターを使用してアクティブ Low にすることもできます。WCLK の入力ネットに配置されたインバーターは、RAM ブロック内に組み込まれます。

出力ピン (O1 ～ O0) に出力される値は、アドレス ピンで指定された RAM 内の位置に格納されている値です。INIT\_00 および INIT\_01 属性を使用してこのデザイン エLEMENTの初期値を指定できます。

### 論理表

入力			出力
WE (モード)	WCLK	D0:D1	O0:O1
0 (読み出し)	X	X	データ
1 (読み出し)	0	X	データ
1 (読み出し)	1	X	データ
1 (書き込み)	↑	D1 ～ D0	D1 ～ D0
1 (読み出し)	↓	X	データ
データ = A5 ～ A0 で指定されたワード			

### デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

## 使用可能な属性

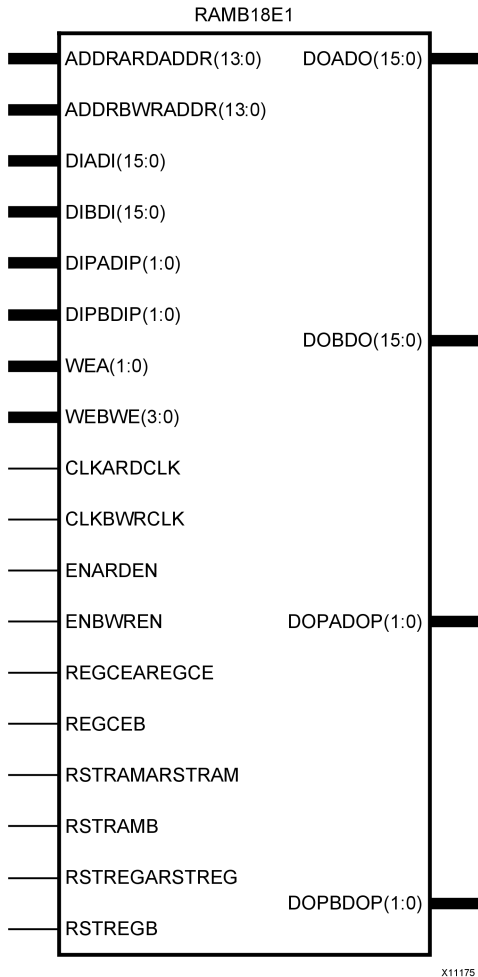
属性	データ型	値	デフォルト	説明
INIT_00	16 進数	64 ビット値	すべてゼロ	RAM の初期値を指定
INIT_01	16 進数	64 ビット値	すべてゼロ	RAM の初期値を指定

## 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## RAMB18E1

プリミティブ：18K-bit Configurable Synchronous Block RAM



### 概要

7 シリーズ デバイスにはブロック RAM が数個含まれ、FIFO、自動エラー訂正 RAM、または汎用 RAM/ROM (36 KB または 18 KB) としてコンフィギュレーションできます。これらのブロック RAM には、大量のオンチップ データを高速かつ柔軟に格納できます。RAMB18E1 を使用すると、18KB コンフィギュレーションでブロック RAM にアクセスできます。このエレメントは、1 ビット X 16K ワード～ 18 ビット X 1024 ワードの完全なデュアル ポート RAM としてコンフィギュレーションできます。また、36 ビット幅 X 512 ワードのシングル デュアル ポート RAM にコンフィギュレーションすることもできます。読み出しと書き込みは、コンポーネントに供給されるクロックに完全に同期して実行されます。ただし、読み出しポートと書き込みポートは完全に独立しており、お互いに非同期で、同じメモリ アレイにアクセスします。広いデータ幅でコンフィギュレーションすると、バイト イネーブルの書き込みが可能になり、オプションの出力レジスタを使用して RAM の clock-to-out タイムを短縮できます。

### ポートの説明

ポート名	方向	幅	機能
ADDRARDADDR<13:0>	入力	14	ポート A アドレス入力バス/読み出しアドレス入力バス
ADDRBDWRADDR<13:0>	入力	14	ポート B アドレス入力バス/書き込みアドレス入力バス

ポート名	方向	幅	機能
CLKARDCLK	入力	1	ポート A クロック入力/読み出しクロック入力 (立ち上がりエッジ)
CLKBWRCLK	入力	1	ポート B クロック入力/書き込みクロック入力 (立ち上がりエッジ)
DIADK<15:0>	入力	16	ポート A データ入力バス/WRADDR でアドレス指定されるデータ入力バス。RAM_MODE が "SDP" の場合は DI<15:0> となります。
DIBDK<15:0>	入力	16	ポート B データ入力バス/WRADDR でアドレス指定されるデータ入力バス。RAM_MODE が "SDP" の場合は DI<31:16> となります。
DIPADIP<1:0>	入力	2	ポート A パリティ データ入力バス/WRADDR でアドレス指定されるパリティ データ入力バス。RAM_MODE が "SDP" の場合は DIP<1:0> となります。
DIPBDIP<1:0>	入力	2	ポート B パリティ データ入力バス/WRADDR でアドレス指定されるパリティ データ入力バス。RAM_MODE が "SDP" の場合は DIP<3:2> となります。
DOADO<15:0>	出力	16	ポート A データ出力バス/RDADDR でアドレス指定されるデータ出力バス。RAM_MODE が "SDP" の場合は DO<15:0> となります。
DOBDO<15:0>	出力	16	ポート B データ出力バス/RDADDR でアドレス指定されるデータ出力バス。RAM_MODE が "SDP" の場合は DO<31:16> となります。
DOPADOP<1:0>	出力	2	ポート A パリティ データ出力バス/RDADDR でアドレス指定されるパリティ データ出力バス。RAM_MODE が "SDP" の場合は DOP<1:0> となります。
DOPBDOP<1:0>	出力	2	ポート B パリティ データ出力バス/RDADDR でアドレス指定されるパリティ データ出力バス。RAM_MODE が "SDP" の場合は DOP<3:2> となります。
ENARDEN	入力	1	ポート A RAM イネーブル/リード イネーブル
ENBWREN	入力	1	ポート B RAM イネーブル/ライト イネーブル
REGCEAREGCE	入力	1	ポート A 出力レジスタ クロック イネーブル入力/出力レジスタ クロック イネーブル入力 (DOA_REG=1 の場合のみ有効)
REGCEB	入力	1	ポート B 出力レジスタ クロック イネーブル (DOB_REG=1 および RAM_MODE="TDP" の場合のみ有効)
RSTRAMARSTRAM	入力	1	同期データ ラッチを SRVAL_A で指定された値にセット/リセットします。DO_REG=0 または 1 のときに BRAM データ出力ラッチをセット/リセットします。DO_REG=1 の場合、RSTRAMARSTRAM でリセットされる内部データ ラッチ ノードと BRAM の DO 出力の間に 1 サイクルのレイテンシがあります。RAM_MODE が "TDP" の場合はポート A の RAM 出力がリセットされ、RAM_MODE が "SDP" の場合は RAM 出力全体がリセットされます。
RSTRAMB	入力	1	同期データ ラッチを SRVAL_B で指定された値にセット/リセットします。DO_REG=0 または 1 のときに BRAM データ出力ラッチをセット/リセットします。DO_REG=1 の場合、RSTRAMB でリセットされる内部データ ラッチ ノードと BRAM の DO 出力の間に 1 サイクルのレイテンシがあります。RAM_MODE が "SDP" の場合は使用されません。
RSTREGARSTREG	入力	1	同期出力レジスタを SRVAL_A で指定された値にセット/リセットします。DO_REG=1 のときに出力レジスタをセット/リセットします。RSTREG_PRIORITY_A は、この信号と REGCEAREGCE の優先順位を指定します。RAM_MODE が "TDP" の場合はポート A の出力がリセットされ、RAM_MODE が "SDP" の場合は出力全体がリセットされます。
RSTREGB	入力	1	同期出力レジスタを SRVAL_B で指定された値にセット/リセットします。DO_REG=1 のときに出力レジスタをセット/リセットします。RSTREG_PRIORITY_B は、この信号と REGCEB の優先順位を指定します。RAM_MODE が "SDP" の場合は使用されません。

ポート名	方向	幅	機能
WEA<1:0>	入力	2	ポート A のバイト幅ライト イネーブル。RAM_MODE が "SDP" の場合は使用されません。異なるポート幅の WEA マップについてはユーザー ガイドを参照してください。
WEBWE<3:0>	入力	4	ポート B のバイト幅ライト イネーブル/ライト イネーブル。異なるポート幅の WEBWE マップについてはユーザー ガイドを参照してください。

## デザインの入力方法

このエレメントは、回路図で使用できます。

## 使用可能な属性

属性	データ型	値	デフォルト	説明
RDADDR_COLLISION_HWCONFIG	文字列	"DELAYED_WRITE"、 "PERFORMANCE"	"DELAYED_WRITE"	"PERFORMANCE" に設定すると、READ_FIRST モードでのクロック パフォーマンス (周波数) が向上します。RAM の両方のポートで同じクロックを使用している場合に "PERFORMANCE" に設定すると、アドレスが重なった場合の競合規則が適用されます。"DELAYED_WRITE" モードでは、競合を発生させずに RAM を使用できます。
SIM_COLLISION_CHECK	文字列	"ALL"、 "GENERATE_X_ONLY"、 "NONE"、 "WARNING_ONLY"	"ALL"	メモリの競合が発生した場合のシミュレーションの動作を指定します。 <ul style="list-style-type: none"> <li>・ "ALL"：警告メッセージが出力され、関連する出力およびメモリの値が不定 (X) になります。</li> <li>・ "WARNING_ONLY"：警告メッセージのみが出力され、関連する出力およびメモリの値はそのまま保持されます。</li> <li>・ "GENERATE_X_ONLY"：警告メッセージは出力されず、関連する出力およびメモリの値が不定 (X) になります。</li> <li>・ "NONE"：警告メッセージは出力されず、関連する出力およびメモリの値はそのまま保持されます。</li> </ul> "ALL" 以外の値に設定すると、シミュレーション中にデザインの問題を認識できなくなるため、この値を変更する場合は注意が必要です。

属性	データ型	値	デフォルト	説明
DOA_REG	10 進数	0、1	0	1 に設定すると、RAM の出力レジスタがイネーブルになり、RAM からの clock-to-out タイムが短縮されます。ただし、読み出しレイテンシのクロック サイクル数は増加します。0 に設定すると、1 クロック サイクルで読み出すことができます、clock-to-out タイムが長くなります。TDP モードではポート A に、SDP モードでは下位 18 ビット (パリティビットを含む) に適用されます。
DOB_REG	10 進数	0、1	0	1 に設定すると、RAM の出力レジスタがイネーブルになり、RAM からの clock-to-out タイムが短縮されます。ただし、読み出しレイテンシのクロック サイクル数は増加します。0 に設定すると、1 クロック サイクルで読み出すことができます、clock-to-out タイムが長くなります。TDP モードではポート B に、SDP モードでは上位ビット (パリティビットを含む) に適用されます。
INIT_A	16 進数	18 ビット値	18'h00000	コンフィギュレーション後のポート A の出力の初期値を指定します。TDP モードではポート A に、SDP モードでは下位 18 ビット (パリティビットを含む) に適用されます。
INIT_B	16 進数	18 ビット値	18'h00000	コンフィギュレーション後のポート B の出力の初期値を指定します。TDP モードではポート B に、SDP モードでは上位 18 ビット (パリティビットを含む) に適用されます。
INIT_00 ~ INIT_3F	16 進数	256'h0000000000000000 00000000000000000000 00000000000000000000 00000000000000000000 ~ 256'hffffffffffffffff ffffffffffffffff ffff	すべてゼロ	16KB のデータ メモリ アレイの初期値を指定します。
INIT_FILE	文字列	ファイルの名前と場所	なし	RAM の初期内容を記述するファイルの名前を指定します。
INITP_00 ~ INITP_07	16 進数	256'h0000000000000000 00000000000000000000 00000000000000000000 00000000000000000000 ~ 256'hffffffffffffffff ffffffffffffffff ffff	すべてゼロ	2KB のパリティ データ メモリ アレイの初期値を指定します。
RAM_MODE	文字列	"TDP"、"SDP"	"TDP"	シングル デュアル ポート ("SDP") または完全なデュアル ポート ("TDP") を選択します。
READ_WIDTH_A	10 進数	0、1、2、4、9、18、36、72	0	ポート A の読み出しのデータ幅を指定します (パリティビットを含む)。ポート A を使用しない場合は、0 に設定する必要があります。ポートを使用する場合は、適切なポート幅に設定してください。SDP モードの場合は、パリティビットを含む読み出し幅です。

属性	データ型	値	デフォルト	説明
READ_WIDTH_B	10 進数	0、1、2、4、9、18	0	ポート B の読み出しのデータ幅を指定します (パリティビットを含む)。ポート B を使用しない場合は、0 に設定する必要があります。ポートを使用する場合は、適切なポート幅に設定してください。SDP モードでは使用されません。
RSTREG_PRIORITY_A	文字列	"RSTREG"、"REGCE"	"RSTREG"	RSTREG と REGCE レジスタの優先順位を選択します。TDP モードではポート A に、SDP モードでは下位 18 ビット (パリティビットを含む) に適用されます。
RSTREG_PRIORITY_B	文字列	"RSTREG"、"REGCE"	"RSTREG"	RSTREG と REGCE レジスタの優先順位を選択します。TDP モードではポート B に、SDP モードでは上位ビット (パリティビットを含む) に適用されます。
SIM_DEVICE	文字列	"VIRTEX6"、 "7SERIES"	"7SERIES"	どの条件でも正しくシミュレーションが動作するよう "7SERIES" を設定する必要があります。
SRVAL_A	16 進数	18 ビット値	18'h00000	同期リセット信号 (RSTREG) がアサートされたときの RAM の出力値を指定します。
SRVAL_B	16 進数	18 ビット値	18'h00000	同期リセット信号 (RSTREG) がアサートされたときの RAM の出力値を指定します。
WRITE_WIDTH_A	10 進数	0、1、2、4、9、18	0	ポート A への書き込みのデータ幅を指定します (パリティビットを含む)。ポートを使用しない場合は、0 に設定する必要があります。それ以外の場合は、適切なデータ幅に設定してください。SDP モードでは使用されません。
WRITE_WIDTH_B	10 進数	0、1、2、4、9、18、36、 72	0	ポート B への書き込みのデータ幅を指定します (パリティビットを含む)。ポートを使用しない場合は、0 に設定する必要があります。それ以外の場合は、適切なデータ幅に設定してください。SDP モードでは、パリティビットを含む書き込み幅です。
WRITE_MODE_A	文字列	"WRITE_FIRST"、 "NO_CHANGE"、 "READ_FIRST"	"WRITE_FIRST"	書き込みが実行されるとき出力の動作を指定します。 <ul style="list-style-type: none"> <li>・ "WRITE_FIRST"：書き込まれた値が出力ポートに出力されます。</li> <li>・ "READ_FIRST"：書き込み前にそのメモリ ロケーションに格納されていた値が出力ポートに出力されます。</li> <li>・ "NO_CHANGE"：出力ポートの以前の値が保持されます。</li> </ul> RAM_MODE="SDP" の場合は "NO_CHANGE" には設定できません。シングルデュアルポートインプリメンテーションでは、両方のポートで同じクロックを使用する場合は WRITE_MODE_A を "READ_FIRST" に、異なるクロックを使用する場合は "WRITE_FIRST" に設定

属性	データ型	値	デフォルト	説明
				することをお勧めします。これにより、このコンフィギュレーションで BRAM を使用した場合の競合またはアドレス オーバーラップ時の動作が向上します。
WRITE_MODE_B	文字列	"WRITE_FIRST"、 "NO_CHANGE"、 "READ_FIRST"	"WRITE_FIRST"	<p>書き込みが実行されるときの出力の動作を指定します。</p> <ul style="list-style-type: none"> <li>・ "WRITE_FIRST" : 書き込まれた値が出力ポートに出力されます。</li> <li>・ "READ_FIRST" : 書き込み前にそのメモリ ロケーションに格納されていた値が出力ポートに出力されます。</li> <li>・ "NO_CHANGE" : 出力ポートの以前の値が保持されます。</li> </ul> <p>RAM_MODE="SDP" の場合は "NO_CHANGE" には設定できません。シングル デュアル ポート インプリメンテーションでは、両方のポートで同じクロックを使用する場合は WRITE_MODE_A を "READ_FIRST" に、異なるクロックを使用する場合は "WRITE_FIRST" に設定することをお勧めします。これにより、このコンフィギュレーションで BRAM を使用した場合の競合またはアドレス オーバーラップ時の動作が向上します。</p>

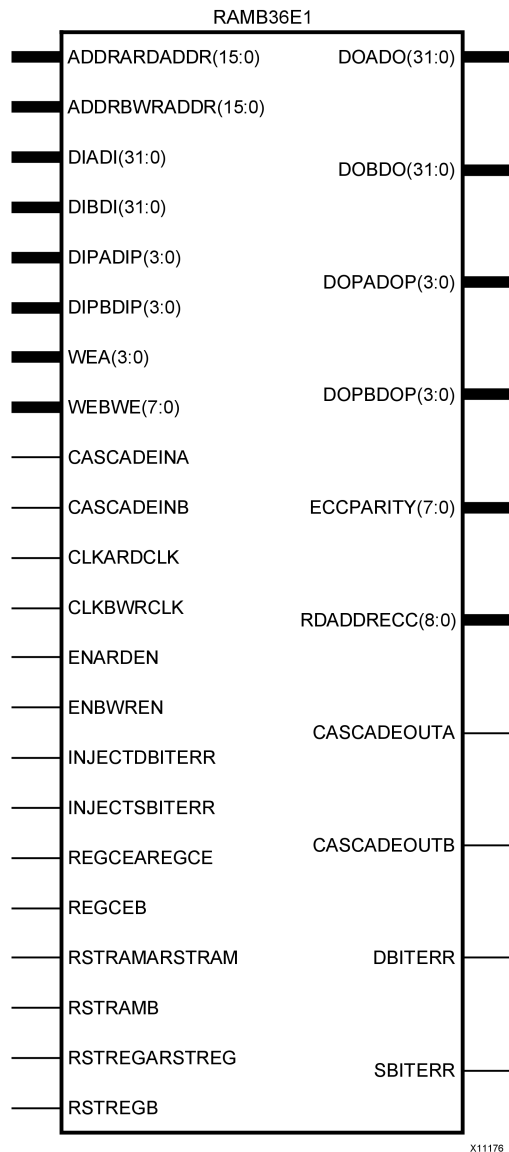
## 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)



## RAMB36E1

プリミティブ : 36K-bit Configurable Synchronous Block RAM



### 概要

7 シリーズ デバイスにはブロック RAM が数個含まれ、FIFO、自動エラー訂正 RAM、または汎用 RAM/ROM (36 KB または 18 KB) としてコンフィギュレーションできます。これらのブロック RAM には、大量のオンチップ データを高速かつ柔軟に格納できます。RAMB36E1 を使用すると、36KB コンフィギュレーションでブロック RAM にアクセスできます。カスケード 接続すると、大型の RAM を作成できます。このエレメントは、1 ビット幅 X 32K ワード ~ 36 ビット幅 X 1K ワードの完全なデュアル ポート RAM としてコンフィギュレーションできます。また、72 ビット幅 X 512 ワードのシンプル デュアル ポート RAM にコンフィギュレーションすることもできます。読み出しと書き込みは、コンポーネントに供給されるクロックに完全に同期して実行されます。ただし、読み出しポートと書き込みポートは完全に独立しており、お互いに非同期で、同じメモリアレイにアクセスします。広いデータ幅でコンフィギュレーションすると、バイト イネーブルの書き込

みが可能になり、オプションの出力レジスタを使用して RAM の clock-to-out タイムを短縮できます。エラー検出と訂正回路をイネーブルにすると、メモリ破損を検出し、修正することもできます。

## ポートの説明

ポート名	方向	幅	機能
ADDRARDADDR<15:0>	入力	16	ポート A アドレス入力バス/読み出しアドレス入力バス
ADDRBWRADDR<15:0>	入力	16	ポート B アドレス入力バス/書き込みアドレス入力バス
CASCADEINA	入力	1	ポート A カスケード入力。RAM_MODE が "SDP" の場合は使用されません。
CASCADEINB	入力	1	ポート B カスケード入力。RAM_MODE が "SDP" の場合は使用されません。
CASCADEOUTA	出力	1	ポート A カスケード出力。RAM_MODE が "SDP" の場合は使用されません。
CASCADEOUTB	出力	1	ポート B カスケード出力。RAM_MODE が "SDP" の場合は使用されません。
CLKARDCLK	入力	1	ポート A クロック入力/読み出しクロック入力 (立ち上がりエッジ)
CLKBWRCLK	入力	1	ポート B クロック入力/書き込みクロック入力 (立ち上がりエッジ)
DBITERR	出力	1	ダブル ビット エラーが検出されたことを示す ECC 機能からのステータス出力。ECC 機能を使用する場合は、EN_ECC_READ を TRUE に設定する必要があります。RAM_MODE が "TDP" の場合は使用されません。
DIADI<31:0>	入力	32	ポート A データ入力バス/WRADDR でアドレス指定されるデータ入力バス。RAM_MODE が "SDP" の場合は DI<31:0> となります。
DIBDI<31:0>	入力	32	ポート B データ入力バス/WRADDR でアドレス指定されるデータ入力バス。RAM_MODE が "SDP" の場合は DI<63:32> となります。
DIPADIP<3:0>	入力	4	ポート A パリティ データ入力バス/WRADDR でアドレス指定されるパリティ データ入力バス。RAM_MODE が "SDP" の場合は DIP<3:0> となります。
DIPBDIP<3:0>	入力	4	ポート B パリティ データ入力バス/WRADDR でアドレス指定されるパリティ データ入力バス。RAM_MODE が "SDP" の場合は DIP<7:4> となります。
DOADO<31:0>	出力	32	ポート A データ出力バス/RDADDR でアドレス指定されるデータ出力バス。RAM_MODE が "SDP" の場合は DO<15:0> となります。
DOBDO<31:0>	出力	32	ポート B データ出力バス/RDADDR でアドレス指定されるデータ出力バス。RAM_MODE が "SDP" の場合は DO<63:32> となります。
DOPADOP<3:0>	出力	4	ポート A パリティ データ出力バス/RDADDR でアドレス指定されるパリティ データ出力バス。RAM_MODE が "SDP" の場合は DOP<3:0> となります。
DOPBDOP<3:0>	出力	4	ポート B パリティ データ出力バス/RDADDR でアドレス指定されるパリティ データ出力バス。RAM_MODE が "SDP" の場合は DOP<7:4> となります。
ECCPARITY<7:0>	出力	8	ECC デコーダーでメモリ エラーを検出および訂正するために使用される、ECC エンコーダーで生成された 8 ビット データ。RAM_MODE が "TDP" の場合は使用されません。
ENARDEN	入力	1	ポート A RAM イネーブル/リード イネーブル
ENBWREN	入力	1	ポート B RAM イネーブル/ライト イネーブル

ポート名	方向	幅	機能
INJECTDBITERR	入力	1	ECC 機能を使用している場合にダブル ビット エラーを挿入します。
INJECTSBITERR	入力	1	ECC 機能を使用している場合にシングル ビット エラーを挿入します。
RDADDRECC<8:0>	出力	9	ECC 読み出しアドレス。RAM_MODE が "TDP" の場合は使用されません。
REGCEAREGCE	入力	1	ポート A 出力レジスタ クロック イネーブル入力/出力レジスタ クロック イネーブル入力 (DO_REG=1 の場合のみ有効)
REGCEB	入力	1	ポート B 出力レジスタ クロック イネーブル (DO_REG=1 および RAM_MODE="TDP" の場合のみ有効)
RSTRAMARSTRAM	入力	1	同期データ ラッチを SRVAL_A で指定された値にセット/リセットします。DO_REG=0 または 1 のとき BRAM データ出力ラッチをセット/リセットします。DO_REG=1 の場合、RSTRAMARSTRAM でリセットされる内部データ ラッチ ノードと BRAM の DO 出力の間に 1 サイクルのレイテンシがあります。RAM_MODE が "TDP" の場合はポート A の RAM 出力がリセットされ、RAM_MODE が "SDP" の場合は RAM 出力全体がリセットされます。
RSTRAMB	入力	1	同期データ ラッチを SRVAL_B で指定された値にセット/リセットします。DO_REG=0 または 1 のとき BRAM データ出力ラッチをセット/リセットします。DO_REG=1 の場合、RSTRAMB でリセットされる内部データ ラッチ ノードと BRAM の DO 出力の間に 1 サイクルのレイテンシがあります。RAM_MODE が "SDP" の場合は使用されません。
RSTREGARSTREG	入力	1	同期出力レジスタを SRVAL_A で指定された値にセット/リセットします。DO_REG=1 のとき出力レジスタをセット/リセットします。RSTREG_PRIORITY_A は、この信号と REGCEAREGCE の優先順位を指定します。RAM_MODE が "TDP" の場合はポート A の出力がリセットされ、RAM_MODE が "SDP" の場合は出力全体がリセットされます。
RSTREGB	入力	1	同期出力レジスタを SRVAL_B で指定された値にセット/リセットします。DO_REG=1 のとき出力レジスタをセット/リセットします。RSTREG_PRIORITY_B は、この信号と REGCEB の優先順位を指定します。RAM_MODE が "SDP" の場合は使用されません。
SBITERR	出力	1	シングル ビット エラーが検出されたことを示す ECC 機能のステータス出力。ECC 機能を使用する場合は、EN_ECC_READ を TRUE に設定する必要があります。RAM_MODE が "TDP" の場合は使用されません。
WEA<3:0>	入力	4	ポート A のバイト幅ライト イネーブル。RAM_MODE が "SDP" の場合は使用されません。異なるポート幅の WEA マップについてはユーザー ガイドを参照してください。
WEBWE<7:0>	入力	8	ポート B のバイト幅ライト イネーブル/ライト イネーブル。異なるポート幅の WEBWE マップについてはユーザー ガイドを参照してください。

## デザインの入力方法

このエレメントは、回路図で使用できます。

## 使用可能な属性

属性	データ型	値	デフォルト	説明
RDADDR_COLLISION_HWCONFIG	文字列	"DELAYED_WRITE"、 "PERFORMANCE"	"DELAYED_WRITE"	"PERFORMANCE" に設定すると、READ_FIRST モードでのクロック パフォーマンス (周波数) が向上します。RAM の両方のポートで同じクロックを使用する場合に "PERFORMANCE" に設定すると、アドレスが重なった場合の競合規則が適用されます。"DELAYED_WRITE" モードでは、競合を発生させずに RAM を使用できます。
SIM_COLLISION_CHECK	文字列	"ALL"、 "GENERATE_X_ONLY"、 "NONE"、 "WARNING_ONLY"	"ALL"	<p>メモリの競合が発生した場合のシミュレーションの動作を指定します。</p> <ul style="list-style-type: none"> <li>・ "ALL" : 警告メッセージが出力され、関連する出力およびメモリの値が不定 (X) になります。</li> <li>・ "WARNING_ONLY" : 警告メッセージのみが出力され、関連する出力およびメモリの値はそのまま保持されます。</li> <li>・ "GENERATE_X_ONLY" : 警告メッセージは出力されず、関連する出力およびメモリの値が不定 (X) になります。</li> <li>・ "NONE" : 警告メッセージは出力されず、関連する出力およびメモリの値はそのまま保持されます。</li> </ul> <p><b>メモ:</b> "ALL" 以外の値に設定すると、シミュレーション中にデザインの問題を認識できなくなるため、この値を変更する場合は注意が必要です。</p>
DOA_REG	10 進数	0、1	0	1 に設定すると、RAM の出力レジスタがイネーブルになり、RAM からの clock-to-out タイムが短縮されます。ただし、読み出しレイテンシのクロック サイクル数は増加します。0 に設定すると、1 クロック サイクルで読み出すことができます、clock-to-out タイムが長くなります。TDP モードではポート A に、SDP モードでは下位 36 ビット (パリティビットを含む) に適用されます。
DOB_REG	10 進数	0、1	0	1 に設定すると、RAM の出力レジスタがイネーブルになり、RAM からの clock-to-out タイムが短縮されます。ただし、読み出しレイテンシのクロック サイクル数は増加します。0 に設定すると、1 クロック サイクルで読み出すことができます、clock-to-out タイムが長くなります。TDP モードではポート B に、SDP モードでは上位 36 ビット (パリティビットを含む) に適用されます。

属性	データ型	値	デフォルト	説明
EN_ECC_READ	ブール代数	FALSE、TRUE	FALSE	ECC デコーダー回路をイネーブルにします。
EN_ECC_WRITE	ブール代数	FALSE、TRUE	FALSE	ECC エンコーダー回路をイネーブルにします。
INIT_A	16 進数	36 ビット値	36'h000000000	コンフィギュレーション後のポート A の出力の初期値を指定します。TDP モードではポート A に、SDP モードでは下位 36 ビット (パリティビットを含む) に適用されます。
INIT_B	16 進数	36 ビット値	36'h000000000	コンフィギュレーション後のポート B の出力の初期値を指定し、TDP モードではポート B に、SDP モードでは上位 36 ビット (パリティビットを含む) に適用されます。
INIT_00 ~ INIT_7F	16 進数	256'h00000000 000000000000 000000000000 000000000000 000000000000 00000000 ~ 256'hffffffff ffffffffffff ffffffffffff ffffffffffff	256'h000000 0000000000 0000000000 0000000000 0000000000 0000000000 0000000000 0000000000 0000000000	32Kb のデータ メモリ アレイの初期値を指定します。
INIT_FILE	文字列	ファイルの名前と場所	なし	RAM の初期内容を記述するファイルの名前を指定します。
INITP_00 ~ INITP_0F	16 進数	256'h00000000 000000000000 000000000000 000000000000 000000000000 0000 to 256'hffffffff ffffffffffff ffffffffffff ffffffffffff	256'h000000 0000000000 0000000000 0000000000 0000000000 0000000000 0000000000 0000000000 0000000000	4Kb のパリティデータ メモリ アレイの初期値を指定します。
RAM_EXTENSION_A	文字列	"NONE"、"LOWER"、 "UPPER"	"NONE"	カスケード モードを選択します。2 つのブロック RAM をカスケード接続して 64K X 1 RAM を作成しない場合は、"NONE" に設定します。カスケード接続する場合は、RAM を正しくコンフィギュレーションするために、RAM の相対位置を "UPPER" または "LOWER" で指定します。RAM_MODE が "SDP" の場合は使用されません。
RAM_EXTENSION_B	文字列	"NONE"、"LOWER"、 "UPPER"	"NONE"	カスケード モードを選択します。2 つのブロック RAM をカスケード接続して 64K X 1 RAM を作成しない場合は、"NONE" に設定します。カスケード接続する場合は、RAM を正しくコンフィギュレーションするために、RAM の相対位置を "UPPER" または "LOWER" で指定します。RAM_MODE が "SDP" の場合は使用されません。
RAM_MODE	文字列	"TDP"、"SDP"	"TDP"	シングル デュアル ポート ("SDP") または完全なデュアル ポート ("TDP") を選択します。

属性	データ型	値	デフォルト	説明
READ_WIDTH_A	10 進数	0、1、2、4、9、18、36、72	0	ポート A の読み出しデータ幅を指定します (パリティビットを含む)。ポートを使用しない場合は、0 に設定する必要があります。ポートを使用する場合は、適切なポート幅に設定してください。
READ_WIDTH_B	10 進数	0、1、2、4、9、18、36	0	ポート B の読み出しデータ幅を指定します (パリティビットを含む)。ポートを使用しない場合は、0 に設定する必要があります。ポートを使用する場合は、適切なポート幅に設定してください。
WRITE_WIDTH_A	10 進数	0、1、2、4、9、18、36	0	ポート A の書き込みデータ幅を指定します (パリティビットを含む)。ポートを使用しない場合は、0 に設定する必要があります。ポートを使用する場合は、適切なポート幅に設定してください。
WRITE_WIDTH_B	10 進数	0、1、2、4、9、18、36、72	0	ポート B の書き込みデータ幅を指定します (パリティビットを含む)。ポートを使用しない場合は、0 に設定する必要があります。ポートを使用する場合は、適切なポート幅に設定してください。
RSTREG_PRIORITY_A	文字列	"RSTREG"、 "REGCE"	"RSTREG"	RSTREG と REGCE レジスタの優先順位を選択します。TDP モードではポート A に、SDP モードでは下位 18 ビット (パリティビットを含む) に適用されます。
RSTREG_PRIORITY_B	文字列	"RSTREG"、 "REGCE"	"RSTREG"	RSTREG と REGCE レジスタの優先順位を選択します。TDP モードではポート B に、SDP モードでは上位 18 ビット (パリティビットを含む) に適用されます。
SIM_DEVICE	文字列	"VIRTEX6"、 "7SERIES"	"VIRTEX6"	どの条件でも正しくシミュレーションが動作するよう "7SERIES" を設定する必要があります。
SRVAL_A	16 進数	36 ビット値	36'h000000000	同期リセット信号 (RSTREG) がアサートされたときの RAM の出力値を指定します。
SRVAL_B	16 進数	36 ビット値	36'h000000000	同期リセット信号 (RSTREG) がアサートされたときの RAM の出力値を指定します。
WRITE_MODE_A	文字列	"WRITE_FIRST"、 "NO_CHANGE"、 "READ_FIRST"	"WRITE_FIRST"	<p>ポート A で書き込みが実行されるときの出力の動作を指定します。</p> <ul style="list-style-type: none"> <li>・ "WRITE_FIRST" : 書き込まれた値が出力ポートに出力されます。</li> <li>・ "READ_FIRST" : 書き込み前にそのメモリロケーションに格納されていた値が出力ポートに出力されます。</li> <li>・ "NO_CHANGE" : 出力ポートの以前の値が保持されます。</li> </ul> <p>RAM_MODE="SDP" の場合は "NO_CHANGE" には設定できません。シングルデュアルポートインプリメンテーションでは、両方のポートで同じクロックを使用する場合は WRITE_MODE_A を "READ_FIRST" に、異なるクロックを使用する場合は "WRITE_FIRST" に設定することをお勧めします。これにより、このコン</p>

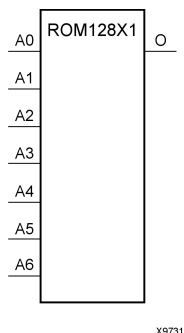
属性	データ型	値	デフォルト	説明
				フィギュレーションで BRAM を使用した場合の競合またはアドレス オーバーラップ時の動作が向上します。
WRITE_MODE_B	文字列	"WRITE_FIRST"、 "NO_CHANGE"、 "READ_FIRST"	"WRITE_FIRST"	<p>ポート B で書き込みが実行されるときの出力の動作を指定します。</p> <ul style="list-style-type: none"> <li>・ "WRITE_FIRST"：書き込まれた値が出力ポートに出力されます。</li> <li>・ "READ_FIRST"：書き込み前にそのメモリ ロケーションに格納されていた値が出力ポートに出力されます。</li> <li>・ "NO_CHANGE"：出力ポートの以前の値が保持されます。</li> </ul> <p>RAM_MODE="SDP" の場合は "NO_CHANGE" には設定できません。シングル デュアル ポート インプリメンテーションでは、両方のポートで同じクロックを使用する場合は WRITE_MODE_A を "READ_FIRST" に、異なるクロックを使用する場合は "WRITE_FIRST" に設定することをお勧めします。これにより、このコンフィギュレーションで BRAM を使用した場合の競合またはアドレス オーバーラップ時の動作が向上します。</p>

## 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## ROM128X1

プリミティブ：128-Deep by 1-Wide ROM



X9731

### 概要

このデザイン エLEMENTは 128 ワード X 1 ビットの ROM です。データ出力 (O) には、7 ビットのアドレス (A6 ~ A0) で選択されたワードが出力されます。ROM は、コンフィギュレーションの際に INIT で指定された値に初期化されます。初期値は 32 桁の 16 進数で、ROM には最上位ビット A=FH から最下位ビット A=0H の順に書き込まれます。INIT を指定しないと、エラーが発生します。

### 論理表

入力				出力
I0	I1	I2	I3	O
0	0	0	0	INIT(0)
0	0	0	1	INIT(1)
0	0	1	0	INIT(2)
0	0	1	1	INIT(3)
0	1	0	0	INIT(4)
0	1	0	1	INIT(5)
0	1	1	0	INIT(6)
0	1	1	1	INIT(7)
1	0	0	0	INIT(8)
1	0	0	1	INIT(9)
1	0	1	0	INIT(10)
1	0	1	1	INIT(11)
1	1	0	0	INIT(12)
1	1	0	1	INIT(13)
1	1	1	0	INIT(14)
1	1	1	1	INIT(15)

### デザインの入力方法

このELEMENTは、回路図で使用できます。



## 使用可能な属性

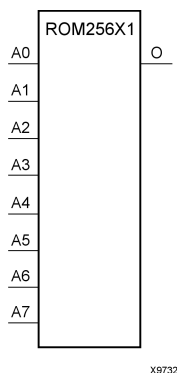
属性	データ型	値	デフォルト	説明
INIT	16 進数	128 ビット値	すべてゼロ	ROM の値を指定

## 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## ROM256X1

プリミティブ：256-Deep by 1-Wide ROM



### 概要

このデザイン エLEMENTは 256 ワード X 1 ビットの ROM です。データ出力 (O) には、8 ビットのアドレス (A7 ～ A0) で選択されたワードが出力されます。ROM は、コンフィギュレーションの際に INIT で指定された値に初期化されます。初期値は 64 桁の 16 進数で、ROM には最上位ビット A=FH から最下位ビット A=0H の順に書き込まれます。

INIT を指定しないと、エラーが発生します。

### 論理表

入力				出力
I0	I1	I2	I3	O
0	0	0	0	INIT(0)
0	0	0	1	INIT(1)
0	0	1	0	INIT(2)
0	0	1	1	INIT(3)
0	1	0	0	INIT(4)
0	1	0	1	INIT(5)
0	1	1	0	INIT(6)
0	1	1	1	INIT(7)
1	0	0	0	INIT(8)
1	0	0	1	INIT(9)
1	0	1	0	INIT(10)
1	0	1	1	INIT(11)
1	1	0	0	INIT(12)
1	1	0	1	INIT(13)
1	1	1	0	INIT(14)
1	1	1	1	INIT(15)

## デザインの入力方法

このエレメントは、回路図で使用できます。

## 使用可能な属性

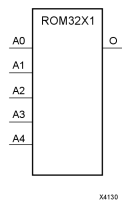
属性	データ型	値	デフォルト	説明
INIT	16 進数	256 ビット値	すべてゼロ	ROM の値を指定

## 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## ROM32X1

プリミティブ : 32-Deep by 1-Wide ROM



### 概要

このデザイン エLEMENTは 32 ワード X 1 ビットの ROM です。データ出力 (O) には、5 ビットのアドレス (A4 ~ A0) で選択されたワードが出力されます。ROM は、コンフィギュレーションの際に INIT で指定された値に初期化されます。初期値は 8 桁の 16 進数で、ROM には最上位ビット A=1FH から最下位ビット A=00H の順に書き込まれます。

たとえば、INIT=10A78F39 と指定すると、「0001 0000 1010 0111 1000 1111 0011」というデータストリームが生成されます。INIT を指定しないと、エラーが発生します。

### 論理表

入力				出力
I0	I1	I2	I3	O
0	0	0	0	INIT(0)
0	0	0	1	INIT(1)
0	0	1	0	INIT(2)
0	0	1	1	INIT(3)
0	1	0	0	INIT(4)
0	1	0	1	INIT(5)
0	1	1	0	INIT(6)
0	1	1	1	INIT(7)
1	0	0	0	INIT(8)
1	0	0	1	INIT(9)
1	0	1	0	INIT(10)
1	0	1	1	INIT(11)
1	1	0	0	INIT(12)
1	1	0	1	INIT(13)
1	1	1	0	INIT(14)
1	1	1	1	INIT(15)

### デザインの入力方法

このELEMENTは、回路図で使用できます。

## 使用可能な属性

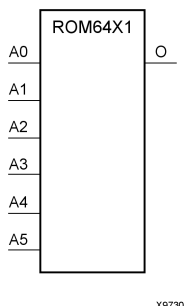
属性	タイプ	値	デフォルト	説明
INIT	16 進数	32 ビット値	すべてゼロ	ROM の値を指定

## 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## ROM64X1

プリミティブ：64-Deep by 1-Wide ROM



### 概要

このデザイン エLEMENTは 64 ワード X 1 ビットの ROM です。データ出力 (O) には、6 ビットのアドレス (A5 ～ A0) で選択されたワードが出力されます。ROM は、コンフィギュレーションの際に INITINIT で指定された値に初期化されます。初期値は 16 桁の 16 進数で、ROM には最上位ビット A=FH から最下位ビット A=0H の順に書き込まれます。INIT を指定しないと、エラーが発生します。

### 論理表

入力				出力
I0	I1	I2	I3	O
0	0	0	0	INIT(0)
0	0	0	1	INIT(1)
0	0	1	0	INIT(2)
0	0	1	1	INIT(3)
0	1	0	0	INIT(4)
0	1	0	1	INIT(5)
0	1	1	0	INIT(6)
0	1	1	1	INIT(7)
1	0	0	0	INIT(8)
1	0	0	1	INIT(9)
1	0	1	0	INIT(10)
1	0	1	1	INIT(11)
1	1	0	0	INIT(12)
1	1	0	1	INIT(13)
1	1	1	0	INIT(14)
1	1	1	1	INIT(15)

### デザインの入力方法

このELEMENTは、回路図で使用できます。

## 使用可能な属性

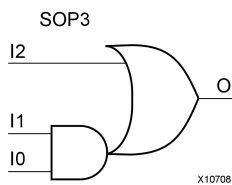
属性	データ型	値	デフォルト	説明
INIT	16 進数	64 ビット値	すべてゼロ	ROM の値を指定

## 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## SOP3

### マクロ：3-Input Sum of Products



### 概要

このデザイン エLEMENTは 3 入力の積和 (SOP) マクロで、1 個の AND 出力と 1 個の直接入力を OR ゲートに入力した共通ロジック ファンクションです。反転入力と非反転入力をさまざまに組み合わせたものがあります。

### デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

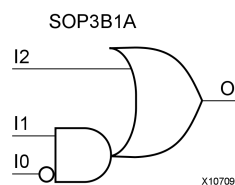
### 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)



## SOP3B1A

マクロ：3-Input Sum of Products with One Inverted Input (Option A)



### 概要

このデザイン エレメントは 3 入力の積和 (SOP) マクロで、1 個の AND 出力と 1 個の直接入力を OR ゲートに入力した共通ロジック ファンクションです。反転入力と非反転入力をさまざまに組み合わせたものがあります。

### デザインの入力方法

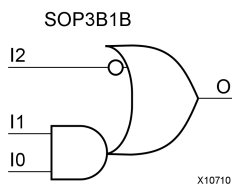
このエレメントは、回路図でのみ使用できます。

### 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## SOP3B1B

マクロ : 3-Input Sum of Products with One Inverted Input (Option B)



### 概要

このデザイン エLEMENTは 3 入力の積和 (SOP) マクロで、1 個の AND 出力と 1 個の直接入力を OR ゲートに入力した共通ロジック ファンクションです。反転入力と非反転入力をさまざまに組み合わせたものがあります。

### デザインの入力方法

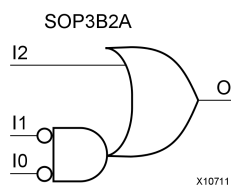
このELEMENTは、回路図でのみ使用できます。

### 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## SOP3B2A

マクロ : 3-Input Sum of Products with Two Inverted Inputs (Option A)



### 概要

このデザイン エLEMENTは 3 入力の積和 (SOP) マクロで、1 個の AND 出力と 1 個の直接入力を OR ゲートに入力した共通ロジック ファンクションです。反転入力と非反転入力をさまざまに組み合わせたものがあります。

### デザインの入力方法

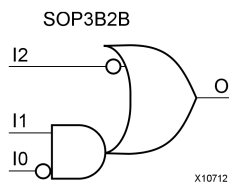
このELEMENTは、回路図でのみ使用できます。

### 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## SOP3B2B

マクロ : 3-Input Sum of Products with Two Inverted Inputs (Option B)



### 概要

このデザイン エLEMENTは 3 入力の積和 (SOP) マクロで、1 個の AND 出力と 1 個の直接入力を OR ゲートに入力した共通ロジック ファンクションです。反転入力と非反転入力をさまざまに組み合わせたものがあります。

### デザインの入力方法

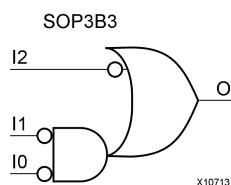
このELEMENTは、回路図でのみ使用できます。

### 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## SOP3B3

マクロ：3-Input Sum of Products with Inverted Inputs



### 概要

このデザイン エLEMENTは 3 入力の積和 (SOP) マクロで、1 個の AND 出力と 1 個の直接入力を OR ゲートに入力した共通ロジック ファンクションです。反転入力と非反転入力をさまざまに組み合わせたものがあります。

### デザインの入力方法

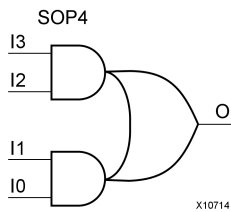
このELEMENTは、回路図でのみ使用できます。

### 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## SOP4

### マクロ：4-Input Sum of Products



### 概要

このデザイン エLEMENTは 4 入力の積和 (SOP) マクロで、2 個の AND 出力を OR ゲートに入力した共通ロジック ファンクションです。反転入力と非反転入力をさまざまに組み合わせたものがあります。

### デザインの入力方法

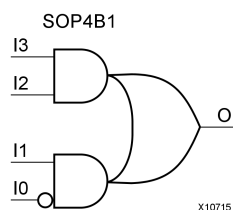
このELEMENTは、回路図でのみ使用できます。

### 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## SOP4B1

マクロ：4-Input Sum of Products with One Inverted Input



### 概要

このデザイン エLEMENTは 4 入力の積和 (SOP) マクロで、2 個の AND 出力を OR ゲートに入力した共通ロジック ファンクションです。反転入力と非反転入力をさまざまに組み合わせたものがあります。

### デザインの入力方法

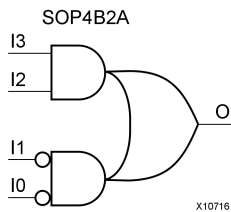
このELEMENTは、回路図でのみ使用できます。

### 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## SOP4B2A

マクロ : 4-Input Sum of Products with Two Inverted Inputs (Option A)



### 概要

このデザイン エLEMENTは 4 入力の積和 (SOP) マクロで、2 個の AND 出力を OR ゲートに入力した共通ロジック ファンクションです。反転入力と非反転入力をさまざまに組み合わせたものがあります。

### デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

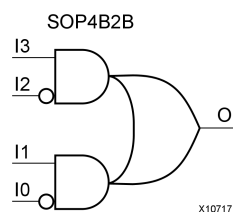
### 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)



## SOP4B2B

マクロ : 4-Input Sum of Products with Two Inverted Inputs (Option B)



### 概要

このデザイン エLEMENTは 4 入力の積和 (SOP) マクロで、2 個の AND 出力を OR ゲートに入力した共通ロジック ファンクションです。反転入力と非反転入力をさまざまに組み合わせたものがあります。

### デザインの入力方法

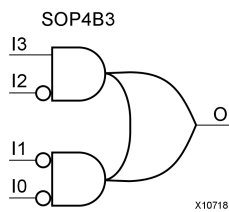
このELEMENTは、回路図でのみ使用できます。

### 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## SOP4B3

### マクロ : 4-Input Sum of Products with Three Inverted Inputs



## 概要

このデザイン エLEMENTは 4 入力の積和 (SOP) マクロで、2 個の AND 出力を OR ゲートに入力した共通ロジック ファンクションです。反転入力と非反転入力をさまざまに組み合わせたものがあります。

## デザインの入力方法

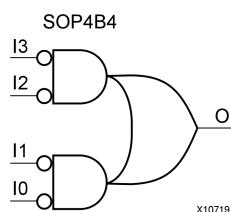
このELEMENTは、回路図でのみ使用できます。

## 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## SOP4B4

マクロ：4-Input Sum of Products with Inverted Inputs



### 概要

このデザイン エLEMENTは 4 入力の積和 (SOP) マクロで、2 個の AND 出力を OR ゲートに入力した共通ロジック ファンクションです。反転入力と非反転入力をさまざまに組み合わせたものがあります。

### デザインの入力方法

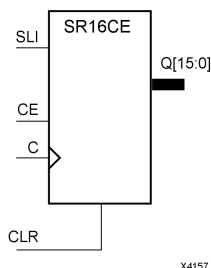
このELEMENTは、回路図でのみ使用できます。

### 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## SR16CE

**マクロ：16-Bit Serial-In Parallel-Out Shift Register with Clock Enable and Asynchronous Clear**



### 概要

このデザイン エLEMENTはシフトレジスタで、シフトレフトシリアル入力 (SLI)、パラレル出力 (Q)、クロック イネーブル (CE)、非同期クリア入力 (CLR) があります。CLR 入力が高になると、ほかのすべての入力は無視され、出力 (Q) が Low にリセットされます。CE が High で CLR が Low の場合、クロック (C) が Low から High に切り替わるたびに SLI 入力の値がシフトレジスタの第 1 ビットにロードされ、Q0 に出力されます。次にクロックが Low から High に切り替わるたびに CE が High で CLR が Low の場合、値が次の高位ビットの位置にシフトされ、新しい値が Q0 にロードされます (例：SLI → Q0、Q0 → Q1、Q1 → Q2)。CE が Low の場合は、クロック遷移は無視されます。

最後の Q 出力を次の段の SLI 入力に接続し、クロック、CE、CLR を並列に接続すると、複数のレジスタをカスケード接続できます。

電力を供給すると、レジスタは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP\_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

### 論理表

入力				出力	
CLR	CE	SLI	C	Q0	Qz:Q1
1	X	X	X	0	0
0	0	X	X	変化なし	変化なし
0	1	SLI	↑	SLI	qn-1
z = ビット幅 - 1					
qn-1 = アクティブなクロック エッジの 1 セットアップ タイム前の対応する出力の値					

### デザインの入力方法

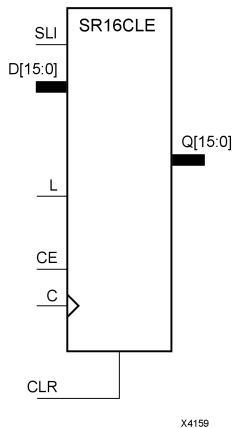
このELEMENTは、回路図でのみ使用できます。

### 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## SR16CLE

**マクロ：16-Bit Loadable Serial/Parallel-In Parallel-Out Shift Register with Clock Enable and Asynchronous Clear**



### 概要

このデザイン エLEMENTはシフトレジスタで、シフトレフトシリアル入力 (SLI)、パラレル入力 (D)、パラレル出力 (Q) に加え、クロック イネーブル (CE)、ロード イネーブル (L)、非同期クリア (CLR) の 3 つの制御入力があります。L と CE が Low の場合、クロック遷移は無視されます。CLR が High になると、ほかのすべての入力は無視され、出力 (Q) が Low にリセットされます。L が High で CLR が Low の場合、クロック (C) が Low から High に切り替わるときに、Dn ~ D0 入力の値は対応する Qn ~ Q0 ビットにロードされます。

CE が High で L および CLR が Low の場合、C が Low から High に切り替わるときに、SLI 入力の値がシフトレジスタの第 1 ビットにロードされ、Q0 に出力されます。次のクロック遷移で CE が High、L と CLR が Low の場合、値が次の高位ビットの位置にシフトされ、新しい値が Q0 にロードされます (例：SLI → Q0、Q0 → Q1、Q1 → Q2)。

最後の Q 出力を次の段の SLI 入力に接続し、クロック、CE、L、CLR を並列に接続すると、複数のレジスタをカスケード接続できます。

電力を供給すると、レジスタは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP\_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

### 論理表

入力						出力	
CLR	L	CE	SLI	Dn:D0	C	Q0	Qz:Q1
1	X	X	X	X	X	0	0
0	1	X	X	Dn:D0	↑	D0	Dn
0	0	1	SLI	X	↑	SLI	qn-1
0	0	0	X	X	X	変化なし	変化なし
z = ビット幅 -1							
qn-1 = アクティブなクロック エッジの 1 セットアップ タイム前の対応する出力の値							

## デザインの入力方法

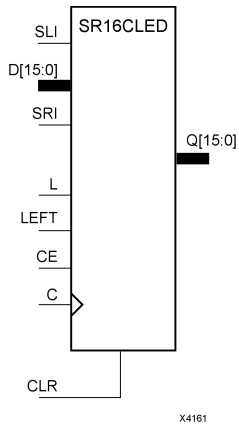
このELEMENTは、回路図でのみ使用できます。

## 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## SR16CLED

マクロ：16-Bit Shift Register with Clock Enable and Asynchronous Clear



### 概要

このデザイン エLEMENTはシフトレジスタで、シフトレフトシリアル入力 (SLI)、シフトライトシリアル入力 (SRI)、パラレル入力 (D)、パラレル出力 (Q) に加え、クロック イネーブル (CE)、ロード イネーブル (L)、シフトレフト/ライト (LEFT)、非同期クリア (CLR) の 4 つの制御入力があります。CE と L が Low の場合、クロック遷移は無視されます。CLR が High になると、ほかのすべての入力は無視され、出力 (Q) が Low にリセットされます。

L が High で CLR が Low の場合、クロック (C) が Low から High に切り替わる時に、D 入力の値が対応する Q ビットにロードされます。CE が High で L および CLR が Low の場合、LEFT 入力の値に応じて、レジスタの値は高位ビットまたは下位ビットにシフトされます。LEFT が High の場合は、クロックが Low から High に切り替わる時に SLI の値が Q0 にロードされ、次の Low から High へのクロック遷移で高位ビットにシフトされます (例：Q0 → Q1、Q1 → Q2)。LEFT が Low の場合は、クロックが Low から High に切り替わる時に SRI の値が最後の Q にロードされ、次のクロック遷移で右方向にシフトされます。論理表にすべての入力条件に対する Q 出力の値を示します。

電力を供給すると、レジスタは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP\_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

### 論理表

入力								出力		
CLR	L	CE	LEFT	SLI	SRI	D15:D0	C	Q0	Q15	Q14:Q1
1	X	X	X	X	X	X	X	0	0	0
0	1	X	X	X	X	D15:D0	↑	D0	D15	Dn
0	0	0	X	X	X	X	X	変化なし	変化なし	変化なし
0	0	1	1	SLI	X	X	↑	SLI	q14	qn-1
0	0	1	0	X	SRI	X	↑	q1	SRI	qn+1
qn-1 または qn+1 = アクティブなクロック エッジの 1 セットアップ タイム前の対応する出力の値										

### デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

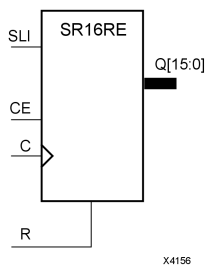
## 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)



## SR16RE

**マクロ : 16-Bit Serial-In Parallel-Out Shift Register with Clock Enable and Synchronous Reset**



### 概要

このデザイン エLEMENTはシフトレジスタで、シフトレフトシリアル入力 (SLI)、パラレル出力 (Qn)、クロック イネーブル (CE)、同期リセット入力 (R) があります。R 入力が高レベルになると、ほかのすべての入力は無視され、クロック (C) が Low から High に切り替わる時に出力 (Q) が Low にリセットされます。

CE が High で R が Low の場合、クロック (C) が Low から High に切り替わる時に SLI の値がシフトレジスタの第 1 ビットにロードされ、Q0 に出力されます。次にクロックが Low から High に切り替わる時に CE が High で R が Low の場合、値が次の高位ビットの位置にシフトされ、新しい値が Q0 にロードされます (例: SLI → Q0、Q0 → Q1、Q1 → Q2)。CE が Low の場合は、クロック遷移は無視されます。

最後の Q 出力を次の段の SLI 入力に接続し、クロック、CE、R を並列に接続すると、複数のレジスタをカスケード接続できます。

電力を供給すると、レジスタは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP\_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

### 論理表

入力				出力	
R	CE	SLI	C	Q0	Qz:Q1
1	X	X	↑	0	0
0	0	X	X	変化なし	変化なし
0	1	SLI	↑	SLI	qn-1
z = ビット幅 -1					
qn-1 = アクティブなクロック エッジの 1 セットアップ タイム前の対応する出力の値					

### デザインの入力方法

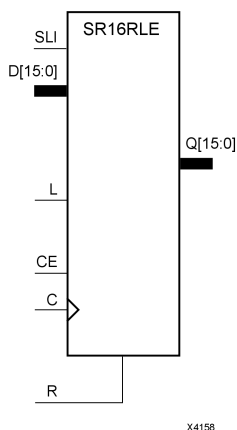
このELEMENTは、回路図でのみ使用できます。

### 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## SR16RLE

**マクロ：16-Bit Loadable Serial/Parallel-In Parallel-Out Shift Register with Clock Enable and Synchronous Reset**



### 概要

このデザイン エLEMENTはシフトレジスタで、シフト レフト シリアル入力 (SLI)、パラレル入力 (D)、パラレル出力 (Q) に加え、クロック イネーブル (CE)、ロード イネーブル (L)、同期リセット (R) の 3 つの制御入力があります。L と CE が Low の場合、クロック遷移は無視されます。R が High になると、ほかのすべての入力は無視され、クロック (C) が Low から High に切り替わるときに Q が Low にリセットされます。L が High で R が Low の場合、C が Low から High に切り替わる時に、D 入力の値が対応する Q ビットにロードされます。

CE が High で L および R が Low の場合は、C が Low から High に切り替わる時に SLI 入力の値がシフトレジスタの第 1 ビットにロードされ、Q0 に出力されます。次のクロック遷移で CE が High、L と R が Low の場合、シフトレジスタの値は次の高位ビットにシフトされ、新しい値が Q0 にロードされます。

最後の Q 出力を次の段の SLI 入力に接続し、クロック、CE、L、R を並列に接続すると、複数のレジスタをカスケード接続できます。

電力を供給すると、レジスタは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP\_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

### 論理表

入力						出力	
R	L	CE	SLI	Dz:D0	C	Q0	Qz:Q1
1	X	X	X	X	↑	0	0
0	1	X	X	Dz:D0	↑	D0	Dn
0	0	1	SLI	X	↑	SLI	qn-1
0	0	0	X	X	X	変化なし	変化なし
z = ビット幅 -1							
qn-1 = アクティブなクロック エッジの 1 セットアップ タイム前の対応する出力の値							

## デザインの入力方法

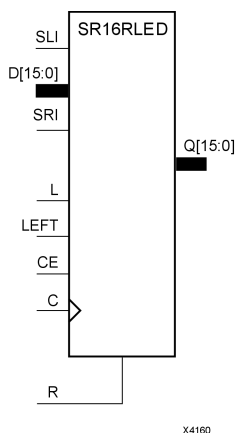
このエレメントは、回路図でのみ使用できます。

## 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## SR16RLED

### マクロ : 16-Bit Shift Register with Clock Enable and Synchronous Reset



### 概要

このデザイン エレメントはシフトレジスタで、シフトレフトシリアル入力 (SLI)、シフトライトシリアル入力 (SRI)、パラレル入力 (D)、パラレル出力 (Q) に加え、クロック イネーブル (CE)、ロード イネーブル (L)、シフトレフト/ライト (LEFT)、同期リセット (R) の 4 つの制御入力があります。CE と L が Low の場合、クロック遷移は無視されます。R が High になると、ほかのすべての入力は無視され、クロック (C) が Low から High に切り替わるときに Q が Low にリセットされます。L が High で R が Low の場合、C が Low から High に切り替わるときに、D 入力の値が対応する Q ビットにロードされます。

CE が High で L および R が Low の場合、LEFT 入力の値に応じて、レジスタの値は高位ビットまたは下位ビットにシフトされます。LEFT が High の場合は、クロックが Low から High に切り替わるときに SLI の値が Q0 にロードされ、次の Low から High へのクロック遷移で高位ビットにシフトされます (例: Q0 → Q1, Q1 → Q2)。LEFT が Low の場合は、クロックが Low から High に切り替わるときに SRI の値が最後の Q にロードされ、次のクロック遷移で右方向にシフトされます。論理表にすべての入力条件に対する Q 出力の値を示します。

電力を供給すると、レジスタは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP\_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

### 論理表

入力								出力		
R	L	CE	LEFT	SLI	SRI	D15:D0	C	Q0	Q15	Q14:Q1
1	X	X	X	X	X	X	↑	0	0	0
0	1	X	X	X	X	D15:D0	↓	D0	D15	Dn
0	0	0	X	X	X	X	X	変化なし	変化なし	変化なし
0	0	1	1	SLI	X	X	↑	SLI	q14	qn-1
0	0	1	0	X	SRI	X	↓	q1	SRI	qn+1
qn-1 または qn+1 = アクティブなクロック エッジの 1 セットアップ タイム前の対応する出力の値										

### デザインの入力方法

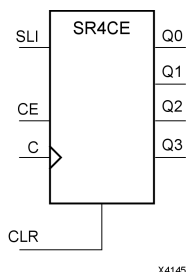
このエレメントは、回路図でのみ使用できます。

## 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## SR4CE

マクロ：4-Bit Serial-In Parallel-Out Shift Register with Clock Enable and Asynchronous Clear



### 概要

このデザイン エレメントはシフトレジスタで、シフト レフト シリアル入力 (SLI)、パラレル出力 (Q)、クロック イネーブル (CE)、非同期クリア入力 (CLR) があります。CLR 入力が高レベルになると、ほかのすべての入力は無視され、出力 (Q) が Low にリセットされます。CE が High で CLR が Low の場合、クロック (C) が Low から High に切り替わるときに SLI 入力の値がシフトレジスタの第 1 ビットにロードされ、Q0 に出力されます。次にクロックが Low から High に切り替わるときに CE が High で CLR が Low の場合、値が次の高位ビットの位置にシフトされ、新しい値が Q0 にロードされます (例：SLI → Q0、Q0 → Q1、Q1 → Q2)。CE が Low の場合は、クロック遷移は無視されます。

最後の Q 出力を次の段の SLI 入力に接続し、クロック、CE、CLR を並列に接続すると、複数のレジスタをカスケード接続できます。

電力を供給すると、レジスタは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP\_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

### 論理表

入力				出力	
CLR	CE	SLI	C	Q0	Qz:Q1
1	X	X	X	0	0
0	0	X	X	変化なし	変化なし
0	1	SLI	↑	SLI	qn-1

z = ビット幅 - 1

qn-1 = アクティブなクロック エッジの 1 セットアップ タイム前の対応する出力の値

### デザインの入力方法

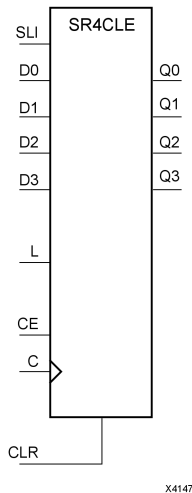
このエレメントは、回路図でのみ使用できます。

### 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## SR4CLE

**マクロ：4-Bit Loadable Serial/Parallel-In Parallel-Out Shift Register with Clock Enable and Asynchronous Clear**



### 概要

このデザイン エLEMENTはシフトレジスタで、シフトレフトシリアル入力 (SLI)、パラレル入力 (D)、パラレル出力 (Q) に加え、クロック イネーブル (CE)、ロード イネーブル (L)、非同期クリア (CLR) の 3 つの制御入力があります。L と CE が Low の場合、クロック遷移は無視されます。CLR が High になると、ほかのすべての入力は無視され、出力 (Q) が Low にリセットされます。L が High で CLR が Low の場合、クロック (C) が Low から High に切り替わるときに、Dn ~ D0 入力の値は対応する Qn ~ Q0 ビットにロードされます。

CE が High で L および CLR が Low の場合、C が Low から High に切り替わるときに、SLI 入力の値がシフトレジスタの第 1 ビットにロードされ、Q0 に出力されます。次のクロック遷移で CE が High、L と CLR が Low の場合、値が次の高位ビットの位置にシフトされ、新しい値が Q0 にロードされます (例：SLI → Q0、Q0 → Q1、Q1 → Q2)。

最後の Q 出力を次の段の SLI 入力に接続し、クロック、CE、L、CLR を並列に接続すると、複数のレジスタをカスケード接続できます。

電力を供給すると、レジスタは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP\_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

### 論理表

入力						出力	
CLR	L	CE	SLI	Dn:D0	C	Q0	Qz:Q1
1	X	X	X	X	X	0	0
0	1	X	X	Dn:D0	↑	D0	Dn
0	0	1	SLI	X	↑	SLI	qn-1
0	0	0	X	X	X	変化なし	変化なし
z = ビット幅 -1							
qn-1 = アクティブなクロック エッジの 1 セットアップ タイム前の対応する出力の値							

## デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

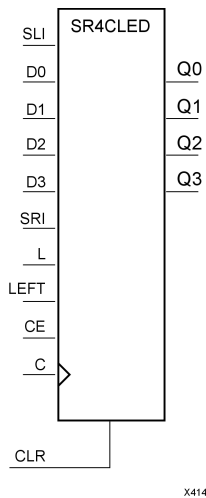
## 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)



## SR4CLED

マクロ：4-Bit Shift Register with Clock Enable and Asynchronous Clear



### 概要

このデザイン エLEMENTはシフトレジスタで、シフトレフトシリアル入力 (SLI)、シフトライトシリアル入力 (SRI)、パラレル入力 (D)、パラレル出力 (Q) に加え、クロック イネーブル (CE)、ロード イネーブル (L)、シフトレフト/ライト (LEFT)、非同期クリア (CLR) の 4 つの制御入力があります。CE と L が Low の場合、クロック遷移は無視されます。CLR が High になると、ほかのすべての入力は無視され、出力 (Q) が Low にリセットされます。

L が High で CLR が Low の場合、クロック (C) が Low から High に切り替わるときに、D 入力の値が対応する Q ビットにロードされます。CE が High で L および CLR が Low の場合、LEFT 入力の値に応じて、レジスタの値は高位ビットまたは下位ビットにシフトされます。LEFT が High の場合は、クロックが Low から High に切り替わるときに SLI の値が Q0 にロードされ、次の Low から High へのクロック遷移で高位ビットにシフトされます (例：Q0 → Q1、Q1 → Q2)。LEFT が Low の場合は、クロックが Low から High に切り替わるときに SRI の値が最後の Q にロードされ、次のクロック遷移で右方向にシフトされます。論理表にすべての入力条件に対する Q 出力の値を示します。

電力を供給すると、レジスタは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP\_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

### 論理表

入力								出力		
CLR	L	CE	LEFT	SLI	SRI	D3:D0	C	Q0	Q3	Q2:Q1
1	X	X	X	X	X	X	X	0	0	0
0	1	X	X	X	X	D3:D0	↑	D0	D3	Dn
0	0	0	X	X	X	X	X	変化なし	変化なし	変化なし
0	0	1	1	SLI	X	X	↑	SLI	q2	qn-1
0	0	1	0	X	SRI	X	↑	q1	SRI	qn+1
qn-1 および qn+1 = アクティブなクロック エッジの 1 セットアップ タイム前の対応する出力の値										

## デザインの入力方法

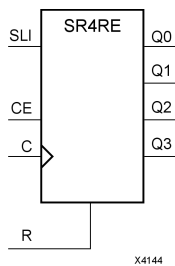
このELEMENTは、回路図でのみ使用できます。

## 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## SR4RE

マクロ：4-Bit Serial-In Parallel-Out Shift Register with Clock Enable and Synchronous Reset



### 概要

このデザイン エLEMENTはシフトレジスタで、シフトレフトシリアル入力 (SLI)、パラレル出力 (Qn)、クロック イネーブル (CE)、同期リセット入力 (R) があります。R 入力が高レベルになると、ほかのすべての入力は無視され、クロック (C) が Low から High に切り替わる時に出力 (Q) が Low にリセットされます。

CE が High で R が Low の場合、クロック (C) が Low から High に切り替わる時に SLI の値がシフトレジスタの第 1 ビットにロードされ、Q0 に出力されます。次にクロックが Low から High に切り替わる時に CE が High で R が Low の場合、値が次の高位ビットの位置にシフトされ、新しい値が Q0 にロードされます (例: SLI → Q0、Q0 → Q1、Q1 → Q2)。CE が Low の場合は、クロック遷移は無視されます。

最後の Q 出力を次の段の SLI 入力に接続し、クロック、CE、R を並列に接続すると、複数のレジスタをカスケード接続できます。

電力を供給すると、レジスタは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP\_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

### 論理表

入力				出力	
R	CE	SLI	C	Q0	Qz:Q1
1	X	X	↑	0	0
0	0	X	X	変化なし	変化なし
0	1	SLI	↑	SLI	qn-1
z = ビット幅 -1					
qn-1 = アクティブなクロック エッジの 1 セットアップ タイム前の対応する出力の値					

### デザインの入力方法

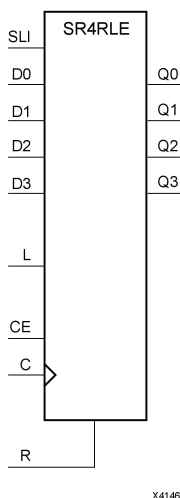
このELEMENTは、回路図でのみ使用できます。

### 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## SR4RLE

**マクロ：4-Bit Loadable Serial/Parallel-In Parallel-Out Shift Register with Clock Enable and Synchronous Reset**



### 概要

このデザイン エレメントはシフトレジスタで、シフトレフトシリアル入力 (SLI)、パラレル入力 (D)、パラレル出力 (Q) に加え、クロック イネーブル (CE)、ロード イネーブル (L)、同期リセット (R) の 3 つの制御入力があります。L と CE が Low の場合、クロック遷移は無視されます。R が High になると、ほかのすべての入力は無視され、クロック (C) が Low から High に切り替わる時に Q が Low にリセットされます。L が High で R が Low の場合、C が Low から High に切り替わる時に、D 入力の値が対応する Q ビットにロードされます。

CE が High で L および R が Low の場合は、C が Low から High に切り替わる時に SLI 入力の値がシフトレジスタの第 1 ビットにロードされ、Q0 に出力されます。次のクロック遷移で CE が High、L と R が Low の場合、シフトレジスタの値は次の高位ビットにシフトされ、新しい値が Q0 にロードされます。

最後の Q 出力を次の段の SLI 入力に接続し、クロック、CE、L、R を並列に接続すると、複数のレジスタをカスケード接続できます。

電力を供給すると、レジスタは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP\_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

### 論理表

入力						出力	
R	L	CE	SLI	Dz:D0	C	Q0	Qz:Q1
1	X	X	X	X	↑	0	0
0	1	X	X	Dz:D0	↑	D0	Dn
0	0	1	SLI	X	↑	SLI	qn-1
0	0	0	X	X	X	変化なし	変化なし
z = ビット幅 -1							
qn-1 = アクティブなクロック エッジの 1 セットアップ タイム前の対応する出力の値							

## デザインの入力方法

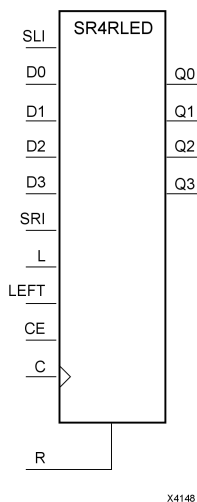
このエレメントは、回路図でのみ使用できます。

## 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## SR4RLED

### マクロ : 4-Bit Shift Register with Clock Enable and Synchronous Reset



## 概要

このデザイン エレメントはシフトレジスタで、シフトレフトシリアル入力 (SLI)、シフトライトシリアル入力 (SRI)、パラレル入力 (D)、パラレル出力 (Q) に加え、クロック イネーブル (CE)、ロード イネーブル (L)、シフトレフト/ライト (LEFT)、同期リセット (R) の 4 つの制御入力があります。CE と L が Low の場合、クロック遷移は無視されます。R が High になると、ほかのすべての入力は無視され、クロック (C) が Low から High に切り替わるときに Q が Low にリセットされます。L が High で R が Low の場合、C が Low から High に切り替わるときに、D 入力の値が対応する Q ビットにロードされます。

CE が High で L および R が Low の場合、LEFT 入力の値に応じて、レジスタの値は高位ビットまたは下位ビットにシフトされます。LEFT が High の場合は、クロックが Low から High に切り替わるときに SLI の値が Q0 にロードされ、次の Low から High へのクロック遷移で高位ビットにシフトされます (例 : Q0 → Q1、Q1 → Q2)。LEFT が Low の場合は、クロックが Low から High に切り替わるときに SRI の値が最後の Q にロードされ、次のクロック遷移で右方向にシフトされます。論理表にすべての入力条件に対する Q 出力の値を示します。

電力を供給すると、レジスタは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP\_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

## 論理表

入力								出力		
R	L	CE	LEFT	SLI	SRI	D3:D0	C	Q0	Q3	Q2:Q1
1	X	X	X	X	X	X	↑	0	0	0
0	1	X	X	X	X	D3:D0	↑	D0	D3	Dn
0	0	0	X	X	X	X	X	変化なし	変化なし	変化なし
0	0	1	1	SLI	X	X	↑	SLI	q2	qn-1
0	0	1	0	X	SRI	X	↑	q1	SRI	qn+1
qn-1 または qn+1 = アクティブなクロック エッジの 1 セットアップ タイム前の対応する出力の値										

## デザインの入力方法

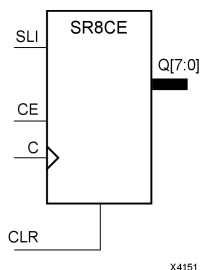
このエレメントは、回路図でのみ使用できます。

## 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## SR8CE

**マクロ：8-Bit Serial-In Parallel-Out Shift Register with Clock Enable and Asynchronous Clear**



### 概要

このデザイン エレメントはシフトレジスタで、シフトレフトシリアル入力 (SLI)、パラレル出力 (Q)、クロックイネーブル (CE)、非同期クリア入力 (CLR) があります。CLR 入力が高になると、ほかのすべての入力は無視され、出力 (Q) が Low にリセットされます。CE が High で CLR が Low の場合、クロック (C) が Low から High に切り替わるたびに SLI 入力の値がシフトレジスタの第 1 ビットにロードされ、Q0 に出力されます。次にクロックが Low から High に切り替わるたびに CE が High で CLR が Low の場合、値が次の高位ビットの位置にシフトされ、新しい値が Q0 にロードされます (例：SLI → Q0、Q0 → Q1、Q1 → Q2)。CE が Low の場合は、クロック遷移は無視されます。

最後の Q 出力を次の段の SLI 入力に接続し、クロック、CE、CLR を並列に接続すると、複数のレジスタをカスケード接続できます。

電力を供給すると、レジスタは非同期にクリアされ、出力が Low になります。FPGA では、グローバルセット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP\_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

### 論理表

入力				出力	
CLR	CE	SLI	C	Q0	Qz:Q1
1	X	X	X	0	0
0	0	X	X	変化なし	変化なし
0	1	SLI	↑	SLI	qn-1
z = ビット幅 - 1					
qn-1 = アクティブなクロック エッジの 1 セットアップ タイム前の対応する出力の値					

### デザインの入力方法

このエレメントは、回路図でのみ使用できます。

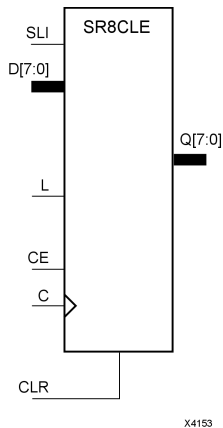
### 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)



## SR8CLE

**マクロ：8-Bit Loadable Serial/Parallel-In Parallel-Out Shift Register with Clock Enable and Asynchronous Clear**



### 概要

このデザイン エLEMENTはシフトレジスタで、シフトレフトシリアル入力 (SLI)、パラレル入力 (D)、パラレル出力 (Q) に加え、クロック イネーブル (CE)、ロード イネーブル (L)、非同期クリア (CLR) の 3 つの制御入力があります。L と CE が Low の場合、クロック遷移は無視されます。CLR が High になると、ほかのすべての入力は無視され、出力 (Q) が Low にリセットされます。L が High で CLR が Low の場合、クロック (C) が Low から High に切り替わるときに、Dn ~ D0 入力の値は対応する Qn ~ Q0 ビットにロードされます。

CE が High で L および CLR が Low の場合、C が Low から High に切り替わるときに、SLI 入力の値がシフトレジスタの第 1 ビットにロードされ、Q0 に出力されます。次のクロック遷移で CE が High、L と CLR が Low の場合、値が次の高位ビットの位置にシフトされ、新しい値が Q0 にロードされます (例：SLI → Q0、Q0 → Q1、Q1 → Q2)。

最後の Q 出力を次の段の SLI 入力に接続し、クロック、CE、L、CLR を並列に接続すると、複数のレジスタをカスケード接続できます。

電力を供給すると、レジスタは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP\_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

### 論理表

入力						出力	
CLR	L	CE	SLI	Dn:D0	C	Q0	Qz:Q1
1	X	X	X	X	X	0	0
0	1	X	X	Dn:D0	↑	D0	Dn
0	0	1	SLI	X	↑	SLI	qn-1
0	0	0	X	X	X	変化なし	変化なし
z = ビット幅 -1							
qn-1 = アクティブなクロック エッジの 1 セットアップ タイム前の対応する出力の値							

## デザインの入力方法

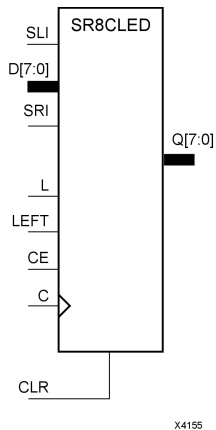
このELEMENTは、回路図でのみ使用できます。

## 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## SR8CLED

### マクロ : 8-Bit Shift Register with Clock Enable and Asynchronous Clear



## 概要

このデザイン エLEMENTはシフトレジスタで、シフトレフトシリアル入力 (SLI)、シフトライトシリアル入力 (SRI)、パラレル入力 (D)、パラレル出力 (Q) に加え、クロック イネーブル (CE)、ロード イネーブル (L)、シフトレフト/ライト (LEFT)、非同期クリア (CLR) の 4 つの制御入力があります。CE と L が Low の場合、クロック遷移は無視されます。CLR が High になると、ほかのすべての入力は無視され、出力 (Q) が Low にリセットされます。

L が High で CLR が Low の場合、クロック (C) が Low から High に切り替わる時に、D 入力の値が対応する Q ビットにロードされます。CE が High で L および CLR が Low の場合、LEFT 入力の値に応じて、レジスタの値は高位ビットまたは下位ビットにシフトされます。LEFT が High の場合は、クロックが Low から High に切り替わる時に SLI の値が Q0 にロードされ、次の Low から High へのクロック遷移で高位ビットにシフトされます (例 : Q0 → Q1、Q1 → Q2)。LEFT が Low の場合は、クロックが Low から High に切り替わる時に SRI の値が最後の Q にロードされ、次のクロック遷移で右方向にシフトされます。論理表にすべての入力条件に対する Q 出力の値を示します。

電力を供給すると、レジスタは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP\_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

## 論理表

入力								出力		
CLR	L	CE	LEFT	SLI	SRI	D7:D0	C	Q0	Q7	Q6:Q1
1	X	X	X	X	X	X	X	0	0	0
0	1	X	X	X	X	D7:D0	↑	D0	D7	Dn
0	0	0	X	X	X	X	X	変化なし	変化なし	変化なし
0	0	1	1	SLI	X	X	↑	SLI	q6	qn-1
0	0	1	0	X	SRI	X	↑	q1	SRI	qn+1
qn-1 または qn+1 = アクティブなクロック エッジの 1 セットアップ タイム前の対応する出力の値										

## デザインの入力方法

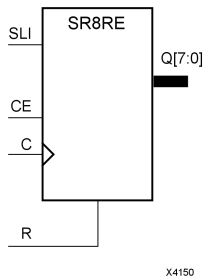
このELEMENTは、回路図でのみ使用できます。

## 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## SR8RE

**マクロ：8-Bit Serial-In Parallel-Out Shift Register with Clock Enable and Synchronous Reset**



### 概要

このデザイン エLEMENTはシフトレジスタで、シフトレフトシリアル入力 (SLI)、パラレル出力 (Qn)、クロック イネーブル (CE)、同期リセット入力 (R) があります。R 入力が高レベルになると、ほかのすべての入力は無視され、クロック (C) が Low から High に切り替わる時に出力 (Q) が Low にリセットされます。

CE が High で R が Low の場合、クロック (C) が Low から High に切り替わる時に SLI の値がシフトレジスタの第 1 ビットにロードされ、Q0 に出力されます。次にクロックが Low から High に切り替わる時に CE が High で R が Low の場合、値が次の高位ビットの位置にシフトされ、新しい値が Q0 にロードされます (例：SLI → Q0、Q0 → Q1、Q1 → Q2)。CE が Low の場合は、クロック遷移は無視されます。

最後の Q 出力を次の段の SLI 入力に接続し、クロック、CE、R を並列に接続すると、複数のレジスタをカスケード接続できます。

電力を供給すると、レジスタは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP\_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

### 論理表

入力				出力	
R	CE	SLI	C	Q0	Qz:Q1
1	X	X	↑	0	0
0	0	X	X	変化なし	変化なし
0	1	SLI	↑	SLI	qn-1
z = ビット幅 -1					
qn-1 = アクティブなクロック エッジの 1 セットアップ タイム前の対応する出力の値					

### デザインの入力方法

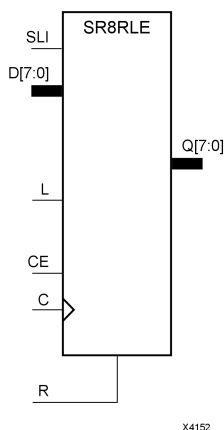
このELEMENTは、回路図でのみ使用できます。

### 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## SR8RLE

**マクロ : 8-Bit Loadable Serial/Parallel-In Parallel-Out Shift Register with Clock Enable and Synchronous Reset**



### 概要

このデザイン エレメントはシフトレジスタで、シフト レフト シリアル入力 (SLI)、パラレル入力 (D)、パラレル出力 (Q) に加え、クロック イネーブル (CE)、ロード イネーブル (L)、同期リセット (R) の 3 つの制御入力があります。L と CE が Low の場合、クロック遷移は無視されます。R が High になると、ほかのすべての入力は無視され、クロック (C) が Low から High に切り替わるときに Q が Low にリセットされます。L が High で R が Low の場合、C が Low から High に切り替わるたびに、D 入力の値が対応する Q ビットにロードされます。

CE が High で L および R が Low の場合は、C が Low から High に切り替わるたびに SLI 入力の値がシフトレジスタの第 1 ビットにロードされ、Q0 に出力されます。次のクロック遷移で CE が High、L と R が Low の場合、シフトレジスタの値は次の高位ビットにシフトされ、新しい値が Q0 にロードされます。

最後の Q 出力を次の段の SLI 入力に接続し、クロック、CE、L、R を並列に接続すると、複数のレジスタをカスケード接続できます。

電力を供給すると、レジスタは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP\_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

### 論理表

入力						出力	
R	L	CE	SLI	Dz:D0	C	Q0	Qz:Q1
1	X	X	X	X	↑	0	0
0	1	X	X	Dz:D0	↑	D0	Dn
0	0	1	SLI	X	↑	SLI	qn-1
0	0	0	X	X	X	変化なし	変化なし
z = ビット幅 -1							
qn-1 = アクティブなクロック エッジの 1 セットアップ タイム前の対応する出力の値							

## デザインの入力方法

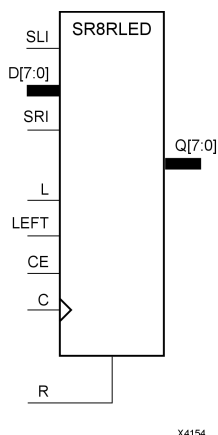
このエレメントは、回路図でのみ使用できます。

## 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## SR8RLED

マクロ : 8-Bit Shift Register with Clock Enable and Synchronous Reset



### 概要

このデザイン エレメントはシフトレジスタで、シフトレフトシリアル入力 (SLI)、シフトライトシリアル入力 (SRI)、パラレル入力 (D)、パラレル出力 (Q) に加え、クロック イネーブル (CE)、ロード イネーブル (L)、シフトレフト/ライト (LEFT)、同期リセット (R) の 4 つの制御入力があります。CE と L が Low の場合、クロック遷移は無視されます。R が High になると、ほかのすべての入力は無視され、クロック (C) が Low から High に切り替わるときに Q が Low にリセットされます。L が High で R が Low の場合、C が Low から High に切り替わるときに、D 入力の値が対応する Q ビットにロードされます。

CE が High で L および R が Low の場合、LEFT 入力の値に応じて、レジスタの値は高位ビットまたは下位ビットにシフトされます。LEFT が High の場合は、クロックが Low から High に切り替わるときに SLI の値が Q0 にロードされ、次の Low から High へのクロック遷移で高位ビットにシフトされます (例 : Q0 → Q1、Q1 → Q2)。LEFT が Low の場合は、クロックが Low から High に切り替わるときに SRI の値が最後の Q にロードされ、次のクロック遷移で右方向にシフトされます。論理表にすべての入力条件に対する Q 出力の値を示します。

電力を供給すると、レジスタは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP\_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

### 論理表

入力								出力		
R	L	CE	LEFT	SLI	SRI	D7:D0	C	Q0	Q7	Q6:Q1
1	X	X	X	X	X	X	↑	0	0	0
0	1	X	X	X	X	D7:D0	↓	D0	D7	Dn
0	0	0	X	X	X	X	X	変化なし	変化なし	変化なし
0	0	1	1	SLI	X	X	↑	SLI	q6	qn-1
0	0	1	0	X	SRI	X	↓	q1	SRI	qn+1
qn-1 または qn+1 = アクティブなクロック エッジの 1 セットアップ タイム前の対応する出力の値										

### デザインの入力方法

このエレメントは、回路図でのみ使用できます。

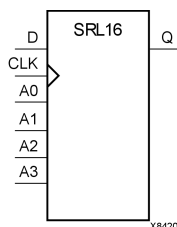


## 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## SRL16

### プリミティブ：16-Bit Shift Register Look-Up Table (LUT)



### 概要

このデザイン エLEMENTは、シフトレジスタ ルックアップ テーブル (LUT) です。シフトレジスタの長さは、入力 A3、A2、A1、A0 の値によって決定されます。

シフトレジスタの長さは、固定することも、変動させることもできます。

- ・ **固定長のシフトレジスタを作成するには：** 入力 A3 ～ A0 の値を一定にします。シフトレジスタは 1 ～ 16 ビットの長さに設定できます。アドレス入力の値によるシフトレジスタの長さは、長さ =  $(8 \times A3) + (4 \times A2) + (2 \times A1) + A0 + 1$  という式で算出できます。A3、A2、A1、A0 がすべてゼロの場合 (0000) はシフトレジスタの長さは 1 ビットになり、すべて 1 の場合 (1111) は 16 ビットになります。
- ・ **シフトレジスタ長を動的に変化させるには：** 入力 A3 ～ A0 の値を変化させます。たとえば、A2、A1、A0 がすべて 1 の場合 (111) に A3 を 1 から 0 に切り替えると、シフトレジスタの長さは 16 ビットから 8 ビットに変化します。内部的には、シフトレジスタの長さは常に 16 ビットで、どのビットの値が出力されるかは入力 A3 ～ A0 の値によって決定されます。

シフトレジスタ LUT の初期値を指定するには、INIT 属性に 4 桁の 16 進数を割り当てます。一番左の桁が最上位ビットになります。INIT の値を指定しない場合は、シフトレジスタ LUT の内容はコンフィギュレーション中にゼロ (0000) にクリアされます。

クロック (CLK) が Low から High に切り替わるときに、D の値がシフトレジスタの第 1 ビットにロードされます。次にクロックが Low から High に切り替わると、シフトレジスタの値は次の高位ビットにシフトされ、新しい値がロードされます。アドレス入力の値によってシフトレジスタの長さが決まり、Q にその値が出力されます。

### 論理表

入力			出力
Am	CLK	D	Q
Am	X	X	Q(Am)
Am	↑	D	Q(Am - 1)
m = 0、1、2、3			

### デザインの入力方法

このELEMENTは、回路図で使用できます。

### 使用可能な属性

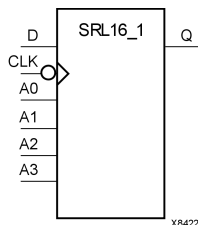
属性	データ型	値	デフォルト	説明
INIT	16 進数	16 ビット値	すべてゼロ	コンフィギュレーション後の Q 出力の初期値を指定

## 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## SRL16\_1

### プリミティブ：16-Bit Shift Register Look-Up Table (LUT) with Negative-Edge Clock



## 概要

このデザイン エLEMENTは、シフトレジスタ ルックアップ テーブル (LUT) です。シフトレジスタの長さは、入力 A3、A2、A1、A0 の値によって決定されます。

シフトレジスタの長さは、固定することも、変動させることもできます。

- ・ **固定長のシフトレジスタを作成するには：** 入力 A3 ～ A0 の値を一定にします。シフトレジスタは 1 ～ 16 ビットの長さに設定できます。アドレス入力の値によるシフトレジスタの長さは、長さ =  $(8 \times A3) + (4 \times A2) + (2 \times A1) + A0 + 1$  という式で算出できます。A3、A2、A1、A0 がすべてゼロの場合 (0000) はシフトレジスタの長さは 1 ビットになり、すべて 1 の場合 (1111) は 16 ビットになります。
- ・ **シフトレジスタ長を動的に変化させるには：** 入力 A3 ～ A0 の値を変化させます。たとえば、A2、A1、A0 がすべて 1 の場合 (111) に A3 を 1 から 0 に切り替えると、シフトレジスタの長さは 16 ビットから 8 ビットに変化します。内部的には、シフトレジスタの長さは常に 16 ビットで、どのビットの値が出力されるかは入力 A3 ～ A0 の値によって決定されます。

シフトレジスタ LUT の初期値を指定するには、INIT 属性に 4 桁の 16 進数を割り当てます。一番左の桁が最上位ビットになります。INIT の値を指定しない場合は、シフトレジスタ LUT の内容はコンフィギュレーション中にゼロ (0000) にクリアされます。

クロック (CLK) が High から Low に切り替わるときに、D の値がシフトレジスタの第 1 ビットにロードされます。次にクロックが High から Low に切り替わると、シフトレジスタの値は次の高位ビットにシフトされ、新しい値がロードされます。アドレス入力の値によってシフトレジスタの長さが決まり、Q にその値が出力されます。

## 論理表

入力			出力
Am	CLK	D	Q
Am	X	X	Q(Am)
Am	↓	D	Q(Am - 1)
m = 0、1、2、3			

## デザインの入力方法

このELEMENTは、回路図で使用できます。

## 使用可能な属性

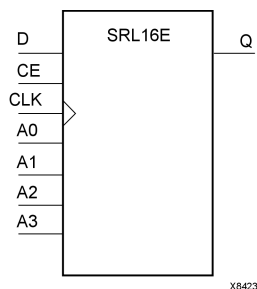
属性	データ型	値	デフォルト	説明
INIT	16 進数	16 ビット値	すべてゼロ	コンフィギュレーション後の Q 出力の初期値を指定

## 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## SRL16E

### プリミティブ：16-Bit Shift Register Look-Up Table (LUT) with Clock Enable



## 概要

このデザイン エレメントは、シフトレジスタ ルックアップ テーブル (LUT) です。シフトレジスタの長さは、入力 A3、A2、A1、A0 の値によって決定されます。

シフトレジスタの長さは、固定することも、変動させることもできます。

- ・ **固定長のシフトレジスタを作成するには：** 入力 A3 ～ A0 の値を一定にします。シフトレジスタは 1 ～ 16 ビットの長さに設定できます。アドレス入力の値によるシフトレジスタの長さは、長さ = (8 x A3) + (4 x A2) + (2 x A1) + A0 + 1 という式で算出できます。A3、A2、A1、A0 がすべてゼロの場合 (0000) はシフトレジスタの長さは 1 ビットになり、すべて 1 の場合 (1111) は 16 ビットになります。
- ・ **シフトレジスタ長を動的に変化させるには：** 入力 A3 ～ A0 の値を変更します。たとえば、A2、A1、A0 がすべて 1 の場合 (111) に A3 を 1 から 0 に切り替えると、シフトレジスタの長さは 16 ビットから 8 ビットに変化します。内部的には、シフトレジスタの長さは常に 16 ビットで、どのビットの値が出力されるかが入力 A3 ～ A0 の値によって決定されます。

シフトレジスタ LUT の初期値を指定するには、INIT 属性に 4 桁の 16 進数を割り当てます。一番左の桁が最上位ビットになります。INIT の値を指定しない場合は、シフトレジスタ LUT の内容はコンフィギュレーション中にゼロ (0000) にクリアされます。

CE が High の場合、クロック (CLK) が Low から High に切り替わるときに、D の値がシフトレジスタの第 1 ビットに読み込まれます。次にクロックが Low から High に切り替わるときに CE が High の場合、シフトレジスタの値は次の高位ビットにシフトされ、新しい値が読み込まれます。アドレス入力の値によってシフトレジスタの長さが決まり、Q にその値が出力されます。CE が Low の場合、クロック遷移は無視されます。

## 論理表

入力				出力
Am	CE	CLK	D	Q
Am	0	X	X	Q(Am)
Am	1	↑	D	Q(Am - 1)
m = 0、1、2、3				

## ポートの説明

ポート名	方向	幅	機能
Q	出力	1	シフトレジスタ データ出力
D	入力	1	シフトレジスタ データ入力
CLK	入力	1	クロック
CE	入力	1	アクティブ High のクロック イネーブル
A0	入力	1	SRL の長さ選択のビット 0
A1	入力	1	SRL の長さ選択のビット 1
A2	入力	1	SRL の長さ選択のビット 2
A3	入力	1	SRL の長さ選択のビット 3

## デザインの入力方法

このエレメントは、回路図で使用できます。

## 使用可能な属性

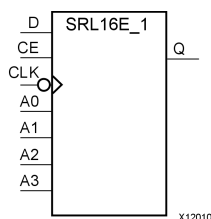
属性	データ型	値	デフォルト	説明
INIT	16 進数	16 ビット値	すべてゼロ	コンフィギュレーション後のシフトレジスタと出力の初期値を指定

## 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## SRL16E\_1

**プリミティブ : 16-Bit Shift Register Look-Up Table (LUT) with Negative-Edge Clock and Clock Enable**



### 概要

このデザイン エLEMENTは、クロック イネーブル (CE) があるシフトレジスタ ルックアップ テーブル (LUT) で、クロックの立ち下がりエッジで動作します。シフトレジスタの長さは、入力 A3、A2、A1、A0 の値によって決定されます。

シフトレジスタの長さは、固定することも、変動させることもできます。

- 固定長のシフトレジスタを作成するには :** 入力 A3 ~ A0 の値を一定にします。シフトレジスタは 1 ~ 16 ビットの長さに設定できます。アドレス入力の値によるシフトレジスタの長さは、長さ =  $(8 \times A3) + (4 \times A2) + (2 \times A1) + A0 + 1$  という式で算出できます。A3、A2、A1、A0 がすべてゼロの場合 (0000) はシフトレジスタの長さは 1 ビットになり、すべて 1 の場合 (1111) は 16 ビットになります。
- シフトレジスタ長を動的に変化させるには :** 入力 A3 ~ A0 の値を変化させます。たとえば、A2、A1、A0 がすべて 1 の場合 (111) に A3 を 1 から 0 に切り替えると、シフトレジスタの長さは 16 ビットから 8 ビットに変化します。内部的には、シフトレジスタの長さは常に 16 ビットで、どのビットの値が出力されるかは入力 A3 ~ A0 の値によって決定されます。

シフトレジスタ LUT の初期値を指定するには、INIT 属性に 4 桁の 16 進数を割り当てます。一番左の桁が最上位ビットになります。INIT の値を指定しない場合は、シフトレジスタ LUT の内容はコンフィギュレーション中にゼロ (0000) にクリアされます。

CE が High の場合、クロック (CLK) が High から Low に切り替わるときに、D の値がシフトレジスタの第 1 ビットにロードされます。次にクロックが High から Low に切り替わるときに CE が High の場合、シフトレジスタの値は次の高位ビットにシフトされ、新しい値がロードされます。アドレス入力の値によってシフトレジスタの長さが決まり、Q にその値が出力されます。CE が Low の場合、クロック遷移は無視されます。

### 論理表

入力				出力
A <sub>m</sub>	CE	CLK	D	Q
A <sub>m</sub>	0	X	X	Q(A <sub>m</sub> )
A <sub>m</sub>	1	↓	D	Q(A <sub>m</sub> - 1)
m = 0、1、2、3				

### デザインの入力方法

このELEMENTは、回路図で使用できます。



## 使用可能な属性

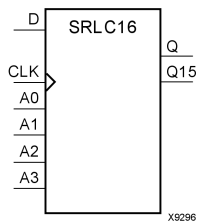
属性	タイプ	値	デフォルト	説明
INIT	16 進数	16 ビット値	すべてゼロ	コンフィギュレーション後のシフトレジスタと出力の初期値を指定

## 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## SRLC16

### プリミティブ：16-Bit Shift Register Look-Up Table (LUT) with Carry



## 概要

このデザイン エレメントは、キャリーがあるシフトレジスタ ルックアップ テーブル (LUT) です。シフトレジスタの長さは、入力 A3、A2、A1、A0 の値によって決定されます。

シフトレジスタの長さは、固定することも、変動させることもできます。

- ・ **固定長のシフトレジスタを作成するには：** 入力 A3 ～ A0 の値を一定にします。シフトレジスタは 1 ～ 16 ビットの長さに設定できます。アドレス入力の値によるシフトレジスタの長さは、長さ =  $(8 \times A3) + (4 \times A2) + (2 \times A1) + A0 + 1$  という式で算出できます。A3、A2、A1、A0 がすべてゼロの場合 (0000) はシフトレジスタの長さは 1 ビットになり、すべて 1 の場合 (1111) は 16 ビットになります。
- ・ **シフトレジスタ長を動的に変化させるには：** 入力 A3 ～ A0 の値を変化させます。たとえば、A2、A1、A0 がすべて 1 の場合 (111) に A3 を 1 から 0 に切り替えると、シフトレジスタの長さは 16 ビットから 8 ビットに変化します。内部的には、シフトレジスタの長さは常に 16 ビットで、どのビットの値が出力されるかは入力 A3 ～ A0 の値によって決定されます。

シフトレジスタ LUT の初期値を指定するには、INIT 属性に 4 桁の 16 進数を割り当てます。一番左の桁が最上位ビットになります。INIT の値を指定しない場合は、シフトレジスタ LUT の内容はコンフィギュレーション中にゼロ (0000) にクリアされます。

クロック (CLK) が Low から High に切り替わるときに、D の値がシフトレジスタの第 1 ビットにロードされます。次にクロックが Low から High に切り替わると、シフトレジスタの値は次の高位ビットにシフトされ、新しい値がロードされます。アドレス入力の値によってシフトレジスタの長さが決まり、Q にその値が出力されます。

**メモ：** Q15 の出力を使用すると、複数のシフトレジスタ LUT をカスケード接続でき、より大きなシフトレジスタを作成できます。

## 論理表

入力			出力
A <sub>m</sub>	CLK	D	Q
A <sub>m</sub>	X	X	Q(A <sub>m</sub> )
A <sub>m</sub>	↑	D	Q(A <sub>m</sub> - 1)
m = 0、1、2、3			

## デザインの入力方法

このエレメントは、回路図で使用できます。

## 使用可能な属性

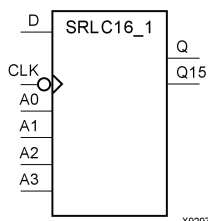
属性	データ型	値	デフォルト	説明
INIT	16 進数	16 ビット値	すべてゼロ	コンフィギュレーション後のシフトレジスタと出力の初期値を指定

## 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## SRLC16\_1

### プリミティブ：16-Bit Shift Register Look-Up Table (LUT) with Carry and Negative-Edge Clock



## 概要

このデザイン エLEMENTは、キャリーがあるシフトレジスタ ルックアップ テーブル (LUT) で、クロックの立ち下がりエッジで動作します。シフトレジスタの長さは、入力 A3、A2、A1、A0 の値によって決定されます。

シフトレジスタの長さは、固定することも、変動させることもできます。

- ・ **固定長のシフトレジスタを作成するには：** 入力 A3 ～ A0 の値を一定にします。シフトレジスタは 1 ～ 16 ビットの長さに設定できます。アドレス入力の値によるシフトレジスタの長さは、長さ =  $(8 \times A3) + (4 \times A2) + (2 \times A1) + A0 + 1$  という式で算出できます。A3、A2、A1、A0 がすべてゼロの場合 (0000) はシフトレジスタの長さは 1 ビットになり、すべて 1 の場合 (1111) は 16 ビットになります。
- ・ **シフトレジスタ長を動的に変化させるには：** 入力 A3 ～ A0 の値を変化させます。たとえば、A2、A1、A0 がすべて 1 の場合 (111) に A3 を 1 から 0 に切り替えると、シフトレジスタの長さは 16 ビットから 8 ビットに変化します。内部的には、シフトレジスタの長さは常に 16 ビットで、どのビットの値が出力されるかは入力 A3 ～ A0 の値によって決定されます。

シフトレジスタ LUT の初期値を指定するには、INIT 属性に 4 桁の 16 進数を割り当てます。一番左の桁が最上位ビットになります。INIT の値を指定しない場合は、シフトレジスタ LUT の内容はコンフィギュレーション中にゼロ (0000) にクリアされます。

**メモ：** Q15 の出力を使用すると、複数のシフトレジスタ LUT をカスケード接続でき、より大きなシフトレジスタを作成できます。

## 論理表

入力			出力	
Am	CLK	D	Q	Q15
Am	X	X	Q(Am)	変化なし
Am	↓	D	Q(Am - 1)	Q14
m = 0、1、2、3				

## デザインの入力方法

このELEMENTは、回路図で使用できます。

## 使用可能な属性

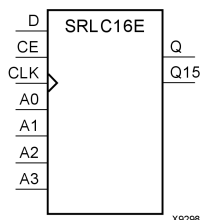
属性	データ型	値	デフォルト	説明
INIT	16 進数	16 ビット値	すべてゼロ	コンフィギュレーション後のシフトレジスタと出力の初期値を指定

## 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## SRLC16E

### プリミティブ：16-Bit Shift Register Look-Up Table (LUT) with Carry and Clock Enable



## 概要

このデザイン エレメントは、キャリーとクロック イネーブルがあるシフトレジスタ ルックアップ テーブル (LUT) です。シフトレジスタの長さは、入力 A3、A2、A1、A0 の値によって決定されます。

シフトレジスタの長さは、固定することも、変動させることもできます。

- ・ **固定長のシフトレジスタを作成するには：** 入力 A3 ～ A0 の値を一定にします。シフトレジスタは 1 ～ 16 ビットの長さに設定できます。アドレス入力の値によるシフトレジスタの長さは、長さ =  $(8 \times A3) + (4 \times A2) + (2 \times A1) + A0 + 1$  という式で算出できます。A3、A2、A1、A0 がすべてゼロの場合 (0000) はシフトレジスタの長さは 1 ビットになり、すべて 1 の場合 (1111) は 16 ビットになります。
- ・ **シフトレジスタ長を動的に変化させるには：** 入力 A3 ～ A0 の値を変化させます。たとえば、A2、A1、A0 がすべて 1 の場合 (111) に A3 を 1 から 0 に切り替えると、シフトレジスタの長さは 16 ビットから 8 ビットに変化します。内部的には、シフトレジスタの長さは常に 16 ビットで、どのビットの値が出力されるかは入力 A3 ～ A0 の値によって決定されます。

シフトレジスタ LUT の初期値を指定するには、INIT 属性に 4 桁の 16 進数を割り当てます。一番左の桁が最上位ビットになります。INIT の値を指定しない場合は、シフトレジスタ LUT の内容はコンフィギュレーション中にゼロ (0000) にクリアされます。

クロック (CLK) が Low から High に切り替わるときに、D の値がシフトレジスタの第 1 ビットにロードされます。次にクロックが Low から High に切り替わるときに CE が High の場合、シフトレジスタの値は次の高位ビットにシフトされ、新しいデータがロードされます。アドレス入力の値によってシフトレジスタの長さが決まり、Q にその値が出力されます。

**メモ：** Q15 の出力を使用すると、複数のシフトレジスタ LUT をカスケード接続でき、より大きなシフトレジスタを作成できます。

## 論理表

入力				出力	
Am	CLK	CE	D	Q	Q15
Am	X	0	X	Q(Am)	Q(15)
Am	X	1	X	Q(Am)	Q(15)
Am	↑	1	D	Q(Am - 1)	Q15
m = 0、1、2、3					

## デザインの入力方法

このエレメントは、回路図で使用できます。

## 使用可能な属性

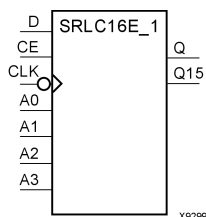
属性	データ型	値	デフォルト	説明
INIT	16 進数	16 ビット値	すべてゼロ	コンフィギュレーション後のシフトレジスタと出力の初期値を指定

## 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## SRLC16E\_1

**プリミティブ：16-Bit Shift Register Look-Up Table (LUT) with Carry, Negative-Edge Clock, and Clock Enable**



### 概要

このデザイン エレメントは、キャリーおよびクロック イネーブルがあるシフトレジスタ ルックアップ テーブル (LUT) で、クロックの立ち下がりがエッジで動作します。シフトレジスタの長さは、入力 A3、A2、A1、A0 の値によって決定されます。

シフトレジスタの長さは、固定することも、変動させることもできます。

- ・ **固定長のシフトレジスタを作成するには：** 入力 A3 ～ A0 の値を一定にします。シフトレジスタは 1 ～ 16 ビットの長さに設定できます。アドレス入力の値によるシフトレジスタの長さは、長さ =  $(8 \times A3) + (4 \times A2) + (2 \times A1) + A0 + 1$  という式で算出できます。A3、A2、A1、A0 がすべてゼロの場合 (0000) はシフトレジスタの長さは 1 ビットになり、すべて 1 の場合 (1111) は 16 ビットになります。
- ・ **シフトレジスタ長を動的に変化させるには：** 入力 A3 ～ A0 の値を変化させます。たとえば、A2、A1、A0 がすべて 1 の場合 (111) に A3 を 1 から 0 に切り替えると、シフトレジスタの長さは 16 ビットから 8 ビットに変化します。内部的には、シフトレジスタの長さは常に 16 ビットで、どのビットの値が出力されるかは入力 A3 ～ A0 の値によって決定されます。

シフトレジスタ LUT の初期値を指定するには、INIT 属性に 4 桁の 16 進数を割り当てます。一番左の桁が最上位ビットになります。INIT の値を指定しない場合は、シフトレジスタ LUT の内容はコンフィギュレーション中にゼロ (0000) にクリアされます。

CE が High の場合、クロック (CLK) が High から Low に切り替わるときに、D の値がシフトレジスタの第 1 ビットにロードされます。次にクロックが High から Low に切り替わるときに CE が High の場合、シフトレジスタの値は次の高位ビットにシフトされ、新しい値がロードされます。アドレス入力の値によってシフトレジスタの長さが決まり、Q にその値が出力されます。

**メモ：** Q15 の出力を使用すると、複数のシフトレジスタ LUT をカスケード接続でき、より大きなシフトレジスタを作成できます。

### 論理表

入力				出力	
Am	CE	CLK	D	Q	Q15
Am	0	X	X	Q(Am)	変化なし
Am	1	X	X	Q(Am)	変化なし
Am	1	↓	D	Q(Am-1)	Q14
m = 0、1、2、3					

### デザインの入力方法

このエレメントは、回路図で使用できます。



## 使用可能な属性

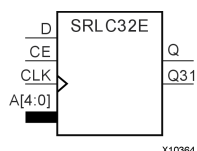
属性	データ型	値	デフォルト	説明
INIT	16 進数	16 ビット値	すべてゼロ	コンフィギュレーション後のシフトレジスタと出力の初期値を指定

## 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## SRLC32E

**プリミティブ：32 Clock Cycle, Variable Length Shift Register Look-Up Table (LUT) with Clock Enable**



### 概要

このデザイン エレメントは、1 つのルックアップ テーブル (LUT) にインプリメントされる、可変長で 1 ～ 32 クロック サイクルのシフトレジスタです。シフトレジスタの長さは、固定することも、変動させることもできます。このエレメントは、アクティブ High のクロック イネーブルおよびカスケード機能も備えているため、複数の SRLC32E をカスケード接続でき、より大型のシフトレジスタを作成できます。

### ポートの説明

ポート名	方向	幅	機能
Q	出力	1	シフトレジスタ データ出力
Q31	出力	1	シフトレジスタ カスケード出力 (後続 SRLC32E の D 入力に接続)
D	入力	1	シフトレジスタ データ入力
CLK	入力	1	クロック
CE	入力	1	アクティブ High のクロック イネーブル
A	入力	5	SRL の長さのダイナミック選択 A=00000 ==> 1 ビット A=11111 ==> 32 ビット

### デザインの入力方法

このエレメントは、回路図で使用できます。

インスタンスシートする場合は、このコンポーネントを次のように接続します。

- ・ CLK 入力を適切なクロック ソースに、D 入力をシフト/格納するデータ ソースに、Q 出力を FDCE 入力または FDRE 入力などの適切なデスティネーションに接続します。
- ・ クロック イネーブル ピン (CE) はクロック イネーブル信号に接続するか、使用しない場合は論理 1 にします。
- ・ 5 ビット バス A は、一定の値 (0 ～ 31) にしてシフトレジスタの長さを 1 ～ 32 ビットに固定するか、または適切な論理値にしてシフトレジスタの長さを 1 ～ 32 ビットの範囲で変更できます。
- ・ シフトレジスタの長さを 32 ビットより長くする場合は、Q31 出力ピンを後続の SRLC32E の D 入力に接続します。
- ・ Q31 出力は、別の SRLC32E 以外には接続できません。
- ・ Q 出力は、カスケード モードでも使用できます。
- ・ 32 ビットの 16 進数の INIT 属性で、シフトレジスタの初期シフト パターンを指定できます。
- ・ シフトアウトされる最初の値は INIT[0] です。

## 使用可能な属性

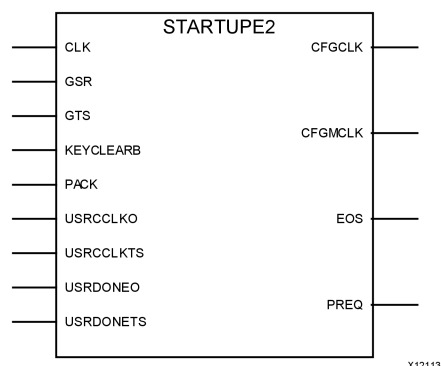
属性	タイプ	値	デフォルト	説明
INIT	16 進数	32 ビット値	すべてゼロ	SRLC32E の初期シフト パターンを指定

## 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## STARTUPE2

### プリミティブ：STARTUP Block



### 概要

このデザイン エLEMENTは、デバイス ピンおよびロジックをグローバル非同期セット/リセット (GSR) 信号、グローバルトライステート (GTS) 専用配線、内部コンフィギュレーション信号、または専用コンフィギュレーション ピンに接続するために使用します。

### ポートの説明

ポート名	方向	幅	説明
CFGCLK	出力	1	コンフィギュレーションのメイン クロック出力
CFGMCLK	出力	1	コンフィギュレーションの内部オシレータのクロック出力
CLK	入力	1	ユーザー スタートアップ クロック入力
EOS	出力	1	スタートアップの終了を示すアクティブ High の出力信号
GSR	入力	1	グローバル セット/リセット入力 (ポート名に GSR は使用不可)
GTS	入力	1	グローバルトライステート入力 (ポート名に GTS は使用不可)
KEYCLEARB	入力	1	バッテリー充電 RAM (BBRAM) からのクリア AES デクリプタ キー入力
PACK	入力	1	PROGRAM 確認入力
PREQ	出力	1	デバイス出力への PROGRAM 要求
USRCCLKO	入力	1	ユーザー CCLK 入力
USRCCLKTS	入力	1	ユーザー CCLK トライステート イネーブル入力
USRDONEO	入力	1	ユーザー DONE ピンの出力を制御
USRDONETS	入力	1	ユーザー DONE ピンのトライステート イネーブル出力

### デザインの入力方法

このELEMENTは、回路図で使用できます。

## 使用可能な属性

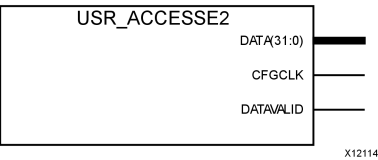
属性	データ型	値	デフォルト	説明
PROG_USR	文字列	"FALSE"、"TRUE"	"FALSE"	プログラム イベント セキュリティ機能を有効にします。暗号化ビットストリームが必要です。
SIM_CCLK_FREQ	浮動小数点 (ns)	0.0 ～ 10.0	0.0	シミュレーション用のコンフィギュレーション クロック周波数 (ns) を設定します。

## 詳細情報

[7 series FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

# USR\_ACSESSE2

## プリミティブ : Configuration Data Access



## 概要

このデザイン エレメントを使用すると、コンフィギュレーション ロジック内の 32 ビットのレジスタにアクセスできます。これにより、ファブリックからビットストリームで設定可能なデータにアクセスできるようになります。

## ポートの説明

ポート名	方向	幅	説明
CFGCLK	出力	1	コンフィギュレーション クロック出力
DATA<31:0>	出力	32	コンフィギュレーション データ出力
DATVALID	出力	1	データが有効であることを示す出力 (アクティブ High)

## デザインの入力方法

このエレメントは、回路図で使用できます。

## 詳細情報

- ・ [7 シリーズ FPGA SelectIO リソース ユーザー ガイド](#)
- ・ [7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## VCC

### プリミティブ : VCC-Connection Signal Tag



## 概要

このデザイン エLEMENTは信号タグまたはパラメーターとして機能し、ネットや入力ファンクションを強制的に High にします。このELEMENTに接続したネットを、ほかのソースに接続することはできません。

配置配線のプロセスで VCC に接続されたネットまたは入力ファンクションが検出されると、VCC 信号でディスエーブルになるロジックは削除されます。VCC 信号は、ディスエーブルされたロジックが削除できない場合のみインプリメントされます。

## デザインの入力方法

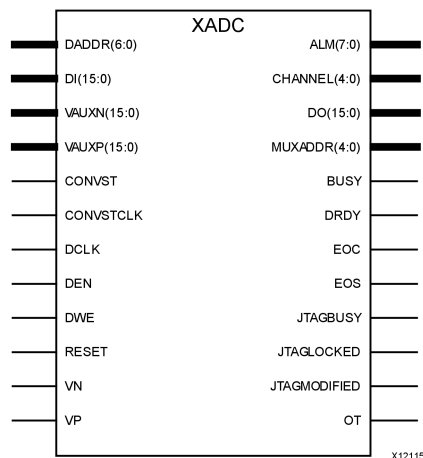
このELEMENTは、回路図でのみ使用できます。

## 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## XADC

### プリミティブ：Dual 12-Bit 1MSPS Analog-to-Digital Converter



## 概要

XADC には、デュアル 12 ビット 1MSPS (メガサンプル/秒) ADC とオンチップ センサーが含まれています。この ADC は完全にテストおよび特性化されています (該当する 7 シリーズ FPGA データシートを参照)。ADC は、さまざまなアプリケーションで汎用の高精度アナログ インターフェイスとして使用できます。デュアル ADC では、両方の ADC を外部からトリガーし、同時にサンプリングするなどのさまざまな動作モード、単極性や差動などのさまざまなアナログ入力信号タイプがサポートされます。ADC は 17 個までの外部アナログ入力チャンネルにアクセスできます。

XADC には、オンチップ電源電圧、チップ温度などを計測するオンチップ センサーが多数含まれています。ADC 変換データは、ステータスレジスタという専用レジスタに保存されます。これらのレジスタには、ダイナミックリコンフィギュレーションポート (DRP) という 16 ビットの同期読み出し/書き込みポートを使用し、FPGA インターコネクトを介してアクセスできます。ADC 変換データは、JTAG TAP を使用してアクセスすることもできます。その場合、既存の FPGA JTAG インフラストラクチャを使用するのは専用インターフェイスであるため、XADC をインスタンス化する必要はありません。デザインに XADC がインスタンス化されていない場合、デバイスは定義済みのモード (デフォルト モード) で動作し、オンチップの温度と電源電圧が計測されます。

XADC の動作は、DRP または JTAG インターフェイスを使用して制御レジスタに書き込むことにより、ユーザー定義できます。XADC をインスタンス化する場合は、ブロック属性を使用してこれらのレジスタの内容を初期化できます。

## ポートの説明

ポート名	方向	幅	説明
ALM<7:0>	出力	8	温度、Vccint、Vccaux、および Vcebram 用の警告出力 <ul style="list-style-type: none"> <li>ALM[0] : XADC 温度センサーの警告出力</li> <li>ALM[1] : XADC Vccint センサーの警告出力</li> <li>ALM[2] : XADC Vccaux センサーの警告出力</li> <li>ALM[3] : XADC Vcebram センサーの警告出力</li> <li>ALM[6:4] : 未定義</li> </ul>
BUSY	出力	1	ADC ビジー信号。ADC 変換中は High になります。ADC またはセンサーのキャリブレーション中にも長期で High になります。



ポート名	方向	幅	説明
CHANNEL<4:0>	出力	5	チャンネル選択出力。ADC 変換の最後に、現在の ADC 変換の ADC 入力 MUX チャンネル選択が示されます。
CONVST	入力	1	変換開始入力。ADC 入力のサンプリングを制御し、イベント モード タイミングでのみ使用されます。FPGA ロジックの汎用インターコネクトから供給されます。
CONVSTCLK	入力	1	変換開始クロック入力。クロック ネットに接続されます。CONVST と同様、ADC 入力のサンプリングを制御し、イベント モード タイミングでのみ使用されます。FPGA ロジックのローカル クロック分配ネットワークから供給されます。そのため、サンプリング インスタンス (遅延およびジッター) を制御するには、グローバル クロック入力を CONVST のソースとして使用するのが最適です。
DADDR<6:0>	入力	7	ダイナミック リコンフィギュレーション ポートのアドレス バス
DCLK	入力	1	ダイナミック リコンフィギュレーション ポートのクロック入力
DEN	入力	1	ダイナミック リコンフィギュレーション ポートのイネーブル信号
DI<15:0>	入力	16	ダイナミック リコンフィギュレーション ポートの入力データ バス
DO<15:0>	出力	16	ダイナミック リコンフィギュレーション ポートの出力データ バス
DRDY	出力	1	ダイナミック リコンフィギュレーション ポートのデータ Ready 信号
DWE	入力	1	ダイナミック リコンフィギュレーション ポートのライト イネーブル
EOC	出力	1	変換終了 (End of Conversion) 信号。ADC 変換が終了し、測定データがステータス レジスタに書き込まれると、High に遷移します。
EOS	出力	1	シーケンス終了 (End of Sequence) 信号。自動 チャンネル シーケンスの最後のチャンネルから測定データがステータス レジスタに書き込まれると、High に遷移します。
JTAGBUSY	出力	1	JTAG DRP トランザクションが実行されていることを示します。
JTAGLOCKED	出力	1	JTAG インターフェイスにより DRP ポート ロックが要求されたことを示します。DRP がアクセス可能になったこと (Low の場合) を示すためにも使用されます。
JTAGMODIFIED	出力	1	DRP に対して JTAG 書き込みが発生したことを示します。
MUXADDR<4:0>	出力	5	外部マルチプレクサー モードで使用され、シーケンスで次に変換されるチャンネルのアドレスを示します。外部マルチプレクサーにチャンネル アドレスを供給します。
OT	出力	1	温度超過警告出力
RESET	入力	1	XADC 制御ロジックのリセット信号
VAUXN<15:0>	入力	16	N 側補助アナログ入力
VAUXP<15:0>	入力	16	P 側補助アナログ入力
VN	入力	1	N 側アナログ入力
VP	入力	1	P 側アナログ入力

## デザインの入力方法

このエレメントは、回路図で使用できます。

## 使用可能な属性

属性	データ型	値	デフォルト	説明
INIT_4A	16 進数	16'h0000 ~ 16'hffff	16'h0000	シーケンス レジスタ 2
INIT_4B	16 進数	16'h0000 ~ 16'hffff	16'h0000	シーケンス レジスタ 3
INIT_4C	16 進数	16'h0000 ~ 16'hffff	16'h0000	シーケンス レジスタ 4
INIT_4D	16 進数	16'h0000 ~ 16'hffff	16'h0000	シーケンス レジスタ 5
INIT_4E	16 進数	16'h0000 ~ 16'hffff	16'h0000	シーケンス レジスタ 6
INIT_4F	16 進数	16'h0000 ~ 16'hffff	16'h0000	シーケンス レジスタ 7
INIT_5C	16 進数	16'h0000 ~ 16'hffff	16'h0000	VbRam の警告下限しきい値
INIT_40	16 進数	16'h0000 ~ 16'hffff	16'h0000	コンフィギュレーション レジスタ 0
INIT_41	16 進数	16'h0000 ~ 16'hffff	16'h0000	コンフィギュレーション レジスタ 1
INIT_42	16 進数	16'h0000 ~ 16'hffff	16'h0800	コンフィギュレーション レジスタ 2
INIT_43	16 進数	16'h0000 ~ 16'hffff	16'h0000	テスト レジスタ 0
INIT_44	16 進数	16'h0000 ~ 16'hffff	16'h0000	テスト レジスタ 1
INIT_45	16 進数	16'h0000 ~ 16'hffff	16'h0000	テスト レジスタ 2
INIT_46	16 進数	16'h0000 ~ 16'hffff	16'h0000	テスト レジスタ 3
INIT_47	16 進数	16'h0000 ~ 16'hffff	16'h0000	テスト レジスタ 4
INIT_48	16 進数	16'h0000 ~ 16'hffff	16'h0000	シーケンス レジスタ 0
INIT_49	16 進数	16'h0000 ~ 16'hffff	16'h0000	シーケンス レジスタ 1
INIT_50	16 進数	16'h0000 ~ 16'hffff	16'h0000	警告制限レジスタ 0
INIT_51	16 進数	16'h0000 ~ 16'hffff	16'h0000	警告制限レジスタ 1
INIT_52	16 進数	16'h0000 ~ 16'hffff	16'h0000	警告制限レジスタ 2
INIT_53	16 進数	16'h0000 ~ 16'hffff	16'h0000	警告制限レジスタ 3
INIT_54	16 進数	16'h0000 ~ 16'hffff	16'h0000	警告制限レジスタ 4
INIT_55	16 進数	16'h0000 ~ 16'hffff	16'h0000	警告制限レジスタ 5
INIT_56	16 進数	16'h0000 ~ 16'hffff	16'h0000	警告制限レジスタ 6
INIT_57	16 進数	16'h0000 ~ 16'hffff	16'h0000	警告制限レジスタ 7
INIT_58	16 進数	16'h0000 ~ 16'hffff	16'h0000	VbRam の警告上限しきい値
INIT_5A	16 進数	16'h0000 ~ 16'hffff	16'h0000	今後の使用のために予約
INIT_5B	16 進数	16'h0000 ~ 16'hffff	16'h0000	今後の使用のために予約
INIT_5D	16 進数	16'h0000 ~ 16'hffff	16'h0000	今後の使用のために予約
INIT_5E	16 進数	16'h0000 ~ 16'hffff	16'h0000	今後の使用のために予約
INIT_5F	16 進数	16'h0000 ~ 16'hffff	16'h0000	今後の使用のために予約
INIT_59	16 進数	16'h0000 ~ 16'hffff	16'h0000	今後の使用のために予約

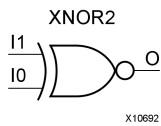
属性	データ型	値	デフォルト	説明
SIM_DEVICE	文字列	"7SERIES"、"ZYNQ"	"7SERIES"	シミュレーションを正しく実行するためターゲット デバイスを指定します。
SIM_MONITOR_FILE	文字列	ファイルの名前と場所	"design.txt"	XADC シミュレーション ビヘイビアー用のアナログ電圧および温度データを含むファイルの名前（およびシミュレーション ディレクトリと異なる場合はディレクトリ）を指定します。

## 詳細情報

[7 series FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## XNOR2

プリミティブ：2-Input XNOR Gate with Non-Inverted Inputs



### 概要

XNOR ファンクションには入力が 9 個までのものがありますが、入力はすべて非反転入力です。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

### 論理表

入力	出力
I0 ~ Iz	O
奇数個の 1	0
偶数個の 1	1

### デザインの入力方法

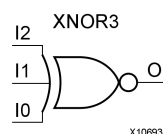
このエレメントは、回路図でのみ使用できます。

### 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## XNOR3

プリミティブ：3-Input XNOR Gate with Non-Inverted Inputs



### 概要

XNOR ファンクションには入力が 9 個までのものがありますが、入力はすべて非反転入力です。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

### 論理表

入力	出力
I0 ~ I2	O
奇数個の 1	0
偶数個の 1	1

### デザインの入力方法

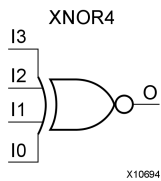
このエレメントは、回路図でのみ使用できます。

### 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## XNOR4

プリミティブ：4-Input XNOR Gate with Non-Inverted Inputs



### 概要

XNOR ファンクションには入力が 9 個までのものがありますが、入力はすべて非反転入力です。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

### 論理表

入力	出力
I0 ~ I2	O
奇数個の 1	0
偶数個の 1	1

### デザインの入力方法

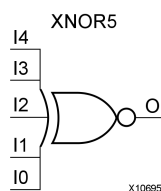
このエレメントは、回路図でのみ使用できます。

### 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## XNOR5

プリミティブ：5-Input XNOR Gate with Non-Inverted Inputs



### 概要

XNOR ファンクションには入力が 9 個までのものがありますが、入力はすべて非反転入力です。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

### 論理表

入力	出力
I0 ~ Iz	O
奇数個の 1	0
偶数個の 1	1

### デザインの入力方法

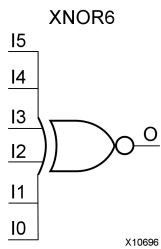
このエレメントは、回路図でのみ使用できます。

### 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## XNOR6

マクロ : 6-Input XNOR Gate with Non-Inverted Inputs



### 概要

XNOR ファンクションには入力が 9 個までのものがありますが、入力はすべて非反転入力です。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

### 論理表

入力	出力
I0 ~ I2	O
奇数個の 1	0
偶数個の 1	1

### デザインの入力方法

このエレメントは、回路図でのみ使用できます。

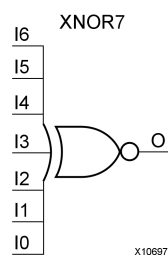
### 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)



## XNOR7

マクロ：7-Input XNOR Gate with Non-Inverted Inputs



### 概要

XNOR ファンクションには入力 9 個までのものがありますが、入力はすべて非反転入力です。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

### 論理表

入力	出力
I0 ~ Iz	O
奇数個の 1	0
偶数個の 1	1

### デザインの入力方法

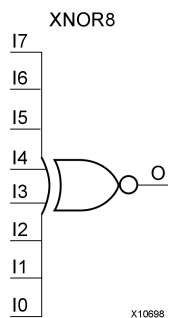
このエレメントは、回路図でのみ使用できます。

### 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## XNOR8

マクロ : 8-Input XNOR Gate with Non-Inverted Inputs



### 概要

XNOR ファンクションには入力が 9 個までのものがありますが、入力はすべて非反転入力です。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

### 論理表

入力	出力
I0 ~ Iz	O
奇数個の 1	0
偶数個の 1	1

### デザインの入力方法

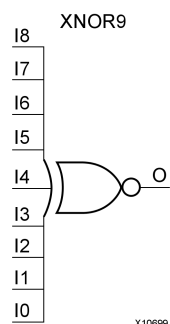
このエレメントは、回路図でのみ使用できます。

### 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## XNOR9

マクロ：9-Input XNOR Gate with Non-Inverted Inputs



### 概要

XNOR ファンクションには入力 が 9 個までのものがありますが、入力はすべて非反転入力です。各入力 で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

### 論理表

入力	出力
I0 ~ I18	O
奇数個の 1	0
偶数個の 1	1

### デザインの入力方法

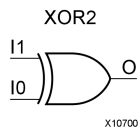
このエレメントは、回路図でのみ使用できます。

### 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## XOR2

### プリミティブ：2-Input XOR Gate with Non-Inverted Inputs



## 概要

XOR ファンクションには入力が 9 個のものまでありますが、入力はすべて非反転入力です。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

## デザインの入力方法

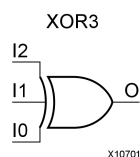
このエレメントは、回路図でのみ使用できます。

## 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## XOR3

プリミティブ：3-Input XOR Gate with Non-Inverted Inputs



### 概要

XOR ファンクションには入力が 9 個のものまでありますが、入力はすべて非反転入力です。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

### デザインの入力方法

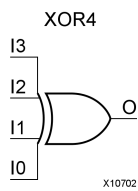
このエレメントは、回路図でのみ使用できます。

### 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## XOR4

プリミティブ：4-Input XOR Gate with Non-Inverted Inputs



### 概要

XOR ファンクションには入力が 9 個のものまでありますが、入力はすべて非反転入力です。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

### デザインの入力方法

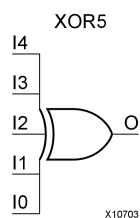
このエレメントは、回路図でのみ使用できます。

### 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## XOR5

プリミティブ：5-Input XOR Gate with Non-Inverted Inputs



### 概要

XOR ファンクションには入力が 9 個のものまでありますが、入力はすべて非反転入力です。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

### デザインの入力方法

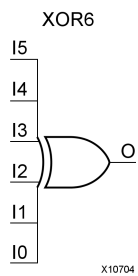
このエレメントは、回路図でのみ使用できます。

### 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## XOR6

マクロ : 6-Input XOR Gate with Non-Inverted Inputs



### 概要

XOR ファンクションには入力 9 個のものまでありますが、入力はすべて非反転入力です。各入力に CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

### デザインの入力方法

このエレメントは、回路図でのみ使用できます。

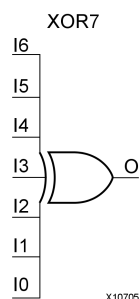
### 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)



## XOR7

マクロ：7-Input XOR Gate with Non-Inverted Inputs



### 概要

XOR ファンクションには入力が 9 個のものまでありますが、入力はすべて非反転入力です。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

### デザインの入力方法

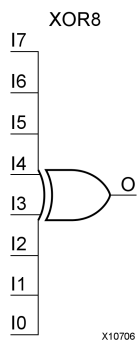
このエレメントは、回路図でのみ使用できます。

### 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## XOR8

マクロ : 8-Input XOR Gate with Non-Inverted Inputs



### 概要

XOR ファンクションには入力 9 個のものまでがありますが、入力はすべて非反転入力です。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

### デザインの入力方法

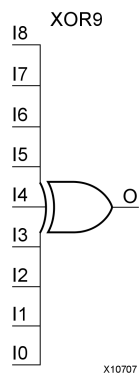
このエレメントは、回路図でのみ使用できます。

### 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## XOR9

マクロ : 9-Input XOR Gate with Non-Inverted Inputs



### 概要

XOR ファンクションには入力 が 9 個のものまでがありますが、入力はすべて非反転入力です。各入力 で CLB リソース が使用されるので、必要な入力数のファンクションを使用するようにしてください。

### デザインの入力方法

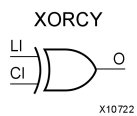
このエレメントは、回路図でのみ使用できます。

### 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

## XORCY

### プリミティブ：XOR for Carry Logic with General Output



### 概要

このデザイン エLEMENTは、一般出力 (O) のある特殊な XOR ゲートで、高速で小型の演算ファンクションを生成するために使用します。このプリミティブは、スライスのキャリーチェーン ロジック内の専用 XOR ファンクションで、演算ファンクション (加算または除算) または多入力ロジック ファンクション (多入力 AND または OR ゲート) を高速かつ効率的に作成できます。

### 論理表

入力		出力
LI	CI	O
0	0	0
0	1	1
1	0	1
1	1	0

### デザインの入力方法

このELEMENTは、回路図で使用できます。

### 詳細情報

[7 シリーズ FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)