

デザイン解析およびフロアプラン

PlanAhead ソフトウェア

UG676 (v 13.3) 2011 年 10 月 19 日





Xilinx is disclosing this user guide, manual, release note, and/or specification (the “Documentation”) to you solely for use in the development of designs to operate with Xilinx hardware devices. You might not reproduce, distribute, republish, download, display, post, or transmit the Documentation in any form or by any means including, but not limited to, electronic, mechanical, photocopying, recording, or otherwise, without the prior written consent of Xilinx. Xilinx expressly disclaims any liability arising out of your use of the Documentation. Xilinx reserves the right, at its sole discretion, to change the Documentation without notice at any time. Xilinx assumes no obligation to correct any errors contained in the Documentation, or to advise you of any corrections or updates. Xilinx expressly disclaims any liability in connection with technical support or assistance that might be provided to you in connection with the Information.

THE DOCUMENTATION IS DISCLOSED TO YOU “AS-IS” WITH NO WARRANTY OF ANY KIND. XILINX MAKES NO OTHER WARRANTIES, WHETHER EXPRESS, IMPLIED, OR STATUTORY, REGARDING THE DOCUMENTATION, INCLUDING ANY WARRANTIES OF MERCHANTABILITY, FITNESS FOR A PARTICULAR PURPOSE, OR NONINFRINGEMENT OF THIRD-PARTY RIGHTS. IN NO EVENT WILL XILINX BE LIABLE FOR ANY CONSEQUENTIAL, INDIRECT, EXEMPLARY, SPECIAL, OR INCIDENTAL DAMAGES, INCLUDING ANY LOSS OF DATA OR LOST PROFITS, ARISING FROM YOUR USE OF THE DOCUMENTATION.

© Copyright 2011 Xilinx Inc. All Rights Reserved. XILINX, the Xilinx logo, the Brand Window and other designated brands included herein are trademarks of Xilinx, Inc. All other trademarks are the property of their respective owners. The PowerPC name and logo are registered trademarks of IBM Corp., and used under license. All other trademarks are the property of their respective owners.

本資料は英語版 (v13.3) を翻訳したもので、内容に相違が生じる場合には原文を優先します。

資料によっては英語版の更新に対応していないものがあります。

日本語版は参考用としてご使用の上、最新情報につきましては、必ず最新英語版をご参照ください。

この資料に関するフィードバックおよびリンクなどの問題につきましては、jpn_trans_feedback@xilinx.com までお知らせください。いただきましたご意見を参考に早急に対応させていただきます。なお、このメール アドレスへのお問い合わせは受け付けておりません。あらかじめご了承ください。

目次

チュートリアル の目標.....	4
ソフトウェア要件.....	4
ハードウェア要件.....	5
チュートリアル デザインの説明.....	5
チュートリアル デザイン ファイルのディレクトリ	5
手順 1: デバイス リソースとクロック領域の表示	6
手順 2: 論理ネットリストの階層表示	12
手順 3: デザイン リソース統計の表示	14
手順 4: デザイン ルール チェック (DRC) の実行.....	18
手順 5: タイミング解析の実行	20
手順 6: デザインのインプリメンテーション	25
手順 7: タイミング結果の解析	28
手順 8: モジュール レベルの配置のハイライト	36
手順 9: 接続の確認	37
手順 10: 配置制約の使用	40
手順 11: 階層接続の表示	42
手順 12: 検索機能を使用したクロック ドメインの表示	47
手順 13: タイミング クリティカルな階層のフロアプラン	49
まとめ.....	53

デザイン解析およびフロアプラン

このチュートリアルでは、高度な FPGA を設計するのに必要なザイリンクスの PlanAhead ソフトウェアの機能や利点を簡単に紹介し、より短い時間でパフォーマンスのよいデザインを作成するための主な手順を説明します。このチュートリアルでは、次の内容を学びます。

- インプリメンテーション前のデザインおよび解析
- インプリメンテーション機能の確認
- インプリメンテーション結果のフロアプラン

注記：このチュートリアルでは、ISE® Design Suite の PlanAhead ソフトウェア製品に含まれる機能を使用しています。その他の機能については、別の PlanAhead チュートリアルで説明します。

チュートリアルの目標

このチュートリアルは、PlanAhead ソフトウェアのさまざまな解析、フロアプラン、インプリメンテーションの機能を説明するためのもので、次のトピックが含まれます。

- デバイス使用率の統計を解析してターゲット デバイスを最適なデバイスに変更
- デザイン ルール チェック (DRC) を実行して、インプリメンテーション エラーになる可能性のある制約の競合をすばやく解決
- [Netlist]、[Logic Hierarchy]、[Schematic] ビューでロジックを確認
- タイミング パフォーマンスをすばやく概算することで、デザインの実現可能性を評価し、問題になる可能性のあるエリアを識別
- デザインに含まれる制約を表示、作成、変更
- デザイン階層の接続およびデータ フローを解析し、クリティカルなロジック接続およびクロック ドメインを識別
- タイミング クリティカルなロジックをフロアプランしてタイミングを改善

このチュートリアルでは、ユーザー デザインでも利用できるように PlanAhead ソフトウェアのプロセスや機能を中心に説明します。

ソフトウェア要件

PlanAhead ソフトウェアは、ISE Design Suite ソフトウェアをインストールするとインストールされます。チュートリアルを始める前に、PlanAhead が起動できるか、チュートリアル デザイン データがインストールされているかを確認してください。

このチュートリアルを実行するには、次のザイリンクス コマンド ライン ツールを使用できるようにしておく必要があります。

- NGDBuild
- Map
- PAR
- TRACE
- XDL

インストール手順については、http://japan.xilinx.com/support/documentation/sw_manuals/xilinx13_3/iil.pdfにある『ISE Design Suite : インストールおよびライセンス ガイド』(UG798) を参照してください。

ハードウェア要件

大型デバイスで PlanAhead ソフトウェアを使用するには、2GB 以上の RAM が推奨されます。このチュートリアルでは、小型の XC6VLX75T デザインを使用し、一度に開くデザインの数制限しているため 1GB でも十分ですが、パフォーマンスに影響することがあります。

チュートリアル デザインの説明

このチュートリアルで使用される小型のサンプル デザインには、Verilog と VHDL を含む RTL デザイン ソースのセットが含まれます。VHDL ソースは、複数の VHDL ライブラリからのものです。このチュートリアルで使用されるデザインには次のものが含まれます。

- RISC プロセッサ
- 疑似 FFT
- ギガビットトランシーバー
- USB ポート モジュール 2 つ
- XC6VLX75T デバイス

チュートリアル デザイン ファイルのディレクトリ

1. 次のサイトから、PlanAhead_Tutorial.zip ファイルをダウンロードします。

http://japan.xilinx.com/support/documentation/dt_planahead_planahead13-3_tutorials.htm

2. 書き込み権のあるディレクトリに ZIP ファイルを解凍します。

解凍された PlanAhead_Tutorial データ ディレクトリは、このチュートリアルでは <Extract_Dir> と表記しています。

チュートリアルのサンプル デザイン データはチュートリアル実行中に変更されます。チュートリアルを実行するときは常に実行前に元の PlanAhead_Tutorial データをコピーしておいてください。

手順 1 : デバイス リソースとクロック領域の表示

1. PlanAhead を起動します。

- Windows の場合、Xilinx PlanAhead 13 のデスクトップ アイコンをダブルクリックするか、[スタート] → [プログラム] → [Xilinx ISE Design Suite 13.3] → [PlanAhead] → [PlanAhead] をクリックします。
- Linux の場合は、<Extract_Dir>/PlanAhead_Tutorial/Projects ディレクトリに移動し、「planAhead」と入力します。

PlanAhead 環境が開きます。



図 1 : PlanAhead の Getting Started ページ

PlanAhead の Getting Started ページには、プロジェクトを開いたり、作成したり、ドキュメントを確認するリンクが含まれます。

2. [File] → [Open Project] をクリックし、<Extract_Dir>/PlanAhead_Tutorial/projects/project_cpu_floorplan/ を指定して project_cpu_floorplan.ppr を開きます。

PlanAhead 環境でプロジェクトが開きます。

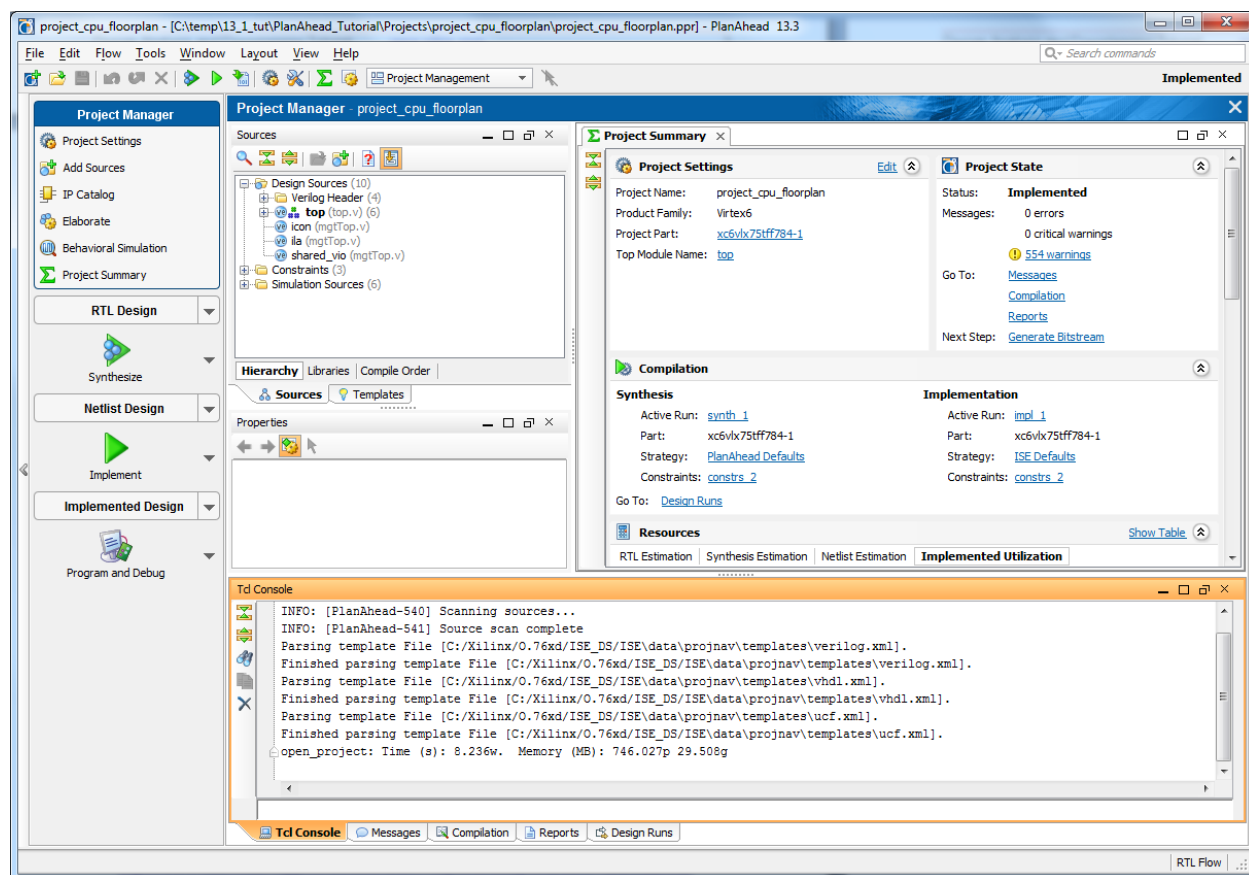



図 2 : PlanAhead 環境

3. [Sources] ビューで [constrs_2] フォルダにある top_full.ucf という制約ファイルがアクティブになっていることを確認します。アクティブになっていない場合は、[constrs_2] を右クリックし、[Make Active] を選択します。必要であれば、[Collapse All] ボタン  をクリックします。

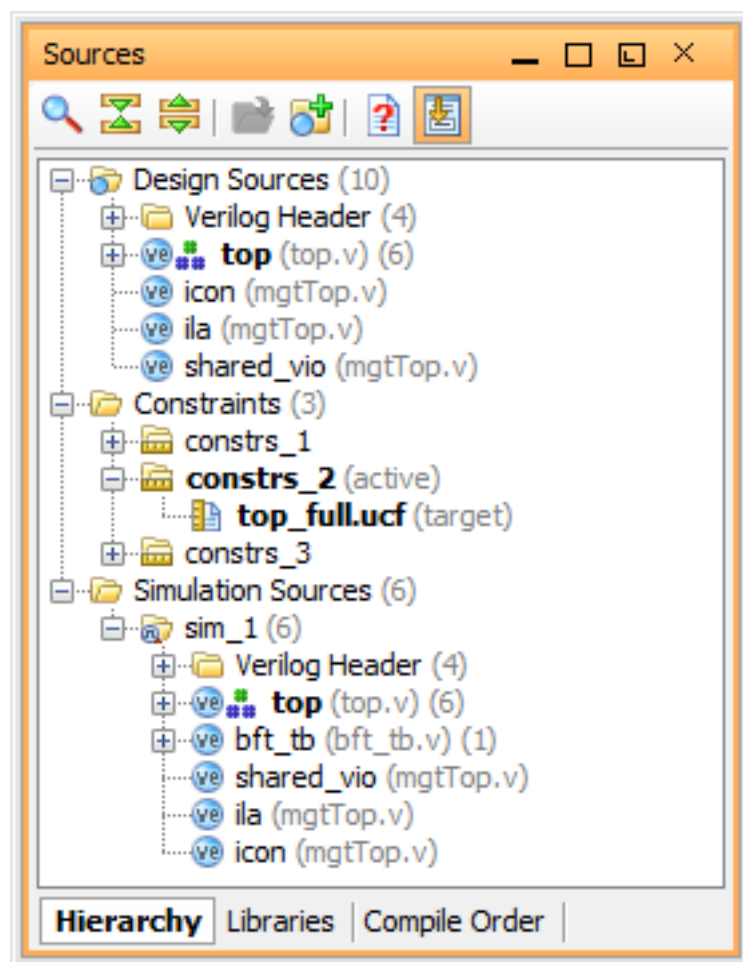


図 3 : [constrs_2] フォルダがアクティブになっている状態の [Sources] ビュー

4. [Design Runs] ビューで [impl_1] がアクティブになっていることを確認します。アクティブになっていない場合は、[impl_1] を右クリックし、[Make Active] を選択します。

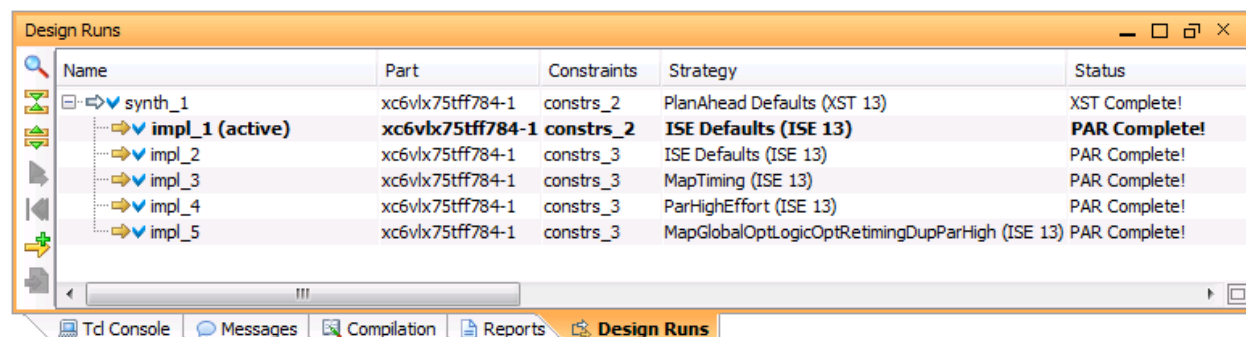


図 4 : impl_1 がアクティブになっている状態の [Design Runs] ビュー

5. [Flow] → [Netlist Design] をクリックするか、Flow Navigator で [Netlist Design] をクリックしてデザインと制約を開きます。

ネットリストおよび top_full.ucf が開きます。

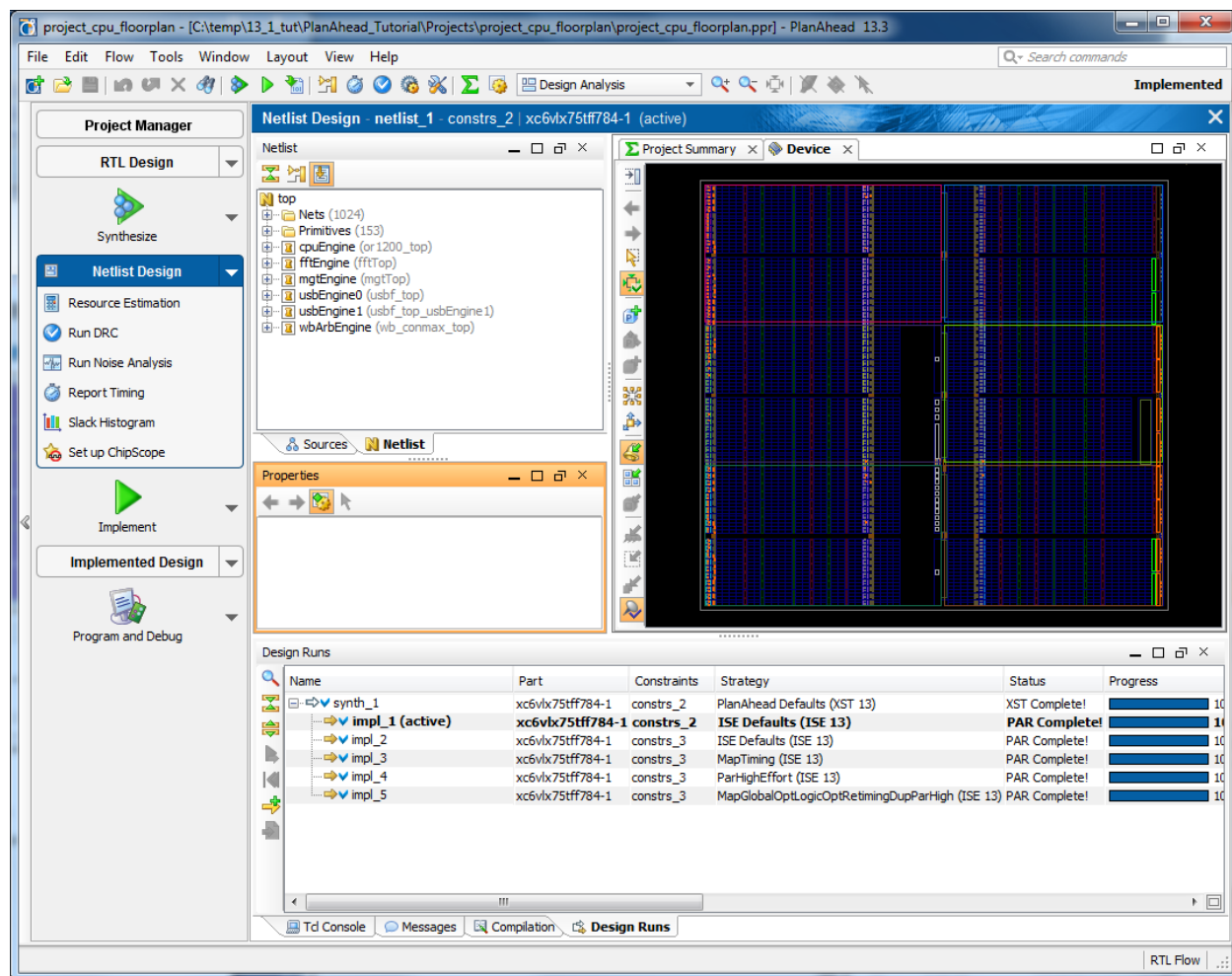


図 5 : [Netlist Design] ビューの CPU ネットリスト

6. 次のように、[Device] ビューで [Zoom Area] を使用してさまざまなデバイス リソースを確認します。
 - デバイスの左上をクリックし、右下に向かってドラッグします。長方形を描画した箇所が拡大されます。
 - 上記の手順を繰り返し、デバイス リソースが確認できる大きさまで拡大します。

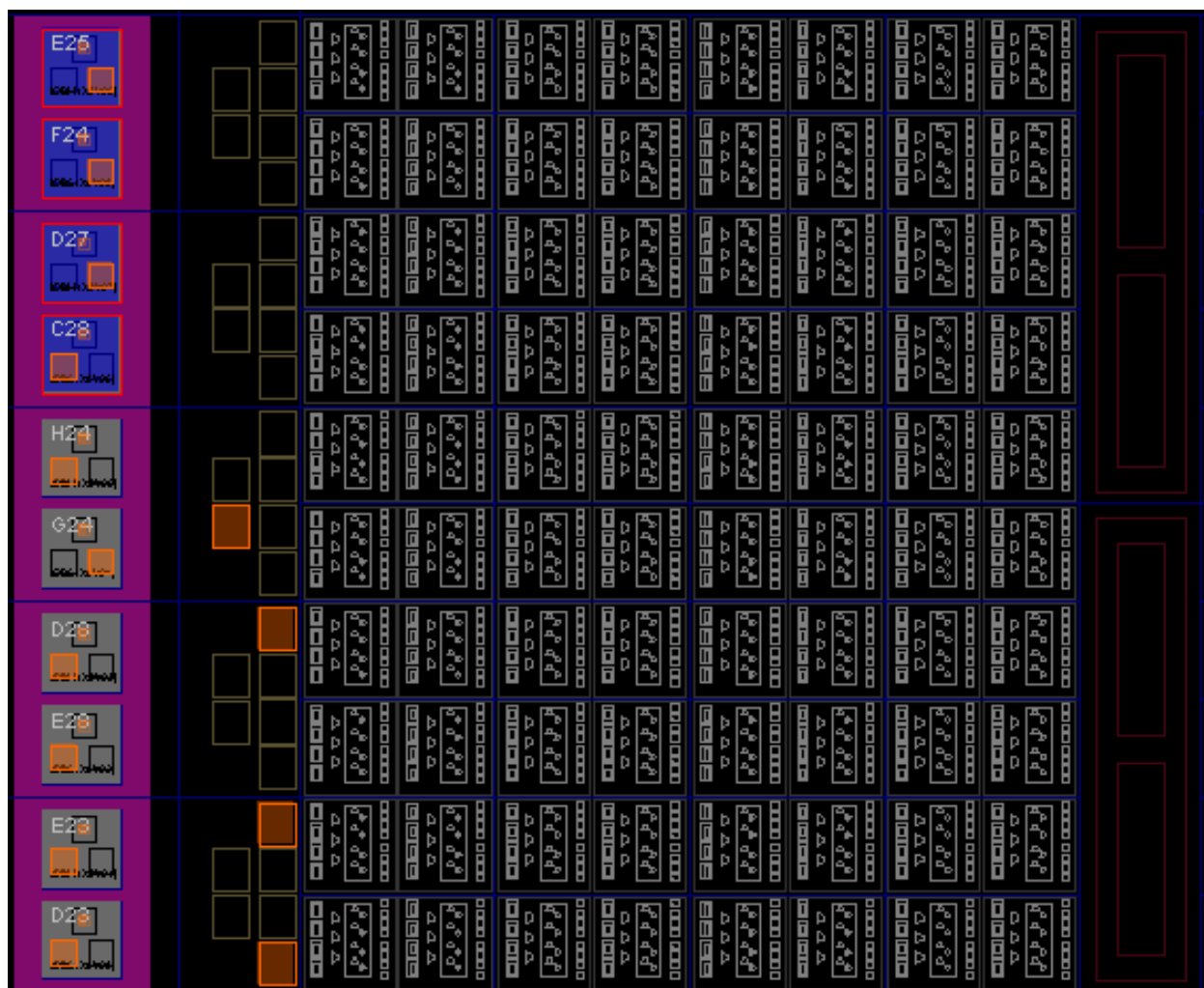


図 6 : [Device] ビューでの CLB およびロジック ゲート サイトの拡大表示

7. さまざまなデバイスリソースの上にカーソルを置いてツールヒントを表示させます。次の点に注目してください。
 - SLICE 座標 は PlanAhead メイン ウィンドウ右下のステータス バーに表示される
 - カーソルをサイト上に置くとツールチップが表示される
 - I/O ポートの位置および I/O バッファの割り当ては I/O バンク内に表示される
 - 縦長の赤紫色のタイルは RAMB36 サイトを表し、RAMB18 を 2 つ、または FIFO を 1 つ含めることができる
 - 縦長の青緑色のタイルは DSP48 のサイトを表す
 - 青い正方形は 2 つの SLICE を含む CLB 1 つを表す

サイトをクリックして [Site Properties] ビューにサイト情報を表示

1. 異なるサイト タイプをいくつかクリックして、[Site Property] を表示してみます。
2. [Device] ビューでクリックし、カーソルを左上方向にドラッグするか、Ctrl + G キーを押して、[Device] ビューにデバイス全体を表示させます。

[Device] ビューにクロック領域が表示されるのでフロアプランしやすくなります。[Clock Regions] ビューには、デバイスのクロック領域がすべて表示されます。[Clock Region Properties] ビューで、インプリメンテーション前にクロックに潜在的な競合がないかどうかを確認します。クロックドメインの表示については、このチュートリアルの後半で説明します。

[Clock Regions] ビューの表示

1. [Device] ビューで次ようにクロック領域を表示します。

- [Window] → [Clock Regions] をクリックします。
- 表のクロック領域の 1 つを選択します。

選択したクロック領域が [Device] ビューでハイライトされます。

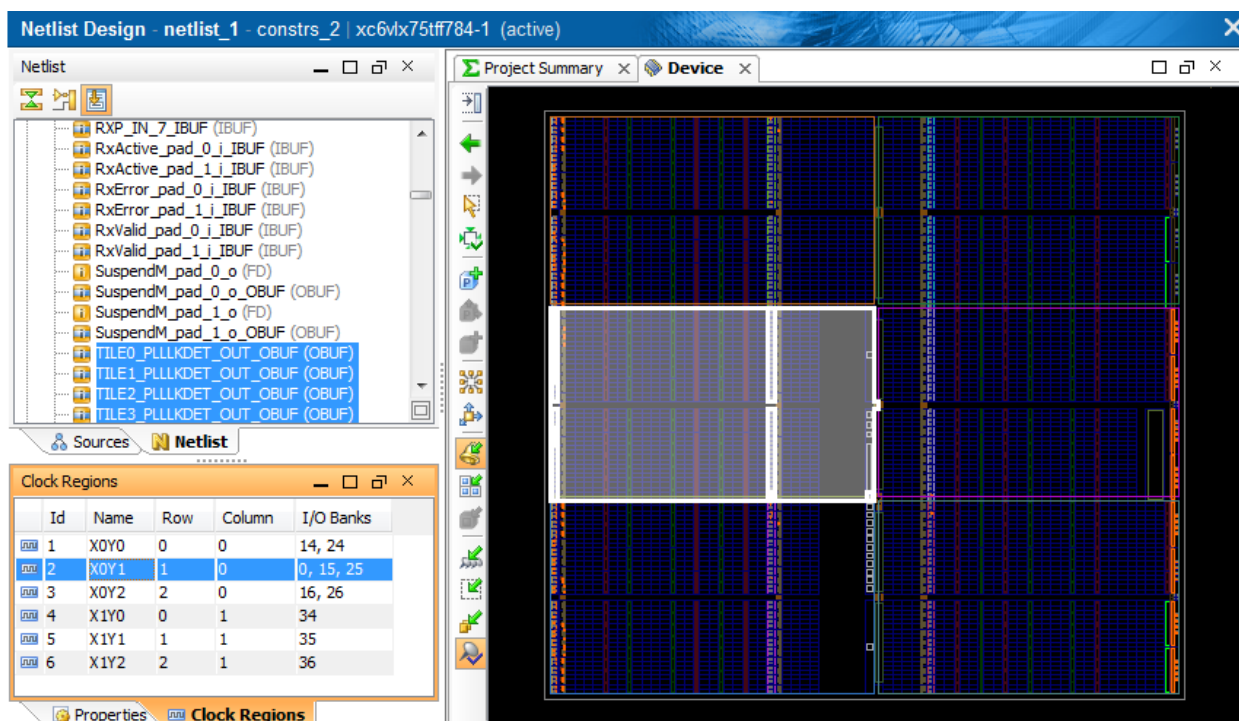



図 7 : クロック領域プロパティの表示



2. [Clock Regions] ビューの [Properties] タブをクリックします。[Properties] ビューが表示されていない場合は、[Window] → [Properties] をクリックします。

[Auto Fit Selection] ボタン  がオンになっている場合は、選択したクロック領域が自動的に拡大されます。

3. [Statistics] タブをクリックし、スクロール ダウンしてロジックの内容を確認します。

クロック領域のリソースを確認

1. [Properties] ビューで [Resources] タブをクリックし、BUFR および IDELAYCTRL サイトのロケーションを確認します。
2. [Resources] リストで BUFR の 1 つを選択してみると、それが [Device] ビューでハイライトされることがわかります (ビューを最大化すると見やすくなります)。

3. [Device] ビューまたは [Properties] ビューのいずれかで右クリックし、[Mark] をクリックしてそのサイトにマークを付けます。
4. 上にあるツールバーの [Fit Selection]  をクリックし、選択したオブジェクトを表示します。
注記 : [Auto Fit Selection] がオンになっている場合は、[Device] ビューが BUFR に合わせて表示されます。
5. [Unmark All] ツールバー ボタン  をクリックし、マークを削除します。
6. [Device] ビューで [Zoom Fit] ボタンをクリックし、デバイス全体を表示させます。
7. [Clock Region Properties] ビューの [I/O Banks] タブをクリックし、そのクロック領域に関連する I/O バンクを確認します。
8. [Clock Region Properties] ビューで I/O バンクの 1 つをクリックすると、それが [Device] ビューでもハイライトされます。
9. 次の図のように [I/O Planning] ビュー レイアウトに切り替えます。切り替えるには、[Layout] → [I/O Planning] をクリックするか、ツールバー メニューのレイアウトを選択するプルダウン メニューを使用します。

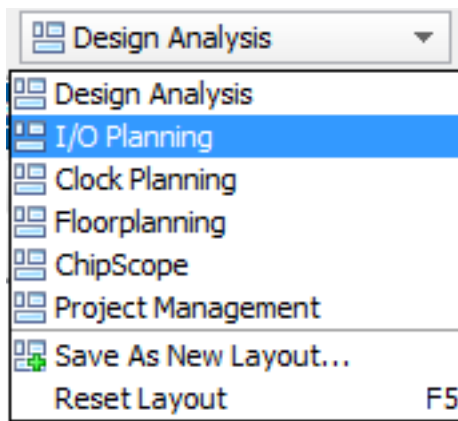



図 8 : I/O Planning ビュー レイアウトの選択

このビュー レイアウトはピン配置がしやすいように変更され、[Package] ビューと [Package Pins] ビューが開いています。I/O バンクは、[Device] ビューと [Package] ビューの両方でハイライトされています。

10. レイアウト セレクターから [Design Analysis] を選択し、表示を元に戻します。

手順 2 : 論理ネットリストの階層表示

[Netlist] ビューでデザイン階層を確認

1. [Netlist] ビューで [Collapse All] ボタン  をクリックします。
2. cpuEngine の横にあるプラス記号 (+) をクリックしてモジュールを展開します。

[Netlist] ビューは次のように表示されるはずです。

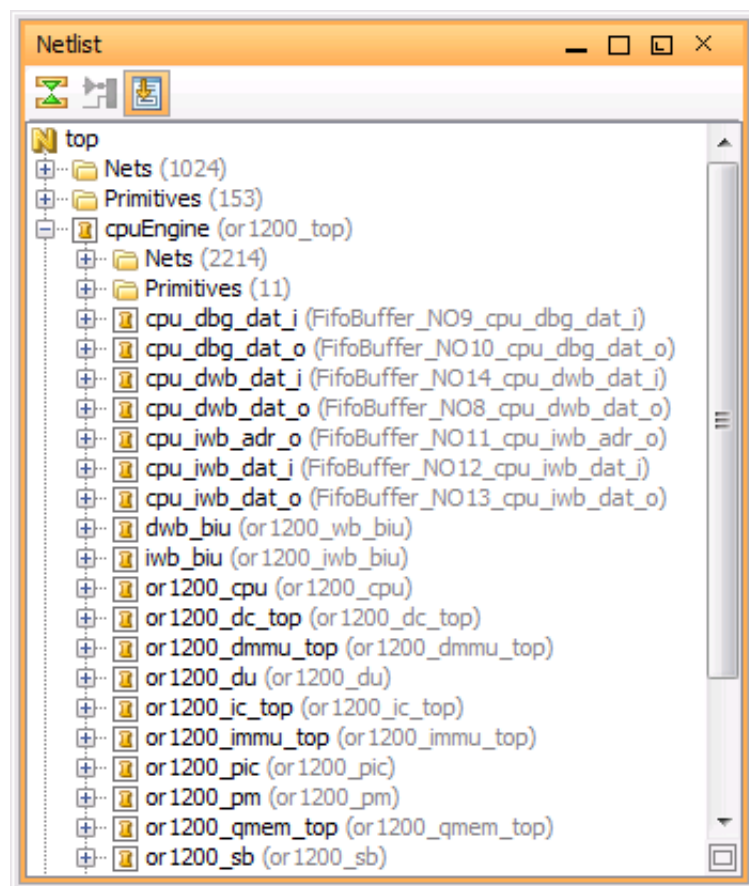



図 9 : [Netlist] ビューの展開表示

注記 : [Netlist] ビューの [Primitives] フォルダーには、各モジュールの最上位インスタンスが含まれています。

3. [Primitives] フォルダーを展開表示します。このフォルダーには、サブ モジュールではなく、cpuEngine レベルの 1 つ下の階層に含まれるインスタンスが表示されます。
4. [Nets] フォルダーを展開表示します。このフォルダーには、cpuEngine の 1 つ下の階層に含まれるネットが表示されます。
5. [Netlist] ビューで [Collapse All] ボタン  をクリックします。

ネットリスト モジュールを選択し、ロジックがデザイン階層のどこにあるかを確認

1. [Netlist] ビューで usbEngine0 モジュールを展開表示します。
 2. u4 モジュールを選択します。
 3. 右クリックし [Show Hierarchy] をクリックするか、F6 キーを押します。
- ワークスペースに [Hierarchy] ビューが開きます。

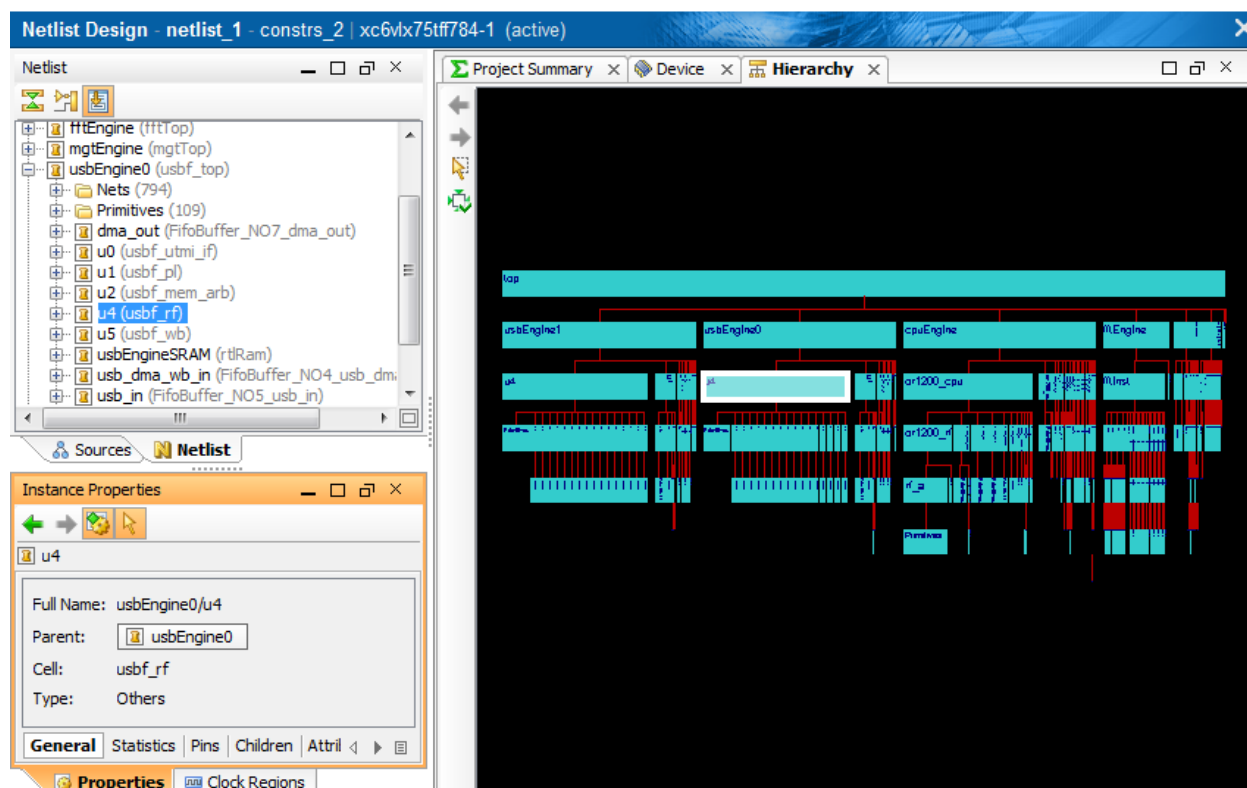



図 10 : インスタンスの階層表示

[Hierarchy] ビューには、モジュールの階層関係や相対的なサイズが表示されます。選択したロジック モジュールを [Hierarchy] ビューに表示して、フロアプラン前にモジュールの位置および相対的なサイズを視覚的に確認できるので便利です。この表示から直接モジュールを選択してフロアプランを実行できます。[Hierarchy] ビューには、ほかのビューで選択したロジックもハイライトされます。

4. [Netlist] ビューでモジュールを選択すると、そのモジュールが [Hierarchy] ビューなどほかのビューでも選択されます。選択されたものはどのビューでも選択されるようになっています。
5. [Unselect All] ツールバー ボタン  をクリックするか、F12 キーを押します。

手順 3 : デザイン リソース統計の表示

PlanAhead ソフトウェアによるリソース使用率では、デザインに対して最適なデバイスを決定するのに役立つ統計が表示されます。モジュール間でロジックリソースがどのように分配されているか確認することもできます。複数のデバイス タイプを比較して、全体的にベストな使用率やパフォーマンスを決定しやすくなっています。

デザイン全体のリソース概算を確認

1. Flow Navigator で [Netlist Design] → [Resource Estimation] をクリックします。
ワークスペースに [Resource Estimation] ビューが開きます。
2. [Resource Estimation] タブをダブルクリックし、ウィンドウを最大化します。または
 - [Resource Estimation] タブを右クリックし、[Maximize] をクリックして最大化します。

- [Maximize] ボタンをクリックします。

[Resource Estimation] ビューに階層ごとのリソース使用率が表示されます。

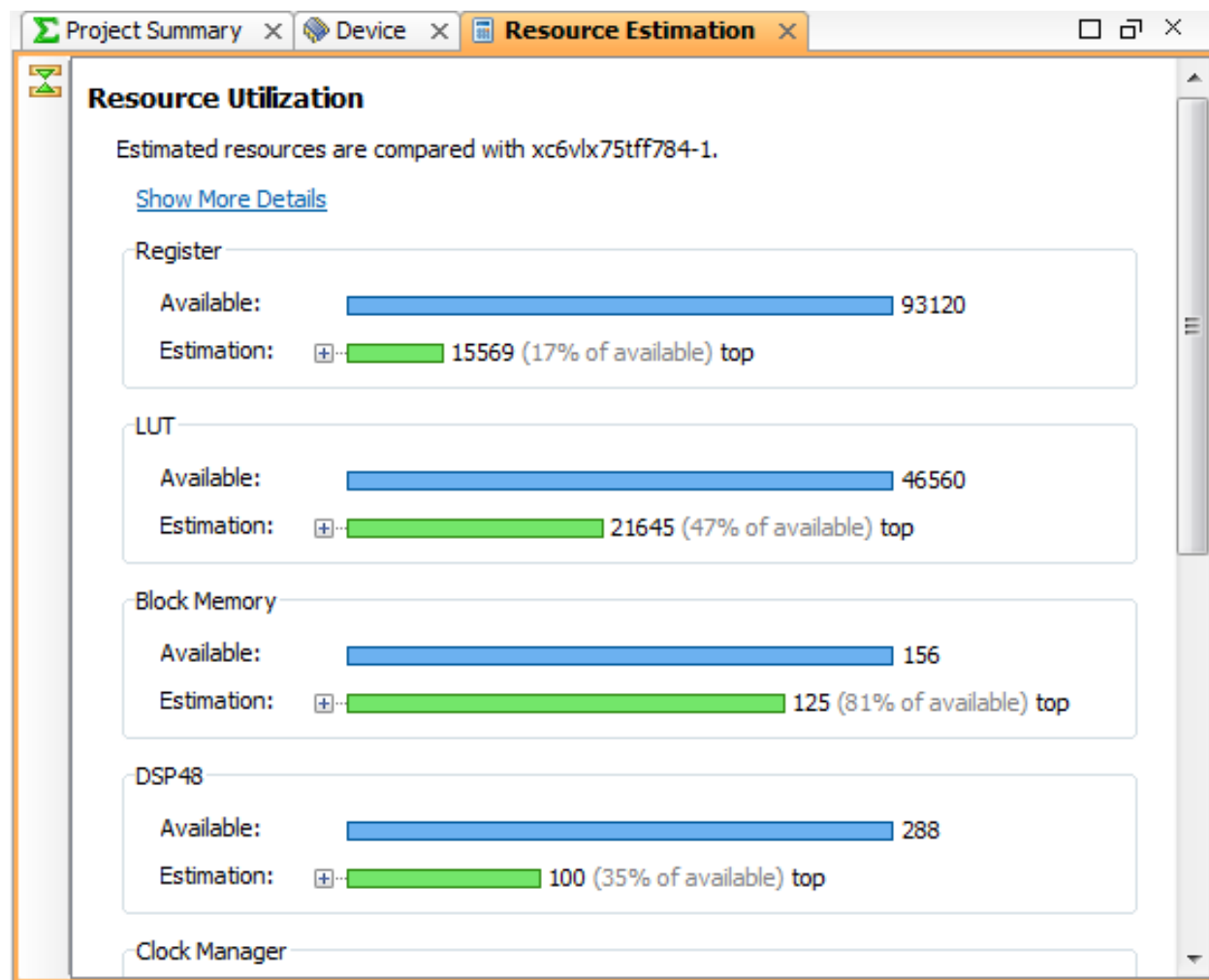



図 11 : [Resource Estimation] ビュー

3. [Resource Estimation] ビューで [Block Memory] (ブロック RAM) の [Estimation] の横の  をクリックして展開表示します。ブロック RAM を消費しているのは、主に usbEngine0 および usbEngine1 の 2 つであるのがわかります。
 4. その他のリソースも展開表示してみます。
 5. [Block Memory] (ブロック RAM) の [Estimation] セクションから **usbEngine1** をクリックします。
 6. [Hierarchy] タブをクリックします。
- [Hierarchy] ビューでも usbEngine1 が選択されます。
7. X ボタンをクリックして [Hierarchy] ビューを閉じます。
 8. X ボタンをクリックして [Resource Estimation] ビューを閉じます。
 9. [Layout] → [Reset Layout] をクリックし、デフォルトのウィンドウ サイズに戻します。

[Resources] タブの情報をさらに詳細なビューで表示

この手順ではリソースを種類別に表示する方法について説明します。次のビューには、さらに詳細な情報が表示されます。

1. [Window] → [Physical Constraints] をクリックし、次の図のように [Physical Constraints] ビューをメイン ウィンドウの左上に表示します。

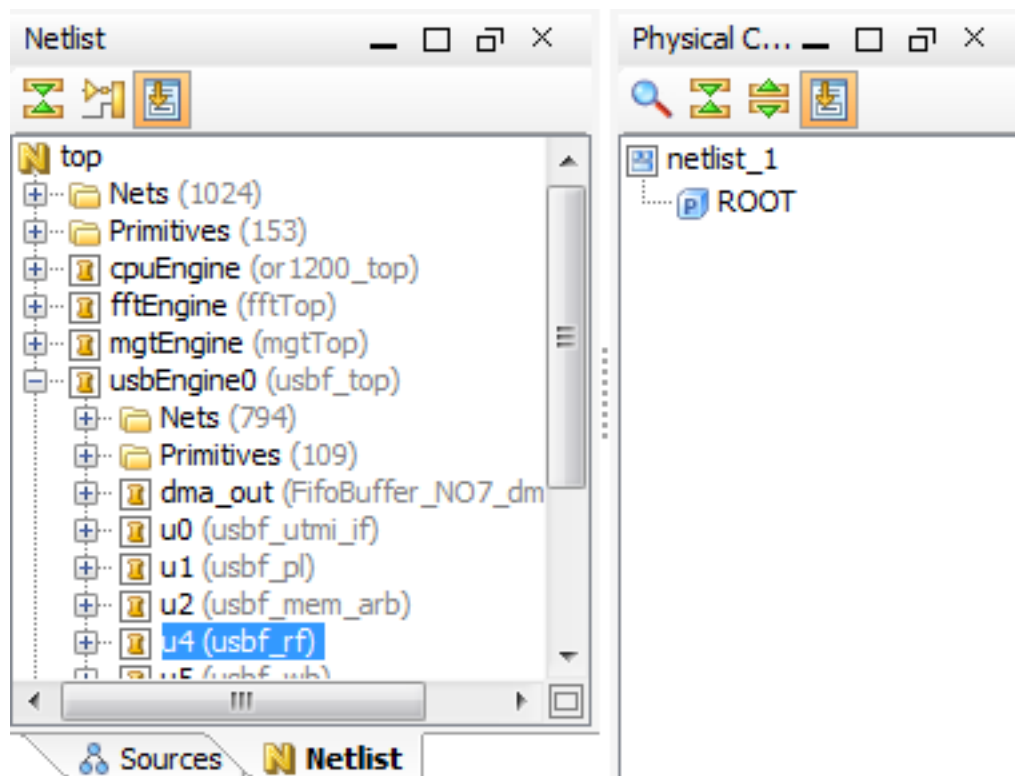

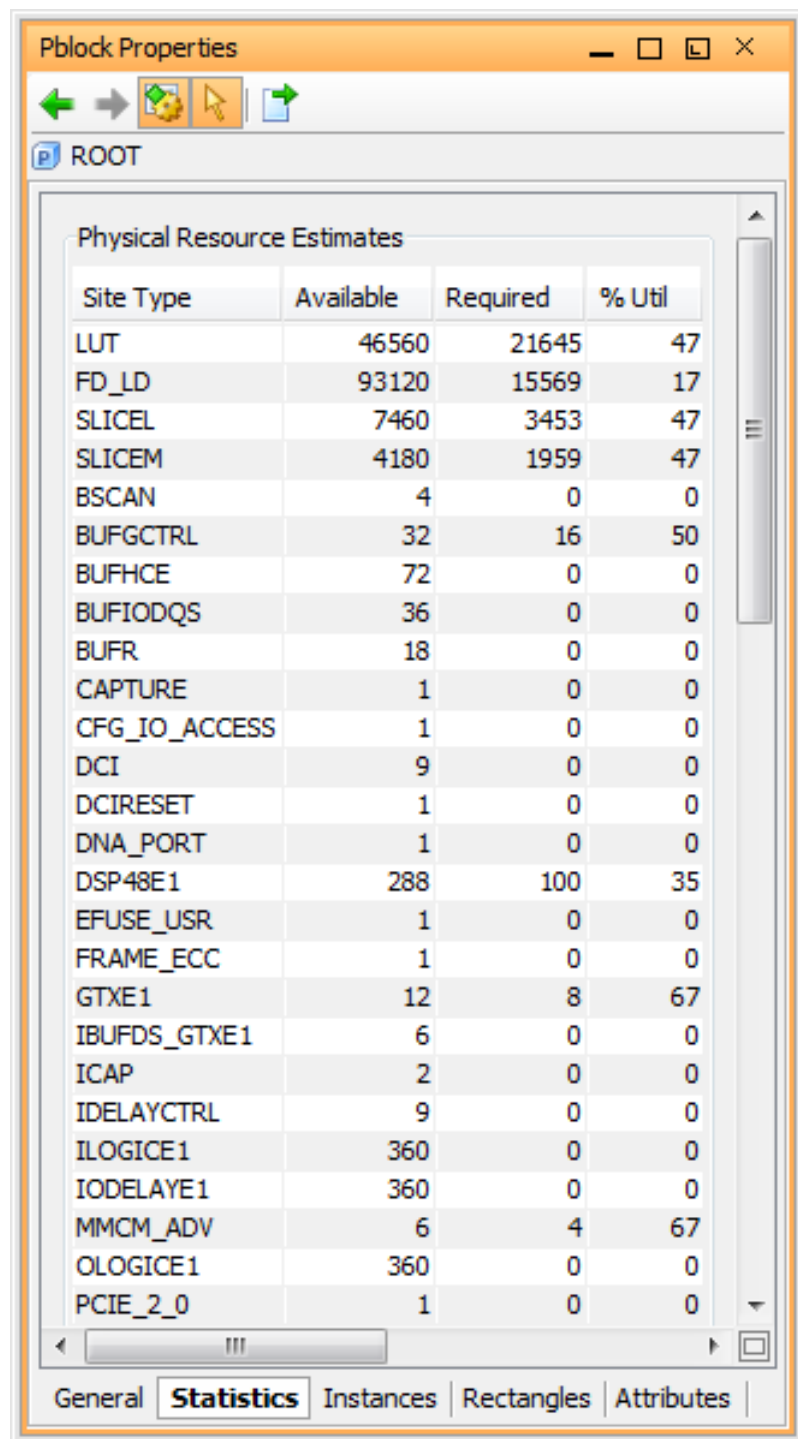


図 12 : [Physical Constraints] ビュー

2. ROOT デザインを選択します。
3. [Pblock Properties] ビューをクリックします。
4. [Statistics] タブがオンになっていない場合はそれをクリックします。
5. [Pblock Properties] ビューの [Physical Resources Estimates] フィールドを確認します (次の図を参照)。
6. [Properties] ビューの右上の最大化ボタン  をクリックして [Pblock Properties] ビューを最大化します。



The image shows a screenshot of the 'Pblock Properties' window in a design tool. The window has a title bar with standard OS controls. Below the title bar is a toolbar with icons for navigation and editing. The main content area is titled 'ROOT' and contains a section labeled 'Physical Resource Estimates'. This section displays a table with four columns: 'Site Type', 'Available', 'Required', and '% Util'. The table lists various FPGA resources and their utilization status. At the bottom of the window, there are tabs for 'General', 'Statistics', 'Instances', 'Rectangles', and 'Attributes', with 'Statistics' currently selected.

Site Type	Available	Required	% Util
LUT	46560	21645	47
FD_LD	93120	15569	17
SLICEL	7460	3453	47
SLICEM	4180	1959	47
BSCAN	4	0	0
BUFGCTRL	32	16	50
BUFHCE	72	0	0
BUFIODQS	36	0	0
BUFR	18	0	0
CAPTURE	1	0	0
CFG_IO_ACCESS	1	0	0
DCI	9	0	0
DCIRESET	1	0	0
DNA_PORT	1	0	0
DSP48E1	288	100	35
EFUSE_USR	1	0	0
FRAME_ECC	1	0	0
GTXE1	12	8	67
IBUFDS_GTXE1	6	0	0
ICAP	2	0	0
IDELAYCTRL	9	0	0
ILOGICE1	360	0	0
IODELAYE1	360	0	0
MMCM_ADV	6	4	67
OLOGICE1	360	0	0
PCIE_2_0	1	0	0

図 13 : デザイン リソース統計の表示

7. [Pblock Properties] ビューのデザイン統計をスクロール ダウンします。

注記 : [Statistics] タブには、キャリー チェーン数と最長チェーンの長さ、クロック レポート、I/O 使用率、プリミティブ インスタンスとインターフェイス ネット数などがロジック エLEMENTの種類別に表示されています。デザインに RPM が含まれる場合は、RPM の数と最大サイズも表示されます。

8. [Restore] ボタン  を使用して [Pblock Properties] ビューを元に戻します。

手順 4 : デザイン ルール チェック (DRC) の実行

インプリメンテーション前にデザイン ルール チェック (DRC) を実行し、一般的なデザイン問題がないかどうか確認するようにしてください。デザインのサインオフには ISE インプリメンテーション ツールの DRC が使用され、PlanAhead ソフトウェアの DRC よりも優先されます。

デザイン ルール チェック (DRC) の実行

1. [Tools] → [Run DRC] をクリックします。

[Run DRC] ダイアログ ボックスが表示されます。

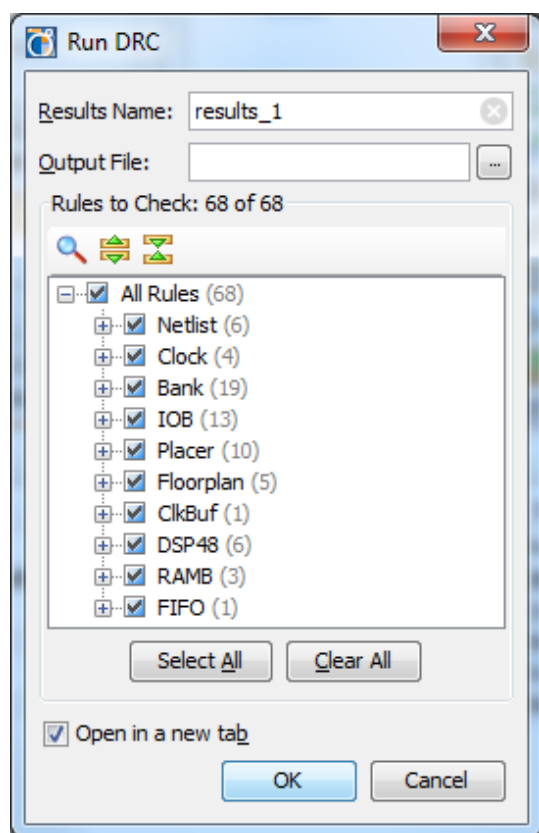


図 14 : DRC の実行

2. [OK] をクリックすると、すべてのルール チェックが実行されます。

[DRC Results] ビューに DSP48 に関する警告が複数表示されます。

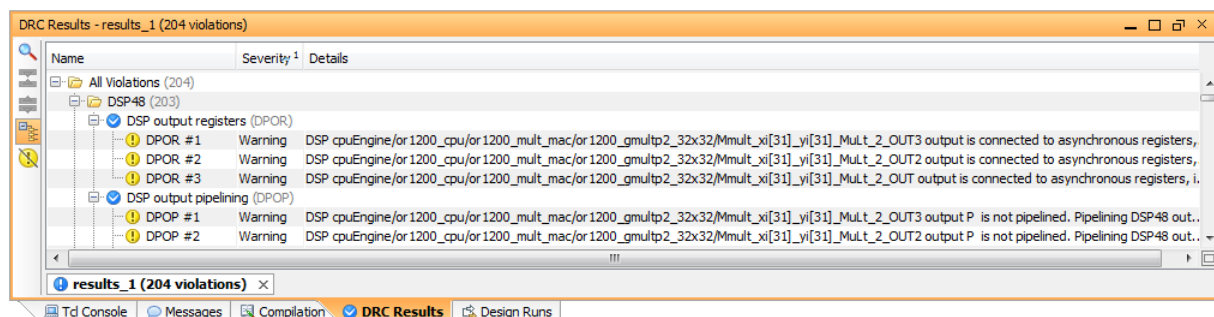


図 15 : デザイン ルール違反

エラー、警告、情報メッセージが [DRC Results] ビューに表示されます。

- 情報メッセージは青色のアイコンで表示されます。
- 警告は黄色のアイコンで表示されます。
- 重要な警告はオレンジのアイコンで表示されます。
- エラーは赤色のアイコンで表示されます。

DRC でエラーがレポートされても、インプリメンテーションは問題なく終了します。

3. [DRC Results] ビューで [DPOR #1] という警告をクリックします。

[Violation Properties] ビューが開き、違反が表示されます。

4. [Violation Properties] ビューで右クリックします。デフォルトで [Auto-Select Objects] が選択されており、DRC メッセージに含まれているインスタンスが自動的に選択されます。

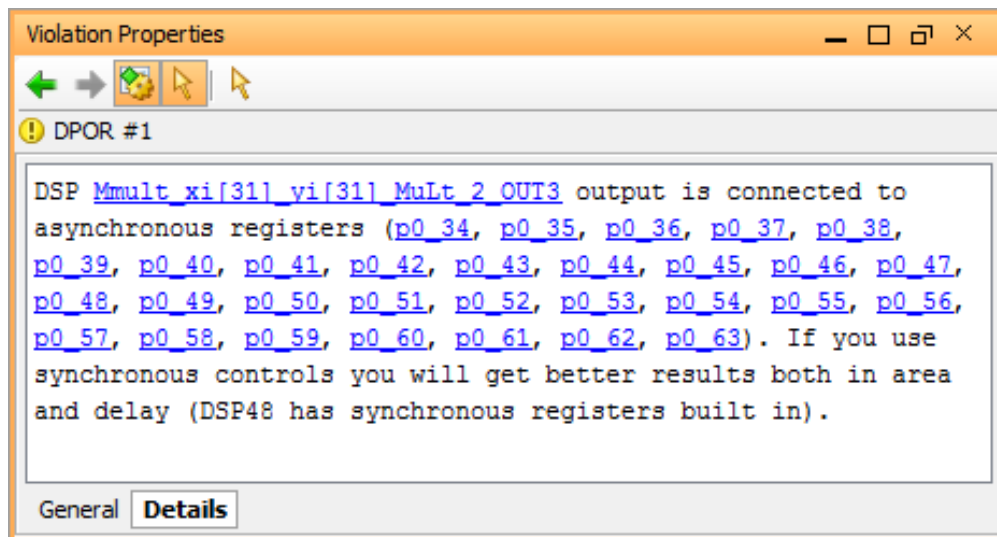


図 16 : [Violation Properties] ビュー

5. [Netlist] ビューをクリックします。

Mmult_xi[31]_yi[31]_MuLt_2_OUT3 が選択されています。

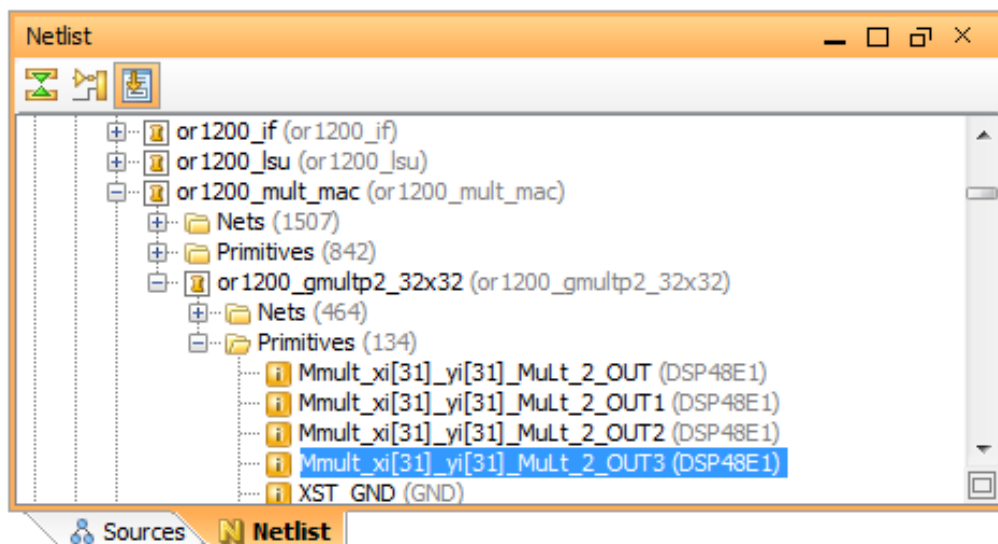


図 17 : [Netlist] ビューで選択されたインスタンス

6. [DRC Results] ビューで違反リストをスクロール ダウンしてみます。
7. X ボタンをクリックして [DRC Results] ビューを閉じます。

手順 5 : タイミング解析の実行

インプリメンテーションを実行する前に、デザインのタイミング制約の実現可能性を判断するため、予測配線遅延を含めた早期スタティック タイミング概算を実行しておきます。PlanAhead では配線遅延の予測が表示されますが、デザインがタイミングを満たしたかどうか (インプリメンテーション後) まではレポートされません。この手順では合成前のタイミングを解析します。

注記 : 完全に配置済みのデザインを使用した場合でも、デザインでタイミングが満たされているかどうかは、インプリメンテーション run をインポートしたときにインプリメンテーション TRACE ツールでしか確認できません。PlanAhead の [Report Timing] および [Slack Histogram] コマンドを実行しても、デザインでタイミングが満たされているかどうかは確認できません。

スラック ヒストグラムでタイミング エンドポイントを解析

[Slack Histogram] を実行すると、スラックに基づいてエンドポイントが分類され、タイミング情報と共にヒストグラムに表示されます。ヒストグラムを使用すると、タイミングの厳しいエンドポイントとそれ以外のものがいくつあるかがビジュアルに確認できます。

1. [Tools] → [Timing] → [Slack Histogram] をクリックします。
2. [Number of bins] を「20」に変更します。

[Generate Slack Histogram for Endpoints] ダイアログ ボックスは、次の図のようになります。

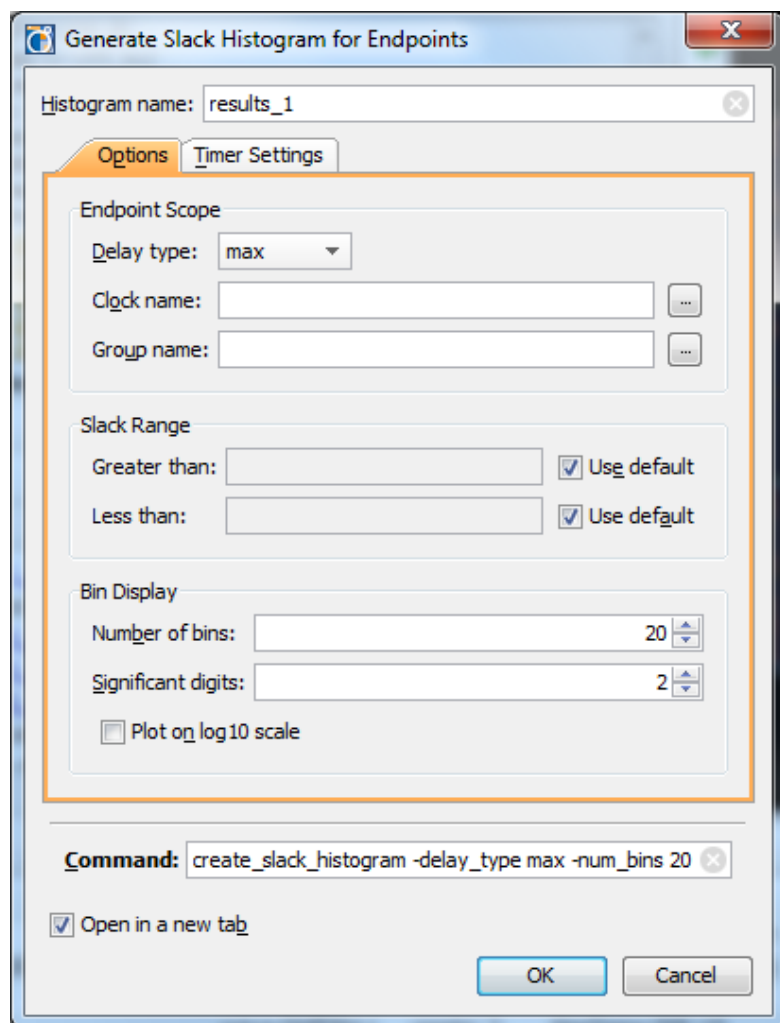


図 18 : [Generate Slack Histogram for Endpoints] ダイアログ ボックス

3. [Timer Settings] タブをクリックします。

4. 設定を確認します。

[Timer Settings] タブでは、配線遅延の処理方法を指定します。タイマーで配線遅延を予測するか、またはインターコネクト配線遅延がないものと想定するかを設定することができます。

5. [OK] をクリックします。

ヒストグラムにエンドポイントが棒グラフで分類されて表示されます。

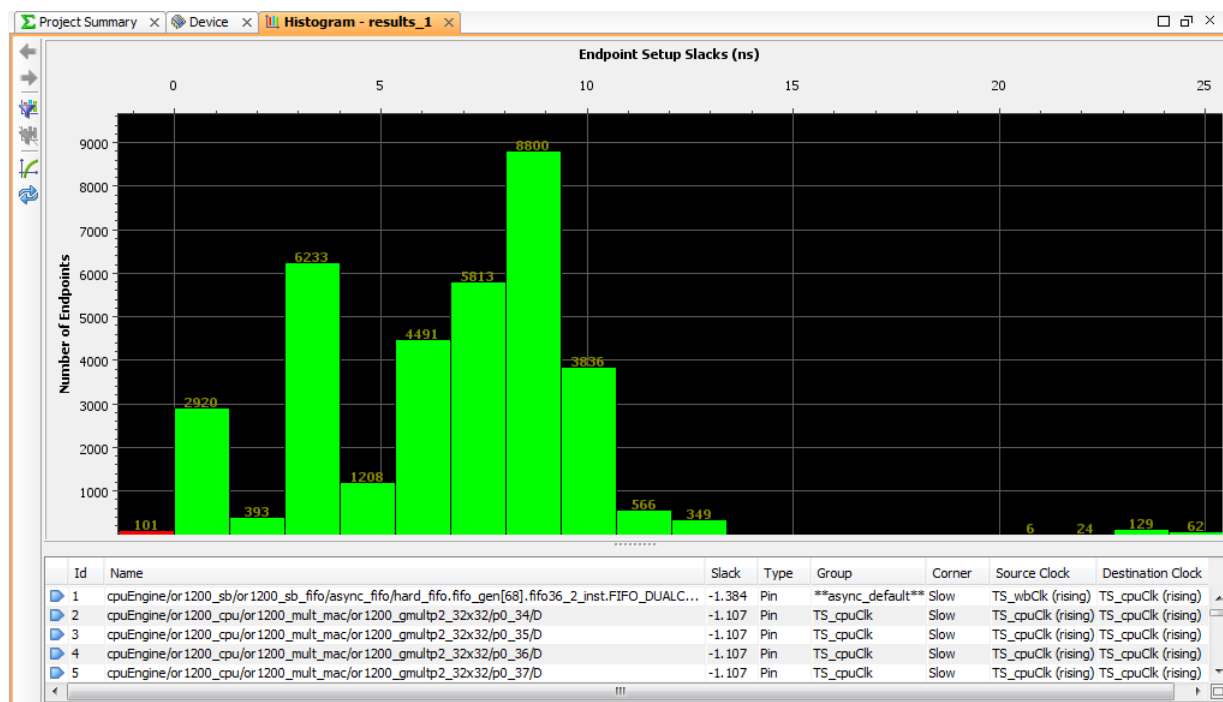


図 19 : スラック ヒストグラム

問題のあるエンドポイントはスラック 0 の縦線の左側に赤く表示されています。これらのエンドポイントには、タイミング問題が予測されます。

6. 棒グラフのさまざまな箇所をクリックしてみます。

棒グラフの各列を選択すると下にあるビューのエンドポイントがフィルターされます。スラック範囲もアップデートされます。

7. タイミング エラーになることが予測されるエンドポイントを含む一番左の列をクリックします。

8. エンドポイントを確認します。

タイミング エンドポイントが cpuEngine と 2 つの usbEngine 階層にあることがわかります。

9. ビュー タブの X マークをクリックして、ヒストグラムを閉じます。

タイミング解析を実行し、[Timing Results] ビューの結果と情報を検証

1. [Tools] → [Timing] → [Report Timing] をクリックします。

[Report Timing] ダイアログ ボックスの [Target] タブでは、タイミングのスタート ポイントとエンドポイントを指定できます。

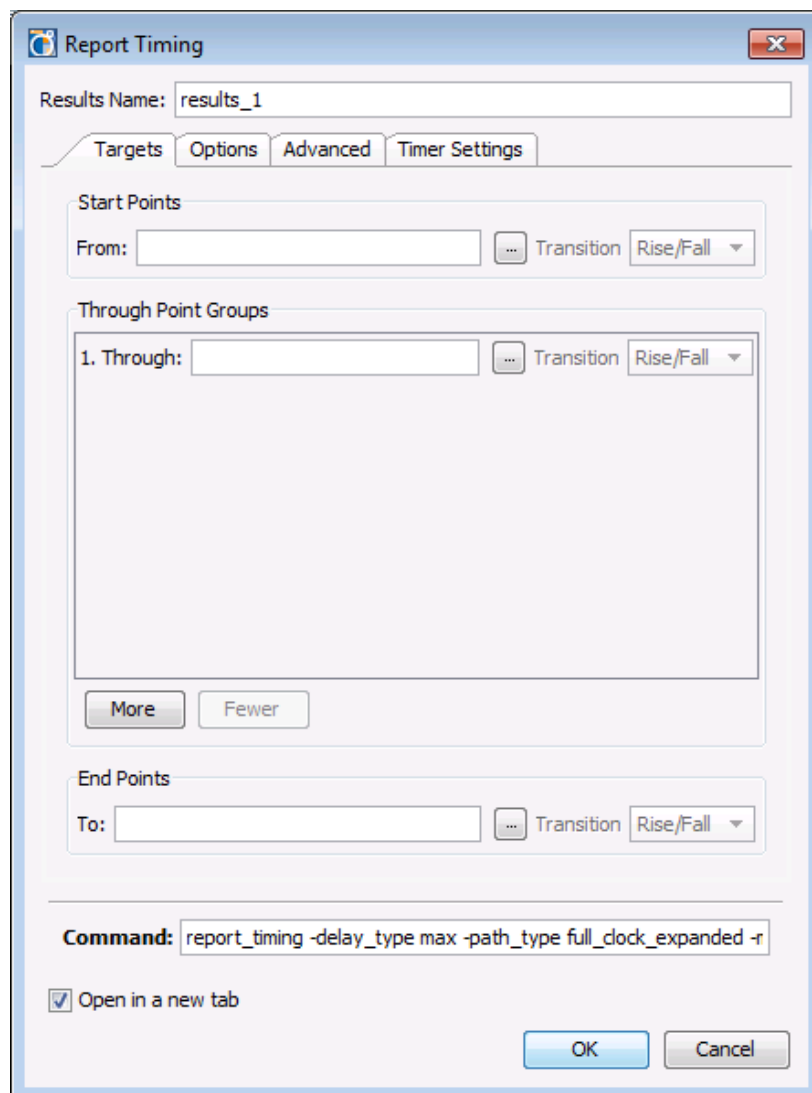


図 20 : タイミング解析の実行

2. [Options] タブをクリックします。

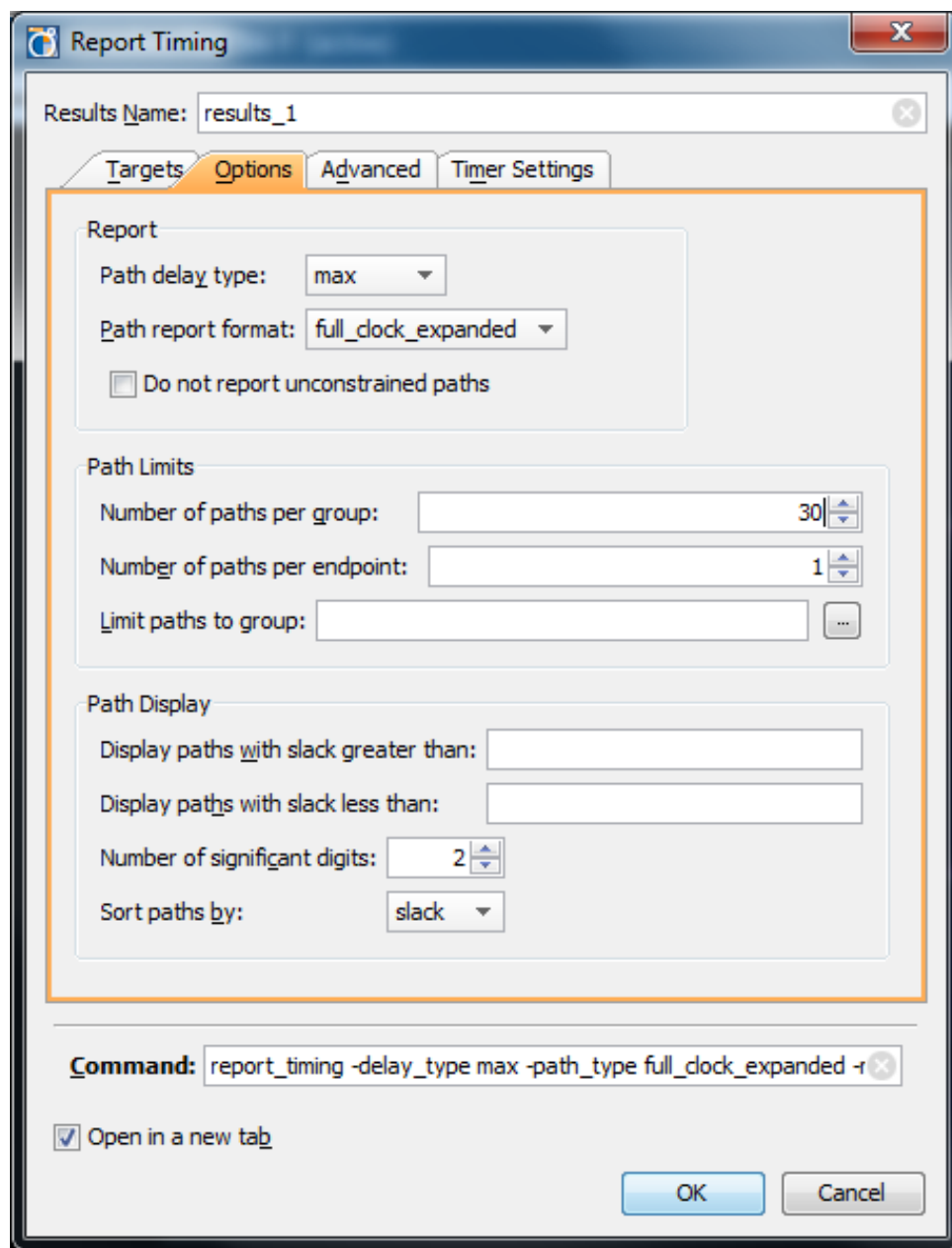


図 21 : [Report Timing] ダイアログ ボックスの [Options] タブ

3. [Number of paths per group] フィールドに「30」と入力します。
4. [Advanced] タブと [Timer Settings] タブもクリックして確認します。ここでは何も変更しません。

[Timer Settings] の [Interconnect] プルダウン リストには [Estimated] および [None] の 2 つの値があります。このタイミング エンジン は ISE のものとは異なり、正確な配線遅延を予測することはできません。配線数は配線遅延モデルに基づいて概算されます。

5. [OK] をクリックして解析を実行します。

[Timing Results] ビューが開きます。

Name	Type	Slack	From	To
Path 1	Slow SETUP	-1.38	reset_reg/Q	cpuEngine/or1200_sb/or1200_sb_fifo/async_fifo/hard_fifo.fifo_gen[68].fi...
Path 2	Slow SETUP	-1.11	cpuEngine/or1200_cpu/or1200_operandmuxes/operand_b_0_1/Q	cpuEngine/or1200_cpu/or1200_mult_mac/or1200_gmultp2_32x32/p0_34/D
Path 3	Slow SETUP	-1.11	cpuEngine/or1200_cpu/or1200_operandmuxes/operand_b_0_1/Q	cpuEngine/or1200_cpu/or1200_mult_mac/or1200_gmultp2_32x32/p0_35/D
Path 4	Slow SETUP	-1.11	cpuEngine/or1200_cpu/or1200_operandmuxes/operand_b_0_1/Q	cpuEngine/or1200_cpu/or1200_mult_mac/or1200_gmultp2_32x32/p0_36/D
Path 5	Slow SETUP	-1.11	cpuEngine/or1200_cpu/or1200_operandmuxes/operand_b_0_1/Q	cpuEngine/or1200_cpu/or1200_mult_mac/or1200_gmultp2_32x32/p0_37/D
Path 6	Slow SETUP	-1.11	cpuEngine/or1200_cpu/or1200_operandmuxes/operand_b_0_1/Q	cpuEngine/or1200_cpu/or1200_mult_mac/or1200_gmultp2_32x32/p0_38/D
Path 7	Slow SETUP	-1.11	cpuEngine/or1200_cpu/or1200_operandmuxes/operand_b_0_1/Q	cpuEngine/or1200_cpu/or1200_mult_mac/or1200_gmultp2_32x32/p0_39/D
Path 8	Slow SETUP	-1.11	cpuEngine/or1200_cpu/or1200_operandmuxes/operand_b_0_1/Q	cpuEngine/or1200_cpu/or1200_mult_mac/or1200_gmultp2_32x32/p0_40/D

図 22 : タイミング結果の解析

[Timing Results] ビューのレポートには、パスがリストされます。パス タイプ、スラック、ソース、デスティネーション、遅延合計、ロジック遅延、ネット遅延の割合 (%), ロジックの段数、ソースクロック、デスティネーション クロックが表示され、エラーのあったパスは赤色で表示されます。

6. [Timing Results] ビューを最大化します。

7. パスのリストをスクロール ダウンします。

注記 : リセット パスのネット以外、すべてのタイミング パスとエンドポイントが **cpuEngine** モジュールに含まれています。

8. [To] 列の見出しを 2 回クリックし、ソース別にリストを並べ替えます。

これで [To] 列の値に従って、レポートの内容が逆の順序に並べ替えられます。

注記 : PlanAhead では、表形式で表示される場合はすべてこの方法で並べ替えできます。


- 列の見出しをもう 1 度クリックすると逆の順序で並べ替えられます。
- Ctrl キーを押しながら、別の列見出しをクリックすると、さらにその列の値を元に並べ替えることができます。

9. [Timing Results] ビューを元に戻します。

10. [Timing Results] ビューを閉じます。

手順 6 : デザインのインプリメンテーション

インプリメンテーション ツールの動作を確認

1. [Sources] ビューが表示されていない場合は、[Window] → [Sources] をクリックして表示させます。
2. [Sources] ビューで [Collapse All] ボタン  をクリックして [constrs_2] フォルダを展開表示します。

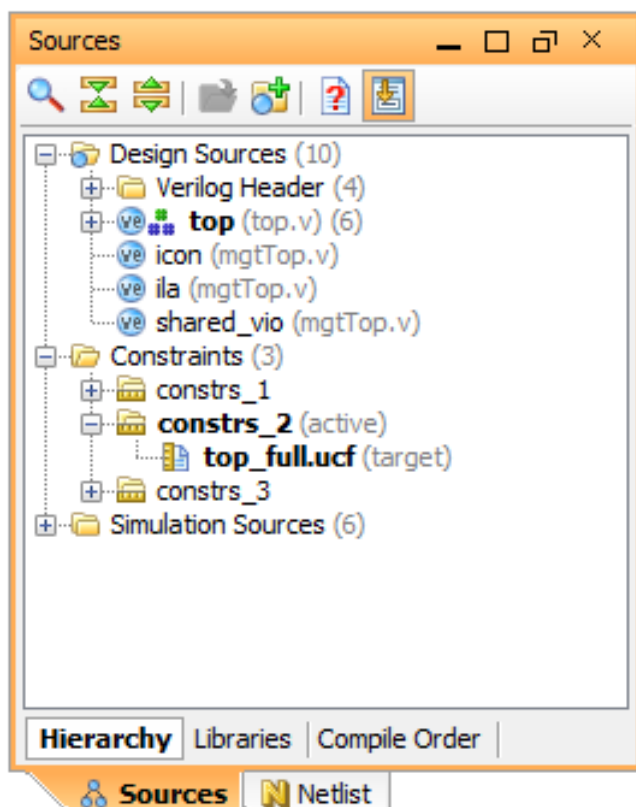


図 23 : [constrs_2] フォルダを展開表示させた状態の [Sources] ビュー

インプリメンテーション ツールを実行する場合、PlanAhead はデフォルトで選択されている制約ファイルを使用します。top_full.ucf を使用する constrs_2 がアクティブになっていることを確認します。[Netlist Design] または [Implemented Design] が開いた状態で変更を加えると、ディスクに保存されている UCF ではなく、これらの変更が使用されます。

3. **top_full.ucf** をダブルクリックしてファイルを開きます。制約ファイルの内容を確認します。

4. UCF ファイルを閉じます。変更は保存しません。

次に、NGDBuild、MAP、PAR、TRACE、および XDL といった ISE の配置配線ツールを使用してデザインをインプリメントします。

ここでは、既に実行済みのインプリメンテーション結果を使用して時間を節約します。実際のデザインでは、Flow Navigator の [Implement] ボタンをクリックしてインプリメンテーションを実行します。



図 24 : インプリメンテーションの開始ボタン

5. インプリメンテーションを再実行するかどうかを尋ねるメッセージが表示されたら、[Cancel] をクリックします。

このデザインのインプリメンテーションは既に実行されています。この確認メッセージは出力ファイルを上書きしてしまわないように表示されます。

6. Flow Navigator で [Implement Design] ボタンをクリックします。

インプリメント済みデザインからの結果が PlanAhead ソフトウェアにインポートされます。[Design] ビューには、各インスタンスの配置、配置配線後のタイミング情報が次の図のように表示されます。

7. [Netlist Design] を閉じるかどうか確認するメッセージが表示されたら、[Yes] をクリックします。

注記 : 以前にこのダイアログ ボックスを今後表示しないよう選択した場合は表示されません。この確認メッセージが表示されるようにするには、[Tools] → [Options] → [Window Behavior] をクリックし、[Show dialog before switching to a different design] をオンにします。

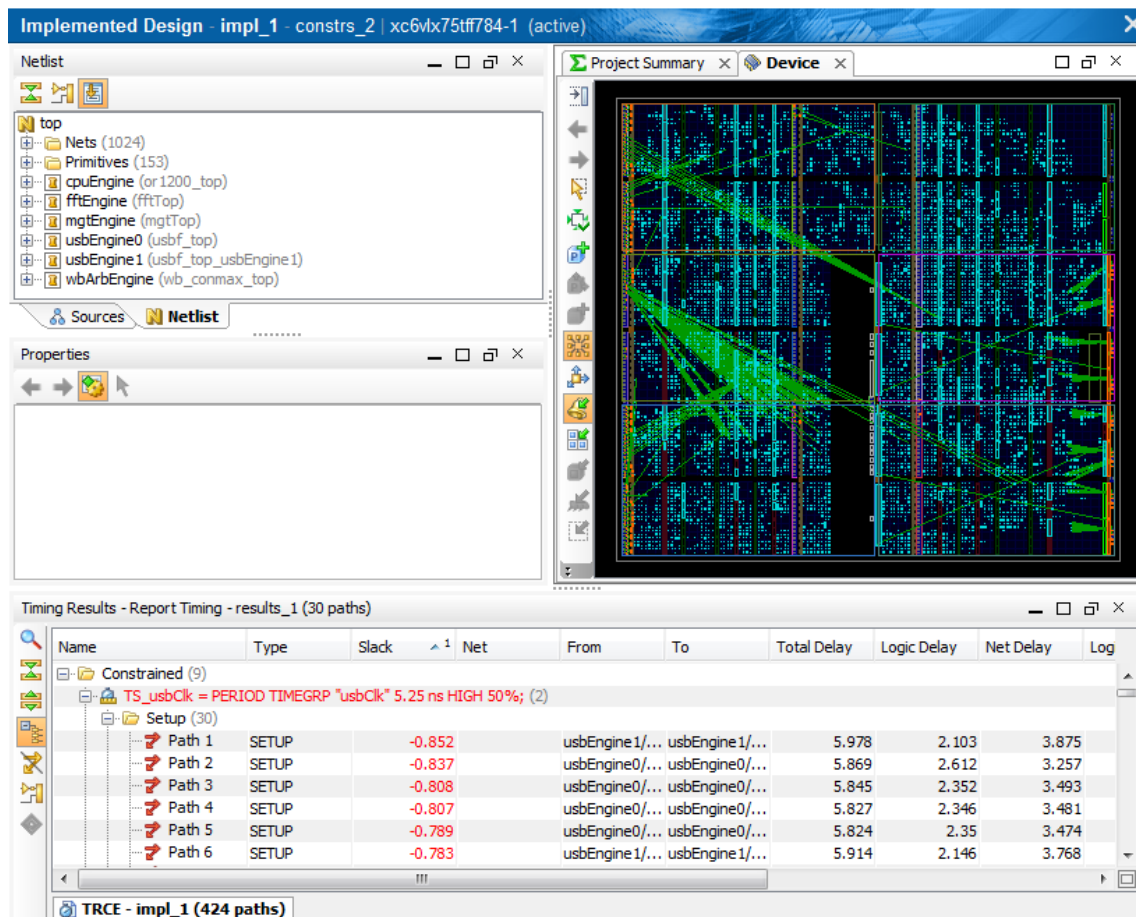




図 25 : インプリメント済みのデザイン

I/O ネットを表す緑色の線が表示されていない場合は、サイド ツールバーの [Show IO Nets]  をクリックします。

8. [Messages] ビュー タブをクリックし、[Messages] ビューを表示します。
9. [Collapse All] ボタン  をクリックします。
10. [Implementation] メッセージを展開表示します。
11. [Place & Route] を展開表示し、この手順で生成されたメッセージを確認します。

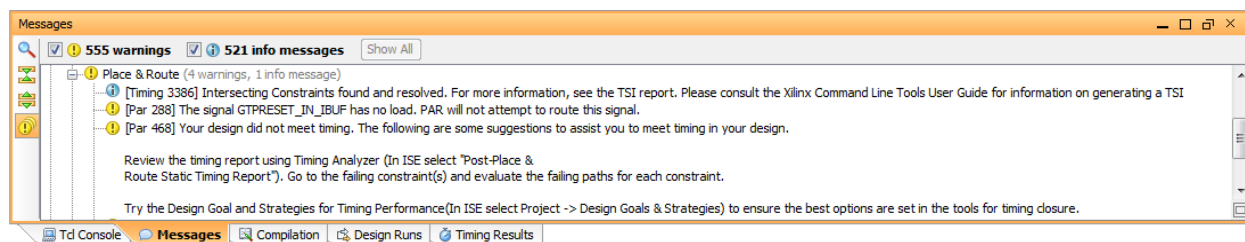


図 26 : メッセージ

注記 : [Messages] ビューには、すべての情報、警告、エラー メッセージが表示されます。

- ツールバーの一番上の青い丸に感嘆符の入ったアイコンをクリックすると情報メッセージが表示されます。
- 黄色の丸に感嘆符の入ったアイコンをクリックすると警告メッセージが非表示になります。

12. [Window] → [Reports] をクリックして [Reports] ビューを表示します。

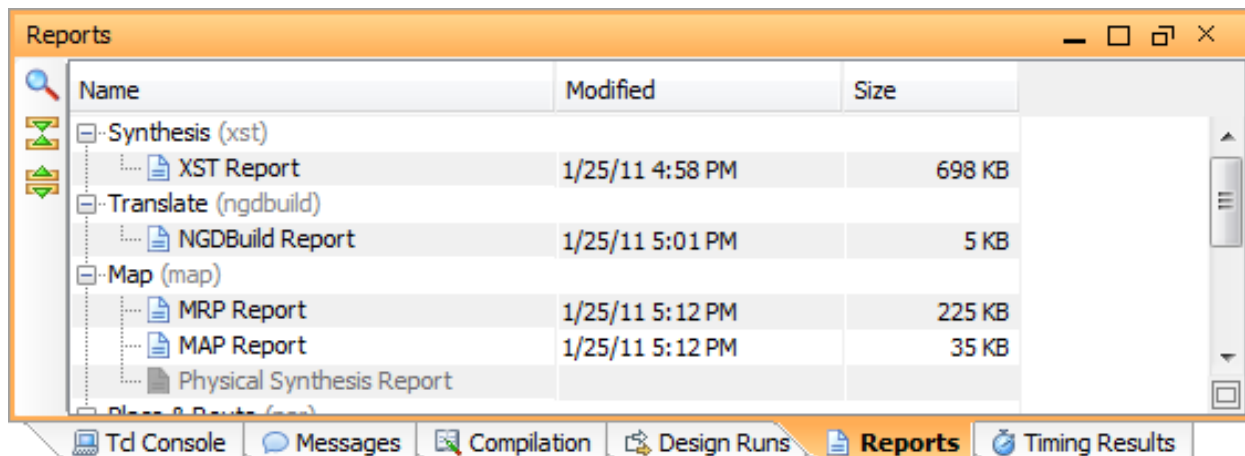


図 27 : レポート ファイルの表示

13. レポートのいずれかをダブルクリックし表示します。

14. レポート ファイルを閉じます。

手順 7 : タイミング結果の解析

インプリメンテーション後のタイミング結果を解析すると、フロアプランに役立ちます。[Timing Results] ビューでは、インポートされた TRACE レポート データが表示されるので、パスを並び替えたり選択することもできます。

インプリメンテーション後のタイミング結果を確認

1. [Timing Results] タブをクリックします。
2. [Timing Results] ビューで Path 1 を選択します。
3. 右クリックして [Mark] をクリックします。

Name	Type	Slack	Net	From	To	Total Delay	Logic Delay	Net Delay
Constrained (9)								
TS_usbCk = PERIOD TIMEGRP "usbCk" 5.25 ns HIGH 50%; (2)								
Setup (30)								
Path 1	SETUP	-0.852		usbEngine1/usb_in/buffer_fifo/Mram...	usbEngine1/usbEngineSRAM/di...	5.978	2.103	3.875
Path 2	SETUP	-0.837		usbEngine0/usb_dma_wb_in/buffer_...	usbEngine0/u4/dout_14	5.869	2.612	3.257
Path 3	SETUP	-0.808		usbEngine0/usb_dma_wb_in/buffer_...	usbEngine0/u4/dout_29	5.845	2.352	3.493
Path 4	SETUP	-0.807		usbEngine0/usb_dma_wb_in/buffer_...	usbEngine0/u4/dout_19	5.827	2.346	3.481
Path 5	SETUP	-0.789		usbEngine0/usb_dma_wb_in/buffer_...	usbEngine0/u4/dout_30	5.824	2.350	3.474
Path 6	SETUP	-0.783		usbEngine1/usb_in/buffer_fifo/Mram...	usbEngine1/usbEngineSRAM/di...	5.914	2.146	3.768

図 28 : 最もクリティカルなタイミング パスの選択

インポートされたタイミング パスが制約別に表示されます。[Timing Results] ビューのパスを選択すると、[Path Properties] ビューにそのタイミング パスの詳細が表示されます。

配置情報がインポートされているので、そのパスは [Device] ビューでもハイライトされます。必要であれば [Device] ビューを手前に表示します。[Device] ビューを使用すると、タイミングを改善するためのフロアプランがしやすくなります。

[Mark] コマンドを実行すると、タイミング パスの起点を示す赤い菱形と、その終点を示す緑の菱形が表示されます。

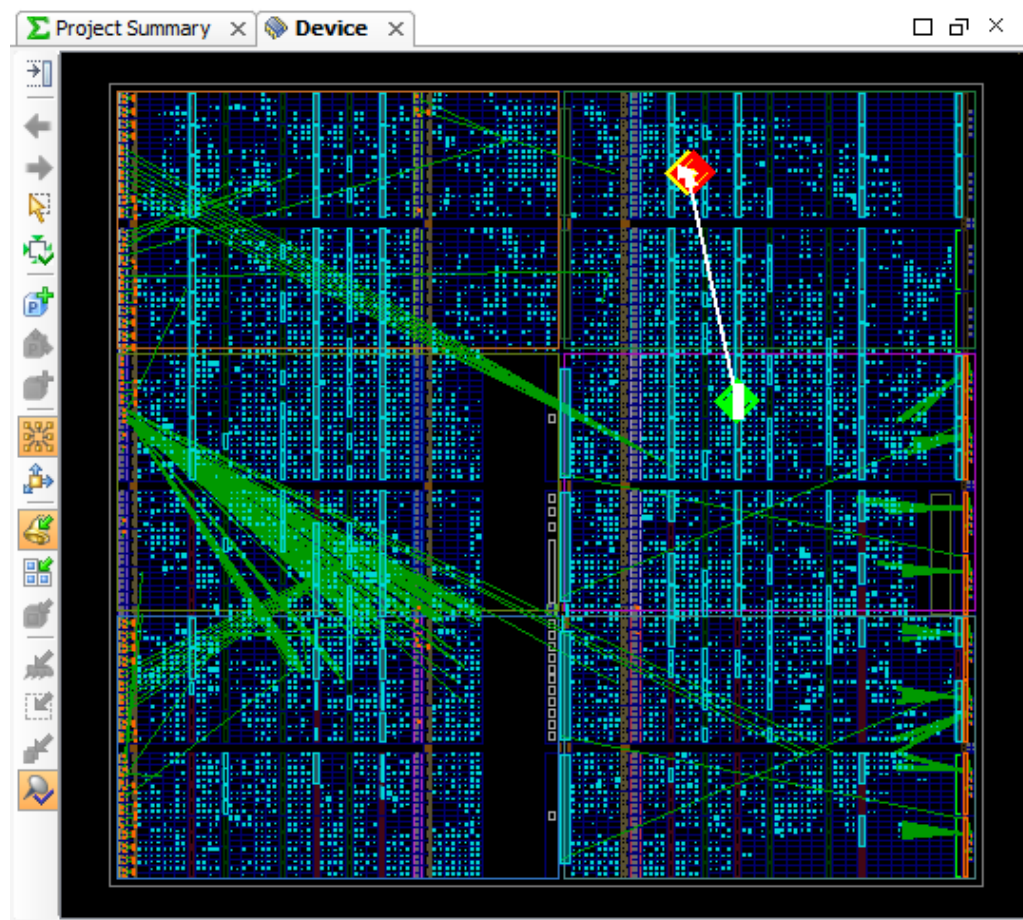


図 29 : タイミング パスの配置

4. [View] → [Unmark Mark] をクリックしてマークを非表示にします。
5. タイミング パスは制約別にまとめられています。ワースト ケースのエラーのあるパスは、TS_usbClk に含まれています。
6. [Timing Results] ビューで [From] を 2 回クリックし、名前の降順にスタートパスを並び替えます。
7. Shift キーを押しながら usbEngine1/* を起点にしている TS_usbClk のパスをすべて選択します。ほかのパスは選択しないでください。
8. 右クリックして [Schematic] をクリックします。

[Schematic] ビューに選択したパス上にあるインスタンスがすべて表示されます。

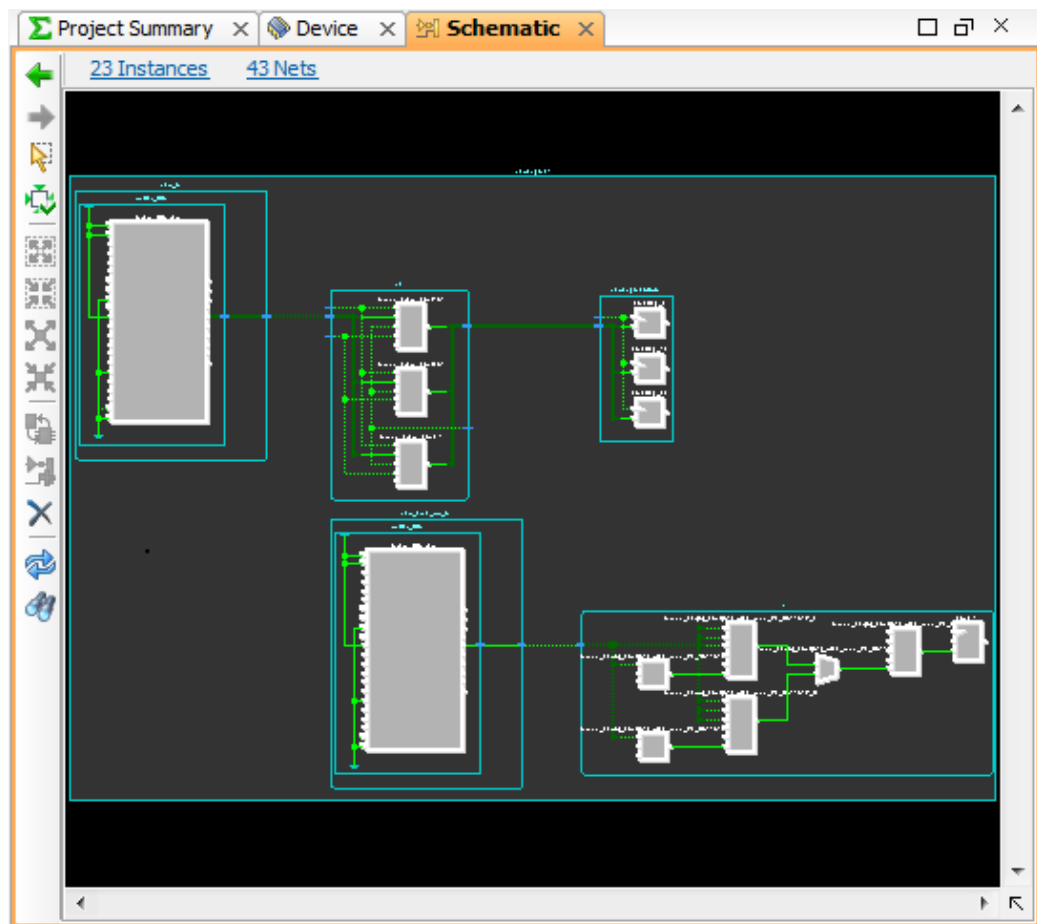



図 30 : 問題のあったタイミング パスを回路図で確認

9. [Netlist] ビューで [Collapse All] ボタン  をクリックします。
10. [Schematic] ビューで右クリックし、[Select Primitive Parents] をクリックして選択したパス上にあるインスタンスすべてを含む一番小さな親モジュールを選択します。

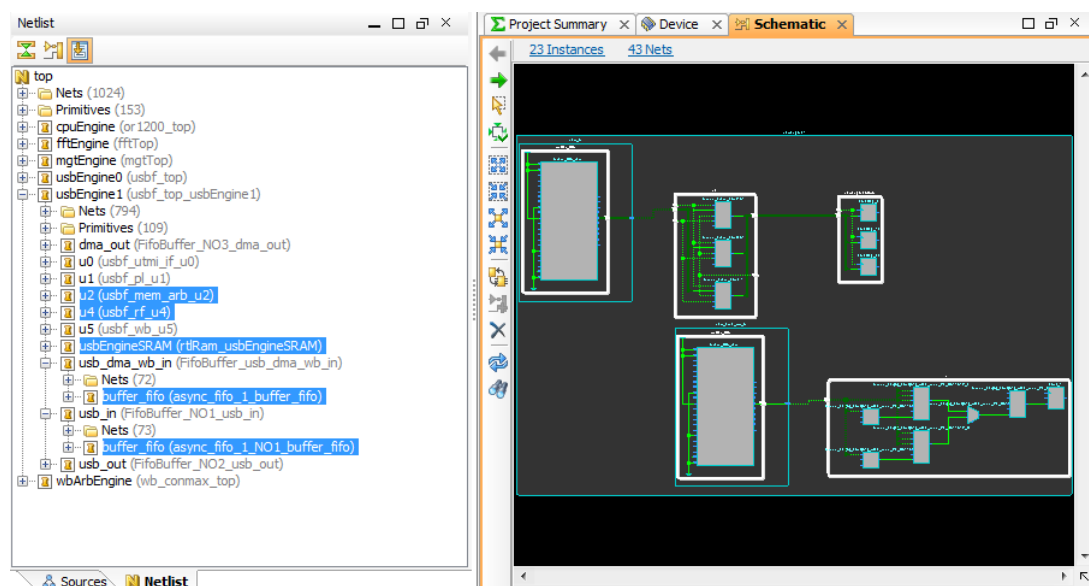


図 31 : パス オブジェクトの親モジュールの選択

[Netlist] ビューで対応するロジック モジュールが選択されます。

11. 右クリックし、[Show Hierarchy] を選択するか、F6 キーを押します。
12. usbEngine1 の左側から [Zoom Area] コマンドを使用してクリティカルな階層を拡大表示します。

ヒント : [Zoom Area] コマンドをマウスで実行するには、モジュールの左上端のすぐ外側にカーソルを移動し、マウスのボタンを押したまま、モジュールの右下端にドラッグしてから、マウスを放します。必要に応じてこの動作を繰り返し、[Hierarchy] ビューでパス ロジックがハイライトされた状態で、3 つのモジュールを確認します。

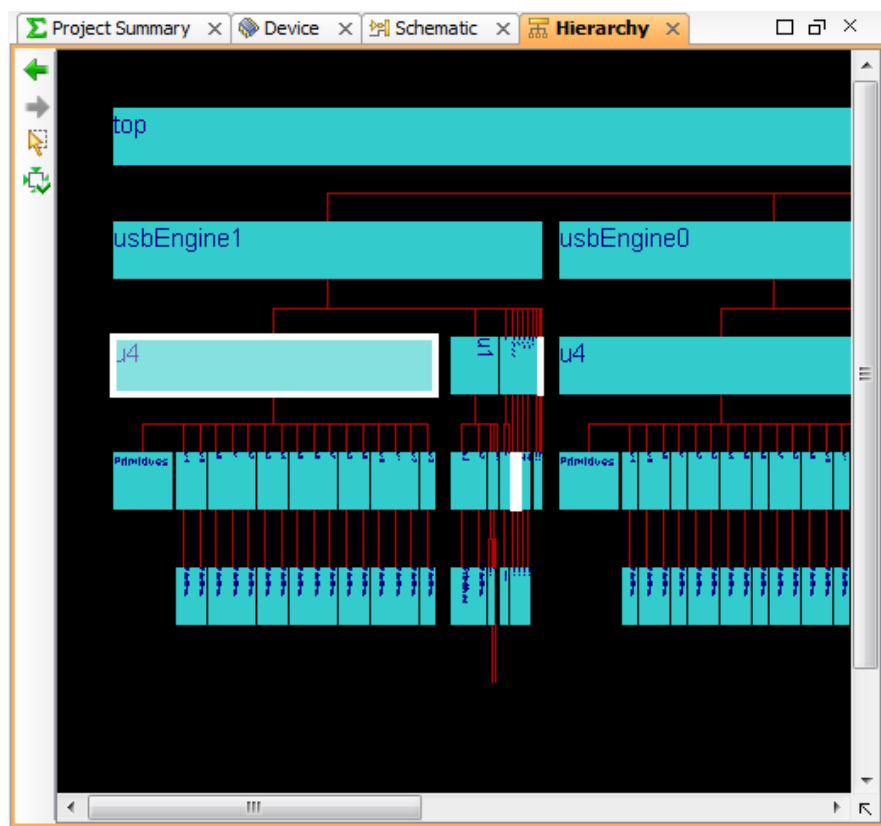



図 32 : [Hierarchy] ビューでの選択したロジックの表示

ロジックはすべて usbEngine に含まれ、そのブロックの大部分を占めています。同じ usbEngine がもう 1 つあります。これらの 2 つの階層はタイミングクリティカルで、フロアプランに適しているかどうか検証する必要があります。

13. X ボタンをクリックして [Hierarchy] ビューを閉じます。
 14. X ボタンをクリックして [Schematic] ビューを閉じます。
 15. [Timing Results] ビューで Path 1 を選択します。
 16. 右クリックし、[Schematic] を選択します。
 17. [Unselect All] ツールバー ボタン  をクリックするか、F12 キーを押します。
- パス ロジックが [Schematic] ビューに表示されます。

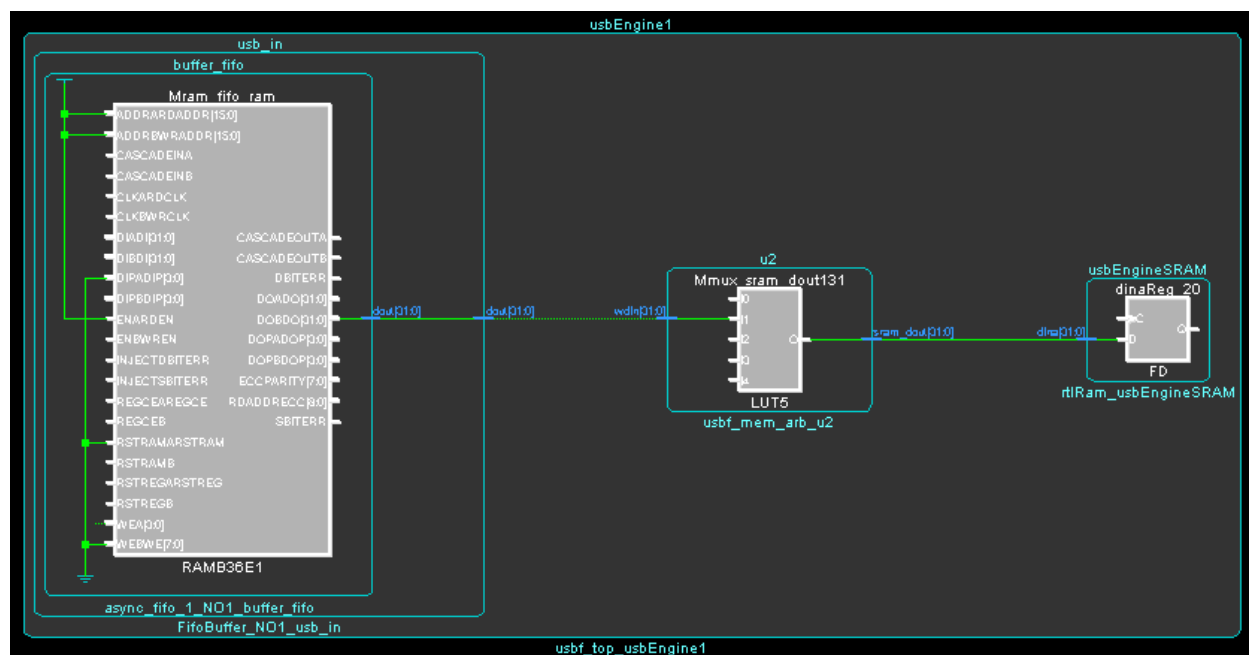



図 33 : タイミング パス ロジックの回路図での表示

階層レベルは同心の長方形で表示されます。これにより、クリティカル パス ロジックに関連するロジック モジュールが判別しやすくなります。

18. 左の「Mram_fifo_ram」(usbEngine1/usb_in/buffer_fifo の次) という名前の RAMB36E1 をクリックします。

19. [Collapse Outside] ボタン  をクリックします。

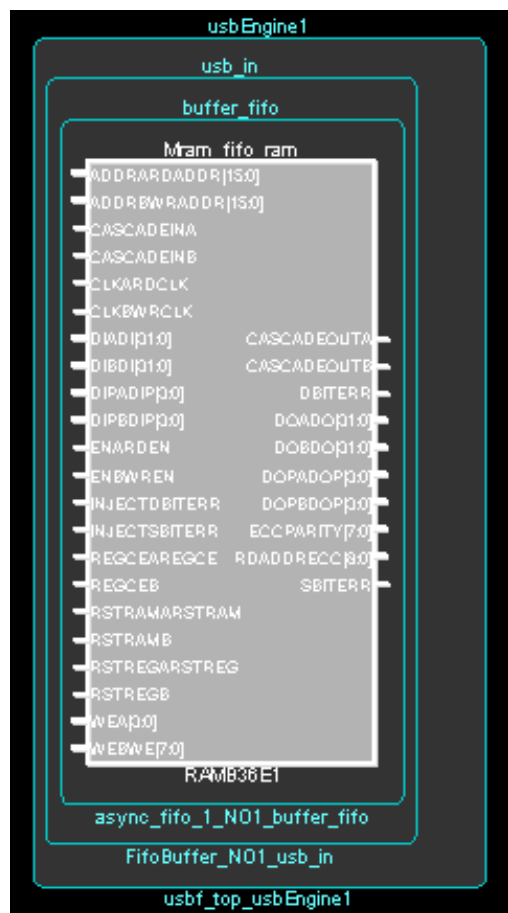


図 34 : クリティカル パス ソース

20. ブロック RAM の左上にある ADDRARDADDR[15:0] ピンをダブルクリックすると、このピンに接続されているロジックが展開表示されます。

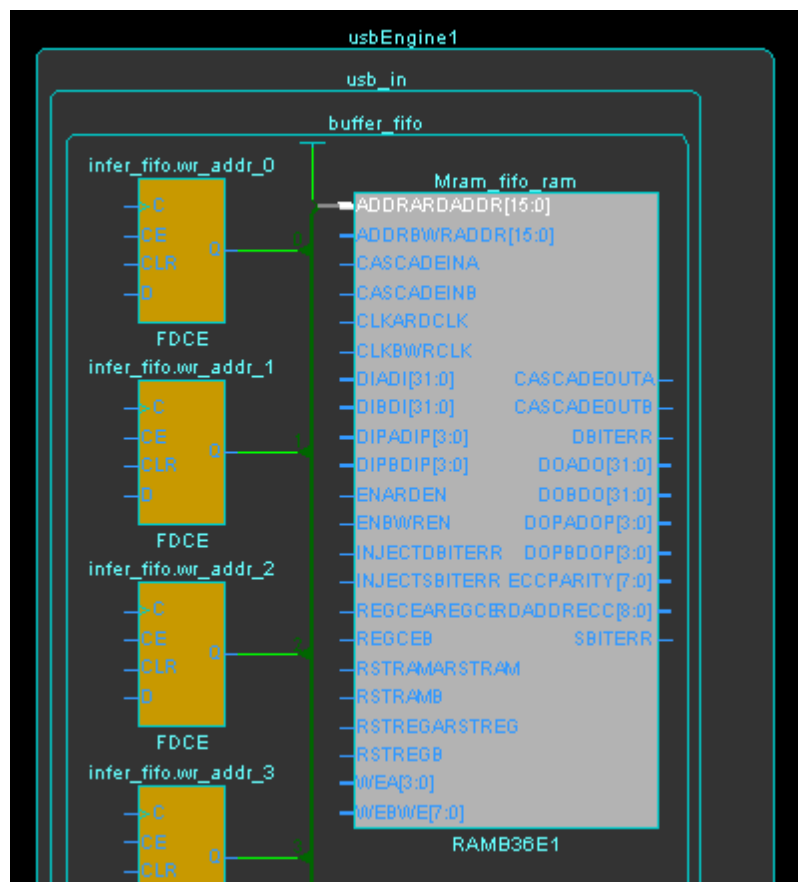



図 35 : [Schematic] ビューでのロジックの展開表示

21. 展開された一番上のインスタンス `wr_addr_0` をダブルクリックすると、接続されているロジックが回路図に追加されます。

22. [Schematic] ビューで [Previous schematic] ボタン  をクリックします。

[Previous schematic] および [Next schematic] ツールバー ボタンをクリックすると、[Schematic] ビューでさまざまな表示を確認できます。このボタンを使用し回路図レベルを切り替えて表示できます。

注記 : [Edit] → [Undo] コマンドは、[Schematic] ビューでは使用できません。

23. `buffer_fifo` モジュールを表す長方形をクリックします。これには、`RAMB36E1` インスタンスが含まれます。

24. X ボタンをクリックして [Schematic] ビューを閉じます。

このブロック RAM への入力、usbEngine ブロックに含まれています。ほかの階層はフロアプランする必要はありません。

25. [Device] ビューを表示します。

26. [Unselect All] ツールバー ボタン  をクリックするか、F12 キーを押します。

27. [Netlist] ビューで [Collapse All] ボタン  をクリックします。

手順 8 : モジュール レベルの配置のハイライト

フロアプラン ストラテジは、前のインプリメンテーション結果を検証することで決定できます。フロアプランなしでロジックがどのようにインプリメントされたかを理解することで、モジュールの配置を解析し、Pblock の位置を決定できます。

モジュールをハイライトして配置を見やすく変更

1. [Netlist] ビューで usbEngine0 および usbEngine1 を選択します。
2. 右クリックし、[Highlight Primitives] → [Cycle Colors] をクリックします。
3. [Device] タブをクリックし、ハイライトを表示します。

各モジュールのプリミティブがそれぞれ別の色で表示されます。

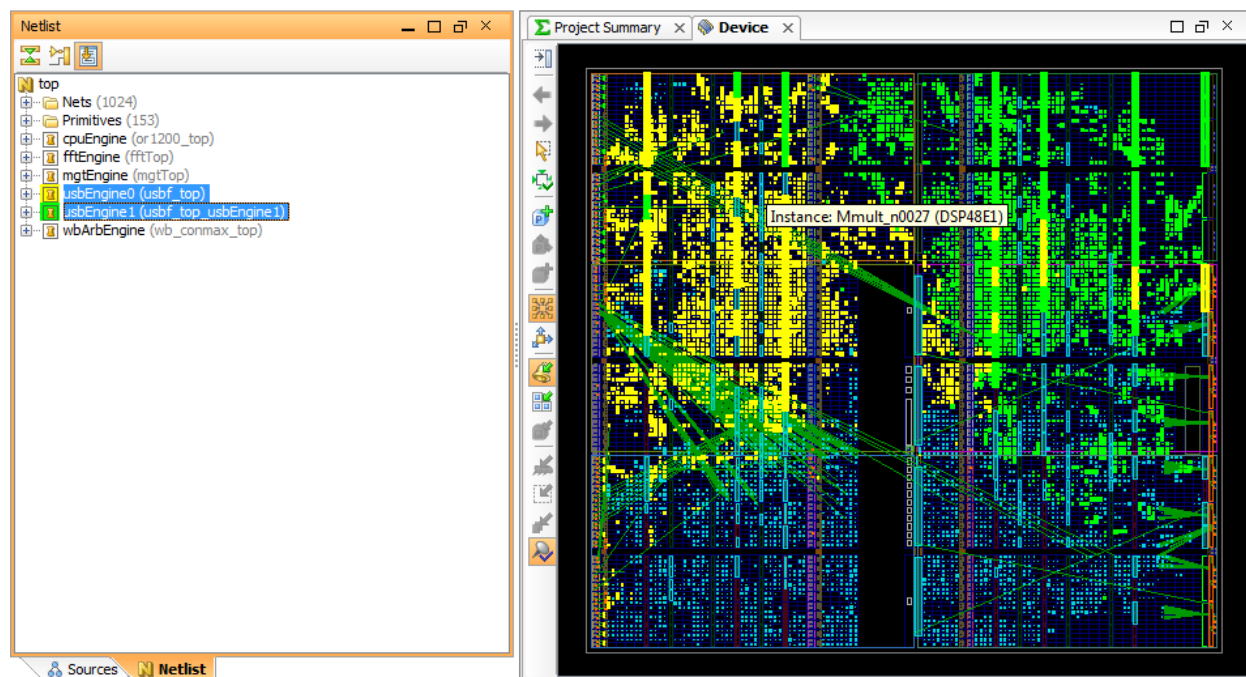



図 36 : モジュールの配置のハイライト

プリミティブが広い範囲に広がっているのがわかります。スクロールしたり、拡大レベルを変更したりしてください。ロジックが広がっているのがわかります。2 つのブロックからのブロック RAM が交差しています。これらは、フロアプランをすると、タイミングが改善される可能性があります。

4. [Device] ビューで [Device View Layers] ボタン  をクリックします。
5. [Instances] の横のチェックボックスをオフにします。

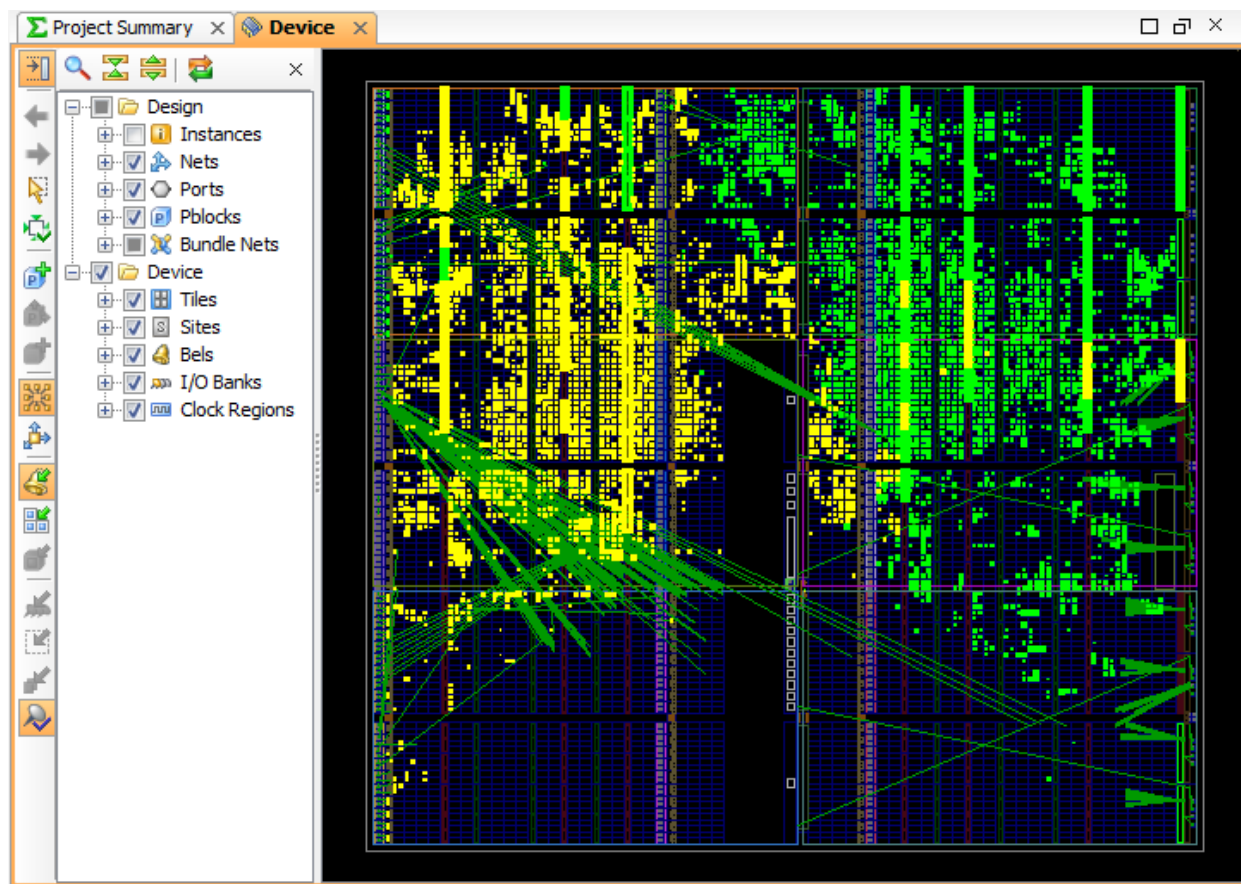




図 37 : [Device] ビューの簡素表示

[Netlist] ビューや [Device] ビューのさまざまなエレメントを非表示にすると、ビューが見やすくなります。

6. [Instances] の横のチェックボックスをオンにして、配置の表示を元に戻します。
7. [Device View Layers] ボタン  をクリックして、メニューを非表示にします。
8. メイン ツールバーで [Unhighlight All] ボタン  をクリックします。

手順 9 : 接続の確認

PlanAhead ソフトウェアには、ロジックの拡張、選択、ハイライトなどの機能があります。これらの機能を使用し、モジュールをフロアプランしやすいようにします。たとえば、デバイス全体に広がるロジックに接続されているロジック モジュールはフロアプランには向いていませんが、グループにまとめられているロジック モジュールや内蔵型モジュールはフロアプランに適しています。

ロジックがクリティカル ロジック エリアに含まれないようにフロアプランすると、配線の密集やタイミング競合を回避できます。

I/O 接続の表示

[Device] ビューの緑のラインは、配置済みのインスタンスから I/O ピンへの I/O 接続を表します。このラインが表示されていない場合は、[Device] ビューのツールバーにある [Show/Hide I/O Nets] ボタンをクリックします。

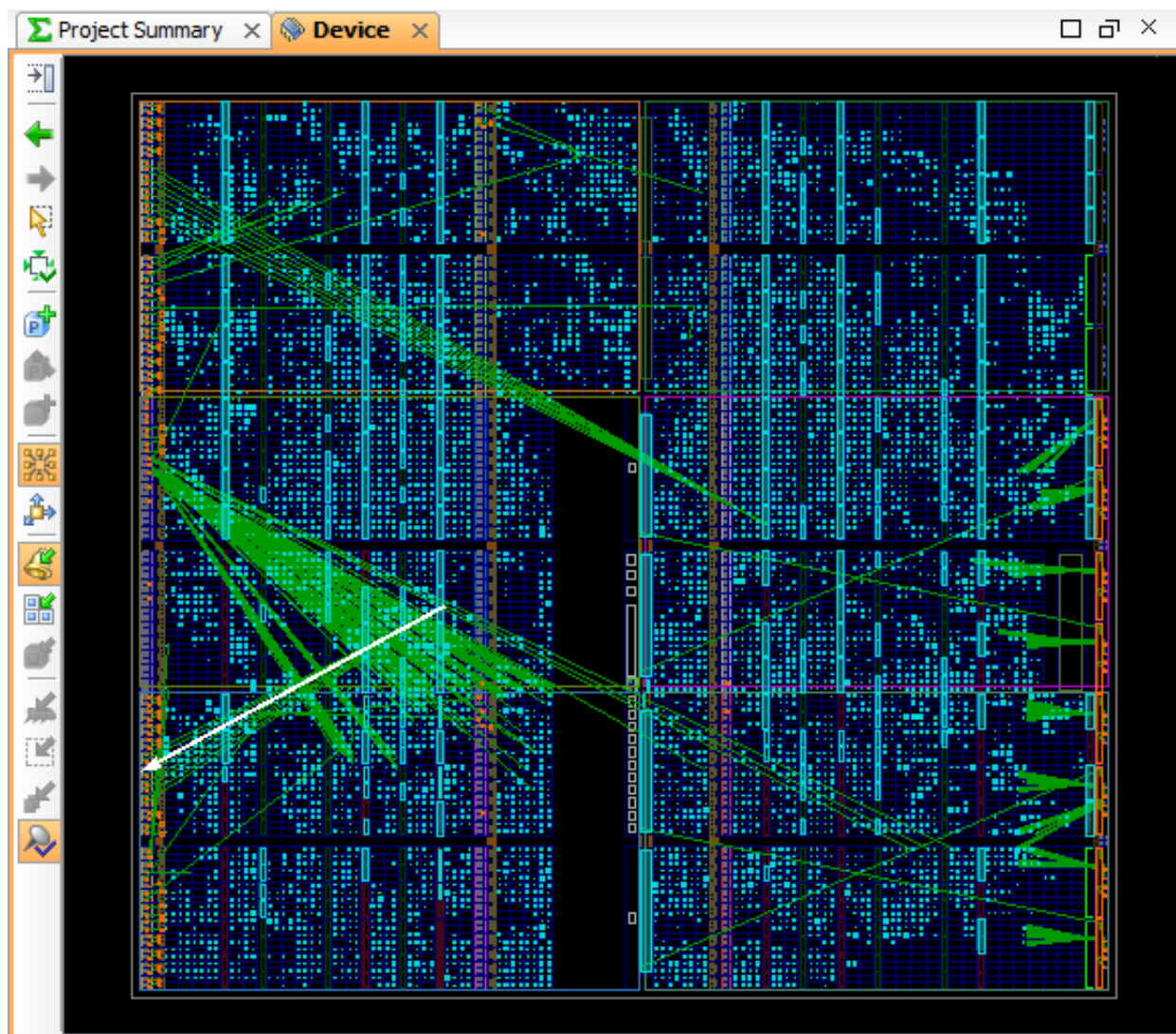


図 38 : I/O 接続を表示した [Device] ビュー

チップの左側の I/O ラインが離れたところまで伸びているのがわかります。


1. バンク 14 (チップの左下の I/O バンク) の一番上の部分に接続される I/O ネットの 1 つをクリックします。

ネットを選択しにくい場合は、PlanAhead の [Options] ダイアログ ボックスで I/O ネットの [Select] チェックボックスがオンになっているかどうか確認してください。チェックボックスは次の手順で設定します。

- a) [Tools] → [Options] をクリックします。
- b) [Options] ダイアログ ボックスの左側のメニューで [Themes] をクリックし、[Device] タブをクリックし、[Select] がオンになっていることを確認します。

PlanAhead のオプション設定方法の詳細は、『PlanAhead ユーザー ガイド』(UG632) を参照してください。

http://japan.xilinx.com/support/documentation/sw_manuals/xilinx13_3/PlanAhead_UserGuide.pdf

2. [Netlist] ビューを確認します。このネットは、usbEngine0/dma_out/buffer_fifo/DataOut_pad_o バスの一部です。
3. [Netlist] ビューで [Collapse All] ボタン  をクリックします。

4. [Netlist] ビューで usbEngine0 および usbEngine1 を選択します。

5. 右クリックで [Show Connectivity] を選択します。

usbEngine0 および usbEngine1 モジュールからデザインのほかの部分へ接続されたインターフェイス ネットが黄色で表示されます。

6. 右クリックで [Show Connectivity] をもう 1 度選択し、インターフェイス ネットに接続されるロジック オブジェクトをすべて表示します。

7. 右クリックで [Show Connectivity] をもう 1 度選択し、これらの選択したロジック オブジェクトから広がったネットすべてをハイライトします。

[Show Connectivity] コマンドは、ソース ネットまたはロジック オブジェクトからのロジックの広がりをハイライトまたは選択するのに使用できます。

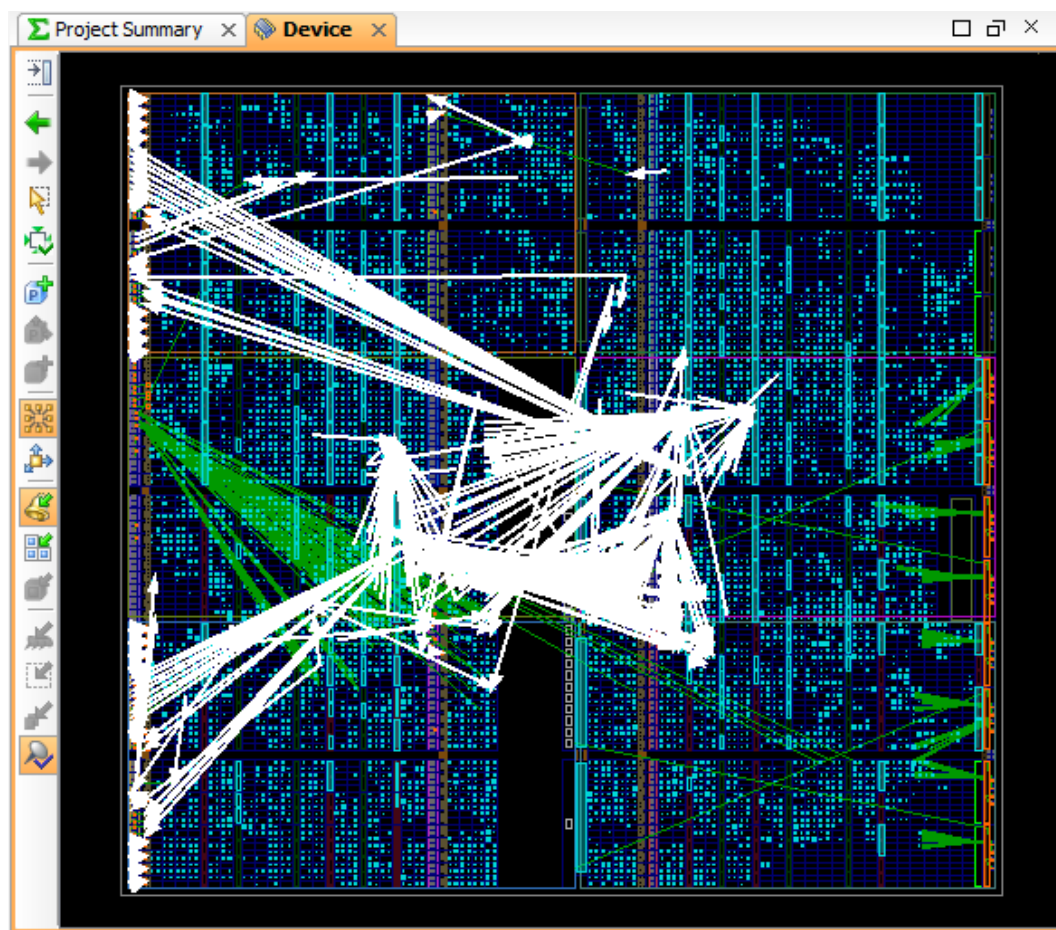


図 39 : [Show Connectivity] コマンドの使用

8. [Unselect All] ツールバー ボタン  をクリックするか、F12 キーを押します。

手順 10 : 配置制約の使用

この手順では、プリミティブの種類に基づいて配置を検索する方法と、インプリメンテーション中の配置配線で作成された配置すべてを削除する方法について説明します。

配置されたインスタンスを表示

1. [Edit] → [Find] をクリックします。
2. [Primitive] フィールドを [Block RAM] に変更します。

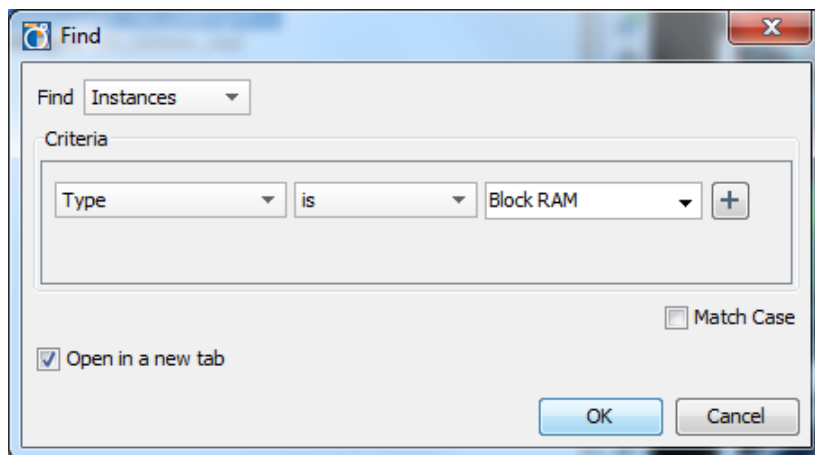


図 40 : [Find] ダイアログ ボックス

3. [OK] をクリックします。
 4. [Find Results] ビューでブロック RAM を選択します。
 5. Shift キーまたは、Ctrl + A キーを押してブロック RAM すべてを選択します。
- [Device] ビューですべてのブロック RAM が選択されます。

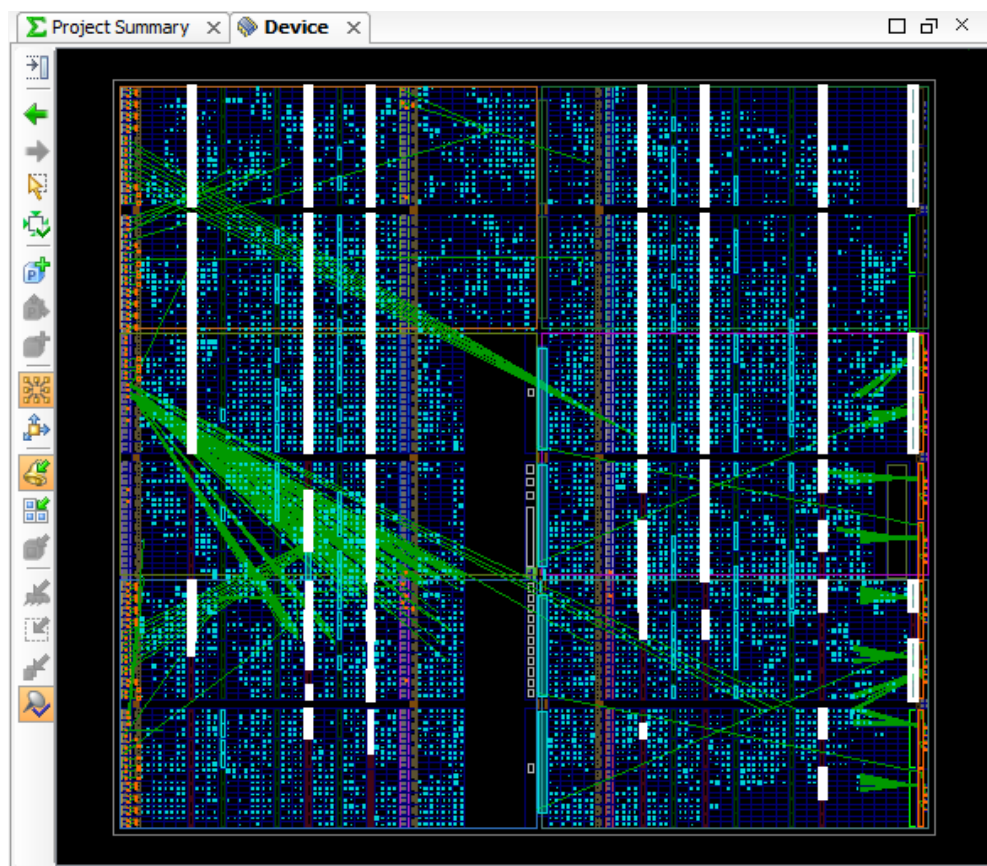



図 41 : ブロック RAM が選択された [Device] ビュー


余分なネットが多く表示されている場合は、[Show/Hide connections for selected instances] ボタン  で表示を切り替えます。プリミティブの種類は、階層に基づいてのみ選択すると便利です。usbEngine1 のブロック RAM のみを選択してみます。ブロック RAM はデバイス全体に広がっているなので、この配置を維持する理由はありません。

[Clear Placement Constraints] コマンドを使用して配置制約をすべて削除

この手順では、後の手順のデータフローを理解しやすくするため配置を削除します。Clear Placement Constraints ウィザードを使用すると、配置制約を選択して削除できます。I/O およびクロック関連のリソースは通常変わらないのでデバイスロジックからは分離されていて、ISE ソフトウェアの run からインポートされた配置制約をすばやく削除できます。ロジックのタイプ別フィルターもあり、タイプ別に配置制約を選択して削除することもできます。

1. [Tools] → [Floorplanning] → [Clear Placement] をクリックします。
2. Clear Placement Constraints ウィザードで [Instance placement] をオンにします。
3. [Next] をクリックし、[Unplace Instances] ページに進みます。
4. [Unplace all instances] をオンにします。
5. [Next] をクリックし、[Instance Types to Unplace] ページに進みます。
6. [Default] をクリックしてデフォルト選択を使用します。

設定変更可能なフィルターにより、ロジックの LOC 制約をタイプ別に削除するか維持するかが選択できます。

7. [Next] をクリックし、[Fixed Placement] ページに進みます。
8. [Keep 58 Fixed Instances] をオンにします。
9. [Next] をクリックし、[Clear Placement Summary] ページに進みます。
10. サマリを確認したら、[Finish] をクリックします。
11. [Netlist] ビューで [Collapse All] ボタン  をクリックします。



手順 11 : 階層接続の表示

ネットリストのモジュール間の接続を確認しておくのも大切です。この手順では、さまざまなツールを使用してデザインの接続を確認します。まず、ネットリスト階層を Pblock という物理階層に分割します。次にこの Pblock を配置して、デザインのデータフローを解析します。最後に Pblock を AREA_GROUP 制約として制約ファイルに保存します。

[Auto-Create Pblocks] コマンドを使用してデザインの最上位を分割

1. [Tools] → [Floorplanning] → [Auto-Create Pblocks] をクリックします。
2. このダイアログ ボックスでは、作成する Pblock の最大数を定義したり、最小の Pblock サイズを指定したりできます。
- 指定した Pblock の合計数よりモジュールの数が多い場合は、最大のモジュールを使用して Pblock が作成されます。
3. 6 つのモジュールが選択された状態のまま [OK] をクリックします。
4. [Window] → [Physical Constraints] をクリックします。

[Physical Hierarchy] ビューで最上位の Pblock を確認します。

[Netlist] ビューでは、6 つのモジュールの隣のアイコンが  から  へ変更されています。これは、そのインスタンスが Pblock に配置されたことを示します。

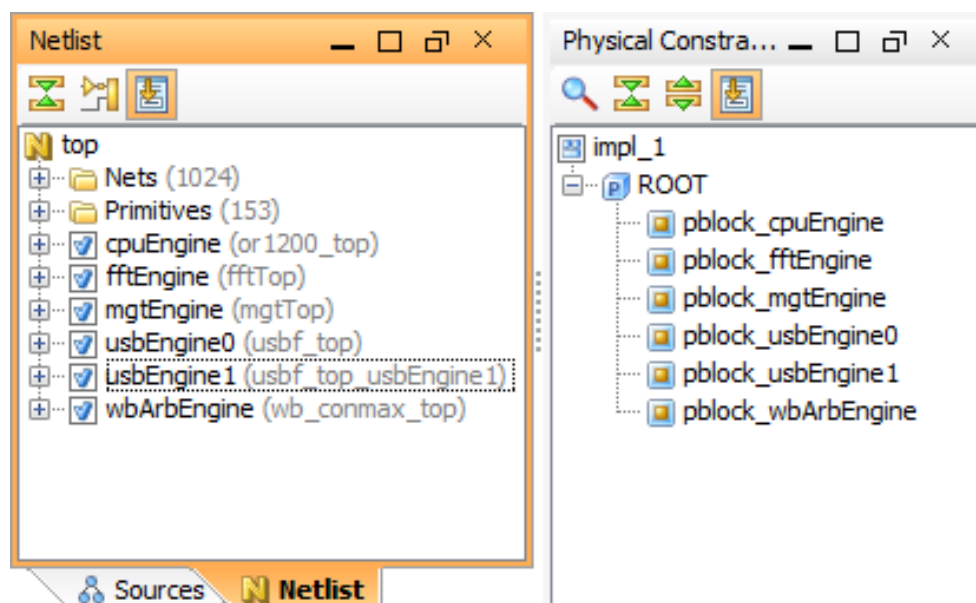


図 42 : 最上位デザインのパーティション

[Place Pblocks] コマンドを使用して新規作成した Pblock を配置

1. [Tools] → [Floorplanning] → [Place Pblocks] をクリックします。

[Place Pblocks] ダイアログ ボックスでは、配置する Pblock を選択したり、Pblock のターゲット SLICE の使用率を変更したりできます。

注記 : [Place Pblocks] コマンドは、選択した Pblock をすばやく作成するために使用します。Pblock のサイズは、SLICE ロジックに基づいてのみ決定されます。SLICE 以外は考慮されません。このため、[Place Pblocks] コマンドを使用して作成された Pblock は修正しないと、インプリメンテーションで問題が発生する可能性があります。

2. [OK] をクリックし、Pblock を配置します。

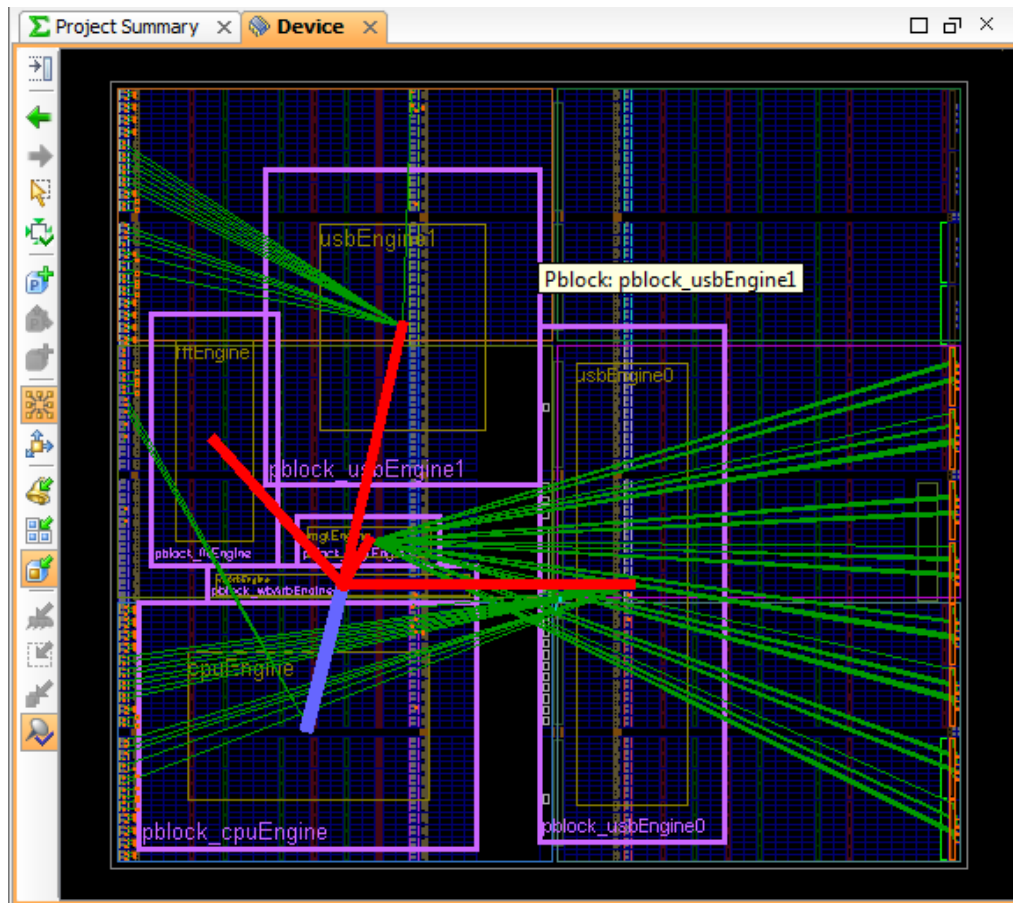



図 43 : 最上位 Pblock の配置

注記 : [Place Pblocks] コマンドによる Pblock の配置は、実行するたびに異なることがあるので、図の配置とは異なっている可能性があります。

3. 接続が表示されていない場合は、[Device] ビューで [Show/Hide I/O Nets] ツールバー ボタン  と [Device] ビューの [Layers] → [Device] → [Bundle Nets] がオンになっていることを確認してください。

ヒント : このボタンを使用した表示の切り替え方法は、チュートリアル全体で使用できます。

バンドル ネットや I/O の接続線を表示すると、デザインの接続がわかりやすくなり、Pblock を調整して煩雑になっている接続を修復することができます。


これにより、デザイン全体のデータフローを確認したり、潜在的な混線を早期発見しやすくなります。バンドルは、2つの Pblock 間で共有されるネット数を表します。この定義を確認するには、[Tools] → [Options] → [Themes] → [Bundle Nets] をクリックします。

接続とリソースに基づいて Pblock の配置およびサイズを調整

1. 必要であれば、Pblock の配置を調整して接続を修正します。



図 44 : Pblock の形を変更して階層接続を表示

ヒント : [Device] ビューで [Set Pblock Size] ツールバー ボタン () をクリックし、デバイスの任意の場所に長方形を再描画します。長方形を移動したり再描画して、ロジック接続がはっきり表示されるようにします。この段階では、リソース要件を満たすように Pblock の大きさを変更する必要はありません。

2. [Set Pblock] ダイアログ ボックスで Pblock 長方形内のグリッド タイプをすべて使用するかどうか尋ねられたら、[OK] をクリックします。
3. [Choose LOC mode] ダイアログ ボックスが表示されたら、デフォルトのまま [OK] をクリックします。
このデザインでは、I/O パッドに一部のレジスタが埋め込まれています。これらの配置は、I/O 配置が削除されていないので LOC の削除中も削除されません。Pblock にこれらの I/O が最初は含まれていても、Pblock を移動させた結果含まなくなる場合は、どちらの制約を優先するかを尋ねるメッセージが表示されます。
4. このチュートリアルでは、LOC を元の位置に残したままにします。

usbEngine1 および usbEngine0 への接続を確認してください。これらの 2 つのブロックにはタイミング問題があります。I/O 接続を確認し、この 2 つのブロックをどこに配置するか検討します。

5. Pblock を選択し、[Pblock Properties] ビューで [Statistics] タブをクリックします。

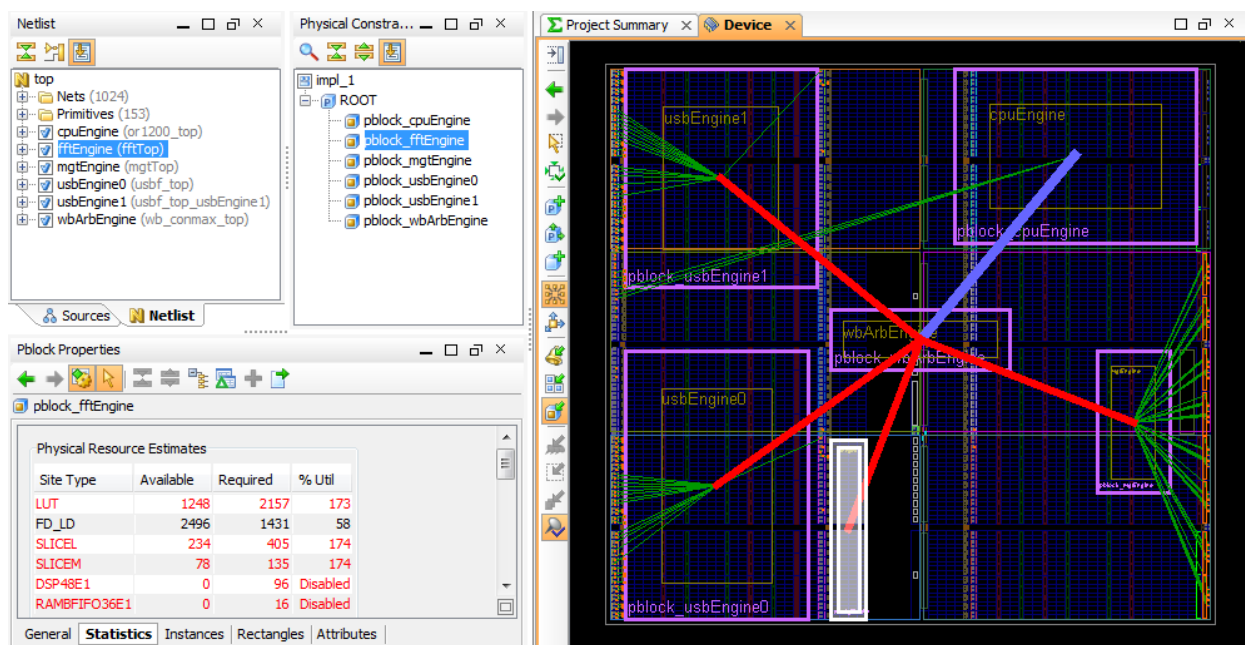


図 45 : リソース概算に基づいた Pblock のサイズ変更

Pblock の [Physical Resources Estimates] フィールドを確認します。Pblock の長方形内に割り当てられているロジック用に十分なリソースを確保するには、Pblock のサイズを変更する際これらのリソースを使用します。使用制限を越えているリソースやディスエーブルになっているリソースは、赤色で表示されます。

- 使用制限を越えているリソースがあると、インプリメンテーションでフロアプランに問題が生じます。
- リソースがディスエーブルになっていると、サイトはインプリメンテーションには制約されません。

インプリメンテーション ツールでは、ロジックをチップの任意の位置に配置できます。

5. [Pblock Property Statistics] のリストをスクロール ダウンします。

I/O ネット、バンドル ネット、インスタンスなどオブジェクトが選択できないようになっていないと、フロアプランを作成し Pblock を調整しやすくなりますが、この作業は次のセクションで説明します。

オブジェクトが選択できないようにするための表示オプションの設定

1. [Tools] → [Options] をクリックします。
2. [PlanAhead Options] ダイアログ ボックスで左側の [Themes] をクリックし、色設定オプションを表示します。
3. ダイアログ ボックスの下にある [Device] タブをクリックします。
4. [Assigned Instance] および [I/O Net] オブジェクト タイプの [Select] 列をオフにします。

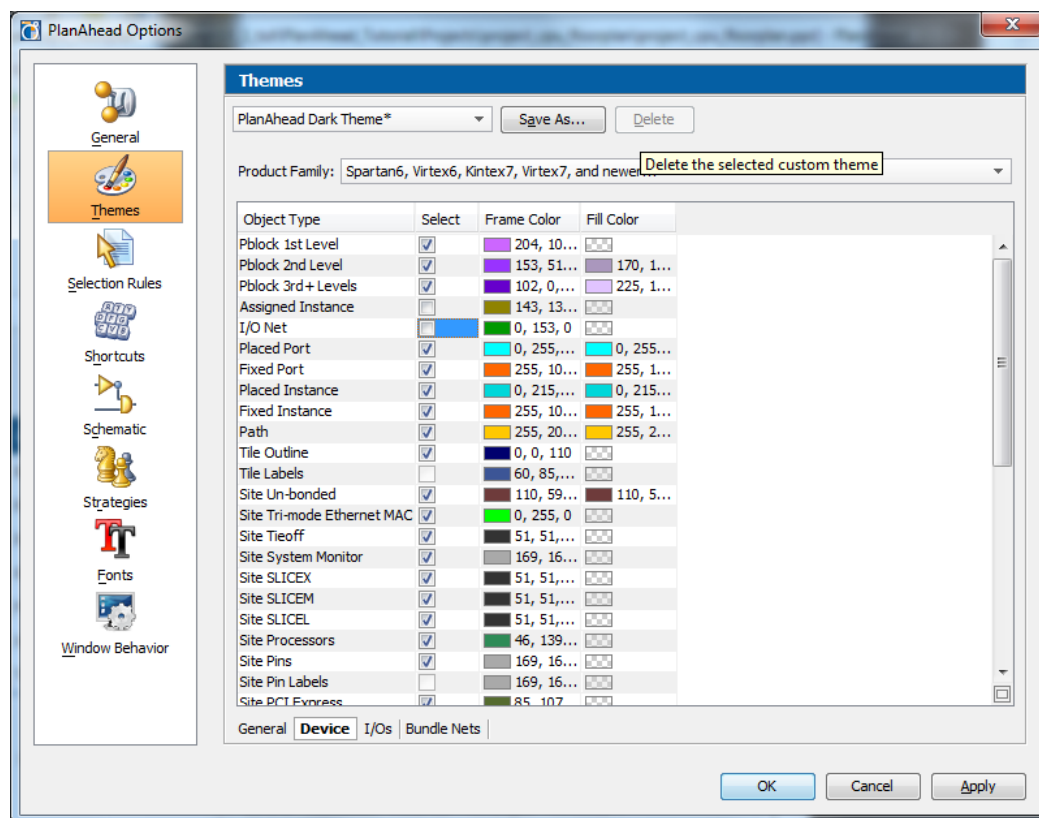


図 46 : 表示オプションの設定

5. [Save As] ボタンをクリックし、任意の名前を入力して [OK] をクリックします。

カスタム ビュー オプションを保存しておくことで後でまた使用できます。

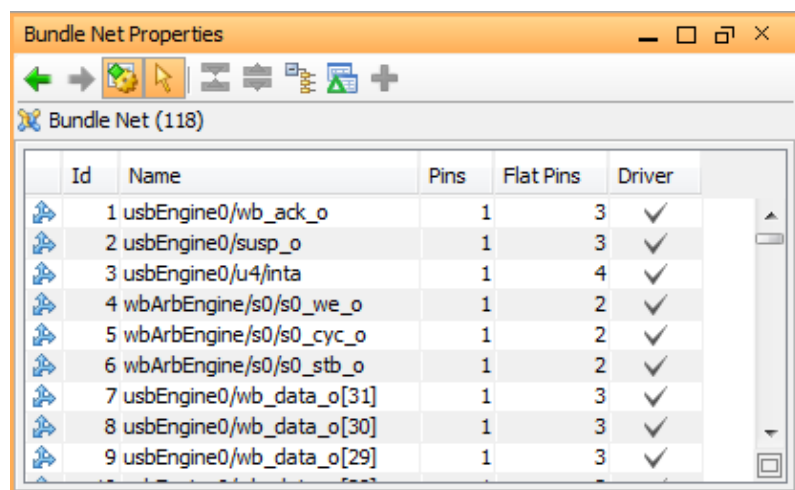
6. [PlanAhead Dark Theme] または [PlanAhead Light Theme] に設定を戻します。

7. [OK] をクリックします。

PlanAhead では、Pblock の接続がバンドル ネットで表示されます。バンドル ネットの色と線の幅がその束に含まれる信号の数を示します。色、ネット数、線幅などの設定は、[PlanAhead Options] ダイアログ ボックスの [Bundle Nets] タブから設定できます。

[Bundle Net Properties] ビューを確認

1. [Device] ビューで色表示されたバンドル ネットの 1 つを選択します。
2. [Bundle Net Properties] ビューが表示されます。
3. [Properties] タブをクリックすると、2 つのモジュール間のバンドルに含まれるネットすべてがリストされます。



The image shows a 'Bundle Net Properties' dialog box with a table listing 9 nets. Each net has an ID, a Name, Pins, Flat Pins, and a Driver status (indicated by a checkmark).

	Id	Name	Pins	Flat Pins	Driver
	1	usbEngine0/wb_ack_o	1	3	✓
	2	usbEngine0/susp_o	1	3	✓
	3	usbEngine0/u4/inta	1	4	✓
	4	wbArbEngine/s0/s0_we_o	1	2	✓
	5	wbArbEngine/s0/s0_cyc_o	1	2	✓
	6	wbArbEngine/s0/s0_stb_o	1	2	✓
	7	usbEngine0/wb_data_o[31]	1	3	✓
	8	usbEngine0/wb_data_o[30]	1	3	✓
	9	usbEngine0/wb_data_o[29]	1	3	✓

図 47 : バンドル ネット プロパティの表示

手順 12 : 検索機能を使用したクロックドメインの表示

フロアプランが効果的かどうかは、異なるクロックドメインに同期エレメントが適切に配置されたかどうかによって決まることがよくあります。クロックドメインをハイライトして接続を表示すると、クロック領域に相対して Pblock を適切に配置できます。この手順では、USB グローバル クロックをハイライトし、回路図で確認します。

グローバル クロック ネットを選択してマークを付ける

1. [Edit] → [Find] をクリックします。
 2. [Find] ダイアログ ボックスで次のようにオプションを設定します。
 - [Find] : Nets
 - 1 つ目のフィールド : Type
 - 2 つ目のフィールド : is
 - 3 つ目のフィールド : Global Clock
 3. [Unique Nets Only] がオンになっていることを確認し、[OK] をクリックします。
 4. [Flat Pins] 列見出しを 2 回クリックして [Find Results] ビューを並び替えます。
 5. [Find Results] ビューで usbClk_BUF0P/0 を選択します。
- 2 つの usbEngine Pblock で I/O に接続されたネットがハイライトされます。

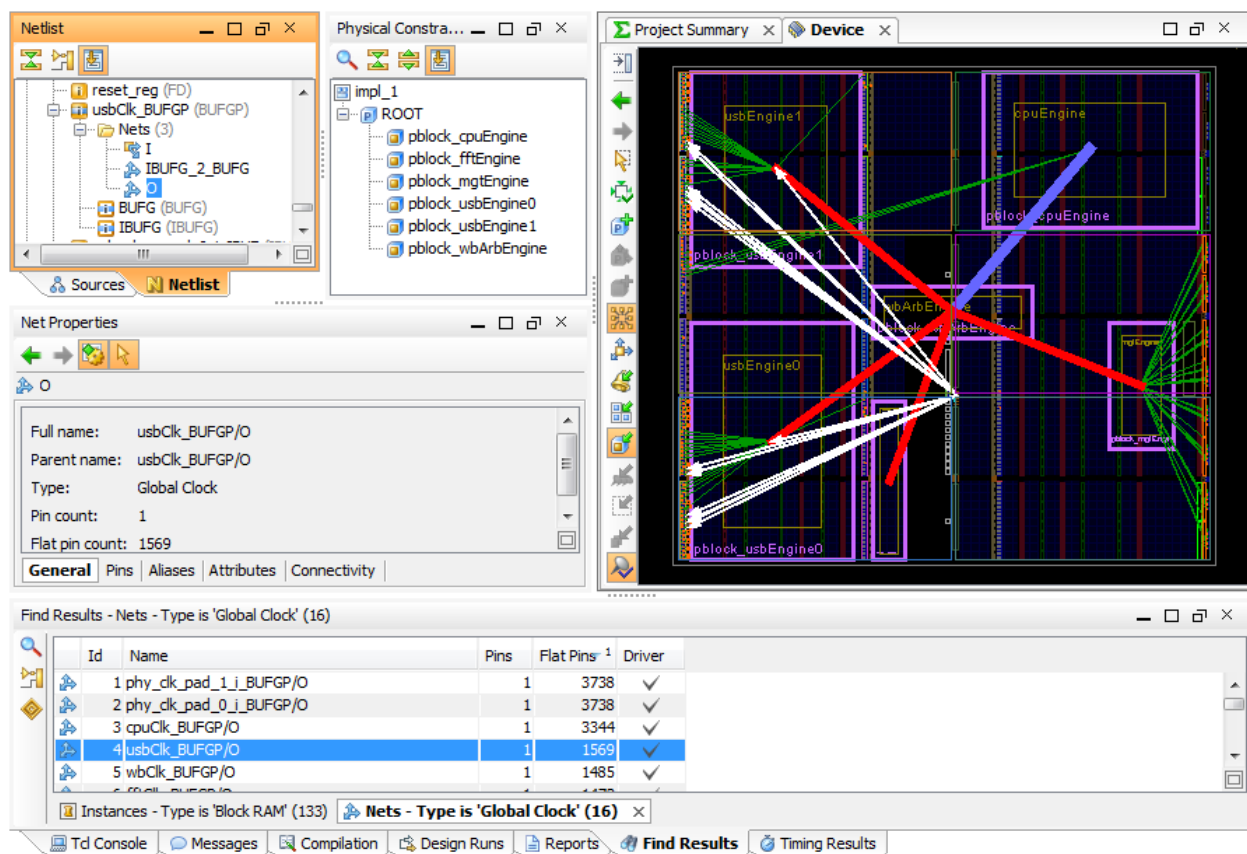


図 48 : クロック ネットのデスティネーションの表示

グローバル クロック ネットがプリミティブに対してどのように広がっているかを確認

1. グローバル クロック ネットが [Find Results] タブで選択された状態で、右クリックし [Schematic] を選択するか、F14 キーを押します。

[Schematic] ビューにレジスタ グループへ接続された usbClk_BUFGP ネットが表示されます。

2. 0 の下のポートをダブルクリックします。
3. 回路図の上部の usbClk_BUFGP BUFGP を拡大します。

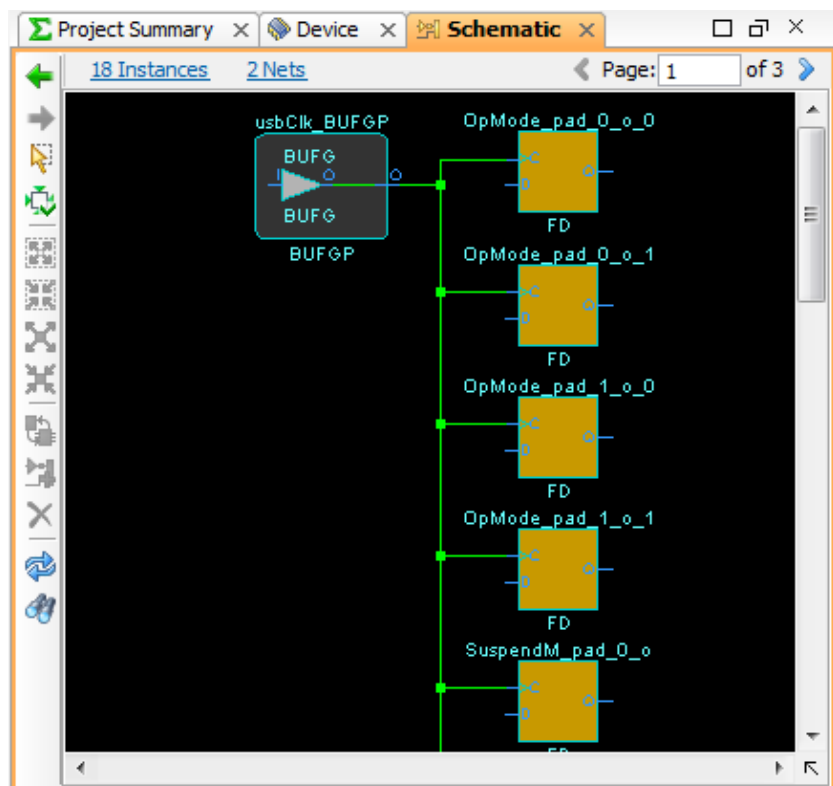




図 49 : 回路図でのクロック信号の表示

4. [Schematic] ビューを閉じます。
5. [Physical Constraints] ビューで Shift キーを押しながら 6 つの Pblock すべてを選択します。
6. 右クリックで [Clear Rectangle] をクリックします。

手順 13 : タイミング クリティカルな階層のフロアプラン

タイミング クリティカルな階層や、制限された内部接続を持つ I/O と通信する階層をフロアプランすると、タイミング パフォーマンスが改善できます。前の手順では、usbEngine1 および usbEngine0 がチップの左側の I/O と通信していることが確認できました。usbEngine1 および usbEngine0 は、左側の角に移動させることができます。前の手順と違い、この手順ではタイミングを改善します。ここでの目的は、階層を 2 ～ 3 つフロアプランして、タイミング クリティカルなゲートの配置を改善することにあります。

タイミング クリティカルな階層の Pblock を配置

1. [Device] タブをクリックします。
2. [Device] ビューで必要に応じて  ボタンを使用して I/O ネットを表示します。
3. [Physical Constraints] ビューで pblock_usbEngine0 を選択します。
4. [Device] ビューのツールバーで [Set Pblock Size] ボタン  をクリックします。

カーソルが十字型に変わります。

5. [Device] ビューの左下の端に長方形を描画します。
6. [OK] をクリックし、[Set Pblock Size] ダイアログ ボックスを閉じます。
7. [Pblock Properties] を確認します。
8. [Statistics] タブをクリックします。

インプリメンテーションで問題がないようにこの Pblock のサイズを変更します。

9. ブロック RAM の使用率が 100%、スライス使用率が 60% になるように Pblock のサイズを変更します。中央列を超えないようにします。Pblock の配置は次の図を参照してください。

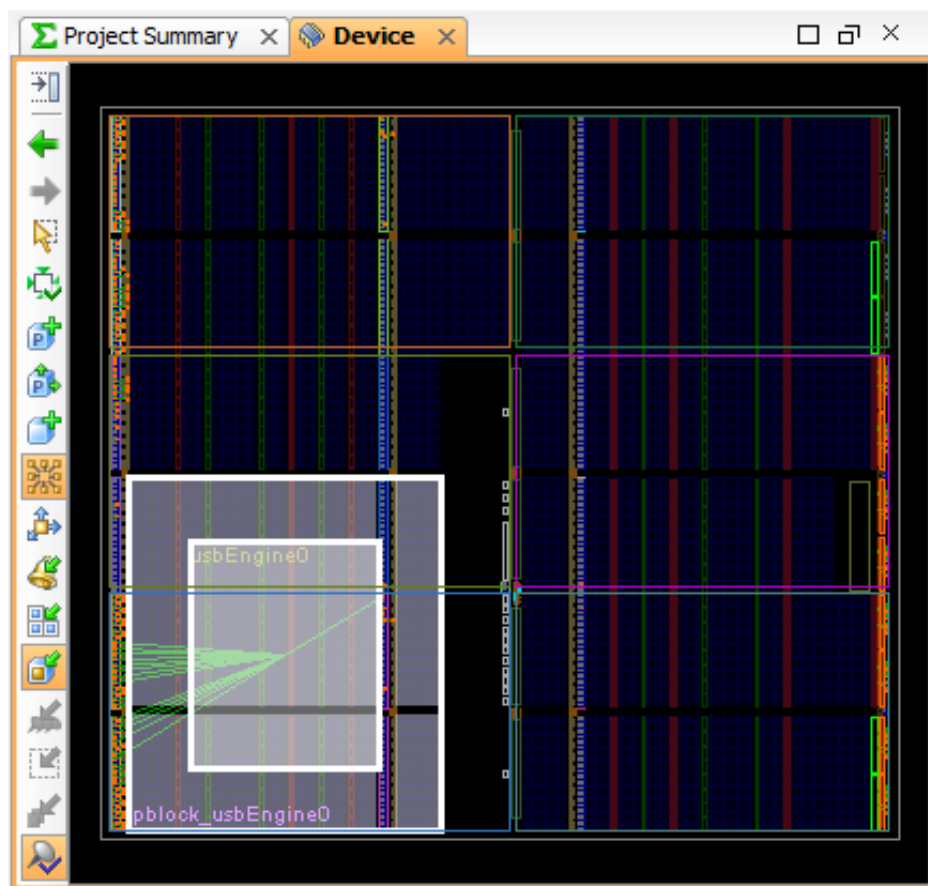


図 50 : 配置された usbEngine0

10. [Netlist] ビューで usbEngine1 を選択し、左上に同様の Pblock を作成します。Pblock 同士が重ならないようにしてください。

最終的な配置は次の図のようになります。

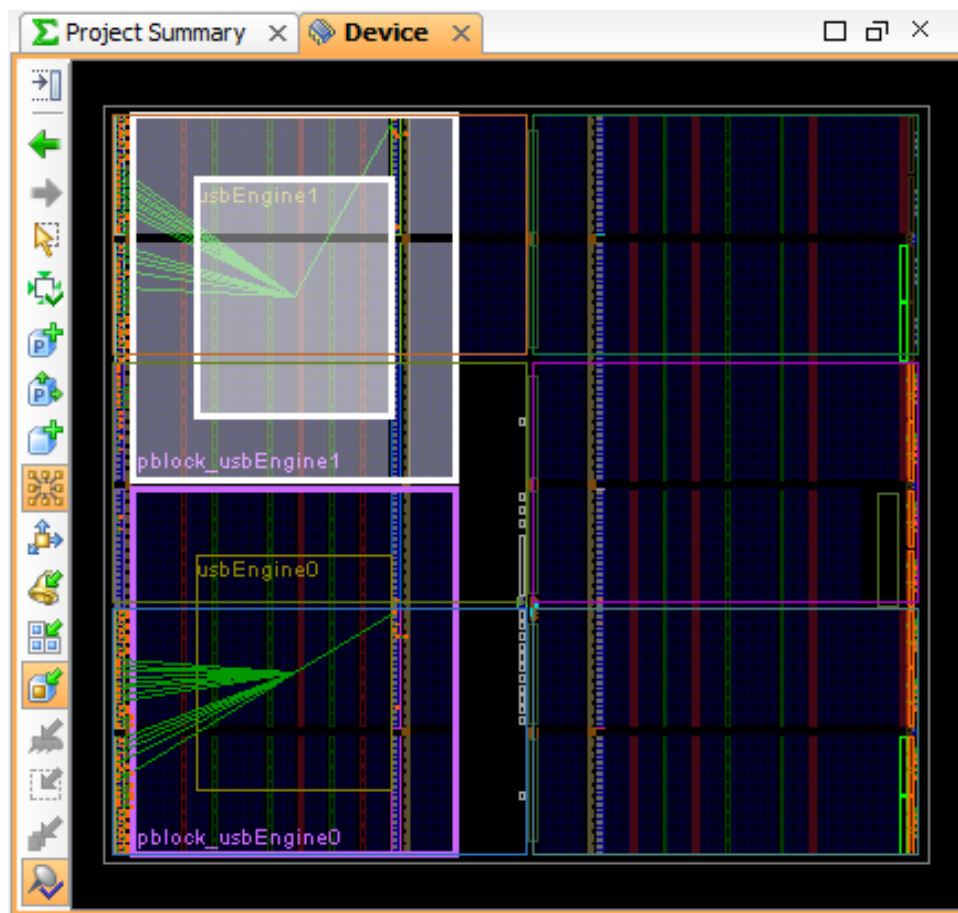


図 51 : タイミング クリティカルな USB ブロック両方のフロアプラン

11. [Physical Constraints] ビューで pblock_cpuEngine を選択し、Delete キーを押して削除します。

12. 同様に次のものも削除します。

- pblock_fftEngine
- pblock_mgtEngine
- pblock_wbArbEngine

13. [Implemented Design] ビューを X ボタンをクリックして閉じます。

15. [OK] をクリックして終了し、[Yes] をクリックして保存します。

ツールは Project Manager に戻ります。前の手順からの変更が constrs_2 の top_full.ucf に保存されます。一定した結果を得るため、constrs_3 に top_fpln.ucf という完成したフロアプランがあります。制約ファイルを切り替えるのは簡単です。[Sources] ビューで [constrs_3] を右クリックし、[Make Active] を選択します。

15. [constrs_3] の下の [top_fpln.ucf] をダブルクリックし、ファイルをテキスト エディターで開きます。

16. この UCF ファイルの一番下までスクロールし、AREA_GROUP の行が新しく追加されていることを確認します。

これらの行は、階層のレベルおよび階層のゲートをチップの領域に制約し、また前の手順からのフロアプラン情報を保存します。

フロアプランを使用したインプリメンテーションの再実行

フロアプランによりどのタイミングが変更されたか確認するには、緑色の [Implement] ボタンをクリックしてインプリメンテーションを再実行する必要があります。時間の節約と ISE ソフトウェアのバージョンによる結果の違いを防ぐため、このフロアプランを使用したインプリメンテーション結果をチュートリアル デザイン ファイルに含めてあります (impl_2)。

1. [Design Runs] ビューをクリックします。
2. impl_2 を確認します。

Name	Part	Constraints	Strategy	Status	Progress	Start	Elapsed	Util (%)	FMax (MHz)	Timing Score	Unrouted
synth_1	xc6vlx75tff784-1	constrs_2	PlanAhead Defaults (XST 13)	XST Complete!	100%	1/25/11 4:54 PM	00:04:16	46.000	84.313		0
impl_1 (active)	xc6vlx75tff784-1	constrs_2	ISE Defaults (ISE 13)	PAR Complete!	100%	1/25/11 4:59 PM	00:26:52	41.000	64.379	152852	0
impl_2	xc6vlx75tff784-1	constrs_3	ISE Defaults (ISE 13)	PAR Complete!	100%	1/25/11 8:14 PM	00:22:21	41.000	79.134	20966	0
impl_3	xc6vlx75tff784-1	constrs_3	MapTiming (ISE 13)	PAR Complete!	100%	1/25/11 9:36 PM	00:25:46	41.000	60.118	28066	0
impl_4	xc6vlx75tff784-1	constrs_3	ParHighEffort (ISE 13)	PAR Complete!	100%	1/25/11 10:02 PM	00:24:16	41.000	77.232	33126	0
impl_5	xc6vlx75tff784-1	constrs_3	MapGlobalOptLogicOptRetimingDupParHigh (ISE 13)	PAR Complete!	100%	1/25/11 10:26 PM	00:31:52	44.000	67.047	54	0

図 52 : フロアプランを使用した結果

impl_2 では新しいフロアプランが使用されています。impl_2 は同じストラテジ (同じデフォルトのオプション) を使用してインプリメントされています。タイミングは改善されていますが、デザインはタイミングを満たしていません。タイミング満たすまであとわずかなので、フロアプランを変更する前にほかのストラテジでタイミング クロージャを達成できるかどうかを確認します。

3. [Flow] → [Create New Runs] をクリックします。
4. [Implementation] をクリックします。
5. [Next] をクリックします。
6. ツールで次のものが使用されていることを確認します。
 - [Synthesized Netlist] : synth_1
 - [Constraints Set] : constrs_3

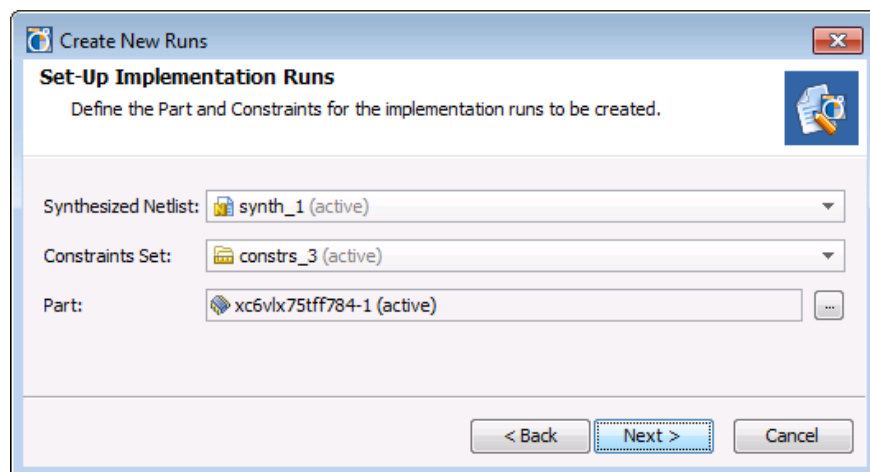


図 53 : インプリメンテーション用のネットリストの選択

7. [Next] をクリックし、[More] を 3 回クリックします。

ストラテジのリストから新しい run とサイクルが定義されます。

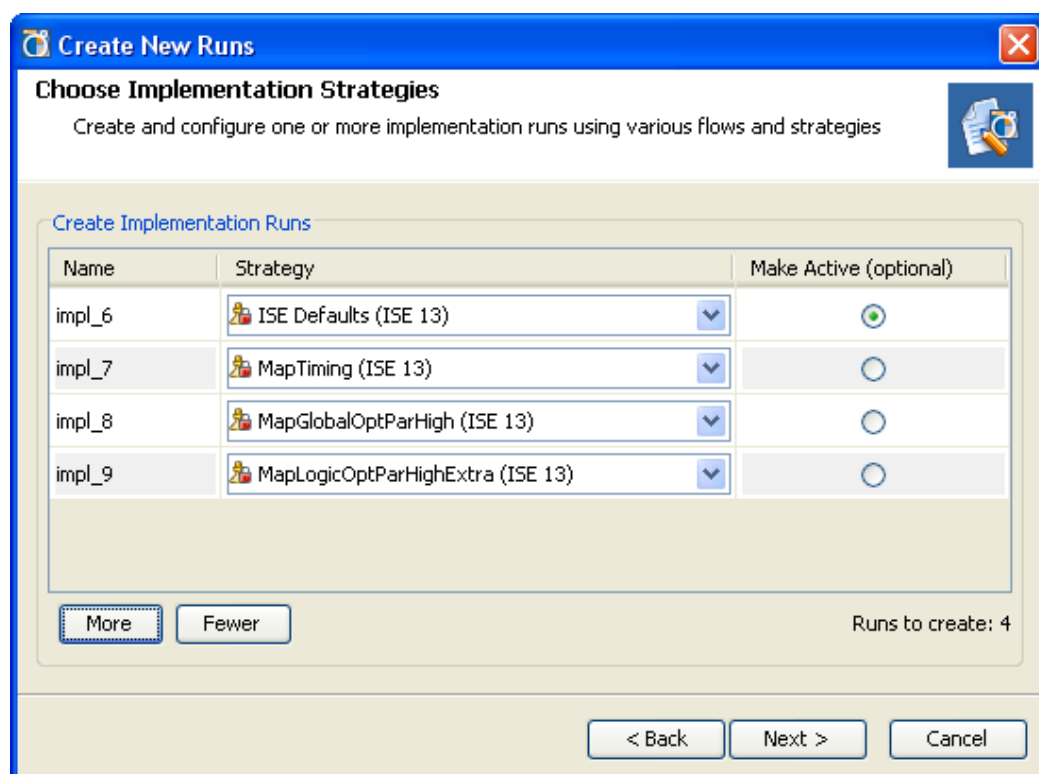


図 54 : 複数のストラテジを含む複数の run

8. [Next] をクリックします。

オプションを指定するページが表示されます。ホスト マシンに複数の CPU が含まれる場合は、複数の run を平行して実行できます。

9. [Next] をクリックします。

サマリ ページが表示されます。このデザインのインプリメンテーションは既に実行されているので、インプリメンテーションは再実行しないでください。

10. [Cancel] をクリックします。

[Design Runs] ビューを見ると、impl_5 のタイミング スコアが一番低く、タイミング クロージャに一番近い状態です。タイミング問題の原因は、次の方法で確認できます。

11. [Design Runs] ビューで **impl_5** を選択します。

12. 右クリックし、[Make Active] をクリックします。

13. ポップアップ ウィンドウから [Open Implemented Design] をクリックします。

14. 前出の方法を使用してタイミング パスを表示し、配置を確認し、関連するゲートと階層を判別します。

まとめ

このチュートリアルでは、PlanAhead ソフトウェアを使用して、インプリメンテーション ツールを実行する前に合成済みのデザインとターゲット デバイスを確認および解析しました。これにより、潜在的な問題やエラーを、インプリメン

テーション中ではなく、デザイン サイクルの早期段階で発見できました。また、デザイン リソースの概算、デザイン ルール違反、タイミング概算、制約および接続などをグラフィカルに表示することで、デザインを理解し、問題が発生しそうな箇所を発見しやすくしました。

インプリメンテーションを実行し、次の作業を行いました。

- インプリメンテーション結果を確認し、タイミング結果を検証
- 回路図でクリティカル パスのオブジェクトを解析し、これらのバス オブジェクトの親モジュールを選択
- モジュール配置をハイライトし、[Show Connectivity] コマンドを使用してモジュールの接続を表示
- ISE ソフトウェアで割り当てられた配置制約を削除

デザインを解析し、フロアプランを作成して、別のコマンド ライン オプションを使用してタイミングを改善しました。