

# I/O ピン配置チュートリアル

PlanAhead デザイン ツール

UG674 (v 13.4) 2012 年 1 月 16 日





Xilinx is disclosing this user guide, manual, release note, and/or specification (the “Documentation”) to you solely for use in the development of designs to operate with Xilinx hardware devices. You might not reproduce, distribute, republish, download, display, post, or transmit the Documentation in any form or by any means including, but not limited to, electronic, mechanical, photocopying, recording, or otherwise, without the prior written consent of Xilinx. Xilinx expressly disclaims any liability arising out of your use of the Documentation. Xilinx reserves the right, at its sole discretion, to change the Documentation without notice at any time. Xilinx assumes no obligation to correct any errors contained in the Documentation, or to advise you of any corrections or updates. Xilinx expressly disclaims any liability in connection with technical support or assistance that might be provided to you in connection with the Information.

THE DOCUMENTATION IS DISCLOSED TO YOU “AS-IS” WITH NO WARRANTY OF ANY KIND. XILINX MAKES NO OTHER WARRANTIES, WHETHER EXPRESS, IMPLIED, OR STATUTORY, REGARDING THE DOCUMENTATION, INCLUDING ANY WARRANTIES OF MERCHANTABILITY, FITNESS FOR A PARTICULAR PURPOSE, OR NONINFRINGEMENT OF THIRD-PARTY RIGHTS. IN NO EVENT WILL XILINX BE LIABLE FOR ANY CONSEQUENTIAL, INDIRECT, EXEMPLARY, SPECIAL, OR INCIDENTAL DAMAGES, INCLUDING ANY LOSS OF DATA OR LOST PROFITS, ARISING FROM YOUR USE OF THE DOCUMENTATION.

© Copyright 2010– 2011 Xilinx Inc. All Rights Reserved. XILINX, the Xilinx logo, the Brand Window and other designated brands included herein are trademarks of Xilinx, Inc. All other trademarks are the property of their respective owners. The PowerPC name and logo are registered trademarks of IBM Corp., and used under license. All other trademarks are the property of their respective owners.

本資料は英語版 (v13.4) を翻訳したもので、内容に相違が生じる場合には原文を優先します。

資料によっては英語版の更新に対応していないものがあります。

日本語版は参考用としてご使用の上、最新情報につきましては、必ず最新英語版をご参照ください。

この資料に関するフィードバックおよびリンクなどの問題につきましては、[jpn\\_trans\\_feedback@xilinx.com](mailto:jpn_trans_feedback@xilinx.com) までお知らせください。いただきましたご意見を参考に早急に対応させていただきます。なお、このメール アドレスへのお問い合わせは受け付けておりません。あらかじめご了承ください。

# 目次

---

ソフトウェア要件 .....	4
ハードウェア要件 .....	4
チュートリアル デザインの説明 .....	5
手順 1 : I/O ピン配置プロジェクトの作成 .....	6
手順 2 : デバイス I/O リソースの検証 .....	10
手順 3 : 多機能ピンの確認およびデバイス コンフィギュレーション モードの設定 .....	13
手順 4 : 互換性のある代替デバイスの指定 .....	15
手順 5 : I/O ポートの定義と設定 .....	16
手順 6 : I/O ポート リストのエクスポート .....	17
手順 7 : デバイスと I/O ピン割り当てのエクスポート .....	18
手順 8 : I/O ポート割り当ての解析 .....	20
手順 9 : I/O ポート インターフェイスの作成 .....	24
手順 10 : インポートした I/O 配置制約の削除 .....	26
手順 11 : I/O ポートの配置 .....	27
手順 12 : ギガビット トランシーバー および クロック ロジック の配置 .....	33
手順 13 : DRC および SSN 解析 .....	40
まとめ .....	42

# I/O ピン配置チュートリアル

---

このチュートリアルでは、FPGA デバイスの I/O ピンを配置するにあたってのザイリンクス PlanAhead™ ツールの機能と利点を紹介します。I/O ポートを作成して物理的なパッケージ ピンに割り当てる方法について説明します。[I/O Planning] レイアウトを使用すると、I/O ポートの初期リストを作成、インポート、コンフィギュレーションでき、関連ポートをインターフェイスにまとめて、それらをパッケージ ピンに割り当てることができます。

I/O ポートの割り当ては、全自動と半自動のいずれかのモードで制御できます。[I/O Planning] レイアウトでは、物理パッケージ ピンおよびバンク、それに対応するチップの I/O パッドの関係が表示されます。PCB と FPGA 間の接続は自動的に最適化されます。

I/O ピン配置は、デザイン サイクルのさまざまな段階で実行できます。I/O の割り当ては、デザイン ソース ファイルが使用可能になる前であっても、ピン配置プロジェクトを使用して実行できます。CSV 形式のファイルは、I/O 配置用にインポートしたり、PCB 回路図シンボルまたは HDL ヘッダーの生成用にエクスポートしたりできます。

PlanAhead ツールでは、エラボレートされた RTL (レジスタ転送レベル) デザインや合成済みネットリスト デザインでも I/O ピンを配置することができます。ネットリスト デザインを使用した方がより総合的な I/O およびクロックのデザイン ルール チェック (DRC) が実行できます。このチュートリアルではこの両方について説明します。

すべてのコマンドやコマンド オプションの説明が含まれているわけではありませんので、ご了承ください。このチュートリアルは、ISE® Design Suite バージョン 13.4 に含まれる PlanAhead ツールの機能を使用して説明します。

このチュートリアルの目標は、PlanAhead ツールの [I/O Planning] レイアウトを使用して I/O ピン配置プロセスに慣れることにあります。

## ソフトウェア要件

PlanAhead ツールは、ISE Design Suite ソフトウェアをインストールするとインストールされます。チュートリアルを始める前に、PlanAhead ツールが起動できるか、チュートリアル デザイン データがインストールされているかを確認してください。

インストール手順については、[http://japan.xilinx.com/support/documentation/sw\\_manuals/xilinx13\\_4/iil.pdf](http://japan.xilinx.com/support/documentation/sw_manuals/xilinx13_4/iil.pdf) にある『ISE Design Suite : インストールおよびライセンス ガイド』(UG798) を参照してください。

## ハードウェア要件

大型デバイスで PlanAhead ツールを使用するには、2GB 以上の RAM が推奨されます。このチュートリアルでは、小型の XC6VLX75T デザインを使用し、一度に開くデザインの数制限しているため 1GB でも十分ですが、パフォーマンスに影響することがあります。

## チュートリアル デザインの説明

このチュートリアルで使用される小型のサンプルデザインには、次のものが含まれます。

- RISC プロセッサ CPU コア
- 疑似 FFT
- ギガビットトランシーバー (GT) 4 つ
- USB インターフェイス 2 つ

このデザインは、XC6VLX75T デバイスをターゲットにしています。小型のデザインを使用することにより、次が可能になっています。

- 最低限のハードウェア要件でチュートリアルを実行
- チュートリアルを実行する時間を短縮
- データ サイズを最小に抑える

## チュートリアル デザイン ファイルのディレクトリ

1. 次のサイトから、PlanAhead\_Tutorial.zip ファイルをダウンロードします。  
[http://japan.xilinx.com/support/documentation/dt\\_planahead\\_planahead13-4\\_tutorials.htm](http://japan.xilinx.com/support/documentation/dt_planahead_planahead13-4_tutorials.htm)
2. 書き込み権のあるディレクトリに ZIP ファイルを解凍します。

解凍された PlanAhead\_Tutorial データ ディレクトリは、このチュートリアルでは <Extract\_Dir> と表記しています。

チュートリアルのサンプル デザイン データはチュートリアル実行中に変更されます。チュートリアルを実行するときは常に実行前に元の PlanAhead\_Tutorial データをコピーしておいてください。

## 手順 1 : I/O ピン配置プロジェクトの作成

PlanAhead ツールには、I/O ポートやクロックを配置するためのビューが集められた [I/O Planning] レイアウトがあります。デバイスリソース解析をする場合、デザインがなくても [I/O Planning] レイアウトを開くことができます。このレイアウトは、RTL、ネットリスト、またはインプリメント済みデザインでも使用できます。

### 新規プロジェクトの作成、[I/O Planning] レイアウトの表示、およびビューの確認

1. PlanAhead ツールを開いて、I/O ピン配置プロジェクト (project\_pinout) を作成します。
2. Windows の場合、Xilinx PlanAhead 13.4 のデスクトップ アイコンをダブルクリックするか、[スタート] → [プログラム] → [Xilinx ISE Design Suite 13.4] → [PlanAhead] → [PlanAhead] をクリックします。
3. Linux の場合は、<Extract\_Dir>/PlanAhead\_Tutorial/Tutorial\_Created\_Data ディレクトリに移動し、「planAhead」と入力します。
4. [Getting Started] ページの [Create New Project] をクリックします。
5. [Next] をクリックし、[Project Name] ページを表示します。

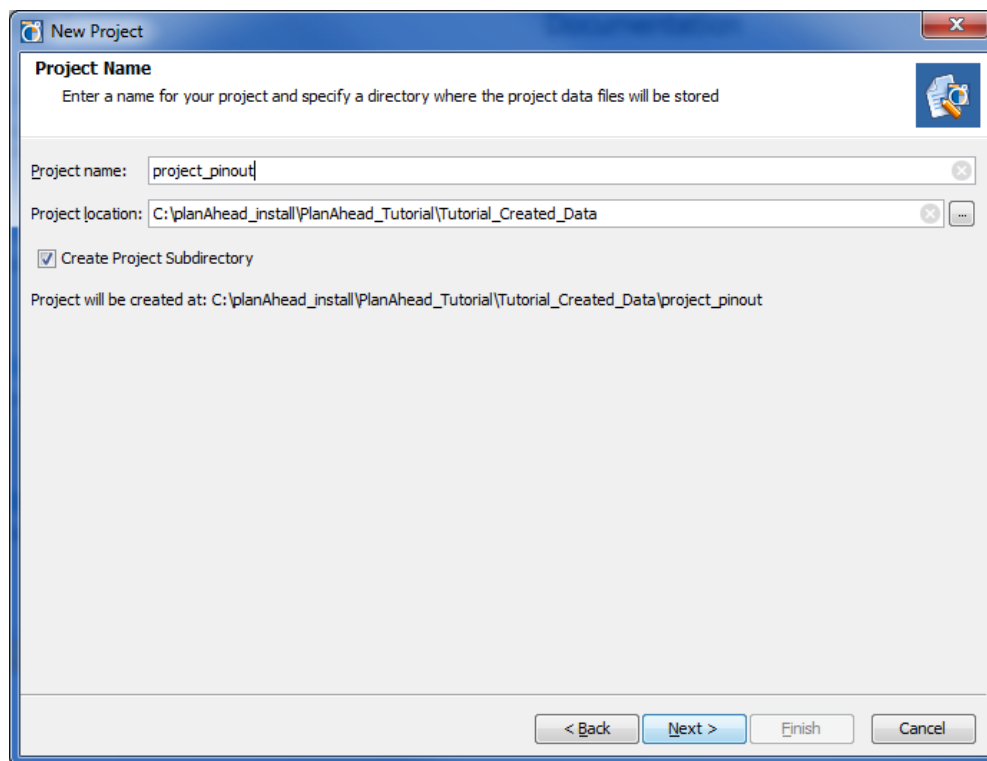


図 1 : New Project ウィザード : プロジェクト名の設定

6. 「project\_pinout」とプロジェクト名を入力します。
7. プロジェクト ディレクトリは次のように指定します。  
<Extract\_Dir>/PlanAhead\_Tutorial/Tutorial\_Created\_Data
8. [Next] をクリックし、[Design Source] ページを表示します。

9. [Create an I/O Planning Project] をオンにします。

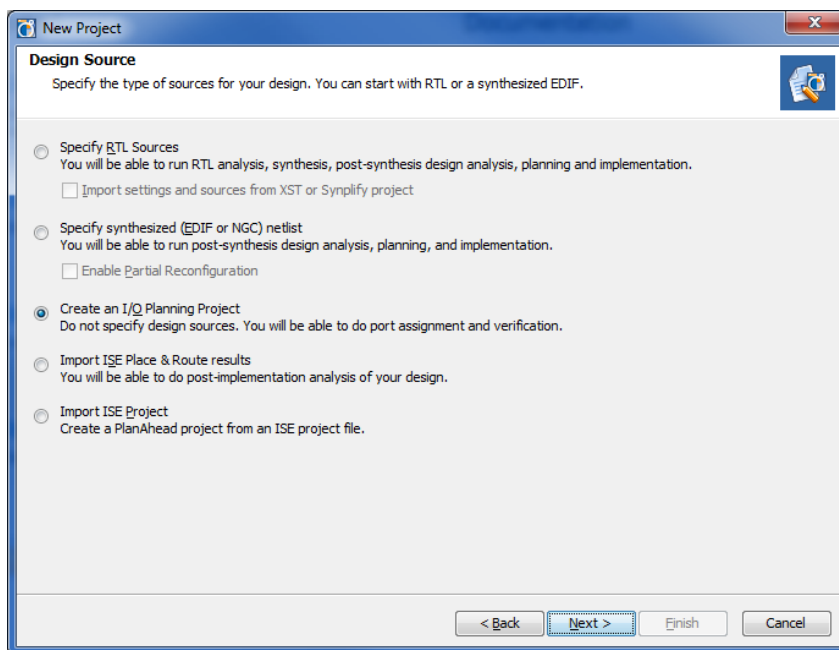


図 2 : I/O ピン配置プロジェクトの指定

10. [Next] をクリックし、[Import Ports] ページを表示します。
11. [Do not import I/O ports at this time] をオンにします。

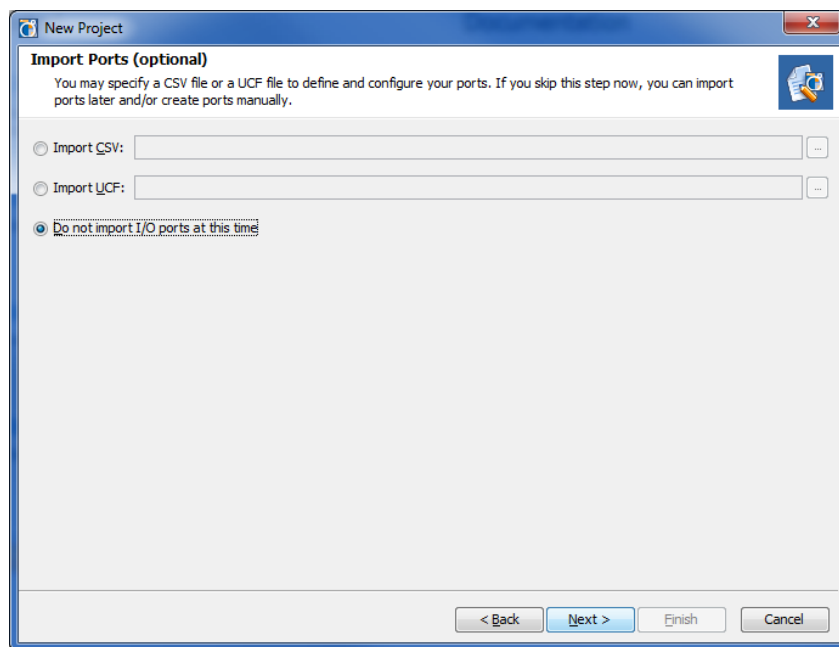


図 3 : New Project ウィザード : ポートのインポート

12. [Next] をクリックし、[Default Part] ページを表示します。
13. [Filter] フィールドの [Family] プルダウン メニューから [Virtex6] を選択します。リストには Virtex®-6 デバイスのみが表示されるようになります。
14. [Sub-Family] プルダウン メニューから [Virtex6 LXT] を選択します。リストには Virtex-6 LXT デバイスのみが表示されるようになります。
15. [Search] フィールドに「75t」と入力します。75t デバイスのみが表示されます。

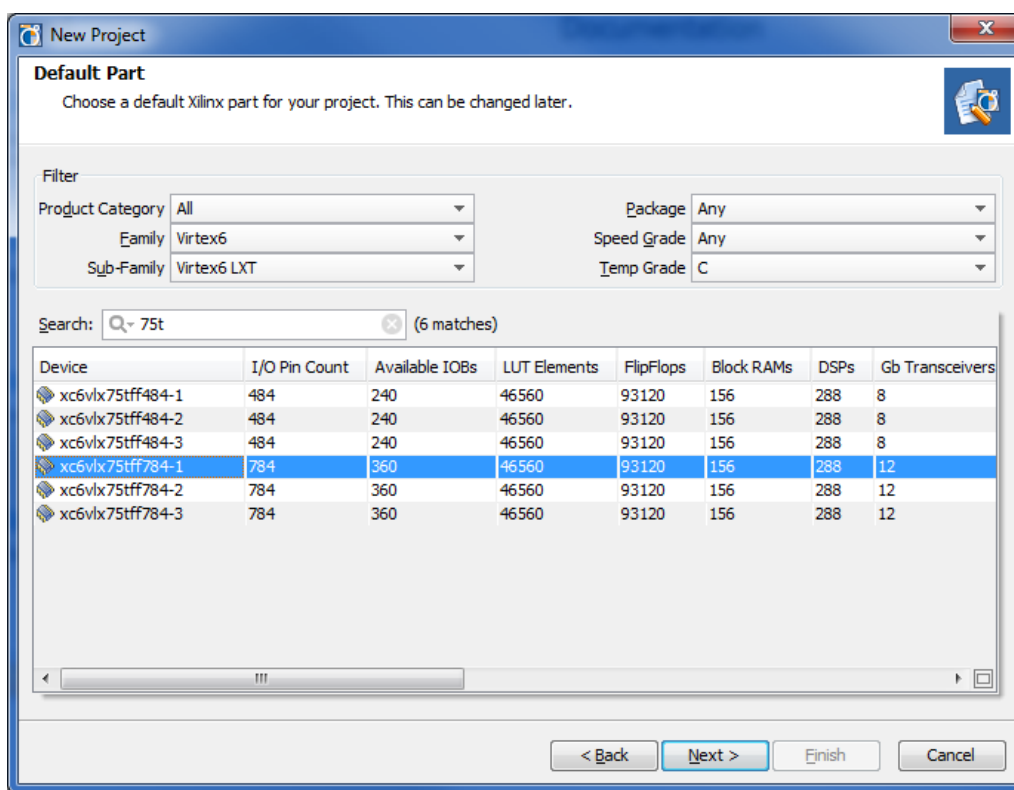


図 4 : ファミリーおよびデフォルト デバイスの選択



16. xc6vlx75tf784-1 デバイスを選択し、[Next] をクリックします。

17. [Finish] をクリックし、プロジェクトを作成して開きます。

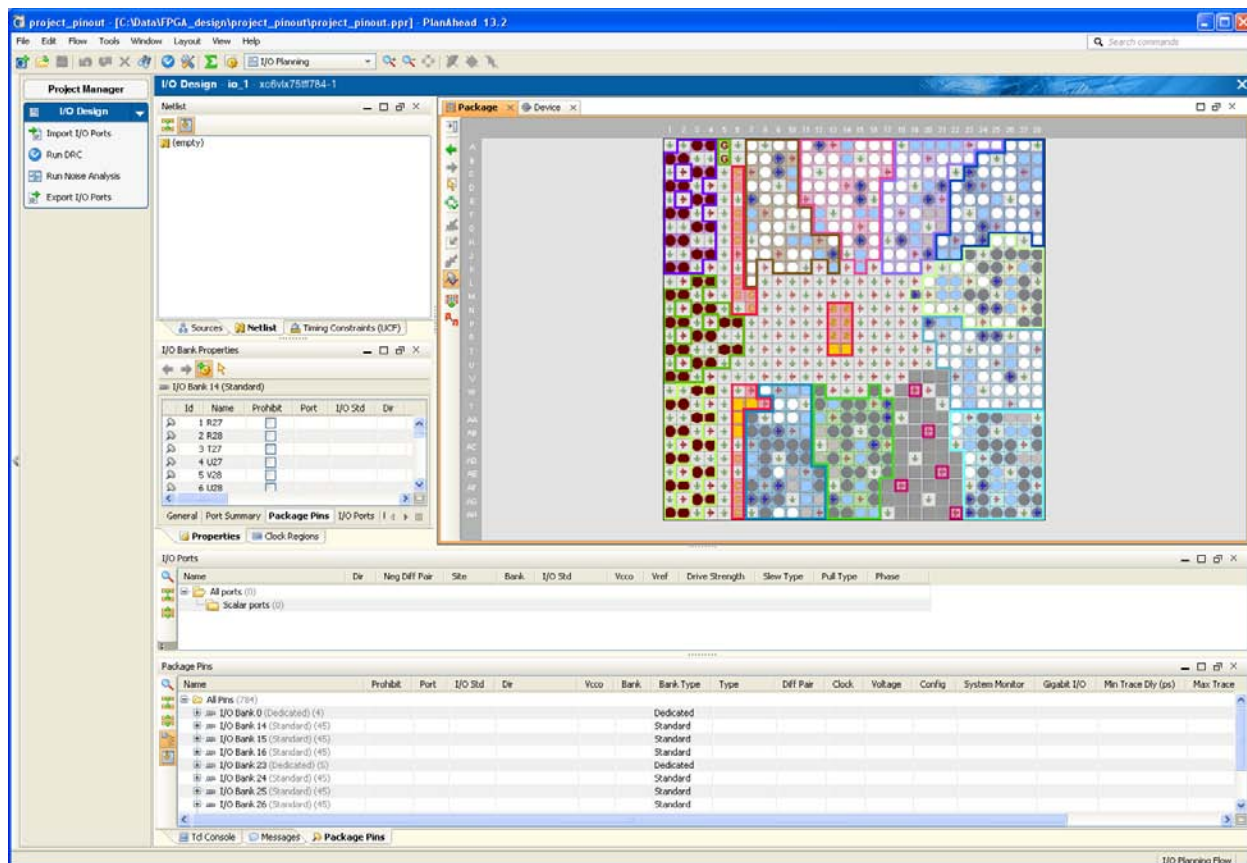


図 5 : I/O Planning レイアウト

18. I/O Planning レイアウトのさまざまなビューを確認します。I/O ポートがまだ定義されていないのでビューのほとんどは空白です。

[Package] および [Device] の両方のビューが表示された状態で、[Device] ビューのタブをクリックして [Package] ビューのタブヘッドラッグします。

## 手順 2: デバイス I/O リソースの検証

PlanAhead ツールの I/O ピン配置環境からは、さまざまなデバイス リソースを確認できます。

さまざまな I/O、クロックおよびロジック オブジェクトの位置がグラフィカルに表示され、ビュー同士が連動するので、I/O およびデバイスに関連する設定がしやすくなっています。[Package Pins] または [I/O Bank Properties] ビューには、通常デバイス データシートに含まれる I/O 関連の情報が一部表示されます。

次の点を確認します。

- I/O バンクのいくつかを選択して、パッケージとチップの関係を確認
- I/O バンクのプロパティを確認
- I/O バンク 14 を選択して展開表示し、パッケージ ピンの仕様を確認

### I/O バンクの確認

1. [Package Pins] ビューで I/O バンク 14 などの I/O バンクをクリックします。
2. [Package] ビューでバンクを選択するには、I/O バンクのピンをダブルクリックします。最初のクリックでピンが選択され、2 回目のクリックでピンが含まれている I/O バンクが選択されます。

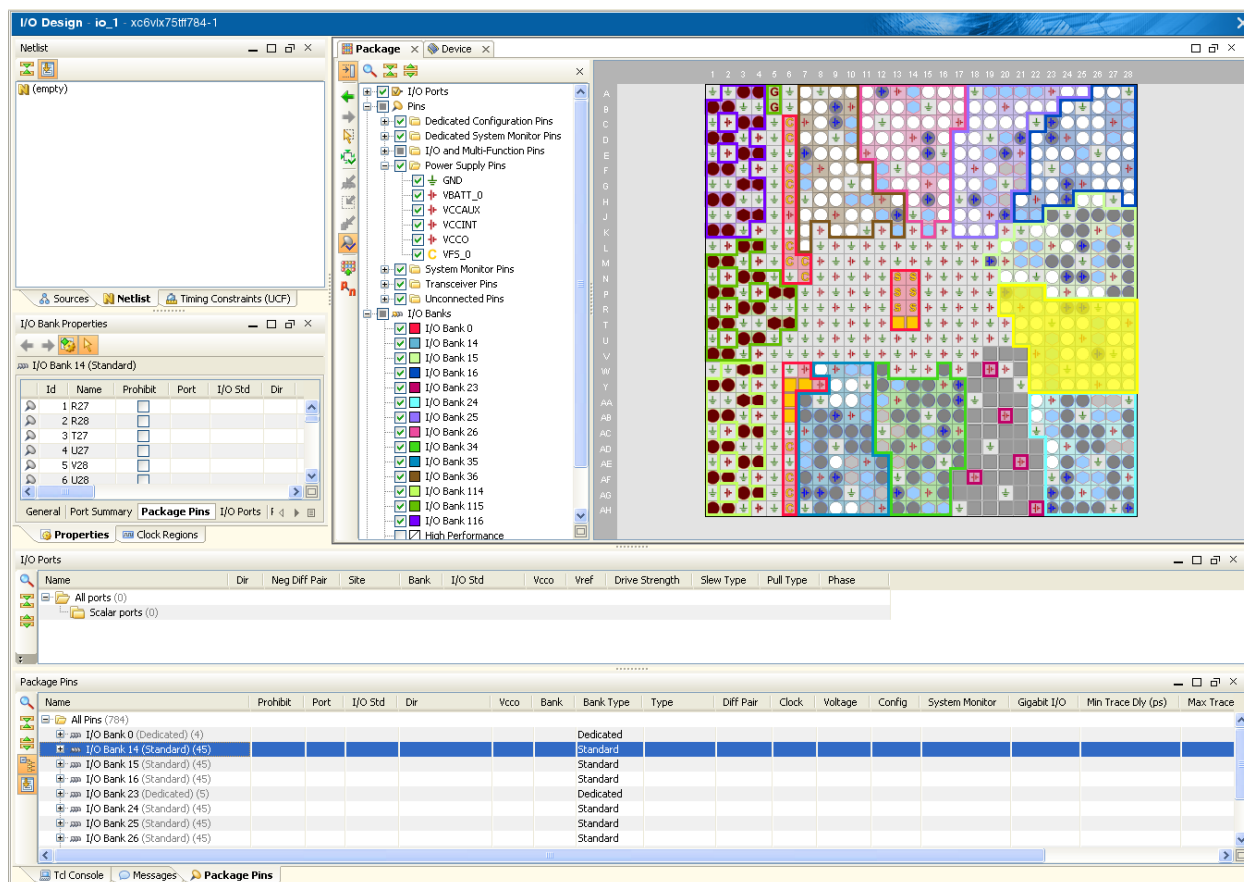





図 6: I/O および I/O バンクのハイライト表示

または、[Package] ビューのツールバーの [Package View Layers] ボタン  をクリックします。[I/O Banks] を展開表示し、[Bank 14] を右クリックして [Select Objects] を選択します。




同様の方法で、VREF などの特定の多機能ピンを表示、[Package] ビューの表示を変更、特定のバンク タイプをハイライト、またはトランシーバー バンクを非表示することもできます。

I/O バンクの位置が [Package] ビューでハイライトされます。

3. [Device] ビュー タブをクリックすると、デバイス上の I/O バンクの位置がハイライトされます。  
I/O バンクの位置を両方のビューで視覚的に確認すると、I/O ポートの割り当てがしやすくなります。
4. [Package] ビューをクリックして表示します。
5. [Package] ビューで [I/O Bank 14] を展開し、この I/O バンクに含まれる各ピンのパッケージ ピン情報を確認します。内部パッケージトレース遅延の最小値および最大値も表示されます (ビューを右にスクロール)。パッケージのピンとチップ上のパッド間には配線遅延があります。
6. リストをスクロール ダウンし、I/O バンクのいずれかをクリックします。
7. [I/O Bank Properties] ビューの [General] タブをクリックします。
8. I/O 数と電圧を確認します。この情報は、I/O ポートが I/O バンクに割り当てられると表示されるようになり、残りの I/O ポートを配置するため、互換性のある I/O バンクが検索しやすくなります。
9. [I/O Bank Properties] ビューのさまざまなタブをクリックしてみます。
10. [Package Pins] ビューで [Maximize] ボタン  をクリックします。  
[Package Pins] ビューが最大化されます。
11. [Package Pins] ビューで [Expand All] ボタン  をクリックします。
12. スクロールして表のピン情報を表示します。
13. [Package Pins] ビューの [Group by I/O Bank] ボタン  をオフにし、リストをすべてフラットに展開して表示します。

## I/O の配置禁止



I/O ポートが I/O パッケージ ピンに割り当てられないように配置を禁止することができます。次の手順では、[Package Pins] ビューを電圧別に並び替え、すべての VREF I/O ピンを選択して右クリックし、[Set Prohibits] をクリックしてそれらのピンの配置を禁止します。

1. [Voltage] 列のヘッダーを 2 回クリックし、リストの一番上までスクロールすると VREF 値が表示されます。
2. Shift キーを押しながら、すべての VREF 電圧ピンを選択します。
3. 右クリックして [Set Prohibit] をクリックします。
4. [Package Pins] ビューで [Restore] ボタン  をクリックします。
5. [Package Pins] が元の表示に戻ります。[Package] ビューには、禁止ピンが表示されるようになります。
6. メイン ツールバーの [Unselect All]  をクリックします。
7. 図 7 に示すように [Package] ビューで赤い  マークの付いた (禁止された) ピンを拡大します。

8. [Package] ビューで該当エリアの左上から右下に向かって四角形を描画すると、囲んだ部分を拡大できます。



図 7: 禁止された VREF パッケージ ピンの表示

9. ビュー内をクリックしてから右下から左上に向かって斜めにドラッグして [Package] ビューに全体を表示します。
10. [Package Pins] ビューで [Group by I/O Bank] ボタン  をクリックします。
11. [Collapse All] ツールバー ボタン  をクリックし、ツリー表示をデフォルト表示に戻します。

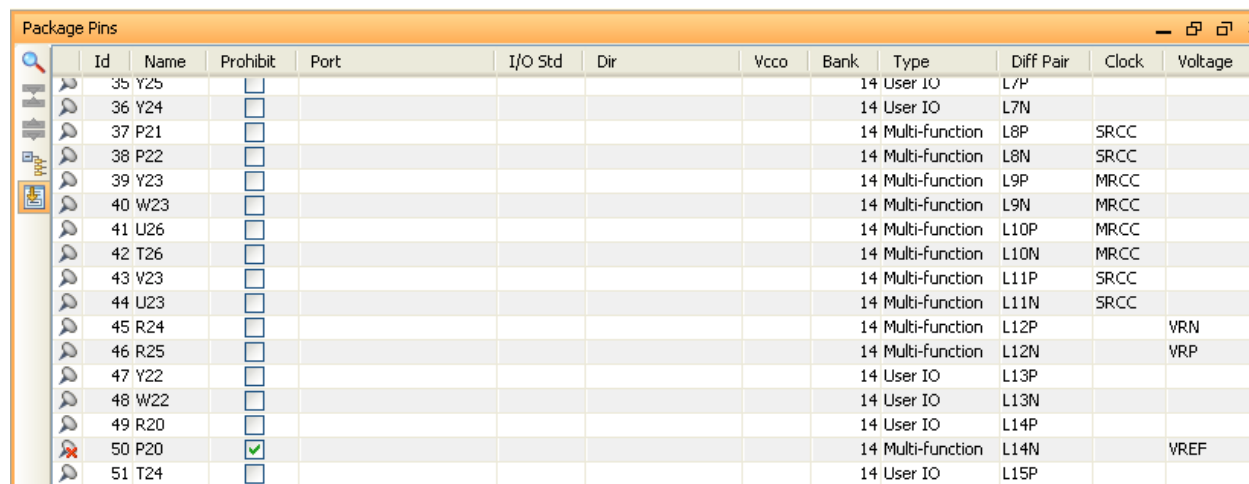
PlanAhead ツールには、複数のツリー表示形式のビューが含まれています。各ビューには検索やフィルター機能が含まれます。詳細は、『PlanAhead ユーザーガイド』(UG632) の第 4 章「表示環境の使用」の「ツリー表示形式のビュー」を参照してください。

## 手順 3 : 多機能ピンの確認およびデバイス コンフィギュレーション モードの設定

この手順では、多機能ピンを確認し、デバイス コンフィギュレーション モードを設定します。

### 多機能ピンの確認

1. [Package Pins] ビューを最大化します。
2. リストをスクロールして、[Type] 列に表示される多機能ピン (Multi-function) を確認します。



	Id	Name	Prohibit	Port	I/O Std	Dir	Vcco	Bank	Type	Diff Pair	Clock	Voltage
	35	Y25	<input type="checkbox"/>						14 User IO	L7P		
	36	Y24	<input type="checkbox"/>						14 User IO	L7N		
	37	P21	<input type="checkbox"/>						14 Multi-function	L8P	SRCC	
	38	P22	<input type="checkbox"/>						14 Multi-function	L8N	SRCC	
	39	Y23	<input type="checkbox"/>						14 Multi-function	L9P	MRCC	
	40	W23	<input type="checkbox"/>						14 Multi-function	L9N	MRCC	
	41	U26	<input type="checkbox"/>						14 Multi-function	L10P	MRCC	
	42	T26	<input type="checkbox"/>						14 Multi-function	L10N	MRCC	
	43	Y23	<input type="checkbox"/>						14 Multi-function	L11P	SRCC	
	44	U23	<input type="checkbox"/>						14 Multi-function	L11N	SRCC	
	45	R24	<input type="checkbox"/>						14 Multi-function	L12P		VRN
	46	R25	<input type="checkbox"/>						14 Multi-function	L12N		VRP
	47	Y22	<input type="checkbox"/>						14 User IO	L13P		
	48	W22	<input type="checkbox"/>						14 User IO	L13N		
	49	R20	<input type="checkbox"/>						14 User IO	L14P		
	50	P20	<input checked="" type="checkbox"/>						14 Multi-function	L14N		VREF
	51	T24	<input type="checkbox"/>						14 User IO	L15P		

図 8 : 多機能ピンの確認

3. 次の列を確認します。
  - [Config] (デバイス コンフィギュレーション ピン)
  - [System Monitor] (システム モニター)
  - [Gigabit I/O] (ギガビット I/O)

これらのロジック オブジェクトの多くは、多機能ピンに依存し、決まった I/O 要件を持つので、I/O 配置に影響を与えることがあります。このチュートリアルで使用するデザインにこれらのオブジェクトが含まれる場合、この表は多機能ピンを検証できるようになっています。

4. [Package Pins] ビューに戻ります。

## デバイス コンフィギュレーション モードの設定

PlanAhead ツールでは、複数のデバイス コンフィギュレーション オプションを設定できます。コンフィギュレーション モードの中には、多機能 I/O ピンに影響を与える可能性のあるものもあります。関連するピンは、[Package Pins] ビューの [Config] 列に表示されます。

1. [Tools] → [I/O Planning] → [Set Configuration Modes] をクリックします。[Set Part Compatibility Modes] ダイアログ ボックスが表示されます。

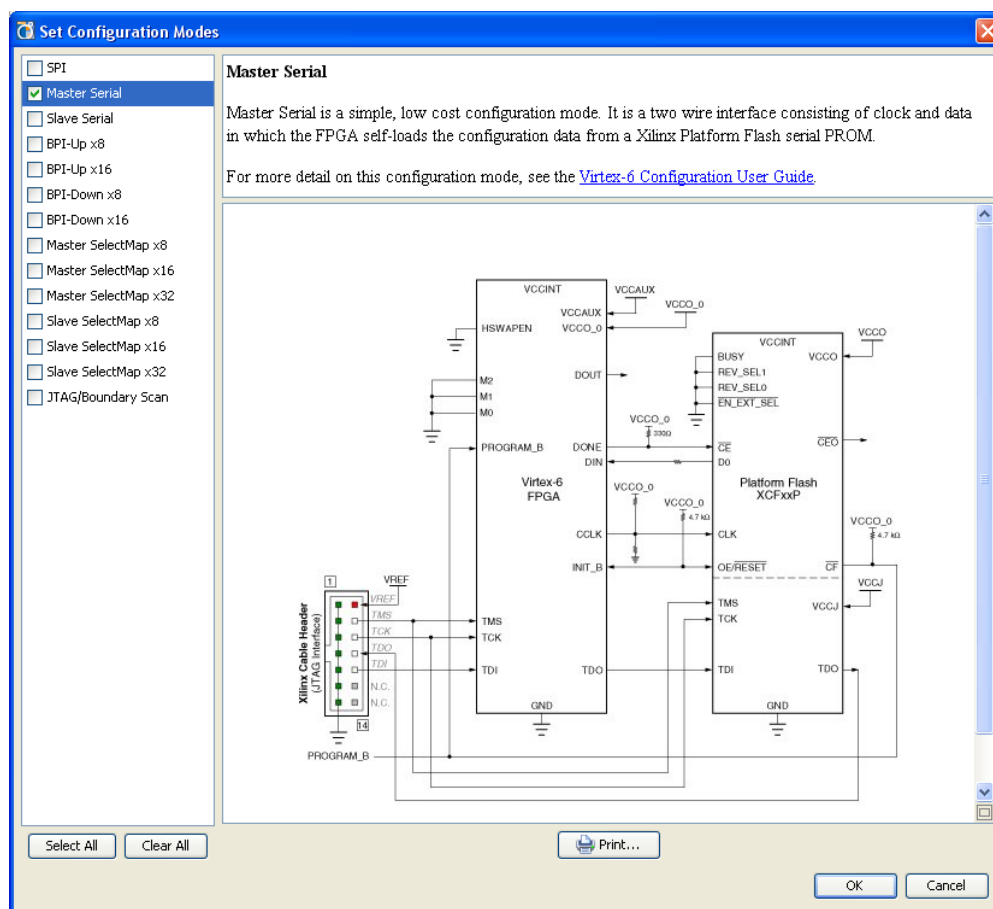


図 9 : デバイス コンフィギュレーション モードの選択

2. [Set Configuration Modes] ダイアログ ボックスでモードを選択し、その説明や回路図、データシートなどを確認します。
  3. [OK] をクリックします。
  4. [Sort the Package Pins View after Set Configuration Modes] を選択して、確認のダイアログ ボックスで [OK] をクリックします。
- 選択したデバイス コンフィギュレーション モードに関連するピンが [Package Pins] ビューの一番上に表示されるので、潜在的な多機能ピンの競合がないか確認できます。
5. 選択したコンフィギュレーション モードに必要なコンフィギュレーション ピンを確認します。

## 手順 4 : 互換性のある代替デバイスの指定

FPGA デザイン プロセス中に、デバイスをより大きいものや、別のタイプに変更する必要があることがあります。PlanAhead ツールでは、デバイスを変更しても、I/O 割り当てが引き継がれるように互換性のあるデバイスを選択することができます。この機能は通常共通パッケージを使用するデバイス同士に使用限定されています。

次の手順で、デバイスを変更しても I/O ピン配置が使用できるようになります。

1. [Tools] → [I/O Planning] → [Set Part Compatibility] をクリックします。

[Set Part Compatibility] ダイアログ ボックスが表示されます。

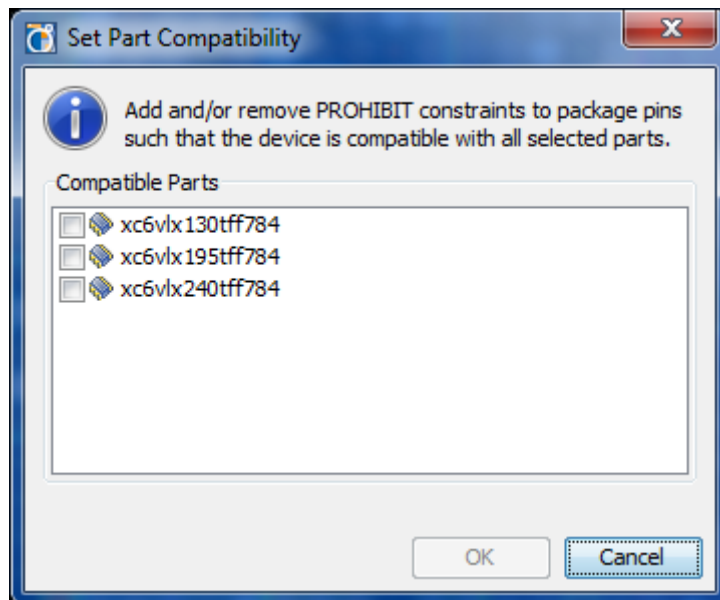


図 10 : 互換性のあるデバイスの定義

2. xc6vlx130tff784 デバイスを選択します。
3. [OK] をクリックします。
4. PROHIBIT 制約がないことを確認するダイアログ ボックスが表示されたら、[OK] をクリックします。

PROHIBIT 制約は、制限事項の最も多いデバイスに基づいて割り当てられています。この例では、一番小型のデバイスをターゲットにするため、PROHIBIT 制約はありません。



## 手順 5 : I/O ポートの定義と設定

ここでは mybus という新規 I/O バス ポートを作成およびコンフィギュレーションします。

1. [I/O Ports] ビューで右クリックし、[Create I/O Ports] をクリックします。

[Create I/O Ports] ダイアログ ボックスが表示されます。

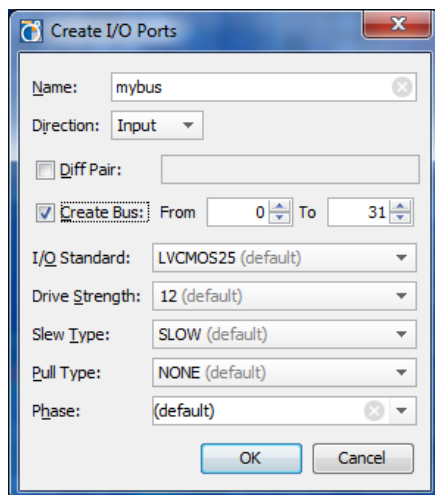


図 11 : I/O ポートの作成

**注記 :** [Configure I/O Ports] コマンドを実行すると、既存の I/O ポートをコンフィギュレーションするダイアログ ボックスと同じようなダイアログ ボックスが表示されます。

2. [Name] フィールドに「mybus」と入力します。
3. [Create Bus] チェックボックスをオンにします。
4. その他のオプションを確認します。
5. [OK] をクリックします。

[I/O Ports] ビューに新しい I/O ポートが表示されます。

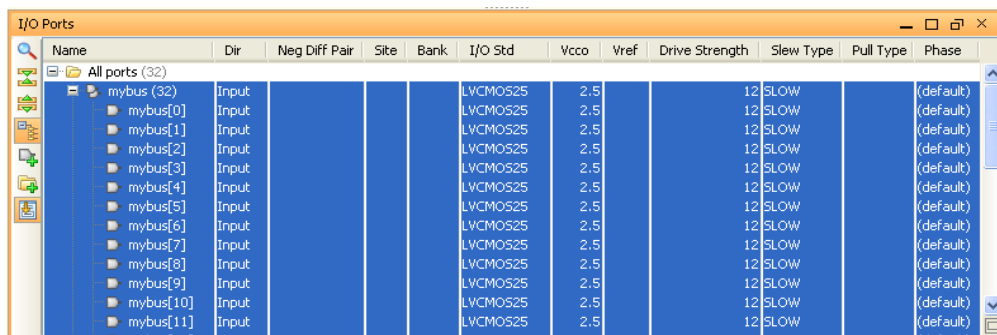


図 12 : 新しく追加した I/O ポートの表示

6. [Edit] → [Undo] をクリックし、追加した I/O ポート (mybus) を削除します。



## 手順 6 : I/O ポート リストのエクスポート

PlanAhead ツールでは、さまざまなフォーマットのファイルをインポートして、I/O ピン割り当てることができます。CSV、UCF、RTF フォーマットのファイルをインポートして、I/O ピンを確認したり、割り当てたりできます。また、I/O ポートをインタラクティブに作成することもできます (最後の手順で説明)。

早期段階で I/O ピンを配置する場合には注意が必要です。合成済みネットリストがない場合は、I/O ポート配置と DRC ルーチンでクロック、クロック同士の関係、GT ロジックなどは認識されないため、I/O ピンの割り当ては、できれば合成済みネットリストをインポートしてから実行してください。I/O ピン配置は、ISE インプリメンテーション ツールでデザインが実行され、I/O とクロックの配置の DRC にエラーがないことを確認してからでないと、有効にはなりません。

### CSV 形式の I/O ポートリストのインポートと解析

1. Windows エクスプローラから次の I/O ポートの CSV ファイルを開きます。

<Extract\_Dir>/PlanAhead\_Tutorial/Sources/IO\_Ports\_import.csv

2. I/O ポートのスプレッドシート形式と内容を確認したら、保存せずにファイルを閉じます。
3. PlanAhead ツール環境の左側にある Flow Navigator で [Import I/O Ports] をクリックします。

**注記 :** PlanAhead 環境左側の矢印をクリックして、Flow Navigator を表示する必要のあることもあります。

4. CSV ファイル ブラウザーを選択して、次のファイルを選択します。[OK] をクリックします。

<Extract\_Dir>/PlanAhead\_Tutorial/Sources/IO\_Ports\_import.csv

[Device] および [Package] ビューに割り当てられたポートが、[I/O Ports] ビューにはインポートされた I/O ポートが表示されます。CSV ファイルをインポートする場合は、[Create I/O Ports] コマンドでポートを定義する前にインポートするようにしてください。

Name	Dir	Neg Diff Pair	Site	Bank	I/O Std	Vcco
<b>All ports (144)</b>						
DataIn_pad_0_i (8)	Input			14	LVC MOS25	2.5
DataIn_pad_1_i (8)	Input			16	LVC MOS25	2.5
DataOut_pad_0_o (8)	Output			14	LVC MOS25	2.5
DataOut_pad_1_o (8)	Output			16	LVC MOS25	2.5
LineState_pad_0_i (2)	Input			14	LVC MOS25	2.5
LineState_pad_1_i (2)	Input			16	LVC MOS25	2.5
OpMode_pad_0_o (2)	Output			14	LVC MOS25	2.5
OpMode_pad_1_o (2)	Output			16	LVC MOS25	2.5
RXP_IN (8)	Input	RXN_IN			LVDS_25	
TXP_OUT (8)	Output	TXN_OUT			LVDS_25	2.5
VControl_pad_0_o (4)	Output			14	LVC MOS25	2.5

図 13 : バス別に分類された I/O バス ポート

バスは一緒に分類され、展開して表示できます。

## 手順 7: デバイスと I/O ピン割り当てのエクスポート

I/O ポートの割り当ては、UCF、CSV、VHDL、Verilog のいずれかの形式でエクスポートできます。エクスポートしたファイルは、HDL ヘッダーや PCB 回路図シンボルの生成に使用できます。CSV ファイルには、すべてのピンのパッケージ情報も含まれ、I/O ポートの割り当てを新しく開始する場合に使用できます。

### [Export I/O Ports] コマンドを使用した I/O ポート リストのエクスポート

1. [File] → [Export] → [Export I/O Ports] をクリックします。
2. [Export I/O Ports] ダイアログ ボックスの [Specify Types to Generate] で [CSV] および [UCF] の両方をオンにします。

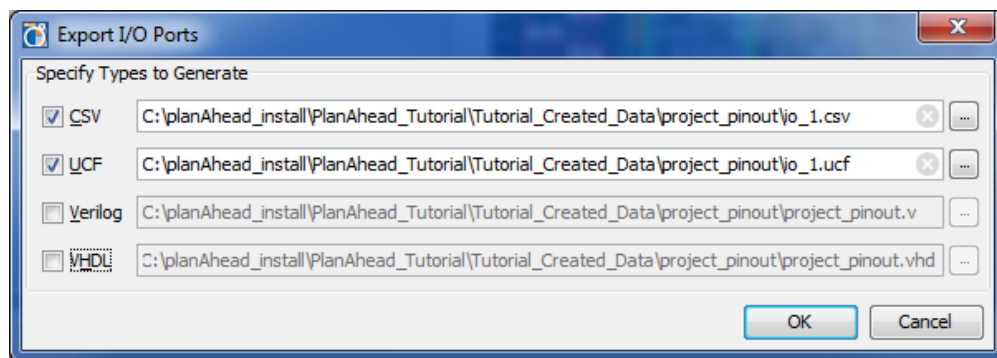


図 14: I/O ポートの CSV スプレッドシートと UCF ファイルへのエクスポート

3. デフォルトのファイル名とディレクトリのまま、[OK] をクリックします。
4. Windows エクスプローラで次のエクスポートされた CSV ファイルを開きます。  
<Extract\_Dir>/PlanAhead\_Tutorial/Tutorial\_Created\_Data/project\_pinout/io\_1.csv.  
次の図はファイルの例です。
5. エクスポートされた I/O ポートのスプレッドシートを確認します。

#Top: design_netlist_EMPTY Floorplan: io_1 Part: xc6vxc75tff784-1										
#Generated by: on: Wed Jan 12 19:12:52 2011										
#Build: PlanAhead v13.1 by: hdbuild on: Wed Jan 12 09:12:30 PST 2011										
IO Bank	Pin Number	IOB Alias	Site Type	Min Trace	Max Trace	Trace Len	Prohibit	Interface	Signal Name	Direction
14	V25	IOB_X0Y32	IO_L3N_14	49.602	57.869	8267			DataIn_pad_0_i[7]	IN
14	W25	IOB_X0Y33	IO_L3P_14	56.874	66.353	9479			DataIn_pad_0_i[6]	IN
14	U28	IOB_X0Y34	IO_L2N_14	57.912	67.564	9652			DataIn_pad_0_i[5]	IN
14	V28	IOB_X0Y35	IO_L2P_14	66.642	77.749	11107			DataIn_pad_0_i[4]	IN
14	U27	IOB_X0Y36	IO_L1N_14	52.968	61.796	8828			DataIn_pad_0_i[3]	IN
14	T27	IOB_X0Y37	IO_L1P_14	51.204	59.738	8534			DataIn_pad_0_i[2]	IN
14	R28	IOB_X0Y38	IO_L0N_14	50.226	58.597	8371			DataIn_pad_0_i[1]	IN
14	R27	IOB_X0Y39	IO_L0P_14	48.678	56.791	8113			DataIn_pad_0_i[0]	IN
14	V24	IOB_X0Y24	IO_L7N_14	57.264	66.808	9544			DataOut_pad_0_o[7]	OUT
14	V25	IOB_X0Y25	IO_L7P_14	61.92	72.24	10320			DataOut_pad_0_o[6]	OUT
14	Y27	IOB_X0Y26	IO_L6N_14	70.332	82.054	11722			DataOut_pad_0_o[5]	OUT
14	W27	IOB_X0Y27	IO_L6P_14	65.628	76.566	10938			DataOut_pad_0_o[4]	OUT
14	W28	IOB_X0Y28	IO_L5N_14	65.526	76.447	10921			DataOut_pad_0_o[3]	OUT
14	Y28	IOB_X0Y29	IO_L5P_14	73.074	85.253	12179			DataOut_pad_0_o[2]	OUT
14	V26	IOB_X0Y30	IO_L4N_VREF_14	48.12	56.14	8020			DataOut_pad_0_o[1]	OUT
14	W26	IOB_X0Y31	IO_L4P_14	56.616	66.052	9436			DataOut_pad_0_o[0]	OUT
14	P22	IOB_X0Y22	IO_L8N_SRCC_14	12.15	14.175	2025			LineState_pad_0_i[1]	IN
14	P21	IOB_X0Y23	IO_L8P_SRCC_14	7.236	8.442	1206			LineState_pad_0_i[0]	IN

図 15 : エクスポートされた I/O ポートのスプレッドシート表示

既に定義されている場合はこのスプレッドシートに [Interface] グループ名が含まれます。PC ボードを設計する場合は、このスプレッドシートを使用し、インターフェイス別の回路図シンボルを作成できます。I/O ポートインターフェイスの作成については、この後の手順で説明します。

6. io\_1.csv ファイルを閉じます。

## I/O ピン配置プロジェクトを閉じる

1. [File] → [Close Project] をクリックします。
2. 保存するかどうかを尋ねられたら、[I/O Design - constr\_1] を選択します。
3. [Save] をクリックします。
4. [Confirm Close Project] ダイアログ ボックスで [OK] をクリックします。

## 手順 8 : I/O ポート割り当ての解析

[I/O Planning] レイアウトでは、さまざまな方法で I/O ポートをパッケージ ピンか I/O チップ パッドのいずれかに配置できます。自動配置のコマンドを使用すると、選択したすべての I/O ポート グループがバスおよびインターフェイス別に分けられ、I/O バンク規則に従って配置されます。

また、選択した I/O ポートを [Package] ビューや [Device] ビューにドラッグできる半自動配置モードも 3 種類あります。

- [Place I/O Ports in an I/O Bank] モード
- [Place I/O Ports in Area] モード
- [Place I/O Ports Sequentially] モード

[I/O Planning] レイアウトでは、I/O 配置中に DRC のオン/オフを切り替えることができます。

## 合成済みのネットリスト ベース プロジェクトを開く

1. [Getting Started] ページで [Open Project] のリンクをクリックするか、[File] → [Open Project] をクリックします。
2. 次のプロジェクト ファイルを指定します。  
    <Extrac\_Dir>/PlanAhead\_Tutorial/Projects/project\_cpu\_netlist/project\_cpu\_netlist.ppr
3. または、[Getting Started] ページで [Open Example Project] → [CPU (Synthesized)] をクリックします。
4. [Sources] ビューで [Constraint] → [constr\_1] フォルダの横に (active) が表示されていることを確認します。アクティブになっていない場合は、右クリックし、[Make Active] をクリックします。
5. [Flow] → [Netlist Design] をクリックし、合成済みデザインを開きます。
6. または、メイン ウィンドウの左側の Flow Navigator で [Netlist Design] をクリックします。
7. メイン ツールバーの [Layout] プルダウン リストから [I/O Planning] をクリックします (デフォルトは [Design Analysis])。
8. [I/O Planning] レイアウトが表示されます。

## ワークスペースに [Package] ビューと [Device] ビューの両方を表示

PlanAhead ツールにはワークスペースというグラフィカルな表示エリアがあります。この表示エリアは、複数のウィンドウを一度に表示するために、垂直方向または水平方向に分割できます。これにより、I/O バンクとインターフェイスを選択して、物理パッケージピンと内部ダイパッドの位置を確認できます。

1. デフォルトでは、[Package] ビューと [Device] ビューの両方が表示されます。必要であれば、[Device] ビューのタブをクリックして、[Package] ビューのタブにドラッグします。
2. [Package] ビューのタブをクリックし、グレーの長方形が表示されるまでワークスペースの右端にドラッグします。

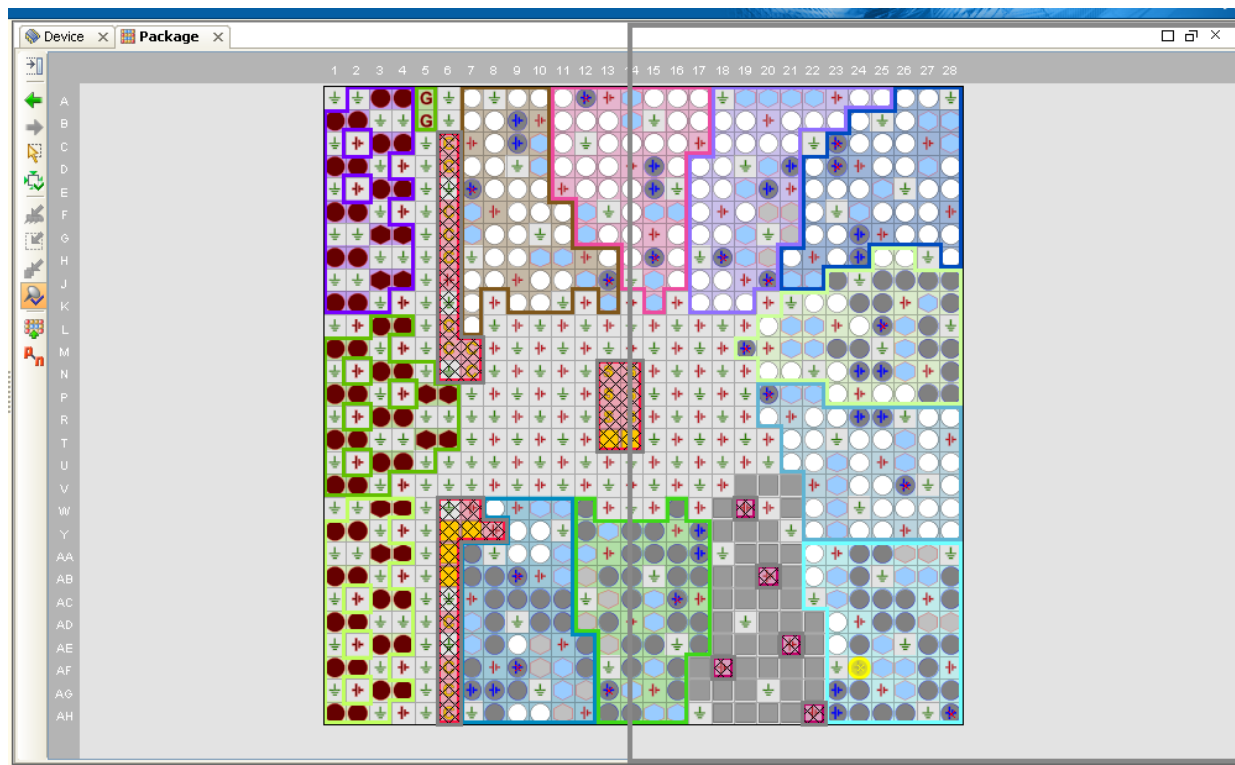


図 16: ワークスペースでのビュー エリアの分割

3. ドラッグしたら、ドロップします。
4. 必要であれば [Device] ビューのタブをクリックして手前に表示します。

5. 適宜ワークスペースの大きさを調整します。次の図は [Package] ビューと [Device] ビューが同時に表示されている例です。

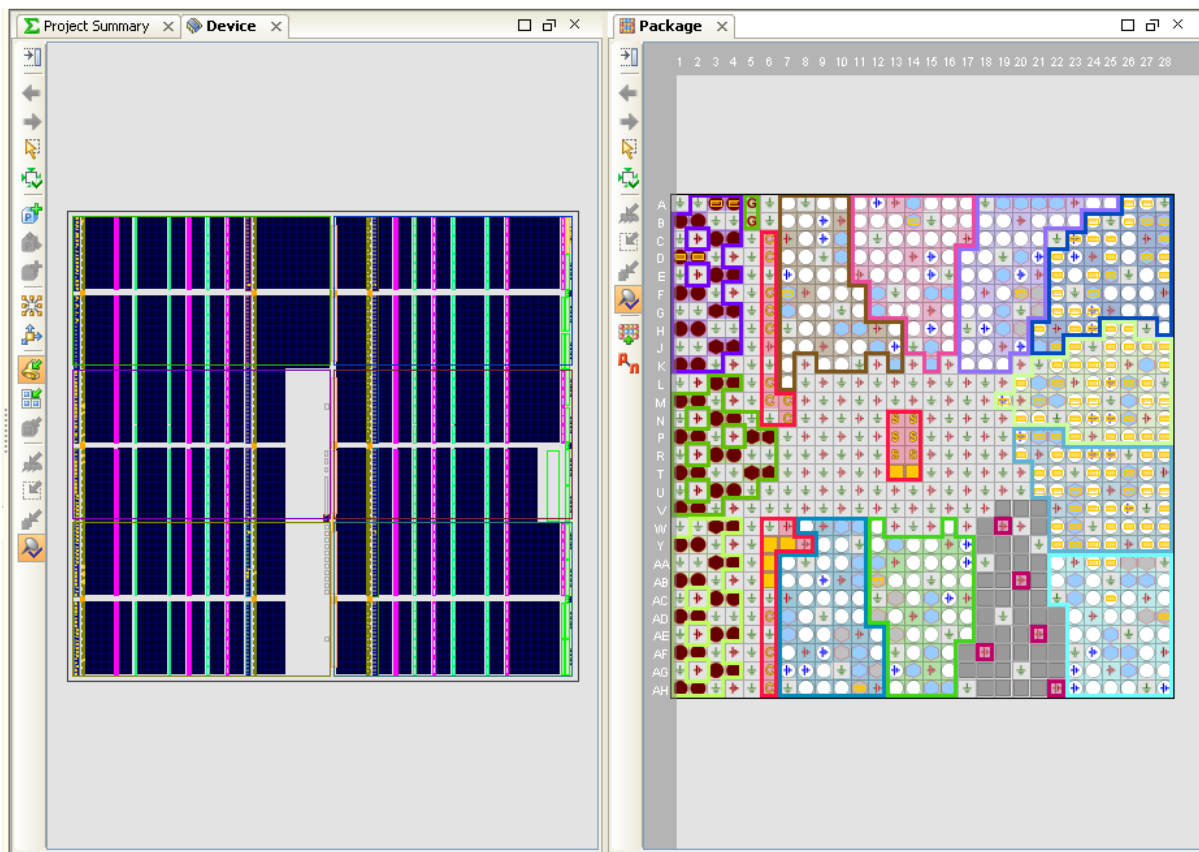



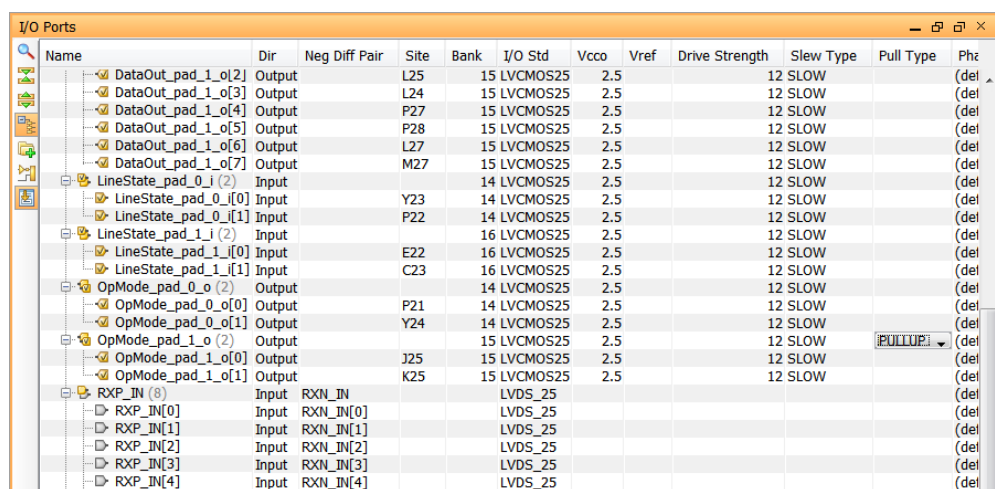


図 17 : [Package] ビューと [Device] ビューの同時表示

## I/O ポートの確認

1. [I/O Ports] ビューで [Maximize] ボタン  をクリックします。
2. [I/O Ports] ビューで [Expand All] ボタン  をクリックします。
3. バスおよび信号のリストをスクロール ダウンします。  
バスによっては、差動ペアのバスであることを示す [Neg Diff Pair] フィールドが表示されます。
4. [I/O Ports] ビューで [Group by Interface and Bus]  をクリックしてオフにします。
5. I/O ポートが、バス別ではなく、1 つのリストとしてフラットに表示されます。
6. リストをスクロールダウンし、I/O 規格 (I/O Std) の値を表示します。



Name	Dir	Neg Diff Pair	Site	Bank	I/O Std	Vcco	Vref	Drive Strength	Slew Type	Pull Type	Phz
DataOut_pad_1_o[2]	Output		L25	15	LVCMS25	2.5		12 SLOW			(del)
DataOut_pad_1_o[3]	Output		L24	15	LVCMS25	2.5		12 SLOW			(del)
DataOut_pad_1_o[4]	Output		P27	15	LVCMS25	2.5		12 SLOW			(del)
DataOut_pad_1_o[5]	Output		P28	15	LVCMS25	2.5		12 SLOW			(del)
DataOut_pad_1_o[6]	Output		L27	15	LVCMS25	2.5		12 SLOW			(del)
DataOut_pad_1_o[7]	Output		M27	15	LVCMS25	2.5		12 SLOW			(del)
LineState_pad_0_i (2)	Input			14	LVCMS25	2.5		12 SLOW			(del)
LineState_pad_0_i[0]	Input		Y23	14	LVCMS25	2.5		12 SLOW			(del)
LineState_pad_0_i[1]	Input		P22	14	LVCMS25	2.5		12 SLOW			(del)
LineState_pad_1_i (2)	Input			16	LVCMS25	2.5		12 SLOW			(del)
LineState_pad_1_i[0]	Input		E22	16	LVCMS25	2.5		12 SLOW			(del)
LineState_pad_1_i[1]	Input		C23	16	LVCMS25	2.5		12 SLOW			(del)
OpMode_pad_0_o (2)	Output			14	LVCMS25	2.5		12 SLOW			(del)
OpMode_pad_0_o[0]	Output		P21	14	LVCMS25	2.5		12 SLOW			(del)
OpMode_pad_0_o[1]	Output		Y24	14	LVCMS25	2.5		12 SLOW			(del)
OpMode_pad_1_o (2)	Output			15	LVCMS25	2.5		12 SLOW		PULLUP	(del)
OpMode_pad_1_o[0]	Output		J25	15	LVCMS25	2.5		12 SLOW			(del)
OpMode_pad_1_o[1]	Output		K25	15	LVCMS25	2.5		12 SLOW			(del)
RXP_IN (8)	Input	RXN_IN			LVDS_25						(del)
RXP_IN[0]	Input	RXN_IN[0]			LVDS_25						(del)
RXP_IN[1]	Input	RXN_IN[1]			LVDS_25						(del)
RXP_IN[2]	Input	RXN_IN[2]			LVDS_25						(del)
RXP_IN[3]	Input	RXN_IN[3]			LVDS_25						(del)
RXP_IN[4]	Input	RXN_IN[4]			LVDS_25						(del)

図 18 : I/O 規格および差動ペアの要件の確認


RXP\_IN、TXP\_OUT、TILE\_REFCLK\_PAD バスは差動ペアで、個別の I/O 規格が使用されていることがわかります。

## 手順 9 : I/O ポート インターフェイスの作成

I/O ポートを I/O インターフェイス別にグループ分けすると便利です。[I/O Planning] レイアウトでは、ピン、バス、その他インターフェイスといったグループを「Interface」と呼ばれるフォルダー定義別にまとめることができます。これにより、I/O ポートが管理しやすくなり、インターフェイス別に PCB 回路図シンボルを生成できるようになります。また、これにより I/O ポートを自動配置するコマンドが実行され、可能な場合はデバイス上でインターフェイスすべてがまとめられます。

### 類似した I/O ポートグループのインターフェイス作成

このチュートリアルで使用されるデザインには、USB インターフェイスが 2 つ含まれ、それぞれに多くの I/O ポートが含まれています。I/O ポート名は上の図で示すように \_0 および \_1 で区別されています。次の手順では、USB0 および USB1 のすべての信号のインターフェイスを作成します。

1. [I/O Ports] ビューで、[Show Search] ボタン  をクリックします。
2. [Search] フィールドに「\_0」と入力します。

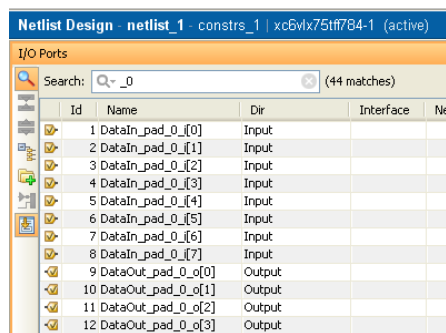


図 19 : USB\_0 に関連するポートの選択

3. フィルターされたリストからポートの 1 つをクリックします。
4. Ctrl+A を押し、フィルターされたリストのすべてのポートを選択します。
5. 右クリックし、[Create I/O Port Interface] をクリックします。  
[Create I/O Port Interface] ダイアログ ボックスが表示されます。
6. [Name] フィールドに「USB0」と入力します。



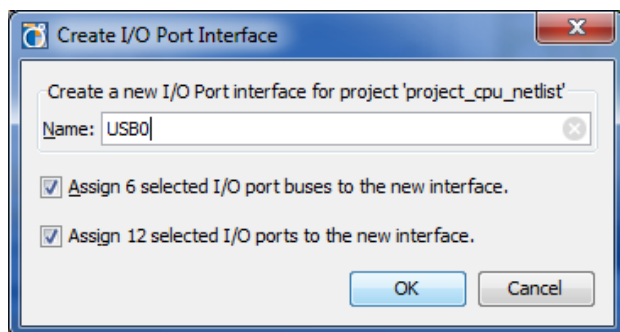






図 20 : I/O ポート インターフェイスの作成

7. [OK] をクリックします。
8. [Search] フィールドで「\_0」と入力したものを「\_1」に変更し、同じ手順で USB1 の I/O ポートインターフェイスを作成します。
9. [Show Search] ボタン  をクリックし、検索フィルターを削除します。
10. [Group by Interface and Bus] ボタン  をクリックします。
11. [Collapse All]  をクリックします。  
I/O ポート リストには、USB 関連ポートすべてがインターフェイス グループ別に表示されます。
12. [Scalar ports] フォルダを展開し、クロック リセットおよびその他のポートを表示します。
13. [Restore] ボタン  をクリックします。  
[I/O Ports] ビューが元の位置に戻ります。

I/O Ports				
	Name	Dir	Neg Diff Pair	Site
[-]	All ports (144)			
[+]	USB0 (44)	(Multiple)		
[+]	USB1 (44)	(Multiple)		
[+]	RXP_IN (8)	Input	RXN_IN	
[+]	TXP_OUT (8)	Output	TXN_OUT	
[+]	or1200_pm_out (4)	Output		
[+]	Scalar ports (20)			
[+]	GTPRESET_IN	Input		J25
[+]	TILE0_PLLKDET_OUT	Output		H26
[+]	TILE0_REFCLK_PAD_P_IN	Input	TILE0_REFCL...	P28
[+]	TILE1_PLLKDET_OUT	Output		H25
[+]	TILE1_REFCLK_PAD_P_IN	Input	TILE1_REFCL...	M27
[+]	TILE2_PLLKDET_OUT	Output		K23
[+]	TILE2_REFCLK_PAD_P_IN	Input	TILE2_REFCL...	M23


図 21 : I/O ポート インターフェイス グループとスカラー ポートの表示

## 手順 10: インポートした I/O 配置制約の削除

PlanAhead ツールには、配置制約を維持したり、削除したりできるオプションやフィルターがあります。I/O は手動で割り当てられるので、配置された I/O およびクロック ロジックには固定 LOC 配置制約が付きます。PlanAhead ツールでは、ユーザーの配置した (固定した) 制約と ISE インプリメンテーションで配置された (固定されていない) 制約が区別されます。固定された配置はすべて、ISE インプリメンテーション用にエクスポートされた UCF ファイルに LOC 制約として含まれます。

ピン割り当てを作成するには、まずこのプロジェクトにある既存の I/O の LOC 制約を削除する必要があります。

### [Clear Placement Constraints] コマンドを使用してインポートされた I/O 制約を削除

1. [Unselect All] ボタン  をクリックします。
2. [Tools] → [Floorplanning] → [Clear Placement] をクリックします。  
Clear Placement Constraints ウィザードが起動します。
3. [I/O port placement] をオンにします。
4. [Next] をクリックします。

[Fixed Placement] ダイアログ ボックスが開きます。

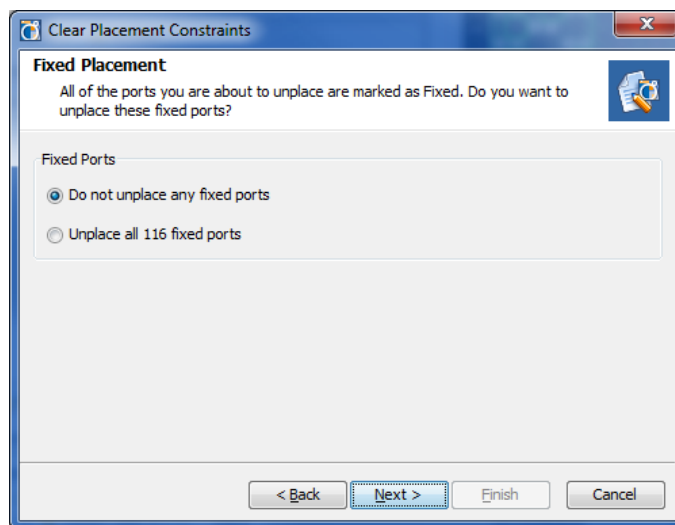



図 22: 配置制約の削除

5. [Unplace all # fixed ports] をオンにします (ここに表示される数値は状況によって異なります)。
6. [Next] をクリックします。
7. [Summary] ダイアログ ボックスを確認します。
8. [Finish] をクリックします。

配置制約が [Package] ビューと [I/O Ports] ビューで削除されます。

## 手順 11 : I/O ポートの配置


PlanAhead ツールでは、さまざまな方法で I/O ポートをパッケージ ピンか I/O ダイ パッドのいずれかに配置できます。自動配置のコマンドを使用すると、選択した I/O ポートのグループすべてがバスおよびインターフェイス別に分けられ、I/O バンク規則に従って配置されます。

デフォルトでは、I/O 配置中にインタラクティブなデザイン ルール チェック (DRC) が使用されます。このチェックは、[Package] ビューおよび [Device] ビューで、[Automatically Enforce Legal I/O Placement] ボタン  をオフにすると実行されなくなります。

また、選択した I/O ポートを [Package] ビューや [Device] ビューにドラッグできる半自動配置モードも 3 種類あります。

- [Place I/O Ports in an I/O Bank] モード
- [Place I/O Ports in Area] モード
- [Place I/O Ports Sequentially] モード

### USB0 ポート インターフェイスの配置

1. [I/O Ports] ビューで [USB0] をクリックします。
2. [Package] ビューで [Place I/O Ports in an I/O Bank] ボタン  をクリックします。
3. カーソルを [Package] ビューの上にドラッグします。

カーソルがパッケージ ピン上にドラッグされると、割り当てパターンが表示され、配置されるピン数が図のように表示されます。

PlanAhead ツール下部にある情報バーには、I/O バンクやパッケージ ピンを含め、ドラッグされているオブジェクトに関する情報が表示されます。



- 


図 24 : [Place I/O Ports in an I/O Bank] モードの続き

I/O ポートが [I/O Ports] ビューの表示どおりに割り当てられます。割り当ては、最初に選択したピン順になります。

[I/O Bank 14] のすぐ下の [I/O Bank 24] をクリックし、残りの I/O ポートも配置します。

5. [I/O Ports] ビューで [Collapse All] ボタン  をクリックします。

## USB1 I/O ポート インターフェイスの配置

1. [Device] ビューでデバイスの左上の区画を拡大表示します。
2. [I/O Ports] ビューで [USB1] をクリックします。
3. [Package] ビューで [Place I/O Ports in Area] ボタン  をクリックします。
4. カーソルが十字型になり描画モードになります。
5. 左上の I/O バンクから右下にカーソルをドラッグして四角形を描画し、すべての I/O ポートがその四角形内に収まるようにします。

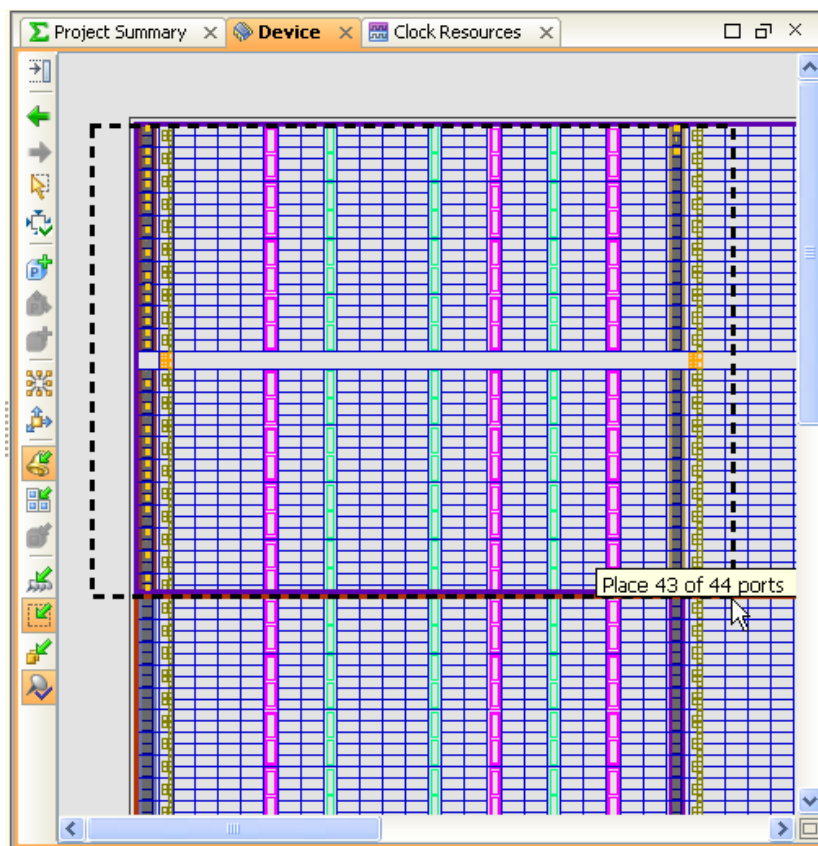




図 25 : USB1 I/O ポートのエリアへの配置

カーソルに未配置の I/O クロック ポートが 1 つ残っています (ツール ヒントには「Place 43 of 44 ports」と表示されていることに注意)。デバイスのこのエリアには、グローバル クロック パッドがありません。これは自動配置コマンドで後で配置できるので、グローバル クロック パッドを見つける必要はありません。

6. Esc キーを押して、コマンドを終了します。
7. [I/O Ports] ビューで [Collapse All] ボタン  をクリックします。

## RXP\_IN 差動ペア バスの配置

1. [Package] ビューで [Show Differential I/O pairs] ボタン  をクリックして表示を切り替えます。
2. 正方形のギガビットトランシーバー (GT) の差動ペア ピンが表示されている [Package] ビュー左下のエリアを拡大します。
3. [Device] ビューの右側の GT の箇所を拡大します。
4. [I/O Ports] ビューで、RXP\_IN バスをクリックします。
5. [Package] ビューで [Place I/O Ports Sequentially] ボタン  をクリックします。
6. 最初の差動ペア I/O ポートを該当ピンの GT I/O バンクの 1 つにドラッグし、クリックして配置します。

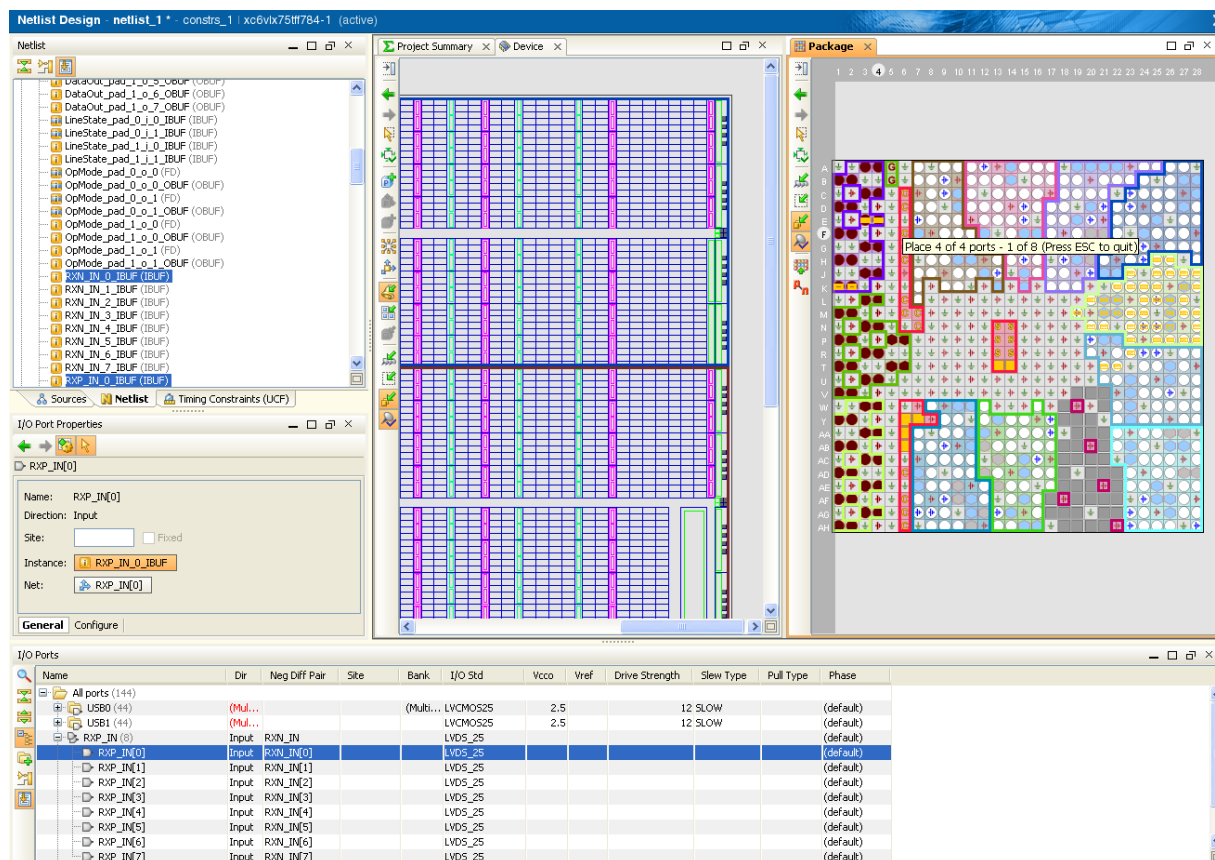


図 26 : 差動ペア I/O バス ポートの順次配置

ギガビットトランシーバー (GT) に関連する差動ペアが両方とも有効なサイトに配置されました。選択したサイトが不正な場合はその理由を示すツール ヒントが表示されます。

ピンの位置は、[I/O Port Properties] ビューの [Site] に手動で入力することもできます。

差動ピンのペアが配置されると、次に配置するピン グループがリストの上に上がってきます。

7. [Package] ビューで別のピンを選択し、次の差動ペア I/O バス ポートを配置します。



8. [Device] ビューで下部の GT の I/O サイトのピンの 1 つをクリックします。

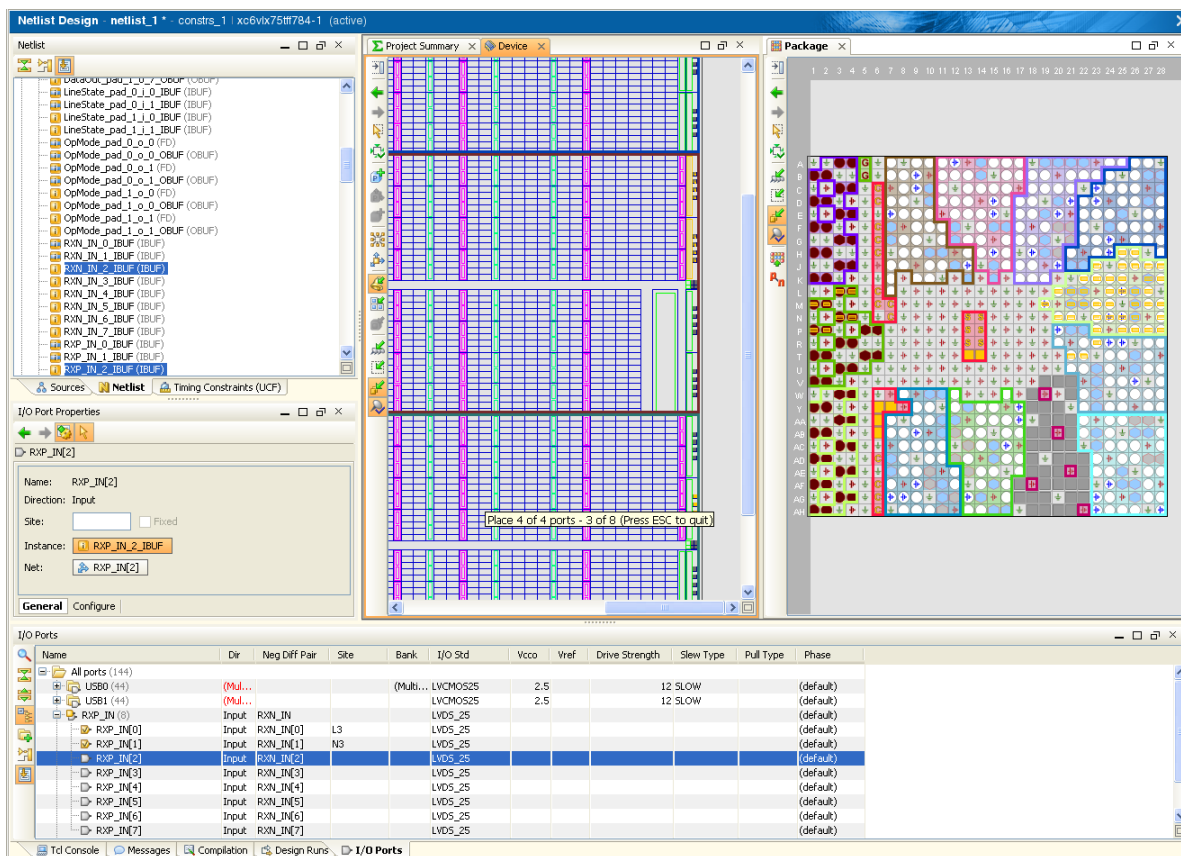


図 27 : [Device] ビューでの GT 関連の I/O の順次配置

9. Esc キーを押して、コマンドを終了します。

次に、GT とそれに関連する I/O を配置します。

10. [Package] ビューで [Show Differential I/O pairs] ボタン  をクリックして表示を切り替えます。

11. [Package] ビューと [Device] ビューでクリックしてからカーソルを右下から左上方向にドラッグし、全体を表示します。

## ワークスペースの [Package] ビューと [Device] ビューの分割表示の解除

この段階で I/O ポートは配置されたので、ワークスペースに [Package] ビューを表示させる必要はなくなりました。分割表示は簡単に解除できます。次の手順に従って分割表示を解除します。

- [Package] ビューのタブをクリックし、[Device] ビューのタブへドラッグします。グレーの長方形で [Device] ビュー全体が囲まれます。
- [Package] ビューを [Device] ビューの上にドロップします。
- [Device] ビューのタブをクリックして手前に表示します。




4. 必要であれば全体を表示するよう調整します。

## 手順 12 : ギガビット トランシーバーおよびクロック ロジックの配置

PlanAhead ツールではクリティカル クロックまたは I/O 関連ロジックを配置できます。合成済みネットリストをインポートしたら、クロックおよびクロックの関係を確認し、これらのロジック オブジェクトを特定のデバイス サイトに固定するために使用することができます。PlanAhead ツールでは、GT や関連 I/O ピン ペアなどのロジックが自動的に分類されるので、ロジックの選択や配置がしやすくなっており、エラーの可能性も削減できます。

### ギガビット I/O とグローバル クロック ロジックの検索

1. [Find] ボタン  をクリックするか、[Edit] → [Find] をクリックします。  
[Find] ダイアログ ボックスが開きます。
2. + ボタンをクリックし、検索にはほかのインスタンス タイプも含められるようにします。
3. 追加したフィルターの行で [Criteria] オプションに [OR] を設定します。
4. 次の図と同じになるようにフィルターを調整します。

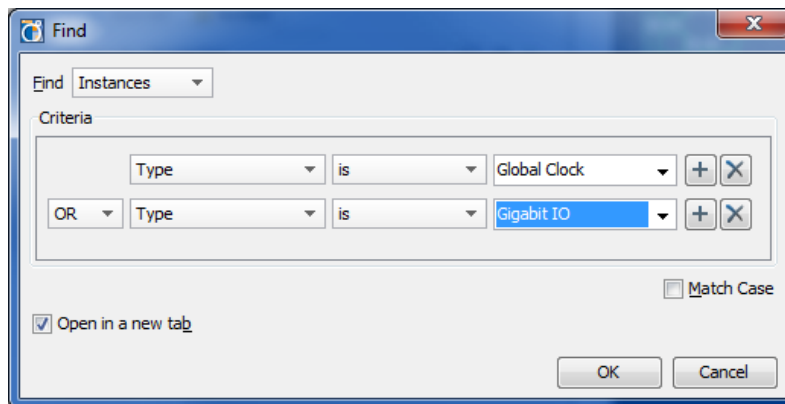


図 28 : グローバル クロックおよびギガビット I/O の検索

5. [OK] をクリックします。  
[Find Results] ビューが開きます。

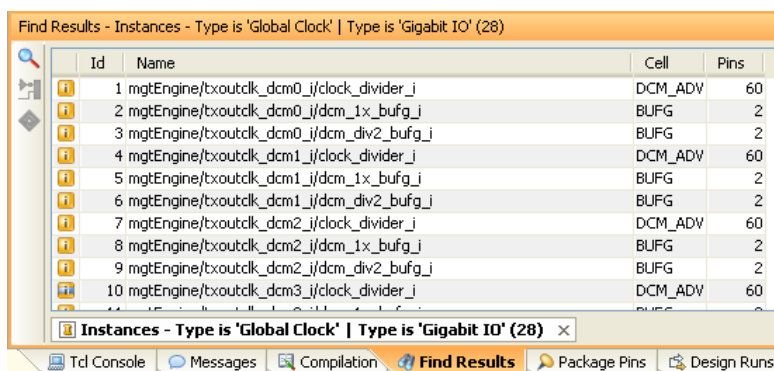


図 29 : グローバル クロックと GTXE1 オブジェクトの表示

6. オブジェクトのリストをスクロール ダウンし、次のものを確認します。

- BUFG
- BUFGP
- DCM\_ADV
- GTXE1

ロジック名に 0 ～ 3 の番号が付いている場合は、各 DCM\_ADV に BUFG が 2 つ接続されていることを示します。

7. 一番下までスクロール ダウンして GTXE1 を確認します。

既に配置されているオブジェクトは、青の横線の入ったアイコンで表示されます。GTXE1 ロジックにも DCM\_ADV と BUFG に合わせて 0 ～ 3 の番号が付いています。

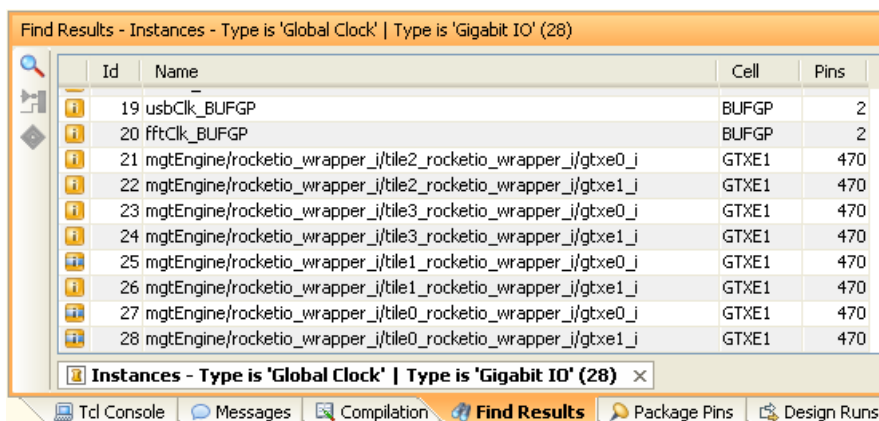


図 30 : 配置済みおよび未配置を示すアイコン

次の手順では、これらのオブジェクトを互いに最適な位置に配置します。

## 回路図を使用したクロック ロジックの確認

[Schematic] ビューを使用すると、デザインに含まれるどのロジックでも展開表示して確認することができます。  
[Schematic] ビューから配置制約を指定することもできます。

1. [Find Results] ビューで一番上の DCM\_ADV オブジェクトをクリックします。

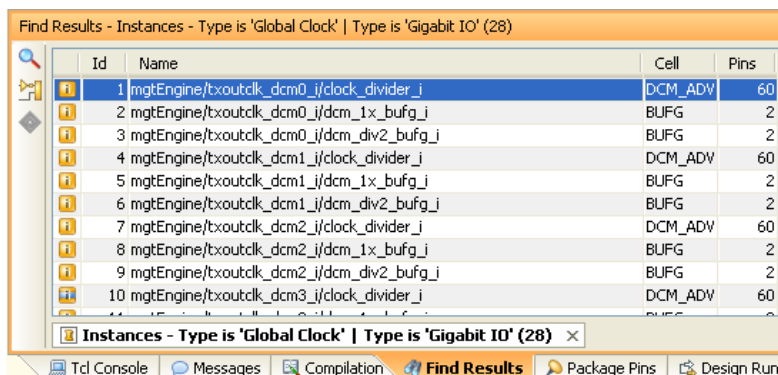




図 31 : 回路図でトレースするクロック ロジックの選択

2. [Find Results] ビューで [Schematic] ボタン  をクリックします。
3. [Schematic] ビューで選択したインスタンス外部のロジックすべてを  をクリックして表示します。
4. 2 つの BUFG のロジック接続を確認します。
5. txoutclk\_dcm0\_1 モジュールの CLK\_IN ポートをダブルクリックします。
6. 拡大して GTX インスタンスのロジック接続を確認します。

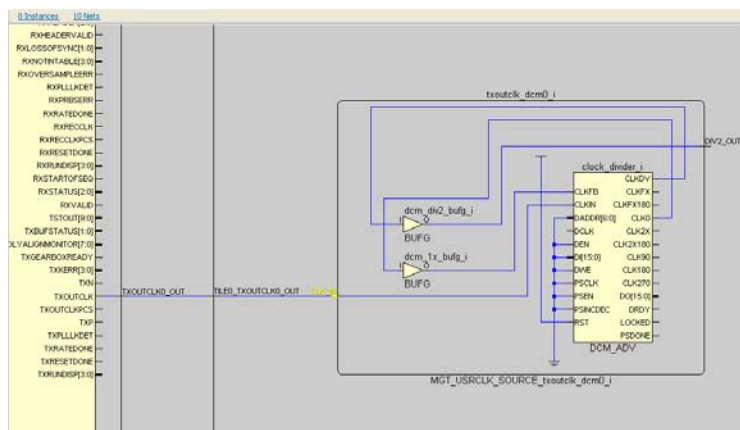




図 32 : クロック ロジック接続の表示

ロジックを選択して [Schematic] ビューで簡単に確認することができます。[Schematic] ビューでロジックを選択すると、ほかのすべてのビューでもそのロジックがハイライトされます。

7. [Schematic] ビューを閉じます。

## [Clock Resources] ビューの表示

1. ワークスペースで [Clock Resources] ビューのタブをクリックします。
2. ビューにタブが表示されていない場合は、[Window] → [Clock Resources] で表示します。
3. 最大化ボタン  をクリックし、ビューを画面全体に表示します。
4. PlanAhead ウィンドウ左側にある [Hide] アイコン  をクリックします。
5. [Clock Resources] ビューをスクロールして確認します。

クロック領域、I/O バンク、さまざまなデバイス リソースがデバイスで検出された箇所に表示されます。[Clock Resources] ビューと [Device] ビューのデバイス サイトの配置は同じようになります。次の図はその例です。

クロック リソースを展開表示させたり閉じたりすることができます。配置されたロジックは、[Instance] 列に表示されます。

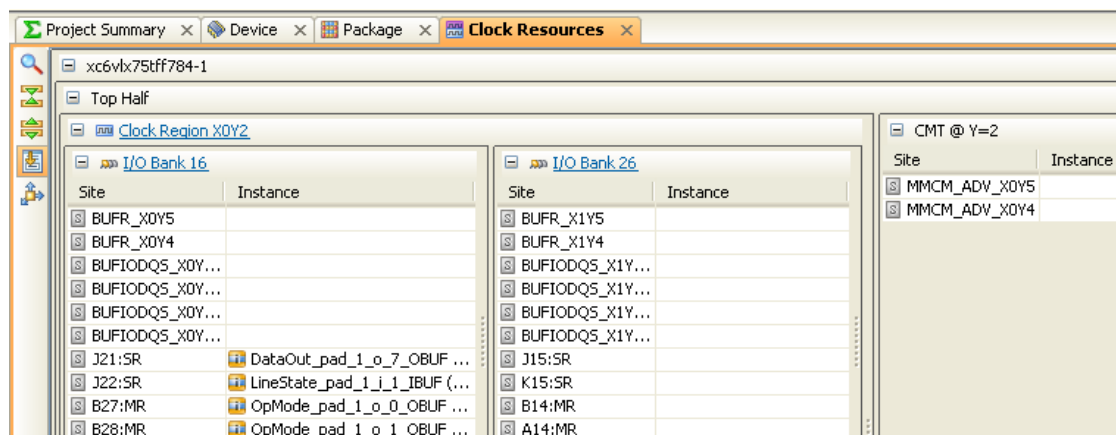


図 33 : [Clock Resources] ビューでのクロック リソースの表示

6. [Clock Resources] ビューで配置済みの GTXE インスタンスの 1 つを検索します。
7. その GTXE に関連するセクション全体が表示されるようにスクロールしてビューのサイズを変更します。  
対応する I/O ペアも次の図にあるように GT バンクに配置されています。

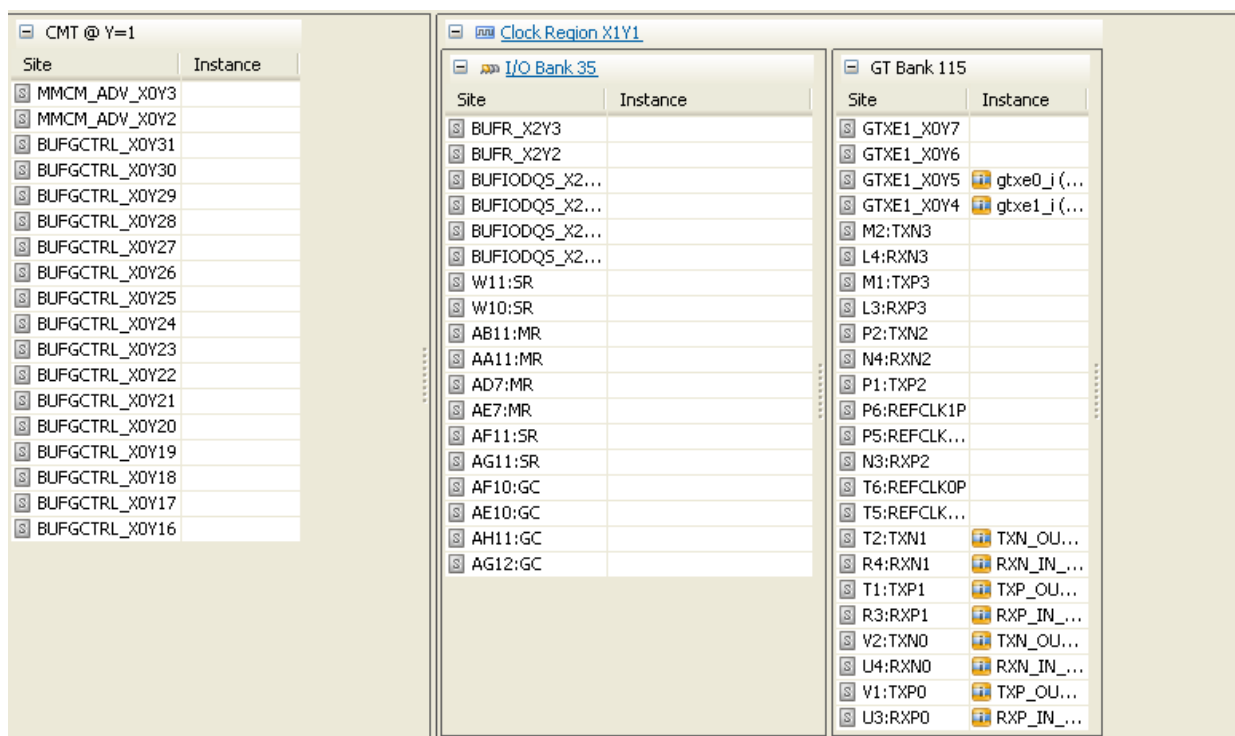


図 34 : GTXE1 の配置の表示

## GTXE1 インスタンスに関連する BUFG の配置

1. 画面下の [Find Results] ビューのタブをクリックします。
2. BUFG の 1 つを選択し、[Clock Resources] ビューの BUFGCTRL\_XXYY サイトの 1 つの [Instance] フィールドにドラッグします。
3. 残りの BUFG でも同じ手順を繰り返します。

このように [Clock Resources] ビューを使用すると、クロックおよび関連する I/O ロジックが配置しやすくなります。

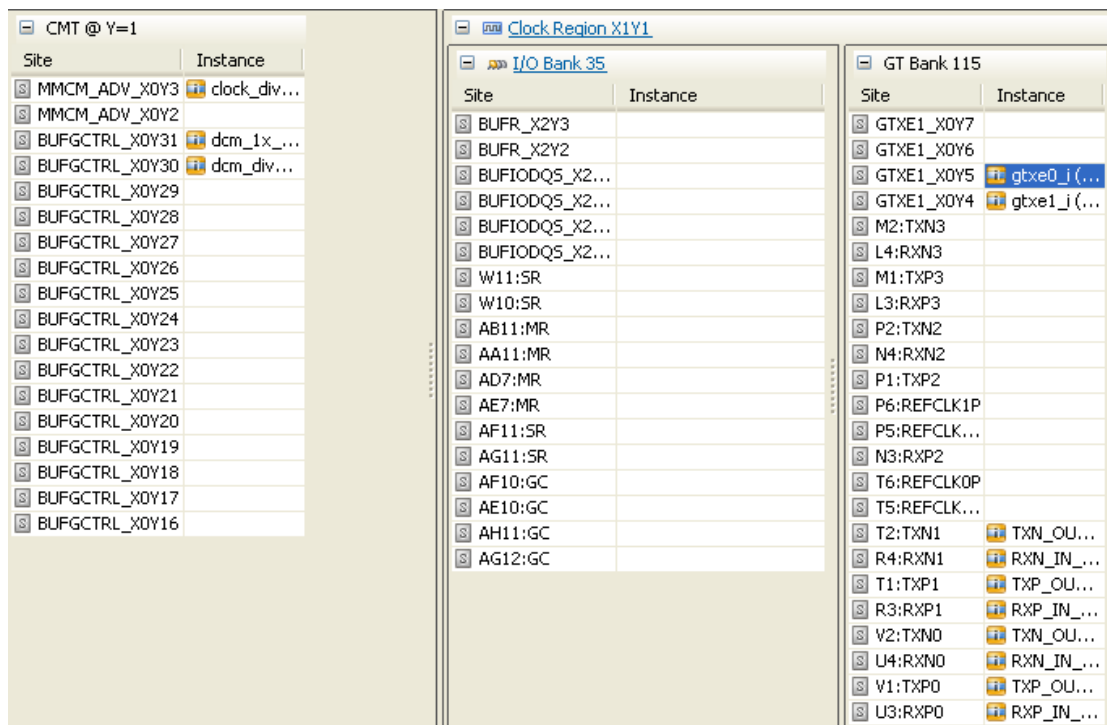



図 35 : GTXE に関連する配置済みクロック ロジックの表示

4. [Find Results] ビューを閉じます。
5. [Clock Resources] ビューで [Restore Workspace] ボタンをクリックし、表示を元に戻します。
6. PlanAhead ツールの左側の [Show] ボタン  をクリックし、Flow Navigator の表示を元に戻します。
7. ワークスペースで [Device] ビューのタブをクリックします。

## 残りの I/O ポートの自動配置

1. 必要であれば [Unselect All]  をクリックします。
2. [Tools] → [I/O Planning] → [Autoplace I/O Ports] をクリックします。
3. [Autoplace I/O Ports] ダイアログ ボックスで [Next] をクリックします。  
[Placed I/O Ports] ページが表示されます。

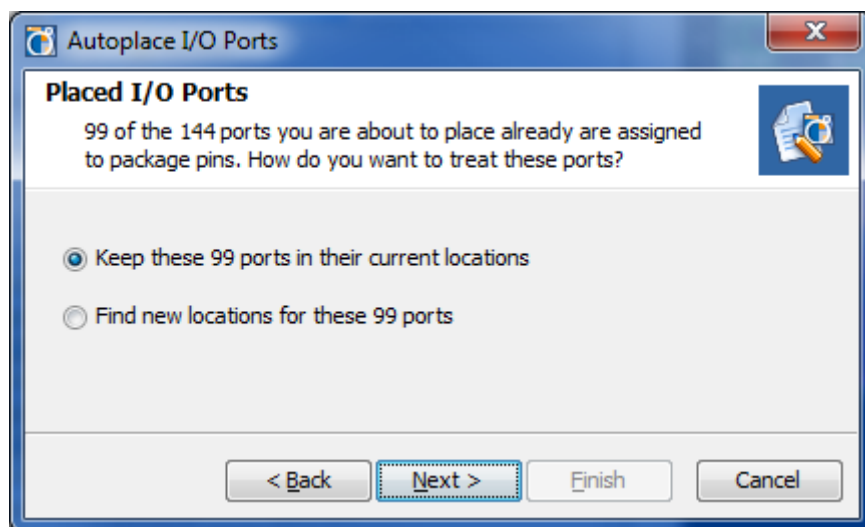


図 36 : I/O ポートの自動配置

このコマンドを実行したときに I/O ポートが選択されている場合は、そのポートのみが自動的に配置されます。

4. [Keep these # ports in their current locations] をオンにします (デザイン例の配置済みポート数は上の図とは異なることもあります)。
5. [Next] をクリックします。
6. [Summary] ページで [Finish] をクリックします。  
ポートが配置されます。
7. 配置を確認するダイアログ ボックスが表示されるので [OK] をクリックします。

## 手順 13 : DRC および SSN 解析

PlanAhead ツールには、I/O ポートが適切に割り当てられるように I/O に関する DRC が含まれています。違反があれば確認してインタラクティブに解決できます。

### I/O に関する DRC の実行

1. Flow Navigator で [Run DRC] をクリックします。
2. [Netlist]、[Floorplan]、[DSP48]、[RAMB]、[FIFO] をオフにします。

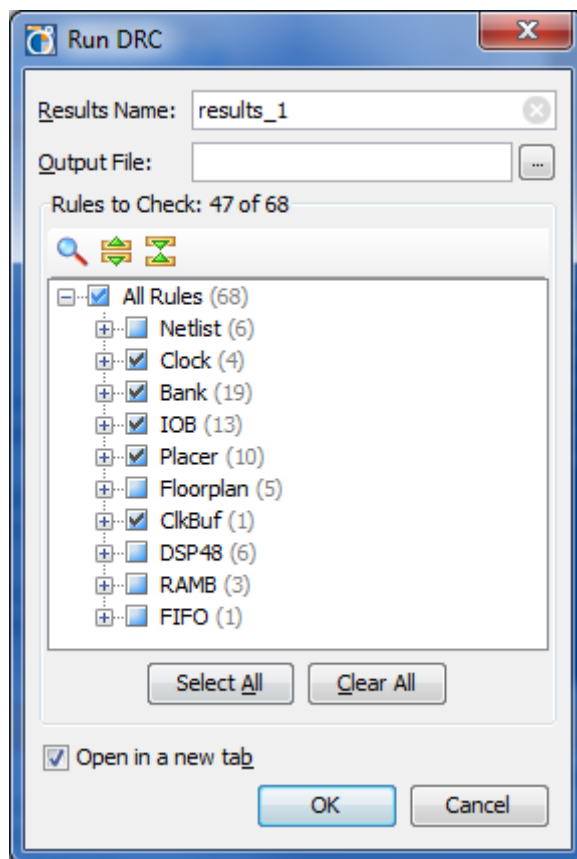


図 37 : I/O に関する DRC の実行

4. ルール タイプを展開表示して確認します。
5. [OK] をクリックします。

この場合、違反はありません。違反がレポートされたとしても、このチュートリアルでは無視して先に進めてください。
6. 確認するダイアログ ボックスが表示されるので [OK] をクリックします。



## ノイズ解析を実行し、潜在的なシグナル インテグリティ問題がないかどうか確認

同時スイッチ ノイズ (SSN) 解析を実行しても、潜在的なシグナル インテグリティ問題が識別することができます。

1. Flow Navigator で [Run Noise Analysis] をクリックします。
2. 確認するダイアログ ボックスが表示されるので [OK] をクリックします。

[SSN Results] ビューが開きます。

SSN Results - results\_1 (11 of 11 Banks Passed)

Name	Port	I/O Std	Vcco	Slew	Drive Strength	Phase	Noise (V)		Margin (V)			Result	Notes
							Contributed	Bank Total	Available	Remaining	Remaining %		
I/O Bank 0 (0)		LVTMOS25	2.5	SLOW		12 (default)			0.184	0.350	0.166	PASS	No output ports assigned to bank
I/O Bank 14 (18)		LVTMOS25	2.5	SLOW		12 (default)			0.132	0.350	0.218	PASS	
I/O Bank 15 (6)		LVTMOS25	2.5	SLOW		12 (default)			0.184	0.350	0.166	PASS	
I/O Bank 16 (18)		LVTMOS25	2.5	SLOW		12 (default)			0.048	0.350	0.302	PASS	
I/O Bank 24 (2)		LVTMOS25	2.5	SLOW		12 (default)			0.04761469...	0.048	0.350	0.302	86.396
Group 1 (2)													
AC25	Xcv5elec...	LVTMOS25	2.5	SLOW		12 (default)							
AA25	phy_rst...	LVTMOS25	2.5	SLOW		12 (default)							
I/O Bank 25 (0)												PASS	No output ports assigned to bank

results\_1 (11 of 11 Banks Passed)

Td ConsoleMessagesCompilationSSN ResultsFind ResultsPackage PinsDesign Runs

図 38 : [SSN Results] ビュー

## [SSN Results] ビューを確認

1. [SSN Results] ビューを最大化します。
2. スクロール ダウンし、I/O バンクのリストを展開表示します。
3. レポートには、各グループのノイズの総計、バンクごとの総計、許容ノイズ マージン、ノイズ マージン値の残量などのノイズ情報が表示されます。すべての I/O バンクのステータスが「PASS」になっています。

## PlanAhead の終了

1. [File] → [Exit] をクリックします。
2. 必要であれば [Don't Save] をクリックして [OK] をクリックします。

## まとめ

このチュートリアルでは、次を内容を学びました。

- I/O ピン配置環境を使用してデバイス リソースを表示し、そのデザインと互換性のある別のデバイスにターゲットを変更しました。
- I/O ポートをインポートし、作成し、コンフィギュレーションしました。
- 関連する I/O ポートをグループにまとめてインターフェイスを作成しました。
- 半自動配置モードを使用して、クリティカルな I/O ポートをパッケージ ピンに割り当てました。残りの I/O ポートは、自動配置機能を使用して配置しました。
- I/O ポートのリストをエクスポートして確認し、HDL ヘッダーや PCB 回路図シンボルの生成に使用できるようにしました。
- ネットリスト ベースのプロジェクトを開き、ロジック接続を正しい配置のガイダンスとして使用し GTXE、DCM\_ADV、BUFG などのオブジェクトを配置しました。
- DRC およびノイズ解析を実行して I/O 配置に問題がないかどうか確認しました。