
クイック フロー概要チュートリアル

PlanAhead ソフトウェア

UG673 (v 13.3) 2011 年 10 月 19 日





Xilinx is disclosing this tutorial (the “Documentation”) to you solely for use in the development of designs to operate with Xilinx hardware devices. You might not reproduce, distribute, republish, download, display, post, or transmit the Documentation in any form or by any means including, but not limited to, electronic, mechanical, photocopying, recording, or otherwise, without the prior written consent of Xilinx. Xilinx expressly disclaims any liability arising out of your use of the Documentation. Xilinx reserves the right, at its sole discretion, to change the Documentation without notice at any time. Xilinx assumes no obligation to correct any errors contained in the Documentation, or to advise you of any corrections or updates. Xilinx expressly disclaims any liability in connection with technical support or assistance that might be provided to you in connection with the Information.

THE DOCUMENTATION IS DISCLOSED TO YOU “AS-IS” WITH NO WARRANTY OF ANY KIND. XILINX MAKES NO OTHER WARRANTIES, WHETHER EXPRESS, IMPLIED, OR STATUTORY, REGARDING THE DOCUMENTATION, INCLUDING ANY WARRANTIES OF MERCHANTABILITY, FITNESS FOR A PARTICULAR PURPOSE, OR NON-INFRINGEMENT OF THIRD-PARTY RIGHTS. IN NO EVENT WILL XILINX BE LIABLE FOR ANY CONSEQUENTIAL, INDIRECT, EXEMPLARY, SPECIAL, OR INCIDENTAL DAMAGES, INCLUDING ANY LOSS OF DATA OR LOST PROFITS, ARISING FROM YOUR USE OF THE DOCUMENTATION.

© Copyright 2010– 2011 Xilinx Inc. All Rights Reserved. XILINX, the Xilinx logo, the Brand Window and other designated brands included herein are trademarks of Xilinx, Inc. All other trademarks are the property of their respective owners. The PowerPC name and logo are registered trademarks of IBM Corp., and used under license. All other trademarks are the property of their respective owners.

本資料は英語版 (v13.3) を翻訳したもので、内容に相違が生じる場合には原文を優先します。

資料によっては英語版の更新に対応していないものがあります。

日本語版は参考用としてご使用の上、最新情報につきましては、必ず最新英語版をご参照ください。

この資料に関するフィードバックおよびリンクなどの問題につきましては、jpn_trans_feedback@xilinx.com までお知らせください。いただきましたご意見を参考に早急に対応させていただきます。なお、このメール アドレスへのお問い合わせは受け付けておりません。あらかじめご了承ください。

目次

ソフトウェア要件	4
ハードウェア要件.....	4
チュートリアル デザインの説明	4
チュートリアル デザイン ファイルのディレクトリ.....	4
手順 1 : 新規プロジェクトの作成.....	5
手順 2 : [Sources] ビューとテキスト エディターの使用	12
手順 3 : デザインのシミュレーション	14
手順 4 : デザインの合成	16
手順 5 : デザインのインプリメンテーション	22
手順 6 : 結果の解析.....	24
手順 7 : ビットストリーム ファイルの作成	28
まとめ	29

クイック フロー概要チュートリアル

このチュートリアルでは、ザイリンクス PlanAhead™ ソフトウェアの機能や利点を簡単に紹介します。PlanAhead ソフトウェアは、さまざまなデザイン プロセスに使用できます。

PlanAhead の解析機能の詳細は、ほかのチュートリアルで紹介しています。すべてのコマンドやコマンド オプションの説明が含まれているわけではありませんので、ご了承ください。このチュートリアルでは、ISE® Design Suite ソフトウェアの一部として含まれる PlanAhead ソフトウェアの機能を使用しています。

ソフトウェア要件

PlanAhead ソフトウェアは、ISE Design Suite ソフトウェアをインストールするとインストールされます。チュートリアルを始める前に、PlanAhead が起動できるか、チュートリアル デザイン データがインストールされているかを確認してください。

インストール手順については、http://japan.xilinx.com/support/documentation/sw_manuals/xilinx13_3/iil.pdf にある『ISE Design Suite : インストールおよびライセンス ガイド』(UG798) を参照してください。

ハードウェア要件

大型デバイスで PlanAhead ソフトウェアを使用するには、2GB 以上の RAM が推奨されます。このチュートリアルでは、小型の XC6VLX75T デザインを使用し、一度に開くデザインの数进行制限しているため1GB でも十分ですが、パフォーマンスに影響することがあります。

チュートリアル デザインの説明

このチュートリアルでは、bft という小型デザインを含む小さなサンプル デザインを使用します。bft デザインには、VHDL および Verilog ファイルが複数含まれています。

このデザインは、XC6VLX75T デバイスをターゲットにしています。小型デザインを使用することで、チュートリアルを最小ハードウェア要件で実行し、時間内に完了させることができるだけでなく、データ サイズも小さくすることができます。

チュートリアル デザイン ファイルのディレクトリ

1. 次のサイトから、PlanAhead_Tutorial.zip ファイルをダウンロードします。

http://japan.xilinx.com/support/documentation/dt_planahead_planahead13-3_tutorials.htm

2. 書き込み権のあるディレクトリに ZIP ファイルを解凍します。

解凍された PlanAhead_Tutorial データ ディレクトリは、このチュートリアルでは <Extract_Dir> と表記しています。

チュートリアルサンプル デザイン データはチュートリアル実行中に変更されます。チュートリアルを実行するときは常に実行前に元の PlanAhead_Tutorial データをコピーしておいてください。

手順 1 : 新規プロジェクトの作成

PlanAhead では、使用されているデザイン フローの段階によってさまざまなタイプのプロジェクトを作成できます。RTL (レジスタ転送レベル) ソースは、開発、解析、合成、インプリメンテーション、BIT ファイル生成用にプロジェクトを作成するために使用できます。

ソフトウェアを起動します。

- Windows の場合、Xilinx PlanAhead 13 のデスクトップ アイコンをダブルクリックするか、[スタート] → [プログラム] → [Xilinx ISE Design Suite 13.3] → [PlanAhead] → [PlanAhead] をクリックします。
- Linux の場合は、<Extract_Dir>/PlanAhead_Tutorial/Tutorial_Created_Data ディレクトリに移動し、「planAhead」と入力します。

PlanAhead の Getting Started ページが開きます。



図 1 : Getting Started ページ

PlanAhead の Getting Started ページには、プロジェクトを開いたり、作成したり、ドキュメントを確認するリンクが含まれています。

Project_1 という RTL プロジェクトの新規作成

この手順では <Extract_Dir>\PlanAhead_Tutorial\Sources\hdl directory ディレクトリにある RTL ソース ファイルをいくつか使用します。

1. [Getting Started] ページの [Create New Project] をクリックします。

[Create a New PlanAhead Project] ページが開きます。

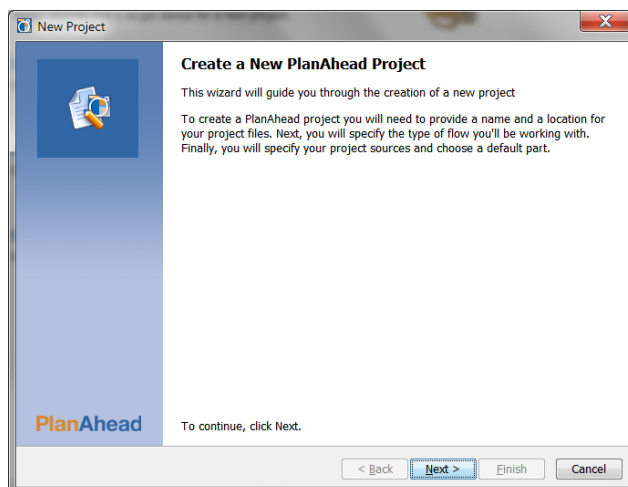


図 2 : 新規プロジェクト作成の概要ページ

2. [Next] をクリックします。

[Project Name] ページが表示されます。

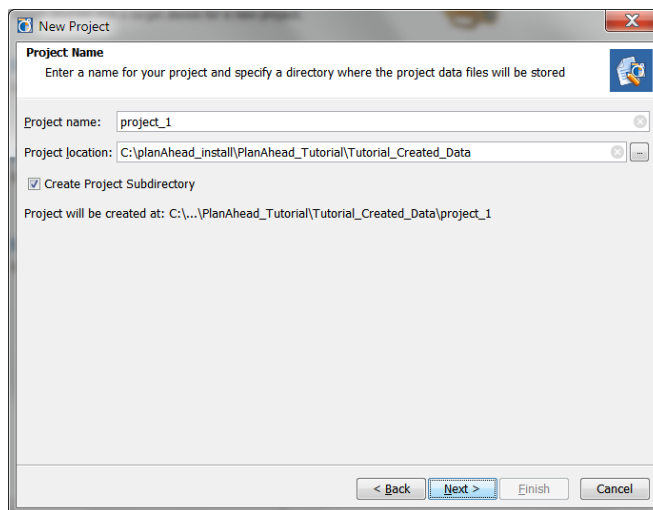


図 3 : New Project ウィザード : プロジェクト名の入力

3. 「<Extract_Dir>\PlanAhead_Tutorial\Tutorial_Created_Data」と入力します。
4. プロジェクト名はデフォルトの project_1 のままにしておき、[Next] をクリックします。

[Design Source] ページが表示されます。

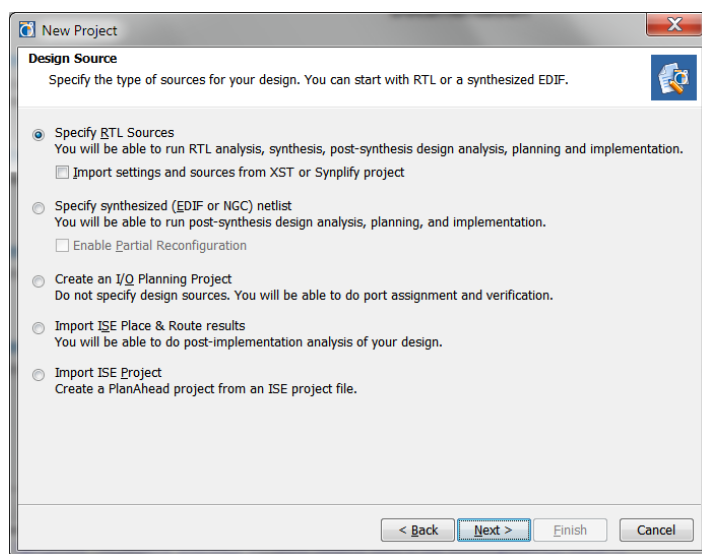


図 4 : New Project ウィザード : デザイン ソースの指定

5. [Specify RTL Sources] をオンにし、[Next] をクリックします。

[Add/Create Sources] ページが表示されます。

ディレクトリ、ファイル、VHDL ライブラリおよびソース タイプの追加

1. [Add Files] ボタンをクリックし、次のディレクトリを選択します。

<Extract_Dir>/PlanAhead_Tutorial/Sources/hdl

2. Ctrl キーを押しながら、async_fifo.v、bft.vhdl、bft_tb.v、FifoBuffer.v を選択し、[OK] をクリックします。

3. [Add Directories] ボタンをクリックし、次のディレクトリを選択します。

<Extract_Dir>/PlanAhead_Tutorial/Sources/hdl/bftLib.

4. bftLib の [Library] の列の work をクリックし、「bftLib」と入力します。

5. bft_tb.v ファイルの [HDL Source for] 列で [Simulation only] を選択します。

6. 必要であれば、[Copy Sources into Project] および [Add Sources from Subdirectories] の 2 つのチェックボックスをオンにします。

7. ページが次の図のようにになっているかどうか確認します。

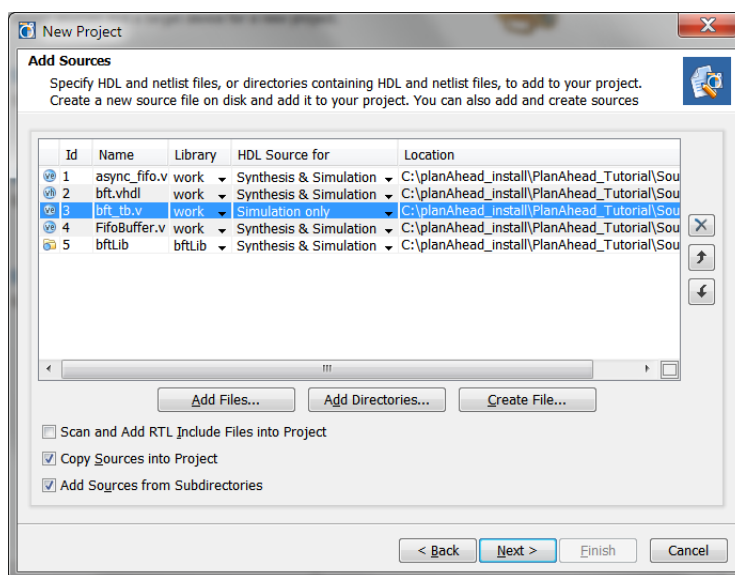


図 5 : New Project ウィザード : プロジェクトに追加するソースの選択

8. [Next] をクリックします。

[Add Existing IP] ページが表示されます。CORE Generator™ ソフトウェアのプロジェクト ファイル (.xco) から既存の IP (Intellectual Property) を選択できます。ただし、このチュートリアルでは IP をプロジェクトにインポートする手順については説明しません。

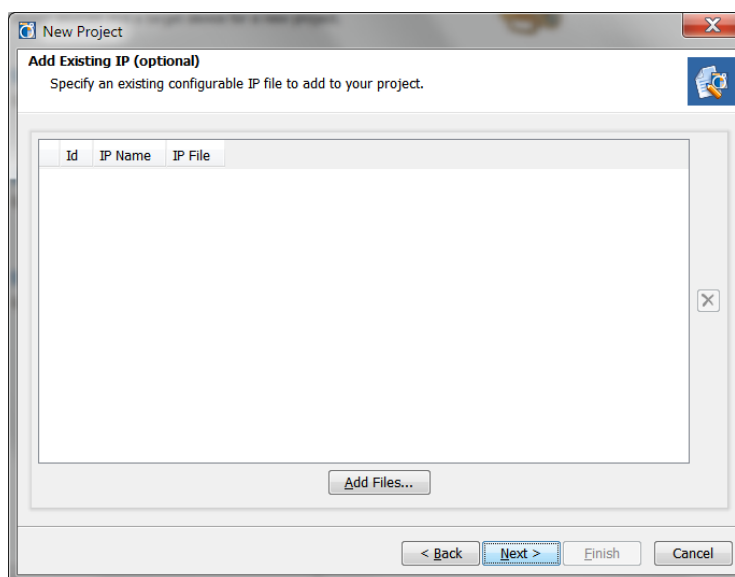


図 6 : カスタム ファイルをソースとして追加

9. [Next] をクリックします。

[Constraints Files] ページが表示されます。

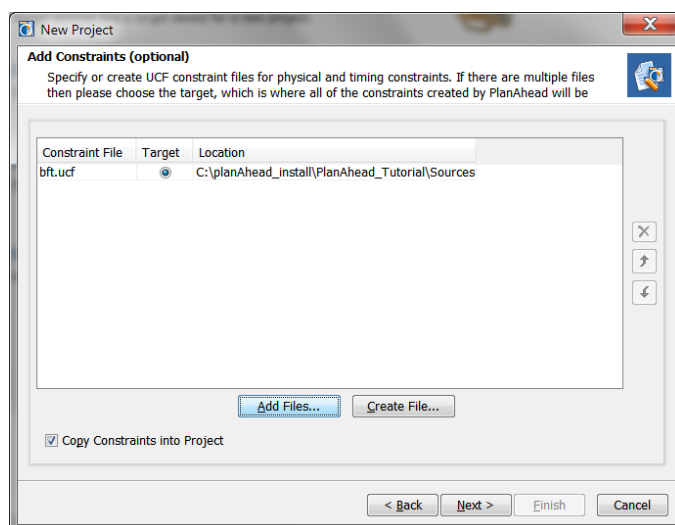


図 7 : New Project ウィザード : 制約ファイルの追加

制約ファイルの追加

1. [Add Files] ボタンをクリックし、次のファイルを選択します。

<Extract_Dir>/PlanAhead_Tutorial/Sources/bft.ucf

2. [OK] をクリックします。
2. [Next] をクリックします。

[Default Part] ページが表示されます。

デフォルト デバイスの選択

1. [Filter] フィールドの [Family] プルダウン メニューから [Virtex6] を選択します。
リストには Virtex®-6 デバイスのみが表示されるようになります。
2. [Sub-Family] プルダウン メニューから [Virtex6 LXT] を選択します。
リストには Virtex-6 LXT デバイスのみが表示されるようになります。
3. [Search] フィールドに「75t」と入力します。
75t デバイスのみが表示されます。
4. xc6vlx75tff484-1 デバイスを選択し、[Next] をクリックします。
5. サマリを確認したら、[Finish] をクリックします。

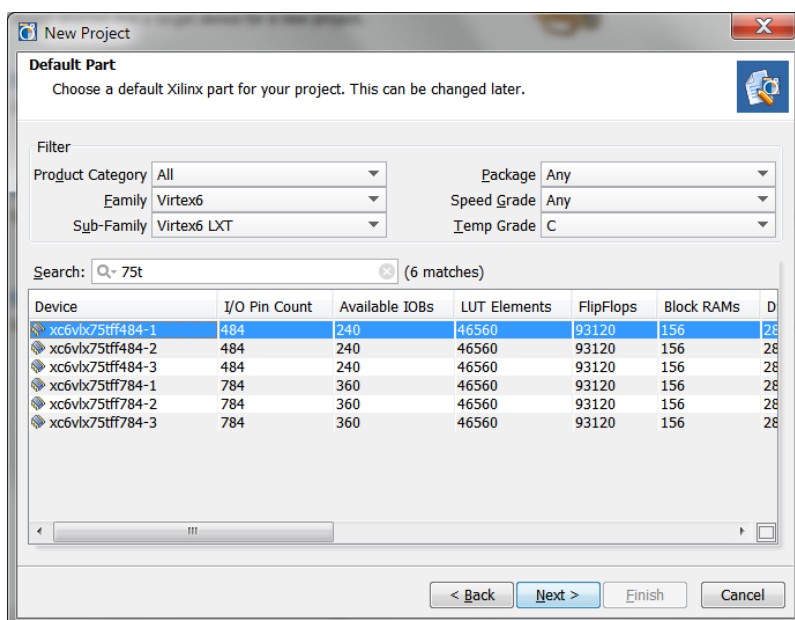


図 8 : New Project ウィザード : ファミリーおよびデフォルト パーツの選択

PlanAhead 環境が開きます。左端には Flow Navigator があります。これはこのチュートリアルでデザインを確認してインプリメントするのに使用されます。

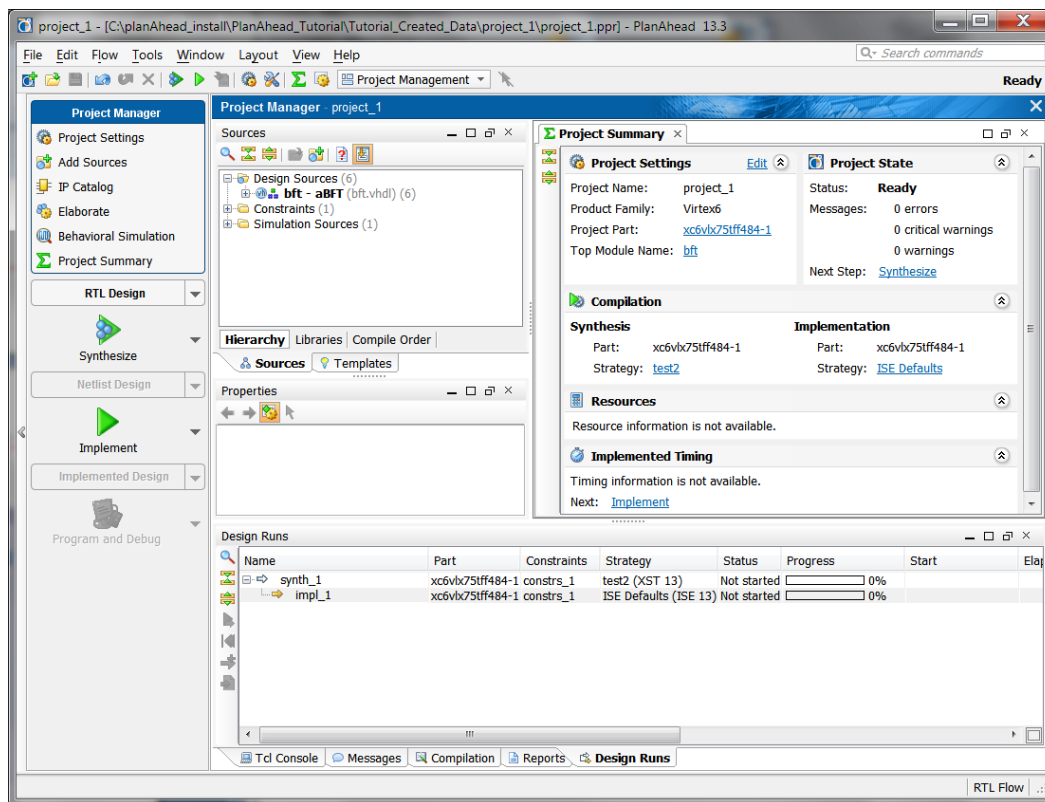


図 9 : PlanAhead 環境

手順 2 : [Sources] ビューとテキスト エディターの使用

PlanAhead ソフトウェアには、Verilog、VHDL、NGC 形式のコア、UCF/NCF 制約ファイル、特定のシミュレーションソースなどさまざまなファイル形式のデザインソースを追加できます。ファイルは [Sources] ビューで階層、ライブラリ、またはコンパイル順別に表示されます。RTL ソースの作成または開発には、含まれているテキスト エディターを使用します。サードパーティのテキスト エディターを使用するように設定することもできます。

[Sources] ビューとプロジェクト サマリの確認

1. [Project Summary] の情報を確認します。デザインの進捗状況に応じて表示される情報は増えていきます。
2. [Sources] ビューを確認します。必要であれば、ビューをスクロールまたはサイズ変更します。

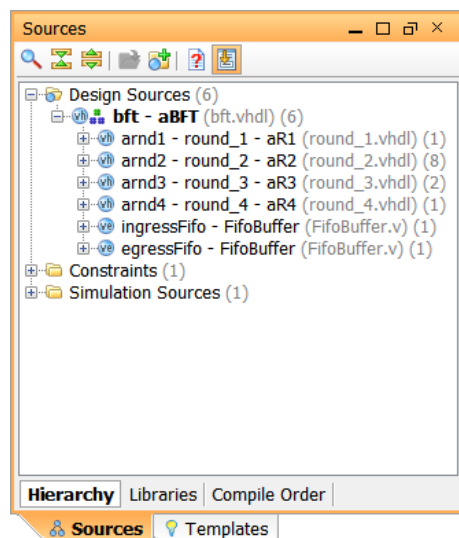


図 10 : ソースの表示

[Design Sources] フォルダからは、VHDL および Verilog ソース ファイルの情報が確認できます。デフォルトではデザイン階層が表示されています。[Libraries] タブにはソースがファイルの種類別に表示され、[Compile Order] タブには合成で使用する順序でファイルが表示されています。

[Sources] ビュー コマンドとテキスト エディターの確認

1. [Sources] ビューで VHDL ソースの 1 つを選択します。
2. 右クリックし、[Sources] ビューのポップアップ メニューでどういうコマンドが表示されるか確認してみてください。
3. [Open File] をクリックし、テキスト エディターでファイルをスクロールしてみます。

注記 : [Sources] ビューでソース ファイルをダブルクリックしても、テキスト エディターで表示することができます。

4. テキスト エディターで右クリックし、[Find in Files] をクリックします。

さまざまな検索オプションを含む [Find in Files] ダイアログ ボックスが表示されます。

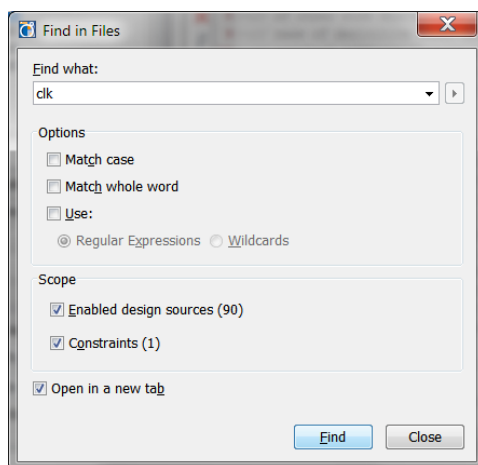


図 11 : ファイル内の検索

5. 「clk」と入力し、[Find] をクリックします。

[Find in Files] ビューが PlanAhead 環境の下部にあるメッセージ エリアに表示されます。

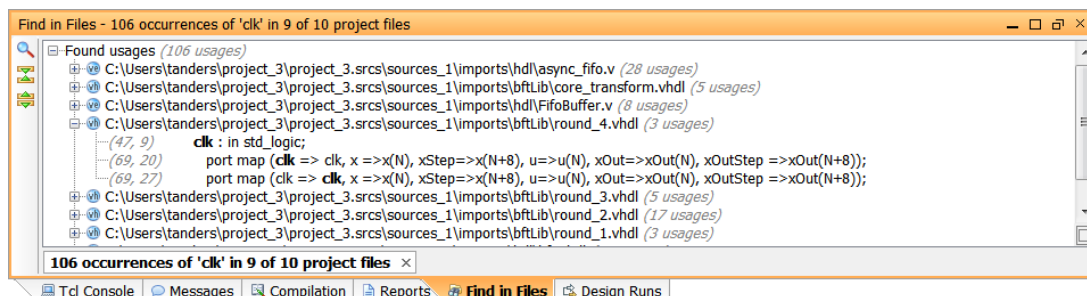


図 12 : 検出結果の表示

6. [Find in Files] ビューでディレクトリを展開し、clk を含む文の 1 つを選択すると、そのファイルがテキスト エディターで表示されます。
7. [Find in Files - Occurrences] ビューを閉じます。
8. テキスト エディターで開いた RTL ファイルのタブもそれぞれ閉じます。

PlanAhead には、RTL 解析および IP カスタマイズ環境も含まれています。この環境については、『PlanAhead ソフトウェア チュートリアル : RTL デザインおよび IP の生成』(UG675) を参照してください。

Flow Navigator の [RTL Design] ボタンをクリックすると、この機能を簡単に確認できます。RTL デザインでは、RTL ネットリスト、回路図、グラフィカル階層、概算リソースの統計などを含むさまざまな解析ビューを確認できます。ビュー同士が連動しているので、すばやく RTL をデバッグおよび最適化できます。

ザイリンクスの IP カタログからは、ザイリンクスの CORE Generator™ ソフトウェアへアクセスし、IP を生成できます。カタログはさまざまな方法で分類および検索できます。IP はカスタマイズ、生成、インスタンス化できます。RTL でのパフォーマンスや電力消費を改善するための RTL DRC (デザイン ルール チェック) も複数含まれています。

手順 3 : デザインのシミュレーション

PlanAhead ソフトウェアは、ザイリンクスの ISim 論理シミュレーション環境に統合されています。PlanAhead では合成ソースをプロジェクトに追加および管理できます。ユーザーは、シミュレーション オプションを設定し、さまざまなシミュレーション ソース セットを作成/管理できるほか、RTL ソースを使用して合成前にビヘイビアー シミュレーション、インプリメンテーション後にタイミング シミュレーションが実行できます。

[Behavioral Simulation] コマンドを実行すると、1 つの ISim の run が設定および実行できます。このコマンドは、PlanAhead 環境の左側の Flow Navigator から起動できます。

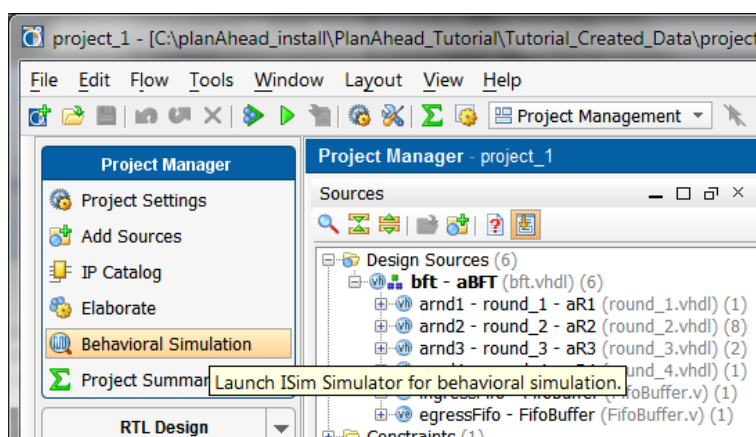


図 13 : ビヘイビアー シミュレーションの起動

[Behavioral Simulation] コマンドは、[RTL Design] からでも実行できます。

シミュレーション オプションの確認とビヘイビアー シミュレーションの実行

1. Flow Navigator で [Behavioral Simulation] をクリックします。

[Launch Behavioral Simulation] ダイアログ ボックスが表示されます。

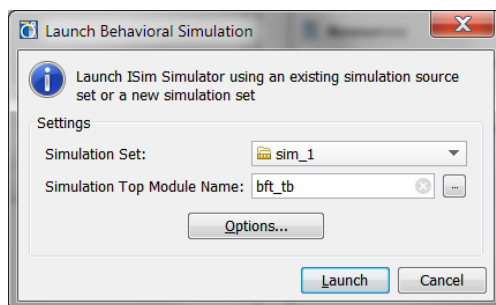


図 14 : [Launch Behavioral Simulation] ダイアログ ボックス

2. [Simulation Top Module Name] に bft_tb が選択されていない場合は、参照ボタン (...) をクリックします。
3. bft_tb を選択し、[OK] をクリックします。
4. [Options] ボタンをクリックします。
[Simulation Options] ダイアログ ボックスが開きます。

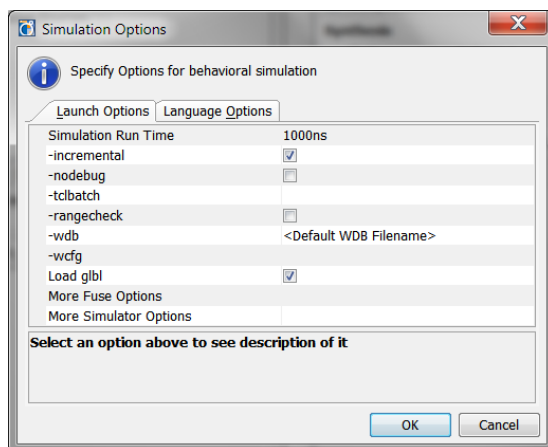


図 15 : [Simulation Options] ダイアログ ボックス

シミュレーション起動オプションが表示されます。

5. [Language Options] タブをクリックし、起動オプションを確認します。
6. [Launch] をクリックし、ISim シミュレーション環境を起動します。
ISim シミュレーション環境が表示されます。

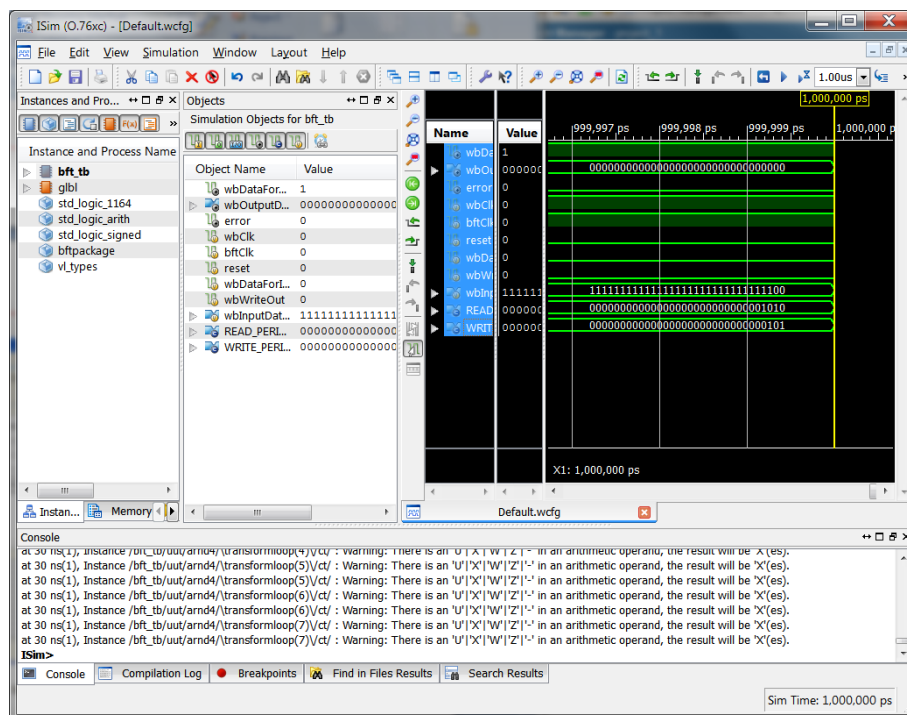


図 16 : ISim シミュレーション環境

ISim 環境でソース ファイルを変更すると、PlanAhead のソース ファイルもアップデートされます。この 2 つのツールは同じソースを参照しています。ISim を使用したシミュレーションの詳細は、『ISim チュートリアル』(UG682) を参照してください。

7. ISim で [File] → [Exit] をクリックし、ISim を終了するためのプロンプトが表示されたら [Yes] をクリックします。

手順 4 : デザインの合成

PlanAhead では、1 つまたは複数の合成を順番どおりに、または同時にコンフィギュレーション、起動、監視できます。

[Synthesize] コマンドを実行すると、1 つの run を設定して起動できます。このコマンドは、PlanAhead 環境の左側の Flow Navigator に表示されています。

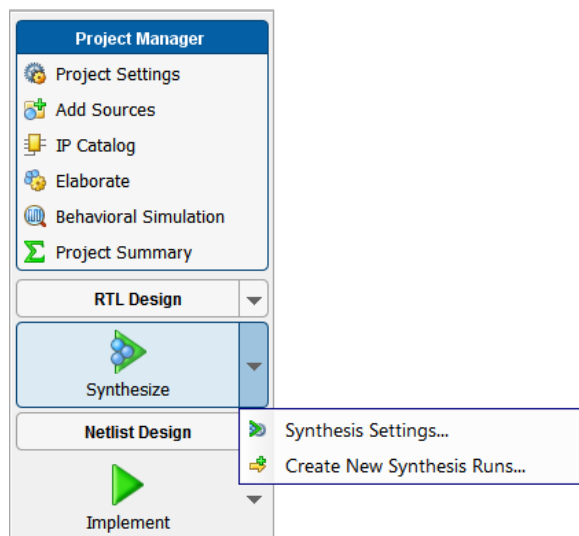


図 17 : Flow Navigator の [Synthesize] ドロップダウン メニュー

Flow Navigator からは、合成、インプリメンテーション、ビットストリームの生成などの主なデザイン コンパイル プロセスすべてが起動できます。また、コンパイル済み RTL デザイン、合成済みネットリスト デザイン、またはインプリメントされたデザイン結果を開くこともできます。オプションですが、デザイン プロセスの各段階でデザイン解析および制約指定を可能にすることもできます。

合成オプションの確認、合成の起動、run の監視

1. Flow Navigator で、[Synthesize] ボタンの横にあるドロップダウン メニューから [Synthesis Settings] を選択します。

[Synthesis Settings] ダイアログ ボックスが開きます。

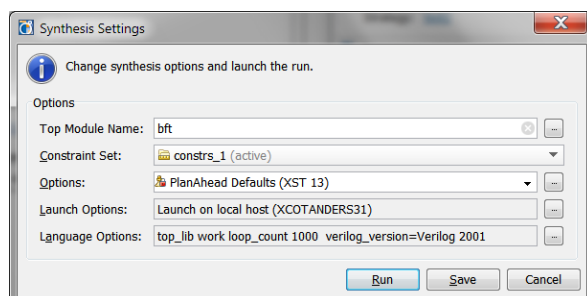



図 18 : [Synthesis Settings] ダイアログ ボックス

2. 必要であれば、[Top Module Name] フィールドをクリックして「bft」と入力します。
3. [Part] および [Constraint Set] はデフォルトのままにします。
4. [Options] の参照ボタン  をクリックし、次のダイアログ ボックスを表示します。

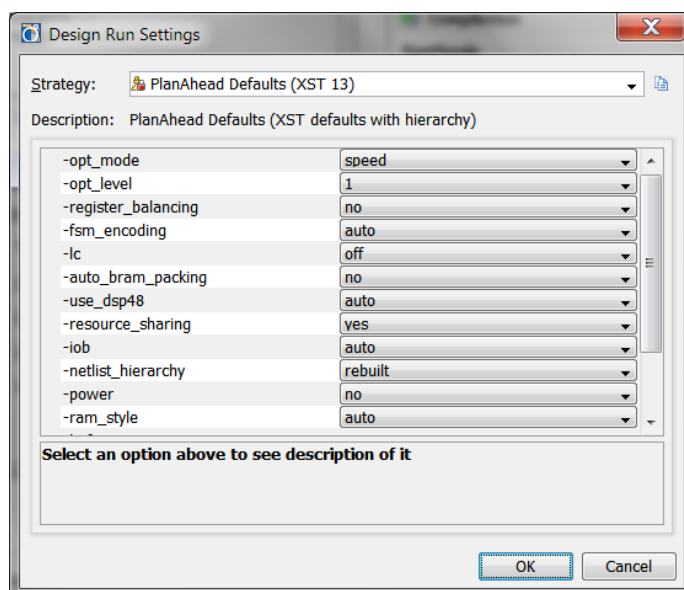



図 19 : [Design Run Settings] ダイアログ ボックス

5. 使用可能なオプションを確認します。
6. [Design Run Settings] ダイアログ ボックス 上部にある [Strategy] ドロップダウン メニューをクリックし、合成ストラテジを見直して [Cancel] をクリックしてダイアログ ボックスを閉じます。
7. [Launch Options] の参照ボタン  をクリックし、[Specify Launch Options] ダイアログ ボックスを表示します。

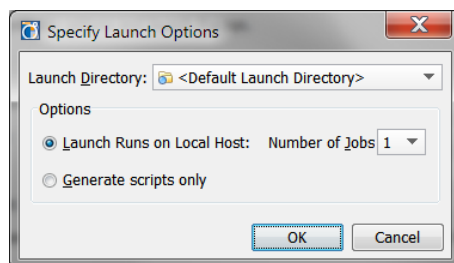


図 20 : 合成起動オプションの選択

8. オプションを確認し、[Launch Runs on Local Host] をオンにして [OK] をクリックします。
9. [Synthesis Settings] ダイアログ ボックスで [Run] をクリックし、run を開始します。

右上のステータスバーに、Synthesizing (XST) と表示されます。これは合成が実行中であることを示します。
[Cancel] ボタンをクリックすると、合成 run が停止し、run データは削除されます。

[Compilation] ビューには ISE コマンドからの出力メッセージが、[Messages] ビューにはフィルターされた警告およびエラー メッセージが表示されます。[Messages] ビューの合成メッセージをクリックすると、RTL ファイルが開き、該当する RTL コードの行が表示されます。

ネットリスト デザインを開く

1. 合成が終了したら、[Synthesis Completed] ダイアログ ボックスで [Open Netlist Design] をクリックします。
2. メッセージが表示されたら、[Yes] をクリックし、RTL デザインを閉じます。

PlanAhead Design Planner ビュー レイアウト環境に合成済みネットリスト、ターゲット パーツ、適用された制約セットが表示されます。

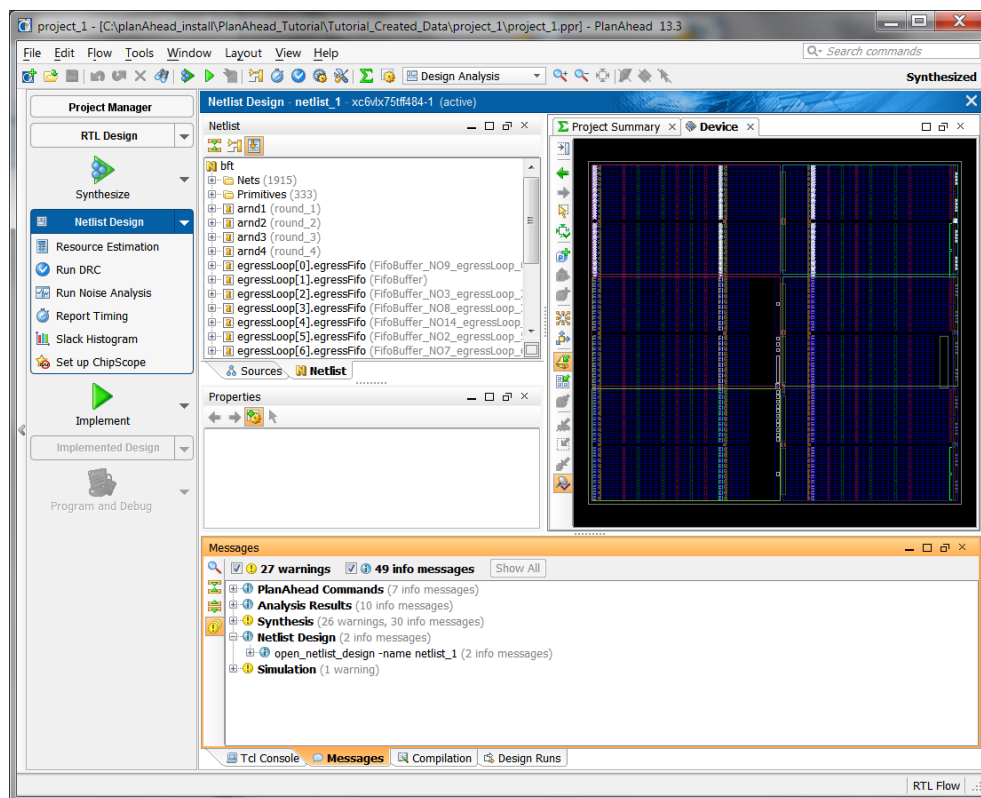


図 21 : ネットリスト デザインを開く

注記 : Flow Navigator の [Netlist Design] ボタンをクリックしてもこの環境が表示されます。プルダウン メニューには、さまざまな run 結果、制約、またはターゲット デバイスでデザインを開くオプションがあります。

PlanAhead には優れたデザイン解析およびフロアプラン環境が含まれています。PlanAhead の解析およびフロアプラン環境を使用すると、さまざまなデバイス、タイミング制約または配置制約などを試すことができます。これらの機能については、別の PlanAhead チュートリアルで説明します。

3. PlanAhead 環境の一番上のツールバーにあるプルダウン メニューから [I/O Planning] を選択します。

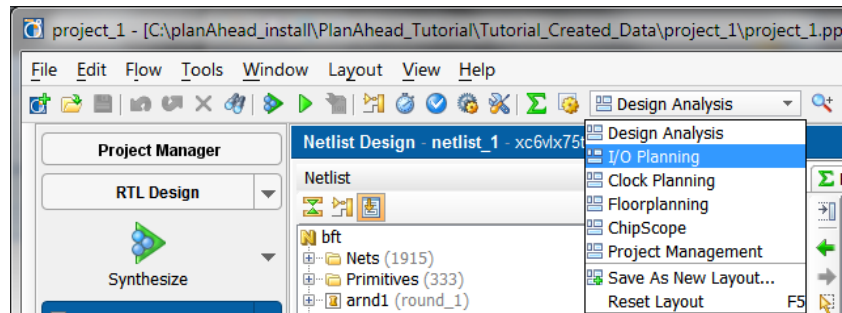


図 22 : I/O Planning ビュー レイアウトを開く

PlanAhead には、異なる作業を実行しやすくするために、複数のビュー レイアウトがあります。たとえば、I/O Planning レイアウトでは I/O ピンの調査および制約の割り当てができ、Design Analysis レイアウトではデザインのロジックの解析および制約の適用ができます。カスタマイズされたレイアウトを作成して表示させることもできます。最後に選択したレイアウトが次にデザインを開くときにデフォルトで使用されます。

4. さまざまなビューで情報を確認します。たとえば、ワークスペースのパッケージ ビュー、I/O ポート ビューなどを確認してみてください。

注記 : PlanAhead には、I/O ピン配置環境が含まれています。この環境については、『PlanAhead ソフトウェア チュートリアル : I/O ピン配置』(UG674) を参照してください。I/O ピン配置は、RTL デザインの合成前、ネットリスト デザインの合成後に実行できます。合成後には、関連する DRC を使用して最適な I/O およびクロックを配置することができます。

5. ツールバーの同じプルダウン メニューから [Design Analysis] を選択します。

XST レポート ログ ファイルの表示

1. PlanAhead 環境の一番下の [Reports] ビュー タブをクリックします。

注記 : ビュー タブが表示されていない場合は、[Window] → [Reports] をクリックします。

2. [XST Report] をダブルクリックして XST レポートをワークスペースに表示します。
3. XST レポートを確認するためレポートをスクロールします。
4. ビュー タブの X マークをクリックして、XST レポートを閉じます。

PlanAhead には、ChipScope™ デバッグ コアの挿入環境も含まれています。この環境については、『PlanAhead ソフトウェア チュートリアル : ChipScope を使用したデバッグ』(UG677) を参照してください。PlanAhead では、デバッグするロジック信号を表示および選択できます。デバッグ コアはコンフィギュレーションおよびインプリメンテーションし、自動的に最上位のデザイン ネットリストに追加でき、デザイン ネットリストを変更しても維持されます。

解析および制約の定義が終了したら、[Netlist Design] を閉じます。これで、システム メモリが保持され、複数の編集環境が同時に開かなくなります。X ボタンをクリックするか、Flow Navigator の [Netlist Design] ボタンのプルダウン メニューから [Netlist Design] を閉じることができますが、ここでは開いたままにしておきます。

手順 5 : デザインのインプリメンテーション

PlanAhead にはさまざまなインプリメンテーション オプションがあり、複数のインプリメンテーション ストラテジを複数の run に指定して、最適な結果を検出することができます。

インプリメンテーション オプションの確認、インプリメンテーションの起動、run の監視

1. Flow Navigator で、[Implement] ボタンの横にあるドロップダウン メニューから [Implementation Settings] を選択します。

[Implementation Settings] ダイアログ ボックスが開きます。

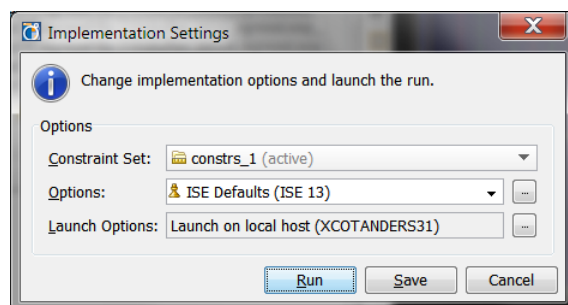


図 23 : [Implementation Settings] ダイアログ ボックス

2. [Constraint Set] はデフォルトのままにします。
3. [Options] の参照ボタン (...) をクリックし、[Design Run Settings] ダイアログ ボックスを表示します。

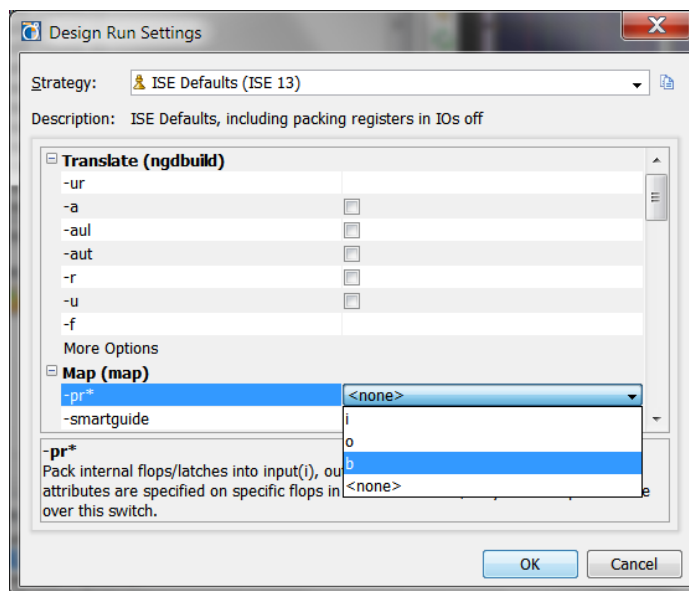


図 24 : [Design Run Settings] ダイアログ ボックス

4. 使用可能なオプションを確認します。[Strategy] ドロップダウン メニューから使用可能なインプリメンテーション戦略を確認し、[Cancel] をクリックします。
5. [Implementation Settings] ダイアログ ボックスで [Run] をクリックし、run を開始します。
右上のステータスバーに、Implementing (NGDBuild) と表示されます。これは ISE のインプリメンテーションが実行中であることを示します。
[Compilation] ビューには ISE コマンドからの出力が、[Messages] ビューにはフィルターされた警告およびエラーメッセージが表示されます。
6. 終了したら、[Implemented Design] ダイアログ ボックスで [Open Implemented Design] を選択し、[OK] をクリックします。
7. インプリメンテーション済みデザインが開く前に、[Yes] をクリックし、[Netlist Design] を閉じます。

手順 6 : 結果の解析

PlanAhead では、配置およびタイミング結果をすばやくインポートして、終了した実行を解析できます。インポートされた配置は「固定されていない」LOC 制約として表示されます。[Timing Results] ビューに TRACE のタイミング結果が表示されます。

注記： デザイン解析およびフロアプランニングについては、『PlanAhead ソフトウェア チュートリアル：デザイン解析およびフロアプラン』(UG676) を参照してください。

インプリメンテーションされたデザインを開き、結果を確認

PlanAhead 環境にインプリメンテーションされたデザインが読み込まれます。

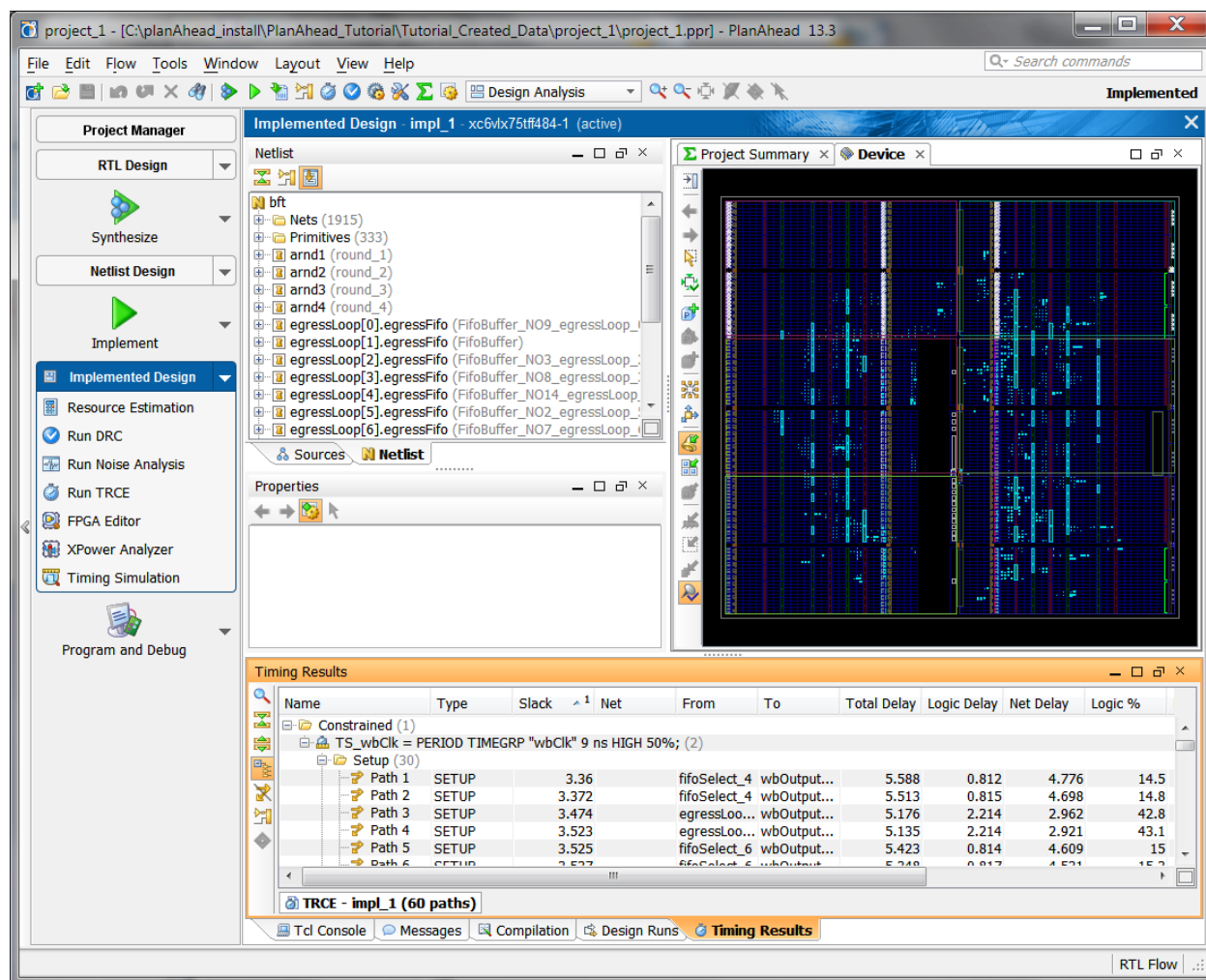



図 25 : インプリメンテーション結果を開く

Flow Navigator の [Implemented Design] ボタンをクリックしてもインプリメント済みのデザイン環境が表示されます。プルダウンメニューには、さまざまな run 結果のインプリメント済みデザインを開くオプションがあります。

配置が [Device] ビューに、TRACE タイミング結果が [Timing Results] ビューに表示されます。結果は、上の図と異なることもあります。

注記 : ビュー タブが表示されていない場合は、[Window] → [Reports] をクリックします。

1. レポートをスクロールしてマップ レポートを確認します。
2. [Workspace] タブの X マークをクリックして、マップ レポートを閉じます。
3. [Device] ビューで [Hide/Show I/O Nets] ボタン  をクリックし、I/O 接続を表示します。
4. [Device] ビューで [Hide/Show I/O Nets] ボタン  をクリックし、I/O 接続を非表示にします。
5. [Timing Result] ビューで一番上のタイミング パスをクリックします。

このパスは [Device] ビューでハイライトされます。別のビューには、そのパスのロジック オブジェクトが選択されます。

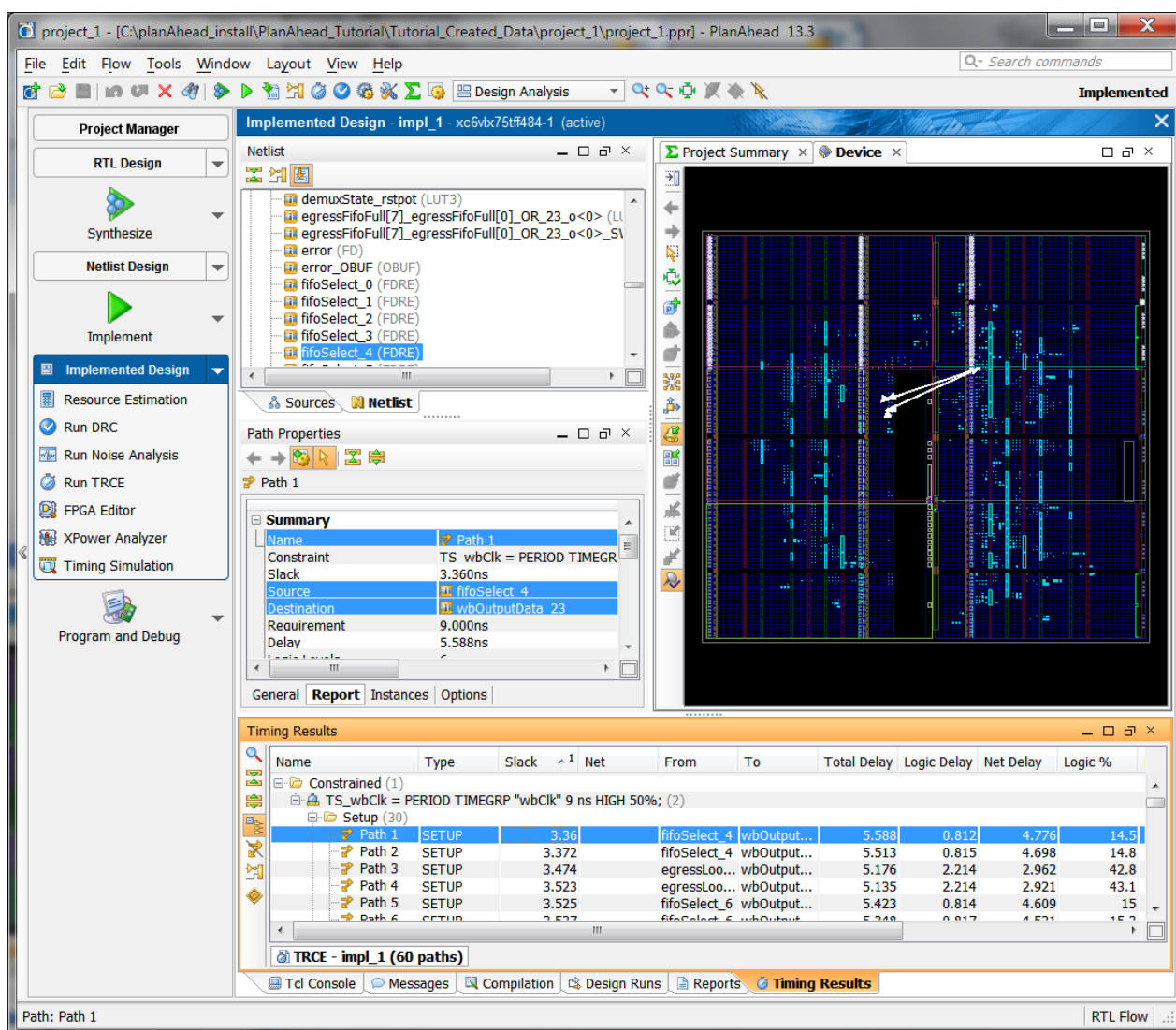


図 26 : インプリメンテーション結果からのタイミング パスのハイライト

6. [Path Properties] ビューで [Maximize] ボタン  をクリックします。

[Path Properties] ビューが表示されます。

Path Properties

Path 1

Summary

Name	Path 1
Constraint	TS wbClk = PERIOD TIMEGRP "wbClk" 9 ns HIGH 50%;
Slack	3.360ns
Source	fifoSelect_4
Destination	wbOutputData_23
Requirement	9.000ns
Delay	5.588ns
Logic Levels	6
Source Clock	wbClk BUFGP (rising at 0.000ns)
Destination Clock	wbClk BUFGP (rising at 9.000ns)
Skew	-0.017ns (0.091ns - 0.108ns)
Uncertainty	0.035ns ((TSJ ² + TJJ ²) ^{1/2} + DJ) / 2 + PE
Total System Jitter (TSJ)	0.070ns
Total Input Jitter (TJJ)	0.000ns
Discrete Jitter (DJ)	0.000ns
Phase Error (PE)	0.000ns



Data Path

Delay Type	Delay	Cumulative	Location	Logical Resource
FDR (Tshcko)	(r) 0.420	0.420	Site SLICE X43Y67	fifoSelect_4
net (fanout=39)	(r) 0.610	1.030		fifoSelect[4]
LUT4 (Tilo)	(r) 0.068	1.098	Site SLICE X42Y67	GND_6 o fifoSelect[7] equal 28 o<7>11
net (fanout=1)	(r) 0.346	1.444		GND_6 o fifoSelect[7] equal 28 o<7>1
LUT5 (Tilo)	(r) 0.186	1.630	Site SLICE X42Y67	GND_6 o fifoSelect[7] equal 28 o<7>2
net (fanout=64)	(r) 2.245	3.875		GND_6 o fifoSelect[7] equal 28 o
LUT6 (Tilo)	(r) 0.068	3.943	Site SLICE X65Y80	Mmux GND_6 o GND_6 o mux 40 OUT164
net (fanout=1)	(r) 1.575	5.518		Mmux GND_6 o GND_6 o mux 40 OUT163
LUT6 (Tas)	(r) 0.070	5.588	Site SLICE X42Y70	Mmux GND_6 o GND_6 o mux 40 OUT166
FDR	(r) 0.000	5.588	Site SLICE X42Y70	wbOutputData_23
Total	5.588	5.588		
		Logic: 0.812		
		Net: 4.776		

General **Report** Instances Options

図 27 : パス プロパティの確認

[Path Properties] レポートは、TRACE レポートと類似しており、SLICE_X43Y67 など、サイトやロケーションを選択すると、[Device] ビューやほかのビューでロジック オブジェクトやサイトが選択されます。

- [Path Properties] ビューで [Restore] ボタン  をクリックし、表示を元に戻します。
- [Timing Results] ビューで [View] ツールバーの [Schematic] ボタン  をクリックするか、ポップアップ メニューから [Schematic] を選択します。

[Schematic] ビューが開きます。

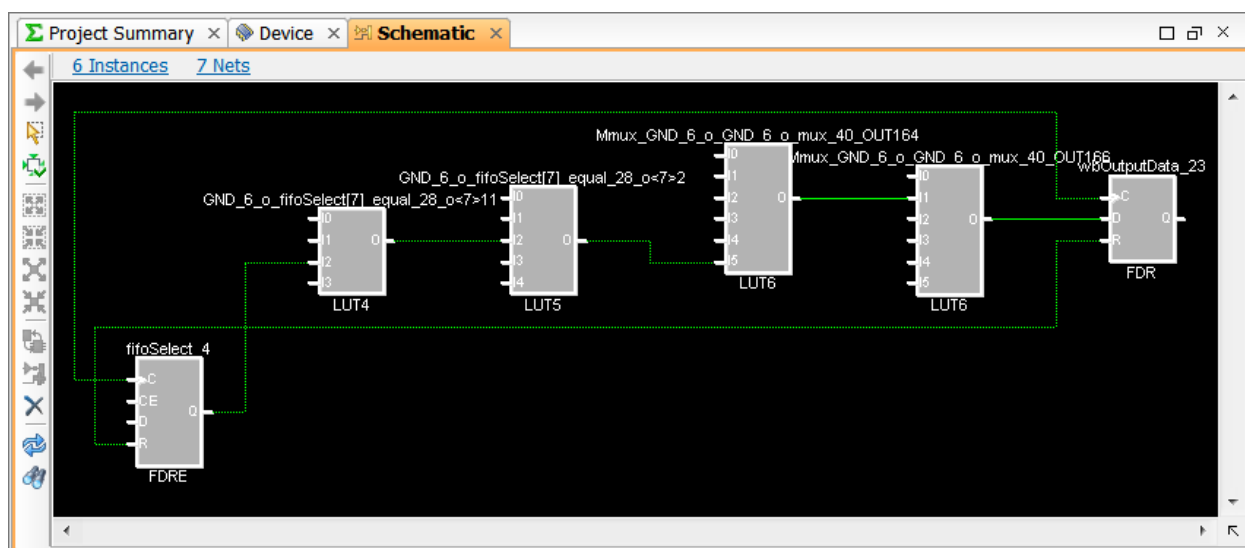


図 28 : 回路図でのタイミング パスの表示


回路図に選択したパスのロジック オブジェクトおよびロジック階層が表示されるので、フロアプランするロジック モジュールが見やすくなります。また、現在のビューで表示されているネットおよびインスタンスを検出するためのリンクも表示されます。

注記 : PlanAhead には、デザイン解析およびフロアプラン環境も含まれています。この環境については、『PlanAhead ソフトウェア チュートリアル : デザイン解析およびフロアプラン』(UG675) を参照してください。解析機能を使用すると、デザインやインプリメンテーション結果を確認できます。より良い、一定した結果を得るために、制約を適用することもできます。

9. [Schematic] ビューを閉じます。

手順 7 : ビットストリーム ファイルの作成

[Generate Bitstream] コマンドを使用してデザインのビット ファイルを作成

1. [Generate Bitstream] ボタン  または、[Flow] → [Generate Bitstream] をクリックします。
[Generate Bitgen] ダイアログ ボックスが表示されます。

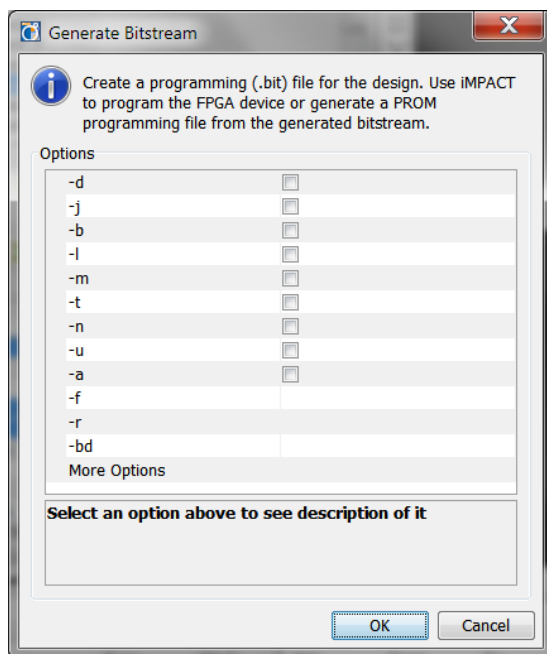


図 29 : ビットストリーム ファイルの生成

2. [OK] をクリックします。
ビット生成の進捗状況を知らせるステータスバーが開きます。ビットストリームが生成されると、ビットストリーム生成が完了したことを知らせるダイアログ ボックスが開きます。[OK] をクリックしてそのダイアログ ボックスを閉じます。
3. Flow Navigator で [Program and Debug] ボタンをクリックし、ビットストリームの作成後に ChipScope Analyzer や iMPACT プログラム ツールが起動できるようになっていることを確認します。

インプリメント済みデザインのプロジェクト サマリを確認

1. [Project Summary] ビューのタブをクリックし、表示されている情報を確認します。
2. [File] → [Exit] をクリックし、保存するかどうかを尋ねるメッセージが表示されたら [Yes] をクリックし、[OK] をクリックして PlanAhead を閉じます。

まとめ

このチュートリアルでは次の内容を学びました。

- 小さな PlanAhead RTL プロジェクトを使用し、RTL プロジェクトの作成から RTL ソースをテキスト エディターで確認するなど、基本的な PlanAhead デザイン フローをざっと通して見ました。
- シミュレーション オプションを確認し、ISim を起動しました。
- 合成実行オプションを確認し、合成を実行しました。
- ネットリスト デザインを開いて結果をインポートしました。
- インプリメンテーション オプションを確認しました。
- インプリメンテーションを実行しました。
- 実行結果を監視し、コマンド レポート ファイルを確認しました。
- 実行結果をインポートしてタイミング パスを解析しました。
- ビットストリーム ファイルを作成しました。