
チーム デザイン チュートリアル

PlanAhead ソフトウェア

UG839 (v 13.3) 2011 年 10 月 19 日





Xilinx is disclosing this user guide, manual, release note, and/or specification (the “Documentation”) to you solely for use in the development of designs to operate with Xilinx hardware devices. You might not reproduce, distribute, republish, download, display, post, or transmit the Documentation in any form or by any means including, but not limited to, electronic, mechanical, photocopying, recording, or otherwise, without the prior written consent of Xilinx. Xilinx expressly disclaims any liability arising out of your use of the Documentation. Xilinx reserves the right, at its sole discretion, to change the Documentation without notice at any time. Xilinx assumes no obligation to correct any errors contained in the Documentation, or to advise you of any corrections or updates. Xilinx expressly disclaims any liability in connection with technical support or assistance that might be provided to you in connection with the Information.

THE DOCUMENTATION IS DISCLOSED TO YOU “AS-IS” WITH NO WARRANTY OF ANY KIND. XILINX MAKES NO OTHER WARRANTIES, WHETHER EXPRESS, IMPLIED, OR STATUTORY, REGARDING THE DOCUMENTATION, INCLUDING ANY WARRANTIES OF MERCHANTABILITY, FITNESS FOR A PARTICULAR PURPOSE, OR NONINFRINGEMENT OF THIRD-PARTY RIGHTS. IN NO EVENT WILL XILINX BE LIABLE FOR ANY CONSEQUENTIAL, INDIRECT, EXEMPLARY, SPECIAL, OR INCIDENTAL DAMAGES, INCLUDING ANY LOSS OF DATA OR LOST PROFITS, ARISING FROM YOUR USE OF THE DOCUMENTATION.

© Copyright 2011 Xilinx Inc. All Rights Reserved. XILINX, the Xilinx logo, the Brand Window and other designated brands included herein are trademarks of Xilinx, Inc. All other trademarks are the property of their respective owners. The PowerPC name and logo are registered trademarks of IBM Corp., and used under license. All other trademarks are the property of their respective owners.

本資料は英語版 (v13.3) を翻訳したもので、内容に相違が生じる場合には原文を優先します。

資料によっては英語版の更新に対応していないものがあります。

日本語版は参考用としてご使用の上、最新情報につきましては、必ず最新英語版をご参照ください。

この資料に関するフィードバックおよびリンクなどの問題につきましては、jpn_trans_feedback@xilinx.com までお知らせください。いただきましたご意見を参考に早急に対応させていただきます。なお、このメール アドレスへのお問い合わせは受け付けておりません。あらかじめご了承ください。

目次

チュートリアル の 目 標	4
ソフトウェア要件	5
ハードウェア要件	5
チュートリアル デザイン の 説明	6
チュートリアル デザイン ファイル の ディレクトリ	6
手順 1 : プロジェクトを開き RTL をエラボレート	7
手順 2 : パーティションの設定と Pblock の描画	9
手順 3 : デザインの合成およびインプリメンテーション	12
手順 4 : 合成のプロモートとチーム メンバーのプロジェクトの作成	15
手順 5 : cpuEngine をチーム メンバーとして開発	18
手順 6 : usbEngine をチーム メンバーとして開発	25
手順 7 : デザインの統合 (チームリーダー)	30
まとめ	37

チーム デザイン チュートリアル

チーム デザイン フローとは、パーティションを使用して大規模で複雑なデザインを小型の論理ブロックに分割する階層デザイン手法のことです。

- 分割されたブロックは、それぞれ同時にインプリメントできます。
- デザインのほかの部分の情報を使用しながら各ブロックを個別に設計、インプリメント、および検証できます。
- すべてのブロックが完了したら、その結果をインポートしてデザインを統合します。

チーム デザイン フローを実行するチームは、次のメンバーで構成されます。

- チームリーダー 1 人
- 複数のチーム メンバー

チュートリアルの目標

このチュートリアルでは、チーム デザインフローの概要を説明し、チーム リーダーおよびチーム メンバーとしてデザインを完成させる手順を示します。このチュートリアルの目標は、PlanAhead™ ソフトウェアを使用したパーティションとチーム デザインフローについて学ぶことです。

プロジェクト設定

チームリーダーが次を実行します。

- 各チーム メンバーのパーティションを定義
(各チーム メンバーのブロックはブラック ボックス)
- Pblock を定義
- 既存の物理制約およびタイミング制約を確認
- XST (Xilinx® Synthesis Technology) のインクリメンタル合成を使用してデザインの初期バージョンを合成
- トップ パーティション (top) の合成結果をプロモート
- デザイン ルール チェック (DRC) を実行
- 初期デザインをインプリメント
- 各チーム メンバー用の PlanAhead プロジェクトを作成

チーム メンバーの役割

各チーム メンバー用の PlanAhead プロジェクトが作成されたら、チーム メンバーは次を実行します。

- プロジェクトをアップデートし、チーム メンバー ブロックの実際のデザイン ファイルを含める
- 最上位パーティションをインポートし、アップデートしたチーム メンバー デザインを合成
(ほかのチーム メンバーのブロックはブラック ボックスのまま)
- チーム メンバー デザインをインプリメント
(ほかのチーム メンバーのブロックはブラック ボックスのまま)
- 問題のなかった合成およびインプリメンテーション結果をチーム リーダーがアクセスできるディレクトリにプロモート

デザインの統合

チーム リーダーは、各チーム メンバーのプロジェクトの結果をインポートして、デザインを統合します。次を実行します。

- 各チーム メンバーのプロジェクトからの結果をインポートし、デザインを統合
- チーム リーダーのプロジェクトをアップデートし、各チーム メンバーのブロックの NGC ファイルを含める
- インプリメンテーションを設定し、各チーム メンバーのブロックをインポートしてトップ パーティションをインプリメント
- 各チーム メンバーからの配置配線結果を保持して統合されたデザインを検証

ソフトウェア要件

このチュートリアルを実行するには、ISE® Design Suite ソフトウェアがインストールされている必要があります。

チュートリアルを実行する前に、PlanAhead ソフトウェアが実行可能になっており、サンプル デザイン データがインストールされていることを確認します。

PlanAhead ソフトウェア バージョン 13.x では、Spartan®-6、Virtex®-6、およびそれ以降のファミリをターゲットにする RTL プロジェクトでパーティションがサポートされます。

インストール方法およびその詳細は、http://japan.xilinx.com/support/documentation/sw_manuals/xilinx13_3/iil.pdf から『ISE Design Suite : インストールおよびライセンス ガイド』(UG798) を参照してください。

ハードウェア要件

大規模デバイスで PlanAhead ソフトウェアを使用する場合は、2GB 以上の RAM が推奨されます。このチュートリアルでは、小型の XC6VLX75T デザインを使用し、一度に開くデザインの数制限しているので 1GB でも十分ですが、パフォーマンスに影響することがあります。

チュートリアル デザインの説明

このチュートリアルではインクリメンタル合成フローを使用し、パーティションとして設定されたインスタンスごとにネットリストを作成します。チーム デザイン フローでは、これらのネットリストが必要となります。

このチュートリアルで使用されるデザインには、次が含まれます。

- RISC プロセッサ
- FFT
- ギガビットトランシーバー
- USB ポート モジュール 2 つ (パーティションが設定される)
- xc6vlx75tff784 デバイス

このチュートリアルでは、次の理由から小型のデザインを使用します。

- 最低限のハードウェア要件でチュートリアルを実行
- 実行時間を短縮
- データ サイズを最小に抑える

チュートリアル デザイン ファイルのディレクトリ

次のサイトから、PlanAhead_Tutorial.zip ファイルをダウンロードします。

http://japan.xilinx.com/support/documentation/dt_planahead_planahead13-3_tutorials.htm

書き込み権のあるディレクトリに ZIP ファイルを解凍します。

解凍された PlanAhead_Tutorial データ ディレクトリは、このチュートリアルでは <Extract_Dir> と記述します。

チュートリアルのサンプル データは、チュートリアルの実行中に変更されます。チュートリアルを実行する前に、まず元の PlanAhead_Tutorial データをコピーしておいてください。

手順 1：プロジェクトを開き RTL をエラボレート

PlanAhead ソフトウェアでは、デザイン フローの段階によって、さまざまなタイプのプロジェクトを作成できます。RTL ソースは、開発、解析、合成、インプリメンテーション、ビット ファイル生成用のプロジェクトを作成するために使用できます。

このチュートリアルでは、既存の PlanAhead ソフトウェア プロジェクトを使用して、チーム デザインについて説明します。New Project ウィザードを使用して新規デザインを作成する作業は実行しません。

PlanAhead RTL プロジェクトを開く

PlanAhead RTL プロジェクトを開くには、次の手順に従います。

1. PlanAhead ソフトウェアを起動します。
 - Windows の場合、Xilinx PlanAhead 13 のデスクトップ アイコンをダブルクリックするか、[スタート] → [プログラム] → [Xilinx ISE Design Suite 13] → [PlanAhead] → [PlanAhead] をクリックします。
 - Linux の場合は、<Extract_Dir> ディレクトリに移動し、「planAhead」と入力します。
2. Getting Started ページの [Open Project] リンクをクリックします。

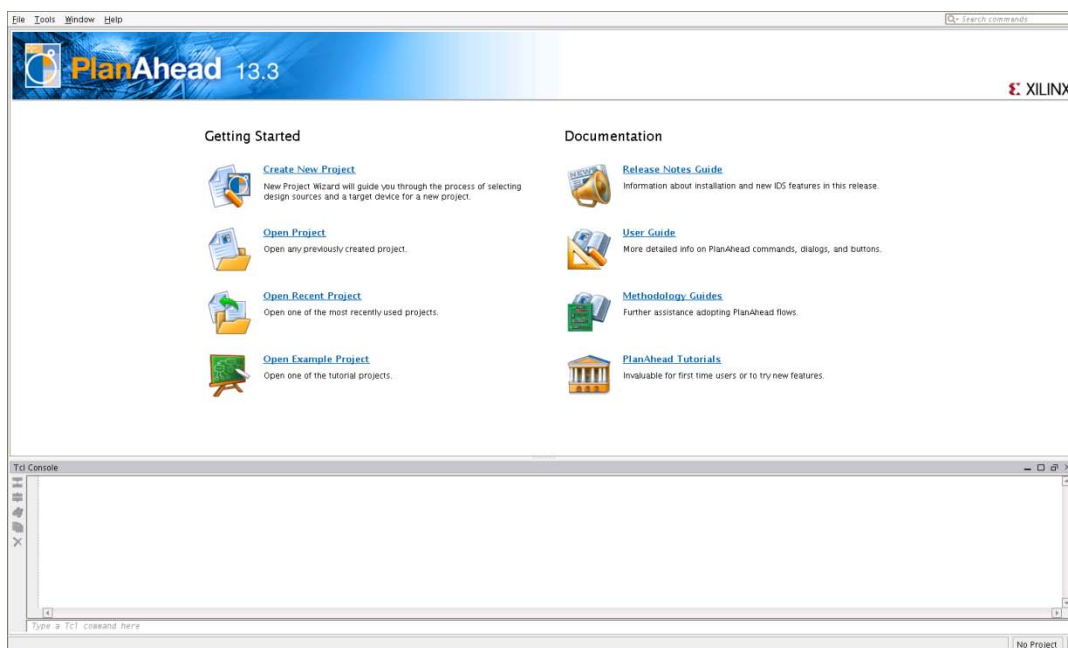


図 1：Getting Started ページ

3. <Extract_Dir> ディレクトリから次のプロジェクト ファイルを開きます。

```
./Projects/project_TL/project_TL.ppr
```

Project Manager が開きます。[Sources] ビューの [Hierarchy] タブでデザインのソース ファイルを確認できます。次のファイルがあります。

- VHDL および Verilog ファイル
- top_full.ucf というユーザー制約ファイル (UCF)。タイミング制約と I/O ピン ロケーションが含まれます。

RTL デザインのエラボレーション

RTL プロジェクトでパーティションを定義するには、RTL デザインを使用します。RTL デザインを開くと、次が実行されます。

- RTL コードがエラボレートされます。
- デザイン階層が表示されます。

これは合成前のデザインビューで、パーティションの定義や制約の作成に使用できます。

RTL デザインをエラボレートするには、次の手順に従います。

1. Flow Navigator で [RTL Design] をクリックします。

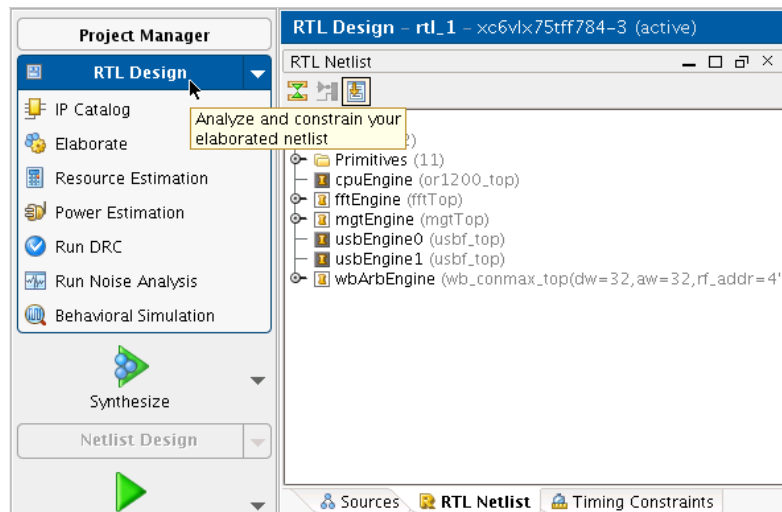


図 2 : RTL デザインを開く

定義されていないインスタンスに対する警告や、その他のクリティカルな警告メッセージが表示されることがあります。一部のモジュールがブラック ボックスとして定義されているので、これは予測されるメッセージです。無視しても問題ありません。

2. [Undefined Modules Found] メッセージ ウィンドウで [OK] をクリックします。

これらのメッセージは予測されるもので、無視しても問題ありません。この初期バージョンのデザインでは、2 つのモジュールがブラック ボックス モジュールとして定義されています。これらのモジュールは、このチュートリアルでこの後各チーム メンバーに割り当てられます。ポートの方向および幅を記述する各モジュールの定義 (or1200_bb.v および usbf_bb.v) は既に含まれています。

3. [Constraint File Critical Warnings] メッセージ ボックスで [OK] をクリックします。

これらのメッセージは予測されるもので、無視しても問題ありません。RTL デザインを開くと、UCF ファイルが解析されます。RTL デザインは、デザインの合成前のバージョンなので、UCF ファイルには I/O バッファなど、エラボレートされたデザインにはない制約が含まれています。

手順 2 : パーティションの設定と Pblock の描画

usbEngine インスタンスは、タイミング クリティカルなモジュールであることがわかっているので、これらのインスタンスのインプリメンテーション結果を保持しておくとは有益です。ただし、これだけではパーティションに向いているとは言えません。

usbEngine インスタンスは、次の理由からパーティションに向いています。

- 残りのデザインから論理的に分離されている。
- 入力および出力にレジスタを付けることにより、妥当なインターフェイス タイミングが得られる。

モジュールがパーティションに向いているかどうかは、PlanAhead のデザイン ルール チェック (DRC) を使用して確認できます。

パーティションを設定したインスタンスは、ほかのインスタンスと同様にフロアプランできます。また、Pblock (AREA_GROUP 制約) を作成すると、タイミング クロージャを達成し、ランタイムを改善しやすくなります。このチュートリアル の UCF では、usbEngine の I/O ロジックがデバイスの左側に制約されています。

次の手順では、チーム メンバーのインスタンスにパーティションを設定し、Pblock を作成する方法を説明します。チーム デザイン フローでは、各チーム メンバーのパーティションに Pblock が必要です。

チーム メンバーのインスタンスのパーティション設定

チーム メンバーのインスタンスにパーティションを設定するには、次の手順に従います。

1. RTL デザインで [RTL Netlist] ビューをクリックします。
2. Ctrl キーを押しながら次を選択します。
 - usbEngine0
 - usbEngine1
 - cpuEngine
3. 右クリックします。
4. [Set Partition] をクリックします。

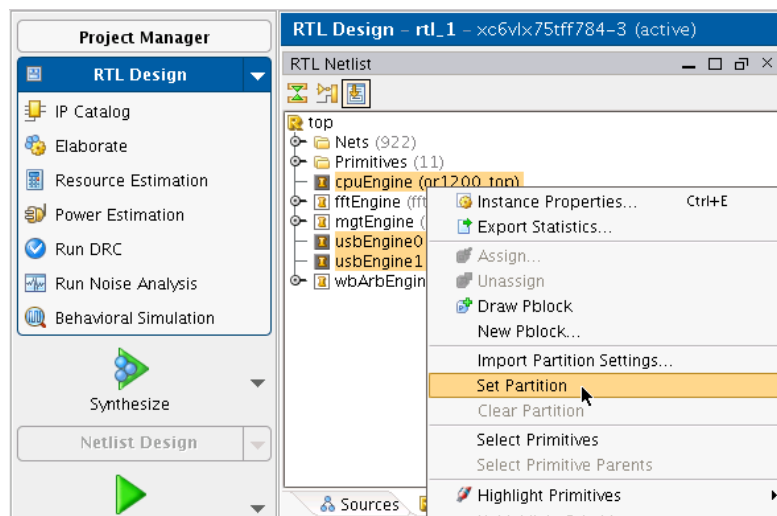


図 3 : usbEngine および cpuEngine インスタンスのパーティション設定

ここでは 3 つのパーティションを定義しましたが、チーム リーダーのほかにチーム メンバーは 2 人しかいません。2 つの usbEngine インスタンスには同じ HDL セットが関連付けられているので、これらは 1 人のチーム メンバーが管理します。

チーム メンバーのパーティションの Pblock 描画

この手順では次を実行します。

- Pblock を定義
- 既存の物理制約およびタイミング制約を確認

この手順は合成結果には影響しないので、ネットリスト デザインを開いて合成後のデザインに対して実行することもできます。

チーム メンバーのパーティションに Pblock を描画するには、次の手順に従います。

1. [Layout] → [Floorplanning] をクリックして、レイアウトを Floorplanning に変更します。
2. [RTL Netlist] ビューで usbEngine1 をクリックします。
3. 右クリックし、[Draw Pblock] をクリックします。

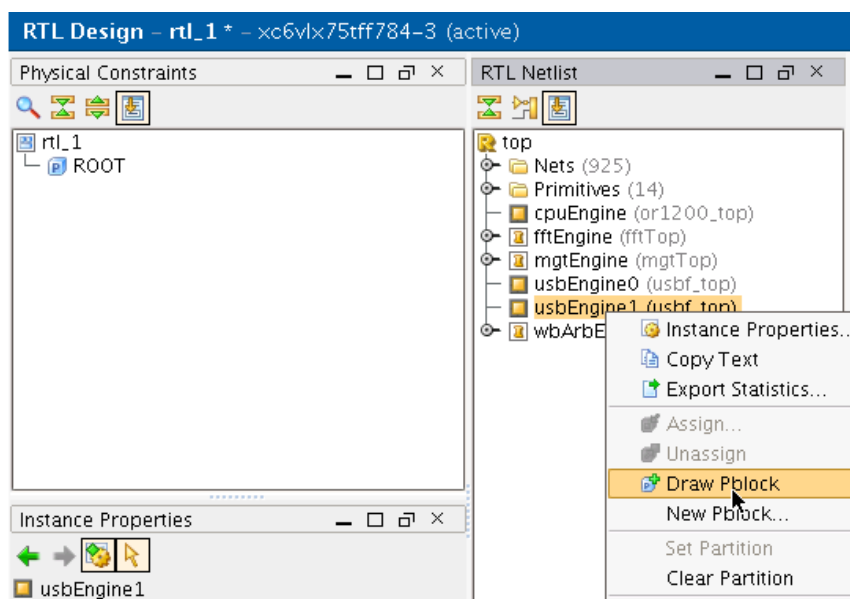


図 4 : [Draw Pblock] の選択

4. [Draw Pblock] ツールがオンの状態で、カーソルを [Device] ビューに移動します。
5. デバイスの左上の CLB が開始する部分をクリックします (図 6 を参照)。
6. マウスをボタンを押した状態で右下にドラッグし、デバイスの左上の区画のほとんどを囲む長方形を描画します。

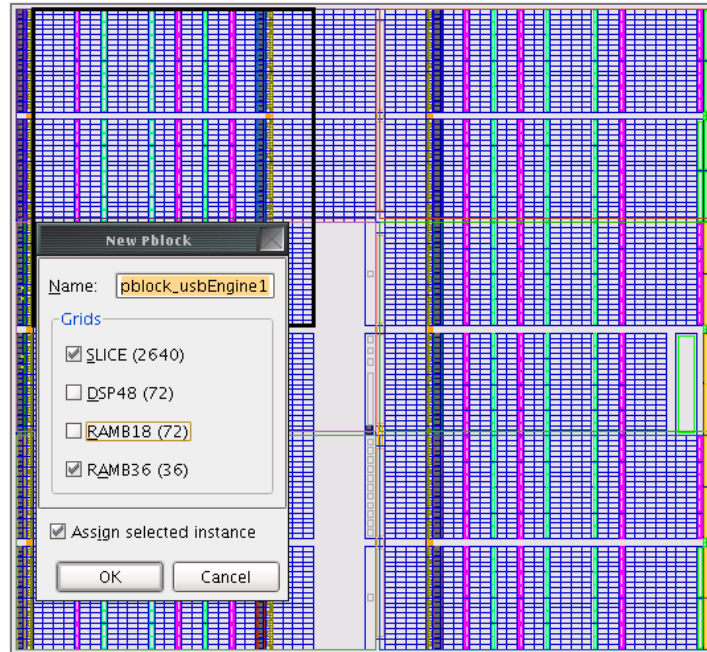


図 5 : usbEngine1 の Pblock を定義する長方形

7. [New Pblock] ダイアログ ボックスでは、次を実行します。

- [SLICE] および [RAMB36] がオンになっていることを確認します。
- その他の不要なリソースは、オフにします。
- 使用可能な RAMB36 の数が 36 であることを確認します。

図 5 に示す領域がすべて含まれないと、この数値が 36 より小さくなり、デザインで配置エラーが発生します。

8. [OK] をクリックします。

9. 使用可能な RAMB36 の数が 36 未満の場合は、Pblock の長方形のサイズを調整します。

10. usbEngine0 に対して手順 2 ～ 9 を繰り返し、左下の区画に配置します。

usbEngine1 と同様に、このブロックに必要なのは SLICE および RAMB36 (36 個) のみです。

11. cpuEngine に対して手順 2 ～ 9 を繰り返し、右上の区画に配置します。

cpuEngine には、Pblock に次の 4 つの範囲すべてを含める必要があります。

- SLICE
- DSP48
- RAMB18
- RAMB36

cpuEngine に必要なリソース数は、それほど重要ではありません。この Pblock には、チップの右上の区画をおおよそ含めておく必要があります。

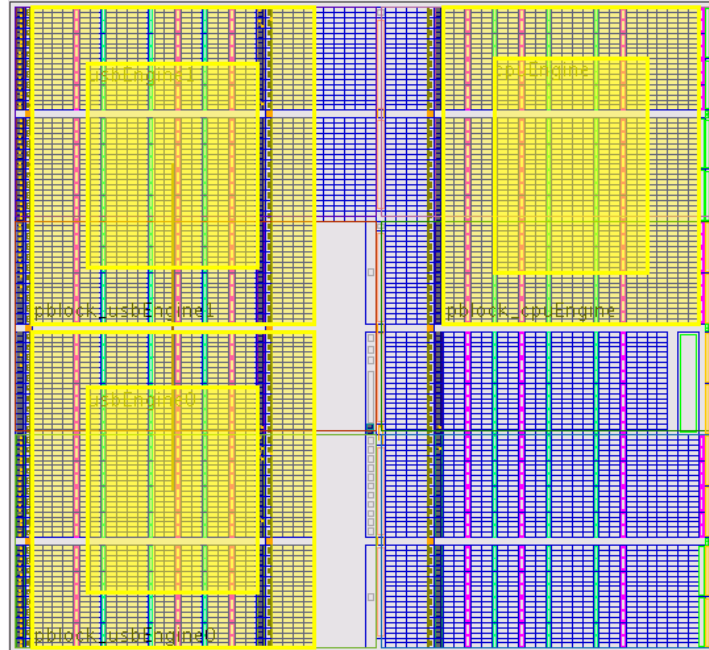


図 6 : usbEngine0、usbEngine1 および cpuEngine Pblocks の完了したフロアプラン

手順 3 : デザインの合成およびインプリメンテーション

ここまでの手順では、次を実行しました。

- エラボレートされた HDL デザインでパーティションを定義
- 制約を作成

この手順では、次を実行します。

- 合成の実行
- DRC の実行
- インプリメンテーションの実行

合成では、XST でデザインにパーティションが設定されていることが認識され、インクリメンタル フローが実行されます。

インクリメンタル フローを使用すると、通常各パーティションに対して個別の NGC ファイルが生成されますが、この段階ではすべてのチーム メンバーのパーティションがブラック ボックスで、ロジックは含まれないので、最上位 NGC ファイルのみが作成されます。

このチュートリアルでは、RTL プロジェクトを使用します。ボトムアップまたはサードパーティのインクリメンタル合成フローを使用する場合は、次のようにする必要があります。

- PlanAhead ソフトウェアの環境外で合成を実行します。
- PlanAhead ソフトウェアで RTL プロジェクトではなくネットリスト プロジェクトを使用します。

合成の実行

このデザインでは、デフォルトの合成オプションを使用します。

合成を実行するには、次の手順に従います。

1. Flow Navigator で [Synthesize] をクリックします。

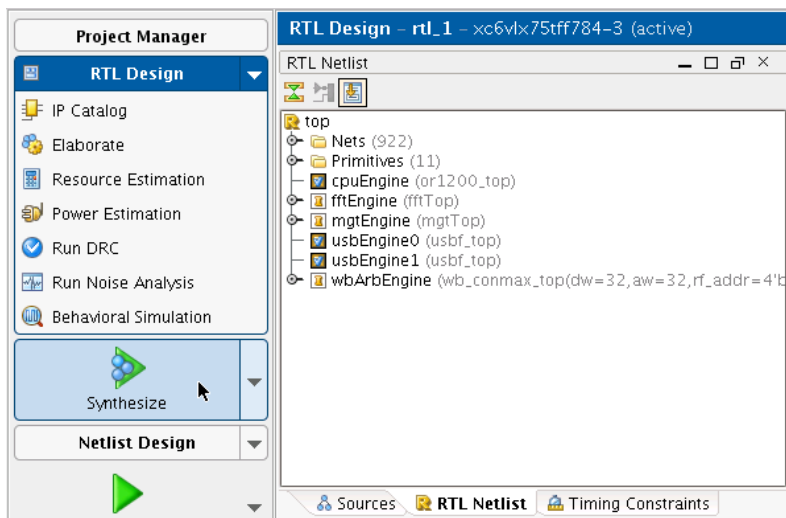


図 7 : XST インクリメンタル合成の実行

2. PlanAhead では、合成の実行前にすべてのパーティションおよびフロアプランの変更が保存されます。デザインを保存するかどうかを尋ねるメッセージが表示されたら、[Save] をクリックします。
3. 合成が完了すると、[Synthesis Completed] ダイアログ ボックスが表示されます。ここで [Open Netlist Design] をオンにしてネットリスト デザインを開くか、[Cancel] をクリックして次の手順でネットリスト デザインを開きます。

パーティションの DRC 実行

RTL デザインに対してもデザイン ルール チェック (DRC) を実行できますが、この段階で実行できるチェックは限られているので、DRC は合成後のデザインに対してインプリメンテーション前に実行することをお勧めします。

DRC を実行するには、ネットリスト デザインを開き、パーティション特定の DRC を実行します。

1. ネットリスト デザインが開いていない場合は、Flow Navigator で [Netlist Design] をクリックして開きます。
合成結果が表示され、より多くの DRC を実行できるようになります。
2. Flow Navigator で [Netlist Design] → [Run DRC] をクリックします。
3. [Run DRC] ダイアログ ボックスで [Partition] と [Team Design] 以外のルールをすべてオフにして、[OK] をクリックします

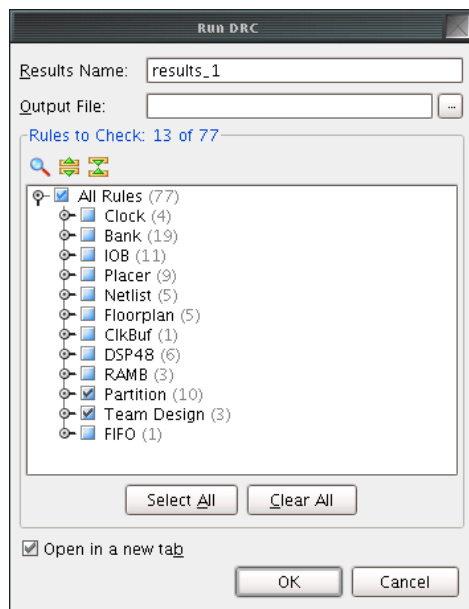


図 8 : パーティションのデザイン ルール チェックの実行

4. [OK] をクリックします。

DRC のメッセージ

DRC ルールに対し、次のようなメッセージが表示されます。

- アドバイザリ
- 警告
- エラー
- 致命的エラー

このチュートリアルの場合、DRC を実行すると、複数の警告メッセージとその他のマイナーなメッセージが表示されます。これらは無視しても問題ありません。これらの DRC メッセージは、デザインに含まれるブラック ボックスに関するものです。

実際のデザインでは、すべての DRC メッセージを確認し、重要な問題は修正してください。

インプリメンテーションの実行

各チーム メンバーにデザインを渡す前に、チーム リーダーはインプリメンテーションを実行してすべてのタイミング 制約およびフロアプラン制約が有効かどうかをチェックします。usbEngine インスタンス 2 つと cpuEngine インスタンスはブラック ボックスなので、有益なインプリメンテーション結果を得ることはできません。

インプリメンテーションを実行するには、次の手順に従います。

1. Flow Navigator で [Implement] をクリックします。
2. [Report] タブをクリックすると、すべてのインプリメンテーション レポートのリストが表示されます。
3. 各プロセスが終了するに従って、関連するレポート ファイルを開くことができますようになります。
4. NGDDBuild が終了したら、[NGDDBuild Report] をダブルクリックしてレポートを開きます。

5. レポート ファイルの一番下までスクロールし、パーティション情報を確認します。

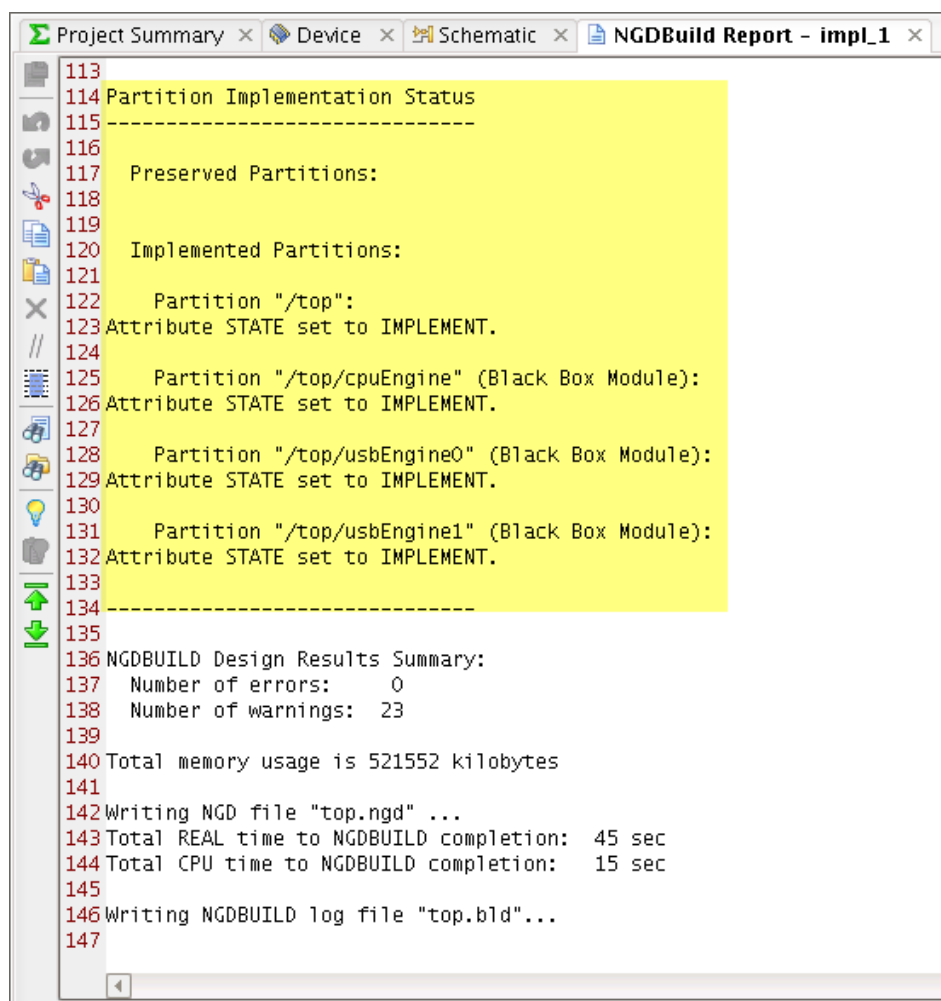


図 9 : レポート ファイルのパーティション情報ステータス

3 つのチーム メンバー パーティションがブラック ボックス モジュールとしてリストされています。パーティション情報はすべてのレポート ファイル (NGDBuild、MAP、PAR) に表示されます。これにより、該当する run のすべてのパーティションのステータスを簡単に確認できます。

手順 4 : 合成のプロモートとチーム メンバーのプロジェクトの作成

この段階で、チーム メンバーがそれぞれの作業を開始できるようになりました。

- 各チーム メンバー用の PlanAhead プロジェクトを生成する前に、初期の合成結果をプロモートします。
- 前の手順のインプリメンテーション結果はチーム メンバーは使用しないので、インプリメンテーション結果をプロモートする必要はありません。

合成結果のプロモート

合成 (またはインプリメンテーション) 結果をプロモートするには、次の手順に従います。

1. Flow Navigator で [Promote Partitions] をクリックします。
2. [Promote Partitions] ダイアログ ボックスで、プロモートするパーティションとして synth_1 の top のみをオンにします。

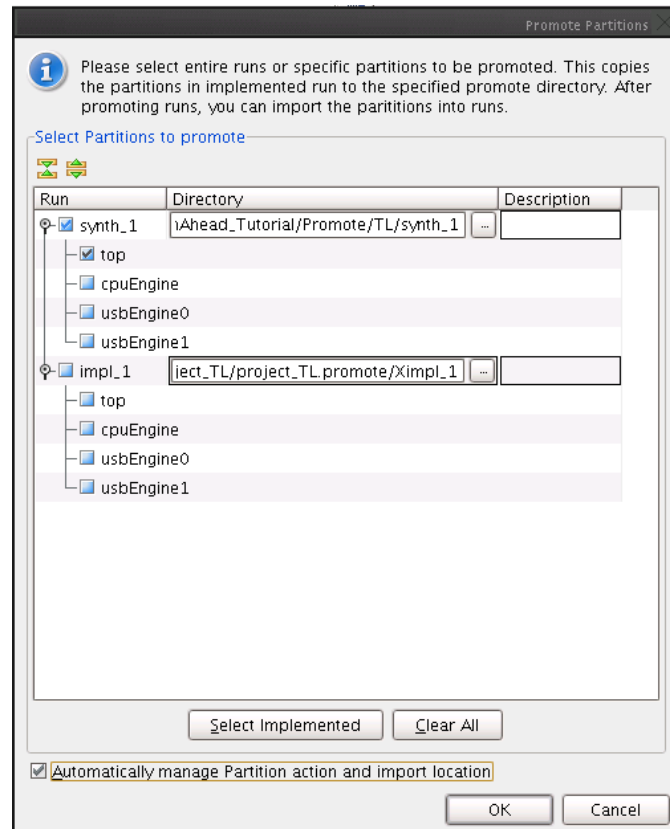


図 10 : [Promote Partitions] ダイアログ ボックス

この段階では、ほかのパーティションには有効なデータがないので、ほかのパーティションはプロモートしません。プロモートした場合、チーム メンバーがプロモートされたパーティションのステートをそれぞれの run で implement に戻す必要があります。

3. synth_1 のディレクトリを次のように設定します。
<Extract_Dir>/Promote/TL/synth_1
4. オプションで、プロモートされたデータの詳細を入力します。
5. [Automatically manage Partition action and import location] がオンになっていることを確認します。

このオプションをオンにすると、チーム リーダーまたはチーム メンバーが次に合成を実行するときに、パーティション ステートとインポート ディレクトリが自動的にアップデートされます。このオプションがオフの場合、チーム リーダーがこれらの属性を管理する必要があります。

6. [OK] をクリックし、top パーティションの合成結果をプロモートします。

7. パーティションのプロモートによる変更を確認します。図 11 を参照してください。

8. RTL デザイン表示に [Promoted Partitions] ビューが表示されます。

このビューが表示されない場合は、[Window] → [Promoted Partitions] をクリックします。

[Specify Partitions] ダイアログ ボックスで top パーティションの [Action] が [Import] になります。

[Specify Partitions] ダイアログ ボックスは、Flow Navigator の [Synthesize] ボタンの右側のプルダウン メニューをクリックし、[Specify Partitions] をクリックすると表示できます。

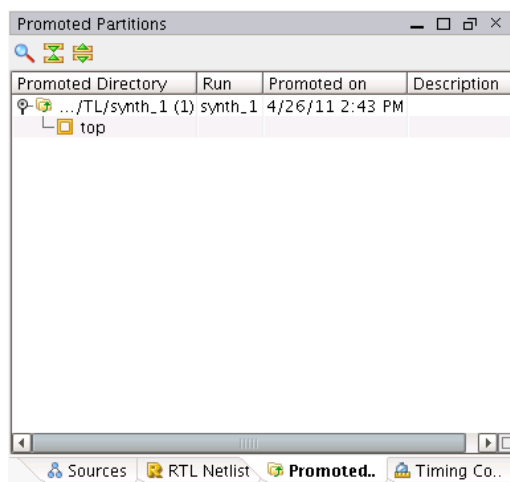


図 11 : パーティションのプロモート

usbEngine および cpuEngine のチーム メンバー プロジェクトの作成

全チーム メンバーの開始点を同一にするため、初期プロジェクトのコピーを複数作成します。このチュートリアルでは、次を作成します。

- cpuEngine インスタンス用のプロジェクト 1 つ
- 2 つの usbEngine インスタンス用のプロジェクト 1 つ

これらのインスタンスは同じモジュールであり、1 人のチーム メンバーが管理します。

usbEngine および cpuEngine 用のチーム メンバー プロジェクトを作成するには、次の手順に従います。

1. [File] → [Save Project As] をクリックします。
2. [Project name] に「project_TM_usbEngine」と入力します。
3. [Project location] に次のディレクトリを指定します。
<Extract_Dir>/Tutorial_Created_Data
4. [OK] をクリックします。
5. 次の名前と場所を指定して手順 1 ～ 4 を繰り返します。

- [Project name]
project_TM_cpuEngine
- [Project location]
<Extract_Dir>/Tutorial_Created_Data

手順 5 : cpuEngine をチーム メンバーとして開発

ここまでで、チームリーダーとして次を実行しました。

- デザインを設定
- 各チーム メンバー用のワークスペースを作成

次に、チーム メンバーとして各ブロックをインプリメントする手順を説明します。

実際のデザインでは、チーム メンバーは同時に作業を進めますが、このチュートリアルではチーム メンバーのブロックを 1 つずつインプリメントしていきます。

各チーム メンバー プロジェクトに対して、次を実行します。

- プロジェクトソースをアップデートし、チーム メンバー ブロックの完全なロジックを含める
- プロジェクトを合成
- プロジェクトをインプリメント
- 結果をプロモート

cpuEngine へのソースの追加

まず、cpuEngine プロジェクトにソースを追加します。作業中の PlanAhead プロジェクトが `project_TM_cpuEngine` であることを確認します。異なる場合は、このプロジェクトを開きます。

cpuEngine にソースを追加するには、次の手順に従います。

1. Project Manager を表示します。
2. [Sources] ビューの [Hierarchy] タブで `top` を展開し、cpuEngine (`or1200_bb.v`) を選択します。
これが初期プロジェクトで使用された cpuEngine のブラック ボックス モジュールです。このブラック ボックス モジュールをロジックに置換します。
3. 右クリックし、[Remove File from Project] をクリックします。
4. [OK] をクリックします。

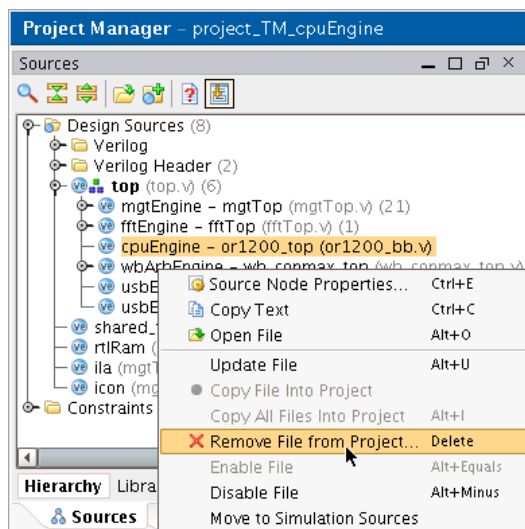


図 12 : or1200_bb.v ブラック ボックス モジュールの削除

5. [Sources] ビューの上部にある [Add Sources] ボタン をクリックします。
6. Add Sources ウィザードで [Add or Create Design Sources] をオンにします。
7. [Next] をクリックします。
8. [Add Directories] ボタンをクリックし、cpuEngine インスタンスの完成したソースを追加します。
9. 次のディレクトリに移動します。
`./Sources/hdl/`
10. or1200 ディレクトリを選択します。
11. [Select] をクリックします。

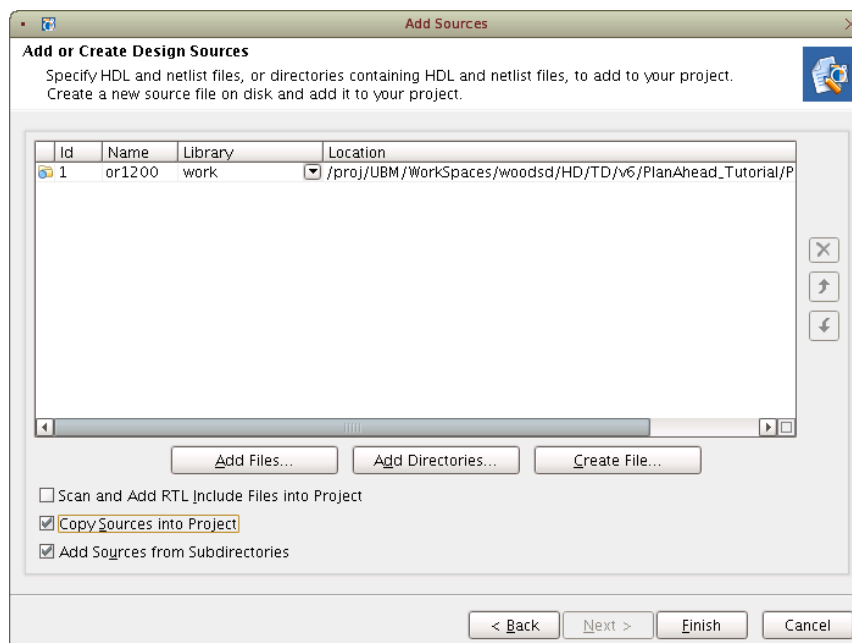


図 13 : or1200 ソース ディレクトリの追加

12. ディレクトリが追加されたことを確認します。

13. [Finish] をクリックします。

[Sources] ビューの [Hierarchy] タブで cpuEngine モジュールを展開できるようになりました。

cpuEngine の合成およびインプリメント

RTL デザインとネットリスト デザインの表示は、最新のものではなくなっています。アップデートするには、次を実行します。

- これらのデザインを読み込み直す (一度閉じて開き直す)
- 合成およびインプリメンテーションのパーティション設定を確認
- run を実行
- 結果をプロモート

デザインを読み込み直すには、次の手順に従います。

- 1 RTL デザインが閉じている場合は、Flow Navigator で [RTL Design] をクリックし、最新のデザインを読み込みます。
- 2 RTL デザインが開いている場合は、上部のバナーに表示が最新でないことが示されます。[Reload] をクリックします。



図 14 : RTL デザインのステータスを表示するバナー

3. cpuEngine がブラック ボックスでなくなったことを確認します。

RTL デザインを読み込み直す (または開き直す) と、「Undefined Modules Found」という定義されていないモジュールがあることを示すメッセージが再び表示されますが、示されているのは `usbEngine` モジュール (`usbf_top`) に関するメッセージのみです。このモジュールはブラック ボックスのままになります。

4. [OK] をクリックします。
5. Flow Navigator で [Synthesize] または [Implement] ボタンの右側のプルダウン メニューをクリックします。
6. [Specify Partitions] をクリックします。

[Specify Partitions] ダイアログ ボックスで、合成およびインプリメンテーションのパーティション設定を確認します。

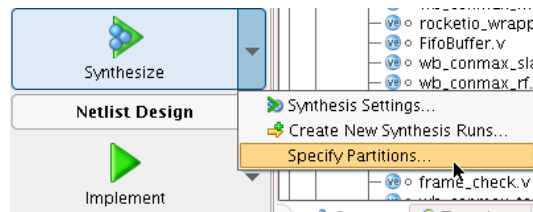


図 15 : パーティションを指定

7. [Synthesis] タブで、次を確認します。
 - a) `top` の [Action] が [Import] に設定されている。
 - b) その他のパーティションの [Action] が [Implement] に設定されている。

最上位の合成結果以外にインポートされるデータはありません。プロモートされたパーティションは `top` のみです。

合成に対して `top` が [Import] に設定されていない場合、次の原因が考えられます。

- `top` が正しくプロモートされていない。
- [Promote Partition] ダイアログ ボックスで [Automatically manage Partition action and import location] がオフになっていた。

`top` が正しくプロモートされなかった場合、インポートすることはできません。

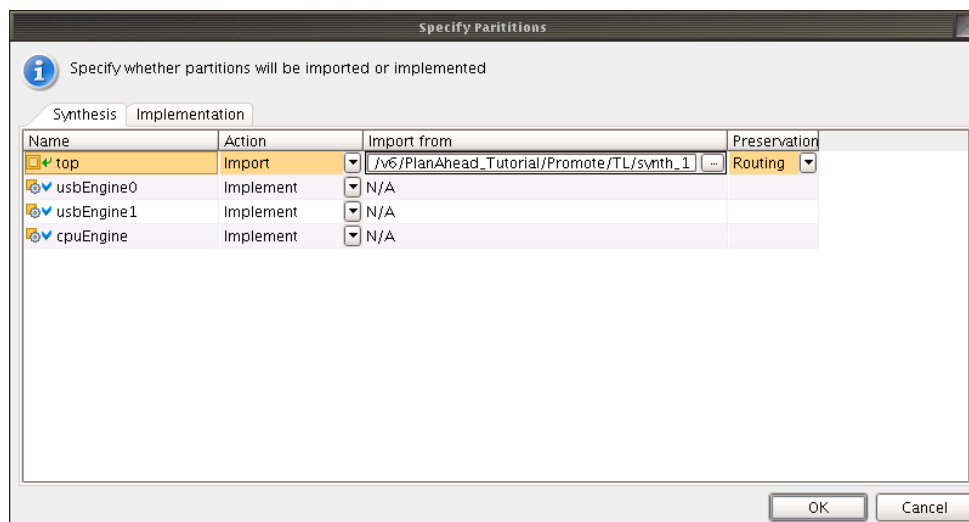


図 16 : [Specify Partitions] ダイアログ ボックス

8. [Implementation] タブをクリックし、すべてのパーティションの [Action] が [Implement] に設定されていることを確認します。
9. [OK] をクリックします。

オプションの手順

次の 2 つの手順は、時間を節約するためスキップしてもかまいません。合成およびインプリメンテーションを実行する代わりに、次のディレクトリにある完了したプロジェクトを読み込みます。

```
<Extract_Dir>/Projects/project_TM_cpuEngine_completed
```

1. Flow Navigator で [Implement] ボタンをクリックし、デザインを合成およびインプリメントします。
合成が最新ではないことを示すメッセージが表示されます。
2. [Yes] をクリックしてインプリメンテーション前に合成を実行します。

cpuEngine の結果の検証とプロモート

合成およびインプリメンテーションを実行した場合、インプリメンテーションが終了すると [Implementation Completed] ダイアログ ボックスが表示されます。

1. [Implementation Completed] ダイアログ ボックスで [Open Implemented Design] をオンにします。
2. [OK] をクリックします。

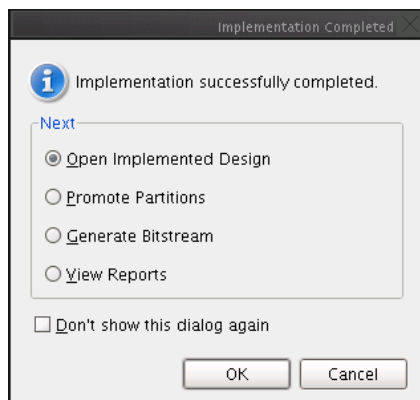


図 17 : [Specify Partitions] ダイアログ ボックス

インプリメンテーションを実行せずに `project_TM_cpuEngine_completed` デザインを開いた場合、または [Implemented Completed] ダイアログ ボックスが開かなかった場合は、次を実行します。

3. Flow Navigator で [Implemented Design] をクリックします。

- インプリメント済みデザインを開くと、次のようになっています。
 - cpuEngine の Pblock は比較的フル、
 - 2 つの usbEngine インスタンスの Pblock は比較的空
- usbEngine インスタンスはブラック ボックスなので、インプリメント済みデザインにはこれら 2 つのブロックに対するロジックはありません。
- top パーティションに含まれるロジックは、図 18 では黄色でハイライトされています。
 - このロジックが usbEngine の Pblock 内に表示されるのは、これらの Pblock の内部に配置されるように制限されていないためです。

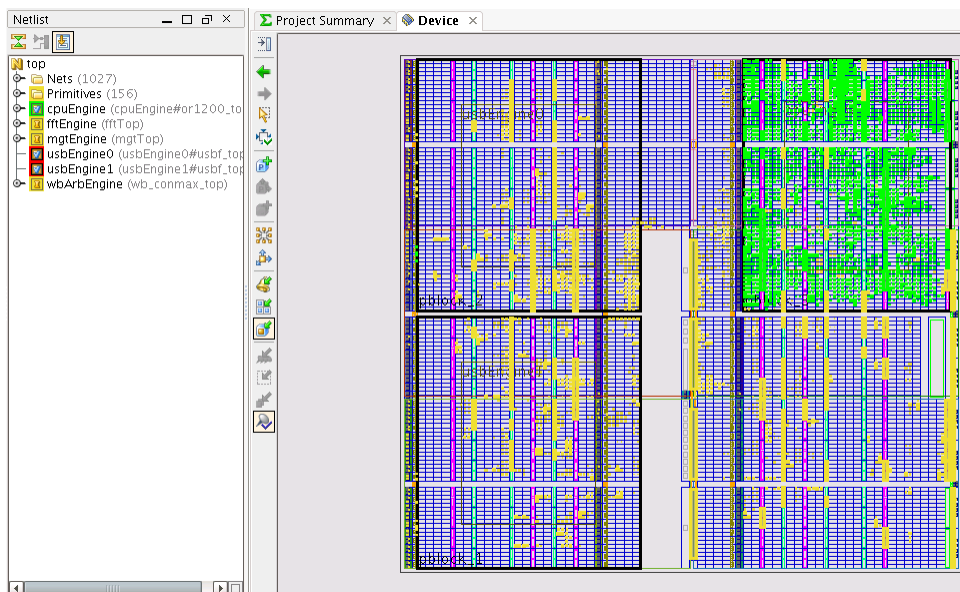


図 18 : cpuEngine プロジェクトのインプリメント済みデザイン

[Highlight Primitives] ツールを使用すると、図 18 に示すようなハイライトされたビューを作成できます。

4. タイミングが満たされているかどうかを確認するには、次のいずれかを参照します。
 - [Design Runs] ビューのタイミング スコア
 - [Timing Results] ビュー
 - [Project Summary] ビューのタイミング スコア
5. Flow Navigator で [Promote Partitions] をクリックし、問題のなかった合成およびインプリメンテーション結果をプロモートします。

RTL デザインが開いていない場合は、開くようメッセージが表示されます。[OK] をクリックします。

6. 合成 run およびインプリメンテーション run の両方で cpuEngine インスタンスのみを選択します。
7. プロモート ディレクトリを設定します。

- synth_1 : <Extract_Dir>/Promote/cpuEngine/synth_1
- impl_1 : <Extract_Dir>/Promote/cpuEngine/impl_1

チーム デザインで使用されるプロモート ディレクトリは、すべてのチーム メンバーがアクセスできるネットワーク ディレクトリまたはレポジトリにする必要があります。このチュートリアルでは、デフォルトのプロモート ディレクトリをプロジェクト ディレクトリ構造外のフォルダーに変更します。

8. [Automatically manage Partition action and import location] チェック ボックスをオフにします。

このチュートリアルではこのオプションをオフにすることは重要ではありませんが、チーム デザイン フローではチーム メンバーはこのオプションをオフにすることをお勧めします。

cpuEngine のチームメンバーがこのブロックでの作業を継続する可能性があるので、オフにしておくと、次の run で cpuEngine が自動的にインポートされるのを防ぐことができます。

これらのプロモート結果は後の手順でチーム リーダーがインポートしますが、プロモートしたチーム メンバー自身はインポートしません。

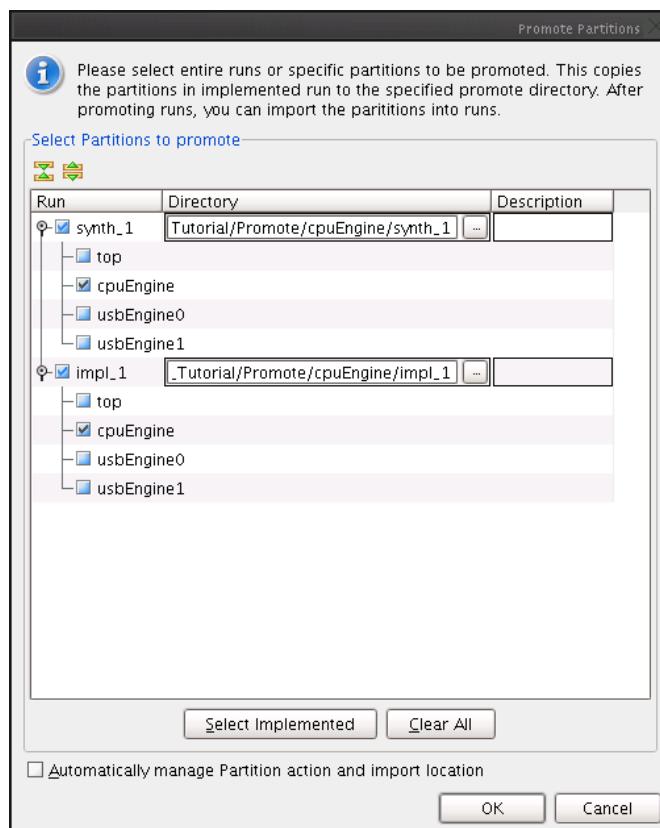


図 19 : cpuEngine のプロモート設定

9. [OK] をクリックします。

手順 6 : usbEngine をチーム メンバーとして開発

ここでは、usbEngine を開発するチーム メンバーとして手順 5 を繰り返します。

複数のプロセッサが使用可能な場合は、cpuEngine プロジェクトをインプリメント中にこの手順を同時に進めることができます。

usbEngine へのソースの追加

usbEngine にソースを追加するには、次の手順に従います。

1. 次の場合以外は、開いているプロジェクトを閉じます。
 - この手順を平行して実行している。
 - cpuEngine のインプリメンテーションが終了していないか、プロモートされていない。
2. 次の PlanAhead プロジェクトを開きます。


```
<Extract_Dir>/Tutorial_Created_Data/project_TM_usbEngine
```
3. Project Manager を開きます。

4. [Sources] ビューの [Hierarchy] タブで top を展開し、2 つの usbEngine インスタンス (usbfb_bb.v) のいずれかを選択します。

初期プロジェクトでは、2 つの usbEngine インスタンスにこのブラック ボックス モジュール定義が使用されていましたが、これをロジックに置き換えます。

5. 右クリックします。
6. [Remove File from Project] をクリックします。
7. [OK] をクリックします。

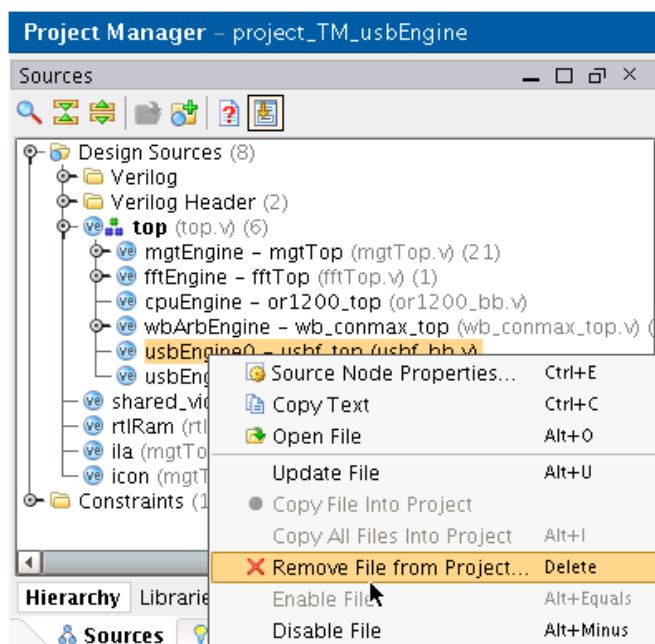


図 20 : ブラック ボックス モジュール usbfb_bb.v の削除

8. [Sources] ビューの上部にある [Add Sources] ボタン をクリックします。
9. Add Sources ウィザードで [Add or Create Design Sources] をオンにします。
10. [Next] をクリックします。
11. [Add Directories] をクリックします。
12. 次のディレクトリに移動します。
/Sources/hdl/
13. usbfb ディレクトリを選択し、usbEngine インスタンスの完成したソースを追加します。
14. [Select] をクリックします。
15. ディレクトリが追加されたことを確認します。
16. [Finish] をクリックします。

usbEngine の合成およびインプリメント

usbEngine を合成およびインプリメントするには、次の手順に従います。

1. Flow Navigator で [RTL Design] ボタンをクリックし、RTL デザインを開きます。
2. 2 つの usbEngine エンジンがブラック ボックスではなくなっていることを確認します。

RTL デザインを読み込み直す (または開き直す) と、「Undefined Modules Found」という定義されていないモジュールがあることを示すメッセージが再び表示されますが、示されているのは `cpuEngine` モジュール (`or1200_top`) に関するメッセージのみです。このモジュールはブラック ボックスのままになります。
3. [OK] をクリックします。
4. Flow Navigator で [Synthesize] または [Implement] ボタンの右側のプルダウン メニューをクリックします。
5. [Specify Partitions] をクリックします。
6. [Synthesis] タブで、次を確認します。
 - `top` の [Action] が [Import] に設定されている。
 - その他のパーティションの [Action] が [Implement] に設定されている。

最上位の合成結果以外にインポートされるデータはありません。プロモートされたパーティションは `top` のみです。

合成に対して `top` が [Import] に設定されていない場合、次の原因が考えられます。

 - `top` が正しくプロモートされていない。
 - [Promote Partition] ダイアログ ボックスで [Automatically manage Partition action and import location] がオフになっていた。

`top` が正しくプロモートされなかった場合、インポートすることはできません。
7. [Implementation] タブをクリックし、すべてのパーティションの [Action] が [Implement] に設定されていることを確認します。
8. [OK] をクリックし、[Specify Partitions] ダイアログ ボックスを閉じます。

オプションの手順

次の 2 つの手順は、時間を節約するためスキップしてもかまいません。合成およびインプリメンテーションを実行する代わりに、次のディレクトリにある完了したプロジェクトを読み込みます。

```
<Extract_Dir>/Projects/project_TM_usbEngine_completed
```

1. Flow Navigator で [Implement] ボタンをクリックし、デザインを合成およびインプリメントします。

合成が最新ではないことを示すメッセージが表示されます。
2. [Yes] をクリックしてインプリメンテーション前に合成を実行します。

usbEngine の結果の検証とプロモート

usbEngine の結果を検証し、プロモートするには、次の手順に従います。

1. インプリメント済みデザインを開きます。

合成およびインプリメンテーションを実行した場合、インプリメンテーションが終了すると [Implementation Completed] ダイアログ ボックスが表示されます。

2. [Implementation Completed] ダイアログ ボックスで [Open Implemented Design] をオンにします。
3. [OK] をクリックします。

インプリメンテーションを実行せずに project_TM_usbEngine_completed デザインを開いた場合、または [Implemented Completed] ダイアログ ボックスが開かなかった場合は、Flow Navigator で [Implemented Design] をクリックします。

4. インプリメント済みデザインを開くと、次が表示されます。

- usbEngine0 および usbEngine1 の Pblock は比較的フル
- cpuEngine の Pblock は比較的空

cpuEngine インスタンスはブラック ボックスなので、空であることが予測されますが、この領域にはロジックがいくつか表示されることがあります。これは、最上位パーティションからのロジックが cpuEngine Pblock 内に配置されないように制限されていないからです。

このハイライトされたビューを表示するには、[Highlight Primitives] ツールを使用します。



図 21 : usbEngine プロジェクトのインプリメント済みデザイン

5. タイミングが満たされているかどうかを確認するには、次のいずれかを参照します。
 - [Design Runs] ビューのタイミング スコア
 - [Timing Results] ビュー
 - [Project Summary] ビューのタイミング スコア
6. Flow Navigator で [Promote Partitions] をクリックし、問題のなかった合成およびインプリメンテーション結果をプロモートします。
7. RTL デザインが開いていない場合は、開くようメッセージが表示されます。[OK] をクリックします。
8. 合成 run およびインプリメンテーション run の両方で usbEngine0 および usbEngine1 インスタンスのみを選択します。
9. プロモート ディレクトリを設定します。
 - synth_1 : <Extract_Dir>/Promote/usbEngine/synth_1
 - impl_1 : <Extract_Dir>/Promote/usbEngine/impl_1
10. [Automatically manage Partition action and import location] チェック ボックスをオフにします。

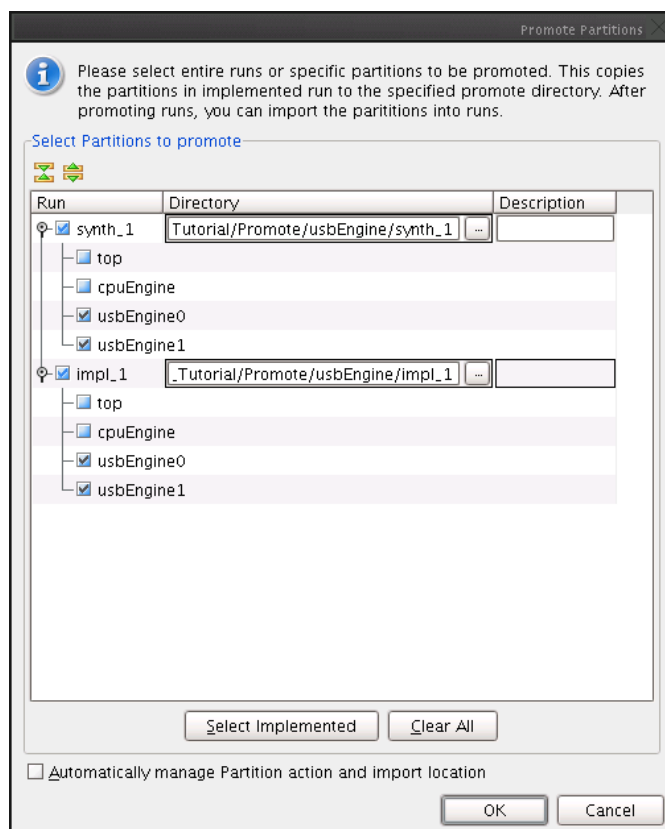


図 22 : usbEngine0 および usbEngine1 のプロモート設定

11. [OK] をクリックし、usbEngine0 および usbEngine1 パーティションをプロモートします。

手順 7 : デザインの統合 (チーム リーダー)

前の手順で、各チーム メンバーはそれぞれのブロックを合成し、インプリメントし、プロモートしました。この手順では、チーム リーダーがデザインを統合します。チーム リーダーは、次を実行します。

- チーム リーダー プロジェクトを開く
- パーティションをインポートするよう設定

デザイン統合のためのチーム リーダー プロジェクトの設定

デザイン統合のためにチーム リーダー プロジェクトを設定するには、次の手順に従います。

1. 次のプロジェクトを開きます。

`<Extract_Dir>/Projects/project_TL`

これが元のプロジェクトです。次のものが含まれています。

- 定義済みのチーム メンバー パーティション
 - top の合成結果
 - チーム メンバー ブロックの Pblock
2. プロジェクトをアップデートし、チーム メンバー ブロックをブラック ボックスではなく、ロジックとして定義します。これに、各チーム メンバーがプロモートした合成結果 (NGC) を追加します。
 3. Flow Navigator で [Project Manager] → [Add Sources] をクリックします。
 4. [Add or Create Design Sources] をオンにします。
 5. [Next] をクリックします。
 6. [Add Files] をクリックします。
 7. 次のファイルを追加します。
 - `<Extract_Dir>/Promote/usbEngine/synth_1/usbEngine0#usbf_top.ngc`
 - `<Extract_Dir>/Promote/usbEngine/synth_1/usbEngine1#usbf_top.ngc`
 - `<Extract_Dir>/Promote/cpuEngine/synth_1/cpuEngine#or1200_top.ngc`
 8. [Finish] をクリックします。

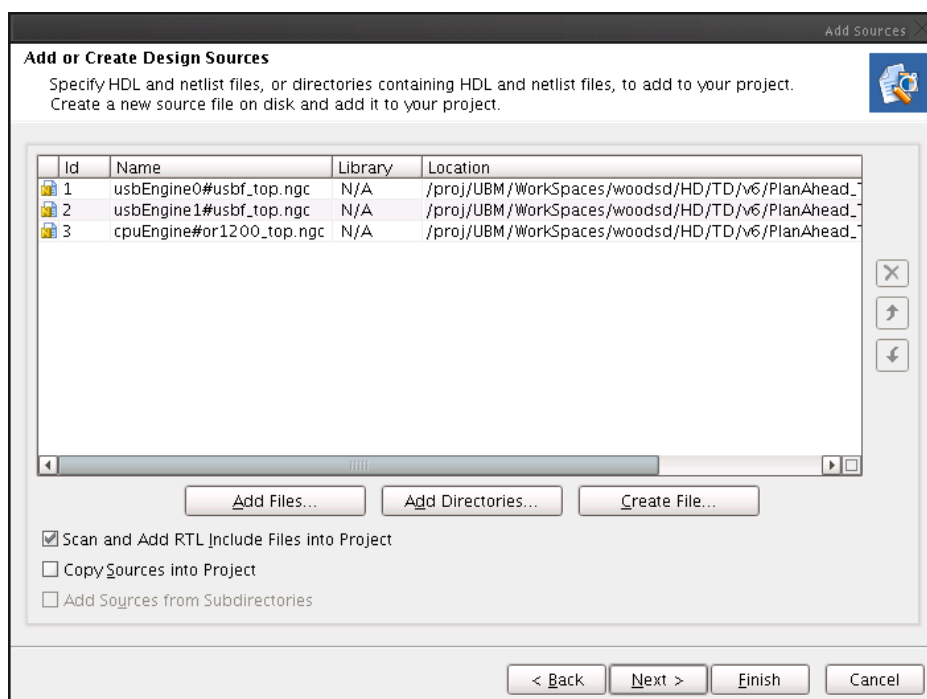


図 23 : チーム メンバー パーティションの合成結果の追加

9. Flow Navigator で [Netlist Design] ボタンをクリックし、ネットリスト デザインを開きます。

このプロジェクトのすべてのパーティションが定義されているので、合成を再実行する必要はありません。デザインの統合には、チーム リーダーを含むすべてのチーム メンバーの最新の合成結果を使用します。

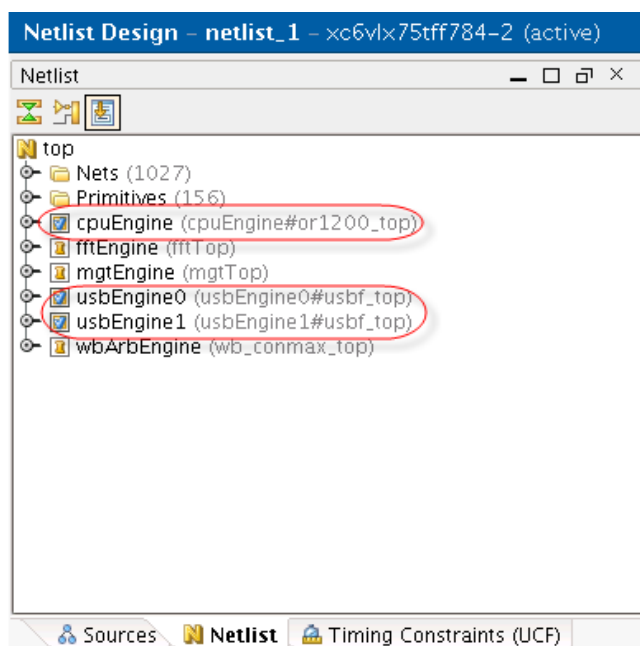


図 24 : すべてのパーティションが定義された (ブラック ボックスのない) ネットリスト デザイン

パーティション設定のアップデートとデザインの統合

パーティション設定をアップデートしてデザインを統合するには、次の手順に従います。

1. Flow Navigator で [Implement] ボタンの右側のプルダウン メニューをクリックします。
 2. [Specify Partitions] をクリックし、インプリメンテーションのパーティション設定を開きます。
 3. top パーティションの [Action] は [Implement] のままにします。
 4. 次のパーティションの [Action] を [Import] に変更します。
 - cpuEngine
 - usbEngine0
 - usbEngine1
 5. [Import from] をチーム メンバーがインプリメンテーション結果をプロモートしたディレクトリに変更します。
 - cpuEngine : <Extract_Dir>/Promote/cpuEngine/impl_1
 - usbEngine0 : <Extract_Dir>/Promote/usbEngine/impl_1
 - usbEngine1 : <Extract_Dir>/Promote/usbEngine/impl_1
- 2 つの usbEngine インスタンスは一緒にインプリメントされてプロモートされたので、[Import from] のディレクトリは同じになります。

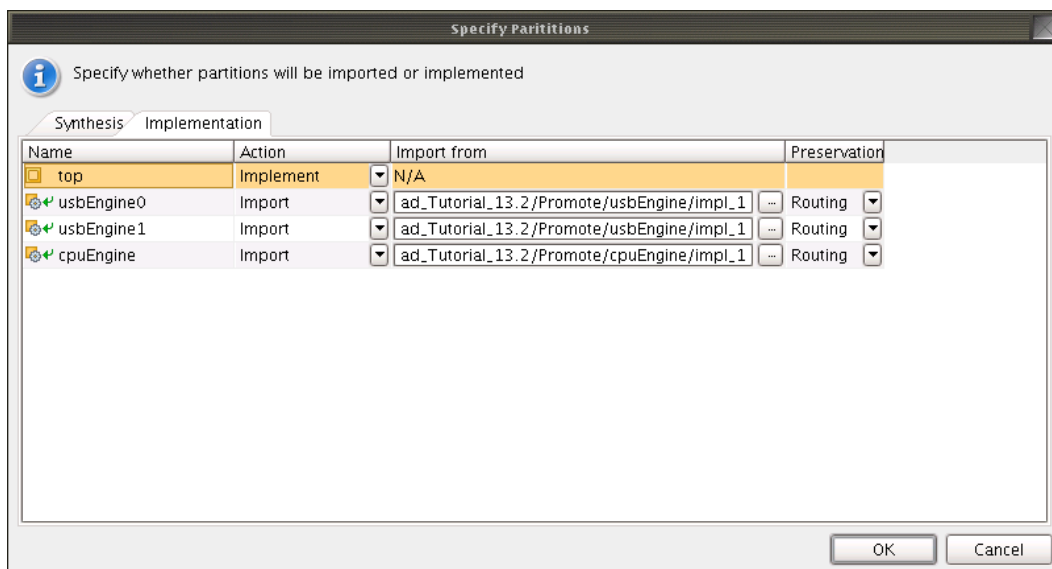


図 25 : 統合用のパーティション設定

6. [OK] をクリックします。
7. [Reset out-of-date run] ダイアログボックスで [OK] をクリックし、impl_1 をリセットします。
インプリメンテーションを実行する次の手順は、時間を節約するため飛ばすことができます。その場合は、完了したプロジェクトを次のディレクトリから開きます。
<Extract_Dir>/Projects/project_TL_assembled
8. オプション : Flow Navigator で [Implement] をクリックし、インプリメンテーションを実行してデザインを統合します。

統合結果の検証とプロモート

このデザインは、次のような特徴があります。

- 各チーム メンバーのブロックがほかのチーム メンバーのブロックから論理的に独立している。
- すべての境界にレジスタがつけられている。
- 各チーム メンバー ブロックの配置は初回の実行で満たされている。

複雑なデザインの場合、統合を何回か実行する必要がある場合もあるので、このチュートリアルで説明する手順が必要に応じて繰り返します。

この時点で、各チーム メンバー プロジェクトで、このプロモートされた統合結果からほかのチーム メンバーのブロックをインポートできるようになります。これにより、デザインの初期段階でインターフェイス タイミングを検証できるようになり、ほかのチーム メンバーのブロックをブラック ボックスのままにしてデザインの最終段階でインターフェイス タイミング問題が検出されるのを回避できます。

統合結果を検証し、プロモートするには、次の手順に従います。

1. インプリメント済みデザインを開きます。
2. [Implementation Completed] ダイアログ ボックスで [Open Implemented Design] をオンにします。
3. [OK] をクリックします。

インプリメンテーションを実行せずに `project_TL_assembled` デザインを開いた場合、または [Implemented Completed] ダイアログ ボックスが開かなかった場合は、Flow Navigator で [Implemented Design] をクリックします。

インプリメント済みデザインが開いたら、デザイン全体を確認できます。図 26 では、この配置例を示します。この図では、次の表に示すハイライト色が使用されています。

アイテム	ハイライト色
usbEngine	赤 青
top パーティションのロジック	黄色
cpuEngine	緑色

[Highlight Primitives] ツールを使用すると、このハイライトされたビューを作成できます。



図 26 : 統合デザインのインプリメント済みデザイン表示

タイミングの確認

タイミングが満たされているかどうかを確認するには、次のいずれかを参照します。

- [Design Runs] ビューのタイミング スコア
- [Timing Results] ビュー
- [Project Summary] ビューのタイミング スコア

すべてのチーム メンバー パーティションがインポートされたかどうかの確認

すべてのチーム メンバーのパーティションがインポートされたかどうかを確認するには、[Project Summary] ビューの「Implemented Partition」セクションを参照します。

Implemented Partitions							
top				cpuEngine			
Type:	Normal			Type:	Normal		
State:	Implement			State:	Import		
PAR Preservation Level:	Routing			Import Location:	:e/cpuEngine/impl_1		
Boundary Optimization:	None			PAR Preservation Level:	Routing		
				Modified Import Logic:	None		
				Boundary Optimization:	None		
usbEngine0				usbEngine1			
Type:	Normal			Type:	Normal		
State:	Import			State:	Import		
Import Location:	:e/usbEngine/impl_1			Import Location:	:e/usbEngine/impl_1		
PAR Preservation Level:	Routing			PAR Preservation Level:	Routing		
Modified Import Logic:	None			Modified Import Logic:	None		
Boundary Optimization:	None			Boundary Optimization:	None		

図 27 : [Project Summary] のパーティション サマリのセクション

合成およびインプリメンテーション結果のプロモート

デザインを変更した場合、このフローの一部またはすべてを繰り返す必要があります。問題なく実行された統合結果を今後の実行で使用すると、有益な場合があります。合成およびインプリメンテーション結果をプロモートするには、次の手順に従います。

1. Flow Navigator で [Promote Partitions] をクリックします。
2. RTL デザインが開いていない場合は、開くようメッセージが表示されます。[OK] をクリックします。
3. 合成およびインプリメンテーションの両方で、すべてのパーティションをプロモートするよう選択します。

top パーティションの配置はすべてのインターフェイス タイミングを満たしているので、このインターフェイス タイミングを今後すべての実行で保持するため、各チーム メンバーは **top** パーティションおよびほかのチーム メンバーのパーティションをインポートできます。

4. プロモート ディレクトリを設定します。
 - synth_1 : <Extract_Dir>/Promote/TL/synth_1
 - impl_1 : <Extract_Dir>/Promote/TL/impl_1

このチュートリアルでは、チーム リーダーの合成結果は最後にプロモートしてから変更されていませんが、実際のデザインでは、ほかのチーム メンバーと平行してチーム リーダーも最上位デザインでその他のロジックを開発している可能性があります。その場合、この段階の合成およびインプリメンテーション結果をプロモートして、すべてのチーム メンバーが最新のコードで開発を進められるようにします。

5. [Automatically manage Partition action and import location] チェック ボックスをオフにします。

このオプションをオフにしておくと、チーム メンバーのインポート ディレクトリがプロモートしたディレクトリ (./Promote/TL) に自動的に変更されるのを回避でき、前の手順で定義したディレクトリが保持されます。これにより、この後統合を繰り返す際に手順が簡略化されます。

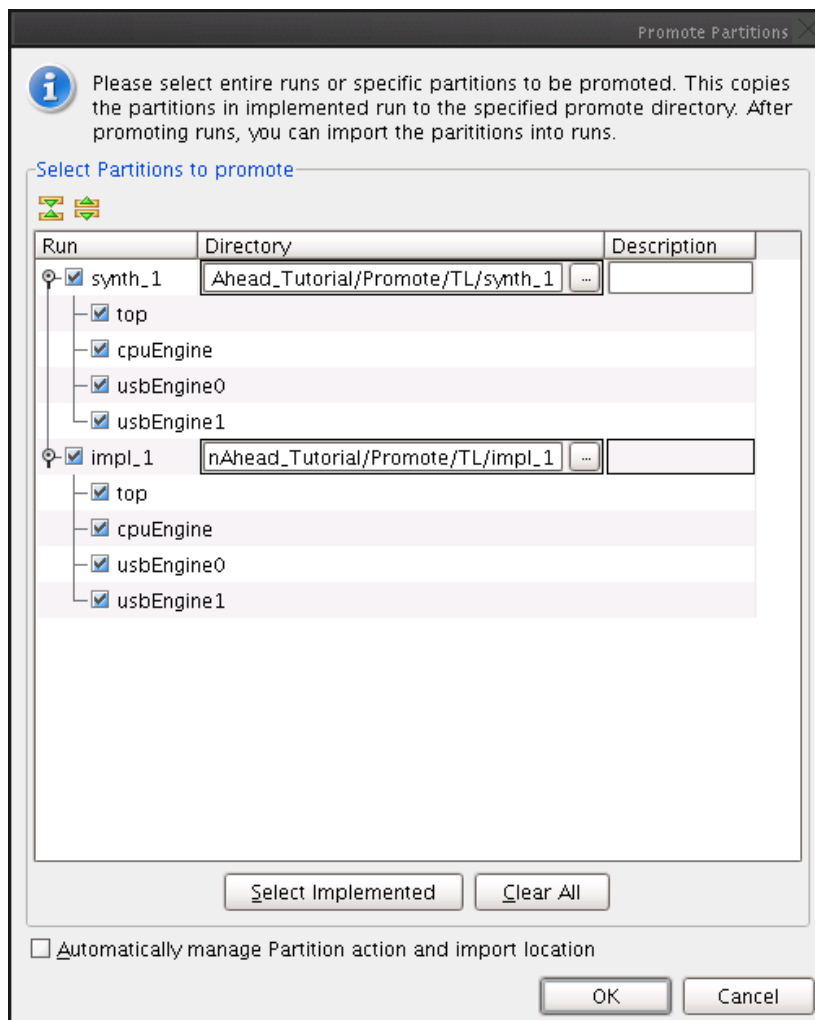


図 28 : 統合デザインのプロモート設定

6. [OK] をクリックします。

まとめ

このチュートリアルでは、次を実行しました。

- パーティションとチーム デザイン フローを使用して、複数部分から構成されるデザインを合成およびインプリメント
- デザインを統合
- ブロックをブラック ボックスとして合成およびインプリメント
- 合成およびインプリメンテーション結果を中央リポジトリにプロモート
- 各チーム メンバー用の PlanAhead プロジェクトを作成