

# RTL デザインおよび IP の生成 チュートリアル

PlanAhead デザイン ツール

UG675 (v 13.4) 2012 年 1 月 16 日





Xilinx is disclosing this user guide, manual, release note, and/or specification (the “Documentation”) to you solely for use in the development of designs to operate with Xilinx hardware devices. You might not reproduce, distribute, republish, download, display, post, or transmit the Documentation in any form or by any means including, but not limited to, electronic, mechanical, photocopying, recording, or otherwise, without the prior written consent of Xilinx. Xilinx expressly disclaims any liability arising out of your use of the Documentation. Xilinx reserves the right, at its sole discretion, to change the Documentation without notice at any time. Xilinx assumes no obligation to correct any errors contained in the Documentation, or to advise you of any corrections or updates. Xilinx expressly disclaims any liability in connection with technical support or assistance that might be provided to you in connection with the Information.

THE DOCUMENTATION IS DISCLOSED TO YOU “AS-IS” WITH NO WARRANTY OF ANY KIND. XILINX MAKES NO OTHER WARRANTIES, WHETHER EXPRESS, IMPLIED, OR STATUTORY, REGARDING THE DOCUMENTATION, INCLUDING ANY WARRANTIES OF MERCHANTABILITY, FITNESS FOR A PARTICULAR PURPOSE, OR NONINFRINGEMENT OF THIRD-PARTY RIGHTS. IN NO EVENT WILL XILINX BE LIABLE FOR ANY CONSEQUENTIAL, INDIRECT, EXEMPLARY, SPECIAL, OR INCIDENTAL DAMAGES, INCLUDING ANY LOSS OF DATA OR LOST PROFITS, ARISING FROM YOUR USE OF THE DOCUMENTATION.

© Copyright 2010– 2011 Xilinx Inc. All Rights Reserved. XILINX, the Xilinx logo, the Brand Window and other designated brands included herein are trademarks of Xilinx, Inc. All other trademarks are the property of their respective owners. The PowerPC name and logo are registered trademarks of IBM Corp., and used under license. All other trademarks are the property of their respective owners.

本資料は英語版 (v13.4) を翻訳したもので、内容に相違が生じる場合には原文を優先します。

資料によっては英語版の更新に対応していないものがあります。

日本語版は参考用としてご使用の上、最新情報につきましては、必ず最新英語版をご参照ください。

この資料に関するフィードバックおよびリンクなどの問題につきましては、[jpn\\_trans\\_feedback@xilinx.com](mailto:jpn_trans_feedback@xilinx.com) までお知らせください。いただきましたご意見を参考に早急に対応させていただきます。なお、このメール アドレスへのお問い合わせは受け付けておりません。あらかじめご了承ください。

# 目次

---

ソフトウェア要件 .....	4
ハードウェア要件.....	4
チュートリアル デザインの説明 .....	5
チュートリアル デザイン ファイルのディレクトリ.....	5
手順 1 : 新規 RTL プロジェクトの作成.....	6
手順 2 : [Sources] ビューとテキスト エディターの使用 .....	12
手順 3 : ビヘイビア シミュレーションの実行.....	20
手順 4 : RTL デザインのエラボレーションと解析 .....	22
手順 5 : リソース予測.....	28
手順 6 : RTL デザイン ルール チェック (DRC) を実行 .....	30
手順 7 : ザイリンクス IP カタログからの IP の選択.....	32
手順 8 : IP のカスタマイズおよびインスタンス化.....	33
手順 9 : IP の生成 .....	37
まとめ .....	38

# RTL デザインおよび IP の生成 チュートリアル

---

このチュートリアルでは、RTL 開発と解析環境の概要について説明し、次の内容を学びます。

- テキスト エディターを使用して RTL ソースをインポート
- bft モジュールのビヘイビア シミュレーションを実行
- RTL をコンパイルするためエラボレーションを実行
- コンパイルした RTL デザインに解析機能を実行
- RTL 回路図を使用して RTL ロジック階層を解析
- RTL リソースを予測
- RTL デザイン ルール チェック (DRC) を実行
- ザイリンクス IP カタログを確認、デザインに含まれる IP コアをカスタマイズおよびインプリメント

PlanAhead™ ツールの解析機能の詳細は、ほかのチュートリアルで紹介しています。すべてのコマンドやコマンド オプションの説明が含まれているわけではありませんので、ご了承ください。

このチュートリアルの目標は、PlanAhead ツールを使用した RTL 開発および解析プロセスについて理解することにあります。

## ソフトウェア要件

PlanAhead ツールは、ISE Design Suite ソフトウェアをインストールするとインストールされます。チュートリアルを始める前に、PlanAhead ツールが起動できるか、チュートリアル デザイン データがインストールされているかを確認してください。

インストール手順については、[http://japan.xilinx.com/support/documentation/sw\\_manuals/xilinx13.4/iil.pdf](http://japan.xilinx.com/support/documentation/sw_manuals/xilinx13.4/iil.pdf) にある『ISE Design Suite : インストールおよびライセンス ガイド』(UG798) を参照してください。

## ハードウェア要件

大型デバイスで PlanAhead ツールを使用するには、2GB 以上の RAM が推奨されます。このチュートリアルでは、小型の XC6VLX75T デザインを使用し、一度に開くデザインの数制限しているので 1GB でも十分ですが、パフォーマンスに影響することがあります。

## チュートリアル デザインの説明

このチュートリアルで使用される小型のサンプル デザインには、Verilog と VHDL を含む RTL デザイン ソースのセットが含まれます。VHDL ソースは、複数の VHDL ライブラリに含まれています。このチュートリアルで使用するデザインは xc6vlx75t デバイスをターゲットにしており、次のものが含まれています。

- RISC プロセッサ
- 疑似 FFT
- ギガビットトランシーバー
- USB ポート モジュール 2 つ

## チュートリアル デザイン ファイルのディレクトリ

次のサイトから、PlanAhead\_Tutorial.zip ファイルをダウンロードします。

[http://japan.xilinx.com/support/documentation/dt\\_planahead\\_planahead13-4\\_tutorials.htm](http://japan.xilinx.com/support/documentation/dt_planahead_planahead13-4_tutorials.htm)

書き込み権のあるディレクトリに ZIP ファイルを解凍します。

解凍された PlanAhead\_Tutorial データ ディレクトリは、このチュートリアルでは <Extract\_Dir> と表記しています。

チュートリアルのサンプル デザイン データはチュートリアル実行中に変更されます。チュートリアルを実行するときは常に実行前に元の PlanAhead\_Tutorial データをコピーしておいてください。

## 手順 1 : 新規 RTL プロジェクトの作成

PlanAhead ツールでは、デザイン フローの段階によって、さまざまなタイプのプロジェクトを作成できます。RTL ソースは、開発、解析、合成、インプリメンテーション、ビット ファイル生成用のプロジェクトを作成するために使用できます。

### PlanAhead ツールの起動

PlanAhead ツールを起動します。

- Windows の場合、Xilinx PlanAhead 13.4 のデスクトップ アイコンをダブルクリックするか、[スタート] → [プログラム] → [Xilinx ISE Design Suite 13.4] → [PlanAhead] → [PlanAhead] をクリックします。
- Linux の場合は、<Extract\_Dir>/PlanAhead\_Tutorial/Tutorial\_Created\_Data ディレクトリに移動し、「planAhead」と入力します。

PlanAhead ツールの Getting Started ページが開きます。

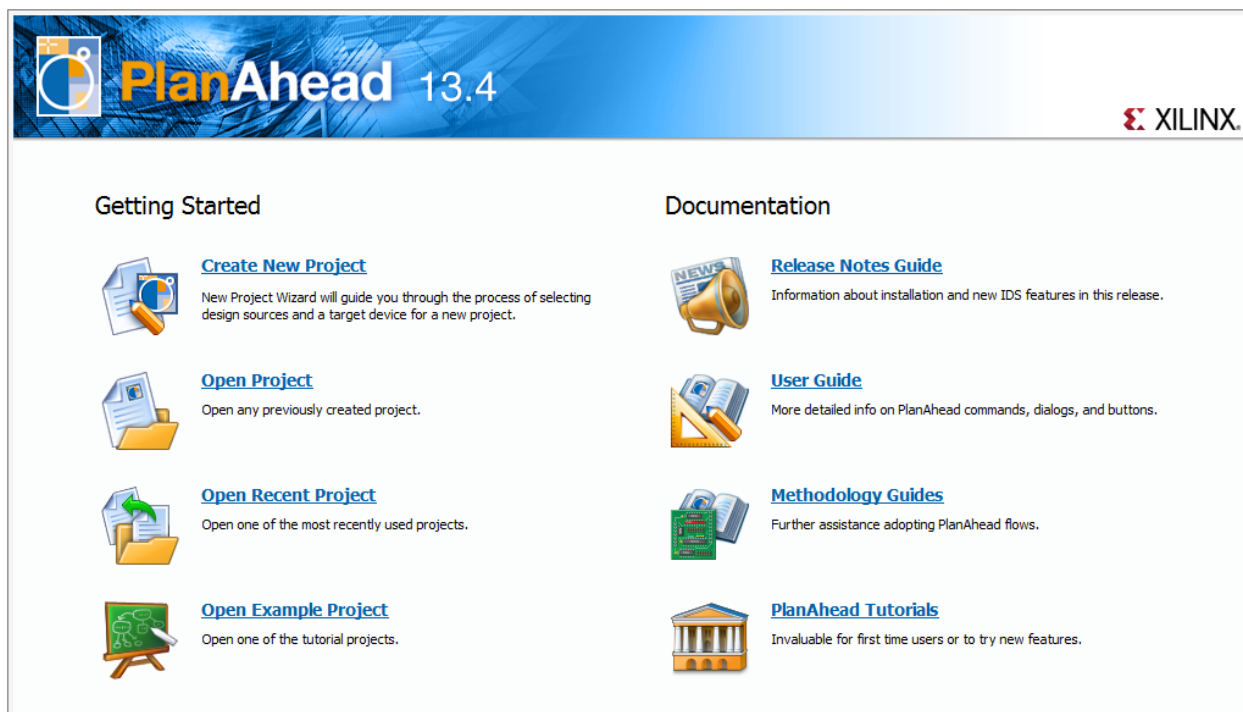


図 1 : Getting Started ページ

PlanAhead ツールの Getting Started ページには、プロジェクトを開いたり、作成したり、ドキュメントを確認するリンクが含まれています。

## 新規 RTL プロジェクトの作成

1. 次のディレクトリにある RTL ソース ファイルを使用し「project\_rtl」という名前の新規プロジェクトを作成します。  
    <Extract\_Dir>/PlanAhead\_Tutorial/Sources/hdl
2. Getting Started ページの [Create New Project] というリンクをクリックします。
3. [Create a New PlanAhead Project] ページで [Next] をクリックします。  
    [New Project] ダイアログ ボックスの [Project Name] ページが開きます。

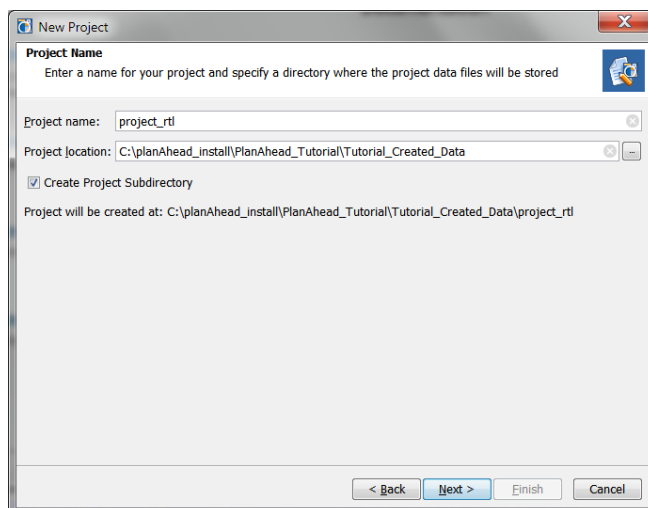


図 2 : 新しいプロジェクト名の入力

4. [Project name] に「project\_rtl」と入力します。
5. [Project location] に <Extract\_Dir>\PlanAhead\_Tutorial\Tutorial\_Created\_Data ディレクトリを選択して、[Next] をクリックします。  
    [Design Source] ページが表示されます。

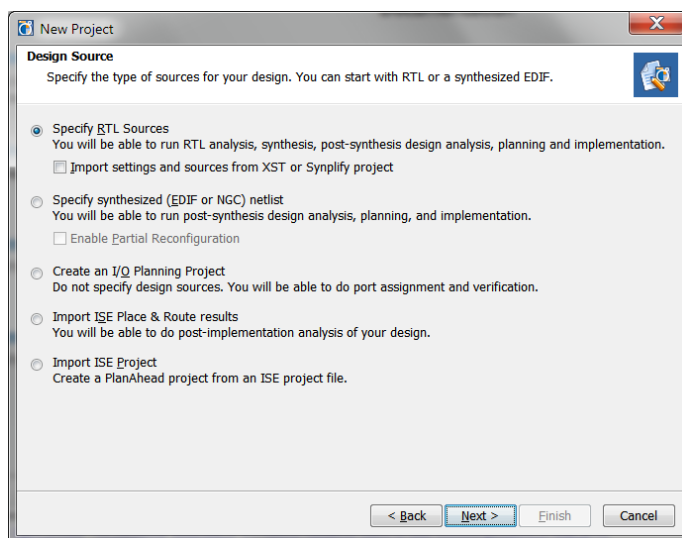


図 3 : New Project ウィザード : デザイン ソースの指定

6. [Specify RTL Sources] をオンにし、[Next] をクリックします。

[Add Sources] ページが表示されます。

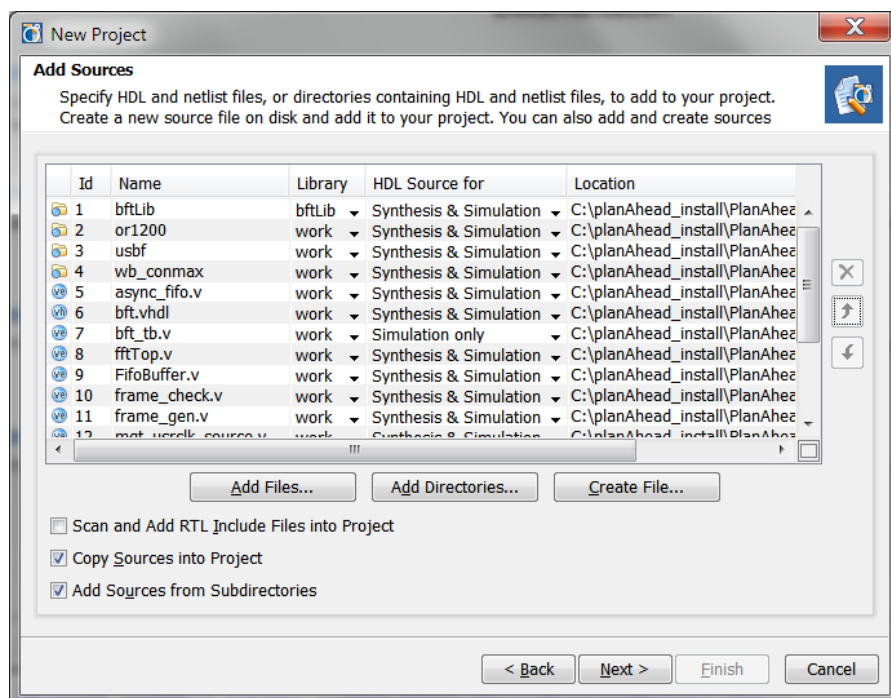


図 4 : New Project ウィザード : デザイン ソースの追加



## ディレクトリおよびファイルの追加

1. [Add Directories] をクリックし、<Extract\_Dir>/PlanAhead\_Tutorial/Sources/hdl を参照して、bftLib、or1200、usbf、および wb\_conmax ディレクトリを追加します。
2. [Add Files] をクリックし、<Extract\_Dir>/PlanAhead\_Tutorial/Sources/hdl ディレクトリを参照して表示されているソース ファイルをすべて選択して (Ctrl + A キー)、[OK] をクリックします。
3. 次のチェック ボックスがオンになっていることを確認します。
  - [Copy Sources into Project]
  - [Add Sources from Subdirectories]
4. bftLib フォルダの [Library] で [work] をクリックし、「bftLib」と入力してライブラリを変更します。
5. bft\_tb.v の [HDL Source for] でドロップダウン メニューから [Simulation only] を選択します。
6. 図 4 とこのページでの設定が同じであることを確認し、[Next] をクリックします。  
[Add Existing IP] ページが表示されます。
7. [Next] をクリックします。  
[Add Constraints] ページが表示されます。

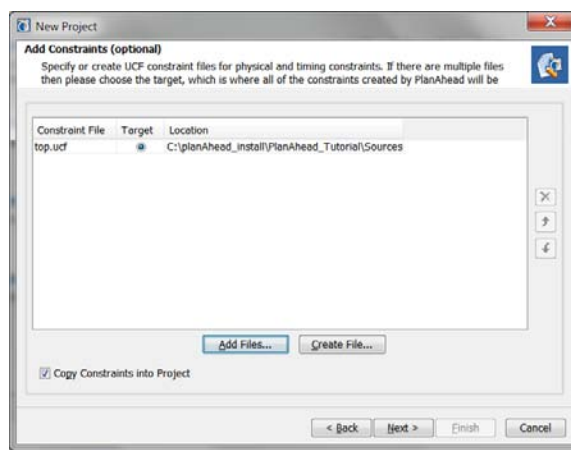


図 5 : プロジェクトに追加する制約ファイルの選択

## 制約ファイルの追加

1. [Add Files] をクリックし、次のファイルを選択します。  
    <Extract\_Dir>/PlanAhead\_Tutorial/Sources/top.ucf
2. [OK] をクリックします。
3. [Copy Sources into Project] がオンになっているかどうか確認し、[Next] をクリックします。  
    [Default Part] ページが表示されます。

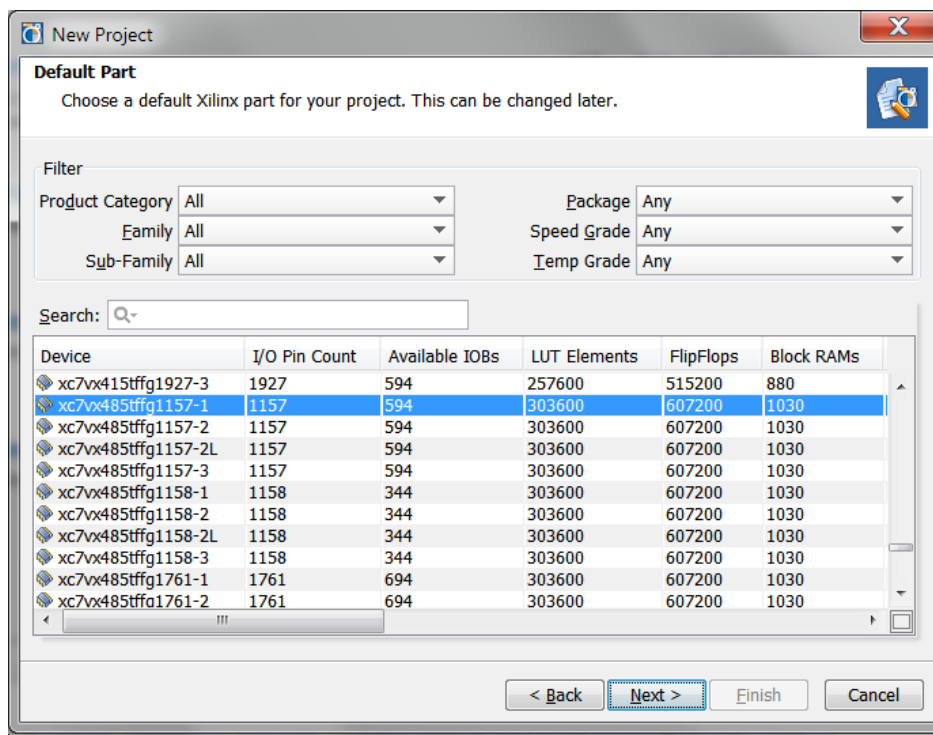


図 6 : New Project ウィザード : デフォルト デバイスの選択

## デフォルト デバイスの選択

1. [Filter] フィールドの [Family] プルダウン メニューから [Virtex6] を選択します。リストには Virtex®-6 デバイスのみが表示されるようになります。
2. [Sub-Family] プルダウン メニューから [Virtex6 LXT] を選択します。リストには Virtex-6 LXT デバイスのみが表示されるようになります。
3. [Search] フィールドに「75t」と入力します。75t デバイスがリストされます。

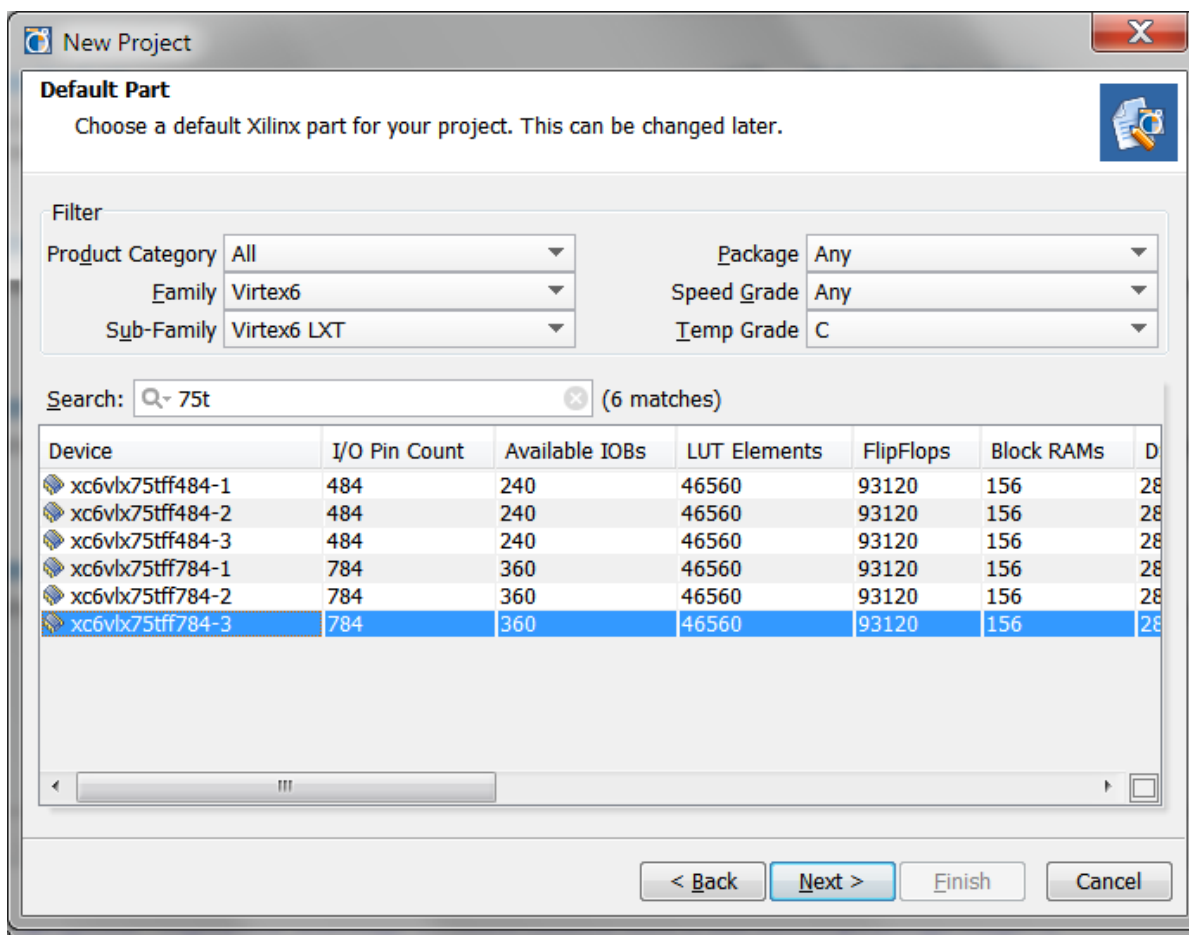


図 7 : ファミリーおよびデフォルト デバイスの選択

4. xc6vlx75tff784-3 デバイスを選択し、[Next] をクリックします。
5. サマリを確認したら、[Finish] をクリックします。  
PlanAhead 環境が開きます。

## 手順 2 : [Sources] ビューとテキスト エディターの使用

PlanAhead ツールには、Verilog、VHDL、NGC 形式のコアなどさまざまなファイル形式のデザイン ソースを追加できます。これらのファイルは、[Sources] ビューに分類されて表示されます。含まれるテキスト エディターを使用して RTL ソースを作成または変更します。

### [Sources] ビューとプロジェクト サマリの確認

1. [Project Summary] の情報を確認します。デザインの進捗状況に応じて表示される情報は増えていきます。
2. [Sources] ビューを確認します。
3. デフォルトでソースの階層が表示されます。この階層を確認するには、プラス記号 (+) またはマイナス記号 (-) をクリックして、階層の展開/非展開を切り替えます。

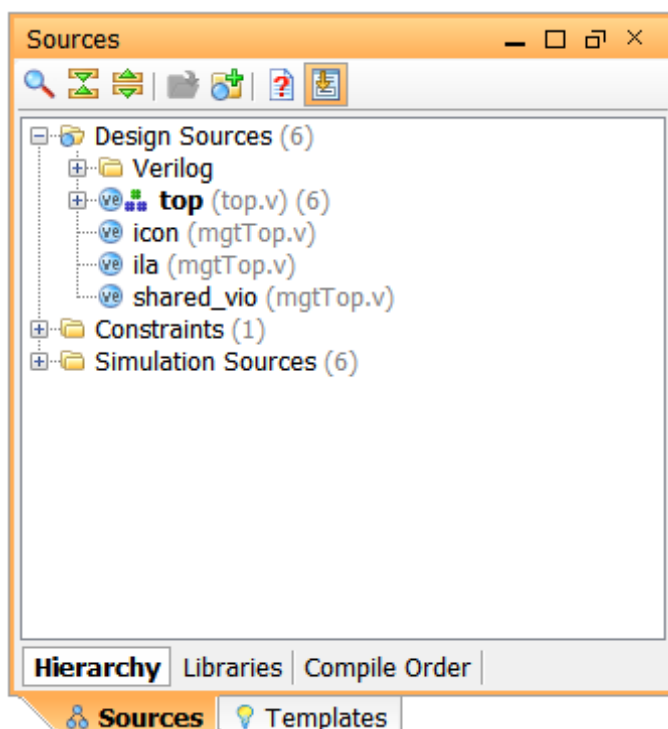


図 8 : ソース階層の表示

4. [Libraries] タブをクリックし、[Search] フィールドに「time」と入力して（表示されていない場合は [Show Search] ツールバーをクリック）[Design Sources] をフィルターします。timescale.v を選択し、[Source File Properties] ビューでファイルの情報を確認します。[Type] で [Verilog Header] に変更し、[Apply] をクリックします。[Show Search] ボタンをもう一度押して、ソース全体の表示に戻ります。

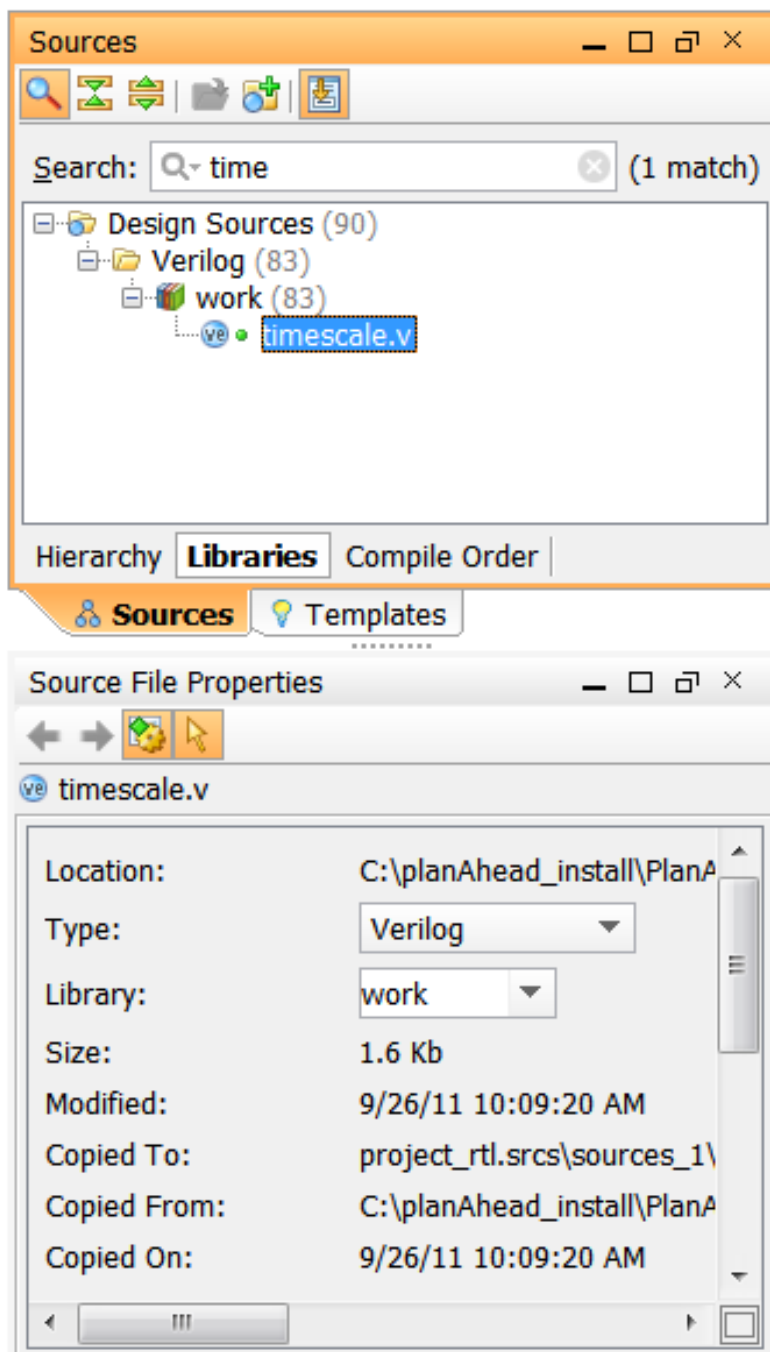


図 9 : [Source File Properties] ビュー

## bftLib VHDL ライブラリの確認

1. [Sources] ビューで [Sources] タブをクリックし、その中の [Libraries] タブをクリックします。ツールバーにあるすべて展開非表示にするボタンを押して、表示されているソース ファイルを見やすくします。
2. VHDL フォルダの横にあるプラス記号 (+) をクリックして、フォルダの中を確認します。
3. bftLib フォルダを展開し、次のファイルが含まれていることを確認します。

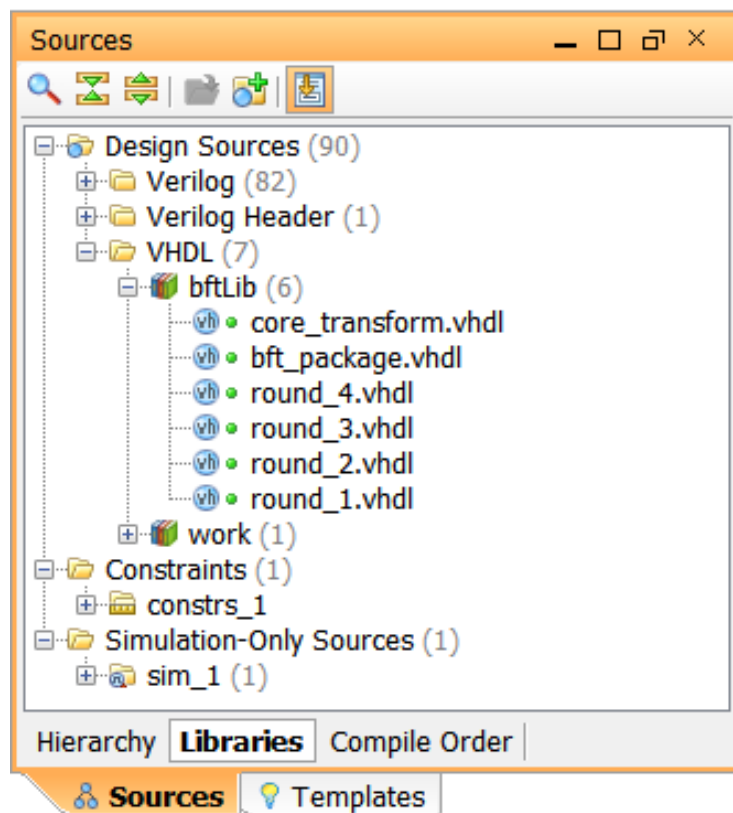


図 10 : VHDL ライブラリの確認

## シミュレーション ソース ファイルの識別

1. [Sources] ビューで [Libraries] タブをクリックし、[Simulation Only Sources] フォルダで [Verilog] → [work] フォルダを展開表示します。
2. [Unreferenced] フォルダを展開すると、bft\_tb.v ソース ファイルがプロジェクト作成時にシミュレーション専用設定されていたことが確認できます。
3. bft\_tb.v がシミュレーション ソースの下にリストされていない場合は検索し、ファイルを右クリックして [Move to Simulation Sources] をクリックします。

このファイルは [Simulation-Only Sources] フォルダの下に含められます (後の手順でこのファイルをシミュレーションの最上位ファイルに設定すると参照ファイルになります)。

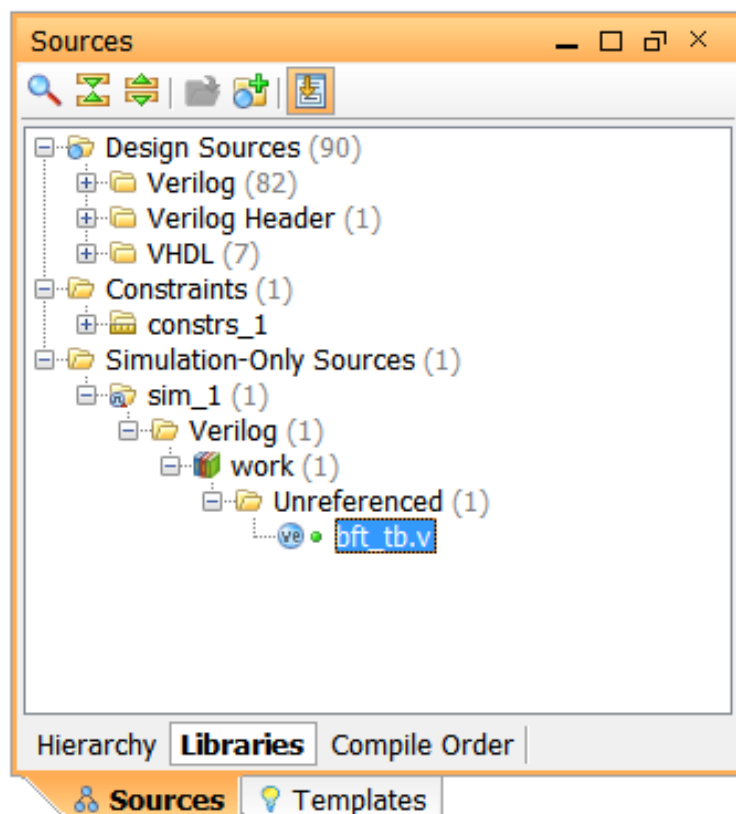


図 11 : シミュレーション専用のソースを表示

## [Sources] ビューのコマンドを確認

1. [Sources] ビューで VHDL ソースの 1 つを選択します。
2. 右クリックし、[Sources] ビューのポップアップ メニューでどういうコマンドが表示されるか確認してみてください。ポップアップを解除するには Esc キーを押します。

## テキスト エディターを使用してソース ファイルの内容を表示

1. [Sources] ビューで VHDL ソース ファイルの 1 つをダブルクリックし、テキスト エディターで開きます。
2. テキスト エディターで右クリックし、どういふポップアップ コマンドが表示されるか確認してみてください。
3. [Find in Files] ポップアップ メニューをクリックし、[Find in Files] ダイアログ ボックスを開きます。

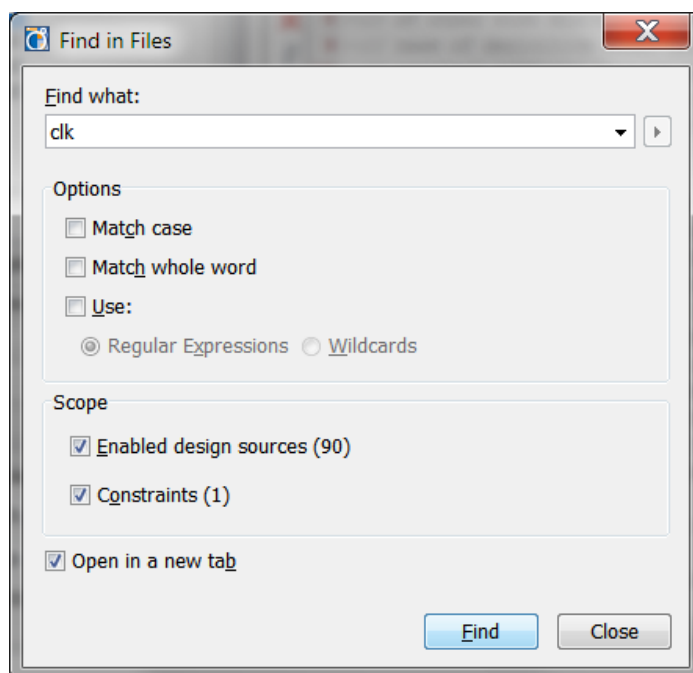


図 12 : ファイル内の検索

4. 「clk」と入力して [Find] をクリックします (検索を続けるかどうかの確認メッセージが表示されたら [Yes] をクリックします)。

[Find in Files] ビューが PlanAhead 環境の下部にあるメッセージ エリアに表示されます。



5. [Find in Files] ビューでディレクトリを展開し、clk を含む文の 1 つを選択すると、そのファイルがテキスト エディターで表示されます。

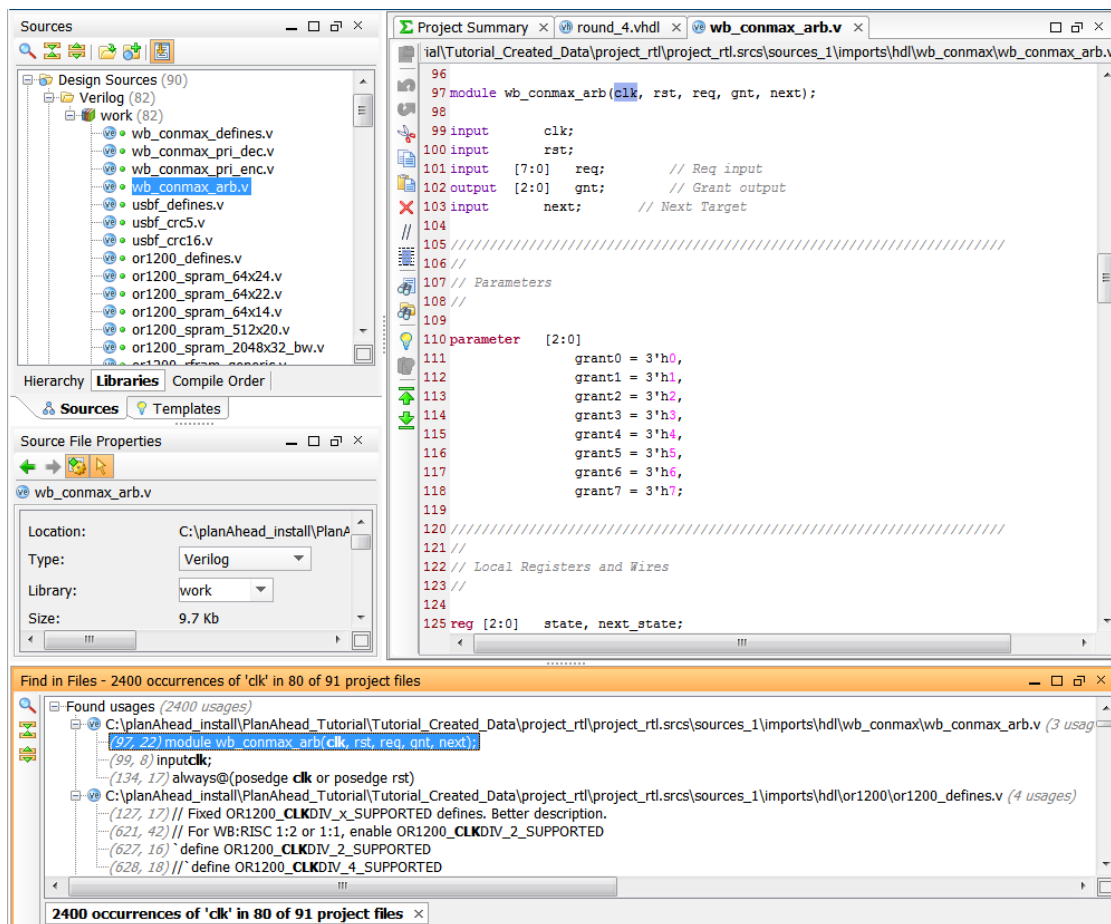


図 13 : 検出結果の表示

6. [Find in Files] ビューを閉じます。
7. テキスト エディターで開いた RTL ファイルのタブもそれぞれ閉じます。

## 新規 RTL ソース ファイルの作成とテンプレートのインポート

PlanAhead ツールでは、新しい Verilog または VHDL ソース ファイルを作成できます。さまざまなロジックおよびコード構文を含む標準ザイリンクス テンプレートを手始めに使用することができます。

1. Project Manager の下の Flow Navigator で [Add Sources] をクリックします。
2. Add Sources ウィザードで [Add or Create Design Sources] をオンにし、[Next] をクリックします。
3. [Add or Create Design Sources] ページで [Create File] をクリックします。  
[Create Source File] ダイアログ ボックスが表示されます。

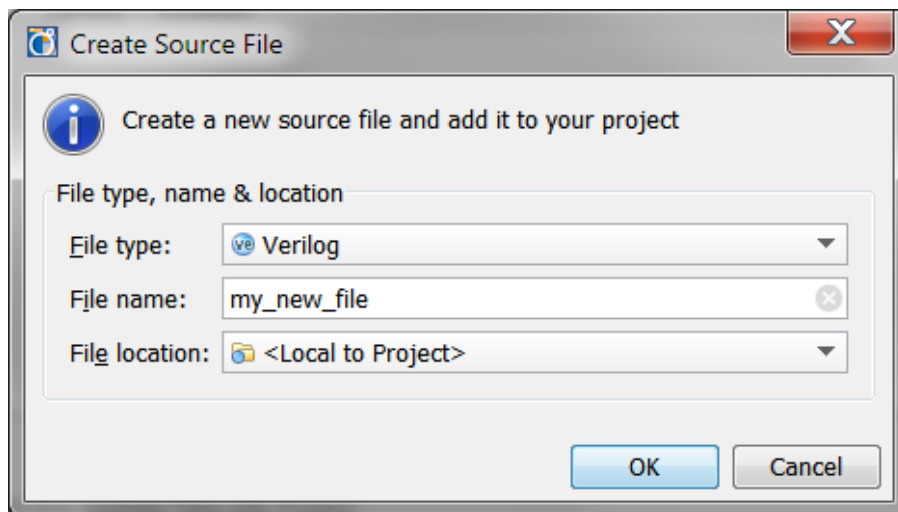


図 14 : [Create Source File] ダイアログ ボックス

4. [File name] ボックスに「my\_new\_file」と入力し、[OK] をクリックします。
5. [Add Sources] ダイアログ ボックスで [Finish] をクリックします。  
[Define Modules] ダイアログ ボックスが開きます。このダイアログ ボックスでは、モジュールおよびそのポートを定義できます。[Cancel] ボタンをクリックします。新しい白紙のファイルが [Sources] ビューの [Verilog] フォルダの一番下にリストされます。
6. [Sources] ビューで my\_new\_file.v をダブルクリックすると、テキスト エディターでこのファイルが開きます (このファイルを検索するには [Show Search] ツールバーを使用)。
7. [Sources] ビューの横の [Templates] ビューのタブをクリックします。
8. [Verilog] フォルダを展開し、どのようなテンプレート タイプが使用可能か確認してから、そのうちの 1 つを選択します。

次の図は Verilog テンプレートのフォルダを示しています。

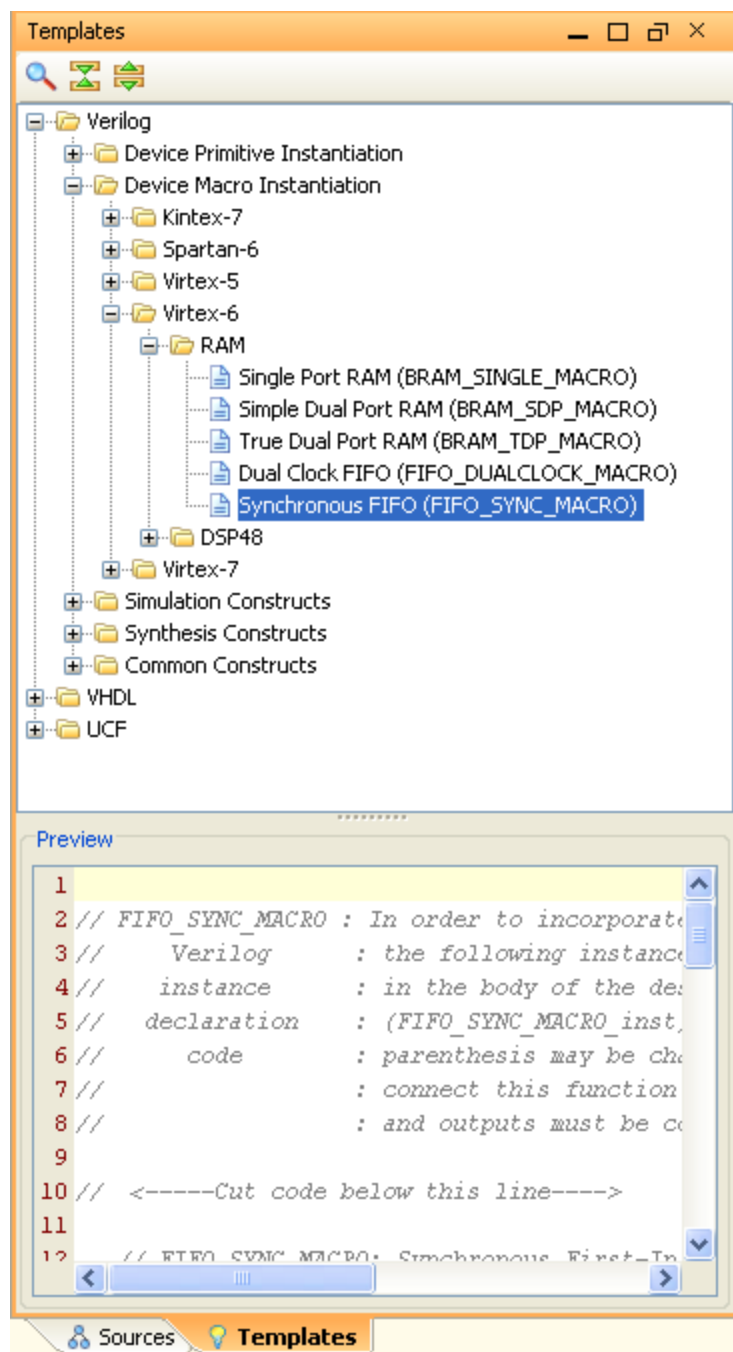


図 15 : [Templates] ビューのテンプレート

9. テキスト エディターで右クリックし、[Insert Template] をクリックします。  
テンプレートのテキストが新しいソース ファイルに挿入されます。
10. my\_new\_file.v のビューのタブの X ボタンをクリックして閉じます。
11. [Save Text Editor Changes] ダイアログ ボックスで [No] をクリックします。
12. [Sources] ビュー タブをクリックします。

## 手順 3 : ビヘイビア シミュレーションの実行

PlanAhead ツールには、ザイリンクスのシミュレーション ツール (ISim) のロジックシミュレーション環境が統合されています。ISim は、ビヘイビア シミュレーションまたはタイミング シミュレーションに使用できます。ビヘイビア ロジックシミュレーションは、デザイン全体にも、個別モジュールにも実行することができます。

### bft モジュールのビヘイビア シミュレーションを実行

1. Flow Navigator で [Behavioral Simulation] をクリックします。
2. [Simulation Top Module Name] の参照ボタンをクリックして [bft\_tb] を選択し、[OK] をクリックします。
3. [Launch] をクリックし、ISim が起動するのを待ちます。

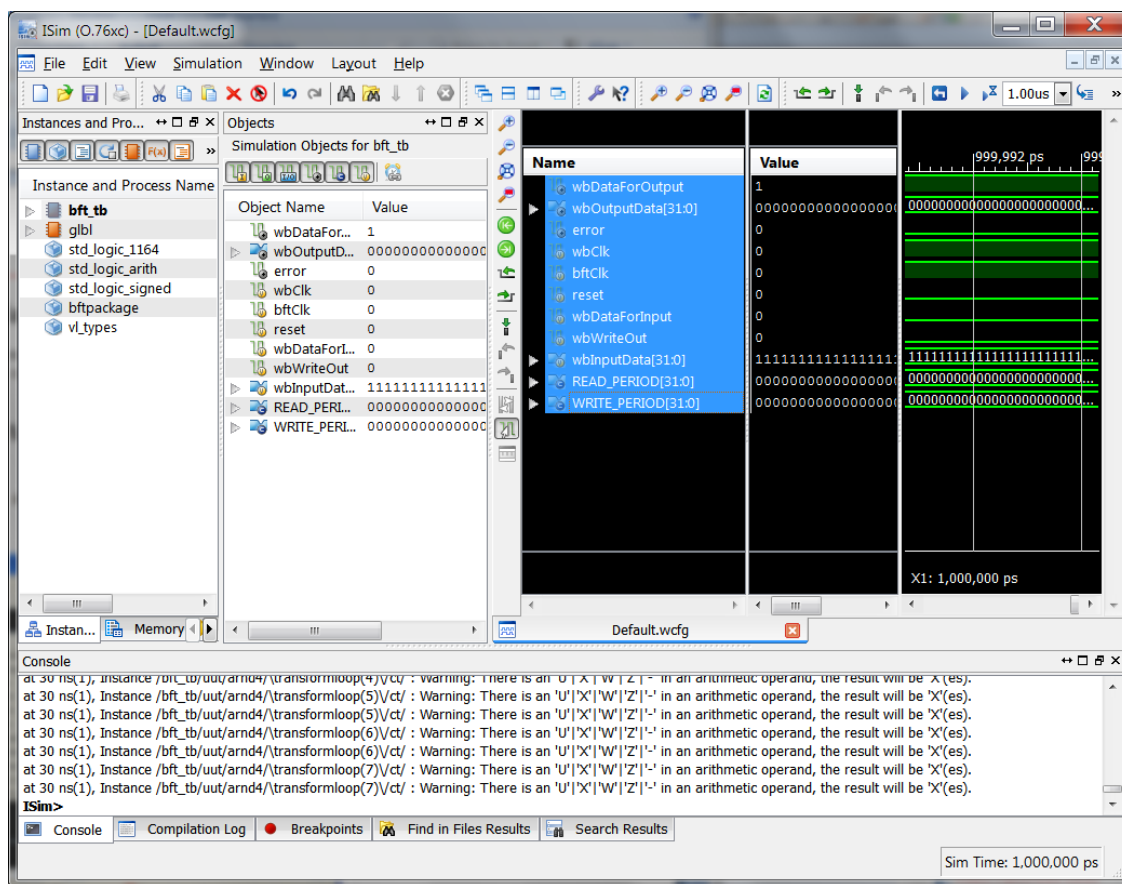


図 16 : ビヘイビア シミュレーションのための ISim の起動

4. ISim のウィンドウを閉じます。[Yes] をクリックします。

## コンパイル順の設定と未使用ソースのディスエーブル

PlanAhead ツールでは、自動的にトップ モジュールが選択され、コンパイル順にソース ファイルが表示されます。トップ モジュールはユーザーが指定することもできます。デザインで必要のないファイルは自動または手動でディスエーブルにできます。

1. [Sources] ビューで [Hierarchy] タブをクリックし、top フォルダを展開して mgtEngine を選択します。右クリックし、[Set as Top] をクリックします。

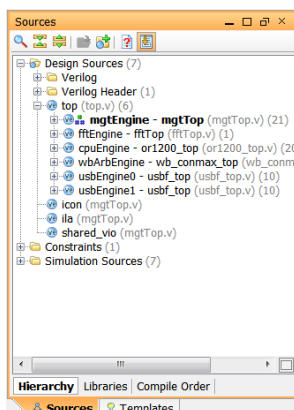


図 17 : [Sources] ビューの [Hierarchy] タブでトップ モジュールを選択

2. [Sources] ビューで [Compile Order] タブをクリックし、必要なソース ファイルを確認し、新しいトップ モジュールに基づいてコンパイル順序がアップデートされていることを確認します。ファイルを手動でイネーブルまたはディスエーブルにするには、右クリックして [Enable File] または [Disable File] を選択します。

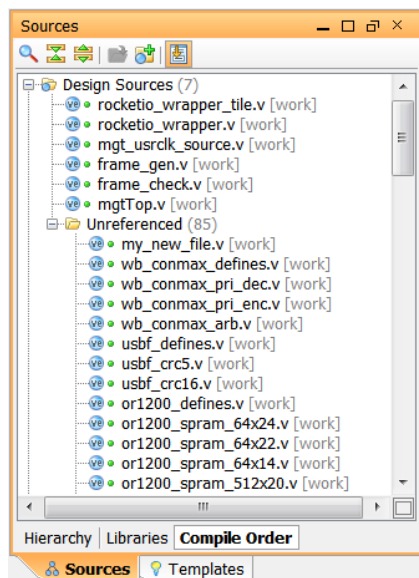


図 18 : 並び替えられたソースの表示

3. [Hierarchy] タブで top を選択します。右クリックし、[Set as Top] をクリックします。

4. ソース ファイルおよびコンパイル順序がアップデートされはずです。
5. [Sources] ビューで右クリックし、[Hierarchy Update] をクリックします。完全自動から完全手動までオプションが 3 つあることを確認します。
6. Esc キーを押して、コンテキスト メニューをキャンセルします。

## 手順 4 : RTL デザインのエラボレーションと解析

PlanAhead ツールには、プロジェクトの RTL ソース ファイルをコンパイルする RTL エラボレーション機能が含まれています。コンパイル エラーや警告メッセージが表示され、クリックすると RTL コードの該当部分が選択されます。エラボレーションが終了すると、RTL ビューでロジック オブジェクトの選択が連動するようになります。RTL ロジック階層は拡張され、解析できるようになります。Flow Navigator から RTL デザインを開くと、RTL デザインが自動的にエラボレーションされ、Design Analysis ビュー レイアウトが表示されます。

- [RTL Netlist] および [Hierarchy] ビューには、RTL のロジック階層が表示されます。
- RTL 回路図ではインタラクティブにロジックを確認できます。
- [Find] コマンドで RTL ロジック オブジェクトを検索できます。
- [Instance Properties] ビューではリソース見積など、選択したロジック インスタンスーションについての情報が表示されます。
- RTL DRC では、消費電力やパフォーマンスを向上させることが可能なデザイン箇所がハイライトされます。

## RTL デザインをエラボレーションして開く

1. Flow Navigator で [RTL Design] をクリックします。
2. [Messages] ビューのタブをクリックし、警告および情報メッセージをスクロールして確認します。

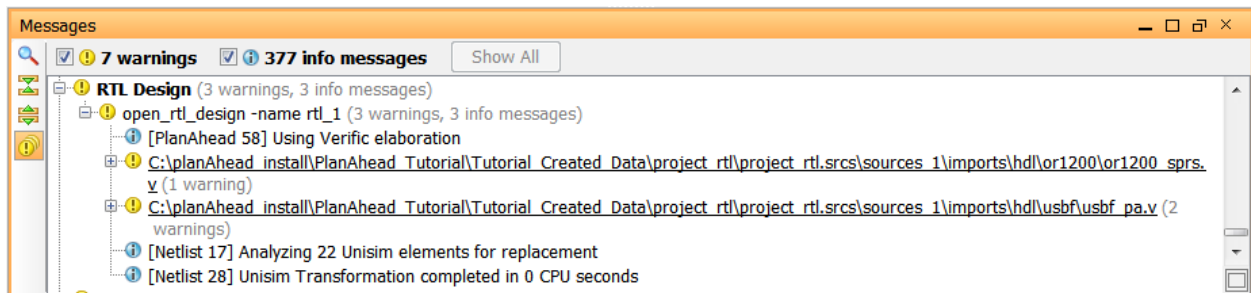


図 19 : RTL デザインのエラボレーション メッセージ

## さまざまな RTL デザイン メッセージを確認

1. [Messages] ビューのヘッダーで [xx info messages] チェックボックスをオフにします。
2. 警告メッセージを確認します。

このデザインにはエラーがありません。エラー メッセージがある場合は、[Messages] ビューに表示されます。
3. 情報メッセージをもう一度表示させるには、先ほどのチェックボックスをオンにするか、または [Messages] ビューのヘッダーにある [Show All] ボタンをクリックします。

## RTL 論理ネットリストおよび階層の確認

1. [RTL Netlist] ビューで usbEngine0 インスタンスの横のプラス記号 (+) をクリックして展開表示します。
2. [usbEngine0] → [u0] インスタンスをクリックします。
3. 右クリックし、[Go to Definition] をクリックします。

RTL ファイル (usb\_g\_utmi\_if.v) がテキスト エディターで開きます。これは、UTMI インターフェイス モジュールを定義する RTL コードで、usb\_g\_utmi\_if モジュールの定義を含む行が表示されます。

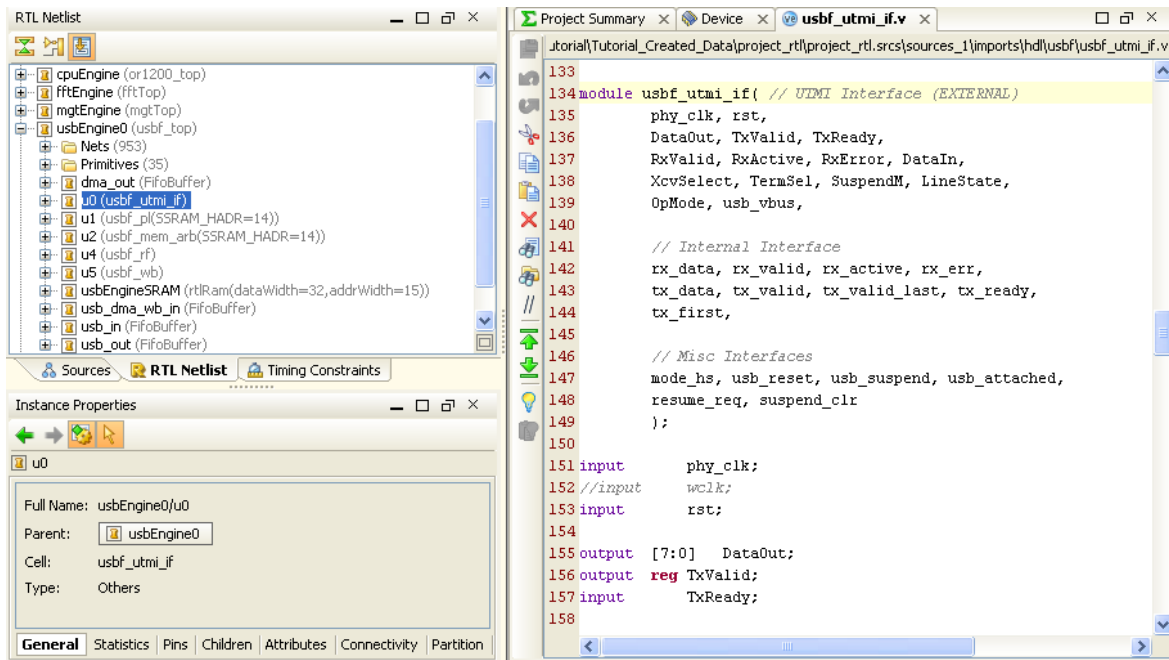


図 20 : 論理 RTL ネットリストの表示

4. [RTL Netlist] ビューで右クリックし、[Go to Instantiation] をクリックします。

RTL ファイル (usb\_top.v) がテキスト エディターで開きます。これは、UTMI Interface モジュールをデザインにインスタンス化しているファイルで、usb\_g\_utmi\_if インスタンスを含む行が表示されます。

5. [RTL Netlist] ビューで右クリックし、[Show Hierarchy] をクリックします。

[RTL Hierarchy] ビューが開き、選択したモジュールが表示されます。モジュールを示す長方形のサイズは、含まれるロジック数に対応しているため、大きいモジュールを識別しやすくなっています。

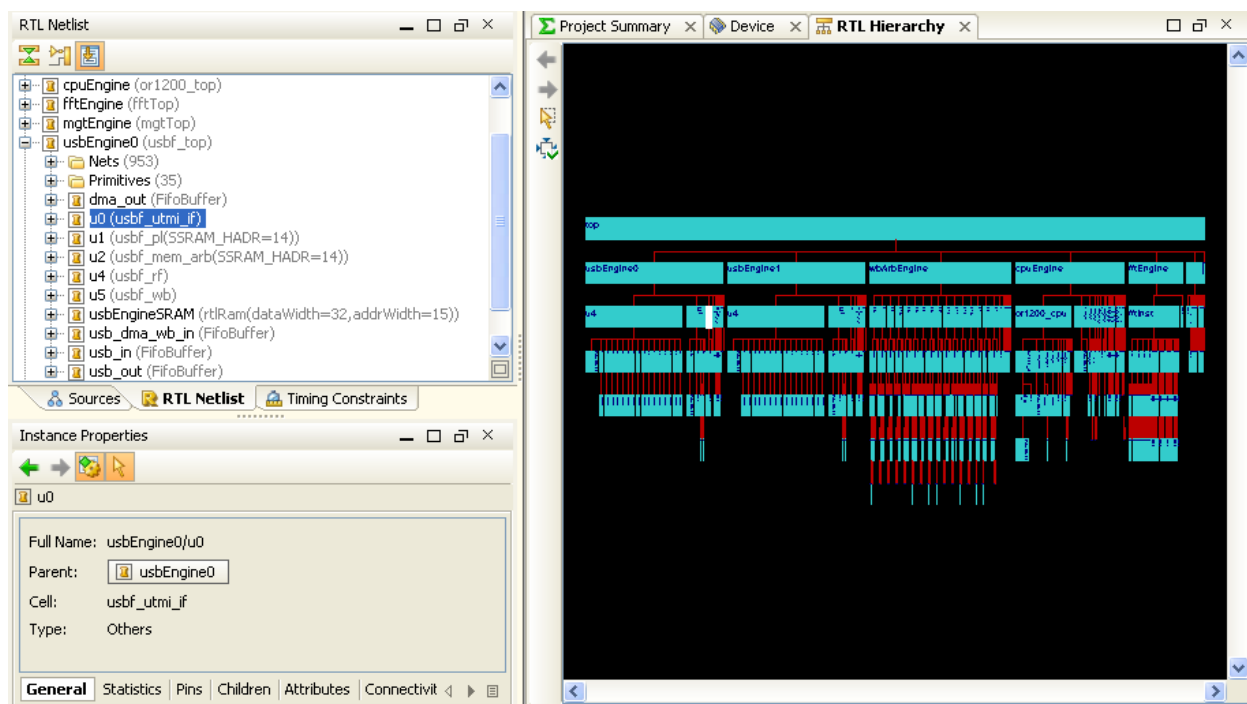


図 21 : [RTL Hierarchy] ビューのモジュールの表示

6. [RTL Hierarchy] ビューの X ボタンをクリックして、ビューを閉じます。
7. テキスト エディターを閉じるには、開いている RTL ファイルすべてで X ボタンをクリックします。



## RTL 回路図を確認

1. [RTL Netlist] ビューで usbEngine0/u0/u0 インスタンス (前の選択の下レベルにある) をクリックします。
2. [RTL Netlist] ビューで [Schematic] ボタンをクリックするか、右クリックして [Schematic] をクリックします。

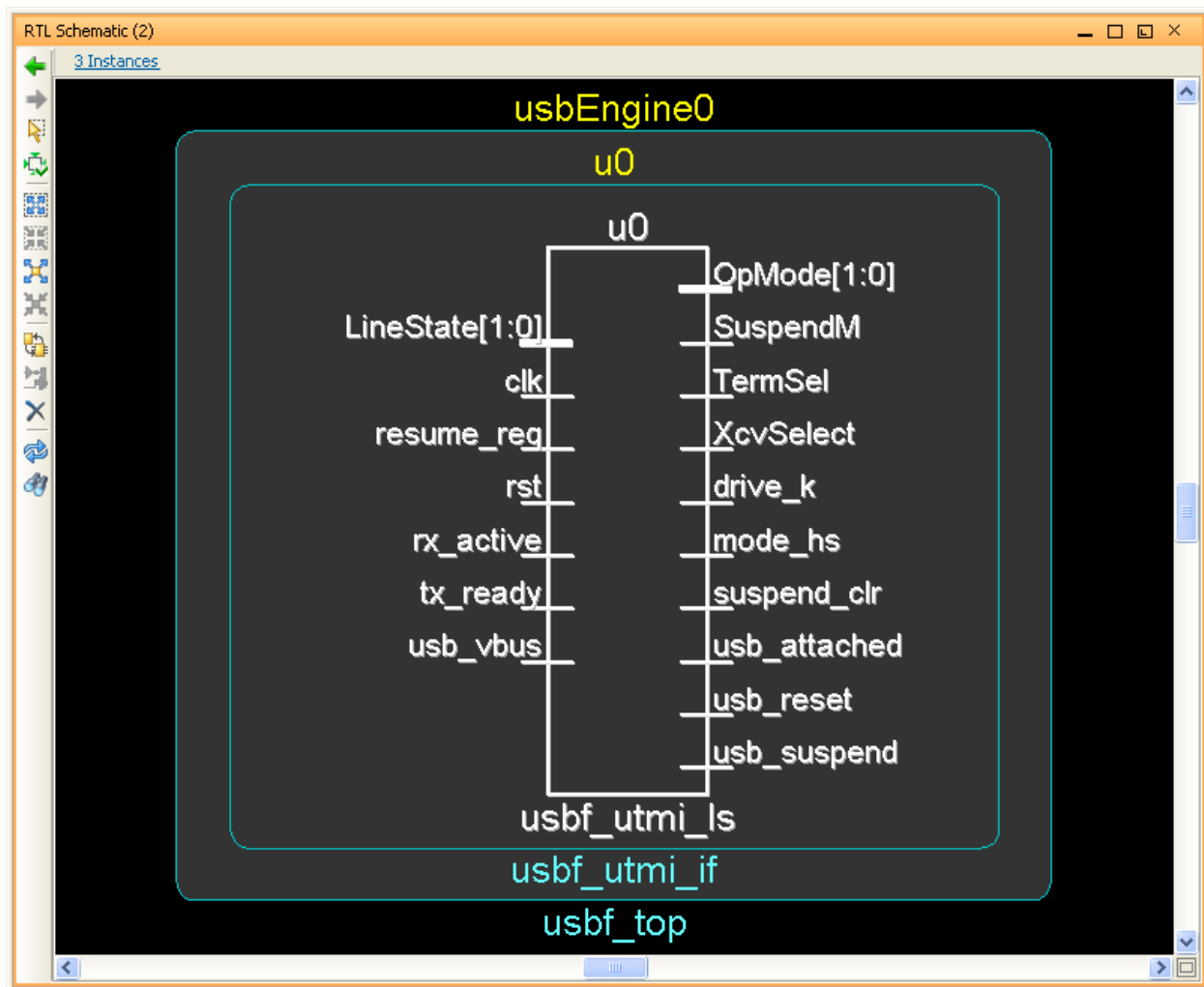


図 22 : RTL 回路図の表示

3. u0 モジュールの外側の LineState[1:0] ピンをダブルクリックし、ロジックを外向きに展開します。
  4. [RTL Schematic] ビューで全体を表示します。展開ロジックは図 23 のようになります。
- ヒント : ビュー内でクリックして、右下から左上にカーソルをドラッグすると [Zoom fit] コマンドを実行できます。

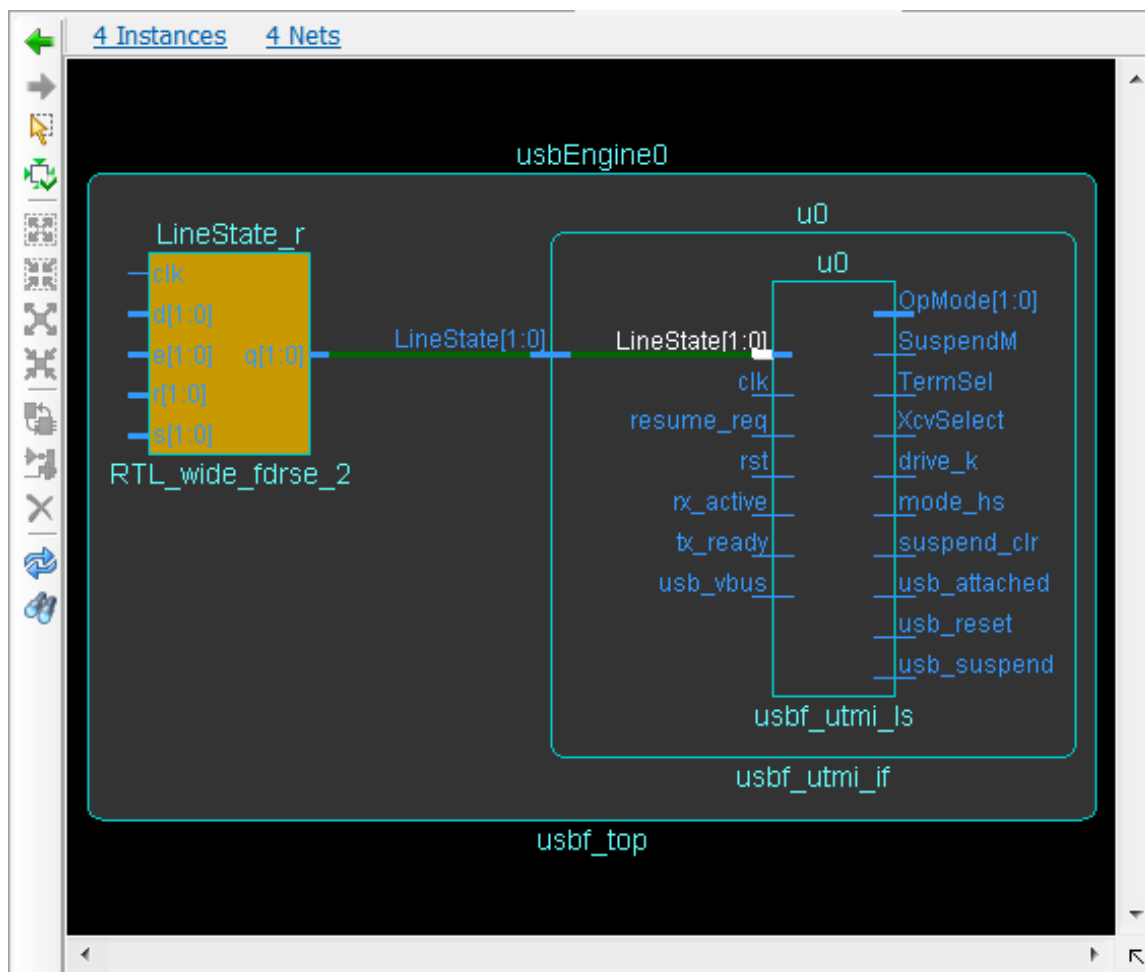




図 23 : [RTL Schematic] ビューでのロジックの展開表示

回路図の展開表示の詳細については、『デザイン解析およびフロアプラン チュートリアル : PlanAhead デザイン ツール』(UG676) を参照してください。

5. [RTL Schematic] ビューの左側で RTL\_wide\_fdrse\_2 インスタンスを選択します。
6. [RTL Schematic] ビューで右クリックし、[Go to Instantiation] をクリックし、RTL ファイルにロジック定義が含まれているのを確認します。
7. テキスト エディターおよび [RTL Schematic] ビューを閉じます。
8. [RTL Netlist] ビューで [Collapse All] ボタン  をクリックします。

## [Find] コマンドで RTL ブロック RAM ロジックを検索

1. メイン ツールバーの [Find] ボタン  をクリックするか、[Edit] → [Find] をクリックして [Find] ダイアログ ボックスを開きます。

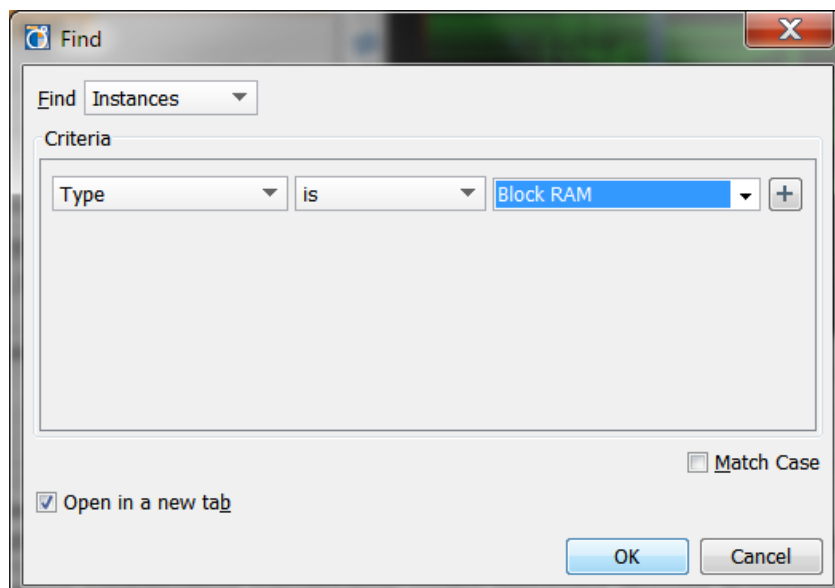


図 24 : [Find] ダイアログ ボックスを使用した RTL ロジックの検索

2. [Find] フィルター オプションを確認します。
3. [Criteria] で [Type]、[is]、[Block RAM] を選択し、[OK] をクリックします。[Find Results] ビューが開きます。

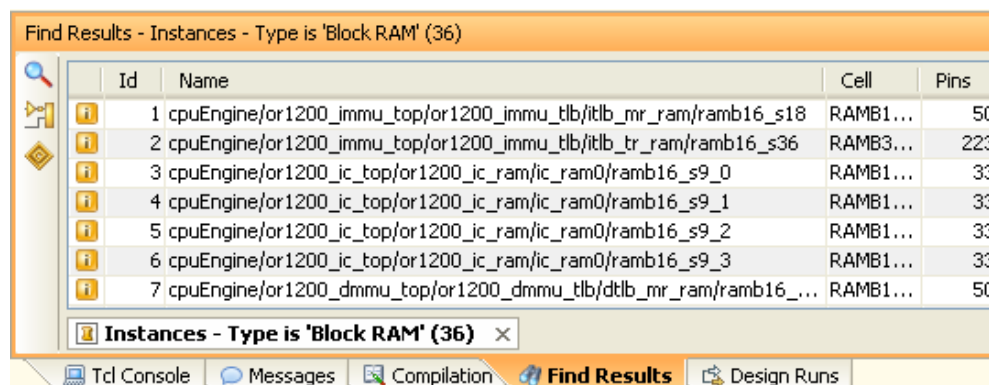


図 25 : RTL ブロック RAM の検索結果

検索結果が [Find Results] ビューに表示されます。

4. リストからブロック RAM の 1 つを選択して右クリックし、[Go to Instantiation] をクリックします。  
インスタンスが [RTL Netlist] ビューで選択され、テキスト エディターに表示されます。
5. [Find Results] ビューとテキスト エディターのファイルを閉じます。

## 手順 5 : リソース予測

### リソース予測のオプションを確認

1. Flow Navigator で [Resource Estimation] をクリックします。

[Resource Estimation] ビューが開きます。

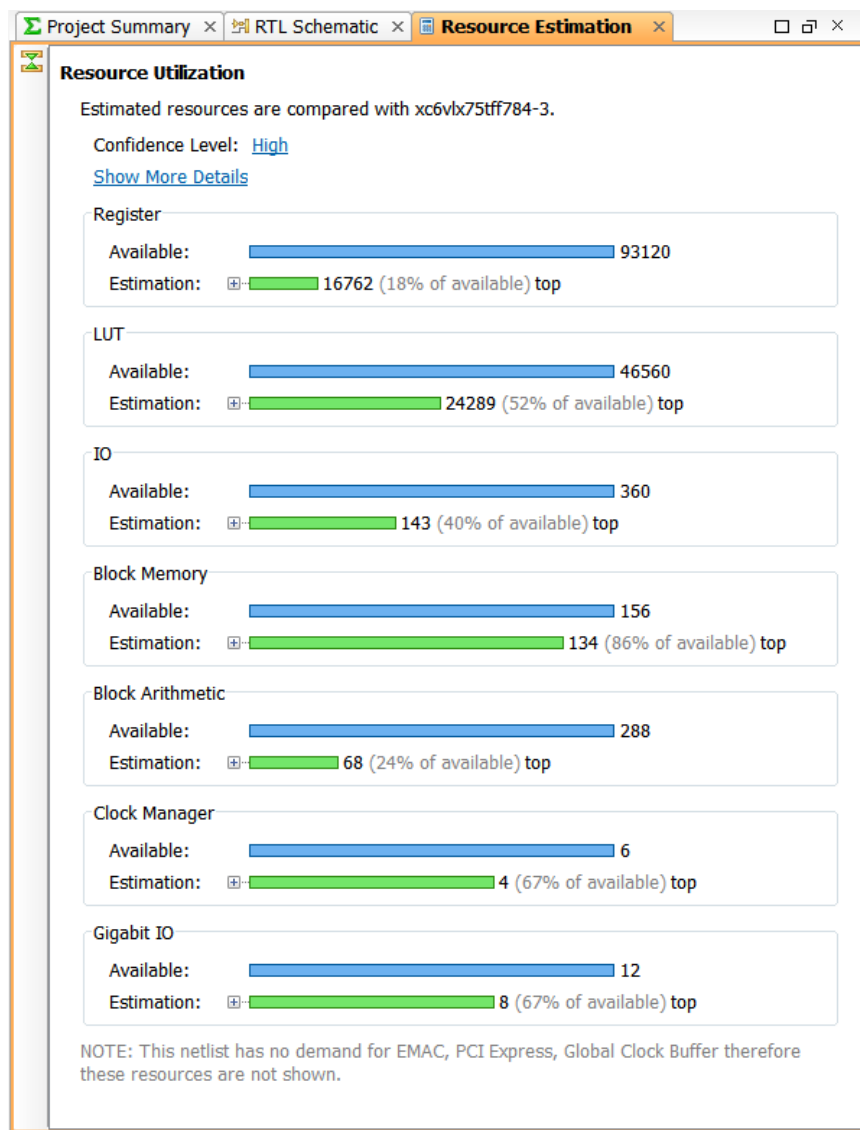


図 26 : RTL リソース予測の表示

2. [Block Memory] フィールドの [Estimation] の横にあるプラス記号 (+) をクリックしてその下のレポートを確認します。
3. [Resource Estimation] の X マークをクリックし、[Resource Estimation] ビューを閉じます。

## RTL インスタンスのリソース予測を確認

1. [RTL Netlist] ビューで [top] をクリックすると、[Netlist Properties] ビューに RTL マクロ リソースが次の図のように表示されます。

[Netlist Properties] ビューが表示されない場合は、右クリックして [Netlist Properties] をクリックします。

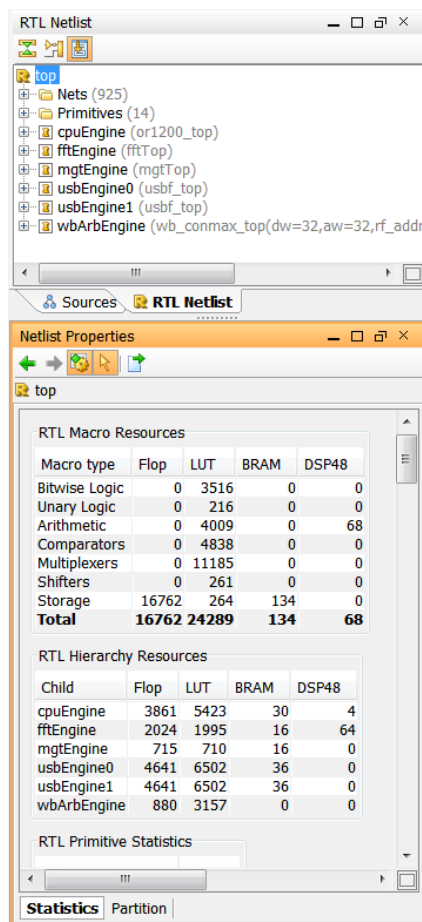


図 27 : RTL リソース予測の表示

2. ビューをスクロール ダウンします。

3. 次のプロパティを確認します。

- [RTL Macro Resources] : RTL マクロ リソース
- [RTL Hierarchy Resources] : RTL 階層リソース
- [RTL Primitive Statistics] : RTL プリミティブ統計
- [RTL Memory Resources] : RTL メモリ リソース
- [RTL Memory Resources] : RTL メモリ リソース
- [Net Boundary Statistics] : ネット バウンダリ統計
- ク[Clock Report] : クロック レポート

[RTL Netlist] ビューでその他のモジュールを選択して、予測を確認してみます。[Instance Properties] ビューで [Statistics] タブをクリックする必要のあることもあります。

## 手順 6 : RTL デザイン ルール チェック (DRC) を実行

PlanAhead ツールでは RTL デザインで実行できるデザイン ルール チェック (DRC) が提供されています。この中には LINT 形式の RTL チェックで、消費電力やパフォーマンスの改善に対する提案が表示されるものもあります。また、RTL デザインの基本的な I/O バンクや電圧規則をチェックするものもあります。デザインが合成されたら、さらに多くのロジック デザイン、I/O およびクロックの DRC が使用できるようになります。

### DRC の実行

1. Flow Navigator または [Tools] メニューから [Run DRC] をクリックします。
2. [Run DRC] ダイアログ ボックスで RTL ルールを展開表示して確認し、[OK] をクリックします。

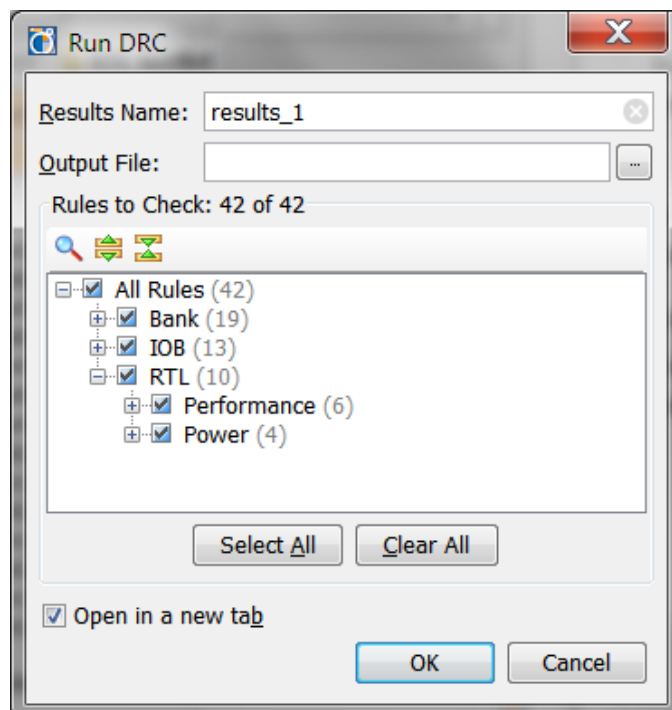


図 28 : RTL DRC の実行

[DRC Results] ビューが開きます。

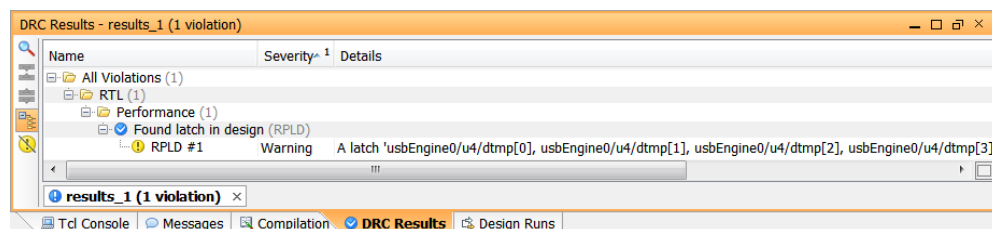


図 29 : RTL DRC 結果の表示

[DRC Results] ビューのメッセージは次のように色分けされています。

- エラー : 赤いアイコン
- 重要な警告 : オレンジ色のアイコン
- 警告 : 黄色いアイコン
- 情報メッセージ : 青いアイコン

4. リストの RPLD #1 ラッチの警告をクリックします。

[Violation Properties] ビューに違反に関する情報と該当するロジック オブジェクトを選択するリンクが表示されます。

5. [Violations Properties] ビューで dtmp[0] のリンクをクリックすると、[RTL Netlist] ビューでそのオブジェクトがハイライトされます。
6. [RTL Netlist] ビューで右クリックし、[Go to Instantiation] をクリックし (または F7 キーを押し)、テキスト エディターを開きます。
7. [DRC Results] ビューおよび開いているテキスト エディターをすべて閉じます。
8. RTL デザインを閉じます。確認するダイアログ ボックスが表示されるので [OK] をクリックします。

## 手順 7 : ザイリンクス IP カタログからの IP の選択

PlanAhead ツールは CORE Generator™ ツールと統合しており、検索やフィルター機能を持つ IP カタログが含まれています。これにより、必要な IP を簡単に見つけることができます。IP は PlanAhead ツールから直接カスタマイズ、インスタンス化、インプリメントできます。IP カタログには、Project Manager と RTL デザイン環境のどちらからでもアクセスできます。

### IP カタログを開いて、検索オプションを確認

1. Flow Navigator で [IP Catalog] をクリックします。
2. リソースの一部を展開表示してみます。
3. IP を選択して、使用可能なツールバー ボタンやポップアップ メニューを確認してみてください。

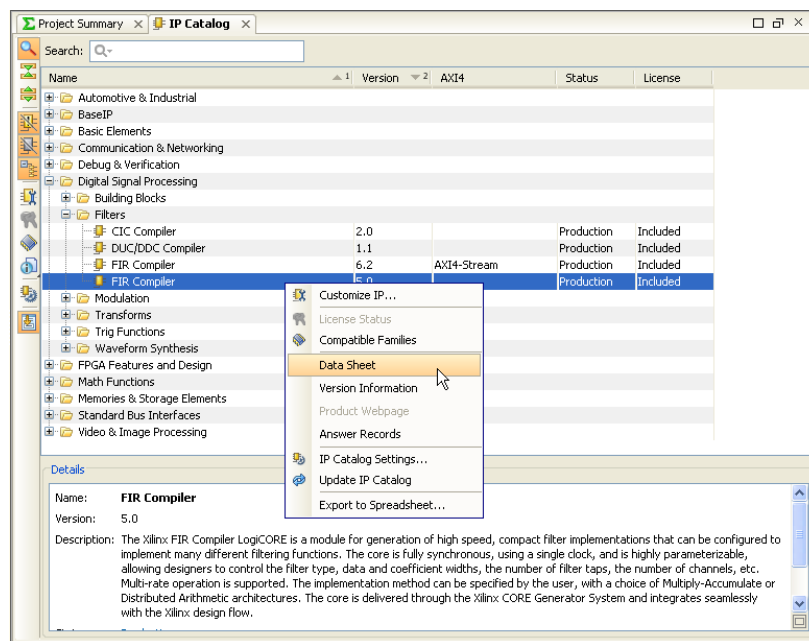




図 30 : IP カタログ

一番下の [Details] フィールドには選択した IP の詳細が表示されます。デフォルトでは、選択したデバイスに使用可能な IP ののみが表示されます。

4. すべての IP を表示するには、[Hide Superseded and Discontinued IPs] ボタン  と [Hide incompatible IPs] ボタン  を切り替えます。
5. IP のリストをフラット表示するには、[Group by Category] ツールバー ボタンで切り替えます。
6. 一番上の [Search] フィールドに「fir」と入力します。
7. [FIR Compiler] を 1 つクリックしてからツールバーで [View information] → [Data Sheet] をクリックします。
8. データシートを確認したら、PDF ビューアーを閉じます。
9. [Search] フィールドをクリアにしたら、カタログ リストを展開表示します。



## 手順 8 : IP のカスタマイズおよびインスタンス化

### 単純な加算器 IP をカスタマイズ

1. [Group by Category] ボタンをクリックします。
2. [Collapse All] ボタンをクリックします。
3. [Math Functions] → [Adders & Subtractors] フォルダを展開します。
4. [Adder Subtractor] をダブルクリックすると、[Customize IP] コマンドが実行されます。

これにより、CORE Generator™ ツールが起動され、選択した IP のカスタマイズ インターフェイスが表示されます。表示されるインターフェイスは IP によって異なります。

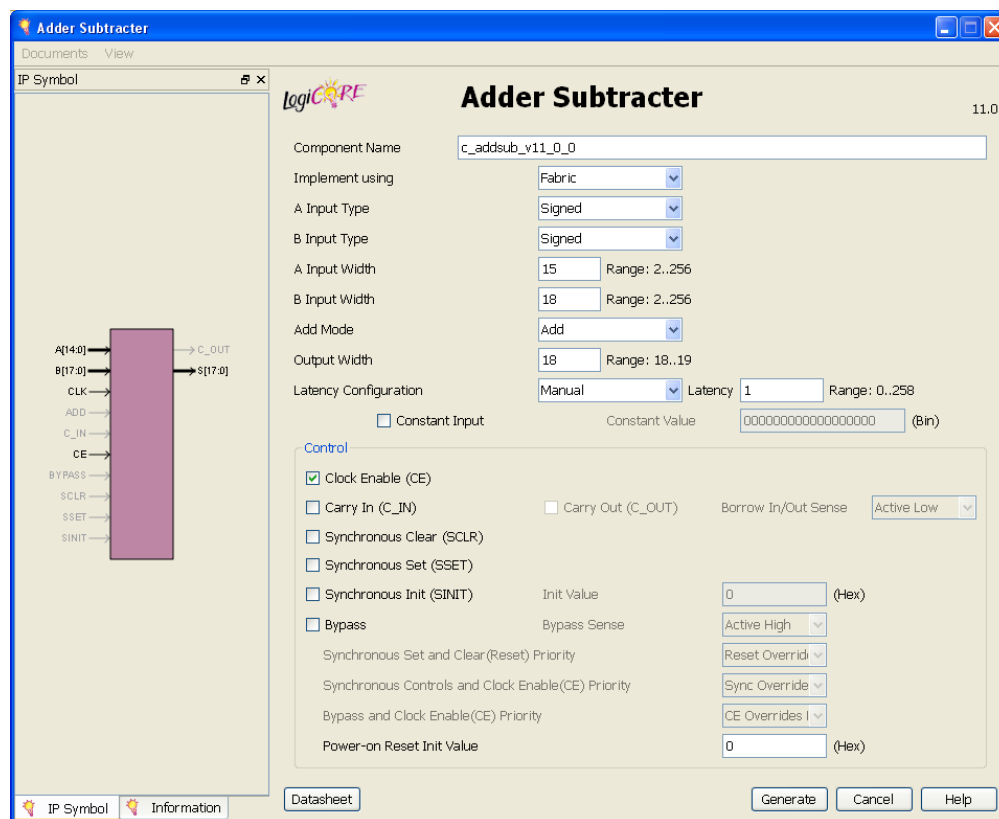


図 31 : CORE Generator を使用した IP のカスタマイズ

5. [B Input Width] フィールドを「18」にします。
6. [Generate] をクリックします。

[Generate] ボタンをクリックしたときの動作は、PlanAhead ツール から CORE Generator を起動した場合と、CORE Generator をスタンドアロンで実行した場合で異なります。

- スタンドアロン モードの場合、CORE Generator™ は自動的に XST を起動して IP コアを合成します。

- PlanAhead ツールから起動した場合、合成は自動的に実行されないため、合成前に RTL でコアをインスタンス化したりコンフィギュレーションしたりできます。IP の合成はいつでも実行できるほか、IP を最初に合成してからデザイン全体の合成を実行することもできます。

## 加算器 IP をインスタンス化

- [Sources] ビューの [Libraries] タブで [Collapse All] ボタンをクリックします。
- [IP] フォルダを展開し、[c\_addsub\_v11\_0\_0] IP を展開します。
- c\_addsub\_v11\_0\_0.vco ファイルをダブルクリックし、テキスト エディターでそのインスタンス化 テンプレートを表示します。

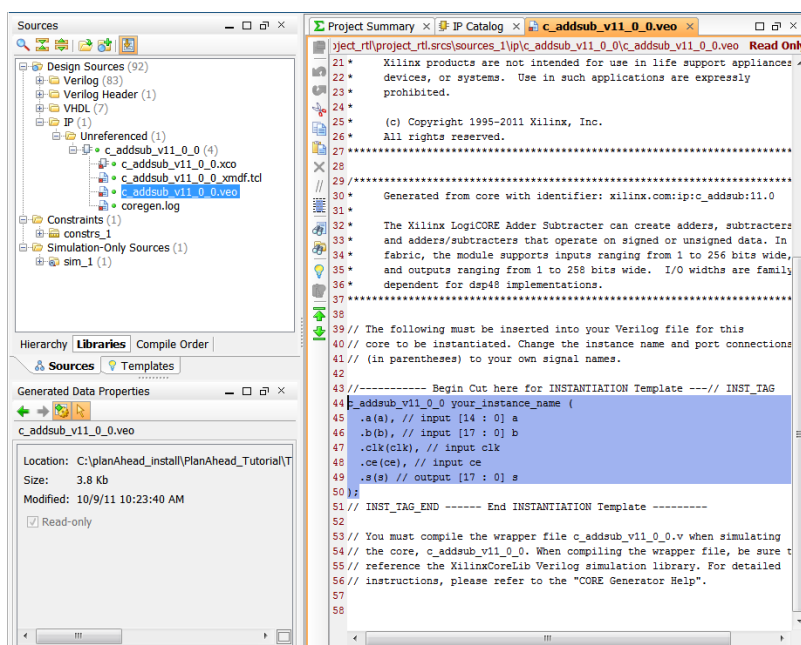


図 32 : インスタンス化 テンプレートの表示

- 上の図のようにテキスト エディターでテキストを選択し、[Copy Text] ボタンをクリックします。
- [Sources] ビューで [Verilog] → [work] フォルダを展開表示します。
- top.v ファイルをダブルクリックし、テキスト エディターで開きます。
- ファイルの一番下の endmodule テキストの手前までスクロールダウンします。
- endmodule 文すぐ上の行を選択し、[Paste] ボタンをクリックします。
- 次の図のようにテンプレートの「your\_instance\_name」を「my\_addr」に変更します。

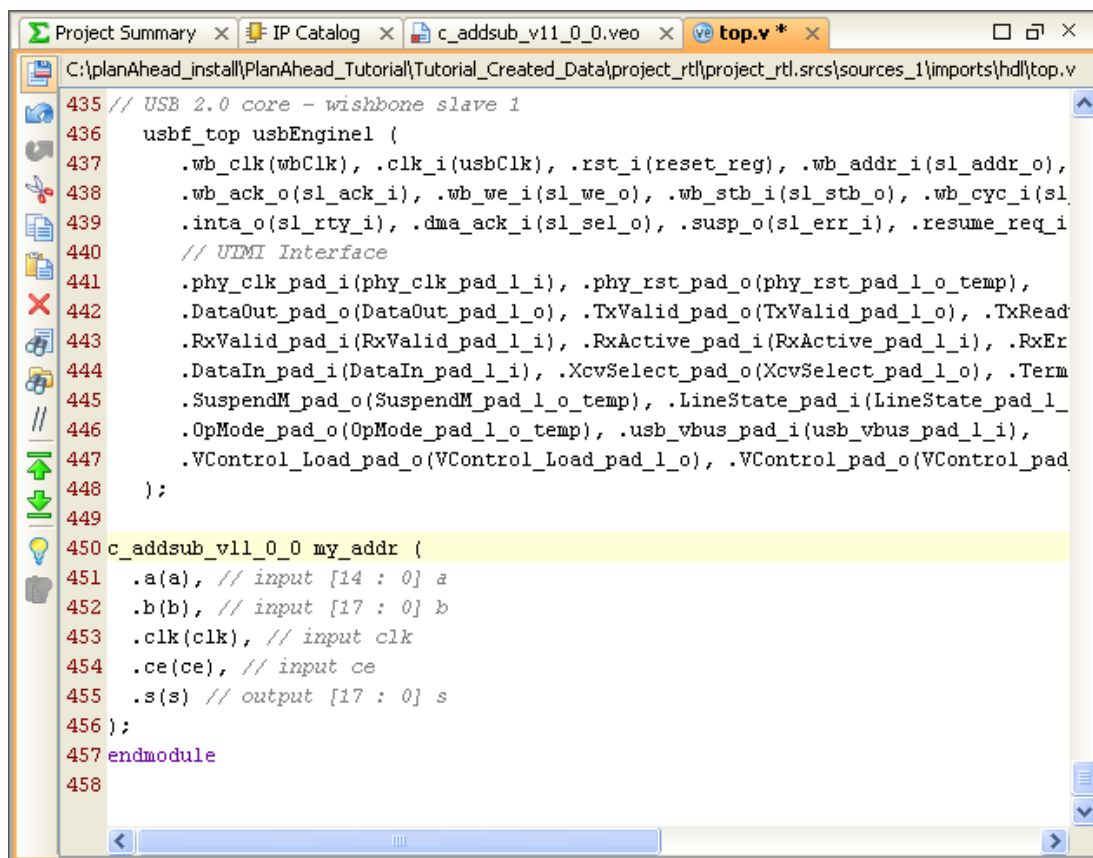


図 33: IP のインスタンス化

10. 「.clk」のポート定義を既存の cpuClk クロック信号を使用するように変更します。

```

447     .VControl_Load_pad_o(VControl_Load_pad_l
448 );
449
450 c_addsub_v11_0_0 your_instance_name (
451     .a(a), // input [14 : 0] a
452     .b(b), // input [17 : 0] b
453     .clk(cpuClk), // input clk
454     .ce(ce), // input ce
455     .s(s) // output [17 : 0] s
456 );
457
458 endmodule
459

```

図 34 : cpuClk クロック信号を使用するように clk 信号を変更

11. top.v ファイルの一番上までスクロールし、次の図のようにモジュール ポート定義に IP ポート (a、b、ce、s) を追加します。

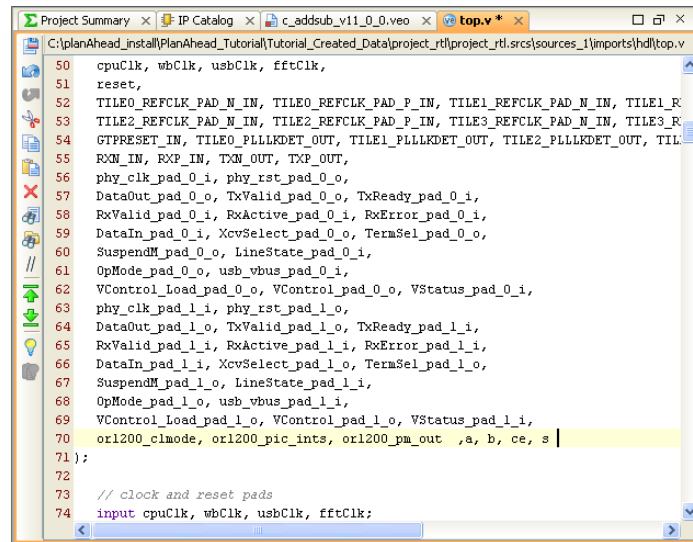


図 35 : 最上位モジュールのポートリストへ IP ポートを追加

12. 次のテキストを top.v ファイルに追加して、IP のポートを定義します。

```

//addr pads
input [14:0] a;
input [17:0] b;
input ce;
output [17:0] s;

```

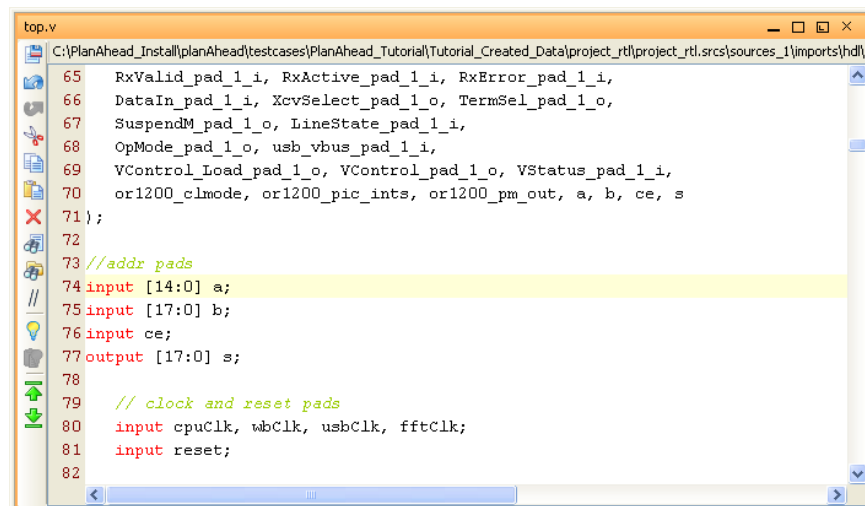


図 36 : top.v ファイルでの IP ポートの定義

13. タブの X ボタンをクリックして top.v ファイルを閉じ、変更を保存するかどうか尋ねられたら [Yes] をクリックします。
14. タブの X ボタンをクリックして VEO テンプレートファイルを閉じます。
15. タブの X ボタンをクリックして IP カタログを閉じます。

## 手順 9 : IP の生成

### IP を生成し、回路図でそのロジックを確認

1. [Sources] ビューで `c_addsub_Vxx_x` 最上位ファイルを右クリックし、[Generate IP] を選択します。IP が合成されるまで待ちます。

[Messages] ビューに生成された IP に関する情報が表示されます。メッセージをスクロールダウンして確認します。

2. RTL デザインを開いてロジックを確認するには、Flow Navigator で [RTL Design] をクリックします。

[RTL Netlist] ビューで `my_addr` モジュールを展開表示して、選択します。

注記 : [RTL Netlist] ビューでブラック ボックスのアイコンが表示されたら、RTL デザインと生成済み IP のメッセージを確認し、`top.v` ファイルに戻ってエラーをチェックします。IP が [RTL Netlist] ビューに表示されるまで [RTL Design] コマンドを再実行します。

3. ツールバーから [Schematic] ボタンをクリックします。
4. [Schematic] ビューでインスタンスをダブルクリックして、ロジックを展開表示します。

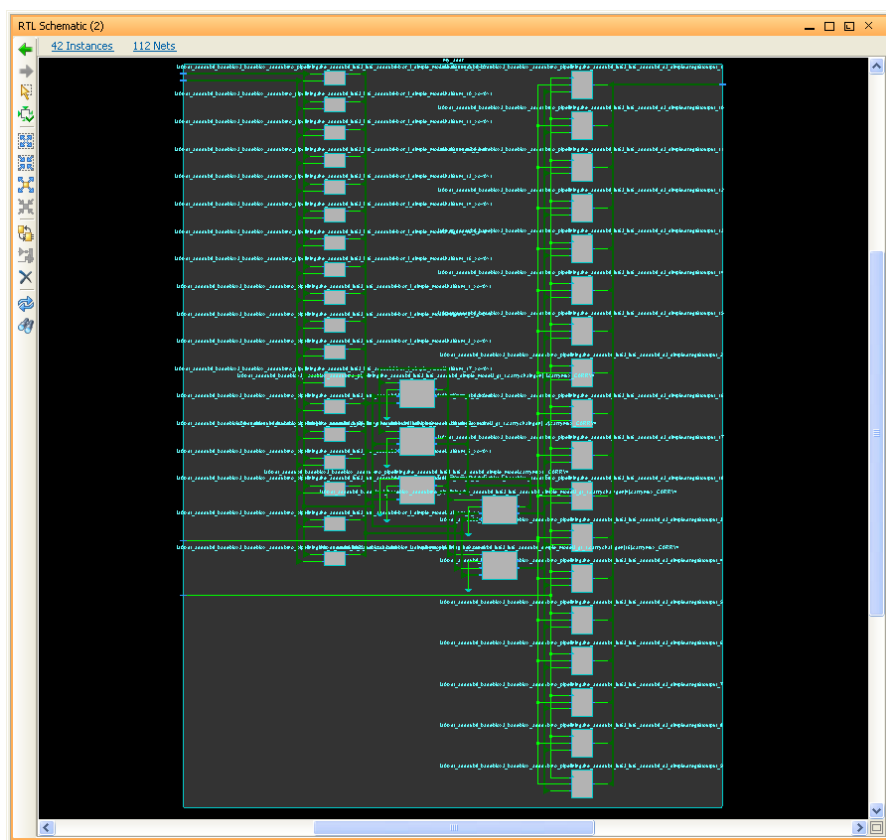


図 37 : 回路図での IP ロジックの解析

5. [Schematic] ビューを閉じます。
6. [File] → [Exit] をクリックします。変更を保存するかどうか尋ねるメッセージが表示されたら [No] をクリックし、[OK] をクリックして PlanAhead ツールを閉じます。

## まとめ

このチュートリアルでは、次の内容を学びました。

- PlanAhead ツールの RTL 開発および解析環境を確認するため、小さな RTL プロジェクトを使用しました。
- RTL プロジェクトの作成から始め、RTL ソースとテキスト エディターを確認しました。
- ビヘイビア シミュレーションを実行し、RTL デザインをエラボレートし、解析機能を確認しました。RTL ロジック階層、RTL 回路図、ロジック タイプの検索、RTL リソースおよび消費電力の予測、および RTL DRC の実行について学びました。
- ザイリンクス IP カタログを確認し、小型の加算器 IP コアをカスタマイズ、インスタンス化、インプリメントしました。