

XPower Estimator ユーザー ガイド

UG440 (v13.4) 2012 年 1 月 18 日



Xilinx is disclosing this user guide, manual, release note, and/or specification (the “Documentation”) to you solely for use in the development of designs to operate with Xilinx hardware devices. You may not reproduce, distribute, republish, download, display, post, or transmit the Documentation in any form or by any means including, but not limited to, electronic, mechanical, photocopying, recording, or otherwise, without the prior written consent of Xilinx. Xilinx expressly disclaims any liability arising out of your use of the Documentation. Xilinx reserves the right, at its sole discretion, to change the Documentation without notice at any time. Xilinx assumes no obligation to correct any errors contained in the Documentation, or to advise you of any corrections or updates. Xilinx expressly disclaims any liability in connection with technical support or assistance that may be provided to you in connection with the Information.

THE DOCUMENTATION IS DISCLOSED TO YOU “AS-IS” WITH NO WARRANTY OF ANY KIND. XILINX MAKES NO OTHER WARRANTIES, WHETHER EXPRESS, IMPLIED, OR STATUTORY, REGARDING THE DOCUMENTATION, INCLUDING ANY WARRANTIES OF MERCHANTABILITY, FITNESS FOR A PARTICULAR PURPOSE, OR NONINFRINGEMENT OF THIRD-PARTY RIGHTS. IN NO EVENT WILL XILINX BE LIABLE FOR ANY CONSEQUENTIAL, INDIRECT, EXEMPLARY, SPECIAL, OR INCIDENTAL DAMAGES, INCLUDING ANY LOSS OF DATA OR LOST PROFITS, ARISING FROM YOUR USE OF THE DOCUMENTATION.

CRITICAL APPLICATIONS DISCLAIMER

XILINX PRODUCTS (INCLUDING HARDWARE, SOFTWARE AND/OR IP CORES) ARE NOT DESIGNED OR INTENDED TO BE FAIL-SAFE, OR FOR USE IN ANY APPLICATION REQUIRING FAIL-SAFE PERFORMANCE, SUCH AS IN LIFE-SUPPORT OR SAFETY DEVICES OR SYSTEMS, CLASS III MEDICAL DEVICES, NUCLEAR FACILITIES, APPLICATIONS RELATED TO THE DEPLOYMENT OF AIRBAGS, OR ANY OTHER APPLICATIONS THAT COULD LEAD TO DEATH, PERSONAL INJURY OR SEVERE PROPERTY OR ENVIRONMENTAL DAMAGE (INDIVIDUALLY AND COLLECTIVELY, “CRITICAL APPLICATIONS”). FURTHERMORE, XILINX PRODUCTS ARE NOT DESIGNED OR INTENDED FOR USE IN ANY APPLICATIONS THAT AFFECT CONTROL OF A VEHICLE OR AIRCRAFT, UNLESS THERE IS A FAIL-SAFE OR REDUNDANCY FEATURE (WHICH DOES NOT INCLUDE USE OF SOFTWARE IN THE XILINX DEVICE TO IMPLEMENT THE REDUNDANCY) AND A WARNING SIGNAL UPON FAILURE TO THE OPERATOR. CUSTOMER AGREES, PRIOR TO USING OR DISTRIBUTING ANY SYSTEMS THAT INCORPORATE XILINX PRODUCTS, TO THOROUGHLY TEST THE SAME FOR SAFETY PURPOSES. TO THE MAXIMUM EXTENT PERMITTED BY APPLICABLE LAW, CUSTOMER ASSUMES THE SOLE RISK AND LIABILITY OF ANY USE OF XILINX PRODUCTS IN CRITICAL APPLICATIONS.

AUTOMOTIVE APPLICATIONS DISCLAIMER

XILINX PRODUCTS ARE NOT DESIGNED OR INTENDED TO BE FAIL-SAFE, OR FOR USE IN ANY APPLICATION REQUIRING FAIL-SAFE PERFORMANCE, SUCH AS APPLICATIONS RELATED TO: (I) THE DEPLOYMENT OF AIRBAGS, (II) CONTROL OF A VEHICLE, UNLESS THERE IS A FAIL-SAFE OR REDUNDANCY FEATURE (WHICH DOES NOT INCLUDE USE OF SOFTWARE IN THE XILINX DEVICE TO IMPLEMENT THE REDUNDANCY) AND A WARNING SIGNAL UPON FAILURE TO THE OPERATOR, OR (III) USES THAT COULD LEAD TO DEATH OR PERSONAL INJURY. CUSTOMER ASSUMES THE SOLE RISK AND LIABILITY OF ANY USE OF XILINX PRODUCTS IN SUCH APPLICATIONS.

© Copyright 2012 Xilinx, Inc. XILINX, the Xilinx logo, Virtex, Spartan, ISE, and other designated brands included herein are trademarks of Xilinx in the United States and other countries. All other trademarks are the property of their respective owners.

本資料は英語版 (v13.4) を翻訳したもので、内容に相違が生じる場合には原文を優先します。

資料によっては英語版の更新に対応していないものがあります。

日本語版は参考用としてご使用の上、最新情報につきましては、必ず最新英語版をご参照ください。

この資料に関するフィードバックおよびリンクなどの問題につきましては、jpn_trans_feedback@xilinx.com までお知らせください。いただきましたご意見を参考に早急に対応させていただきます。なお、このメール アドレスへのお問い合わせは受け付けておりません。あらかじめご了承ください。

改訂履歴

次の表に、この文書の改訂履歴を示します。

日付	バージョン	リビジョン
2007年6月5日	1.0	初版リリース
2009年5月4日	2.0	ISE リリース 11.1 の XPE スプレッドシートに関する情報を追加。
2009年6月24日	3.0	ISE リリース 11.2 の XPE スプレッドシートに関する情報で更新。Spartan-6 および Virtex-6 FPGA に関する情報を追加。
2010年5月3日	4.0	ISE リリース 12.1 の XPE スプレッドシートに関する情報で更新。
2010年9月21日	5.0	ISE リリース 12.3 の XPE スプレッドシートに関する情報で更新。
2010年12月14日	6.0	ISE リリース 12.4 の XPE スプレッドシートに関する情報で更新。
2011年3月1日	13.1	ISE リリース 13.1 の XPE スプレッドシートに関する情報で更新。
2011年7月6日	13.2	ISE リリース 13.2 に関する次のマニュアル内容をアップデート <ul style="list-style-type: none">7 シリーズの図のすべてのスクリーンショットをアップデート。「名前付きセルの使用」のすべての表をアップデートし、7 シリーズ トランシーバーの情報を追加。防衛グレード FPGA への適用性を追加。
2011年10月10日	13.3	ISE リリース 13.3 に関する次のマニュアル内容をアップデート <ul style="list-style-type: none">「Θ SA」セクションに、[Heat Sink] プロファイルの定義 (デバイス パッケージごとのヒートシンクの高さ) を説明する表を追加。ダイアログ ボックスを Windows 7 向けの表示にアップデート。このリリースでの変更に合わせて、スプレッドシートの図をアップデート。[MGT] シートの [Power Planes] フィールドの説明を追加。メモリ インターフェイス コンフィギュレーション ウィザードおよびトランシーバー コンフィギュレーション ウィザードを説明するセクションを追加。
2012年1月18日	13.4	ISE リリース 13.4 に関する次のマニュアル内容をアップデート <ul style="list-style-type: none">新しいクイック エスティメート ウィザードを解説するセクションを追加。「クイック エスティメート ウィザード (7 シリーズのみ)」参照。ブロック メモリおよび分散メモリのコンフィギュレーションに使用する、新しいメモリ コンフィギュレーション ウィザードに関するセクションを追加。「メモリ ジェネレーター ウィザードによる分散メモリのコンフィギュレーション (7 シリーズのみ)」および「メモリ ジェネレーター ウィザードによるブロック メモリのコンフィギュレーション (7 シリーズのみ)」参照。このリリースでの変更に合わせて、スプレッドシートの図をアップデート。Artix-7 オートモーティブ デバイスへの適用性を追加。ウィザードへの [Close] ボタン追加に合わせてウィザードの操作手順を変更。

目次

改訂履歴.....	3
XPower Estimator の使用	
概要	7
XPE の使用	8
XPE を開く	8
最低限必要なユーザー入力	9
XPE の計算と結果	9
定義/用語	10
サポートされるデバイス ファミリ	10
デバイス モデルの精度.....	10
Advance.....	10
Preliminary	10
Production	11
総消費電力	11
デバイスのスタティック消費電力.....	11
デザインのスタティック消費電力.....	11
デザインのダイナミック消費電力.....	11
アクティビティ レート.....	11
トグル レート.....	11
信号レート	12
ファンアウト	12
Effective Θ JA (°C /W)	12
Θ SA (C/W)	13
Θ JB (C/W).....	14
ジャンクション温度 (°C).....	14
ユーザー インターフェイス	14
XPE ツールバー	15
ファイルのインポート	15
ファイルのエクスポート	15
[Quick Estimate]	15
デフォルト設定へリセット	15
[Set Default Activity Rates].....	15
XPE のスプレッドシートの色分け表示.....	16
XPower Analyzer との電力情報交換	17
データのインポートとエクスポート	18
XPE ヘデータをインポート	18
XPE 結果をエクスポート.....	20
[Summary] シート	21
[Settings] パネル	23
電力分配パネル	24
[On-Chip Power] パネル	25
[Power Supply] パネル	25
[Summary] パネル	27
クイック エスティメート ウィザード (7 シリーズのみ)	27
リソース シート.....	30
[CLOCK] シート	30
[LOGIC] シート	31

メモリ ジェネレーター ウィザードによる分散メモリのコンフィギュレーション (7 シリーズのみ)	32
[IO] シート	35
メモリ インターフェイス コンフィギュレーション ウィザード (7 シリーズのみ)	39
[BRAM] シート	42
暫定的な BRAM 予想	43
精度を向上するには	44
メモリ ジェネレーター ウィザードによるブロック メモリのコンフィギュレーション (7 シリーズのみ)	44
クロック マネージメント リソース シート ([DCM]、[PMCD]、[PLL]、[MMCM])	47
DSP シート ([MULT]、[DSP48])	48
マルチギガビット トランシーバー シート (MGT、GT、GTP、GTX、GTH、GTZ)	49
トランシーバー コンフィギュレーション ウィザード (7 シリーズのみ)	51
[EMAC] シートおよび [TEMAC] シート	53
[PCIE] シート	53
[PPC405] シートおよび [PPC440] シート - (PowerPC)	54
[PHASER] シート	54
[User] シート	55
XPE の自動化	55
名前付きセルの使用	55
利用可能なリソース数の取得	55
デバイス動作制限の取得	56
サマリ情報の取得および変更	57
数式の使用	58
Visual Basic マクロの利用	60
XPE へのスクリプト記述	61
Visual Basic スクリプトの例	61
Perl スクリプトの例	62
まとめ	62

付録 A：その他のリソース

XPower Estimator の使用

概要

XPower Estimator (XPE) は、スプレッドシートを使用した消費電力概算ツールであり、通常は、設計やインプリメンテーション前の段階で使用されます。これは、アプリケーションに合わせたアーキテクチャ評価やデバイス選択に有効で、適切な電源および熱設計部品の選択にも役立ちます。

XPE は、デザインで使用されているリソース、トグルレート、I/O 負荷、およびその他多数の要素を含んだデバイス モデルを考慮して消費電力を概算します。デバイス モデルは測定値、シミュレーションおよび既知の値に基づいた推定値から作成されています。

XPE の精度は、次の 2 組の入力要素に依存します。

- デバイスの使用率、コンポーネントのコンフィギュレーション、クロック レート、イネーブル レート、トグル レート、およびユーザーがツールに入力するその他の情報
- ツールに統合されているデバイスのデータ モデル

アプリケーションの正確な消費電力概算を行うには、できるだけ現実的な情報を入力してください。実際のデザイン値より低い値を入力したり、デザインに関して十分な情報がない場合は、算出される結果が非現実的な値となります。このユーザー ガイドでは、XPE を使用して、ワースト ケースおよび標準の消費電力値を求める方法について説明します。

XPE は、設計の初期段階や RTL 設計が未完成な場合に使用する、インプリメンテーション前のツールです。インプリメンテーション後は、XPower Analyzer (XPA) ツール (ISE® Design Suite ソフトウェアに含まれる) を使用してより正確な消費電力の概算および解析が可能です。XPA の詳細は、[XPower Analyzer ヘルプ](#)を参照してください。

XPE はスプレッドシートを使用しているため、Microsoft Excel の全機能をそのまま使用でき、各セクションは保護されていないので書き込み可能です。XPE には、使いやすさを求めた機能が追加されています。その他に、ドロップダウン メニューやコメントが有効なセルなど、ユーザーにとって便利な機能も備えています。

XPE スプレッドシートには、[クイック エスティメート ウィザード \(7 シリーズのみ\)](#)、[メモリ インターフェイス コンフィギュレーション ウィザード \(7 シリーズのみ\)](#)、[メモリ ジェネレーター ウィザード \(メモリ ジェネレーター ウィザードによるブロック メモリのコンフィギュレーション \(7 シリーズのみ\)およびメモリ ジェネレーター ウィザードによる分散メモリのコンフィギュレーション \(7 シリーズのみ\)参照\)](#)、[トランシーバー コンフィギュレーション ウィザード \(7 シリーズのみ\)](#)も含まれています。これらのウィザードは、ツールの初心者および使用に慣れているユーザーが素早く重要なコンフィギュレーション パラメーターを入力するのに役立ちます。入力後、それらに関連する行が [IO]、[Logic]、[BRAM]、[Transceiver]、[PCIE] および [Phaser] シートに生成され、消費電力の正確な解析に用いられます。

XPE の使用

XPE を開く

1. XPE を使用するには、Microsoft Excel 2003 または Microsoft Excel 2007 がインストールされている必要があります。

XPE では、Microsoft Excel 2010 は正式にサポートしていません。また、OpenOffice や Google のドキュメント エディターも今回の XPE リリースではサポートされていません。

2. ターゲット デバイス用の最新スプレッドシートをダウンロードしてください。XPE スプレッドシートは、次のザイリンクス ウェブサイトからダウンロードできます。

<http://japan.xilinx.com/power>

3. Microsoft Excel のマクロが有効になっていることを確認してください。XPE は、XPE スプレッドシートに組み込まれたマクロを使用します。

- **Microsoft Excel 2003** の場合 - デフォルトではマクロのセキュリティ レベルが **High** に設定されているため、自動的にマクロが無効になっています。マクロのセキュリティ レベルを変更するには、次の手順に従ってください (メニュー表示の名称は、Microsoft Excel の言語設定によって異なります)。

- a. [ツール] → [マクロ] → [セキュリティ] を選択します。
- b. [セキュリティ] ダイアログ ボックスが表示されたら、[セキュリティ レベル] タブをクリックします。
- c. [中] を選択して [OK] をクリックします。
- d. XPE スプレッドシートを開きます。既に開いている場合は、一度閉じてから再度開きます。
- e. このとき表示されるダイアログ ボックスで、[マクロを有効にする] を選択します。

- **Microsoft Excel 2007** または **Windows Vista** の場合 - 次の手順に従ってください。

- a. Microsoft Office ボタンで [Excel のオプション] をクリックします。
- b. [Excel のオプション] ダイアログ ボックスで [セキュリティ センターの設定] をクリックします。
- c. [セキュリティ センター] ダイアログ ボックスで [セキュリティ センターの設定] をクリックし、[マクロの設定] を選択します。
- d. [すべてのマクロを有効にする] を選択して [OK] をクリックします。
- e. XPE スプレッドシートを開きます。既に開いている場合は、一度閉じてから再度開きます。

注記： Excel 2007 またはそれ以降のバージョンでは、スプレッドシートを **XLSM** (マクロ有効ブック) ファイルとして保存でき、マクロ コンテンツを有効にできます。この拡張子へ変更しても、XPE の計算結果へ影響はありません。ワークブックを開くたびにマクロ コンテンツを有効にすることも可能です。[セキュリティ センター] の設定を変更してマクロ コンテンツを有効にする方法は安全性に問題がある可能性があります。

注記： Excel 2007 またはそれ以降のバージョンでスプレッドシートを **XLSX** ファイル (Excel Workbook) として保存すると、マクロが無効となり XPE が機能しくなります。XLSX ファイルとして保存する場合は、この点に注意してください。

最低限必要なユーザー入力

FPGA のようなプログラマブル デバイスの消費電力概算は、デザインで使用するロジック数やロジック コンフィギュレーションの影響を受けるため非常に複雑です。正確な値を算出するには、リソース使用率、クロック レート、トグル レートなどの値を正確に入力する必要があります。最小限の機能で中レベルの精度を求めるには、次の情報が必要です。

- 使用するデバイス/パッケージの組み合わせ
- デザインで使用するリソースの予想数 (例：フリップフロップ、LUT、I/O、ブロック RAM、DCM など)
- デザインのクロック周波数
- デザインのデータ トグル レートの予想値

一般的には、デザインに関する情報をできるだけ多く入力し、その他の部分はデフォルト設定を使用します。これによって、デバイスの供給電圧や熱設計の要件を決定できます。

捕捉：Excel の数式機能を利用して、ほかのセルとリンクさせます。たとえば、ロジック シート ラインに「=CLOCK1E9」と入力すると、このクロック ドメインで駆動されるリソースが表示されます。

XPE の計算と結果

XPE はデザインと環境入力を使用し、これら情報と各デバイス データ モデルの総合後にターゲット デバイスの消費電力概算値を計算してレポートします。

XPE では、複数の電力配分を表示します。

- **供給電源の電力** - 必要な電圧ソースに関して、この情報はレギュレータなどの供給電源の部品選択に役立ちます。この電力には、オフチップとオンチップの両方の消費電力が含まれます。
- **ユーザー ロジック リソースの電力** - デザインのユーザー ロジック タイプに関して、消費電力概算値をレポートします。これによって、割り当てられて電力バジェット内でアーキテクチャ、リソース、インプリメンテーションのトレードオフを調整できます。
- **熱電力** - ユーザーがデバイス環境設定を入力し、XPE がそのアプリケーション用デバイスの熱特性 (例：ジャンクション温度の予測値など) をレポートします。この情報を使用して、デザインに対してパッシブまたはアクティブのいずれかの冷却装置の必要性を判断できます。

XPE の [Summary] シートには、デバイスの総消費電力が表示されます。その他のシートは、使用する各リソースの消費電力を示しますが、当該リソースの未使用部分にリーク電力がある場合でも、その電力量はレポートされません。

次のセクションでは、入力方法および結果の確認方法について説明します。

定義/用語

サポートされるデバイス ファミリ

ターゲット アーキテクチャによって異なるスプレッドシートを使用します。これらのスプレッドシートは、新デバイスのリリースや XPE に新機能が追加されるとアップデートされます。

- 7 シリーズ FPGA
 - Artix™-7 および Artix-7 オートモーティブ
 - Kintex™-7
 - Virtex®-7
- Virtex-6 および Virtex-5 – このスプレッドシートには、Virtex-6 低消費電力、Virtex-6Q 防衛グレード、Virtex-5Q 防衛グレード、Virtex-5QV 航空宇宙グレードなどのすべてのサブファミリが含まれます。
- Virtex-4
- Spartan®-6 および Spartan-3A – このスプレッドシートには、Spartan-6 低消費電力、Spartan-6 オートモーティブ、Spartan-6Q 防衛グレード、Spartan-3AN、Spartan-3A DSP などのすべてのサブファミリが含まれます。
- Spartan-3E
- Spartan-3

注記：最新のスプレッドシートは、<http://japan.xilinx.com/products/technology/power> からダウンロードしてください。

デバイス モデルの精度

ツールに組み込まれている特性データの精度は、XPE の [Summary] シートの [Characterization] に入力されている製品仕様が反映されます。ほとんどの FPGA の製品仕様履歴は、[Release] シートにも表示されます。製品仕様は、Advance、Preliminary、Production の 3 種類あります。

Advance

この仕様で XPE に組み込まれているデータは、早期の製品デバイスにおける計測および特性データに基づいています。広く一般的に使用されているデバイス リソースが特性評価に含まれます。つまり、特性評価データは、これらの一部のブロックに制限されます。このデータは通常、製品リリースから 1 年以内に入手可能となります。データは比較的安定しており、余裕を持たせた設定ですが、実際の値は上下する可能性があります。この仕様のデータは、Preliminary や Production 仕様のデータほど正確ではありません。

Preliminary

この仕様で XPE に組み込まれているデータは、ES シリコンの特性評価データに基づいています。この仕様では、デバイス ファブリック内にあるほぼすべてのブロックが特性評価されています。TEMAC や PCIe ブロックなど専用ブロックも特性評価されており、そのデータは XPE に含まれています。Advance 仕様と比較すると、消費電力値の精度は高くなります。

Production

この仕様で XPE に組み込まれているデータは、特定のデバイス ファミリの十分な量産を経た上で特性評価が行われ、相当数の生産ロットを対象とした完全な電力相互関係が確立された後にリリースされます。デバイス ファブリック内にあるすべてのブロックの特性評価データが含まれます。

総消費電力

FPGA 全体の消費電力は次のように計算されます。

FPGA の総消費電力 = デバイスのスタティック消費電力 + デザインのスタティック消費電力 +
デザインのダイナミック消費電力

消費電力概算では、温度や電圧に対する感度を定義するためにモデル化されます。また、システム上の周辺温度やレギュレートされた電圧をそれぞれ適切なセルへ入力することも可能です。

デバイスのスタティック消費電力

これは、リーク電流とも言われています。デバイスのスタティック消費電力は、デバイスに電源が投入されているがコンフィギュレーションされていない状態にあるトランジスタのリーク電流を示します。

デザインのスタティック消費電力

デザインのスタティック消費電力は、デバイスがコンフィギュレーションされていてスイッチング動作がない状態で消費される電力を示します。これには、I/O DCI 終端、クロック マネージャーなどのスタティック電流が含まれます。

XPE は、デザインのスタティック消費電力の概算にあたって、まず空白のビットストリームを仮定します。この概算デザイン エレメントをインスタンスエートするには、個数フィールドを含むシートには適切なリソース数を、個数フィールドのないシートにはゼロ以外のクロック周波数を入力する必要があります。ボードとデザインを一致させるために、I/O 終端も設定します。

デザインのダイナミック消費電力

ダイナミック消費電力は、ユーザー ロジック使用率やスイッチング動作による消費電力を示します。

アクティビティ レート

XPE では、次のアクティビティ レートを示します。

- トグル レート
- 信号レート

トグル レート

精度の高い消費電力概算を行うには、XPE シートのいくつかに正確なトグル レートを入力する必要があります。しかしながら、XPE にデータを入力する設計段階によっては、この情報がまだ正確にわからない場合があるため、設計の進行に合わせてトグル レートを修正してください。トグル レートは、次のガイドラインに従って入力してください。

- 同期パスの場合、トグル レートは、あるクロック入力に対して出力が変化する頻度を 0 ~ 100% の値で表します。最大のトグル レートは 100% であり、すべてのアクティブ クロック エッジで出力がトグルすることを意味します。たとえば、100MHz クロックのフリー ランニング バイナリ カウンターを考えます。最下位ビット (LSB) はすべてのクロックの立ち上がりエッジ

でトグルするため、[Toggle Rate] 列に 100% と入力します。2 番目のビットは 1 つ置きクロック エッジでトグルするため 50% と入力します。

- 非周期的またはイベント駆動型のステート マシン デザインの場合、トグル レートの予測は困難です。特定デザインの平均的なトグル レートを予測する効果的な方法は、まず機能ごとにデザインを異なるセクションに分割し、各サブブロックのトグル レートを予測することです。そして、デザイン全体の平均を算出することによって、平均トグル レートを求めることができます。ロジック重視型デザインの大部分は、平均トグル レート 12.5% (XPE のデフォルト トグル レート値) で動作します。ワースト ケース予想には、20% のトグル レートを使用します。平均トグル レートが 20% 以上になることは非常にまれです。演算重視型のモジュールの場合、トグル レートは最大 50% 程度ですが、これは典型的なワースト ケース条件になります。

重要： 専用の [Clock Enable] 列がないすべてのシートでは、このロジックをゲート管理するすべての信号を考慮して、トグル レートを適切に調整してください。たとえば、このレートが 50% にモデリングされている場合でも、同期するクロックが 50% でイネーブルの場合、最終的なトグル レートは 25% (50% x 50%) となります。

重要： トグル レートが 100% とはどのようなことを理解するには、データ入力が High に接続され、常に有効なトグル フリップフロップ (TFF) を使用する場合を考えてみてください。このフリップフロップの T 出力はすべてのクロック エッジでトグルします。平均トグル レートが 100% のデザインはほとんど存在しません。

注記： [IO] シートには、信号の [Data Rate] を指定する列があります。[Toggle Rate] 列と [Data Rate] 列を正確に調整する必要があります。たとえば、クロックの両エッジでトグルする入力信号の場合は、Toggle Rate = 100% と Data Rate = DDR (デュアル データ レート) を入力します。

信号レート

信号レートは、特定エレメントにおいて 1 秒間に遷移する数 (百万単位) を定義します。これは、一部の XPE の [LOGIC] シート、[IO] シート、[DSP] シート、[BRAM] シートなどにある読み出し専用列に表示されます。一般的に、信号レートを求める計算式は次のとおりです。

信号レート (Mtr/s) = クロック周波数 (Mhz) * 効果的なトグル レート (%)

ファンアウト

XPE で定義されるファンアウトは、合成ツールでレポートされるファンアウトと類似していますが、インプリメンテーション ツールでレポートされるファンアウトとは異なる場合があります。この 2 つのファンアウトは、ロジックの配置とパッキングの相違が原因で生じます。

- XPE の場合、ファンアウトは、使用されるエレメントが接続される各ロード、つまりロジック エレメントの数を示します (LUT、FF、ブロック RAM、I/O FF、分散 RAM およびシフト レジスタ)。
- インプリメンテーション ツール (ISE PAR レポート) の場合、ファンアウトはネットが配線される SLICE 数を示します。通常、1 つのスライスには複数のロジック エレメントが含まれており、ユーザーは SLICE 内へ別のロジック エレメントをパッキングすることはできません。XPE アルゴリズムは、このパッキングを予測してから消費電力を概算します。

Effective Θ_{JA} ($^{\circ}\text{C}/\text{W}$)

この係数は、FPGA から周辺 (デバイス ジャンクションから外気) へ放散される電力量を示します。通常、このオプションは、[Summary] シートの [Settings] パネルに入力されているさまざまな環境パラメーターやその他の条件に基づいて XPE が計算します。このフィールドに入力すると、XPE の計算結果がすべて変更されます。シミュレーションでこのパラメーター値を計算した場合は、こ

のオプション入力を使用します。また、異なる環境設定をした別のスプレッドシートを使用して電力差を解析する際にも、この機能を使用して環境パラメーターを抽出できます。

Θ SA (C/W)

ヒートシンクから外気への熱抵抗を示します。XPE はデフォルトで、ユーザーが設定した [Heat Sink] 値 (Low Profile、Medium Profile、High Profile) および [Airflow] 値と併せて、デバイス パッケージと一致したヒートシンク データの標準値からこの値を取得します。XPE で使用される値は、[Summary] シートの [Θ SA] 欄に表示されます。

表 1 に、Low Profile、Medium Profile、および High Profile のヒートシンク値をパッケージ別に説明します。

表 1 : XPower Estimator の [Heat Sink] プロファイルの定義

デバイス パッケージ	ヒートシンクの高さ (mm)
FF324 (19mm)	<ul style="list-style-type: none"> Low Profile - 6.3mm Medium Profile - 9.5mm Low Profile - 12.7mm
FF484 (23mm)	<ul style="list-style-type: none"> Low Profile - 6.3mm Medium Profile - 9.5mm Low Profile - 12.7mm
FF665-676 (27mm)	<ul style="list-style-type: none"> Low Profile - 6.3mm Medium Profile - 9.5mm Low Profile - 12.7mm
FF784 (29mm)	<ul style="list-style-type: none"> Low Profile - 6.3mm Medium Profile - 9.5mm Low Profile - 12.7mm
FF1136-1158 (35mm)	<ul style="list-style-type: none"> Low Profile - 6.3mm Medium Profile - 9.5mm Low Profile - 12.7mm
FF1738-1760 (42.5mm)	<ul style="list-style-type: none"> Low Profile - 12.7mm Medium Profile - 14.6mm Low Profile - 17.6mm
FF1923-1933 (45mm)	<ul style="list-style-type: none"> Low Profile - 14.6mm Medium Profile - 20.6mm Low Profile - 27.6mm

システムの Θ SA 値がわかっている場合は、この値を指定できます。[Summary] シートの [Heat Sink] ドロップダウン メニューで [Custom] を選択して、Θ SA の値を入力します。

Θ JB (C/W)

デバイス ジャンクションからボードへの熱抵抗を示します。デフォルトでは、JEDEC 基準 4 層基板使用時の測定値に基づいて算出された値が表示されます。システムの熱シミュレーションを実行済みの場合は、この値を指定できます。[Summary] シートの [Board Selection] ドロップダウン メニューで [Custom] を選択して、Θ JB の値を入力します。

ジャンクション温度 (°C)

このフィールドでは、デバイスのジャンクション温度の値を指定します。XPE は、指定されたジャンクション温度を超えないように周囲温度を調整します。このオプションは、既知の値またはワースト ケースのジャンクション温度から逆算して、この温度を超えないようにするための環境を指定する場合に使用します。

ユーザー インターフェイス

XPE には、次のようなスプレッドシートがあります。

- [Summary] シートでは、すべてのデバイスおよび環境設定の入力と編集が可能です。また、電力分配のサマリも表示され、XPE ヘデータをインポートするボタンや結果をエクスポートするボタン、および設定を全体的に調整するボタンもあります。
- その他のシート (例: [IO]、[BRAM]、[MGTs] など) では、ターゲット デバイスで使用可能なさまざまなリソース タイプに関する使用率および動作の詳細を入力します。これらのシートには、リソース使用率に基づく消費電力がレポートされます。リソースのリーク電力は、[Summary] シートに表示されます。

捕捉: XPE のスプレッドシートは、初心者でも簡単に使用できるよう作成されています。スプレッドシートの各セルのコメント インジケーター (タイトル セルの右上にある赤色の三角印) にマウスを置くと、そのセルの使用用途に関する説明が表示されます (図 1 参照)。

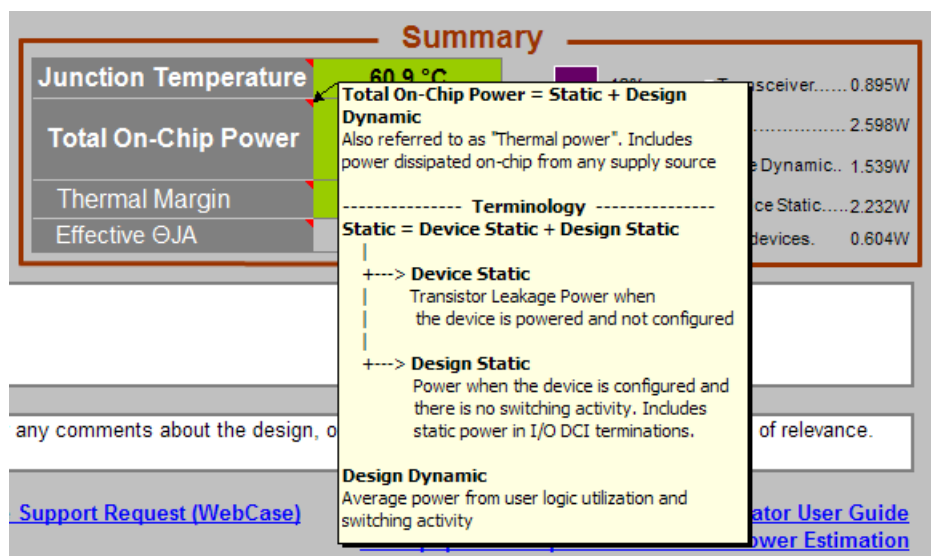


図 1: コメント インジケーターとコメント

XPE ツールバー

ツールへのデータ入力を容易にする方法として、異なるソースから XPE にデータをインポートして、全体的に設定を反映させることができます。図 2 に、ツールバーを示します。

注記：次に示すツールバーは、7 シリーズ用の XPE スプレッドシートのものです。以前のアーキテクチャ用のスプレッドシートでは、ツールバーのボタン名が次と異なる場合があります。

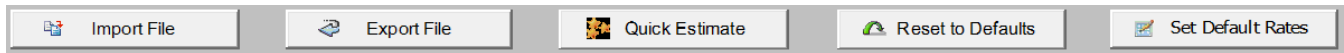


図 2 : XPE ツールバー (7 シリーズ)

ファイルのインポート

FPGA の設計段階によって異なりますが、このダイアログ ボックスを使用してデザイン情報をインポートし、スプレッドシートに反映させることができます。[Import File] をクリックして、ダイアログ ボックスの [ファイルの種類] からインポートするファイルの種類 (.xls、.mrp、または .xpe) を選択します。

インポート機能の詳細は、18 ページの「XPE ヘデータをインポート」を参照してください。

ファイルのエクスポート

[Export File] をクリックして、現在のスプレッドシートから次の情報をエクスポートできます。

- XPE にあるデザインの現在の設定。これらの設定は、ISE の XPower Analyzer セッションにインポートできます。
- テキスト形式の消費電力レポート。これによって、XPE スプレッドシートの消費電力情報をテキスト形式で確認できます。

エクスポート機能の詳細は、20 ページの「XPE 結果をエクスポート」を参照してください。

[Quick Estimate]

[Quick Estimate] をクリックすると、クイック エスティメート ウィザードが開きます。このウィザードは、ツールの初心者および使用に慣れているユーザーが、ザイリンクス デバイスにインプリメントされたデザインの正確な消費電力解析に必要な重要なパラメーターを素早く入力するのに役立つ簡単なインターフェイスです。

クイック エスティメート ウィザードの詳細は、27 ページの「クイック エスティメート ウィザード (7 シリーズのみ)」を参照してください。

デフォルト設定へリセット

[Reset to Defaults] を使用すると、すべてのユーザー設定がデフォルト値に戻ります。ただし、[Summary] シートの [Device] 情報の値はそのまま、ブロック詳細シート ([CLOCK]、[LOGIC] シートなど) に入力した値はすべて削除されます。

[Set Default Activity Rates]

このダイアログ ボックスでは、デザイン全体、あるいは指定シート用のデフォルトの周波数、トグルレート、またはイネーブルレートを設定します (図 3 参照)。

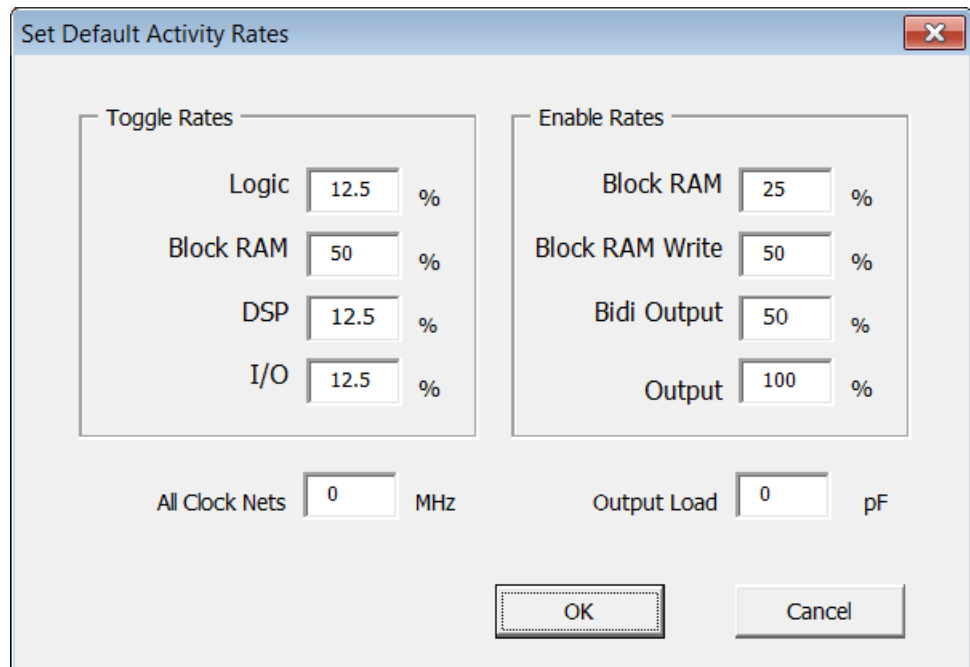


図 3 : [Set Default Activity Rates] ダイアログ ボックス

このダイアログ ボックスには、次の入力フィールドがあります。

- [Toggle Rates]
各フィールドは、関連シートのみのアクティビティを変更します。適用範囲：0 ～ 100%
トグル レートの詳細は、11 ページの「トグル レート」を参照してください。
- [Enable Rates]
各フィールドは、関連シートのみのアクティビティを変更します。適用範囲：0 ～ 100%
- [All Clock Nets]
このフィールドに入力したクロック周波数は、[CLOCK]、[LOGIC]、[IO]、[BRAM]、および [DSP] シートに適用されます。適用範囲：0 ～ 500MHz
- [Output Load]
このボード トレースにおける配線およびボード トレースに接続されたコンポーネントを出力ドライブする際の負荷容量を示します。この設定は、入力の消費電力概算には影響しません。

XPE のスプレッドシートの色分け表示

データ入力とレビューを容易にするため、XPE のセルは色分け表示されています。カラー レジェンド (Legend) の説明は、[Summary] シートの一番下にあります (図 4 参照)。



図 4 : カラー レジェンド ([Summary] シート)

表 2 に、スプレッドシートの色分け表示の詳細を示します。

表 2 : XPE のスプレッドシートの色分け表示

セルの色	セルの用途	可能なユーザー アクション
白	ユーザーによるデータ入力が可能	編集可能
灰色	算出された値を表示	読み出し専用
緑	概算値を表示	読み出し専用
青	通常、XPE で算出されるセルに対し、ユーザーが上書きしたことを示す	編集可能
オレンジ	警告を示す。リソースが不足していることを示す	編集可能
赤	エラーを示す エラーの例 <ul style="list-style-type: none"> デバイスの最大リソース数を超えた デバイス仕様の制限を超えた (ジャンクション温度など) 	読み出し専用 XPE のその他のセルを変更してエラーを修正可能

XPower Analyzer との電力情報交換

設計中にデバイスの電源要件を判断して熱放散量を予測するために、消費電力概算ツール (XPower Estimator (XPE) と XPower Analyzer (XPA)) 間でのデータ交換が可能です。この手法とユーザーフローの詳細は、『消費電力手法ガイド』(UG786) を参照してください。このデータ変換機能は、Spartan-6、Virtex-6、Artix-7 (Artix-7 オートモーティブを含む)、Kintex-7、および Virtex-7 ファミリーで利用できます。

- XPower Analyzer へ設定データをエクスポート

一般的な開発プロセスでは、まず最初に電源ソースのサイズを把握するために XPE で消費電力概算を行い、放熱パスを評価して FPGA システム内の異なるブロックへ電力バジェットを割り当てます。その後の開発サイクルでは、XPower Analyzer を使用して、電力と熱の目標値に対してインプリメンテーション後の消費電力解析を実行する必要があります。このとき、この環境データを XPA へ手動入力する代わりに、ファイルを XPE へエクスポートして解析用にデータを読み込ませることができます。このプロセスでは、すべての環境データ、熱設定、および電圧設定をエクスポートするため、XPA で現実的な消費電力概算を実行でき、異なる 2 つのツール間でのデータ比較も容易になります。

エクスポートの詳細手順は、20 ページの「XPE 結果をエクスポート」を参照してください。

- XPower Analyzer から結果をインポート

このフローは、次の場合に便利です。

- レポートされた概算消費電力が要件を超えている場合は、使用しているリソース、リソース数、コンフィギュレーションなど、さまざまな状況の評価する必要があります。また、コードを変更せずに、ロジックゲーティングやリソース時分割などのテクニックを用いて電力要件を満たす方法もあります。
- 以前のデザインで既にインプリメントされた IP や取得済みの IP を利用 (または再利用) する場合があります。これらの既存ブロックを XPE へインポートすると、これらのリソース使用率や概算消費電力を簡単に得ることができます。したがって、まだ定義していない新しいロジックのデータ入力に集中できます。
- チームベースデザイン - プロジェクト管理者が、個々のチームで開発されたモジュールを統合し、リソース使用率や消費電力を概算してデザイン全体の電力を定期的に確認します。インポートの詳細手順は、18 ページの「XPE へデータをインポート」を参照してください。

データのインポートとエクスポート

FPGA 開発サイクルの段階に応じて、XPE はデータ入力を簡略化して出力データを管理するいくつかの方法を提供します。

XPE へデータをインポート

[Summary] シートで [Import...] をクリックすると、図 5 のようなダイアログ ボックスが表示されます。新しいファミリのスプレッドシートではより多くのインポート機能が提供されているため、このダイアログ ボックスは、デバイス アーキテクチャによって表示が多少異なります。

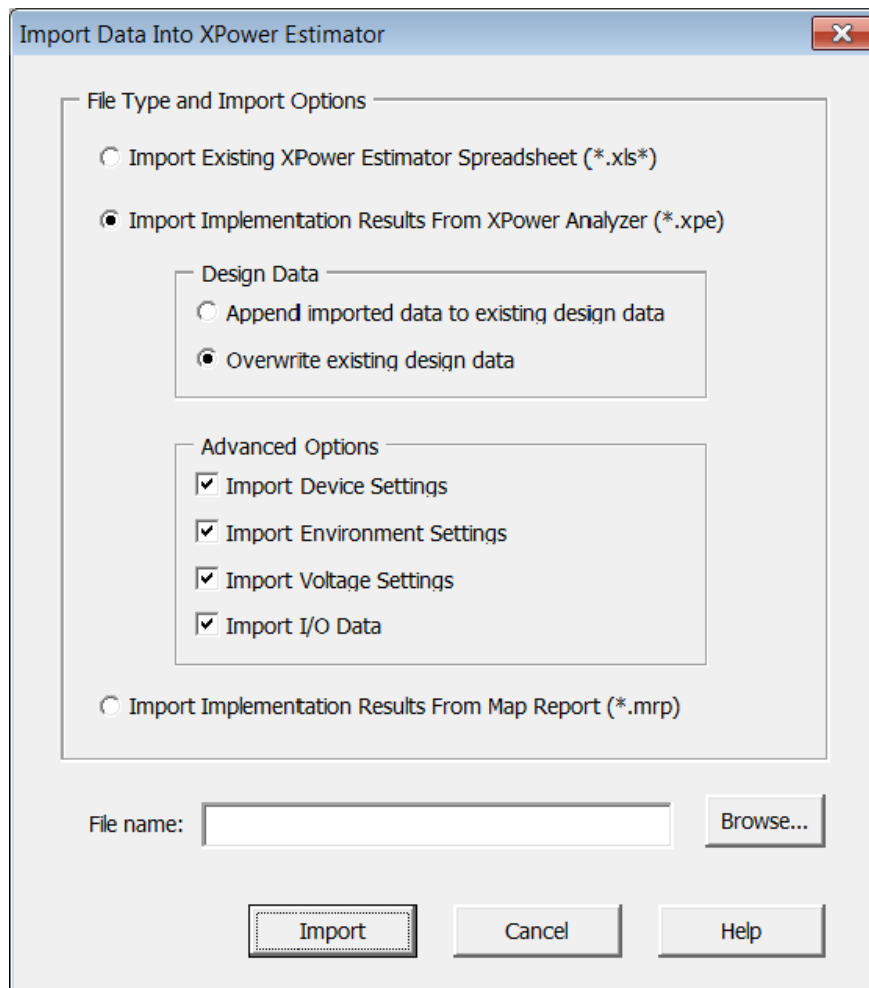


図 5：インポート ダイアログ ボックス (Virtex-7)

このダイアログ ボックスでは、次のようなオプションを選択できます。

- [Import Existing XPower Estimator Spreadsheet (*.xls*)]

このオプションは、既存の XPE ワークブック (XLS または XLSM ファイル) をインポートする場合に使用します。これは、前回の IP ブロックを再利用した新規デザイン、または最新のスプレッドシート バージョンにデザイン情報をアップデートする場合に有用です。これによって、現在スプレッドシートに入力されているデータはすべて削除され、選択したスプレッドシートから新しいデータがインポートされます。

注記：インポート完了後、それらのデータが適切であるかを検証する必要があります。たとえば、新規アーキテクチャにデザインを移行する場合には使用率やリソース数を示す欄を変更します。

- **[Import Implementation Results From XPower Analyzer (*.xpe)]**

このオプションは、完成したデザインや IP ブロックをインポートしてデザインをさらに解析する場合に使用します。このフローの利点および使用モデルについては、[17 ページの「XPower Analyzer との電力情報交換」](#)で説明しています。

このデータをスプレッドシートへインポートする手順は次のとおりです。

1. XPE スプレッドシートの **[Summary]** シートで **[Import...]** をクリックします。
2. **[Import]** ダイアログ ボックスで、インポートする .xpe ファイルを参照して選択します。
注記：この相互運用可能なファイルの生成方法の詳細については、XPower Analyzer のヘルプまたは『[コマンド ライン ツール ユーザー ガイド](#)』(UG628)にある **xpwr** コマンドラインの **-xpe** オプションの説明を参照してください。
3. (オプション、7 シリーズ デバイスのみ) ダイアログ ボックスの **[Design Data]** セクションでは、インポートするデータを、以前スプレッドシートに入力したデータに上書きするか、既存結果に追加するかのいずれかを選択できます。
4. (オプション、7 シリーズ デバイスのみ) ダイアログ ボックスの **[Advanced Options]** セクションでは、インポートするデータ (環境設定、I/O 詳細、電圧レベル、デバイス選択) を指定できます。

- **[Import Implementation Results From Map Report (*.mrp)]**

ISE でデザインの一部分がインプリメント済みの場合には、**[Import File]** をクリックして、ファイルの種類に **Map Report (*.mrp)** を選択します。これによって、配置後のデザインの Map レポートから正確なリソース数をインポートして、より正確な消費電力概算が可能になります。これにより、今後追加予定のロジックに関する詳細情報を入力して合計の電力分配が評価できます。また、一部のデザインがインプリメント済みで、その他の部分のデザインがまだ完成していない場合にも、このフローを使用します。

注記：このプロセスは、すべてのリソース使用率データを上書きしますが、環境設定はそのまま保持します。

注記：インポート後、使用リソースは最小数の行に分類されています。マップ レポートには、さまざまなブロックの使用数しか含まれていないため、XPE の各シートでデザインに応じたビット幅、データ レート、クロック、モード、イネーブル、およびその他のコンフィギュレーションを設定する必要があります。

注記：**[IO]** シートと **[BRAM]** シートの設定は、各コンフィギュレーションに基づきます。**I/O** はバスごとにグループ化されており、同じコンフィギュレーションのすべての **BRAM** は 1 行に表示されます。クロック ドメイン、モジュール、その他の機能ごとにグループ分けする場合は、行を追加してリソース数を調整する必要があります。

XPE 結果をエクスポート

[Summary] シートで [Export] をクリックすると、図 6 のようなダイアログ ボックスが表示されます。

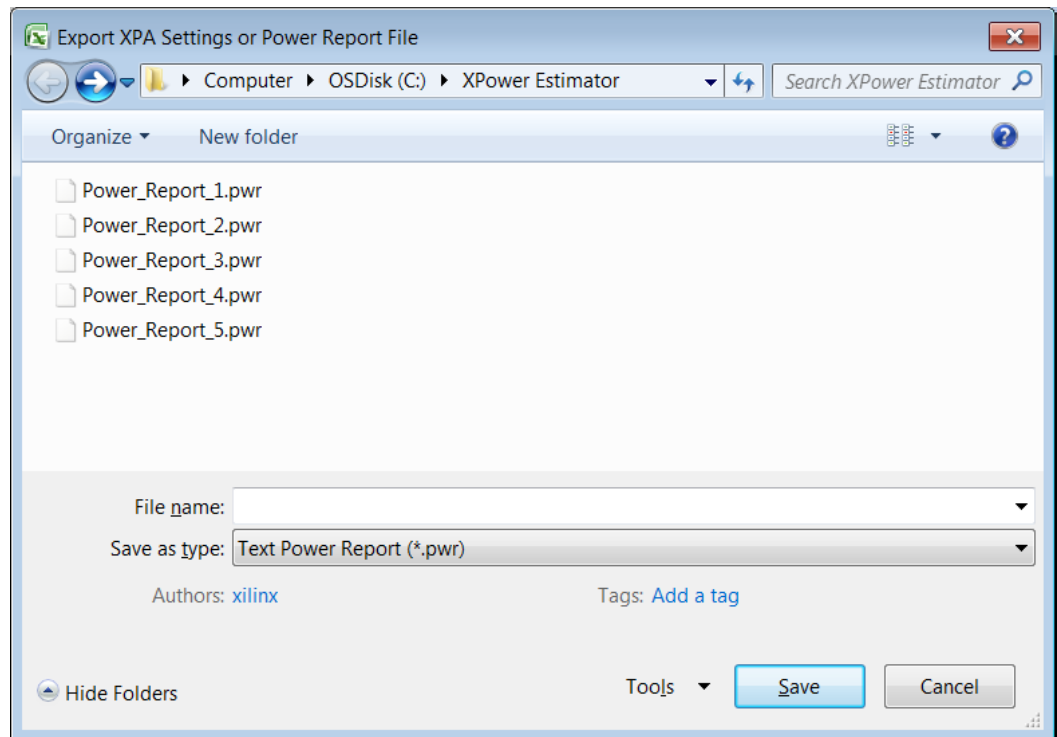


図 6 : Export ダイアログ ボックス

このダイアログ ボックスの [Save as type] では、次のファイル形式を選択できます。

- XPA Settings File (*.xpa) としてエクスポート

この形式を使用して XPE 設定をエクスポートすると、XPower Analyzer セッションに反映させることができます。このツールは通常、配置配線後の電力解析を実行できる段階になった、設計サイクルの後半で使用されます。作成された XPA ファイルには、すべての環境設定 (温度、ボード、電圧プロパティなど) が含まれます。これによって、XPower Analyzer での解析設定が簡潔になり、電力データを 2 つのツールで比較できます。

注記： XPower Analyzer で XPE からエクスポートしたデータを表示する場合は、XPower Analyzer でデザインを開いたとき ([File] → [Open Design]) に表示されるダイアログ ボックスで [Settings file] (*.xpa) を選択してください。

注記： ISE 内でデザインの消費電力解析を実行する XPower (XPWR) コマンド ライン ツールで、XPE からエクスポートしたデータを表示するには、**-x <file_name>** スイッチを使用してください。

- Text Power Report (*.pwr) としてエクスポート

この形式を使用すると、XPE の [Summary] シート結果がテキスト形式でエクスポートされます。XPE は、[Summary] シートにあるすべての情報を把握しやすいように表形式で保存します。この機能を使用して、複数の解析結果をアーカイブあるいは比較できます。また、ユーザーのデザイン フローでスクリプトを使用して構文を解析する場合や、XPE の結果を使用する場合にも有用です。

[Summary] シート

[Summary] シートは、起動時にデフォルトで表示されるシートであり、デバイス情報や環境設定などのすべての情報を入力できます。また、このシートには、レールやブロックごとの消費電力概算がレポートされるため、デザインの熱情報や電力分配情報を一目で確認できます (図 7 参照)。

[Project] 欄 (上部) や [Comments] 欄 (下部) では、デザインの概要や説明を簡潔に記入したり、デザインに関する計算値を記録しておくことができます。これらに収まらないデータがある場合は、[User] シートを使用します。そこでは、リンク、データ表、グラフィック、または通常の Excel シートに記入できるその他オブジェクトなどを保存できます。

注記： Spartan-3、Spartan-3E、および Virtex-4 のスプレッドシートは、この図のレイアウトと多少異なりますが、ここに記載のユーザー設定やデータについての説明は、これらのスプレッドシートにも同様に適用されます。

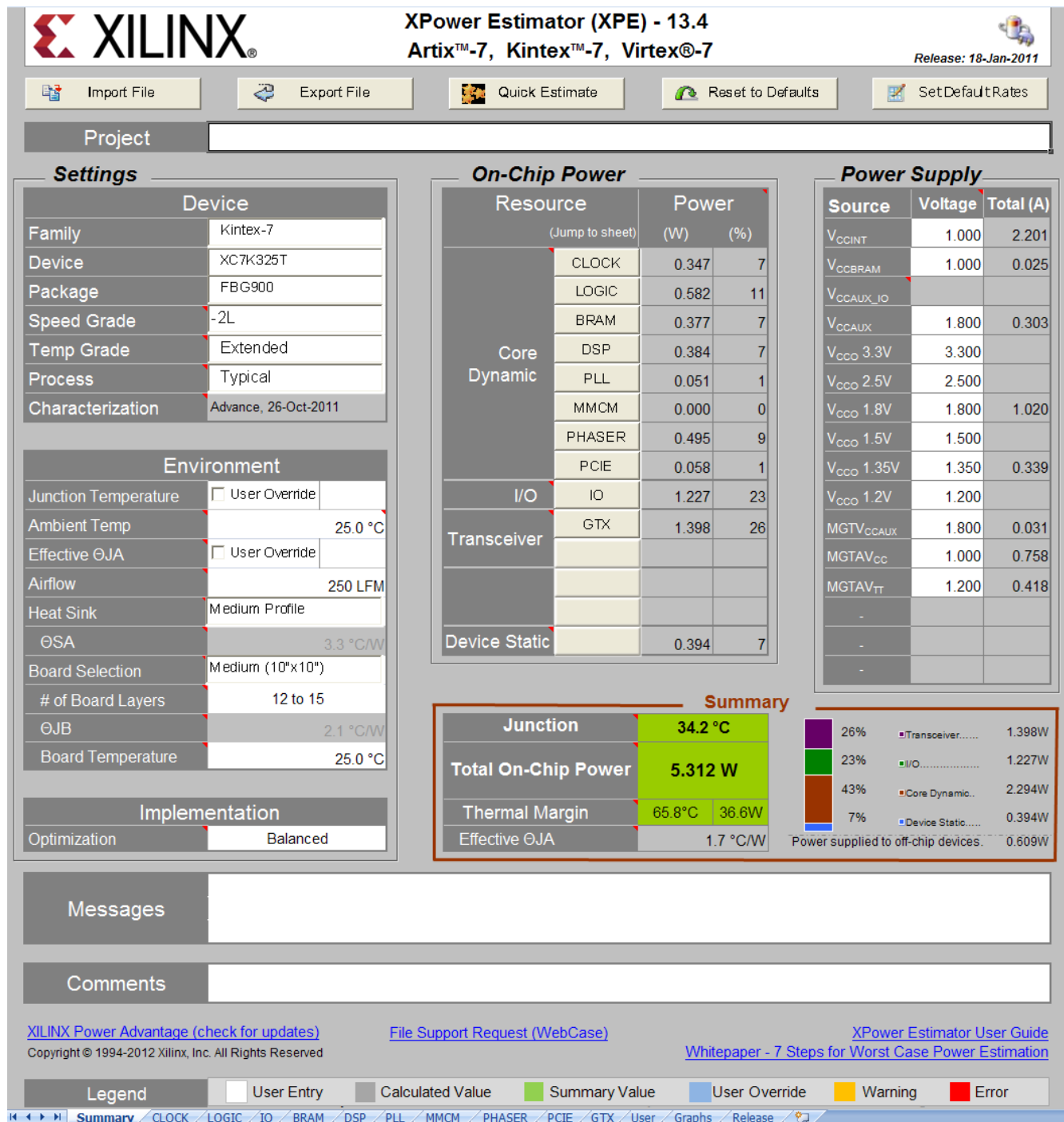


図 7 : [Summary] シート - 電力概算の変更およびサマリ表示 (Virtex-7)

[Settings] パネル

[Settings] パネルを使用して、デバイス、ボード、冷却、および ISE 設定の詳細を指定します。このパネルの内容は、ターゲット デバイスによって多少異なります。図 8 に、Virtex-6 の例を示します。

一部の設定は、ほかの設定によって決定されます。このような場合は変更不可となり背景色が灰色表示されます。

Settings	
Device	
Family	Virtex-6
Part	XC6VLX240T
Package	FF1156
Speed Grade	-1
Grade	Commercial
Process	Typical
Characterization	Production 9-Apr-2010
Environment	
Junction Temperature	<input type="checkbox"/> User Override
Ambient Temp	50.0 °C
Effective ΘJA	<input type="checkbox"/> User Override
Airflow	250 LFM
Heat Sink	Medium Profile
ΘSA	2.8 °C/W
Board Selection	Medium (10"x10")
# of Board Layers	12 to 15
ΘJB	2.6 °C/W
Board Temperature	
ISE	
Optimization	Balanced

図 8 : [Settings] パネル (Virtex-6)

[Settings] パネルの内容は次のとおりです。

- [Device]

システム要件を満たす最小サイズのデバイスを選択します。

注記：デバイス サイズが大きくなるほど、デバイスのスタティック消費電力が高くなります。

- [Environment]

PE がジャンクション温度の予測値をレポートするには、どのようにデバイス ロジックが構成され、有効になるかを理解する必要があります。また、デバイス環境の詳細も必要です。熱が、どのように周囲空気 (ΘSA) または PCB (ΘJB) に伝わるかを示す情報は、デバイスのジャンクション温度に影響します。これらのパラメーター値がわかっている場合は入力してください。わからない場合は、ドロップダウン メニューを使用して、対象となるプロジェクトに最も近い環境設定を選択してください。この設定を行うと、Effective ΘJA 値が間接的に算出されます。

XPower Estimator の熱パラメーターの詳細は、『[デバイス パッケージ ユーザー ガイド](#)』(UG112) の第 3 章「温度管理、温度特性評価および評価条件」を参照してください。

- [ISE]

ISE 設定は、合成およびインプリメンテーション ツールに適用される設定であり、さまざまな目的に合わせて最適化できます。実際に使用する ISE ツールの設定と同じになるように指定します。この設定は、カスタマー デザインのコア ダイナミック消費電力に影響します。

最適化設定は次のとおりです。

- [Balanced] – デフォルトの ISE オプション
- [Power Optimization] – コア ダイナミック消費電力を最小化
- [Timing Performance] – タイミング パフォーマンスを最適化
- [Area] – スライス使用率を最小化
- [CPU] – ランタイムの最短化

これらのオプションの詳細は、ISE ヘルプの「デザインの目標およびストラテジ」で説明しています。

注記：7 シリーズのスプレッドシートでは、このセクションは [Implementation] となっており、[Balanced] および [Power Optimization] のみ使用できます。

- [Power mode]

この設定を使用して、デバイスの異なる動作モードおよびパワーダウン モードでの概算消費電力を検討することができます。[Power Mode] は、一部のデバイス ファミリでのみ使用できます。

電力分配パネル

電力分配パネルは、ザイリンクス FPGA をシステムに統合する際に評価する 2 つのパネルで構成されます。通常、まず最初に設計者は各電圧ソースから供給される FPGA 電流を評価して、正常に機能するのに十分な電圧が供給されていることを確認します。次に、ボード終端ネットワークなどのオフチップ コンポーネントへ供給される電圧とは別に、デバイス自体で消費される電力量を確認する必要があります。オンチップで消費される電力 (サーマル電力) は、熱を生成します。この熱は、ジャンクション温度を通常動作範囲内に保つために、周辺空気へ放散される必要があります。図 9 に、ジャンクション温度 ([On-Chip Power] パネル) および合計電力供給 ([Power Supply] パネル) に影響を与えるオンチップ電力を示します。

On-Chip Power				Power Supply		
Resource		Power		Source	Voltage	Total (A)
(Jump to sheet)		(W)	(%)			
Core Dynamic	CLOCK	0.348	7	V _{CCINT}	1.000	2.070
	LOGIC	0.571	11	V _{CCBRAM}	1.000	0.033
	BRAM	0.295	6	V _{CCAUX_IO}		
	DSP	0.360	7	V _{CCAUX}	1.800	0.303
	PLL	0.051	1	V _{CCO 3.3V}	3.300	
	MMCM	0.000	0	V _{CCO 2.5V}	2.500	
	PHASER	0.495	10	V _{CCO 1.8V}	1.800	0.625
	PCIE	0.058	1	V _{CCO 1.5V}	1.500	
I/O	IO	1.125	22	V _{CCO 1.35V}	1.350	
Transceiver	GTX	1.507	29	V _{CCO 1.2V}	1.200	
				MGTV _{CCAUX}	1.800	0.031
				MGTAV _{CC}	1.000	0.786
Device Static				MGTAV _{TT}	1.200	0.457
				-		
				-		
		0.354	7	-		

図 9：電力分配パネル (Kintex-7)

[On-Chip Power] パネル

[On-Chip Power] パネルでは、デバイス内で消費される総電力量を示します。これには、デバイスのスタティク消費電力、およびユーザー デザインのスタティク消費電力とダイナミック消費電力が含まれます。消費電力は、リソースの種類ごとに算出されます。このパネルは、デバイスで消費および放散される電力量を判断するのに役立ちます。また、目標電力バジェットを達成するために、トレードオフや電力最適化を適用できるユーザー ロジック部分を認識する際にも役立ちます。

このパネル内のリソース名をクリックすると、そのリソースの詳細シートへ移動できます。

XPE は、デザインのスタティク消費電力の概算にあたって、まず空白のビットストリームを仮定します。この概算デザイン エレメントをインスタンスシートするには、個数フィールドを含むシートには適切なリソース数を、個数フィールドのないシートにはゼロ以外のクロック周波数を入力する必要があります。ボードとデザインを一致させるために、I/O 終端も設定します。

[Power Supply] パネル

[Power Supply] パネルでは、異なる電源ソースにおけるデバイスの概算消費電力を示します。この情報を使用して、レギュレータなどの電力供給コンポーネントのサイズなどを見直すことができます。このパネルの値は、内部ロジックで必要なすべての電力、および外部のボード終端などの FPGA 外部で消費される電力が含まれます。また、スタティク消費電力とダイナミック消費電力の両方が含まれます。

このパネルを使用して個々の電圧をサポート範囲内に調整すると、XPE が必要な電流量を計算して表示します。[Device] 表の [Process] で [Maximum] が選択されているときに、パワーオン時の電源電流値のいずれかが動作時の電流要件の概算値を超えた場合、[Power Supply] パネルには、最小のパワーオン時電源要件が表示されます。

FPGA には、複数の電源が必要です。表 3 に、ザイリンクス FPGA の一般的なロジック リソースと、それらの電源ソースを示します。この表に記載されている内容はガイドラインとして参照してください。詳細は、デバイス ファミリによって異なる可能性があります。

表 3 : FPGA リソースと供給電源

電源	リソース
V_{CCINT} & $V_{CCBRAM}^{(3)}$	<ul style="list-style-type: none"> すべての CLB リソース すべての配線リソース クロック ツリー全体 (すべてのクロック バッファを含む) ブロック RAM/FIFO⁽¹⁾ DSP スライス⁽¹⁾ すべての入力バッファ IOB 内のロジック エlement (ILOGIC/OLOGIC)⁽¹⁾ ISERDES/OSERDES⁽¹⁾ PowerPC™ プロセッサ⁽¹⁾ トライモード イーサネット MAC⁽¹⁾ クロック マネージャー (DCM、PLL など) (マイナー) MGT の PCIE および PCS 部分
V_{CCAUX} & $V_{CCAUX_IO}^{(3)}$	<ul style="list-style-type: none"> クロック マネージャー (MMCM、PLL、DCM など)⁽¹⁾ IODELAY/IDELAYCTRL⁽¹⁾ すべての出力バッファ 差動入力バッファ V_{REF} ベースのシングルエンド I/O 規格 (HSTL18_I など) Phaser
V_{CCO}	<ul style="list-style-type: none"> すべての出力バッファ 一部の入力バッファ デジタル制御インピーダンス (DCI) 回路、オンチップ終端 (OCT)⁽²⁾
MGT*	<ul style="list-style-type: none"> トランシーバーの PMA 回路

注記：

- これらのリソースは、一部のデバイス ファミリでのみ使用可能です。詳細は、各デバイスのデータシートおよびユーザー ガイドを参照してください。
- バンク 0 の V_{CCO} (V_{CCO_0} または V_{CCO_CONFIG}) は、バンク 0 のすべての I/O およびコンフィギュレーション回路に電力を供給します。詳細は、各デバイスの [コンフィギュレーション ユーザー ガイド](#) を参照してください。
- ザイリンクスの 7 シリーズ FPGA の HP (High Performance) のみ。

[Summary] パネル

[Summary] パネルでは、すべての主要データが簡潔に表示されます (図 10 参照)。

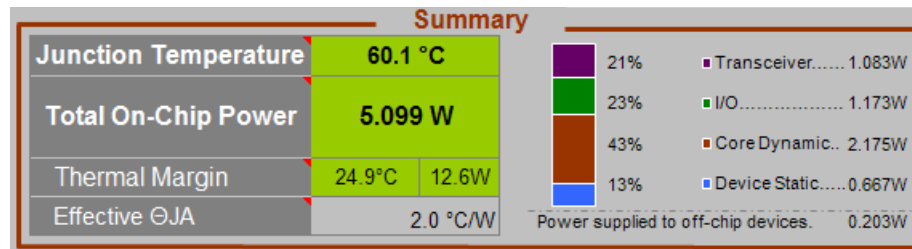


図 10 : [Summary] パネル (Virtex-7)

- [Junction Temperature]

デザイン動作中のジャンクション温度が概算されます。各デバイスは、データシートで指定されている温度グレード範囲内で動作します。この値が動作温度範囲を超えている場合 (タイミング問題が生じる可能性がある) は、このセルの背景がオレンジ色になり、絶対最大温度を越えた場合 (デバイス損傷の可能性はある) は赤色に変わります。ユーザーが値を設定すると、セルの背景色は水色に変わります。

- [Total On-Chip Power]

すべての電源ソースにおいて、デバイスで消費される総電力を示します。これは、サーマル電力とも呼ばれています。このセルは、先に説明した [Junction Temperature] セルの色分け表示が適用されます。

- [Thermal Margin]

このデバイス グレードで許容される温度および電力のマージンを示します。ジャンクション温度予想が最大指定値を超えた場合、この熱設計マージンが負の値になります。その場合は、これらの情報を使用して、オンチップで消費される電力を抑えるための最善策を判断します。

- [Effective ΘJA]

算出された実効熱抵抗 (Effective ΘJA) は、ダイから周囲空気へどれくらい熱が伝導されるかを示します。この値は、[Environment] パネルで入力した値に基づいて計算されます。熱シミュレーションを実行済みの場合は、これを適切な値に変更できます ([Environment] パネルを使用)。

クイック エスティメート ウィザード (7 シリーズのみ)

クイック エスティメート ウィザードは、ツールの初心者および使用に慣れているユーザーが、ザイリンクス デバイスにインプリメントされたデザインの正確な消費電力解析に必要となる重要なパラメーターを素早く入力するのに役立つ簡単なインターフェイスです。このウィザードに入力されたデザイン全体の情報が XPE シートに反映され、XPE はデザインの消費電力の見積り値を概算できます。概算値の計算後は、ウィザードが入力したデータの参照、ウィザードが作成したスプレッドシートへの入力の変更、デザインをより詳細に記述する独自の入力の追加が可能です。

クイック エスティメート ウィザードを 2 回実行すると、前回のスプレッドシート入力はすべて今回の入力内容で置き換えられます。

次の資料は、クイック エスティメート ウィザードへ情報を入力する際の参考になります。

- 7シリーズ FPGA コンフィギャブル ロジック ブロック ユーザー ガイド (UG474)
- 7シリーズ FPGA メモリ リソース ユーザー ガイド (UG473)
- 7シリーズ FPGA GTX トランシーバー ユーザー ガイド (UG476)

クイック エスティメート ウィザードを使用して 7 シリーズの [XPE] シートに情報を入力するには、次の手順に従ってください。

1. [Summary] シートの [Settings] パネルにある [Speed Grade] および [Temp Grade] などのフィールドにターゲット デバイスを指定します。
2. [Summary] シートの [Quick Estimate] をクリックします。



3. [XPE Quick Estimate] ダイアログ ボックスが表示されるので、デザインに関する情報を入力します。

ダイアログ ボックスに入力できる情報は、デザインをインプリメントするザイリンクス デバイスによって異なります。

XPE Quick Estimate - XC7K325TFBG900-2LE

XC7K325TFBG900-2LE

Conditions: Typical, Ambient=25C

Environment: 250 LFM

Design Activity

	Clock		Toggle		Enable	
Logic	250	MHz	12.5	%	50	%
BRAM	250	MHz	50	%	25	%

Design Utilization

		%
LUT	142660	70.0
FF	285320	70.0
BRAM	445	50.0
DSP	420	50.0

Physical Interfaces

		Width	Rate	
Memory	DDR3	36	1333	Mb/s
GTX				Gb/s
GTX				Gb/s
LVDS	In 0 Out 0			Mb/s

OK Cancel

図 11 : [XPE Quick Estimate] ダイアログ ボックス (Virtex-7)

[XPE Quick Estimate] ダイアログ ボックスには、次のフィールドがあります。

- [Conditions]

このフィールドでは、次の項目を選択できます。

- [Typical (標準)] プロセス、および [Ambient (周辺)] 温度の公称電圧
または
 - [Maximum (最大)] プロセス、および温度グレード制約内でのワーストケースの電力解析を想定した [Junction (ジャンクション)] 温度における最大電圧
 - [Environment]
デバイスが動作するエアフロー環境を選択できます ([Still Air (空気抵抗なし)], [250 LFM], [250 LFM (w/Heatsink)])。
 - [Design Activity]
[Logic] (コンフィギャブル ロジック ブロック (CLB) とインターコネクト) および [BRAM] について次の値を入力します。
 - [Clock]
クロック周波数を MHz 単位で指定します。[Clock] は、デバイス ファミリ (Artix-7 オートモーティブを含む Artix-7、Kintex-7、Virtex-7) ごとに異なるデフォルト値が設定されますが、ユーザーは [Clock] の値を任意に設定できます。
 - [Toggle]
トグル レートをパーセント単位で入力します。この値は [Logic] または [BRAM] 内のすべてのリソースに適用されます。
 - [Enable]
イネーブル レートをパーセント単位で入力します。この値は [Logic] 内のスライス クロックのイネーブル、または [BRAM] のイネーブルに適用されます。
 - [Design Utilization]
デザインで使用が見込まれる各リソース (LUT、FF、BRAM、DSP) の数を入力します。
[%] の列には指定したデバイス内でのリソース使用率がパーセント単位で表示されます。
表示されるボックスに使用数を入力するか、スピン ボタン (上下矢印) で使用率を 1 クリックあたり 5% ずつ増減させます。
デバイス内のリソース総数よりも大きな値を入力すると (たとえば、9600 LUT しか搭載していないデバイスに対して 10,000 LUT と入力した場合)、表示される値がそのデバイス内のリソース総数に変更され (この例では 9600 LUT)、使用率が 100% になります。
 - [Physical Interfaces]
指定したメモリ インターフェイス ([Memory]) のビット幅 ([Width]) と Mb/s 単位のデータ レート ([Rate]) を入力します。
指定したトランシーバー インターフェイス ([GTP]、[GTX] など) のビット幅 ([Width]) と Gb/s 単位のデータ レート ([Rate]) を入力します。
[LVDS] には入力ピン数 ([In])、出力ピン数 ([Out])、Mb/s 単位のデータ レート ([Rate]) を入力します。
4. デザインに関するこれらの値を入力し終わったら [OK] をクリックします。
- DRC (デザイン ルール チェック) の実行後、入力した値に基づいて XPower Estimator スプレッドシートの各シートに値が反映され、指定したデザインの消費電力が概算されます。

リソース シート

このセクションでは、各リソース シートへのデータ入力方法および結果の解釈方法を説明します。XPE では、指定した FPGA ファミリーやデバイスで利用可能なシートのみを表示します。これらのシートは、ユーザーが入力する中央の表 (リソース使用率、コンフィギュレーション、使用デバイス リソースのアクティビティを含む) で構成されます。表の上には、リソースの総使用率と、そのリソースが総消費電力にどの程度影響を与えているかを電源ごとに示す表があります。

これらのシートは、使用率に基づいた消費電力を示します。つまり、特定リソースの使用率とコンフィギュレーションに関連するすべての電力が表示されます。リーク電流は [Summary] シートに表示されるため、これらのシートには含まれません。

注記： リソースのクロック周波数を指定するシートでは、シート内の 1 行に入力されたリソース (たとえば、[Logic] シートの 1 行に入力されたシフト レジスタ 4000 個と FF 3000 個など) はすべて同じクロックドメイン内にあるものとします。正確な消費電力を見積もるには、異なるクロックドメイン内のリソースは、必ずスプレッドシート内の異なる行に入力します。

[CLOCK] シート

ダイナミック消費電力の重要な要素は、デザイン内の各ネットのスイッチング時の動作と負荷容量です。これを決定する要素には、ファンアウト、ワイヤ レンゲスなどがあります。高周波数で高ファンアウトのクロックの場合、そのクロック ネットの電力は非常に高くなり、別のワークシートに詳細がレポートされます (図 12 参照)。

Clock Tree Power						
Power			Utilization			
V _{CCINT}	1.000V	0.348W	Global	32	100%	
7% of total on-chip power 5.099W			Regional	30	100%	
			Other	0	-	
Name	Frequency (MHz)	Type	Fanout	Clock Buffer Enable	Slice Clock Enable	Power (W)
Global clock always active	250.0	Global	10000	100%	100%	0.164
	0.0	Global	0	100%	50%	0.000
Global clock with enable signal on driver	250.0	Global	10000	50%	100%	0.082
	0.0	Global	0	100%	50%	0.000
Global clock with enable signal on loads	250.0	Global	10000	100%	50%	0.102
	0.0	Global	0	100%	50%	0.000

図 12 : [Clock Tree Power] の例 (Virtex-7)

- バッファの [Type] 列
ザイリンクス デバイスには、クロック配線構造を駆動するバッファ タイプがいくつかあります。これらのタイプは XPE 内でモデル化されています。該当する [デバイスのユーザー ガイド](#)を参照して、適切なバッファ タイプを選択してください。
- クロックの [Fanout] 列
このクロックで駆動される同期エレメントの数を示します。

- **[Clock Buffer Enable] 列**

ソース側でクロック ネットをゲート管理します。この値は、クロック バッファがアクティブになる時間をパーセンテージで表します。デザインのこの部分が使用されていないときに、ソース側でクロック ネットを無効にする場合は、このパーセンテージを下げます。これによって消費電力が削減されます。

- **[Slice Clock Enable] 列**

ロード側でクロック ネットをゲート管理します。スライス レベル **Clock Enable** 信号でクロック ロードの一部を無効にする場合は、このパーセンテージを下げます。これによって消費電力が削減されます。

注記：「高度なクロック ゲーティング (Intelligent Clock Gating)」などの一部のソフトウェア アルゴリズムでは、この数が最小になるようにパッキングの再割り当てまたは変更が行われます。

[LOGIC] シート

[LOGIC] シート (図 13 参照) は、CLB リソースで消費される電力の概算に使用されます。この概算消費電力には、ロジック コンポーネントと配線の両方が含まれます。次の 2 つの情報を入力する必要があります。

- **[Utilization] – LUT、シフト レジスタ、LUT ベースの RAM および ROM の数を入力します。**
ISE を使用してデザインをインプリメントした場合、または以前のデザインを使用する場合は、[Summary] シートの [Import] を使用して、情報を自動でインポートできます。それ以外の場合は、必要な機能をインプリメントする際に使用するリソース数を予想して入力してください。
- **アクティビティ設定 – このロジックが属するクロック ドメイン ([Clock]) を入力します。次に、ロジックのスイッチング動作を示す [Toggle Rate] と [Average Fanout] を入力します。**

注記：Toggle Rate (12.5%) と Average Fanout (3) のデフォルト設定は、複数のカスタマー デザインから導き出された平均値に基づいています。適切な予測値がわからない場合、ザイリンクスではデフォルト設定を使用するよう推奨しています。

注記：[Signal Rate] 列は、特定エレメントにおいて 1 秒間に遷移する数 (百万回単位) を示します。この列は読み出し専用です。

信号レートは、次の数式で計算されます。

$$\text{信号レート (Mtr/s)} = \text{クロック周波数 (Mhz)} * \text{トグル レート (\%)}$$

Summary

Add Memory

Logic Power

Power

V _{CCINT}	1.000V	0.582W
11% of total on-chip power 5.367W		

Utilization

FFs	20,000	5%
LUTs	48,000	24%
Combinatorial	40,000	20%
Shift Registers	1,000	6%
Distributed RAMs	7,000	

[CLB User Guide](#)

[XPower Estimator User Guide](#)

Name	Clock (MHz)	LUTs as			FFs	Toggle Rate	Average Fanout	Signal Rate (Mtr/s)	Power (W)
		Logic	Shift Registers	Distributed RAMs					
LUTs	250.0	20000	0	0	0	12.5%	3.00	31.3	0.139
	0.0	0	0	0	0	12.5%	3.00	0.0	0.000
LUTs with high fanout	250.0	20000	0	0	0	12.5%	6.00	31.3	0.184
	0.0	0	0	0	0	12.5%	3.00	0.0	0.000
Registers	250.0	0	0	0	10000	12.5%	3.00	31.3	0.050
	0.0	0	0	0	0	12.5%	3.00	0.0	0.000
Registers with high activity	250.0	0	0	0	10000	25.0%	3.00	62.5	0.099
	0.0	0	0	0	0	12.5%	3.00	0.0	0.000
Shift registers	250.0	0	1000	0	0	12.5%	3.00	31.3	0.020
	0.0	0	0		0	12.5%	3.00	0.0	0.000
Distributed memory	250.0	0	0	7000	0	12.5%	3.00	31.3	0.080

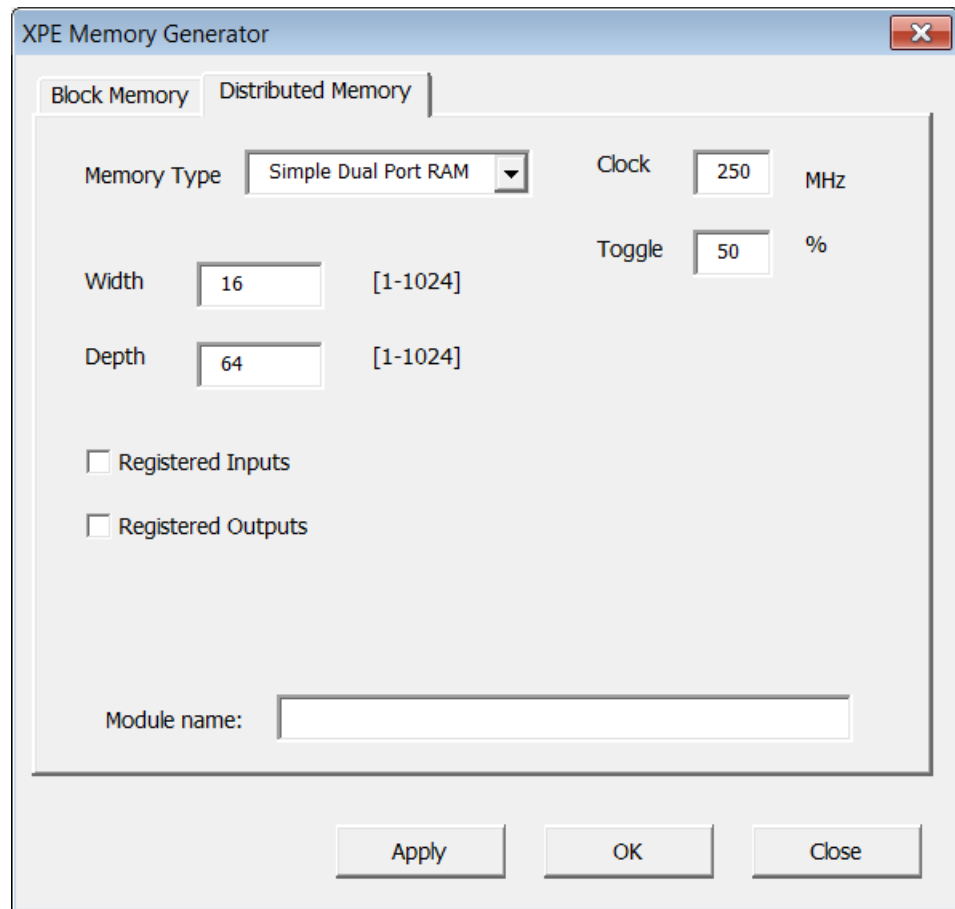


図 14 : [XPE Memory Generator] ダイアログ ボックスの [Distributed Memory] タブ (Virtex-7)

[Distributed Memory] タブには、次の入力フィールドがあります。

- [Memory Type]

デザインで使用するメモリのタイプを選択します。

- Single Port RAM
- Simple Dual Port RAM
- Single Port ROM
- Dual Port ROM

これらのメモリ タイプの詳細は、『7 シリーズ FPGA コンフィギャブル ロジック ブロック ユーザー ガイド』(UG474) を参照してください。

- [Clock]

分散メモリを動作させるクロックの周波数を入力します。

デュアルポート メモリの場合、XPE は両ポートのクロック周波数が同じであると想定します。

- [Toggle]

データ信号の平均トグル レートを入力します。50% のトグル レートは、各クロック サイクルで全データ信号の半分がトグルすることを意味します。

- **[Width]**
メモリの各ワードのビット幅を入力します。
 - **[Depth]**
メモリの深さ (ワード数) を入力します。[Width] × [Depth] が、メモリの総ビット数になります。
 - **[Registered Inputs]**
メモリへの入力をレジスタに格納するか ([Registered Inputs] を選択)、または格納しないか ([Registered Inputs] の選択を解除) を指定します。
入力のレジスタ格納の詳細は、『7 シリーズ FPGA コンフィギャブル ロジック ブロック ユーザー ガイド』(UG474) を参照してください。
 - **[Registered Outputs]**
メモリからの出力がレジスタに格納するか ([Registered Outputs] を選択)、または格納しないか ([Registered Outputs] の選択を解除) を指定します。
出力のレジスタ格納の詳細は、『7 シリーズ FPGA コンフィギャブル ロジック ブロック ユーザー ガイド』(UG474) を参照してください。
 - **[Module name]**
生成された分散メモリのコンフィギュレーションに名前を割り当てることができます。
XPE シートに複数のコンフィギュレーションが存在する場合、個々のコンフィギュレーションを区別するのに役立ちます。
3. この分散メモリに関する値を入力し終えたら、[Apply] をクリックします。
ダイアログ ボックスで入力した情報が [Logic] シートの行に追加されます。
 4. デザインで使用する分散メモリのタイプごとにダイアログ ボックスから情報を入力し、[Apply] をクリックします。
[Apply] をクリックするごとに、[Logic] シートに行が追加されます。
 5. デザイン内のすべての分散メモリについての設定が完了したら、[Close] をクリックして [XPE Memory Generator] ダイアログ ボックスを閉じます。

[IO] シート

高速スイッチング動作で容量負荷が高い場合は、スイッチング I/O の電力が、FPGA 全体の消費電力に対して大きな比率を占める可能性があります。したがって、すべての I/O 関連のパラメーターは、できるだけ正確に定義する必要があります。[IO] シートに基づいて、XPE がオンチップ電力を算出し、最終的に I/O インターフェイスのオフチップ電力を算出します。

7 シリーズ デバイスの XPE では、メモリ インターフェイス コンフィギュレーション ウィザードが提供されているため、FPGA の外部メモリへのインターフェイスで使用する I/O の正確な消費電力概算に必要な重要なパラメーターを即座に入力できます。ウィザードを使用して [IO] シートにメモリ インターフェイスの情報を入力する具体的な方法は、[39 ページの「メモリ インターフェイス コンフィギュレーション ウィザード \(7 シリーズのみ\)」](#)を参照してください。

図 15 に、7 シリーズ スプレッドシートの [IO] シート上部を示します。この図からわかるように、このシートには 7 シリーズ スプレッドシートのほかのシートと同様に、ザイリンクス ウェブサイト上の関連資料 (この場合は『7 シリーズ SelectIO リソース ユーザー ガイド』と『7 シリーズ FPGA XADC ユーザー ガイド』) を表示するボタンが用意されています。

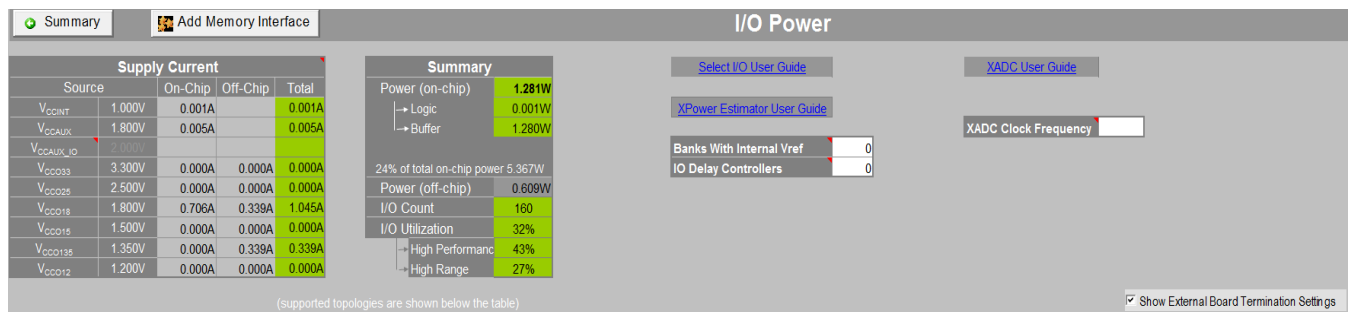


図 15 : [IO] シート - 上部 (7 シリーズ)

図 16 に、[I/O] シートに入力する 3 種類の主な情報、[IO Settings]、[Activity]、[External Termination] (オプション) を示します。

Name	Bank	I/O Settings									Activity				On Chip Power (W)				External Termination			Off Chip				
		I/O Type	I/O Standard	Input Pins	Output Pins	Bidir Pins	I/O LOGIC SERDES	I/O DELAY	IBUF LP	Input Term	Clock (MHz)	Toggle Rate	Data Rate	Output Enable	Term Disable	IBUF Disable	Output Load (pF)	Signal Rate (Mtr/s)	V _{CCINT} 1.000V	V _{CCAUX} 1.800V	V _{CCAUX_IO} 2.000V	V _{CCO} all rails	Type	R/RDIFF	RS	V _{CCO} all rails
Bi-directional bus	HR	LVC MOS 1.8V 16mA (Slow)		0	0	32	No	Off	Yes	None	100.0	12.5%	SDR	100.0%	0.0%		5	12.5	0.000	0.001	0.000	0.012	None			0.000
Bi-directional w/ 50% OE rate	HR	LVC MOS 1.8V 16mA (Slow)		0	0	32	No	Off	Yes	None	100.0	12.5%	SDR	50.0%	0.0%		5	12.5	0.000	0.001	0.000	0.009	None			0.000
Output w/ external termination	HP	SSTL Class II 1.8V		0	32	0	No	Off	Yes		100.0	12.5%	SDR	100.0%	0.0%		5	12.5	0.000	0.002	0.000	0.237	Parallel	50		0.609
Output w/ DCI termination	HP	SSTL Class II DCI 1.8V		0	32	0	No	Off	Yes		100.0	12.5%	SDR	100.0%	0.0%		5	12.5	0.000	0.002	0.000	0.848	None			0.000
Output w/ T _{DCI} termination	HP	SSTL Class II T DCI 1.8V		0	32	0	No	Off	Yes		100.0	12.5%	SDR	100.0%	0.0%		5	12.5	0.000	0.002	0.000	0.159	None			0.000

Name	Bank	I/O Settings								
		I/O Type	I/O Standard	Input Pins	Output Pins	Bidir Pins	I/O LOGIC SERDES	I/O DELAY	IBUF LP	Input Term
Bi-directional bus	HR	LVC MOS 1.8V 16mA (Slow)		0	0	32	No	Off	Yes	None
Bi-directional w/ 50% OE rate	HR	LVC MOS 1.8V 16mA (Slow)		0	0	32	No	Off	Yes	None
Output w/ external termination	HP	SSTL Class II 1.8V		0	32	0	No	Off	Yes	
Output w/ DCI termination	HP	SSTL Class II DCI 1.8V		0	32	0	No	Off	Yes	
Output w/ T _{DCI} termination	HP	SSTL Class II T DCI 1.8V		0	32	0	No	Off	Yes	

Activity										On Chip Power (W)			
Clock (MHz)	Toggle Rate	Data Rate	Output Enable	Term Disable	IBUF Disable	Output Load (pF)	Signal Rate (Mtr/s)	V _{CCINT} 1.000V	V _{CCAUX} 1.800V	V _{CCAUX_IO} 2.000V	V _{CCO} all rails		
100.0	12.5%	SDR	100.0%	0.0%		5	12.5	0.000	0.001	0.000	0.012		
100.0	12.5%	SDR	50.0%	0.0%		5	12.5	0.000	0.001	0.000	0.009		
100.0	12.5%	SDR	100.0%	0.0%		5	12.5	0.000	0.002	0.000	0.237		
100.0	12.5%	SDR	100.0%	0.0%		5	12.5	0.000	0.002	0.000	0.848		
100.0	12.5%	SDR	100.0%	0.0%		5	12.5	0.000	0.002	0.000	0.159		

External Termination				Off Chip
Output				V _{CCO}
Type	R/RDIFF	RS		all rails
None				0.000
None				0.000
Parallel	50			0.609
None				0.000
None				0.000

図 16 : [IO] シート - 出力イネーブル レートによる入力/出力、双方向 I/O 消費電力への影響 (7 シリーズ)

次の各項で、これらの列の入力方法について説明します。

- [I/O Settings]
- [I/O Standard] (I/O 規格)

このインターフェイスで使用する I/O 規格を指定します。オンチップ終端を使用するコンフィギュレーションでは、DCI が末尾に付いた規格がこのドロップダウンメニューに表示されます。また、差動 I/O 規格には (pair) が付加されています。XPE で計算される場合、データシートに記載されている各 I/O 規格の公称値に最も近い標準 V_{CCO} レベル (例: 3.3V) が想定されます。

注記 : Spartan-6 FPGA の場合、オープンドレイン規格の I2C と SMBUS では、2.7 ~ 3.45V の V_{CCO} (公称 3.0V) を使用できます。XPE は、これらの規格に対して V_{CCO} を 3.3V とし、計算します。

捕捉 : 出力信号の消費電力を最小限に抑える場合は、パフォーマンス目標を満たす最低レベルのドライバー設定を使用してください (駆動能力とスルー レートを下げる)。

捕捉：オンチップ終端された規格を使用すると、レシーバー波形でのシグナル インテグリティが改善されます。FPGA 内に終端が組み込まれているため、終端電力がデバイスのジャンクション温度を上げる原因となります。この消費電力を最小限に抑えるには、できる限りトライステート化が可能なオンチップ終端規格 (T_DCI が付く規格) を使用してください。

- I/O 方向の列

各 I/O インターフェイスの [Input Pins]、[Output Pins]、および [Bidir Pins] (双方向) に信号数を入力します。

捕捉：多くの場合、入力と出力のトグル動作は大きく異なるため、各方向の数値は別の行に入力することを推奨します。

捕捉：差動 I/O ペアは、ペアごとに 1 ピンとして入力します。たとえば、4 対の差動 DQS ペアがあるメモリの場合は、[Input Pins] 列に「4」と入力してください。

- I/O パフォーマンスの設定

[I/O LOGIC SERDES] や [I/O DELAY] などのパフォーマンス設定は、デバイス ファミリによって異なります。これらの I/O に対して、適切なコンフィギュレーションを入力します。

捕捉：パフォーマンス設定を使用すると、通常は消費電力が増加します。必要な場合のみ、これらの設定を使用するようにしてください。

- [Activity]

各 I/O インターフェイスの予想動作について次の 4 つの列に入力します。

- [Clock (MHz)]

同期信号：これらの信号をキャプチャまたは生成するクロックの周波数を入力します。

非同期信号：信号の同等周波数を計算します。たとえば、信号が毎秒 200 万回トグル (ステートが変更) する場合は、この列に 1 と入力します (信号レートを周波数に変換する場合は、1 周期を構成するために 2 回遷移させる必要があります。つまり、0 から 1 への遷移と 1 から 0 への遷移)。

- [Toggle Rate]

同期エレメント：この信号がステート遷移するクロックのトグル レートを入力します。たとえば、平均して 8 クロック サイクルに 1 回データが変更する場合は、12.5% (1/8 をパーセンテージに変換) と入力します。

非同期エレメント：上記の [Clock (MHz)] で説明したとおり、[Clock (MHz)] に相当する周波数を入力し、この列は 100% と入力します。

- [Data Rate]

同期エレメント：クロックの立ち上がりおよび立ち下りの両方のエッジで信号がサンプルされる場合には、「DDR」と入力します。

非同期エレメント：この列は適用されません (SDR のまま変更しない)。

- [Output Enable]

入力専用信号：この列の値は結果に影響を与えません。

出力および双方向信号：出力バッファが値を駆動する時間をパーセンテージ (バッファ駆動が無効またはトライステートの時間に対する比率) で示します。

捕捉：図 16 (赤枠) の 1 行目と 2 行目に示すように、[Output Enable] 設定は 100% となっています。これは、双方向信号の使用時によく起こる間違いであり、デフォルトのままでは算出すると消費電力概算の精度が低下してしまいます。

- [Signal Rate]

この値は、特定エレメントにおいて 1 秒間に遷移する数 (百万単位) を示します。この列は読み出し専用です。

[Signal Rate] は、次の数式で計算されます。

入力の場合：

信号レート (Mtr/s) = クロック周波数 (Mhz) * トグル レート (%) * データ レート

出力の場合：

信号レート (Mtr/s) = クロック周波数 (MHz) * トグル レート (%) * データ レート * 出力イネーブル レート (%)

- [External Termination]

オンチップ終端を使用していない場合は、XPE を使用して、外部ボード終端抵抗ネットワークなどの FPGA がオフチップ コンポーネントへ供給する電力を計算できます。[Show External Board Termination Settings] をオンにすると、表に列が追加されます。また、表の下にはサポートされる外部ボード終端トポロジを示す図も表示されるため、構築するトポロジに応じて、入力すべき列を簡単に識別できます。

複数の終端タイプは、出力として設定されている I/O に対してサポートされています。多くの場合、消費電力概算にはドライバー側の詳細が必要となりますが、XPE ではこれらを入力できないため、外部入力終端には対応していません。

- [Term. Type]

ドロップダウン メニューから適切な終端トポロジを選択します。

- [R/RDIFF] および [RS]

一部の終端手法では 2 つの抵抗値が必要ですが、通常は 1 つのみです。終端図を参照して、適切な列に抵抗値を入力します。図 17 に、現バージョンでサポートされている I/O 終端トポロジを示します。

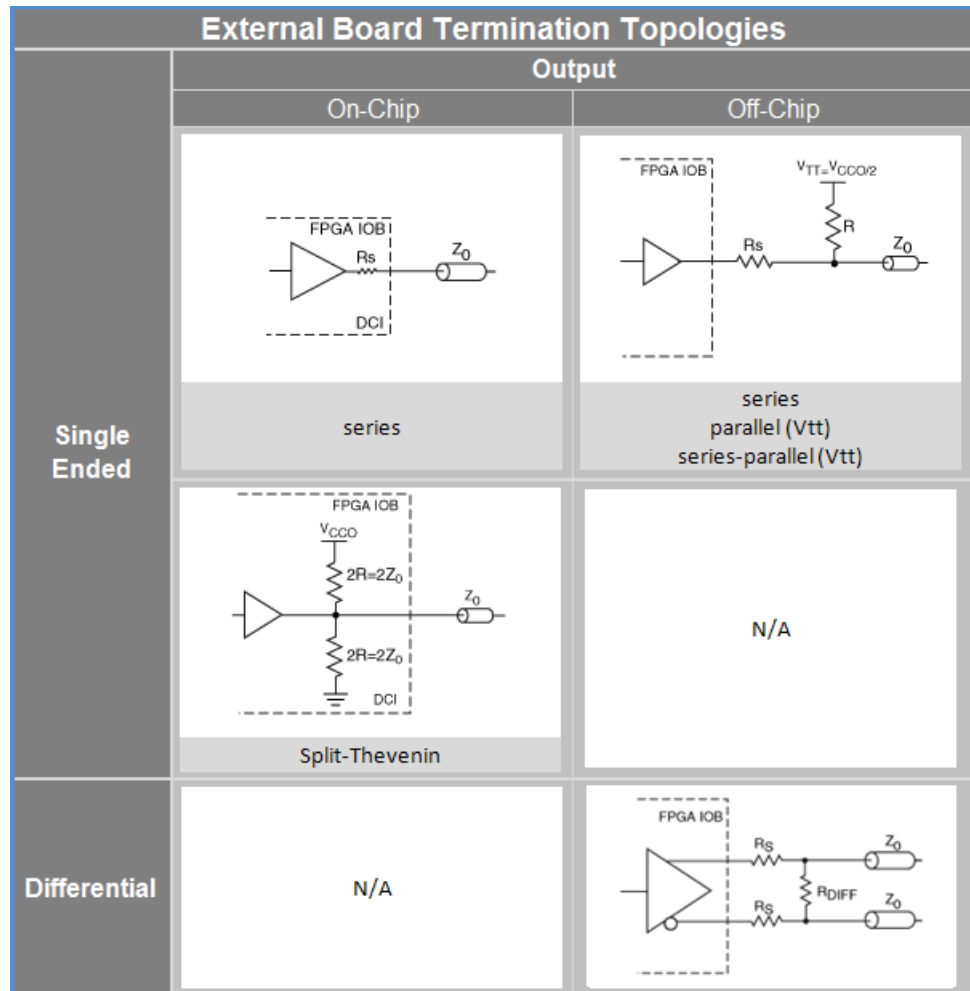


図 17: 外部 I/O 終端トポロジ (Virtex-6)

メモリ インターフェイス コンフィギュレーション ウィザード (7 シリーズのみ)

メモリ インターフェイス コンフィギュレーション ウィザードは、ツールの初心者および使用に慣れているユーザーが素早く重要なコンフィギュレーション パラメーターを入力するのに役立つ簡単なインターフェイスです。7 シリーズ FPGA の XPE スプレッドシートでは、FPGA と外部メモリをインターフェイスする際に使用する I/O の情報をこのウィザードを用いて入力できます。このウィザードを使用すると、メモリ インターフェイス I/O に関する情報を XPE スプレッドシートへ簡単に入力できます。

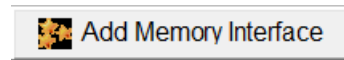
ウィザードを使用してメモリ インターフェイスのコンフィギュレーションを実行する場合は、外部メモリに適用される FPGA からの各出力ライン ([Data]、[Address]、[Clock] など) が行として [IO] シートに追加されます。

メモリ インターフェイス コンフィギュレーション ウィザードはメモリ インターフェイスのすべての規格、またはサポートされる規格のインターフェイス パラメーターすべてに対応しているわけではありません。このウィザードは、一般的なメモリ インターフェイスの規格の多くをサポートしています。特定の規格には、ウィザードによるコンフィギュレーションよりもさらに多くの関連するピンが存在する場合があります、これに対応するためにウィザードの出力を修正したり、[IO] シートにピンを手動で追加してデータを入力しなければならない可能性があります。また、特定のフィールドに目的の選択肢がない場合は、手動で入力できます。

7 シリーズ デバイスのメモリ インターフェイスの機能や XPE に入力する設定について理解するには、『7 シリーズ FPGA メモリ リソース ユーザー ガイド』(UG473) または『7 シリーズ FPGA コンフィギュラブル ロジック ブロック ユーザー ガイド』(UG474) (分散メモリの場合) を参照してください。

メモリ インターフェイス コンフィギュレーション ウィザードを使用して 7 シリーズ デバイスの [IO] シートにメモリ インターフェイスの I/O を追加するには、次の手順に従ってください。

1. [IO] シートの [Add Memory Interface] をクリックします。



2. [XPE Memory Interface Configuration] ダイアログ ボックスが表示されるので、デザイン の 1 つのメモリ インターフェイスについて情報を入力します。

 A screenshot of the "XPE Memory Interface Configuration" dialog box. It contains several configuration fields:

- Standard:** A dropdown menu set to "DDR3".
- Bank Type:** A dropdown menu set to "HP".
- Data Rate:** A text box containing "1066" followed by "Mb/s".
- Termination (DQ/S):** A dropdown menu set to "DCI 40Ω".
- Data Width:** A dropdown menu set to "36".
- Address Width:** A text box containing "12".
- Number of Interfaces:** A text box containing "1".
- Read/Write (%):** Two text boxes, both containing "50".
- Module name:** An empty text box.

 At the bottom, there is a descriptive text: "Configures I/O interface, adds minimal clocking and no link layer logic." and three buttons: "Apply", "OK", and "Close".

図 18 : [XPE Memory Interface Configuration] ダイアログ ボックス (Virtex-7)

[XPE Memory Interface Configuration] ダイアログ ボックスには、次のフィールドがあります。

- [Standard]

次の I/O 規格がメモリ インターフェイス コンフィギュレーション ウィザードでサポートされています。

- DDR2
- DDR3
- DDR3L
- QDR2+
- RLDRAM2
- RLDRAM3
- LPDDR2

XPE スプレッドシートには、その他任意の規格のメモリ インターフェイス情報を手動で入力できます。

サポート対象の I/O 規格および特定のデバイスにおける制約の一覧は、該当する次のデータシートを参照してください。

- データシート (DS183) 『Virtex-7 FPGA データシート : DC 特性およびスイッチ特性』
- データシート (DS182) 『Kintex-7 FPGA データシート : DC 特性およびスイッチ特性』
- データシート (DS181) 『Artix-7 FPGA データシート : DC 特性およびスイッチ特性』

- [Bank Type]

選択するタイプが存在する場合は、適切なバンク タイプを選択します。

- [Data Rate]

メモリ デバイスの目標データ レート値を入力します。

- [Termination (DQ/S)]

DQ (データ) と DQS (データ ストロープ) ピンを指します。HP バンクを使用するメモリ インターフェイスでは、[Standard] で選択した規格に応じて適切な DCI 終端が用いられます。HR バンクについては、INTERM_40、INTERM_50、INTERM_60 または外部終端 (入力なし) を選択できます。

- [Data Width]

メモリ タイプとデバイスの許容範囲内で、8 単位で増加させた 8 ~ 144 の値がサポートされます。アドレス、データ、および制御信号は、上限値が 144 以下となるように同じ I/O カラム内に配置する必要があります。スタックド シリコン インターコネクト (SSI) テクノロジー デバイスでは、データ幅はこの上限値のために最大 72 に制限されます。

- [Address Width]

インターフェイスで使用されるアドレス ラインの合計数を示します。この数には、Row、Col、Bank、そして使用されている場合は Rank および CS などのラインが含まれます。

- [Number of Interfaces]

このダイアログ ボックスに現在入力している設定を使用するメモリ インターフェイスの数を入力します。[IO] シートに外部メモリへの出力が入力されている場合、[Interfaces] で指定した数が Address、Data、および Clock などの各信号ラインのピン数に反映されます。

- [Read/Write (%)]

メモリ インターフェイスが外部メモリの読み出しおよび書き込みに使用される時間のパーセンテージを指定します。合計は 100% またはそれ以下に抑える必要があり、インターフェイスは、 $100\% - (\text{Read}\% + \text{Write}\%)$ の確率でアイドル状態になると想定されます。この値は、[Output Enable]、[Term Disable] および [IBUF Disable] のパーセンテージに反映されます。

- [Module Name]

生成されたコンフィギュレーションに名前を割り当てることができます。[IO] シートに複数のコンフィギュレーションが存在する場合、個々のコンフィギュレーションを区別するのに役立ちます。

3. このメモリ インターフェイスに関する値を入力し終えたら、[Apply] をクリックします。

ダイアログ ボックスで入力した情報が [IO] シートの行に追加されます。

4. デザインで使用するメモリ インターフェイスごとに [XPE Memory Interface Configuration] ダイアログ ボックスから情報を入力し、[Apply] をクリックします。
[Apply] をクリックするごとに、[I/O] シートに行が追加されます。
5. デザイン内のすべてのメモリ インターフェイスについての設定が完了したら、[Close] をクリックして [XPE Memory Interface Configuration] ダイアログ ボックスを閉じます。

[BRAM] シート

FPGA デバイスには専用のブロック RAM リソースがあります。XPE で正確なブロック RAM パラメーターを設定するには、デバイス リソースやコンフィギュレーションについて十分に理解している必要があります。これらの情報は、各デバイス ファミリの [ユーザー ガイド](#) の **BRAM** セクションに記載されています。ブロック RAM のインプリメンテーションの詳細がわかっている場合は、[44 ページの「精度を向上するには」](#) のガイドラインに従ってください。詳細がわからない場合は、[43 ページの「暫定的な BRAM 予想」](#) を参照してください。

注記：分散 RAM/ROM および SRL の使用設定は、[\[LOGIC\] シート](#) で指定する必要があります。

[BRAM] シートには、XPE メモリ ジェネレーター ウィザードを用いて情報を入力できます。このウィザードは、[BRAM] シートの [Add Memory] ボタンをクリックすると表示されます。このウィザードを使用することで、[BRAM] シートに簡単に行を追加できます。このウィザードの使用方法については、[44 ページの「メモリ ジェネレーター ウィザードによるブロック メモリのコンフィギュレーション \(7 シリーズのみ\)」](#) を参照してください。

[BRAM] シートの列の一部を紹介します。

- **[Enable Rate] 列**
各ブロック RAM のポートが、読み出しまたは書き込み動作に対して有効になる時間の比率を指定します。消費電力を抑えるために、デザインでブロック RAM が使用されていないクロック サイクルでは、RAM イネーブル信号を Low にできます。BRAM の [Enable Rate] と [Clock] レートは、電力を最適化する際に検討すべき最も重要なパラメーターです。
- **[Write Rate] 列**
各ブロック RAM のポートが書き込み動作を実行する時間の比率を示します。読み出しレート (Read Rate) は、100% から書き込みレートを引いた比率となります。
- **[Signal Rate] 列**
特定 BRAM 出力ポートにおける 1 秒間に遷移する数 (百万単位) を示します。これは読み出し専用であり、ポート イネーブル レートやポート幅の平均値が考慮されています。

[図 19](#) に、ブロック RAM コンフィギュレーション モードおよびビット幅が消費電力概算に与える影響を示します。

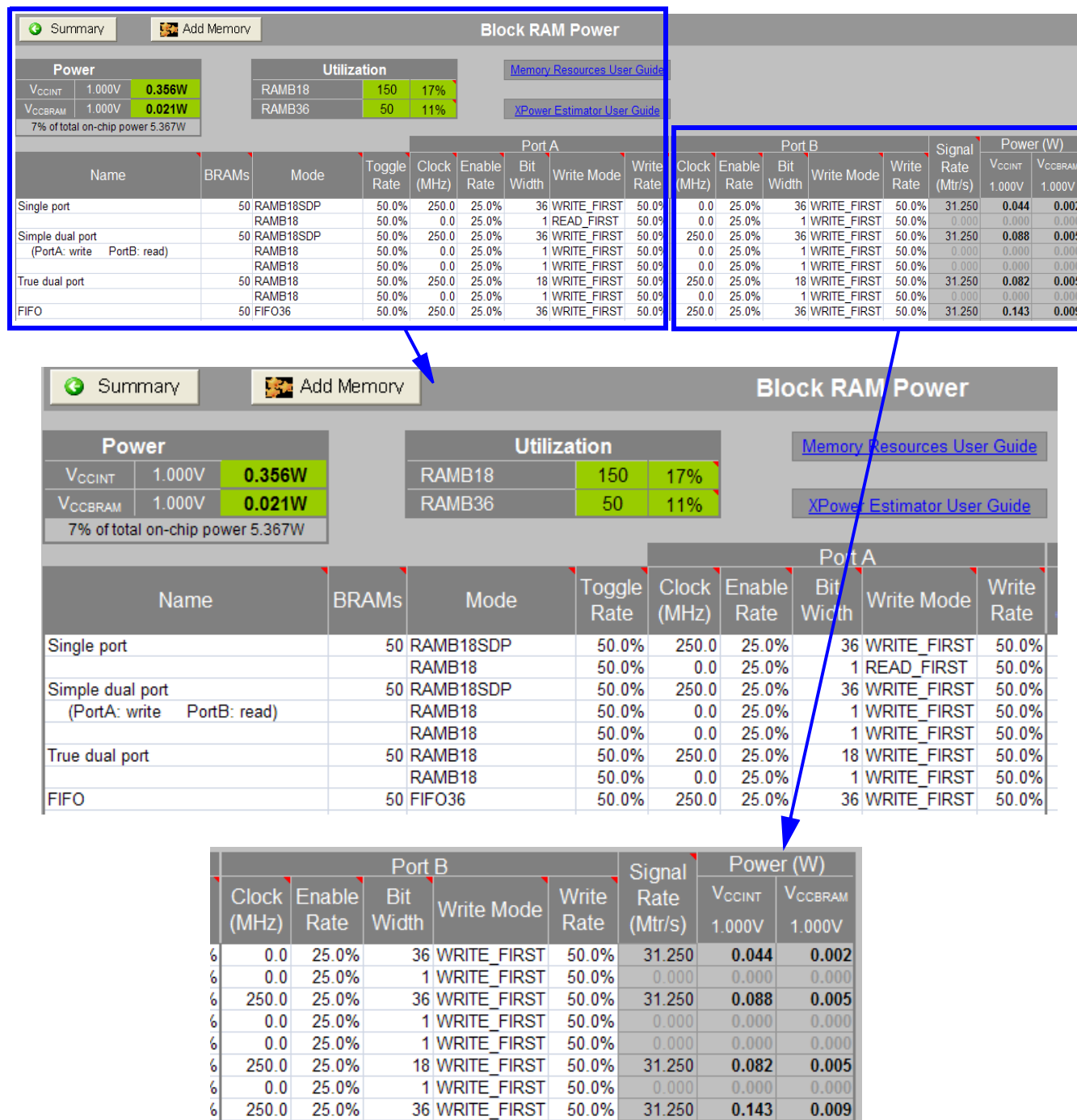


図 19 : [BRAM] シート - ブロック RAM コンフィギュレーション モードおよびビット幅による消費電力への影響 (Kintex-7)

暫定的な BRAM 予想

デザインで使用するブロック RAM の種類やモードが正確にわからない場合に推奨する方法は、まず、何キロバイトのメモリが必要であるかを判断し、基本となる 18K の完全なデュアルポート RAM の適切な数を使用します。メモリ アクセスのデータ幅がわかっている場合は、各ポートのドロップダウン メニューから選択します。メモリのワード数 (Depth) と幅 (Width) は、最も重要な特性です。

精度を向上するには

デザインのメモリ使用率の詳細がわかっている場合、XPE のスプレッドシートでは、ブロック RAM の使用モードを指定できます。[Mode] 列にはドロップダウン メニューがあり、各種の ISE プリミティブやブロック RAM モードを選択できます。リストされる内容は、ターゲット ファミリーによって異なります。

- **BRAM** - シンプルなデュアルポート ブロック RAM、または完全なデュアルポート ブロック RAM
- **FIFO** - 専用のビルトイン FIFO
- **CASC (pair)** - カスケード接続されたブロック RAM ブロック (2 つの RAM ブロックで構築)
- **ECC** - ブロック RAM を ECC モードでコンフィギュレーションする場合に使用

完全なデュアルポート モードの場合、次のようなデータ書き込みモード オプションがあります。

- **WRITE_FIRST** - ロケーションにデータを書き込み、その新しく書き込んだデータを読み出します。
- **READ_FIRST** - 古いデータが最初に読み出されて、次に新しいデータが書き込まれます。このモードの場合、1 つのクロック サイクルで 4 つの動作を実行できます (消費電力とリソース使用率を節約)。つまり、古いデータの読み出しと新しいデータへの置き換えを各ポートの同一クロック サイクルで行うことができます。
- **NO_CHANGE** - ブロック RAM に書き込みが実行されても、出力は変化しません。

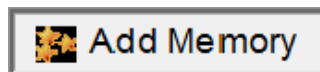
メモリ ジェネレーター ウィザードによるブロック メモリのコンフィギュレーション (7 シリーズのみ)

7 シリーズ用 XPE スプレッドシートには、XPE メモリ ジェネレーター ウィザードを用いてブロック メモリに関する情報を入力できます。このウィザードは、[BRAM] シートの [Add Memory] ボタンをクリックすると表示されます。このウィザードを使用することで、[BRAM] シートに情報を簡単に入力できます。

7 シリーズ デバイスの分散メモリの機能、および XPE に入力する設定について理解するには、『[7 シリーズ FPGA メモリ リソース ユーザー ガイド](#)』(UG473) を参照してください。

XPE メモリ ジェネレーター ウィザードを使用して 7 シリーズの [BRAM] シートに情報を入力するには、次の手順に従ってください。

1. [BRAM] シートの [Add Memory] をクリックします。



2. [XPE Memory Generator] ダイアログ ボックスが表示されるので、[Block Memory] タブの [Memory Type] にデザイン内の 1 つのブロック メモリについて情報を入力します。

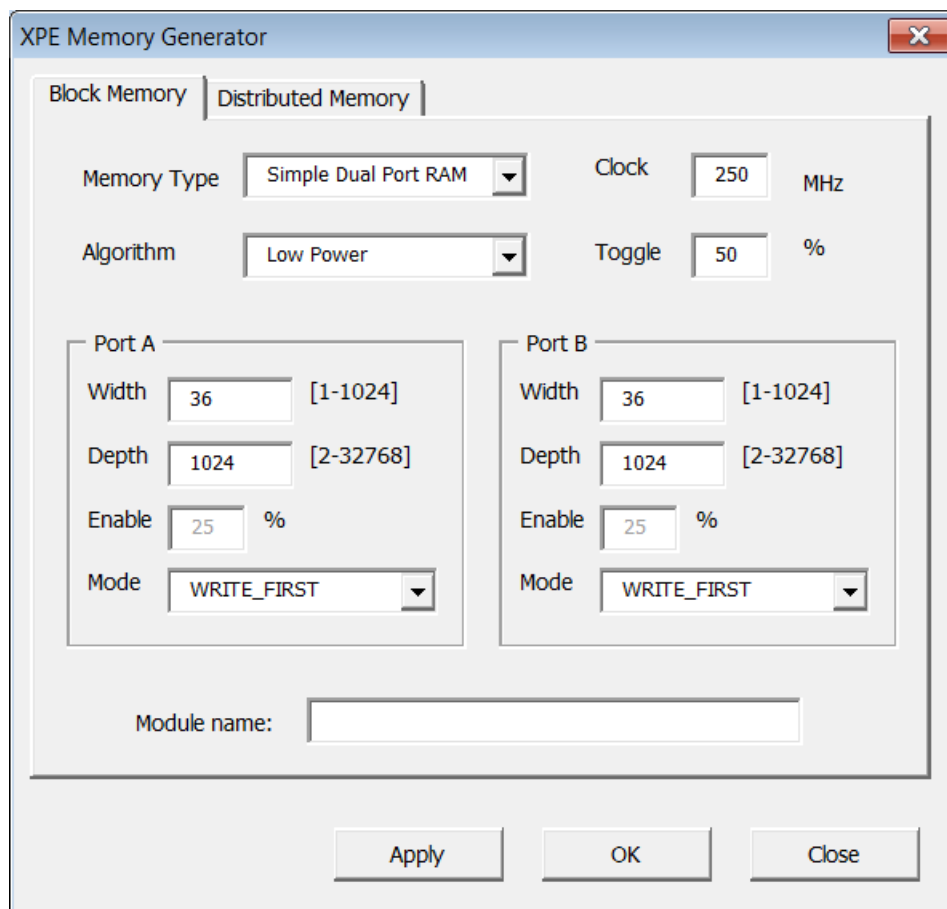


図 20 : [XPE Memory Generator] ダイアログ ボックスの [Block Memory] タブ (Virtex-7)

[Block Memory] タブには、次の入力フィールドがあります。

- [Memory Type]

デザインで使用するメモリのタイプを選択します。

- Single Port RAM
- Simple Dual Port RAM
- True Dual Port RAM
- Single Port ROM
- Dual Port ROM

これらのメモリ タイプの詳細は、『7 シリーズ FPGA メモリ リソース ユーザー ガイド』(UG473) を参照してください。

- [Clock]

ブロック RAM を動作させるクロックの周波数を入力します。

デュアルポート メモリの場合、XPE は Port A と Port B の両方のクロック周波数が同じであると想定します。

- [Algorithm]

ザイリンクスのデザイン ツールがブロック RAM プリミティブのコンフィギュレーションと接続に使用するアルゴリズムを次の中から指定します。

- [Minimum Area]

使用するブロック RAM プリミティブの数が最小になるようにメモリを生成します。

- [Low Power]

読み出しまたは書き込み動作中に有効化されるブロック RAM プリミティブの数が最小になるようにメモリを生成します。

- [Toggle]

データ信号の平均トグル レートを入力します。50% のトグル レートは、各クロック サイクルで全データ信号の半分がトグルすることを意味します。

- [Port A] と [Port B]

[Memory Type] でシングル ポートを選択した場合は、[Port A] にのみ情報を入力します。デュアルポートを選択した場合は、[Port A] と [Port B] の両方についての情報を入力します。

- [Width]

ポートの各ワードのビット幅を入力します。

- [Depth]

ポートの深さ (ワード数) を入力します。[Width] × [Depth] が、メモリの総ビット数になります。

- [Enable]

ポートが有効化される時間の割合 (%) を入力します。

- [Mode]

ブロック RAM の動作モードを、[READ_FIRST]、[WRITE_FIRST]、[NO_CHANGE]の中から選択します。

これらのモードの詳細は、『7 シリーズ FPGA メモリ リソース ユーザー ガイド』(UG473) を参照してください。

- [Module name]

生成されたブロック メモリのコンフィギュレーションに名前を割り当てることができます。XPE シートに複数のコンフィギュレーションが存在する場合、個々のコンフィギュレーションを区別するのに役立ちます。

3. このブロック メモリに関する値を入力し終わったら、[Apply] をクリックします。
ダイアログ ボックスで入力した情報が [BRAM] シートと [Logic] シートの行に追加されます。
4. デザインで使用するブロック メモリのタイプごとにダイアログ ボックスから情報を入力し、[Apply] をクリックします。
[Apply] をクリックするごとに、[BRAM] シートと [Logic] シートに行が追加されます。
5. デザイン内のすべてのブロック メモリについての設定が完了したら、[Close] をクリックして [XPE Memory Generator] ダイアログ ボックスを閉じます。

クロック マネージメント リソース シート ([DCM]、[PMCD]、[PLL]、[MMCM])

ザイリンクスの FPGA ファミリーには、さまざまなクロック生成機能およびクロック管理機能があります。これらのシートに情報を入力する前に、[デバイス ユーザー ガイド](#)を参照し、XPE でリソースをパラメーター化する方法を理解する必要があります。プロジェクトの開発サイクルの段階によりますが、デザインのクロッキング詳細がわからない場合があります。その場合は、わかっている情報を入力し、わからない部分は予想値を入力します。詳細がわかり次第、スプレッドシートを開いて随時入力することが可能です。

図 21 に、クロック マネージメント リソース シートの例を示します ([PLL] シート)。

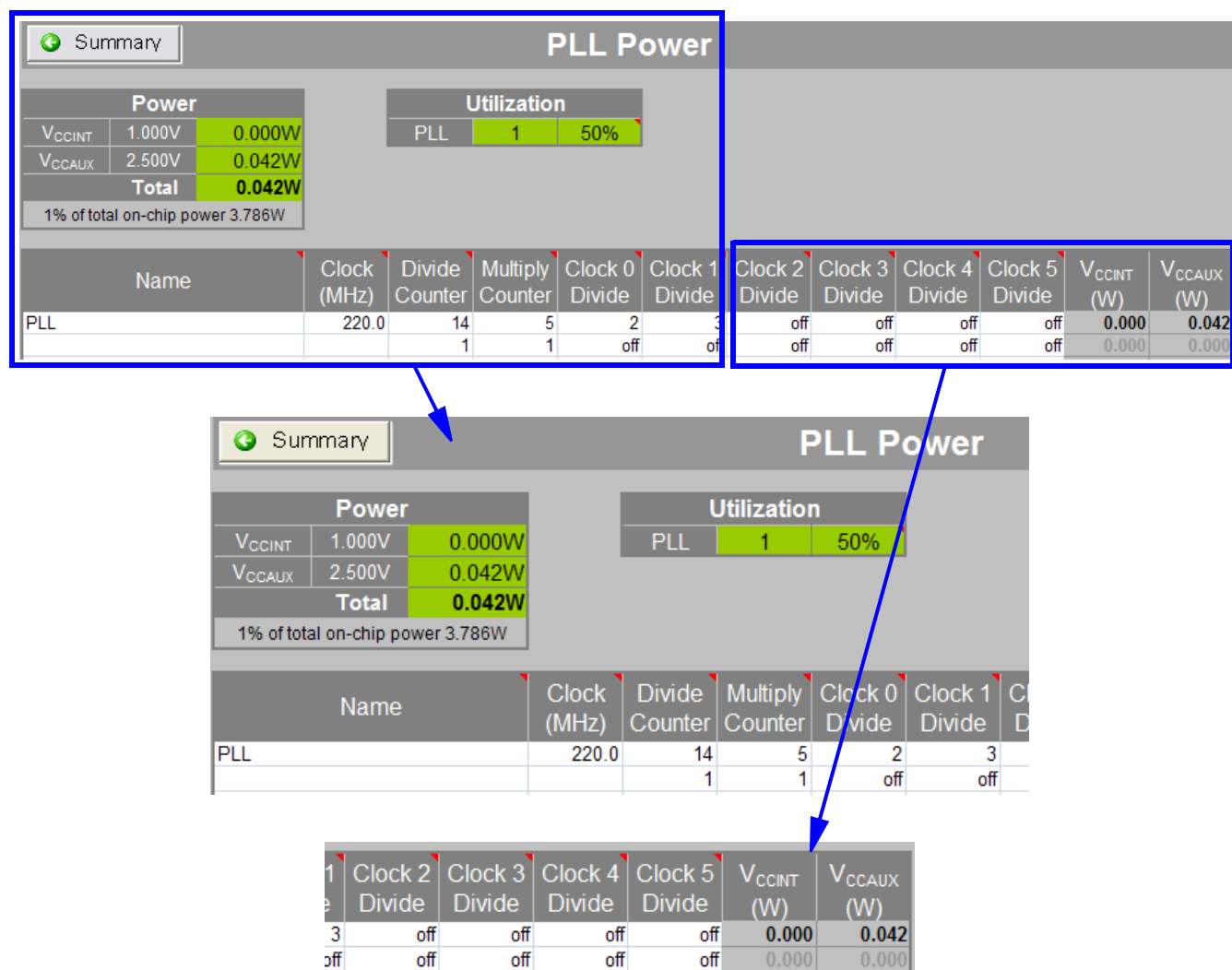


図 21 : [PLL] シート (Virtex-5)

DSP シート ([MULT]、[DSP48])

ザイリンクスの FPGA には、それぞれ異なる機能を備えたデジタル信号処理 (DSP) ブロックがあります。これらのシートに情報を入力する前に、[デバイス ユーザー ガイド](#)を参照して、DSP シートに記入するパラメーターについて理解する必要があります。

捕捉：

- 入力データがランダムな場合、DSP 動作の [Toggle Rate] の妥当な近似値は 50% です。
- DSP にはクロック イネーブル (CE) ポートがあります。[Toggle Rate] 列にデータを入力する場合は、データ入力トグル レートに DSP スライスのクロック イネーブル レートを掛けた値を入力してください。たとえば、ランダム データ (通常、トグル レート 38% 以下) が DSP スライスへ入力され、このスライスのクロック イネーブル レートがわずか 50% しかない場合は、出力データのトグル レートが CE で削減されて 19% (38% x 50%) となります。図 22 に、Virtex-7 の例を示します。
- 乗算器 (MREG) 内にレジスタがあるファミリでは、このパイプライン レジスタを使用することでダイナミック消費電力を抑えることができます。

Summary

DSP48E1 Power

Power

V_{CCINT}1.000V0.109W

5% of total on-chip power 2.190W

Utilization

DSP48608%

Name	DSP Slices	Clock (MHz)	Toggle Rate	MULT Used?	MREG Used?	Pre-add Used?	Signal Rate (Mtr/s)	Power (W)
Multiplier with pipeline register	20	250.0	12.5%	Yes	Yes	No	31.3	0.018
		0.0	12.5%	Yes	Yes	No	0.0	0.000
Multiply accumulate	20	250.0	12.5%	Yes	Yes	Yes	31.3	0.020
		0.0	12.5%	Yes	Yes	No	0.0	0.000
DSP with high activity on inputs	20	250.0	50.0%	Yes	Yes	No	125.0	0.072
		0.0	12.5%	Yes	Yes	No	0.0	0.000
		0.0	12.5%	Yes	Yes	No	0.0	0.000
		0.0	12.5%	Yes	Yes	No	0.0	0.000

図 22 : [DSP48E1 Power] シート (Virtex-7) - クロック、トグル レート、MREG による消費電力概算への影響

マルチギガビット トランシーバー シート (MGT、GT、GTP、GTX、GTH、GTZ)

ザイリンクス FPGA には、非常に高性能なシリアル I/O を使用するマルチギガビット トランシーバー (MGT) が内蔵されているファミリがあります。通常、トランシーバーは PCS、PMA、および終端に対して個別の電源を使用します。各ファミリの MGT 機能および XPE での設定入力方法については、該当する [トランシーバー ユーザー ガイド](#) を参照してください。

データ入力をシンプルにするため、ドロップダウン メニューが提供されています。これを使用してパラメーターを選択、または必要な値を入力します。[図 23](#) に、Kintex-7 XC7K325T デザインの例を示します。シート上部にある表には、デザインの消費電力と電流の値がレポートされます。各電源のデバイス リーク電流値は、[Summary] シートにレポートされます。

7 シリーズ デバイスの XPE では トランシーバー コンフィギュレーション ウィザードが提供されているため、トランシーバーの正確な消費電力概算に必要な重要なパラメーターを即座に入力できます。このウィザードを使用して [MGT] シートに情報を入力する具体的な方法は、[51 ページ](#) の「[トランシーバー コンフィギュレーション ウィザード \(7 シリーズのみ\)](#)」を参照してください。

注記：XPE は、すべての関連回路、チャネル間での共有リソース、I/O バッファー、リファレンス クロック回路などを含む各チャネルの消費電力を計算します。このため、使用しているトランシーバー リソースを定義するために、別のシート ([CLOCK] シートや [IO] シート) にリソース使用率を入力する必要はありません。

XPE は、アーキテクチャ固有の方法で MGT 情報を表示します。GTP/GTX_DUAL の項目に 2 (または 2 の倍数チャネル) を入力すると、これらのチャネルは最小数のデュアルを使用すると想定します。同様に、GTHE1 と GTXE2 の 4 チャネルが共通の回路を共有する場合、XPE は各ラインで最小数のクワッドを使用すると想定します。1 つのクワッドから 2 チャネルを使用し、別のクワッドから 2 チャネルを使用する場合、XPE では単にそれらを 2 行で指定します。

注記：Spartan-6 FPGA の場合、GTPA1_DUAL に対してチャネルごとに異なる設定を指定できません。それにはチャネルごとに入力行を分けて、同じベース名に **_0** および **_1** を末尾に付加した名称とします (例：**GTP_0** と **GTP_1**)。隣接する 2 行の赤枠で囲まれたセルは、これら 2 つの GTPA1 が同じ GTPA1_DUAL 内にあるものと推論されていることを意味します。

[MGT] シートの [Power Planes] フィールドは、デザインで使用される電源プレーンの数を示します。MTG トランシーバーは PMA (物理媒体接続部) に複数のアナログ電源を必要とします。電源プレーンの数はデバイスやパッケージごとに異なります。利用可能な MGT をすべて使用しない場合は、未使用の電源プレーンをグランド接続することでスタティック消費電力が削減されます。

XPE では、すべての MGT コンフィギュレーションをサポートしていません。詳細は、該当するトランシーバー ユーザー ガイドを参照してください。

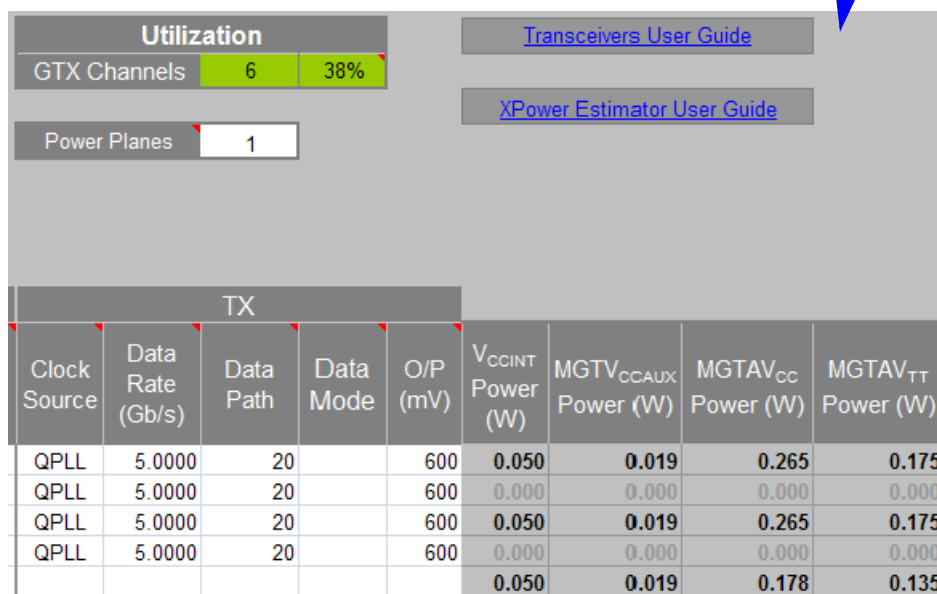
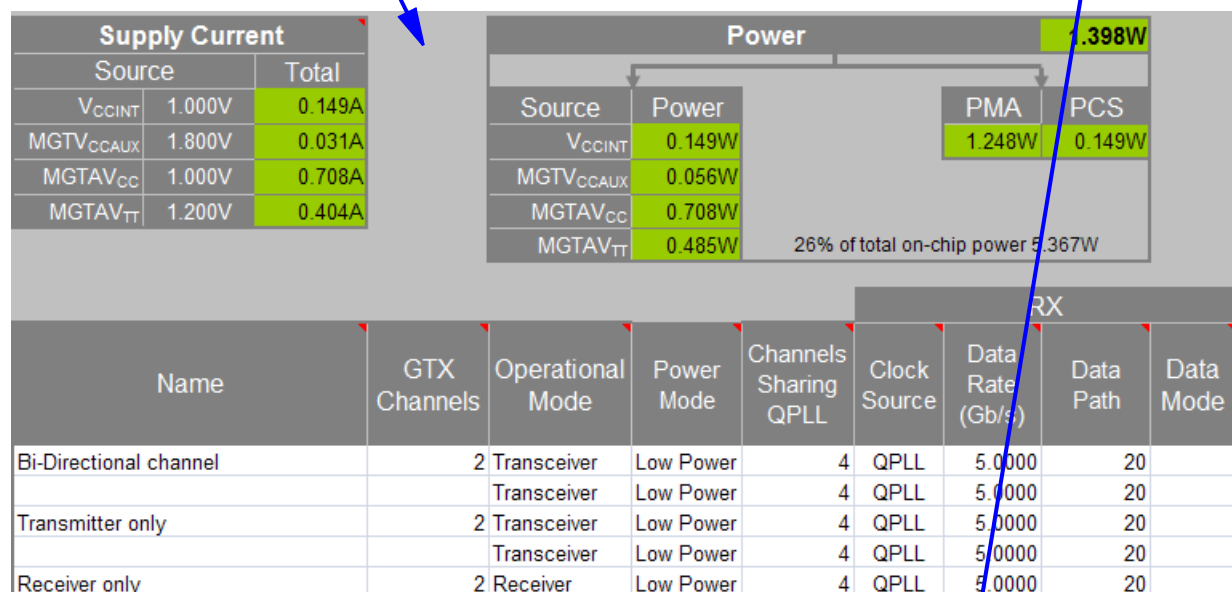
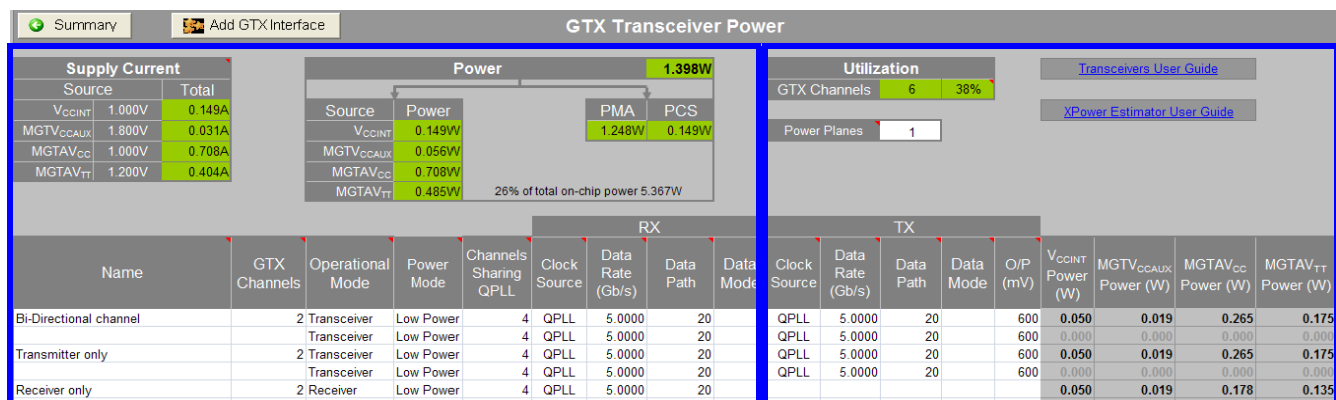


図 23 : [GTX] シート (Kintex-7) のデータ レートおよび消費電力概算

トランシーバー コンフィギュレーション ウィザード (7 シリーズのみ)

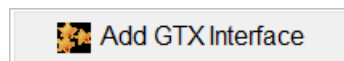
7 シリーズ デバイスの XPE スプレッドシートでは、トランシーバー コンフィギュレーション ウィザードを使用して [MGT] シート (GTP、GTH、GTX、または GTZ) にトランシーバーの情報を入力できます。このウィザードを使用すると、XPE スプレッドシートの [MGT] シートへ情報を簡単に入力できます。

トランシーバー コンフィギュレーション ウィザードはすべてのトランシーバー プロトコル、またはサポートされるプロトコルのトランシーバー パラメーターすべてに対応しているわけではありません。ダイアログ ボックスのフィールドにない選択肢は、手動で入力できます。CPLL および QPLL の両方を使用するトランシーバーがクワッドに存在する場合、選択肢以外の別の送信レートおよび受信レートや電力モードを手動入力する必要があります。このウィザードは、一般的なプロトコルの多くをサポートしていますが、デザインによってはウィザードの出力を修正したり、[MGT] シートにデータを手動入力しなければならないことがあります。

7 シリーズ デバイスの MGT の機能、および XPE に入力する設定について理解するには、『7 シリーズ FPGA GTX トランシーバー ユーザー ガイド』(UG476) を参照してください。

XPE トランシーバー コンフィギュレーション ウィザードを使用して 7 シリーズ デバイスの [MGT] シートに情報を入力するには、次の手順に従ってください。

1. 該当する [MGT] シートの [Add GT Interface] をクリックします (例を下図に示す)。



2. [XPE Transceivers Configuration] ダイアログ ボックスが表示されるので、デザインの 1 組のトランシーバー セットについて情報を入力します。

A screenshot of the "XPE Transceiver Configuration" dialog box. It contains several dropdown menus and a text field. The settings shown are: Protocol: PCIe Gen1, Data Rate (Gb/s): 2.5, Channels: 4, Operation Mode: Transceiver, Data Path: 16, Power Mode: Low Power, Data Mode: 8b/10b, Clock Source: CPLL, TX/OP Swing (mV): 800. There is a text field for "Module name:" and a note that says "Configures GT physical layer only, adds no clocking or link layer logic." At the bottom are three buttons: Apply, OK, and Close.

図 24 : [XPE Transceiver Configuration] ダイアログ ボックス (Virtex-7)

[XPE Transceivers Configuration] ダイアログ ボックスには、次のフィールドがあります。

- **[Protocol]**

一覧表示される利用可能なプロトコルの中から選択します。デバイス、パッケージ、およびスピード グレードの制約により、選択可能なプロトコルが限定されることがあります。[Channels]、[Data Mode] および [Clock Source] のデフォルト値は、[Protocol] で定義された値になります。GTP コンフィギュレーションの場合、[Power Mode] または [Clock Source] の選択肢がありません。また、[Data Rate] および [Channels] の数値が [PCIe] シートに反映されます。クロックまたはファブリックは、それぞれのシートに追加されません。
 - **[Data Rate]**

[Protocol] の選択後、[Data Rate] には [Protocol] で定義された値が固定値として表示されるか、またはシステムで使用される特定の [Data Rate] を入力できます。受信レートと送信レートが異なるなどの例外を除いて、RX および TX のレートは一致します。
 - **[Channels]**

PCIe などの一部のプロトコルには、チャンネルの数に特定の制限がありますが、その他のプロトコルではシステムで使用されるチャンネルの数を入力できます。
 - **[Operation Mode]**

デフォルトで [Transceiver] が使用されますが、[Transmitter] または [Receiver] のみの動作も選択できます。
 - **[Fabric Width] および [Data Mode]**

ポート幅は、2、4、または 8 バイト幅から選択できます。[8b/10b] エンコーディングを使用する場合、ポート幅は、16、32 または 64 ビットに設定できます。[64b/66b] エンコーディングの場合は、ポート幅は 64 ビットに設定する必要があります。[Raw] モードでは、ポート幅を 16、20、32、40、64、または 80 ビットに設定できます。
 - **[Power Mode]**

(ターゲット トランシーバーによって定義されているように) 選択肢がある場合、[Low Power] モード (LPM) と呼ばれる電力効率の高い、適応型線形イコライザーまたは [DFE] モードと呼ばれる高性能な適応型 DFE (判定帰還型イコライザー) を選択できます。
 - **[Clock Source]**

(ターゲット デバイスおよびデータ レートによって定義されているように) 選択肢がある場合、LC タンク ([QPLL]) またはリング オシレーター ベースの PLL ([CPLL]) を選択できます。
 - **[Module name]**

生成されたコンフィギュレーションに名前を割り当てることができます。XPE ワークシートに複数のコンフィギュレーションが存在する場合、個々のコンフィギュレーションを区別するのに役立ちます。
3. このトランシーバー セットに関する値を入力し終えたら、[Apply] をクリックします。

ダイアログ ボックスで入力した情報が [MGT] シートの行に追加されます。
 4. デザインで使用するトランシーバーのセットごとにダイアログ ボックスから情報を入力し、[Apply] をクリックします。

[Apply] をクリックするごとに、[MGT] シートに行が追加されます。
 5. デザイン内のすべてのトランシーバーについての設定が完了したら、[Close] をクリックして [XPE Transceivers Configuration] ダイアログ ボックスを閉じます。

[EMAC] シートおよび [TEMAC] シート

ザイリックスの FPGA ファミリーには、イーサネット アプリケーションで使用されるトライモード エンベデッド イーサネット メディア アクセス コントローラー (MAC) ブロックが含まれているデバイスがあります。イーサネット MAC は、TEMAC ブロック内でペアになっており、共通のホストと DCR インターフェイスを共有しますが、イーサネット システムのコネクティビティ要件を満たすために個別に設定可能です。ブロックの機能およびコンフィギュレーションの詳細は、適切な EMAC の [ユーザー ガイド](#) を参照してください。

XPE には、EMAC の動作クロック周波数のみ入力する必要があります (図 25 参照)。通常、正確なクロック周波数を求めるには、モードと動作速度が必要です。

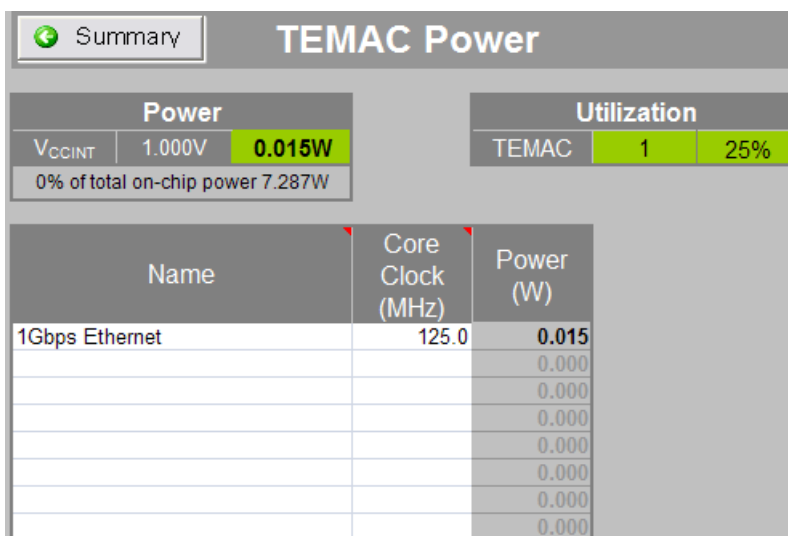


図 25 : [TEMAC Power] シート (Virtex-6)

[PCIE] シート

ザイリックスの FPGA ファミリーには、PCI Express® デザイン用のエンドポイント ブロックを内蔵しているデバイスがあります (インテグレイテッド エンドポイント ブロック)。PCIE の詳細は、該当する PCIE の [ユーザー ガイド](#) を参照し、アプリケーションに対応する情報を XPE に入力してください。

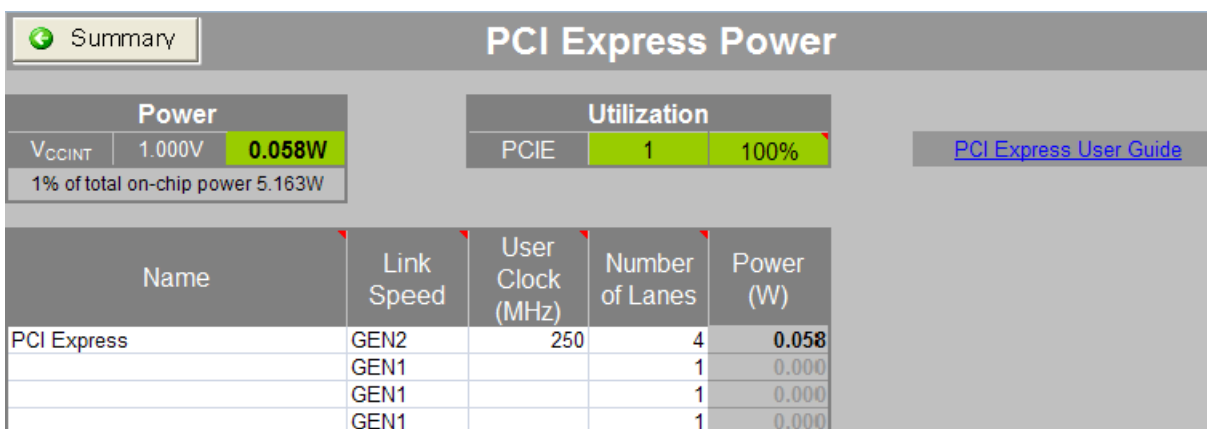


図 26 : [PCI Express Power] シート (Kintex-7)

[PPC405] シートおよび [PPC440] シート - (PowerPC)

一部のザイリンクス FPGA ファミリには高性能 PowerPC[®] マイクロプロセッサ エンベデッド ブロックが搭載されています。

これらのブロックの消費電力概算は、XPE 内の個別シートにレポートされます。各 PowerPC の設定については、該当する [デバイス ユーザー ガイド](#) を参照してください。通常は、プロセッサの主要クロック周波数以外にも、プロセッサ ローカル バス、メモリ、および DMA コントローラーの詳細などを入力します。図 27 に、Virtex-5 の例を示します。

PPC440 Power							
Power				Utilization			
V _{CCINT}	1.000V	0.414W		PPC440	1	100%	
11% of total on-chip power 3.786W							
Name	PPC440 Clock (MHz)	Interconnect Clock (MHz)	DMA 0 Clock (MHz)	DMA 1 Clock (MHz)	DMA 2 Clock (MHz)	DMA 3 Clock (MHz)	Power (W)
PPC440	250.0	125.0	125.0				0.414
							0.000

図 27 : [PPC440 Power] シート (Virtex-5)

[PHASER] シート

7 シリーズ デバイスには、高速メモリ デバイスとのインターフェイスを単純にするために Phaser ブロックがあります。これらのブロックの消費電力概算は、XPE 内の個別シートにレポートされます。各 Phaser の設定方法は、『[7 シリーズ FPGA メモリ インターフェイス ソリューション ユーザー ガイド](#)』(UG586) を参照してください。図 28 に、Virtex-7 の例を示します。

[Phaser] シートの [Phaser Ins] 列では、使用する PHASER_IN および PHASER_IN_PHY のブロックの数を指定します。同様に、[Phaser OUTs] 列は PHASER_OUT と PHASER_OUT_PHY の両ブロックに使用します。

Summary

Add Memory Interface

Phaser Power

Power

V _{CCINT}	1.000V	0.109W
V _{CCAUX}	1.800V	0.386W
Total		0.495W

9% of total on-chip power 5.367W

Utilization

Phaser	2	20%
--------	---	-----

[XPower Estimator User Guide](#)

Name	Input FIFOs	Output FIFOs	Phaser Ins	Phaser OUTs	FIFO Clock (MHz)	Memory Clock (MHz)	V _{CCINT} (W)	V _{CCAUX} (W)
2133Mbps interface (DDR3)	2	2	4	4	266.0	1066.0	0.063	0.236
							0.000	0.000
1333 Mbps interface (DDR3)	2	2	4	4	333.0	666.0	0.046	0.150

図 28 : [PHASER] シート (Virtex-7)

[User] シート

このシートは最初すべて空白となっており、自由に使用できます。ここには、あらゆる種類のドキュメント (テキスト、画像、ハイパーリンク)、プロジェクトに関する詳細説明、仮定条件を入力したり、ユーザー アプリケーションにおいて重要な結果を収集できます。

XPE の自動化

データ入力やデータ エクスポートの単純化およびデータ操作のサポートとして、Microsoft Excel には、作業効率を向上させたり、消費電力概算および解析をスムーズに行うことができるようにするさまざまな機能があります。このセクションでは、参考となる機能や例を挙げ、Excel の自動機能や最も一般的な外部スクリプト言語を使用したインターフェイスについて説明します。

名前付きセルの使用

Excel には、セルあるいはセル範囲に名前を付ける機能があるため、セルの XY 軸を指定せずに、数式やスクリプト内でそれらの名前を使用できます。XPE スプレッドシートは保護されているため、保護エリアでは定義された名前付きセルは参照できませんが、未保護エリア ([User] シート) ではセルの名前を定義できます。次の表および例では、数式やスクリプト記述に役立つ XPE の名前付きセルを示します。

利用可能なリソース数の取得

次の名前付きセルは、あるデバイスとパッケージで利用可能な最大リソース数を示しています。これらのセルは、スプレッドシートには表示されませんが、計算時には読み出し専用の値として使用できます。

リソース	名前付きセル	説明
LUT	NUM_LUTS	すべての LUT
	NUM_LUTRAM	シフト レジスタおよび分散メモリ LUT
レジスタ	NUM_FFS	
DSP ブロック	NUM_DSPS	
ブロック RAM	NUM_BRAMS	
PLL	NUM_PLLS	
MMCM	NUM_MMCMs	
DCM	NUM_DCMS	
トランシーバー	NUM_GTPS	最低速ブロック
	NUM_GTS	低速ブロック
	NUM_GTHS	高速ブロック
	NUM_GTZS	最高速ブロック

例：

デバイス、パッケージ、または冷却パラメーターを変更する際にデバイスのリソース使用率を素早く設定してその影響を検証する数式を次に示します。

= INT(NUM_LUTS * 0.75) LUT の総使用率をデバイス容量の 75% に設定 ([Logic] シートに入力する場合)

= INT(NUM_DSPS * 0.90) DSP ブロック使用率をデバイス容量の 90% に設定 ([DSP] シートに入力する場合)

デバイス動作制限の取得

次の名前付きセルは、デバイス、パッケージ、スピード グレード、および温度グレードの動作制限を示します。これらのセルは、スプレッドシートには表示されませんが、計算時には読み出し専用の値として使用できます。

表 4：動作制限 - 名前付きセル

リソース	名前付きセル	説明
温度	TJ_MAX	最大の動作ジャンクション温度 (°C)
	TJ_MIN	最小の動作ジャンクション温度 (°C)
電圧	VCC_MAX	最大の動作 V _{CCINT} 電圧 (V)
	VCC_MIN	最小の動作 V _{CCINT} 電圧 (V)
トランシーバー	GTP_MAXRATE	最低速ブロックの最大データ レート (Gbps)
	GTX_MAXRATE	低速ブロックの最大データ レート (Gbps)
	GTH_MAXRATE	高速ブロックの最大データ レート (Gbps)
	GTZ_MAXRATE	最高速ブロックの最大データ レート (Gbps)

例：

異なる温度やデバイス/パッケージの組み合わせを評価する際にデバイスの最大許容ジャンクション温度を適用するために、[Summary] シートの [Junction Temperature] セルに入力する式を次に示します。

= TJ_MAX

サマリ情報の取得および変更

[Summary] シートのセルやその他のシートの上部にある表のセルの多くには名前が付けられています。これらの名前を Excel で見つけるには、セルを選択し、そのセルに名前が付いていると数式バーの「名前ボックス」に表示されます。以降では、[Summary] シートで最も使用されるセルをいくつか説明しています。

表 5 : [Summary] パネル - 名前付きセル (図 10 を参照)

名前付きセル	説明
JUNCTION_TEMP	予測または指定されたジャンクション温度 (°C)
THERMAL_MARGIN_C	デバイス温度グレードに対する温度マージン (°C)
TJA	予測または指定された Effective Θ_{JA} (°C/W)
TOTAL_POWER	オンチップの総電力 (W)
THERMAL_MARGIN_W	温度グレードに対する電力マージン (W)
OFFCHIP_POWER	オフチップ デバイスに供給される総電力 (W)

表 6 : [On-Chip Power] パネル - 名前付きセル (図 9 を参照)

名前付きセル	説明
CLOCK_POWER	クロック ツリーの電力 (W)
LOGIC_POWER	CLB ロジックの電力 (W)
BRAM_POWER	ブロック RAM の電力
DSP_POWER	DSP ブロックの電力 (W)
PLL_POWER	PLL ブロックの電力 (W)
MMCM_POWER	MMCM ブロックの電力 (W)
PHASER_POWER	PHASER ブロックの電力 (W)
PCIE_POWER	PCIE ブロックの電力 (W)
IO_POWER	SelectIO ブロックの電力 (W)
GTP_POWER	最低速トランシーバー ブロックの電力 (W)
GTX_POWER	低速トランシーバー ブロックの電力 (W)
GTH_POWER	高速トランシーバー ブロックの電力 (W)
GTZ_POWER	最高速トランシーバー ブロックの電力 (W)
STATIC_POWER	デバイスのスタティック消費電力 (W)

表 7 : [Power Supply] パネル - 名前付きセル (図 9 を参照)

名前付きセル	説明
VCCINT	V _{CCINT} のコア電圧レベル (V)
VCCBRAM	V _{CCBRAM} の電圧レベル (V)
VCCAUX	V _{CCAUX} の電圧レベル (V)
VCCAUX_IO	V _{CCAUX_IO} の電圧レベル (V)
VCCO33	V _{CCO} 3.3V の電圧レベル (V)
VCCO25	V _{CCO} 2.5V の電圧レベル (V)
VCCO18	V _{CCO} 1.8V の電圧レベル (V)
VCCO15	V _{CCO} 1.5V の電圧レベル (V)
VCCO135	V _{CCO} 1.35V の電圧レベル (V)
VCCO12	V _{CCO} 1.2V の電圧レベル (V)

表 8 : [Environment] の表 - 名前付きセル (図 8 を参照)

名前付きセル	説明
AMBIENT_TEMP	周囲温度 (°C)
BOARD_TEMP	ボード温度 (°C)
CUSTOMTSA	ユーザー指定の θ_{SA} 熱抵抗 (°C/W)
CUSTOMTJB	ユーザー指定の θ_{JB} 熱抵抗 (°C/W)

表 9 : その他の名前付きセル

名前付きセル	説明
PROJECT	スプレッドシートに関するユーザー説明
COMMENTS	ユーザー コメント
VERSION	スプレッドシートのバージョン
RELEASE_DATE	スプレッドシートのリリース日

数式の使用

次の例で説明する Excel の数式を使用すると、データ入力、スプレッドシートのパラメーター入力、カスタマー レポート作成が容易になります。

例 1 : 付属するすべての同期ロードのクロック周波数を 1 箇所で設定します。

通常、1 つのクロック ネットはさまざまな種類のリソースを通過します。各シートでクロック周波数を入力する代わりに、次に示す数式をリソース シートで使用すると、[CLOCK] シートでクロック周波数を一度定義するだけで設定が完了します。このクロック周波数を変更すると、すべての関連リソースシートへ即座に反映されます。

```
=CLOCK!E19
```

例 2 : 1 つのクロックで駆動される異なるロードのファンアウト合計数を計算します。

[CLOCK] シートでは、次のような数式が役に立つ場合があります。

```
=SUM(LOGIC!G10:I10,BRAM!E10,DSP!E8)
=SUM(IO!I10:K12)
```

例 3 : PCIe インターフェイス スピードに対する GTX データ レートおよびレーン数を選択します。GTX ライン レートに対して次の数式とチャンネル数を入力して、PCIe インターフェイスをトラッキングします。

- PCIe ブロックのコンフィギュレーションに基づいてチャンネル データ レートを設定 ([GTX] シートに入力する場合)

```
=IF(PCIE!E8="GEN3",8,IF(PCIE!E8="GEN2",5,2.5))
```

- PCIe レーン数を反映させるために GTX チャンネル数を設定 ([GTX] シートに入力する場合)

```
=PCIE!G8
```

例 4 : [User] シートで数式を利用して、スプレッドシートへの入力をパラメーター化します。図 29 に、デザイン内の 1 つのモジュールに対する複製が存在する場合の消費電力評価方法を示しています。インスタンス数、ベースブロックのリソース数、またはクロック周波数を変更することによって、Excel がほかのシートに入力すべき値を自動的に再計算します。図 29 に示すとおり、[User] シートの Number instance (num_inst) の値から [Logic] シートに表示されるセルの使用率とアクティビティが自動計算されます。

B8		f_x =30*num_inst						
	A	B	C	D	E	F	G	
1	This sheet is intentionally blank and provided for the user to perform any calculations or ac							
2								
3	Number instance	10						
4	clk1	250	MHz					
5	clk2	25	MHz					
6								
7	Module	LUT	FF	Toggle	Fanout	BRAM	IO	
8	Top	=30*num_inst	=20*num_inst	0.75	3	0	=16*num_inst	
9	s2p	=140*num_inst	=140*num_inst	0.5	20	0		
10	proc	=1600*num_inst	=140*num_inst	0.75	10	0		
11	p2s	=40*num_inst	=40*num_inst	0.5	5	=4*num_inst		
12								

Summary		Logic Power		
Name	Clock (MHz)	LUTs as		
		Logic	Shift Registers	Distributed RAMs
top	=User!B4	=User!B8		0
sunit[1..10]				
s2p	=User!B4	=User!B9		0
proc	=User!B5	=User!B10		0
p2s	=User!B4	=User!B11		0
	0.0	0		0

図 29 : [User] シートで数式を利用してデータ入力をパラメーター化

Visual Basic マクロの利用

次は、自動化フローをサポートするザイリンクスの 7 シリーズ FPGA の XPE スプレッドシートで定義されている、Visual Basic ファンクションの例です。これらは、Excel シートやその他のプログラムから、ファイルのロード、消費電力レポートの作成、およびデバイス/パッケージ/環境の設定変更を実行する際に有効です。

- テキスト形式の消費電力レポートを作成し、引数で指定した名前で保存します。

```
Public Sub GeneratePowerReportFile(FileName As String)
```

- 設定ファイルを作成し、引数で指定した名前で保存します。このファイルは、後に XPower Analyzer で使用できます。

```
Public Sub GenerateXPAFile(FileName As String)
```

- 既存の XPE スプレッドシート (引数で指定した .xls* パス/ファイル) をインポートします。

```
Public Sub ImportXPEFile(path As String)
```

- 配置配線マップ レポートをインポートします (引数で指定した .mrp パス/ファイル)

```
Public Sub ImportMapReportFile(FileName As String)
```

- .xpe 形式のインプリメンテーション結果をインポートします。インポート ダイアログ ボックス オプションを再考して、異なる引数の詳細および形式を確認します。

```
Public Sub ImportXmlFile(FileName As String, Append As Boolean, DevSettings As Boolean, EnvSettings As Boolean, VoltSettings As Boolean, IOSettings As Boolean)
```

- すべての電源電圧のデフォルト値を設定します。公称電圧の場合は、引数を **False** に設定し、最大電圧レベルの場合は **True** に設定します。

```
Public Sub SetDefaultVoltages(Maximum As Boolean)
```

- [Summary] シートの [Device] 欄を設定します。このとき、必要に応じて [Family] 欄が自動的に変更されます。

```
Public Function SetDevice(Device As String) As Boolean
```

- [Summary] シートの [Package] 欄を設定します。

```
Public Function SetPackage(Package As String) As Boolean
```

- [Summary] シートの [Process] 欄を設定します。標準プロセスの場合は、引数を **False** に設定し、最大プロセスの場合は **True** に設定します。

```
Public Sub SetProcess (Maximum As Boolean)
```

- [Summary] シートの [Temp Grade] 欄を設定します。選択肢には、「Commercial」、「Industrial」、「Q-Grade」、「Extended」などがあります。

```
Public Function SetTemperatureGrade (Grade as String) as Boolean
```

- [Summary] シートの [Speed Grade] 欄を設定します。選択肢には、「-1」、「-1L」などがあります。

```
Public Function SetSpeedGrade (Grade as String) as Boolean
```

- [Summary] シートの [Heat Sink] 欄を設定します。選択肢には、「Custom」、「None」、「Low Profile」があります。

```
Public Function SetHeatSink (Sink as String) as Boolean
```

- [Summary] シートの [Board Selection] 欄を設定します。選択肢には、「Custom」、「JEDEC」、「Small」、「Medium」、「Large」があります。

```
Public Function SetBoard (BoardSize as String, BoardLayers as Integer) as Boolean
```

- [Junction Temperature] を [User Override] にして値を設定します。

```
Public Function SetJunctionTemperature(Temperature As Double, OverRide As Boolean) As Boolean
```

- [Effective Θ_{JA}] を [User Override] にして値を設定します。

```
Public Function SetEffectiveThetaJA(ThetaJA As Double, OverRide As Boolean) As Boolean
```

XPE へのスクリプト記述

前の段落で説明した Microsoft Excel 機能へは、COM インターフェイスを介してあらゆるフレームワークからアクセスできます。この COM (Component Object Model) はソフトウェア用のバイナリ インターフェイス規格であり、さまざまなプログラミング言語 (Visual Basic、Perl、Java など) でプロセス間の通信が可能になります。次の例では、XPE 環境パラメーターの設定、計算の実行、異なる言語での結果の読み出しまたはエクスポート方法を示します。

Visual Basic スクリプトの例

この例では、Visual Basic スクリプト言語を使用して XPE を開き、テキスト形式の消費電力レポートへ結果をエクスポートします。

```
Dim XPE As Workbook
XPEfilename = "C:\\Power\\7_Series_XPE_13_1.xls"

On Error Resume Next
Set XPE = Workbooks(XPEfilename)
' Opening XPE
On Error GoTo 0
If (XPE Is Nothing) Then
    Set XPE = Application.Workbooks.Open(XPEfilename,
UpdateLinks:=vbFalse, ReadOnly:=vbTrue)
    If XPE Is Nothing Then ' Open failed
        MsgBox ("XPE Open Failed: " & XPEfilename & "Err=" & Err)
        Exit Function
    End If
End If
' Set Vccint voltage
XPE.Sheets("Summary").Range("VCCINT").Value = myVccint
TotalPower = XPE.Sheets("Summary").Range("TOTAL_POWER").Value
' Export XPE results into a text power report
XPESub = "" & XPE.Name & ".!." & "ThisWorkBook.GeneratePowerReportFile"
Application.Run(XPESub, FileName)
```

Perl スクリプトの例

この例では、Perl スクリプト言語を使用して XPE を開き、テキスト形式の消費電力レポートへ結果をエクスポートします。

```
use Win32::OLE;
use Win32::OLE::Const 'Microsoft Excel';

my $myXPEfilename = "C:\\Power\\7_Series_XPE_13_1.xls";

# Opening XPE
my $Excel = Win32::OLE->GetActiveObject('Excel.Application')
|| Win32::OLE->new('Excel.Application', 'Quit');
my $Book = $Excel->Workbooks->Open($myXPEfilename);
# Export XPE results into a text power report
$Excel->Run("ThisWorkBook.GeneratePowerReportFile",
"$path/${design}.pwr");
```

まとめ

デザイン内の消費電力概算は、効果的なデバイス選択、ボード設計、およびシステムの信頼性を確認する上で不可欠です。

最新の電力モデルと使いやすい機能を備えた XPower Estimator ツールは、シンプルな設計でデザインの使用率入力をガイドしてくれます。設計の初期段階で FPGA の使用率データを認識することは困難ですが、XPE の機能を活用することで正確な概算値を求めることができます。XPE は、最も効率的なデバイス選択を容易にし、また、FPGA ロジックと PCB の並行開発をサポートします。また、電圧バジェットや熱バジェットが制限値を超過した際は、インプリメンテーションやリソース コンフィギュレーションの別の可能性を探索できます。

その他のリソース

- XPE スプレッドシートをダウンロードするには、次のザイリンクス ウェブサイトの消費電力ソリューションのページを参照してください。
<http://japan.xilinx.com/power>
- シリコンやソフトウェア、IP に関するアンサー データベースを検索したり、テクニカル サポートのウェブケースを開く場合は、次のウェブサイトアクセスしてください。
<http://japan.xilinx.com/support>
- 次の項目は、特にこのユーザー ガイドの主なテーマとなります。
 - ユーザー ガイド UG786: 『消費電力手法ガイド』
 - ホワイトペーパー WP353: 『Power Estimator を使用した正確なワースト ケース電力解析の 7 つの手順』
 - 『Test Boards for Area Array Surface Mount Package Thermal Measurements』
 - ユーザー ガイド UG474: 『7 シリーズ FPGA コンフィギャブル ロジック ブロック ユーザー ガイド』
 - FPGA のリソースについては、<http://japan.xilinx.com/documentation> の FPGA デバイスファミリを参照してください。
- 『ISE Design Suite: インストールおよびライセンス ガイド』(UG798):
http://japan.xilinx.com/support/documentation/sw_manuals/xilinx13_1/iil.pdf
- 『ISE Design Suite 13: リリース ノート ガイド』(UG631):
http://japan.xilinx.com/support/documentation/sw_manuals/xilinx13_1/irn.pdf
- ザイリンクス資料: <http://japan.xilinx.com/support/documentation>
- ザイリンクス用語集: <http://japan.xilinx.com/company/terms.htm>
- ザイリンクス サポート: <http://japan.xilinx.com/support>

