

Virtex-6 ライブラリ ガイド (回路図用)

UG624 (v14.1) 2012 年 4 月 24 日



Notice of Disclaimer

The information disclosed to you hereunder (the “Materials”) is provided solely for the selection and use of Xilinx products. To the maximum extent permitted by applicable law: (1) Materials are made available “AS IS” and with all faults, Xilinx hereby DISCLAIMS ALL WARRANTIES AND CONDITIONS, EXPRESS, IMPLIED, OR STATUTORY, INCLUDING BUT NOT LIMITED TO WARRANTIES OF MERCHANTABILITY, NON-INFRINGEMENT, OR FITNESS FOR ANY PARTICULAR PURPOSE; and (2) Xilinx shall not be liable (whether in contract or tort, including negligence, or under any other theory of liability) for any loss or damage of any kind or nature related to, arising under, or in connection with, the Materials (including your use of the Materials), including for any direct, indirect, special, incidental, or consequential loss or damage (including loss of data, profits, goodwill, or any type of loss or damage suffered as a result of any action brought by a third party) even if such damage or loss was reasonably foreseeable or Xilinx had been advised of the possibility of the same. Xilinx assumes no obligation to correct any errors contained in the Materials or to notify you of updates to the Materials or to product specifications. You may not reproduce, modify, distribute, or publicly display the Materials without prior written consent. Certain products are subject to the terms and conditions of the Limited Warranties which can be viewed at <http://www.xilinx.com/warranty.htm>; IP cores may be subject to warranty and support terms contained in a license issued to you by Xilinx. Xilinx products are not designed or intended to be fail-safe or for use in any application requiring fail-safe performance; you assume sole risk and liability for use of Xilinx products in Critical Applications: <http://www.xilinx.com/warranty.htm#critapps>.

© Copyright 2002–2012 Xilinx Inc. Xilinx, the Xilinx logo, Artix, ISE, Kintex, Spartan, Virtex, Vivado, Zynq, and other designated brands included herein are trademarks of Xilinx in the United States and other countries. All other trademarks are the property of their respective owners.

本資料は英語版 (v.14.1) を翻訳したもので、内容に相違が生じる場合には原文を優先します。

資料によっては英語版の更新に対応していないものがあります。

日本語版は参考用としてご使用の上、最新情報につきましては、必ず最新英語版をご参照ください。

この資料に関するフィードバックおよびリンクなどの問題につきましては、jpn_trans_feedback@xilinx.com までお知らせください。いただきましたご意見を参考に早急に対応させていただきます。なお、このメール アドレスへのお問い合わせは受け付けておりません。あらかじめご了承ください。

概要

回路図用ライブラリ ガイドは、ISE のオンライン マニュアルの 1 つです。HDL を使用して設計する場合は、HDL 用ライブラリ ガイドを参照してください。

このマニュアルには、次の内容が含まれます。

- ・ 概要
- ・ このアーキテクチャでサポートされるプリミティブとマクロのファンクション別リスト
- ・ 各プリミティブの詳細説明

デザイン エLEMENT

このバージョンのライブラリ ガイドでは、このアーキテクチャのデザイン エLEMENTが記載されています。デザイン エLEMENTはいくつかのカテゴリに分類されています。

- ・ **プリミティブ**：ザイリンクス ライブラリで、ロジックの基本となる最も単純なデザイン エLEMENT。ザイリンクスのプリミティブの例として、BUF (バッファ)、FD (D フリップフロップ) などがあります。
- ・ **マクロ**：ザイリンクス ライブラリの基本となるデザイン エLEMENT。デザイン エLEMENTのプリミティブまたはマクロから作成することができます。たとえば、FD4CE フリップフロップ マクロは 4 つの FDCE プリミティブをまとめたものです。

ザイリンクスでは、さまざまなデバイス アーキテクチャに対応した多数のデザイン エLEMENT (マクロおよびプリミティブ) を含むソフトウェア ライブラリを提供しています。開発システム ソフトウェアのリリースごとに、新しいデザイン エLEMENTが組み込まれます。このマニュアルは、そのようなアーキテクチャ固有のライブラリの 1 つです。

ファンクション別分類

このセクションでは、デバイスに含まれるデザイン エLEMENTをファンクション別に分類して示します。ELEMENT (プリミティブおよびマクロのインプリメンテーション) は、各カテゴリでアルファベット順にリストしています。

| | | |
|-----------|--------------|----------|
| アドバンス | デコーダー | ラッチ |
| 演算ファンクション | フリップフロップ | ロジック |
| バッファ | 汎用ELEMENT | LUT |
| キャリー ロジック | 入力/出力ファンクション | メモリ |
| クロック リソース | I/O | マルチプレクサー |
| コンパレータ | I/O フリップフロップ | シフトレジスタ |
| カウンタ | I/O ラッチ | シフター |

アドバンス

| デザイン ELEMENT | 説明 |
|--------------|--|
| GTHE1_QUAD | プリミティブ : Gigabit Transceiver |
| GTXE1 | プリミティブ : Gigabit Transceiver |
| PCIE_2_0 | プリミティブ : PCI Express version 2.0 Compliant. |
| TEMAC_SINGLE | プリミティブ : Tri-mode Ethernet Media Access Controller (MAC) |

演算ファンクション

| デザイン ELEMENT | 説明 |
|--------------|--|
| ACC16 | マクロ : 16-Bit Loadable Cascadable Accumulator with Carry-In, Carry-Out, and Synchronous Reset |
| ACC4 | マクロ : 4-Bit Loadable Cascadable Accumulator with Carry-In, Carry-Out, and Synchronous Reset |
| ACC8 | マクロ : 8-Bit Loadable Cascadable Accumulator with Carry-In, Carry-Out, and Synchronous Reset |
| ADD16 | マクロ : 16-Bit Cascadable Full Adder with Carry-In, Carry-Out, and Overflow |

| デザイン エLEMENT | 説明 |
|--------------|---|
| ADD4 | マクロ：4-Bit Cascadable Full Adder with Carry-In, Carry-Out, and Overflow |
| ADD8 | マクロ：8-Bit Cascadable Full Adder with Carry-In, Carry-Out, and Overflow |
| ADSU16 | マクロ：16-Bit Cascadable Adder/Subtractor with Carry-In, Carry-Out, and Overflow |
| ADSU4 | マクロ：4-Bit Cascadable Adder/Subtractor with Carry-In, Carry-Out, and Overflow |
| ADSU8 | マクロ：8-Bit Cascadable Adder/Subtractor with Carry-In, Carry-Out, and Overflow |
| DSP48E1 | プリミティブ：25x18 Two's Complement Multiplier with Integrated 48-Bit, 3-Input Adder/Subtractor/Accumulator or 2-Input Logic Unit |
| MULT18X18 | プリミティブ：18 x 18 Signed Multiplier |
| MULT18X18S | プリミティブ：18 x 18 Signed Multiplier -- Registered Version |

バッファ

| デザイン エLEMENT | 説明 |
|--------------|---|
| BUF | プリミティブ：General Purpose Buffer |
| BUFCF | プリミティブ：Fast Connect Buffer |
| BUFG | プリミティブ：Global Clock Buffer |
| BUFGCE | プリミティブ：Global Clock Buffer with Clock Enable |
| BUFGCE_1 | プリミティブ：Global Clock Buffer with Clock Enable and Output State 1 |
| BUFGMUX_CTRL | プリミティブ：2-to-1 Global Clock MUX Buffer |
| BUFGP | プリミティブ：Global Buffer for Driving Clocks |

キャリー ロジック

| デザイン エLEMENT | 説明 |
|--------------|---|
| CARRY4 | プリミティブ：Fast Carry Logic with Look Ahead |
| MUXCY | プリミティブ：2-to-1 Multiplexer for Carry Logic with General Output |
| MUXCY_D | プリミティブ：2-to-1 Multiplexer for Carry Logic with Dual Output |
| MUXCY_L | プリミティブ：2-to-1 Multiplexer for Carry Logic with Local Output |
| XORCY | プリミティブ：XOR for Carry Logic with General Output |

クロック リソース

| デザイン エLEMENT | 説明 |
|--------------|--|
| BUFGCTRL | プリミティブ：Global Clock MUX Buffer |
| BUFH | プリミティブ：Clock buffer for a single clocking region |
| BUFHCE | プリミティブ：Clock buffer for a single clocking region with clock enable |
| BUFIO | プリミティブ：Local Clock Buffer for I/O |
| BUFIODQS | プリミティブ：Differential Clock Input for Transceiver Reference Clocks |
| BUFR | プリミティブ：Regional Clock Buffer for I/O and Logic Resources |
| MMCM_BASE | プリミティブ：Mixed signal block designed to support clock network deskew, frequency synthesis, and jitter reduction. |
| MMCM_ADV | プリミティブ：MMCM is a mixed signal block designed to support clock network deskew, frequency synthesis, and jitter reduction. |
| SYSMON | プリミティブ：System Monitor |

コンパレータ

| デザイン エLEMENT | 説明 |
|--------------|---------------------------------|
| COMP16 | マクロ：16-Bit Identity Comparator |
| COMP2 | マクロ：2-Bit Identity Comparator |
| COMP4 | マクロ：4-Bit Identity Comparator |
| COMP8 | マクロ：8-Bit Identity Comparator |
| COMPM16 | マクロ：16-Bit Magnitude Comparator |
| COMPM2 | マクロ：2-Bit Magnitude Comparator |
| COMPM4 | マクロ：4-Bit Magnitude Comparator |
| COMPM8 | マクロ：8-Bit Magnitude Comparator |
| COMPMC16 | マクロ：16-Bit Magnitude Comparator |
| COMPMC8 | マクロ：8-Bit Magnitude Comparator |

カウンタ

| デザイン エLEMENT | 説明 |
|--------------|---|
| CB16CE | マクロ：16-Bit Cascadable Binary Counter with Clock Enable and Asynchronous Clear |
| CB16CLE | マクロ：16-Bit Loadable Cascadable Binary Counters with Clock Enable and Asynchronous Clear |
| CB16CLED | マクロ：16-Bit Loadable Cascadable Bidirectional Binary Counters with Clock Enable and Asynchronous Clear |
| CB16RE | マクロ：16-Bit Cascadable Binary Counter with Clock Enable and Synchronous Reset |

| デザイン エLEMENT | 説明 |
|--------------|--|
| CB2CE | マクロ : 2-Bit Cascadable Binary Counter with Clock Enable and Asynchronous Clear |
| CB2CLE | マクロ : 2-Bit Loadable Cascadable Binary Counters with Clock Enable and Asynchronous Clear |
| CB2CLED | マクロ : 2-Bit Loadable Cascadable Bidirectional Binary Counters with Clock Enable and Asynchronous Clear |
| CB2RE | マクロ : 2-Bit Cascadable Binary Counter with Clock Enable and Synchronous Reset |
| CB4CE | マクロ : 4-Bit Cascadable Binary Counter with Clock Enable and Asynchronous Clear |
| CB4CLE | マクロ : 4-Bit Loadable Cascadable Binary Counters with Clock Enable and Asynchronous Clear |
| CB4CLED | マクロ : 4-Bit Loadable Cascadable Bidirectional Binary Counters with Clock Enable and Asynchronous Clear |
| CB4RE | マクロ : 4-Bit Cascadable Binary Counter with Clock Enable and Synchronous Reset |
| CB8CE | マクロ : 8-Bit Cascadable Binary Counter with Clock Enable and Asynchronous Clear |
| CB8CLE | マクロ : 8-Bit Loadable Cascadable Binary Counters with Clock Enable and Asynchronous Clear |
| CB8CLED | マクロ : 8-Bit Loadable Cascadable Bidirectional Binary Counters with Clock Enable and Asynchronous Clear |
| CB8RE | マクロ : 8-Bit Cascadable Binary Counter with Clock Enable and Synchronous Reset |
| CC16CE | マクロ : 16-Bit Cascadable Binary Counter with Clock Enable and Asynchronous Clear |
| CC16CLE | マクロ : 16-Bit Loadable Cascadable Binary Counter with Clock Enable and Asynchronous Clear |
| CC16CLED | マクロ : 16-Bit Loadable Cascadable Bidirectional Binary Counter with Clock Enable and Asynchronous Clear |
| CC16RE | マクロ : 16-Bit Cascadable Binary Counter with Clock Enable and Synchronous Reset |
| CC8CE | マクロ : 8-Bit Cascadable Binary Counter with Clock Enable and Asynchronous Clear |
| CC8CLE | マクロ : 8-Bit Loadable Cascadable Binary Counter with Clock Enable and Asynchronous Clear |
| CC8CLED | マクロ : 8-Bit Loadable Cascadable Bidirectional Binary Counter with Clock Enable and Asynchronous Clear |
| CC8RE | マクロ : 8-Bit Cascadable Binary Counter with Clock Enable and Synchronous Reset |
| CD4CE | マクロ : 4-Bit Cascadable BCD Counter with Clock Enable and Asynchronous Clear |
| CD4CLE | マクロ : 4-Bit Loadable Cascadable BCD Counter with Clock Enable and Asynchronous Clear |
| CD4RE | マクロ : 4-Bit Cascadable BCD Counter with Clock Enable and Synchronous Reset |

| デザイン エLEMENT | 説明 |
|--------------|---|
| CD4RLE | マクロ：4-Bit Loadable Cascadable BCD Counter with Clock Enable and Synchronous Reset |
| CJ4CE | マクロ：4-Bit Johnson Counter with Clock Enable and Asynchronous Clear |
| CJ4RE | マクロ：4-Bit Johnson Counter with Clock Enable and Synchronous Reset |
| CJ5CE | マクロ：5-Bit Johnson Counter with Clock Enable and Asynchronous Clear |
| CJ5RE | マクロ：5-Bit Johnson Counter with Clock Enable and Synchronous Reset |
| CJ8CE | マクロ：8-Bit Johnson Counter with Clock Enable and Asynchronous Clear |
| CJ8RE | マクロ：8-Bit Johnson Counter with Clock Enable and Synchronous Reset |

デコーダー

| デザイン エLEMENT | 説明 |
|--------------|---|
| D2_4E | マクロ：2- to 4-Line Decoder/Demultiplexer with Enable |
| D3_8E | マクロ：3- to 8-Line Decoder/Demultiplexer with Enable |
| D4_16E | マクロ：4- to 16-Line Decoder/Demultiplexer with Enable |
| DEC_CC16 | マクロ：16-Bit Active Low Decoder |
| DEC_CC4 | マクロ：4-Bit Active Low Decoder |
| DEC_CC8 | マクロ：8-Bit Active Low Decoder |

フリップフロップ

| デザイン エLEMENT | 説明 |
|--------------|--|
| FD | プリミティブ：D Flip-Flop |
| FD_1 | プリミティブ：D Flip-Flop with Negative-Edge Clock |
| FD16CE | マクロ：16-Bit Data Register with Clock Enable and Asynchronous Clear |
| FD16RE | マクロ：16-Bit Data Register with Clock Enable and Synchronous Reset |
| FD4CE | マクロ：4-Bit Data Register with Clock Enable and Asynchronous Clear |
| FD4RE | マクロ：4-Bit Data Register with Clock Enable and Synchronous Reset |
| FD8CE | マクロ：8-Bit Data Register with Clock Enable and Asynchronous Clear |
| FD8RE | マクロ：8-Bit Data Register with Clock Enable and Synchronous Reset |
| FDC | プリミティブ：D Flip-Flop with Asynchronous Clear |
| FDC_1 | プリミティブ：D Flip-Flop with Negative-Edge Clock and Asynchronous Clear |

| デザイン エLEMENT | 説明 |
|--------------|--|
| FDCE | プリミティブ : D Flip-Flop with Clock Enable and Asynchronous Clear |
| FDCE_1 | プリミティブ : D Flip-Flop with Negative-Edge Clock, Clock Enable, and Asynchronous Clear |
| FDE | プリミティブ : D Flip-Flop with Clock Enable |
| FDE_1 | プリミティブ : D Flip-Flop with Negative-Edge Clock and Clock Enable |
| FDP | プリミティブ : D Flip-Flop with Asynchronous Preset |
| FDP_1 | プリミティブ : D Flip-Flop with Negative-Edge Clock and Asynchronous Preset |
| FDPE | プリミティブ : D Flip-Flop with Clock Enable and Asynchronous Preset |
| FDPE_1 | プリミティブ : D Flip-Flop with Negative-Edge Clock, Clock Enable, and Asynchronous Preset |
| FDR | プリミティブ : D Flip-Flop with Synchronous Reset |
| FDR_1 | プリミティブ : D Flip-Flop with Negative-Edge Clock and Synchronous Reset |
| FDRE | プリミティブ : D Flip-Flop with Clock Enable and Synchronous Reset |
| FDRE_1 | プリミティブ : D Flip-Flop with Negative-Edge Clock, Clock Enable, and Synchronous Reset |
| FDS | プリミティブ : D Flip-Flop with Synchronous Set |
| FDS_1 | プリミティブ : D Flip-Flop with Negative-Edge Clock and Synchronous Set |
| FDSE | プリミティブ : D Flip-Flop with Clock Enable and Synchronous Set |
| FDSE_1 | プリミティブ : D Flip-Flop with Negative-Edge Clock, Clock Enable, and Synchronous Set |
| FJKC | マクロ : J-K Flip-Flop with Asynchronous Clear |
| FJKCE | マクロ : J-K Flip-Flop with Clock Enable and Asynchronous Clear |
| FJKP | マクロ : J-K Flip-Flop with Asynchronous Preset |
| FJKPE | マクロ : J-K Flip-Flop with Clock Enable and Asynchronous Preset |
| FTC | マクロ : Toggle Flip-Flop with Asynchronous Clear |
| FTCE | マクロ : Toggle Flip-Flop with Clock Enable and Asynchronous Clear |
| FTCLE | マクロ : Toggle/Loadable Flip-Flop with Clock Enable and Asynchronous Clear |
| FTCLEX | マクロ : Toggle/Loadable Flip-Flop with Clock Enable and Asynchronous Clear |
| FTP | マクロ : Toggle Flip-Flop with Asynchronous Preset |

| デザイン エLEMENT | 説明 |
|--------------|---|
| FTPE | マクロ：Toggle Flip-Flop with Clock Enable and Asynchronous Preset |
| FTPLE | マクロ：Toggle/Loadable Flip-Flop with Clock Enable and Asynchronous Preset |

汎用ELEMENT

| デザイン エLEMENT | 説明 |
|--------------------|---|
| BSCAN_VIRTEX6 | プリミティブ：Virtex®-6 JTAG Boundary-Scan Logic Access Circuit |
| CAPTURE_VIRTEX6 | プリミティブ：Virtex®-6 Readback Register Capture Control |
| DNA_PORT | プリミティブ：Device DNA Data Access Port |
| EFUSE_USR | プリミティブ：32-bit non-volatile design ID |
| FRAME_ECC_VIRTEX6 | プリミティブ：Virtex®-6 Configuration Frame Error Detection and Correction Circuitry |
| GND | プリミティブ：Ground-Connection Signal Tag |
| ICAP_VIRTEX6 | プリミティブ：Internal Configuration Access Port |
| KEEPER | プリミティブ：KEEPER Symbol |
| KEY_CLEAR | プリミティブ：Virtex-5 Configuration Encryption Key Erase |
| PULLDOWN | プリミティブ：Resistor to GND for Input Pads, Open-Drain, and 3-State Outputs |
| PULLUP | プリミティブ：Resistor to VCC for Input PADS, Open-Drain, and 3-State Outputs |
| STARTUP_VIRTEX6 | プリミティブ：Virtex®-6 Configuration Start-Up Sequence Interface |
| USR_ACCESS_VIRTEX6 | プリミティブ：Virtex-6 User Access Register |
| VCC | プリミティブ：VCC-Connection Signal Tag |

入力/出力ファンクション

| デザイン エLEMENT | 説明 |
|--------------|---|
| DCIRESET | プリミティブ：DCI State Machine Reset (After Configuration Has Been Completed) |
| IDELAYCTRL | プリミティブ：IDELAY Tap Delay Value Control |
| IDDR | プリミティブ：Input Dual Data-Rate Register |
| IDDR_2CLK | プリミティブ：Input Dual Data-Rate Register with Dual Clock Inputs |
| IODELAYE1 | プリミティブ：Input and Output Fixed or Variable Delay Element |
| ISERDESE1 | プリミティブ：Input SERial/DESerializer |
| ODDR | プリミティブ：Dedicated Dual Data Rate (DDR) Output Register |
| OSERDESE1 | プリミティブ：Dedicated IOB Output Serializer |

I/O

| デザイン エLEMENT | 説明 |
|------------------|--|
| IBUF | プリミティブ : Input Buffer |
| IBUFDS | プリミティブ : Differential Signaling Input Buffer |
| IBUFDS_DIFF_OUT | プリミティブ : Signaling Input Buffer with Differential Output |
| IBUFDS_GTHE1 | プリミティブ : Differential Clock Input for the GTH Transceiver Reference Clocks |
| IBUFDS_GTXE1 | プリミティブ : Differential Clock Input for the Transceiver Reference Clocks |
| IBUF16 | マクロ : 16-Bit Input Buffer |
| IBUF4 | マクロ : 4-Bit Input Buffer |
| IBUF8 | マクロ : 8-Bit Input Buffer |
| IBUFG | プリミティブ : Dedicated Input Clock Buffer |
| IBUFGDS | プリミティブ : Differential Signaling Dedicated Input Clock Buffer and Optional Delay |
| IBUFGDS_DIFF_OUT | プリミティブ : Differential Signaling Input Buffer with Differential Output |
| IOBUF | プリミティブ : Bi-Directional Buffer |
| IOBUFDS | プリミティブ : 3-State Differential Signaling I/O Buffer with Active Low Output Enable |
| OBUF | プリミティブ : Output Buffer |
| OBUFDS | プリミティブ : Differential Signaling Output Buffer |
| OBUF16 | マクロ : 16-Bit Output Buffer |
| OBUF4 | マクロ : 4-Bit Output Buffer |
| OBUF8 | マクロ : 8-Bit Output Buffer |
| OBUFT | プリミティブ : 3-State Output Buffer with Active Low Output Enable |
| OBUFTDS | プリミティブ : 3-State Output Buffer with Differential Signaling, Active-Low Output Enable |
| OBUFT16 | マクロ : 16-Bit 3-State Output Buffer with Active Low Output Enable |
| OBUFT4 | マクロ : 4-Bit 3-State Output Buffers with Active-Low Output Enable |
| OBUFT8 | マクロ : 8-Bit 3-State Output Buffers with Active-Low Output Enable |

I/O フリップフロップ

| デザイン エLEMENT | 説明 |
|--------------|---|
| IFD | マクロ : Input D Flip-Flop |
| IFD_1 | マクロ : Input D Flip-Flop with Inverted Clock (Asynchronous Preset) |
| IFD16 | マクロ : 16-Bit Input D Flip-Flop |

| デザイン エLEMENT | 説明 |
|--------------|--|
| IFD4 | マクロ : 4-Bit Input D Flip-Flop |
| IFD8 | マクロ : 8-Bit Input D Flip-Flop |
| IFDI | マクロ : Input D Flip-Flop (Asynchronous Preset) |
| IFDI_1 | マクロ : Input D Flip-Flop with Inverted Clock (Asynchronous Preset) |
| IFDX | マクロ : Input D Flip-Flop with Clock Enable |
| IFDX_1 | マクロ : Input D Flip-Flop with Inverted Clock and Clock Enable |
| IFDX16 | マクロ : 16-Bit Input D Flip-Flops with Clock Enable |
| IFDX4 | マクロ : 4-Bit Input D Flip-Flop with Clock Enable |
| IFDX8 | マクロ : 8-Bit Input D Flip-Flop with Clock Enable |
| OFD | マクロ : Output D Flip-Flop |
| OFD_1 | マクロ : Output D Flip-Flop with Inverted Clock |
| OFD16 | マクロ : 16-Bit Output D Flip-Flop |
| OFD4 | マクロ : 4-Bit Output D Flip-Flop |
| OFD8 | マクロ : 8-Bit Output D Flip-Flop |
| OFDE | マクロ : D Flip-Flop with Active-High Enable Output Buffers |
| OFDE_1 | マクロ : D Flip-Flop with Active-High Enable Output Buffer and Inverted Clock |
| OFDE4 | マクロ : 4-Bit D Flip-Flop with Active-High Enable Output Buffers |
| OFDE8 | マクロ : 8-Bit D Flip-Flop with Active-High Enable Output Buffers |
| OFDE16 | マクロ : 16-Bit D Flip-Flop with Active-High Enable Output Buffers |
| OFDI | マクロ : Output D Flip-Flop (Asynchronous Preset) |
| OFDI_1 | マクロ : Output D Flip-Flop with Inverted Clock (Asynchronous Preset) |
| OFDT | マクロ : D Flip-Flop with Active-Low 3-State Output Buffer |
| OFDT_1 | マクロ : D Flip-Flop with Active-Low 3-State Output Buffer and Inverted Clock |
| OFDT16 | マクロ : 16-Bit D Flip-Flop with Active-Low 3-State Output Buffers |
| OFDT4 | マクロ : 4-Bit D Flip-Flop with Active-Low 3-State Output Buffers |
| OFDT8 | マクロ : 8-Bit D Flip-Flop with Active-Low 3-State Output Buffers |
| OFDX | マクロ : Output D Flip-Flop with Clock Enable |
| OFDX_1 | マクロ : Output D Flip-Flop with Inverted Clock and Clock Enable |
| OFDX16 | マクロ : 16-Bit Output D Flip-Flop with Clock Enable |
| OFDX4 | マクロ : 4-Bit Output D Flip-Flop with Clock Enable |

| デザイン エLEMENT | 説明 |
|--------------|---|
| OFDX8 | マクロ : 8-Bit Output D Flip-Flop with Clock Enable |
| OFDXI | マクロ : Output D Flip-Flop with Clock Enable (Asynchronous Preset) |
| OFDXI_1 | マクロ : Output D Flip-Flop with Inverted Clock and Clock Enable (Asynchronous Preset) |

I/O ラッチ

| デザイン エLEMENT | 説明 |
|--------------|---|
| ILD | マクロ : Transparent Input Data Latch |
| ILD_1 | マクロ : Transparent Input Data Latch with Inverted Gate |
| ILD16 | マクロ : Transparent Input Data Latch |
| ILD4 | マクロ : Transparent Input Data Latch |
| ILD8 | マクロ : Transparent Input Data Latch |
| ILDI | マクロ : Transparent Input Data Latch (Asynchronous Preset) |
| ILDI_1 | マクロ : Transparent Input Data Latch with Inverted Gate (Asynchronous Preset) |
| ILDXI | マクロ : Transparent Input Data Latch (Asynchronous Preset) |
| ILDXI_1 | マクロ : Transparent Input Data Latch with Inverted Gate (Asynchronous Preset) |

ラッチ

| デザイン エLEMENT | 説明 |
|--------------|---|
| ILD | マクロ : Transparent Input Data Latch |
| ILD_1 | マクロ : Transparent Input Data Latch with Inverted Gate |
| ILD16 | マクロ : Transparent Input Data Latch |
| ILD4 | マクロ : Transparent Input Data Latch |
| ILD8 | マクロ : Transparent Input Data Latch |
| ILDI | マクロ : Transparent Input Data Latch (Asynchronous Preset) |
| ILDI_1 | マクロ : Transparent Input Data Latch with Inverted Gate (Asynchronous Preset) |
| ILDXI | マクロ : Transparent Input Data Latch (Asynchronous Preset) |
| ILDXI_1 | マクロ : Transparent Input Data Latch with Inverted Gate (Asynchronous Preset) |

ロジック

| デザイン エLEMENT | 説明 |
|--------------|---|
| CARRY4 | プリミティブ：Fast Carry Logic with Look Ahead |
| MUXCY | プリミティブ：2-to-1 Multiplexer for Carry Logic with General Output |
| MUXCY_D | プリミティブ：2-to-1 Multiplexer for Carry Logic with Dual Output |
| MUXCY_L | プリミティブ：2-to-1 Multiplexer for Carry Logic with Local Output |
| XORCY | プリミティブ：XOR for Carry Logic with General Output |

LUT

| デザイン エLEMENT | 説明 |
|--------------|---|
| CFGLUT5 | プリミティブ：5-input Dynamically Reconfigurable Look-Up Table (LUT) |
| LUT1 | マクロ：1-Bit Look-Up Table with General Output |
| LUT1_D | マクロ：1-Bit Look-Up Table with Dual Output |
| LUT1_L | マクロ：1-Bit Look-Up Table with Local Output |
| LUT2 | マクロ：2-Bit Look-Up Table with General Output |
| LUT2_D | マクロ：2-Bit Look-Up Table with Dual Output |
| LUT2_L | マクロ：2-Bit Look-Up Table with Local Output |
| LUT3 | マクロ：3-Bit Look-Up Table with General Output |
| LUT3_D | マクロ：3-Bit Look-Up Table with Dual Output |
| LUT3_L | マクロ：3-Bit Look-Up Table with Local Output |
| LUT4 | マクロ：4-Bit Look-Up-Table with General Output |
| LUT4_D | マクロ：4-Bit Look-Up Table with Dual Output |
| LUT4_L | マクロ：4-Bit Look-Up Table with Local Output |
| LUT5 | プリミティブ：5-Input Lookup Table with General Output |
| LUT5_D | プリミティブ：5-Input Lookup Table with General and Local Outputs |
| LUT5_L | プリミティブ：5-Input Lookup Table with Local Output |
| LUT6 | プリミティブ：6-Input Lookup Table with General Output |
| LUT6_D | プリミティブ：6-Input Lookup Table with General and Local Outputs |
| LUT6_L | プリミティブ：6-Input Lookup Table with Local Output |
| LUT6.2 | プリミティブ：Six-input, 2-output, Look-Up Table |

| デザイン エLEMENT | 説明 |
|--------------|-------------------------------|
| ROM128X1 | プリミティブ：128-Deep by 1-Wide ROM |
| ROM256X1 | プリミティブ：256-Deep by 1-Wide ROM |

マルチプレクサー

| デザイン エLEMENT | 説明 |
|--------------|---|
| M16_1E | マクロ：16-to-1 Multiplexer with Enable |
| M2_1 | マクロ：2-to-1 Multiplexer |
| M2_1B1 | マクロ：2-to-1 Multiplexer with D0 Inverted |
| M2_1B2 | マクロ：2-to-1 Multiplexer with D0 and D1 Inverted |
| M2_1E | マクロ：2-to-1 Multiplexer with Enable |
| M4_1E | マクロ：4-to-1 Multiplexer with Enable |
| M8_1E | マクロ：8-to-1 Multiplexer with Enable |
| MUXF7 | プリミティブ：2-to-1 Look-Up Table Multiplexer with General Output |
| MUXF7_D | プリミティブ：2-to-1 Look-Up Table Multiplexer with Dual Output |
| MUXF7_L | プリミティブ：2-to-1 look-up table Multiplexer with Local Output |
| MUXF8 | プリミティブ：2-to-1 Look-Up Table Multiplexer with General Output |
| MUXF8_D | プリミティブ：2-to-1 Look-Up Table Multiplexer with Dual Output |
| MUXF8_L | プリミティブ：2-to-1 Look-Up Table Multiplexer with Local Output |

シフト レジスタ

| デザイン エLEMENT | 説明 |
|--------------|---|
| SR16CE | マクロ：16-Bit Serial-In Parallel-Out Shift Register with Clock Enable and Asynchronous Clear |
| SR16CLE | マクロ：16-Bit Loadable Serial/Parallel-In Parallel-Out Shift Register with Clock Enable and Asynchronous Clear |
| SR16CLED | マクロ：16-Bit Shift Register with Clock Enable and Asynchronous Clear |
| SR16RE | マクロ：16-Bit Serial-In Parallel-Out Shift Register with Clock Enable and Synchronous Reset |
| SR16RLE | マクロ：16-Bit Loadable Serial/Parallel-In Parallel-Out Shift Register with Clock Enable and Synchronous Reset |
| SR16RLED | マクロ：16-Bit Shift Register with Clock Enable and Synchronous Reset |
| SR4CE | マクロ：4-Bit Serial-In Parallel-Out Shift Register with Clock Enable and Asynchronous Clear |
| SR4CLE | マクロ：4-Bit Loadable Serial/Parallel-In Parallel-Out Shift Register with Clock Enable and Asynchronous Clear |

| デザイン エLEMENT | 説明 |
|--------------|--|
| SR4CLED | マクロ : 4-Bit Shift Register with Clock Enable and Asynchronous Clear |
| SR4RE | マクロ : 4-Bit Serial-In Parallel-Out Shift Register with Clock Enable and Synchronous Reset |
| SR4RLE | マクロ : 4-Bit Loadable Serial/Parallel-In Parallel-Out Shift Register with Clock Enable and Synchronous Reset |
| SR4RLED | マクロ : 4-Bit Shift Register with Clock Enable and Synchronous Reset |
| SR8CE | マクロ : 8-Bit Serial-In Parallel-Out Shift Register with Clock Enable and Asynchronous Clear |
| SR8CLE | マクロ : 8-Bit Loadable Serial/Parallel-In Parallel-Out Shift Register with Clock Enable and Asynchronous Clear |
| SR8CLED | マクロ : 8-Bit Shift Register with Clock Enable and Asynchronous Clear |
| SR8RE | マクロ : 8-Bit Serial-In Parallel-Out Shift Register with Clock Enable and Synchronous Reset |
| SR8RLE | マクロ : 8-Bit Loadable Serial/Parallel-In Parallel-Out Shift Register with Clock Enable and Synchronous Reset |
| SR8RLED | マクロ : 8-Bit Shift Register with Clock Enable and Synchronous Reset |
| SRL16 | プリミティブ : 16-Bit Shift Register Look-Up Table (LUT) |
| SRL16_1 | プリミティブ : 16-Bit Shift Register Look-Up Table (LUT) with Negative-Edge Clock |
| SRL16E | プリミティブ : 16-Bit Shift Register Look-Up Table (LUT) with Clock Enable |
| SRL16E_1 | プリミティブ : 16-Bit Shift Register Look-Up Table (LUT) with Negative-Edge Clock and Clock Enable |
| SRLC16 | プリミティブ : 16-Bit Shift Register Look-Up Table (LUT) with Carry |
| SRLC16_1 | プリミティブ : 16-Bit Shift Register Look-Up Table (LUT) with Carry and Negative-Edge Clock |
| SRLC16E | プリミティブ : 16-Bit Shift Register Look-Up Table (LUT) with Carry and Clock Enable |
| SRLC16E_1 | プリミティブ : 16-Bit Shift Register Look-Up Table (LUT) with Carry, Negative-Edge Clock, and Clock Enable |
| SRLC32E | プリミティブ : 32 Clock Cycle, Variable Length Shift Register Look-Up Table (LUT) with Clock Enable |

シフター

| デザイン エLEMENT | 説明 |
|--------------|----------------------------|
| BRLSHFT4 | マクロ : 4-Bit Barrel Shifter |
| BRLSHFT8 | マクロ : 8-Bit Barrel Shifter |

デザイン エLEMENT

このセクションでは、このアーキテクチャで利用できるデザイン エLEMENTについて説明します。デザイン エLEMENTは、アルファベット順に並べられています。

各ライブラリ エLEMENTについて、次の情報を示します。

- ・ 名称
- ・ 説明
- ・ 回路図シンボル (該当するELEMENTでのみ)
- ・ 論理表 (該当するELEMENTでのみ)
- ・ ポートの説明 (該当するELEMENTでのみ)
- ・ デザインの入力方法
- ・ 使用可能な属性 (該当するELEMENTでのみ)
- ・ その他のリソース

VHDL および Verilog のインスタンシエーション コードの例は、ISE ソフトウェア ([Edit] → [Language Templates]) またはこのアーキテクチャの HDL 用のライブラリ ガイドから入手できます。

論理表

| 入力 | | | | | | 出力 |
|--|---|----|-----|----|---|----------------|
| R | L | CE | ADD | D | C | Q |
| 1 | X | X | X | X | ↑ | 0 |
| 0 | 1 | X | X | Dn | ↑ | Dn |
| 0 | 0 | 1 | 1 | X | ↑ | $Q0 + Bn + CI$ |
| 0 | 0 | 1 | 0 | X | ↑ | $Q0 - Bn - CI$ |
| 0 | 0 | 0 | X | X | ↑ | 変化なし |
| Q0 : Q の以前の値 Bn : データ入力 B の値 CI : 入力 CI の値 | | | | | | |

デザインの入力方法

このエレメントは、回路図でのみ使用できます。

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

電力を供給すると、このデザイン エLEMENTは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

| 入力 | | | | | | 出力 |
|--|---|----|-----|----|---|----------------|
| R | L | CE | ADD | D | C | Q |
| 1 | X | X | X | X | ↑ | 0 |
| 0 | 1 | X | X | Dn | ↑ | Dn |
| 0 | 0 | 1 | 1 | X | ↑ | $Q0 + Bn + CI$ |
| 0 | 0 | 1 | 0 | X | ↑ | $Q0 - Bn - CI$ |
| 0 | 0 | 0 | X | X | ↑ | 変化なし |
| Q0 : Q の以前の値 Bn : データ入力 B の値 CI : 入力 CI の値 | | | | | | |

デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

論理表

| 入力 | | | | | | 出力 |
|--|---|----|-----|----|---|----------------|
| R | L | CE | ADD | D | C | Q |
| 1 | X | X | X | X | ↑ | 0 |
| 0 | 1 | X | X | Dn | ↑ | Dn |
| 0 | 0 | 1 | 1 | X | ↑ | $Q0 + Bn + CI$ |
| 0 | 0 | 1 | 0 | X | ↑ | $Q0 - Bn - CI$ |
| 0 | 0 | 0 | X | X | ↑ | 変化なし |
| Q0 : Q の以前の値 Bn : データ入力 B の値 CI : 入力 CI の値 | | | | | | |

デザインの入力方法

このエレメントは、回路図でのみ使用できます。

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

加算または減算の結果がこの範囲を超えると、OFL 出力が High になります。2 の補数演算では、CO は無視されます。

デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

符号なしオーバーフロー = CO XOR ADD

符号なし 2 進演算では、OFL は無視されます。

2 の補数演算：2 の補数演算の場合、-8 から +7 までの数を表現できます。

加算または減算の結果がこの範囲を超えると、OFL 出力が High になります。2 の補数演算では、CO は無視されます。

デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

加算または減算の結果がこの範囲を超えると、OFL 出力が High になります。2 の補数演算では、CO は無視されます。

デザインの入力方法

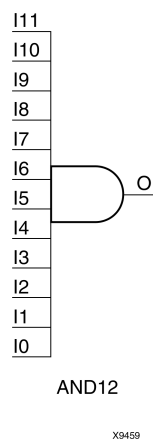
このELEMENTは、回路図でのみ使用できます。

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

AND12

マクロ：12- Input AND Gate with Non-Inverted Inputs



概要

5 入力までの AND ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の AND ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転させるには、外部インバーターを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

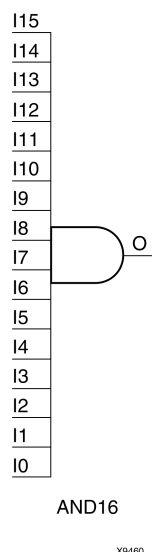
このエレメントは、回路図でのみ使用できます。

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

AND16

16- Input AND Gate with Non-Inverted Inputs



概要

5 入力までの AND ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の AND ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転させるには、外部インバーターを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

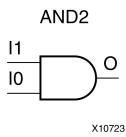
このエレメントは、回路図でのみ使用できます。

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

AND2

プリミティブ：2-Input AND Gate with Non-Inverted Inputs



概要

5 入力までの AND ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の AND ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転させるには、外部インバーターを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

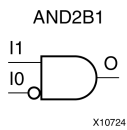
このエレメントは、回路図でのみ使用できます。

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

AND2B1

プリミティブ：2-Input AND Gate with 1 Inverted and 1 Non-Inverted Inputs



概要

5 入力までの AND ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の AND ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転させるには、外部インバーターを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

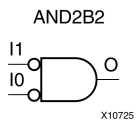
このエレメントは、回路図でのみ使用できます。

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

AND2B2

プリミティブ：2-Input AND Gate with Inverted Inputs



概要

5 入力までの AND ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の AND ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転させるには、外部インバーターを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

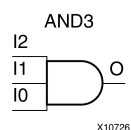
このエレメントは、回路図でのみ使用できます。

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

AND3

プリミティブ：3-Input AND Gate with Non-Inverted Inputs



概要

5 入力までの AND ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の AND ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転させるには、外部インバーターを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

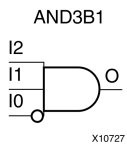
このエレメントは、回路図でのみ使用できます。

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

AND3B1

プリミティブ：3-Input AND Gate with 1 Inverted and 2 Non-Inverted Inputs



概要

5 入力までの AND ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の AND ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転させるには、外部インバーターを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

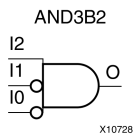
このエレメントは、回路図でのみ使用できます。

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

AND3B2

プリミティブ：3-Input AND Gate with 2 Inverted and 1 Non-Inverted Inputs



概要

5 入力までの AND ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の AND ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転させるには、外部インバーターを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

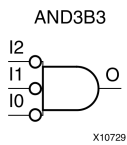
このエレメントは、回路図でのみ使用できます。

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

AND3B3

プリミティブ：3-Input AND Gate with Inverted Inputs



概要

5 入力までの AND ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の AND ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転させるには、外部インバーターを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

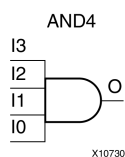
このエレメントは、回路図でのみ使用できます。

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

AND4

プリミティブ：4-Input AND Gate with Non-Inverted Inputs



概要

5 入力までの AND ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の AND ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転させるには、外部インバーターを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

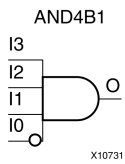
このエレメントは、回路図でのみ使用できます。

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

AND4B1

プリミティブ：4-Input AND Gate with 1 Inverted and 3 Non-Inverted Inputs



概要

5 入力までの AND ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の AND ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転させるには、外部インバーターを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

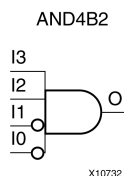
このエレメントは、回路図でのみ使用できます。

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

AND4B2

プリミティブ : 4-Input AND Gate with 2 Inverted and 2 Non-Inverted Inputs



概要

5 入力までの AND ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の AND ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転させるには、外部インバーターを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

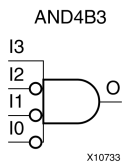
このエレメントは、回路図でのみ使用できます。

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

AND4B3

プリミティブ：4-Input AND Gate with 3 Inverted and 1 Non-Inverted Inputs



概要

5 入力までの AND ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の AND ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転させるには、外部インバーターを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

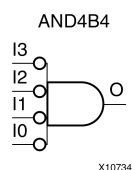
このエレメントは、回路図でのみ使用できます。

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

AND4B4

プリミティブ：4-Input AND Gate with Inverted Inputs



概要

5 入力までの AND ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の AND ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転させるには、外部インバーターを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

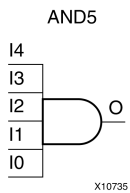
このエレメントは、回路図でのみ使用できます。

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

AND5

プリミティブ：5-Input AND Gate with Non-Inverted Inputs



概要

5 入力までの AND ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の AND ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転させるには、外部インバーターを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

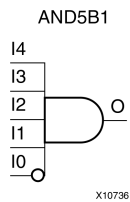
このエレメントは、回路図でのみ使用できます。

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

AND5B1

プリミティブ：5-Input AND Gate with 1 Inverted and 4 Non-Inverted Inputs



概要

5 入力までの AND ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の AND ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転させるには、外部インバーターを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

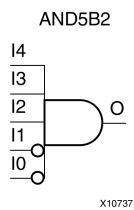
このエレメントは、回路図でのみ使用できます。

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

AND5B2

プリミティブ : 5-Input AND Gate with 2 Inverted and 3 Non-Inverted Inputs



概要

5 入力までの AND ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の AND ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転させるには、外部インバーターを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

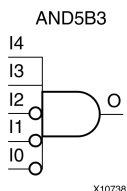
このエレメントは、回路図でのみ使用できます。

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

AND5B3

プリミティブ : 5-Input AND Gate with 3 Inverted and 2 Non-Inverted Inputs



概要

5 入力までの AND ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の AND ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転させるには、外部インバーターを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

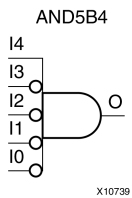
このエレメントは、回路図でのみ使用できます。

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

AND5B4

プリミティブ：5-Input AND Gate with 4 Inverted and 1 Non-Inverted Inputs



概要

5 入力までの AND ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の AND ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転させるには、外部インバーターを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

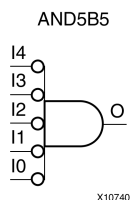
このエレメントは、回路図でのみ使用できます。

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

AND5B5

プリミティブ：5-Input AND Gate with Inverted Inputs



概要

5 入力までの AND ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の AND ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転させるには、外部インバーターを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

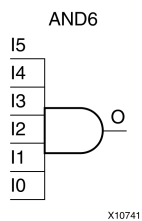
このエレメントは、回路図でのみ使用できます。

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

AND6

マクロ：6-Input AND Gate with Non-Inverted Inputs



概要

5 入力までの AND ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の AND ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転させるには、外部インバーターを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

このエレメントは、回路図でのみ使用できます。

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

デザインの入力方法

このELEMENTは、回路図で使用できます。

使用可能な属性

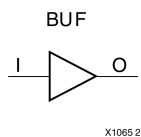
| 属性 | データ型 | 値 | デフォルト | 説明 |
|------------|------|---------|-------|---|
| JTAG_CHAIN | 整数 | 1、2、3、4 | 1 | ELEMENTのインスタンスで処理可能な JTAG USER 命令数を設定します。 |

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

BUF

プリミティブ：General Purpose Buffer



概要

このデザイン エLEMENTは、汎用の非反転バッファです。

このELEMENTは不要なので、MAP によって削除されます。

デザインの入力方法

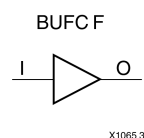
このELEMENTは、回路図でのみ使用できます。

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

BUFCF

プリミティブ：Fast Connect Buffer



概要

このデザイン エLEMENTは、一部の専用ロジックと LUT の出力を別の LUT の入力に直接接続するために使用する、単一の高速結合バッファです。このバッファを使用すると、CLB パックも行われます。LUT は、4 つまで 1 つのグループとして接続できます。

デザインの入力方法

このELEMENTは、回路図で使用できます。

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

使用可能な属性

| 属性 | データ型 | 値 | デフォルト | 説明 |
|--------------|-------|------------|-------|---|
| INIT_OUT | 整数 | 0、1 | 0 | コンフィギュレーション後の BUFGCTRL 出力の初期値を指定 |
| PRESELECT_I0 | ブール代数 | FALSE、TRUE | FALSE | TRUE に設定すると、コンフィギュレーション後に I0 入力が出力されます。 |
| PRESELECT_I1 | ブール代数 | FALSE、TRUE | FALSE | TRUE に設定すると、コンフィギュレーション後に I1 入力が出力されます。 |

メモ：2 つの PRESELECT 属性を同時に TRUE にすることはできません。

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

使用可能な属性

| 属性 | データ型 | 値 | デフォルト | 説明 |
|-------------|------|--|-----------|--|
| BUFR_DIVIDE | 文字列 | "BYPASS"、"1"、"2"、 "3"、"4"、"5"、"6"、"7"、 "8" | "BYPASS" | 出力クロックに入力クロックを分周したクロックを出力するかどうかを指定します。 |
| SIM_DEVICE | 文字列 | "VIRTEX4"、 "VIRTEX5"、 "VIRTEX6" | "VIRTEX4" | BUFR の CE レイテンシを定義します。 |

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

論理表

| 入力 | | | | | | 出力 | | |
|---|---|----|---|----|---------|---------|------|-----|
| CLR | L | CE | C | UP | Dz - D0 | Qz - Q0 | TC | CEO |
| 1 | X | X | X | X | X | 0 | 0 | 0 |
| 0 | 1 | X | ↑ | X | Dn | Dn | TC | CEO |
| 0 | 0 | 0 | X | X | X | 変化なし | 変化なし | 0 |
| 0 | 0 | 1 | ↑ | 1 | X | インクリメント | TC | CEO |
| 0 | 0 | 1 | ↑ | 0 | X | デクリメント | TC | CEO |
| z = ビット幅 - 1 $TC = (Qz \cdot Q(z-1) \cdot Q(z-2) \cdot \dots \cdot Q0 \cdot UP) + (Qz \cdot Q(z-1) \cdot Q(z-2) \cdot \dots \cdot Q0 \cdot \overline{UP})$ $CEO = TC \cdot CE$ | | | | | | | | |

デザインの入力方法

このエレメントは、回路図でのみ使用できます。

詳細情報

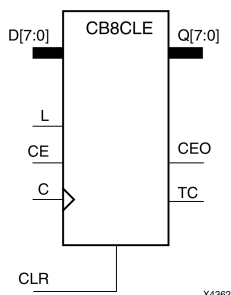
[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

CB8CLE

マクロ : 8-Bit Loadable Cascadable Binary Counters with Clock Enable and Asynchronous Clear



概要

このデザイン エLEMENTは、同期、ロード可能、非同期クリア可能、カスケード可能なバイナリ カウンターです。非同期クリア (CLR) 入力が高になると、ほかのすべての入力は無視され、クロック (C) の遷移に関係なく、出力 (Q)、ターミナル カウンター (TC)、およびクロック イネーブル出力 (CEO) が 0 になります。ロード イネーブル入力 (L) が High の場合、クロックが Low から High に切り替わるたびに、クロック イネーブル (CE) の値に関係なく、入力 (D) の値がカウンターにロードされます。CE が High の場合、クロックが Low から High に切り替わるたびに Q 出力がインクリメントされます。CE が Low の場合、クロック遷移は無視されます。すべての Q 出力が高になると、TC 出力が高になります。

1 段目の CEO 出力を次の段の CE 入力に接続し、C、L、および CLR 入力を並列に接続すると、より大型のカウンターを作成できます。TC と CE が High になると、CEO がアクティブ (High) になります。カウンターの長さの最大値は、CE ピンと TC ピン間の伝搬遅延の合計とクロック周期の関係によって決定されます。クロック周期は、 $n(t_{CE-TC})$ より大きい必要があります。ここで、 n は段数、時間 t_{CE-TC} は各段での CE ピンと TC ピン間の伝搬遅延を表します。カウンターをカスケードする場合、CE 入力を使用するときは CEO 出力を、CE 入力を使用しないときは TC 出力を使用します。

電力を供給すると、カウンターは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

| 入力 | | | | | 出力 | | |
|---|---|----|---|---------|---------|------|-----|
| CLR | L | CE | C | Dz - D0 | Qz - Q0 | TC | CEO |
| 1 | X | X | X | X | 0 | 0 | 0 |
| 0 | 1 | X | ↑ | Dn | Dn | TC | CEO |
| 0 | 0 | 0 | X | X | 変化なし | 変化なし | 0 |
| 0 | 0 | 1 | ↑ | X | インクリメント | TC | CEO |
| z = ビット幅 - 1 $TC = Qz \cdot Q(z-1) \cdot Q(z-2) \cdot \dots \cdot Q0$ $CEO = TC \cdot CE$ | | | | | | | |

デザインの入力方法

このエレメントは、回路図でのみ使用できます。

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

論理表

| 入力 | | | | | | 出力 | | |
|---|---|----|---|----|---------|---------|------|-----|
| CLR | L | CE | C | UP | Dz - D0 | Qz - Q0 | TC | CEO |
| 1 | X | X | X | X | X | 0 | 0 | 0 |
| 0 | 1 | X | ↑ | X | Dn | Dn | TC | CEO |
| 0 | 0 | 0 | X | X | X | 変化なし | 変化なし | 0 |
| 0 | 0 | 1 | ↑ | 1 | X | インクリメント | TC | CEO |
| 0 | 0 | 1 | ↑ | 0 | X | デクリメント | TC | CEO |
| z = ビット幅 - 1 $TC = (Qz \cdot Q(z-1) \cdot Q(z-2) \cdot \dots \cdot Q0 \cdot UP) + (Qz \cdot Q(z-1) \cdot Q(z-2) \cdot \dots \cdot Q0 \cdot \overline{UP})$ $CEO = TC \cdot CE$ | | | | | | | | |

デザインの入力方法

このエレメントは、回路図でのみ使用できます。

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

論理表

| 入力 | | | | | | 出力 | | |
|---|---|----|---|----|---------|---------|------|-----|
| CLR | L | CE | C | UP | Dz - D0 | Qz - Q0 | TC | CEO |
| 1 | X | X | X | X | X | 0 | 0 | 0 |
| 0 | 1 | X | ↑ | X | Dn | Dn | TC | CEO |
| 0 | 0 | 0 | X | X | X | 変化なし | 変化なし | 0 |
| 0 | 0 | 1 | ↑ | 1 | X | インクリメント | TC | CEO |
| 0 | 0 | 1 | ↑ | 0 | X | デクリメント | TC | CEO |
| z = ビット幅 - 1 $TC = (Qz \cdot Q(z-1) \cdot Q(z-2) \cdot \dots \cdot Q0 \cdot UP) + (Qz \cdot Q(z-1) \cdot Q(z-2) \cdot \dots \cdot Q0 \cdot \overline{UP})$ $CEO = TC \cdot CE$ | | | | | | | | |

デザインの入力方法

このエレメントは、回路図でのみ使用できます。

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

論理表

| 入力 | | | | | | 出力 | | |
|---|---|----|---|----|---------|---------|------|-----|
| CLR | L | CE | C | UP | Dz - D0 | Qz - Q0 | TC | CEO |
| 1 | X | X | X | X | X | 0 | 0 | 0 |
| 0 | 1 | X | ↑ | X | Dn | Dn | TC | CEO |
| 0 | 0 | 0 | X | X | X | 変化なし | 変化なし | 0 |
| 0 | 0 | 1 | ↑ | 1 | X | インクリメント | TC | CEO |
| 0 | 0 | 1 | ↑ | 0 | X | デクリメント | TC | CEO |
| z = ビット幅 - 1 $TC = (Qz \cdot Q(z-1) \cdot Q(z-2) \cdot \dots \cdot Q0 \cdot UP) + (Qz \cdot Q(z-1) \cdot Q(z-2) \cdot \dots \cdot Q0 \cdot \overline{UP})$ $CEO = TC \cdot CE$ | | | | | | | | |

デザインの入力方法

このエレメントは、回路図でのみ使用できます。

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

論理表

| 入力 | | | 出力 | | | | | |
|--------------------|----|---|---------|---------|---------|---------|----|-----|
| CLR | CE | C | Q3 | Q2 | Q1 | Q0 | TC | CEO |
| 1 | X | X | 0 | 0 | 0 | 0 | 0 | 0 |
| 0 | 1 | ↑ | インクリメント | インクリメント | インクリメント | インクリメント | TC | CEO |
| 0 | 0 | X | 変化なし | 変化なし | 変化なし | 変化なし | TC | 0 |
| 0 | 1 | X | 1 | 0 | 0 | 1 | 1 | 1 |
| TC = Q3·!Q2·!Q1·Q0 | | | | | | | | |
| CEO = TC·CE | | | | | | | | |

デザインの入力方法

このエレメントは、回路図でのみ使用できます。

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

論理表

| 入力 | | | | | 出力 | | | | | |
|--------------------|---|----|---------|---|---------|---------|---------|---------|----|-----|
| CLR | L | CE | D3 : D0 | C | Q3 | Q2 | Q1 | Q0 | TC | CEO |
| 1 | X | X | X | X | 0 | 0 | 0 | 0 | 0 | 0 |
| 0 | 1 | X | D3 : D0 | ↑ | D3 | D2 | D1 | D0 | TC | CEO |
| 0 | 0 | 1 | X | ↑ | インクリメント | インクリメント | インクリメント | インクリメント | TC | CEO |
| 0 | 0 | 0 | X | X | 変化なし | 変化なし | 変化なし | 変化なし | TC | 0 |
| 0 | 0 | 1 | X | X | 1 | 0 | 0 | 1 | 1 | 1 |
| TC = Q3·!Q2·!Q1·Q0 | | | | | | | | | | |
| CEO = TC·CE | | | | | | | | | | |

デザインの入力方法

このエレメントは、回路図でのみ使用できます。

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

論理表

| 入力 | | | 出力 | | | | | |
|--------------------|----|---|---------|---------|---------|---------|----|-----|
| R | CE | C | Q3 | Q2 | Q1 | Q0 | TC | CEO |
| 1 | X | ↑ | 0 | 0 | 0 | 0 | 0 | 0 |
| 0 | 1 | ↑ | インクリメント | インクリメント | インクリメント | インクリメント | TC | CEO |
| 0 | 0 | X | 変化なし | 変化なし | 変化なし | 変化なし | TC | 0 |
| 0 | 1 | X | 1 | 0 | 0 | 1 | 1 | 1 |
| TC = Q3·!Q2·!Q1·Q0 | | | | | | | | |
| CEO = TC·CE | | | | | | | | |

デザインの入力方法

このエレメントは、回路図でのみ使用できます。

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

論理表

| 入力 | | | | | 出力 | | | | | |
|--------------------|---|----|---------|---|---------|---------|---------|---------|----|-----|
| R | L | CE | D3 : D0 | C | Q3 | Q2 | Q1 | Q0 | TC | CEO |
| 1 | X | X | X | ↑ | 0 | 0 | 0 | 0 | 0 | 0 |
| 0 | 1 | X | D3 : D0 | ↑ | D3 | D | D | D0 | TC | CEO |
| 0 | 0 | 1 | X | ↑ | インクリメント | インクリメント | インクリメント | インクリメント | TC | CEO |
| 0 | 0 | 0 | X | X | 変化なし | 変化なし | 変化なし | 変化なし | TC | 0 |
| 0 | 0 | 1 | X | X | 1 | 0 | 0 | 1 | 1 | 1 |
| TC = Q3·!Q2·!Q1·Q0 | | | | | | | | | | |
| CEO = TC·CE | | | | | | | | | | |

デザインの入力方法

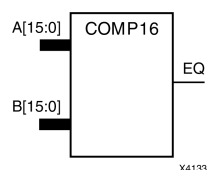
このELEMENTは、回路図でのみ使用できます。

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

COMP16

マクロ：16-Bit Identity Comparator



概要

このデザイン エLEMENTは、16 ビットのアイデンティティ コンパレータです。イコール出力 (EQ) は、A15 ～ A0 および B15 ～ B0 の 2 つのワードが等しいと High になります。

2 つのワードが等しいかどうかは、各ビットを比較して判断されます。各ワードの対応するビットのいずれかに等しくないものがある場合、EQ 出力は Low になります。

デザインの入力方法

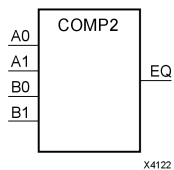
このELEMENTは、回路図でのみ使用できます。

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

COMP2

マクロ：2-Bit Identity Comparator



概要

このデザイン エLEMENTは、2 ビットのアイデンティティコンパレータです。イコール出力 (EQ) は、A1 ～ A0 および B1 ～ B0 の 2 つのワードが等しいと High になります。

2 つのワードが等しいかどうかは、各ビットを比較して判断されます。各ワードの対応するビットのいずれかに等しくないものがある場合、EQ 出力は Low になります。

デザインの入力方法

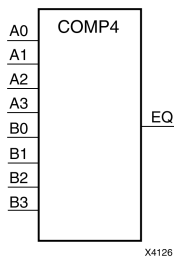
このELEMENTは、回路図でのみ使用できます。

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

COMP4

マクロ：4-Bit Identity Comparator



概要

このデザイン エLEMENTは、4 ビットのアイデンティティ コンパレータです。イコール出力 (EQ) は、A3 ～ A0 および B3 ～ B0 の 2 つのワードが等しいと High になります。

2 つのワードが等しいかどうかは、各ビットを比較して判断されます。各ワードの対応するビットのいずれかに等しくないものがある場合、EQ 出力は Low になります。

デザインの入力方法

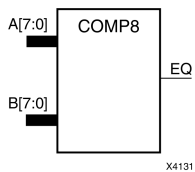
このELEMENTは、回路図でのみ使用できます。

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

COMP8

マクロ：8-Bit Identity Comparator



概要

このデザイン エLEMENTは、8 ビットのアイデンティティコンパレータです。イコール出力 (EQ) は、A7 ～ A0 および B7 ～ B0 の 2 つのワードが等しいと High になります。

2 つのワードが等しいかどうかは、各ビットを比較して判断されます。各ワードの対応するビットのいずれかに等しくないものがある場合、EQ 出力は Low になります。

デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

詳細情報

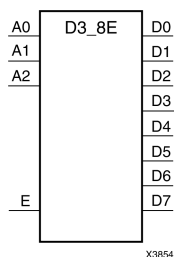
[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

D3_8E

マクロ : 3- to 8-Line Decoder/Demultiplexer with Enable



概要

D3_8E デコーダー/デマルチプレクサーのイネーブル (E) 入力が高の場合、3 ビットのバイナリ アドレス (A2 ~ A0) 入力によって 8 つのアクティブ High の出力 (D7 ~ D0) のいずれかが High になります。それ以外の出力は、Low になります。E 入力が高の場合、すべての出力が Low になります。デマルチプレクサー アプリケーションでは、E 入力が入力値になります。

論理表

| 入力 | | | | 出力 | | | | | | | |
|----|----|----|---|----|----|----|----|----|----|----|----|
| A2 | A1 | A0 | E | D7 | D6 | D5 | D4 | D3 | D2 | D1 | D0 |
| X | X | X | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 0 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 |
| 0 | 0 | 1 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 |
| 0 | 1 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 0 |
| 0 | 1 | 1 | 1 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 0 |
| 1 | 0 | 0 | 1 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 0 |
| 1 | 0 | 1 | 1 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | 0 |
| 1 | 1 | 0 | 1 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 0 |
| 1 | 1 | 1 | 1 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

デザインの入力方法

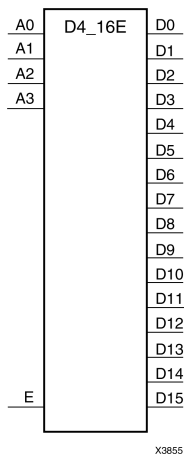
このエレメントは、回路図でのみ使用できます。

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

D4_16E

マクロ：4- to 16-Line Decoder/Demultiplexer with Enable



概要

このデザイン エLEMENTは、デコーダー/デマルチプレクサーです。D4_16E デコーダー/デマルチプレクサーのイネーブル (E) 入力が高になると、4 ビットのバイナリ アドレス (A3 ~ A0) 入力に応じて 16 のアクティブ High の出力 (D15 ~ D0) のいずれかが High になります。それ以外の出力は、Low になります。E 入力が高の場合は、すべての出力が Low になります。デマルチプレクサー アプリケーションでは、E 入力が入力値になります。

デザインの入力方法

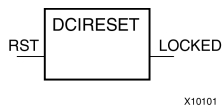
このELEMENTは、回路図でのみ使用できます。

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

DCIRESET

プリミティブ：DCI State Machine Reset (After Configuration Has Been Completed)



概要

このデザイン エLEMENTは、コンフィギュレーション後に DCI ステート マシンをリセットするために使用します。

ポートの説明

| ポート名 | 方向 | 幅 | 機能 |
|--------|----|---|-----------------------|
| LOCKED | 出力 | 1 | DCIRESET LOCK ステータス出力 |
| RST | 入力 | 1 | DCIRESET 非同期リセット入力 |

デザインの入力方法

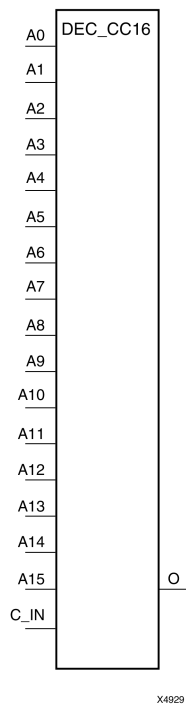
このELEMENTは、回路図で使用できます。

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

DEC_CC16

マクロ：16-Bit Active Low Decoder



概要

このデザイン エLEMENTは、多入力デコーダー ファンクションを作成するために使用される 16 ビットのデコーダーで、ルックアップ テーブル (LUT) で駆動される CY_MUX ELEMENTをカスケードしてインプリメントされます。C_IN ピンは、前段のデコードの出力 (O) によってのみ駆動されます。1 つ以上の入力 (A) が Low になると、出力が Low になります。すべての A 入力と C_IN 入力が High になると、出力が High になります。入力にインバーターを追加すると、パターンをデコードできます。

論理表

| 入力 | | | | | 出力 |
|----|----|-----|----|------|----|
| A0 | A1 | ... | Az | C_IN | O |
| 1 | 1 | 1 | 1 | 1 | 1 |
| X | X | X | X | 0 | 0 |
| 0 | X | X | X | X | 0 |
| X | 0 | X | X | X | 0 |
| X | X | X | 0 | X | 0 |

DEC_CC4 の場合 z = 3、DEC_CC8 の場合 z = 7、DEC_CC16 の場合 z = 15

デザインの入力方法

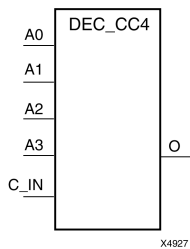
このELEMENTは、回路図でのみ使用できます。

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

DEC_CC4

マクロ：4-Bit Active Low Decoder



概要

このデザイン エLEMENTは、多入力デコーダー ファンクションを作成するために使用される 4 ビットのデコーダーで、ルックアップ テーブル (LUT) で駆動される CY_MUX エLEMENTをカスケードしてインプリメントされます。C_IN ピンは、前段のデコードの出力 (O) によってのみ駆動されます。1 つ以上の入力 (A) が Low になると、出力が Low になります。すべての A 入力と C_IN 入力が高になると、出力が高になります。入力にインバーターを追加すると、パターンをデコードできます。

論理表

| 入力 | | | | | 出力 |
|----|----|-----|----|------|----|
| A0 | A1 | ... | Az | C_IN | O |
| 1 | 1 | 1 | 1 | 1 | 1 |
| X | X | X | X | 0 | 0 |
| 0 | X | X | X | X | 0 |
| X | 0 | X | X | X | 0 |
| X | X | X | 0 | X | 0 |

DEC_CC4 の場合 z = 3、DEC_CC8 の場合 z = 7、DEC_CC16 の場合 z = 15

デザインの入力方法

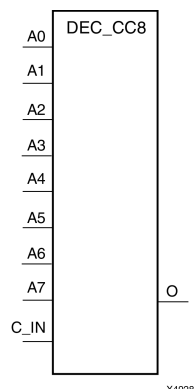
このELEMENTは、回路図でのみ使用できます。

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

DEC_CC8

マクロ : 8-Bit Active Low Decoder



概要

このデザイン エレメントは、多入力デコーダー ファンクションを作成するために使用される 8 ビットのデコーダーで、ルックアップ テーブル (LUT) で駆動される CY_MUX エレメントをカスケードしてインプリメントされます。C_IN ピンは、前段のデコードの出力 (O) によってのみ駆動されます。1 つ以上の入力 (A) が Low になると、出力が Low になります。すべての A 入力と C_IN 入力が High になると、出力が High になります。入りにインバーターを追加すると、パターンをデコードできます。

論理表

| 入力 | | | | | 出力 |
|---|----|-----|----|------|----|
| A0 | A1 | ... | Az | C_IN | O |
| 1 | 1 | 1 | 1 | 1 | 1 |
| X | X | X | X | 0 | 0 |
| 0 | X | X | X | X | 0 |
| X | 0 | X | X | X | 0 |
| X | X | X | 0 | X | 0 |
| DEC_CC4 の場合 z = 3、DEC_CC8 の場合 z = 7、DEC_CC16 の場合 z = 15 | | | | | |

デザインの入力方法

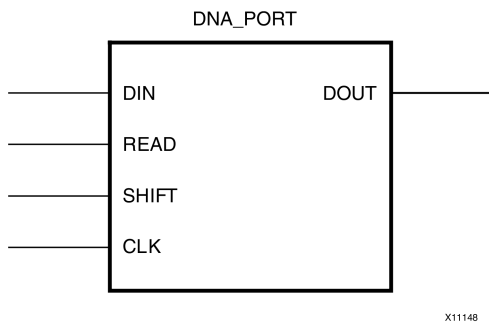
このエレメントは、回路図でのみ使用できます。

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

DNA_PORT

プリミティブ：Device DNA Data Access Port



概要

DNA_PORT を使用すると専用のシフトレジスタにアクセスできます。このシフトレジスタにはデバイスの Device DNA データビット (固有 ID) が読み込まれます。このコンポーネントを使用すると、DNA データビットがシフトアウトできるだけでなく、補足ビットを含めたり、DNA データをロールオーバーする (初期データのシフトアウト後に DNA データを繰り返す) こともできます。このコンポーネントは、主にほかの回路と組み合わせて FPGA ビットストリームの不正コピー防止を構築するのに使用します。正しく動作するように、入力および出力をすべてデザインに接続してください。Device DNA データにアクセスするにはまず、アクティブ High の READ 信号を 1 クロック サイクル間 High にして、シフトレジスタをロードする必要があります。シフトレジスタをロードした後、アクティブ High の SHIFT 入力をイネーブルにして、DOUT 出力ポートのデータを取り込むことで、データをクロックに同期させてシフトアウトできます。追加のデータがある場合は、適切なロジックを DIN ポートに接続すると、57 ビットのシフトレジスタの最後に追加できます。DNA データをロールオーバーする場合は、DOUT ポートを直接 DIN ポートに接続し、57 ビットのシフト操作の後で同じデータがシフトアウトされるようにします。追加データが不要な場合は、DIN ポートを論理 0 に固定できます。SIM_DNA_VALUE 属性を設定すると、DNA データシーケンスをシミュレーションできます。デフォルトでは、シミュレーション モデルの Device DNA データビットはすべて 0 です。

ポートの説明

| ポート名 | 方向 | 幅 | 機能 |
|-------|----|---|---------------------------------------|
| CLK | 入力 | 1 | クロック入力 |
| DIN | 入力 | 1 | ユーザー データ入力 |
| DOUT | 出力 | 1 | DNA 出力データ |
| READ | 入力 | 1 | アクティブ High のロード DNA、アクティブ Low の読み出し入力 |
| SHIFT | 入力 | 1 | アクティブ High のシフト イネーブル入力 |

デザインの入力方法

このエレメントは、回路図で使用できます。

正しく動作するように、入力および出力をすべてデザインに接続します。

使用可能な属性

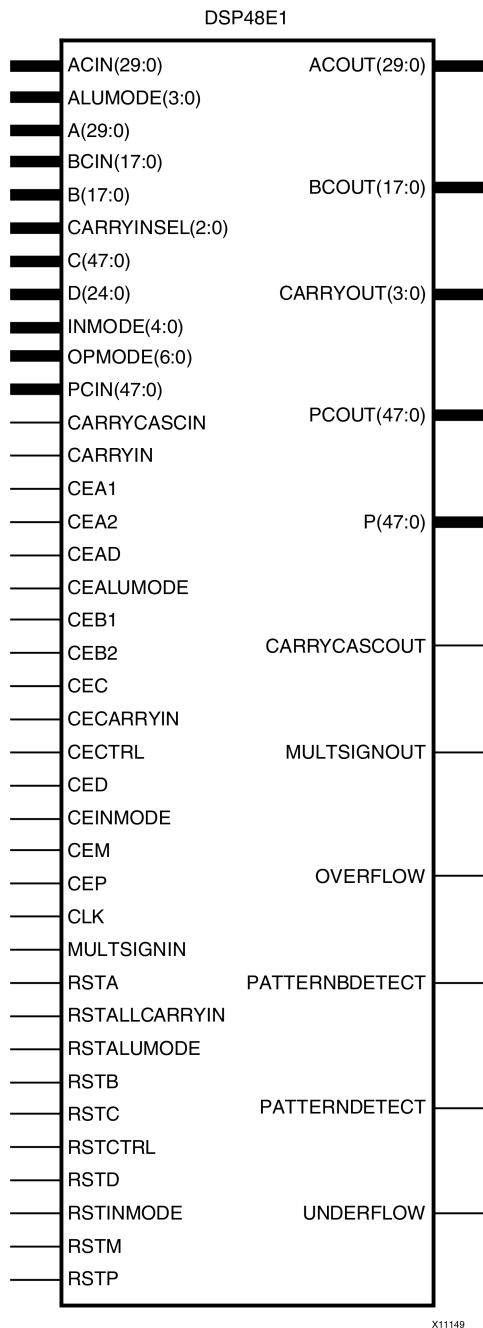
| 属性 | データ型 | 値 | デフォルト | 説明 |
|---------------|-------|---|-------------------------|-----------------------------------|
| SIM_DNA_VALUE | 16 進数 | 57'h00000000 0000000 ~ 57'h1fffffffff | 57'h00000000 0000000 | あらかじめプログラムされている工場 ID 値を 指定します。 |

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

DSP48E1

プリミティブ : 25x18 Two's Complement Multiplier with Integrated 48-Bit, 3-Input Adder/Subtractor/Accumulator or 2-Input Logic Unit



概要

このデザイン エLEMENTは、Virtex®-6 に含まれる柔軟性が高い多用途のハード IP ブロックで、多くの DSP アルゴリズムで見られる小型で高速な演算処理を作成できます。このブロックでは、乗算、加算（前置加算器を含む）、減算、累積、シフト、論理処理、およびパターン検出などが実行できます。

ポートの説明

| ポート名 | 方向 | 幅 | 説明 |
|-----------------|----|----|--|
| A[29:0] | 入力 | 30 | 乗算器/前置加算器への 25 ビット データ入力または加算器/ロジック ユニット (LU) への 30 ビット MSB データ入力。使用しない場合はすべて 1 に接続します。 |
| ACIN[29:0] | 入力 | 30 | ポート A のカスケード入力で、カスケード接続されている上位の DSP スライスの ACOUT に接続します。使用しない場合はすべて 0 に接続します。 |
| ACOUT[29:0] | 出力 | 30 | ポート A のカスケード出力で、カスケード接続されている下位の DSP スライスの ACIN に接続します。使用しない場合は、未接続のままにします。 |
| ALUMODE[3:0] | 入力 | 4 | 加算および減算を含むロジック ユニット (LU) ファンクションを選択する制御入力です。 |
| B[17:0] | 入力 | 18 | 乗算器への 18 ビット データ入力または加算器/ロジック ユニット (LU) への 18 ビット LSB データ入力。使用しない場合はすべて 1 に接続します。 |
| BCIN[17:0] | 入力 | 18 | ポート B のカスケード入力で、カスケード接続されている上位の DSP スライスの BCOUT に接続します。使用しない場合はすべて 0 に接続します。 |
| BCOUT[17:0] | 出力 | 18 | ポート B のカスケード出力で、カスケード接続されている下位の DSP スライスの BCIN に接続します。使用しない場合は、未接続のままにします。 |
| C[47:0] | 入力 | 48 | 加算器/ロジック ユニット (LU) への 48 ビット データ入力および (または) パターン検出。使用しない場合はすべて 1 に接続します。 |
| CARRYCASCIN | 入力 | 1 | 上位 DSP スライスからのカスケード キャリー入力 |
| CARRYCASCOUT | 出力 | 1 | 下位 DSP スライスへのカスケード キャリー出力 |
| CARRYIN | 入力 | 1 | 加算器/ロジック ユニット (LU) への外部キャリー入力 |
| CARRYINSEL[2:0] | 入力 | 3 | DSP スライスへのキャリー入力ソースを選択します。 |
| CARRYOUT[3:0] | 出力 | 4 | <p>演算処理 (加算、減算など) のキャリー出力信号。</p> <ul style="list-style-type: none"> USE_SIMD が FOUR12 の場合、CARRYOUT は累積器/加算器/ロジック ユニット (LU) それぞれからの 12 ビットのキャリー出力を指します。 USE_SIMD が TWO24 の場合、CARRYOUT は累積器/加算器それぞれからの 24 ビットのキャリー出力を指します。 USE_SIMD が ONE48 の場合、CARRYOUT は累積器/加算器/ロジック ユニット (LU) からの唯一の有効なキャリー出力です。 |
| CEAD | 入力 | 1 | 前置加算器出力 AD パイプライン レジスタのアクティブ High のクロック イネーブル。使用しない場合および ADREG=1 の場合は、論理 1 に接続します。ADREG=0 の場合は論理 0 に接続します。 |
| CEALUMODE | 入力 | 1 | ALUMODE 入力レジスタ (ALUMODEREG=1) のアクティブ High のクロック イネーブルです。ALUMODEREG=0 の場合は、CEALUMODE を論理 0 に接続する必要があります。 |
| CEA1 | 入力 | 1 | 最初の A (入力) レジスタのアクティブ High のクロック イネーブルで、AREG=2 または INMODE0 = 1 の場合のみに使用します。使用しない場合および AREG=2 の場合は、論理 1 に接続します。2 つのレジスタが使用される場合は、このレジスタが最初に使用されます。ダイナミック AB アクセスが使用されている場合、このクロック イネーブルが INMODE[0]=1 に適用されます。A/ACIN ポートを使用しない場合は、AREG を 1、CEA1 を 0 に接続する必要があります。 |

| ポート名 | 方向 | 幅 | 説明 |
|-------------|----|----|---|
| CEA2 | 入力 | 1 | A ポートレジスタのアクティブ High のクロック イネーブルで、使用しない場合および AREG=1 または 2 の場合は論理 1 に、AREG=0 の場合は論理 0 に接続します。2 つのレジスタが使用される場合は、このレジスタが 2 番目に使用されます。 |
| CEB1 | 入力 | 1 | 最初の B (入力) レジスタのアクティブ High のクロック イネーブルで、BREG=2 または INMODE0 = 1 の場合のみに使用します。使用しない場合および BREG=2 の場合は、論理 1 に接続します。2 つのレジスタが使用される場合は、このレジスタが最初に使用されます。ダイナミック AB アクセスが使用されている場合、このクロック イネーブルは INMODE[0]=1 に適用されます。B/BCIN ポートを使用しない場合は、BREG を 1、CEB1 を 0 に接続する必要があります。 |
| CEB2 | 入力 | 1 | B ポートレジスタのアクティブ High のクロック イネーブルで、使用しない場合および BREG=1 または 2 の場合は論理 1 に、BREG=0 の場合は論理 0 に接続します。2 つのレジスタが使用される場合は、このレジスタが 2 番目に使用されます。 |
| CEC | 入力 | 1 | C ポートレジスタ (CREG=1) のアクティブ High のクロック イネーブルで、C ポートを使用しない場合は、CREG を 1、CEC を 0 に接続する必要があります。 |
| CECARRYIN | 入力 | 1 | キャリー入力レジスタ (CARRYINREG=1) のアクティブ High のクロック イネーブルで、CARRYIN=0 の場合は、CARRYINREGを論理 0 に接続する必要があります。 |
| CECTRL | 入力 | 1 | OPMODE および CARRYINSEL レジスタのアクティブ High のクロック イネーブルで、OPMODEREG=0 の場合は、CARRYINSELREG を論理 0 に接続する必要があります。 |
| CED | 入力 | 1 | D ポートレジスタ (DREG=1) のアクティブ High のクロック イネーブルで、D ポートを使用しない場合は、DREG を 1、CED を 0 に接続する必要があります。 |
| CEINMODE | 入力 | 1 | INMODE 入力レジスタ (INMODEREG=1) のアクティブ High のクロック イネーブルで、INMODE=0 の場合は、CARRYINREG を論理 0 に接続する必要があります。 |
| CEM | 入力 | 1 | 乗算のレジスタ (MREG=1) のアクティブ High のクロック イネーブルで、MREG=0 の場合は、CEM を論理 0 に接続する必要があります。 |
| CEP | 入力 | 1 | 出力ポートレジスタ (PREG=1) のアクティブ High のクロック イネーブルで、PREG=0 の場合は、PEM を論理 0 に接続する必要があります。 |
| CLK | 入力 | 1 | DSP スライスのクロック入力 |
| D[24:0] | 入力 | 25 | 前置加算器への 25 ビット データ入力、または乗算器への入力使用しない場合はすべて 1 に接続します。 |
| INMODE[4:0] | 入力 | 5 | ALUMODE および OPMODE と共に使用する DSP スライスの演算処理を選択する制御入力です。INMODE 信号は乗算器 (前置加算器を含む) の前にある信号およびブロックの機能を制御します。 |
| MULTSIGNIN | 入力 | 1 | カスケードされた上位 DSP スライスからの乗算器符号入力。48 ビットを超える出力が必要な場合に加算器/累積器 (MACC) の出力の符号拡張のために使用します。MULTSIGNOUT 出力ピンにのみ接続します。 |
| MULTSIGNOUT | 出力 | 1 | カスケードされた下位 DSP スライスへの乗算器符号出力。48 ビットを超える出力が必要な場合に加算器/累積器 (MACC) の出力の符号拡張のために使用します。MULTSIGNIN 入力ピンにのみ接続します。 |
| OPMODE[6:0] | 入力 | 7 | ALUMODE および INMODE と共に使用する DSP スライスの演算処理を選択する制御入力です。 |
| OVERFLOW | 出力 | 1 | パターン検出器が使用され PREG=1 のときに、加算器/累積でオーバーフローを検出するアクティブ High の出力です。 |

| ポート名 | 方向 | 幅 | 説明 |
|----------------|----|----|--|
| P[47:0] | 出力 | 48 | プライマリ データ出力 |
| PATTERNBDETECT | 出力 | 1 | アクティブ High のパターン検出で、MASK 属性で指定した箇所で PATTERN の反転した値と P の値が一致したときに High になります。結果は P と同じクロック サイクルで出力されます。 |
| PATTERNDETECT | 出力 | 1 | アクティブ High のパターン検出で、MASK 属性で指定した箇所で PATTERN の反転した値と P の値が一致したときに High になります。結果は P と同じクロック サイクルで出力されます。 |
| PCIN[47:0] | 入力 | 48 | ポート P のカスケード入力で、カスケード接続されている上位の DSP スライスの PCOUT に接続します。使用しない場合は、ポートをすべてゼロにします。 |
| PCOUT[47:0] | 出力 | 48 | ポート P のカスケード出力で、カスケード接続されている下位の DSP スライスの PCIN に接続します。使用しない場合は未接続にします。 |
| RSTA | 入力 | 1 | A ポートレジスタ (AREG=1 または 2) のアクティブ High の同期リセットで、使用しない場合は論理 0 に接続します。 |
| RSTALLCARRYIN | 入力 | 1 | 全キャリー入力レジスタ (CARRYINREG=1) のアクティブ High の同期リセットで、使用しない場合は論理 0 に接続します。 |
| RSTALUMODE | 入力 | 1 | ALUMODE レジスタ (ALUMODEREG=1) のアクティブ High の同期リセットで、使用しない場合は論理 0 に接続します。 |
| RSTB | 入力 | 1 | B ポートレジスタ (BREG=1 または 2) のアクティブ High の同期リセットで、使用しない場合は論理 0 に接続します。 |
| RSTC | 入力 | 1 | C ポートレジスタ (CREG=1 または 2) のアクティブ High の同期リセットで、使用しない場合は論理 0 に接続します。 |
| RSTCTRL | 入力 | 1 | OPMODE および CARRYINSEL レジスタ (OPMODEREG=1 および CARRYINSELREG=1) のアクティブ High の同期リセットで、使用しない場合は論理 0 に接続します。 |
| RSTD | 入力 | 1 | D ポートレジスタ (DREG=1) のアクティブ High の同期リセットで、使用しない場合は論理 0 に接続します。 |
| RSTINMODE | 入力 | 1 | INMODE レジスタ (INMODEREG=1) のアクティブ High の同期リセットで、使用しない場合は論理 0 に接続します。 |
| RSTM | 入力 | 1 | 乗算器レジスタ (MREG=1) のアクティブ High の同期リセットで、使用しない場合は論理 0 に接続します。 |
| RSTP | 入力 | 1 | 出力レジスタ (PREG=1) のアクティブ High の同期リセットで、使用しない場合は論理 0 に接続します。 |
| UNDERFLOW | 出力 | 1 | パターン検出器が使用され PREG=1 のときに、加算器/累積でアンダーフローを検出するアクティブ High の出力です。 |

デザインの入力方法

このエレメントは、回路図で使用できます。

使用可能な属性

| 属性 | データ型 | 値 | デフォルト | 説明 |
|----------|------|------------------------|----------|---|
| A_INPUT | 文字列 | "DIRECT"、 "CASCADE" | "DIRECT" | A または ACIN のいずれかを選択します。 |
| ACASCREG | 整数 | 1、0、2 | 1 | AREG 属性と組み合わせて使用し、A カスケード ACOUT の A 入力レジスタの数を指定します。AREG の値以下にする必要があります。 |

| 属性 | データ型 | 値 | デフォルト | 説明 |
|------------------|-------|--|--------------------|--|
| ADREG | 整数 | 1、0 | 1 | 前置加算器出力 (AD) パイプライン レジスタの使用を選択します。AD パイプライン レジスタを使用する場合は 1 に設定します。 |
| ALUMODEREG | 整数 | 1、0 | 1 | ALUMODE 入力をレジスタに格納する場合は 1 に設定します。 |
| AREG | 整数 | 1、0、2 | 1 | A 入力のパイプラインの段数を指定します。 |
| AUTORESET_PATDET | 文字列 | "NO_RESET"、 "RESET_MATCH"、 "RESET_NOT_MATCH" | "NO_RESET" | パターン検出イベントがこのクロック サイクルで発生した場合、DSP スライスの R レジスタ (累積値またはカウンタ値) を次のクロック サイクルで自動的にリセットします。RESET_MATCH および RESET_NOT_MATCH 設定で、パターンが一致したとき、またはパターンが現在のサイクルで一致しないが前のサイクルでは一致していたとき、DSP スライスで P レジスタを次のクロック サイクルで自動的にリセットするべきかを決定します。 |
| B_INPUT | 文字列 | "DIRECT"、 "CASCADE" | "DIRECT" | B または BCIN のいずれかを選択します。 |
| BCASCREG | 整数 | 1、0、2 | 1 | BREG 属性と組み合わせて使用し、B カスケード BCOUT の B 入力レジスタの数を指定します。ただし、BREG の値以下にする必要があります。 |
| BREG | 整数 | 1、0、2 | 1 | B 入力のパイプラインの段数を指定します。 |
| CARRYINREG | 整数 | 1、0 | 1 | CARRYIN 入力をレジスタに格納する場合は 1 に設定します。 |
| CARRYINSELREG | 整数 | 1、0 | 1 | CARRYINSEL 入力をレジスタに格納する場合は 1 に設定します。 |
| CREG | 整数 | 1、0 | 1 | C 入力のパイプラインの段数を指定します。 |
| DREG | 整数 | 1、0 | 1 | D 入力のパイプラインの段数を指定します。 |
| INMODEREG | 整数 | 1、0 | 1 | INMODE 入力をレジスタに格納する場合は 1 に設定します。 |
| MASK | 16 進数 | 48'h000000 000000 ~ 48'hffffffff | 48'h3fff ffffff | パターン検出器で使用されるマスクを指定します。 |
| MREG | 整数 | 1、0 | 1 | 乗算器出力 (M) パイプライン レジスタの使用を選択します。使用する場合は 1 に設定します。 |
| OPMODEREG | 整数 | 1、0 | 1 | OPMODE 入力を格納する場合は 1 に設定します。 |
| PATTERN | 16 進数 | 48'h0000000 00000 ~ 48'hffffffff | すべてゼロ | パターン検出器で使用されるパターンを指定します。 |
| PREG | 整数 | 1、0 | 1 | P 出力をレジスタに格納する場合は 1 に設定します。レジスタが付いている出力には、CARRYOUT、CARRYCASCOOUT、MULTSIGNOUT、PATTERNB_DETECT、PATTERN_DETECT、PCOUT が含まれます。 |

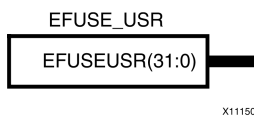
| 属性 | データ型 | 値 | デフォルト | 説明 |
|--------------------|-------|--|-------------|--|
| SEL_MASK | 文字列 | "MASK"、"C"、 "ROUNDING_ MODE1"、 "ROUNDING_ MODE2" | "MASK" | パターン検出器で使用するマスクを指定します。C および MASK はパターン検出器で標準的に使用される値です (カウンタ、オーバーフロー検出など)。 "ROUNDING_MODE1" (C バー 1 つ左にシフト) および "ROUNDING_MODE2" (C バー 2 つ左にシフト) は、オプションでレジスタを付けた C ポートに基づき、特別マスクを選択します。これらの丸めモードは、『Virtex-6 FPGA DSP48E1 ブロック ユーザー ガイド』にあるようにパターン検出器を使用して DSP スライスでの収束丸め機能をインプリメントするのに使用します。 |
| SEL_PATTERN | 文字列 | "PATTERN"、"C" | "PATTERN" | パターン検出器で使用するパターンを指定します。 |
| USE_DPORT | ブール代数 | FALSE、TRUE | FALSE | 前置加算器および D ポートの使用を選択します。 |
| USE_MULT | 文字列 | "MULTIPLY"、 "DYNAMIC"、 "NONE" | "MULTIPLY" | 乗算器の使用方法を選択します。 "NONE" に設定すると、加算器/ロジック ユニットののみを使用するときに電力を節約できます。 "DYNAMIC" は、ユーザーが A*B と A:B をダイナミックに切り替えていて、この 2 つのパスのワーストケース タイミングを取得することが必要であることを示します。 |
| USE_PATTERN_DETECT | 文字列 | "NO_PATDET"、 "PATDET" | "NO_PATDET" | "PATDET" を設定するとパターン検出器がシミュレーション モデルおよびスピード ファイルで有効になります。 |
| USE_SIMD | 文字列 | "ONE48"、 "FOUR12"、 "TWO24" | "ONE48" | SIMD (Single Instruction Multiple Data) 加算器/ロジック ユニットの使用方法を選択します。 48 ビットのロジック ユニットの 1 個、24 ビットのロジック ユニットの 2 個、または 12 ビットのロジック ユニットの 4 個から選択します。 12 ビットのロジック ユニットの 4 個では、同じ命令が実行されることに注意してください。つまり、すべてのロジック ユニットの減算または加算が同サイクルで実行されます。これにより、計算量の比較的少ないアプリケーション向けに 48 ビットの加算器を小型の加算器に分割できます。 SIMD は、加算、累積、減算などの演算処理のみに影響し、論理処理には影響しません。 |

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

EFUSE_USR

プリミティブ：32-bit non-volatile design ID



概要

デザインに固有のビット (各デザインに関連した ID など) を格納可能な 32 個の不揮発ヒューズに JTAG を介して内部アクセスします。

ポートの説明

| ポート名 | 方向 | 幅 | 機能 |
|----------------|----|----|--------------------|
| EFUSEUSR[31:0] | 出力 | 32 | ユーザー E ヒューズ レジスタの値 |

デザインの入力方法

このエレメントは、回路図で使用できます。

使用可能な属性

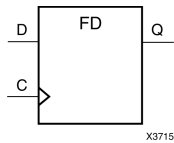
| 属性 | データ型 | 値 | デフォルト | 説明 |
|-----------------|-------|---------------------------|--------------|--------------------------------------|
| SIM_EFUSE_VALUE | 16 進数 | 32'h00000000 ~ 32'hffffff | 32'h00000000 | シミュレーションで使用される 32 ビットの非揮発性デザイン ID の値 |

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

FD

プリミティブ：D Flip-Flop



概要

このデザイン エLEMENTは、データ入力 (D) とデータ出力 (Q) がある D フリップフロップです。D 入力の値は、クロック (C) が Low から High に切り替わるときにフリップフロップにロードされます。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

| 入力 | | 出力 |
|----|---|----|
| D | C | Q |
| 0 | ↑ | 0 |
| 1 | ↑ | 1 |

デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

使用可能な属性

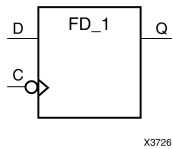
| 属性 | データ型 | 値 | デフォルト | 説明 |
|------|------|-----|-------|---------------------------|
| INIT | 2 進数 | 0、1 | 0 | コンフィギュレーション後の Q 出力の初期値を指定 |

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

FD_1

プリミティブ：D Flip-Flop with Negative-Edge Clock



概要

このデザイン エLEMENTは、データ入力 (D) とデータ出力 (Q) がある単一の D フリップフロップです。D 入力の値は、クロック (C) が High から Low に切り替わる時にフリップフロップにロードされます。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

| 入力 | | 出力 |
|----|---|----|
| D | C | Q |
| 0 | ↓ | 0 |
| 1 | ↓ | 1 |

デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

使用可能な属性

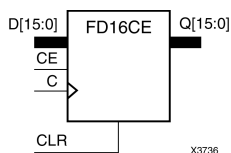
| 属性 | データ型 | 値 | デフォルト | 説明 |
|------|------|-----|-------|---------------------------|
| INIT | 2 進数 | 0、1 | 0 | コンフィギュレーション後の Q 出力の初期値を指定 |

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

FD16CE

マクロ : 16-Bit Data Register with Clock Enable and Asynchronous Clear



概要

このデザイン エLEMENTは、クロック イネーブルと非同期クリアがある 16 ビットのデータレジスタです。クロック イネーブル (CE) が High、非同期クリア (CLR) が Low の場合、クロック (C) が Low から High に切り替わるときにデータ入力 (D) の値がデータ出力 (Q) に送られます。CLR が High になると、ほかの入力はすべて無視され、出力 (Q) が Low にリセットされます。CE が Low の場合、クロック遷移は無視されます。

電力を供給すると、レジスタは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

| 入力 | | | | 出力 |
|--------------|----|---------|---|---------|
| CLR | CE | Dz : D0 | C | Qz : Q0 |
| 1 | X | X | X | 0 |
| 0 | 0 | X | X | 変化なし |
| 0 | 1 | Dn | ↑ | Dn |
| z = ビット幅 - 1 | | | | |

デザインの入力方法

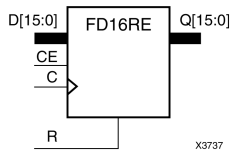
このELEMENTは、回路図でのみ使用できます。

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

FD16RE

マクロ：16-Bit Data Register with Clock Enable and Synchronous Reset



概要

このデザイン エLEMENTは、16 ビットのデータレジスタです。クロック イネーブル入力 (CE) が High、同期リセット入力 (R) が Low の場合、クロック (C) が Low から High に切り替わるときに入力 (D) の値が対応する出力 (Q) に送られます。R が High になると、ほかの入力はすべて無視され、クロックが Low から High に切り替わるときに出力 (Q) の値が Low にリセットされます。CE が Low の場合、クロック遷移は無視されます。

電力を供給すると、レジスタは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

| 入力 | | | | 出力 |
|--------------|----|---------|---|---------|
| R | CE | Dz : D0 | C | Qz : Q0 |
| 1 | X | X | ↑ | 0 |
| 0 | 0 | X | X | 変化なし |
| 0 | 1 | Dn | ↑ | Dn |
| z = ビット幅 - 1 | | | | |

デザインの入力方法

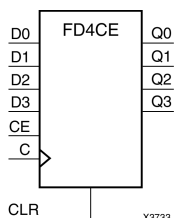
このELEMENTは、回路図でのみ使用できます。

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

FD4CE

マクロ：4-Bit Data Register with Clock Enable and Asynchronous Clear



概要

このデザイン エレメントは、クロック イネーブルと非同期クリアがある 4 ビットのデータレジスタです。クロック イネーブル (CE) が High、非同期クリア (CLR) が Low の場合、クロック (C) が Low から High に切り替わるときにデータ入力 (D) の値がデータ出力 (Q) に送られます。CLR が High になると、ほかの入力はすべて無視され、出力 (Q) が Low にリセットされます。CE が Low の場合、クロック遷移は無視されます。

電力を供給すると、レジスタは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

| 入力 | | | | 出力 |
|--------------|----|---------|---|---------|
| CLR | CE | Dz : D0 | C | Qz : Q0 |
| 1 | X | X | X | 0 |
| 0 | 0 | X | X | 変化なし |
| 0 | 1 | Dn | ↑ | Dn |
| z = ビット幅 - 1 | | | | |

デザインの入力方法

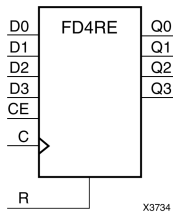
このエレメントは、回路図でのみ使用できます。

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

FD4RE

マクロ：4-Bit Data Register with Clock Enable and Synchronous Reset



概要

このデザイン エLEMENTは、4 ビットのデータレジスタです。クロック イネーブル入力 (CE) が High、同期リセット入力 (R) が Low の場合、クロック (C) が Low から High に切り替わるときに入力 (D) の値が対応する出力 (Q) に送られます。R が High になると、ほかの入力はすべて無視され、クロックが Low から High に切り替わるときに出力 (Q) の値が Low にリセットされます。CE が Low の場合、クロック遷移は無視されます。

電力を供給すると、レジスタは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

| 入力 | | | | 出力 |
|----|----|---------|---|---------|
| R | CE | Dz : D0 | C | Qz : Q0 |
| 1 | X | X | ↑ | 0 |
| 0 | 0 | X | X | 変化なし |
| 0 | 1 | Dn | ↑ | Dn |

z = ビット幅 - 1

デザインの入力方法

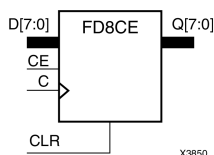
このELEMENTは、回路図でのみ使用できます。

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

FD8CE

マクロ：8-Bit Data Register with Clock Enable and Asynchronous Clear



概要

このデザイン エレメントは、クロック イネーブルと非同期クリアがある 8 ビットのデータレジスタです。クロック イネーブル (CE) が High、非同期クリア (CLR) が Low の場合、クロック (C) が Low から High に切り替わるときにデータ入力 (D) の値がデータ出力 (Q) に送られます。CLR が High になると、ほかの入力はすべて無視され、出力 (Q) が Low にリセットされます。CE が Low の場合、クロック遷移は無視されます。

電力を供給すると、レジスタは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

| 入力 | | | | 出力 |
|-----|----|---------|---|---------|
| CLR | CE | Dz : D0 | C | Qz : Q0 |
| 1 | X | X | X | 0 |
| 0 | 0 | X | X | 変化なし |
| 0 | 1 | Dn | ↑ | Dn |

z = ビット幅 - 1

デザインの入力方法

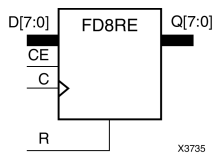
このエレメントは、回路図でのみ使用できます。

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

FD8RE

マクロ：8-Bit Data Register with Clock Enable and Synchronous Reset



概要

このデザイン エLEMENTは、8 ビットのデータレジスタです。クロック イネーブル入力 (CE) が High、同期リセット入力 (R) が Low の場合、クロック (C) が Low から High に切り替わるときに入力 (D) の値が対応する出力 (Q) に送られます。R が High になると、ほかの入力はすべて無視され、クロックが Low から High に切り替わるときに出力 (Q) の値が Low にリセットされます。CE が Low の場合、クロック遷移は無視されます。

電力を供給すると、レジスタは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

| 入力 | | | | 出力 |
|--------------|----|---------|---|---------|
| R | CE | Dz : D0 | C | Qz : Q0 |
| 1 | X | X | ↑ | 0 |
| 0 | 0 | X | X | 変化なし |
| 0 | 1 | Dn | ↑ | Dn |
| z = ビット幅 - 1 | | | | |

デザインの入力方法

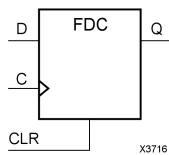
このELEMENTは、回路図でのみ使用できます。

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

FDC

プリミティブ：D Flip-Flop with Asynchronous Clear



概要

このデザイン エLEMENTは、データ入力 (D)、非同期クリア入力 (CLR)、データ出力 (Q) がある単一の D フリップフロップです。非同期 CLR が High になると、ほかのすべての入力は無視され、Q 出力が Low になります。CLR が Low の場合、クロックが Low から High に切り替わるときに D 入力の値がフリップフロップにロードされます。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

| 入力 | | | 出力 |
|-----|---|---|----|
| CLR | D | C | Q |
| 1 | X | X | 0 |
| 0 | D | ↑ | D |

デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

使用可能な属性

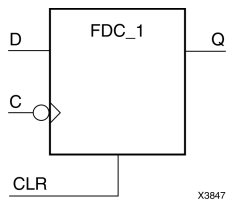
| 属性 | データ型 | 値 | デフォルト | 説明 |
|------|------|-----|-------|----------------------------|
| INIT | 2 進数 | 0、1 | 0 | コンフィギュレーション後の Q 出力の初期値を指定。 |

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

FDC_1

プリミティブ：D Flip-Flop with Negative-Edge Clock and Asynchronous Clear



概要

FDC_1 は、入力 (D)、非同期クリア入力 (CLR)、出力 (Q) がある単一の D タイプ フリップフロップです。非同期 CLR が High になると、ほかのすべての入力は無視され、Q 出力が Low になります。D 入力の値は、クロック (C) が High から Low に切り替わる時にフリップフロップにロードされます。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

| 入力 | | | 出力 |
|-----|---|---|----|
| CLR | D | C | Q |
| 1 | X | X | 0 |
| 0 | D | ↓ | D |

デザインの入力方法

このエレメントは、回路図でのみ使用できます。

使用可能な属性

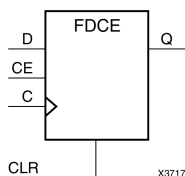
| 属性 | データ型 | 値 | デフォルト | 説明 |
|------|------|-----|-------|----------------------------|
| INIT | 2 進数 | 0、1 | 0 | コンフィギュレーション後の Q 出力の初期値を指定。 |

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

FDCE

プリミティブ : D Flip-Flop with Clock Enable and Asynchronous Clear



概要

このデザイン エレメントは、クロック イネーブルと非同期クリアがある単一の D タイプ フリップフロップです。クロック イネーブル (CE) が High、非同期クリア (CLR) が Low の場合、クロック (C) が Low から High に切り替わるときにデータ入力 (D) の値がデータ出力 (Q) に送られます。CLR が High になると、ほかのすべての入力は無視され、出力 (Q) の値が Low にリセットされます。CE が Low の場合、クロック遷移は無視されます。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

| 入力 | | | | 出力 |
|-----|----|---|---|------|
| CLR | CE | D | C | Q |
| 1 | X | X | X | 0 |
| 0 | 0 | X | X | 変化なし |
| 0 | 1 | D | ↑ | D |

デザインの入力方法

このエレメントは、回路図で使用できます。

使用可能な属性

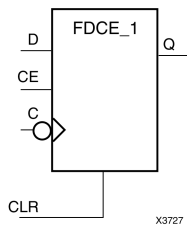
| 属性 | データ型 | 値 | デフォルト | 説明 |
|------|------|-----|-------|----------------------------|
| INIT | 2 進数 | 0、1 | 0 | コンフィギュレーション後の Q 出力の初期値を指定。 |

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

FDCE_1

プリミティブ：D Flip-Flop with Negative-Edge Clock, Clock Enable, and Asynchronous Clear



概要

このデザイン エLEMENTは、データ (D)、クロック イネーブル (CE)、非同期クリア (CLR) の各入力とデータ出力 (Q) のある単一の D タイプ フリップフロップです。非同期 CLR が High になると、ほかのすべての入力は無視され、Q 出力が Low になります。CLR が Low、CE が High の場合、クロック (C) が High から Low に切り替わるときに D 入力の値がフリップフロップにロードされます。CE が Low の場合、クロック遷移は無視されます。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

| 入力 | | | | 出力 |
|-----|----|---|---|------|
| CLR | CE | D | C | Q |
| 1 | X | X | X | 0 |
| 0 | 0 | X | X | 変化なし |
| 0 | 1 | D | ↓ | D |

デザインの入力方法

このELEMENTは、回路図で使用できます。

使用可能な属性

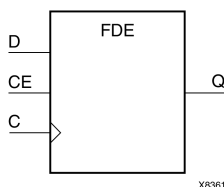
| 属性 | データ型 | 値 | デフォルト | 説明 |
|------|------|-----|-------|----------------------------|
| INIT | 2 進数 | 0、1 | 0 | コンフィギュレーション後の Q 出力の初期値を指定。 |

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

FDE

プリミティブ：D Flip-Flop with Clock Enable



概要

このデザイン エレメントは、データ入力 (D)、クロック イネーブル (CE)、データ出力 (Q) がある単一の D フリップフロップです。クロック イネーブルが High の場合、クロック (C) が Low から High に切り替わるときに D 入力の値がフリップフロップにロードされます。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

| 入力 | | | 出力 |
|----|---|---|------|
| CE | D | C | Q |
| 0 | X | X | 変化なし |
| 1 | 0 | ↑ | 0 |
| 1 | 1 | ↑ | 1 |

デザインの入力方法

このエレメントは、回路図でのみ使用できます。

使用可能な属性

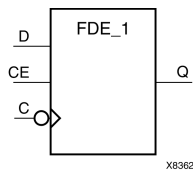
| 属性 | データ型 | 値 | デフォルト | 説明 |
|------|------|-----|-------|---------------------------|
| INIT | 2 進数 | 0、1 | 0 | コンフィギュレーション後の Q 出力の初期値を指定 |

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

FDE_1

プリミティブ：D Flip-Flop with Negative-Edge Clock and Clock Enable



概要

このデザイン エLEMENTは、データ入力 (D)、クロック イネーブル (CE)、データ出力 (Q) がある単一の D フリップフロップです。クロック イネーブルが High の場合、クロック (C) が High から Low に切り替わるときに D 入力の値がフリップフロップにロードされます。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

| 入力 | | | 出力 |
|----|---|---|------|
| CE | D | C | Q |
| 0 | X | X | 変化なし |
| 1 | 0 | ↓ | 0 |
| 1 | 1 | ↓ | 1 |

デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

使用可能な属性

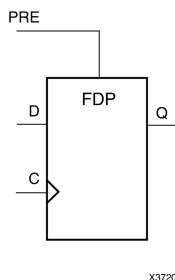
| 属性 | データ型 | 値 | デフォルト | 説明 |
|------|------|-----|-------|---------------------------|
| INIT | 2 進数 | 0、1 | 0 | コンフィギュレーション後の Q 出力の初期値を指定 |

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

FDP

プリミティブ：D Flip-Flop with Asynchronous Preset



X3720

概要

このデザイン エLEMENTは、データ (D)、非同期プリセット (PRE) の各入力とデータ出力 (Q) がある単一の D フリップフロップです。非同期 PRE が High になると、ほかのすべての入力は無視され、Q 出力が High にプリセットされます。PRE が Low の場合、クロック (C) が Low から High に切り替わるときに D 入力の値がフリップフロップにロードされます。

FPGA では、電力を供給すると、フリップフロップは非同期にプリセットされ、出力が High になります。グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

| 入力 | | | 出力 |
|-----|---|---|----|
| PRE | C | D | Q |
| 1 | X | X | 1 |
| 0 | ↑ | D | D |

デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

使用可能な属性

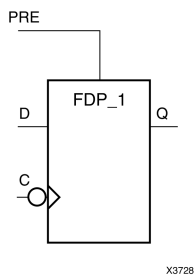
| 属性 | データ型 | 値 | デフォルト | 説明 |
|------|------|-----|-------|----------------------------|
| INIT | 2 進数 | 0、1 | 1 | コンフィギュレーション後の Q 出力の初期値を指定。 |

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

FDP_1

プリミティブ：D Flip-Flop with Negative-Edge Clock and Asynchronous Preset



概要

このデザイン エLEMENTは、データ (D)、非同期プリセット (PRE) の各入力とデータ出力 (Q) がある単一の D フリップフロップです。非同期 PRE が High になると、ほかのすべての入力は無視され、Q 出力が High にプリセットされます。PRE が Low の場合、クロック (C) が High から Low に切り替わるときに D 入力の値がフリップフロップにロードされます。

電力を供給すると、フリップフロップは非同期にプリセットされ、出力が High になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

| 入力 | | | 出力 |
|-----|---|---|----|
| PRE | C | D | Q |
| 1 | X | X | 1 |
| 0 | ↓ | D | D |

デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

使用可能な属性

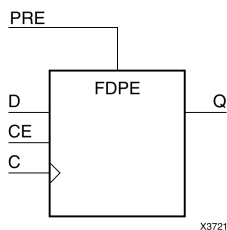
| 属性 | データ型 | 値 | デフォルト | 説明 |
|------|------|-----|-------|----------------------------|
| INIT | 2 進数 | 0、1 | 1 | コンフィギュレーション後の Q 出力の初期値を指定。 |

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

FDPE

プリミティブ：D Flip-Flop with Clock Enable and Asynchronous Preset



概要

このデザイン エレメントは、データ (D)、クロック イネーブル (CE)、非同期プリセット (PRE) の各入力とデータ出力 (Q) がある単一の D フリップフロップです。非同期の PRE が High になると、ほかのすべての入力は無視され、Q 出力が High にセットされます。PRE が Low、CE が High の場合、クロック (C) が Low から High に切り替わるときに D 入力の値がフリップフロップにロードされます。CE が Low の場合、クロック遷移は無視されます。

FPGA では、電力を供給すると、フリップフロップは非同期にプリセットされ、出力が High になります。グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

| 入力 | | | | 出力 |
|-----|----|---|---|------|
| PRE | CE | D | C | Q |
| 1 | X | X | X | 1 |
| 0 | 0 | X | X | 変化なし |
| 0 | 1 | D | ↑ | D |

デザインの入力方法

このエレメントは、回路図で使用できます。

使用可能な属性

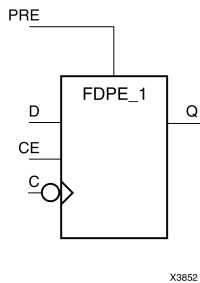
| 属性 | データ型 | 値 | デフォルト | 説明 |
|------|------|-----|-------|----------------------------|
| INIT | 2 進数 | 0、1 | 1 | コンフィギュレーション後の Q 出力の初期値を指定。 |

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

FDPE_1

プリミティブ：D Flip-Flop with Negative-Edge Clock, Clock Enable, and Asynchronous Preset



概要

このデザイン エLEMENTは、データ (D)、クロック イネーブル (CE)、非同期プリセット (PRE) の各入力とデータ出力 (Q) がある単一の D フリップフロップです。非同期の PRE が High になると、ほかのすべての入力は無視され、Q 出力が High にセットされます。PRE が Low、CE が High の場合、クロック (C) が High から Low に切り替わる時に D 入力の値がフリップフロップにロードされます。CE が Low の場合、クロック遷移は無視されます。

FPGA では、電力を供給すると、フリップフロップは非同期にプリセットされ、出力が High になります。グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

| 入力 | | | | 出力 |
|-----|----|---|---|------|
| PRE | CE | D | C | Q |
| 1 | X | X | X | 1 |
| 0 | 0 | X | X | 変化なし |
| 0 | 1 | D | ↓ | D |

デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

使用可能な属性

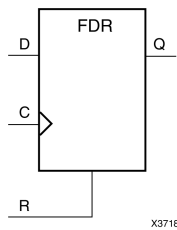
| 属性 | データ型 | 値 | デフォルト | 説明 |
|------|------|-----|-------|----------------------------|
| INIT | 2 進数 | 0、1 | 1 | コンフィギュレーション後の Q 出力の初期値を指定。 |

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

FDR

プリミティブ：D Flip-Flop with Synchronous Reset



概要

このデザイン エレメントは、データ (D)、同期リセット (R) の各入力とデータ出力 (Q) がある単一の D タイプ フリップフロップです。同期リセット入力 (R) が High になると、ほかの入力は無視され、クロック (C) が Low から High に切り替わる時に出力 (Q) が Low にリセットされます。R が Low の場合、クロックが Low から High に切り替わる時に D 入力の値がフリップフロップにロードされます。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

| 入力 | | | 出力 |
|----|---|---|----|
| R | D | C | Q |
| 1 | X | ↑ | 0 |
| 0 | D | ↑ | D |

デザインの入力方法

このエレメントは、回路図でのみ使用できます。

使用可能な属性

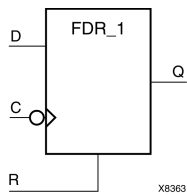
| 属性 | データ型 | 値 | デフォルト | 説明 |
|------|------|-----|-------|---------------------------|
| INIT | 2 進数 | 0、1 | 0 | コンフィギュレーション後の Q 出力の初期値を指定 |

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

FDR_1

プリミティブ：D Flip-Flop with Negative-Edge Clock and Synchronous Reset



概要

このデザイン エLEMENTは、データ (D)、同期リセット (R) の各入力とデータ出力 (Q) がある単一の D タイプ フリップフロップです。同期リセット入力 (R) が High になると、ほかの入力は無視され、クロック (C) が High から Low に切り替わるときに出力 (Q) が Low にリセットされます。R が Low の場合、クロック (C) が High から Low に切り替わるときに D 入力の値がフリップフロップにロードされます。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

| 入力 | | | 出力 |
|----|---|---|----|
| R | D | C | Q |
| 1 | X | ↓ | 0 |
| 0 | D | ↓ | D |

デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

使用可能な属性

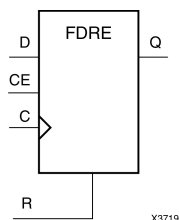
| 属性 | データ型 | 値 | デフォルト | 説明 |
|------|------|------|-------|---------------------------|
| INIT | 2 進数 | 0, 1 | 0 | コンフィギュレーション後の Q 出力の初期値を指定 |

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

FDRE

プリミティブ : D Flip-Flop with Clock Enable and Synchronous Reset



概要

このデザイン エLEMENTは、データ (D)、クロック イネーブル (CE)、同期リセット (R) の各入力とデータ出力 (Q) がある単一の D タイプ フリップフロップです。同期リセット入力 (R) が High になると、ほかの入力は無視され、クロック (C) が Low から High に切り替わるときに出力 (Q) が Low にリセットされます。R が Low、CE が High の場合、クロックが Low から High に切り替わるときに D 入力の値がフリップフロップにロードされます。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

| 入力 | | | | 出力 |
|----|----|---|---|------|
| R | CE | D | C | Q |
| 1 | X | X | ↑ | 0 |
| 0 | 0 | X | X | 変化なし |
| 0 | 1 | D | ↑ | D |

デザインの入力方法

このELEMENTは、回路図で使用できます。

使用可能な属性

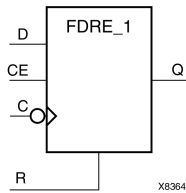
| 属性 | データ型 | 値 | デフォルト | 説明 |
|------|------|-----|-------|----------------------------|
| INIT | 2 進数 | 0、1 | 0 | コンフィギュレーション後の Q 出力の初期値を指定。 |

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

FDRE_1

プリミティブ：D Flip-Flop with Negative-Clock Edge, Clock Enable, and Synchronous Reset



概要

FDRE_1 は、データ (D)、クロック イネーブル (CE)、同期リセット (R) の各入力とデータ出力 (Q) がある単一の D タイプ フリップフロップです。同期リセット入力 (R) が High になると、ほかの入力は無視され、クロック (C) が High から Low に切り替わるときに出力 (Q) が Low にリセットされます。R が Low で CE が High の場合、クロック (C) が High から Low に切り替わるときに D 入力の値がフリップフロップにロードされます。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

| 入力 | | | | 出力 |
|----|----|---|---|------|
| R | CE | D | C | Q |
| 1 | X | X | ↓ | 0 |
| 0 | 0 | X | X | 変化なし |
| 0 | 1 | D | ↓ | D |

デザインの入力方法

このエレメントは、回路図でのみ使用できます。

使用可能な属性

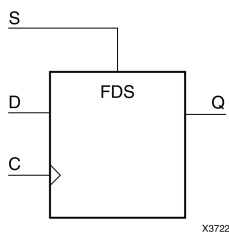
| 属性 | データ型 | 値 | デフォルト | 説明 |
|------|------|-----|-------|----------------------------|
| INIT | 2 進数 | 0、1 | 0 | コンフィギュレーション後の Q 出力の初期値を指定。 |

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

FDS

プリミティブ : D Flip-Flop with Synchronous Set



概要

FDS は、データ (D)、同期セット (S) の各入力とデータ出力 (Q) がある単一の D タイプ フリップフロップです。同期セット入力が高になると、クロック (C) が Low から High に切り替わるときに Q 出力が高にセットされます。S が Low の場合、クロック (C) が Low から High に切り替わるときに D 入力の値がフリップフロップにロードされます。

FPGA では、電力を供給すると、フリップフロップは非同期にプリセットされ、出力が高になります。グローバルセット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

| 入力 | | | 出力 |
|----|---|---|----|
| S | D | C | Q |
| 1 | X | ↑ | 1 |
| 0 | D | ↑ | D |

デザインの入力方法

このエレメントは、回路図でのみ使用できます。

使用可能な属性

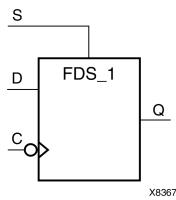
| 属性 | データ型 | 値 | デフォルト | 説明 |
|------|------|-----|-------|---------------------------|
| INIT | 2 進数 | 0、1 | 1 | コンフィギュレーション後の Q 出力の初期値を指定 |

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

FDS_1

プリミティブ：D Flip-Flop with Negative-Edge Clock and Synchronous Set



概要

FDS は、データ (D)、同期セット (S) の各入力とデータ出力 (Q) がある単一の D タイプ フリップフロップです。同期セット入力が High になると、クロック (C) が Low から High に切り替わるときに Q 出力が High にセットされます。S が Low の場合、クロック (C) が Low から High に切り替わるときに D 入力の値がフリップフロップにロードされます。

電力を供給すると、フリップフロップは非同期にプリセットされ、出力が High になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

| 入力 | | | 出力 |
|----|---|---|----|
| S | D | C | Q |
| 1 | X | ↓ | 1 |
| 0 | D | ↓ | D |

デザインの入力方法

このエレメントは、回路図でのみ使用できます。

使用可能な属性

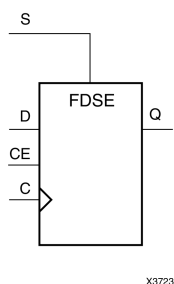
| 属性 | データ型 | 値 | デフォルト | 説明 |
|------|------|-----|-------|---------------------------|
| INIT | 2 進数 | 0、1 | 1 | コンフィギュレーション後の Q 出力の初期値を指定 |

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

FDSE

プリミティブ : D Flip-Flop with Clock Enable and Synchronous Set



概要

FDSE は、データ (D)、クロック イネーブル (CE)、同期セット (S) の各入力とデータ出力 (Q) がある単一の D タイプ フリップフロップです。同期セット (S) 入力が高になると、クロック イネーブル (CE) 入力は無視され、クロック (C) が Low から High に切り替わるときに Q 出力が高にセットされます。S が Low、CE が High の場合、クロック (C) が Low から High に切り替わるときに D 入力の値がフリップフロップにロードされます。

FPGA では、電力を供給すると、フリップフロップは非同期にプリセットされ、出力が高になります。グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

| 入力 | | | | 出力 |
|----|----|---|---|------|
| S | CE | D | C | Q |
| 1 | X | X | ↑ | 1 |
| 0 | 0 | X | X | 変化なし |
| 0 | 1 | D | ↑ | D |

デザインの入力方法

このエレメントは、回路図で使用できます。

使用可能な属性

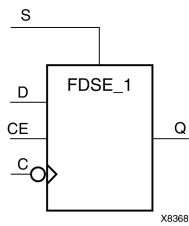
| 属性 | データ型 | 値 | デフォルト | 説明 |
|------|------|-----|-------|----------------------------|
| INIT | 2 進数 | 0、1 | 1 | コンフィギュレーション後の Q 出力の初期値を指定。 |

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

FDSE_1

プリミティブ：D Flip-Flop with Negative-Edge Clock, Clock Enable, and Synchronous Set



概要

FDSE_1 は、データ (D)、クロック イネーブル (CE)、同期セット (S) の各入力とデータ出力 (Q) がある単一の D フリップフロップです。同期セット (S) 入力が High になると、クロック イネーブル (CE) 入力は無視され、クロック (C) が High から Low に切り替わるときに Q 出力が High にセットされます。S が Low、CE が High の場合、クロック (C) が High から Low に切り替わるときに D 入力の値がフリップフロップにロードされます。

電力を供給すると、フリップフロップは非同期にプリセットされ、出力が High になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

| 入力 | | | | 出力 |
|----|----|---|---|------|
| S | CE | D | C | Q |
| 1 | X | X | ↓ | 1 |
| 0 | 0 | X | X | 変化なし |
| 0 | 1 | D | ↓ | D |

デザインの入力方法

このエレメントは、回路図でのみ使用できます。

使用可能な属性

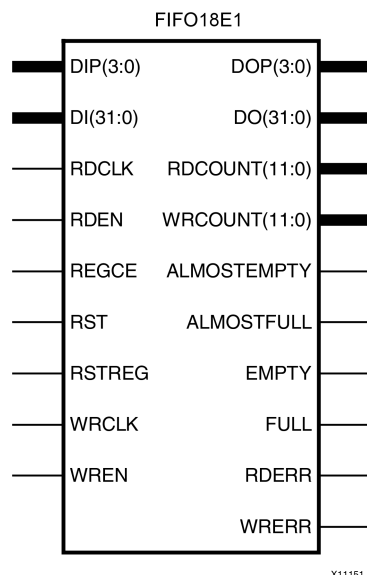
| 属性 | データ型 | 値 | デフォルト | 説明 |
|------|------|-----|-------|----------------------------|
| INIT | 2 進数 | 0、1 | 1 | コンフィギュレーション後の Q 出力の初期値を指定。 |

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

FIFO18E1

プリミティブ：18 k-bit FIFO (First In, First Out) Block RAM Memory



概要

Virtex®-6 デバイスにはブロック RAM が数個含まれ、これらの RAM を個別に FIFO、自動エラー訂正 RAM、または汎用 RAM/ROM (36Kb または 18Kb) としてコンフィギュレーションできます。これらのブロック RAM には、大量のオンチップ データを高速かつ柔軟に格納できます。FIFO18E1 では、FIFO 制御ロジックおよび 18Kb ブロック RAM が使用されます。このプリミティブは、4 ビット X 4K、9 ビット X 2K、18 ビット X 1K、または 36 ビット X 512 コンフィギュレーションで使用できます。また、このプリミティブは関連するすべての FIFO フラグおよびステータス信号と共に、同期モードまたはデュアル レート (非同期) モードのいずれにもコンフィギュレーションできます。独立したクロックでデュアル クロック モードを使用する場合、読み出しクロック エッジと書き込みクロック エッジ間のオフセットによっては、Empty、Almost Empty、Full、および Almost Full フラグが 1 クロック サイクル後にディアサートされることがあります。クロックが非同期のため、シミュレーション モデルではユーザー ガイドに示されているディアサート レイテンシ サイクルのみが反映されます。

メモ： 36 ビット X 512 ワードの FIFO には、FIFO18_36 を使用する必要があります。これよりワード数が多く、データ幅の広いコンフィギュレーションには、FIFO36E1 を使用できます。エラー修正回路が必要な場合は、FIFO36E1 を FIFO36_72 モードで使用する必要があります。

ポートの説明

| ポート名 | 方向 | 幅 | 機能 |
|-------------|----|----|---|
| ALMOSTEMPTY | 出力 | 1 | FIFO がほぼ空であることを示します。このフラグをトリガーする位置は ALMOST_EMPTY_OFFSET 属性で指定します。 |
| ALMOSTFULL | 出力 | 1 | FIFO がほぼフルであることを示します。このフラグをトリガーする位置は ALMOST_FULL_OFFSET 属性で指定します。 |
| DI[31:0] | 入力 | 32 | FIFO データ入力バス |
| DIP[3:0] | 入力 | 4 | FIFO パリティ データ入力バス |
| DO[31:0] | 出力 | 32 | FIFO データ出力バス |

| ポート名 | 方向 | 幅 | 機能 |
|---------------------|----|----|---|
| DOP[3:0] | 出力 | 4 | FIFO パリティ データ出力バス |
| EMPTY | 出力 | 1 | FIFO が空であることを示します。 |
| FULL | 出力 | 1 | FIFO がフルであることを示します。 |
| RDEN | 入力 | 1 | アクティブ High の FIFO リード イネーブル |
| REGCE | 入力 | 1 | パイプライン化された同期 FIFO の出力レジスタ クロック イネーブル |
| RST | 入力 | 1 | 3 クロック サイクル間アクティブ Highの (FIFO ロジック) の非同期リセット (デュアル レートの FIFO 向け)、同期リセット (同期 FIFO) |
| RSTREG | 入力 | 1 | 出力レジスタの同期セット/リセット |
| WRCLK、 RDCLK | 入力 | 1 | FIFO リード クロックおよびライト クロック (立ち上がりエッジで動作) |
| WRCOUNT、 RDCOUNT | 出力 | 12 | FIFO 書き込み/読み出しポインター |
| WREN | 入力 | 1 | アクティブ High の FIFO ライト イネーブル |
| WRERR、 RDERR | 出力 | 1 | <ul style="list-style-type: none"> WRERR は FIFO がフルの間に書き込みが実行されたことを示します。 RDERR は FIFO が空の間に読み出しが実行されたことを示します。 |

デザインの入力方法

このエレメントは、回路図で使用できます。

使用可能な属性

| 属性 | データ型 | 値 | デフォルト | 説明 |
|-------------------------|-------|--------------------------|----------|--|
| ALMOST_EMPTY_OFFSET | 16 進数 | 13'h0000 ~ 13'h8191 | 13'h0080 | ALMOST_EMPTY フラグをトリガーする RAM のデータ量を指定します。 |
| ALMOST_FULL_OFFSET | 16 進数 | 13'h0000 ~ 13'h8191 | 13'h0080 | ALMOST_FULL フラグをトリガーする RAM のデータ量を指定します。 |
| DATA_WIDTH | 整数 | 4、9、18、36 | 4 | FIFO に必要なデータ幅を指定 |
| DO_REG | 整数 | 1、0 | 1 | EN_SYN のデータ パイプライン レジスタ |
| EN_SYN | ブール代数 | FALSE、TRUE | FALSE | FIFO がデュアル クロック (独立した 2 つのクロック) または同期 (1 つのクロック) のいずれかで動作しているかを示します。デュアル クロックの場合は DO_REG=1 である必要があります。 |
| FIFO_MODE | 文字列 | "FIFO18"、 "FIFO18_36" | "FIFO18" | FIFO18 または FIFO18_36 モードを選択します。 |
| FIRST_WORD_FALL_THROUGH | ブール代数 | FALSE、TRUE | FALSE | TRUE に設定すると、RDEN がアサートされずに FIFO に最初書き込まれた値が DO に出力されます。 |

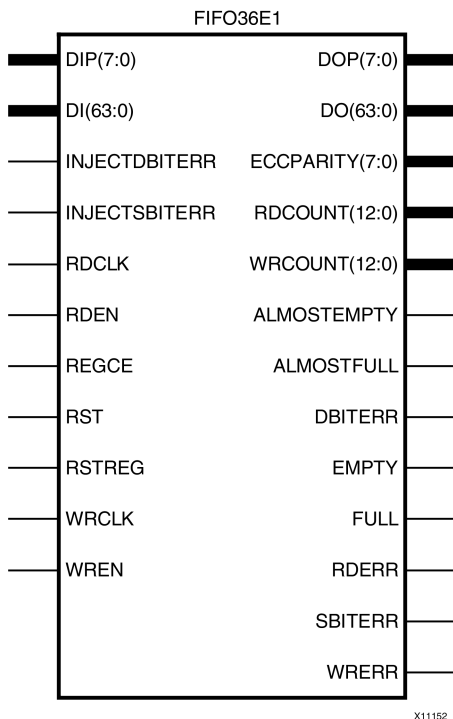
| 属性 | データ型 | 値 | デフォルト | 説明 |
|-------|-------|---------|-------|---|
| INIT | 16 進数 | 36 ビット値 | すべてゼロ | コンフィギュレーション後の DO 出力の初期値を指定します。 |
| SRVAL | 16 進数 | 36 ビット値 | すべてゼロ | 同期リセット信号 (RSTREG) がアサートされたときの FIFO の出力値を指定します。DO_REG=1 の場合のみ有効です。 |

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

FIFO36E1

プリミティブ : 36 kb FIFO (First In, First Out) Block RAM Memory



概要

Virtex®-6 デバイスにはブロック RAM が数個含まれ、FIFO、自動エラー訂正 RAM、または汎用 RAM/ROM (36 Kb または 18 Kb) としてコンフィギュレーションできます。これらのブロック RAM には、大量のオンチップ データを高速かつ柔軟に格納できます。FIFO36E1 を使用すると、36Kb の FIFO のブロック RAM へアクセスできます。このコンポーネントは、関連 FIFO フラグを持つ 4 ビット X 8K ワード、9 ビット X 4K ワード、18 ビット X 2K ワード、36 ビット X 1K ワード、72 ビット X 512 ワードの同期またはデュアル クロック (非同期) FIFO RAM としてコンフィギュレーションできます。

独立したクロックでデュアル クロック モードを使用する場合、読み出しクロック エッジと書き込みクロック エッジ間のオフセットによっては、Empty、Almost Empty、Full、および Almost Full フラグが 1 クロック サイクル後にディアサートされることがあります。クロックが非同期のため、シミュレーション モデルではユーザー ガイドに示されているディアサートレイテンシ サイクルのみが反映されます。

メモ : 72 ビット X 512 ワードの FIFO には、FIFO36_72 を使用する必要があります。これよりワード数が少なく、データ幅の狭いコンフィギュレーションには、FIFO18E1 を使用できます。エラー修正回路が必要な場合は、FIFO36_72 モードを使用する必要があります。

ポートの説明

| ポート名 | 方向 | 幅 | 機能 |
|---------------------|----|----|---|
| ALMOSTEMPTY | 出力 | 1 | FIFO がほぼ空であることを示します。このフラグをトリガーする位置は ALMOST_EMPTY_OFFSET 属性で指定します。 |
| ALMOSTFULL | 出力 | 1 | FIFO がほぼフルであることを示します。このフラグをトリガーする位置は ALMOST_FULL_OFFSET 属性で指定します。 |
| DBITERR | 出力 | 1 | ダブル ビット エラーが検出されたことを示す ECC ファンクションからのステータス出力。使用する場合は、EN_ECC_READ を TRUE にする必要があります。 |
| DI[63:0] | 入力 | 64 | FIFO データ入力バス |
| DIP[7:0] | 入力 | 8 | FIFO パリティ データ入力バス |
| DO[63:0] | 出力 | 64 | FIFO データ出力バス |
| DOP[7:0] | 出力 | 8 | FIFO パリティ データ出力バス |
| ECCPARITY[7:0] | 出力 | 8 | メモリ エラー検出と訂正を行う ECC デコーダーで使用される ECC エンコーダーから生成された 8 ビット データ |
| EMPTY | 出力 | 1 | FIFO が空であることを示します。 |
| FULL | 出力 | 1 | FIFO がフルであることを示します。 |
| INJECTDBITERR | 入力 | 1 | ECC 機能を使用されている場合はダブル ビット エラーが挿入されます。 |
| INJECTSBITERR | 入力 | 1 | ECC 機能を使用されている場合はシングル ビット エラーが挿入されます。 |
| RDEN | 入力 | 1 | アクティブ High の FIFO リード イネーブル |
| REGCE | 入力 | 1 | パイプライン化された同期 FIFO の出力レジスタ クロック イネーブル |
| RST | 入力 | 1 | 3 クロック サイクル間アクティブ High の (FIFO ロジック) の非同期リセット (デュアル レートの FIFO 向け)、同期リセット (同期 FIFO) |
| RSTREG | 入力 | 1 | 出力レジスタの同期セット/リセット |
| SBITERR | 出力 | 1 | シングル ビット エラーが検出されたことを示す ECC ファンクションからのステータス出力。使用する場合は、EN_ECC_READ を TRUE にする必要があります。 |
| WRCLK、RDCLK | 入力 | 1 | FIFO リード クロックおよびライト クロック (立ち上がりエッジで動作) |
| WRCOUNT、 RDCOUNT | 出力 | 13 | FIFO 書き込み/読み出しポインター |
| WREN | 入力 | 1 | アクティブ High の FIFO ライト イネーブル |
| WRERR、 RDERR | 出力 | 1 | <ul style="list-style-type: none"> WRERR は FIFO がフルの間に書き込みが実行されたことを示します。 RDERR は FIFO が空の間に読み出しが実行されたことを示します。 |

デザインの入力方法

このエレメントは、回路図で使用できます。

使用可能な属性

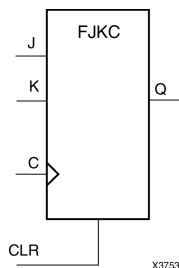
| 属性 | データ型 | 値 | デフォルト | 説明 |
|-------------------------|-------|--------------------------|----------|---|
| ALMOST_EMPTY_OFFSET | 16 進数 | 13'h0000 ~ 13'h8191 | 13'h0080 | ALMOST_EMPTY フラグをトリガーする RAM のデータ量を指定します。 |
| ALMOST_FULL_OFFSET | 16 進数 | 13'h0000 ~ 13'h8191 | 13'h0080 | ALMOST_FULL フラグをトリガーする RAM のデータ量を指定します。 |
| DATA_WIDTH | 整数 | 4、9、18、36、72 | 4 | FIFO に必要なデータ幅を指定 |
| DO_REG | 整数 | 1、0 | 1 | 読み出しレイテンシ (パイプライン遅延 1 つ) 追加することで clock-to-out のタイミングを向上するように、FIFO の出力レジスタをイネーブルします。EN_SYN が FALSE のときは DO_REG を 1 にする必要があります。 |
| EN_ECC_READ | ブール代数 | FALSE、TRUE | FALSE | ECC デコーダー回路をイネーブルにします。 |
| EN_ECC_WRITE | ブール代数 | FALSE、TRUE | FALSE | ECC エンコーダー回路をイネーブルにします。 |
| EN_SYN | ブール代数 | FALSE、TRUE | FALSE | FALSE のときは非同期モード (独立した 2 つのクロック)、TRUE のときは同期 (1 クロック) モードで FIFO が使用されることを示します。 |
| FIFO_MODE | 文字列 | "FIFO36"、 "FIFO36_72" | "FIFO36" | FIFO36 または FIFO36_72 モードを選択します。 |
| FIRST_WORD_FALL_THROUGH | ブール代数 | FALSE、TRUE | FALSE | TRUE に設定すると、RDEN がアサートされずに FIFO に最初書き込まれた値が DO に出力されます。 |
| INIT | 16 進数 | 72 ビット値 | すべてゼロ | コンフィギュレーション後の DO 出力の初期値を指定します。 |
| SRVAL | 16 進数 | 72 ビット値 | すべてゼロ | 同期リセット信号 (RSTREG) がアサートされたときの FIFO の出力値を指定します。DO_REG=1 の場合のみ有効です。 |

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

FJKC

マクロ：J-K Flip-Flop with Asynchronous Clear



概要

このデザイン エレメントは、J、K、非同期クリア (CLR) の各入力とデータ出力 (Q) がある単一の J-K タイプ フリップフロップです。非同期クリア入力 (CLR) が High になると、ほかのすべての入力は無視され、Q 出力が Low にリセットされます。CLR が Low になると、次の論理表に示すように、クロックが Low から High に切り替わるときに、J および K 入力の値に応じて出力の値が変化します。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

| 入力 | | | | 出力 |
|-----|---|---|---|------|
| CLR | J | K | C | Q |
| 1 | X | X | X | 0 |
| 0 | 0 | 0 | ↑ | 変化なし |
| 0 | 0 | 1 | ↑ | 0 |
| 0 | 1 | 0 | ↑ | 1 |
| 0 | 1 | 1 | ↑ | トグル |

デザインの入力方法

このエレメントは、回路図でのみ使用できます。

使用可能な属性

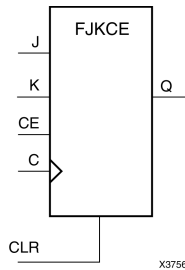
| 属性 | データ型 | 値 | デフォルト | 説明 |
|------|------|-----|-------|----------------------------|
| INIT | 2 進数 | 0、1 | 0 | コンフィギュレーション後の Q 出力の初期値を指定。 |

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

FJKCE

マクロ：J-K Flip-Flop with Clock Enable and Asynchronous Clear



概要

このデザイン エLEMENTは、J、K、クロック イネーブル (CE)、非同期クリア (CLR) の各入力とデータ出力 (Q) がある単一の J-K タイプ フリップフロップです。非同期クリア (CLR) が High になると、ほかのすべての入力は無視され、Q 出力が Low にリセットされます。CLR が Low、CE が High の場合、次の論理表に示すように、クロックが Low から High に切り替わるときに、J および K 入力の値に応じて Q の値が変化します。CE が Low の場合、クロック遷移は無視されます。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

| 入力 | | | | | 出力 |
|-----|----|---|---|---|------|
| CLR | CE | J | K | C | Q |
| 1 | X | X | X | X | 0 |
| 0 | 0 | X | X | X | 変化なし |
| 0 | 1 | 0 | 0 | X | 変化なし |
| 0 | 1 | 0 | 1 | ↑ | 0 |
| 0 | 1 | 1 | 0 | ↑ | 1 |
| 0 | 1 | 1 | 1 | ↑ | トグル |

デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

使用可能な属性

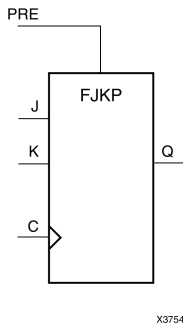
| 属性 | データ型 | 値 | デフォルト | 説明 |
|------|------|-----|-------|----------------------------|
| INIT | 2 進数 | 0、1 | 0 | コンフィギュレーション後の Q 出力の初期値を指定。 |

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

FJKP

マクロ : J-K Flip-Flop with Asynchronous Preset



概要

このデザイン エLEMENTは、J、K、非同期プリセット (PRE) の各入力とデータ出力 (Q) がある単一の J-K フリップフロップです。非同期プリセット入力 (PRE) が High になると、ほかのすべての入力は無視され、Q 出力が High にセットされます。PRE が Low の場合、次の論理表に示すように、クロックが Low から High に切り替わるときに、J および K 入力の値に応じて Q の値が変化します。

FPGA では、電力を供給すると、フリップフロップは非同期にプリセットされ、出力が High になります。グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

| 入力 | | | | 出力 |
|-----|---|---|---|------|
| PRE | J | K | C | Q |
| 1 | X | X | X | 1 |
| 0 | 0 | 0 | X | 変化なし |
| 0 | 0 | 1 | ↑ | 0 |
| 0 | 1 | 0 | ↑ | 1 |
| 0 | 1 | 1 | ↑ | トグル |

デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

使用可能な属性

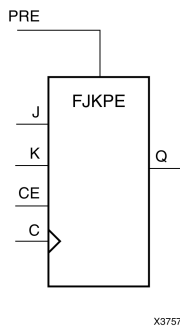
| 属性 | データ型 | 値 | デフォルト | 説明 |
|------|------|-----|-------|----------------------------|
| INIT | 2 進数 | 0、1 | 1 | コンフィギュレーション後の Q 出力の初期値を指定。 |

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

FJKPE

マクロ : J-K Flip-Flop with Clock Enable and Asynchronous Preset



概要

このデザイン エLEMENTは、J、K、クロック イネーブル (CE)、非同期プリセット (PRE) の各入力とデータ出力 (Q) がある単一の J-K フリップフロップです。非同期プリセット (PRE) が High になると、ほかのすべての入力は無視され、Q 出力が High にセットされます。PRE が Low、CE が High の場合、次の論理表に示すように、クロック (C) が Low から High に切り替わる時に、J および K 入力の値に応じて Q 出力の値が変化します。CE が Low の場合、クロック遷移は無視されます。

FPGA では、電力を供給すると、フリップフロップは非同期にプリセットされ、出力が High になります。グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

| 入力 | | | | | 出力 |
|-----|----|---|---|---|------|
| PRE | CE | J | K | C | Q |
| 1 | X | X | X | X | 1 |
| 0 | 0 | X | X | X | 変化なし |
| 0 | 1 | 0 | 0 | X | 変化なし |
| 0 | 1 | 0 | 1 | ↑ | 0 |
| 0 | 1 | 1 | 0 | ↑ | 1 |
| 0 | 1 | 1 | 1 | ↑ | トグル |

デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

使用可能な属性

| 属性 | データ型 | 値 | デフォルト | 説明 |
|------|------|-----|-------|----------------------------|
| INIT | 2 進数 | 0、1 | 1 | コンフィギュレーション後の Q 出力の初期値を指定。 |

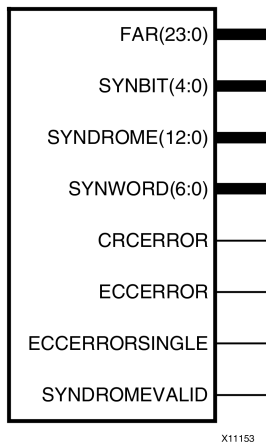
詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

FRAME_ECC_VIRTEX6

プリミティブ：Virtex®-6 Configuration Frame Error Detection and Correction Circuitry

FRAME_ECC_VIRTEX6



X11153

概要

このデザイン エLEMENTでは、FPGA のコンフィギュレーション メモリ向けの専用ビルトイン ECC (エラー検出および修正回路) が提供されます。このELEMENTには、ECC 回路のステータスおよびリードバック CRC 回路のステータスを監視する出力が含まれています。

SEU 修正機能では、シングル ビット エラーの自動修正を行うためのハードウェア バージョンが提供されます。この修正機能で使用する追加出力には、ソフト コアで使用するハミング コード シンドロームのデコードが含まれます。

ポートの説明

| ポート名 | 方向 | 幅 | 機能 |
|----------------|----|----|-------------------------------------|
| CRCERROR | 出力 | 1 | CRC エラーを示す出力 |
| ECCERROR | 出力 | 1 | ECC エラーを示す出力 |
| ECCERRORSINGLE | 出力 | 1 | シングル ビット フレーム ECC エラーが検出されたことを示します。 |
| FAR[23:0] | 出力 | 24 | フレーム アドレス レジスタの値 |
| SYNBIT[4:0] | 出力 | 5 | エラーのビット アドレス |
| SYNDROME[12:0] | 出力 | 13 | エラー ビットの出力ロケーション |
| SYNDROMEVALID | 出力 | 1 | SYNDROME 出力が有効であることを示す フレーム ECC 出力 |
| SYNWORD[6:0] | 出力 | 7 | ECC エラーが検出されたフレーム内のワード |

デザインの入力方法

このELEMENTは、回路図で使用できます。

使用可能な属性

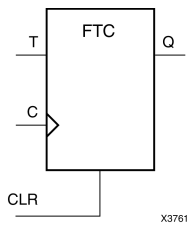
| 属性 | データ型 | 値 | デフォルト | 説明 |
|-----------------------|------|------------------------|--------|---|
| FARSRC | 文字列 | "EFAR", "FAR" | "EFAR" | EFAR FAR[23:0] コンフィギュレーションレジスタの出力先を FAR または EFAR のどちらにするか決定します。コンフィギュレーション オプションレジスタビット CTL0[7] を設定します。 |
| FRAME_RBT_IN_FILENAME | 文字列 | ファイル名およびそのロケーションを示す文字列 | なし | このファイルは、ICAP_VIRTEX6 モデルにより出力され、RBT ファイルのフレーム データ情報が含まれています。FRAME_ECC モデルではこのファイルを解析して ECC が算出され、エラーがある場合は出力されます。 |

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

FTC

マクロ：Toggle Flip-Flop with Asynchronous Clear



概要

このデザイン エLEMENTは、リセット可能な同期トグル フリップフロップです。非同期クリア入力 (CLR) が High になると、ほかのすべての入力は無視され、出力 (Q) が Low にリセットされます。トグル イネーブル入力 (T) が High、CLR が Low の場合、クロックが Low から High に切り替わるときに Q 出力がトグルし、値が変化します。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

| 入力 | | | 出力 |
|-----|---|---|------|
| CLR | T | C | Q |
| 1 | X | X | 0 |
| 0 | 0 | X | 変化なし |
| 0 | 1 | ↑ | トグル |

デザインの入力方法

このELEMENTは、CPLD を使用しているときはインスタンスエートできますが、FPGA を使用しているときはインスタンスエートできません。

使用可能な属性

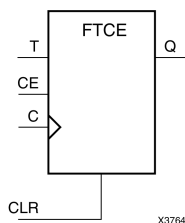
| 属性 | データ型 | 値 | デフォルト | 説明 |
|------|------|-----|-------|----------------------------|
| INIT | 2 進数 | 0、1 | 0 | コンフィギュレーション後の Q 出力の初期値を指定。 |

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

FTCE

マクロ : Toggle Flip-Flop with Clock Enable and Asynchronous Clear



概要

このデザイン エLEMENTは、トグル イネーブル、クロック イネーブル、非同期クリアがあるトグル フリップフロップです。非同期クリア入力 (CLR) が High になると、ほかのすべての入力は無視され、出力 (Q) の値が Low にリセットされます。CLR が Low、トグル イネーブル (T) とクロック イネーブル (CE) が High の場合、クロック (C) が Low から High に切り替わるときに Q 出力がトグルし、値が変化します。CE が Low の場合、クロック遷移は無視されます。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

| 入力 | | | | 出力 |
|-----|----|---|---|------|
| CLR | CE | T | C | Q |
| 1 | X | X | X | 0 |
| 0 | 0 | X | X | 変化なし |
| 0 | 1 | 0 | X | 変化なし |
| 0 | 1 | 1 | ↑ | トグル |

デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

使用可能な属性

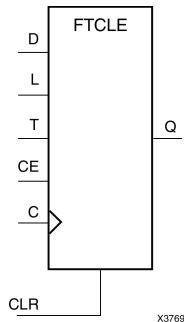
| 属性 | データ型 | 値 | デフォルト | 説明 |
|------|------|-----|-------|----------------------------|
| INIT | 2 進数 | 0、1 | 0 | コンフィギュレーション後の Q 出力の初期値を指定。 |

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

FTCLE

マクロ：Toggle/Loadable Flip-Flop with Clock Enable and Asynchronous Clear



概要

このデザイン エLEMENTは、トグル イネーブル、クロック イネーブル、非同期クリアがあるロード可能なトグル フリップフロップです。非同期クリア入力 (CLR) が High になると、ほかのすべての入力は無視され、出力 Q が Low にリセットされます。ロード イネーブル入力 (L) が High、CLR が Low の場合、クロック イネーブル (CE) は無視され、クロック (C) が Low から High に切り替わるときに、データ入力 (D) の値がフリップフロップにロードされます。トグル イネーブル (T) と CE が High、L と CLR が Low の場合、クロックが Low から High に切り替わるときに出力 Q がトグルし、値が変化します。CE が Low の場合、クロック遷移は無視されます。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

| 入力 | | | | | | 出力 |
|-----|---|----|---|---|---|------|
| CLR | L | CE | T | D | C | Q |
| 1 | X | X | X | X | X | 0 |
| 0 | 1 | X | X | D | ↑ | D |
| 0 | 0 | 0 | X | X | X | 変化なし |
| 0 | 0 | 1 | 0 | X | X | 変化なし |
| 0 | 0 | 1 | 1 | X | ↑ | トグル |

デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

使用可能な属性

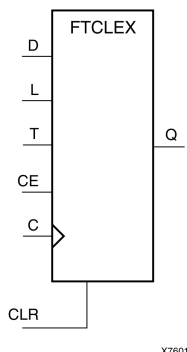
| 属性 | データ型 | 値 | デフォルト | 説明 |
|------|------|-----|-------|----------------------------|
| INIT | 2 進数 | 0、1 | 0 | コンフィギュレーション後の Q 出力の初期値を指定。 |

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

FTCLEX

マクロ : Toggle/Loadable Flip-Flop with Clock Enable and Asynchronous Clear



概要

このデザイン エレメントは、トグル イネーブル、クロック イネーブル、非同期クリアがあるロード可能なトグル フリップフロップです。非同期クリア入力 (CLR) が High になると、ほかのすべての入力は無視され、出力 Q が Low にリセットされます。ロード イネーブル入力 (L) と CE が High、CLR が Low の場合、クロック (C) が Low から High に切り替わる時に、入力 (D) の値がフリップフロップにロードされます。トグル イネーブル (T) と CE が High、L と CLR が Low の場合、クロックが Low から High に切り替わる時に出力 Q がトグルし、値が変化します。CE が Low の場合、クロック遷移は無視されます。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

| 入力 | | | | | | 出力 |
|-----|---|----|---|---|---|------|
| CLR | L | CE | T | D | C | Q |
| 1 | X | X | X | X | X | 0 |
| 0 | 1 | X | X | D | ↑ | D |
| 0 | 0 | 0 | X | X | X | 変化なし |
| 0 | 0 | 1 | 0 | X | X | 変化なし |
| 0 | 0 | 1 | 1 | X | ↑ | トグル |

デザインの入力方法

このエレメントは、回路図でのみ使用できます。

使用可能な属性

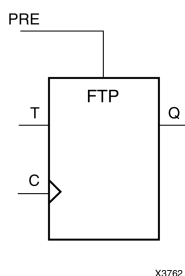
| 属性 | データ型 | 値 | デフォルト | 説明 |
|------|------|-----|-------|----------------------------|
| INIT | 2 進数 | 0、1 | 0 | コンフィギュレーション後の Q 出力の初期値を指定。 |

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

FTP

マクロ : Toggle Flip-Flop with Asynchronous Preset



概要

このデザイン エLEMENTは、トグル イネーブルと非同期プリセットがあるトグル フリップフロップです。非同期プリセット入力 (PRE) が High になると、ほかのすべての入力は無視され、出力 Q が High にセットされます。トグル イネーブル入力 (T) が High、PRE が Low の場合、クロック (C) が Low から High に切り替わるときに出力 Q がトグルし、値が変化します。

FPGA では、電力を供給すると、フリップフロップは非同期にプリセットされ、出力が High になります。グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

| 入力 | | | 出力 |
|-----|---|---|------|
| PRE | T | C | Q |
| 1 | X | X | 1 |
| 0 | 0 | X | 変化なし |
| 0 | 1 | ↑ | トグル |

デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

使用可能な属性

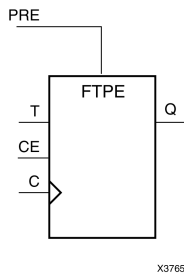
| 属性 | データ型 | 値 | デフォルト | 説明 |
|------|------|-----|-------|----------------------------|
| INIT | 2 進数 | 0、1 | 1 | コンフィギュレーション後の Q 出力の初期値を指定。 |

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

FTPE

マクロ：Toggle Flip-Flop with Clock Enable and Asynchronous Preset



概要

このデザイン エLEMENTは、トグル イネーブル、クロック イネーブル、非同期プリセットがあるトグル フリップフロップです。非同期プリセット入力 (PRE) が High になると、ほかのすべての入力は無視され、出力 Q が High にセットされます。トグル イネーブル入力 (T) とクロック イネーブル入力 (CE) が High、PRE が Low の場合、クロックが Low から High に切り替わるときに出力 Q がトグルし、値が変化します。CE が Low の場合、クロック遷移は無視されます。

FPGA では、電力を供給すると、フリップフロップは非同期にプリセットされ、出力が High になります。グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

| 入力 | | | | 出力 |
|-----|----|---|---|------|
| PRE | CE | T | C | Q |
| 1 | X | X | X | 1 |
| 0 | 0 | X | X | 変化なし |
| 0 | 1 | 0 | X | 変化なし |
| 0 | 1 | 1 | ↑ | トグル |

デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

使用可能な属性

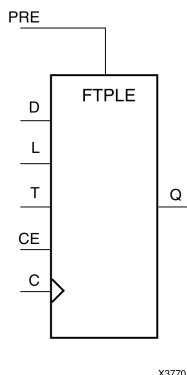
| 属性 | データ型 | 値 | デフォルト | 説明 |
|------|------|-----|-------|----------------------------|
| INIT | 2 進数 | 0、1 | 1 | コンフィギュレーション後の Q 出力の初期値を指定。 |

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

FTPLE

マクロ : Toggle/Loadable Flip-Flop with Clock Enable and Asynchronous Preset



概要

このデザイン エレメントは、トグル イネーブル、クロック イネーブル、非同期プリセットがあるロード可能なトグル フリップフロップです。非同期プリセット入力 (PRE) が High になると、ほかのすべての入力は無視され、出力 Q が High にセットされます。ロード イネーブル入力 (L) が High、PRE が Low の場合、クロック イネーブル (CE) は無視され、クロックが Low から High に切り替わるときに、D の値がフリップフロップにロードされます。L と PRE が Low、トグル イネーブル入力 (T) と CE が High の場合、クロックが Low から High に切り替わるときに出力 Q がトグルし、値が変化します。CE が Low の場合、クロック遷移は無視されます。

FPGA では、電力を供給すると、フリップフロップは非同期にプリセットされ、出力が High になります。グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

| 入力 | | | | | | 出力 |
|-----|---|----|---|---|---|------|
| PRE | L | CE | T | D | C | Q |
| 1 | X | X | X | X | X | 1 |
| 0 | 1 | X | X | D | ↑ | D |
| 0 | 0 | 0 | X | X | X | 変化なし |
| 0 | 0 | 1 | 0 | X | X | 変化なし |
| 0 | 0 | 1 | 1 | X | ↑ | トグル |

デザインの入力方法

このエレメントは、回路図でのみ使用できます。

使用可能な属性

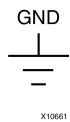
| 属性 | データ型 | 値 | デフォルト | 説明 |
|------|------|-----|-------|----------------------------|
| INIT | 2 進数 | 0、1 | 1 | コンフィギュレーション後の Q 出力の初期値を指定。 |

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

GND

プリミティブ：Ground-Connection Signal Tag



概要

GND 信号タグは、ネットまたは入力ファンクションの論理レベルを Low にします。GND に接続されたネットは、ほかのソースに接続できません。

ロジックトリム ソフトウェアまたはフィッターでは、GND に接続されたネットまたは入力ファンクションがあると、GND 信号でディスエーブルになるロジックが削除されます。ディスエーブルになるロジックを削除できない場合のみ、GND 信号がインプリメントされます。

デザインの入力方法

このエレメントは、回路図でのみ使用できます。

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

GTHE1_QUAD

プリミティブ : Gigabit Transceiver

| | | |
|----------------------|---------------------|-------------|
| DADDR(15:0) | GTHE1_QUAD | DRPDO(15:0) |
| DI(15:0) | | |
| MGMTPCSLANESEL(3:0) | MGMTPCSRDDATA(15:0) | |
| MGMTPCSMMDADDR(4:0) | | |
| MGMTPCSREGADDR(15:0) | RXCODEERR0(7:0) | |
| MGMTPCSWRDATA(15:0) | RXCODEERR1(7:0) | |
| PLLPCCLKDIV(5:0) | | |
| PLLREFCLKSEL(2:0) | RXCODEERR2(7:0) | |
| RXPPOWERDOWN0(1:0) | RXCODEERR3(7:0) | |
| RXPPOWERDOWN1(1:0) | | |
| RXPPOWERDOWN2(1:0) | RXCTRL0(7:0) | |
| RXPPOWERDOWN3(1:0) | RXCTRL1(7:0) | |
| RXRATE0(1:0) | RXCTRL2(7:0) | |
| RXRATE1(1:0) | RXCTRL3(7:0) | |
| RXRATE2(1:0) | RXDATA0(63:0) | |
| RXRATE3(1:0) | RXDATA1(63:0) | |
| SAMPLERATE0(2:0) | RXDATA2(63:0) | |
| SAMPLERATE1(2:0) | RXDATA3(63:0) | |
| SAMPLERATE2(2:0) | RXDISPERR0(7:0) | |
| SAMPLERATE3(2:0) | RXDISPERR1(7:0) | |
| TXCTRL0(7:0) | RXDISPERR2(7:0) | |
| TXCTRL1(7:0) | RXDISPERR3(7:0) | |
| TXCTRL2(7:0) | RXVALID0(7:0) | |
| TXCTRL3(7:0) | RXVALID1(7:0) | |
| TXDATA0(63:0) | RXVALID2(7:0) | |
| TXDATA1(63:0) | RXVALID3(7:0) | |
| TXDATA2(63:0) | | |
| TXDATA3(63:0) | DRDY | |
| TXDATAMSB0(7:0) | | |
| TXDATAMSB1(7:0) | GTINITDONE | |
| TXDATAMSB2(7:0) | MGMTPCSRDACK | |
| TXDATAMSB3(7:0) | | |
| TXMARGIN0(2:0) | RXCTRLACK0 | |
| TXMARGIN1(2:0) | RXCTRLACK1 | |
| TXMARGIN2(2:0) | RXCTRLACK2 | |
| TXMARGIN3(2:0) | RXCTRLACK3 | |
| TXPOWERDOWN0(1:0) | RXUSERCLKOUT0 | |
| TXPOWERDOWN1(1:0) | RXUSERCLKOUT1 | |
| TXPOWERDOWN2(1:0) | RXUSERCLKOUT2 | |
| TXPOWERDOWN3(1:0) | RXUSERCLKOUT3 | |
| TXRATE0(1:0) | | |
| TXRATE1(1:0) | TSTPATH | |
| TXRATE2(1:0) | TSTREFCLKFAB | |
| TXRATE3(1:0) | TSTREFCLKOUT | |
| DCLK | | |
| DEN | TXCTRLACK0 | |
| DFETRAINCTRL0 | TXCTRLACK1 | |
| DFETRAINCTRL1 | TXCTRLACK2 | |
| DFETRAINCTRL2 | TXCTRLACK3 | |
| DFETRAINCTRL3 | TXN0 | |
| DISABLEDRP | TXN1 | |
| DWE | TXN2 | |
| GTHINIT | TXN3 | |
| GTHRESET | TXP0 | |
| GTHX2LANE01 | TXP1 | |
| GTHX2LANE23 | TXP2 | |
| GTHX4LANE | TXP3 | |
| MGMTPCSREGRD | TXN0 | |
| MGMTPCSREGWR | TXN1 | |
| POWERDOWN0 | TXN2 | |
| POWERDOWN1 | TXN3 | |
| POWERDOWN2 | TXP0 | |
| POWERDOWN3 | TXP1 | |
| REFCLK | TXP2 | |
| RXBUFRESET0 | TXP3 | |
| RXBUFRESET1 | TXN0 | |
| RXBUFRESET2 | TXN1 | |
| RXBUFRESET3 | TXN2 | |
| RXENCOMMADET0 | TXN3 | |
| RXENCOMMADET1 | TXP0 | |
| RXENCOMMADET2 | TXP1 | |
| RXENCOMMADET3 | TXP2 | |
| RXN0 | TXP3 | |
| RXN1 | TXN0 | |
| RXN2 | TXN1 | |
| RXN3 | TXN2 | |
| RXP0 | TXN3 | |
| RXP1 | TXP0 | |
| RXP2 | TXP1 | |
| RXP3 | TXP2 | |
| RXPOLARITY0 | TXP3 | |
| RXPOLARITY1 | TXN0 | |
| RXPOLARITY2 | TXN1 | |
| RXPOLARITY3 | TXN2 | |
| RXSLIP0 | TXN3 | |
| RXSLIP1 | TXP0 | |
| RXSLIP2 | TXP1 | |
| RXSLIP3 | TXP2 | |
| RXUSERCLKIN0 | TXP3 | |
| RXUSERCLKIN1 | TXN0 | |
| RXUSERCLKIN2 | TXN1 | |
| RXUSERCLKIN3 | TXN2 | |
| TXBUFRESET0 | TXN3 | |
| TXBUFRESET1 | TXP0 | |
| TXBUFRESET2 | TXP1 | |
| TXBUFRESET3 | TXP2 | |
| TXDEEMPH0 | TXP3 | |
| TXDEEMPH1 | TXN0 | |
| TXDEEMPH2 | TXN1 | |
| TXDEEMPH3 | TXN2 | |
| TXUSERCLKIN0 | TXN3 | |
| TXUSERCLKIN1 | TXP0 | |
| TXUSERCLKIN2 | TXP1 | |
| TXUSERCLKIN3 | TXP2 | |

X11000

概要

Virtex®-6 FPGA GTH トランシーバーのデザイン エLEMENT です。GTH は HTX ファミリの Virtex-6 FPGA の中で最高速、10G で最適化されたコンフィギュレーション可能なトランシーバーです。このELEMENTの詳細は、Virtex-6 FPGA GTH トランシーバー ユーザー ガイドを参照してください。Virtex-6 FPGA GTX Transceiver Wizard は、GTHE1_QUAD プリミティブをインスタンスエートするラッパーの生成に使用されるツールです。このウィザードは、ザイリンクス CORE Generator™ ツールに含まれています。

デザインの入力方法

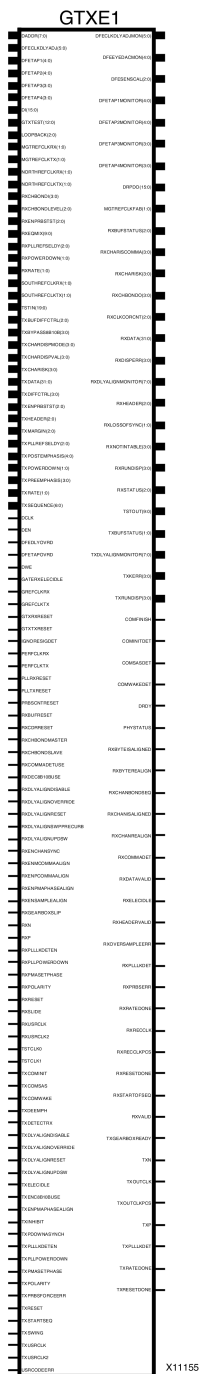
このELEMENTをインスタンスエートするには、Virtex-6 FPGA GTH Transceiver Wizard またはこのELEMENTを含む関連コアを使用します。このELEMENTは直接インスタンスエートしないでください。

詳細情報

- ・ [Virtex-6 FPGA GTH トランシーバー ユーザー ガイド](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

GTXE1

プリミティブ : Gigabit Transceiver



概要

このデザイン エLEMENTでは、効率性に優れ詳細にコンフィギュレーション可能なトランシーバーである Virtex®-6 FPGA RocketIO™ GTX トランシーバーが表現されます。このELEMENTの詳細は、Virtex-6 FPGA RocketIO GTX トランシーバー ユーザー ガイドを参照してください。Virtex-6 FPGA RocketIO GTX Transceiver Wizard は、GTXE1 プリミティブをインスタンスエートするラッパーの生成に使用されるツールです。このウィザードは、ザイリンクス CORE Generator™ ツールに含まれています。

デザインの入力方法

このELEMENTをインスタンスエートするには、Virtex-6 FPGA RocketIO GTX Transceiver Wizard またはこのELEMENTを含む関連コアを使用します。このELEMENTは直接インスタンスエートしないでください。

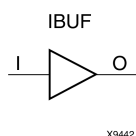
このELEMENTは、回路図で使用できます。

詳細情報

- ・ [Virtex-6 FPGA RocketIO GTX トランシーバー ユーザー ガイド](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

IBUF

プリミティブ：Input Buffer



概要

このデザイン エLEMENTは、最上位の入力ポートまたは入出力ポートに接続されている信号に自動的に挿入されます。このバッファは通常、合成ツールで推論しますが、必要に応じてインスタンス化することも可能です。インスタンス化するには、入力ポート (I) を関連する最上位の入力ポートまたは入出力ポートに接続し、出力ポート (O) をそのポートをソースとする FPGA ロジックに接続します。必要なジェネリック マップ (VHDL) またはパラメーター値代入 (Verilog) に変更を加えて、コンポーネントのデフォルトのビヘイビアーを変更します。

ポートの説明

| ポート名 | 方向 | 幅 | 機能 |
|------|----|---|---------|
| O | 出力 | 1 | バッファの出力 |
| I | 入力 | 1 | バッファの入力 |

デザインの入力方法

このELEMENTは、回路図で使用できます。

使用可能な属性

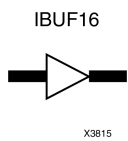
| 属性 | データ型 | 値 | デフォルト | 説明 |
|------------|------|-----------|-----------|-------------------------|
| IOSTANDARD | 文字列 | データシートを参照 | "DEFAULT" | ELEMENTに I/O 規格を割り当てます。 |

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

IBUF16

マクロ：16-Bit Input Buffer



概要

IBUF は、チップに入力される信号から内部回路を分離します。このデザイン エLEMENTは I/O ブロック (IOB) に含まれており、I/O の I/O 規格を指定できます。通常シングルエンドのデータ入力ピンまたは双方向ピンに使用されます。

デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

使用可能な属性

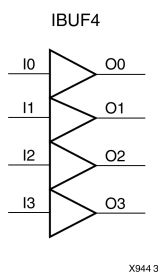
| 属性 | データ型 | 値 | デフォルト | 説明 |
|------------|------|-----------|-----------|-------------------------|
| IOSTANDARD | 文字列 | データシートを参照 | "DEFAULT" | ELEMENTに I/O 規格を割り当てます。 |

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

IBUF4

マクロ：4-Bit Input Buffer



概要

IBUF は、チップに入力される信号から内部回路を分離します。このデザイン エLEMENT は I/O ブロック (IOB) に含まれており、I/O の I/O 規格を指定できます。通常シングルエンドのデータ入力ピンまたは双方向ピンに使用されます。

デザインの入力方法

このELEMENT は、回路図でのみ使用できます。

使用可能な属性

| 属性 | データ型 | 値 | デフォルト | 説明 |
|------------|------|-----------|-----------|--------------------------|
| IOSTANDARD | 文字列 | データシートを参照 | "DEFAULT" | ELEMENT に I/O 規格を割り当てます。 |

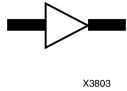
詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

IBUF8

マクロ：8-Bit Input Buffer

IBUF8



概要

IBUF は、チップに入力される信号から内部回路を分離します。このデザイン エLEMENTは I/O ブロック (IOB) に含まれており、I/O の I/O 規格を指定できます。通常シングルエンドのデータ入力ピンまたは双方向ピンに使用されます。

デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

使用可能な属性

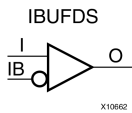
| 属性 | データ型 | 値 | デフォルト | 説明 |
|------------|------|-----------|-----------|-------------------------|
| IOSTANDARD | 文字列 | データシートを参照 | "DEFAULT" | ELEMENTに I/O 規格を割り当てます。 |

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

IBUFDS

プリミティブ：Differential Signaling Input Buffer



概要

このデザイン エレメントは、低電圧差動信号を使用する入力バッファです。IBUFDS では、デザイン レベルのインターフェイス信号は、一方がマスターでもう一方がスレーブとなる 2 つの異なるポート (I、IB) で表されます。マスターとスレーブは MYNET_P と MYNET_N のように、同じ論理信号の反対の状態を示します。また、オプションの差動終端を使用すると、シグナル インテグリティが向上し、外部コンポーネントの数を削減できます。

論理表

| 入力 | | 出力 |
|----|----|------|
| I | IB | O |
| 0 | 0 | 変化なし |
| 0 | 1 | 0 |
| 1 | 0 | 1 |
| 1 | 1 | 変化なし |

ポートの説明

| ポート名 | 方向 | 幅 | 機能 |
|------|----|---|----------------|
| I | 入力 | 1 | Diff_p バッファの入力 |
| IB | 入力 | 1 | Diff_p バッファの入力 |
| O | 出力 | 1 | バッファの出力 |

デザインの入力方法

このエレメントは、回路図で使用できます。

デザイン階層を保つため、すべての I/O コンポーネントをデザインの最上位に配置してください。I ポートを直接デザインの最上位のマスターとなる入力ポートに、IB ポートを最上位のスレーブとなる入力ポートに、O ポートをこの入力供給されるロジックに接続します。generic/defparam 値を設定し、バッファのビヘイビアーを適切に設定してください。

使用可能な属性

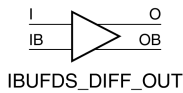
| 属性 | データ型 | 値 | デフォルト | 説明 |
|------------|-------|------------|-----------|-------------------------|
| DIFF_TERM | ブール代数 | TRUE、FALSE | FALSE | ビルトインの差動終端抵抗をイネーブルにします。 |
| IOSTANDARD | 文字列 | データシートを参照 | "DEFAULT" | エレメントに I/O 規格を割り当てます。 |

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

IBUFDS_DIFF_OUT

プリミティブ：Signaling Input Buffer with Differential Output



X10107

概要

このデザイン エLEMENTは、差動信号を使用する入力バッファです。IBUFDS_DIFF_OUT では、デザイン レベルのインターフェイス信号は、一方がマスターでもう一方がスレーブとなる 2 つの異なるポート (I、IB) で表されます。マスターとスレーブは MYNET_P と MYNET_N のように、同じ論理信号の反対の状態を示します。IBUFDS_DIFF_OUT では、差動信号の両方の位相に内部アクセスできる点が IBUFDS と異なります。また、オプションの差動終端を使用すると、シグナル インテグリティが向上し、外部コンポーネントの数を削減できます。

論理表

| 入力 | | 出力 | |
|----|----|------|------|
| I | IB | O | OB |
| 0 | 0 | 変化なし | 変化なし |
| 0 | 1 | 0 | 1 |
| 1 | 0 | 1 | 0 |
| 1 | 1 | 変化なし | 変化なし |

デザインの入力方法

このELEMENTは、回路図で使用できます。

デザイン階層を保つため、すべての I/O コンポーネントをデザインの最上位に配置してください。I ポートを直接デザインの最上位のマスターとなる入力ポートに、IB ポートを最上位のスレーブとなる入力ポートに、O および OB ポートをこの入力 that 供給されるロジックに接続します。generic/パラメーター値を設定し、バッファのビヘイビアを適切に設定してください。

使用可能な属性

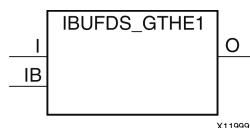
| 属性 | データ型 | 値 | デフォルト | 説明 |
|----------------|-------|------------|-----------|---|
| DIFF_TERM | ブール代数 | TRUE、FALSE | FALSE | 内部差動終端抵抗を使用するかどうかを指定 |
| IOSTANDARD | 文字列 | データシートを参照 | "DEFAULT" | ELEMENTに I/O 規格を割り当て |
| IBUF_LOW_POWER | ブール代数 | TRUE、FALSE | FALSE | 消費電力を削減することを優先するか、パフォーマンスを向上することを優先するかを指定 |

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

IBUFDS_GTHE1

プリミティブ : Differential Clock Input for the GTH Transceiver Reference Clocks



概要

GTH トランシーバーの基準クロック用の専用差動クロック入力です。4 区画ある GTH の区画ごとに IBUFDS_GTHE1 コンポーネントが 1 つあり、GTHE1_QUAD プリミティブの REFCLK ピンに直接接続されます。

デザインの入力方法

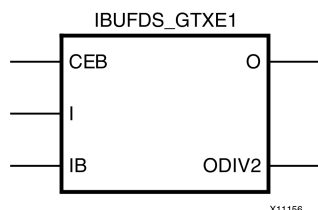
このエレメントをインスタンスエートするには、Virtex-6 FPGA GTH Transceiver Wizard またはこのエレメントを含む関連コアを使用します。直接インスタンスエートしないでください。

詳細情報

- ・ [Virtex-6 FPGA GTH トランシーバー ユーザー ガイド](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

IBUFDS_GTXE1

プリミティブ：Differential Clock Input for the Transceiver Reference Clocks



概要

トランシーバーの基準クロック用の専用差動クロック入力です。GT の基準クロック入力だけでなく、BUFG/MMCM などのクロック リソースも駆動できます。IBUFDS_GTXE1 に関連したクワッドの 4 GTXE1 にある MGTREFCLKRX/TX ピン、その上のクワッドの 4 GTXE1 にある NORTHREFCLKRX/TX ピン、または下のクワッドの 4 GTXE1 にある SOUTHREFCLKRX/TX ピンに接続します。

IBUFDS_GTXE1 エレメントが接続できるデスティネーション ピンは Virtex®-6 には複数あります。GT の基準クロックの 1 つが接続されている場合、ツールにより最適な配線に基づいて、すべてのピンが GT に配線接続されます。複数のクロックが GT に接続されている場合、各 IBUFDS が GT 上の指定のピンに配線されます。つまり、IBUFDS_GTXE1 の O ピンは、GT の MGTREFCLKRX/TX ピンまたは NORTH/SOUTHREFCLKRX/TX ピンに接続されます。

メモ：RX および TX のマルチプレクサーは個別に選択できますが、配線はシリコン上で共有されます。

デザインの入力方法

このエレメントをインスタンス化するには、RocketIO™ Wizard またはこのエレメントを含む関連コアを使用します。直接インスタンス化しないでください。

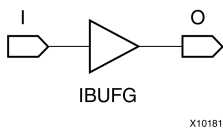
このエレメントは、回路図で使用できます。

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

IBUFG

プリミティブ：Dedicated Input Clock Buffer



概要

IBUFG は、FPGA への入力クロックをグローバル クロック配線リソースに接続するために使用する専用入力です。IBUFG は最上位ポートから MMCM または BUFG への専用接続となり、デバイスのクロック遅延とジッターが最小限に抑えられます。IBUFG の入力は、クロック兼用 (CC) ピンまたはグローバル クロック (GC) ピンでのみ駆動できます。

ポートの説明

| ポート名 | 方向 | 幅 | 機能 |
|------|----|---|-------------|
| O | 出力 | 1 | クロック バッファ出力 |
| I | 入力 | 1 | クロック バッファ入力 |

デザインの入力方法

このエレメントは、回路図で使用できます。

使用可能な属性

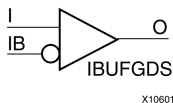
| 属性 | データ型 | 値 | デフォルト | 説明 |
|------------|------|-----------|-----------|-----------------------|
| IOSTANDARD | 文字列 | データシートを参照 | "DEFAULT" | エレメントに I/O 規格を割り当てます。 |

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

IBUFGDS

プリミティブ : Differential Signaling Dedicated Input Clock Buffer and Optional Delay



概要

このデザイン エレメント は、クロック バッファ (BUFG) または MMCM に接続するための専用の差動信号入力バッファです。IBUFGDS では、デザイン レベルのインターフェイス信号は、一方がマスターでもう一方がスレーブとなる 2 つの異なるポート (I, IB) で表されます。マスターとスレーブは MYNET_P と MYNET_N のように、同じ論理信号の反対の状態を示します。また、オプションの差動終端を使用すると、シグナル インテグリティが向上し、外部コンポーネントの数を削減できます。デバイスへの入力データの遅延を調整する遅延エレメントも含まれています。

論理表

| 入力 | | 出力 |
|----|----|------|
| I | IB | O |
| 0 | 0 | 変化なし |
| 0 | 1 | 0 |
| 1 | 0 | 1 |
| 1 | 1 | 変化なし |

ポートの説明

| ポート名 | 方向 | 幅 | 機能 |
|------|----|---|---------------------|
| O | 出力 | 1 | クロック バッファ出力 |
| IB | 入力 | 1 | Diff_n クロック バッファの入力 |
| I | 入力 | 1 | Diff_p クロック バッファの入力 |

デザインの入力方法

このエレメントは、回路図で使用できます。

デザイン階層を保つため、すべての I/O コンポーネントを必ずデザインの最上位に配置してください。I ポートを直接デザインの最上位のマスターとなる入力ポートに、IB ポートを最上位のスレーブとなる入力ポートに、O ポートをこの入力をソースとする MMCM、BUFG、またはロジックに接続してください。一部の合成ツールでは、IBUFG を FPGA のクロックリソースに接続すると、必要に応じて BUFG が自動的に推論されます。generic/defparam 値を設定し、バッファのビヘイビアーを適切に設定してください。

使用可能な属性

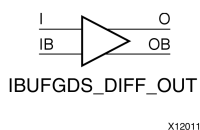
| 属性 | データ型 | 値 | デフォルト | 説明 |
|------------|------|-----------|-----------|-----------------------|
| IOSTANDARD | 文字列 | データシートを参照 | "DEFAULT" | エレメントに I/O 規格を割り当てます。 |

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

IBUFGDS_DIFF_OUT

プリミティブ：Differential Signaling Input Buffer with Differential Output



概要

このデザイン エLEMENTは、差動信号を使用する入力バッファです。IBUFGDS_DIFF_OUT では、デザイン レベルのインターフェイス信号は、一方がマスターでもう一方がスレーブとなる 2 つの異なるポート (I, IB) で表されます。マスターとスレーブは MYNET_P と MYNET_N のように、同じ論理信号の反対の状態を示します。IBUFGDS_DIFF_OUT は、差動信号の両方の位相に内部アクセスできる点が IBUFGDS と異なります。また、オプションの差動終端を使用すると、シグナル インテグリティが向上し、外部コンポーネントの数を削減できます。

論理表

| 入力 | | 出力 | |
|----|----|------|------|
| I | IB | O | OB |
| 0 | 0 | 変化なし | 変化なし |
| 0 | 1 | 0 | 1 |
| 1 | 0 | 1 | 0 |
| 1 | 1 | 変化なし | 変化なし |

ポートの説明

| ポート名 | 方向 | 幅 | 機能 |
|------|----|---|--------------------------------|
| I | 入力 | 1 | Diff_p バッファ入力 (デザインの最上位ポートに接続) |
| IB | 入力 | 1 | Diff_n バッファ入力 (デザインの最上位ポートに接続) |
| O | 出力 | 1 | Diff_p バッファ出力 |
| OB | 出力 | 1 | Diff_n バッファ出力 |

デザインの入力方法

デザイン階層を保つため、すべての I/O コンポーネントをデザインの最上位に配置してください。I ポートを直接デザインの最上位のマスターとなる入力ポートに、IB ポートを最上位のスレーブとなる入力ポートに、O および OB ポートをこの入力 that 供給されるロジックに接続します。generic/パラメーター値を設定し、バッファのビヘイビアーを適切に設定してください。

使用可能な属性

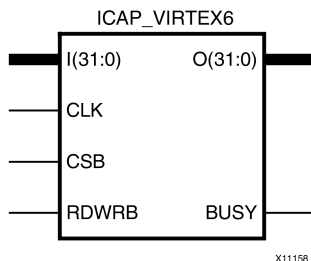
| 属性 | データ型 | 値 | デフォルト | 説明 |
|--------------|-------|------------|-----------|---|
| IOSTANDARD | 文字列 | データシートを参照 | "DEFAULT" | エレメントに I/O 規格を割り当て |
| DIFF_TERM | ブール代数 | TRUE、FALSE | FALSE | 内部差動終端抵抗を使用するかどうかを指定 |
| IBUF_LOW_PWR | ブール代数 | TRUE、FALSE | FALSE | 消費電力を削減することを優先するか、パフォーマンスを向上することを優先するかを指定 |

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

ICAP_VIRTEX6

プリミティブ : Internal Configuration Access Port



概要

このデザイン エレメントからは、FPGA ファブリックから FPGA のコンフィギュレーション機能にアクセスできます。このコンポーネントを使用すると、FPGA アレイのコンフィギュレーション ロジックにコマンドおよびデータを書き込んだり、コンフィギュレーション ロジックからデータを読み出したりすることができます。このファンクションを正しく使用しないと FPGA の機能および信頼性に悪影響を与えるため、この機能に精通していない限りこのエレメントは使用しないでください。

ポートの説明

| ポート名 | 方向 | 幅 | 機能 |
|---------|----|----|------------------------|
| BUSY | 出力 | 1 | Busy/Ready 出力 |
| CLK | 入力 | 1 | クロック入力 |
| CSB | 入力 | 1 | アクティブ Low の ICAP イネーブル |
| I[31:0] | 入力 | 32 | コンフィギュレーション データ入力バス |
| O[31:0] | 出力 | 32 | コンフィギュレーション データ出力バス |
| RDWRB | 入力 | 1 | 読み出し/書き込みの選択 |

デザインの入力方法

このエレメントは、回路図で使用できます。

使用可能な属性

| 属性 | データ型 | 値 | デフォルト | 説明 |
|-----------|-------|---|--------------|---------------------------------|
| DEVICE_ID | 16 進数 | 32'h04244093、 32'h042CA093、 32'h042CC093、 32'h042C4093、 32'h042D0093、 32'h0423A093、 32'h0424A093、 32'h0424C093、 32'h04240093、 32'h04248093、 32'h04250093、 32'h04252093、 32'h04256093、 | 32'h04244093 | あらかじめプログラムされているデバイス ID 値を指定します。 |

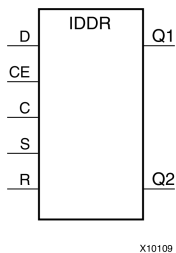
| 属性 | データ型 | 値 | デフォルト | 説明 |
|-------------------|------|-------------------------------|-------|--|
| | | 32'h04286093、 32'h04288093 | | |
| ICAP_WIDTH | 文字列 | "X8"、"X16"、 "X32" | "X8" | ICAP_VIRTEX6 で使用する入力および出力データ幅を指定します。 |
| SIM_CFG_FILE_NAME | 文字列 | ファイルの名前と 場所 | なし | シミュレーション モデルで解析するロービット ファイル (RBT) を指定します。 |

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

IDDR

プリミティブ：Input Dual Data-Rate Register



概要

このデザイン エレメントは、ザイリンクス FPGA で外部デュアル データ レート (DDR) 信号を受信するための専用入力レジスタです。データが取り込まれるクロック エッジごとにデータを FPGA ファブリックに入力するモードと、同じクロック エッジで同時に入力するモードがあります。これにより、タイミングが複雑にならず、追加のリソースも必要ありません。

- OPPOSITE_EDGE モード：** 通常の DDR 方式でデータが受信されます。Q1 はクロック C の各立ち上がりエッジの後に変化し、Q2 は各立ち下がりエッジの後に変化します。
- SAME_EDGE モード：** データはクロック C の反対のエッジで受信されますが、立ち下がりエッジ データ レジスタの前にレジスタが追加されており、このレジスタはクロック信号 C の立ち上がりエッジで動作するので、DDR データは同じクロック エッジで FPGA に送信されます。ただし、データ ペアは分離されているように見えます。Q1 と Q2 にはペア 1 および 2 が同時に送信されず、最初のペアがペア 1 とドントケアとなり、次のクロック サイクルでペア 2 と 3 が送信されます。
- SAME_EDGE_PIPELINED モード：** SAME_EDGE モードと同様にデータが処理されますが、SAME_EDGE モードでのデータ ペアの分離を回避するため、立ち上がりエッジ データ レジスタの前にもレジスタが追加されるので、データ ペアが Q1 と Q2 ピンに同時に送信されます。ただし、このモードを使用すると、Q1 と Q2 信号が変化するレイテンシが 1 サイクル分増加します。

IDDR は IODELAY などの SelectIO™ 機能とも使用できます。

メモ： 高速インターフェイスには、IDDR_2CLK コンポーネントを使用して データの取り込みに 2 つの独立したクロックを指定できます。このコンポーネントは、IDDR のパフォーマンス要件が不十分なときに使用します。IDDR_2CLK では、必要なクロック リソース数が増え、IDDR コンポーネントを使用するときには不要な配置制限が発生する可能性があります。

ポートの説明

| ポート名 | 方向 | 幅 | 機能 |
|---------|----|---|---|
| Q1 ~ Q2 | 出力 | 1 | FPGA に接続する IDDR 出力です。Q1 は最初のデータ ペア、Q2 は 2 番目のデータ ペアです。 |
| C | 入力 | 1 | クロック入力ピンです。 |
| CE | 入力 | 1 | Low になると、ポート O の出力クロックがディスエーブルになります。 |
| D | 入力 | 1 | DDR データを IDDR モジュールに入力するピン。 このピンは、最上位の入力または双方向ポート、入力遅延が設定された IODELAY、または適切な入力または双方向バッファに接続します。 |
| R | 入力 | 1 | アクティブ High のリセットで Q1 および Q2 を論理 0 にします。SRTYPE 属性に基づき、同期または非同期に設定できます。 |
| S | 入力 | 1 | アクティブ High のリセットで Q1 および Q2 を論理 1 にします。SRTYPE 属性に基づき、同期または非同期に設定できます。 |

デザインの入力方法

このエレメントは、回路図で使用できます。

使用可能な属性

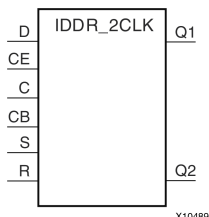
| 属性 | データ型 | 値 | デフォルト | 説明 |
|--------------|------|---|-----------------|--|
| DDR_CLK_EDGE | 文字列 | "OPPOSITE_EDGE"、 "SAME_EDGE"、 "SAME_EDGE_PIPELINED" | "OPPOSITE_EDGE" | クロック エッジに対する IDDR の操作モードを指定します。 |
| INIT_Q1 | 2 進数 | 0、1 | 0 | コンフィギュレーションのスタートアップ後または GSR がアサートされたときの Q1 ピンの初期値を指定します。 |
| INIT_Q2 | 2 進数 | 0、1 | 0 | コンフィギュレーションのスタートアップ後または GSR がアサートされたときの Q2 ピンの初期値を指定します。 |
| SRTYPE | 文字列 | "SYNC"、"ASYN" | "SYNC" | セット/リセットのタイプを選択します。"SYNC" に設定するとリセット (R) およびセット (S) ピンの動作が C クロック ピンの立ち上がりエッジに同期し、"ASYN" に設定すると非同期動作になります。 |

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

IDDR_2CLK

プリミティブ : Input Dual Data-Rate Register with Dual Clock Inputs



概要

このデザイン エLEMENTは、ザイリンクス FPGA で外部デュアル データレート (DDR) 信号を受信するための専用入力レジスタです。IDDR_2CLK プリミティブは、DDR アプリケーションの立ち上がりデータと立ち下がりデータをキャプチャするのに 2 つのクロックが必要なアプリケーションでのみ使用してください。

- OPPOSITE_EDGE モード :** 通常の DDR 方式でデータが受信されます。Q1 はクロック C の各立ち上がりエッジの後に変化し、Q2 はクロック CB の各立ち上がりエッジの後に変化します。
- SAME_EDGE モード :** データは各クロックの立ち上がりエッジで受信されますが、CB クロック データレジスタの前にレジスタが 1 つ追加されます。このレジスタはクロック信号 C の立ち上がりエッジで動作するので、DDR データは同じクロック エッジで FPGA に送信されます。ただし、データ ペアは分離されているように見えます。Q1 と Q2 にはペア 1 および 2 が同時に送信されず、最初のペアがペア 1 とドントケアとなり、次のクロックサイクルでペア 2 と 3 が送信されます。
- SAME_EDGE_PIPELINED モード :** SAME_EDGE モードと同様にデータが処理されますが、SAME_EDGE モードでのデータ ペアの分離を回避するため、C のクロック データレジスタの前にもレジスタが追加されるので、データ ペアが Q1 と Q2 ピンに同時に送信されます。ただし、このモードを使用すると、Q1 と Q2 信号が変化するレイテンシが 1 サイクル分増加します。

IDDR は IODELAY などの SelectIO™ 機能とも使用できます。

ポートの説明

| ポート名 | 方向 | 幅 | 機能 |
|---------|----|---|---|
| Q1 : Q2 | 出力 | 1 | FPGA に接続する IDDR 出力です。Q1 は最初のデータ ペア、Q2 は 2 番目のデータ ペアです。 |
| C | 入力 | 1 | 立ち上がりエッジのデータをキャプチャするプライマリ クロック 入力ピン |
| CB | 入力 | 1 | 立ち下がりエッジのデータをキャプチャするセカンダリ クロック 入力ピン。通常プライマリ クロックと 180 度位相がずれています。 |
| CE | 入力 | 1 | Low になると、ポート O の出力クロックがディスエーブルになります。 |
| D | 入力 | 1 | DDR データを IDDR モジュールに入力するピン このピンは、最上位の入力または双方向ポート、入力遅延が設定された IODELAY、あるいは適切な入力または双方向バッファに接続します。 |
| R | 入力 | 1 | アクティブ High のリセットで Q1 および Q2 を論理 0 にします。SRTYPE 属性に基づき、同期または非同期に設定できます。 |
| S | 入力 | 1 | アクティブ High のリセットで Q1 および Q2 を論理 1 にします。SRTYPE 属性に基づき、同期または非同期に設定できます。 |

デザインの入力方法

このエレメントは、回路図で使用できます。

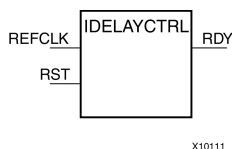
- ・ C ピンを立ち上がりクロック エッジを示すクロック ソースに、CB ピンを立ち下がりクロック エッジを示すクロック ソースに接続します。
- ・ D ピンを最上位の入力または双方向ポート、IODELAY、あるいはインスタンス化された入力または双方向バッファに接続します。
- ・ Q1 および Q2 ピンは、適切なデータ ソースに接続する必要があります。
- ・ CE ピンは、未使用の場合は High に接続し、使用する場合は適切なクロック イネーブル ロジックに接続します。
- ・ R および S ピンは、未使用の場合は Low に接続し、使用する場合は適切なセット/リセット生成ロジックに接続します。
- ・ 目的の動作になるように、コンポーネントに属性を設定します。
- ・ このペアのコンポーネントは同じクロックを使用してインスタンス化し、使用可能な I/O リソースを無駄にしないように、I/O ペアの P および N に LOC 制約を使用して固定します。
- ・ このコンポーネントは、常にほかの I/O コンポーネントと共にコードの最上位階層にインスタンス化します。これにより、階層デザイン フローを適切に実行できるようになります。
- ・ CLK スキューを最小限に抑えるには、CLK および CLKB の両方が、ローカル反転ではなく、グローバル配線 (DCM/MMCM) から供給されるようにする必要があります。ローカル反転を使用するとスキューが追加されますが、DCM/MMCM を使用するとスキューが抑えられます。

使用可能な属性

| 属性 | データ型 | 値 | デフォルト | 説明 |
|--------------|------|---|-----------------|---|
| DDR_CLK_EDGE | 文字列 | "OPPOSITE_EDGE"、 "SAME_EDGE"、 "SAME_EDGE_PIPELINED" | "OPPOSITE_EDGE" | クロック エッジに対する DDR の操作モードを指定します。詳細は、「概要」を参照してください。 |
| INIT_Q1 | 2 進数 | 0、1 | 0 | コンフィギュレーションのスタートアップ後または GSR がアサートされたときの Q1 ピンの初期値を指定します。 |
| INIT_Q2 | 2 進数 | 0、1 | 0 | コンフィギュレーションのスタートアップ後または GSR がアサートされたときの Q2 ピンの初期値を指定します。 |
| SRTYPE | 文字列 | "SYNC"、"ASYN" | "SYNC" | セット/リセットのタイプを選択します。 "SYNC" に設定すると、リセット (R) およびセット (S) ピンの動作が C クロック ピンの立ち上がりエッジに同期し、"ASYN" に設定すると非同期動作になります。 |

IDELAYCTRL

プリミティブ：IDELAY Tap Delay Value Control



概要

このエレメントは、IODELAYE1 を使用する場合にインスタンス化する必要があります。これは、IDELAY または ISERDES プリミティブがインスタンス化されており、IOBDelay_Type 属性が FIXED または VARIABLE に設定されている場合です。このモジュールは、一定の周波数の基準クロック REFCLK を使用して、プロセス、電圧、および温度の変化に影響されずに、タップ遅延ラインに電圧バイアスを供給します。これにより、正確な遅延調整が可能になります。

ポートの説明

| ポート名 | 方向 | 幅 | 機能 |
|--------|----|---|--|
| RDY | 出力 | 1 | 基準クロック入力 REFCLK が有効になったことを示します。REFCLK が停止する (REFCLK が High または Low に 1 クロック周期以上保持される) と、ディアサートされます。 |
| REFCLK | 入力 | 1 | プロセス、電圧、温度の変化に影響されずに、タップ遅延ラインに電圧バイアスを供給します。タップ遅延をデータシートに記載された値にするには、REFCLK の周波数を 200MHz にする必要があります。 |
| RST | 入力 | 1 | IDELAYCTRL 回路をリセットします。RST 信号は、アクティブ High の非同期リセットです。IDELAYCTRL をリセットするには、このポートを 50ns 以上 High にアサートする必要があります。 |

RST (モジュールリセット)：IDELAYCTRL 回路をリセットします。RST 信号は、アクティブ High の非同期リセットです。IDELAYCTRL をリセットするには、このポートを 50ns 以上 High にアサートする必要があります。

REFCLK (基準クロック)：プロセス、電圧、温度の変化に影響されずに、タップ遅延ラインに電圧バイアスを供給します。タップ遅延をデータシートに記載された値にするには、REFCLK の周波数を 200MHz にする必要があります。

RDY (Ready 出力)：基準クロック入力 REFCLK が有効になったことを示します。REFCLK が停止する (REFCLK が High または Low に 1 クロック周期以上保持される) と、RDY 信号がディアサートされます。

デザインの入力方法

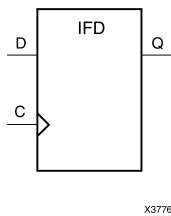
このエレメントは、回路図で使用できます。

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

IFD

マクロ：Input D Flip-Flop



概要

このエレメントは D フリップフロップで、I/O ブロック (IOB) に含まれています。フリップフロップの入力 (D) は、IBUF を使用せずに IPAD または IOPAD に接続されます。入力 D からはデータが入力され、チップへのデータ入力同期化されます。入力 D の値は、クロック (C) が Low から High に切り替わるときに、フリップフロップにロードされ、出力 (Q) に出力されます。クロック入力、内部ロジックまたは別の外部ピンによって駆動できます。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

| 入力 | | 出力 |
|----|---|----|
| D | C | Q |
| D | ↑ | D |

デザインの入力方法

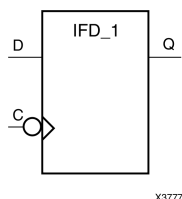
このエレメントは、回路図でのみ使用できます。

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

IFD_1

マクロ：Input D Flip-Flop with Inverted Clock (Asynchronous Preset)



概要

このデザイン エレメントは D フリップフロップで、I/O ブロック (IOB) に含まれています。フリップフロップの入力 (D) は、IPAD または IOPAD に接続されます。また、入力 D からはデータが入力され、チップへのデータ入力が同期化されます。入力 D の値は、クロック (C) が High から Low に切り替わる時に、フリップフロップにロードされ、出力 (Q) に出力されます。クロック入力、内部ロジックまたは別の外部ピンによって駆動できます。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

| 入力 | | 出力 |
|----|---|----|
| D | C | Q |
| 0 | ↓ | 0 |
| 1 | ↓ | 1 |

デザインの入力方法

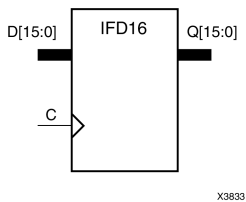
このエレメントは、回路図でのみ使用できます。

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

IFD16

マクロ：16-Bit Input D Flip-Flop



概要

このエレメントは D フリップフロップで、I/O ブロック (IOB) に含まれています。フリップフロップの入力 (D) は、IBUF を使用せずに IPAD または IOPAD に接続されます。入力 D からはデータが入力され、チップへのデータ入力同期化されます。入力 D の値は、クロック (C) が Low から High に切り替わるときに、フリップフロップにロードされ、出力 (Q) に出力されます。クロック入力、内部ロジックまたは別の外部ピンによって駆動できます。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

| 入力 | | 出力 |
|----|---|----|
| D | C | Q |
| D | ↑ | D |

デザインの入力方法

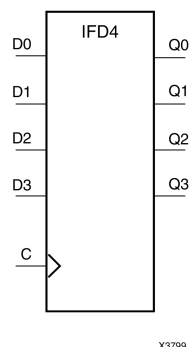
このエレメントは、回路図でのみ使用できます。

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

IFD4

マクロ：4-Bit Input D Flip-Flop



X3799

概要

このエレメントは D フリップフロップで、I/O ブロック (IOB) に含まれています。フリップフロップの入力 (D) は、IBUF を使用せずに IPAD または IOPAD に接続されます。入力 D からはデータが入力され、チップへのデータ入力同期化されます。入力 D の値は、クロック (C) が Low から High に切り替わるときに、フリップフロップにロードされ、出力 (Q) に出力されます。クロック入力、内部ロジックまたは別の外部ピンによって駆動できます。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

| 入力 | | 出力 |
|----|---|----|
| D | C | Q |
| D | ↑ | D |

デザインの入力方法

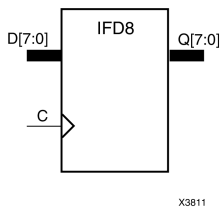
このエレメントは、回路図でのみ使用できます。

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

IFD8

マクロ：8-Bit Input D Flip-Flop



概要

このエレメントは D フリップフロップで、I/O ブロック (IOB) に含まれています。フリップフロップの入力 (D) は、IBUF を使用せずに IPAD または IOPAD に接続されます。入力 D からはデータが入力され、チップへのデータ入力同期化されます。入力 D の値は、クロック (C) が Low から High に切り替わるときに、フリップフロップにロードされ、出力 (Q) に出力されます。クロック入力、内部ロジックまたは別の外部ピンによって駆動できます。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

| 入力 | | 出力 |
|----|---|----|
| D | C | Q |
| D | ↑ | D |

デザインの入力方法

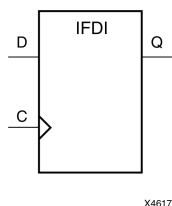
このエレメントは、回路図でのみ使用できます。

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

IFDI

マクロ：Input D Flip-Flop (Asynchronous Preset)



概要

このデザイン エLEMENTは D フリップフロップで、I/O ブロック (IOB) に含まれています。フリップフロップの入力 (D) は、IPAD または IOPAD に接続されます。入力 D からはデータが入力され、チップへのデータ入力同期化されます。入力 D の値は、クロック (C) が Low から High に切り替わる時に、フリップフロップにロードされ、出力 (Q) に出力されます。クロック入力は、内部ロジックまたは別の外部ピンによって駆動できます。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

| 入力 | | 出力 |
|----|---|----|
| D | C | Q |
| D | ↑ | D |

デザインの入力方法

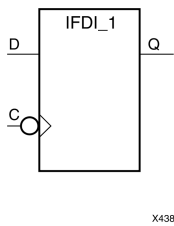
このELEMENTは、回路図でのみ使用できます。

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

IFDI_1

マクロ : Input D Flip-Flop with Inverted Clock (Asynchronous Preset)



概要

このデザイン エLEMENTは D フリップフロップで、I/O ブロック (IOB) に含まれています。フリップフロップの入力 (D) は、IPAD または IOPAD に接続されます。入力 D からはデータが入力され、チップへのデータ入力同期化されます。入力 D の値は、クロック (C) が High から Low に切り替わる時にフリップフロップにロードされ、出力 (Q) に出力されます。クロック入力、内部ロジックまたは別の外部ピンによって駆動できます。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

| 入力 | | 出力 |
|----|---|----|
| D | C | Q |
| 0 | ↓ | 0 |
| 1 | ↓ | 1 |

デザインの入力方法

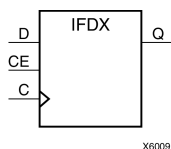
このELEMENTは、回路図でのみ使用できます。

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

IFDX

マクロ : Input D Flip-Flop with Clock Enable



概要

このエレメントは D フリップフロップで、I/O ブロック (IOB) に含まれています。フリップフロップの入力 (D) は、IBUF を使用せずに IPAD または IOPAD に接続されます。入力 D からはデータが入力され、チップへのデータ入力同期化されます。CE が High になっていると、入力 D の値は、クロック (C) が Low から High に切り替わる時にフリップフロップにロードされ、出力 (Q) に出力されます。クロック入力、内部ロジックまたは別の外部ピンによって駆動できます。クロック イネーブル (CE) が Low のときには、フリップフロップの出力は変化しません。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

| 入力 | | | 出力 |
|----|---|---|------|
| CE | D | C | Q |
| 1 | D | ↑ | D |
| 0 | X | X | 変化なし |

デザインの入力方法

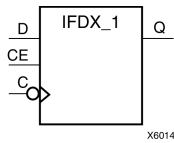
このエレメントは、回路図でのみ使用できます。

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

IFDX_1

マクロ：Input D Flip-Flop with Inverted Clock and Clock Enable



概要

このデザイン エLEMENTは D フリップフロップで、I/O ブロック (IOB) に含まれています。フリップフロップの入力 (D) は、IPAD または IOPAD に接続されます。また、入力 D からはデータが入力され、チップへのデータ入力同期化されます。CE が High になっていると、入力 D の値は、クロック (C) が High から Low に切り替わる時にフリップフロップにロードされ、出力 (Q) に出力されます。クロック入力は、内部ロジックまたは別の外部ピンによって駆動できます。クロック イネーブル (CE) が Low のときには、出力 (Q) は変化しません。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

| 入力 | | | 出力 |
|----|---|---|------|
| CE | D | C | Q |
| 1 | D | ↓ | D |
| 0 | X | X | 変化なし |

デザインの入力方法

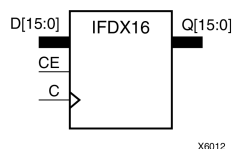
このELEMENTは、回路図でのみ使用できます。

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

IFDX16

マクロ：16-Bit Input D Flip-Flops with Clock Enable



概要

このエレメントは D フリップフロップで、I/O ブロック (IOB) に含まれています。フリップフロップの入力 (D) は、IBUF を使用せずに IPAD または IOPAD に接続されます。入力 D からはデータが入力され、チップへのデータ入力同期化されます。CE が High になっていると、入力 D の値は、クロック (C) が Low から High に切り替わる時にフリップフロップにロードされ、出力 (Q) に出力されます。クロック入力、内部ロジックまたは別の外部ピンによって駆動できます。クロック イネーブル (CE) が Low のときには、フリップフロップの出力は変化しません。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

| 入力 | | | 出力 |
|----|---|---|------|
| CE | D | C | Q |
| 1 | D | ↑ | D |
| 0 | X | X | 変化なし |

デザインの入力方法

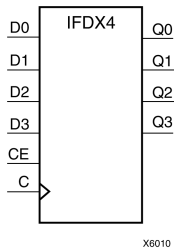
このエレメントは、回路図でのみ使用できます。

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

IFDX4

マクロ：4-Bit Input D Flip-Flop with Clock Enable



概要

このエレメントは D フリップフロップで、I/O ブロック (IOB) に含まれています。フリップフロップの入力 (D) は、IBUF を使用せずに IPAD または IOPAD に接続されます。入力 D からはデータが入力され、チップへのデータ入力同期化されます。CE が High になっていると、入力 D の値は、クロック (C) が Low から High に切り替わる時にフリップフロップにロードされ、出力 (Q) に出力されます。クロック入力、内部ロジックまたは別の外部ピンによって駆動できます。クロック イネーブル (CE) が Low のときには、フリップフロップの出力は変化しません。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

| 入力 | | | 出力 |
|----|---|---|------|
| CE | D | C | Q |
| 1 | D | ↑ | D |
| 0 | X | X | 変化なし |

デザインの入力方法

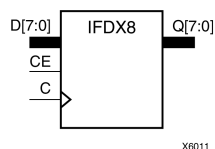
このエレメントは、回路図でのみ使用できます。

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

IFDX8

マクロ : 8-Bit Input D Flip-Flop with Clock Enable



概要

このエレメントは D フリップフロップで、I/O ブロック (IOB) に含まれています。フリップフロップの入力 (D) は、IBUF を使用せずに IPAD または IOPAD に接続されます。入力 D からはデータが入力され、チップへのデータ入力同期化されます。CE が High になっていると、入力 D の値は、クロック (C) が Low から High に切り替わる時にフリップフロップにロードされ、出力 (Q) に出力されます。クロック入力、内部ロジックまたは別の外部ピンによって駆動できます。クロック イネーブル (CE) が Low のときには、フリップフロップの出力は変化しません。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

| 入力 | | | 出力 |
|----|---|---|------|
| CE | D | C | Q |
| 1 | D | ↑ | D |
| 0 | X | X | 変化なし |

デザインの入力方法

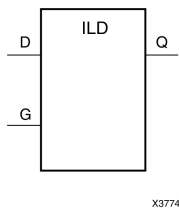
このエレメントは、回路図でのみ使用できます。

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

ILD

マクロ：Transparent Input Data Latch



概要

このデザイン エLEMENTは単一の透過データ ラッチで、チップに入力されるデータを一時的に保持します。このラッチは、I/O ブロック (IOB) に含まれます。ラッチ入力 (D) は、IBUF を使用せずに IPAD または IOPAD に接続されます。ゲート入力 (G) が High になると、入力 (D) のデータが出力 (Q) に出力されます。入力 D のデータは、G が High から Low に切り替わるときにラッチに格納されます。

電力を供給すると、ラッチは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

| 入力 | | 出力 |
|----|---|------|
| G | D | Q |
| 1 | D | D |
| 0 | X | 変化なし |
| ↓ | D | D |

デザインの入力方法

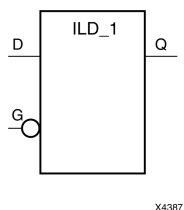
このELEMENTは、回路図でのみ使用できます。

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

ILD_1

マクロ：Transparent Input Data Latch with Inverted Gate



概要

このデザイン エレメントは透過データ ラッチであり、チップに入力されるデータを一時的に保持します。ゲート入力 (G) が Low になると、入力 (D) の値が出力 (Q) に出力されます。入力 D の値は、G が Low から High に切り替わるときにラッチに格納されます。

電力を供給すると、ラッチは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

| 入力 | | 出力 |
|----|---|------|
| G | D | Q |
| 0 | D | D |
| 1 | X | 変化なし |
| ↑ | D | D |

デザインの入力方法

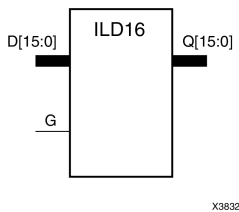
このエレメントは、回路図でのみ使用できます。

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

ILD16

マクロ：Transparent Input Data Latch



概要

このデザイン エLEMENTは複数の透過データ ラッチで、チップに入力されるデータを一時的に保持します。ILD ラッチは、I/O ブロック (IOB) に含まれています。ラッチ入力 (D) は、IBUF を使用せずに IPAD または IOPAD に接続されます。ゲート入力 (G) が High になると、入力 (D) の値が出力 (Q) に出力されます。入力 D の値は、G が High から Low に切り替わるときにラッチに格納されます。

電力を供給すると、ラッチは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

| 入力 | | 出力 |
|----|----|------|
| G | D | Q |
| 1 | Dn | Dn |
| 0 | X | 変化なし |
| ↓ | Dn | Dn |

デザインの入力方法

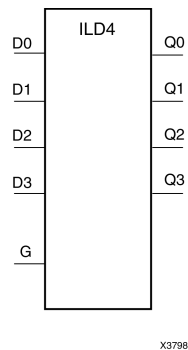
このELEMENTは、回路図でのみ使用できます。

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

ILD4

マクロ : Transparent Input Data Latch



概要

このデザイン エレメントは複数の透過データラッチで、チップに入力されるデータを一時的に保持します。ILD ラッチは、I/O ブロック (IOB) に含まれています。ラッチ入力 (D) は、IBUF を使用せずに IPAD または IOPAD に接続されます。ゲート入力 (G) が High になると、入力 (D) の値が出力 (Q) に出力されます。入力 D の値は、G が High から Low に切り替わるときにラッチに格納されます。

電力を供給すると、ラッチは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

| 入力 | | 出力 |
|----|----|------|
| G | D | Q |
| 1 | Dn | Dn |
| 0 | X | 変化なし |
| ↓ | Dn | Dn |

デザインの入力方法

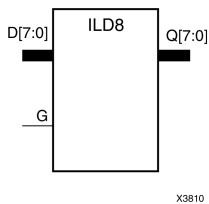
このエレメントは、回路図でのみ使用できます。

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

ILD8

マクロ：Transparent Input Data Latch



概要

このデザイン エLEMENTは複数の透過データ ラッチで、チップに入力されるデータを一時的に保持します。ILD ラッチは、I/O ブロック (IOB) に含まれています。ラッチ入力 (D) は、IBUF を使用せずに IPAD または IOPAD に接続されます。ゲート入力 (G) が High になると、入力 (D) の値が出力 (Q) に出力されます。入力 D の値は、G が High から Low に切り替わるときにラッチに格納されます。

電力を供給すると、ラッチは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

| 入力 | | 出力 |
|----|----|------|
| G | D | Q |
| 1 | Dn | Dn |
| 0 | X | 変化なし |
| ↓ | Dn | Dn |

デザインの入力方法

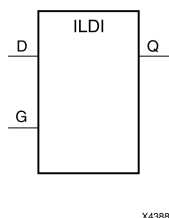
このELEMENTは、回路図でのみ使用できます。

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

ILDI

マクロ：Transparent Input Data Latch (Asynchronous Preset)



概要

このデザイン エレメントは透過データ ラッチであり、チップに入力されるデータを一時的に保持します。ゲート入力 (G) が High になると、入力 (D) のデータが出力 (Q) に出力されます。入力 D のデータは、G が High から Low に切り替わるときにラッチに格納されます。

ILDI は、入力フリップフロップのマスタ ラッチです。入力フリップフロップからは、クロック信号のレベルに対応する出力とクロック信号のエッジに対応する出力という 2 つの異なる出力が使用できます。同じ入力フリップフロップから両方の出力を使用する場合、透過 High ラッチ (ILDI) は立ち下がりエッジでトリガーされるフリップフロップ (IFDI_1) に対応します。同様に、透過 Low ラッチ (ILDI_1) は立ち上がりエッジでトリガーされるフリップフロップ (IFDI) に対応します。

電力が供給されると、ラッチは非同期にプリセットされ、出力が High になります。

FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

| 入力 | | 出力 |
|----|---|------|
| G | D | Q |
| 1 | D | D |
| 0 | X | 変化なし |
| ↓ | D | D |

デザインの入力方法

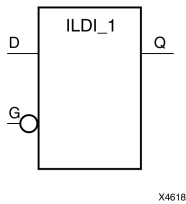
このエレメントは、回路図でのみ使用できます。

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

ILDI_1

マクロ：Transparent Input Data Latch with Inverted Gate (Asynchronous Preset)



概要

このデザイン エLEMENTは透過データラッチであり、チップに入力されるデータを一時的に保持します。ゲート入力 (G) が Low になると、入力 (D) の値が出力 (Q) に出力されます。入力 D の値は、G が Low から High に切り替わるときにラッチに格納されます。

電力が供給されると、ラッチは非同期にプリセットされ、出力が High になります。

FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

| 入力 | | 出力 |
|----|---|------|
| G | D | Q |
| 0 | 1 | 1 |
| 0 | 0 | 0 |
| 1 | X | 変化なし |
| ↑ | D | D |

デザインの入力方法

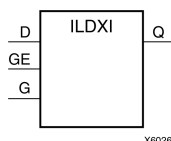
このELEMENTは、回路図でのみ使用できます。

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

ILDXI

マクロ：Transparent Input Data Latch (Asynchronous Preset)



概要

このデザイン エレメントは透過データラッチであり、チップに入力されるデータを一時的に保持します。ゲート入力 (G) が High になると、入力 (D) のデータが出力 (Q) に出力されます。入力 D のデータは、G が High から Low に切り替わるときにラッチに格納されます。

ILDXI は、入力フリップフロップのマスター ラッチです。入力フリップフロップからは、クロック信号のレベルに対応する出力とクロック信号のエッジに対応する出力という 2 つの出力が使用できます。同じ入力フリップフロップから両方の出力を使用する場合、透過 High ラッチ (ILDXI) は立ち下がりエッジでトリガーされるフリップフロップ (IFDXL1) に対応します。同様に、透過 Low ラッチ (ILDXL1) は立ち上がりエッジでトリガーされるフリップフロップ (IFDXI) に対応します。

電力が供給されると、ラッチは非同期にプリセットされ、出力が High になります。

FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

| 入力 | | | 出力 |
|----|---|---|------|
| GE | G | D | Q |
| 0 | X | X | 変化なし |
| 1 | 0 | X | 変化なし |
| 1 | 1 | D | D |
| 1 | ↓ | D | D |

デザインの入力方法

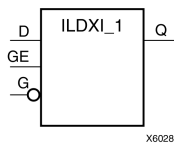
このエレメントは、回路図でのみ使用できます。

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

ILDXI_1

マクロ：Transparent Input Data Latch with Inverted Gate (Asynchronous Preset)



概要

このデザイン エLEMENTは透過データ ラッチであり、チップに入力されるデータを一時的に保持します。

電力が供給されると、ラッチは非同期にプリセットされ、出力が High になります。

FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

| 入力 | | | 出力 |
|----|---|---|------|
| GE | G | D | Q |
| 0 | X | X | 変化なし |
| 1 | 1 | X | 変化なし |
| 1 | 0 | D | D |
| 1 | ↑ | D | D |

デザインの入力方法

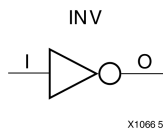
このELEMENTは、回路図でのみ使用できます。

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

INV

プリミティブ：Inverter



概要

このデザイン エLEMENTは、回路図で信号を反転する単一のインバーターです。

デザインの入力方法

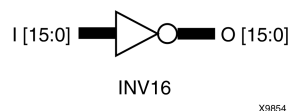
このELEMENTは、回路図でのみ使用できます。

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

INV16

マクロ : 16 Inverters



概要

このデザイン エLEMENTは、回路図で信号を反転する複数のインバーターです。

デザインの入力方法

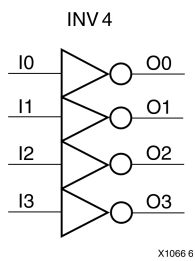
このELEMENTは、回路図でのみ使用できます。

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

INV4

マクロ : Four Inverters



概要

このデザイン エLEMENTは、回路図で信号を反転する複数のインバーターです。

デザインの入力方法

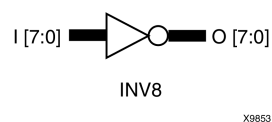
このELEMENTは、回路図でのみ使用できます。

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

INV8

マクロ：Eight Inverters



概要

このデザイン エLEMENTは、回路図で信号を反転する複数のインバーターです。

デザインの入力方法

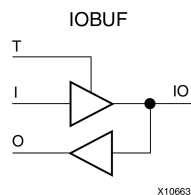
このELEMENTは、回路図でのみ使用できます。

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

IOBUF

プリミティブ：Bi-Directional Buffer



概要

このデザイン エレメントは双方向でシングルエンドの I/O バッファで、内部ロジックを外部双方向ピンに接続する場合に使用します。

論理表

| 入力 | | 双方向 | 出力 |
|----|---|-----|-----|
| T | I | I/O | O |
| 1 | X | Z | I/O |
| 0 | 1 | 1 | 1 |
| 0 | 0 | 0 | 0 |

ポートの説明

| ポート名 | 方向 | 幅 | 機能 |
|------|-----|---|-----------------|
| O | 出力 | 1 | バッファの出力 |
| IO | 入出力 | 1 | バッファの入出力 |
| I | 入力 | 1 | バッファの入力 |
| T | 入力 | 1 | トライステート イネーブル入力 |

デザインの入力方法

このエレメントは、回路図で使用できます。

使用可能な属性

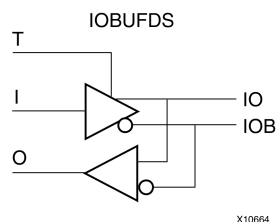
| 属性 | データ型 | 値 | デフォルト | 説明 |
|------------|------|-------------------------|-----------|---|
| DRIVE | 整数 | 2、4、6、8、12、16、24 | 12 | I/O 規格として LVTTTL、LVCMOS12、LVCMOS15、LVCMOS18、LVCMOS25 または LVCMOS33 を使用する SelectIO™ バッファの出力の駆動電流 (mA) を選択します。 |
| IOSTANDARD | 文字列 | データシートを参照 | "DEFAULT" | エレメントに I/O 規格を割り当てます。 |
| SLEW | 文字列 | "SLOW"、"FAST"、"QUIETIO" | "SLOW" | 出力の立ち上がり時間と立ち下がり時間を設定します。この属性の最適な設定方法は、データシートを参照してください。 |

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

IOBUFDS

プリミティブ：3-State Differential Signaling I/O Buffer with Active Low Output Enable



概要

このデザイン エレメントは、低電圧差動信号を使用する双方向バッファです。IOBUFDS では、デザイン レベルのインターフェイス信号は、一方がマスターでもう一方がスレーブとなる 2 つの異なるポート (IO、IOB) で表されます。マスターとスレーブは MYNET_P と MYNET_N のように、同じ論理信号の反対の状態を示します。また、オプションの差動終端を使用すると、シグナル インテグリティが向上し、外部コンポーネントの数を削減できます。デバイスへの入力データの遅延を調整する遅延エレメントも含まれています。

論理表

| 入力 | | 双方向 | | 出力 |
|----|---|-----|-----|------|
| I | T | I/O | IOB | O |
| X | 1 | Z | Z | 変化なし |
| 0 | 0 | 0 | 1 | 0 |
| 1 | 0 | 1 | 0 | 1 |

ポートの説明

| ポート名 | 方向 | 幅 | 機能 |
|------|-----|---|----------------|
| O | 出力 | 1 | バッファの出力 |
| IO | 入出力 | 1 | Diff_p 入出力 |
| IOB | 入出力 | 1 | Diff_n 入出力 |
| I | 入力 | 1 | バッファの入力 |
| T | 入力 | 1 | トリステート イネーブル入力 |

デザインの入力方法

このエレメントは、回路図で使用できます。

使用可能な属性

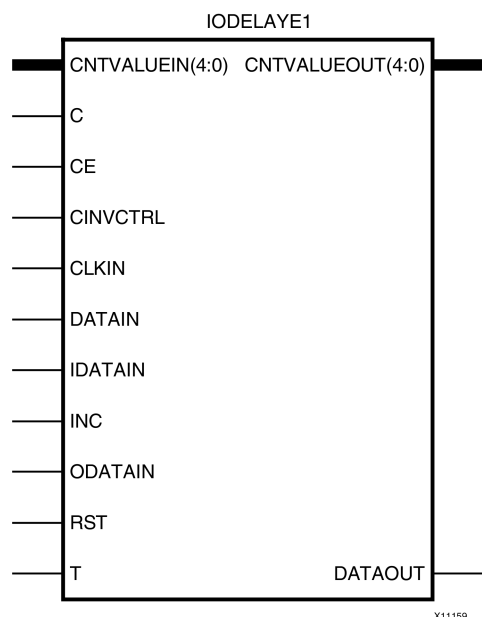
| 属性 | データ型 | 値 | デフォルト | 説明 |
|------------|------|-----------|-----------|-----------------------|
| IOSTANDARD | 文字列 | データシートを参照 | "DEFAULT" | エレメントに I/O 規格を割り当てます。 |

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

IODELAYE1

プリミティブ：Input and Output Fixed or Variable Delay Element



概要

各 I/O ブロックには、IODELAYE1 と呼ばれるプログラム可能な絶対遅延エレメントが含まれています。この遅延エレメントは、入力レジスタ/ISERDESE1 または出力レジスタ/OSERDESE1 ブロック、あるいはその両方に接続できます。IODELAYE1 は、キャリブレーションされたタップ精度を使用する 31 タップのラップアラウンド遅延エレメントです。遅延値は、Virtex-6 FPGA データシートを参照してください。組み合わせ入力パス、レジスタ付き入力パス、組み合わせ出力パス、またはレジスタ付き出力パスに使用できます。FPGA ロジックで直接アクセスすることも可能です。IODELAYE1 を使用すると、入力信号を個別に遅延できます。タップ遅延精度は、IDELAYCTRL 基準クロックを Virtex-6 FPGA データシートで指定された範囲から選択することによって変更できます。IODELAYE1 リソースは、入力、出力、または双方向遅延として使用できます。

ポートの説明

| ポート名 | 方向 | 幅 | 機能 |
|------------------|----|---|---|
| C | 入力 | 1 | VARIABLE または VAR_LOADABLE モードで使用されるクロック入力 |
| CE | 入力 | 1 | インクリメント/デクリメントをイネーブル/ディスエーブルにするアクティブ High の信号 |
| CINVCTRL | 入力 | 1 | クロック (C) の極性を動的に反転します。 |
| CLKIN | 入力 | 1 | IODELAY へのクロック入力 (IO CLKMUX から) |
| CNTVALUEIN[4:0] | 入力 | 5 | 動的に読み込まれるタップ値用の FPGA ロジックからのタップ カウンター値 |
| CNTVALUEOUT[4:0] | 出力 | 5 | タップ値モニター用に FPGA ロジックに送信されるタップ カウンター値 |
| DATAIN | 入力 | 1 | FPGA ロジックで直接駆動され、ロジックでアクセス可能な遅延ラインとなります。データは、DATAOUT ポートを通じて IDELAY_VALUE で設定された遅延で FPGA ロジックにフィードバックされます。DATAIN はローカルで反転可能です。データを IOB に駆動することはできません。 |

| ポート名 | 方向 | 幅 | 機能 |
|---------|----|---|--|
| DATAOUT | 出力 | 1 | 3 つのデータ入力ポートからの遅延データです。IDELAY モードでは FPGA ロジックに、ODELAY モードでは IOB に、双方向遅延モードでは両方に接続されます。双方向遅延モードでは、T ポートは IDATAIN パスと ODATAIN パスを動的に切り替え、OLOGIC ブロックからのトライステート信号 T で示される方向に基づき入力遅延と出力遅延を切り替えます。 |
| IDATAIN | 入力 | 1 | 関連付けられている IOB で駆動されます。IDELAY モードでは、データは ILOGIC/ISERDES ブロックに入力するか、FPGA ロジックに直接入力するか、または DATAOUT ポートを介して IDELAY_VALUE で設定された遅延で両方に入力できます。 |
| INC | 入力 | 1 | タップ遅延のインクリメント/デクリメント数 |
| ODATAIN | 入力 | 1 | OLOGIC/OSERDES で駆動されます。ODELAY モードでは、ODATAIN は IOB に接続されている DATAOUT ポートを ODELAY_VALUE で設定された遅延で駆動します。 |
| RST | 入力 | 1 | VARIABLE モードでは、遅延エレメントを IDELAY_VALUE または ODELAY_VALUE 属性で設定された値にリセットします。これらの属性が設定されていない場合は、0 にリセットされます。RST はアクティブ High のリセットで、入力クロック入力 (C) に同期しています。VAR_LOADABLE モードでは、遅延エレメントを CNTVALUEIN で設定された値にリセットします。CNTVALUEIN[4:0] の値が新しいタップ値になります。この場合、IDELAY_VALUE および ODELAY_VALUE 属性は無視されます。 |
| T | 入力 | 1 | トライステート入力制御ポート。双方向動作では、OBUFT の T ピンも制御します。入力のみまたは内部遅延の場合は High に、出力のみの場合は Low にします。 |

デザインの入力方法

このエレメントは、回路図で使用できます。

使用可能な属性

| 属性 | データ型 | 値 | デフォルト | 説明 |
|-----------------------|-------|-----------------------------------|-------|---|
| CINVCTRL_SEL | ブール代数 | FALSE、TRUE | FALSE | クロック (C) の極性を動的に反転します。 |
| DELAY_SRC | 文字列 | "CLKIN"、"DATAIN"、 "I"、"IO"、"O" | "I" | IODELAY コンポーネントのソースを指定します。 <ul style="list-style-type: none"> "CLKIN"：CLKIN が IODELAYE1 入力となります。 "DATAIN"：どのポートにも接続しません (内部モード)。 "I"：入力ポートまたは IBUF に直接接続します (入力モード)。 "IO"：ポートに接続します。 "O"：出力ポートまたは OBUF に接続します (出力モード)。 |
| HIGH_PERFORMANCE_MODE | ブール代数 | TRUE、FALSE | TRUE | TRUE の場合、出力ジッターが減少します。FALSE の場合、消費電力量が減少します。消費電力量の差異は、XPower Estimator (XPE) ツールで確認できます。 |

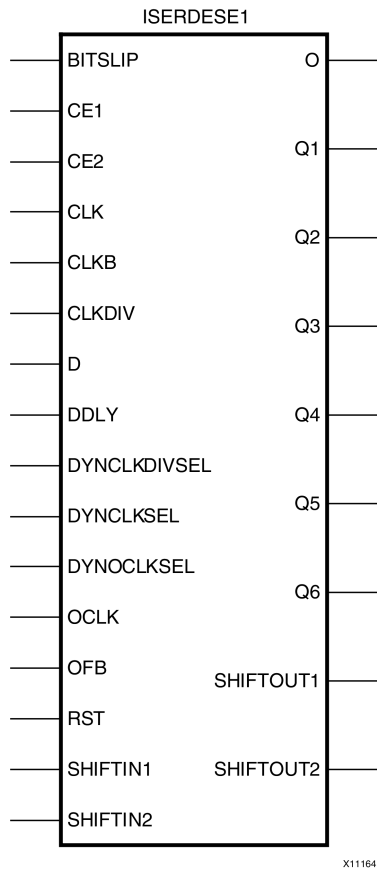
| 属性 | データ型 | 値 | デフォルト | 説明 |
|----------------------|------------------|---|-----------|--|
| IDELAY_TYPE | 文字列 | "DEFAULT"、 "FIXED"、 "VARIABLE"、 "VAR_LOADABLE" | "DEFAULT" | タップ遅延ラインのタイプを設定します。 "DEFAULT" に設定すると、ゼロ ホールド タイム になります。"FIXED" に設定すると、スタティッ ク遅延値に設定されます。"VAR_LOADABLE" に設定すると、タップ値が動的に読み込まれま す。"VARIABLE" に設定すると、遅延値が動的 に調整されます。 |
| IDELAY_VALUE | 整数 | 0、1、2、3、4、5、6、7、 8、9、10、11、12、13、 14、15、16、17、18、 19、20、21、22、23、 24、25、26、27、28、 29、30、31 | 0 | "FIXED" モードでは遅延タップ数、"VARIABLE" モードでは遅延タップ数の初期値を指 定します（入力パス）。IDELAY_TYPE が "VAR_LOADABLE" に設定されている場合、こ の属性は無視されます。 |
| ODELAY_TYPE | 文字列 | "FIXED"、 "VARIABLE"、 "VAR_LOADABLE" | "FIXED" | 出力遅延タイプを "FIXED"（固定）、"VARIABLE" （変動）、または "VAR_LOADABLE"（タップ値を 動的に読み込み）のいずれかに設定します。 |
| ODELAY_VALUE | 整数 | 0、1、2、3、4、5、6、7、 8、9、10、11、12、13、 14、15、16、17、18、 19、20、21、22、23、 24、25、26、27、28、 29、30、31 | 0 | "FIXED" モードでは遅延タップ数、"VARIABLE" モードでは遅延タップ数の初期値を指 定します（出力パス）。IDELAY_TYPE が "VAR_LOADABLE" に設定されている場合、こ の属性は無視されます。 |
| REFCLK_ FREQUENCY | 1 上位ビット FLOAT | 190.0 ～ 210.1 および 290.0 ～ 310.0 | 200.0 | Timing Analyzer でスタティック タイミング解析、 論理シミュレーション、タイミング シミュレーション に使用するタップ値 (MHz) を設定します。適切 なタップ遅延値およびパフォーマンスを得るに は、REFCLK の周波数をデータシートに記載さ れた範囲内にする必要があります。 |
| SIGNAL_PATTERN | 文字列 | "DATA"、"CLOCK" | "DATA" | Timing Analyzer でデータ パスまたはクロック パ スに対して適切な遅延チェーン ジッター量が使用 されるようにします。 |

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

ISERDESE1

プリミティブ：Input SERial/DESerializer



概要

このエレメントは、高速ソース同期アプリケーションのインプリメンテーションに特化したクロックおよびロジック機能を持つ、専用シリアル/パラレル コンバーターです。FPGA でデシリアライザーを設計する際の複雑なタイミング問題を回避するために使用します。

ポートの説明

| ポート名 | 方向 | 幅 | 機能 |
|----------|----|---|---|
| BITSLLIP | 入力 | 1 | BITSLLIP ピンがアサートされると (アクティブ High)、CLKDIV に同期してビットスリップ処理が実行されます。ビットスリップ処理が実行されるごとに、バレル シフターと同様、Q1 ~ Q6 出力ポートのデータが 1 ずつシフトします (DDR と SDR では動作が異なる)。 |
| CE1 | 入力 | 1 | データレジスタ クロック イネーブル |
| CE2 | 入力 | 1 | データレジスタ クロック イネーブル |
| CLK | 入力 | 1 | プライマリ クロック入力 |
| CLKB | 入力 | 1 | 入力シリアル データ ストリームの入力に使用される高速セカンダリ クロック入力。MEMORY_QDR 以外のモードでは、CLK を反転したクロックに接続します。MEMORY_QDR モードでは、CLKB を固有の位相シフトされたクロックに接続する必要があります。 |

| ポート名 | 方向 | 幅 | 機能 |
|-------------------------|----|---|--|
| CLKDIV | 入力 | 1 | パラレル データに使用する分周クロック |
| D | 入力 | 1 | 追加の入力遅延が必要な場合に、デザイン最上位の入力ポート、I/O ポート、または IODELAY に直接接続する入力データ |
| DDL | 入力 | 1 | IODELAY からのシリアル入力 |
| DYNCLKDIVSEL | 入力 | 1 | CLKDIV の反転を動的に選択します。 |
| DYNCLKSEL | 入力 | 1 | CLK および CLKB の反転を動的に選択します。 |
| O | 出力 | 1 | 組み合わせ出力 |
| OCLK | 入力 | 1 | 通常メモリ インターフェイスに使用される高速の出力クロック |
| OCLKB | 入力 | 1 | 非同期オーバーサンプリングに使用されます。 |
| OFB | 入力 | 1 | 出力フィードバック ポート。OSERDESE1 の高速シリアル データ出力ポートまたは CLKPERF のバイパスされたバージョンです。ODELAYUSED 属性が 0 に設定されている場合、ISERDESE1 にシリアル データを送信するために OFB ポートを使用できません。ODELAYUSED 属性が 1 に設定されており、OSERDESE1 が MEMORY_DDR3 モードの場合、高パフォーマンス クロック入力 (CLKPERF) を IODELAYE1 にリンクするために OFB ポートを使用できます。 |
| Q1 ~ Q6 | 出力 | 1 | ISERDESE1 モジュールのレジスタ付き出力。1 つの ISERDESE1 ブロックで最大 6 ビット (1:6 デシリアル化) までサポートできます。6 より大きいビット幅 (10 ビットまで) もサポート可能です。 |
| RST | 入力 | 1 | SERDES のレジスタのアクティブ High の非同期リセット |
| SHIFTIN1/ SHIFTIN2 | 入力 | 1 | ISERDES_MODE が "SLAVE" の場合、マスターの SHIFTOUT1 と SHIFTOUT2 出力に接続します。このピンはグラウンドに接続する必要があります。 |
| SHIFTOUT1/ SHIFTOUT2 | 出力 | 1 | ISERDES_MODE を "MASTER" に設定しており、2 つの ISERDES_NODELAY をカスケード接続している場合に、スレーブの SHIFTIN1 と SHIFTIN2 入力に接続します。 |

デザインの入力方法

このエレメントは、回路図で使用できます。

使用可能な属性

| 属性 | データ型 | 値 | デフォルト | 説明 |
|------------|------|------------------|-------|--|
| DATA_RATE | 文字列 | "DDR"、"SDR" | "DDR" | 入力されるデータ ストリーム レートを SDR または DDR のいずれかに指定します。 |
| DATA_WIDTH | 整数 | 4、2、3、5、6、7、8、10 | 4 | シリアル/パラレル コンバーターの幅を指定します。有効な値は、DATA_RATE 属性 ("SDR" または "DDR") によって異なります。 <ul style="list-style-type: none"> DATA_RATE = "DDR" の場合の有効値は 4、6、8、または 10 です。 DATA_RATE = "SDR" の場合の有効値は 2、3、4、5、6、7、8 です。 |

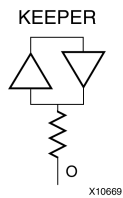
| 属性 | データ型 | 値 | デフォルト | 説明 |
|---------------------|-------|--|----------|---|
| DYN_CLKDIV_INV_EN | ブール代数 | FALSE、TRUE | FALSE | TRUE の場合、DYNCLKDIVINVSEL の反転がイネーブルになり、CLKDIV ピンの HDL 反転がディスエーブルになります。 |
| DYN_CLK_INV_EN | ブール代数 | FALSE、TRUE | FALSE | TRUE の場合、DYNCLKINVSEL の反転がイネーブルになり、CLK および CLKB ピンの HDL 反転がディスエーブルになります。 |
| INIT_Q1 ~ INIT_Q4 | 2 進数 | 1'b0 ~ 1'b1 | 1'b0 | Q 出力の初期値を指定します。 |
| INTERFACE_TYPE | 文字列 | "MEMORY"、 "MEMORY_DDR3"、 "MEMORY_QDR"、 "NETWORKING" | "MEMORY" | メモリ インターフェイスまたはネットワーク インターフェイスを指定します。 |
| IOBDelay | 文字列 | "NONE"、"BOTH"、 "IBUF"、"IFD" | "NONE" | ISERDES モジュールの入力ソースを指定します。 |
| NUM_CE | 整数 | 2、1 | 2 | クロック イネーブルの数を指定します。 |
| OFB_USED | ブール代数 | FALSE、TRUE | FALSE | ISERDESE1 および OSERDESE1 の OFB ポートは、OSERDESE1 に送信されたデータを ISERDESE1 にフィードバックするために使用できます。この機能をイネーブルにするには、OFB_USED 属性を TRUE に設定します。正しいデータがフィードバックされるようにするには、OSERDESE1 と ISERDESE1 の DATA_RATE および DATA_WIDTH を同じ設定にする必要があります。ISERDESE1 および OSERDESE1 をデータ幅拡張モードで使用する場合は、マスター OSERDESE1 をマスター ISERDESE1 に接続します。ISERDESE1 をフィードバック ポートとして使用する場合、外部データの入力として使用することはできません。 メモ： OFB を OSERDES 出力を遅延するためにのみ使用する場合は、OFB_USED を FALSE に設定する必要があります。 |
| SERDES_MODE | 文字列 | "MASTER"、 "SLAVE" | "MASTER" | カスケード接続してデータ幅を拡張する場合に、ISERDES をマスター モードにするかスレーブ モードにするかを指定します。 |
| SRVAL_Q1 ~ SRVAL_Q4 | 2 進数 | 1'b0 ~ 1'b1 | 1'b0 | SR をアサートした場合の Q 出力の値を指定します。 |

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

KEEPER

プリミティブ：KEEPER Symbol



概要

このデザイン エレメントは、双方向出力ピンに接続されるネットの値を保持するウィークキーパー エレメントです。たとえば、ネットに論理 1 を駆動すると、KEEPER はそのネットにウィーク/抵抗値 1 を駆動します。その後、ネットドライバーがトライステートになっても、KEEPER はウィーク/抵抗値 1 を駆動し続けます。

ポートの説明

| ポート名 | 方向 | 幅 | 機能 |
|------|----|-------|--------|
| O | 出力 | 1 ビット | キーパー出力 |

デザインの入力方法

このエレメントは、回路図で使用するか、HDL コードにインスタンス化できます。VHDL および Verilog のインスタンス化テンプレートは、「VHDL 記述」および「Verilog 記述」を参照してください。

このエレメントは、最上位の回路図ファイルで次のネットに接続できます。

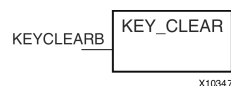
- ・ 入力 I/O マーカーに接続されたネット
- ・ 出力 I/O マーカーおよび OBUFT のようなトライステートにできる I/O エレメントの両方に接続されたネット

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

KEY_CLEAR

プリミティブ : Virtex-5 Configuration Encryption Key Erase



概要

このデザイン エLEMENTでは、内部ロジックからコンフィギュレーション暗号回路キー レジスタの内容を消去できます。

ポートの説明

| ポート名 | 方向 | 幅 | 機能 |
|-----------|----|---|---------------------------------------|
| KEYCLEARB | 入力 | 1 | アクティブ Low の入力で、コンフィギュレーション暗号キーを消去します。 |

デザインの入力方法

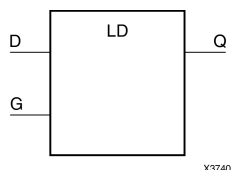
このELEMENTは、回路図で使用できます。

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

LD

プリミティブ：Transparent Data Latch



概要

LD は透過データラッチです。ゲート イネーブル入力 (G) が High の場合、データ出力 (Q) にデータ入力 (D) の値が出力されます。D 入力の値は、G が High から Low に切り替わるときにラッチ内に格納されます。Q 出力の値は、G が Low の間は変化しません。

電力を供給すると、ラッチは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

| 入力 | | 出力 |
|----|---|------|
| G | D | Q |
| 1 | D | D |
| 0 | X | 変化なし |
| ↓ | D | D |

デザインの入力方法

このエレメントは、回路図でのみ使用できます。

使用可能な属性

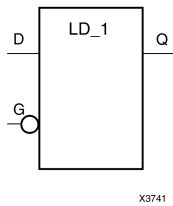
| 属性 | データ型 | 値 | デフォルト | 説明 |
|------|------|-----|-------|---------------------------|
| INIT | 2 進数 | 0、1 | 0 | コンフィギュレーション後の Q 出力の初期値を指定 |

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

LD_1

プリミティブ：Transparent Data Latch with Inverted Gate



概要

このデザイン エLEMENTは、反転ゲート (G) 付き透過データ ラッチです。ゲート (G) 入力 が Low の場合、データ出力 (Q) にデータ入力 (D) の値が出力されます。D 入力の値は、G が Low から High に切り替わるときにラッチ内に格納されます。Q 出力の値は、G が High の間は変化しません。

電力を供給すると、ラッチは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

| 入力 | | 出力 |
|----|---|------|
| G | D | Q |
| 0 | D | D |
| 1 | X | 変化なし |
| ↑ | D | D |

デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

使用可能な属性

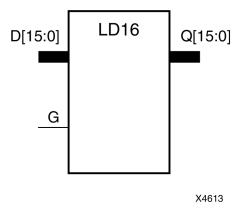
| 属性 | データ型 | 値 | デフォルト | 説明 |
|------|------|------|-------|---------------------------|
| INIT | 2 進数 | 0, 1 | 0 | コンフィギュレーション後の Q 出力の初期値を指定 |

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

LD16

マクロ：Multiple Transparent Data Latch



概要

このデザイン エLEMENTは透過データ ラッチ 16 個で構成されており、共通のゲート イネーブル (G) が 1 つあります。ゲート イネーブル入力 (G) が High の場合、データ出力 (Q) にデータ入力 (D) の値が出力されます。D 入力の値は、G が High から Low に切り替わるときにラッチ内に格納されます。Q 出力の値は、G が Low の間は変化しません。

電力を供給すると、ラッチは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

| 入力 | | 出力 |
|----|----|------|
| G | D | Q |
| 1 | Dn | Dn |
| 0 | X | 変化なし |
| ↓ | Dn | Dn |

デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

使用可能な属性

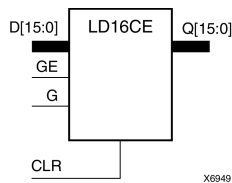
| 属性 | データ型 | 値 | デフォルト | 説明 |
|------|------|---------|-------|---------------------------|
| INIT | 2 進数 | 16 ビット値 | すべてゼロ | コンフィギュレーション後の Q 出力の初期値を指定 |

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

LD16CE

マクロ：Transparent Data Latch with Asynchronous Clear and Gate Enable



概要

このデザイン エLEMENTは 16 個の透過データ ラッチで構成されており、非同期クリア (CLR) とゲート イネーブル (GE) があります。非同期クリア入力 (CLR) が High になると、ほかの入力は無視され、データ出力 (Q) が Low にリセットされます。ゲート入力 (G) およびゲート イネーブル (GE) が High で CLR が Low の場合、Q にデータ入力 (D) の値が出力されます。GE が Low の場合、D の値は不定値になります。D 入力の値は、G が High から Low に切り替わる時にラッチ内に格納されます。Q 出力の値は、G または GE が Low の間は変化しません。

電力を供給すると、ラッチは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

| 入力 | | | | 出力 |
|-----|----|---|----|------|
| CLR | GE | G | Dn | Qn |
| 1 | X | X | X | 0 |
| 0 | 0 | X | X | 変化なし |
| 0 | 1 | 1 | Dn | Dn |
| 0 | 1 | 0 | X | 変化なし |
| 0 | 1 | ↓ | Dn | Dn |

デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

使用可能な属性

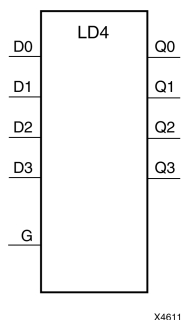
| 属性 | データ型 | 値 | デフォルト | 説明 |
|------|------|---------|-------|---------------------------|
| INIT | 2 進数 | 16 ビット値 | すべてゼロ | コンフィギュレーション後の Q 出力の初期値を指定 |

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

LD4

マクロ : Multiple Transparent Data Latch



概要

このデザイン エLEMENTは透過データ ラッチ 4 個で構成されており、共通のゲート イネーブル (G) が 1 つあります。ゲート イネーブル入力 (G) が High の場合、データ出力 (Q) にデータ入力 (D) の値が出力されます。D 入力の値は、G が High から Low に切り替わるときにラッチ内に格納されます。Q 出力の値は、G が Low の間は変化しません。

電力を供給すると、ラッチは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

| 入力 | | 出力 |
|----|----------------|----------------|
| G | D | Q |
| 1 | D _n | D _n |
| 0 | X | 変化なし |
| ↓ | D _n | D _n |

デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

使用可能な属性

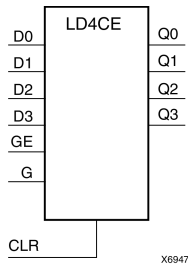
| 属性 | データ型 | 値 | デフォルト | 説明 |
|------|------|--------|-------|---------------------------|
| INIT | 2 進数 | 4 ビット値 | すべてゼロ | コンフィギュレーション後の Q 出力の初期値を指定 |

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

LD4CE

マクロ：Transparent Data Latch with Asynchronous Clear and Gate Enable



概要

このデザイン エLEMENTは 4 個の透過データ ラッチで構成されており、非同期クリア (CLR) とゲート イネーブル (GE) があります。非同期クリア入力 (CLR) が High になると、ほかの入力は無視され、データ出力 (Q) が Low にリセットされます。ゲート入力 (G) およびゲート イネーブル (GE) が High で CLR が Low の場合、Q にデータ入力 (D) の値が出力されます。GE が Low の場合、D の値は不定値になります。D 入力の値は、G が High から Low に切り替わるときにラッチ内に格納されます。Q 出力の値は、G または GE が Low の間は変化しません。

電力を供給すると、ラッチは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

| 入力 | | | | 出力 |
|-----|----|---|----|------|
| CLR | GE | G | Dn | Qn |
| 1 | X | X | X | 0 |
| 0 | 0 | X | X | 変化なし |
| 0 | 1 | 1 | Dn | Dn |
| 0 | 1 | 0 | X | 変化なし |
| 0 | 1 | ↓ | Dn | Dn |

デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

使用可能な属性

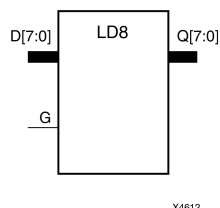
| 属性 | データ型 | 値 | デフォルト | 説明 |
|------|------|--------|-------|---------------------------|
| INIT | 2 進数 | 4 ビット値 | すべてゼロ | コンフィギュレーション後の Q 出力の初期値を指定 |

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

LD8

マクロ：Multiple Transparent Data Latch



概要

このデザイン エレメントは透過データ ラッチ 8 個で構成されており、共通のゲート イネーブル (G) が 1 つあります。ゲート イネーブル入力 (G) が High の場合、データ出力 (Q) にデータ入力 (D) の値が出力されます。D 入力の値は、G が High から Low に切り替わるときにラッチ内に格納されます。Q 出力の値は、G が Low の間は変化しません。

電力を供給すると、ラッチは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

| 入力 | | 出力 |
|----|----|------|
| G | D | Q |
| 1 | Dn | Dn |
| 0 | X | 変化なし |
| ↓ | Dn | Dn |

デザインの入力方法

このエレメントは、回路図でのみ使用できます。

使用可能な属性

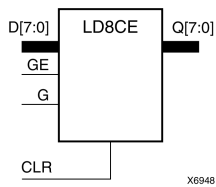
| 属性 | データ型 | 値 | デフォルト | 説明 |
|------|------|--------|-------|---------------------------|
| INIT | 2 進数 | 8 ビット値 | すべてゼロ | コンフィギュレーション後の Q 出力の初期値を指定 |

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

LD8CE

マクロ：Transparent Data Latch with Asynchronous Clear and Gate Enable



概要

このデザイン エLEMENTは 8 個の透過データ ラッチで構成されており、非同期クリア (CLR) とゲート イネーブル (GE) があります。非同期クリア入力 (CLR) が High になると、ほかの入力は無視され、データ出力 (Q) が Low にリセットされます。ゲート入力 (G) およびゲート イネーブル (GE) が High で CLR が Low の場合、Q にデータ入力 (D) の値が出力されます。GE が Low の場合、D の値は不定値になります。D 入力の値は、G が High から Low に切り替わる時にラッチ内に格納されます。Q 出力の値は、G または GE が Low の間は変化しません。

電力を供給すると、ラッチは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

| 入力 | | | | 出力 |
|-----|----|---|----|------|
| CLR | GE | G | Dn | Qn |
| 1 | X | X | X | 0 |
| 0 | 0 | X | X | 変化なし |
| 0 | 1 | 1 | Dn | Dn |
| 0 | 1 | 0 | X | 変化なし |
| 0 | 1 | ↓ | Dn | Dn |

デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

使用可能な属性

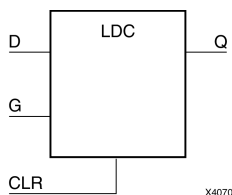
| 属性 | データ型 | 値 | デフォルト | 説明 |
|------|------|--------|-------|---------------------------|
| INIT | 2 進数 | 8 ビット値 | すべてゼロ | コンフィギュレーション後の Q 出力の初期値を指定 |

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

LDC

プリミティブ：Transparent Data Latch with Asynchronous Clear



概要

このデザイン エレメントは、非同期クリア (CLR) がある透過データ ラッチです。非同期クリア入力 (CLR) が High になると、ほかの入力は無視され、データ出力 (Q) が Low にリセットされます。ゲート イネーブル入力 (G) が High で CLR が Low の場合、Q にデータ入力 (D) の値が出力されます。D 入力の値は、G が High から Low に切り替わるときにラッチ内に格納されます。Q 出力の値は、G が Low の間は変化しません。

電力を供給すると、ラッチは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

| 入力 | | | 出力 |
|-----|---|---|------|
| CLR | G | D | Q |
| 1 | X | X | 0 |
| 0 | 1 | D | D |
| 0 | 0 | X | 変化なし |
| 0 | ↓ | D | D |

デザインの入力方法

このエレメントは、回路図でのみ使用できます。

使用可能な属性

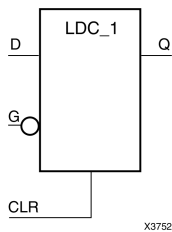
| 属性 | データ型 | 値 | デフォルト | 説明 |
|------|------|-----|-------|---------------------------|
| INIT | 2 進数 | 0、1 | 0 | コンフィギュレーション後の Q 出力の初期値を指定 |

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

LDC_1

プリミティブ：Transparent Data Latch with Asynchronous Clear and Inverted Gate



概要

このデザイン エLEMENTは、非同期クリア (CLR) および反転ゲート (G) 付き透過データラッチです。CLR が High になると、ほかの入力 (D、G) は無視され、データ出力 (Q) が Low にリセットされます。ゲート (G) 入力および CLR が Low の場合、Q にデータ入力 (D) の値が出力されます。D 入力の値は、G が Low から High に切り替わる時にラッチ内に格納されます。Q 出力の値は、G が High の間は変化しません。

電力を供給すると、ラッチは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

| 入力 | | | 出力 |
|-----|---|---|------|
| CLR | G | D | Q |
| 1 | X | X | 0 |
| 0 | 0 | D | D |
| 0 | 1 | X | 変化なし |
| 0 | ↑ | D | D |

デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

使用可能な属性

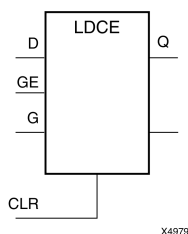
| 属性 | データ型 | 値 | デフォルト | 説明 |
|------|------|-----|-------|---------------------------|
| INIT | 2 進数 | 0、1 | 0 | コンフィギュレーション後の Q 出力の初期値を指定 |

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

LDCE

プリミティブ：Transparent Data Latch with Asynchronous Clear and Gate Enable



概要

このデザイン エレメントは、非同期クリア (CLR) およびゲートイネーブル (GE) 付き透過データラッチです。非同期クリア入力 (CLR) が High になると、ほかの入力は無視され、データ出力 (Q) が Low にリセットされます。ゲート入力 (G) およびゲートイネーブル (GE) が High で、CLR が Low のとき、Q にはデータ入力 (D) が使用されます。GE が Low の場合、D の値は不定値になります。D 入力の値は、G が High から Low に切り替わるときにラッチ内に格納されます。Q 出力の値は、G または GE が Low の間は変化しません。

電力を供給すると、ラッチは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

| 入力 | | | | 出力 |
|-----|----|---|---|------|
| CLR | GE | G | D | Q |
| 1 | X | X | X | 0 |
| 0 | 0 | X | X | 変化なし |
| 0 | 1 | 1 | D | D |
| 0 | 1 | 0 | X | 変化なし |
| 0 | 1 | ↓ | D | D |

デザインの入力方法

このエレメントは、回路図で使用できます。

使用可能な属性

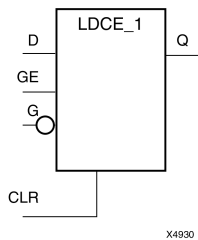
| 属性 | データ型 | 値 | デフォルト | 説明 |
|------|------|-----|-------|---------------------------|
| INIT | 2 進数 | 0、1 | 0 | コンフィギュレーション後の Q 出力の初期値を指定 |

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

LDCE_1

プリミティブ：Transparent Data Latch with Asynchronous Clear, Gate Enable, and Inverted Gate



概要

このデザイン エLEMENTは、非同期クリア (CLR)、ゲート イネーブル (GE)、反転ゲート (G) 付きの透過データ ラッチです。非同期クリア入力 (CLR) が High になると、ほかの入力は無視され、データ出力 (Q) が Low にリセットされます。G および CLR が Low、GE が High のとき、Q にはデータ入力 (D) が使用されます。D 入力の値は、G が Low から High に切り替わるときにラッチ内に格納されます。Q 出力の値は、G が High または GE が Low の間は変化しません。

電力を供給すると、ラッチは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

| 入力 | | | | 出力 |
|-----|----|---|---|------|
| CLR | GE | G | D | Q |
| 1 | X | X | X | 0 |
| 0 | 0 | X | X | 変化なし |
| 0 | 1 | 0 | D | D |
| 0 | 1 | 1 | X | 変化なし |
| 0 | 1 | ↑ | D | D |

デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

使用可能な属性

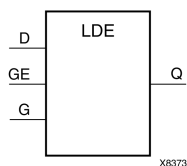
| 属性 | データ型 | 値 | デフォルト | 説明 |
|------|------|-----|-------|---------------------------|
| INIT | 2 進数 | 0、1 | 0 | コンフィギュレーション後の Q 出力の初期値を指定 |

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

LDE

プリミティブ：Transparent Data Latch with Gate Enable



概要

このデザイン エLEMENTは、データ入力 (D) とゲート イネーブル入力 (GE) がある透過データ ラッチです。ゲート入力 (G) とゲート イネーブル (GE) が High の場合、Q 出力にはデータ入力 (D) の値が出力されます。D 入力の値は、G が High から Low に切り替わるときにラッチ内に格納されます。Q 出力の値は、G または GE が Low の間は変化しません。

電力を供給すると、ラッチは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

| 入力 | | | 出力 |
|----|---|---|------|
| GE | G | D | Q |
| 0 | X | X | 変化なし |
| 1 | 1 | D | D |
| 1 | 0 | X | 変化なし |
| 1 | ↓ | D | D |

デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

使用可能な属性

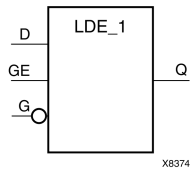
| 属性 | データ型 | 値 | デフォルト | 説明 |
|------|------|-----|-------|---------------------------------------|
| INIT | 2 進数 | 0、1 | 0 | 電源投入時または GSR のアサート時の Q ポートの初期値を指定します。 |

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

LDE_1

プリミティブ：Transparent Data Latch with Gate Enable and Inverted Gate



概要

このデザイン エLEMENTは、データ入力 (D) とゲート イネーブル入力 (GE)、反転ゲート (G) がある透過データ ラッチです。G が Low で GE が High の場合、Q 出力にはデータ入力 (D) の値が出力されます。D 入力の値は、G が Low から High に切り替わるときにラッチ内に格納されます。Q 出力の値は、G が High または GE が Low の間は変化しません。

電力を供給すると、ラッチは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

| 入力 | | | 出力 |
|----|---|---|------|
| GE | G | D | Q |
| 0 | X | X | 変化なし |
| 1 | 0 | D | D |
| 1 | 1 | X | 変化なし |
| 1 | ↑ | D | D |

デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

使用可能な属性

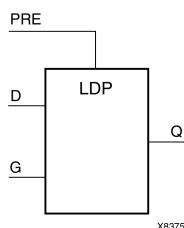
| 属性 | データ型 | 値 | デフォルト | 説明 |
|------|------|-----|-------|---------------------------------------|
| INIT | 2 進数 | 0、1 | 0 | 電源投入時または GSR のアサート時の Q ポートの初期値を指定します。 |

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

LDP

プリミティブ：Transparent Data Latch with Asynchronous Preset



概要

このデザイン エレメントは、非同期プリセット (PRE) がある透過データ ラッチです。PRE が High になると、ほかの入力は無視され、データ出力 (Q) が High にプリセットされます。ゲート入力 (G) が High で PRE が Low の場合、Q にはデータ入力 (D) の値が出力されます。D 入力の値は、G が High から Low に切り替わる時にラッチ内に格納されます。Q 出力の値は、G が Low の間は変化しません。

電力が供給されると、ラッチは非同期にプリセットされ、出力が High になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

| 入力 | | | 出力 |
|-----|---|---|------|
| PRE | G | D | Q |
| 1 | X | X | 1 |
| 0 | 1 | 0 | 0 |
| 0 | 1 | 1 | 1 |
| 0 | 0 | X | 変化なし |
| 0 | ↓ | D | D |

デザインの入力方法

このエレメントは、回路図でのみ使用できます。

使用可能な属性

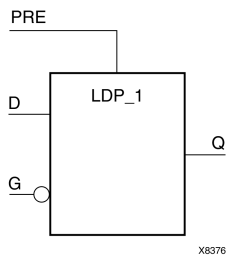
| 属性 | データ型 | 値 | デフォルト | 説明 |
|------|------|-----|-------|---------------------------------------|
| INIT | 2 進数 | 0、1 | 1 | 電源投入時または GSR のアサート時の Q ポートの初期値を指定します。 |

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

LDP_1

プリミティブ：Transparent Data Latch with Asynchronous Preset and Inverted Gate



概要

このデザイン エLEMENTは、非同期プリセット (PRE)、反転ゲート (G) がある透過データ ラッチです。PRE が High になると、ほかの入力は無視され、データ出力 (Q) が High にプリセットされます。G と PRE が Low の場合、Q にはデータ入力 (D) の値が出力されます。D 入力の値は、G が Low から High に切り替わるときにラッチ内に格納されます。Q 出力の値は、G が High の間は変化しません。

電力が供給されると、ラッチは非同期にプリセットされ、出力が High になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

| 入力 | | | 出力 |
|-----|---|---|------|
| PRE | G | D | Q |
| 1 | X | X | 1 |
| 0 | 0 | D | D |
| 0 | 1 | X | 変化なし |
| 0 | ↑ | D | D |

デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

使用可能な属性

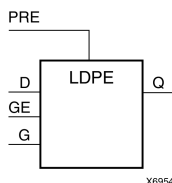
| 属性 | データ型 | 値 | デフォルト | 説明 |
|------|------|-----|-------|---------------------------------------|
| INIT | 2 進数 | 0、1 | 1 | 電源投入時または GSR のアサート時の Q ポートの初期値を指定します。 |

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

LDPE

プリミティブ : Transparent Data Latch with Asynchronous Preset and Gate Enable



概要

このデザイン エレメントは、非同期プリセット (PRE) およびゲート イネーブル (GE) 付き透過データ ラッチです。PRE が High になると、ほかの入力は無視され、データ出力 (Q) が High にプリセットされます。ゲート入力 (G) およびゲート イネーブル (GE) が High の場合、Q にデータ入力 (D) の値が出力されます。D 入力の値は、G が High から Low に切り替わる時にラッチ内に格納されます。Q 出力の値は、G または GE が Low の間は変化しません。

電力が供給されると、ラッチは非同期にプリセットされ、出力が High になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

| 入力 | | | | 出力 |
|-----|----|---|---|------|
| PRE | GE | G | D | Q |
| 1 | X | X | X | 1 |
| 0 | 0 | X | X | 変化なし |
| 0 | 1 | 1 | D | D |
| 0 | 1 | 0 | X | 変化なし |
| 0 | 1 | ↓ | D | D |

デザインの入力方法

このエレメントは、回路図で使用できます。

使用可能な属性

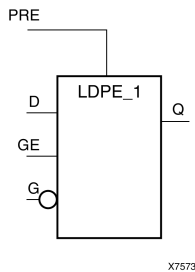
| 属性 | データ型 | 値 | デフォルト | 説明 |
|------|------|-----|-------|---------------------------------------|
| INIT | 2 進数 | 0、1 | 1 | 電源投入時または GSR のアサート時の Q ポートの初期値を指定します。 |

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

LDPE_1

プリミティブ：Transparent Data Latch with Asynchronous Preset, Gate Enable, and Inverted Gate



概要

このデザイン エLEMENTは、非同期プリセット (PRE)、ゲート イネーブル (GE)、反転ゲート (G) 付きの透過データ ラッチです。PRE が High になると、ほかの入力は無視され、データ出力 (Q) が High にプリセットされます。G および PRE が Low で、GE が High の場合、Q にデータ入力 (D) の値が出力されます。D 入力の値は、G が Low から High に切り替わる時にラッチ内に格納されます。Q 出力の値は、G が High または GE が Low の間に変化しません。

電力が供給されると、ラッチは非同期にプリセットされ、出力が High になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

| 入力 | | | | 出力 |
|-----|----|---|---|------|
| PRE | GE | G | D | Q |
| 1 | X | X | X | 1 |
| 0 | 0 | X | X | 変化なし |
| 0 | 1 | 0 | D | D |
| 0 | 1 | 1 | X | 変化なし |
| 0 | 1 | ↑ | D | D |

デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

使用可能な属性

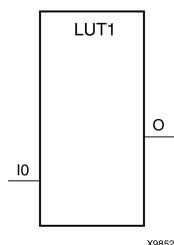
| 属性 | データ型 | 値 | デフォルト | 説明 |
|------|------|-----|-------|---------------------------------------|
| INIT | 2 進数 | 0、1 | 1 | 電源投入時または GSR のアサート時の Q ポートの初期値を指定します。 |

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

LUT1

マクロ : 1-Bit Look-Up Table with General Output



概要

このデザイン エLEMENTは汎用出力 (O) を持つ 1 ビットのルックアップ テーブル (LUT) です。

LUT のファンクションを設定するため、INIT 属性を使用して、各入力値に対する出力値を 16 進数で指定する必要があります。このELEMENTは、バッファまたはインバーターの機能を果たします。これらのELEMENTは基本ブロックで、各 CLB スライスに 2 つ、各 CLB に 4 つずつあります。LUT には複数のバリエーションがあり、異なるタイミング モデルでレイアウト前のタイミングをより正確に予測する必要がある場合に使用できます。

FPGA LUT プリミティブでは、INIT パラメーターで論理値が設定されます。デフォルトは 0 で、入力値にかかわらず出力を 0 に駆動します (グラウンドとして機能)。ただし多くの場合、LUT プリミティブのロジック ファンクションを指定するため、INIT 値を設定する必要があります。LUT の値を指定する方法には、次の 2 つがあります。

論理表を使用する方法 : LUT の INIT 値を決定する一般的な方法。バイナリの論理表にすべての入力をリストして出力のロジック値を指定し、これらの出力値から初期値を作成します。

論理式を使用する方法 : リストされた論理表の値に対応する LUT の各入力にパラメーターを定義し、パラメーターを基にロジックの論理式を生成します。概念を理解してしまえばこの方法の方が簡単ですが、コードで最初に適切なパラメーターを指定する必要があります。

論理表

| 入力 | 出力 |
|------------------------------|---------|
| I0 | O |
| 0 | INIT[0] |
| 1 | INIT[1] |
| INIT = INIT 属性に割り当てられた 2 進数値 | |

デザインの入力方法

このELEMENTは、回路図で使用できます。

使用可能な属性

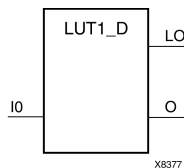
| 属性 | データ型 | 値 | デフォルト | 説明 |
|------|-------|--------|-------|------------------------|
| INIT | 16 進数 | 2 ビット値 | すべてゼロ | ルックアップ テーブルの論理値を指定します。 |

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

LUT1_D

マクロ：1-Bit Look-Up Table with Dual Output



概要

このデザイン エレメントは 1 ビットのルックアップ テーブル (LUT) で、同じ機能を持つ O および LO という 2 つの出力があります。このエレメントはバッファまたはインバーターの機能を果たします。

出力 O は汎用インターコネクトです。LO 出力は同じ CLB スライス内の別の出力、または高速バッファに接続します。LUT のファンクションを設定するため、INIT 属性を使用して、各入力値に対する出力値を 16 進数で指定する必要があります。

FPGA LUT プリミティブでは、INIT パラメーターで論理値が設定されます。デフォルトは 0 で、入力値にかかわらず出力を 0 に駆動します (グラウンドとして機能)。ただし多くの場合、LUT プリミティブのロジック ファンクションを指定するため、INIT 値を設定する必要があります。LUT の値を指定する方法には、次の 2 つがあります。

論理表を使用する方法：LUT の INIT 値を決定する一般的な方法。バイナリの論理表にすべての入力をリストして出力のロジック値を指定し、これらの出力値から初期値を作成します。

論理式を使用する方法：リストされた論理表の値に対応する LUT の各入力にパラメーターを定義し、パラメーターを基にロジックの論理式を生成します。概念を理解してしまえばこの方法の方が簡単ですが、コードで最初に適切なパラメーターを指定する必要があります。

論理表

| 入力 | 出力 | |
|------------------------------|---------|---------|
| IO | O | LO |
| 0 | INIT[0] | INIT[0] |
| 1 | INIT[1] | INIT[1] |
| INIT = INIT 属性に割り当てられた 2 進数値 | | |

デザインの入力方法

このエレメントは、回路図で使用できます。

使用可能な属性

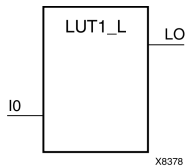
| 属性 | データ型 | 値 | デフォルト | 説明 |
|------|-------|--------|-------|------------------------|
| INIT | 16 進数 | 2 ビット値 | すべてゼロ | ルックアップ テーブルの論理値を指定します。 |

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

LUT1_L

マクロ：1-Bit Look-Up Table with Local Output



概要

このデザイン エLEMENT は、1 ビットのルックアップ テーブル (LUT) で、同じ CLB スライス内にある別の出力および高速バッファへの接続に使用するローカル出力 (LO) があります。このELEMENTはバッファまたはインバーターの機能を果たします。

LUT のファンクションを設定するため、INIT 属性を使用して、各入力値に対する出力値を 16 進数で指定する必要があります。

FPGA LUT プリミティブでは、INIT パラメーターで論理値が設定されます。デフォルトは 0 で、入力値にかかわらず出力を 0 に駆動します (グラウンドとして機能)。ただし多くの場合、LUT プリミティブのロジック ファンクションを指定するため、INIT 値を設定する必要があります。LUT の値を指定する方法には、次の 2 つがあります。

論理表を使用する方法：LUT の INIT 値を決定する一般的な方法。バイナリの論理表にすべての入力をリストして出力のロジック値を指定し、これらの出力値から初期値を作成します。

論理式を使用する方法：リストされた論理表の値に対応する LUT の各入力にパラメーターを定義し、パラメーターを基にロジックの論理式を生成します。概念を理解してしまえばこの方法の方が簡単ですが、コードで最初に適切なパラメーターを指定する必要があります。

論理表

| 入力 | 出力 |
|------------------------------|---------|
| I0 | LO |
| 0 | INIT[0] |
| 1 | INIT[1] |
| INIT = INIT 属性に割り当てられた 2 進数値 | |

デザインの入力方法

このELEMENTは、回路図で使用できます。

使用可能な属性

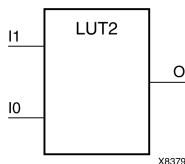
| 属性 | データ型 | 値 | デフォルト | 説明 |
|------|-------|--------|-------|------------------------|
| INIT | 16 進数 | 2 ビット値 | すべてゼロ | ルックアップ テーブルの論理値を指定します。 |

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

LUT2

マクロ：2-Bit Look-Up Table with General Output



概要

このデザイン エLEMENTは、汎用出力 (O) を持つ 2 ビットのルックアップ テーブル (LUT) です。

LUT のファンクションを設定するため、INIT 属性を使用して、各入力値に対する出力値を 16 進数で指定する必要があります。このELEMENTは、バッファまたはインバーターの機能を果たします。これらのELEMENTは基本ブロックで、各 CLB スライスに 2 つ、各 CLB に 4 つずつあります。LUT には複数のバリエーションがあり、異なるタイミング モデルでレイアウト前のタイミングをより正確に予測する必要がある場合に使用できます。

FPGA LUT プリミティブでは、INIT パラメーターで論理値が設定されます。デフォルトは 0 で、入力値にかかわらず出力を 0 に駆動します (グラウンドとして機能)。ただし多くの場合、LUT プリミティブのロジック ファンクションを指定するため、INIT 値を設定する必要があります。LUT の値を指定する方法には、次の 2 つがあります。

論理表を使用する方法：LUT の INIT 値を決定する一般的な方法。バイナリの論理表にすべての入力をリストして出力のロジック値を指定し、これらの出力値から初期値を作成します。

論理式を使用する方法：リストされた論理表の値に対応する LUT の各入力にパラメーターを定義し、パラメーターを基にロジックの論理式を生成します。概念を理解してしまえばこの方法の方が簡単ですが、コードで最初に適切なパラメーターを指定する必要があります。

論理表

| 入力 | | 出力 |
|--|----|---------|
| I1 | I0 | O |
| 0 | 0 | INIT[0] |
| 0 | 1 | INIT[1] |
| 1 | 0 | INIT[2] |
| 1 | 1 | INIT[3] |
| INIT = INIT 属性で指定された 16 進数値を 2 進数で表した値 | | |

デザインの入力方法

このELEMENTは、回路図で使用できます。

使用可能な属性

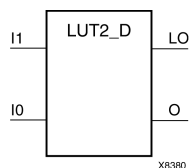
| 属性 | データ型 | 値 | デフォルト | 説明 |
|------|-------|--------|-------|------------------------|
| INIT | 16 進数 | 4 ビット値 | すべてゼロ | ルックアップ テーブルの論理値を指定します。 |

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

LUT2_D

マクロ : 2-Bit Look-Up Table with Dual Output



概要

このデザイン エLEMENTは 2 ビットのルックアップ テーブル (LUT) で、同じ機能を持つ O および LO という 2 つの出力があります。

出力 O は汎用インターコネクトです。LO 出力は同じ CLB スライス内の別の出力、または高速バッファに接続します。LUT のファンクションを設定するため、INIT 属性を使用して、各入力値に対する出力値を 16 進数で指定する必要があります。

FPGA LUT プリミティブでは、INIT パラメーターで論理値が設定されます。デフォルトは 0 で、入力値にかかわらず出力を 0 に駆動します (グラウンドとして機能)。ただし多くの場合、LUT プリミティブのロジック ファンクションを指定するため、INIT 値を設定する必要があります。LUT の値を指定する方法には、次の 2 つがあります。

論理表を使用する方法 : LUT の INIT 値を決定する一般的な方法。バイナリの論理表にすべての入力をリストして出力のロジック値を指定し、これらの出力値から初期値を作成します。

論理式を使用する方法 : リストされた論理表の値に対応する LUT の各入力にパラメーターを定義し、パラメーターを基にロジックの論理式を生成します。概念を理解してしまえばこの方法の方が簡単ですが、コードで最初に適切なパラメーターを指定する必要があります。

論理表

| 入力 | | 出力 | |
|--|----|---------|---------|
| I1 | I0 | O | LO |
| 0 | 0 | INIT[0] | INIT[0] |
| 0 | 1 | INIT[1] | INIT[1] |
| 1 | 0 | INIT[2] | INIT[2] |
| 1 | 1 | INIT[3] | INIT[3] |
| INIT = INIT 属性で指定された 16 進数値を 2 進数で表した値 | | | |

デザインの入力方法

このELEMENTは、回路図で使用できます。

使用可能な属性

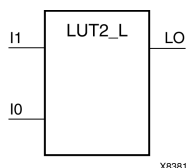
| 属性 | データ型 | 値 | デフォルト | 説明 |
|------|-------|--------|-------|------------------------|
| INIT | 16 進数 | 4 ビット値 | すべてゼロ | ルックアップ テーブルの論理値を指定します。 |

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

LUT2_L

マクロ : 2-Bit Look-Up Table with Local Output



概要

このデザイン エレメント は 2 ビットのルックアップ テーブル (LUT) で、同じ CLB スライス内にある別の出力および高速バッファへの接続に使用するローカル出力 (LO) があります。このエレメントはバッファまたはインバーターの機能を果たします。

LUT のファンクションを設定するため、INIT 属性を使用して、各入力値に対する出力値を 16 進数で指定する必要があります。

FPGA LUT プリミティブでは、INIT パラメーターで論理値が設定されます。デフォルトは 0 で、入力値にかかわらず出力を 0 に駆動します (グラウンドとして機能)。ただし多くの場合、LUT プリミティブのロジック ファンクションを指定するため、INIT 値を設定する必要があります。LUT の値を指定する方法には、次の 2 つがあります。

論理表を使用する方法 : LUT の INIT 値を決定する一般的な方法。バイナリの論理表にすべての入力をリストして出力のロジック値を指定し、これらの出力値から初期値を作成します。

論理式を使用する方法 : リストされた論理表の値に対応する LUT の各入力にパラメーターを定義し、パラメーターを基にロジックの論理式を生成します。概念を理解してしまえばこの方法の方が簡単ですが、コードで最初に適切なパラメーターを指定する必要があります。

論理表

| 入力 | | 出力 |
|--|----|---------|
| I1 | I0 | LO |
| 0 | 0 | INIT[0] |
| 0 | 1 | INIT[1] |
| 1 | 0 | INIT[2] |
| 1 | 1 | INIT[3] |
| INIT = INIT 属性で指定された 16 進数値を 2 進数で表した値 | | |

デザインの入力方法

このエレメントは、回路図で使用できます。

使用可能な属性

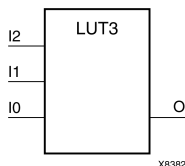
| 属性 | データ型 | 値 | デフォルト | 説明 |
|------|-------|--------|-------|------------------------|
| INIT | 16 進数 | 4 ビット値 | すべてゼロ | ルックアップ テーブルの論理値を指定します。 |

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

LUT3

マクロ：3-Bit Look-Up Table with General Output



概要

このデザイン エレメントは、汎用出力 (O) を持つ 3 ビットのルックアップ テーブル (LUT) です。LUT のファンクションを設定するため、INIT 属性を使用して、各入力値に対する出力値を 16 進数で指定する必要があります。

LUT のファンクションを設定するため、INIT 属性を使用して、各入力値に対する出力値を 16 進数で指定する必要があります。このエレメントは、バッファまたはインバーターの機能を果たします。これらのエレメントは基本ブロックで、各 CLB スライスに 2 つ、各 CLB に 4 つずつあります。LUT には複数のバリエーションがあり、異なるタイミング モデルでレイアウト前のタイミングをより正確に予測する必要がある場合に使用できます。

FPGA LUT プリミティブでは、INIT パラメーターで論理値が設定されます。デフォルトは 0 で、入力値にかかわらず出力を 0 に駆動します (グラウンドとして機能)。ただし多くの場合、LUT プリミティブのロジック ファンクションを指定するため、INIT 値を設定する必要があります。LUT の値を指定する方法には、次の 2 つがあります。

論理表を使用する方法：LUT の INIT 値を決定する一般的な方法。バイナリの論理表にすべての入力をリストして出力のロジック値を指定し、これらの出力値から初期値を作成します。

論理式を使用する方法：リストされた論理表の値に対応する LUT の各入力にパラメーターを定義し、パラメーターを基にロジックの論理式を生成します。概念を理解してしまえばこの方法の方が簡単ですが、コードで最初に適切なパラメーターを指定する必要があります。

論理表

| 入力 | | | 出力 |
|--|----|----|---------|
| I2 | I1 | I0 | O |
| 0 | 0 | 0 | INIT[0] |
| 0 | 0 | 1 | INIT[1] |
| 0 | 1 | 0 | INIT[2] |
| 0 | 1 | 1 | INIT[3] |
| 1 | 0 | 0 | INIT[4] |
| 1 | 0 | 1 | INIT[5] |
| 1 | 1 | 0 | INIT[6] |
| 1 | 1 | 1 | INIT[7] |
| INIT = INIT 属性で指定された 16 進数値を 2 進数で表した値 | | | |

デザインの入力方法

このエレメントは、回路図で使用できます。

使用可能な属性

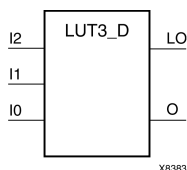
| 属性 | データ型 | 値 | デフォルト | 説明 |
|------|-------|--------|-------|------------------------|
| INIT | 16 進数 | 8 ビット値 | すべてゼロ | ルックアップ テーブルの論理値を指定します。 |

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

LUT3_D

マクロ : 3-Bit Look-Up Table with Dual Output



概要

このデザイン エレメントは 3 ビットのルックアップ テーブル (LUT) で、同じ機能を持つ O および LO という 2 つの出力があります。

出力 O は汎用インターコネクトです。LO 出力は同じ CLB スライス内の別の出力、または高速バッファに接続します。LUT のファンクションを設定するため、INIT 属性を使用して、各入力値に対する出力値を 16 進数で指定する必要があります。

FPGA LUT プリミティブでは、INIT パラメーターで論理値が設定されます。デフォルトは 0 で、入力値にかかわらず出力を 0 に駆動します (グランドとして機能)。ただし多くの場合、LUT プリミティブのロジック ファンクションを指定するため、INIT 値を設定する必要があります。LUT の値を指定する方法には、次の 2 つがあります。

論理表を使用する方法 : LUT の INIT 値を決定する一般的な方法。バイナリの論理表にすべての入力をリストして出力のロジック値を指定し、これらの出力値から初期値を作成します。

論理式を使用する方法 : リストされた論理表の値に対応する LUT の各入力にパラメーターを定義し、パラメーターを基にロジックの論理式を生成します。概念を理解してしまえばこの方法の方が簡単ですが、コードで最初に適切なパラメーターを指定する必要があります。

論理表

| 入力 | | | 出力 | |
|--|----|----|---------|---------|
| I2 | I1 | I0 | O | LO |
| 0 | 0 | 0 | INIT[0] | INIT[0] |
| 0 | 0 | 1 | INIT[1] | INIT[1] |
| 0 | 1 | 0 | INIT[2] | INIT[2] |
| 0 | 1 | 1 | INIT[3] | INIT[3] |
| 1 | 0 | 0 | INIT[4] | INIT[4] |
| 1 | 0 | 1 | INIT[5] | INIT[5] |
| 1 | 1 | 0 | INIT[6] | INIT[6] |
| 1 | 1 | 1 | INIT[7] | INIT[7] |
| INIT = INIT 属性で指定された 16 進数値を 2 進数で表した値 | | | | |

デザインの入力方法

このエレメントは、回路図で使用できます。

使用可能な属性

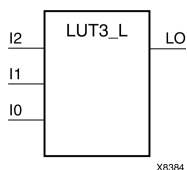
| 属性 | データ型 | 値 | デフォルト | 説明 |
|------|-------|--------|-------|------------------------|
| INIT | 16 進数 | 8 ビット値 | すべてゼロ | ルックアップ テーブルの論理値を指定します。 |

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

LUT3_L

マクロ : 3-Bit Look-Up Table with Local Output



概要

このデザイン エレメント は 3 ビットのルックアップ テーブル (LUT) で、同じ CLB スライス内にある別の出力および高速バッファへの接続に使用するローカル出力 (LO) があります。このエレメントはバッファまたはインバーターの機能を果たします。

LUT のファンクションを設定するため、INIT 属性を使用して、各入力値に対する出力値を 16 進数で指定する必要があります。

FPGA LUT プリミティブでは、INIT パラメーターで論理値が設定されます。デフォルトは 0 で、入力値にかかわらず出力を 0 に駆動します (グラウンドとして機能)。ただし多くの場合、LUT プリミティブのロジック ファンクションを指定するため、INIT 値を設定する必要があります。LUT の値を指定する方法には、次の 2 つがあります。

論理表を使用する方法 : LUT の INIT 値を決定する一般的な方法。バイナリの論理表にすべての入力をリストして出力のロジック値を指定し、これらの出力値から初期値を作成します。

論理式を使用する方法 : リストされた論理表の値に対応する LUT の各入力にパラメーターを定義し、パラメーターを基にロジックの論理式を生成します。概念を理解してしまえばこの方法の方が簡単ですが、コードで最初に適切なパラメーターを指定する必要があります。

論理表

| 入力 | | | 出力 |
|--|----|----|---------|
| I2 | I1 | I0 | LO |
| 0 | 0 | 0 | INIT[0] |
| 0 | 0 | 1 | INIT[1] |
| 0 | 1 | 0 | INIT[2] |
| 0 | 1 | 1 | INIT[3] |
| 1 | 0 | 0 | INIT[4] |
| 1 | 0 | 1 | INIT[5] |
| 1 | 1 | 0 | INIT[6] |
| 1 | 1 | 1 | INIT[7] |
| INIT = INIT 属性で指定された 16 進数値を 2 進数で表した値 | | | |

デザインの入力方法

このエレメントは、回路図で使用できます。

使用可能な属性

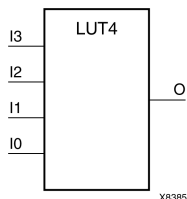
| 属性 | データ型 | 値 | デフォルト | 説明 |
|------|-------|--------|-------|------------------------|
| INIT | 16 進数 | 8 ビット値 | すべてゼロ | ルックアップ テーブルの論理値を指定します。 |

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

LUT4

マクロ：4-Bit Look-Up-Table with General Output



概要

このデザイン エレメントは、汎用出力 (O) を持つ 4 ビットのルックアップ テーブル (LUT) です。

LUT のファンクションを設定するため、INIT 属性を使用して、各入力値に対する出力値を 16 進数で指定する必要があります。このエレメントは、バッファまたはインバーターの機能を果たします。これらのエレメントは基本ブロックで、各 CLB スライスに 2 つ、各 CLB に 4 つずつあります。LUT には複数のバリエーションがあり、異なるタイミング モデルでレイアウト前のタイミングをより正確に予測する必要がある場合に使用できます。

FPGA LUT プリミティブでは、INIT パラメーターで論理値が設定されます。デフォルトは 0 で、入力値にかかわらず出力を 0 に駆動します (グラウンドとして機能)。ただし多くの場合、LUT プリミティブのロジック ファンクションを指定するため、INIT 値を設定する必要があります。LUT の値を指定する方法には、次の 2 つがあります。

論理表を使用する方法：LUT の INIT 値を決定する一般的な方法。バイナリの論理表にすべての入力をリストして出力のロジック値を指定し、これらの出力値から初期値を作成します。

論理式を使用する方法：リストされた論理表の値に対応する LUT の各入力にパラメーターを定義し、パラメーターを基にロジックの論理式を生成します。概念を理解してしまえばこの方法の方が簡単ですが、コードで最初に適切なパラメーターを指定する必要があります。

論理表

| 入力 | | | | 出力 |
|----|----|----|----|----------|
| I3 | I2 | I1 | I0 | O |
| 0 | 0 | 0 | 0 | INIT[0] |
| 0 | 0 | 0 | 1 | INIT[1] |
| 0 | 0 | 1 | 0 | INIT[2] |
| 0 | 0 | 1 | 1 | INIT[3] |
| 0 | 1 | 0 | 0 | INIT[4] |
| 0 | 1 | 0 | 1 | INIT[5] |
| 0 | 1 | 1 | 0 | INIT[6] |
| 0 | 1 | 1 | 1 | INIT[7] |
| 1 | 0 | 0 | 0 | INIT[8] |
| 1 | 0 | 0 | 1 | INIT[9] |
| 1 | 0 | 1 | 0 | INIT[10] |
| 1 | 0 | 1 | 1 | INIT[11] |
| 1 | 1 | 0 | 0 | INIT[12] |

| 入力 | | | | 出力 |
|--|----|----|----|----------|
| I3 | I2 | I1 | I0 | O |
| 1 | 1 | 0 | 1 | INIT[13] |
| 1 | 1 | 1 | 0 | INIT[14] |
| 1 | 1 | 1 | 1 | INIT[15] |
| INIT = INIT 属性で指定された 16 進数値を 2 進数で表した値 | | | | |

デザインの入力方法

このエレメントは、回路図で使用できます。

使用可能な属性

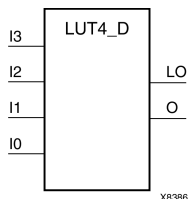
| 属性 | データ型 | 値 | デフォルト | 説明 |
|------|-------|---------|-------|------------------------|
| INIT | 16 進数 | 16 ビット値 | すべてゼロ | ルックアップ テーブルの論理値を指定します。 |

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

LUT4_D

マクロ：4-Bit Look-Up Table with Dual Output



概要

このデザイン エレメントは 4 ビットのルックアップ テーブル (LUT) で、同じ機能を持つ O および LO という 2 つの出力があります。

出力 O は汎用インターコネクトです。LO 出力は同じ CLB スライス内の別の出力、または高速バッファに接続します。LUT のファンクションを設定するため、INIT 属性を使用して、各入力値に対する出力値を 16 進数で指定する必要があります。

FPGA LUT プリミティブでは、INIT パラメーターで論理値が設定されます。デフォルトは 0 で、入力値にかかわらず出力を 0 に駆動します (グラウンドとして機能)。ただし多くの場合、LUT プリミティブのロジック ファンクションを指定するため、INIT 値を設定する必要があります。LUT の値を指定する方法には、次の 2 つがあります。

論理表を使用する方法：LUT の INIT 値を決定する一般的な方法。バイナリの論理表にすべての入力をリストして出力のロジック値を指定し、これらの出力値から初期値を作成します。

論理式を使用する方法：リストされた論理表の値に対応する LUT の各入力にパラメーターを定義し、パラメーターを基にロジックの論理式を生成します。概念を理解してしまえばこの方法の方が簡単ですが、コードで最初に適切なパラメーターを指定する必要があります。

論理表

| 入力 | | | | 出力 | |
|----|----|----|----|----------|----------|
| I3 | I2 | I1 | I0 | O | LO |
| 0 | 0 | 0 | 0 | INIT[0] | INIT[0] |
| 0 | 0 | 0 | 1 | INIT[1] | INIT[1] |
| 0 | 0 | 1 | 0 | INIT[2] | INIT[2] |
| 0 | 0 | 1 | 1 | INIT[3] | INIT[3] |
| 0 | 1 | 0 | 0 | INIT[4] | INIT[4] |
| 0 | 1 | 0 | 1 | INIT[5] | INIT[5] |
| 0 | 1 | 1 | 0 | INIT[6] | INIT[6] |
| 0 | 1 | 1 | 1 | INIT[7] | INIT[7] |
| 1 | 0 | 0 | 0 | INIT[8] | INIT[8] |
| 1 | 0 | 0 | 1 | INIT[9] | INIT[9] |
| 1 | 0 | 1 | 0 | INIT[10] | INIT[10] |
| 1 | 0 | 1 | 1 | INIT[11] | INIT[11] |
| 1 | 1 | 0 | 0 | INIT[12] | INIT[12] |

| 入力 | | | | 出力 | |
|--|----|----|----|----------|----------|
| I3 | I2 | I1 | I0 | O | LO |
| 1 | 1 | 0 | 1 | INIT[13] | INIT[13] |
| 1 | 1 | 1 | 0 | INIT[14] | INIT[14] |
| 1 | 1 | 1 | 1 | INIT[15] | INIT[15] |
| INIT = INIT 属性で指定された 16 進数値を 2 進数で表した値 | | | | | |

デザインの入力方法

このエレメントは、回路図で使用できます。

使用可能な属性

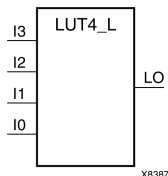
| 属性 | データ型 | 値 | デフォルト | 説明 |
|------|-------|---------|-------|------------------------|
| INIT | 16 進数 | 16 ビット値 | すべてゼロ | ルックアップ テーブルの論理値を指定します。 |

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

LUT4_L

マクロ : 4-Bit Look-Up Table with Local Output



概要

このデザイン エLEMENT は 4 ビットのルックアップ テーブル (LUT) で、同じ CLB スライス内にある別の出力および高速バッファへの接続に使用するローカル出力 (LO) があります。このELEMENTはバッファまたはインバーターの機能を果たします。

LUT のファンクションを設定するため、INIT 属性を使用して、各入力値に対する出力値を 16 進数で指定する必要があります。

FPGA LUT プリミティブでは、INIT パラメーターで論理値が設定されます。デフォルトは 0 で、入力値にかかわらず出力を 0 に駆動します (グラウンドとして機能)。ただし多くの場合、LUT プリミティブのロジック ファンクションを指定するため、INIT 値を設定する必要があります。LUT の値を指定する方法には、次の 2 つがあります。

論理表を使用する方法 : LUT の INIT 値を決定する一般的な方法。バイナリの論理表にすべての入力をリストして出力のロジック値を指定し、これらの出力値から初期値を作成します。

論理式を使用する方法 : リストされた論理表の値に対応する LUT の各入力にパラメーターを定義し、パラメーターを基にロジックの論理式を生成します。概念を理解してしまえばこの方法の方が簡単ですが、コードで最初に適切なパラメーターを指定する必要があります。

論理表

| 入力 | | | | 出力 |
|----|----|----|----|----------|
| I3 | I2 | I1 | I0 | LO |
| 0 | 0 | 0 | 0 | INIT[0] |
| 0 | 0 | 0 | 1 | INIT[1] |
| 0 | 0 | 1 | 0 | INIT[2] |
| 0 | 0 | 1 | 1 | INIT[3] |
| 0 | 1 | 0 | 0 | INIT[4] |
| 0 | 1 | 0 | 1 | INIT[5] |
| 0 | 1 | 1 | 0 | INIT[6] |
| 0 | 1 | 1 | 1 | INIT[7] |
| 1 | 0 | 0 | 0 | INIT[8] |
| 1 | 0 | 0 | 1 | INIT[9] |
| 1 | 0 | 1 | 0 | INIT[10] |
| 1 | 0 | 1 | 1 | INIT[11] |
| 1 | 1 | 0 | 0 | INIT[12] |

| 入力 | | | | 出力 |
|--|----|----|----|----------|
| I3 | I2 | I1 | I0 | LO |
| 1 | 1 | 0 | 1 | INIT[13] |
| 1 | 1 | 1 | 0 | INIT[14] |
| 1 | 1 | 1 | 1 | INIT[15] |
| INIT = INIT 属性で指定された 16 進数値を 2 進数で表した値 | | | | |

デザインの入力方法

このエレメントは、回路図で使用できます。

使用可能な属性

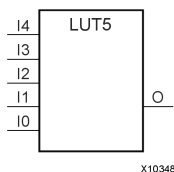
| 属性 | データ型 | 値 | デフォルト | 説明 |
|------|-------|---------|-------|------------------------|
| INIT | 16 進数 | 16 ビット値 | すべてゼロ | ルックアップ テーブルの論理値を指定します。 |

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

LUT5

プリミティブ：5-Input Lookup Table with General Output



概要

このデザイン エLEMENTは、入力 5 個、出力 1 個を持つルックアップ テーブル (LUT) で、非同期 32 ビット ROM (5 ビットのアドレス指定) または 5 入力のロジック ファンクションをインプリメントできます。LUT は基本的なロジック構築ブロックで、デザインに含まれる多くのロジック ファンクションのインプリメントに使用されます。LUT5 が 1 つの場合はスライス内の LUT6 に、2 つの場合は多少の制限はありますが 1 つの LUT6 にパックできます。LUT5、LUT5_L、および LUT5_D の機能は同じですが、LUT5_L および LUT5_D では、LUT5 の出力信号を内部スライスに接続したり、LO 出力を使用して CLB に接続できます。LUT5_L では LUT5 からの接続が 1 つのスライスまたは CLB 内に制限されるのに対し、LUT5_D では LUT5 の出力を内部スライス/CLB ロジックおよび外部ロジックの両方に接続できます。LUT5 では出力の接続は特定されないで、内部スライスまたは CLB 信号の接続を暗示的に指定する必要がある場合以外は、常に使用する必要があります。

LUT のロジック ファンクションを指定するため、INIT 属性に 32 ビットの 16 進数を設定する必要があります。入力が適用されたときに出力される値を、その入力に対応する INIT ビットに設定します。たとえば Verilog で INIT 値を 32'h80000000 (VHDL では X"80000000") に設定すると、入力すべてが 1 の場合以外は出力は 0 になります (5 入力の AND ゲート)。また、Verilog で INIT 値を 32'hffffff (VHDL では X"FFFFFFFE") に設定すると、入力がすべてゼロの場合以外は出力は 1 になります (5 入力 OR ゲート)。

FPGA LUT プリミティブでは、INIT パラメーターで論理値が設定されます。デフォルトは 0 で、入力値にかかわらず出力を 0 に駆動します (グラウンドとして機能)。ただし多くの場合、LUT プリミティブのロジック ファンクションを指定するため、INIT 値を設定する必要があります。LUT の値を指定する方法には、次の 2 つがあります。

論理表を使用する方法：LUT の INIT 値を決定する一般的な方法。バイナリの論理表にすべての入力をリストして出力のロジック値を指定し、これらの出力値から初期値を作成します。

論理式を使用する方法：リストされた論理表の値に対応する LUT の各入力にパラメーターを定義し、パラメーターを基にロジックの論理式を生成します。概念を理解してしまえばこの方法の方が簡単ですが、コードで最初に適切なパラメーターを指定する必要があります。

論理表

| 入力 | | | | | 出力 |
|----|----|----|----|----|---------|
| I4 | I3 | I2 | I1 | I0 | LO |
| 0 | 0 | 0 | 0 | 0 | INIT[0] |
| 0 | 0 | 0 | 0 | 1 | INIT[1] |
| 0 | 0 | 0 | 1 | 0 | INIT[2] |
| 0 | 0 | 0 | 1 | 1 | INIT[3] |
| 0 | 0 | 1 | 0 | 0 | INIT[4] |
| 0 | 0 | 1 | 0 | 1 | INIT[5] |

| 入力 | | | | | 出力 |
|----|----|----|----|----|----------|
| I4 | I3 | I2 | I1 | I0 | LO |
| 0 | 0 | 1 | 1 | 0 | INIT[6] |
| 0 | 0 | 1 | 1 | 1 | INIT[7] |
| 0 | 1 | 0 | 0 | 0 | INIT[8] |
| 0 | 1 | 0 | 0 | 1 | INIT[9] |
| 0 | 1 | 0 | 1 | 0 | INIT[10] |
| 0 | 1 | 0 | 1 | 1 | INIT[11] |
| 0 | 1 | 1 | 0 | 0 | INIT[12] |
| 0 | 1 | 1 | 0 | 1 | INIT[13] |
| 0 | 1 | 1 | 1 | 0 | INIT[14] |
| 0 | 1 | 1 | 1 | 1 | INIT[15] |
| 1 | 0 | 0 | 0 | 0 | INIT[16] |
| 1 | 0 | 0 | 0 | 1 | INIT[17] |
| 1 | 0 | 0 | 1 | 0 | INIT[18] |
| 1 | 0 | 0 | 1 | 1 | INIT[19] |
| 1 | 0 | 1 | 0 | 0 | INIT[20] |
| 1 | 0 | 1 | 0 | 1 | INIT[21] |
| 1 | 0 | 1 | 1 | 0 | INIT[22] |
| 1 | 0 | 1 | 1 | 1 | INIT[23] |
| 1 | 1 | 0 | 0 | 0 | INIT[24] |
| 1 | 1 | 0 | 0 | 1 | INIT[25] |
| 1 | 1 | 0 | 1 | 0 | INIT[26] |
| 1 | 1 | 0 | 1 | 1 | INIT[27] |
| 1 | 1 | 1 | 0 | 0 | INIT[28] |
| 1 | 1 | 1 | 0 | 1 | INIT[29] |
| 1 | 1 | 1 | 1 | 0 | INIT[30] |
| 1 | 1 | 1 | 1 | 1 | INIT[31] |

INIT = INIT 属性で指定された 16 進数値を 2 進数で表した値

ポートの説明

| ポート名 | 方向 | 幅 | 機能 |
|----------------|----|---|-------------|
| O | 出力 | 1 | 5 入力 LUT 出力 |
| I0、I1、I2、I3、I4 | 入力 | 1 | LUT 入力 |

デザインの入力方法

このエレメントは、回路図で使用できます。

使用可能な属性

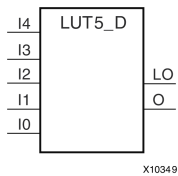
| 属性 | データ型 | 値 | デフォルト | 説明 |
|------|-------|---------|-------|------------------------|
| INIT | 16 進数 | 32 ビット値 | すべてゼロ | ルックアップ テーブルの論理値を指定します。 |

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

LUT5_D

プリミティブ：5-Input Lookup Table with General and Local Outputs



概要

このデザイン エLEMENTは、入力 5 個、出力 1 個を持つルックアップ テーブル (LUT) で、非同期 32 ビット ROM (5 ビットのアドレス指定) または 5 入力のロジック ファンクションをインプリメントできます。LUT は基本的なロジック構築ブロックで、デザインに含まれる多くのロジック ファンクションのインプリメントに使用されます。LUT5 が 1 つの場合はスライス内の LUT6 に、2 つの場合は多少の制限はありますが 1 つの LUT6 にパックできます。LUT5、LUT5_L、および LUT5_D の機能は同じですが、LUT5_L および LUT5_D では、LUT5 の出力信号を内部スライスに接続したり、LO 出力を使用して CLB に接続できます。LUT5_L では LUT5 からの接続が 1 つのスライスまたは CLB 内に制限されるのに対し、LUT5_D では LUT5 の出力を内部スライス/CLB ロジックおよび外部ロジックの両方に接続できます。LUT5 では出力の接続は特定されないため、内部スライスまたは CLB 信号の接続を暗示的に指定する必要がある場合以外は、常に使用する必要があります。

LUT のロジック ファンクションを指定するため、INIT 属性に 32 ビットの 16 進数を設定する必要があります。入力が適用されたときに出力される値を、その入力に対応する INIT ビットに設定します。たとえば Verilog で INIT 値を 32'h80000000 (VHDL では X"80000000") に設定すると、入力すべてが 1 の場合以外は出力は 0 になります (5 入力の AND ゲート)。また、Verilog で INIT 値を 32'hffffff (VHDL では X"FFFFFFFE") に設定すると、入力がすべてゼロの場合以外は出力は 1 になります (5 入力 OR ゲート)。

FPGA LUT プリミティブでは、INIT パラメーターで論理値が設定されます。デフォルトは 0 で、入力値にかかわらず出力を 0 に駆動します (グラウンドとして機能)。ただし多くの場合、LUT プリミティブのロジック ファンクションを指定するため、INIT 値を設定する必要があります。LUT の値を指定する方法には、次の 2 つがあります。

論理表を使用する方法：LUT の INIT 値を決定する一般的な方法。バイナリの論理表にすべての入力をリストして出力のロジック値を指定し、これらの出力値から初期値を作成します。

論理式を使用する方法：リストされた論理表の値に対応する LUT の各入力にパラメーターを定義し、パラメーターを基にロジックの論理式を生成します。概念を理解してしまえばこの方法の方が簡単ですが、コードで最初に適切なパラメーターを指定する必要があります。

論理表

| 入力 | | | | | 出力 | |
|----|----|----|----|----|---------|---------|
| I4 | I3 | I2 | I1 | I0 | O | LO |
| 0 | 0 | 0 | 0 | 0 | INIT[0] | INIT[0] |
| 0 | 0 | 0 | 0 | 1 | INIT[1] | INIT[1] |
| 0 | 0 | 0 | 1 | 0 | INIT[2] | INIT[2] |
| 0 | 0 | 0 | 1 | 1 | INIT[3] | INIT[3] |
| 0 | 0 | 1 | 0 | 0 | INIT[4] | INIT[4] |
| 0 | 0 | 1 | 0 | 1 | INIT[5] | INIT[5] |

| 入力 | | | | | 出力 | |
|----|----|----|----|----|----------|----------|
| I4 | I3 | I2 | I1 | I0 | O | LO |
| 0 | 0 | 1 | 1 | 0 | INIT[6] | INIT[6] |
| 0 | 0 | 1 | 1 | 1 | INIT[7] | INIT[7] |
| 0 | 1 | 0 | 0 | 0 | INIT[8] | INIT[8] |
| 0 | 1 | 0 | 0 | 1 | INIT[9] | INIT[9] |
| 0 | 1 | 0 | 1 | 0 | INIT[10] | INIT[10] |
| 0 | 1 | 0 | 1 | 1 | INIT[11] | INIT[11] |
| 0 | 1 | 1 | 0 | 0 | INIT[12] | INIT[12] |
| 0 | 1 | 1 | 0 | 1 | INIT[13] | INIT[13] |
| 0 | 1 | 1 | 1 | 0 | INIT[14] | INIT[14] |
| 0 | 1 | 1 | 1 | 1 | INIT[15] | INIT[15] |
| 1 | 0 | 0 | 0 | 0 | INIT[16] | INIT[16] |
| 1 | 0 | 0 | 0 | 1 | INIT[17] | INIT[17] |
| 1 | 0 | 0 | 1 | 0 | INIT[18] | INIT[18] |
| 1 | 0 | 0 | 1 | 1 | INIT[19] | INIT[19] |
| 1 | 0 | 1 | 0 | 0 | INIT[20] | INIT[20] |
| 1 | 0 | 1 | 0 | 1 | INIT[21] | INIT[21] |
| 1 | 0 | 1 | 1 | 0 | INIT[22] | INIT[22] |
| 1 | 0 | 1 | 1 | 1 | INIT[23] | INIT[23] |
| 1 | 1 | 0 | 0 | 0 | INIT[24] | INIT[24] |
| 1 | 1 | 0 | 0 | 1 | INIT[25] | INIT[25] |
| 1 | 1 | 0 | 1 | 0 | INIT[26] | INIT[26] |
| 1 | 1 | 0 | 1 | 1 | INIT[27] | INIT[27] |
| 1 | 1 | 1 | 0 | 0 | INIT[28] | INIT[28] |
| 1 | 1 | 1 | 0 | 1 | INIT[29] | INIT[29] |
| 1 | 1 | 1 | 1 | 0 | INIT[30] | INIT[30] |
| 1 | 1 | 1 | 1 | 1 | INIT[31] | INIT[31] |

INIT = INIT 属性で指定された 16 進数値を 2 進数で表した値

ポートの説明

| ポート名 | 方向 | 幅 | 機能 |
|----------------|----|---|-------------------------|
| O | 出力 | 1 | 5 入力 LUT 出力 |
| LO | 出力 | 1 | 内部 CLB 接続用の 5 入力 LUT 出力 |
| I0、I1、I2、I3、I4 | 入力 | 1 | LUT 入力 |

デザインの入力方法

このエレメントは、回路図で使用できます。

使用可能な属性

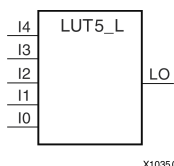
| 属性 | データ型 | 値 | デフォルト | 説明 |
|------|-------|---------|-------|------------------------|
| INIT | 16 進数 | 32 ビット値 | すべてゼロ | ルックアップ テーブルの論理値を指定します。 |

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

LUT5_L

プリミティブ：5-Input Lookup Table with Local Output



概要

このデザイン エLEMENTは、入力 5 個、出力 1 個を持つルックアップ テーブル (LUT) で、非同期 32 ビット ROM (5 ビットのアドレス指定) または 5 入力のロジック ファンクションをインプリメントできます。LUT は基本的なロジック構築ブロックで、デザインに含まれる多くのロジック ファンクションのインプリメントに使用されます。LUT5 が 1 つの場合はスライス内の LUT6 に、2 つの場合は多少の制限はありますが 1 つの LUT6 にパックできます。LUT5、LUT5_L、および LUT5_D の機能は同じですが、LUT5_L および LUT5_D では、LUT5 の出力信号を内部スライスに接続したり、LO 出力を使用して CLB に接続できます。LUT5_L では LUT5 からの接続が 1 つのスライスまたは CLB 内に制限されるのに対し、LUT5_D では LUT5 の出力を内部スライス/CLB ロジックおよび外部ロジックの両方に接続できます。LUT5 では出力の接続は特定されないで、内部スライスまたは CLB 信号の接続を暗示的に指定する必要がある場合以外は、常に使用する必要があります。

LUT のロジック ファンクションを指定するため、INIT 属性に 32 ビットの 16 進数を設定する必要があります。入力が適用されたときに出力される値を、その入力に対応する INIT ビットに設定します。たとえば Verilog で INIT 値を 32'h80000000 (VHDL では X"80000000") に設定すると、入力すべてが 1 の場合以外は出力は 0 になります (5 入力の AND ゲート)。また、Verilog で INIT 値を 32'hffffff (VHDL では X"FFFFFFFE") に設定すると、入力がすべてゼロの場合以外は出力は 1 になります (5 入力 OR ゲート)。

FPGA LUT プリミティブでは、INIT パラメーターで論理値が設定されます。デフォルトは 0 で、入力値にかかわらず出力を 0 に駆動します (グラウンドとして機能)。ただし多くの場合、LUT プリミティブのロジック ファンクションを指定するため、INIT 値を設定する必要があります。LUT の値を指定する方法には、次の 2 つがあります。

論理表を使用する方法：LUT の INIT 値を決定する一般的な方法。バイナリの真理値表にすべての入力をリストして出力のロジック値を指定し、これらの出力値から初期値を作成します。

論理式を使用する方法：リストされた論理表の値に対応する LUT の各入力にパラメーターを定義し、パラメーターを基にロジックの論理式を生成します。概念を理解してしまえばこの方法の方が簡単ですが、コードで最初に適切なパラメーターを指定する必要があります。

論理表

| 入力 | | | | | 出力 |
|----|----|----|----|----|---------|
| I4 | I3 | I2 | I1 | I0 | LO |
| 0 | 0 | 0 | 0 | 0 | INIT[0] |
| 0 | 0 | 0 | 0 | 1 | INIT[1] |
| 0 | 0 | 0 | 1 | 0 | INIT[2] |
| 0 | 0 | 0 | 1 | 1 | INIT[3] |
| 0 | 0 | 1 | 0 | 0 | INIT[4] |
| 0 | 0 | 1 | 0 | 1 | INIT[5] |

| 入力 | | | | | 出力 |
|----|----|----|----|----|----------|
| I4 | I3 | I2 | I1 | I0 | LO |
| 0 | 0 | 1 | 1 | 0 | INIT[6] |
| 0 | 0 | 1 | 1 | 1 | INIT[7] |
| 0 | 1 | 0 | 0 | 0 | INIT[8] |
| 0 | 1 | 0 | 0 | 1 | INIT[9] |
| 0 | 1 | 0 | 1 | 0 | INIT[10] |
| 0 | 1 | 0 | 1 | 1 | INIT[11] |
| 0 | 1 | 1 | 0 | 0 | INIT[12] |
| 0 | 1 | 1 | 0 | 1 | INIT[13] |
| 0 | 1 | 1 | 1 | 0 | INIT[14] |
| 0 | 1 | 1 | 1 | 1 | INIT[15] |
| 1 | 0 | 0 | 0 | 0 | INIT[16] |
| 1 | 0 | 0 | 0 | 1 | INIT[17] |
| 1 | 0 | 0 | 1 | 0 | INIT[18] |
| 1 | 0 | 0 | 1 | 1 | INIT[19] |
| 1 | 0 | 1 | 0 | 0 | INIT[20] |
| 1 | 0 | 1 | 0 | 1 | INIT[21] |
| 1 | 0 | 1 | 1 | 0 | INIT[22] |
| 1 | 0 | 1 | 1 | 1 | INIT[23] |
| 1 | 1 | 0 | 0 | 0 | INIT[24] |
| 1 | 1 | 0 | 0 | 1 | INIT[25] |
| 1 | 1 | 0 | 1 | 0 | INIT[26] |
| 1 | 1 | 0 | 1 | 1 | INIT[27] |
| 1 | 1 | 1 | 0 | 0 | INIT[28] |
| 1 | 1 | 1 | 0 | 1 | INIT[29] |
| 1 | 1 | 1 | 1 | 0 | INIT[30] |
| 1 | 1 | 1 | 1 | 1 | INIT[31] |

INIT = INIT 属性で指定された 16 進数値を 2 進数で表した値

ポートの説明

| ポート名 | 方向 | 幅 | 機能 |
|----------------|----|---|---------------------------|
| L0 | 出力 | 1 | 内部 CLB 接続用の 6/5 入力 LUT 出力 |
| I0、I1、I2、I3、I4 | 入力 | 1 | LUT 入力 |

デザインの入力方法

このエレメントは、回路図で使用できます。

使用可能な属性

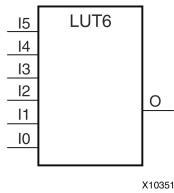
| 属性 | データ型 | 値 | デフォルト | 説明 |
|------|-------|---------|-------|------------------------|
| INIT | 16 進数 | 32 ビット値 | すべてゼロ | ルックアップ テーブルの論理値を指定します。 |

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

LUT6

プリミティブ：6-Input Lookup Table with General Output



概要

このデザイン エLEMENTは、入力 6 個、出力 1 個を持つルックアップ テーブル (LUT) で、非同期 64 ビット ROM (6 ビットのアドレス指定) または 6 入力のロジック ファンクションをインプリメントできます。LUT は基本的なロジック構築ブロックで、デザインに含まれる多くのロジック ファンクションのインプリメントに使用されます。LUT6 は、4 個のルックアップ テーブル (LUT) のいずれかにマップされます。LUT6、LUT6_L、および LUT6_D の機能は同じですが、LUT6_L および LUT6_D では、LUT6 の出力信号を内部スライスに接続したり、LO 出力を使用して CLB に接続できます。LUT6_L では LUT6 からの接続が 1 つのスライスまたは CLB 内に制限されるのに対し、LUT6_D では LUT6 の出力を内部スライス/CLB ロジックおよび外部ロジックの両方に接続できます。LUT6 では出力の接続は特定されないため、内部スライスまたは CLB 信号の接続を暗示的に指定する必要がある場合以外は、常に使用する必要があります。

LUT のロジック ファンクションを指定するため、INIT 属性に 64 ビットの 16 進数値を設定する必要があります。入力が適用されたときに出力される値を、その入力に対応する INIT ビットに設定します。たとえば Verilog で INIT 値を `64'h8000000000000000` (VHDL では `X"8000000000000000"`) に設定すると、入力すべてが 1 の場合以外は出力は 0 になります (6 入力の AND ゲート)。また、Verilog で INIT 値を `64'hffffffff` (VHDL では `X"FFFFFFFFFFFFFFFF"`) に設定すると、入力がすべてゼロの場合以外は出力は 1 になります (6 入力 OR ゲート)。

FPGA LUT プリミティブでは、INIT パラメーターで論理値が設定されます。デフォルトは 0 で、入力値にかかわらず出力を 0 に駆動します (グラウンドとして機能)。ただし多くの場合、LUT プリミティブのロジック ファンクションを指定するため、INIT 値を設定する必要があります。LUT の値を指定する方法には、次の 2 つがあります。

論理表を使用する方法：LUT の INIT 値を決定する一般的な方法。バイナリの論理表にすべての入力をリストして出力のロジック値を指定し、これらの出力値から初期値を作成します。

論理式を使用する方法：リストされた論理表の値に対応する LUT の各入力にパラメーターを定義し、パラメーターを基にロジックの論理式を生成します。概念を理解してしまえばこの方法の方が簡単ですが、コードで最初に適切なパラメーターを指定する必要があります。

論理表

| 入力 | | | | | | 出力 |
|----|----|----|----|----|----|---------|
| I5 | I4 | I3 | I2 | I1 | I0 | O |
| 0 | 0 | 0 | 0 | 0 | 0 | INIT[0] |
| 0 | 0 | 0 | 0 | 0 | 1 | INIT[1] |
| 0 | 0 | 0 | 0 | 1 | 0 | INIT[2] |
| 0 | 0 | 0 | 0 | 1 | 1 | INIT[3] |
| 0 | 0 | 0 | 1 | 0 | 0 | INIT[4] |
| 0 | 0 | 0 | 1 | 0 | 1 | INIT[5] |
| 0 | 0 | 0 | 1 | 1 | 0 | INIT[6] |

| 入力 | | | | | | 出力 |
|----|----|----|----|----|----|----------|
| I5 | I4 | I3 | I2 | I1 | I0 | O |
| 0 | 0 | 0 | 1 | 1 | 1 | INIT[7] |
| 0 | 0 | 1 | 0 | 0 | 0 | INIT[8] |
| 0 | 0 | 1 | 0 | 0 | 1 | INIT[9] |
| 0 | 0 | 1 | 0 | 1 | 0 | INIT[10] |
| 0 | 0 | 1 | 0 | 1 | 1 | INIT[11] |
| 0 | 0 | 1 | 1 | 0 | 0 | INIT[12] |
| 0 | 0 | 1 | 1 | 0 | 1 | INIT[13] |
| 0 | 0 | 1 | 1 | 1 | 0 | INIT[14] |
| 0 | 0 | 1 | 1 | 1 | 1 | INIT[15] |
| 0 | 1 | 0 | 0 | 0 | 0 | INIT[16] |
| 0 | 1 | 0 | 0 | 0 | 1 | INIT[17] |
| 0 | 1 | 0 | 0 | 1 | 0 | INIT[18] |
| 0 | 1 | 0 | 0 | 1 | 1 | INIT[19] |
| 0 | 1 | 0 | 1 | 0 | 0 | INIT[20] |
| 0 | 1 | 0 | 1 | 0 | 1 | INIT[21] |
| 0 | 1 | 0 | 1 | 1 | 0 | INIT[22] |
| 0 | 1 | 0 | 1 | 1 | 1 | INIT[23] |
| 0 | 1 | 1 | 0 | 0 | 0 | INIT[24] |
| 0 | 1 | 1 | 0 | 0 | 1 | INIT[25] |
| 0 | 1 | 1 | 0 | 1 | 0 | INIT[26] |
| 0 | 1 | 1 | 0 | 1 | 1 | INIT[27] |
| 0 | 1 | 1 | 1 | 0 | 0 | INIT[28] |
| 0 | 1 | 1 | 1 | 0 | 1 | INIT[29] |
| 0 | 1 | 1 | 1 | 1 | 0 | INIT[30] |
| 0 | 1 | 1 | 1 | 1 | 1 | INIT[31] |
| 1 | 0 | 0 | 0 | 0 | 0 | INIT[32] |
| 1 | 0 | 0 | 0 | 0 | 1 | INIT[33] |
| 1 | 0 | 0 | 0 | 1 | 0 | INIT[34] |
| 1 | 0 | 0 | 0 | 1 | 1 | INIT[35] |
| 1 | 0 | 0 | 1 | 0 | 0 | INIT[36] |
| 1 | 0 | 0 | 1 | 0 | 1 | INIT[37] |
| 1 | 0 | 0 | 1 | 1 | 0 | INIT[38] |
| 1 | 0 | 0 | 1 | 1 | 1 | INIT[39] |
| 1 | 0 | 1 | 0 | 0 | 0 | INIT[40] |
| 1 | 0 | 1 | 0 | 0 | 1 | INIT[41] |

| 入力 | | | | | | 出力 |
|----|----|----|----|----|----|----------|
| I5 | I4 | I3 | I2 | I1 | I0 | O |
| 1 | 0 | 1 | 0 | 1 | 0 | INIT[42] |
| 1 | 0 | 1 | 0 | 1 | 1 | INIT[43] |
| 1 | 0 | 1 | 1 | 0 | 0 | INIT[44] |
| 1 | 0 | 1 | 1 | 0 | 1 | INIT[45] |
| 1 | 0 | 1 | 1 | 1 | 0 | INIT[46] |
| 1 | 0 | 1 | 1 | 1 | 1 | INIT[47] |
| 1 | 1 | 0 | 0 | 0 | 0 | INIT[48] |
| 1 | 1 | 0 | 0 | 0 | 1 | INIT[49] |
| 1 | 1 | 0 | 0 | 1 | 0 | INIT[50] |
| 1 | 1 | 0 | 0 | 1 | 1 | INIT[51] |
| 1 | 1 | 0 | 1 | 0 | 0 | INIT[52] |
| 1 | 1 | 0 | 1 | 0 | 1 | INIT[53] |
| 1 | 1 | 0 | 1 | 1 | 0 | INIT[54] |
| 1 | 1 | 0 | 1 | 1 | 1 | INIT[55] |
| 1 | 1 | 1 | 0 | 0 | 0 | INIT[56] |
| 1 | 1 | 1 | 0 | 0 | 1 | INIT[57] |
| 1 | 1 | 1 | 0 | 1 | 0 | INIT[58] |
| 1 | 1 | 1 | 0 | 1 | 1 | INIT[59] |
| 1 | 1 | 1 | 1 | 0 | 0 | INIT[60] |
| 1 | 1 | 1 | 1 | 0 | 1 | INIT[61] |
| 1 | 1 | 1 | 1 | 1 | 0 | INIT[62] |
| 1 | 1 | 1 | 1 | 1 | 1 | INIT[63] |

INIT = INIT 属性で指定された 16 進数値を 2 進数で表した値

ポートの説明

| ポート名 | 方向 | 幅 | 機能 |
|-------------------|----|---|------------|
| O | 出力 | 1 | 6/5 LUT 出力 |
| I0、I1、I2、I3、I4、I5 | 入力 | 1 | LUT 入力 |

デザインの入力方法

このエレメントは、回路図で使用できます。

使用可能な属性

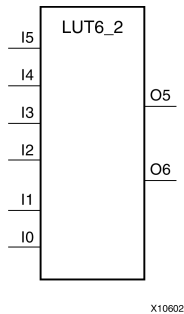
| 属性 | データ型 | 値 | デフォルト | 説明 |
|------|-------|---------|-------|------------------------|
| INIT | 16 進数 | 64 ビット値 | すべてゼロ | ルックアップ テーブルの論理値を指定します。 |

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

LUT6_2

プリミティブ：Six-input, 2-output, Look-Up Table



概要

このデザイン エLEMENTは、入力 6 個、出力 2 個を持つルックアップ テーブル (LUT) で、非同期 32 ビット デュアル ROM (5 ビットのアドレス指定)、入力を共有する 5 入力のロジック ファンクション 2 つ、または入力とロジック値を共有する 6 入力および 5 入力のロジック ファンクションをインプリメントできます。LUT は基本的なロジック構築ブロックで、デザインに含まれる多くのロジック ファンクションのインプリメントに使用されます。LUT6_2 は、スライスに含まれる 4 個のルックアップ テーブル (LUT) のいずれかにマップされます。

LUT のロジック ファンクションを指定するため、INIT 属性に 64 ビットの 16 進数を設定する必要があります。入力が適用されたときに出力される値を、その入力に対応する INIT ビットに設定します。たとえば、Verilog で INIT 値を `64'hfffffffffffffffe` (VHDL では `X"FFFFFFFFFFFFFFFFFFE"`) に設定すると、入力がすべてゼロの場合以外は O6 出力は 1 になり、I[4:0] がすべてゼロの場合以外は O5 出力は 1 になります (5 または 6 入力の OR ゲート)。INIT 値の下位半分 (ビット 31:0) は O5 出力のロジック ファンクションに適用されます。

FPGA LUT プリミティブでは、INIT パラメーターで論理値が設定されます。デフォルトは 0 で、入力値にかかわらず出力を 0 に駆動します (グラウンドとして機能)。ただし多くの場合、LUT プリミティブのロジック ファンクションを指定するため、INIT 値を設定する必要があります。LUT の値を指定する方法には、次の 2 つがあります。

論理表を使用する方法： LUT の INIT 値を決定する一般的な方法。バイナリの論理表にすべての入力をリストして出力のロジック値を指定し、これらの出力値から初期値を作成します。

論理式を使用する方法： リストされた論理表の値に対応する LUT の各入力にパラメーターを定義し、パラメーターを基にロジックの論理式を生成します。概念を理解してしまえばこの方法の方が簡単ですが、コードで最初に適切なパラメーターを指定する必要があります。

論理表

| 入力 | | | | | | 出力 | |
|----|----|----|----|----|----|---------|---------|
| I5 | I4 | I3 | I2 | I1 | I0 | O5 | O6 |
| 0 | 0 | 0 | 0 | 0 | 0 | INIT[0] | INIT[0] |
| 0 | 0 | 0 | 0 | 0 | 1 | INIT[1] | INIT[1] |
| 0 | 0 | 0 | 0 | 1 | 0 | INIT[2] | INIT[2] |
| 0 | 0 | 0 | 0 | 1 | 1 | INIT[3] | INIT[3] |
| 0 | 0 | 0 | 1 | 0 | 0 | INIT[4] | INIT[4] |
| 0 | 0 | 0 | 1 | 0 | 1 | INIT[5] | INIT[5] |
| 0 | 0 | 0 | 1 | 1 | 0 | INIT[6] | INIT[6] |

| 入力 | | | | | | 出力 | |
|----|---|---|---|---|---|----------|----------|
| 0 | 0 | 0 | 1 | 1 | 1 | INIT[7] | INIT[7] |
| 0 | 0 | 1 | 0 | 0 | 0 | INIT[8] | INIT[8] |
| 0 | 0 | 1 | 0 | 0 | 1 | INIT[9] | INIT[9] |
| 0 | 0 | 1 | 0 | 1 | 0 | INIT[10] | INIT[10] |
| 0 | 0 | 1 | 0 | 1 | 1 | INIT[11] | INIT[11] |
| 0 | 0 | 1 | 1 | 0 | 0 | INIT[12] | INIT[12] |
| 0 | 0 | 1 | 1 | 0 | 1 | INIT[13] | INIT[13] |
| 0 | 0 | 1 | 1 | 1 | 0 | INIT[14] | INIT[14] |
| 0 | 0 | 1 | 1 | 1 | 1 | INIT[15] | INIT[15] |
| 0 | 1 | 0 | 0 | 0 | 0 | INIT[16] | INIT[16] |
| 0 | 1 | 0 | 0 | 0 | 1 | INIT[17] | INIT[17] |
| 0 | 1 | 0 | 0 | 1 | 0 | INIT[18] | INIT[18] |
| 0 | 1 | 0 | 0 | 1 | 1 | INIT[19] | INIT[19] |
| 0 | 1 | 0 | 1 | 0 | 0 | INIT[20] | INIT[20] |
| 0 | 1 | 0 | 1 | 0 | 1 | INIT[21] | INIT[21] |
| 0 | 1 | 0 | 1 | 1 | 0 | INIT[22] | INIT[22] |
| 0 | 1 | 0 | 1 | 1 | 1 | INIT[23] | INIT[23] |
| 0 | 1 | 1 | 0 | 0 | 0 | INIT[24] | INIT[24] |
| 0 | 1 | 1 | 0 | 0 | 1 | INIT[25] | INIT[25] |
| 0 | 1 | 1 | 0 | 1 | 0 | INIT[26] | INIT[26] |
| 0 | 1 | 1 | 0 | 1 | 1 | INIT[27] | INIT[27] |
| 0 | 1 | 1 | 1 | 0 | 0 | INIT[28] | INIT[28] |
| 0 | 1 | 1 | 1 | 0 | 1 | INIT[29] | INIT[29] |
| 0 | 1 | 1 | 1 | 1 | 0 | INIT[30] | INIT[30] |
| 0 | 1 | 1 | 1 | 1 | 1 | INIT[31] | INIT[31] |
| 1 | 0 | 0 | 0 | 0 | 0 | INIT[0] | INIT[32] |
| 1 | 0 | 0 | 0 | 0 | 1 | INIT[1] | INIT[33] |
| 1 | 0 | 0 | 0 | 1 | 0 | INIT[2] | INIT[34] |
| 1 | 0 | 0 | 0 | 1 | 1 | INIT[3] | INIT[35] |
| 1 | 0 | 0 | 1 | 0 | 0 | INIT[4] | INIT[36] |
| 1 | 0 | 0 | 1 | 0 | 1 | INIT[5] | INIT[37] |
| 1 | 0 | 0 | 1 | 1 | 0 | INIT[6] | INIT[38] |
| 1 | 0 | 0 | 1 | 1 | 1 | INIT[7] | INIT[39] |
| 1 | 0 | 1 | 0 | 0 | 0 | INIT[8] | INIT[40] |
| 1 | 0 | 1 | 0 | 0 | 1 | INIT[9] | INIT[41] |
| 1 | 0 | 1 | 0 | 1 | 0 | INIT[10] | INIT[42] |

| 入力 | | | | | | 出力 | |
|----|---|---|---|---|---|----------|----------|
| 1 | 0 | 1 | 0 | 1 | 1 | INIT[11] | INIT[43] |
| 1 | 0 | 1 | 1 | 0 | 0 | INIT[12] | INIT[44] |
| 1 | 0 | 1 | 1 | 0 | 1 | INIT[13] | INIT[45] |
| 1 | 0 | 1 | 1 | 1 | 0 | INIT[14] | INIT[46] |
| 1 | 0 | 1 | 1 | 1 | 1 | INIT[15] | INIT[47] |
| 1 | 1 | 0 | 0 | 0 | 0 | INIT[16] | INIT[48] |
| 1 | 1 | 0 | 0 | 0 | 1 | INIT[17] | INIT[49] |
| 1 | 1 | 0 | 0 | 1 | 0 | INIT[18] | INIT[50] |
| 1 | 1 | 0 | 0 | 1 | 1 | INIT[19] | INIT[51] |
| 1 | 1 | 0 | 1 | 0 | 0 | INIT[20] | INIT[52] |
| 1 | 1 | 0 | 1 | 0 | 1 | INIT[21] | INIT[53] |
| 1 | 1 | 0 | 1 | 1 | 0 | INIT[22] | INIT[54] |
| 1 | 1 | 0 | 1 | 1 | 1 | INIT[23] | INIT[55] |
| 1 | 1 | 1 | 0 | 0 | 0 | INIT[24] | INIT[56] |
| 1 | 1 | 1 | 0 | 0 | 1 | INIT[25] | INIT[57] |
| 1 | 1 | 1 | 0 | 1 | 0 | INIT[26] | INIT[58] |
| 1 | 1 | 1 | 0 | 1 | 1 | INIT[27] | INIT[59] |
| 1 | 1 | 1 | 1 | 0 | 0 | INIT[28] | INIT[60] |
| 1 | 1 | 1 | 1 | 0 | 1 | INIT[29] | INIT[61] |
| 1 | 1 | 1 | 1 | 1 | 0 | INIT[30] | INIT[62] |
| 1 | 1 | 1 | 1 | 1 | 1 | INIT[31] | INIT[63] |

INIT = INIT 属性で指定された 16 進数値を 2 進数で表した値

ポートの説明

| ポート名 | 方向 | 幅 | 機能 |
|-------------------|----|---|-------------|
| O6 | 出力 | 1 | 6/5 LUT 出力 |
| O5 | 出力 | 1 | 5 入力 LUT 出力 |
| I0、I1、I2、I3、I4、I5 | 入力 | 1 | LUT 入力 |

デザインの入力方法

このエレメントは、回路図で使用できます。

使用可能な属性

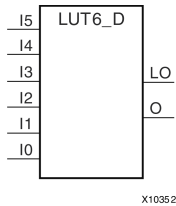
| 属性 | データ型 | 値 | デフォルト | 説明 |
|------|-------|---------|-------|--------------------------|
| INIT | 16 進数 | 64 ビット値 | すべてゼロ | LUT5/6 の出力ファンクションを指定します。 |

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

LUT6_D

プリミティブ：6-Input Lookup Table with General and Local Outputs



概要

このデザイン エLEMENTは、入力 6 個、出力 1 個を持つルックアップ テーブル (LUT) で、非同期 64 ビット ROM (6 ビットのアドレス指定) または 6 入力のロジック ファンクションをインプリメントできます。LUT は基本的なロジック構築ブロックで、デザインに含まれる多くのロジック ファンクションのインプリメントに使用されます。LUT6 は、4 個のルックアップ テーブル (LUT) のいずれかにマップされます。LUT6、LUT6_L、および LUT6_D の機能は同じですが、LUT6_L および LUT6_D では、LUT6 の出力信号を内部スライスに接続したり、LO 出力を使用して CLB に接続できます。LUT6_L では LUT6 からの接続が 1 つのスライスまたは CLB 内に制限されるのに対し、LUT6_D では LUT6 の出力を内部スライス/CLB ロジックおよび外部ロジックの両方に接続できます。LUT6 では出力の接続は特定されないため、内部スライスまたは CLB 信号の接続を暗示的に指定する必要がある場合以外は、常に使用する必要があります。

LUT のロジック ファンクションを指定するため、INIT 属性に 64 ビットの 16 進数値を設定する必要があります。入力 が適用されたときに出力される値を、その入力に対応する INIT ビットに設定します。たとえば Verilog で INIT 値を `64'h8000000000000000` (VHDL では `X"8000000000000000"`) に設定すると、入力すべてが 1 の場合以外は出力は 0 になります (6 入力の AND ゲート)。また、Verilog で INIT 値を `64'hffffffffffffff` (VHDL では `X"FFFFFFFFFFFFFFFF"`) に設定すると、入力すべてがゼロの場合以外は出力は 1 になります (6 入力 OR ゲート)。

FPGA LUT プリミティブでは、INIT パラメーターで論理値が設定されます。デフォルトは 0 で、入力値にかかわらず出力を 0 に駆動します (グラウンドとして機能)。ただし多くの場合、LUT プリミティブのロジック ファンクションを指定するため、INIT 値を設定する必要があります。LUT の値を指定する方法には、次の 2 つがあります。

論理表を使用する方法： LUT の INIT 値を決定する一般的な方法。バイナリの論理表にすべての入力をリストして出力のロジック値を指定し、これらの出力値から初期値を作成します。

論理式を使用する方法： リストされた論理表の値に対応する LUT の各入力にパラメーターを定義し、パラメーターを基にロジックの論理式を生成します。概念を理解してしまえばこの方法の方が簡単ですが、コードで最初に適切なパラメーターを指定する必要があります。

論理表

| 入力 | | | | | | 出力 | |
|----|----|----|----|----|----|---------|---------|
| I5 | I4 | I3 | I2 | I1 | I0 | O | LO |
| 0 | 0 | 0 | 0 | 0 | 0 | INIT[0] | INIT[0] |
| 0 | 0 | 0 | 0 | 0 | 1 | INIT[1] | INIT[1] |
| 0 | 0 | 0 | 0 | 1 | 0 | INIT[2] | INIT[2] |
| 0 | 0 | 0 | 0 | 1 | 1 | INIT[3] | INIT[3] |
| 0 | 0 | 0 | 1 | 0 | 0 | INIT[4] | INIT[4] |
| 0 | 0 | 0 | 1 | 0 | 1 | INIT[5] | INIT[5] |
| 0 | 0 | 0 | 1 | 1 | 0 | INIT[6] | INIT[6] |

| 入力 | | | | | | 出力 | |
|----|----|----|----|----|----|----------|----------|
| I5 | I4 | I3 | I2 | I1 | I0 | O | LO |
| 0 | 0 | 0 | 1 | 1 | 1 | INIT[7] | INIT[7] |
| 0 | 0 | 1 | 0 | 0 | 0 | INIT[8] | INIT[8] |
| 0 | 0 | 1 | 0 | 0 | 1 | INIT[9] | INIT[9] |
| 0 | 0 | 1 | 0 | 1 | 0 | INIT[10] | INIT[10] |
| 0 | 0 | 1 | 0 | 1 | 1 | INIT[11] | INIT[11] |
| 0 | 0 | 1 | 1 | 0 | 0 | INIT[12] | INIT[12] |
| 0 | 0 | 1 | 1 | 0 | 1 | INIT[13] | INIT[13] |
| 0 | 0 | 1 | 1 | 1 | 0 | INIT[14] | INIT[14] |
| 0 | 0 | 1 | 1 | 1 | 1 | INIT[15] | INIT[15] |
| 0 | 1 | 0 | 0 | 0 | 0 | INIT[16] | INIT[16] |
| 0 | 1 | 0 | 0 | 0 | 1 | INIT[17] | INIT[17] |
| 0 | 1 | 0 | 0 | 1 | 0 | INIT[18] | INIT[18] |
| 0 | 1 | 0 | 0 | 1 | 1 | INIT[19] | INIT[19] |
| 0 | 1 | 0 | 1 | 0 | 0 | INIT[20] | INIT[20] |
| 0 | 1 | 0 | 1 | 0 | 1 | INIT[21] | INIT[21] |
| 0 | 1 | 0 | 1 | 1 | 0 | INIT[22] | INIT[22] |
| 0 | 1 | 0 | 1 | 1 | 1 | INIT[23] | INIT[23] |
| 0 | 1 | 1 | 0 | 0 | 0 | INIT[24] | INIT[24] |
| 0 | 1 | 1 | 0 | 0 | 1 | INIT[25] | INIT[25] |
| 0 | 1 | 1 | 0 | 1 | 0 | INIT[26] | INIT[26] |
| 0 | 1 | 1 | 0 | 1 | 1 | INIT[27] | INIT[27] |
| 0 | 1 | 1 | 1 | 0 | 0 | INIT[28] | INIT[28] |
| 0 | 1 | 1 | 1 | 0 | 1 | INIT[29] | INIT[29] |
| 0 | 1 | 1 | 1 | 1 | 0 | INIT[30] | INIT[30] |
| 0 | 1 | 1 | 1 | 1 | 1 | INIT[31] | INIT[31] |
| 1 | 0 | 0 | 0 | 0 | 0 | INIT[32] | INIT[32] |
| 1 | 0 | 0 | 0 | 0 | 1 | INIT[33] | INIT[33] |
| 1 | 0 | 0 | 0 | 1 | 0 | INIT[34] | INIT[34] |
| 1 | 0 | 0 | 0 | 1 | 1 | INIT[35] | INIT[35] |
| 1 | 0 | 0 | 1 | 0 | 0 | INIT[36] | INIT[36] |
| 1 | 0 | 0 | 1 | 0 | 1 | INIT[37] | INIT[37] |
| 1 | 0 | 0 | 1 | 1 | 0 | INIT[38] | INIT[38] |
| 1 | 0 | 0 | 1 | 1 | 1 | INIT[39] | INIT[39] |
| 1 | 0 | 1 | 0 | 0 | 0 | INIT[40] | INIT[40] |
| 1 | 0 | 1 | 0 | 0 | 1 | INIT[41] | INIT[41] |

| 入力 | | | | | | 出力 | |
|--|----|----|----|----|----|----------|----------|
| I5 | I4 | I3 | I2 | I1 | I0 | O | LO |
| 1 | 0 | 1 | 0 | 1 | 0 | INIT[42] | INIT[42] |
| 1 | 0 | 1 | 0 | 1 | 1 | INIT[43] | INIT[43] |
| 1 | 0 | 1 | 1 | 0 | 0 | INIT[44] | INIT[44] |
| 1 | 0 | 1 | 1 | 0 | 1 | INIT[45] | INIT[45] |
| 1 | 0 | 1 | 1 | 1 | 0 | INIT[46] | INIT[46] |
| 1 | 0 | 1 | 1 | 1 | 1 | INIT[47] | INIT[47] |
| 1 | 1 | 0 | 0 | 0 | 0 | INIT[48] | INIT[48] |
| 1 | 1 | 0 | 0 | 0 | 1 | INIT[49] | INIT[49] |
| 1 | 1 | 0 | 0 | 1 | 0 | INIT[50] | INIT[50] |
| 1 | 1 | 0 | 0 | 1 | 1 | INIT[51] | INIT[51] |
| 1 | 1 | 0 | 1 | 0 | 0 | INIT[52] | INIT[52] |
| 1 | 1 | 0 | 1 | 0 | 1 | INIT[53] | INIT[53] |
| 1 | 1 | 0 | 1 | 1 | 0 | INIT[54] | INIT[54] |
| 1 | 1 | 0 | 1 | 1 | 1 | INIT[55] | INIT[55] |
| 1 | 1 | 1 | 0 | 0 | 0 | INIT[56] | INIT[56] |
| 1 | 1 | 1 | 0 | 0 | 1 | INIT[57] | INIT[57] |
| 1 | 1 | 1 | 0 | 1 | 0 | INIT[58] | INIT[58] |
| 1 | 1 | 1 | 0 | 1 | 1 | INIT[59] | INIT[59] |
| 1 | 1 | 1 | 1 | 0 | 0 | INIT[60] | INIT[60] |
| 1 | 1 | 1 | 1 | 0 | 1 | INIT[61] | INIT[61] |
| 1 | 1 | 1 | 1 | 1 | 0 | INIT[62] | INIT[62] |
| 1 | 1 | 1 | 1 | 1 | 1 | INIT[63] | INIT[63] |
| INIT = INIT 属性で指定された 16 進数値を 2 進数で表した値 | | | | | | | |

ポートの説明

| ポート名 | 方向 | 幅 | 機能 |
|-------------------|----|---|-------------|
| O6 | 出力 | 1 | 6/5 LUT 出力 |
| O5 | 出力 | 1 | 5 入力 LUT 出力 |
| I0、I1、I2、I3、I4、I5 | 入力 | 1 | LUT 入力 |

デザインの入力方法

このエレメントは、回路図で使用できます。

使用可能な属性

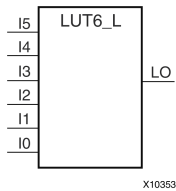
| 属性 | データ型 | 値 | デフォルト | 説明 |
|------|-------|---------|-------|------------------------|
| INIT | 16 進数 | 64 ビット値 | すべてゼロ | ルックアップ テーブルの論理値を指定します。 |

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

LUT6_L

プリミティブ：6-Input Lookup Table with Local Output



概要

このデザイン エLEMENTは、入力 6 個、出力 1 個を持つルックアップ テーブル (LUT) で、非同期 64 ビット ROM (6 ビットのアドレス指定) または 6 入力のロジック ファンクションをインプリメントできます。LUT は基本的なロジック構築ブロックで、デザインに含まれる多くのロジック ファンクションのインプリメントに使用されます。LUT6 は、4 個のルックアップ テーブル (LUT) のいずれかにマップされます。LUT6、LUT6_L、および LUT6_D の機能は同じですが、LUT6_L および LUT6_D では、LUT6 の出力信号を内部スライスに接続したり、LO 出力を使用して CLB に接続できます。LUT6_L では LUT6 からの接続が 1 つのスライスまたは CLB 内に制限されるのに対し、LUT6_D では LUT6 の出力を内部スライス/CLB ロジックおよび外部ロジックの両方に接続できます。LUT6 では出力の接続は特定されないため、内部スライスまたは CLB 信号の接続を暗示的に指定する必要がある場合以外は、常に使用する必要があります。

LUT のロジック ファンクションを指定するため、INIT 属性に 64 ビットの 16 進数値を設定する必要があります。入力が適用されたときに出力される値を、その入力に対応する INIT ビットに設定します。たとえば Verilog で INIT 値を `64'h8000000000000000` (VHDL では `X"8000000000000000"`) に設定すると、入力すべてが 1 の場合以外は出力は 0 になります (6 入力の AND ゲート)。また、Verilog で INIT 値を `64'hffffffff` (VHDL では `X"FFFFFFFFFFFFFFFF"`) に設定すると、入力がすべてゼロの場合以外は出力は 1 になります (6 入力 OR ゲート)。

FPGA LUT プリミティブでは、INIT パラメーターで論理値が設定されます。デフォルトは 0 で、入力値にかかわらず出力を 0 に駆動します (グラウンドとして機能)。ただし多くの場合、LUT プリミティブのロジック ファンクションを指定するため、INIT 値を設定する必要があります。LUT の値を指定する方法には、次の 2 つがあります。

論理表を使用する方法：LUT の INIT 値を決定する一般的な方法。バイナリの真理値表にすべての入力をリストして出力のロジック値を指定し、これらの出力値から初期値を作成します。

論理式を使用する方法：リストされた論理表の値に対応する LUT の各入力にパラメーターを定義し、パラメーターを基にロジックの論理式を生成します。概念を理解してしまえばこの方法の方が簡単ですが、コードで最初に適切なパラメーターを指定する必要があります。

論理表

| 入力 | | | | | | 出力 |
|----|----|----|----|----|----|---------|
| I5 | I4 | I3 | I2 | I1 | I0 | LO |
| 0 | 0 | 0 | 0 | 0 | 0 | INIT[0] |
| 0 | 0 | 0 | 0 | 0 | 1 | INIT[1] |
| 0 | 0 | 0 | 0 | 1 | 0 | INIT[2] |
| 0 | 0 | 0 | 0 | 1 | 1 | INIT[3] |
| 0 | 0 | 0 | 1 | 0 | 0 | INIT[4] |
| 0 | 0 | 0 | 1 | 0 | 1 | INIT[5] |
| 0 | 0 | 0 | 1 | 1 | 0 | INIT[6] |

| 入力 | | | | | | 出力 |
|----|----|----|----|----|----|----------|
| I5 | I4 | I3 | I2 | I1 | I0 | LO |
| 0 | 0 | 0 | 1 | 1 | 1 | INIT[7] |
| 0 | 0 | 1 | 0 | 0 | 0 | INIT[8] |
| 0 | 0 | 1 | 0 | 0 | 1 | INIT[9] |
| 0 | 0 | 1 | 0 | 1 | 0 | INIT[10] |
| 0 | 0 | 1 | 0 | 1 | 1 | INIT[11] |
| 0 | 0 | 1 | 1 | 0 | 0 | INIT[12] |
| 0 | 0 | 1 | 1 | 0 | 1 | INIT[13] |
| 0 | 0 | 1 | 1 | 1 | 0 | INIT[14] |
| 0 | 0 | 1 | 1 | 1 | 1 | INIT[15] |
| 0 | 1 | 0 | 0 | 0 | 0 | INIT[16] |
| 0 | 1 | 0 | 0 | 0 | 1 | INIT[17] |
| 0 | 1 | 0 | 0 | 1 | 0 | INIT[18] |
| 0 | 1 | 0 | 0 | 1 | 1 | INIT[19] |
| 0 | 1 | 0 | 1 | 0 | 0 | INIT[20] |
| 0 | 1 | 0 | 1 | 0 | 1 | INIT[21] |
| 0 | 1 | 0 | 1 | 1 | 0 | INIT[22] |
| 0 | 1 | 0 | 1 | 1 | 1 | INIT[23] |
| 0 | 1 | 1 | 0 | 0 | 0 | INIT[24] |
| 0 | 1 | 1 | 0 | 0 | 1 | INIT[25] |
| 0 | 1 | 1 | 0 | 1 | 0 | INIT[26] |
| 0 | 1 | 1 | 0 | 1 | 1 | INIT[27] |
| 0 | 1 | 1 | 1 | 0 | 0 | INIT[28] |
| 0 | 1 | 1 | 1 | 0 | 1 | INIT[29] |
| 0 | 1 | 1 | 1 | 1 | 0 | INIT[30] |
| 0 | 1 | 1 | 1 | 1 | 1 | INIT[31] |
| 1 | 0 | 0 | 0 | 0 | 0 | INIT[32] |
| 1 | 0 | 0 | 0 | 0 | 1 | INIT[33] |
| 1 | 0 | 0 | 0 | 1 | 0 | INIT[34] |
| 1 | 0 | 0 | 0 | 1 | 1 | INIT[35] |
| 1 | 0 | 0 | 1 | 0 | 0 | INIT[36] |
| 1 | 0 | 0 | 1 | 0 | 1 | INIT[37] |
| 1 | 0 | 0 | 1 | 1 | 0 | INIT[38] |
| 1 | 0 | 0 | 1 | 1 | 1 | INIT[39] |
| 1 | 0 | 1 | 0 | 0 | 0 | INIT[40] |
| 1 | 0 | 1 | 0 | 0 | 1 | INIT[41] |

| 入力 | | | | | | 出力 |
|----|----|----|----|----|----|----------|
| I5 | I4 | I3 | I2 | I1 | I0 | LO |
| 1 | 0 | 1 | 0 | 1 | 0 | INIT[42] |
| 1 | 0 | 1 | 0 | 1 | 1 | INIT[43] |
| 1 | 0 | 1 | 1 | 0 | 0 | INIT[44] |
| 1 | 0 | 1 | 1 | 0 | 1 | INIT[45] |
| 1 | 0 | 1 | 1 | 1 | 0 | INIT[46] |
| 1 | 0 | 1 | 1 | 1 | 1 | INIT[47] |
| 1 | 1 | 0 | 0 | 0 | 0 | INIT[48] |
| 1 | 1 | 0 | 0 | 0 | 1 | INIT[49] |
| 1 | 1 | 0 | 0 | 1 | 0 | INIT[50] |
| 1 | 1 | 0 | 0 | 1 | 1 | INIT[51] |
| 1 | 1 | 0 | 1 | 0 | 0 | INIT[52] |
| 1 | 1 | 0 | 1 | 0 | 1 | INIT[53] |
| 1 | 1 | 0 | 1 | 1 | 0 | INIT[54] |
| 1 | 1 | 0 | 1 | 1 | 1 | INIT[55] |
| 1 | 1 | 1 | 0 | 0 | 0 | INIT[56] |
| 1 | 1 | 1 | 0 | 0 | 1 | INIT[57] |
| 1 | 1 | 1 | 0 | 1 | 0 | INIT[58] |
| 1 | 1 | 1 | 0 | 1 | 1 | INIT[59] |
| 1 | 1 | 1 | 1 | 0 | 0 | INIT[60] |
| 1 | 1 | 1 | 1 | 0 | 1 | INIT[61] |
| 1 | 1 | 1 | 1 | 1 | 0 | INIT[62] |
| 1 | 1 | 1 | 1 | 1 | 1 | INIT[63] |

INIT = INIT 属性で指定された 16 進数値を 2 進数で表した値

ポートの説明

| ポート名 | 方向 | 幅 | 機能 |
|-------------------|----|---|---------------------------|
| LO | 出力 | 1 | 6/5 入力 LUT 出力または内部 CLB 接続 |
| I0、I1、I2、I3、I4、I5 | 入力 | 1 | LUT 入力 |

デザインの入力方法

このエレメントは、回路図で使用できます。

使用可能な属性

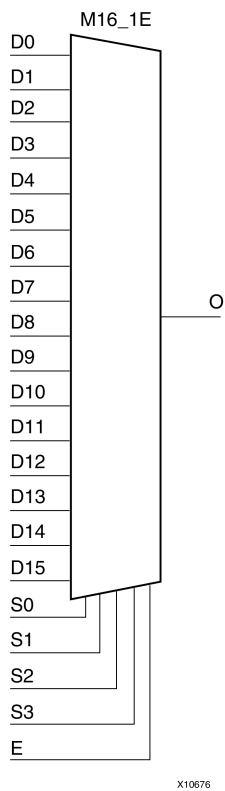
| 属性 | データ型 | 値 | デフォルト | 説明 |
|------|-------|---------|-------|------------------------|
| INIT | 16 進数 | 64 ビット値 | すべてゼロ | ルックアップ テーブルの論理値を指定します。 |

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

M16_1E

マクロ：16-to-1 Multiplexer with Enable



概要

このデザイン エLEMENTは、イネーブル付き 16:1 マルチプレクサーです。イネーブル入力 (E) が High の場合、セレクト入力 (S3 ～ S0) の値に応じて、16 個の入力 (D15 ～ D0) のうち 1 つのデータビットが選択されます。出力 (O) には、次の論理表に示すように、選択された入力の値が出力されます。E が Low の場合、出力は Low になります。

論理表

| 入力 | | | | | | 出力 |
|----|----|----|----|----|--------|-----|
| E | S3 | S2 | S1 | S0 | D15:D0 | O |
| 0 | X | X | X | X | X | 0 |
| 1 | 0 | 0 | 0 | 0 | D0 | D0 |
| 1 | 0 | 0 | 0 | 1 | D1 | D1 |
| 1 | 0 | 0 | 1 | 0 | D2 | D2 |
| 1 | 0 | 0 | 1 | 1 | D3 | D3 |
| . | . | . | . | . | . | . |
| . | . | . | . | . | . | . |
| . | . | . | . | . | . | . |
| 1 | 1 | 1 | 0 | 0 | D12 | D12 |
| 1 | 1 | 1 | 0 | 1 | D13 | D13 |

| 入力 | | | | | | 出力 |
|----|----|----|----|----|--------|-----|
| E | S3 | S2 | S1 | S0 | D15:D0 | O |
| 1 | 1 | 1 | 1 | 0 | D14 | D14 |
| 1 | 1 | 1 | 1 | 1 | D15 | D15 |

デザインの入力方法

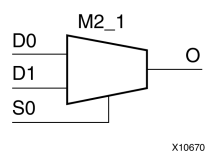
このELEMENTは、回路図でのみ使用できます。

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

M2_1

マクロ：2-to-1 Multiplexer



概要

このデザイン エLEMENTは、セレクト入力 (S0) の値に応じて、2 つの入力 (D1 または D0) のうち 1 つのデータビットを選択します。出力 (O) には、選択された入力の値が出力されます。S0 が Low の場合は D0 が選択され、High の場合は D1 が選択されます。

論理表

| 入力 | | | 出力 |
|----|----|----|----|
| S0 | D1 | D0 | O |
| 1 | D1 | X | D1 |
| 0 | X | D0 | D0 |

デザインの入力方法

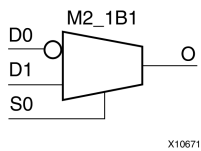
このELEMENTは、回路図でのみ使用できます。

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

M2_1B1

マクロ：2-to-1 Multiplexer with D0 Inverted



概要

このデザイン エLEMENTは、セレクト入力 (S0) の値に応じて、2 つの入力 (D1 または D0) のうち 1 つのデータビットを選択します。S0 が Low の場合は O に D0 の反転値が出力され、S0 が High の場合は D1 の値が出力されます。

論理表

| 入力 | | | 出力 |
|----|----|----|----|
| S0 | D1 | D0 | O |
| 1 | 1 | X | 1 |
| 1 | 0 | X | 0 |
| 0 | X | 1 | 0 |
| 0 | X | 0 | 1 |

デザインの入力方法

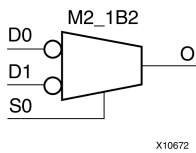
このELEMENTは、回路図でのみ使用できます。

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

M2_1B2

マクロ：2-to-1 Multiplexer with D0 and D1 Inverted



概要

このデザイン エLEMENTは、セレクト入力 (S0) の値に応じて、2 つの入力 (D1 または D0) のうち 1 つのデータビットを選択します。S0 が Low の場合は O に D0 の反転値が出力され、S0 が High の場合は D1 の反転値が出力されます。

論理表

| 入力 | | | 出力 |
|----|----|----|----|
| S0 | D1 | D0 | O |
| 1 | 1 | X | 0 |
| 1 | 0 | X | 1 |
| 0 | X | 1 | 0 |
| 0 | X | 0 | 1 |

デザインの入力方法

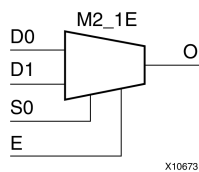
このELEMENTは、回路図でのみ使用できます。

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

M2_1E

マクロ : 2-to-1 Multiplexer with Enable



概要

このデザイン エLEMENTは、イネーブル付き 2:1 マルチプレクサーです。イネーブル入力 (E) が High の場合、セレクト入力 (S0) の値に応じて、2 つの入力 (D1 または D0) のうち 1 つのデータ ビットが選択されます。S0 が Low の場合は D0 が選択され、High の場合は D1 が選択されます。E が Low の場合、出力は Low になります。

論理表

| 入力 | | | | 出力 |
|----|----|----|----|----|
| E | S0 | D1 | D0 | O |
| 0 | X | X | X | 0 |
| 1 | 0 | X | 1 | 1 |
| 1 | 0 | X | 0 | 0 |
| 1 | 1 | 1 | X | 1 |
| 1 | 1 | 0 | X | 0 |

デザインの入力方法

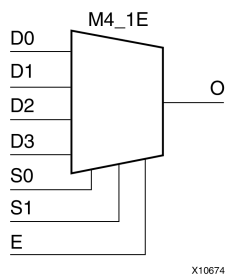
このELEMENTは、回路図でのみ使用できます。

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

M4_1E

マクロ：4-to-1 Multiplexer with Enable



概要

このデザイン エLEMENTは、イネーブル付き 4:1 マルチプレクサーです。イネーブル入力 (E) が High の場合、セレクト入力 (S1 ~ S0) の値に応じて、4 つの入力 (D3、D2、D1、D0) のうち 1 つのデータビットが選択されます。出力 (O) には、次の論理表に示すように、選択された入力の値が出力されます。E が Low の場合、出力は Low になります。

論理表

| 入力 | | | | | | | 出力 |
|----|----|----|----|----|----|----|----|
| E | S1 | S0 | D0 | D1 | D2 | D3 | O |
| 0 | X | X | X | X | X | X | 0 |
| 1 | 0 | 0 | D0 | X | X | X | D0 |
| 1 | 0 | 1 | X | D1 | X | X | D1 |
| 1 | 1 | 0 | X | X | D2 | X | D2 |
| 1 | 1 | 1 | X | X | X | D3 | D3 |

デザインの入力方法

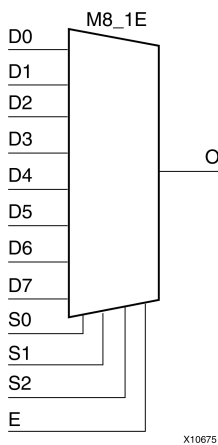
このELEMENTは、回路図でのみ使用できます。

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

M8_1E

マクロ：8-to-1 Multiplexer with Enable



概要

このデザイン エLEMENTは、イネーブル付き 8:1 マルチプレクサーです。イネーブル入力 (E) が High の場合、セレクト入力 (S2 ～ S0) の値に応じて、8 つの入力 (D7 ～ D0) のうち 1 つのデータビットが選択されます。出力 (O) には、次の論理表に示すように、選択された入力の値が出力されます。E が Low の場合、出力は Low になります。

論理表

| 入力 | | | | | 出力 |
|----|----|----|----|-------|----|
| E | S2 | S1 | S0 | D7:D0 | O |
| 0 | X | X | X | X | 0 |
| 1 | 0 | 0 | 0 | D0 | D0 |
| 1 | 0 | 0 | 1 | D1 | D1 |
| 1 | 0 | 1 | 0 | D2 | D2 |
| 1 | 0 | 1 | 1 | D3 | D3 |
| 1 | 1 | 0 | 0 | D4 | D4 |
| 1 | 1 | 0 | 1 | D5 | D5 |
| 1 | 1 | 1 | 0 | D6 | D6 |
| 1 | 1 | 1 | 1 | D7 | D7 |

デザインの入力方法

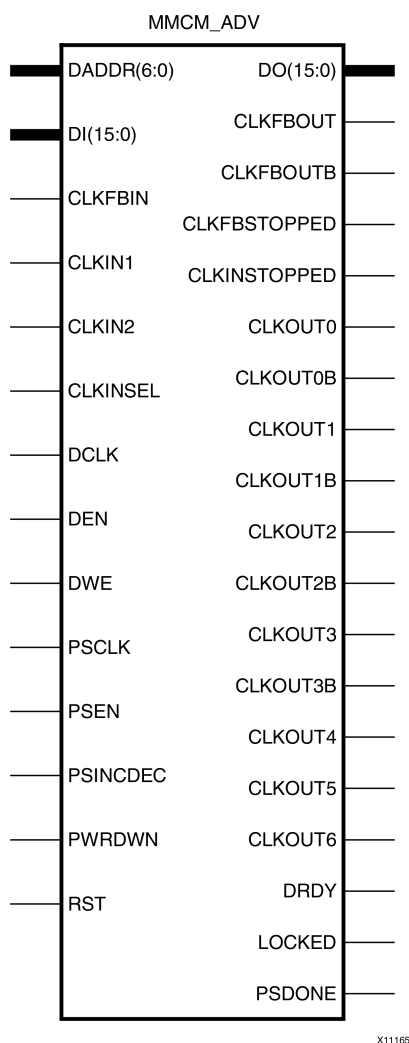
このELEMENTは、回路図でのみ使用できます。

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

MMCM_ADV

プリミティブ： MMCM is a mixed signal block designed to support clock network deskew, frequency synthesis, and jitter reduction.



概要

MMCM は、周波数合成、クロック ネットワークのスキュー調整、ジッター低減をサポートするための混合信号ブロックです。各クロック出力に対して、同じ VCO 周波数を基準に分周、位相シフト、デューティ サイクルを個別に設定できます。ダイナミック位相シフトおよび分数分周もサポートされます。

ポートの説明

| ポート名 | 方向 | 幅 | 機能 |
|--------------|----|---|--------------------------------|
| CLKFBIN | 入力 | 1 | クロック フィードバック入力 |
| CLKFBOUT | 出力 | 1 | 専用 MMCM フィードバック出力 |
| CLKFBOUTB | 出力 | 1 | CLKFBOUT を反転したクロック出力 |
| CLKFBSTOPPED | 出力 | 1 | フィードバック クロックが停止したことを示すステータス ピン |

| ポート名 | 方向 | 幅 | 機能 |
|--------------|----|---------|---|
| CLKINSEL | 入力 | 1 | 入力マルチプレクサーのステートを制御する信号で、High の場合は CLKIN1、Low の場合は CLKIN2 です。 |
| CLKINSTOPPED | 出力 | 1 | 入力クロックが停止したことを示すステータス ビン |
| CLKIN1 | 入力 | 1 | 汎用クロック入力 |
| CLKIN2 | 入力 | 1 | MMCM リファレンス クロックのセカンダリ クロック入力 |
| CLKOUT[0:6] | 出力 | 7、1 ビット | コンフィギュレーション可能なクロック出力 (0 ~ 6) で、VCO 位相出力 (ユーザー制御可能) を 1 (バイパス) から 128 までの値で分周したものに設定できます。出力クロックは、位相シフトされていない場合はお互いに位相が揃っており、適切なフィードバック コンフィギュレーションにより入力クロックに揃えられます。 |
| CLKOUT[0:3]B | 出力 | 4、1 ビット | CLKOUT[0:3] を反転したものです。 |
| DADDR[6:0] | 入力 | 7 | ダイナミック リコンフィギュレーション用のリコンフィギュレーション アドレスを供給する入力バス。このバスを使用しない場合は、すべてのビットを 0 にする必要があります。 |
| DCLK | 入力 | 1 | ダイナミック リコンフィギュレーション ポートのリファレンス クロック |
| DEN | 入力 | 1 | ダイナミック リコンフィギュレーション機能にアクセスするためのイネーブル制御信号。ダイナミック リコンフィギュレーションを使用しない場合は Low に接続する必要があります。 |
| DI[15:0] | 入力 | 16 | リコンフィギュレーション データを供給するデータ入力バス。このバスを使用しない場合は、すべてのビットを 0 にする必要があります。 |
| DO[15:0] | 出力 | 16 | ダイナミック リコンフィギュレーションを使用する場合の MMCM データ出力バス |
| DRDY | 出力 | 1 | MMCM のダイナミック リコンフィギュレーション機能の DEN 信号への応答を供給する READY 出力 |
| DWE | 入力 | 1 | DADDR アドレスへの DI データの書き込みを制御するライト イネーブル信号。使用しない場合は、Low に接続する必要があります。 |
| LOCKED | 出力 | 1 | 位相アライメントが定義されている時間内で完了し、周波数が定義されている PPM 範囲内で一致したことを示します。MMCM は電源投入時に自動的にロック状態になるので、リセットは不要です。入力クロックが停止した場合、または位相アライメントに違反が発生した場合 (入力クロックの位相シフトなど) は、LOCKED がディアサートされます。LOCKED がディアサートされると、自動的にロックが達成されます。 |
| PSCLK | 入力 | 1 | 位相シフト クロック |
| PSDONE | 出力 | 1 | 位相シフト終了 |
| PSEN | 入力 | 1 | 位相シフト イネーブル |
| PSINCDEC | 入力 | 1 | 位相シフト インクリメント/デクリメント制御 |
| PWRDWN | 入力 | 1 | インスタンス化されているが未使用の MMCM をパワー ダウンします。 |
| RST | 入力 | 1 | 非同期リセット信号。この信号が解放されると、MMCM はクロックに同期して再びイネーブルになります。入力クロックの条件 (周波数など) を変更する場合、リセットは不要です。 |

デザインの入力方法

このエレメントは、回路図で使用できます。

使用可能な属性

| 属性 | データ型 | 値 | デフォルト | 説明 |
|------------------------|------------------|--|-------------|--|
| BANDWIDTH | 文字列 | "OPTIMIZED"、 "HIGH"、 "LOW" | "OPTIMIZED" | ジッター、位相マージンなどの MMCM 特性に影響する MMCM プログラム アルゴリズムを指定します。 |
| CLKFBOUT_MULT_F | 3 上位ビット 浮動小数点 | 5.0 ~ 64.0 | 5.0 | すべての CLKOUT クロック出力を過倍する値を指定します。この値と、CLKOUT#.DIVIDE 値および DIVCLK_DIVIDE 値により出力周波数が決まります。この値は実数で指定する必要がありますが、整数値のみがサポートされます。たとえば、6.0 はサポートされますが 6.5 はサポートされません。 |
| CLKFBOUT_PHASE | 3 上位ビット 浮動小数点 | -360,000 ~ 360,000 | 0.000 | クロック フィードバック出力の位相オフセットを度数で指定します。フィードバック クロックをシフトすると、MMCM の出力クロックがすべて負の値に位相シフトします。 |
| CLKIN_PERIOD | フロート (nS) | 1.000 ~ 100.000 | 0.000 | CLKIN1 の入力周期を指定します。精度は ps です。この値は必ず設定する必要があります。 |
| CLKOUT0_DIVIDE_F | 3 上位ビット 浮動小数点 | 1.000 ~ 128.000 | 1.000 | CLKOUT クロック出力を分周する値を指定します。この値と、CLKFBOUT_MULT_F 値および DIVCLK_DIVIDE 値により出力周波数が決まります。 |
| CLKOUT[0:6]_DIVIDE | 整数 | 1 ~ 128 | 1 | CLKOUT クロック出力を分周する値を指定します。この値と、CLKFBOUT_MULT_F 値および DIVCLK_DIVIDE 値により出力周波数が決まります。 |
| CLKOUT[0:6]_DUTY_CYCLE | 3 上位ビット 浮動小数点 | 0.001 ~ 0.999 | 0.500 | CLKOUT クロック出力のデューティ サイクルをパーセントで指定します。0.50 の場合、デューティ サイクルは 50% になります。 |
| CLKOUT[0:6]_PHASE | 3 上位ビット 浮動小数点 | -360.000 ~ 360.000 | 0.000 | クロック フィードバック出力の位相オフセットを度数で指定します。フィードバック クロックをシフトすると、MMCM の出力クロックがすべて負の値に位相シフトします。 |
| CLKOUT4_CASCADE | ブール代数 | FALSE、TRUE | FALSE | 出力クロック分周が 128 よりも大きい場合、出力分周 (カウンタ) を CLKOUT4 分周の入力にカスケードします。 |
| CLOCK_HOLD | ブール代数 | FALSE、TRUE | FALSE | TRUE に設定すると、VCO 周波数が CLKIN を損失する前の周波数に保持されます。 |
| COMPENSATION | 文字列 | "ZHOLD"、 "BUF_IN"、 "CASCADE"、 "EXTERNAL"、 "INTERNAL" | "ZHOLD" | <p>クロック入力の補正。"ZHOLD" に設定する必要があります。MMCM フィードバックのコンフィギュレーション方法を定義します。</p> <ul style="list-style-type: none"> ・ "ZHOLD" : I/O レジスタでのホールド タイムが負になるように MMCM をコンフィギュレーションします。 ・ "INTERNAL" : MMCM の内部フィードバックパスが使用され、遅延は調整されません。 ・ "EXTERNAL" : FPGA の外部ネットワークが調整されます。 |

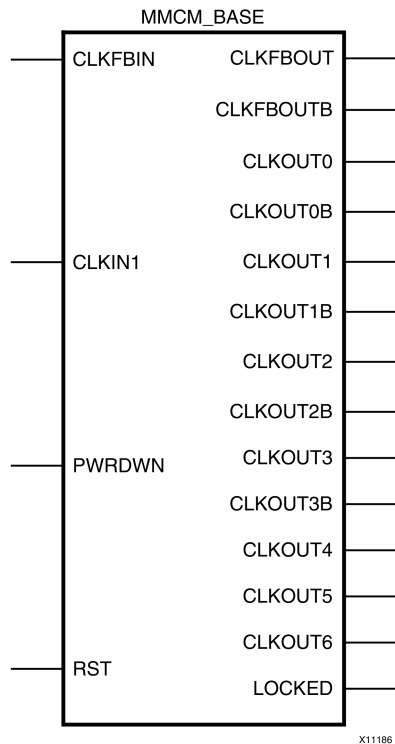
| 属性 | データ型 | 値 | デフォルト | 説明 |
|-------------------------|------------------|---------------|-------|---|
| | | | | <ul style="list-style-type: none"> “CASCADE” : 2 つの MMCM がカスケード接続されます。 “BUF_IN” : その他の補正モードには一致せず、遅延は補正されません。クロック入力が BUFG/BUFH/BUFR/GT で駆動される場合です。 |
| DIVCLK_DIVIDE | 整数 | 1 ~ 128 | 1 | すべての出力クロックの入力クロックに対する分周比を指定し、PFD に入力される CLKIN を分周します。 |
| REF_JITTER1 | 3 上位ビット 浮動小数点 | 0.000 ~ 0.999 | 0.010 | MMCM のパフォーマンスを最適化するため、CLKIN1 に予測されるジッター値を指定します。BANDWIDTH が “OPTIMIZED” に設定されている場合、値が既知でない場合は入力クロックに最適なパラメーターが選択されます。値が既知である場合は、値を入力クロックに予測されるジッターの UI パーセント (最大ピークトゥピーク値) で指定する必要があります。 |
| REF_JITTER2 | 3 上位ビット 浮動小数点 | 0.000 ~ 0.999 | 0.010 | MMCM のパフォーマンスを最適化するため、CLKIN2 に予測されるジッター値を指定します。BANDWIDTH が “OPTIMIZED” に設定されている場合、値が既知でない場合は入力クロックに最適なパラメーターが選択されます。値が既知である場合は、値を入力クロックに予測されるジッターの UI パーセント (最大ピークトゥピーク値) で指定する必要があります。 |
| STARTUP_WAIT | ブール代数 | FALSE | FALSE | この属性はサポートされていません。 |
| CLKFBOUT_USE_FINE_PS | ブール代数 | FALSE、TRUE | FALSE | CLKFBOUT カウンター ファイン可変位相シフト イネーブル |
| CLKOUT[0:6]_USE_FINE_PS | ブール代数 | FALSE、TRUE | FALSE | CLKOUT[1:6] の可変ファイン位相シフト イネーブル |

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

MMCM_BASE

プリミティブ：Mixed signal block designed to support clock network deskew, frequency synthesis, and jitter reduction.



概要

このコンポーネントは、クロック ネットワークのスキュー調整、周波数合成、ジッター低減をサポートするための混合信号ブロックです。O0 を 2 で分周、O1 を 3 で分周するようプログラムするなど、7 つの O カウンターを個別にプログラムできます。ただし、1 つの VCO ですべてのカウンターを駆動するため、VCO 動作周波数をすべての出力カウンターに対して同じにする必要があります。CLKFBOUT および CLKFBOUTB はロジックを駆動するのに使用できますが、CLKIN 周波数と同じにする必要があります。

ポートの説明

| ポート名 | 方向 | 幅 | 機能 |
|-------------|----|---------|--|
| CLKFBIN | 入力 | 1 | クロック フィードバック入力 |
| CLKFBOUT | 出力 | 1 | 専用 MMCM フィードバック出力 |
| CLKFBOUTB | 出力 | 1 | 反転した MMCM フィードバック クロック出力 |
| CLKIN1 | 入力 | 1 | 汎用クロック入力 |
| CLKOUT[0:6] | 出力 | 7、1 ビット | コンフィギュレーション可能なクロック出力 (0 ~ 6) で、VCO 位相出力 (ユーザー制御可能) を 1 (バイパス) から 128 までの値で分周したものに設定できます。出力クロックは、位相シフトされていない場合はお互いに位相が揃っており、適切なフィードバック コンフィギュレーションにより入力クロックに揃えられます。 |

| ポート名 | 方向 | 幅 | 機能 |
|--------------|----|---------|---|
| CLKOUT[0:3]B | 出力 | 4、1 ビット | CLKOUT[0:3] を反転したものです。 |
| LOCKED | 出力 | 1 | 位相アライメントが定義されている時間内で完了し、周波数が定義されている PPM 範囲内で一致したことを示します。MMCM は電源投入時に自動的にロック状態になるので、リセットは不要です。入力クロックが停止した場合、または位相アライメントに違反が発生した場合（入力クロックの位相シフトなど）は、LOCKED がディアサートされます。LOCKED がディアサートされると、自動的にロックが達成されます。 |
| PWRDWN | 入力 | 1 | インスタンシエートされているが未使用の MMCM をパワー ダウン します。 |
| RST | 入力 | 1 | 非同期リセット信号。この信号が解放されると、MMCM はクロックに同期して再びイネーブルになります。入力クロックの条件（周波数など）を変更する場合、リセットは不要です。 |

デザインの入力方法

このエレメントは、回路図で使用できます。

使用可能な属性

| 属性 | データ型 | 値 | デフォルト | 説明 |
|------------------------|------------------|----------------------------------|-------------|---|
| BANDWIDTH | 文字列 | "OPTIMIZED"、 "HIGH"、 "LOW" | "OPTIMIZED" | ジッター、位相マージンなどの MMCM 特性に影響する MMCM プログラム アルゴリズムを指定します。 |
| CLKFBOUT_MULT_F | 3 上位ビット 浮動小数点 | 5.0 ～ 64.0 | 5.0 | すべての CLKOUT クロック出力を過倍する値を指定します。この値と、CLKOUT#.DIVIDE 値および DIVCLK_DIVIDE 値により出力周波数が決まります。 |
| CLKFBOUT_PHASE | 3 上位ビット 浮動小数点 | -360.000 ～ 360.000 | 0.000 | クロック フィードバック出力の位相オフセットを度数で指定します。フィードバック クロックをシフトすると、MMCM の出力クロックがすべて負の値に位相シフトします。 |
| CLKIN1_PERIOD | フロート (nS) | 1.000 ～ 1000.000 | 0.000 | CLKIN1 の入力周期を指定します。精度は ps です。この値は必ず設定する必要があります。 |
| CLKOUT0_DIVIDE_F | 3 上位ビット 浮動小数点 | 1.000 ～ 128.000 | 1.000 | CLKOUT クロック出力を分周する値を指定します。この値と、CLKFBOUT_MULT_F 値および DIVCLK_DIVIDE 値により出力周波数が決まります。 |
| CLKOUT[0:6]_DUTY_CYCLE | 3 上位ビット 浮動小数点 | 0.001 ～ 0.999 | 0.500 | CLKOUT クロック出力のデューティ サイクルをパーセントで指定します。0.50 の場合、デューティ サイクルは 50% になります。 |
| CLKOUT[0:6]_PHASE | 3 上位ビット 浮動小数点 | -360.000 ～ 360.000 | 0.000 | CLKOUT クロック出力との位相オフセットを度数で指定します。90 は 90 度 (4 分の 1 サイクル) の位相オフセット、180 は 180 度 (2 分の 1 サイクル) の位相オフセットを示します。 |
| CLOCK_HOLD | ブール代数 | FALSE、TRUE | FALSE | TRUE に設定すると、VCO 周波数が CLKIN を損失する前の周波数に保持されます。 |
| DIVCLK_DIVIDE | 整数 | 1 ～ 128 | 1 | すべての出力クロックの入力クロックに対する分周比を指定し、PFD に入力される CLKIN を分周します。 |

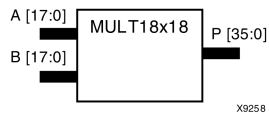
| 属性 | データ型 | 値 | デフォルト | 説明 |
|--------------|------------------|---------------|-------|--|
| REF_JITTER1 | 3 上位ビット 浮動小数点 | 0.000 ～ 0.999 | 0.010 | MMCM パフォーマンスを最適化するため、リファレンス クロックに予測されるジッター値を指定します。BANDWIDTH が "OPTIMIZED" に設定されている場合、値が既知でない場合は入力クロックに最適なパラメーターが選択されます。値が既知である場合は、値を入力クロックに予測されるジッターの UI パーセント (最大ピークトゥピーク値) で指定する必要があります。 |
| STARTUP_WAIT | ブール代数 | FALSE | FALSE | この属性はサポートされていません。 |

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

MULT18X18

プリミティブ：18 x 18 Signed Multiplier



概要

MULT18X18 は、組み合わせ符号付き 18 X 18 ビット乗算器です。18 ビット入力 A の値に 18 ビット入力 B の値を掛け合わせた積が、出力 P に 36 ビットで出力されます。

論理表

| 入力 | | 出力 |
|----------------------|---|-------|
| A | B | P |
| A | B | A X B |
| A、B、および P は 2 の補数です。 | | |

デザインの入力方法

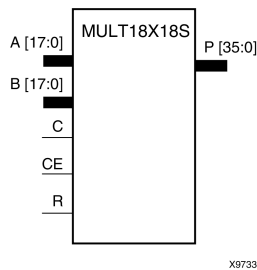
このエレメントは、回路図で使用できます。

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

MULT18X18S

プリミティブ：18 x 18 Signed Multiplier -- Registered Version



概要

MULT18X18S は、符号付き 18 X 18 乗算器 (MULT18X18) にレジスタを追加したもので、出力 (P)、データ入力 (A、B、C)、クロック イネーブル入力 (CE)、および同期リセット入力 (R) があります。レジスタは、GSR パルス後 0 に初期化されます。

18 ビット入力 A の値に 18 ビット入力 B の値を掛け合わせた積が、出力 P に 36 ビットで出力されます。

論理表

| 入力 | | | | | 出力 |
|----|----|----|----|---|-------|
| C | CE | Am | Bn | R | P |
| ↑ | X | X | X | 1 | 0 |
| ↑ | 1 | Am | Bn | 0 | A X B |
| X | 0 | X | X | 0 | 変化なし |

A、B、および P は 2 の補数です。

デザインの入力方法

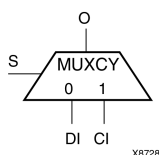
このエレメントは、回路図で使用できます。

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

MUXCY

プリミティブ：2-to-1 Multiplexer for Carry Logic with General Output



概要

スライスの直接入力 (DI) は、MUXCY の DI 入力に接続します。LC のキャリー入力 (CI) は、MUXCY の CI 入力に接続します。セレクト入力 (S) は、ルックアップ テーブル (LUT) の出力で駆動し、MUX ファンクションとしてコンフィギュレーションします。キャリー出力 (O) には選択された入力の値が出力され、各 LC のキャリー出力ファンクションをインプリメントします。S が Low の場合は DI が選択され、High の場合は CI が選択されます。

このほか、ローカル出力を持つ MUXCY_D および MUXCY_L があり、異なるタイミング モデルでレイアウト前のタイミングをより正確に予測する必要がある場合に使用できます。

論理表

| 入力 | | | 出力 |
|----|----|----|----|
| S | DI | CI | O |
| 0 | 1 | X | 1 |
| 0 | 0 | X | 0 |
| 1 | X | 1 | 1 |
| 1 | X | 0 | 0 |

デザインの入力方法

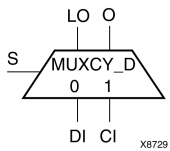
このエレメントは、回路図で使用できます。

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

MUXCY_D

プリミティブ：2-to-1 Multiplexer for Carry Logic with Dual Output



概要

このデザイン エLEMENTは、1 ビットの高速キャリー伝搬ファンクションをインプリメントするために使用します。このようなファンクションは、1 つのロジック セル (LC) に 1 つずつインプリメントできるので、1 つの CLB に合計 4 ビットをインプリメントできます。LC の直接入力 (DI) は MUXCY_D の DI 入力に接続し、LC のキャリー入力 (CI) は MUXCY_D の CI 入力に接続します。セレクト入力 (S) は、ルックアップ テーブル (LUT) の出力で駆動し、XOR ファンクションとしてコンフィギュレーションします。キャリー出力 (O と LO) には選択された入力の値が出力され、各 LC のキャリー出力ファンクションをインプリメントします。S が Low の場合は DI が選択され、High の場合は CI が選択されます。

出力 O と LO は、機能的に同じです。出力 O は汎用インターコネクトです。「MUXCY」および「MUXCY_L」も参照してください。

論理表

| 入力 | | | 出力 | |
|----|----|----|----|----|
| S | DI | CI | O | LO |
| 0 | 1 | X | 1 | 1 |
| 0 | 0 | X | 0 | 0 |
| 1 | X | 1 | 1 | 1 |
| 1 | X | 0 | 0 | 0 |

デザインの入力方法

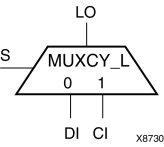
このELEMENTは、回路図で使用できます。

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

MUXCY_L

プリミティブ : 2-to-1 Multiplexer for Carry Logic with Local Output



概要

このデザイン エレメントは、1 ビットの高速キャリー伝搬ファンクションをインプリメントするために使用します。このようなファンクションは、1 つのロジック セル (LC) に 1 つずつインプリメントできるので、1 つの CLB に合計 4 ビットをインプリメントできます。LC の直接入力 (DI) は MUXCY_L の DI 入力に接続し、LC のキャリー入力 (CI) は MUXCY_L の CI 入力に接続します。セレクト入力 (S) は、ルックアップ テーブル (LUT) の出力で駆動し、XOR ファンクションとしてコンフィギュレーションします。キャリー出力 (LO) には選択された入力の値が出力され、各 LC のキャリー出力ファンクションをインプリメントします。S が Low の場合は DI が選択され、High の場合は CI が選択されます。

「MUXCY」および「MUXCY_D」も参照してください。

論理表

| 入力 | | | 出力 |
|----|----|----|----|
| S | DI | CI | LO |
| 0 | 1 | X | 1 |
| 0 | 0 | X | 0 |
| 1 | X | 1 | 1 |
| 1 | X | 0 | 0 |

デザインの入力方法

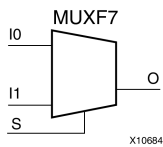
このエレメントは、回路図で使用できます。

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

MUXF7

プリミティブ：2-to-1 Look-Up Table Multiplexer with General Output



概要

このデザイン エLEMENTは、2 つの LUT6 ルックアップ テーブルを組み合わせ、7 ファンクションのルックアップ テーブルまたは 16:1 マルチプレクサーを作成するための 2 入力マルチプレクサーです。I0 および I1 入力には、LUT6 の 2 つのローカル出力 (LO) を接続します。セレクト入力 (S) は、どの内部ネットでも駆動できます。S が Low の場合は I0 が選択され、High の場合は I1 が選択されます。

出力 O は汎用インターコネクトです。

このほか、ローカル出力を持つ MUXF7_D および MUXF7_L があり、異なるタイミング モデルでレイアウト前のタイミングをより正確に予測する必要がある場合に使用できます。

論理表

| 入力 | | | 出力 |
|----|----|----|----|
| S | I0 | I1 | O |
| 0 | I0 | X | I0 |
| 1 | X | I1 | I1 |
| X | 0 | 0 | 0 |
| X | 1 | 1 | 1 |

ポートの説明

| ポート名 | 方向 | 幅 | 機能 |
|------|----|---|---------------------|
| O | 出力 | 1 | 汎用配線への MUX の出力 |
| I0 | 入力 | 1 | 入力 (MUXF6 LO 出力に接続) |
| I1 | 入力 | 1 | 入力 (MUXF6 LO 出力に接続) |
| S | 入力 | 1 | MUX への入力セレクト |

デザインの入力方法

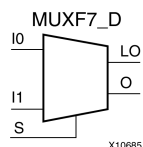
このELEMENTは、回路図で使用できます。

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

MUXF7_D

プリミティブ : 2-to-1 Look-Up Table Multiplexer with Dual Output



概要

このデザイン エLEMENTは、2 つの LUT6 ルックアップ テーブルを組み合わせて、7 ファンクションのルックアップ テーブルまたは 16:1 マルチプレクサーを作成するための 2 入力マルチプレクサーです。I0 および I1 入力には、LUT6 の 2 つのローカル出力 (LO) を接続します。セレクト入力 (S) は、どの内部ネットでも駆動できます。S が Low の場合は I0 が選択され、High の場合は I1 が選択されます。

出力 O と LO は、機能的に同じです。出力 O は汎用インターコネクトです。LO 出力は、同じ CLB スライス内にある別の入力との接続に使用します。

「MUXF7」および「MUXF7_L」も参照してください。

論理表

| 入力 | | | 出力 | |
|----|----|----|----|----|
| S | I0 | I1 | O | LO |
| 0 | I0 | X | I0 | I0 |
| 1 | X | I1 | I1 | I1 |
| X | 0 | 0 | 0 | 0 |
| X | 1 | 1 | 1 | 1 |

ポートの説明

| ポート名 | 方向 | 幅 | 機能 |
|------|----|---|---------------------|
| O | 出力 | 1 | 汎用配線への MUX の出力 |
| LO | 出力 | 1 | ローカル配線への MUX の出力 |
| I0 | 入力 | 1 | 入力 (MUXF6 LO 出力に接続) |
| I1 | 入力 | 1 | 入力 (MUXF6 LO 出力に接続) |
| S | 入力 | 1 | MUX への入力セレクト |

デザインの入力方法

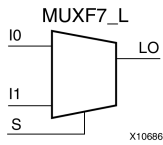
このELEMENTは、回路図で使用できます。

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

MUXF7_L

プリミティブ：2-to-1 look-up table Multiplexer with Local Output



概要

このデザイン エLEMENTは、2 つの LUT6 ルックアップ テーブルを組み合わせ、7 ファンクションのルックアップ テーブルまたは 16:1 マルチプレクサーを作成するための 2 入力マルチプレクサーです。I0 および I1 入力には、LUT6 の 2 つのローカル出力 (LO) を接続します。セレクト入力 (S) は、どの内部ネットでも駆動できます。S が Low の場合は I0 が選択され、High の場合は I1 が選択されます。

LO 出力は、同じ CLB スライス内にある別の入力との接続に使用します。

「MUXF7」および「MUXF7_D」も参照してください。

論理表

| 入力 | | | 出力 |
|----|----|----|----|
| S | I0 | I1 | LO |
| 0 | I0 | X | I0 |
| 1 | X | I1 | I1 |
| X | 0 | 0 | 0 |
| X | 1 | 1 | 1 |

ポートの説明

| ポート名 | 方向 | 幅 | 機能 |
|------|----|---|------------------|
| LO | 出力 | 1 | ローカル配線への MUX の出力 |
| I0 | 入力 | 1 | 入力 |
| I1 | 入力 | 1 | 入力 |
| S | 入力 | 1 | MUX への入力セレクト |

デザインの入力方法

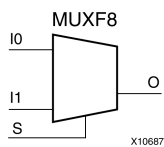
このELEMENTは、回路図で使用できます。

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

MUXF8

プリミティブ：2-to-1 Look-Up Table Multiplexer with General Output



概要

このデザイン エレメントは、ルックアップ テーブル、MUXF5、MUXF6、および MUXF7 と組み合わせて、スライス 8 個に 8 ファンクションのルックアップ テーブルまたは 32:1 マルチプレクサーを作成するためのマルチプレクサーです。I0 および I1 入力には、MUXF7 のローカル出力 (LO) を接続します。セレクト入力 (S) は、どの内部ネットでも駆動できます。S が Low の場合は I0 が選択され、High の場合は I1 が選択されます。

論理表

| 入力 | | | 出力 |
|----|----|----|----|
| S | I0 | I1 | O |
| 0 | I0 | X | I0 |
| 1 | X | I1 | I1 |
| X | 0 | 0 | 0 |
| X | 1 | 1 | 1 |

ポートの説明

| ポート名 | 方向 | 幅 | 機能 |
|------|----|---|---------------------|
| O | 出力 | 1 | 汎用配線への MUX の出力 |
| I0 | 入力 | 1 | 入力 (MUXF7 LO 出力に接続) |
| I1 | 入力 | 1 | 入力 (MUXF7 LO 出力に接続) |
| S | 入力 | 1 | MUX への入力セレクト |

デザインの入力方法

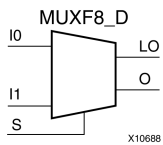
このエレメントは、回路図で使用できます。

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

MUXF8_D

プリミティブ：2-to-1 Look-Up Table Multiplexer with Dual Output



概要

このデザイン エLEMENTは、ルックアップ テーブル、MUXF5、MUXF6、および MUXF7 を組み合わせて、スライス 8 個に 8 ファンクションのルックアップ テーブルまたは 32:1 マルチプレクサーを作成するためのマルチプレクサーです。I0 および I1 入力には、MUXF7 のローカル出力 (LO) を接続します。セレクト入力 (S) は、どの内部ネットでも駆動できます。S が Low の場合は I0 が選択され、High の場合は I1 が選択されます。

出力 O と LO は、機能的に同じです。出力 O は汎用インターコネクトです。LO 出力は、同じ CLB スライス内にある別の入力との接続に使用します。

論理表

| 入力 | | | 出力 | |
|----|----|----|----|----|
| S | I0 | I1 | O | LO |
| 0 | I0 | X | I0 | I0 |
| 1 | X | I1 | I1 | I1 |
| X | 0 | 0 | 0 | 0 |
| X | 1 | 1 | 1 | 1 |

ポートの説明

| ポート名 | 方向 | 幅 | 機能 |
|------|----|---|---------------------|
| O | 出力 | 1 | 汎用配線への MUX の出力 |
| LO | 出力 | 1 | ローカル配線への MUX の出力 |
| I0 | 入力 | 1 | 入力 (MUXF7 LO 出力に接続) |
| I1 | 入力 | 1 | 入力 (MUXF7 LO 出力に接続) |
| S | 入力 | 1 | MUX への入力セレクト |

デザインの入力方法

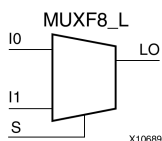
このELEMENTは、回路図で使用できます。

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

MUXF8_L

プリミティブ : 2-to-1 Look-Up Table Multiplexer with Local Output



概要

このデザイン エレメントは、ルックアップ テーブル、MUXF5、MUXF6、および MUXF7 を組み合わせて、スライス 8 個に 8 ファンクションのルックアップ テーブルまたは 32:1 マルチプレクサーを作成するためのマルチプレクサーです。I0 および I1 入力には、MUXF7 のローカル出力 (LO) を接続します。セレクト入力 (S) は、どの内部ネットでも駆動できます。S が Low の場合は I0 が選択され、High の場合は I1 が選択されます。

LO 出力は、同じ CLB スライス内にある別の入力との接続に使用します。

論理表

| 入力 | | | 出力 |
|----|----|----|----|
| S | I0 | I1 | LO |
| 0 | I0 | X | I0 |
| 1 | X | I1 | I1 |
| X | 0 | 0 | 0 |
| X | 1 | 1 | 1 |

ポートの説明

| ポート名 | 方向 | 幅 | 機能 |
|------|----|---|---------------------|
| LO | 出力 | 1 | ローカル配線への MUX の出力 |
| I0 | 入力 | 1 | 入力 (MUXF7 LO 出力に接続) |
| I1 | 入力 | 1 | 入力 (MUXF7 LO 出力に接続) |
| S | 入力 | 1 | MUX への入力セレクト |

デザインの入力方法

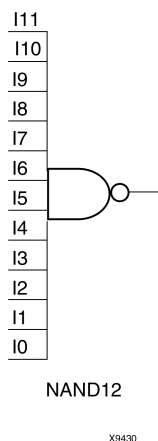
このエレメントは、回路図で使用できます。

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

NAND12

マクロ：12-Input NAND Gate with Non-Inverted Inputs



概要

5 入力までの NAND ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NAND ファンクションには、非反転入力のみが使用されています。入力を反転するには、外部インバーターを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

デザインの入力方法

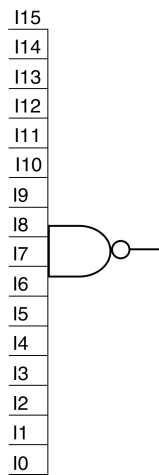
このエレメントは、回路図でのみ使用できます。

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

NAND16

マクロ：16-Input NAND Gate with Non-Inverted Inputs



NAND16

X9431

概要

5 入力までの NAND ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NAND ファンクションには、非反転入力のみが使用されています。入力を反転するには、外部インバーターを使用します。各入力に 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

デザインの入力方法

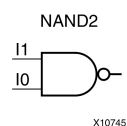
このエレメントは、回路図でのみ使用できます。

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

NAND2

プリミティブ：2-Input NAND Gate with Non-Inverted Inputs



概要

5 入力までの NAND ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NAND ファンクションには、非反転入力のみが使用されています。入力を反転するには、外部インバーターを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

デザインの入力方法

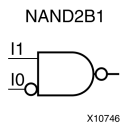
このエレメントは、回路図でのみ使用できます。

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

NAND2B1

プリミティブ：2-Input NAND Gate with 1 Inverted and 1 Non-Inverted Inputs



概要

5 入力までの NAND ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NAND ファンクションには、非反転入力のみが使用されています。入力を反転するには、外部インバーターを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

デザインの入力方法

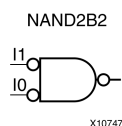
このエレメントは、回路図でのみ使用できます。

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

NAND2B2

プリミティブ：2-Input NAND Gate with Inverted Inputs



概要

5 入力までの NAND ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NAND ファンクションには、非反転入力のみが使用されています。入力を反転するには、外部インバーターを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

デザインの入力方法

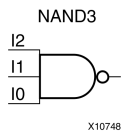
このエレメントは、回路図でのみ使用できます。

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

NAND3

プリミティブ：3-Input NAND Gate with Non-Inverted Inputs



概要

5 入力までの NAND ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NAND ファンクションには、非反転入力のみが使用されています。入力を反転するには、外部インバーターを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

デザインの入力方法

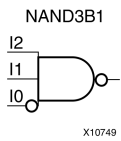
このエレメントは、回路図でのみ使用できます。

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

NAND3B1

プリミティブ：3-Input NAND Gate with 1 Inverted and 2 Non-Inverted Inputs



概要

5 入力までの NAND ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NAND ファンクションには、非反転入力のみが使用されています。入力を反転するには、外部インバーターを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

デザインの入力方法

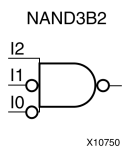
このエレメントは、回路図でのみ使用できます。

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

NAND3B2

プリミティブ：3-Input NAND Gate with 2 Inverted and 1 Non-Inverted Inputs



概要

5 入力までの NAND ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NAND ファンクションには、非反転入力のみが使用されています。入力を反転するには、外部インバーターを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

デザインの入力方法

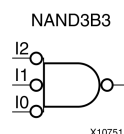
このエレメントは、回路図でのみ使用できます。

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

NAND3B3

プリミティブ：3-Input NAND Gate with Inverted Inputs



概要

5 入力までの NAND ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NAND ファンクションには、非反転入力のみが使用されています。入力を反転するには、外部インバーターを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

デザインの入力方法

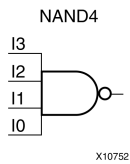
このエレメントは、回路図でのみ使用できます。

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

NAND4

プリミティブ：4-Input NAND Gate with Non-Inverted Inputs



概要

5 入力までの NAND ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NAND ファンクションには、非反転入力のみが使用されています。入力を反転するには、外部インバーターを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

デザインの入力方法

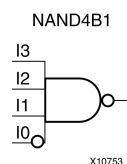
このエレメントは、回路図でのみ使用できます。

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

NAND4B1

プリミティブ：4-Input NAND Gate with 1 Inverted and 3 Non-Inverted Inputs



概要

5 入力までの NAND ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NAND ファンクションには、非反転入力のみが使用されています。入力を反転するには、外部インバーターを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

デザインの入力方法

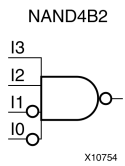
このエレメントは、回路図でのみ使用できます。

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

NAND4B2

プリミティブ：4-Input NAND Gate with 2 Inverted and 2 Non-Inverted Inputs



概要

5 入力までの NAND ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NAND ファンクションには、非反転入力のみが使用されています。入力を反転するには、外部インバーターを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

デザインの入力方法

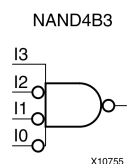
このエレメントは、回路図でのみ使用できます。

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

NAND4B3

プリミティブ：4-Input NAND Gate with 3 Inverted and 1 Non-Inverted Inputs



概要

5 入力までの NAND ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NAND ファンクションには、非反転入力のみが使用されています。入力を反転するには、外部インバーターを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

デザインの入力方法

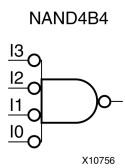
このエレメントは、回路図でのみ使用できます。

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

NAND4B4

プリミティブ：4-Input NAND Gate with Inverted Inputs



概要

5 入力までの NAND ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NAND ファンクションには、非反転入力のみが使用されています。入力を反転するには、外部インバーターを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

デザインの入力方法

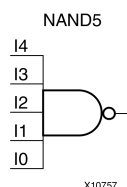
このエレメントは、回路図でのみ使用できます。

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

NAND5

プリミティブ：5-Input NAND Gate with Non-Inverted Inputs



概要

5 入力までの NAND ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NAND ファンクションには、非反転入力のみが使用されています。入力を反転するには、外部インバーターを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

デザインの入力方法

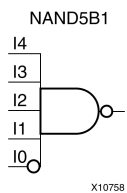
このエレメントは、回路図でのみ使用できます。

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

NAND5B1

プリミティブ：5-Input NAND Gate with 1 Inverted and 4 Non-Inverted Inputs



概要

5 入力までの NAND ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NAND ファンクションには、非反転入力のみが使用されています。入力を反転するには、外部インバーターを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

デザインの入力方法

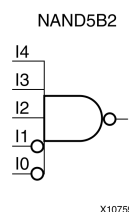
このエレメントは、回路図でのみ使用できます。

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

NAND5B2

プリミティブ：5-Input NAND Gate with 2 Inverted and 3 Non-Inverted Inputs



概要

5 入力までの NAND ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NAND ファンクションには、非反転入力のみが使用されています。入力を反転するには、外部インバーターを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

デザインの入力方法

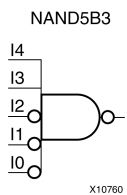
このエレメントは、回路図でのみ使用できます。

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

NAND5B3

プリミティブ：5-Input NAND Gate with 3 Inverted and 2 Non-Inverted Inputs



概要

5 入力までの NAND ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NAND ファンクションには、非反転入力のみが使用されています。入力を反転するには、外部インバーターを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

デザインの入力方法

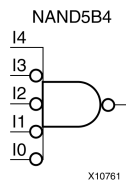
このエレメントは、回路図でのみ使用できます。

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

NAND5B4

プリミティブ：5-Input NAND Gate with 4 Inverted and 1 Non-Inverted Inputs



概要

5 入力までの NAND ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NAND ファンクションには、非反転入力のみが使用されています。入力を反転するには、外部インバーターを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

デザインの入力方法

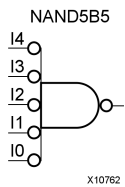
このエレメントは、回路図でのみ使用できます。

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

NAND5B5

プリミティブ：5-Input NAND Gate with Inverted Inputs



概要

5 入力までの NAND ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NAND ファンクションには、非反転入力のみが使用されています。入力を反転するには、外部インバーターを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

デザインの入力方法

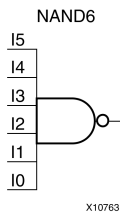
このエレメントは、回路図でのみ使用できます。

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

NAND6

マクロ：6-Input NAND Gate with Non-Inverted Inputs



概要

5 入力までの NAND ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NAND ファンクションには、非反転入力のみが使用されています。入力を反転するには、外部インバーターを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

デザインの入力方法

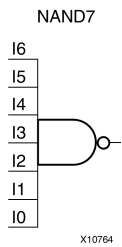
このエレメントは、回路図でのみ使用できます。

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

NAND7

マクロ：7-Input NAND Gate with Non-Inverted Inputs



概要

5 入力までの NAND ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NAND ファンクションには、非反転入力のみが使用されています。入力を反転するには、外部インバーターを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

デザインの入力方法

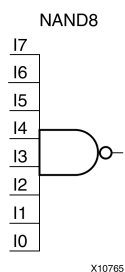
このエレメントは、回路図でのみ使用できます。

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

NAND8

マクロ：8-Input NAND Gate with Non-Inverted Inputs



概要

5 入力までの NAND ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NAND ファンクションには、非反転入力のみが使用されています。入力を反転するには、外部インバーターを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

デザインの入力方法

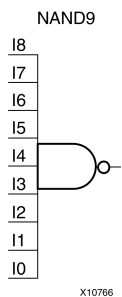
このエレメントは、回路図でのみ使用できます。

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

NAND9

マクロ：9-Input NAND Gate with Non-Inverted Inputs



概要

5 入力までの NAND ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NAND ファンクションには、非反転入力のみが使用されています。入力を反転するには、外部インバーターを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

デザインの入力方法

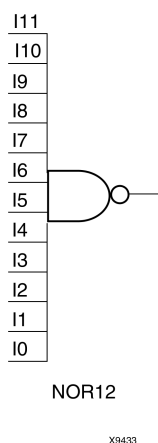
このエレメントは、回路図でのみ使用できます。

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

NOR12

マクロ：12-Input NOR Gate with Non-Inverted Inputs



概要

5 入力までの NOR ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NOR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバーターを使用します。各入力に 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

デザインの入力方法

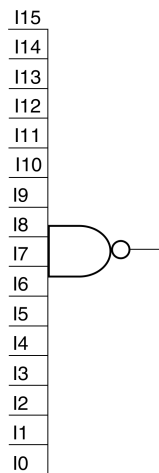
このエレメントは、回路図でのみ使用できます。

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

NOR16

マクロ：16-Input NOR Gate with Non-Inverted Inputs



NOR16

X9434

概要

5 入力までの NOR ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NOR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバーターを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

デザインの入力方法

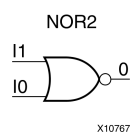
このエレメントは、回路図でのみ使用できます。

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

NOR2

プリミティブ：2-Input NOR Gate with Non-Inverted Inputs



概要

5 入力までの NOR ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NOR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバーターを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

デザインの入力方法

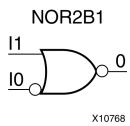
このエレメントは、回路図でのみ使用できます。

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

NOR2B1

プリミティブ：2-Input NOR Gate with 1 Inverted and 1 Non-Inverted Inputs



概要

5 入力までの NOR ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NOR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバーターを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

デザインの入力方法

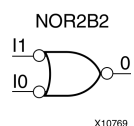
このエレメントは、回路図でのみ使用できます。

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

NOR2B2

プリミティブ：2-Input NOR Gate with Inverted Inputs



概要

5 入力までの NOR ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NOR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバーターを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

デザインの入力方法

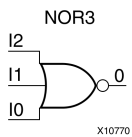
このエレメントは、回路図でのみ使用できます。

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

NOR3

プリミティブ：3-Input NOR Gate with Non-Inverted Inputs



概要

5 入力までの NOR ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NOR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバーターを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

デザインの入力方法

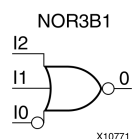
このエレメントは、回路図でのみ使用できます。

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

NOR3B1

プリミティブ：3-Input NOR Gate with 1 Inverted and 2 Non-Inverted Inputs



概要

5 入力までの NOR ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NOR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバーターを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

デザインの入力方法

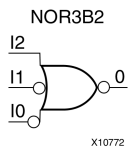
このエレメントは、回路図でのみ使用できます。

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

NOR3B2

プリミティブ：3-Input NOR Gate with 2 Inverted and 1 Non-Inverted Inputs



概要

5 入力までの NOR ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NOR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバーターを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

デザインの入力方法

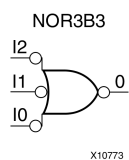
このエレメントは、回路図でのみ使用できます。

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

NOR3B3

プリミティブ：3-Input NOR Gate with Inverted Inputs



概要

5 入力までの NOR ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NOR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバーターを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

デザインの入力方法

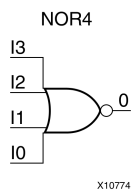
このエレメントは、回路図でのみ使用できます。

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

NOR4

プリミティブ：4-Input NOR Gate with Non-Inverted Inputs



概要

5 入力までの NOR ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NOR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバーターを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

デザインの入力方法

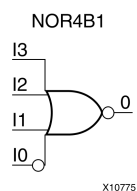
このエレメントは、回路図でのみ使用できます。

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

NOR4B1

プリミティブ：4-Input NOR Gate with 1 Inverted and 3 Non-Inverted Inputs



概要

5 入力までの NOR ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NOR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバーターを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

デザインの入力方法

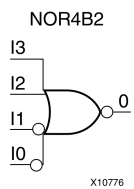
このエレメントは、回路図でのみ使用できます。

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

NOR4B2

プリミティブ：4-Input NOR Gate with 2 Inverted and 2 Non-Inverted Inputs



概要

5 入力までの NOR ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NOR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバーターを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

デザインの入力方法

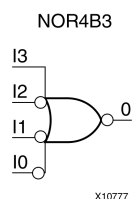
このエレメントは、回路図でのみ使用できます。

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

NOR4B3

プリミティブ：4-Input NOR Gate with 3 Inverted and 1 Non-Inverted Inputs



概要

5 入力までの NOR ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NOR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバーターを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

デザインの入力方法

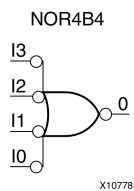
このエレメントは、回路図でのみ使用できます。

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

NOR4B4

プリミティブ：4-Input NOR Gate with Inverted Inputs



概要

5 入力までの NOR ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NOR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバーターを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

デザインの入力方法

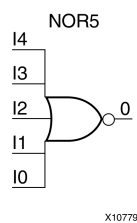
このエレメントは、回路図でのみ使用できます。

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

NOR5

プリミティブ：5-Input NOR Gate with Non-Inverted Inputs



概要

5 入力までの NOR ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NOR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバーターを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

デザインの入力方法

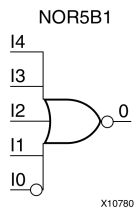
このエレメントは、回路図でのみ使用できます。

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

NOR5B1

プリミティブ：5-Input NOR Gate with 1 Inverted and 4 Non-Inverted Inputs



概要

5 入力までの NOR ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NOR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバーターを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

デザインの入力方法

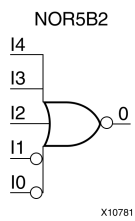
このエレメントは、回路図でのみ使用できます。

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

NOR5B2

プリミティブ：5-Input NOR Gate with 2 Inverted and 3 Non-Inverted Inputs



概要

5 入力までの NOR ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NOR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバーターを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

デザインの入力方法

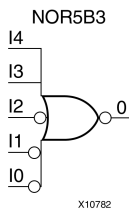
このエレメントは、回路図でのみ使用できます。

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

NOR5B3

プリミティブ：5-Input NOR Gate with 3 Inverted and 2 Non-Inverted Inputs



概要

5 入力までの NOR ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NOR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバーターを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

デザインの入力方法

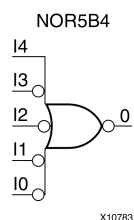
このエレメントは、回路図でのみ使用できます。

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

NOR5B4

プリミティブ：5-Input NOR Gate with 4 Inverted and 1 Non-Inverted Inputs



概要

5 入力までの NOR ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NOR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバーターを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

デザインの入力方法

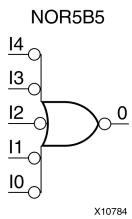
このエレメントは、回路図でのみ使用できます。

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

NOR5B5

プリミティブ：5-Input NOR Gate with Inverted Inputs



概要

5 入力までの NOR ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NOR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバーターを使用します。各入力に 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

デザインの入力方法

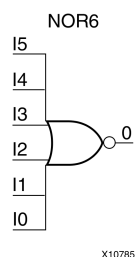
このエレメントは、回路図でのみ使用できます。

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

NOR6

マクロ：6-Input NOR Gate with Non-Inverted Inputs



概要

5 入力までの NOR ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NOR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバーターを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

デザインの入力方法

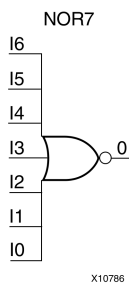
このエレメントは、回路図でのみ使用できます。

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

NOR7

マクロ：7-Input NOR Gate with Non-Inverted Inputs



概要

5 入力までの NOR ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NOR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバーターを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

デザインの入力方法

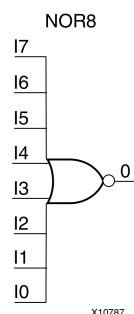
このエレメントは、回路図でのみ使用できます。

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

NOR8

マクロ：8-Input NOR Gate with Non-Inverted Inputs



概要

5 入力までの NOR ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NOR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバーターを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

デザインの入力方法

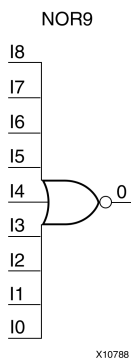
このエレメントは、回路図でのみ使用できます。

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

NOR9

マクロ：9-Input NOR Gate with Non-Inverted Inputs



概要

5 入力までの NOR ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NOR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバーターを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

デザインの入力方法

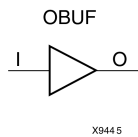
このエレメントは、回路図でのみ使用できます。

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

OBUF

プリミティブ：Output Buffer



概要

このデザイン エLEMENTは単純な出力バッファで、トライステートにならない (常に駆動される) FPGA デバイス ピンへの出力信号を駆動するために使用します。デザインのすべての出力ポートに OBUF、OBUFT、OBUFDS、OBUFTDS のいずれかを接続する必要があります。

このELEMENTは内部回路を外部から分離し、チップから出力する信号の駆動電流を供給します。I/O ブロック (IOB) 内にあります。出力 (O) は、OPAD または IOPAD に接続されます。このELEMENTでは、LVTTL 規格が使用され、DRIVE 制約と SLOW または FAST 制約を使用して駆動電流とスルー レートを選択できます。デフォルトでは、DRIVE は 12mA、スルー レートは SLOW に設定されています。

ポートの説明

| ポート名 | 方向 | 幅 | 機能 |
|------|----|---|----------------------------|
| O | 出力 | 1 | 最上位出力ポートに直接接続される OBUF の出力 |
| I | 入力 | 1 | OBUF の入力。出力ポートを駆動するロジックに接続 |

デザインの入力方法

このELEMENTは、回路図で使用できます。

使用可能な属性

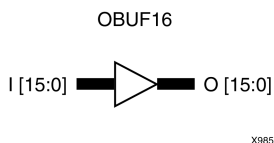
| 属性 | データ型 | 値 | デフォルト | 説明 |
|------------|------|------------------|-----------|--|
| DRIVE | 整数 | 2、4、6、8、12、16、24 | 12 | 出力の駆動電流を指定します。許容範囲で最も低い値を使用してください。 |
| IOSTANDARD | 文字列 | データシートを参照 | "DEFAULT" | ELEMENTに I/O 規格を割り当てます。 |
| SLEW | 文字列 | "SLOW"、"FAST" | "SLOW" | 出力ドライバーのスルー レートを指定します。この属性の最適な設定方法は、データシートを参照してください。 |

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

OBUF16

マクロ：16-Bit Output Buffer



概要

このデザイン エLEMENTは、複数出力バッファです。

このELEMENTは内部回路を外部から分離し、チップから出力する信号の駆動電流を供給します。I/O ブロック (IOB) 内にあります。出力 (O) は、OPAD または IOPAD に接続されます。このELEMENTでは、LVTTTL 規格が使用され、DRIVE 制約と SLOW または FAST 制約を使用して駆動電流とスルー レートを選択できます。デフォルトでは、DRIVE は 12mA、スルー レートは SLOW に設定されています。

デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

使用可能な属性

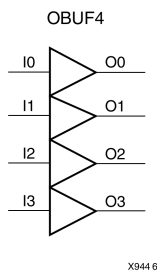
| 属性 | データ型 | 値 | デフォルト | 説明 |
|------------|------|------------------|-----------|---|
| DRIVE | 整数 | 2、4、6、8、12、16、24 | 12 | 出力の駆動電流を指定します。許容範囲で最も低い値を使用してください。 |
| IOSTANDARD | 文字列 | データシートを参照 | "DEFAULT" | ELEMENTに I/O 規格を割り当てます。 |
| SLEW | 文字列 | "SLOW"、"FAST" | "SLOW" | 出力ドライバースルー レートを指定します。この属性の最適な設定方法は、データシートを参照してください。 |

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

OBUF4

マクロ：4-Bit Output Buffer



概要

このデザイン エLEMENTは、複数出力バッファです。

このELEMENTは内部回路を外部から分離し、チップから出力する信号の駆動電流を供給します。I/O ブロック (IOB) 内にあります。出力 (O) は、OPAD または IOPAD に接続されます。このELEMENTでは、LVTTTL 規格が使用され、DRIVE 制約と SLOW または FAST 制約を使用して駆動電流とスルー レートを選択できます。デフォルトでは、DRIVE は 12mA、スルー レートは SLOW に設定されています。

デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

使用可能な属性

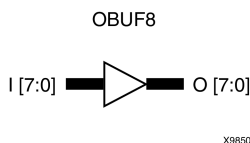
| 属性 | データ型 | 値 | デフォルト | 説明 |
|------------|------|------------------|-----------|--|
| DRIVE | 整数 | 2、4、6、8、12、16、24 | 12 | 出力の駆動電流を指定します。許容範囲で最も低い値を使用してください。 |
| IOSTANDARD | 文字列 | データシートを参照 | "DEFAULT" | ELEMENTに I/O 規格を割り当てます。 |
| SLEW | 文字列 | "SLOW"、"FAST" | "SLOW" | 出力ドライバーのスルー レートを指定します。この属性の最適な設定方法は、データシートを参照してください。 |

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

OBUF8

マクロ：8-Bit Output Buffer



概要

このデザイン エレメントは、複数出力バッファです。

このエレメントは内部回路を外部から分離し、チップから出力する信号の駆動電流を供給します。I/O ブロック (IOB) 内にあります。出力 (O) は、OPAD または IOPAD に接続されます。このエレメントでは、LVTTL 規格が使用され、DRIVE 制約と SLOW または FAST 制約を使用して駆動電流とスルー レートを選択できます。デフォルトでは、DRIVE は 12mA、スルー レートは SLOW に設定されています。

デザインの入力方法

このエレメントは、回路図でのみ使用できます。

使用可能な属性

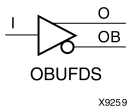
| 属性 | データ型 | 値 | デフォルト | 説明 |
|------------|------|------------------|-----------|---|
| DRIVE | 整数 | 2、4、6、8、12、16、24 | 12 | 出力の駆動電流を指定します。許容範囲で最も低い値を使用してください。 |
| IOSTANDARD | 文字列 | データシートを参照 | "DEFAULT" | エレメントに I/O 規格を割り当てます。 |
| SLEW | 文字列 | "SLOW"、"FAST" | "SLOW" | 出力ドライバースルー レートを指定します。この属性の最適な設定方法は、データシートを参照してください。 |

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

OBUFDS

プリミティブ：Differential Signaling Output Buffer



概要

このデザイン エLEMENTは、低電圧の差動信号 (1.8V CMOS) をサポートする単一の出力バッファです。内部回路を外部から分離し、チップから出力する信号の駆動電流を供給します。出力には 2 つの異なるポート (O および OB) があり、これらのポートをそれぞれ「マスター」および「スレーブ」と呼びます。マスターとスレーブは MYNET と MYNETB のように、同じ論理信号の反対の状態を示します。

論理表

| 入力 | 出力 | |
|----|----|----|
| I | O | OB |
| 0 | 0 | 1 |
| 1 | 1 | 0 |

ポートの説明

| ポート名 | 方向 | 幅 | 機能 |
|------|----|---|-------------------------|
| O | 出力 | 1 | Diff_p 出力 (最上位ポートに直接接続) |
| OB | 出力 | 1 | Diff_n 出力 (最上位ポートに直接接続) |
| I | 入力 | 1 | バッファの入力 |

デザインの入力方法

このELEMENTは、回路図で使用できます。

使用可能な属性

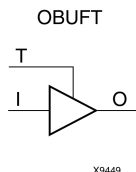
| 属性 | データ型 | 値 | デフォルト | 説明 |
|------------|------|-----------|-----------|-------------------------|
| IOSTANDARD | 文字列 | データシートを参照 | "DEFAULT" | ELEMENTに I/O 規格を割り当てます。 |

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

OBUFT

プリミティブ：3-State Output Buffer with Active Low Output Enable



概要

このデザイン エレメントは、入力 (I)、出力 (O)、アクティブ Low 出力イネーブル (T) を持つ単一のトリステート出力バッファです。このエレメントでは、LVTTTL 規格が使用され、DRIVE 制約と SLOW または FAST 制約を使用して駆動電流とスルー レートを選択できます。デフォルトでは、DRIVE=12mA、スルー レートは SLOW に設定されています。

T が Low の場合、バッファーに入力された値が対応する出力に送られます。T が High の場合は、出力がハイ インピーダンス (オフまたは Z ステート) になります。OBUFT は、双方向 I/O を作成するなど、トリステート機能にシングルエンド出力を使用する必要がある場合に使用します。

論理表

| 入力 | | 出力 |
|----|---|----|
| T | I | O |
| 1 | X | Z |
| 0 | 1 | 1 |
| 0 | 0 | 0 |

ポートの説明

| ポート名 | 方向 | 幅 | 機能 |
|------|----|---|-----------------------|
| O | 出力 | 1 | バッファー出力 (最上位ポートに直接接続) |
| I | 入力 | 1 | バッファーの入力 |
| T | 入力 | 1 | トリステート イネーブル入力 |

デザインの入力方法

このエレメントは、回路図で使用できます。

使用可能な属性

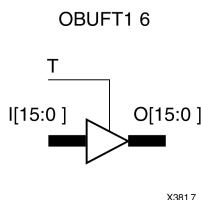
| 属性 | データ型 | 値 | デフォルト | 説明 |
|------------|------|------------------|-----------|--|
| DRIVE | 整数 | 2、4、6、8、12、16、24 | 12 | 出力の駆動電流を指定します。デザインの駆動電流およびタイミング要件で許容される最も低い値を使用してください。 |
| IOSTANDARD | 文字列 | データシートを参照 | "DEFAULT" | エレメントに I/O 規格を割り当てます。 |
| SLEW | 文字列 | "SLOW"、"FAST" | "SLOW" | 出力ドライバースルー レートを指定します。この属性の最適な設定方法は、データシートを参照してください。 |

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

OBUFT16

マクロ : 16-Bit 3-State Output Buffer with Active Low Output Enable



概要

このデザイン エレメントは、入力 (I)、出力 (O)、アクティブ Low 出力イネーブル (T) を持つ複数のトライステート出力バッファです。このエレメントでは、LVTTTL 規格が使用され、DRIVE 制約と SLOW または FAST 制約を使用して駆動電流とスルー レートを選択できます。デフォルトでは、DRIVE=12mA、スルー レートは SLOW に設定されています。

T が Low の場合、バッファに入力された値が対応する出力に送られます。T が High の場合は、出力がハイ インピーダンス (オフまたは Z ステート) になります。OBUFT は、双方向 I/O を作成するなど、トライステート機能にシングルエンド出力を使用する必要がある場合に使用します。

論理表

| 入力 | | 出力 |
|----|---|----|
| T | I | O |
| 1 | X | Z |
| 0 | 1 | 1 |
| 0 | 0 | 0 |

デザインの入力方法

このエレメントは、回路図でのみ使用できます。

使用可能な属性

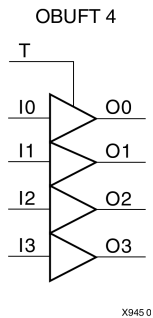
| 属性 | データ型 | 値 | デフォルト | 説明 |
|------------|------|------------------|-----------|--|
| DRIVE | 整数 | 2、4、6、8、12、16、24 | 12 | 出力の駆動電流を指定します。デザインの駆動電流およびタイミング要件で許容される最も低い値を使用してください。 |
| IOSTANDARD | 文字列 | データシートを参照 | "DEFAULT" | エレメントに I/O 規格を割り当てます。 |
| SLEW | 文字列 | "SLOW"、"FAST" | "SLOW" | 出力ドライバーのスルー レートを指定します。この属性の最適な設定方法は、データシートを参照してください。 |

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

OBUFT4

マクロ：4-Bit 3-State Output Buffers with Active-Low Output Enable



概要

このデザイン エLEMENTは、入力 (I)、出力 (O)、アクティブ Low 出力イネーブル (T) を持つ複数のトライステート出力バッファです。このELEMENTでは、LVTTTL 規格が使用され、DRIVE 制約と SLOW または FAST 制約を使用して駆動電流とスルー レートを選択できます。デフォルトでは、DRIVE=12mA、スルー レートは SLOW に設定されています。

T が Low の場合、バッファに入力された値が対応する出力に送られます。T が High の場合は、出力がハイ インピーダンス (オフまたは Z ステート) になります。OBUFT は、双方向 I/O を作成するなど、トライステート機能にシングルエンド出力を使用する必要がある場合に使用します。

論理表

| 入力 | | 出力 |
|----|---|----|
| T | I | O |
| 1 | X | Z |
| 0 | 1 | 1 |
| 0 | 0 | 0 |

デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

使用可能な属性

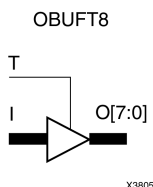
| 属性 | データ型 | 値 | デフォルト | 説明 |
|------------|------|------------------|-----------|--|
| DRIVE | 整数 | 2、4、6、8、12、16、24 | 12 | 出力の駆動電流を指定します。デザインの駆動電流およびタイミング要件で許容される最も低い値を使用してください。 |
| IOSTANDARD | 文字列 | データシートを参照 | "DEFAULT" | ELEMENTに I/O 規格を割り当てます。 |
| SLEW | 文字列 | "SLOW"、"FAST" | "SLOW" | 出力ドライバのスルー レートを指定します。この属性の最適な設定方法は、データシートを参照してください。 |

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

OBUFT8

マクロ：8-Bit 3-State Output Buffers with Active-Low Output Enable



概要

このデザイン エLEMENTは、入力 (I)、出力 (O)、アクティブ Low 出力イネーブル (T) を持つ複数のトリステート出力バッファです。このELEMENTでは、LVTTL 規格が使用され、DRIVE 制約と SLOW または FAST 制約を使用して駆動電流とスルー レートを選択できます。デフォルトでは、DRIVE=12mA、スルー レートは SLOW に設定されています。

T が Low の場合、バッファに入力された値が対応する出力に送られます。T が High の場合は、出力がハイインピーダンス (オフまたは Z ステート) になります。OBUFT は、双方向 I/O を作成するなど、トリステート機能にシングルエンド出力を使用する必要がある場合に使用します。

論理表

| 入力 | | 出力 |
|----|---|----|
| T | I | O |
| 1 | X | Z |
| 0 | 1 | 1 |
| 0 | 0 | 0 |

デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

使用可能な属性

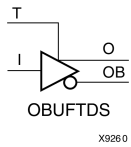
| 属性 | データ型 | 値 | デフォルト | 説明 |
|------------|------|------------------|-----------|--|
| DRIVE | 整数 | 2、4、6、8、12、16、24 | 12 | 出力の駆動電流を指定します。デザインの駆動電流およびタイミング要件で許容される最も低い値を使用してください。 |
| IOSTANDARD | 文字列 | データシートを参照 | "DEFAULT" | ELEMENTに I/O 規格を割り当てます。 |
| SLEW | 文字列 | "SLOW"、"FAST" | "SLOW" | 出力ドライバのスルー レートを指定します。この属性の最適な設定方法は、データシートを参照してください。 |

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

OBUFTDS

プリミティブ：3-State Output Buffer with Differential Signaling, Active-Low Output Enable



概要

このデザイン エLEMENTは、低電圧差動信号をサポートする出力バッファです。OBUFTDS では、デザイン レベルのインターフェイス信号は、一方が「マスター」で、もう一方が「スレーブ」となる 2 つの異なるポート (O、OB) で表されます。マスターとスレーブは MYNET_P と MYNET_N のように、同じ論理信号の反対の状態を示します。

論理表

| 入力 | | 出力 | |
|----|---|----|----|
| I | T | O | OB |
| X | 1 | Z | Z |
| 0 | 0 | 0 | 1 |
| 1 | 0 | 1 | 0 |

ポートの説明

| ポート名 | 方向 | 幅 | 機能 |
|------|----|---|-------------------------|
| O | 出力 | 1 | Diff_p 出力 (最上位ポートに直接接続) |
| OB | 出力 | 1 | Diff_n 出力 (最上位ポートに直接接続) |
| I | 入力 | 1 | バッファの入力 |
| T | 入力 | 1 | トライステート イネーブル入力 |

デザインの入力方法

このELEMENTは、回路図で使用できます。

使用可能な属性

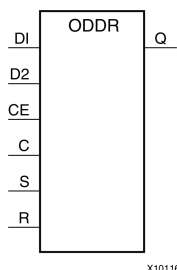
| 属性 | データ型 | 値 | デフォルト | 説明 |
|------------|------|-----------|-----------|-------------------------|
| IOSTANDARD | 文字列 | データシートを参照 | "DEFAULT" | ELEMENTに I/O 規格を割り当てます。 |

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

ODDR

プリミティブ : Dedicated Dual Data Rate (DDR) Output Register



概要

このデザイン エLEMENTは、FPGA デバイスからデュアル データレート (DDR) 信号を送信するための専用出力レジスタです。ODDR では、FPGA からのデータを送信するのに反対のクロック エッジだけではなく、同じクロック エッジを使用することも可能です。これにより、タイミングが複雑にならず、追加の CLB リソースも必要ありません。また、ODDR は SelectIO™ 機能と組み合わせて使用されます。

ODDR のモード

このELEMENTは 2 つのモードで動作します。これらのモードは、DDR_CLK_EDGE 属性で設定します。

- OPPOSITE_EDGE モード :** 通常の DDR 方式でデータを送信します。D1 はクロック C の立ち上がりエッジごとにサンプリングされ、D2 は立ち下がりエッジごとにサンプリングされます。Q は各クロック エッジで変化します。
- SAME_EDGE モード :** データはクロック C の反対のエッジで ODDR 出力から送信されますが、ODDR への 2 つの入力はクロック信号 C の立ち上がりエッジで動作し、追加されたレジスタがクロック信号 C の立ち下がりエッジで動作します。この機能を使用すると、DDR データは同じクロック エッジで ODDR に取り込まれます。

ポートの説明

| ポート名 | 方向 | 幅 | 機能 |
|---------|----|----------|---|
| Q | 出力 | 1 | データ出力 (DDR)。IOB パッドに接続されます。 |
| C | 入力 | 1 | クロック入力。クロック入力ピンです。 |
| CE | 入力 | 1 | クロック イネーブル入力。High になると、ポート C のクロック入力がいネーブルになります。 |
| D1 : D2 | 入力 | 1 (それぞれ) | データ入力。DDR データを ODDR モジュールに入力するピンです。 |
| R | 入力 | 1 | リセット。SRTYPE の設定によって異なります。 |
| S | 入力 | 1 | セット。アクティブ High の非同期セット ピンです。SRTYPE 属性の設定により、同期にもなります。 |

デザインの入力方法

このELEMENTは、回路図で使用できます。

使用可能な属性

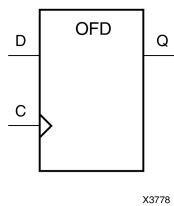
| 属性 | データ型 | 値 | デフォルト | 説明 |
|--------------|------|---------------------------------|----------------------|------------------|
| DDR_CLK_EDGE | 文字列 | "OPPOSITE_EDGE"、 "SAME_EDGE" | "OPPOSITE_ EDGE " | DDR のデータ送信モードを選択 |
| INIT | 2 進数 | 0、1 | 1 | Q の初期値 |
| SRTYPE | 文字列 | "SYNC"、"ASYNC" | "SYNC" | セット/リセットのタイプを選択 |

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

OFD

マクロ：Output D Flip-Flop



概要

このデザイン エLEMENTは単一出力の D フリップフロップです。

出力は、OPAD または IOPAD に接続されます。D 入力の値は、クロック (C) が Low から High に切り替わる時にフリップフロップにロードされ、Q に出力されます。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

| 入力 | | 出力 |
|----|---|----|
| D | C | Q |
| D | ↑ | D |

デザインの入力方法

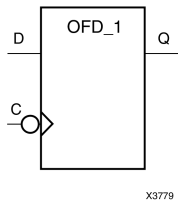
このELEMENTは、回路図でのみ使用できます。

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

OFD_1

マクロ：Output D Flip-Flop with Inverted Clock



概要

このデザイン エLEMENTは、I/O ブロック (IOB) に含まれます。D フリップフロップの出力 (Q) は、OPAD または IOPAD に接続されます。D 入力の値は、クロック (C) が High から Low に切り替わるときにフリップフロップ内にロードされ、Q に出力されます。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

| 入力 | | 出力 |
|----|---|----|
| D | C | Q |
| D | ↓ | D |

デザインの入力方法

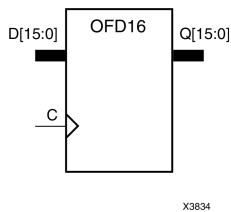
このELEMENTは、回路図でのみ使用できます。

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

OFD16

マクロ：16-Bit Output D Flip-Flop



概要

このデザイン エレメントは複数出力の D フリップフロップです。

出力は、OPAD または IOPAD に接続されます。D 入力の値は、クロック (C) が Low から High に切り替わる時にフリップフロップにロードされ、Q に出力されます。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

| 入力 | | 出力 |
|----|---|----|
| D | C | Q |
| D | ↑ | D |

デザインの入力方法

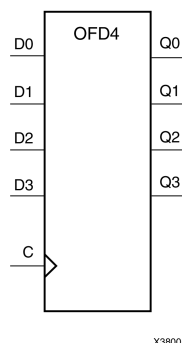
このエレメントは、回路図でのみ使用できます。

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

OFD4

マクロ：4-Bit Output D Flip-Flop



概要

このデザイン エLEMENTは複数出力の D フリップフロップです。

出力は、OPAD または IOPAD に接続されます。D 入力の値は、クロック (C) が Low から High に切り替わる時にフリップフロップにロードされ、Q に出力されます。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

| 入力 | | 出力 |
|----|---|----|
| D | C | Q |
| D | ↑ | D |

デザインの入力方法

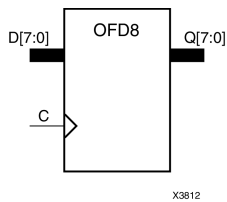
このELEMENTは、回路図でのみ使用できます。

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

OFD8

マクロ : 8-Bit Output D Flip-Flop



概要

このデザイン エLEMENTは複数出力の D フリップフロップです。

出力は、OPAD または IOPAD に接続されます。D 入力の値は、クロック (C) が Low から High に切り替わる時にフリップフロップにロードされ、Q に出力されます。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

| 入力 | | 出力 |
|----|---|----|
| D | C | Q |
| D | ↑ | D |

デザインの入力方法

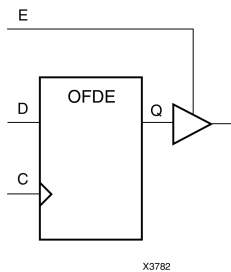
このELEMENTは、回路図でのみ使用できます。

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

OFDE

マクロ : D Flip-Flop with Active-High Enable Output Buffers



概要

このデザイン エLEMENTは単一の D フリップフロップで、出力はトリステート バッファでイネーブル制御されます。フリップフロップの出力 (Q) は、出力バッファ (OBUFE) の入力に接続されます。OBUFE の出力は、OPAD または IOPAD に接続されます。入力 (D) の値は、クロック (C) が Low から High に切り替わる時にフリップフロップにロードされます。アクティブ High のイネーブル入力 (E) が High の場合、フリップフロップの出力 (Q) の値は OBUFE の O に出力されます。E が Low になると、出力はハイ インピーダンス (Z ステートまたはオフ) になります。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

| 入力 | | | 出力 |
|----|----|---|----|
| E | D | C | O |
| 0 | X | X | Z |
| 1 | Dn | ↑ | Dn |

デザインの入力方法

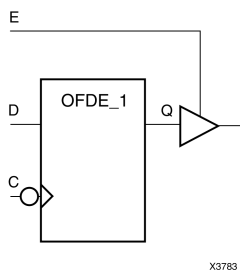
このELEMENTは、回路図でのみ使用できます。

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

OFDE_1

マクロ : D Flip-Flop with Active-High Enable Output Buffer and Inverted Clock



概要

このデザイン エLEMENTとその出力バッファは、I/O ブロック (IOB) に含まれます。フリップフロップの出力 (Q) は、出力バッファまたは OBUFE の入力に接続されます。OBUFE の出力は、OPAD または IOPAD に接続されます。入力 (D) の値は、クロック (C) が High から Low に切り替わる時にフリップフロップにロードされます。アクティブ High のイネーブル入力 (E) が High の場合、フリップフロップの出力 (Q) の値は OBUFT の O に出力されます。E が Low になると、出力はハイ インピーダンス (Z ステートまたはオフ) になります。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

| 入力 | | | 出力 |
|----|---|---|----|
| E | D | C | O |
| 0 | X | X | Z |
| 1 | D | ↓ | D |

デザインの入力方法

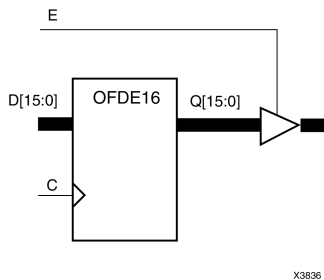
このELEMENTは、回路図でのみ使用できます。

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

OFDE16

マクロ：16-Bit D Flip-Flop with Active-High Enable Output Buffers



概要

このデザイン エLEMENTは複数の D フリップフロップで、出力はトライステート バッファでイネーブル制御されます。フリップフロップの出力 (Q) は、出力バッファ (OBUFE) の入力に接続されます。OBUFE の出力 (O) は、OPAD または IOPAD に接続されます。入力 (D) の値は、クロック (C) が Low から High に切り替わる時にフリップフロップにロードされます。アクティブ High のイネーブル入力 (E) が High のとき、フリップフロップの出力 (Q) の値が OBUFE の O に出力されます。E が Low になると、出力はハイ インピーダンス (Z ステートまたはオフ) になります。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

| 入力 | | | 出力 |
|----|----|---|----|
| E | D | C | O |
| 0 | X | X | Z |
| 1 | Dn | ↑ | Dn |

デザインの入力方法

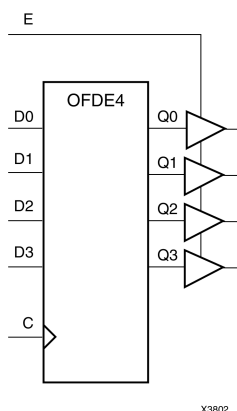
このELEMENTは、回路図でのみ使用できます。

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

OFDE4

マクロ : 4-Bit D Flip-Flop with Active-High Enable Output Buffers



概要

このデザイン エレメントは複数の D フリップフロップで、出力はトライステートバッファでイネーブル制御されます。フリップフロップの出力 (Q) は、出力バッファ (OBUFE) の入力に接続されます。OBUFE の出力 (O) は、OPAD または IOPAD に接続されます。入力 (D) の値は、クロック (C) が Low から High に切り替わる時にフリップフロップにロードされます。アクティブ High のイネーブル入力 (E) が High のとき、フリップフロップの出力 (Q) の値が OBUFE の O に出力されます。E が Low になると、出力はハイインピーダンス (Z ステートまたはオフ) になります。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。FPGA では、グローバルセット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

| 入力 | | | 出力 |
|----|----|---|----|
| E | D | C | O |
| 0 | X | X | Z |
| 1 | Dn | ↑ | Dn |

デザインの入力方法

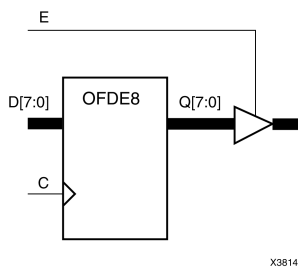
このエレメントは、回路図でのみ使用できます。

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

OFDE8

マクロ：8-Bit D Flip-Flop with Active-High Enable Output Buffers



概要

このデザイン エLEMENTは複数の D フリップフロップで、出力はトライステート バッファでイネーブル制御されます。フリップフロップの出力 (Q) は、出力バッファ (OBUFE) の入力に接続されます。OBUFE の出力 (O) は、OPAD または IOPAD に接続されます。入力 (D) の値は、クロック (C) が Low から High に切り替わる時にフリップフロップにロードされます。アクティブ High のイネーブル入力 (E) が High のとき、フリップフロップの出力 (Q) の値が OBUFE の O に出力されます。E が Low になると、出力はハイ インピーダンス (Z ステートまたはオフ) になります。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

| 入力 | | | 出力 |
|----|----|---|----|
| E | D | C | O |
| 0 | X | X | Z |
| 1 | Dn | ↑ | Dn |

デザインの入力方法

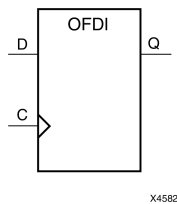
このELEMENTは、回路図でのみ使用できます。

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

OFDI

マクロ : Output D Flip-Flop (Asynchronous Preset)



概要

このデザイン エLEMENTは、I/O ブロック (IOB) に含まれます。D フリップフロップの出力 (Q) は、OPAD または IOPAD に接続されます。D 入力の値は、クロック (C) が Low から High に切り替わるときにフリップフロップにロードされ、Q に出力されます。

電力を供給すると、フリップフロップは非同期にプリセットされ、出力が High になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

| 入力 | | 出力 |
|----|---|----|
| D | C | Q |
| D | ↑ | D |

デザインの入力方法

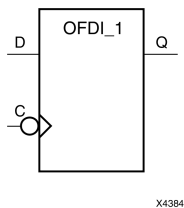
このELEMENTは、回路図でのみ使用できます。

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

OFDI_1

マクロ：Output D Flip-Flop with Inverted Clock (Asynchronous Preset)



概要

このデザイン エLEMENTは、I/O ブロック (IOB) 内に配置されます。D フリップフロップの出力 (Q) は、OPAD または IOPAD に接続されます。D 入力の値は、クロック (C) が High から Low に切り替わる時にフリップフロップ内にロードされ、Q に出力されます。

電力を供給すると、フリップフロップは非同期にプリセットされ、出力が High になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

| 入力 | | 出力 |
|----|---|----|
| D | C | Q |
| D | ↓ | D |

デザインの入力方法

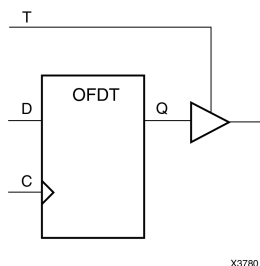
このELEMENTは、回路図でのみ使用できます。

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

OFDT

マクロ : D Flip-Flop with Active-Low 3-State Output Buffer



概要

このデザイン エレメントは単一の D フリップフロップで、出力はトリステート バッファでイネーブル制御されます。

フリップフロップの出力 (Q) は、出力バッファ (OBUFT) の入力に接続されます。OBUFT の出力 (O) は、OPAD または IOPAD に接続されます。入力 (D) の値は、クロック (C) が Low から High に切り替わる時にフリップフロップにロードされます。アクティブ Low のイネーブル入力 (T) が Low のとき、フリップフロップの出力 (Q) の値が O に出力されます。T が High になると、出力はハイ インピーダンス (オフ) になります。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

| 入力 | | | 出力 |
|----|---|---|----|
| T | D | C | O |
| 1 | X | X | Z |
| 0 | D | ↑ | D |

デザインの入力方法

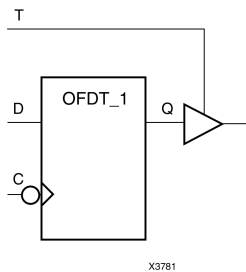
このエレメントは、回路図でのみ使用できます。

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

OFDT_1

マクロ : D Flip-Flop with Active-Low 3-State Output Buffer and Inverted Clock



概要

このデザイン エLEMENTとその出力バッファは、I/O ブロック (IOB) に含まれます。フリップフロップの出力 (Q) は、出力バッファ (OBUFT) の入力に接続されます。OBUFT の出力は、OPAD または IOPAD に接続されます。入力 (D) の値は、クロック (C) が High から Low に切り替わるときにフリップフロップにロードされます。アクティブ Low のイネーブル入力 (T) が Low のとき、フリップフロップの出力 (Q) の値が 0 に出力されます。T が High になると、出力はハイインピーダンス (オフ) になります。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

| 入力 | | | 出力 |
|----|---|---|----|
| T | D | C | O |
| 1 | X | X | Z |
| 0 | D | ↓ | D |

デザインの入力方法

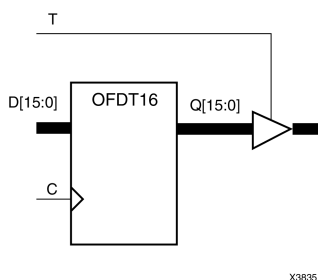
このELEMENTは、回路図でのみ使用できます。

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

OFDT16

マクロ：16-Bit D Flip-Flop with Active-Low 3-State Output Buffers



概要

このデザイン エLEMENTは複数の D フリップフロップで、出力はトリステート バッファでイネーブル制御されます。

フリップフロップの出力 (Q) は、出力バッファ (OBUFT) の入力に接続されます。OBUFT の出力 (O) は、OPAD または IOPAD に接続されます。入力 (D) の値は、クロック (C) が Low から High に切り替わる時にフリップフロップにロードされます。アクティブ Low のイネーブル入力 (T) が Low のとき、フリップフロップの出力 (Q) の値が 0 に出力されます。T が High になると、出力はハイ インピーダンス (オフ) になります。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

| 入力 | | | 出力 |
|----|---|---|----|
| T | D | C | O |
| 1 | X | X | Z |
| 0 | D | ↑ | D |

デザインの入力方法

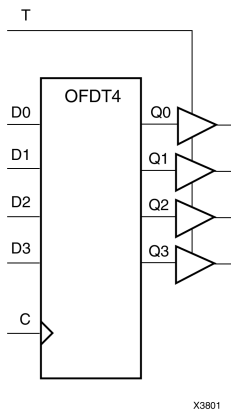
このELEMENTは、回路図でのみ使用できます。

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

OFDT4

マクロ：4-Bit D Flip-Flop with Active-Low 3-State Output Buffers



概要

このデザイン エLEMENTは複数の D フリップフロップで、出力はトリステートバッファでイネーブル制御されます。

フリップフロップの出力 (Q) は、出力バッファ (OBUFT) の入力に接続されます。OBUFT の出力 (O) は、OPAD または IOPAD に接続されます。入力 (D) の値は、クロック (C) が Low から High に切り替わる時にフリップフロップにロードされます。アクティブ Low のイネーブル入力 (T) が Low のとき、フリップフロップの出力 (Q) の値が O に出力されます。T が High になると、出力はハイ インピーダンス (オフ) になります。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

| 入力 | | | 出力 |
|----|---|---|----|
| T | D | C | O |
| 1 | X | X | Z |
| 0 | D | ↑ | D |

デザインの入力方法

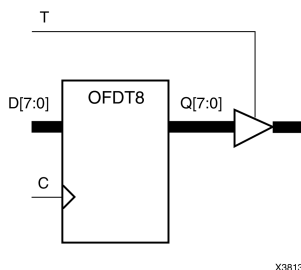
このELEMENTは、回路図でのみ使用できます。

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

OFDT8

マクロ：8-Bit D Flip-Flop with Active-Low 3-State Output Buffers



概要

このデザイン エレメントは複数の D フリップフロップで、出力はトライステートバッファでイネーブル制御されます。

フリップフロップの出力 (Q) は、出力バッファ (OBUFT) の入力に接続されます。OBUFT の出力 (O) は、OPAD または IOPAD に接続されます。入力 (D) の値は、クロック (C) が Low から High に切り替わるときにフリップフロップにロードされます。アクティブ Low のイネーブル入力 (T) が Low のとき、フリップフロップの出力 (Q) の値が O に出力されます。T が High になると、出力はハイインピーダンス (オフ) になります。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

| 入力 | | | 出力 |
|----|---|---|----|
| T | D | C | O |
| 1 | X | X | Z |
| 0 | D | ↑ | D |

デザインの入力方法

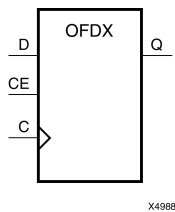
このエレメントは、回路図でのみ使用できます。

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

OFDX

マクロ：Output D Flip-Flop with Clock Enable



概要

このデザイン エLEMENTは単一出力の D フリップフロップです。Q 出力は、OPAD または IOPAD に接続されます。D 入力の値は、クロック (C) が Low から High に切り替わる時にフリップフロップ内にロードされ、Q に出力されます。クロック イネーブル (CE) が Low のときには、出力は変化しません。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

| 入力 | | | 出力 |
|----|----|---|------|
| CE | D | C | Q |
| 1 | Dn | ↑ | Dn |
| 0 | X | X | 変化なし |

デザインの入力方法

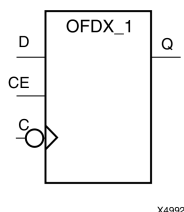
このELEMENTは、回路図でのみ使用できます。

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

OFDX_1

マクロ：Output D Flip-Flop with Inverted Clock and Clock Enable



概要

このデザイン エレメントは、I/O ブロック (IOB) に含まれます。D フリップフロップの出力 (Q) は、OPAD または IOPAD に接続されます。D 入力の値は、クロック (C) が High から Low に切り替わるときにフリップフロップ内にロードされ、Q に出力されます。クロック イネーブル (CE) が Low のときには、出力 (Q) は変化しません。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

| 入力 | | | 出力 |
|----|---|---|------|
| CE | D | C | Q |
| 1 | D | ↓ | D |
| 0 | X | X | 変化なし |

デザインの入力方法

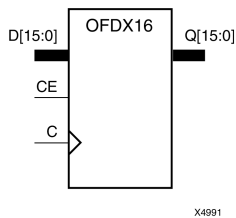
このエレメントは、回路図でのみ使用できます。

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

OFDX16

マクロ：16-Bit Output D Flip-Flop with Clock Enable



概要

このデザイン エLEMENTは複数出力の D フリップフロップです。Q 出力は、OPAD または IOPAD に接続されます。D 入力の値は、クロック (C) が Low から High に切り替わるときにフリップフロップ内にロードされ、Q に出力されます。クロック イネーブル (CE) が Low のときには、出力は変化しません。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

| 入力 | | | 出力 |
|----|----|---|------|
| CE | D | C | Q |
| 1 | Dn | ↑ | Dn |
| 0 | X | X | 変化なし |

デザインの入力方法

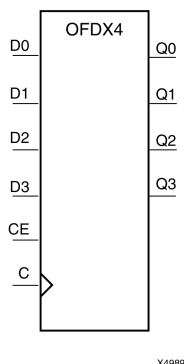
このELEMENTは、回路図でのみ使用できます。

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

OFDX4

マクロ：4-Bit Output D Flip-Flop with Clock Enable



概要

このデザイン エレメントは複数出力の D フリップフロップです。Q 出力は、OPAD または IOPAD に接続されます。D 入力の値は、クロック (C) が Low から High に切り替わるときにフリップフロップ内にロードされ、Q に出力されます。クロック イネーブル (CE) が Low のときには、出力は変化しません。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

| 入力 | | | 出力 |
|----|----|---|------|
| CE | D | C | Q |
| 1 | Dn | ↑ | Dn |
| 0 | X | X | 変化なし |

デザインの入力方法

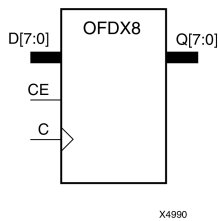
このエレメントは、回路図でのみ使用できます。

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

OFDX8

マクロ：8-Bit Output D Flip-Flop with Clock Enable



概要

このデザイン エLEMENTは複数出力の D フリップフロップです。Q 出力は、OPAD または IOPAD に接続されます。D 入力の値は、クロック (C) が Low から High に切り替わるときにフリップフロップ内にロードされ、Q に出力されます。クロック イネーブル (CE) が Low のときには、出力は変化しません。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

| 入力 | | | 出力 |
|----|----|---|------|
| CE | D | C | Q |
| 1 | Dn | ↑ | Dn |
| 0 | X | X | 変化なし |

デザインの入力方法

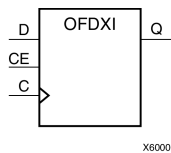
このELEMENTは、回路図でのみ使用できます。

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

OFDXI

マクロ：Output D Flip-Flop with Clock Enable (Asynchronous Preset)



概要

このデザイン エレメントは、I/O ブロック (IOB) に含まれます。D フリップフロップの出力 (Q) は、OPAD または IOPAD に接続されます。D 入力の値は、クロック (C) が Low から High に切り替わるときにフリップフロップにロードされ、Q に出力されます。クロック イネーブル (CE) が Low のときには、出力は変化しません。

電力を供給すると、フリップフロップは非同期にプリセットされ、出力が High になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

| 入力 | | | 出力 |
|----|---|---|------|
| CE | D | C | Q |
| 1 | D | ↑ | D |
| 0 | X | X | 変化なし |

デザインの入力方法

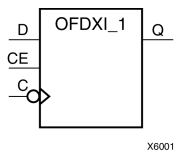
このエレメントは、回路図でのみ使用できます。

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

OFDXI_1

マクロ：Output D Flip-Flop with Inverted Clock and Clock Enable (Asynchronous Preset)



概要

このデザイン エLEMENTは、I/O ブロック (IOB) に含まれます。D フリップフロップの出力 (Q) は、OPAD または IOPAD に接続されます。D 入力の値は、クロック (C) が High から Low に切り替わる時にフリップフロップ内にロードされ、Q に出力されます。クロック イネーブル (CE) が Low のときには、出力 (Q) は変化しません。

電力を供給すると、フリップフロップは非同期にプリセットされ、出力が High になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

| 入力 | | | 出力 |
|----|---|---|------|
| CE | D | C | Q |
| 1 | D | ↓ | D |
| 0 | X | X | 変化なし |

デザインの入力方法

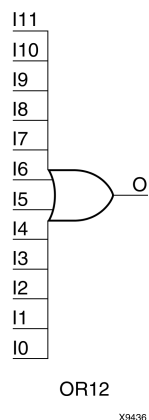
このELEMENTは、回路図でのみ使用できます。

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

OR12

マクロ：12-Input OR Gate with Non-Inverted Inputs



概要

5 入力までの OR ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の OR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバーターを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

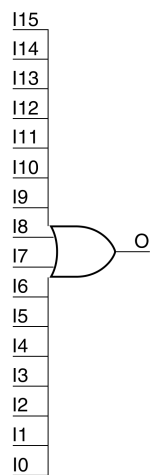
このエレメントは、回路図でのみ使用できます。

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

OR16

マクロ：16-Input OR Gate with Non-Inverted Inputs



OR16

X9437

概要

5 入力までの OR ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の OR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバーターを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

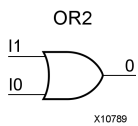
このエレメントは、回路図でのみ使用できます。

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

OR2

プリミティブ：2-Input OR Gate with Non-Inverted Inputs



概要

5 入力までの OR ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の OR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバーターを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

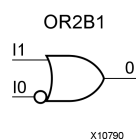
このエレメントは、回路図でのみ使用できます。

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

OR2B1

プリミティブ：2-Input OR Gate with 1 Inverted and 1 Non-Inverted Inputs



概要

5 入力までの OR ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の OR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバーターを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

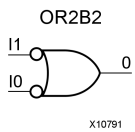
このエレメントは、回路図でのみ使用できます。

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

OR2B2

プリミティブ：2-Input OR Gate with Inverted Inputs



概要

5 入力までの OR ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の OR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバーターを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

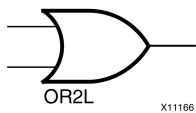
このエレメントは、回路図でのみ使用できます。

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

OR2L

プリミティブ：Two input OR gate implemented in place of a Slice Latch



概要

このデザイン エLEMENTでは、コンフィギュレーション可能なスライス ラッチで 2 入力 OR ゲートのファンクションが使用されます (論理表を参照)。このELEMENTを使用すると、ロジックのレジスタ/ラッチ リソース数をトレードオフすることで、ロジック レベルを削減して、デバイスのロジック集積度を高めることができます。このELEMENTはレジスタのパックおよび集積度に影響を与えるので注意してください。スライスで AND2B1L または OR2L ELEMENTを指定すると、残りのレジスタおよびラッチが使用できなくなります。

論理表

| 入力 | | 出力 |
|----|-----|----|
| DI | SRI | O |
| 0 | 0 | 0 |
| 0 | 1 | 1 |
| 1 | 0 | 1 |
| 1 | 1 | 1 |

ポートの説明

| ポート名 | 方向 | 幅 | 機能 |
|------|----|---|--|
| O | 出力 | 1 | OR ゲートの出力 |
| DI | 入力 | 1 | 同じスライスにあるソース LUT に通常接続されるアクティブ High の入力 |
| SRI | 入力 | 1 | 通常スライス外からソースされるアクティブ Low の入力 メモ： 複数の AND2B1L または OR2B1L を 1 つのスライスにパックするには、この入力に共通の信号を接続する必要があります。 |

デザインの入力方法

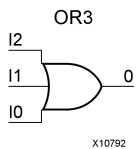
このELEMENTは、回路図でのみ使用できます。

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

OR3

プリミティブ：3-Input OR Gate with Non-Inverted Inputs



概要

5 入力までの OR ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の OR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバーターを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

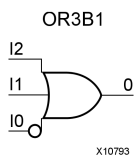
このエレメントは、回路図でのみ使用できます。

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

OR3B1

プリミティブ：3-Input OR Gate with 1 Inverted and 2 Non-Inverted Inputs



概要

5 入力までの OR ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の OR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバーターを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

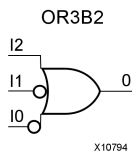
このエレメントは、回路図でのみ使用できます。

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

OR3B2

プリミティブ：3-Input OR Gate with 2 Inverted and 1 Non-Inverted Inputs



概要

5 入力までの OR ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の OR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバーターを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

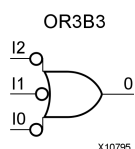
このエレメントは、回路図でのみ使用できます。

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

OR3B3

プリミティブ：3-Input OR Gate with Inverted Inputs



概要

5 入力までの OR ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の OR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバーターを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

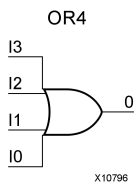
このエレメントは、回路図でのみ使用できます。

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

OR4

プリミティブ：4-Input OR Gate with Non-Inverted Inputs



概要

5 入力までの OR ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の OR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバーターを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

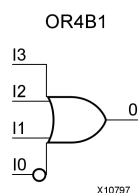
このエレメントは、回路図でのみ使用できます。

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

OR4B1

プリミティブ：4-Input OR Gate with 1 Inverted and 3 Non-Inverted Inputs



概要

5 入力までの OR ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の OR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバーターを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

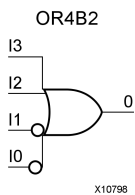
このエレメントは、回路図でのみ使用できます。

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

OR4B2

プリミティブ：4-Input OR Gate with 2 Inverted and 2 Non-Inverted Inputs



概要

5 入力までの OR ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の OR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバーターを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

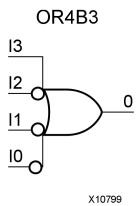
このエレメントは、回路図でのみ使用できます。

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

OR4B3

プリミティブ：4-Input OR Gate with 3 Inverted and 1 Non-Inverted Inputs



概要

5 入力までの OR ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の OR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバーターを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

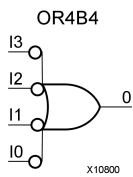
このエレメントは、回路図でのみ使用できます。

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

OR4B4

プリミティブ：4-Input OR Gate with Inverted Inputs



概要

5 入力までの OR ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の OR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバーターを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

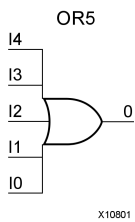
このエレメントは、回路図でのみ使用できます。

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

OR5

プリミティブ：5-Input OR Gate with Non-Inverted Inputs



概要

5 入力までの OR ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の OR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバーターを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

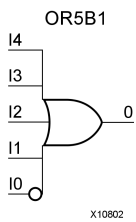
このエレメントは、回路図でのみ使用できます。

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

OR5B1

プリミティブ：5-Input OR Gate with 1 Inverted and 4 Non-Inverted Inputs



概要

5 入力までの OR ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の OR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバーターを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

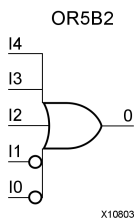
このエレメントは、回路図でのみ使用できます。

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

OR5B2

プリミティブ：5-Input OR Gate with 2 Inverted and 3 Non-Inverted Inputs



概要

5 入力までの OR ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の OR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバーターを使用します。各入力に CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

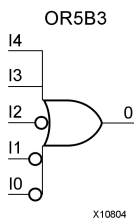
このエレメントは、回路図でのみ使用できます。

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

OR5B3

プリミティブ：5-Input OR Gate with 3 Inverted and 2 Non-Inverted Inputs



概要

5 入力までの OR ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の OR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバーターを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

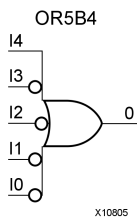
このエレメントは、回路図でのみ使用できます。

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

OR5B4

プリミティブ：5-Input OR Gate with 4 Inverted and 1 Non-Inverted Inputs



概要

5 入力までの OR ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の OR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバーターを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

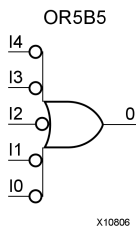
このエレメントは、回路図でのみ使用できます。

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

OR5B5

プリミティブ：5-Input OR Gate with Inverted Inputs



概要

5 入力までの OR ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の OR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバーターを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

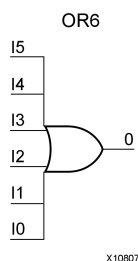
このエレメントは、回路図でのみ使用できます。

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

OR6

マクロ：6-Input OR Gate with Non-Inverted Inputs



概要

5 入力までの OR ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の OR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバーターを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

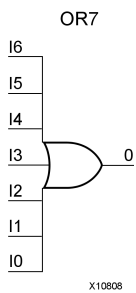
このエレメントは、回路図でのみ使用できます。

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

OR7

マクロ : 7-Input OR Gate with Non-Inverted Inputs



概要

5 入力までの OR ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の OR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバーターを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

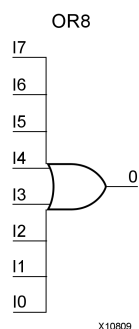
このエレメントは、回路図でのみ使用できます。

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

OR8

マクロ：8-Input OR Gate with Non-Inverted Inputs



概要

5 入力までの OR ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の OR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバーターを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

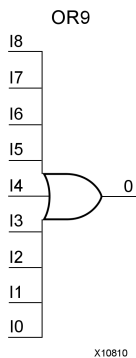
このエレメントは、回路図でのみ使用できます。

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

OR9

マクロ : 9-Input OR Gate with Non-Inverted Inputs



概要

5 入力までの OR ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の OR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバーターを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

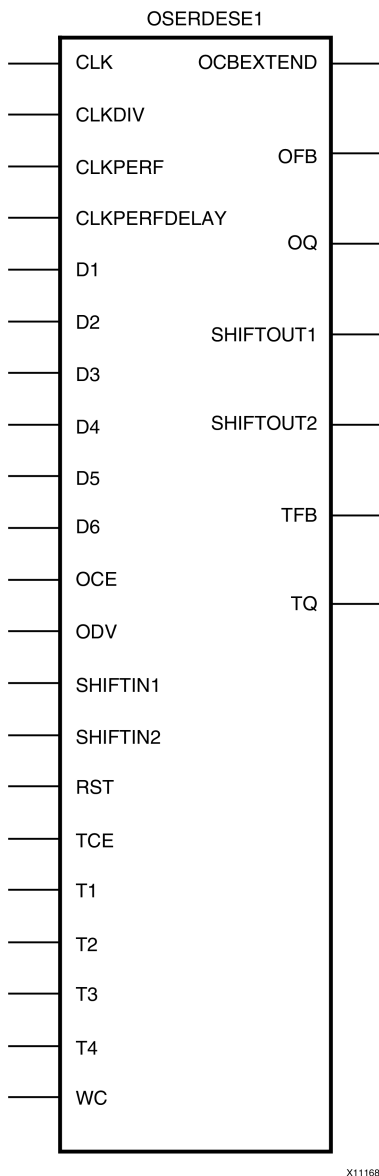
このエレメントは、回路図でのみ使用できます。

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

OSERDESE1

プリミティブ : Dedicated IOB Output Serializer



概要

このエレメントは、高速ソース同期インターフェイスのインプリメンテーションに特化したクロックおよびロジックリソースを持つ、専用パラレル/シリアルコンバーターです。各 OSERDES モジュールに、データおよびトライステート制御用の専用シリアライザーが含まれています。データシリアライザーおよびトライステートシリアライザーは、両方とも SDR および DDR モードにコンフィギュレーションできます。データでは 6:1 まで（データ幅拡張を使用する場合は 10:1 まで）のシリアル化、トライステート制御では 4:1 までのシリアル化が可能です。高速メモリアプリケーションをサポートするための専用 DDR3 モードもあります。

ポートの説明

| ポート名 | 方向 | 幅 | 機能 |
|--------------|----|---|--|
| CLK | 入力 | 1 | 高速クロック入力。パラレル/シリアル コンバーターを駆動します。 |
| CLKDIV | 入力 | 1 | 高速分周クロック入力。パラレル/シリアル コンバーターのパラレル側を駆動します。CLK ポートに接続されたクロックを分周したクロックです。 |
| CLKPERF | 入力 | 1 | MMCM から的高パフォーマンス クロックを OSERDESE1 に供給するための専用パスの一部です。DDR3 アプリケーションの MEMORY_DDR3 モードでのみ使用可能です。 |
| CLKPERFDELAY | 入力 | 1 | MMCM から IODELAYE1 を介して遅延された高パフォーマンス クロックを OSERDESE1 に供給するための専用パスの一部です。DDR3 アプリケーションの MEMORY_DDR3 モードでのみ使用可能です。IODELAYE1 を使用して CLKPERF を遅延していない場合は、CLKPERFDELAY を CLKPERF と同じソースに接続してください。 |
| D1 ~ D6 | 入力 | 1 | パラレル データ入力。パラレル データは、D1 ~ D6 から OSERDES モジュールに入力されます。これらのポートは FPGA に接続され、2 ~ 6 ビット (6:1 シリアル化) にコンフィギュレーションできます。2 つ目の OSERDES を SLAVE モードで使用するにより、10 ビットまでの幅をサポートできます。 |
| OCBEXTEND | 出力 | 1 | DDR3 モードで使われ、CLK を CLKPERF または CLKPERFDELAY に一致させるために出力循環バッファによりレイテンシを増加したことを示します。 |
| OCE | 入力 | 1 | データ パス用のアクティブ High のクロック イネーブル |
| ODV | 入力 | 1 | MEMORY_DDR3 モード用の専用ロジックの一部です。IODELAYE1 を介した CLKPERFDELAY 遅延が半周期よりも大きい場合に、ユーザーが High にアサートします。DDR3 アプリケーションの MEMORY_DDR3 モードでのみ使用可能です。MEMORY_DDR3 モードを使用しない場合は、このポートを GND に接続してください。 |
| OFB | 出力 | 1 | 出力フィードバック ポート。OSERDESE1 の高速シリアル データ 出力ポートまたは CLKPERF のバイパスされたバージョンです。ODELAYUSED 属性が 0 に設定されている場合、OSERDESE1 にシリアル データを送信するために OFB ポートを使用できます。ODELAYUSED 属性が 1 に設定されており、OSERDESE1 が MEMORY_DDR3 モードの場合、高パフォーマンス クロック入力 (CLKPERF) を IODELAYE1 にリンクするために OFB ポートを使用できます。 |
| OQ | 出力 | 1 | OSERDES モジュールのデータ出力ポート。入力ポート D1 のデータが OQ に一番最初に出力されます。このポートは、データ パラレル/シリアル コンバーターの出力と IOB のデータ入力を接続します。このポートで IODELAYE1 を駆動することはできません。OFB ピンを使用する必要があります。 |
| RST | 入力 | 1 | CLK および CLKDIV ドメインのすべてのデータフリップフロップの出力を非同期で Low に駆動します。OSERDES 回路が CLK ドメインで動作しており、タイミングがクリティカルな場合は、内部専用回路を使用して RST 入力のタイミングを調整し、CLK ドメインに同期したリセット信号を生成してください。同様に、CLKDIV ドメインに同期したリセット信号を生成する RST 入力のタイミングを調整する専用回路があります。RST 入力のタイミングを調整する OSERDES 回路があるので、CLKDIV 周波数ドメイン (CLKDIV に同期) でタイミングを満たす RST 入力にリセット パルスを提供するだけですみます。RST は、CLKDIV の 1 サイクル以上 High に駆動する必要があります。複数の OSERDES ポートを含むインターフェイスを構築する場合は、すべての OSERDES ポートを同期化する必要があります。RST 入力の内部タイミングは、同じリセット パルスを受信するすべての OSERDES ブロックがお互いに同期してリセット状態から戻るように調整されます。 |

| ポート名 | 方向 | 幅 | 機能 |
|-------------------------|----|---|--|
| SHIFTIN1/ SHIFTIN2 | 入力 | 1 | データ入力を拡張するためのカスケード入力。スレーブの SHIFTOUT1、SHIFTOUT2 に接続します。 |
| SHIFTOUT1/ SHIFTOUT2 | 出力 | 1 | データ入力を拡張するためのカスケード出力。マスターの SHIFTIN1、SHIFTIN2 に接続します。 |
| TCE | 入力 | 1 | トライステート制御パス用のアクティブ High のクロック イネーブル |
| TFB | 出力 | 1 | IODELAY に送信される OSERDES モジュールのトライステート制御出力。トライステート パラレル/シリアル コンバーターの出力を IODELAY の制御/トライステート入力に接続します。 |
| TQ | 出力 | 1 | OSERDES モジュールのトライステート制御出力。トライステート パラレル/シリアル コンバーターの出力を IOB の制御/トライステート入力に接続します。 |
| T1 ~ T4 | 入力 | 1 | パラレルトライステート入力。パラレルトライステート信号は、T1 ~ T4 から OSERDES モジュールに入力されます。このポートは FPGA に接続され、1、2、または 4 ビットにコンフィギュレーションできます。 |
| WC | 入力 | 1 | MEMORY_DDR3 モード用の専用ロジックの一部です。データの書き込みからデータの読み出しに切り替わるときに書き込みコマンドが発行されます。DDR3 アプリケーションの MEMORY_DDR3 モードでのみ使用可能です。MEMORY_DDR3 モードを使用しない場合は、このポートを GND に接続してください。 |

デザインの入力方法

このエレメントは、回路図で使用できます。

使用可能な属性

| 属性 | データ型 | 値 | デフォルト | 説明 |
|----------------|------|-----------------------------|-----------|---|
| DATA_RATE_OQ | 文字列 | "DDR"、"SDR" | "DDR" | データ (OQ) を CLK の各エッジで変化させるか、各立ち上がりエッジで変化させるかを指定します。 |
| DATA_RATE_TQ | 文字列 | "DDR"、"BUF"、 "SDR" | "DDR" | トライステート (TQ) をクロックの各エッジで変化させるか、各立ち上がりエッジで変化させるか、またはバッファのコンフィギュレーションに設定するかを指定します。 |
| DATA_WIDTH | 整数 | 4、2、3、5、6、7、 8、10 | 4 | パラレル/シリアル データ コンバーターの幅を指定します。設定可能な値は、DATA_RATE_OQ = "DDR" の場合は 4、6、8、10、DATA_RATE_OQ = "SDR" の場合は 2、3、4、5、6、7、8 です。 |
| DDR3_DATA | 整数 | 0、1 | 1 | DDR3 では、I/O が DQ または DQS ピンの場合は 1 に、制御、アドレス、クロックなどの場合は 0 に設定されます。 |
| INIT_OQ | 2 進数 | 1'b0 ~ 1'b1 | 1'b0 | OQ 出力の初期値を指定します。 |
| INIT_TQ | 2 進数 | 1'b0 ~ 1'b1 | 1'b0 | TQ 出力の初期値を指定します。 |
| INTERFACE_TYPE | 文字列 | "DEFAULT"、 "MEMORY_DDR3" | "DEFAULT" | OSERDESE1 の使用モデルを選択します。 |
| ODELAY_USED | 整数 | 0、1 | 0 | DDR3 モードでのみ使用されます。ODELAY を使用している場合に出力循環バッファを正しいモードに設定するのに役立ちます。その他のモードで |

| 属性 | データ型 | 値 | デフォルト | 説明 |
|----------------|------|----------------------|----------|--|
| | | | | は、デザインで ODELAY を使用している場合でも、0 に設定してください。 |
| SERDES_MODE | 文字列 | "MASTER"、 "SLAVE" | "MASTER" | データ幅を拡張する場合に OSERDES モジュールがマスターかスレーブかを指定します。 |
| SRVAL_OQ | 2 進数 | 1'b0 ~ 1'b1 | 1'b0 | SR をアサートした場合の OQ 出力の値を指定します。 |
| SRVAL_TQ | 2 進数 | 1'b0 ~ 1'b1 | 1'b0 | SR をアサートした場合の TQ 出力の値を指定します。 |
| TRISTATE_WIDTH | 整数 | 4、1 | 4 | パラレル/シリアルトライステートコンバーターの幅を指定します。設定可能な値は、DATA_RATE_TQ = "DDR"、DATA_WIDTH = 4、および DATA_RATE_OQ = "DDR" の場合は 1 または 4、DATA_RATE_TQ、DATA_WIDTH、および DATA_RATE_OQ がそれ以外の値に設定されている場合は 1 です。 |

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

PCIE_2_0

プリミティブ : PCI Express version 2.0 compliant port



概要

このELEMENTは、RocketIO™ トランシーバー、ブロック RAM、さまざまなクロック リソースなど、FPGA のほかのリソースと併用します。エンドポイント、ルート ポート、またはカスタム PCI EXPRESS® デザインを PCIe_2.0 を使用してインプリメントするには、必ず CORE Generator™ (ISE® Design Suite に含まれる) を使用して PCI EXPRESS デザイン用の LogiCORE™ IP コアを作成してください。LogiCORE は、PCI_E_2_0 ソフトウェア プリミティブをインスタンス化し、インターフェイスを FPGA リソースに接続し、すべての属性を設定して、シンプルでユーザーにとって使いやすいインターフェイスを提供します。

デザインの入力方法

このELEMENTをインスタンス化するには、PCI EXPRESS コアまたはこのELEMENTを含む関連コアを使用します。このELEMENTは直接インスタンス化しないでください。

このELEMENTは、回路図で使用できます。

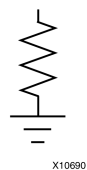
詳細情報

- ・ [Virtex-6 FPGA RocketIO GTX トランシーバー ユーザー ガイド](#)
- ・ [Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

PULLDOWN

プリミティブ：Resistor to GND for Input Pads, Open-Drain, and 3-State Outputs

PULLDOWN



概要

この抵抗エレメントは、入力、出力、双方向のパッドに接続し、フロートする可能性のあるノードのロジックレベルを Low にします。

ポートの説明

| ポート名 | 方向 | 幅 | 機能 |
|------|----|---|-----------------------|
| O | 出力 | 1 | プルダウン出力 (最上位ポートに直接接続) |

デザインの入力方法

このエレメントは、回路図で使用できます。

このエレメントは、最上位の回路図ファイルで次のネットに接続できます。

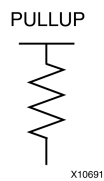
- ・ 入力 I/O マーカーに接続されたネット
- ・ 出力 I/O マーカーおよび OBUFT のようなトライステートにできる I/O エレメントの両方に接続されたネット

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

PULLUP

プリミティブ：Resistor to VCC for Input PADs, Open-Drain, and 3-State Outputs



概要

このデザイン エレメントは、入力、トライステート出力、または双方向ポートが内部または外部ソースで駆動されないときに、弱い High で駆動します。すべてのドライバーがオフのときに、オープンドレイン エレメントおよびマクロのロジックレベルを High にします。

ポートの説明

| ポート名 | 方向 | 幅 | 機能 |
|------|----|---|-----------------------|
| O | 出力 | 1 | プルアップ出力 (最上位ポートに直接接続) |

デザインの入力方法

このエレメントは、回路図で使用できます。

このエレメントは、最上位の回路図ファイルで次のネットに接続できます。

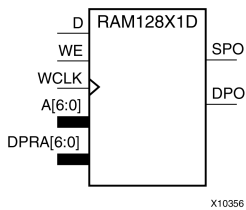
- ・ 入力 I/O マーカーに接続されたネット
- ・ 出力 I/O マーカーおよび OBUFT のようなトライステートにできる I/O エレメントの両方に接続されたネット

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

RAM128X1D

プリミティブ：128-Deep by 1-Wide Dual Port Random Access Memory (Select RAM)



概要

このデザイン エLEMENTは 128 ワード X 1 ビットの RAM で読み出し/書き込みポートがあり、ライト イネーブル (WE) が High のときにアドレス バス A で指定されたロケーションに D 入力データピンの値が書き込まれます。この書き込みは WCLK の立ち上がりエッジの直後に実行され、同じ値が SPO に出力されます。WE が Low のときは非同期読み出しが実行され、アドレス バス A で指定されたメモリ ロケーションの値が SPO に非同期で出力されます。アドレス バス DPRA の値を変更することにより、読み出しポートでは非同期読み出しを実行できます。DPO にその値が出力されます。

ポートの説明

| ポート名 | 方向 | 幅 | 機能 |
|------|----|---|------------------------------------|
| SPO | 出力 | 1 | アドレス バス A で指定される読み出し/書き込みポートのデータ出力 |
| DPO | 出力 | 1 | アドレス バス DPRA で指定される読み出しポートのデータ出力 |
| D | 入力 | 1 | アドレス バス A で指定される書き込みデータ入力 |
| A | 入力 | 7 | 読み出し/書き込みポートのアドレス バス |
| DPRA | 入力 | 7 | 読み出しポートのアドレス バス |
| WE | 入力 | 1 | ライト イネーブル |
| WCLK | 入力 | 1 | ライト クロック (読み出しは非同期) |

インスタンスエートする場合は、このコンポーネントを次のように接続します。

- WCLK 入力をクロックソースに、D 入力を格納するデータソースに、DPO 出力を FDCE の D 入力などの適切なデスティネーションに接続します。
- オプションで、SPO 出力を適切なデスティネーションに接続するか、または未接続にすることもできます。
- クロック イネーブル ピン (WE) は、適切なライト イネーブル ソースに接続します。
- 7 ビット バス A は読み出し/書き込みアドレスに、7 ビット バス DPRA は読み出しアドレスに接続する必要があります。
- 128 ビットの 16 進数で構成される INIT 属性で、RAM の初期値を指定できます。

指定しない場合は、初期値はすべて 0 になります。

デザインの入力方法

このELEMENTは、回路図で使用できます。

使用可能な属性

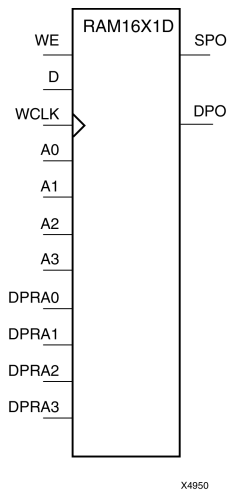
| 属性 | タイプ | 値 | デフォルト | 説明 |
|------|-------|----------|-------|-------------|
| INIT | 16 進数 | 128 ビット値 | すべてゼロ | RAM の初期値を指定 |

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

RAM16X1D

プリミティブ：16-Deep by 1-Wide Static Dual Port Synchronous RAM



概要

このエレメントは 16 ワード X 1 ビットのデュアル ポート SRAM で、同期書き込み機能を備えています。デバイスには、読み出しアドレス (DPRA3 ~ DPRA0) と書き込みアドレス (A3 ~ A0) の 2 種類のアドレスポートがあります。この 2 種類のアドレスポートは非同期です。読み出しアドレスによって出力ピン (DPO) に出力される値が指定され、書き込みアドレスによって書き込みを行う位置が指定されます。ライト イネーブル (WE) が Low の場合、ライト クロック (WCLK) の遷移は無視され、RAM に格納されている値は変化しません。

WE が High の場合、WCLK が Low から High に切り替わるときに、データ入力 (D) の値が 4 ビットの書き込みアドレスで選択されたワードに書き込まれます。書き込みを正しく行うには、WCLK が Low から High に切り替わる前に、書き込みアドレスとデータ入力の値を安定させる必要があります。WCLK はデフォルトではアクティブ High ですが、インバーターを使用してアクティブ Low にすることもできます。WCLK の入力ネットに配置されたインバーターは、RAM ブロック内に組み込まれます。

SPO 出力には、A3 ~ A0 で指定されたメモリ セルの値が出力されます。DPO 出力には、DPRA3 ~ DPRA0 で指定されたメモリ セルの値が出力されます。

メモ： 書き込み処理は、読み出しアドレスポートのアドレスには影響されません。

INIT 属性を使用すると、RAM を直接初期化できます。値は、INIT=ABAC のように、16 進数で指定してください。INIT 属性を指定しない場合は、RAM は 0 に初期化されます。

論理表

モード選択を次の論理表に示します。

| 入力 | | | 出力 | |
|----------------------------------|------|---|--------|--------|
| WE (モード) | WCLK | D | SPO | DPO |
| 0 (読み出し) | X | X | data_a | data_d |
| 1 (読み出し) | 0 | X | data_a | data_d |
| 1 (読み出し) | 1 | X | data_a | data_d |
| 1 (書き込み) | ↑ | D | D | data_d |
| 1 (読み出し) | ↓ | X | data_a | data_d |
| data_a = A3 ～ A0 で指定されたワード | | | | |
| data_d = DPRA3 ～ DPRA0 で指定されたワード | | | | |

デザインの入力方法

このエレメントは、回路図で使用できます。

使用可能な属性

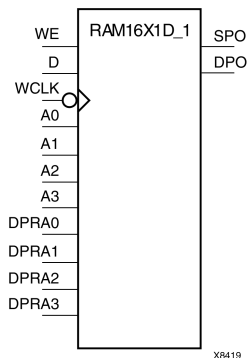
| 属性 | データ型 | 値 | デフォルト | 説明 |
|------|-------|---------|-------|----------------------|
| INIT | 16 進数 | 16 ビット値 | すべてゼロ | RAM、レジスタ、LUT の初期値を指定 |

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

RAM16X1D_1

プリミティブ：16-Deep by 1-Wide Static Dual Port Synchronous RAM with Negative-Edge Clock



概要

このエレメントは、クロックのネガティブ エッジで動作する 16 ワード X 1 ビットのデュアル ポート SRAM で、同期書き込み機能を備えています。デバイスには、読み出しアドレス (DPRA3 ~ DPRA0) と書き込みアドレス (A3 ~ A0) の独立した 2 種類のアドレス ポートがあります。この 2 種類のアドレス ポートは非同期です。読み出しアドレスによって出力ピン (DPO) に出力される値が指定され、書き込みアドレスによって書き込みを行う位置が指定されます。

ライト イネーブル (WE) が Low の場合、ライト クロック (WCLK) の遷移は無視され、RAM に格納されている値は変化しません。WE が High の場合、WCLK が High から Low に切り替わるときに、4 ビットの書き込みアドレスで選択されているワードにデータ入力 (D) の値が書き込まれます。書き込みを正しく行うには、WCLK が High から Low に切り替わる前に、書き込みアドレスとデータ入力の値を安定させる必要があります。WCLK はデフォルトではアクティブ Low ですが、インバーターを使用してアクティブ High にすることもできます。WCLK の入力ネットに配置されたインバーターは、RAM ブロック内に組み込まれます。

INIT 属性を使用すると、コンフィギュレーション中に RAM16X1D_1 を初期化できます。

SPO 出力には、A3 ~ A0 で指定されたメモリ セルの値が出力されます。DPO 出力には、DPRA3 ~ DPRA0 で指定されたメモリ セルの値が出力されます。

メモ： 書き込み処理は、読み出しアドレス ポートのアドレスには影響されません。

論理表

モード選択を次の論理表に示します。

| 入力 | | | 出力 | |
|----------------------------------|------|---|--------|--------|
| WE (モード) | WCLK | D | SPO | DPO |
| 0 (読み出し) | X | X | data_a | data_d |
| 1 (読み出し) | 0 | X | data_a | data_d |
| 1 (読み出し) | 1 | X | data_a | data_d |
| 1 (書き込み) | ↓ | D | D | data_d |
| 1 (読み出し) | ↑ | X | data_a | data_d |
| data_a = A3 ~ A0 で指定されたワード | | | | |
| data_d = DPRA3 ~ DPRA0 で指定されたワード | | | | |

ポートの説明

| ポート名 | 方向 | 幅 | 機能 |
|-------|----|---|-------------------------|
| DPO | 出力 | 1 | 読み出し専用 1 ビット データ出力 |
| SPO | 出力 | 1 | 読み出し/書き込み 1 ビット データ出力 |
| A0 | 入力 | 1 | 読み出し/書き込み address[0] 入力 |
| A1 | 入力 | 1 | 読み出し/書き込み address[1] 入力 |
| A2 | 入力 | 1 | 読み出し/書き込み address[2] 入力 |
| A3 | 入力 | 1 | 読み出し/書き込み address[3] 入力 |
| D | 入力 | 1 | 書き込み 1 ビット データ入力 |
| DPRA0 | 入力 | 1 | 読み出し専用 address[0] 入力 |
| DPRA1 | 入力 | 1 | 読み出し専用 address[1] 入力 |
| DPRA2 | 入力 | 1 | 読み出し専用 address[2] 入力 |
| DPRA3 | 入力 | 1 | 読み出し専用 address[3] 入力 |
| WCLK | 入力 | 1 | 書き込みクロック入力 |
| WE | 入力 | 1 | 書き込みイネーブル入力 |

デザインの入力方法

このエレメントは、回路図で使用できます。

使用可能な属性

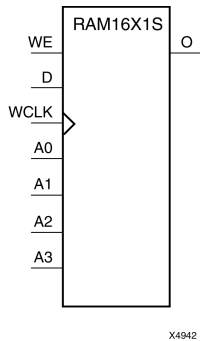
| 属性 | データ型 | 値 | デフォルト | 説明 |
|------|-------|---------|-------|-------------|
| INIT | 16 進数 | 16 ビット値 | すべてゼロ | RAM の初期値を指定 |

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

RAM16X1S

プリミティブ：16-Deep by 1-Wide Static Synchronous RAM



概要

このエレメントは 16 ワード X 1 ビットの SRAM で、同期書き込み機能を備えています。ライト イネーブル (WE) が Low の場合、ライト クロック (WCLK) の遷移は無視され、RAM に格納されている値は変化しません。WE が High になると、WCLK が Low から High に切り替わる時に、データ入力 (D) の値が 4 ビットのアドレス (A3 ~ A0) で選択されたワードに書き込まれます。WCLK はデフォルトではアクティブ High ですが、インバーターを使用してアクティブ Low にすることもできます。WCLK の入力ネットに配置されたインバーターは、RAM ブロック内に組み込まれます。

出力ピン (O) に出力される値は、アドレスピンで指定された RAM 内の位置に格納されている値です。INIT 属性を使用すると、コンフィギュレーション中に RAM16X1S を初期化できます。

論理表

| 入力 | | | 出力 |
|-------------------------|------|---|-----|
| WE (モード) | WCLK | D | O |
| 0 (読み出し) | X | X | データ |
| 1 (読み出し) | 0 | X | データ |
| 1 (読み出し) | 1 | X | データ |
| 1 (書き込み) | ↑ | D | D |
| 1 (読み出し) | ↓ | X | データ |
| データ = A3 ~ A0 で指定されたワード | | | |

デザインの入力方法

このエレメントは、回路図で使用できます。

使用可能な属性

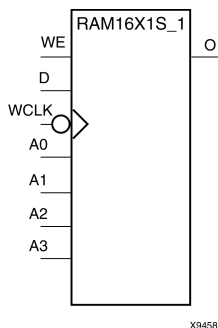
| 属性 | データ型 | 値 | デフォルト | 説明 |
|------|-------|---------|-------|-------------|
| INIT | 16 進数 | 16 ビット値 | すべてゼロ | RAM の初期値を指定 |

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

RAM16X1S_1

プリミティブ：16-Deep by 1-Wide Static Synchronous RAM with Negative-Edge Clock



概要

このエレメントはクロックの立ち下がりエッジで動作する 16 ワード X 1 ビットの SRAM で、同期書き込み機能を備えています。ライト イネーブル (WE) が Low の場合、ライト クロック (WCLK) の遷移は無視され、RAM に格納されている値は変化しません。WE が High の場合、WCLK が High から Low に切り替わる時に、データ入力 (D) の値が 4 ビットのアドレス (A3 ～ A0) で選択されたワードに書き込まれます。書き込みを正しく行うには、WCLK が High から Low に切り替わる前に、書き込みアドレスとデータ入力の値を安定させる必要があります。WCLK はデフォルトではアクティブ Low ですが、インバーターを使用してアクティブ High にすることもできます。WCLK の入力ネットに配置されたインバーターは、RAM ブロック内に組み込まれます。

出力ピン (O) に出力される値は、アドレスピンで指定された RAM 内の位置に格納されている値です。

INIT 属性を使用すると、コンフィギュレーション中にこのエレメントを初期化できます。

論理表

| 入力 | | | 出力 |
|-------------------------|------|---|-----|
| WE (モード) | WCLK | D | O |
| 0 (読み出し) | X | X | データ |
| 1 (読み出し) | 0 | X | データ |
| 1 (読み出し) | 1 | X | データ |
| 1 (書き込み) | ↓ | D | D |
| 1 (読み出し) | ↑ | X | データ |
| データ = A3 ～ A0 で指定されたワード | | | |

デザインの入力方法

このエレメントは、回路図で使用できます。

使用可能な属性

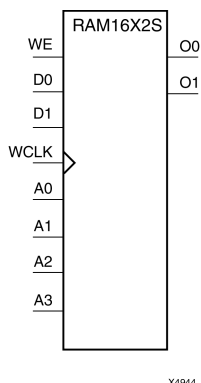
| 属性 | データ型 | 値 | デフォルト | 説明 |
|------|-------|---------|-------|-------------|
| INIT | 16 進数 | 16 ビット値 | すべてゼロ | RAM の初期値を指定 |

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

RAM16X2S

プリミティブ：16-Deep by 2-Wide Static Synchronous RAM



概要

このエレメントは 16 ワード X 2 ビットの SRAM で、同期書き込み機能を備えています。ライト イネーブル (WE) が Low の場合、ライト クロック (WCLK) の遷移は無視され、RAM に格納されている値は変化しません。WE が High の場合、WCLK が Low から High に切り替わるときに、入力 (D1 ~ D0) の値が 4 ビットのアドレス (A3 ~ A0) で選択されたワードに書き込まれます。書き込みを正しく行うには、WCLK が Low から High に切り替わる前に、書き込みアドレスとデータ入力の値を安定させる必要があります。WCLK はデフォルトではアクティブ High ですが、インバーターを使用してアクティブ Low にすることもできます。WCLK の入力ネットに配置されたインバーターは、RAM ブロック内に組み込まれます。

出力ピン (O1 ~ O0) に出力される値は、アドレス ピンで指定された RAM 内の位置に格納されている値です。

INIT_xx 属性を使用すると、RAM の初期値を指定できます。INIT_00 は出力 (O0) に対応する RAM のセルを初期化し、INIT_01 は出力 (O1) に対応するセルを初期化します。たとえば、RAM16X2S インスタンスは、INIT_00 および INIT_01 にそれぞれ 4 個の 16 進数値を指定して初期化します。RAM16X8S インスタンスは、INIT_00 ~ INIT_07 の 8 個の属性にそれぞれ 4 個の 16 進数値を指定して初期化します。RAM64X2S インスタンスは、INIT_00 および INIT_01 にそれぞれ 16 個の 16 進数値を指定して初期化します。

Virtex-4 デバイス以外では、このエレメントの初期値を直接指定することはできません。

論理表

| 入力 | | | 出力 |
|-------------------------|------|---------|---------|
| WE (モード) | WCLK | D1 ~ D0 | O1 ~ O0 |
| 0 (読み出し) | X | X | データ |
| 1 (読み出し) | 0 | X | データ |
| 1 (読み出し) | 1 | X | データ |
| 1 (書き込み) | ↑ | D1 ~ D0 | D1 ~ D0 |
| 1 (読み出し) | ↓ | X | データ |
| データ = A3 ~ A0 で指定されたワード | | | |

デザインの入力方法

このエレメントは、回路図で使用できます。

使用可能な属性

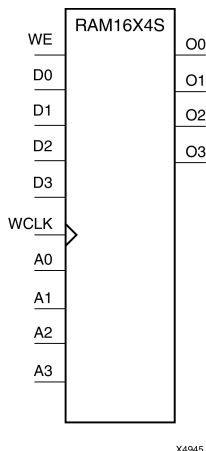
| 属性 | データ型 | 値 | デフォルト | 説明 |
|-------------------|-------|---------|-------|-------------|
| INIT_00 ~ INIT_01 | 16 進数 | 16 ビット値 | すべてゼロ | RAM の初期値を指定 |

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

RAM16X4S

プリミティブ : 16-Deep by 4-Wide Static Synchronous RAM



概要

このエレメントは 16 ワード X 4 ビットの SRAM で、同期書き込み機能を備えています。ライト イネーブル (WE) が Low の場合、ライト クロック (WCLK) の遷移は無視され、RAM に格納されている値は変化しません。WE が High になると、WCLK が Low から High に切り替わるときに、入力 (D3 ~ D0) の値が 4 ビットのアドレス (A3 ~ A0) で選択されたワードに書き込まれます。書き込みを正しく行うには、WCLK が Low から High に切り替わる前に、書き込みアドレスとデータ入力の値を安定させる必要があります。WCLK はデフォルトではアクティブ High ですが、インバーターを使用してアクティブ Low にすることもできます。WCLK の入力ネットに配置されたインバーターは、RAM ブロック内に組み込まれます。

出力ピン (O3 ~ O0) に出力される値は、アドレス ピンで指定された RAM 内の位置に格納されている値です。

論理表

| 入力 | | | 出力 |
|-------------------------|------|-------|-------|
| WE (モード) | WCLK | D3:D0 | O3:O0 |
| 0 (読み出し) | X | X | データ |
| 1 (読み出し) | 0 | X | データ |
| 1 (読み出し) | 1 | X | データ |
| 1 (書き込み) | ↑ | D3:D0 | D3:D0 |
| 1 (読み出し) | ↓ | X | データ |
| データ = A3 ~ A0 で指定されたワード | | | |

デザインの入力方法

このエレメントは、回路図でのみ使用できます。

使用可能な属性

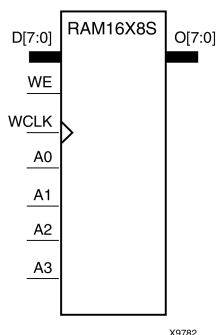
| 属性 | データ型 | 値 | デフォルト | 説明 |
|-------------------|-------|---------|-------|-------------|
| INIT_00 ~ INIT_03 | 16 進数 | 16 ビット値 | すべてゼロ | RAM の初期値を指定 |

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

RAM16X8S

プリミティブ：16-Deep by 8-Wide Static Synchronous RAM



概要

このエレメントは 16 ワード X 8 ビットの SRAM で、同期書き込み機能を備えています。ライト イネーブル (WE) が Low の場合、ライト クロック (WCLK) の遷移は無視され、RAM に格納されている値は変化しません。WE が High になると、WCLK が Low から High に切り替わるときに、入力 (D7 ~ D0) の値が 4 ビットのアドレス (A3 ~ A0) で選択されたワードに書き込まれます。書き込みを正しく行うには、WCLK が Low から High に切り替わる前に、書き込みアドレスとデータ入力の値を安定させる必要があります。WCLK はデフォルトではアクティブ High ですが、インバーターを使用してアクティブ Low にすることもできます。WCLK の入力ネットに配置されたインバーターは、RAM ブロック内に組み込まれます。

出力ピン (O7 ~ O0) に出力される値は、アドレス ピンで指定された RAM 内の位置に格納されている値です。

論理表

| 入力 | | | 出力 |
|-------------------------|------|-------|-------|
| WE (モード) | WCLK | D7:D0 | O7:O0 |
| 0 (読み出し) | X | X | データ |
| 1 (読み出し) | 0 | X | データ |
| 1 (読み出し) | 1 | X | データ |
| 1 (書き込み) | ↑ | D7:D0 | D7:D0 |
| 1 (読み出し) | ↓ | X | データ |
| データ = A3 ~ A0 で指定されたワード | | | |

デザインの入力方法

このエレメントは、回路図でのみ使用できます。

使用可能な属性

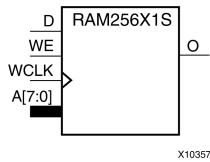
| 属性 | データ型 | 値 | デフォルト | 説明 |
|-------------------|-------|---------|-------|-------------|
| INIT_00 ~ INIT_07 | 16 進数 | 16 ビット値 | すべてゼロ | RAM の初期値を指定 |

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

RAM256X1S

プリミティブ：256-Deep by 1-Wide Random Access Memory (Select RAM)



概要

このデザイン エLEMENTは、256 ワード X 1 ビットの RAM で、同期書き込みと非同期読み出し機能を備えています。この RAM は、デバイスの LUT (SelectRAM と呼ばれる) を使用してインプリメントされるため、ブロック RAM リソースは使用しません。同期読み出しを行う場合は、出力にレジスタを付けて同じスライスに配置できます。この場合、RAM とレジスタで同じクロックを使用する必要があります。アクティブ High のライト イネーブル (WE) が High になると、WCLK ピンの立ち上がりエッジで D 入力データピンの値がメモリ アレイに書き込まれます。出力 O は、WE の値にかかわらず、アドレス バス A で指定されたメモリ ロケーションの値を出力します。書き込みが実行されると、その直後に出力の値が新しい値に更新されます。

ポートの説明

| ポート名 | 方向 | 幅 | 機能 |
|------|----|---|------------------------------------|
| O | 出力 | 1 | アドレス バス A で指定される読み出し/書き込みポートのデータ出力 |
| D | 入力 | 1 | アドレス バス A で指定される書き込みデータ入力 |
| A | 入力 | 8 | 読み出し/書き込みポートのアドレス バス |
| WE | 入力 | 1 | ライト イネーブル |
| WCLK | 入力 | 1 | ライト クロック (読み出しは非同期) |

デザインの入力方法

このELEMENTは、回路図で使用できます。

インスタンス化する場合、このコンポーネントを次のように接続します。

- WCLK 入力をクロック ソースに、D 入力を格納するデータ ソースに、O 出力を FDCE の D 入力などの適切なデスティネーションに接続します。
- クロック イネーブル ピン (WE) は、適切なライト イネーブル ソースに接続します。
- 8 ビット バス A は、読み出し/書き込みのソースに接続します。
- 256 ビットの 16 進数で構成される INIT 属性で、RAM の初期値を指定できます。

指定しない場合は、初期値はすべて 0 になります。

使用可能な属性

| 属性 | データ型 | 値 | デフォルト | 説明 |
|------|-------|----------|-------|-------------|
| INIT | 16 進数 | 256 ビット値 | すべてゼロ | RAM の初期値を指定 |

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

RAM32M

プリミティブ：32-Deep by 8-bit Wide Multi Port Random Access Memory (Select RAM)



概要

このデザイン エLEMENTは、32 ワード X 8 ビットのマルチポート RAM で、同期書き込みと非同期読み出し機能を備えています。この RAM は、デバイスの LUT (SelectRAM™) を使用してインプリメントされるため、デバイスのブロック RAM リソースを使用しません。RAM32M コンポーネントは 1 つのスライスにインプリメントされ、8 ビット書き込み、2 ビット読み出しのポート 1 つと、同じメモリからの 2 ビット読み出しポート 3 つから構成されます。これにより、RAM のバイト幅の書き込みと独立した 2 ビットの読み出しが可能です。DIA、DIB、DIC、および DID 入力をすべて同じデータ入力に接続すると、読み出し/書き込みポート 1 つ、独立した読み出しポート 3 つの 32x2 クワッドポートメモリになります。DID をグラウンドに接続した場合、DOD は使用されません。ADDRA、ADDRb、ADDRc を同じアドレスに接続すると、32x6 のシングルデュアルポート RAM になります。ADDRd を ADDRA、ADDRb、ADDRc に接続すると、32x8 のシングルポート RAM になります。この RAM には、ほかにも可能なコンフィギュレーションがあります。

ポートの説明

| ポート名 | 方向 | 幅 | 機能 |
|-------|----|---|---|
| DOA | 出力 | 2 | アドレス バス ADDRA で指定された読み出しポートのデータ出力 |
| DOB | 出力 | 2 | アドレス バス ADDRb で指定された読み出しポートのデータ出力 |
| DOC | 出力 | 2 | アドレス バス ADDRc で指定された読み出しポートのデータ出力 |
| DOD | 出力 | 2 | アドレス バス ADDRd で指定された読み出し/書き込みポートのデータ出力 |
| DIA | 入力 | 2 | ADDRd で指定された書き込みデータ入力 (読み出し出力は ADDRA で指定) |
| DIB | 入力 | 2 | ADDRd で指定された書き込みデータ入力 (読み出し出力は ADDRb で指定) |
| DIC | 入力 | 2 | ADDRd で指定された書き込みデータ入力 (読み出し出力は ADDRc で指定) |
| DID | 入力 | 2 | アドレス バス ADDRd で指定された書き込みデータ入力 |
| ADDRA | 入力 | 5 | 読み出しアドレス バス A |

| ポート名 | 方向 | 幅 | 機能 |
|-------|----|---|---|
| ADDRB | 入力 | 5 | 読み出しアドレス バス B |
| ADDRC | 入力 | 5 | 読み出しアドレス バス C |
| ADDRD | 入力 | 5 | 8 ビットのデータ書き込みポート、2 ビットのデータ読み出しポートのアドレス バス D |
| WE | 入力 | 1 | ライト イネーブル |
| WCLK | 入力 | 1 | ライト クロック (読み出しは非同期) |

デザインの入力方法

このエレメントは、回路図で使用できます。

使用可能な属性

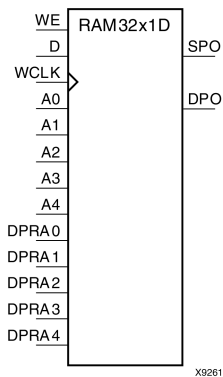
| 属性 | データ型 | 値 | デフォルト | 説明 |
|--------|-------|---------|-------|--------------------|
| INIT_A | 16 進数 | 64 ビット値 | すべてゼロ | A ポートの RAM の初期値を指定 |
| INIT_B | 16 進数 | 64 ビット値 | すべてゼロ | B ポートの RAM の初期値を指定 |
| INIT_C | 16 進数 | 64 ビット値 | すべてゼロ | C ポートの RAM の初期値を指定 |
| INIT_D | 16 進数 | 64 ビット値 | すべてゼロ | D ポートの RAM の初期値を指定 |

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

RAM32X1D

プリミティブ：32-Deep by 1-Wide Static Dual Port Synchronous RAM



概要

このデザイン エLEMENTは 32 ワード X 1 ビットのデュアル ポート SRAM で、同期書き込み機能を備えています。デバイスには、読み出しアドレス (DPRA4 ~ DPRA0) と書き込みアドレス (A4 ~ A0) の独立した 2 種類のアドレス ポートがあります。この 2 種類のアドレス ポートは完全に非同期です。読み出しアドレスによって出力ピン (DPO) に出力される値が指定され、書き込みアドレスによって書き込みを行う位置が指定されます。ライト イネーブル (WE) が Low の場合、ライト クロック (WCLK) の遷移は無視され、RAM に格納されている値は変化しません。WE が High の場合、WCLK が Low から High に切り替わるときに、データ入力 (D) の値が 5 ビットの書き込みアドレスで選択されたワードに書き込まれます。書き込みを正しく行うには、WCLK が Low から High に切り替わる前に、書き込みアドレスとデータ入力の値を安定させる必要があります。WCLK はデフォルトではアクティブ High ですが、インバーターを使用してアクティブ Low にすることもできます。WCLK の入力ネットに配置されたインバーターは、RAM ブロック内に組み込まれます。INIT 属性を使用すると、コンフィギュレーション中に RAM32X1D を初期化できます。モード選択を次の論理表に示します。

SPO 出力には、A4 ~ A0 で指定されたメモリ セルの値が出力されます。DPO 出力には、DPRA4 ~ DPRA0 で指定されたメモリ セルの値が出力されます。書き込み処理は、読み出しアドレス ポートのアドレスには影響されません。

論理表

| 入力 | | | 出力 | |
|----------|------|---|--------|--------|
| WE (モード) | WCLK | D | SPO | DPO |
| 0 (読み出し) | X | X | data_a | data_d |
| 1 (読み出し) | 0 | X | data_a | data_d |
| 1 (読み出し) | 1 | X | data_a | data_d |
| 1 (書き込み) | ↑ | D | D | data_d |
| 1 (読み出し) | ↓ | X | data_a | data_d |

デザインの入力方法

このELEMENTは、回路図で使用できます。

使用可能な属性

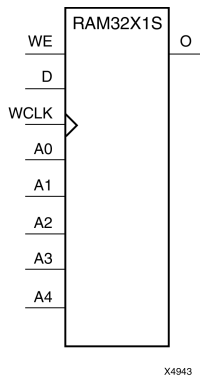
| 属性 | タイプ | 値 | デフォルト | 説明 |
|------|-------|---------|-------|-------------|
| INIT | 16 進数 | 32 ビット値 | すべてゼロ | RAM の初期値を指定 |

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

RAM32X1S

プリミティブ：32-Deep by 1-Wide Static Synchronous RAM



概要

このデザイン エLEMENTは 32 ワード X 1 ビットの SRAM で、同期書き込み機能を備えています。ライト イネーブル (WE) が Low の場合、ライト クロック (WCLK) の遷移は無視され、RAM に格納されている値は変化しません。WE が High になると、WCLK が Low から High に切り替わる時に、データ入力 (D) の値が 5 ビットのアドレス (A4 ~ A0) で選択されたワードに書き込まれます。書き込みを正しく行うには、WCLK が Low から High に切り替わる前に、書き込みアドレスとデータ入力の値を安定させる必要があります。WCLK はデフォルトではアクティブ High ですが、インバーターを使用してアクティブ Low にすることもできます。WCLK の入力ネットに配置されたインバーターは、RAM ブロック内に組み込まれます。

出力ピン (O) に出力される値は、アドレス ピンで指定された RAM 内の位置に格納されている値です。INIT 属性を使用すると、コンフィギュレーション中に RAM32X1S を初期化できます。

論理表

| 入力 | | | 出力 |
|----------|------|---|-----|
| WE (モード) | WCLK | D | O |
| 0 (読み出し) | X | X | データ |
| 1 (読み出し) | 0 | X | データ |
| 1 (読み出し) | 1 | X | データ |
| 1 (書き込み) | ↑ | D | D |
| 1 (読み出し) | ↓ | X | データ |

デザインの入力方法

このELEMENTは、回路図で使用できます。

使用可能な属性

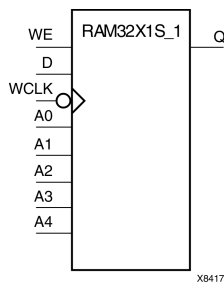
| 属性 | タイプ | 値 | デフォルト | 説明 |
|------|-------|---------|-------|-------------|
| INIT | 16 進数 | 32 ビット値 | すべてゼロ | RAM の初期値を指定 |

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

RAM32X1S_1

プリミティブ：32-Deep by 1-Wide Static Synchronous RAM with Negative-Edge Clock



概要

このデザイン エLEMENTは 32 ワード X 1 ビットの SRAM で、同期書き込み機能を備えています。ライト イネーブル (WE) が Low の場合、ライト クロック (WCLK) の遷移は無視され、RAM に格納されている値は変化しません。WE が High になると、WCLK が High から Low に切り替わるときに、データ入力 (D) の値が 5 ビットのアドレス (A4 ~ A0) で選択されたワードに書き込まれます。書き込みを正しく行うには、WCLK が High から Low に切り替わる前に、書き込みアドレスとデータ入力の値を安定させる必要があります。WCLK はデフォルトではアクティブ Low ですが、インバーターを使用してアクティブ High にすることもできます。WCLK の入力ネットに配置されたインバーターは、RAM ブロック内に組み込まれます。

出力ピン (O) に出力される値は、アドレス ピンで指定された RAM 内の位置に格納されている値です。INIT 属性を使用すると、コンフィギュレーション中に RAM32X1S_1 を初期化できます。

論理表

| 入力 | | | 出力 |
|-------------------------|------|---|-----|
| WE (モード) | WCLK | D | O |
| 0 (読み出し) | X | X | データ |
| 1 (読み出し) | 0 | X | データ |
| 1 (読み出し) | 1 | X | データ |
| 1 (書き込み) | ↓ | D | D |
| 1 (読み出し) | ↑ | X | データ |
| データ = A4 ~ A0 で指定されたワード | | | |

デザインの入力方法

このELEMENTは、回路図で使用できます。

使用可能な属性

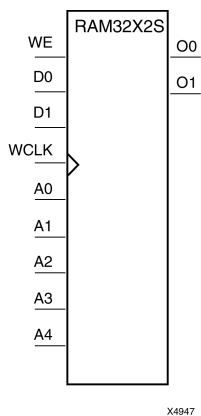
| 属性 | タイプ | 値 | デフォルト | 説明 |
|------|-------|---------|-------|-------------|
| INIT | 16 進数 | 32 ビット値 | 0 | RAM の初期値を指定 |

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

RAM32X2S

プリミティブ：32-Deep by 2-Wide Static Synchronous RAM



概要

このデザイン エLEMENTは 32 ワード X 2 ビットの SRAM で、同期書き込み機能を備えています。ライト イネーブル (WE) が Low の場合、ライト クロック (WCLK) の遷移は無視され、RAM に格納されている値は変化しません。WE が High になると、WCLK が Low から High に切り替わるときに、入力 (D1 ~ D0) の値が 5 ビットのアドレス (A4 ~ A0) で選択されたワードに書き込まれます。書き込みを正しく行うには、WCLK が Low から High に切り替わる前に、書き込みアドレスとデータ入力の値を安定させる必要があります。WCLK はデフォルトではアクティブ High ですが、インバーターを使用してアクティブ Low にすることもできます。WCLK の入力ネットに配置されたインバーターは、RAM ブロック内に組み込まれます。出力ピン (O1 ~ O0) に出力される値は、アドレス ピンで指定された RAM 内の位置に格納されている値です。

INIT_00 および INIT_01 属性を使用して RAM32X2S の初期値を指定できます。

論理表

| 入力 | | | 出力 |
|-------------------------|------|---------|---------|
| WE (モード) | WCLK | D | O0 ~ O1 |
| 0 (読み出し) | X | X | データ |
| 1 (読み出し) | 0 | X | データ |
| 1 (読み出し) | 1 | X | データ |
| 1 (書き込み) | ↑ | D1 ~ D0 | D1 ~ D0 |
| 1 (読み出し) | ↓ | X | データ |
| データ = A4 ~ A0 で指定されたワード | | | |

デザインの入力方法

このELEMENTは、回路図で使用できます。

使用可能な属性

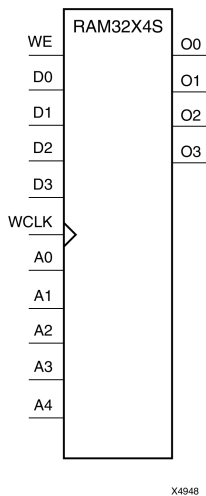
| 属性 | タイプ | 値 | デフォルト | 説明 |
|---------|-------|---------|-------|--------------------|
| INIT_00 | 16 進数 | 32 ビット値 | すべてゼロ | RAM のビット 0 の初期値を指定 |
| INIT_01 | 16 進数 | 32 ビット値 | すべてゼロ | RAM のビット 1 の初期値を指定 |

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

RAM32X4S

プリミティブ：32-Deep by 4-Wide Static Synchronous RAM



概要

このデザイン エLEMENTは 32 ワード X 4 ビットの SRAM で、同期書き込み機能を備えています。ライト イネーブル (WE) が Low の場合、ライト クロック (WCLK) の遷移は無視され、RAM に格納されている値は変化しません。WE が High になると、WCLK が Low から High に切り替わるときに、入力 (D3 ~ D0) の値が 5 ビットのアドレス (A4 ~ A0) で選択されたワードに書き込まれます。書き込みを正しく行うには、WCLK が Low から High に切り替わる前に、書き込みアドレスとデータ入力の値を安定させる必要があります。WCLK はデフォルトではアクティブ High ですが、インバーターを使用してアクティブ Low にすることもできます。WCLK の入力ネットに配置されたインバーターは、RAM ブロック内に組み込まれます。

出力ピン (O3 ~ O0) に出力される値は、アドレスピンで指定された RAM 内の位置に格納されている値です。

論理表

| 入力 | | | 出力 |
|-------------------------|------|---------|---------|
| WE | WCLK | D3 ~ D0 | O3 ~ O0 |
| 0 (読み出し) | X | X | データ |
| 1 (読み出し) | 0 | X | データ |
| 1 (読み出し) | 1 | X | データ |
| 1 (書き込み) | ↑ | D3:D0 | D3:D0 |
| 1 (読み出し) | ↓ | X | データ |
| データ = A4 ~ A0 で指定されたワード | | | |

デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

使用可能な属性

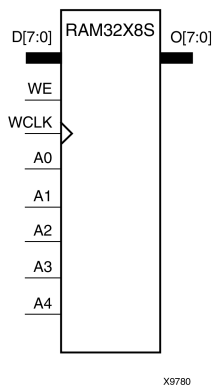
| 属性 | データ型 | 値 | デフォルト | 説明 |
|---------|-------|---------|-------|--------------------|
| INIT_00 | 16 進数 | 32 ビット値 | すべてゼロ | RAM のビット 0 の初期値を指定 |
| INIT_01 | 16 進数 | 32 ビット値 | すべてゼロ | RAM のビット 1 の初期値を指定 |
| INIT_02 | 16 進数 | 32 ビット値 | すべてゼロ | RAM のビット 2 の初期値を指定 |
| INIT_03 | 16 進数 | 32 ビット値 | すべてゼロ | RAM のビット 3 の初期値を指定 |

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

RAM32X8S

プリミティブ：32-Deep by 8-Wide Static Synchronous RAM



概要

このデザイン エLEMENTは 32 ワード X 8 ビットの SRAM で、同期書き込み機能を備えています。ライト イネーブル (WE) が Low の場合、ライト クロック (WCLK) の遷移は無視され、RAM に格納されている値は変化しません。WE が High になると、WCLK が Low から High に切り替わるときに、入力 (D7 ~ D0) の値が 5 ビットのアドレス (A4 ~ A0) で選択されたワードに書き込まれます。書き込みを正しく行うには、WCLK が Low から High に切り替わる前に、書き込みアドレスとデータ入力の値を安定させる必要があります。WCLK はデフォルトではアクティブ High ですが、インバーターを使用してアクティブ Low にすることもできます。WCLK の入力ネットに配置されたインバーターは、RAM ブロック内に組み込まれます。

出力ピン (O7 ~ O0) に出力される値は、アドレス ピンで指定された RAM 内の位置に格納されている値です。

論理表

| 入力 | | | 出力 |
|-------------------------|------|-------|-------|
| WE (モード) | WCLK | D7:D0 | O7:O0 |
| 0 (読み出し) | X | X | データ |
| 1 (読み出し) | 0 | X | データ |
| 1 (読み出し) | 1 | X | データ |
| 1 (書き込み) | ↑ | D7:D0 | D7:D0 |
| 1 (読み出し) | ↓ | X | データ |
| データ = A4 ~ A0 で指定されたワード | | | |

デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

使用可能な属性

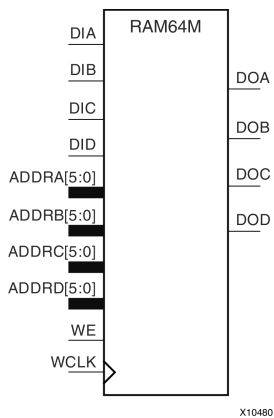
| 属性 | データ型 | 値 | デフォルト | 説明 |
|---------|-------|---------|-------|--------------------|
| INIT_00 | 16 進数 | 32 ビット値 | すべてゼロ | RAM のビット 0 の初期値を指定 |
| INIT_01 | 16 進数 | 32 ビット値 | すべてゼロ | RAM のビット 1 の初期値を指定 |
| INIT_02 | 16 進数 | 32 ビット値 | すべてゼロ | RAM のビット 2 の初期値を指定 |
| INIT_03 | 16 進数 | 32 ビット値 | すべてゼロ | RAM のビット 3 の初期値を指定 |
| INIT_04 | 16 進数 | 32 ビット値 | すべてゼロ | RAM のビット 4 の初期値を指定 |
| INIT_05 | 16 進数 | 32 ビット値 | すべてゼロ | RAM のビット 5 の初期値を指定 |
| INIT_06 | 16 進数 | 32 ビット値 | すべてゼロ | RAM のビット 6 の初期値を指定 |
| INIT_07 | 16 進数 | 32 ビット値 | すべてゼロ | RAM のビット 7 の初期値を指定 |

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

RAM64M

プリミティブ：64-Deep by 4-bit Wide Multi Port Random Access Memory (Select RAM)



概要

このデザイン エLEMENTは、64 ワード X 4 ビットのマルチポート RAM で、同期書き込みと非同期読み出し機能を備えています。この RAM は、デバイスの LUT (SelectRAM™ と呼ばれる) を使用してインプリメントされるため、ブロック RAM リソースを使用しません。RAM64M コンポーネントは 1 つのスライスにインプリメントされます。4 ビット書き込みポート 1 つ、1 ビット読み出しのポート 1 つ、および同じメモリからの 1 ビット読み出しポート 3 つから構成されされており、RAM の 4 ビット書き込みおよび個別ビット読み出しが可能です。DIA、DIB、DIC、および DID 入力をすべて同じデータ入力に接続すると、読み出し/書き込みポート 1 つ、独立した読み出しポート 3 つの 64x1 クワッド ポート メモリになります。DID をグラウンドに接続した場合、DOD は使用されません。ADDRA、ADDRb、ADDRc を同じアドレスに接続すると、64x3 のシングル デュアル ポート RAM になります。ADDRd を ADDRA、ADDRb、ADDRc に接続すると、64x4 のシングル ポート RAM になります。この RAM には、ほかにも可能なコンフィギュレーションがあります。

ポートの説明

| ポート名 | 方向 | 幅 | 機能 |
|------|----|---|---|
| DOA | 出力 | 1 | アドレス バス ADDRA で指定される読み出しポートのデータ出力 |
| DOB | 出力 | 1 | アドレス バス ADDRb で指定される読み出しポートのデータ出力 |
| DOC | 出力 | 1 | アドレス バス ADDRc で指定される読み出しポートのデータ出力 |
| DOD | 出力 | 1 | アドレス バス ADDRd で指定される読み出し/書き込みポートのデータ出力 |
| DIA | 入力 | 1 | ADDRd で指定される書き込みデータ入力 (読み出し出力は ADDRA で指定) |
| DIB | 入力 | 1 | ADDRd で指定される書き込みデータ入力 (読み出し出力は ADDRb で指定) |
| DIC | 入力 | 1 | ADDRd で指定される書き込みデータ入力 (読み出し出力は ADDRc で指定) |
| DID | 入力 | 1 | アドレス バス ADDRd で指定される書き込みデータ入力 |

| ポート名 | 方向 | 幅 | 機能 |
|-------|----|---|---|
| ADDRA | 入力 | 6 | 読み出しアドレス バス A |
| ADDRB | 入力 | 6 | 読み出しアドレス バス B |
| ADDRC | 入力 | 6 | 読み出しアドレス バス C |
| ADDRD | 入力 | 6 | 4 ビットのデータ書き込みポート、1 ビットのデータ読み出しポートのアドレス バス D |
| WE | 入力 | 1 | ライト イネーブル |
| WCLK | 入力 | 1 | ライト クロック (読み出しは非同期) |

デザインの入力方法

このエレメントは、回路図で使用できます。

使用可能な属性

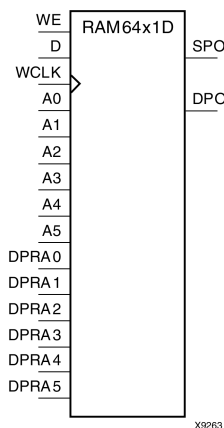
| 属性 | データ型 | 値 | デフォルト | 説明 |
|--------|-------|---------|-------|--------------------|
| INIT_A | 16 進数 | 64 ビット値 | すべてゼロ | A ポートの RAM の初期値を指定 |
| INIT_B | 16 進数 | 64 ビット値 | すべてゼロ | B ポートの RAM の初期値を指定 |
| INIT_C | 16 進数 | 64 ビット値 | すべてゼロ | C ポートの RAM の初期値を指定 |
| INIT_D | 16 進数 | 64 ビット値 | すべてゼロ | D ポートの RAM の初期値を指定 |

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

RAM64X1D

プリミティブ：64-Deep by 1-Wide Dual Port Static Synchronous RAM



概要

このデザイン エLEMENTは 64 ワード X 1 ビットのデュアル ポート SRAM で、同期書き込み機能を備えています。デバイスには、読み出しアドレス (DPRA5 ～ DPRA0) と書き込みアドレス (A5 ～ A0) の独立した 2 種類のアドレス ポートがあります。この 2 種類のアドレス ポートは完全に非同期です。読み出しアドレスによって出力ピン (DPO) に出力される値が指定され、書き込みアドレスによって書き込みを行う位置が指定されます。ライト イネーブル (WE) が Low の場合、ライト クロック (WCLK) の遷移は無視され、RAM に格納されている値は変化しません。

WE が High になると、WCLK が Low から High に切り替わる時に、データ入力 (D) の値が 6 ビットの書き込みアドレス (A0 ～ A5) で選択されたワードに書き込まれます。書き込みを正しく行うには、WCLK が Low から High に切り替わる前に、書き込みアドレスとデータ入力の値を安定させる必要があります。WCLK はデフォルトではアクティブ High ですが、インバーターを使用してアクティブ Low にすることもできます。WCLK の入力ネットに配置されたインバーターは、RAM ブロック内に組み込まれます。

SPO 出力には、A5 ～ A0 で指定されたメモリ セルの値が出力されます。DPO 出力には、DPRA5 ～ DPRA0 で指定されたメモリ セルの値が出力されます。

メモ： 書き込み処理は、読み出しアドレス ポートのアドレスには影響されません。

論理表

| 入力 | | | 出力 | |
|----------------------------------|------|---|--------|--------|
| WE (モード) | WCLK | D | SPO | DPO |
| 0 (読み出し) | X | X | data_a | data_d |
| 1 (読み出し) | 0 | X | data_a | data_d |
| 1 (読み出し) | 1 | X | data_a | data_d |
| 1 (書き込み) | ↑ | D | D | data_d |
| 1 (読み出し) | ↓ | X | data_a | data_d |
| data_a = A5 ～ A0 で指定されたワード | | | | |
| data_d = DPRA5 ～ DPRA0 で指定されたワード | | | | |

デザインの入力方法

このELEMENTは、回路図で使用できます。

使用可能な属性

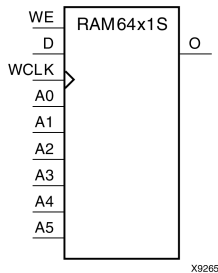
| 属性 | データ型 | 値 | デフォルト | 説明 |
|------|-------|---------|-------|-------------|
| INIT | 16 進数 | 64 ビット値 | すべてゼロ | RAM の初期値を指定 |

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

RAM64X1S

プリミティブ：64-Deep by 1-Wide Static Synchronous RAM



概要

このデザイン エLEMENTは 64 ワード X 1 ビットの SRAM で、同期書き込み機能を備えています。ライト イネーブル (WE) が Low の場合、ライト クロック (WCLK) の遷移は無視され、RAM に格納されている値は変化しません。WE が High になると、WCLK が Low から High に切り替わるときに、データ入力 (D) の値が 6 ビットのアドレス (A5 ～ A0) で選択されたワードに書き込まれます。WCLK はデフォルトではアクティブ High ですが、インバーターを使用してアクティブ Low にすることもできます。WCLK の入力ネットに配置されたインバーターは、RAM ブロック内に組み込まれます。

出力ピン (O) に出力される値は、アドレス ピンで指定された RAM 内の位置に格納されている値です。

INIT 属性を使用すると、コンフィギュレーション中にこのELEMENTを初期化できます。

論理表

モード選択を次の論理表に示します。

| 入力 | | | 出力 |
|-------------------------|------|---|-----|
| WE (モード) | WCLK | D | O |
| 0 (読み出し) | X | X | データ |
| 1 (読み出し) | 0 | X | データ |
| 1 (読み出し) | 1 | X | データ |
| 1 (書き込み) | ↑ | D | D |
| 1 (読み出し) | ↓ | X | データ |
| データ = A5 ～ A0 で指定されたワード | | | |

デザインの入力方法

このELEMENTは、回路図で使用できます。

使用可能な属性

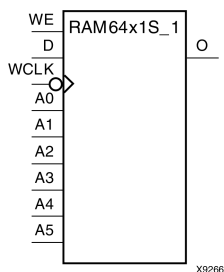
| 属性 | データ型 | 値 | デフォルト | 説明 |
|------|-------|---------|-------|-------------|
| INIT | 16 進数 | 64 ビット値 | すべてゼロ | RAM の初期値を指定 |

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

RAM64X1S_1

プリミティブ：64-Deep by 1-Wide Static Synchronous RAM with Negative-Edge Clock



概要

このデザイン エLEMENTは 64 ワード X 1 ビットの SRAM で、同期書き込み機能を備えています。ライト イネーブル (WE) が Low の場合、ライト クロック (WCLK) の遷移は無視され、RAM に格納されている値は変化しません。WE が High になると、WCLK が High から Low に切り替わるときに、データ入力 (D) の値が 6 ビットのアドレス (A5 ～ A0) で選択されたワードに書き込まれます。書き込みを正しく行うには、WCLK が High から Low に切り替わる前に、書き込みアドレスとデータ入力の値を安定させる必要があります。WCLK はデフォルトではアクティブ Low ですが、インバーターを使用してアクティブ High にすることもできます。WCLK の入力ネットに配置されたインバーターは、RAM ブロック内に組み込まれます。

出力ピン (O) に出力される値は、アドレス ピンで指定された RAM 内の位置に格納されている値です。

INIT 属性を使用すると、コンフィギュレーション中にこのELEMENTを初期化できます。

論理表

| 入力 | | | 出力 |
|-------------------------|------|---|-----|
| WE (モード) | WCLK | D | O |
| 0 (読み出し) | X | X | データ |
| 1 (読み出し) | 0 | X | データ |
| 1 (読み出し) | 1 | X | データ |
| 1 (書き込み) | ↓ | D | D |
| 1 (読み出し) | ↑ | X | データ |
| データ = A5 ～ A0 で指定されたワード | | | |

デザインの入力方法

このELEMENTは、回路図で使用できます。

使用可能な属性

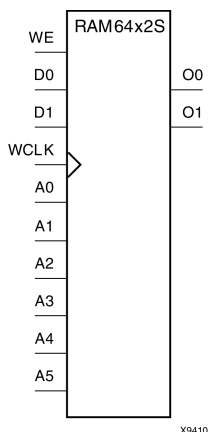
| 属性 | データ型 | 値 | デフォルト | 説明 |
|------|-------|---------|-------|-------------|
| INIT | 16 進数 | 64 ビット値 | すべてゼロ | RAM の初期値を指定 |

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

RAM64X2S

プリミティブ：64-Deep by 2-Wide Static Synchronous RAM



概要

このデザイン エLEMENTは 64 ワード X 2 ビットの SRAM で、同期書き込み機能を備えています。ライト イネーブル (WE) が Low の場合、ライト クロック (WCLK) の遷移は無視され、RAM に格納されている値は変化しません。WE が High になると、WCLK が Low から High に切り替わるときに、入力 (D1 ~ D0) の値が 6 ビットのアドレス (A5 ~ A0) で選択されたワードに書き込まれます。書き込みを正しく行うには、WCLK が Low から High に切り替わる前に、書き込みアドレスとデータ入力の値を安定させる必要があります。WCLK はデフォルトではアクティブ High ですが、インバーターを使用してアクティブ Low にすることもできます。WCLK の入力ネットに配置されたインバーターは、RAM ブロック内に組み込まれます。

出力ピン (O1 ~ O0) に出力される値は、アドレス ピンで指定された RAM 内の位置に格納されている値です。INIT_00 および INIT_01 属性を使用してこのデザイン エLEMENTの初期値を指定できます。

論理表

| 入力 | | | 出力 |
|-------------------------|------|---------|---------|
| WE (モード) | WCLK | D0:D1 | O0:O1 |
| 0 (読み出し) | X | X | データ |
| 1 (読み出し) | 0 | X | データ |
| 1 (読み出し) | 1 | X | データ |
| 1 (書き込み) | ↑ | D1 ~ D0 | D1 ~ D0 |
| 1 (読み出し) | ↓ | X | データ |
| データ = A5 ~ A0 で指定されたワード | | | |

デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

使用可能な属性

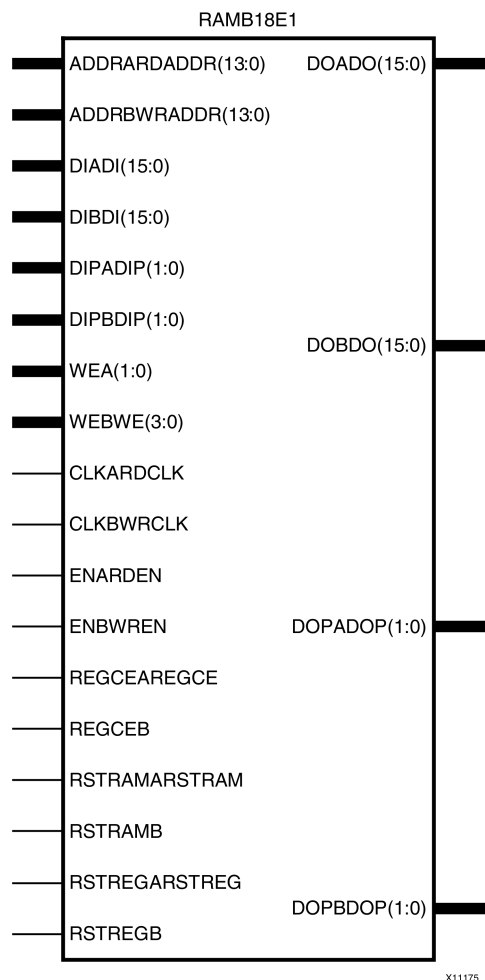
| 属性 | データ型 | 値 | デフォルト | 説明 |
|---------|-------|---------|-------|-------------|
| INIT_00 | 16 進数 | 64 ビット値 | すべてゼロ | RAM の初期値を指定 |
| INIT_01 | 16 進数 | 64 ビット値 | すべてゼロ | RAM の初期値を指定 |

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

RAMB18E1

プリミティブ : 18K-bit Configurable Synchronous Block RAM



概要

Virtex®-6 デバイスにはブロック RAM が数個含まれ、FIFO、自動エラー訂正 RAM、または汎用 RAM/ROM (36 kb または 18 kb) としてコンフィギュレーションできます。これらのブロック RAM には、大量のオンチップ データを高速かつ柔軟に格納できます。このデザイン エレメントを使用すると、18kb コンフィギュレーションでブロック RAM にアクセスできます。このエレメントは、1 ビット X 16K ワード ~ 18 ビット X 1029 ワードの完全なデュアル ポート RAM としてコンフィギュレーションできます。また、36 ビット幅 X 512 ワードのシンプル デュアル ポート RAM にコンフィギュレーションすることもできます。読み出しと書き込みは、コンポーネントに供給されるクロックに同期して実行されますが、読み出しポートと書き込みポートは完全に独立しており、お互いに非同期で、同じメモリ アレイにアクセスします。広いデータ幅でコンフィギュレーションすると、バイト イネーブルの書き込みが可能になり、オプションの出力レジスタを使用して RAM の clock-to-out タイムを短縮できます。

ポートの説明

| ポート名 | 方向 | 幅 | 機能 |
|-------------------|----|----|-----------------------------|
| ADDRARDADDR[13:0] | 入力 | 14 | ポート A アドレス入力バス/読み出しアドレス入力バス |
| ADDRBRWADDR[13:0] | 入力 | 14 | ポート B アドレス入力バス/書き込みアドレス入力バス |

| ポート名 | 方向 | 幅 | 機能 |
|---------------|----|----|--|
| CLKARDCLK | 入力 | 1 | ポート A クロック入力/読み出しクロック入力 |
| CLKBWRCLK | 入力 | 1 | ポート B クロック入力/書き込みクロック入力 |
| DIADI[15:0] | 入力 | 16 | ポート A データ入力バス/WRADDR でアドレス指定されるデータ入力バス。RAM_MODE=SDP の場合、DIADI の論理値は DI[15:0] です。 |
| DIBDI[15:0] | 入力 | 16 | ポート B データ入力バス/WRADDR でアドレス指定されるデータ入力バス。RAM_MODE=SDP の場合、DIBDI の論理値は DI[31:16] です。 |
| DIPADIP[1:0] | 入力 | 2 | ポート A パリティ データ入力バス/WRADDR でアドレス指定されるデータ パリティ入力バス。RAM_MODE=SDP の場合、DIPADIP の論理値は DIP[1:0] です。 |
| DIPBDIP[1:0] | 入力 | 2 | ポート B パリティ データ入力バス/WRADDR でアドレス指定されるデータ パリティ入力バス。RAM_MODE=SDP の場合、DIPBDIP の論理値は DIP[3:2] です。 |
| DOADO[15:0] | 出力 | 16 | ポート A データ出力バス/RDADDR でアドレス指定されるデータ出力バス。RAM_MODE=SDP の場合、DOADO の論理値は DO[15:0] です。 |
| DOBDO[15:0] | 出力 | 16 | ポート B データ出力バス/RDADDR でアドレス指定されるデータ出力バス。RAM_MODE=SDP の場合、DOBDO の論理値は DO[31:16] です。 |
| DOPADOP[1:0] | 出力 | 2 | ポート A パリティ データ出力バス/RDADDR でアドレス指定されるパリティ データ出力バス。RAM_MODE=SDP の場合、DOPADOP の論理値は DOP[1:0] です。 |
| DOPBDOP[1:0] | 出力 | 2 | ポート B パリティ データ出力バス/RDADDR でアドレス指定されるパリティ データ出力バス。RAM_MODE=SDP の場合、DOPBDOP の論理値は DOP[3:2] です。 |
| ENARDEN | 入力 | 1 | ポート A RAM イネーブル/リード イネーブル |
| ENBWREN | 入力 | 1 | ポート B RAM イネーブル/ライト イネーブル |
| REGCEAREGCE | 入力 | 1 | ポート A 出力レジスタ クロック イネーブル入力/出力レジスタ クロック イネーブル入力 (DO_REG=1 の場合のみ有効) |
| REGCEB | 入力 | 1 | ポート B 出力レジスタ クロック イネーブル (DO_REG=1 および RAM_MODE=TDP の場合のみ有効) |
| RSTRAMARSTRAM | 入力 | 1 | 同期データ ラッチを SRVAL_A で指定された値にセット/リセットします。RSTRAMARSTRAM は、DO_REG=0 または 1 のとき BRAM データ出力ラッチをセット/リセットします。DO_REG=1 の場合は、RSTRAMARSTRAM でリセットされる内部データ ラッチ ノードと BRAM の DO 出力の間に 1 サイクルのレイテンシがあります。この信号は、RAM_MODE=TDP の場合はポート A の RSTRAMA、RAM_MODE=SDP の場合は RSTRAM です。 |
| RSTRAMB | 入力 | 1 | 同期データ ラッチを SRVAL_B で指定された値にセット/リセットします。RSTRAMB は、DO_REG=0 または 1 のとき BRAM データ出力ラッチをセット/リセットします。DO_REG=1 の場合は、RSTRAMB でリセットされる内部データ ラッチ ノードと BRAM の DO 出力の間に 1 サイクルのレイテンシがあります。RAM_MODE=SDP の場合は使用されません。 |
| RSTREGARSTREG | 入力 | 1 | 同期出力レジスタを SRVAL_A で指定された値にセット/リセットします。RSTREGARSTREG は、DO_REG=1 のとき出力レジスタをセット/リセットします。RSTREG_PRIORITY_A は、この信号の優先度が REGCEAREGCE よりも高いかどうかを決定します。この信号は、RAM_MODE=TDP の場合はポート A の RSTREGA、RAM_MODE=SDP の場合は RSTREG です。 |

| ポート名 | 方向 | 幅 | 機能 |
|------------|----|---|---|
| RSTREGB | 入力 | 1 | 同期出力レジスタを SRVAL_B で指定された値にセット/リセットします。RSTREGB は、DO_REG=1 のとき出力レジスタをセット/リセットします。RSTREG_PRIORITY_B は、この信号の優先度が REGCEB よりも高いかどうかを決定します。RAM_MODE=SDP の場合は使用されません。 |
| WEA[1:0] | 入力 | 2 | ポート A のバイト幅ライト イネーブル。RAM_MODE=SDP の場合は使用されません。異なるポート幅の WEA マッピングについてはユーザー ガイドを参照してください。 |
| WEBWE[3:0] | 入力 | 4 | ポート B のバイト幅ライト イネーブル/ライト イネーブル。異なるポート幅の WEBWE マッピングについてはユーザー ガイドを参照してください。 |

デザインの入力方法

このエレメントは、回路図で使用できます。

使用可能な属性

| 属性 | データ型 | 値 | デフォルト | 説明 |
|-----------------|------|---|-------|---|
| COLLISION CHECK | 文字列 | "ALL"、"GENERATE_X_ONLY"、"NONE"、"WARNING_ONLY" | "ALL" | <p>メモリの競合が発生した場合のシミュレーションの動作を指定します。</p> <ul style="list-style-type: none"> ・ "ALL" : 警告メッセージが出力され、関連する出力およびメモリの値が不定 (X) になります。 ・ "WARNING_ONLY" : 警告メッセージのみが出力され、関連する出力およびメモリの値はそのまま保持されます。 ・ "GENERATE_X_ONLY" : 警告メッセージは出力されず、関連する出力およびメモリの値が不定 (X) になります。 ・ "NONE" : 警告メッセージは出力されず、関連する出力およびメモリの値はそのまま保持されます。 <p>メモ : "ALL" 以外の値に設定すると、シミュレーション中にデザインの問題を認識できなくなるため、この値を変更する場合は注意が必要です。</p> |
| DOA_REG | 整数 | 0、1 | 0 | <p>値を 1 にすると、RAM の出力レジスタがイネーブルになり、RAM からの clock-to-out タイムが短縮されます。ただし、読み出しレイテンシのクロック サイクルは増加します。値を 0 にすると、1 クロック サイクルで読み出しが可能ですが、clock-to-out タイムが長くなります。TDP モードでポート A に、SDP では下位 18 ビット (パリティ ビットを含む) に適用されます。</p> |

| 属性 | データ型 | 値 | デフォルト | 説明 |
|---------------------------|-------|-----------------------------------|-----------------|---|
| DOB_REG | 整数 | 0、1 | 0 | 値を 1 にすると、RAM の出力レジスタがイネーブルになり、RAM からの clock-to-out タイムが短縮されます。ただし、読み出しレイテンシのクロック サイクルは増加します。値を 0 にすると、1 クロック サイクルで読み出しが可能です。clock-to-out タイムが長くなります。TDP モードではポート B に、SDP モードでは上位ビット (パリティビットを含む) に適用されます。 |
| INIT_A | 16 進数 | 18 ビット値 | すべてゼロ | コンフィギュレーション後のポート A の出力の初期値を指定します。TDP モードでポート A に、SDP では下位 18 ビット (パリティビットを含む) に適用されます。 |
| INIT_B | 16 進数 | 18 ビット値 | すべてゼロ | コンフィギュレーション後のポート B の出力の初期値を指定します。TDP でポート B に、SDP では高いほうのビット (パリティビットを含む) に適用されます。 |
| INIT_FILE | 文字列 | ファイルの名前と場所 | なし | RAM の初期内容を記述するファイルの名前を指定します。 |
| INIT_00 ~ INIT_3F | 16 進数 | すべてゼロ ~ すべて 1 | すべてゼロ | 16kb のデータ メモリ アレイの初期値を指定 |
| INITP_00 ~ INITP_07 | 16 進数 | すべてゼロ ~ すべて 1 | すべてゼロ | 2kb のパリティ メモリ アレイの初期値を指定 |
| RAM_MODE | 文字列 | "TDP"、"SDP" | "TDP" | シンプル デュアル ポート ("SDP") または完全なデュアル ポート ("TDP") を選択します。 |
| RDADDR_COLLISION_HWCONFIG | 文字列 | "DELAYED_WRITE"、 "PERFORMANCE" | "DELAYED_WRITE" | <ul style="list-style-type: none"> ・ "PERFORMANCE" に設定すると、READ_FIRST モードでのクロック パフォーマンス (周波数) が向上します。 ・ RAM の両方のポートで同じクロックを使用してる場合に "PERFORMANCE" に設定すると、アドレスが重なった場合の競合規則が適用されます。 ・ "DELAYED_WRITE" モードでは、競合を発生させずに RAM を使用できます。 ・ ES シリコンではサポートされていないので、ES デバイスをターゲットとする場合は "DELAYED_WRITE" に設定する必要があります。 |
| READ_WIDTH_A | 整数 | 0、1、2、4、9、18、36、72 | 0 | ポート A の読み出しのデータ幅を指定します (パリティビットを含む)。ポート A を使用しない場合は、ポート幅を 0 にする必要があります。ポートを使用する場合は、必要なポート幅に設定してください。SDP の場合は、パリティビットを含む読み出し幅です。 |

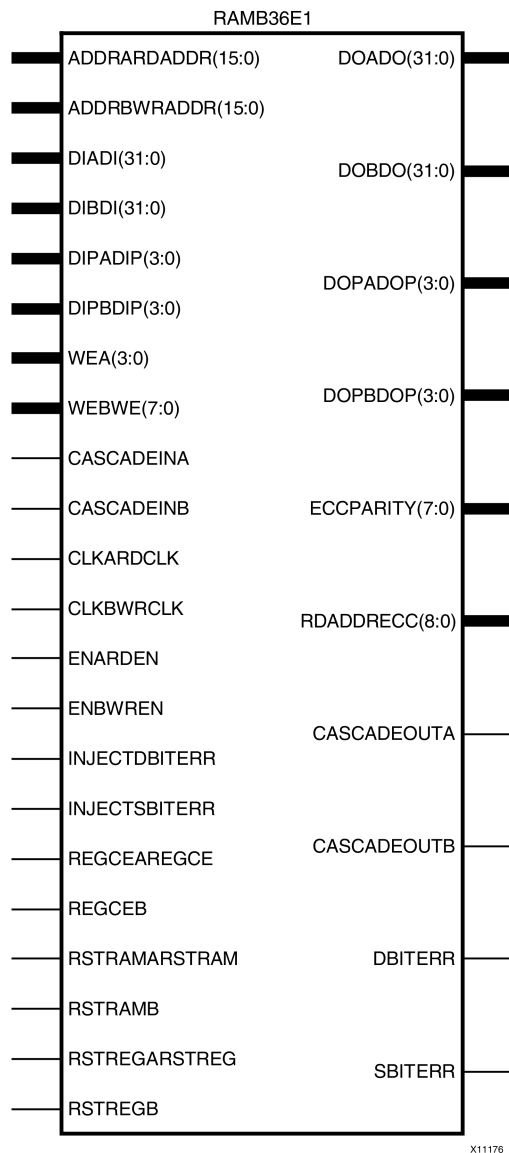
| 属性 | データ型 | 値 | デフォルト | 説明 |
|-------------------|-------|--|---------------|---|
| READ_WIDTH_B | 整数 | 0、1、2、4、9、18 | 0 | ポート B の読み出しのデータ幅を指定します (パリティビットを含む)。ポート B を使用しない場合は、ポート幅を 0 にする必要があります。ポートを使用する場合は、必要なポート幅に設定してください。SDP では使用されません。 |
| RSTREG_PRIORITY_A | 文字列 | "RSTREG"、 "REGCE" | "RSTREG" | RSTREG または REGCE のレジスタ優先順位を選択します。TDP モードではポート A に、SDP モードでは下位 18 ビット (パリティビットを含む) に適用されます。 |
| RSTREG_PRIORITY_B | 文字列 | "RSTREG"、 "REGCE" | "RSTREG" | RSTREG または REGCE のレジスタ優先順位を選択します。TDP モードではポート B に、SDP モードでは上位ビット (パリティビットを含む) に適用されます。 |
| SRVAL_A | 16 進数 | 18 ビット値 | すべてゼロ | 同期リセット信号 (RSTREG) がアサートされたときの RAM の出力値を指定します。TDP モードでポート A に、SDP では下位 18 ビット (パリティビットを含む) に適用されます。 |
| SRVAL_B | 16 進数 | 18 ビット値 | すべてゼロ | 同期リセット信号 (RSTREG) がアサートされたときの RAM の出力値を指定します。TDP でポート B に、SDP では高いほうのビット (パリティビットを含む) に適用されます。 |
| WRITEMODE | 文字列 | "WRITE_FIRST"、 "READ_FIRST"、 "NO_CHANGE" | "WRITE_FIRST" | 書き込みが実行されるときポートの動作を指定します。 <ul style="list-style-type: none"> ・ "WRITE_FIRST" : 書き込まれた値が出力ポートに出力されます。 ・ "READ_FIRST" : 書き込み前にそのメモリ ロケーションに格納されていた値が出力ポートに出力されます。 ・ "NO_CHANGE" : 出力ポートの以前の値が保持されます。 |
| WRITE_WIDTH_A | 整数 | 0、1、2、4、9、18 | 0 | ポート A への書き込みのデータ幅を指定します (パリティビットを含む)。ポートを使用しない場合は、0 に設定する必要があります。それ以外の場合は、適切なデータ幅に設定してください。SDP モードでは使用されません。 |
| WRITE_WIDTH_B | 整数 | 0、1、2、4、9、18、36、 72 | 0 | ポート B への書き込みのデータ幅を指定します (パリティビットを含む)。ポートを使用しない場合は、0 に設定する必要があります。それ以外の場合は、適切なデータ幅に設定してください。SDP モードでは、パリティビットを含む書き込み幅です。 |

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

RAMB36E1

プリミティブ : 36K-bit Configurable Synchronous Block RAM



概要

Virtex®-6 デバイスにはブロック RAM が数個含まれ、FIFO、自動エラー訂正 RAM、または汎用 RAM/ROM (36 Kb または 18 Kb) としてコンフィギュレーションできます。これらのブロック RAM には、大量のオンチップ データを高速かつ柔軟に格納できます。このデザイン エLEMENTを使用すると、36kb コンフィギュレーションでブロック RAM にアクセスできます。このELEMENTをカスケード 接続すると、大型の RAM を作成できます。このコンポーネントは、1 ビット X 32K ワード ~ 36 ビット X 1K ワードの完全なデュアル ポート RAM としてコンフィギュレーションできます。読み出しと書き込みは、コンポーネントに供給されるクロックに同期して実行されますが、読み出しポートと書き込みポートは完全に独立しており、お互いに非同期で、同じメモリアレイにアクセスします。広いデータ幅でコンフィギュレーションすると、バイトイネーブルの書き込みが可能になり、オプションの出力レジスタを使用して RAM の clock-to-out タイムを短縮できます。エラー検出と訂正回路をイネーブルにすると、メモリ破損を検出し、修正することもできます。

ポートの説明

| ポート名 | 方向 | 幅 | 機能 |
|-------------------|----|----|---|
| ADDRARDADDR[15:0] | 入力 | 16 | ポート A アドレス入力バス/読み出しアドレス入力バス |
| ADDRBWRADDR[15:0] | 入力 | 16 | ポート B アドレス入力バス/書き込みアドレス入力バス |
| CASCADEINA | 入力 | 1 | ポート A カスケード入力。RAM_MODE=SDP の場合は使用されません。 |
| CASCADEINB | 入力 | 1 | ポート B カスケード入力。RAM_MODE=SDP の場合は使用されません。 |
| CASCADEOUTA | 出力 | 1 | ポート A カスケード出力。RAM_MODE=SDP の場合は使用されません。 |
| CASCADEOUTB | 出力 | 1 | ポート B カスケード出力。RAM_MODE=SDP の場合は使用されません。 |
| CLKARDCLK | 入力 | 1 | ポート A クロック入力/読み出しクロック入力 |
| CLKBWRCLK | 入力 | 1 | ポート B クロック入力/書き込みクロック入力 |
| DBITERR | 出力 | 1 | ダブル ビット エラーが検出されたことを示す ECC フังก์ションからのステータス出力。この機能を使用するには EN_ECC_READ を TRUE に設定します。RAM_MODE=TDP の場合は使用されません。 |
| DIADI[31:0] | 入力 | 32 | ポート A データ入力バス/WRADDR でアドレス指定されるデータ入力バス。RAM_MODE=SDP の場合、DIADI の論理値は DI[31:0] です。 |
| DIBDI[31:0] | 入力 | 32 | ポート B データ入力バス/WRADDR でアドレス指定されるデータ入力バス。RAM_MODE=SDP の場合、DIBDI の論理値は DI[63:32] です。 |
| DIPADIP[3:0] | 入力 | 4 | ポート A パリティ データ入力バス/WRADDR でアドレス指定されるデータ パリティ入力バス。RAM_MODE=SDP の場合、DIPADIP の論理値は DIP[3:0] です。 |
| DIPBDIP[3:0] | 入力 | 4 | ポート B パリティ データ入力バス/WRADDR でアドレス指定されるデータ パリティ入力バス。RAM_MODE=SDP の場合、DIPBDIP の論理値は DIP[7:4] です。 |
| DOADO[31:0] | 出力 | 32 | ポート A データ出力バス/RDADDR でアドレス指定されるデータ出力バス。RAM_MODE=SDP の場合、DOADO の論理値は DO[31:0] です。 |
| DOBDO[31:0] | 出力 | 32 | ポート B データ出力バス/RDADDR でアドレス指定されるデータ出力バス。RAM_MODE=SDP の場合、DOBDO の論理値は DO[63:32] です。 |
| DOPADOP[3:0] | 出力 | 4 | ポート A パリティ データ出力バス/RDADDR でアドレス指定されるパリティ データ出力バス。RAM_MODE=SDP の場合、DOPADOP の論理値は DOP[3:0] です。 |
| DOPBDOP[3:0] | 出力 | 4 | ポート B パリティ データ出力バス/RDADDR でアドレス指定されるパリティ データ出力バス。RAM_MODE=SDP の場合、DOPBDOP の論理値は DOP[7:4] です。 |
| ECCPARITY[7:0] | 出力 | 8 | ECC デコーダーでメモリ エラーを検出および訂正するために使用される、ECC エンコーダーで生成された 8 ビット データ。RAM_MODE=TDP の場合は使用されません。 |
| ENARDEN | 入力 | 1 | ポート A RAM イネーブル/リード イネーブル |
| ENBWREN | 入力 | 1 | ポート B RAM イネーブル/ライト イネーブル |
| INJECTDBITERR | 入力 | 1 | ECC 機能が使用されている場合はダブル ビット エラーが挿入されます。 |

| ポート名 | 方向 | 幅 | 機能 |
|----------------|----|---|--|
| INJECTSBITERR | 入力 | 1 | ECC 機能が使用されている場合はシングル ビット エラーが挿入されます。 |
| RDADDRECC[8:0] | 出力 | 9 | 9 ビット ECC 読み出しアドレス。RAM_MODE=TDP の場合は使用されません。 |
| REGCEAREGCE | 入力 | 1 | ポート A 出力レジスタ クロック イネーブル入力/出力レジスタ クロック イネーブル入力 (DO_REG=1 の場合のみ有効) |
| REGCEB | 入力 | 1 | ポート B 出力レジスタ クロック イネーブル (DO_REG=1 および RAM_MODE=TDP の場合のみ有効) |
| RSTRAMARSTRAM | 入力 | 1 | 同期データ ラッチを SRVAL_A で指定された値にセット/リセットします。RSTRAMARSTRAM は、DO_REG=0 または 1 のとき BRAM データ出力ラッチをセット/リセットします。DO_REG=1 の場合は、RSTRAMARSTRAM でリセットされる内部データ ラッチ ノードと BRAM の DO 出力の間に 1 サイクルのレイテンシがあります。この信号は、RAM_MODE=TDP の場合はポート A の RSTRAMA、RAM_MODE=SDP の場合は RSTRAM です。 |
| RSTRAMB | 入力 | 1 | 同期データ ラッチを SRVAL_B で指定された値にセット/リセットします。RSTRAMB は、DO_REG=0 または 1 のとき BRAM データ出力ラッチをセット/リセットします。DO_REG=1 の場合は、RSTRAMB でリセットされる内部データ ラッチ ノードと BRAM の DO 出力の間に 1 サイクルのレイテンシがあります。RAM_MODE=SDP の場合は使用されません。 |
| RSTREGARSTREG | 入力 | 1 | 同期出力レジスタを SRVAL_A で指定された値にセット/リセットします。RSTREGARSTREG は、DO_REG=1 のとき出力レジスタをセット/リセットします。RSTREG_PRIORITY_A は、この信号の優先度が REGCEAREGCE よりも高いかどうかを決定します。この信号は、RAM_MODE=TDP の場合はポート A の RSTREGA、RAM_MODE=SDP の場合は RSTREG です。 |
| RSTREGB | 入力 | 1 | 同期出力レジスタを SRVAL_B で指定された値にセット/リセットします。RSTREGB は、DO_REG=1 のとき出力レジスタをセット/リセットします。RSTREG_PRIORITY_B は、この信号の優先度が REGCEB よりも高いかどうかを決定します。RAM_MODE=SDP の場合は使用されません。 |
| SBITERR | 出力 | 1 | シングル ビット エラーが検出されたことを示す ECC ファンクションからのステータス出力。使用する場合は、EN_ECC_READ を TRUE に設定する必要があります。RAM_MODE=TDP の場合は使用されません。 |
| WEA[3:0] | 入力 | 4 | ポート A のバイト幅ライト イネーブル。RAM_MODE=SDP の場合は使用されません。異なるポート幅の WEA マッピングについてはユーザー ガイドを参照してください。 |
| WEBWE[7:0] | 入力 | 8 | ポート B のバイト幅ライト イネーブル/ライト イネーブル。異なるポート幅の WEBWE マッピングについては、 『Virtex®-6 メモリリソース ユーザー ガイド』 を参照してください。 |

デザインの入力方法

このエレメントは、回路図で使用できます。

使用可能な属性

| 属性 | データ型 | 値 | デフォルト | 説明 |
|-----------------|-------|---|-------|--|
| COLLISION_CHECK | 文字列 | "ALL"、 "GENERATE_X_ONLY"、 "NONE"、 "WARNING_ONLY" | "ALL" | <p>メモリの競合が発生した場合のシミュレーションの動作を指定します。</p> <ul style="list-style-type: none"> ・ "ALL" : 警告メッセージが出力され、関連する出力およびメモリの値が不定 (X) になります。 ・ "WARNING_ONLY" : 警告メッセージのみが出力され、関連する出力およびメモリの値はそのまま保持されます。 ・ "GENERATE_X_ONLY" : 警告メッセージは出力されず、関連する出力およびメモリの値が不定 (X) になります。 ・ "NONE" : 警告メッセージは出力されず、関連する出力およびメモリの値はそのまま保持されます。 <p>メモ: "ALL" 以外の値に設定すると、シミュレーション中にデザインの問題を認識できなくなるため、この値を変更する場合は注意が必要です。</p> |
| DOA_REG | 整数 | 0、1 | 0 | <p>値を 1 にすると、RAM の出力レジスタがイネーブルになり、RAM からの clock-to-out タイムが短縮されます。ただし、読み出しレイテンシのクロックサイクルは増加します。値を 0 にすると、1 クロックサイクルで読み出しが可能ですが、clock-to-out タイムが長くなります。TDP モードでポート A に、SDP では下位 36 ビット (パリティビットを含む) に適用されます。</p> |
| DOB_REG | 整数 | 0、1 | 0 | <p>値を 1 にすると、RAM の出力レジスタがイネーブルになり、RAM からの clock-to-out タイムが短縮されます。ただし、読み出しレイテンシのクロックサイクルは増加します。値を 0 にすると、1 クロックサイクルで読み出しが可能ですが、clock-to-out タイムが長くなります。TDP でポート B に、SDP では高いほうのビット (パリティビットを含む) に適用されます。</p> |
| EN_ECC_READ | ブール代数 | FALSE、TRUE | FALSE | ECC デコーダー回路をイネーブルにします。 |
| EN_ECC_WRITE | ブール代数 | FALSE、TRUE | FALSE | ECC エンコーダー回路をイネーブルにします。 |
| INIT_A | 16 進数 | 36 ビット値 | すべてゼロ | <p>コンフィギュレーション後のポート A の出力の初期値を指定します。"TDP" モードでポート A に、"SDP" では下位 36 ビット (パリティビットを含む) に適用されます。</p> |

| 属性 | データ型 | 値 | デフォルト | 説明 |
|---------------------------|-------|-----------------------------------|-----------------|---|
| INIT_B | 16 進数 | 36 ビット値 | すべてゼロ | コンフィギュレーション後のポート B の出力の初期値を指定します。“TDP” モードではポート B に、“SDP” モードでは上位ビット (パリティビットを含む) に適用されます。 |
| INIT_FILE | 文字列 | ファイルの名前と場所 | なし | RAM の初期内容を記述するファイルの名前を指定します。 |
| INIT_00 ~ INIT_7F | 16 進数 | すべてゼロ ~ すべて 1 | すべてゼロ | 32kb のデータ メモリ アレイの初期値を指定します。 |
| INITP_00 ~ INITP_0F | 16 進数 | すべてゼロ ~ すべて 1 | すべてゼロ | 4kb のパリティ メモリ アレイの初期値を指定します。 |
| RAM_EXTENSION_A | 文字列 | “NONE”、 “LOWER”、 “UPPER” | “NONE” | ポート A カスケード モードを選択します。2 つのブロック RAM をカスケード接続して 72K X 1 RAM を作成しない場合は、“NONE” に設定します。カスケード接続する場合は、RAM を正しくコンフィギュレーションするために、RAM の相対位置を “UPPER” または “LOWER” で指定します。RAM_MODE=SDP の場合は使用されません。 |
| RAM_EXTENSION_B | 文字列 | “LOWER”、 “NONE”、 “UPPER” | “NONE” | ポート B カスケード モードを選択します。2 つのブロック RAM をカスケード接続して 72K X 1 RAM を作成しない場合は、“NONE” に設定します。カスケード接続する場合は、RAM を正しくコンフィギュレーションするために、RAM の相対位置を “UPPER” または “LOWER” で指定します。RAM_MODE=SDP の場合は使用されません。 |
| RAM_MODE | 文字列 | “TDP”、“SDP” | “TDP” | シングル デュアル ポート (“SDP”) または完全なデュアル ポート (“TDP”) を選択します。 |
| RDADDR_COLLISION_HWCONFIG | 文字列 | “DELAYED_WRITE”、 “PERFORMANCE” | “DELAYED_WRITE” | <ul style="list-style-type: none"> “PERFORMANCE” に設定すると、READ_FIRST モードでのクロック パフォーマンス (周波数) が向上します。 RAM の両方のポートで同じクロックを使用してる場合に “PERFORMANCE” に設定すると、アドレスが重なった場合の競合規則が適用されます。 “DELAYED_WRITE” モードでは、競合を発生させずに RAM を使用できます。 ES シリコンではサポートされていないので、ES デバイスをターゲットとする場合は “DELAYED_WRITE” に設定する必要があります。 |

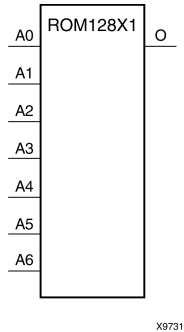
| 属性 | データ型 | 値 | デフォルト | 説明 |
|-------------------|-------|--|---------------|---|
| READ_WIDTH_A | 整数 | 0、1、2、4、9、18、36、72 | 0 | ポート A の読み出しのデータ幅を指定します (パリティビットを含む)。ポートを使用しない場合は、0 に設定する必要があります。ポートを使用する場合は、必要なポート幅に設定してください。 |
| READ_WIDTH_B | 整数 | 0、1、2、4、9、18、36、72 | 0 | ポート B の読み出しのデータ幅を指定します (パリティビットを含む)。ポートを使用しない場合は、0 に設定する必要があります。ポートを使用する場合は、必要なポート幅に設定してください。 |
| RSTREG_PRIORITY_A | 文字列 | "RSTREG"、 "REGCE" | "RSTREG" | RSTREG または REGCE のレジスタ優先順位を選択します。TDP モードでポート A に、SDP では下位 36 ビット (パリティビットを含む) に適用されます。 |
| RSTREG_PRIORITY_B | 文字列 | "RSTREG"、 "REGCE" | "RSTREG" | RSTREG または REGCE のレジスタ優先順位を選択します。TDP でポート B に、SDP では上位ビット (パリティビットを含む) に適用されます。 |
| SRVAL_A | 16 進数 | 36 ビット値 | すべてゼロ | 同期リセット信号 (RSTREG) がアサートされたときの RAM の出力値を指定します。 |
| SRVAL_B | 16 進数 | 36 ビット値 | すべてゼロ | 同期リセット信号 (RSTREG) がアサートされたときの RAM の出力値を指定します。 |
| WRITEMODE | 文字列 | "WRITE_FIRST"、 "READ_FIRST"、 "NO_CHANGE" | "WRITE_FIRST" | 書き込みが実行されるときのパートの動作を指定します。 <ul style="list-style-type: none"> ・ "WRITE_FIRST": 書き込まれた値が出力ポートに出力されます。 ・ "READ_FIRST": 書き込み前にそのメモリ ロケーションに格納されていた値が出力ポートに出力されます。 ・ "NO_CHANGE": 出力ポートの以前の値が保持されます。 |
| WRITE_WIDTH_A | 整数 | 0、1、2、4、9、18、36 | 0 | ポート A の書き込みのデータ幅を指定します (パリティビットを含む)。ポートを使用しない場合は、0 に設定する必要があります。ポートを使用する場合は、必要なポート幅に設定してください。 |
| WRITE_WIDTH_B | 整数 | 0、1、2、4、9、18、36、72 | 0 | ポート B の書き込みのデータ幅を指定します (パリティビットを含む)。ポートを使用しない場合は、0 に設定する必要があります。ポートを使用する場合は、必要なポート幅に設定してください。 |

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

ROM128X1

プリミティブ：128-Deep by 1-Wide ROM



X9731

概要

このデザイン エLEMENTは 128 ワード X 1 ビットの ROM です。データ出力 (O) には、7 ビットのアドレス (A6 ~ A0) で選択されたワードが出力されます。ROM は、コンフィギュレーションの際に INIT で指定された値に初期化されます。初期値は 32 桁の 16 進数で、ROM には最上位ビット A=FH から最下位ビット A=0H の順に書き込まれます。INIT を指定しないと、エラーが発生します。

論理表

| 入力 | | | | 出力 |
|----|----|----|----|----------|
| I0 | I1 | I2 | I3 | O |
| 0 | 0 | 0 | 0 | INIT(0) |
| 0 | 0 | 0 | 1 | INIT(1) |
| 0 | 0 | 1 | 0 | INIT(2) |
| 0 | 0 | 1 | 1 | INIT(3) |
| 0 | 1 | 0 | 0 | INIT(4) |
| 0 | 1 | 0 | 1 | INIT(5) |
| 0 | 1 | 1 | 0 | INIT(6) |
| 0 | 1 | 1 | 1 | INIT(7) |
| 1 | 0 | 0 | 0 | INIT(8) |
| 1 | 0 | 0 | 1 | INIT(9) |
| 1 | 0 | 1 | 0 | INIT(10) |
| 1 | 0 | 1 | 1 | INIT(11) |
| 1 | 1 | 0 | 0 | INIT(12) |
| 1 | 1 | 0 | 1 | INIT(13) |
| 1 | 1 | 1 | 0 | INIT(14) |
| 1 | 1 | 1 | 1 | INIT(15) |

デザインの入力方法

このELEMENTは、回路図で使用できます。

使用可能な属性

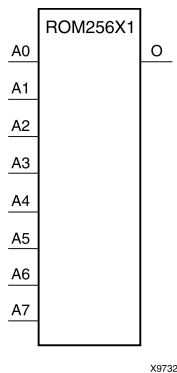
| 属性 | データ型 | 値 | デフォルト | 説明 |
|------|-------|----------|-------|-----------|
| INIT | 16 進数 | 128 ビット値 | すべてゼロ | ROM の値を指定 |

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

ROM256X1

プリミティブ：256-Deep by 1-Wide ROM



概要

このデザイン エLEMENTは 256 ワード X 1 ビットの ROM です。データ出力 (O) には、8 ビットのアドレス (A7 ～ A0) で選択されたワードが出力されます。ROM は、コンフィギュレーションの際に INIT で指定された値に初期化されます。初期値は 64 桁の 16 進数で、ROM には最上位ビット A=FH から最下位ビット A=0H の順に書き込まれます。

INIT を指定しないと、エラーが発生します。

論理表

| 入力 | | | | 出力 |
|----|----|----|----|----------|
| I0 | I1 | I2 | I3 | O |
| 0 | 0 | 0 | 0 | INIT(0) |
| 0 | 0 | 0 | 1 | INIT(1) |
| 0 | 0 | 1 | 0 | INIT(2) |
| 0 | 0 | 1 | 1 | INIT(3) |
| 0 | 1 | 0 | 0 | INIT(4) |
| 0 | 1 | 0 | 1 | INIT(5) |
| 0 | 1 | 1 | 0 | INIT(6) |
| 0 | 1 | 1 | 1 | INIT(7) |
| 1 | 0 | 0 | 0 | INIT(8) |
| 1 | 0 | 0 | 1 | INIT(9) |
| 1 | 0 | 1 | 0 | INIT(10) |
| 1 | 0 | 1 | 1 | INIT(11) |
| 1 | 1 | 0 | 0 | INIT(12) |
| 1 | 1 | 0 | 1 | INIT(13) |
| 1 | 1 | 1 | 0 | INIT(14) |
| 1 | 1 | 1 | 1 | INIT(15) |

デザインの入力方法

このELEMENTは、回路図で使用できます。

使用可能な属性

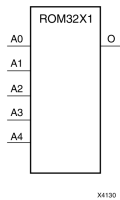
| 属性 | データ型 | 値 | デフォルト | 説明 |
|------|-------|----------|-------|-----------|
| INIT | 16 進数 | 256 ビット値 | すべてゼロ | ROM の値を指定 |

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

ROM32X1

プリミティブ : 32-Deep by 1-Wide ROM



概要

このデザイン エLEMENTは 32 ワード X 1 ビットの ROM です。データ出力 (O) には、5 ビットのアドレス (A4 ~ A0) で選択されたワードが出力されます。ROM は、コンフィギュレーションの際に INIT で指定された値に初期化されます。初期値は 8 桁の 16 進数で、ROM には最上位ビット A=1FH から最下位ビット A=00H の順に書き込まれます。

たとえば INIT=10A78F39 と指定すると、「0001 0000 1010 0111 1000 1111 0011」というデータストリームが生成されます。INIT を指定しないと、エラーが発生します。

論理表

| 入力 | | | | 出力 |
|----|----|----|----|----------|
| I0 | I1 | I2 | I3 | O |
| 0 | 0 | 0 | 0 | INIT(0) |
| 0 | 0 | 0 | 1 | INIT(1) |
| 0 | 0 | 1 | 0 | INIT(2) |
| 0 | 0 | 1 | 1 | INIT(3) |
| 0 | 1 | 0 | 0 | INIT(4) |
| 0 | 1 | 0 | 1 | INIT(5) |
| 0 | 1 | 1 | 0 | INIT(6) |
| 0 | 1 | 1 | 1 | INIT(7) |
| 1 | 0 | 0 | 0 | INIT(8) |
| 1 | 0 | 0 | 1 | INIT(9) |
| 1 | 0 | 1 | 0 | INIT(10) |
| 1 | 0 | 1 | 1 | INIT(11) |
| 1 | 1 | 0 | 0 | INIT(12) |
| 1 | 1 | 0 | 1 | INIT(13) |
| 1 | 1 | 1 | 0 | INIT(14) |
| 1 | 1 | 1 | 1 | INIT(15) |

デザインの入力方法

このELEMENTは、回路図で使用できます。

使用可能な属性

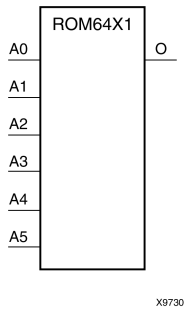
| 属性 | タイプ | 値 | デフォルト | 説明 |
|------|-------|---------|-------|-----------|
| INIT | 16 進数 | 32 ビット値 | すべてゼロ | ROM の値を指定 |

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

ROM64X1

プリミティブ：64-Deep by 1-Wide ROM



X9730

概要

このデザイン エLEMENTは 64 ワード X 1 ビットの ROM です。データ出力 (O) には、6 ビットのアドレス (A5 ～ A0) で選択されたワードが出力されます。ROM は、コンフィギュレーションの際に INIT で指定された値に初期化されます。初期値は 16 桁の 16 進数で、ROM には最上位ビット A=FH から最下位ビット A=0H の順に書き込まれます。INIT を指定しないと、エラーが発生します。

論理表

| 入力 | | | | 出力 |
|----|----|----|----|----------|
| I0 | I1 | I2 | I3 | O |
| 0 | 0 | 0 | 0 | INIT(0) |
| 0 | 0 | 0 | 1 | INIT(1) |
| 0 | 0 | 1 | 0 | INIT(2) |
| 0 | 0 | 1 | 1 | INIT(3) |
| 0 | 1 | 0 | 0 | INIT(4) |
| 0 | 1 | 0 | 1 | INIT(5) |
| 0 | 1 | 1 | 0 | INIT(6) |
| 0 | 1 | 1 | 1 | INIT(7) |
| 1 | 0 | 0 | 0 | INIT(8) |
| 1 | 0 | 0 | 1 | INIT(9) |
| 1 | 0 | 1 | 0 | INIT(10) |
| 1 | 0 | 1 | 1 | INIT(11) |
| 1 | 1 | 0 | 0 | INIT(12) |
| 1 | 1 | 0 | 1 | INIT(13) |
| 1 | 1 | 1 | 0 | INIT(14) |
| 1 | 1 | 1 | 1 | INIT(15) |

デザインの入力方法

このELEMENTは、回路図で使用できます。

使用可能な属性

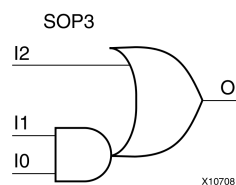
| 属性 | データ型 | 値 | デフォルト | 説明 |
|------|-------|---------|-------|-----------|
| INIT | 16 進数 | 64 ビット値 | すべてゼロ | ROM の値を指定 |

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

SOP3

マクロ：3-Input Sum of Products



概要

このデザイン エLEMENTは 3 入力の積和 (SOP) マクロで、1 個の AND 出力と 1 個の直接入力を OR ゲートに入力した共通ロジック ファンクションです。反転入力と非反転入力をさまざまに組み合わせたものがあります。

デザインの入力方法

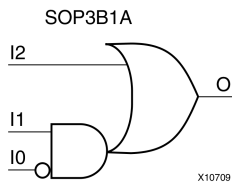
このELEMENTは、回路図でのみ使用できます。

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

SOP3B1A

マクロ : 3-Input Sum of Products with One Inverted Input (Option A)



概要

このデザイン エレメントは 3 入力の積和 (SOP) マクロで、1 個の AND 出力と 1 個の直接入力を OR ゲートに入力した共通ロジック ファンクションです。反転入力と非反転入力をさまざまに組み合わせたものがあります。

デザインの入力方法

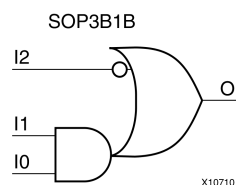
このエレメントは、回路図でのみ使用できます。

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

SOP3B1B

マクロ：3-Input Sum of Products with One Inverted Input (Option B)



概要

このデザイン エLEMENTは 3 入力の積和 (SOP) マクロで、1 個の AND 出力と 1 個の直接入力を OR ゲートに入力した共通ロジック ファンクションです。反転入力と非反転入力をさまざまに組み合わせたものがあります。

デザインの入力方法

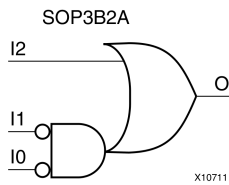
このELEMENTは、回路図でのみ使用できます。

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

SOP3B2A

マクロ : 3-Input Sum of Products with Two Inverted Inputs (Option A)



概要

このデザイン エレメントは 3 入力の積和 (SOP) マクロで、1 個の AND 出力と 1 個の直接入力を OR ゲートに入力した共通ロジック ファンクションです。反転入力と非反転入力をさまざまに組み合わせたものがあります。

デザインの入力方法

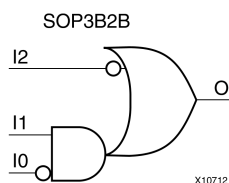
このエレメントは、回路図でのみ使用できます。

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

SOP3B2B

マクロ : 3-Input Sum of Products with Two Inverted Inputs (Option B)



概要

このデザイン エLEMENTは 3 入力の積和 (SOP) マクロで、1 個の AND 出力と 1 個の直接入力を OR ゲートに入力した共通ロジック ファンクションです。反転入力と非反転入力をさまざまに組み合わせたものがあります。

デザインの入力方法

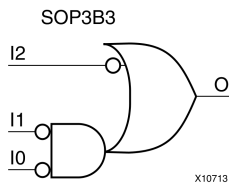
このELEMENTは、回路図でのみ使用できます。

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

SOP3B3

マクロ : 3-Input Sum of Products with Inverted Inputs



概要

このデザイン エレメントは 3 入力の積和 (SOP) マクロで、1 個の AND 出力と 1 個の直接入力を OR ゲートに入力した共通ロジック ファンクションです。反転入力と非反転入力をさまざまに組み合わせたものがあります。

デザインの入力方法

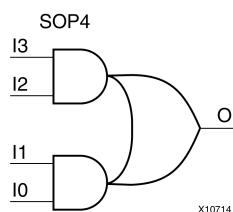
このエレメントは、回路図でのみ使用できます。

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

SOP4

マクロ：4-Input Sum of Products



概要

このデザイン エLEMENTは 4 入力の積和 (SOP) マクロで、2 個の AND 出力を OR ゲートに入力した共通ロジック ファンクションです。反転入力と非反転入力をさまざまに組み合わせたものがあります。

デザインの入力方法

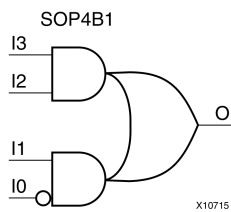
このELEMENTは、回路図でのみ使用できます。

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

SOP4B1

マクロ : 4-Input Sum of Products with One Inverted Input



概要

このデザイン エLEMENTは 4 入力の積和 (SOP) マクロで、2 個の AND 出力を OR ゲートに入力した共通ロジック ファンクションです。反転入力と非反転入力をさまざまに組み合わせたものがあります。

デザインの入力方法

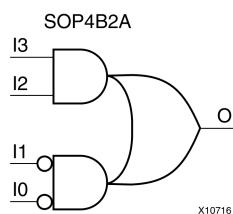
このELEMENTは、回路図でのみ使用できます。

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

SOP4B2A

マクロ：4-Input Sum of Products with Two Inverted Inputs (Option A)



概要

このデザイン エLEMENTは 4 入力の積和 (SOP) マクロで、2 個の AND 出力を OR ゲートに入力した共通ロジック ファンクションです。反転入力と非反転入力をさまざまに組み合わせたものがあります。

デザインの入力方法

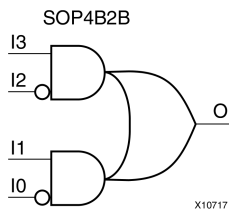
このELEMENTは、回路図でのみ使用できます。

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

SOP4B2B

マクロ : 4-Input Sum of Products with Two Inverted Inputs (Option B)



概要

このデザイン エLEMENTは 4 入力の積和 (SOP) マクロで、2 個の AND 出力を OR ゲートに入力した共通ロジック ファンクションです。反転入力と非反転入力をさまざまに組み合わせたものがあります。

デザインの入力方法

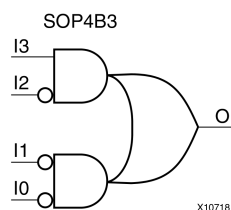
このELEMENTは、回路図でのみ使用できます。

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

SOP4B3

マクロ：4-Input Sum of Products with Three Inverted Inputs



概要

このデザイン エLEMENTは 4 入力の積和 (SOP) マクロで、2 個の AND 出力を OR ゲートに入力した共通ロジック ファンクションです。反転入力と非反転入力をさまざまに組み合わせたものがあります。

デザインの入力方法

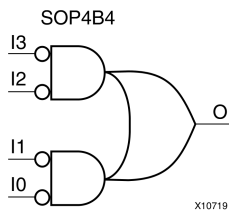
このELEMENTは、回路図でのみ使用できます。

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

SOP4B4

マクロ : 4-Input Sum of Products with Inverted Inputs



概要

このデザイン エLEMENTは 4 入力の積和 (SOP) マクロで、2 個の AND 出力を OR ゲートに入力した共通ロジック ファンクションです。反転入力と非反転入力をさまざまに組み合わせたものがあります。

デザインの入力方法

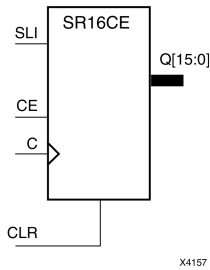
このELEMENTは、回路図でのみ使用できます。

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

SR16CE

マクロ : 16-Bit Serial-In Parallel-Out Shift Register with Clock Enable and Asynchronous Clear



概要

このデザイン エLEMENTはシフトレジスタで、シフト レフト シリアル入力 (SLI)、パラレル出力 (Q)、クロック イネーブル (CE)、非同期クリア入力 (CLR) があります。CLR 入力が高になると、ほかのすべての入力は無視され、出力 (Q) が Low にリセットされます。CE が High で CLR が Low の場合、クロック (C) が Low から High に切り替わるたびに SLI 入力の値がシフトレジスタの第 1 ビットにロードされ、Q0 に出力されます。次にクロックが Low から High に切り替わるたびに CE が High で CLR が Low の場合、値が次の高位ビットの位置にシフトされ、新しい値が Q0 にロードされます (SLI → Q0、Q0 → Q1、Q1 → Q2 など)。CE が Low の場合は、クロック遷移は無視されます。

最後の Q 出力を次の段の SLI 入力に接続し、クロック、CE、CLR を並列に接続すると、複数のレジスタをカスケード接続できます。

電力を供給すると、レジスタは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

| 入力 | | | | 出力 | |
|---|----|-----|---|------|-------|
| CLR | CE | SLI | C | Q0 | Qz:Q1 |
| 1 | X | X | X | 0 | 0 |
| 0 | 0 | X | X | 変化なし | 変化なし |
| 0 | 1 | SLI | ↑ | SLI | qn-1 |
| z = ビット幅 - 1 | | | | | |
| qn-1 = アクティブなクロック エッジの 1 セットアップ タイム前の対応する出力の値 | | | | | |

デザインの入力方法

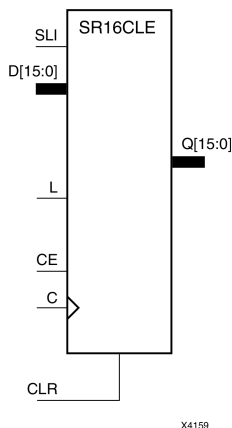
このELEMENTは、回路図でのみ使用できます。

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

SR16CLE

マクロ：16-Bit Loadable Serial/Parallel-In Parallel-Out Shift Register with Clock Enable and Asynchronous Clear



概要

このデザイン エレメントはシフトレジスタで、シフトレフトシリアル入力 (SLI)、パラレル入力 (D)、パラレル出力 (Q) に加え、クロックイネーブル (CE)、ロードイネーブル (L)、非同期クリア (CLR) の 3 つの制御入力があります。L と CE が Low の場合、クロック遷移は無視されます。CLR が High になると、ほかのすべての入力は無視され、出力 (Q) が Low にリセットされます。L が High で CLR が Low の場合、クロック (C) が Low から High に切り替わる時に、Dn ~ D0 入力の値が対応する Qn ~ Q0 ビットにロードされます。

CE が High で L および CLR が Low の場合、C が Low から High に切り替わる時に、SLI 入力の値がシフトレジスタの第 1 ビットにロードされ、Q0 に出力されます。次のクロック遷移で CE が High、L と CLR が Low の場合、値が次の高位ビットの位置にシフトされ、新しい値が Q0 にロードされます (SLI → Q0、Q0 → Q1、Q1 → Q2 など)。

最後の Q 出力を次の段の SLI 入力に接続し、クロック、CE、L、CLR を並列に接続すると、複数のレジスタをカスケード接続できます。

電力を供給すると、レジスタは非同期にクリアされ、出力が Low になります。FPGA では、グローバルセット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

| 入力 | | | | | | 出力 | |
|---|---|----|-----|-------|---|------|-------|
| CLR | L | CE | SLI | Dn:D0 | C | Q0 | Qz:Q1 |
| 1 | X | X | X | X | X | 0 | 0 |
| 0 | 1 | X | X | Dn:D0 | ↑ | D0 | Dn |
| 0 | 0 | 1 | SLI | X | ↑ | SLI | qn-1 |
| 0 | 0 | 0 | X | X | X | 変化なし | 変化なし |
| z = ビット幅 -1 | | | | | | | |
| qn-1 = アクティブなクロック エッジの 1 セットアップ タイム前の対応する出力の値 | | | | | | | |

デザインの入力方法

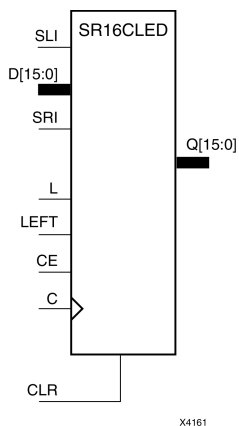
このエレメントは、回路図でのみ使用できます。

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

SR16CLED

マクロ : 16-Bit Shift Register with Clock Enable and Asynchronous Clear



概要

このデザイン エLEMENTはシフトレジスタで、シフトレフトシリアル入力 (SLI)、シフトライトシリアル入力 (SRI)、パラレル入力 (D)、パラレル出力 (Q) に加え、クロック イネーブル (CE)、ロード イネーブル (L)、シフトレフト/ライト (LEFT)、非同期クリア (CLR) の 4 つの制御入力があります。CE と L が Low の場合、クロック遷移は無視されます。CLR が High になると、ほかのすべての入力は無視され、出力 (Q) が Low にリセットされます。

L が High で CLR が Low の場合、クロック (C) が Low から High に切り替わるときに、D 入力の値が対応する Q ビットにロードされます。CE が High で L および CLR が Low の場合、LEFT 入力の値に応じて、レジスタの値は高位ビットまたは下位ビットにシフトされます。LEFT が High の場合は、クロックが Low から High に切り替わるときに SLI の値が Q0 にロードされ、次の Low から High へのクロック遷移で高位ビットにシフトされます (例 : Q0 → Q1、Q1 → Q2)。LEFT が Low の場合は、クロックが Low から High に切り替わるときに SRI の値が最後の Q にロードされ、次のクロック遷移で右方向にシフトされます。論理表にすべての入力条件に対する Q 出力の値を示します。

電力を供給すると、レジスタは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

| 入力 | | | | | | | | 出力 | | |
|--|---|----|------|-----|-----|--------|---|------|------|--------|
| CLR | L | CE | LEFT | SLI | SRI | D15:D0 | C | Q0 | Q15 | Q14:Q1 |
| 1 | X | X | X | X | X | X | X | 0 | 0 | 0 |
| 0 | 1 | X | X | X | X | D15:D0 | ↑ | D0 | D15 | Dn |
| 0 | 0 | 0 | X | X | X | X | X | 変化なし | 変化なし | 変化なし |
| 0 | 0 | 1 | 1 | SLI | X | X | ↑ | SLI | q14 | qn-1 |
| 0 | 0 | 1 | 0 | X | SRI | X | ↑ | q1 | SRI | qn+1 |
| qn-1 または qn+1 = アクティブなクロック エッジの 1 セットアップ タイム前の対応する出力の値 | | | | | | | | | | |

デザインの入力方法

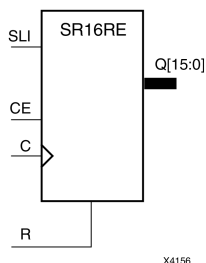
このELEMENTは、回路図でのみ使用できます。

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

SR16RE

マクロ：16-Bit Serial-In Parallel-Out Shift Register with Clock Enable and Synchronous Reset



概要

このデザイン エレメントはシフトレジスタで、シフトレフトシリアル入力 (SLI)、パラレル出力 (Qn)、クロック イネーブル (CE)、同期リセット入力 (R) があります。R 入力が高レベルになると、ほかのすべての入力は無視され、クロック (C) が Low から High に切り替わる時に出力 (Q) が Low にリセットされます。

CE が High で R が Low の場合、クロック (C) が Low から High に切り替わる時に SLI の値がシフトレジスタの第 1 ビットにロードされ、Q0 に出力されます。次にクロックが Low から High に切り替わる時に CE が High で R が Low の場合、値が次の高位ビットの位置にシフトされ、新しい値が Q0 にロードされます (SLI → Q0、Q0 → Q1、Q1 → Q2 など)。CE が Low の場合は、クロック遷移は無視されます。

最後の Q 出力を次の段の SLI 入力に接続し、クロック、CE、R を並列に接続すると、複数のレジスタをカスケード接続できます。

電力を供給すると、レジスタは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

| 入力 | | | | 出力 | |
|---|----|-----|---|------|-------|
| R | CE | SLI | C | Q0 | Qz:Q1 |
| 1 | X | X | ↑ | 0 | 0 |
| 0 | 0 | X | X | 変化なし | 変化なし |
| 0 | 1 | SLI | ↑ | SLI | qn-1 |
| z = ビット幅 -1 | | | | | |
| qn-1 = アクティブなクロック エッジの 1 セットアップ タイム前の対応する出力の値 | | | | | |

デザインの入力方法

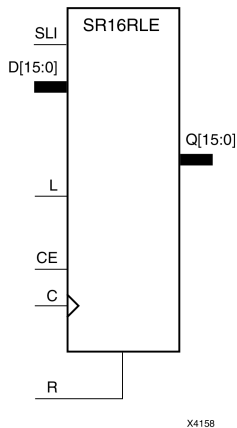
このエレメントは、回路図でのみ使用できます。

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

SR16RLE

マクロ：16-Bit Loadable Serial/Parallel-In Parallel-Out Shift Register with Clock Enable and Synchronous Reset



概要

このデザイン エLEMENTはシフトレジスタで、シフト レフト シリアル入力 (SLI)、パラレル入力 (D)、パラレル出力 (Q) に加え、クロック イネーブル (CE)、ロード イネーブル (L)、同期リセット (R) の 3 つの制御入力があります。L と CE が Low の場合、クロック遷移は無視されます。R が High になると、ほかのすべての入力は無視され、クロック (C) が Low から High に切り替わるときに Q が Low にリセットされます。L が High で R が Low の場合、C が Low から High に切り替わるたびに、D 入力の値が対応する Q ビットにロードされます。

CE が High で L および R が Low の場合は、C が Low から High に切り替わるたびに SLI 入力の値がシフトレジスタの第 1 ビットにロードされ、Q0 に出力されます。次のクロック遷移で CE が High、L と R が Low の場合、シフトレジスタの値は次の高位ビットにシフトされ、新しい値が Q0 にロードされます。

最後の Q 出力を次の段の SLI 入力に接続し、クロック、CE、L、R を並列に接続すると、複数のレジスタをカスケード接続できます。

電力を供給すると、レジスタは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

| 入力 | | | | | | 出力 | |
|---|---|----|-----|-------|---|------|-------|
| R | L | CE | SLI | Dz:D0 | C | Q0 | Qz:Q1 |
| 1 | X | X | X | X | ↑ | 0 | 0 |
| 0 | 1 | X | X | Dz:D0 | ↑ | D0 | Dn |
| 0 | 0 | 1 | SLI | X | ↑ | SLI | qn-1 |
| 0 | 0 | 0 | X | X | X | 変化なし | 変化なし |
| z = ビット幅 -1 | | | | | | | |
| qn-1 = アクティブなクロック エッジの 1 セットアップ タイム前の対応する出力の値 | | | | | | | |

デザインの入力方法

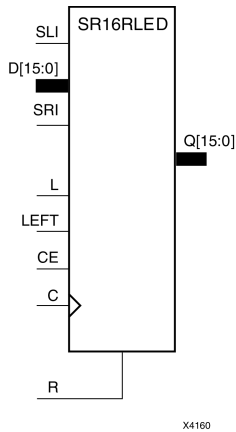
このELEMENTは、回路図でのみ使用できます。

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

SR16RLED

マクロ：16-Bit Shift Register with Clock Enable and Synchronous Reset



概要

このデザイン エLEMENTはシフトレジスタで、シフトレフトシリアル入力 (SLI)、シフトライトシリアル入力 (SRI)、パラレル入力 (D)、パラレル出力 (Q) に加え、クロック イネーブル (CE)、ロード イネーブル (L)、シフトレフト/ライト (LEFT)、同期リセット (R) の 4 つの制御入力があります。CE と L が Low の場合、クロック遷移は無視されます。R が High になると、ほかのすべての入力は無視され、クロック (C) が Low から High に切り替わるときに Q が Low にリセットされます。L が High で R が Low の場合、C が Low から High に切り替わるときに、D 入力の値が対応する Q ビットにロードされます。

CE が High で L および R が Low の場合、LEFT 入力の値に応じて、レジスタの値は高位ビットまたは下位ビットにシフトされます。LEFT が High の場合は、クロックが Low から High に切り替わるときに SLI の値が Q0 にロードされ、次の Low から High へのクロック遷移で高位ビットにシフトされます (例: Q0 → Q1, Q1 → Q2)。LEFT が Low の場合は、クロックが Low から High に切り替わるときに SRI の値が最後の Q にロードされ、次のクロック遷移で右方向にシフトされます。論理表にすべての入力条件に対する Q 出力の値を示します。

電力を供給すると、レジスタは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

| 入力 | | | | | | | | 出力 | | |
|--|---|----|------|-----|-----|--------|---|------|------|--------|
| R | L | CE | LEFT | SLI | SRI | D15:D0 | C | Q0 | Q15 | Q14:Q1 |
| 1 | X | X | X | X | X | X | ↑ | 0 | 0 | 0 |
| 0 | 1 | X | X | X | X | D15:D0 | ↓ | D0 | D15 | Dn |
| 0 | 0 | 0 | X | X | X | X | X | 変化なし | 変化なし | 変化なし |
| 0 | 0 | 1 | 1 | SLI | X | X | ↑ | SLI | q14 | qn-1 |
| 0 | 0 | 1 | 0 | X | SRI | X | ↓ | q1 | SRI | qn+1 |
| qn-1 または qn+1 = アクティブなクロック エッジの 1 セットアップ タイム前の対応する出力の値 | | | | | | | | | | |

デザインの入力方法

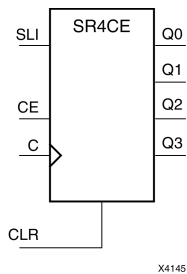
このELEMENTは、回路図でのみ使用できます。

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

SR4CE

マクロ : 4-Bit Serial-In Parallel-Out Shift Register with Clock Enable and Asynchronous Clear



概要

このデザイン エLEMENTはシフトレジスタで、シフト レフト シリアル入力 (SLI)、パラレル出力 (Q)、クロック イネーブル (CE)、非同期クリア入力 (CLR) があります。CLR 入力が高レベルになると、ほかのすべての入力は無視され、出力 (Q) が Low にリセットされます。CE が High で CLR が Low の場合、クロック (C) が Low から High に切り替わるたびに SLI 入力の値がシフトレジスタの第 1 ビットにロードされ、Q0 に出力されます。次にクロックが Low から High に切り替わるたびに CE が High で CLR が Low の場合、値が次の高位ビットの位置にシフトされ、新しい値が Q0 にロードされます (SLI → Q0、Q0 → Q1、Q1 → Q2 など)。CE が Low の場合は、クロック遷移は無視されます。

最後の Q 出力を次の段の SLI 入力に接続し、クロック、CE、CLR を並列に接続すると、複数のレジスタをカスケード接続できます。

電力を供給すると、レジスタは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

| 入力 | | | | 出力 | |
|---|----|-----|---|------|-------|
| CLR | CE | SLI | C | Q0 | Qz:Q1 |
| 1 | X | X | X | 0 | 0 |
| 0 | 0 | X | X | 変化なし | 変化なし |
| 0 | 1 | SLI | ↑ | SLI | qn-1 |
| z = ビット幅 - 1 | | | | | |
| qn-1 = アクティブなクロック エッジの 1 セットアップ タイム前の対応する出力の値 | | | | | |

デザインの入力方法

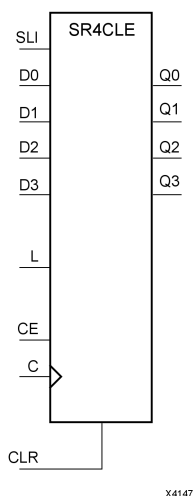
このELEMENTは、回路図でのみ使用できます。

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

SR4CLE

マクロ：4-Bit Loadable Serial/Parallel-In Parallel-Out Shift Register with Clock Enable and Asynchronous Clear



X4147

概要

このデザイン エレメントはシフトレジスタで、シフトレフトシリアル入力 (SLI)、パラレル入力 (D)、パラレル出力 (Q) に加え、クロック イネーブル (CE)、ロード イネーブル (L)、非同期クリア (CLR) の 3 つの制御入力があります。L と CE が Low の場合、クロック遷移は無視されます。CLR が High になると、ほかのすべての入力は無視され、出力 (Q) が Low にリセットされます。L が High で CLR が Low の場合、クロック (C) が Low から High に切り替わるときに、Dn ~ D0 入力の値が対応する Qn ~ Q0 ビットにロードされます。

CE が High で L および CLR が Low の場合、C が Low から High に切り替わるときに、SLI 入力の値がシフトレジスタの第 1 ビットにロードされ、Q0 に出力されます。次のクロック遷移で CE が High、L と CLR が Low の場合、値が次の高位ビットの位置にシフトされ、新しい値が Q0 にロードされます (SLI → Q0、Q0 → Q1、Q1 → Q2 など)。

最後の Q 出力を次の段の SLI 入力に接続し、クロック、CE、L、CLR を並列に接続すると、複数のレジスタをカスケード接続できます。

電力を供給すると、レジスタは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

| 入力 | | | | | | 出力 | |
|---|---|----|-----|-------|---|------|-------|
| CLR | L | CE | SLI | Dn:D0 | C | Q0 | Qz:Q1 |
| 1 | X | X | X | X | X | 0 | 0 |
| 0 | 1 | X | X | Dn:D0 | ↑ | D0 | Dn |
| 0 | 0 | 1 | SLI | X | ↑ | SLI | qn-1 |
| 0 | 0 | 0 | X | X | X | 変化なし | 変化なし |
| z = ビット幅 -1 | | | | | | | |
| qn-1 = アクティブなクロック エッジの 1 セットアップ タイム前の対応する出力の値 | | | | | | | |

デザインの入力方法

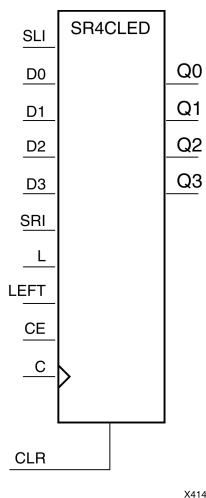
このエレメントは、回路図でのみ使用できます。

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

SR4CLED

マクロ : 4-Bit Shift Register with Clock Enable and Asynchronous Clear



概要

このデザイン エレメントはシフトレジスタで、シフトレフトシリアル入力 (SLI)、シフトライトシリアル入力 (SRI)、パラレル入力 (D)、パラレル出力 (Q) に加え、クロック イネーブル (CE)、ロード イネーブル (L)、シフトレフト/ライト (LEFT)、非同期クリア (CLR) の 4 つの制御入力があります。CE と L が Low の場合、クロック遷移は無視されます。CLR が High になると、ほかのすべての入力は無視され、出力 (Q) が Low にリセットされます。

L が High で CLR が Low の場合、クロック (C) が Low から High に切り替わるときに、D 入力の値が対応する Q ビットにロードされます。CE が High で L および CLR が Low の場合、LEFT 入力の値に応じて、レジスタの値は高位ビットまたは下位ビットにシフトされます。LEFT が High の場合は、クロックが Low から High に切り替わるときに SLI の値が Q0 にロードされ、次の Low から High へのクロック遷移で高位ビットにシフトされます (例 : Q0 → Q1、Q1 → Q2)。LEFT が Low の場合は、クロックが Low から High に切り替わるときに SRI の値が最後の Q にロードされ、次のクロック遷移で右方向にシフトされます。論理表にすべての入力条件に対する Q 出力の値を示します。

電力を供給すると、レジスタは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

| 入力 | | | | | | | | 出力 | | |
|--|---|----|------|-----|-----|-------|---|------|------|-------|
| CLR | L | CE | LEFT | SLI | SRI | D3:D0 | C | Q0 | Q3 | Q2:Q1 |
| 1 | X | X | X | X | X | X | X | 0 | 0 | 0 |
| 0 | 1 | X | X | X | X | D3:D0 | ↑ | D0 | D3 | Dn |
| 0 | 0 | 0 | X | X | X | X | X | 変化なし | 変化なし | 変化なし |
| 0 | 0 | 1 | 1 | SLI | X | X | ↑ | SLI | q2 | qn-1 |
| 0 | 0 | 1 | 0 | X | SRI | X | ↑ | q1 | SRI | qn+1 |
| qn-1 および qn+1 = アクティブなクロック エッジの 1 セットアップ タイム前の対応する出力の値 | | | | | | | | | | |

デザインの入力方法

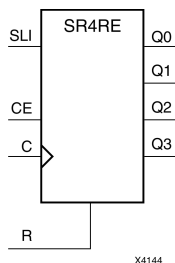
このエレメントは、回路図でのみ使用できます。

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

SR4RE

マクロ : 4-Bit Serial-In Parallel-Out Shift Register with Clock Enable and Synchronous Reset



概要

このデザイン エレメントはシフトレジスタで、シフトレフトシリアル入力 (SLI)、パラレル出力 (Qn)、クロック イネーブル (CE)、同期リセット入力 (R) があります。R 入力が高レベルになると、ほかのすべての入力は無視され、クロック (C) が Low から High に切り替わる時に出力 (Q) が Low にリセットされます。

CE が High で R が Low の場合、クロック (C) が Low から High に切り替わる時に SLI の値がシフトレジスタの第 1 ビットにロードされ、Q0 に出力されます。次にクロックが Low から High に切り替わる時に CE が High で R が Low の場合、値が次の高位ビットの位置にシフトされ、新しい値が Q0 にロードされます (SLI → Q0、Q0 → Q1、Q1 → Q2 など)。CE が Low の場合は、クロック遷移は無視されます。

最後の Q 出力を次の段の SLI 入力に接続し、クロック、CE、R を並列に接続すると、複数のレジスタをカスケード接続できます。

電力を供給すると、レジスタは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

| 入力 | | | | 出力 | |
|---|----|-----|---|------|-------|
| R | CE | SLI | C | Q0 | Qz:Q1 |
| 1 | X | X | ↑ | 0 | 0 |
| 0 | 0 | X | X | 変化なし | 変化なし |
| 0 | 1 | SLI | ↑ | SLI | qn-1 |
| z = ビット幅 -1 | | | | | |
| qn-1 = アクティブなクロック エッジの 1 セットアップ タイム前の対応する出力の値 | | | | | |

デザインの入力方法

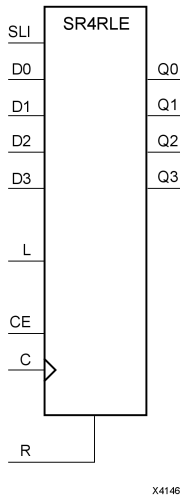
このエレメントは、回路図でのみ使用できます。

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

SR4RLE

マクロ：4-Bit Loadable Serial/Parallel-In Parallel-Out Shift Register with Clock Enable and Synchronous Reset



概要

このデザイン エLEMENTはシフトレジスタで、シフトレフトシリアル入力 (SLI)、パラレル入力 (D)、パラレル出力 (Q) に加え、クロック イネーブル (CE)、ロード イネーブル (L)、同期リセット (R) の 3 つの制御入力があります。L と CE が Low の場合、クロック遷移は無視されます。R が High になると、ほかのすべての入力は無視され、クロック (C) が Low から High に切り替わる時に Q が Low にリセットされます。L が High で R が Low の場合、C が Low から High に切り替わる時に、D 入力の値が対応する Q ビットにロードされます。

CE が High で L および R が Low の場合は、C が Low から High に切り替わる時に SLI 入力の値がシフトレジスタの第 1 ビットにロードされ、Q0 に出力されます。次のクロック遷移で CE が High、L と R が Low の場合、シフトレジスタの値は次の高位ビットにシフトされ、新しい値が Q0 にロードされます。

最後の Q 出力を次の段の SLI 入力に接続し、クロック、CE、L、R を並列に接続すると、複数のレジスタをカスケード接続できます。

電力を供給すると、レジスタは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

| 入力 | | | | | | 出力 | |
|---|---|----|-----|-------|---|------|-------|
| R | L | CE | SLI | Dz:D0 | C | Q0 | Qz:Q1 |
| 1 | X | X | X | X | ↑ | 0 | 0 |
| 0 | 1 | X | X | Dz:D0 | ↑ | D0 | Dn |
| 0 | 0 | 1 | SLI | X | ↑ | SLI | qn-1 |
| 0 | 0 | 0 | X | X | X | 変化なし | 変化なし |
| z = ビット幅 -1 | | | | | | | |
| qn-1 = アクティブなクロック エッジの 1 セットアップ タイム前の対応する出力の値 | | | | | | | |

デザインの入力方法

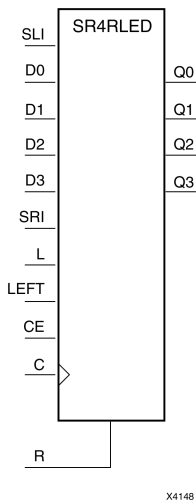
このELEMENTは、回路図でのみ使用できます。

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

SR4RLED

マクロ : 4-Bit Shift Register with Clock Enable and Synchronous Reset



概要

このデザイン エLEMENTはシフトレジスタで、シフトレフトシリアル入力 (SLI)、シフトライトシリアル入力 (SRI)、パラレル入力 (D)、パラレル出力 (Q) に加え、クロック イネーブル (CE)、ロード イネーブル (L)、シフトレフト/ライト (LEFT)、同期リセット (R) の 4 つの制御入力があります。CE と L が Low の場合、クロック遷移は無視されます。R が High になると、ほかのすべての入力は無視され、クロック (C) が Low から High に切り替わるときに Q が Low にリセットされます。L が High で R が Low の場合、C が Low から High に切り替わるときに、D 入力の値が対応する Q ビットにロードされます。

CE が High で L および R が Low の場合、LEFT 入力の値に応じて、レジスタの値は高位ビットまたは下位ビットにシフトされます。LEFT が High の場合は、クロックが Low から High に切り替わるときに SLI の値が Q0 にロードされ、次の Low から High へのクロック遷移で高位ビットにシフトされます (例 : Q0 → Q1、Q1 → Q2)。LEFT が Low の場合は、クロックが Low から High に切り替わるときに SRI の値が最後の Q にロードされ、次のクロック遷移で右方向にシフトされます。論理表にすべての入力条件に対する Q 出力の値を示します。

電力を供給すると、レジスタは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

| 入力 | | | | | | | | 出力 | | |
|--|---|----|------|-----|-----|-------|---|------|------|-------|
| R | L | CE | LEFT | SLI | SRI | D3:D0 | C | Q0 | Q3 | Q2:Q1 |
| 1 | X | X | X | X | X | X | ↑ | 0 | 0 | 0 |
| 0 | 1 | X | X | X | X | D3:D0 | ↑ | D0 | D3 | Dn |
| 0 | 0 | 0 | X | X | X | X | X | 変化なし | 変化なし | 変化なし |
| 0 | 0 | 1 | 1 | SLI | X | X | ↑ | SLI | q2 | qn-1 |
| 0 | 0 | 1 | 0 | X | SRI | X | ↑ | q1 | SRI | qn+1 |
| qn-1 または qn+1 = アクティブなクロック エッジの 1 セットアップ タイム前の対応する出力の値 | | | | | | | | | | |

デザインの入力方法

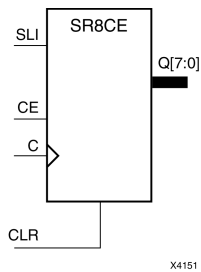
このELEMENTは、回路図でのみ使用できます。

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

SR8CE

マクロ : 8-Bit Serial-In Parallel-Out Shift Register with Clock Enable and Asynchronous Clear



概要

このデザイン エLEMENTはシフトレジスタで、シフト レフト シリアル入力 (SLI)、パラレル出力 (Q)、クロック イネーブル (CE)、非同期クリア入力 (CLR) があります。CLR 入力が高レベルになると、ほかのすべての入力は無視され、出力 (Q) が Low にリセットされます。CE が High で CLR が Low の場合、クロック (C) が Low から High に切り替わるたびに SLI 入力の値がシフトレジスタの第 1 ビットにロードされ、Q0 に出力されます。次にクロックが Low から High に切り替わるたびに CE が High で CLR が Low の場合、値が次の高位ビットの位置にシフトされ、新しい値が Q0 にロードされます (SLI → Q0、Q0 → Q1、Q1 → Q2 など)。CE が Low の場合は、クロック遷移は無視されます。

最後の Q 出力を次の段の SLI 入力に接続し、クロック、CE、CLR を並列に接続すると、複数のレジスタをカスケード接続できます。

電力を供給すると、レジスタは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

| 入力 | | | | 出力 | |
|---|----|-----|---|------|-------|
| CLR | CE | SLI | C | Q0 | Qz:Q1 |
| 1 | X | X | X | 0 | 0 |
| 0 | 0 | X | X | 変化なし | 変化なし |
| 0 | 1 | SLI | ↑ | SLI | qn-1 |
| z = ビット幅 - 1 | | | | | |
| qn-1 = アクティブなクロック エッジの 1 セットアップ タイム前の対応する出力の値 | | | | | |

デザインの入力方法

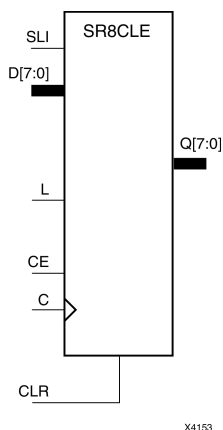
このELEMENTは、回路図でのみ使用できます。

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

SR8CLE

マクロ：8-Bit Loadable Serial/Parallel-In Parallel-Out Shift Register with Clock Enable and Asynchronous Clear



概要

このデザイン エレメントはシフトレジスタで、シフトレフトシリアル入力 (SLI)、パラレル入力 (D)、パラレル出力 (Q) に加え、クロックイネーブル (CE)、ロードイネーブル (L)、非同期クリア (CLR) の 3 つの制御入力があります。L と CE が Low の場合、クロック遷移は無視されます。CLR が High になると、ほかのすべての入力は無視され、出力 (Q) が Low にリセットされます。L が High で CLR が Low の場合、クロック (C) が Low から High に切り替わるときに、Dn ~ D0 入力の値が対応する Qn ~ Q0 ビットにロードされます。

CE が High で L および CLR が Low の場合、C が Low から High に切り替わるときに、SLI 入力の値がシフトレジスタの第 1 ビットにロードされ、Q0 に出力されます。次のクロック遷移で CE が High、L と CLR が Low の場合、値が次の高位ビットの位置にシフトされ、新しい値が Q0 にロードされます (SLI → Q0、Q0 → Q1、Q1 → Q2 など)。

最後の Q 出力を次の段の SLI 入力に接続し、クロック、CE、L、CLR を並列に接続すると、複数のレジスタをカスケード接続できます。

電力を供給すると、レジスタは非同期にクリアされ、出力が Low になります。FPGA では、グローバルセット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

| 入力 | | | | | | 出力 | |
|---|---|----|-----|-------|---|------|-------|
| CLR | L | CE | SLI | Dn:D0 | C | Q0 | Qz:Q1 |
| 1 | X | X | X | X | X | 0 | 0 |
| 0 | 1 | X | X | Dn:D0 | ↑ | D0 | Dn |
| 0 | 0 | 1 | SLI | X | ↑ | SLI | qn-1 |
| 0 | 0 | 0 | X | X | X | 変化なし | 変化なし |
| z = ビット幅 -1 | | | | | | | |
| qn-1 = アクティブなクロック エッジの 1 セットアップ タイム前の対応する出力の値 | | | | | | | |

デザインの入力方法

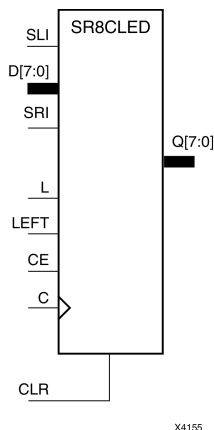
このELEMENTは、回路図でのみ使用できます。

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

SR8CLED

マクロ : 8-Bit Shift Register with Clock Enable and Asynchronous Clear



概要

このデザイン エLEMENTはシフトレジスタで、シフトレフトシリアル入力 (SLI)、シフトライトシリアル入力 (SRI)、パラレル入力 (D)、パラレル出力 (Q) に加え、クロック イネーブル (CE)、ロード イネーブル (L)、シフトレフト/ライト (LEFT)、非同期クリア (CLR) の 4 つの制御入力があります。CE と L が Low の場合、クロック遷移は無視されます。CLR が High になると、ほかのすべての入力は無視され、出力 (Q) が Low にリセットされます。

L が High で CLR が Low の場合、クロック (C) が Low から High に切り替わる時に、D 入力の値が対応する Q ビットにロードされます。CE が High で L および CLR が Low の場合、LEFT 入力の値に応じて、レジスタの値は高位ビットまたは下位ビットにシフトされます。LEFT が High の場合は、クロックが Low から High に切り替わる時に SLI の値が Q0 にロードされ、次の Low から High へのクロック遷移で高位ビットにシフトされます (例 : Q0 → Q1、Q1 → Q2)。LEFT が Low の場合は、クロックが Low から High に切り替わる時に SRI の値が最後の Q にロードされ、次のクロック遷移で右方向にシフトされます。論理表にすべての入力条件に対する Q 出力の値を示します。

電力を供給すると、レジスタは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

| 入力 | | | | | | | | 出力 | | |
|--|---|----|------|-----|-----|-------|---|------|------|-------|
| CLR | L | CE | LEFT | SLI | SRI | D7:D0 | C | Q0 | Q7 | Q6:Q1 |
| 1 | X | X | X | X | X | X | X | 0 | 0 | 0 |
| 0 | 1 | X | X | X | X | D7:D0 | ↑ | D0 | D7 | Dn |
| 0 | 0 | 0 | X | X | X | X | X | 変化なし | 変化なし | 変化なし |
| 0 | 0 | 1 | 1 | SLI | X | X | ↑ | SLI | q6 | qn-1 |
| 0 | 0 | 1 | 0 | X | SRI | X | ↑ | q1 | SRI | qn+1 |
| qn-1 または qn+1 = アクティブなクロック エッジの 1 セットアップ タイム前の対応する出力の値 | | | | | | | | | | |

デザインの入力方法

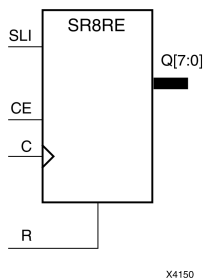
このELEMENTは、回路図でのみ使用できます。

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

SR8RE

マクロ : 8-Bit Serial-In Parallel-Out Shift Register with Clock Enable and Synchronous Reset



概要

このデザイン エLEMENTはシフトレジスタで、シフトレフトシリアル入力 (SLI)、パラレル出力 (Qn)、クロック イネーブル (CE)、同期リセット入力 (R) があります。R 入力が高レベルになると、ほかのすべての入力は無視され、クロック (C) が Low から High に切り替わる時に出力 (Q) が Low にリセットされます。

CE が High で R が Low の場合、クロック (C) が Low から High に切り替わる時に SLI の値がシフトレジスタの第 1 ビットにロードされ、Q0 に出力されます。次にクロックが Low から High に切り替わる時に CE が High で R が Low の場合、値が次の高位ビットの位置にシフトされ、新しい値が Q0 にロードされます (SLI → Q0、Q0 → Q1、Q1 → Q2 など)。CE が Low の場合は、クロック遷移は無視されます。

最後の Q 出力を次の段の SLI 入力に接続し、クロック、CE、R を並列に接続すると、複数のレジスタをカスケード接続できます。

電力を供給すると、レジスタは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

| 入力 | | | | 出力 | |
|---|----|-----|---|------|-------|
| R | CE | SLI | C | Q0 | Qz:Q1 |
| 1 | X | X | ↑ | 0 | 0 |
| 0 | 0 | X | X | 変化なし | 変化なし |
| 0 | 1 | SLI | ↑ | SLI | qn-1 |
| z = ビット幅 -1 | | | | | |
| qn-1 = アクティブなクロック エッジの 1 セットアップ タイム前の対応する出力の値 | | | | | |

デザインの入力方法

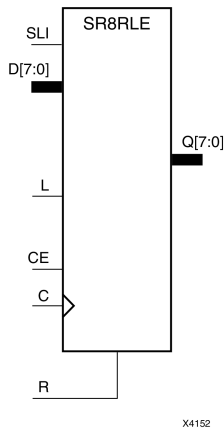
このELEMENTは、回路図でのみ使用できます。

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

SR8RLE

マクロ：8-Bit Loadable Serial/Parallel-In Parallel-Out Shift Register with Clock Enable and Synchronous Reset



概要

このデザイン エLEMENTはシフトレジスタで、シフト レフト シリアル入力 (SLI)、パラレル入力 (D)、パラレル出力 (Q) に加え、クロック イネーブル (CE)、ロード イネーブル (L)、同期リセット (R) の 3 つの制御入力があります。L と CE が Low の場合、クロック遷移は無視されます。R が High になると、ほかのすべての入力は無視され、クロック (C) が Low から High に切り替わるときに Q が Low にリセットされます。L が High で R が Low の場合、C が Low から High に切り替わる時に、D 入力の値が対応する Q ビットにロードされます。

CE が High で L および R が Low の場合は、C が Low から High に切り替わる時に SLI 入力の値がシフトレジスタの第 1 ビットにロードされ、Q0 に出力されます。次のクロック遷移で CE が High、L と R が Low の場合、シフトレジスタの値は次の高位ビットにシフトされ、新しい値が Q0 にロードされます。

最後の Q 出力を次の段の SLI 入力に接続し、クロック、CE、L、R を並列に接続すると、複数のレジスタをカスケード接続できます。

電力を供給すると、レジスタは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

| 入力 | | | | | | 出力 | |
|---|---|----|-----|-------|---|------|-------|
| R | L | CE | SLI | Dz:D0 | C | Q0 | Qz:Q1 |
| 1 | X | X | X | X | ↑ | 0 | 0 |
| 0 | 1 | X | X | Dz:D0 | ↑ | D0 | Dn |
| 0 | 0 | 1 | SLI | X | ↑ | SLI | qn-1 |
| 0 | 0 | 0 | X | X | X | 変化なし | 変化なし |
| z = ビット幅 -1 | | | | | | | |
| qn-1 = アクティブなクロック エッジの 1 セットアップ タイム前の対応する出力の値 | | | | | | | |

デザインの入力方法

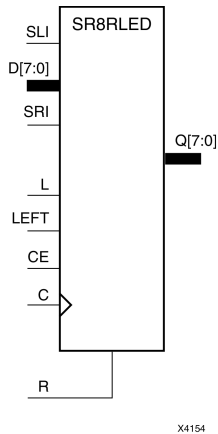
このELEMENTは、回路図でのみ使用できます。

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

SR8RLED

マクロ：8-Bit Shift Register with Clock Enable and Synchronous Reset



概要

このデザイン エLEMENTはシフトレジスタで、シフトレフトシリアル入力 (SLI)、シフトライトシリアル入力 (SRI)、パラレル入力 (D)、パラレル出力 (Q) に加え、クロック イネーブル (CE)、ロード イネーブル (L)、シフトレフト/ライト (LEFT)、同期リセット (R) の 4 つの制御入力があります。CE と L が Low の場合、クロック遷移は無視されます。R が High になると、ほかのすべての入力は無視され、クロック (C) が Low から High に切り替わるときに Q が Low にリセットされます。L が High で R が Low の場合、C が Low から High に切り替わるときに、D 入力の値が対応する Q ビットにロードされます。

CE が High で L および R が Low の場合、LEFT 入力の値に応じて、レジスタの値は高位ビットまたは下位ビットにシフトされます。LEFT が High の場合は、クロックが Low から High に切り替わるときに SLI の値が Q0 にロードされ、次の Low から High へのクロック遷移で高位ビットにシフトされます (例: Q0 → Q1, Q1 → Q2)。LEFT が Low の場合は、クロックが Low から High に切り替わるときに SRI の値が最後の Q にロードされ、次のクロック遷移で右方向にシフトされます。論理表にすべての入力条件に対する Q 出力の値を示します。

電力を供給すると、レジスタは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

| 入力 | | | | | | | | 出力 | | |
|--|---|----|------|-----|-----|-------|---|------|------|-------|
| R | L | CE | LEFT | SLI | SRI | D7:D0 | C | Q0 | Q7 | Q6:Q1 |
| 1 | X | X | X | X | X | X | ↑ | 0 | 0 | 0 |
| 0 | 1 | X | X | X | X | D7:D0 | ↓ | D0 | D7 | Dn |
| 0 | 0 | 0 | X | X | X | X | X | 変化なし | 変化なし | 変化なし |
| 0 | 0 | 1 | 1 | SLI | X | X | ↑ | SLI | q6 | qn-1 |
| 0 | 0 | 1 | 0 | X | SRI | X | ↓ | q1 | SRI | qn+1 |
| qn-1 または qn+1 = アクティブなクロック エッジの 1 セットアップ タイム前の対応する出力の値 | | | | | | | | | | |

デザインの入力方法

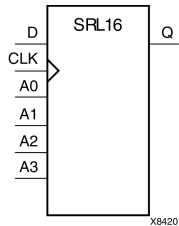
このELEMENTは、回路図でのみ使用できます。

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

SRL16

プリミティブ：16-Bit Shift Register Look-Up Table (LUT)



概要

このデザイン エLEMENTは、シフトレジスタ ルックアップ テーブル (LUT) です。シフトレジスタの長さは、入力 A3、A2、A1、A0 の値によって決定されます。

シフトレジスタの長さは、固定することも、変動させることもできます。

- ・ **固定長のシフトレジスタを作成するには：** 入力 A3 ～ A0 の値を一定にします。シフトレジスタは 1 ～ 16 ビットの長さに設定できます。アドレス入力の値によるシフトレジスタの長さは、長さ = $(8 \times A3) + (4 \times A2) + (2 \times A1) + A0 + 1$ という式で算出できます。A3、A2、A1、A0 がすべてゼロの場合 (0000) はシフトレジスタの長さは 1 ビットになり、すべて 1 の場合 (1111) は 16 ビットになります。
- ・ **シフトレジスタ長を動的に変化させるには：** 入力 A3 ～ A0 の値を変化させます。たとえば、A2、A1、A0 がすべて 1 の場合 (111) に A3 を 1 から 0 に切り替えると、シフトレジスタの長さは 16 ビットから 8 ビットに変化します。内部的には、シフトレジスタの長さは常に 16 ビットで、どのビットの値が出力されるかは入力 A3 ～ A0 の値によって決定されます。

シフトレジスタ LUT の初期値を指定するには、INIT 属性に 4 桁の 16 進数を割り当てます。一番左の桁が最上位ビットになります。INIT の値を指定しない場合は、シフトレジスタ LUT の内容はコンフィギュレーション中にゼロ (0000) にクリアされます。

クロック (CLK) が Low から High に切り替わるときに、D の値がシフトレジスタの第 1 ビットにロードされます。次にクロックが Low から High に切り替わると、シフトレジスタの値は次の高位ビットにシフトされ、新しい値がロードされます。アドレス入力の値によってシフトレジスタの長さが決まり、Q にその値が出力されます。

論理表

| 入力 | | | 出力 |
|-------------|-----|---|-----------|
| Am | CLK | D | Q |
| Am | X | X | Q(Am) |
| Am | ↑ | D | Q(Am - 1) |
| m = 0、1、2、3 | | | |

デザインの入力方法

このELEMENTは、回路図で使用できます。

使用可能な属性

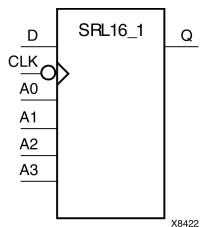
| 属性 | データ型 | 値 | デフォルト | 説明 |
|------|-------|---------|-------|---------------------------|
| INIT | 16 進数 | 16 ビット値 | すべてゼロ | コンフィギュレーション後の Q 出力の初期値を指定 |

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

SRL16_1

プリミティブ：16-Bit Shift Register Look-Up Table (LUT) with Negative-Edge Clock



概要

このデザイン エLEMENTは、シフトレジスタ ルックアップ テーブル (LUT) です。シフトレジスタの長さは、入力 A3、A2、A1、A0 の値によって決定されます。

シフトレジスタの長さは、固定することも、変動させることもできます。

- ・ **固定長のシフトレジスタを作成するには：** 入力 A3 ～ A0 の値を一定にします。シフトレジスタは 1 ～ 16 ビットの長さに設定できます。アドレス入力の値によるシフトレジスタの長さは、長さ = $(8 \times A3) + (4 \times A2) + (2 \times A1) + A0 + 1$ という式で算出できます。A3、A2、A1、A0 がすべてゼロの場合 (0000) はシフトレジスタの長さは 1 ビットになり、すべて 1 の場合 (1111) は 16 ビットになります。
- ・ **シフトレジスタ長を動的に変化させるには：** 入力 A3 ～ A0 の値を変化させます。たとえば、A2、A1、A0 がすべて 1 の場合 (111) に A3 を 1 から 0 に切り替えると、シフトレジスタの長さは 16 ビットから 8 ビットに変化します。内部的には、シフトレジスタの長さは常に 16 ビットで、どのビットの値が出力されるかは入力 A3 ～ A0 の値によって決定されます。

シフトレジスタ LUT の初期値を指定するには、INIT 属性に 4 桁の 16 進数を割り当てます。一番左の桁が最上位ビットになります。INIT の値を指定しない場合は、シフトレジスタ LUT の内容はコンフィギュレーション中にゼロ (0000) にクリアされます。

クロック (CLK) が High から Low に切り替わるときに、D の値がシフトレジスタの第 1 ビットにロードされます。次にクロックが High から Low に切り替わると、シフトレジスタの値は次の高位ビットにシフトされ、新しい値がロードされます。アドレス入力の値によってシフトレジスタの長さが決まり、Q にその値が出力されます。

論理表

| 入力 | | | 出力 |
|-------------|-----|---|-----------|
| Am | CLK | D | Q |
| Am | X | X | Q(Am) |
| Am | ↓ | D | Q(Am - 1) |
| m = 0、1、2、3 | | | |

デザインの入力方法

このELEMENTは、回路図で使用できます。

使用可能な属性

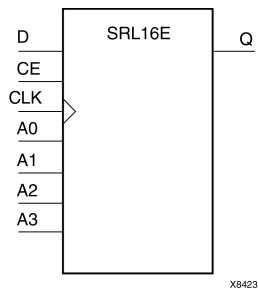
| 属性 | データ型 | 値 | デフォルト | 説明 |
|------|-------|---------|-------|---------------------------|
| INIT | 16 進数 | 16 ビット値 | すべてゼロ | コンフィギュレーション後の Q 出力の初期値を指定 |

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

SRL16E

プリミティブ：16-Bit Shift Register Look-Up Table (LUT) with Clock Enable



概要

このデザイン エLEMENTは、シフトレジスタ ルックアップ テーブル (LUT) です。シフトレジスタの長さは、入力 A3、A2、A1、A0 の値によって決定されます。

シフトレジスタの長さは、固定することも、変動させることもできます。

- ・ **固定長のシフトレジスタを作成するには：** 入力 A3 ～ A0 の値を一定にします。シフトレジスタは 1 ～ 16 ビットの長さに設定できます。アドレス入力の値によるシフトレジスタの長さは、長さ = $(8 \times A3) + (4 \times A2) + (2 \times A1) + A0 + 1$ という式で算出できます。A3、A2、A1、A0 がすべてゼロの場合 (0000) はシフトレジスタの長さは 1 ビットになり、すべて 1 の場合 (1111) は 16 ビットになります。
- ・ **シフトレジスタ長を動的に変化させるには：** 入力 A3 ～ A0 の値を変化させます。たとえば、A2、A1、A0 がすべて 1 の場合 (111) に A3 を 1 から 0 に切り替えると、シフトレジスタの長さは 16 ビットから 8 ビットに変化します。内部的には、シフトレジスタの長さは常に 16 ビットで、どのビットの値が出力されるかは入力 A3 ～ A0 の値によって決定されます。

シフトレジスタ LUT の初期値を指定するには、INIT 属性に 4 桁の 16 進数を割り当てます。一番左の桁が最上位ビットになります。INIT の値を指定しない場合は、シフトレジスタ LUT の内容はコンフィギュレーション中にゼロ (0000) にクリアされます。

CE が High の場合、クロック (CLK) が Low から High に切り替わるときに、D の値がシフトレジスタの第 1 ビットにロードされます。次にクロックが Low から High に切り替わるときに CE が High の場合、シフトレジスタの値は次の高位ビットにシフトされ、新しい値がロードされます。アドレス入力の値によってシフトレジスタの長さが決まり、Q にその値が出力されます。CE が Low の場合、クロック遷移は無視されます。

論理表

| 入力 | | | | 出力 |
|----------------|----|-----|---|-----------------------|
| A _m | CE | CLK | D | Q |
| A _m | 0 | X | X | Q(A _m) |
| A _m | 1 | ↑ | D | Q(A _m - 1) |
| m = 0、1、2、3 | | | | |

ポートの説明

| ポート名 | 方向 | 幅 | 機能 |
|------|----|---|---|
| Q | 出力 | 1 | シフトレジスタ データ出力 |
| D | 入力 | 1 | シフトレジスタ データ入力 |
| CLK | 入力 | 1 | クロック |
| CE | 入力 | 1 | アクティブ High のクロック イネーブル |
| A | 入力 | 4 | SRL のワード数のダイナミック選択 ・ A=0000 ==> 1 ビット シフト長 ・ A=1111 ==> 16 ビット シフト長 |

デザインの入力方法

このエレメントは、回路図で使用できます。

使用可能な属性

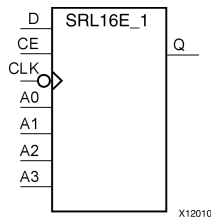
| 属性 | データ型 | 値 | デフォルト | 説明 |
|------|-------|---------|-------|--------------------------------|
| INIT | 16 進数 | 16 ビット値 | すべてゼロ | コンフィギュレーション後のシフトレジスタと出力の初期値を指定 |

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

SRL16E_1

プリミティブ：16-Bit Shift Register Look-Up Table (LUT) with Negative-Edge Clock and Clock Enable



概要

このデザイン エLEMENTは、クロック イネーブル (CE) があるシフトレジスタ ルックアップ テーブル (LUT) で、クロックの立ち下がりエッジで動作します。シフトレジスタの長さは、入力 A3、A2、A1、A0 の値によって決定されます。

シフトレジスタの長さは、固定することも、変動させることもできます。

- ・ **固定長のシフトレジスタを作成するには：** 入力 A3 ～ A0 の値を一定にします。シフトレジスタは 1 ～ 16 ビットの長さに設定できます。アドレス入力の値によるシフトレジスタの長さは、長さ = $(8 \times A3) + (4 \times A2) + (2 \times A1) + A0 + 1$ という式で算出できます。A3、A2、A1、A0 がすべてゼロの場合 (0000) はシフトレジスタの長さは 1 ビットになり、すべて 1 の場合 (1111) は 16 ビットになります。
- ・ **シフトレジスタ長を動的に変化させるには：** 入力 A3 ～ A0 の値を変化させます。たとえば、A2、A1、A0 がすべて 1 の場合 (111) に A3 を 1 から 0 に切り替えると、シフトレジスタの長さは 16 ビットから 8 ビットに変化します。内部的には、シフトレジスタの長さは常に 16 ビットで、どのビットの値が出力されるかは入力 A3 ～ A0 の値によって決定されます。

シフトレジスタ LUT の初期値を指定するには、INIT 属性に 4 桁の 16 進数を割り当てます。一番左の桁が最上位ビットになります。INIT の値を指定しない場合は、シフトレジスタ LUT の内容はコンフィギュレーション中にゼロ (0000) にクリアされます。

CE が High の場合、クロック (CLK) が High から Low に切り替わるときに、D の値がシフトレジスタの第 1 ビットにロードされます。次にクロックが High から Low に切り替わるときに CE が High の場合、シフトレジスタの値は次の高位ビットにシフトされ、新しい値がロードされます。アドレス入力の値によってシフトレジスタの長さが決まり、Q にその値が出力されます。CE が Low の場合、クロック遷移は無視されます。

論理表

| 入力 | | | | 出力 |
|----------------|----|-----|---|-----------------------|
| A _m | CE | CLK | D | Q |
| A _m | 0 | X | X | Q(A _m) |
| A _m | 1 | ↓ | D | Q(A _m - 1) |
| m = 0、1、2、3 | | | | |

デザインの入力方法

このELEMENTは、回路図で使用できます。

使用可能な属性

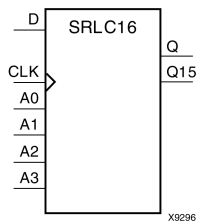
| 属性 | タイプ | 値 | デフォルト | 説明 |
|------|-------|---------|-------|--------------------------------|
| INIT | 16 進数 | 16 ビット値 | すべてゼロ | コンフィギュレーション後のシフトレジスタと出力の初期値を指定 |

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

SRLC16

プリミティブ：16-Bit Shift Register Look-Up Table (LUT) with Carry



概要

このデザイン エLEMENTは、キャリーがあるシフトレジスタ ルックアップ テーブル (LUT) です。シフトレジスタの長さは、入力 A3、A2、A1、A0 の値によって決定されます。

シフトレジスタの長さは、固定することも、変動させることもできます。

- ・ **固定長のシフトレジスタを作成するには：** 入力 A3 ～ A0 の値を一定にします。シフトレジスタは 1 ～ 16 ビットの長さに設定できます。アドレス入力の値によるシフトレジスタの長さは、長さ = $(8 \times A3) + (4 \times A2) + (2 \times A1) + A0 + 1$ という式で算出できます。A3、A2、A1、A0 がすべてゼロの場合 (0000) はシフトレジスタの長さは 1 ビットになり、すべて 1 の場合 (1111) は 16 ビットになります。
- ・ **シフトレジスタ長を動的に変化させるには：** 入力 A3 ～ A0 の値を変化させます。たとえば、A2、A1、A0 がすべて 1 の場合 (111) に A3 を 1 から 0 に切り替えると、シフトレジスタの長さは 16 ビットから 8 ビットに変化します。内部的には、シフトレジスタの長さは常に 16 ビットで、どのビットの値が出力されるかは入力 A3 ～ A0 の値によって決定されます。

シフトレジスタ LUT の初期値を指定するには、INIT 属性に 4 桁の 16 進数を割り当てます。一番左の桁が最上位ビットになります。INIT の値を指定しない場合は、シフトレジスタ LUT の内容はコンフィギュレーション中にゼロ (0000) にクリアされます。

クロック (CLK) が Low から High に切り替わるときに、D の値がシフトレジスタの第 1 ビットにロードされます。次にクロックが Low から High に切り替わると、シフトレジスタの値は次の高位ビットにシフトされ、新しい値がロードされます。アドレス入力の値によってシフトレジスタの長さが決まり、Q にその値が出力されます。

メモ： Q15 の出力を使用すると、複数のシフトレジスタ LUT をカスケード接続でき、より大きなシフトレジスタを作成できます。

論理表

| 入力 | | | 出力 |
|----------------|-----|---|-----------------------|
| A _m | CLK | D | Q |
| A _m | X | X | Q(A _m) |
| A _m | ↑ | D | Q(A _m - 1) |
| m = 0、1、2、3 | | | |

デザインの入力方法

このELEMENTは、回路図で使用できます。

使用可能な属性

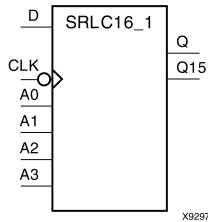
| 属性 | データ型 | 値 | デフォルト | 説明 |
|------|-------|---------|-------|--------------------------------|
| INIT | 16 進数 | 16 ビット値 | すべてゼロ | コンフィギュレーション後のシフトレジスタと出力の初期値を指定 |

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

SRLC16_1

プリミティブ：16-Bit Shift Register Look-Up Table (LUT) with Carry and Negative-Edge Clock



概要

このデザイン エLEMENTは、キャリーがあるシフトレジスタ ルックアップ テーブル (LUT) で、クロックの立ち下がりエッジで動作します。シフトレジスタの長さは、入力 A3、A2、A1、A0 の値によって決定されます。

シフトレジスタの長さは、固定することも、変動させることもできます。

- ・ **固定長のシフトレジスタを作成するには：** 入力 A3 ～ A0 の値を一定にします。シフトレジスタは 1 ～ 16 ビットの長さに設定できます。アドレス入力の値によるシフトレジスタの長さは、長さ = $(8 \times A3) + (4 \times A2) + (2 \times A1) + A0 + 1$ という式で算出できます。A3、A2、A1、A0 がすべてゼロの場合 (0000) はシフトレジスタの長さは 1 ビットになり、すべて 1 の場合 (1111) は 16 ビットになります。
- ・ **シフトレジスタ長を動的に変化させるには：** 入力 A3 ～ A0 の値を変化させます。たとえば、A2、A1、A0 がすべて 1 の場合 (111) に A3 を 1 から 0 に切り替えると、シフトレジスタの長さは 16 ビットから 8 ビットに変化します。内部的には、シフトレジスタの長さは常に 16 ビットで、どのビットの値が出力されるかは入力 A3 ～ A0 の値によって決定されます。

シフトレジスタ LUT の初期値を指定するには、INIT 属性に 4 桁の 16 進数を割り当てます。一番左の桁が最上位ビットになります。INIT の値を指定しない場合は、シフトレジスタ LUT の内容はコンフィギュレーション中にゼロ (0000) にクリアされます。

メモ： Q15 の出力を使用すると、複数のシフトレジスタ LUT をカスケード接続でき、より大きなシフトレジスタを作成できます。

論理表

| 入力 | | | 出力 | |
|-------------|-----|---|-----------|------|
| Am | CLK | D | Q | Q15 |
| Am | X | X | Q(Am) | 変化なし |
| Am | ↓ | D | Q(Am - 1) | Q14 |
| m = 0、1、2、3 | | | | |

デザインの入力方法

このELEMENTは、回路図で使用できます。

使用可能な属性

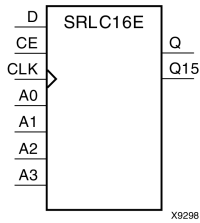
| 属性 | データ型 | 値 | デフォルト | 説明 |
|------|-------|---------|-------|--------------------------------|
| INIT | 16 進数 | 16 ビット値 | すべてゼロ | コンフィギュレーション後のシフトレジスタと出力の初期値を指定 |

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

SRLC16E

プリミティブ：16-Bit Shift Register Look-Up Table (LUT) with Carry and Clock Enable



概要

このデザイン エLEMENTは、キャリーとクロック イネーブルがあるシフトレジスタ ルックアップ テーブル (LUT) です。シフトレジスタの長さは、入力 A3、A2、A1、A0 の値によって決定されます。

シフトレジスタの長さは、固定することも、変動させることもできます。

- ・ **固定長のシフトレジスタを作成するには：** 入力 A3 ～ A0 の値を一定にします。シフトレジスタは 1 ～ 16 ビットの長さに設定できます。アドレス入力の値によるシフトレジスタの長さは、長さ = $(8 \times A3) + (4 \times A2) + (2 \times A1) + A0 + 1$ という式で算出できます。A3、A2、A1、A0 がすべてゼロの場合 (0000) はシフトレジスタの長さは 1 ビットになり、すべて 1 の場合 (1111) は 16 ビットになります。
- ・ **シフトレジスタ長を動的に変化させるには：** 入力 A3 ～ A0 の値を変化させます。たとえば、A2、A1、A0 がすべて 1 の場合 (111) に A3 を 1 から 0 に切り替えると、シフトレジスタの長さは 16 ビットから 8 ビットに変化します。内部的には、シフトレジスタの長さは常に 16 ビットで、どのビットの値が出力されるかは入力 A3 ～ A0 の値によって決定されます。

シフトレジスタ LUT の初期値を指定するには、INIT 属性に 4 桁の 16 進数を割り当てます。一番左の桁が最上位ビットになります。INIT の値を指定しない場合は、シフトレジスタ LUT の内容はコンフィギュレーション中にゼロ (0000) にクリアされます。

クロック (CLK) が Low から High に切り替わるときに、D の値がシフトレジスタの第 1 ビットにロードされます。次にクロックが Low から High に切り替わるときに CE が High の場合、シフトレジスタの値は次の高位ビットにシフトされ、新しいデータがロードされます。アドレス入力の値によってシフトレジスタの長さが決まり、Q にその値が出力されます。

メモ： Q15 の出力を使用すると、複数のシフトレジスタ LUT をカスケード接続でき、より大きなシフトレジスタを作成できます。

論理表

| 入力 | | | | 出力 | |
|-------------|-----|----|---|-----------|-------|
| Am | CLK | CE | D | Q | Q15 |
| Am | X | 0 | X | Q(Am) | Q(15) |
| Am | X | 1 | X | Q(Am) | Q(15) |
| Am | ↑ | 1 | D | Q(Am - 1) | Q15 |
| m = 0、1、2、3 | | | | | |

デザインの入力方法

このELEMENTは、回路図で使用できます。

使用可能な属性

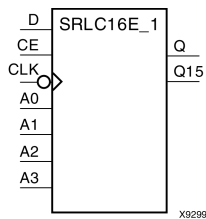
| 属性 | データ型 | 値 | デフォルト | 説明 |
|------|-------|---------|-------|--------------------------------|
| INIT | 16 進数 | 16 ビット値 | すべてゼロ | コンフィギュレーション後のシフトレジスタと出力の初期値を指定 |

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

SRLC16E_1

プリミティブ：16-Bit Shift Register Look-Up Table (LUT) with Carry, Negative-Edge Clock, and Clock Enable



概要

このデザイン エLEMENTは、キャリーおよびクロック イネーブルがあるシフトレジスタ ルックアップ テーブル (LUT) で、クロックの立ち下がりがエッジで動作します。シフトレジスタの長さは、入力 A3、A2、A1、A0 の値によって決定されます。

シフトレジスタの長さは、固定することも、変動させることもできます。

- ・ **固定長のシフトレジスタを作成するには：** 入力 A3 ～ A0 の値を一定にします。シフトレジスタは 1 ～ 16 ビットの長さに設定できます。アドレス入力の値によるシフトレジスタの長さは、長さ = $(8 \times A3) + (4 \times A2) + (2 \times A1) + A0 + 1$ という式で算出できます。A3、A2、A1、A0 がすべてゼロの場合 (0000) はシフトレジスタの長さは 1 ビットになり、すべて 1 の場合 (1111) は 16 ビットになります。
- ・ **シフトレジスタ長を動的に変化させるには：** 入力 A3 ～ A0 の値を変化させます。たとえば、A2、A1、A0 がすべて 1 の場合 (111) に A3 を 1 から 0 に切り替えると、シフトレジスタの長さは 16 ビットから 8 ビットに変化します。内部的には、シフトレジスタの長さは常に 16 ビットで、どのビットの値が出力されるかは入力 A3 ～ A0 の値によって決定されます。

シフトレジスタ LUT の初期値を指定するには、INIT 属性に 4 桁の 16 進数を割り当てます。一番左の桁が最上位ビットになります。INIT の値を指定しない場合は、シフトレジスタ LUT の内容はコンフィギュレーション中にゼロ (0000) にクリアされます。

CE が High の場合、クロック (CLK) が High から Low に切り替わるときに、D の値がシフトレジスタの第 1 ビットにロードされます。次にクロックが High から Low に切り替わるときに CE が High の場合、シフトレジスタの値は次の高位ビットにシフトされ、新しい値がロードされます。アドレス入力の値によってシフトレジスタの長さが決まり、Q にその値が出力されます。

メモ： Q15 の出力を使用すると、複数のシフトレジスタ LUT をカスケード接続でき、より大きなシフトレジスタを作成できます。

論理表

| 入力 | | | | 出力 | |
|-------------|----|-----|---|---------|------|
| Am | CE | CLK | D | Q | Q15 |
| Am | 0 | X | X | Q(Am) | 変化なし |
| Am | 1 | X | X | Q(Am) | 変化なし |
| Am | 1 | ↓ | D | Q(Am-1) | Q14 |
| m = 0、1、2、3 | | | | | |

デザインの入力方法

このELEMENTは、回路図で使用できます。

使用可能な属性

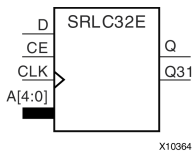
| 属性 | データ型 | 値 | デフォルト | 説明 |
|------|-------|---------|-------|--------------------------------|
| INIT | 16 進数 | 16 ビット値 | すべてゼロ | コンフィギュレーション後のシフトレジスタと出力の初期値を指定 |

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

SRLC32E

プリミティブ：32 Clock Cycle, Variable Length Shift Register Look-Up Table (LUT) with Clock Enable



概要

このデザイン エLEMENTは、1 つのルックアップ テーブル (LUT) にインプリメントされる、可変長で 1 ～ 32 クロック サイクルのシフトレジスタです。シフトレジスタの長さは、固定することも、変動させることもできます。このELEMENTは、アクティブ High のクロック イネーブルおよびカスケード機能も備えているため、複数の SRLC32E をカスケード接続でき、より大型のシフトレジスタを作成できます。

ポートの説明

| ポート名 | 方向 | 幅 | 機能 |
|------|----|---|---|
| Q | 出力 | 1 | シフトレジスタ データ出力 |
| Q31 | 出力 | 1 | シフトレジスタ カスケード出力 (後続 SRLC32E の D 入力に接続) |
| D | 入力 | 1 | シフトレジスタ データ入力 |
| CLK | 入力 | 1 | クロック |
| CE | 入力 | 1 | アクティブ High のクロック イネーブル |
| A | 入力 | 5 | SRL の長さのダイナミック選択 A=00000 ==> 1 ビット A=11111 ==> 32 ビット |

デザインの入力方法

このELEMENTは、回路図で使用できます。

インスタンスシートする場合は、このコンポーネントを次のように接続します。

- ・ CLK 入力を適切なクロック ソースに、D 入力をシフト/格納するデータ ソースに、Q 出力を FDCPE 入力または FDRSE 入力などの適切なデスティネーションに接続します。
- ・ クロック イネーブル ピン (CE) はクロック イネーブル信号に接続するか、使用しない場合は論理 1 にします。
- ・ 5 ビット バス A は、一定の値 (0 ～ 31) にしてシフトレジスタの長さを 1 ～ 32 ビットに固定するか、または適切な論理値にしてシフトレジスタの長さを 1 ～ 32 ビットの範囲で変更できます。
- ・ シフトレジスタの長さを 32 ビットより長くする場合は、Q31 出力ピンを後続の SRLC32E の D 入力に接続します。
- ・ Q31 出力は、別の SRLC32E 以外には接続できません。
- ・ Q 出力は、カスケード モードでも使用できます。
- ・ 32 ビットの 16 進数の INIT 属性で、シフトレジスタの初期シフト パターンを指定できます。
- ・ シフトアウトされる最初の値は INIT[0] です。

使用可能な属性

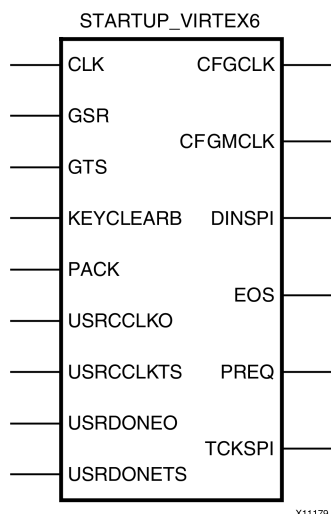
| 属性 | タイプ | 値 | デフォルト | 説明 |
|------|-------|---------|-------|------------------------|
| INIT | 16 進数 | 32 ビット値 | すべてゼロ | SRLC32E の初期シフト パターンを指定 |

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

STARTUP_VIRTEX6

プリミティブ：Virtex®-6 Configuration Start-Up Sequence Interface



概要

このデザイン エLEMENTは、グローバル非同期セット/リセット (GSR) 信号、グローバルトライステート (GTS) 専用配線、内部コンフィギュレーション信号、SPI PROM が使用される場合は SPI PROM の入力ピンなどへのロジックとデバイスピンの接続に使用されます。デバイスのコンフィギュレーションの終わりにスタートアップ シーケンスで別のクロックを使用するのを指定したり、コンフィギュレーション クロックを内部ロジックにアクセスさせるのにも使用されます。

ポートの説明

| ポート名 | 方向 | 幅 | 機能 |
|---------|----|---|---|
| CFGCLK | 出力 | 1 | コンフィギュレーションのメイン クロック出力。FPGA ファブリックへの出力です。BitGen オプションで指定された周波数のクロック信号を出力します。ソースは内部リング オシレーターです。 |
| CFGMCLK | 出力 | 1 | コンフィギュレーションの内部オシレーターのクロック出力。FPGA ファブリックへの出力です。周波数が 50MHz のクロック信号を出力します。ソースは内部リング オシレーターです。 |
| CLK | 入力 | 1 | ユーザー スタートアップ クロック。FPGA ファブリックからの入力です。デバイス スタートアップ シーケンスのスタートアップ クロックを駆動します。基本的にはユーザー定義 CCLK です。 |
| DINSPI | 出力 | 1 | DIN SPI PROM アクセス出力。FPGA ファブリックへの出力です。このピン上のデータが、シリアル データとして FPGA に接続されている SPI PROM から読み出されます。検証を実行するために SPI PROM の内容をリードバックする際に有益です。 |
| EOS | 出力 | 1 | コンフィギュレーションの終了を示すアクティブ High の信号。FPGA ファブリックへの出力です。スタートアップの終了を示すフラグと同じ信号を FPGA ファブリックに送信します。このピンは、リセット信号として使用できます。 |
| GSR | 入力 | 1 | グローバル セット/リセット (GSR) 入力 (ポート名に GSR は使用不可)。FPGA ファブリックからの入力です。グローバル セット/リセット ピンのステートを手動で駆動します。ほとんどのアプリケーションでは、このピンは Low に接続する必要があります。 |

| ポート名 | 方向 | 幅 | 機能 |
|-----------|----|---|--|
| GTS | 入力 | 1 | グローバルトライステート (GTS) 入力 (ポート名に GTS は使用不可)。FPGA ファブリックからの入力です。グローバルトライステートのステートを手動で駆動します。ほとんどのアプリケーションでは、このピンは Low に接続する必要があります。 |
| KEYCLEARB | 入力 | 1 | バッテリー充電 RAM (BBRAM) からのクリア AES デクリプタ。FPGA ファブリックからの入力です。200ns 間 Low に保持すると、BBRAM からの暗号キーの内容が消去されます。このピンは、PROG_USR 属性を設定した場合にのみイネーブルになります。セーフ操作では High に接続できます。 |
| PACK | 入力 | 1 | PROGRAM 確認入力。FPGA ファブリックからの入力です。PROG_B 信号のアサートを確認し、PROG_B ステートマシンによる FPGA のリセットを続行させます。このピンは、PROG_USR 属性を設定した場合にのみイネーブルになります。セーフ操作では Low に接続できます。 |
| PREQ | 出力 | 1 | デバイス出力への PROGRAM 要求。FPGA ファブリックへの出力です。PROG_B ステートマシンからのデバイスリセット要求です。これにより、デザインがリセットを完了できるステートになるまで PROG_B のアサート要求が制御されます。このピンは、PROG_USR 属性を設定した場合にのみイネーブルになります。セーフ操作では未接続のままにできます。 |
| TCKSPI | 出力 | 1 | TCK コンフィギュレーションピン アクセス出力。FPGA ファブリックへの出力です。FPGA のコンフィギュレーションインターフェイスに駆動される CCLK を直接コピーしたものです。内部ステートマシンを CCLK に同期する場合に有益です。 |
| USRCCLKO | 入力 | 1 | ユーザー CCLK 入力。FPGA ファブリックからの入力です。ファブリックで生成されたカスタムクロック周波数を FPGA ピンの CCLK に駆動します。コンフィギュレーション後に外部 PROM (特に SPI PROM) にアクセスする場合に有益です。 |
| USRCCLKTS | 入力 | 1 | 内部ユーザー CCLK のトライステート イネーブル。FPGA ファブリックからの入力です。FPGA の CCLK ピンのトライステート機能をイネーブルにします。通常はこのピンを Low に接続し、CCLK ピンがトライステートにならないようにします。 |
| USRDONEO | 入力 | 1 | 内部ユーザー DONE ピンの出力制御。FPGA ファブリックからの入力です。FPGA DONE ピンを直接駆動します。 |
| USRDONETS | 入力 | 1 | ユーザー DONE ピンのトライステート イネーブル。FPGA ファブリックからの入力です。FPGA の DONE ピンのトライステート機能をイネーブルにします。通常は、このピンは Low に接続する必要があります。High に接続すると、DONE がアサートされなくなります。 |

デザインの入力方法

このエレメントは、回路図で使用できます。

専用のグローバルトライステートが使用される場合は、適切なソースピンまたはロジックをこのプリミティブの GTS 入力ピンに接続します。コンフィギュレーションのスタートアップシーケンスのクロックを指定するには、デザインからのクロックをこのデザインエレメントの CLK ピンに接続します。CFGMCLK および CFGCLK を使用すると、内部コンフィギュレーションクロックにアクセスでき、EOS 信号はコンフィギュレーションスタートアップシーケンスの終了を伝えます。

SPI PROM を使用してデバイスをコンフィギュレーションしており、コンフィギュレーション後に SPI PROM へのアクセスが必要な場合は、このコンポーネントの USRCCLKO ピンと DINSPI ピンを使用して、専用コンフィギュレーション入力ピンにアクセスできるようにします。

使用可能な属性

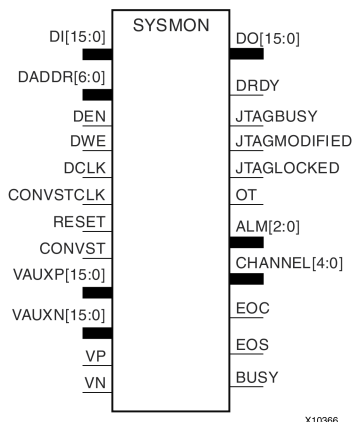
| 属性 | データ型 | 値 | デフォルト | 説明 |
|----------|-------|------------|-------|---|
| PROG_USR | ブール代数 | FALSE、TRUE | FALSE | プログラム イベント セキュリティ機能を有効にします。暗号化ビットストリームを使用している場合にのみ使用可能です。 |

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

SYSMON

プリミティブ：System Monitor



概要

このデザイン エLEMENTは、10 ビット、200kSPS (キロサンプル/秒) の Analog-to-Digital Converter (ADC) をベースに構築されています。ADC は、大量のオンチップ センサーと組み合わせて、オンチップ電源電圧およびチップ温度などの FPGA の物理的な動作パラメーターを計測するのに使用されます。外部電圧には、専用のアナログ入力ペア (VP/VN) と 16 のユーザーが選択可能なアナログ入力 (補助アナログ入力 (VAUXP[15:0]、VAUXN[15:0])) を介します。外部アナログ入力を使用すると、ADC でボードやエンクロージャの物理的環境を監視できます。

ポートの説明

| ポート名 | 方向 | 幅 | 機能 |
|--------------|----|----|---------------------------------------|
| ALM[2:0] | 出力 | 3 | 温度、Vccint および Vccaux の 3 ビット出力アラーム |
| BUSY | 出力 | 1 | 1 ビット出力 ADC ビジー信号 |
| CHANNEL[4:0] | 出力 | 5 | 5 ビット出力チャネル選択 |
| CONVST | 入力 | 1 | 1 ビット入力変換開始 |
| CONVSTCLK | 入力 | 1 | 1 ビット入力変換開始クロック |
| DADDR[6:0] | 入力 | 7 | ダイナミック リコンフィギュレーションの 7 ビット入力アドレス バス |
| DCLK | 入力 | 1 | ダイナミック リコンフィギュレーションの 1 ビット入力クロック |
| DEN | 入力 | 1 | ダイナミック リコンフィギュレーションの 1 ビット入力イネーブル |
| DI[15:0] | 入力 | 16 | ダイナミック リコンフィギュレーションの 16 ビット入力データ バス |
| DO[15:0] | 出力 | 16 | ダイナミック リコンフィギュレーションの 16 ビット出力データ バス |
| DRDY | 出力 | 1 | ダイナミック リコンフィギュレーションの 1 ビット出力データレディ |
| DWE | 入力 | 1 | ダイナミック リコンフィギュレーションの 1 ビット入力ライト イネーブル |

| ポート名 | 方向 | 幅 | 機能 |
|--------------|----|----|--------------------------|
| EOC | 出力 | 1 | 変換の 1 ビット出力エンド |
| EOS | 出力 | 1 | シーケンスの 1 ビット出力エンド |
| JTAGBUSY | 出力 | 1 | 1 ビット出力 JTAG DRP ビジー |
| JTAGLOCKED | 出力 | 1 | 1 ビット出力 DRP ポート ロック |
| JTAGMODIFIED | 出力 | 1 | DRP への 1 ビット出力 JTAG 書き込み |
| OT | 出力 | 1 | 温度アラームの 1 ビット出力 |
| RESET | 入力 | 1 | 1 ビット入力アクティブ High リセット |
| VAUXN[15:0] | 入力 | 16 | 16 ビット入力 N 側補助アナログ入力 |
| VAUXP[15:0] | 入力 | 16 | 16 ビット入力 P 側補助アナログ入力 |
| VN | 入力 | 1 | 1 ビット入力 N 側アナログ入力 |
| VP | 入力 | 1 | 1 ビット入力 P 側アナログ入力 |

デザインの入力方法

該当する入力および出力ポートをすべて接続し、このコンポーネントの該当するビヘイビアの属性を設定します。シミュレーションには、アナログおよび温度情報をモデルに渡すためにテキスト ファイルを使用します。テキスト ファイルのフォーマットは次のとおりです。

```
// Must use valid headers on all columns
// Comments can be added to the stimulus file using '///'
TIME TEMP VCCAUX VCCINT VP VN VAUXP[0] VAUXN[0]
00000 45 2.5 1.0 0.5 0.0 0.7 0.0
05000 85 2.45 1.1 0.3 0.0 0.2 0.0
// Time stamp data is in nano seconds (ns)
// Temperature is recorded in C (degrees centigrade)
// All other channels are recorded as V (Volts)
// Valid column headers are:
// TIME, TEMP, VCCAUX, VCCINT, VP, VN,
// VAUXP[0], VAUXN[0],.....VAUXP[15], VAUXN[15]
// External analog inputs are differential so VP = 0.5 and VN = 0.0 the
// input on channel VP/VN is 0.5 - 0.0 = 0.5V
```

メモ： このコードをコンパイルする場合は、テキストに余分なスペースを追加しないでください。コンパイル エラーが発生する場合があります。

このエレメントは、回路図で使用できます。

使用可能な属性

| 属性 | データ型 | 値 | デフォルト | 説明 |
|---------|-------|---------------------|----------|--------------------|
| INIT_40 | 16 進数 | 16'h0000 ~ 16'hffff | 16'h0000 | コンフィギュレーション レジスタ 0 |
| INIT_41 | 16 進数 | 16'h0000 ~ 16'hffff | 16'h0000 | コンフィギュレーション レジスタ 1 |
| INIT_42 | 16 進数 | 16'h0000 ~ 16'hffff | 16'h0800 | コンフィギュレーション レジスタ 2 |
| INIT_43 | 16 進数 | 16'h0000 ~ 16'hffff | 16'h0000 | テスト レジスタ 0 |

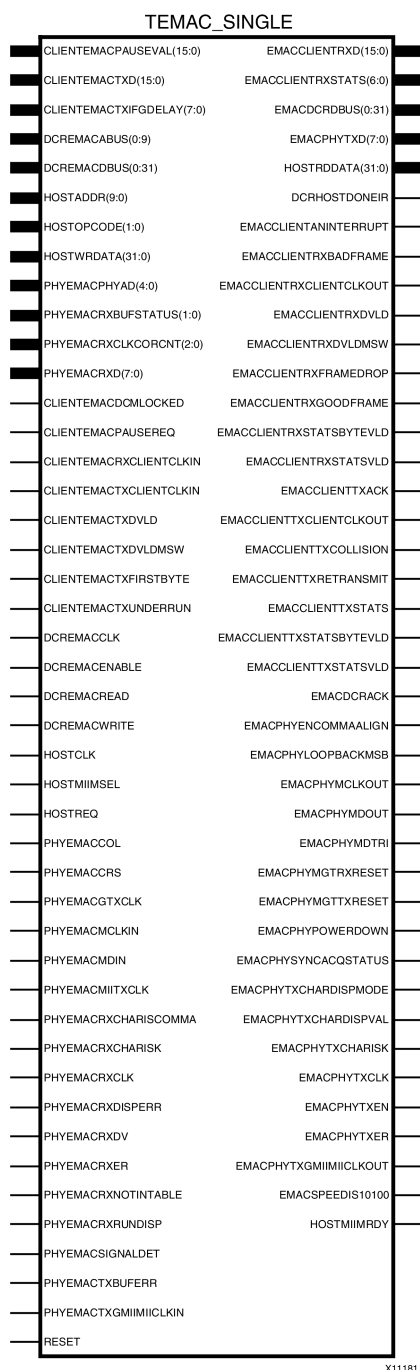
| 属性 | データ型 | 値 | デフォルト | 説明 |
|------------------|-------|-------------------------|------------|---------------------------|
| INIT_44 | 16 進数 | 16'h0000 ~ 16'hffff | 16'h0000 | テスト レジスタ 1 |
| INIT_45 | 16 進数 | 16'h0000 ~ 16'hffff | 16'h0000 | テスト レジスタ 2 |
| INIT_46 | 16 進数 | 16'h0000 ~ 16'hffff | 16'h0000 | テスト レジスタ 3 |
| INIT_47 | 16 進数 | 16'h0000 ~ 16'hffff | 16'h0000 | テスト レジスタ 4 |
| INIT_48 | 16 進数 | 16'h0000 ~ 16'hffff | 16'h0000 | シーケンス レジスタ 0 |
| INIT_49 | 16 進数 | 16'h0000 ~ 16'hffff | 16'h0000 | シーケンス レジスタ 1 |
| INIT_4A | 16 進数 | 16'h0000 ~ 16'hffff | 16'h0000 | シーケンス レジスタ 2 |
| INIT_4B | 16 進数 | 16'h0000 ~ 16'hffff | 16'h0000 | シーケンス レジスタ 3 |
| INIT_4C | 16 進数 | 16'h0000 ~ 16'hffff | 16'h0000 | シーケンス レジスタ 4 |
| INIT_4D | 16 進数 | 16'h0000 ~ 16'hffff | 16'h0000 | シーケンス レジスタ 5 |
| INIT_4E | 16 進数 | 16'h0000 ~ 16'hffff | 16'h0000 | シーケンス レジスタ 6 |
| INIT_4F | 16 進数 | 16'h0000 ~ 16'hffff | 16'h0000 | シーケンス レジスタ 7 |
| INIT_50 | 16 進数 | 16'h0000 ~ 16'hffff | 16'h0000 | アラーム制限レジスタ 0 |
| INIT_51 | 16 進数 | 16'h0000 ~ 16'hffff | 16'h0000 | アラーム制限レジスタ 1 |
| INIT_52 | 16 進数 | 16'h0000 ~ 16'hffff | 16'h0000 | アラーム制限レジスタ 2 |
| INIT_53 | 16 進数 | 16'h0000 ~ 16'hffff | 16'h0000 | アラーム制限レジスタ 3 |
| INIT_54 | 16 進数 | 16'h0000 ~ 16'hffff | 16'h0000 | アラーム制限レジスタ 4 |
| INIT_55 | 16 進数 | 16'h0000 ~ 16'hffff | 16'h0000 | アラーム制限レジスタ 5 |
| INIT_56 | 16 進数 | 16'h0000 ~ 16'hffff | 16'h0000 | アラーム制限レジスタ 6 |
| INIT_57 | 16 進数 | 16'h0000 ~ 16'hffff | 16'h0000 | アラーム制限レジスタ 7 |
| SIM_DEVICE | 文字列 | "VIRTEX5"、 "VIRTEX6" | "VIRTEX5" | シミュレーション用のターゲット デバイス ファミリ |
| SIM_MONITOR_FILE | 文字列 | ファイルの名前 と場所 | design.txt | シミュレーション アナログ入力ファイル |

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

TEMAC_SINGLE

プリミティブ : Tri-mode Ethernet Media Access Controller (MAC)



概要

Virtex®-6 FPGA エンベデッドトライモード イーサネット MAC をインスタンス化するために必要なポートおよび属性を提供します。SecureIP 暗号化 HDL を含むため、論理およびタイミング シミュレーションにも使用されます。このプリミティブは、イーサネット MAC ラッパーを作成するために、CORE Generator™ を使用して特定ニーズに合わせて変更することができます。

デザインの入力方法

このエレメントをインスタンスエートするには、エンベデッド開発キット (EDK) またはこのエレメントを含む関連コアを使用します。このエレメントは直接インスタンスエートしないでください。

このエレメントは、回路図で使用できます。

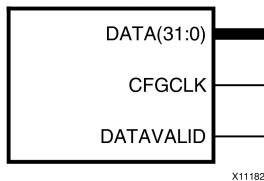
詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

USR_ACCESS_VIRTEX6

プリミティブ：Virtex-6 User Access Register

USR_ACCESS_VIRTEX6



概要

このデザイン エレメントを使用すると、コンフィギュレーション ロジック内の 32 ビットのレジスタにアクセスでき、ビットストリームからのデータを読み出すことができます。たとえば、コンフィギュレーション後に FPGA デザインからビットストリーム格納ソースに保存されたデータにアクセスすることができます。

ポートの説明

| ポート名 | 方向 | 幅 | 機能 |
|------------|----|----|---|
| CFGCLK | 出力 | 1 | コンフィギュレーション クロック出力 |
| DATA[31:0] | 出力 | 32 | コンフィギュレーション データ出力 |
| DATAVALID | 出力 | 1 | DATA ポートに有効なデータが含まれているかどうかを示すアクティブ High の信号 |

デザインの入力方法

このエレメントは、回路図で使用できます。

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

VCC

プリミティブ：VCC-Connection Signal Tag



概要

このデザイン エLEMENTは信号タグまたはパラメーターとして機能し、ネットや入力ファンクションを強制的に High にします。このELEMENTに接続したネットを、ほかのソースに接続することはできません。

配置配線のプロセスで VCC に接続されたネットまたは入力ファンクションが検出されると、VCC 信号でディスエーブルになるロジックは削除されます。VCC 信号は、ディスエーブルされたロジックが削除できない場合のみインプリメントされます。

デザインの入力方法

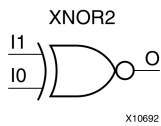
このELEMENTは、回路図でのみ使用できます。

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

XNOR2

プリミティブ：2-Input XNOR Gate with Non-Inverted Inputs



概要

XNOR ファンクションには入力が 9 個までのものがありますが、入力はすべて非反転入力です。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

論理表

| 入力 | 出力 |
|---------|----|
| I0 ~ Iz | O |
| 奇数個の 1 | 0 |
| 偶数個の 1 | 1 |

デザインの入力方法

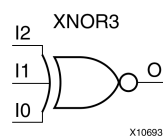
このエレメントは、回路図でのみ使用できます。

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

XNOR3

プリミティブ：3-Input XNOR Gate with Non-Inverted Inputs



概要

XNOR ファンクションには入力が 9 個までのものがありますが、入力はすべて非反転入力です。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

論理表

| 入力 | 出力 |
|---------|----|
| I0 ~ I2 | O |
| 奇数個の 1 | 0 |
| 偶数個の 1 | 1 |

デザインの入力方法

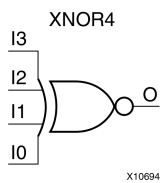
このエレメントは、回路図でのみ使用できます。

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

XNOR4

プリミティブ：4-Input XNOR Gate with Non-Inverted Inputs



概要

XNOR ファンクションには入力が 9 個までのものがありますが、入力はすべて非反転入力です。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

論理表

| 入力 | 出力 |
|---------|----|
| I0 ~ Iz | O |
| 奇数個の 1 | 0 |
| 偶数個の 1 | 1 |

デザインの入力方法

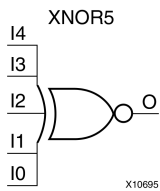
このエレメントは、回路図でのみ使用できます。

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

XNOR5

プリミティブ：5-Input XNOR Gate with Non-Inverted Inputs



概要

XNOR ファンクションには入力が 9 個までのものがありますが、入力はすべて非反転入力です。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

論理表

| 入力 | 出力 |
|---------|----|
| I0 ~ Iz | O |
| 奇数個の 1 | 0 |
| 偶数個の 1 | 1 |

デザインの入力方法

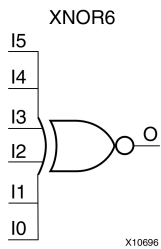
このエレメントは、回路図でのみ使用できます。

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

XNOR6

マクロ：6-Input XNOR Gate with Non-Inverted Inputs



概要

XNOR ファンクションには入力が 9 個までのものがありますが、入力はすべて非反転入力です。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

論理表

| 入力 | 出力 |
|---------------------|----|
| I0 ~ I _z | O |
| 奇数個の 1 | 0 |
| 偶数個の 1 | 1 |

デザインの入力方法

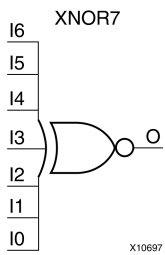
このエレメントは、回路図でのみ使用できます。

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

XNOR7

マクロ：7-Input XNOR Gate with Non-Inverted Inputs



概要

XNOR ファンクションには入力 9 個までのものがありますが、入力はすべて非反転入力です。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

論理表

| 入力 | 出力 |
|---------|----|
| I0 ~ Iz | O |
| 奇数個の 1 | 0 |
| 偶数個の 1 | 1 |

デザインの入力方法

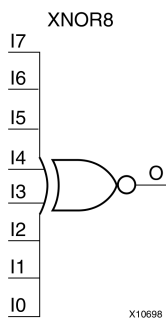
このエレメントは、回路図でのみ使用できます。

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

XNOR8

マクロ : 8-Input XNOR Gate with Non-Inverted Inputs



概要

XNOR ファンクションには入力が 9 個までのものがありますが、入力はすべて非反転入力です。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

論理表

| 入力 | 出力 |
|---------|----|
| I0 ~ Iz | O |
| 奇数個の 1 | 0 |
| 偶数個の 1 | 1 |

デザインの入力方法

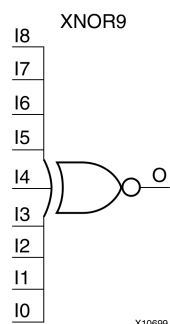
このエレメントは、回路図でのみ使用できます。

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

XNOR9

マクロ：9-Input XNOR Gate with Non-Inverted Inputs



概要

XNOR ファンクションには入力が 9 個までのものがありますが、入力はすべて非反転入力です。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

論理表

| 入力 | 出力 |
|---------|----|
| I0 ~ I8 | O |
| 奇数個の 1 | 0 |
| 偶数個の 1 | 1 |

デザインの入力方法

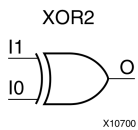
このエレメントは、回路図でのみ使用できます。

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

XOR2

プリミティブ：2-Input XOR Gate with Non-Inverted Inputs



概要

XOR ファンクションには入力 9 個のものまでありますが、入力はすべて非反転入力です。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

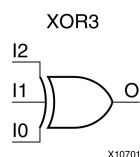
このエレメントは、回路図でのみ使用できます。

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

XOR3

プリミティブ : 3-Input XOR Gate with Non-Inverted Inputs



概要

XOR ファンクションには入力が 9 個のものまでありますが、入力はすべて非反転入力です。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

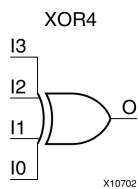
このエレメントは、回路図でのみ使用できます。

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

XOR4

プリミティブ：4-Input XOR Gate with Non-Inverted Inputs



概要

XOR ファンクションには入力が 9 個のものまでありますが、入力はすべて非反転入力です。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

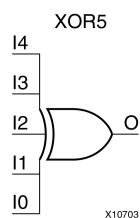
このエレメントは、回路図でのみ使用できます。

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

XOR5

プリミティブ：5-Input XOR Gate with Non-Inverted Inputs



概要

XOR ファンクションには入力が 9 個のものまでありますが、入力はすべて非反転入力です。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

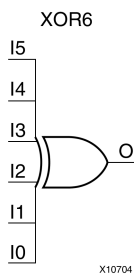
このエレメントは、回路図でのみ使用できます。

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

XOR6

マクロ：6-Input XOR Gate with Non-Inverted Inputs



概要

XOR ファンクションには入力 9 個のものまでありますが、入力はすべて非反転入力です。各入力に CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

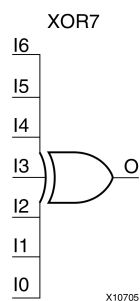
このエレメントは、回路図でのみ使用できます。

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

XOR7

マクロ：7-Input XOR Gate with Non-Inverted Inputs



概要

XOR ファンクションには入力が 9 個のものまでありますが、入力はすべて非反転入力です。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

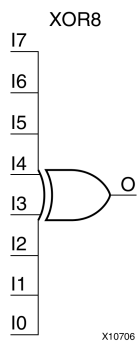
このエレメントは、回路図でのみ使用できます。

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

XOR8

マクロ : 8-Input XOR Gate with Non-Inverted Inputs



概要

XOR ファンクションには入力 9 個のものまでがありますが、入力はすべて非反転入力です。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

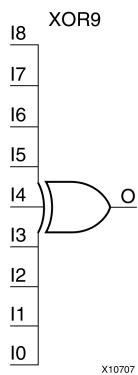
このエレメントは、回路図でのみ使用できます。

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

XOR9

マクロ : 9-Input XOR Gate with Non-Inverted Inputs



概要

XOR ファンクションには入力 が 9 個のものまでがありますが、入力はすべて非反転入力です。各入力 で CLB リソース が使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

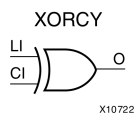
このELEMENTは、回路図でのみ使用できます。

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

XORCY

プリミティブ : XOR for Carry Logic with General Output



概要

このデザイン エLEMENTは、汎用出力 (O) を持つ特殊な XOR ゲートで、高速で小型の演算ファンクションを生成するために使用します。このプリミティブは、スライスのキャリーチェーン ロジック内の専用 XOR ファンクションで、演算ファンクション (加算または除算) または多入力ロジック ファンクション (多入力 AND または OR ゲート) を高速かつ効率的に作成できます。

論理表

| 入力 | | 出力 |
|----|----|----|
| LI | CI | O |
| 0 | 0 | 0 |
| 0 | 1 | 1 |
| 1 | 0 | 1 |
| 1 | 1 | 0 |

デザインの入力方法

このELEMENTは、回路図で使用できます。

詳細情報

[Virtex-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)