

Spartan-3E ライブラリ ガイド (回路図用)

UG618 (v14.5) 2013 年 3 月 20 日



Notice of Disclaimer

The information disclosed to you hereunder (the “Materials”) is provided solely for the selection and use of Xilinx products. To the maximum extent permitted by applicable law: (1) Materials are made available “AS IS” and with all faults, Xilinx hereby DISCLAIMS ALL WARRANTIES AND CONDITIONS, EXPRESS, IMPLIED, OR STATUTORY, INCLUDING BUT NOT LIMITED TO WARRANTIES OF MERCHANTABILITY, NON-INFRINGEMENT, OR FITNESS FOR ANY PARTICULAR PURPOSE; and (2) Xilinx shall not be liable (whether in contract or tort, including negligence, or under any other theory of liability) for any loss or damage of any kind or nature related to, arising under, or in connection with, the Materials (including your use of the Materials), including for any direct, indirect, special, incidental, or consequential loss or damage (including loss of data, profits, goodwill, or any type of loss or damage suffered as a result of any action brought by a third party) even if such damage or loss was reasonably foreseeable or Xilinx had been advised of the possibility of the same. Xilinx assumes no obligation to correct any errors contained in the Materials or to notify you of updates to the Materials or to product specifications. You may not reproduce, modify, distribute, or publicly display the Materials without prior written consent. Certain products are subject to the terms and conditions of the Limited Warranties which can be viewed at <http://www.xilinx.com/warranty.htm>; IP cores may be subject to warranty and support terms contained in a license issued to you by Xilinx. Xilinx products are not designed or intended to be fail-safe or for use in any application requiring fail-safe performance; you assume sole risk and liability for use of Xilinx products in Critical Applications: <http://www.xilinx.com/warranty.htm#critapps>.

© Copyright 2002–2012 Xilinx Inc. All rights reserved. Xilinx, the Xilinx logo, Artix, ISE, Kintex, Spartan, Virtex, Vivado, Zynq, and other designated brands included herein are trademarks of Xilinx in the United States and other countries. All other trademarks are the property of their respective owners.

本資料は英語版 (v14.5) を翻訳したもので、内容に相違が生じる場合には原文を優先します。

資料によっては英語版の更新に対応していないものがあります。

日本語版は参考用としてご使用の上、最新情報につきましては、必ず最新英語版をご参照ください。

この資料に関するフィードバックおよびリンクなどの問題につきましては、jpn_trans_feedback@xilinx.com までお知らせください。いただきましたご意見を参考に早急に対応させていただきます。なお、このメール アドレスへのお問い合わせは受け付けておりません。あらかじめご了承ください。

概要

回路図用ライブラリ ガイドは、ISE のオンライン マニュアルの 1 つです。HDL を使用して設計する場合は、HDL 用ライブラリ ガイドを参照してください。

このマニュアルには、次の内容が含まれます。

- ・ 概要
- ・ このアーキテクチャでサポートされるプリミティブとマクロのファンクション別リスト
- ・ 各プリミティブの詳細説明

デザイン エLEMENT

このライブラリ ガイドでは、Spartan®-3E デバイスで利用できるデザイン エLEMENTについて説明します。デザイン エLEMENTはいくつかのカテゴリに分類されています。

- ・ **プリミティブ**：ザイリンクス ライブラリで、ロジックの基本となる最も単純なデザイン エLEMENT。ザイリンクスのプリミティブの例として、BUF (バッファー)、FD (D フリップフロップ) などがあります。
- ・ **マクロ**：ザイリンクス ライブラリの基本となるデザイン エLEMENT。デザイン エLEMENTのプリミティブまたはマクロから作成することができます。たとえば、FD4CE フリップフロップ マクロは 4 つの FDCE プリミティブをまとめたものです。

ザイリンクスでは、さまざまなデバイス アーキテクチャに対応した多数のデザイン エLEMENT (マクロおよびプリミティブ) を含むソフトウェア ライブラリを提供しています。開発システム ツールのリリースごとに、新しいデザイン エLEMENTが組み込まれます。このマニュアルは、そのようなアーキテクチャ固有のライブラリの 1 つです。

ファンクション別分類

このセクションでは、デバイスに含まれるデザイン エレメントをファンクション別に分類して示します。エレメント (プリミティブおよびマクロのインプリメンテーション) は、各カテゴリでアルファベット順にリストしています。

演算ファンクション	フリップフロップ	LUT
バッファー	汎用エレメント	メモリ
キャリー ロジック	I/O	マルチプレクサー
コンパレータ	I/O フリップフロップ	シフトレジスタ
カウンタ	I/O ラッチ	シフター
DDR フリップフロップ	ラッチ	
デコーダー	ロジック	

演算ファンクション

デザイン エレメント	説明
ACC16	マクロ : 16-Bit Loadable Cascadable Accumulator with Carry-In, Carry-Out, and Synchronous Reset
ACC4	マクロ : 4-Bit Loadable Cascadable Accumulator with Carry-In, Carry-Out, and Synchronous Reset
ACC8	マクロ : 8-Bit Loadable Cascadable Accumulator with Carry-In, Carry-Out, and Synchronous Reset
ADD16	マクロ : 16-Bit Cascadable Full Adder with Carry-In, Carry-Out, and Overflow
ADD4	マクロ : 4-Bit Cascadable Full Adder with Carry-In, Carry-Out, and Overflow
ADD8	マクロ : 8-Bit Cascadable Full Adder with Carry-In, Carry-Out, and Overflow
ADSU16	マクロ : 16-Bit Cascadable Adder/Subtractor with Carry-In, Carry-Out, and Overflow
ADSU4	マクロ : 4-Bit Cascadable Adder/Subtractor with Carry-In, Carry-Out, and Overflow
ADSU8	マクロ : 8-Bit Cascadable Adder/Subtractor with Carry-In, Carry-Out, and Overflow

デザイン エLEMENT	説明
MULT18X18	プリミティブ : 18 x 18 Signed Multiplier
MULT18X18S	プリミティブ : 18 x 18 Signed Multiplier -- Registered Version
MULT18X18SIO	プリミティブ : 18 x 18 Cascadable Signed Multiplier with Optional Input and Output Registers, Clock Enable, and Synchronous Reset

バッファ

デザイン エLEMENT	説明
BUF	プリミティブ : General Purpose Buffer
BUFCF	プリミティブ : Fast Connect Buffer
BUFG	プリミティブ : Global Clock Buffer
BUFGCE	プリミティブ : Global Clock Buffer with Clock Enable
BUFGCE_1	プリミティブ : Global Clock Buffer with Clock Enable and Output State 1
BUFGMUX	プリミティブ : Global Clock MUX Buffer
BUFGMUX_1	プリミティブ : Global Clock MUX Buffer with Output State 1

キャリー ロジック

デザイン エLEMENT	説明
MUXCY	プリミティブ : 2-to-1 Multiplexer for Carry Logic with General Output
MUXCY_D	プリミティブ : 2-to-1 Multiplexer for Carry Logic with Dual Output
MUXCY_L	プリミティブ : 2-to-1 Multiplexer for Carry Logic with Local Output
XORCY	プリミティブ : XOR for Carry Logic with General Output
XORCY_D	プリミティブ : XOR for Carry Logic with Dual Output
XORCY_L	プリミティブ : XOR for Carry Logic with Local Output

コンパレータ

デザイン エLEMENT	説明
COMP16	マクロ : 16-Bit Identity Comparator
COMP2	マクロ : 2-Bit Identity Comparator
COMP4	マクロ : 4-Bit Identity Comparator
COMP8	マクロ : 8-Bit Identity Comparator
COMPM16	マクロ : 16-Bit Magnitude Comparator
COMPM2	マクロ : 2-Bit Magnitude Comparator
COMPM4	マクロ : 4-Bit Magnitude Comparator
COMPM8	マクロ : 8-Bit Magnitude Comparator

デザイン エLEMENT	説明
COMP16	マクロ : 16-Bit Magnitude Comparator
COMP8	マクロ : 8-Bit Magnitude Comparator

カウンター

デザイン エLEMENT	説明
CB16CE	マクロ : 16-Bit Cascadable Binary Counter with Clock Enable and Asynchronous Clear
CB16CLE	マクロ : 16-Bit Loadable Cascadable Binary Counters with Clock Enable and Asynchronous Clear
CB16CLED	マクロ : 16-Bit Loadable Cascadable Bidirectional Binary Counters with Clock Enable and Asynchronous Clear
CB16RE	マクロ : 16-Bit Cascadable Binary Counter with Clock Enable and Synchronous Reset
CB2CE	マクロ : 2-Bit Cascadable Binary Counter with Clock Enable and Asynchronous Clear
CB2CLE	マクロ : 2-Bit Loadable Cascadable Binary Counters with Clock Enable and Asynchronous Clear
CB2CLED	マクロ : 2-Bit Loadable Cascadable Bidirectional Binary Counters with Clock Enable and Asynchronous Clear
CB2RE	マクロ : 2-Bit Cascadable Binary Counter with Clock Enable and Synchronous Reset
CB4CE	マクロ : 4-Bit Cascadable Binary Counter with Clock Enable and Asynchronous Clear
CB4CLE	マクロ : 4-Bit Loadable Cascadable Binary Counters with Clock Enable and Asynchronous Clear
CB4CLED	マクロ : 4-Bit Loadable Cascadable Bidirectional Binary Counters with Clock Enable and Asynchronous Clear
CB4RE	マクロ : 4-Bit Cascadable Binary Counter with Clock Enable and Synchronous Reset
CB8CE	マクロ : 8-Bit Cascadable Binary Counter with Clock Enable and Asynchronous Clear
CB8CLE	マクロ : 8-Bit Loadable Cascadable Binary Counters with Clock Enable and Asynchronous Clear
CB8CLED	マクロ : 8-Bit Loadable Cascadable Bidirectional Binary Counters with Clock Enable and Asynchronous Clear
CB8RE	マクロ : 8-Bit Cascadable Binary Counter with Clock Enable and Synchronous Reset
CC16CE	マクロ : 16-Bit Cascadable Binary Counter with Clock Enable and Asynchronous Clear
CC16CLE	マクロ : 16-Bit Loadable Cascadable Binary Counter with Clock Enable and Asynchronous Clear
CC16CLED	マクロ : 16-Bit Loadable Cascadable Bidirectional Binary Counter with Clock Enable and Asynchronous Clear
CC16RE	マクロ : 16-Bit Cascadable Binary Counter with Clock Enable and Synchronous Reset

デザイン エLEMENT	説明
CC8CE	マクロ : 8-Bit Cascadable Binary Counter with Clock Enable and Asynchronous Clear
CC8CLE	マクロ : 8-Bit Loadable Cascadable Binary Counter with Clock Enable and Asynchronous Clear
CC8CLED	マクロ : 8-Bit Loadable Cascadable Bidirectional Binary Counter with Clock Enable and Asynchronous Clear
CC8RE	マクロ : 8-Bit Cascadable Binary Counter with Clock Enable and Synchronous Reset
CD4CE	マクロ : 4-Bit Cascadable BCD Counter with Clock Enable and Asynchronous Clear
CD4CLE	マクロ : 4-Bit Loadable Cascadable BCD Counter with Clock Enable and Asynchronous Clear
CD4RE	マクロ : 4-Bit Cascadable BCD Counter with Clock Enable and Synchronous Reset
CD4RLE	マクロ : 4-Bit Loadable Cascadable BCD Counter with Clock Enable and Synchronous Reset
CJ4CE	マクロ : 4-Bit Johnson Counter with Clock Enable and Asynchronous Clear
CJ4RE	マクロ : 4-Bit Johnson Counter with Clock Enable and Synchronous Reset
CJ5CE	マクロ : 5-Bit Johnson Counter with Clock Enable and Asynchronous Clear
CJ5RE	マクロ : 5-Bit Johnson Counter with Clock Enable and Synchronous Reset
CJ8CE	マクロ : 8-Bit Johnson Counter with Clock Enable and Asynchronous Clear
CJ8RE	マクロ : 8-Bit Johnson Counter with Clock Enable and Synchronous Reset
CR16CE	マクロ : 16-Bit Negative-Edge Binary Ripple Counter with Clock Enable and Asynchronous Clear
CR8CE	マクロ : 8-Bit Negative-Edge Binary Ripple Counter with Clock Enable and Asynchronous Clear

DDR フリップフロップ

デザイン エLEMENT	説明
IDDR2	プリミティブ : Double Data Rate Input D Flip-Flop with Optional Data Alignment, Clock Enable and Programmable Synchronous or Asynchronous Set/Reset
ODDR2	プリミティブ : Dual Data Rate Output D Flip-Flop with Optional Data Alignment, Clock Enable and Programmable Synchronous or Asynchronous Set/Reset

デコーダー

デザイン エlement	説明
D2_4E	マクロ : 2- to 4-Line Decoder/Demultiplexer with Enable
D3_8E	マクロ : 3- to 8-Line Decoder/Demultiplexer with Enable
D4_16E	マクロ : 4- to 16-Line Decoder/Demultiplexer with Enable
DEC_CC16	マクロ : 16-Bit Active Low Decoder
DEC_CC4	マクロ : 4-Bit Active Low Decoder
DEC_CC8	マクロ : 8-Bit Active Low Decoder
DECODE16	マクロ : 16-Bit Active Low Decoder
DECODE32	マクロ : 32-Bit Active Low Decoder
DECODE4	マクロ : 4-Bit Active Low Decoder
DECODE64	マクロ : 64-Bit Active Low Decoder
DECODE8	マクロ : 8-Bit Active Low Decoder

フリップフロップ

デザイン エlement	説明
IDDR2	プリミティブ : Double Data Rate Input D Flip-Flop with Optional Data Alignment, Clock Enable and Programmable Synchronous or Asynchronous Set/Reset
ODDR2	プリミティブ : Dual Data Rate Output D Flip-Flop with Optional Data Alignment, Clock Enable and Programmable Synchronous or Asynchronous Set/Reset

汎用Element

デザイン エlement	説明
BSCAN_SPARTAN3	プリミティブ : Spartan®-3 and Spartan-3E JTAG Boundary Scan Logic Access Circuit
CAPTURE_SPARTAN3	プリミティブ : Spartan®-3 Register State Capture for Bitstream Readback
DCM_SP	プリミティブ : Digital Clock Manager
GND	プリミティブ : Ground-Connection Signal Tag
KEEPER	プリミティブ : KEEPER Symbol
PULLDOWN	プリミティブ : Resistor to GND for Input Pads, Open-Drain, and 3-State Outputs
PULLUP	プリミティブ : Resistor to VCC for Input PADS, Open-Drain, and 3-State Outputs
STARTUP_SPARTAN3E	プリミティブ : Spartan®-3E User Interface to the GSR, GTS, Configuration Startup Sequence and Multi-Boot Trigger Circuitry
VCC	プリミティブ : VCC-Connection Signal Tag

I/O

デザイン エLEMENT	説明
IBUF	プリミティブ : Input Buffer
IBUFDS	プリミティブ : Differential Signaling Input Buffer
IBUF16	マクロ : 16-Bit Input Buffer
IBUF4	マクロ : 4-Bit Input Buffer
IBUF8	マクロ : 8-Bit Input Buffer
IBUFG	プリミティブ : Dedicated Input Clock Buffer
IBUFGDS	プリミティブ : Differential Signaling Dedicated Input Clock Buffer and Optional Delay
IOBUF	プリミティブ : Bi-Directional Buffer
IOBUFDS	プリミティブ : 3-State Differential Signaling I/O Buffer with Active Low Output Enable
OBUF	プリミティブ : Output Buffer
OBUF16	マクロ : 16-Bit Output Buffer
OBUF8	マクロ : 8-Bit Output Buffer
OBUF4	マクロ : 4-Bit Output Buffer
OBUFDS	プリミティブ : Differential Signaling Output Buffer
OBUFT	プリミティブ : 3-State Output Buffer with Active Low Output Enable
OBUFT4	マクロ : 4-Bit 3-State Output Buffers with Active-Low Output Enable
OBUFT8	マクロ : 8-Bit 3-State Output Buffers with Active-Low Output Enable
OBUFT16	マクロ : 16-Bit 3-State Output Buffer with Active Low Output Enable
OBUFTDS	プリミティブ : 3-State Output Buffer with Differential Signaling, Active-Low Output Enable

I/O フリップフロップ

デザイン エLEMENT	説明
IFD	マクロ : Input D Flip-Flop
IFD_1	マクロ : Input D Flip-Flop with Inverted Clock (Asynchronous Preset)
IFD16	マクロ : 16-Bit Input D Flip-Flop
IFD4	マクロ : 4-Bit Input D Flip-Flop
IFD8	マクロ : 8-Bit Input D Flip-Flop
IFDI	マクロ : Input D Flip-Flop (Asynchronous Preset)
IFDI_1	マクロ : Input D Flip-Flop with Inverted Clock (Asynchronous Preset)
IFDX	マクロ : Input D Flip-Flop with Clock Enable

デザイン エLEMENT	説明
IFDX_1	マクロ : Input D Flip-Flop with Inverted Clock and Clock Enable
IFDX16	マクロ : 16-Bit Input D Flip-Flops with Clock Enable
IFDX4	マクロ : 4-Bit Input D Flip-Flop with Clock Enable
IFDX8	マクロ : 8-Bit Input D Flip-Flop with Clock Enable
IFDXI	マクロ : Input D Flip-Flop with Clock Enable (Asynchronous Preset)
IFDXI_1	マクロ : Input D Flip-Flop with Inverted Clock and Clock Enable (Asynchronous Preset)
OFD	マクロ : Output D Flip-Flop
OFD_1	マクロ : Output D Flip-Flop with Inverted Clock
OFD16	マクロ : 16-Bit Output D Flip-Flop
OFD4	マクロ : 4-Bit Output D Flip-Flop
OFD8	マクロ : 8-Bit Output D Flip-Flop
OFDE	マクロ : D Flip-Flop with Active-High Enable Output Buffers
OFDE_1	マクロ : D Flip-Flop with Active-High Enable Output Buffer and Inverted Clock
OFDE16	マクロ : 16-Bit D Flip-Flop with Active-High Enable Output Buffers
OFDE4	マクロ : 4-Bit D Flip-Flop with Active-High Enable Output Buffers
OFDE8	マクロ : 8-Bit D Flip-Flop with Active-High Enable Output Buffers
OFDI	マクロ : Output D Flip-Flop (Asynchronous Preset)
OFDI_1	マクロ : Output D Flip-Flop with Inverted Clock (Asynchronous Preset)
OFDT	マクロ : D Flip-Flop with Active-Low 3-State Output Buffer
OFDT_1	マクロ : D Flip-Flop with Active-Low 3-State Output Buffer and Inverted Clock
OFDT16	マクロ : 16-Bit D Flip-Flop with Active-Low 3-State Output Buffers
OFDT4	マクロ : 4-Bit D Flip-Flop with Active-Low 3-State Output Buffers
OFDT8	マクロ : 8-Bit D Flip-Flop with Active-Low 3-State Output Buffers
OFDX	マクロ : Output D Flip-Flop with Clock Enable
OFDX_1	マクロ : Output D Flip-Flop with Inverted Clock and Clock Enable
OFDX16	マクロ : 16-Bit Output D Flip-Flop with Clock Enable
OFDX4	マクロ : 4-Bit Output D Flip-Flop with Clock Enable
OFDX8	マクロ : 8-Bit Output D Flip-Flop with Clock Enable

デザイン エLEMENT	説明
OFDXI	マクロ : Output D Flip-Flop with Clock Enable (Asynchronous Preset)
OFDXI1	マクロ : Output D Flip-Flop with Inverted Clock and Clock Enable (Asynchronous Preset)

I/O ラッチ

デザイン エLEMENT	説明
ILD	マクロ : Transparent Input Data Latch
ILD_1	マクロ : Transparent Input Data Latch with Inverted Gate
ILD16	マクロ : Transparent Input Data Latch
ILD4	マクロ : Transparent Input Data Latch
ILD8	マクロ : Transparent Input Data Latch
ILDI	マクロ : Transparent Input Data Latch (Asynchronous Preset)
ILDI_1	マクロ : Transparent Input Data Latch with Inverted Gate (Asynchronous Preset)
ILDX	マクロ : Transparent Input Data Latch
ILDX_1	マクロ : Transparent Input Data Latch with Inverted Gate
ILDX16	マクロ : Transparent Input Data Latch
ILDX4	マクロ : Transparent Input Data Latch
ILDX8	マクロ : Transparent Input Data Latch
ILDXI	マクロ : Transparent Input Data Latch (Asynchronous Preset)
ILDXI_1	マクロ : Transparent Input Data Latch with Inverted Gate (Asynchronous Preset)

ラッチ

デザイン エLEMENT	説明
ILD	マクロ : Transparent Input Data Latch
ILD_1	マクロ : Transparent Input Data Latch with Inverted Gate
ILD16	マクロ : Transparent Input Data Latch
ILD4	マクロ : Transparent Input Data Latch
ILD8	マクロ : Transparent Input Data Latch
ILDI	マクロ : Transparent Input Data Latch (Asynchronous Preset)
ILDI_1	マクロ : Transparent Input Data Latch with Inverted Gate (Asynchronous Preset)
ILDX	マクロ : Transparent Input Data Latch
ILDX_1	マクロ : Transparent Input Data Latch with Inverted Gate
ILDX16	マクロ : Transparent Input Data Latch
ILDX4	マクロ : Transparent Input Data Latch
ILDX8	マクロ : Transparent Input Data Latch

デザイン エLEMENT	説明
ILDXI	マクロ : Transparent Input Data Latch (Asynchronous Preset)
ILDXI_1	マクロ : Transparent Input Data Latch with Inverted Gate (Asynchronous Preset)

ロジック

デザイン エLEMENT	説明
MUXCY	プリミティブ : 2-to-1 Multiplexer for Carry Logic with General Output
MUXCY_D	プリミティブ : 2-to-1 Multiplexer for Carry Logic with Dual Output
MUXCY_L	プリミティブ : 2-to-1 Multiplexer for Carry Logic with Local Output
XORCY	プリミティブ : XOR for Carry Logic with General Output
XORCY_D	プリミティブ : XOR for Carry Logic with Dual Output
XORCY_L	プリミティブ : XOR for Carry Logic with Local Output

LUT

デザイン エLEMENT	説明
LUT1	プリミティブ : 1-Bit Look-Up Table with General Output
LUT1_D	プリミティブ : 1-Bit Look-Up Table with Dual Output
LUT1_L	プリミティブ : 1-Bit Look-Up Table with Local Output
LUT2	プリミティブ : 2-Bit Look-Up Table with General Output
LUT2_D	プリミティブ : 2-Bit Look-Up Table with Dual Output
LUT2_L	プリミティブ : 2-Bit Look-Up Table with Local Output
LUT3	プリミティブ : 3-Bit Look-Up Table with General Output
LUT3_D	プリミティブ : 3-Bit Look-Up Table with Dual Output
LUT3_L	プリミティブ : 3-Bit Look-Up Table with Local Output
LUT4	プリミティブ : 4-Bit Look-Up-Table with General Output
LUT4_D	プリミティブ : 4-Bit Look-Up Table with Dual Output
LUT4_L	プリミティブ : 4-Bit Look-Up Table with Local Output

メモリ

デザイン エLEMENT	説明
RAM16X1D	プリミティブ : 16-Deep by 1-Wide Static Dual Port Synchronous RAM
RAM16X1D_1	プリミティブ : 16-Deep by 1-Wide Static Dual Port Synchronous RAM with Negative-Edge Clock
RAM16X1S	プリミティブ : 16-Deep by 1-Wide Static Synchronous RAM

デザイン エレメント	説明
RAM16X1S_1	プリミティブ : 16-Deep by 1-Wide Static Synchronous RAM with Negative-Edge Clock
RAM16X2S	プリミティブ : 16-Deep by 2-Wide Static Synchronous RAM
RAM16X4S	プリミティブ : 16-Deep by 4-Wide Static Synchronous RAM
RAM16X8S	プリミティブ : 16-Deep by 8-Wide Static Synchronous RAM
RAM32X1S	プリミティブ : 32-Deep by 1-Wide Static Synchronous RAM
RAM32X1S_1	プリミティブ : 32-Deep by 1-Wide Static Synchronous RAM with Negative-Edge Clock
RAM32X2S	プリミティブ : 32-Deep by 2-Wide Static Synchronous RAM
RAM32X4S	プリミティブ : 32-Deep by 4-Wide Static Synchronous RAM
RAM32X8S	プリミティブ : 32-Deep by 8-Wide Static Synchronous RAM
RAM64X1S	プリミティブ : 64-Deep by 1-Wide Static Synchronous RAM
RAM64X1S_1	プリミティブ : 64-Deep by 1-Wide Static Synchronous RAM with Negative-Edge Clock
RAM64X2S	プリミティブ : 64-Deep by 2-Wide Static Synchronous RAM
RAMB16_S1	プリミティブ : 16K-bit Data and 2K-bit Parity Single-Port Synchronous Block RAM with 1-bit Port
RAMB16_S18	プリミティブ : 16K-bit Data + 2K-bit Parity Memory, Single-Port Synchronous Block RAM with 18-bit Port
RAMB16_S18_S18	プリミティブ : 16K-bit Data and 2K-bit Parity Dual-Port Synchronous Block RAM with 18-bit Ports
RAMB16_S18_S36	プリミティブ : 16K-bit Data and 2K-bit Parity Dual-Port Synchronous Block RAM with 18-bit and 36-bit Ports
RAMB16_S1_S1	プリミティブ : 16K-bit Data and 2K-bit Parity Dual-Port Synchronous Block RAM with 1-bit Ports
RAMB16_S1_S18	プリミティブ : 16K-bit Data and 2K-bit Parity Dual-Port Synchronous Block RAM with 1-bit and 18-bit Ports
RAMB16_S1_S2	プリミティブ : 16K-bit Data and 2K-bit Parity Dual-Port Synchronous Block RAM with 1-bit and 2-bit Ports
RAMB16_S1_S36	プリミティブ : 16K-bit Data and 2K-bit Parity Dual-Port Synchronous Block RAM with 1-bit and 36-bit Ports
RAMB16_S1_S4	プリミティブ : 16K-bit Data and 2K-bit Parity Dual-Port Synchronous Block RAM with 1-bit and 4-bit Ports
RAMB16_S1_S9	プリミティブ : 16K-bit Data and 2K-bit Parity Dual-Port Synchronous Block RAM with 1-bit and 9-bit Ports
RAMB16_S2	プリミティブ : 16K-bit Data and 2K-bit Parity Single-Port Synchronous Block RAM with 2-bit Port
RAMB16_S2_S18	プリミティブ : 16K-bit Data and 2K-bit Parity Dual-Port Synchronous Block RAM with 2-bit and 18-bit Ports
RAMB16_S2_S2	プリミティブ : 16K-bit Data and 2K-bit Parity Dual-Port Synchronous Block RAM with 2-bit Ports
RAMB16_S2_S36	プリミティブ : 16K-bit Data and 2K-bit Parity Dual-Port Synchronous Block RAM with 2-bit and 36-bit Ports

デザイン エLEMENT	説明
RAMB16_S2_S4	プリミティブ：16K-bit Data and 2K-bit Parity Dual-Port Synchronous Block RAM with 2-bit and 4-bit Ports
RAMB16_S2_S9	プリミティブ：16K-bit Data and 2K-bit Parity Dual-Port Synchronous Block RAM with 2-bit and 9-bit Ports
RAMB16_S36	プリミティブ：16K-bit Data and 2K-bit Parity Single-Port Synchronous Block RAM with 36-bit Port
RAMB16_S36_S36	プリミティブ：16K-bit Data and 2K-bit Parity Dual-Port Synchronous Block RAM with Two 36-bit Ports
RAMB16_S4	プリミティブ：16K-bit Data and 2K-bit Parity Single-Port Synchronous Block RAM with 4-bit Port
RAMB16_S4_S18	プリミティブ：16K-bit Data and 2K-bit Parity Dual-Port Synchronous Block RAM with 4-bit and 18-bit Ports
RAMB16_S4_S36	プリミティブ：16K-bit Data and 2K-bit Parity Dual-Port Synchronous Block RAM with 4-bit and 36-bit Ports
RAMB16_S4_S4	プリミティブ：16K-bit Data and 2K-bit Parity Dual-Port Synchronous Block RAM with 4-bit Ports
RAMB16_S4_S9	プリミティブ：16K-bit Data and 2K-bit Parity Dual-Port Synchronous Block RAM with 4-bit and 9-bit Ports
RAMB16_S9	プリミティブ：16K-bit Data and 2K-bit Parity Single-Port Synchronous Block RAM with 9-bit Port
RAMB16_S9_S18	プリミティブ：16K-bit Data and 2K-bit Parity Dual-Port Synchronous Block RAM with 9-bit and 18-bit Ports
RAMB16_S9_S36	プリミティブ：16K-bit Data and 2K-bit Parity Dual-Port Synchronous Block RAM with 9-bit and 36-bit Ports
RAMB16_S9_S9	プリミティブ：16K-bit Data and 2K-bit Parity Dual-Port Synchronous Block RAM with 9-bit Ports
ROM16X1	プリミティブ：16-Deep by 1-Wide ROM
ROM32X1	プリミティブ：32-Deep by 1-Wide ROM
ROM64X1	プリミティブ：64-Deep by 1-Wide ROM
ROM128X1	プリミティブ：128-Deep by 1-Wide ROM
ROM256X1	プリミティブ：256-Deep by 1-Wide ROM

マルチプレクサー

デザイン エLEMENT	説明
M16_1E	マクロ：16-to-1 Multiplexer with Enable
M2_1	マクロ：2-to-1 Multiplexer
M2_1B1	マクロ：2-to-1 Multiplexer with D0 Inverted
M2_1B2	マクロ：2-to-1 Multiplexer with D0 and D1 Inverted
M2_1E	マクロ：2-to-1 Multiplexer with Enable
M4_1E	マクロ：4-to-1 Multiplexer with Enable
M8_1E	マクロ：8-to-1 Multiplexer with Enable

デザイン エLEMENT	説明
MUXF5	プリミティブ：2-to-1 Look-Up Table Multiplexer with General Output
MUXF5_D	プリミティブ：2-to-1 Look-Up Table Multiplexer with Dual Output
MUXF5_L	プリミティブ：2-to-1 Look-Up Table Multiplexer with Local Output
MUXF6	プリミティブ：2-to-1 Look-Up Table Multiplexer with General Output
MUXF6_D	プリミティブ：2-to-1 Look-Up Table Multiplexer with Dual Output
MUXF6_L	プリミティブ：2-to-1 Look-Up Table Multiplexer with Local Output
MUXF7	プリミティブ：2-to-1 Look-Up Table Multiplexer with General Output
MUXF7_D	プリミティブ：2-to-1 Look-Up Table Multiplexer with Dual Output
MUXF7_L	プリミティブ：2-to-1 look-up table Multiplexer with Local Output
MUXF8	プリミティブ：2-to-1 Look-Up Table Multiplexer with General Output
MUXF8_D	プリミティブ：2-to-1 Look-Up Table Multiplexer with Dual Output
MUXF8_L	プリミティブ：2-to-1 Look-Up Table Multiplexer with Local Output

シフト レジスタ

デザイン エLEMENT	説明
SR16CE	マクロ：16-Bit Serial-In Parallel-Out Shift Register with Clock Enable and Asynchronous Clear
SR16CLE	マクロ：16-Bit Loadable Serial/Parallel-In Parallel-Out Shift Register with Clock Enable and Asynchronous Clear
SR16CLED	マクロ：16-Bit Shift Register with Clock Enable and Asynchronous Clear
SR16RE	マクロ：16-Bit Serial-In Parallel-Out Shift Register with Clock Enable and Synchronous Reset
SR16RLE	マクロ：16-Bit Loadable Serial/Parallel-In Parallel-Out Shift Register with Clock Enable and Synchronous Reset
SR16RLED	マクロ：16-Bit Shift Register with Clock Enable and Synchronous Reset
SR4CE	マクロ：4-Bit Serial-In Parallel-Out Shift Register with Clock Enable and Asynchronous Clear
SR4CLE	マクロ：4-Bit Loadable Serial/Parallel-In Parallel-Out Shift Register with Clock Enable and Asynchronous Clear
SR4CLED	マクロ：4-Bit Shift Register with Clock Enable and Asynchronous Clear

デザイン エLEMENT	説明
SR4RE	マクロ : 4-Bit Serial-In Parallel-Out Shift Register with Clock Enable and Synchronous Reset
SR4RLE	マクロ : 4-Bit Loadable Serial/Parallel-In Parallel-Out Shift Register with Clock Enable and Synchronous Reset
SR4RLED	マクロ : 4-Bit Shift Register with Clock Enable and Synchronous Reset
SR8CE	マクロ : 8-Bit Serial-In Parallel-Out Shift Register with Clock Enable and Asynchronous Clear
SR8CLE	マクロ : 8-Bit Loadable Serial/Parallel-In Parallel-Out Shift Register with Clock Enable and Asynchronous Clear
SR8CLED	マクロ : 8-Bit Shift Register with Clock Enable and Asynchronous Clear
SR8RE	マクロ : 8-Bit Serial-In Parallel-Out Shift Register with Clock Enable and Synchronous Reset
SR8RLE	マクロ : 8-Bit Loadable Serial/Parallel-In Parallel-Out Shift Register with Clock Enable and Synchronous Reset
SR8RLED	マクロ : 8-Bit Shift Register with Clock Enable and Synchronous Reset
SRL16	プリミティブ : 16-Bit Shift Register Look-Up Table (LUT)
SRL16_1	プリミティブ : 16-Bit Shift Register Look-Up Table (LUT) with Negative-Edge Clock
SRL16E	プリミティブ : 16-Bit Shift Register Look-Up Table (LUT) with Clock Enable
SRL16E_1	プリミティブ : 16-Bit Shift Register Look-Up Table (LUT) with Negative-Edge Clock and Clock Enable
SRLC16	プリミティブ : 16-Bit Shift Register Look-Up Table (LUT) with Carry
SRLC16_1	プリミティブ : 16-Bit Shift Register Look-Up Table (LUT) with Carry and Negative-Edge Clock
SRLC16E	プリミティブ : 16-Bit Shift Register Look-Up Table (LUT) with Carry and Clock Enable
SRLC16E_1	プリミティブ : 16-Bit Shift Register Look-Up Table (LUT) with Carry, Negative-Edge Clock, and Clock Enable

シフター

デザイン エLEMENT	説明
BRLSHFT4	マクロ : 4-Bit Barrel Shifter
BRLSHFT8	マクロ : 8-Bit Barrel Shifter

デザイン エLEMENT

このセクションでは、Spartan®-3E デバイスで利用できるデザイン エLEMENTについて説明します。デザイン エLEMENTは、アルファベット順に並べられています。

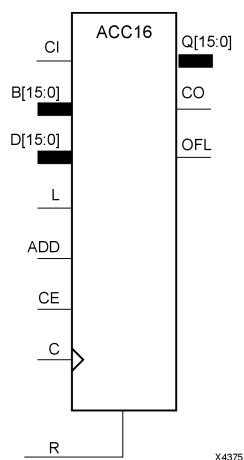
各ライブラリ エLEMENTについて、次の情報を示します。

- ・ 名称
- ・ 説明
- ・ 回路図シンボル (該当するELEMENTでのみ)
- ・ 論理表 (該当するELEMENTでのみ)
- ・ ポートの説明 (該当するELEMENTでのみ)
- ・ デザインの入力方法
- ・ 使用可能な属性 (該当するELEMENTでのみ)
- ・ その他のリソース

VHDL および Verilog のインスタンス化コードの例は、ISE ツール ([Edit] → [Language Templates]) またはこのアーキテクチャの HDL 用のライブラリ ガイドから入手できます。

ACC16

マクロ : 16-Bit Loadable Cascadable Accumulator with Carry-In, Carry-Out, and Synchronous Reset



概要

このデザイン エレメントは、16 ビット データレジスタの値に対して 16 ビットの符号なし 2 進数または 2 の補数ワードを加算または減算して、その結果をレジスタに保存します。レジスタには、16 ビット ワードをロードできます。

ロード入力 (L) が High になると、CE が無視され、クロック (C) が Low から High に切り替わる時に D 入力の値がレジスタにロードされます。ACC16 では、入力 D15 ~ D0 の値が 16 ビット レジスタにロードされます。

このデザイン エレメントは、16 ビットの符号なし 2 進数または 16 ビットの 2 の補数を処理します。符号なし 2 進数が入力されると、符号なし 2 進数が出力されます。2 の補数が入力されると、2 の補数が出力されます。この 2 つの唯一の機能的な違いはオーバーフローの認識方法にあり、符号なし 2 進数ではキャリー出力 (CO) が使用され、2 の補数では OFL が使用されます。

- ・ 符号なし 2 進演算の場合、0 ~ 15 までの数を表現できます。加算モードでは、加算結果が加減算器の範囲を超えると CO がアクティブ (High) になります。減算モードでは、CO がアクティブ Low のボロー出力となり、減算器の範囲を超えると Low になります。CO は、データ出力とは同期していません。CO には、入力 B15 ~ B0 入力の加算値が常に出力されます。このため、各 ACC16 の CO を次の段の CI に接続してカスケード接続できます。常にアクティブ High の符号なし 2 進数のオーバーフローを生成するには、ADD と CO を次のようにゲート接続します。

符号なしオーバーフロー = CO XOR ADD

符号なし 2 進演算では、OFL は無視されます。

- ・ 2 の補数演算の場合、-8 ~ +7 までの数を表現できます。加算または減算の結果がこの範囲を超えると、OFL 出力が High になります。オーバーフロー (OFL) は、データ出力とは同期していません。OFL には、B 入力 (B15 ~ B0) とレジスタの値の合計が常に出力されます。このため、各 ACC4 の OFL を次の段の CI に接続してカスケード接続できます。

2 の補数演算では、CO は無視されます。

同期リセット (R) は、ほかのすべての入力よりも優先され、R が High になると、クロック (C) が Low から High に切り替わる時に出力が 0 になります。クロック イネーブル (CE) が Low の場合は、C の遷移は無視されます。

電力を供給すると、このデザイン エレメントは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

入力						出力
R	L	CE	ADD	D	C	Q
1	X	X	X	X	↑	0
0	1	X	X	Dn	↑	Dn
0	0	1	1	X	↑	$Q0 + Bn + CI$
0	0	1	0	X	↑	$Q0 - Bn - CI$
0	0	0	X	X	↑	変化なし
Q0 : Q の以前の値 Bn : データ入力 B の値 CI : 入力 CI の値						

デザインの入力方法

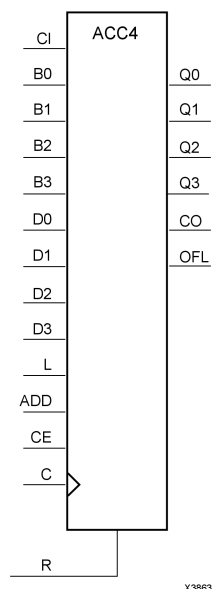
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリー データシート』\(DS312\)](#)

ACC4

マクロ : 4-Bit Loadable Cascadable Accumulator with Carry-In, Carry-Out, and Synchronous Reset



概要

このデザイン エレメントは、4 ビット データレジスタの値に対して 4 ビットの符号なし 2 進数または 2 の補数ワードを加算または減算して、その結果をレジスタに保存します。レジスタには、4 ビットワードをロードできます。

ロード入力 (L) が High になると、CE が無視され、クロック (C) が Low から High に切り替わる時に D 入力の値がレジスタにロードされます。ACC4 では、入力 D3 ~ D0 の値が 4 ビットレジスタにロードされます。

このデザイン エレメントは、4 ビットの符号なし 2 進数または 4 ビットの 2 の補数を処理します。符号なし 2 進数が入力されると、符号なし 2 進数が出力されます。2 の補数が入力されると、2 の補数が出力されます。この 2 つの唯一の機能的な違いはオーバーフローの認識方法にあり、符号なし 2 進数ではキャリー出力 (CO) が使用され、2 の補数では OFL が使用されます。

- ・ 符号なし 2 進演算の場合、0 ~ 15 までの数を表現できます。加算モードでは、加算結果が加減算器の範囲を超えると CO がアクティブ (High) になります。減算モードでは、CO がアクティブ Low のボロー出力となり、減算器の範囲を超えると Low になります。CO は、データ出力とは同期していません。CO には、入力 B3 ~ B0 入力の加算値が常に出力されます。このため、各 ACC4 の CO を次の段の CI に接続してカスケード接続できます。常にアクティブ High の符号なし 2 進数のオーバーフローを生成するには、ADD と CO を次のようにゲート接続します。

符号なしオーバーフロー = CO XOR ADD

符号なし 2 進演算では、OFL は無視されます。

- ・ 2 の補数演算の場合、-8 ~ +7 までの数を表現できます。加算または減算の結果がこの範囲を超えると、OFL 出力が High になります。オーバーフロー (OFL) は、データ出力とは同期していません。OFL には、B 入力 (B3 ~ B0) とレジスタの値の合計が常に出力されます。このため、各 ACC4 の OFL を次の段の CI に接続してカスケード接続できます。

2 の補数演算では、CO は無視されます。

同期リセット (R) は、ほかのすべての入力よりも優先され、R が High になると、クロック (C) が Low から High に切り替わる時に出力が 0 になります。クロック イネーブル (CE) が Low の場合は、C の遷移は無視されます。

電力を供給すると、このデザイン エLEMENTは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

入力						出力
R	L	CE	ADD	D	C	Q
1	X	X	X	X	↑	0
0	1	X	X	Dn	↑	Dn
0	0	1	1	X	↑	$Q0 + Bn + CI$
0	0	1	0	X	↑	$Q0 - Bn - CI$
0	0	0	X	X	↑	変化なし
Q0 : Q の以前の値 Bn : データ入力 B の値 CI : 入力 CI の値						

デザインの入力方法

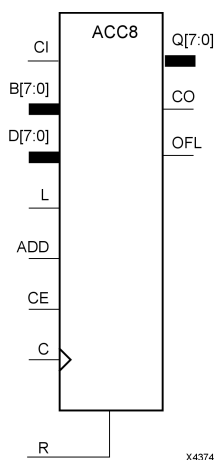
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリー データシート』\(DS312\)](#)

ACC8

マクロ : 8-Bit Loadable Cascadable Accumulator with Carry-In, Carry-Out, and Synchronous Reset



概要

このデザイン エLEMENTは、8 ビット データレジスタの値に対して 8 ビットの符号なし 2 進数または 2 の補数ワードを加算または減算して、その結果をレジスタに保存します。レジスタには、8 ビットワードをロードできます。

ロード入力 (L) が High になると、CE が無視され、クロック (C) が Low から High に切り替わる時に D 入力の値がレジスタにロードされます。ACC8 では、入力 D7 ~ D0 の値が 8 ビットレジスタにロードされます。

このデザイン エLEMENTは、8 ビットの符号なし 2 進数または 8 ビットの 2 の補数を処理します。符号なし 2 進数が入力されると、符号なし 2 進数が出力されます。2 の補数が入力されると、2 の補数が出力されます。この 2 つの唯一の機能的な違いはオーバーフローの認識方法にあり、符号なし 2 進数ではキャリー出力 (CO) が使用され、2 の補数では OFL が使用されます。

- ・ 符号なし 2 進演算の場合、0 ~ 255 までの数を表現できます。加算モードでは、加算結果が加減算器の範囲を超えると CO がアクティブ (High) になります。減算モードでは、CO がアクティブ Low のボロー出力となり、減算器の範囲を超えると Low になります。CO は、データ出力とは同期していません。CO には、入力 B3 ~ B0 入力の値の加算値が常に出力されます。このため、各 ACC8 の CO を次の段の CI に接続してカスケード接続できます。常にアクティブ High の符号なし 2 進数のオーバーフローを生成するには、ADD と CO を次のようにゲート接続します。

符号なしオーバーフロー = CO XOR ADD

符号なし 2 進演算では、OFL は無視されます。

- ・ 2 の補数演算の場合、-128 ~ +127 までの数を表現できます。加算または減算の結果がこの範囲を超えると、OFL 出力が High になります。オーバーフロー (OFL) は、データ出力とは同期していません。OFL には、B 入力 (B3 ~ B0) とレジスタの値の合計が常に出力されます。このため、各 ACC8 の OFL を次の段の CI に接続してカスケード接続できます。

2 の補数演算では、CO は無視されます。

同期リセット (R) は、ほかのすべての入力よりも優先され、R が High になると、クロック (C) が Low から High に切り替わる時に出力が 0 になります。クロック イネーブル (CE) が Low の場合は、C の遷移は無視されます。

電力を供給すると、このデザイン エLEMENTは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

入力						出力
R	L	CE	ADD	D	C	Q
1	X	X	X	X	↑	0
0	1	X	X	Dn	↑	Dn
0	0	1	1	X	↑	$Q0 + Bn + CI$
0	0	1	0	X	↑	$Q0 - Bn - CI$
0	0	0	X	X	↑	変化なし
Q0 : Q の以前の値 Bn : データ入力 B の値 CI : 入力 CI の値						

デザインの入力方法

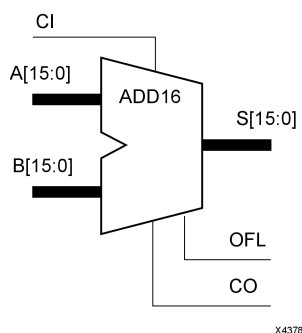
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリー データシート』\(DS312\)](#)

ADD16

マクロ : 16-Bit Cascadable Full Adder with Carry-In, Carry-Out, and Overflow



概要

このエレメントは、2 つのワードとキャリー入力 (CI) を加算して、その和とキャリー出力 (CO) またはオーバーフロー (OFL) を出力します。A15 ~ A0、B15 ~ B0、および CI が加算され、その和 S15 ~ S0 および CO (または OFL) が出力されます。

論理表

入力		出力
A	B	S
A _n	B _n	A _n + B _n + CI
CI : 入力 CI の値		

符号なし 2 進数と 2 の補数 : このデザイン エLEMENT は、16 ビットの符号なし 2 進数または 16 ビットの 2 の補数処理できます。符号なし 2 進数が入力されると、符号なし 2 進数が出力されます。2 の補数が入力されると、2 の補数が出力されます。この 2 つの唯一の機能的な違いは、オーバーフローの認識方法にあり、符号なし 2 進数では CO が使用され、2 の補数では OFL が使用されます。そのため、符号なし 2 進数が入力された場合は CO 出力を確認し、2 の補数が入力された場合は OFL 出力を確認します。

符号なし 2 進演算 : 符号なし 2 進演算の場合、0 ~ 65535 までの数を表現できます。符号なし 2 進演算では、OFL は無視されます。

2 の補数演算 : 2 の補数演算の場合、-32768 から +32767 までの数を表現できます。合計値が加算器の範囲を超えると、OFL がアクティブ (High) になります。2 の補数演算では、CO は無視されます。

デザインの入力方法

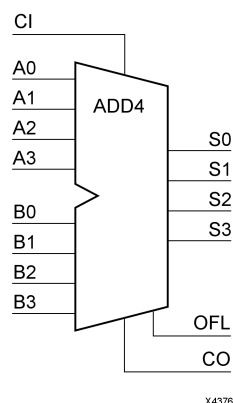
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリー データシート』\(DS312\)](#)

ADD4

マクロ : 4-Bit Cascadable Full Adder with Carry-In, Carry-Out, and Overflow



概要

このエレメントは、2 つのワードとキャリー入力 (CI) を加算して、その和とキャリー出力 (CO) またはオーバーフロー (OFL) を出力します。A3 ~ A0、B3 ~ B0、および CI が加算され、その和 S3 ~ S0 および CO (または OFL) が出力されます。

論理表

入力		出力
A	B	S
A _n	B _n	A _n + B _n + CI
CI : 入力 CI の値		

符号なし 2 進数と 2 の補数 : このデザイン エLEMENT は、4 ビットの符号なし 2 進数または 4 ビットの 2 の補数を処理できます。符号なし 2 進数が入力されると、符号なし 2 進数が出力されます。2 の補数が入力されると、2 の補数が出力されます。この 2 つの唯一の機能的な違いは、オーバーフローの認識方法にあり、符号なし 2 進数では CO が使用され、2 の補数では OFL が使用されます。そのため、符号なし 2 進数が入力された場合は CO 出力を確認し、2 の補数が入力された場合は OFL 出力を確認します。

符号なし 2 進演算 : 符号なし 2 進演算の場合、0 ~ 15 までの数を表現できます。符号なし 2 進演算では、OFL は無視されます。

2 の補数演算 : 2 の補数演算の場合、-8 から +7 までの数を表現できます。合計値が加算器の範囲を超えると、OFL がアクティブ (High) になります。2 の補数演算では、CO は無視されます。

デザインの入力方法

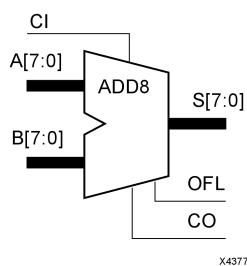
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリー データシート』\(DS312\)](#)

ADD8

マクロ : 8-Bit Cascadable Full Adder with Carry-In, Carry-Out, and Overflow



概要

このエレメントは、2 つのワードとキャリー入力 (CI) を加算して、その和とキャリー出力 (CO) またはオーバーフロー (OFL) を出力します。A7 ~ A0、B7 ~ B0、および CI が加算され、その和 S7 ~ S0 および CO (または OFL) が出力されます。

論理表

入力		出力
A	B	S
A _n	B _n	A _n + B _n + CI
CI : 入力 CI の値		

符号なし 2 進数と 2 の補数 : このデザイン エレメントは、8 ビットの符号なし 2 進数または 8 ビットの 2 の補数を処理できます。符号なし 2 進数が入力されると、符号なし 2 進数が出力されます。2 の補数が入力されると、2 の補数が出力されます。この 2 つの唯一の機能的な違いは、オーバーフローの認識方法にあり、符号なし 2 進数では CO が使用され、2 の補数では OFL が使用されます。そのため、符号なし 2 進数が入力された場合は CO 出力を確認し、2 の補数が入力された場合は OFL 出力を確認します。

符号なし 2 進演算 : 符号なし 2 進演算の場合、0 ~ 255 までの数を表現できます。符号なし 2 進演算では、OFL は無視されます。

2 の補数演算 : 2 の補数演算の場合、-128 から +127 までの数を表現できます。合計値が加算器の範囲を超えると、OFL がアクティブ (High) になります。2 の補数演算では、CO は無視されます。

デザインの入力方法

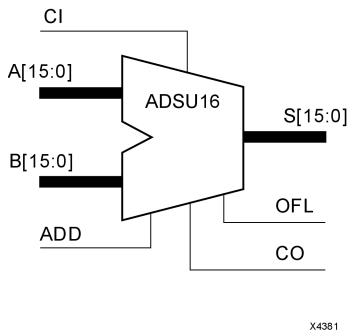
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリー データシート』\(DS312\)](#)

ADSU16

マクロ：16-Bit Cascadable Adder/Subtractor with Carry-In, Carry-Out, and Overflow



概要

ADD が High の場合、2 つの 16 ビットワード (A15 ～ A0 と B15 ～ B0) とキャリー入力 (CI) を加算し、16 ビットの和 (S15 ～ S0) とキャリー出力 (CO) (またはオーバーフロー (OFL)) を出力します。

ADD 入力が Low の場合、A15 ～ A0 から B15 ～ B0 を減算し、その差とキャリー出力 (CO) またはオーバーフロー (OFL) を出力します。

加算モードでは、CO と CI はアクティブ High になります。減算モードでは、CO と CI はアクティブ Low になります。OFL は、モードにかかわらず常にアクティブ High です。

論理表

入力			出力
ADD	A	B	S
1	A _n	B _n	A _n + B _n + CI*
0	A _n	B _n	A _n - B _n - CI*
CI* : ADD = 0、CI、CO アクティブ Low			
CI* : ADD = 1、CI、CO アクティブ High			

符号なし 2 進数と 2 の補数：このデザイン エLEMENT は、16 ビットの符号なし 2 進数または 16 ビットの 2 の補数を処理できます。符号なし 2 進数が入力されると、符号なし 2 進数が出力されます。2 の補数が入力されると、2 の補数が出力されます。この 2 つの唯一の機能的な違いは、オーバーフローの認識方法にあり、符号なし 2 進数では CO が使用され、2 の補数では OFL が使用されます。

加減算器では、符号なし 2 進演算でも 2 の補数演算でもオーバーフローが発生します。演算結果がオーバーフローになる場合、オーバーフローが生成されます。同様に、演算結果が桁上がりする場合、キャリー出力が生成されます。

符号なし 2 進演算：符号なし 2 進演算の場合、0 ～ 65535 までの数を表現できます。加算モードでは、加算結果が加減算器の範囲を超えると CO がアクティブ (High) になります。減算モードでは、CO がアクティブ Low のボロー出力となり、減算器の範囲を超えると Low になります。

常にアクティブ High の符号なし 2 進数のオーバーフローを生成するには、ADD と CO を次のようにゲート接続します。

符号なしオーバーフロー = CO XOR ADD

符号なし 2 進演算では、OFL は無視されます。

2 の補数演算：2 の補数演算の場合、-32768 から +32767 までの数を表現できます。

加算または減算の結果がこの範囲を超えると、OFL 出力が High になります。2 の補数演算では、CO は無視されます。

デザインの入力方法

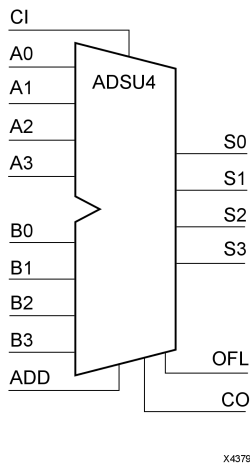
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリー データシート』\(DS312\)](#)

ADSU4

マクロ：4-Bit Cascadable Adder/Subtractor with Carry-In, Carry-Out, and Overflow



X4379

概要

ADD が High の場合、2 つの 4 ビットワード (A3 ~ A0 と B3 ~ B0) とキャリー入力 (CI) を加算し、4 ビットの和 (S3 ~ S0) とキャリー出力 (CO) (またはオーバーフロー (OFL)) を出力します。

ADD 入力が Low の場合、A3 ~ A0 から B3 ~ B0 を減算し、4 ビットの差 (S3 ~ S0) とキャリー出力 (CO) またはオーバーフロー (OFL) を出力します。

加算モードでは、CO と CI はアクティブ High になります。減算モードでは、CO と CI はアクティブ Low になります。OFL は、モードにかかわらず常にアクティブ High です。

論理表

入力			出力
ADD	A	B	S
1	A _n	B _n	A _n + B _n + CI*
0	A _n	B _n	A _n - B _n - CI*
CI*: ADD = 0、CI、CO アクティブ Low			
CI*: ADD = 1、CI、CO アクティブ High			

符号なし 2 進数と 2 の補数：このデザイン エLEMENT は、4 ビットの符号なし 2 進数または 4 ビットの 2 の補数を処理できます。符号なし 2 進数が入力されると、符号なし 2 進数が出力されます。2 の補数が入力されると、2 の補数が出力されます。この 2 つの唯一の機能的な違いは、オーバーフローの認識方法にあり、符号なし 2 進数では CO が使用され、2 の補数では OFL が使用されます。

加減算器では、符号なし 2 進演算でも 2 の補数演算でもオーバーフローが発生します。演算結果がオーバーフローになる場合、オーバーフローが生成されます。同様に、演算結果が桁上がりする場合、キャリー出力が生成されます。

符号なし 2 進演算：符号なし 2 進演算の場合、0 ~ 15 までの数を表現できます。加算モードでは、加算結果が加減算器の範囲を超えると CO がアクティブ (High) になります。減算モードでは、CO がアクティブ Low のボロー出力となり、減算器の範囲を超えると Low になります。

常にアクティブ High の符号なし 2 進数のオーバーフローを生成するには、ADD と CO を次のようにゲート接続します。

符号なしオーバーフロー = CO XOR ADD

符号なし 2 進演算では、OFL は無視されます。

2 の補数演算：2 の補数演算の場合、-8 から +7 までの数を表現できます。

加算または減算の結果がこの範囲を超えると、OFL 出力が High になります。2 の補数演算では、CO は無視されます。

デザインの入力方法

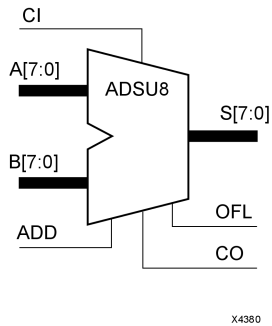
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリー データシート』\(DS312\)](#)

ADSU8

マクロ：8-Bit Cascadable Adder/Subtractor with Carry-In, Carry-Out, and Overflow



概要

ADD が High の場合、2 つの 8 ビットワード (A7 ～ A0 と B7 ～ B0) とキャリー入力 (CI) を加算し、8 ビットの和 (S7 ～ S0) とキャリー出力 (CO) (またはオーバーフロー (OFL)) を出力します。

ADD 入力 Low の場合、A7 ～ A0 から B7 ～ B0 を減算し、8 ビットの差 (S7 ～ S0) とキャリー出力 (CO) またはオーバーフロー (OFL) を出力します。

加算モードでは、CO と CI はアクティブ High になります。減算モードでは、CO と CI はアクティブ Low になります。OFL は、モードにかかわらず常にアクティブ High です。

論理表

入力			出力
ADD	A	B	S
1	A _n	B _n	A _n + B _n + CI*
0	A _n	B _n	A _n - B _n - CI*
CI* : ADD = 0、CI、CO アクティブ Low			
CI* : ADD = 1、CI、CO アクティブ High			

符号なし 2 進数と 2 の補数：このデザイン エLEMENT は、8 ビットの符号なし 2 進数または 8 ビットの 2 の補数を処理できます。符号なし 2 進数が入力されると、符号なし 2 進数が出力されます。2 の補数が入力されると、2 の補数が出力されます。この 2 つの唯一の機能的な違いは、オーバーフローの認識方法にあり、符号なし 2 進数では CO が使用され、2 の補数では OFL が使用されます。

加減算器では、符号なし 2 進演算でも 2 の補数演算でもオーバーフローが発生します。演算結果がオーバーフローになる場合、オーバーフローが生成されます。同様に、演算結果が桁上がりする場合、キャリー出力が生成されます。

符号なし 2 進演算：符号なし 2 進演算の場合、0 ～ 255 までの数を表現できます。加算モードでは、加算結果が加減算器の範囲を超えると CO がアクティブ (High) になります。減算モードでは、CO がアクティブ Low のボロー出力となり、減算器の範囲を超えると Low になります。

常にアクティブ High の符号なし 2 進数のオーバーフローを生成するには、ADD と CO を次のようにゲート接続します。

符号なしオーバーフロー = CO XOR ADD

符号なし 2 進演算では、OFL は無視されます。

2 の補数演算：2 の補数演算の場合、-128 から +127 までの数を表現できます。

加算または減算の結果がこの範囲を超えると、OFL 出力が High になります。2 の補数演算では、CO は無視されます。

デザインの入力方法

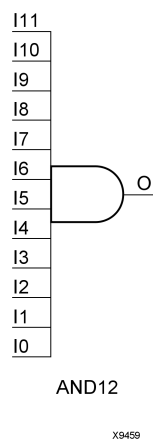
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリ データシート』\(DS312\)](#)

AND12

マクロ：12- Input AND Gate with Non-Inverted Inputs



概要

5 入力までの AND ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の AND ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転させるには、外部インバーターを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

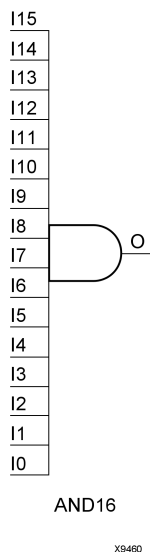
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリー データシート』\(DS312\)](#)

AND16

マクロ：16- Input AND Gate with Non-Inverted Inputs



概要

5 入力までの AND ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の AND ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転させるには、外部インバーターを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

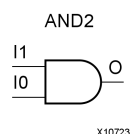
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリー データシート』\(DS312\)](#)

AND2

プリミティブ：2-Input AND Gate with Non-Inverted Inputs



概要

5 入力までの AND ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の AND ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転させるには、外部インバーターを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

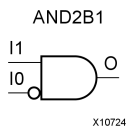
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリー データシート』\(DS312\)](#)

AND2B1

プリミティブ：2-Input AND Gate with 1 Inverted and 1 Non-Inverted Inputs



概要

5 入力までの AND ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の AND ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転させるには、外部インバーターを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

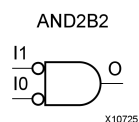
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリー データシート』\(DS312\)](#)

AND2B2

プリミティブ：2-Input AND Gate with Inverted Inputs



概要

5 入力までの AND ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の AND ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転させるには、外部インバーターを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

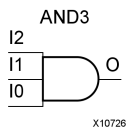
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリー データシート』\(DS312\)](#)

AND3

プリミティブ：3-Input AND Gate with Non-Inverted Inputs



概要

5 入力までの AND ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の AND ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転させるには、外部インバーターを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

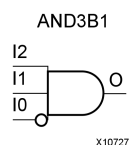
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリー データシート』\(DS312\)](#)

AND3B1

プリミティブ：3-Input AND Gate with 1 Inverted and 2 Non-Inverted Inputs



概要

5 入力までの AND ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の AND ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転させるには、外部インバーターを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

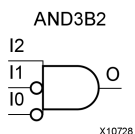
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリー データシート』\(DS312\)](#)

AND3B2

プリミティブ：3-Input AND Gate with 2 Inverted and 1 Non-Inverted Inputs



概要

5 入力までの AND ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の AND ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転させるには、外部インバーターを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

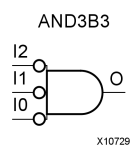
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリ データシート』\(DS312\)](#)

AND3B3

プリミティブ：3-Input AND Gate with Inverted Inputs



概要

5 入力までの AND ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の AND ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転させるには、外部インバーターを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

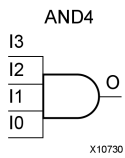
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリ データシート』\(DS312\)](#)

AND4

プリミティブ：4-Input AND Gate with Non-Inverted Inputs



概要

5 入力までの AND ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の AND ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転させるには、外部インバーターを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

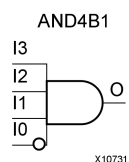
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリー データシート』\(DS312\)](#)

AND4B1

プリミティブ：4-Input AND Gate with 1 Inverted and 3 Non-Inverted Inputs



概要

5 入力までの AND ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の AND ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転させるには、外部インバーターを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

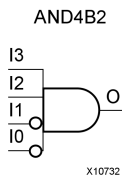
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリー データシート』\(DS312\)](#)

AND4B2

プリミティブ：4-Input AND Gate with 2 Inverted and 2 Non-Inverted Inputs



概要

5 入力までの AND ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の AND ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転させるには、外部インバーターを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

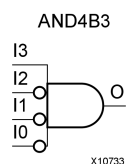
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリー データシート』\(DS312\)](#)

AND4B3

プリミティブ：4-Input AND Gate with 3 Inverted and 1 Non-Inverted Inputs



概要

5 入力までの AND ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の AND ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転させるには、外部インバーターを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

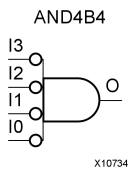
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリー データシート』\(DS312\)](#)

AND4B4

プリミティブ：4-Input AND Gate with Inverted Inputs



概要

5 入力までの AND ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の AND ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転させるには、外部インバーターを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

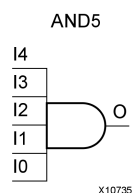
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリー データシート』\(DS312\)](#)

AND5

プリミティブ：5-Input AND Gate with Non-Inverted Inputs



概要

5 入力までの AND ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の AND ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転させるには、外部インバーターを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

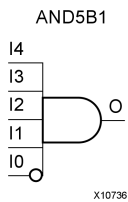
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリー データシート』\(DS312\)](#)

AND5B1

プリミティブ：5-Input AND Gate with 1 Inverted and 4 Non-Inverted Inputs



概要

5 入力までの AND ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の AND ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転させるには、外部インバーターを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

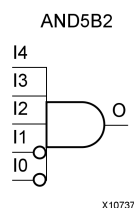
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリ データシート』\(DS312\)](#)

AND5B2

プリミティブ：5-Input AND Gate with 2 Inverted and 3 Non-Inverted Inputs



概要

5 入力までの AND ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の AND ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転させるには、外部インバーターを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

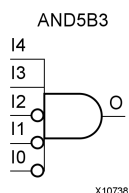
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリー データシート』\(DS312\)](#)

AND5B3

プリミティブ：5-Input AND Gate with 3 Inverted and 2 Non-Inverted Inputs



概要

5 入力までの AND ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の AND ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転させるには、外部インバーターを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

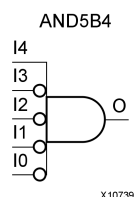
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリー データシート』\(DS312\)](#)

AND5B4

プリミティブ：5-Input AND Gate with 4 Inverted and 1 Non-Inverted Inputs



概要

5 入力までの AND ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の AND ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転させるには、外部インバーターを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

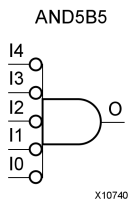
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリー データシート』\(DS312\)](#)

AND5B5

プリミティブ：5-Input AND Gate with Inverted Inputs



概要

5 入力までの AND ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の AND ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転させるには、外部インバーターを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

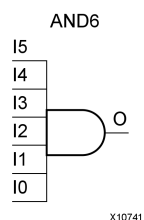
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリー データシート』\(DS312\)](#)

AND6

マクロ：6-Input AND Gate with Non-Inverted Inputs



概要

5 入力までの AND ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の AND ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転させるには、外部インバーターを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

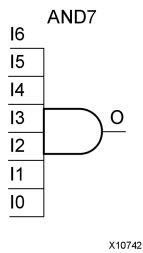
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリー データシート』\(DS312\)](#)

AND7

マクロ : 7-Input AND Gate with Non-Inverted Inputs



概要

5 入力までの AND ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の AND ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転させるには、外部インバーターを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

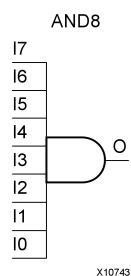
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリー データシート』\(DS312\)](#)

AND8

マクロ：8-Input AND Gate with Non-Inverted Inputs



概要

5 入力までの AND ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の AND ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転させるには、外部インバーターを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

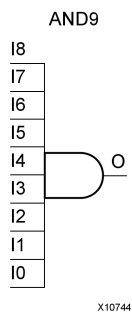
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリー データシート』\(DS312\)](#)

AND9

マクロ : 9-Input AND Gate with Non-Inverted Inputs



概要

5 入力までの AND ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の AND ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転させるには、外部インバーターを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

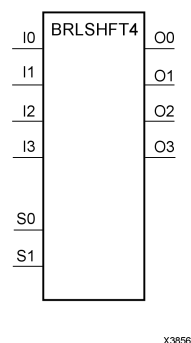
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリー データシート』\(DS312\)](#)

BRLSHFT4

マクロ : 4-Bit Barrel Shifter



概要

このデザイン エLEMENTは 4 ビットのバレル シフターで、4 つの入力 (I3 ~ I0) を 4 回までローテーションできます。制御入力 (S1 と S0) は、データをローテーションする回数 (1 ~ 4) を指定します。4 つの出力 (O3 ~ O0) には、ローテーションされたデータ入力が出力されます。

論理表

入力						出力			
S1	S0	I0	I1	I2	I3	O0	O1	O2	O3
0	0	a	b	c	d	a	b	c	d
0	1	a	b	c	d	b	c	d	a
1	0	a	b	c	d	c	d	a	b
1	1	a	b	c	d	d	a	b	c

デザインの入力方法

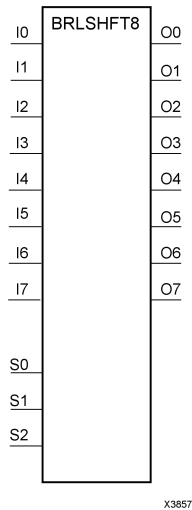
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリー データシート』\(DS312\)](#)

BRLSHFT8

マクロ : 8-Bit Barrel Shifter



概要

このデザイン エLEMENTは、8 ビットのバレル シフターで、8 つの入力 (I7 ~ I0) を 8 回までローテーションできます。制御入力 (S2 ~ S0) は、データをローテーションする回数 (1 ~ 8) を指定します。8 つの出力 (O7 ~ O0) には、ローテーションされたデータ入力が出力されます。

論理表

入力											出力							
S2	S1	S0	I0	I1	I2	I3	I4	I5	I6	I7	O0	O1	O2	O3	O4	O5	O6	O7
0	0	0	a	b	c	d	e	f	g	h	a	b	c	d	e	f	g	h
0	0	1	a	b	c	d	e	f	g	h	b	c	d	e	f	g	h	a
0	1	0	a	b	c	d	e	f	g	h	c	d	e	f	g	h	a	b
0	1	1	a	b	c	d	e	f	g	h	d	e	f	g	h	a	b	c
1	0	0	a	b	c	d	e	f	g	h	e	f	g	h	a	b	c	d
1	0	1	a	b	c	d	e	f	g	h	f	g	h	a	b	c	d	e
1	1	0	a	b	c	d	e	f	g	h	g	h	a	b	c	d	e	f
1	1	1	a	b	c	d	e	f	g	h	h	a	b	c	d	e	f	g

デザインの入力方法

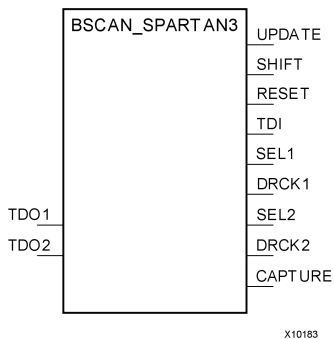
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリー データシート』\(DS312\)](#)

BSCAN_SPARTAN3

プリミティブ：Spartan®-3 and Spartan-3E JTAG Boundary Scan Logic Access Circuit



概要

このデザイン エLEMENTを使用すると、JTAG バウンダリ スキャン ロジック コントローラーを介して内部ロジックにアクセスできるようになり、内部実行デザインと FPGA の専用 JTAG ピン間の通信が可能になります。

注記：各アーキテクチャのバウンダリ スキャンの詳細は、データシートを参照してください。

ポートの説明

ポート名	方向	幅	機能
TDI	出力	1	FPGA の TDI 入力ピンと同じ値を出力します。
DRCK1、DRK2	出力	1	JTAG USER 命令が読み込まれるとアクティブになり、JTAG TAP が SHIFT-DR ステートになると TCK ピンと同じ値を出力します。DRK1 は USER1 ロジックに適用され、DRK2 は USER2 に適用されます。
RESET	出力	1	USER 命令が読み込まれるとアクティブになり、JTAG TAP コントローラーが TEST-LOGIC-RESET ステートになると High にアサートされます。
SEL1、SEL2	出力	1	JTAG 命令レジスタに USER1 または USER2 命令が読み込まれたことを示します。UPDATE-IR ステートになるとアクティブになり、新しい命令が読み込まれるまでアクティブのままになります。
SHIFT	出力	1	USER 命令が読み込まれるとアクティブになり、JTAG TAP コントローラーが SHIFT-DR ステートになると High にアサートされます。
CAPTURE	出力	1	USER 命令が読み込まれるとアクティブになり、JTAG TAP コントローラーが CAPTURE-DR ステートになると High にアサートされます。
UPDATE	出力	1	USER 命令が読み込まれるとアクティブになり、JTAG TAP コントローラーが UPDATE-DR ステートになると High にアサートされます。
TDO1、TDO2	入力	1	USER1 または USER2 命令が読み込まれるとアクティブになり、外部 JTAG TDO ピンにコンポーネントの TDO1 (USER1) または TDO2 (USER2) ピンへのデータ入力の値が反映されます。

デザインの入力方法

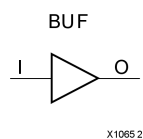
このELEMENTは、回路図で使用できます。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリ データシート』\(DS312\)](#)

BUF

プリミティブ：General Purpose Buffer



概要

このデザイン エLEMENTは、汎用の非反転バッファです。

このELEMENTは不要なので、MAP によって削除されます。

デザインの入力方法

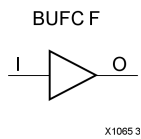
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリー データシート』\(DS312\)](#)

BUFCF

プリミティブ：Fast Connect Buffer



概要

このデザイン エLEMENTは、一部の専用ロジックと LUT の出力を別の LUT の入力に直接接続するために使用する、単一の高速結合バッファです。このバッファを使用すると、CLB パックも行われます。LUT は、4 つまで 1 つのグループとして接続できます。

デザインの入力方法

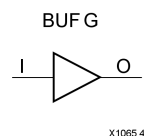
このELEMENTは、回路図で使用できます。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリー データシート』\(DS312\)](#)

BUFG

プリミティブ：Global Clock Buffer



概要

このデザイン エLEMENTはファンアウトが大きいバッファで、スキューを抑えて信号を分散するために、グローバル配線リソースへの信号に接続します。BUFG は、通常セット/リセットやクロック イネーブルなどのファンアウトの大きいネットやクロック ネットに使用されます。

ポートの説明

ポート名	方向	幅	機能
I	入力	1	クロック バッファ入力
O	出力	1	クロック バッファ出力

デザインの入力方法

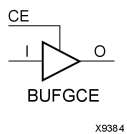
このELEMENTは、回路図で使用できます。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリー データシート』\(DS312\)](#)

BUFGCE

プリミティブ：Global Clock Buffer with Clock Enable



概要

このデザイン エレメントは、クロック イネーブル付きグローバル クロック バッファです。O 出力は、クロック イネーブル (CE) が Low (非アクティブ) のときに 0 になります。CE が High になると、I 入力の値が O に出力されます。

論理表

入力		出力
I	CE	O
X	0	0
I	1	I

ポートの説明

ポート名	方向	幅	機能
I	入力	1	クロック バッファ入力
CE	入力	1	クロック イネーブル入力
O	出力	1	クロック バッファ出力

デザインの入力方法

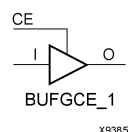
このエレメントは、回路図で使用できます。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリー データシート』\(DS312\)](#)

BUFGCE_1

プリミティブ：Global Clock Buffer with Clock Enable and Output State 1



概要

このデザイン エLEMENTは、クロック イネーブル付きグローバル クロック バッファです。O 出力は、クロック イネーブル (CE) が Low (非アクティブ) のときに High (1) になります。CE が High になると、I 入力の値が O に出力されます。

論理表

入力		出力
I	CE	O
X	0	1
I	1	I

ポートの説明

ポート名	方向	幅	機能
I	入力	1	クロック バッファ入力
CE	入力	1	クロック イネーブル入力
O	出力	1	クロック バッファ出力

デザインの入力方法

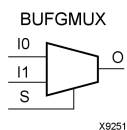
このELEMENTは、回路図で使用できます。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリー データシート』\(DS312\)](#)

BUFGMUX

プリミティブ : Global Clock MUX Buffer



概要

BUFGMUX はマルチプレクサーの機能を持つグローバル クロック バッファで、2 つの入力クロック (I0 および I1) のいずれかを選択できます。セレクト入力 (S) が Low の場合、I0 の信号が出力 (O) に選択されます。S が High の場合は、I1 の信号が O に選択されます。

BUFGMUX および BUFGMUX_1 では、S の値が変化した後クロックが切り替わるまでに保持される出力ステートが異なります。BUFGMUX は出力ステートが 0 に、BUFGMUX_1 は出力ステートが 1 に保持されます。

注記 : BUFGMUX では、S がトグルされると、次のアクティブ クロック エッジ (I0 または I1) まで、出力のステートが非アクティブのまま保持されます。

論理表

入力			出力
I0	I1	S	O
I0	X	0	I0
X	I1	1	I1
X	X	↑	0
X	X	↓	0

ポートの説明

ポート名	方向	幅	機能
I0	入力	1	クロック 0 入力
I1	入力	1	クロック 1 入力
O	出力	1	クロック MUX 出力
S	入力	1	クロック セレクト入力

デザインの入力方法

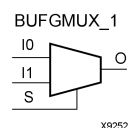
このエレメントは、回路図で使用できます。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリー データシート』\(DS312\)](#)

BUFGMUX_1

プリミティブ：Global Clock MUX Buffer with Output State 1



概要

このデザイン エLEMENTは、マルチプレクサーの機能を持つグローバル クロック バッファーで、2 つの入力クロック (I0 および I1) のいずれかを選択できます。セレクト入力 (S) が Low の場合、I0 の信号が出力 (O) に選択されます。S が High の場合は、I1 の信号が O に選択されます。

このデザイン エLEMENTと BUFGMUX では、S の値が変化した後クロックが切り替わるまでに保持される出力ステートが異なります。BUFGMUX は出力ステートが 0 に、BUFGMUX_1 は出力ステートが 1 に保持されます。

論理表

入力			出力
I0	I1	S	O
I0	X	0	I0
X	I1	1	I1
X	X	↑	1
X	X	↓	1

ポートの説明

ポート名	方向	幅	機能
I0	入力	1	クロック 0 入力
I1	入力	1	クロック 1 入力
O	出力	1	クロック MUX 出力
S	入力	1	クロック セレクト入力

デザインの入力方法

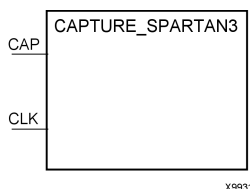
このELEMENTは、回路図で使用できます。

詳細情報

- 『Spartan-3 ジェネレーション FPGA ユーザー ガイド』(UG331)
- 『Spartan-3E FPGA ファミリー データシート』(DS312)

CAPTURE_SPARTAN3

プリミティブ：Spartan®-3 Register State Capture for Bitstream Readback



概要

このデザイン エレメントは、レジスタ (フリップフロップとラッチ) 情報のキャプチャ方法およびそのタイミングを制御します。リードバック機能は、専用のコンフィギュレーション ポート命令により提供されます。このエレメントを使用しない場合は、データはコンフィギュレーション クロックに同期してリードバックされます。このエレメントでは、レジスタ (フリップフロップとラッチ) の値のみをキャプチャできます。LUT RAM、SRL、ブロック RAM の値もリードバックされますが、キャプチャできません。

CAP 信号を High にアサートすると、次にクロックが Low から High に切り替わるときにデバイス内のレジスタがキャプチャされます。デフォルトでは、各トリガー (CAP がアサートされているときの CLK の遷移) でデータがキャプチャされます。リードバック処理を 1 回のデータ キャプチャだけに制限するには、ONESHOT 属性を "TRUE" に設定します。

ポートの説明

ポート名	方向	幅	機能
CAP	入力	1	リードバック キャプチャトリガー
CLK	入力	1	リードバック キャプチャ クロック

デザインの入力方法

このエレメントは、回路図で使用できます。

正しく動作するように、入力および出力をすべてデザインに接続します。

使用可能な属性

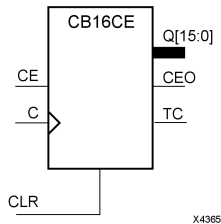
属性	データ型	値	デフォルト	説明
ONESHOT	ブール代数	TRUE、FALSE	TRUE	CAP トリガーごとにリードバックを 1 回実行します。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリー データシート』\(DS312\)](#)

CB16CE

マクロ：16-Bit Cascadable Binary Counter with Clock Enable and Asynchronous Clear



概要

このデザイン エLEMENTは、非同期クリア可能、カスケード可能なバイナリ カウンターです。非同期クリア (CLR) 入力が高になると、ほかのすべての入力は無視され、クロック (C) の遷移に関係なく、出力 (Q)、ターミナル カウンター (TC)、およびクロック イネーブル出力 (CEO) が 0 になります。クロック イネーブル入力 (CE) が High の場合、クロック (C) が Low から High に切り替わる時に出力 (Q) がインクリメントされます。CE が Low の場合、クロック遷移は無視されます。すべての Q 出力が高になると、TC 出力が高になります。

各段の CEO 出力を次の段の CE 入力に接続し、C および CLR 入力を並列に接続すると、より大型のカウンターを作成できます。TC と CE が High になると、CEO がアクティブ (High) になります。カウンターの最大長は、CE ピンから TC ピンへの伝搬遅延の合計とクロック周期の関係によって決定されます。クロック周期は、 $n(t_{CE-TC})$ より大きい必要があります。ここで、 n は段数、時間 t_{CE-TC} は各段での CE ピンから TC ピンへの伝搬遅延を表します。カウンターをカスケード接続する場合、CE 入力を使用するときは CEO 出力を、CE 入力を使用しないときは TC 出力を使用します。

電力を供給すると、カウンターは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

入力			出力		
CLR	CE	C	Q _z ~ Q ₀	TC	CEO
1	X	X	0	0	0
0	0	X	変化なし	変化なし	0
0	1	↑	インクリメント	TC	CEO

$z = \text{ビット幅} - 1$
 $TC = Q_z \cdot Q_{(z-1)} \cdot Q_{(z-2)} \cdot \dots \cdot Q_0$
 $CEO = TC \cdot CE$

デザインの入力方法

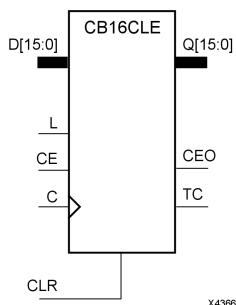
このELEMENTは、回路図でのみ使用できます。

詳細情報

- 『Spartan-3 ジェネレーション FPGA ユーザー ガイド』(UG331)
- 『Spartan-3E FPGA ファミリー データシート』(DS312)

CB16CLE

マクロ : 16-Bit Loadable Cascadable Binary Counters with Clock Enable and Asynchronous Clear



概要

このデザイン エLEMENTは、同期、ロード可能、非同期クリア可能、カスケード可能なバイナリ カウンターです。非同期クリア (CLR) 入力が高レベルになると、ほかのすべての入力は無視され、クロック (C) の遷移に関係なく、出力 (Q)、ターミナル カウンター (TC)、およびクロック イネーブル出力 (CEO) が 0 になります。ロード イネーブル入力 (L) が High の場合、クロックが Low から High に切り替わる時に、クロック イネーブル (CE) の値に関係なく、入力 (D) の値がカウンターにロードされます。CE が High の場合、クロックが Low から High に切り替わる時に Q 出力がインクリメントされます。CE が Low の場合、クロック遷移は無視されます。すべての Q 出力が高レベルになると、TC 出力が高レベルになります。

各段の CEO 出力を次の段の CE 入力に接続し、C、L、および CLR 入力を並列に接続すると、より大型のカウンターを作成できます。TC と CE が High になると、CEO がアクティブ (High) になります。カウンターの最大長は、CE ピンから TC ピンへの伝搬遅延の合計とクロック周期の関係によって決定されます。クロック周期は、 $n(t_{CE-TC})$ より大きい必要があります。ここで、 n は段数、時間 t_{CE-TC} は各段での CE ピンから TC ピンへの伝搬遅延を表します。カウンターをカスケード接続する場合、CE 入力を使用するときは CEO 出力を、CE 入力を使用しないときは TC 出力を使用します。

電力を供給すると、カウンターは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

入力					出力		
CLR	L	CE	C	D _z ~ D ₀	Q _z ~ Q ₀	TC	CEO
1	X	X	X	X	0	0	0
0	1	X	↑	D _n	D _n	TC	CEO
0	0	0	X	X	変化なし	変化なし	0
0	0	1	↑	X	インクリメント	TC	CEO
$z = \text{ビット幅} - 1$ $TC = Q_z \cdot Q_{(z-1)} \cdot Q_{(z-2)} \cdot \dots \cdot Q_0$ $CEO = TC \cdot CE$							

デザインの入力方法

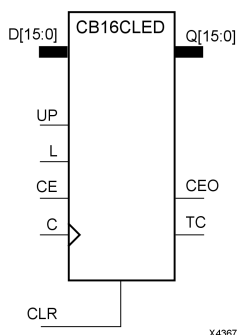
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリ データシート』\(DS312\)](#)

CB16CLED

マクロ : 16-Bit Loadable Cascadable Bidirectional Binary Counters with Clock Enable and Asynchronous Clear



概要

このデザイン エLEMENTは、同期、ロード可能、非同期クリア可能、カスケード可能な双方向バイナリ カウンターです。非同期クリア (CLR) 入力が高レベルになると、ほかのすべての入力は無視され、クロック (C) の遷移に関係なく、出力 (Q)、ターミナル カウンター (TC)、およびクロック イネーブル出力 (CEO) が 0 になります。ロード イネーブル入力 (L) が High の場合、クロック (C) が Low から High に切り替わるときに、クロック イネーブル (CE) の値に関係なく、入力 (D) の値がカウンターにロードされます。CE が High、UP が Low の場合、クロックが Low から High に切り替わるときに、Q 出力がデクリメントされます。CE と UP が High の場合、Q 出力がインクリメントされます。CE が Low の場合、クロック遷移は無視されます。

カウントアップする場合、すべての Q 出力と UP が High になると TC 出力が High になります。カウントダウンする場合、すべての Q 出力と UP が Low になると TC 出力が High になります。

各段の CEO 出力を次の段の CE 入力に接続し、C、UP、L、および CLR 入力を並列に接続すると、より大型のカウンターを作成できます。TC と CE が High になると、CEO がアクティブ (High) になります。カウンターの最大長は、CE ピンから TC ピンへの伝搬遅延の合計とクロック周期の関係によって決定されます。クロック周期は、 $n(t_{CE-TC})$ より大きい必要があります。ここで、 n は段数、時間 t_{CE-TC} は各段での CE ピンから TC ピンへの伝搬遅延を表します。カウンターをカスケード接続する場合、CE 入力を使用するときは CEO 出力を、CE 入力を使用しないときは TC 出力を使用します。

CPLD デバイスでは、高速カスケードが可能な双方向カウンターである CB2X1、CB4X1、CB8X1、CB16X1 を参照してください。

電力を供給すると、カウンターは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

入力						出力		
CLR	L	CE	C	UP	Dz ~ D0	Qz ~ Q0	TC	CEO
1	X	X	X	X	X	0	0	0
0	1	X	↑	X	Dn	Dn	TC	CEO
0	0	0	X	X	X	変化なし	変化なし	0
0	0	1	↑	1	X	インクリメント	TC	CEO
0	0	1	↑	0	X	デクリメント	TC	CEO
z = ビット幅 - 1 $TC = (Qz \cdot Q(z-1) \cdot Q(z-2) \cdot \dots \cdot Q0 \cdot UP) + (Qz \cdot Q(z-1) \cdot Q(z-2) \cdot \dots \cdot Q0 \cdot \overline{UP})$ $CEO = TC \cdot CE$								

デザインの入力方法

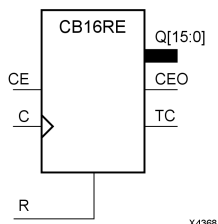
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリー データシート』\(DS312\)](#)

CB16RE

マクロ : 16-Bit Cascadable Binary Counter with Clock Enable and Synchronous Reset



概要

このデザイン エレメントは、同期、リセット可能、カスケード可能なバイナリ カウンターです。同期リセット入力 (R) が High になると、ほかの入力は無視され、クロック (C) が Low から High に切り替わる時に出力 (Q)、ターミナル カウンター (TC)、およびクロック イネーブル出力 (CEO) が 0 になります。クロック イネーブル入力 (CE) が High の場合、クロック (C) が Low から High に切り替わる時に出力 (Q) がインクリメントされます。CE が Low の場合、クロック遷移は無視されます。すべての Q 出力が High になると、TC 出力が High になります。

各段の CEO 出力を次の段の CE 入力に接続し、C および R 入力を並列に接続すると、より大型のカウンターを作成できます。TC と CE が High になると、CEO がアクティブ (High) になります。カウンターの最大長は、CE ピンから TC ピンへの伝搬遅延の合計とクロック周期の関係によって決定されます。クロック周期は、 $n(t_{CE-TC})$ より大きい必要があります。ここで、 n は段数、時間 t_{CE-TC} は各段での CE ピンから TC ピンへの伝搬遅延を表します。カウンターをカスケード接続する場合、CE 入力を使用するときは CEO 出力を、CE 入力を使用しないときは TC 出力を使用します。

電力を供給すると、カウンターは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

入力			出力		
R	CE	C	Q _z ~ Q ₀	TC	CEO
1	X	↑	0	0	0
0	0	X	変化なし	変化なし	0
0	1	↑	インクリメント	TC	CEO
$z = \text{ビット幅} - 1$ $TC = Q_z \cdot Q_{(z-1)} \cdot Q_{(z-2)} \cdot \dots \cdot Q_0$ $CEO = TC \cdot CE$					

デザインの入力方法

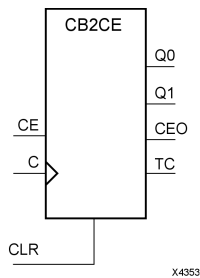
このエレメントは、回路図でのみ使用できます。

詳細情報

- 『Spartan-3 ジェネレーション FPGA ユーザー ガイド』(UG331)
- 『Spartan-3E FPGA ファミリー データシート』(DS312)

CB2CE

マクロ：2-Bit Cascadable Binary Counter with Clock Enable and Asynchronous Clear



概要

このデザイン エLEMENTは、非同期クリア可能、カスケード可能なバイナリ カウンターです。非同期クリア (CLR) 入力が高になると、ほかのすべての入力は無視され、クロック (C) の遷移に関係なく、出力 (Q)、ターミナル カウンター (TC)、およびクロック イネーブル出力 (CEO) が 0 になります。クロック イネーブル入力 (CE) が High の場合、クロック (C) が Low から High に切り替わるときに出力 (Q) がインクリメントされます。CE が Low の場合、クロック遷移は無視されます。すべての Q 出力が高になると、TC 出力が高になります。

各段の CEO 出力を次の段の CE 入力に接続し、C および CLR 入力を並列に接続すると、より大型のカウンターを作成できます。TC と CE が High になると、CEO がアクティブ (High) になります。カウンターの最大長は、CE ピンから TC ピンへの伝搬遅延の合計とクロック周期の関係によって決定されます。クロック周期は、 $n(t_{CE-TC})$ より大きい必要があります。ここで、 n は段数、時間 t_{CE-TC} は各段での CE ピンから TC ピンへの伝搬遅延を表します。カウンターをカスケード接続する場合、CE 入力を使用するときは CEO 出力を、CE 入力を使用しないときは TC 出力を使用します。

電力を供給すると、カウンターは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

入力			出力		
CLR	CE	C	Q _z ~ Q ₀	TC	CEO
1	X	X	0	0	0
0	0	X	変化なし	変化なし	0
0	1	↑	インクリメント	TC	CEO

$z = \text{ビット幅} - 1$
 $TC = Q_z \cdot Q_{(z-1)} \cdot Q_{(z-2)} \cdot \dots \cdot Q_0$
 $CEO = TC \cdot CE$

デザインの入力方法

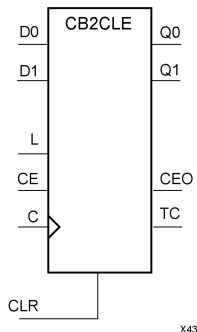
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリ データシート』\(DS312\)](#)

CB2CLE

マクロ：2-Bit Loadable Cascadable Binary Counters with Clock Enable and Asynchronous Clear



概要

このデザイン エLEMENTは、同期、ロード可能、非同期クリア可能、カスケード可能なバイナリ カウンターです。非同期クリア (CLR) 入力が高レベルになると、ほかのすべての入力は無視され、クロック (C) の遷移に関係なく、出力 (Q)、ターミナル カウンター (TC)、およびクロック イネーブル出力 (CEO) が 0 になります。ロード イネーブル入力 (L) が High の場合、クロックが Low から High に切り替わるたびに、クロック イネーブル (CE) の値に関係なく、入力 (D) の値がカウンターにロードされます。CE が High の場合、クロックが Low から High に切り替わるたびに Q 出力がインクリメントされます。CE が Low の場合、クロック遷移は無視されます。すべての Q 出力が高レベルになると、TC 出力が高レベルになります。

各段の CEO 出力を次の段の CE 入力に接続し、C、L、および CLR 入力を並列に接続すると、より大型のカウンターを作成できます。TC と CE が High になると、CEO がアクティブ (High) になります。カウンターの最大長は、CE ピンから TC ピンへの伝搬遅延の合計とクロック周期の関係によって決定されます。クロック周期は、 $n(t_{CE-TC})$ より大きい必要があります。ここで、 n は段数、時間 t_{CE-TC} は各段での CE ピンから TC ピンへの伝搬遅延を表します。カウンターをカスケード接続する場合、CE 入力を使用するときは CEO 出力を、CE 入力を使用しないときは TC 出力を使用します。

電力を供給すると、カウンターは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

入力					出力		
CLR	L	CE	C	D _z ~ D0	Q _z ~ Q0	TC	CEO
1	X	X	X	X	0	0	0
0	1	X	↑	D _n	D _n	TC	CEO
0	0	0	X	X	変化なし	変化なし	0
0	0	1	↑	X	インクリメント	TC	CEO
z = ビット幅 - 1 $TC = Q_z \cdot Q_{(z-1)} \cdot Q_{(z-2)} \cdot \dots \cdot Q_0$ $CEO = TC \cdot CE$							

デザインの入力方法

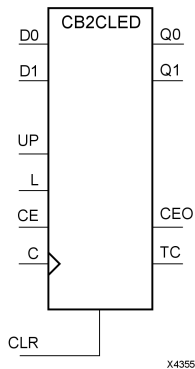
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリ データシート』\(DS312\)](#)

CB2CLED

マクロ：2-Bit Loadable Cascadable Bidirectional Binary Counters with Clock Enable and Asynchronous Clear



概要

このデザイン エLEMENTは、同期、ロード可能、非同期クリア可能、カスケード可能な双方向バイナリ カウンターです。非同期クリア (CLR) 入力が高レベルになると、ほかのすべての入力は無視され、クロック (C) の遷移に関係なく、出力 (Q)、ターミナル カウンター (TC)、およびクロック イネーブル出力 (CEO) が 0 になります。ロード イネーブル入力 (L) が High の場合、クロック (C) が Low から High に切り替わるときに、クロック イネーブル (CE) の値に関係なく、入力 (D) の値がカウンターにロードされます。CE が High、UP が Low の場合、クロックが Low から High に切り替わるときに、Q 出力がデクリメントされます。CE と UP が High の場合、Q 出力がインクリメントされます。CE が Low の場合、クロック遷移は無視されます。

カウントアップする場合、すべての Q 出力と UP が High になると TC 出力が High になります。カウントダウンする場合、すべての Q 出力と UP が Low になると TC 出力が High になります。

各段の CEO 出力を次の段の CE 入力に接続し、C、UP、L、および CLR 入力を並列に接続すると、より大型のカウンターを作成できます。TC と CE が High になると、CEO がアクティブ (High) になります。カウンターの最大長は、CE ピンから TC ピンへの伝搬遅延の合計とクロック周期の関係によって決定されます。クロック周期は、 $n(t_{CE-TC})$ より大きい必要があります。ここで、 n は段数、時間 t_{CE-TC} は各段での CE ピンから TC ピンへの伝搬遅延を表します。カウンターをカスケード接続する場合、CE 入力を使用するときは CEO 出力を、CE 入力を使用しないときは TC 出力を使用します。

CPLD デバイスでは、高速カスケードが可能な双方向カウンターである CB2X1、CB4X1、CB8X1、CB16X1 を参照してください。

電力を供給すると、カウンターは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

入力						出力		
CLR	L	CE	C	UP	Dz ~ D0	Qz ~ Q0	TC	CEO
1	X	X	X	X	X	0	0	0
0	1	X	↑	X	Dn	Dn	TC	CEO
0	0	0	X	X	X	変化なし	変化なし	0
0	0	1	↑	1	X	インクリメント	TC	CEO
0	0	1	↑	0	X	デクリメント	TC	CEO
z = ビット幅 - 1 $TC = (Qz \cdot Q(z-1) \cdot Q(z-2) \cdot \dots \cdot Q0 \cdot UP) + (Qz \cdot Q(z-1) \cdot Q(z-2) \cdot \dots \cdot Q0 \cdot \overline{UP})$ $CEO = TC \cdot CE$								

デザインの入力方法

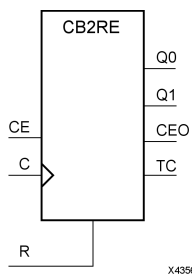
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリー データシート』\(DS312\)](#)

CB2RE

マクロ：2-Bit Cascadable Binary Counter with Clock Enable and Synchronous Reset



概要

このデザイン エLEMENTは、同期、リセット可能、カスケード可能なバイナリ カウンターです。同期リセット入力 (R) が High になると、ほかの入力は無視され、クロック (C) が Low から High に切り替わる時に出力 (Q)、ターミナル カウンター (TC)、およびクロック イネーブル出力 (CEO) が 0 になります。クロック イネーブル入力 (CE) が High の場合、クロック (C) が Low から High に切り替わる時に出力 (Q) がインクリメントされます。CE が Low の場合、クロック遷移は無視されます。すべての Q 出力が High になると、TC 出力が High になります。

各段の CEO 出力を次の段の CE 入力に接続し、C および R 入力を並列に接続すると、より大型のカウンターを作成できます。TC と CE が High になると、CEO がアクティブ (High) になります。カウンターの最大長は、CE ピンから TC ピンへの伝搬遅延の合計とクロック周期の関係によって決定されます。クロック周期は、 $n(t_{CE-TC})$ より大きい必要があります。ここで、 n は段数、時間 t_{CE-TC} は各段での CE ピンから TC ピンへの伝搬遅延を表します。カウンターのカスケード接続する場合、CE 入力を使用するときは CEO 出力を、CE 入力を使用しないときは TC 出力を使用します。

電力を供給すると、カウンターは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

入力			出力		
R	CE	C	Q _z ~ Q ₀	TC	CEO
1	X	↑	0	0	0
0	0	X	変化なし	変化なし	0
0	1	↑	インクリメント	TC	CEO
$z = \text{ビット幅} - 1$ $TC = Q_z \cdot Q_{(z-1)} \cdot Q_{(z-2)} \cdot \dots \cdot Q_0$ $CEO = TC \cdot CE$					

デザインの入力方法

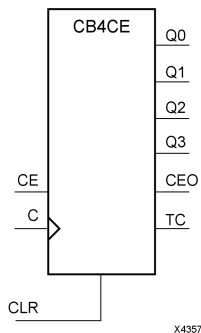
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリ データシート』\(DS312\)](#)

CB4CE

マクロ：4-Bit Cascadable Binary Counter with Clock Enable and Asynchronous Clear



概要

このデザイン エLEMENTは、非同期クリア可能、カスケード可能なバイナリ カウンターです。非同期クリア (CLR) 入力が高になると、ほかのすべての入力は無視され、クロック (C) の遷移に関係なく、出力 (Q)、ターミナル カウンター (TC)、およびクロック イネーブル出力 (CEO) が 0 になります。クロック イネーブル入力 (CE) が High の場合、クロック (C) が Low から High に切り替わるときに出力 (Q) がインクリメントされます。CE が Low の場合、クロック遷移は無視されます。すべての Q 出力が高になると、TC 出力が高になります。

各段の CEO 出力を次の段の CE 入力に接続し、C および CLR 入力を並列に接続すると、より大型のカウンターを作成できます。TC と CE が High になると、CEO がアクティブ (High) になります。カウンターの最大長は、CE ピンから TC ピンへの伝搬遅延の合計とクロック周期の関係によって決定されます。クロック周期は、 $n(t_{CE-TC})$ より大きい必要があります。ここで、 n は段数、時間 t_{CE-TC} は各段での CE ピンから TC ピンへの伝搬遅延を表します。カウンターのカスケード接続する場合、CE 入力を使用するときは CEO 出力を、CE 入力を使用しないときは TC 出力を使用します。

電力を供給すると、カウンターは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

入力			出力		
CLR	CE	C	$Q_z \sim Q_0$	TC	CEO
1	X	X	0	0	0
0	0	X	変化なし	変化なし	0
0	1	↑	インクリメント	TC	CEO
$z = \text{ビット幅} - 1$ $TC = Q_z \cdot Q_{(z-1)} \cdot Q_{(z-2)} \cdot \dots \cdot Q_0$ $CEO = TC \cdot CE$					

デザインの入力方法

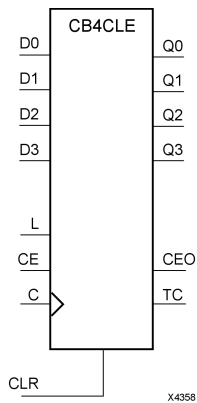
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリ データシート』\(DS312\)](#)

CB4CLE

マクロ：4-Bit Loadable Cascadable Binary Counters with Clock Enable and Asynchronous Clear



概要

このデザイン エLEMENTは、同期、ロード可能、非同期クリア可能、カスケード可能なバイナリ カウンターです。非同期クリア (CLR) 入力が高レベルになると、ほかのすべての入力は無視され、クロック (C) の遷移に関係なく、出力 (Q)、ターミナル カウンター (TC)、およびクロック イネーブル出力 (CEO) が 0 になります。ロード イネーブル入力 (L) が High の場合、クロックが Low から High に切り替わる時に、クロック イネーブル (CE) の値に関係なく、入力 (D) の値がカウンターにロードされます。CE が High の場合、クロックが Low から High に切り替わる時に Q 出力がインクリメントされます。CE が Low の場合、クロック遷移は無視されます。すべての Q 出力が高レベルになると、TC 出力が高レベルになります。

各段の CEO 出力を次の段の CE 入力に接続し、C、L、および CLR 入力を並列に接続すると、より大型のカウンターを作成できます。TC と CE が High になると、CEO がアクティブ (High) になります。カウンターの最大長は、CE ピンから TC ピンへの伝搬遅延の合計とクロック周期の関係によって決定されます。クロック周期は、 $n(t_{CE-TC})$ より大きい必要があります。ここで、 n は段数、時間 t_{CE-TC} は各段での CE ピンから TC ピンへの伝搬遅延を表します。カウンターをカスケード接続する場合、CE 入力を使用するときは CEO 出力を、CE 入力を使用しないときは TC 出力を使用します。

電力を供給すると、カウンターは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

入力					出力		
CLR	L	CE	C	D _z ~ D ₀	Q _z ~ Q ₀	TC	CEO
1	X	X	X	X	0	0	0
0	1	X	↑	D _n	D _n	TC	CEO
0	0	0	X	X	変化なし	変化なし	0
0	0	1	↑	X	インクリメント	TC	CEO
z = ビット幅 - 1 $TC = Q_z \cdot Q_{(z-1)} \cdot Q_{(z-2)} \cdot \dots \cdot Q_0$ $CEO = TC \cdot CE$							

デザインの入力方法

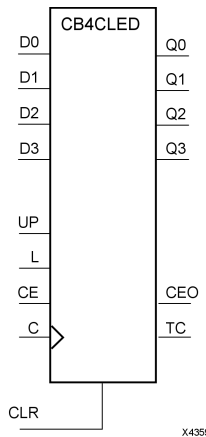
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリー データシート』\(DS312\)](#)

CB4CLED

マクロ：4-Bit Loadable Cascadable Bidirectional Binary Counters with Clock Enable and Asynchronous Clear



概要

このデザイン エLEMENTは、同期、ロード可能、非同期クリア可能、カスケード可能な双方向バイナリ カウンターです。非同期クリア (CLR) 入力が高レベルになると、ほかのすべての入力は無視され、クロック (C) の遷移に関係なく、出力 (Q)、ターミナル カウンター (TC)、およびクロック イネーブル出力 (CEO) が 0 になります。ロード イネーブル入力 (L) が High の場合、クロック (C) が Low から High に切り替わるときに、クロック イネーブル (CE) の値に関係なく、入力 (D) の値がカウンターにロードされます。CE が High、UP が Low の場合、クロックが Low から High に切り替わるときに、Q 出力がデクリメントされます。CE と UP が High の場合、Q 出力がインクリメントされます。CE が Low の場合、クロック遷移は無視されます。

カウントアップする場合、すべての Q 出力と UP が High になると TC 出力が High になります。カウントダウンする場合、すべての Q 出力と UP が Low になると TC 出力が High になります。

各段の CEO 出力を次の段の CE 入力に接続し、C、UP、L、および CLR 入力を並列に接続すると、より大型のカウンターを作成できます。TC と CE が High になると、CEO がアクティブ (High) になります。カウンターの最大長は、CE ピンから TC ピンへの伝搬遅延の合計とクロック周期の関係によって決定されます。クロック周期は、 $n(t_{CE-TC})$ より大きい必要があります。ここで、 n は段数、時間 t_{CE-TC} は各段での CE ピンから TC ピンへの伝搬遅延を表します。カウンターをカスケード接続する場合、CE 入力を使用するときは CEO 出力を、CE 入力を使用しないときは TC 出力を使用します。

CPLD デバイスでは、高速カスケードが可能な双方向カウンターである CB2X1、CB4X1、CB8X1、CB16X1 を参照してください。

電力を供給すると、カウンターは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

入力						出力		
CLR	L	CE	C	UP	Dz ~ D0	Qz ~ Q0	TC	CEO
1	X	X	X	X	X	0	0	0
0	1	X	↑	X	Dn	Dn	TC	CEO
0	0	0	X	X	X	変化なし	変化なし	0
0	0	1	↑	1	X	インクリメント	TC	CEO
0	0	1	↑	0	X	デクリメント	TC	CEO
z = ビット幅 - 1 $TC = (Qz \cdot Q(z-1) \cdot Q(z-2) \cdot \dots \cdot Q0 \cdot UP) + (Qz \cdot Q(z-1) \cdot Q(z-2) \cdot \dots \cdot Q0 \cdot \overline{UP})$ $CEO = TC \cdot CE$								

デザインの入力方法

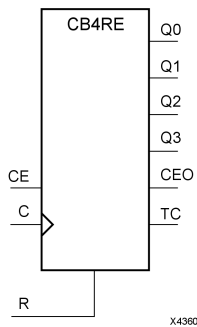
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリー データシート』\(DS312\)](#)

CB4RE

マクロ：4-Bit Cascadable Binary Counter with Clock Enable and Synchronous Reset



概要

このデザイン エLEMENTは、同期、リセット可能、カスケード可能なバイナリ カウンターです。同期リセット入力 (R) が High になると、ほかの入力は無視され、クロック (C) が Low から High に切り替わる時に出力 (Q)、ターミナル カウンター (TC)、およびクロック イネーブル出力 (CEO) が 0 になります。クロック イネーブル入力 (CE) が High の場合、クロック (C) が Low から High に切り替わる時に出力 (Q) がインクリメントされます。CE が Low の場合、クロック遷移は無視されます。すべての Q 出力が High になると、TC 出力が High になります。

各段の CEO 出力を次の段の CE 入力に接続し、C および R 入力を並列に接続すると、より大型のカウンターを作成できます。TC と CE が High になると、CEO がアクティブ (High) になります。カウンターの最大長は、CE ピンから TC ピンへの伝搬遅延の合計とクロック周期の関係によって決定されます。クロック周期は、 $n(t_{CE-TC})$ より大きい必要があります。ここで、 n は段数、時間 t_{CE-TC} は各段での CE ピンから TC ピンへの伝搬遅延を表します。カウンターをカスケード接続する場合、CE 入力を使用するときは CEO 出力を、CE 入力を使用しないときは TC 出力を使用します。

電力を供給すると、カウンターは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

入力			出力		
R	CE	C	Q _z ~ Q0	TC	CEO
1	X	↑	0	0	0
0	0	X	変化なし	変化なし	0
0	1	↑	インクリメント	TC	CEO
z = ビット幅 - 1 $TC = Q_z \cdot Q_{(z-1)} \cdot Q_{(z-2)} \cdot \dots \cdot Q_0$ $CEO = TC \cdot CE$					

デザインの入力方法

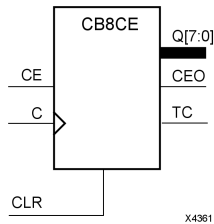
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリ データシート』\(DS312\)](#)

CB8CE

マクロ：8-Bit Cascadable Binary Counter with Clock Enable and Asynchronous Clear



概要

このデザイン エLEMENTは、非同期クリア可能、カスケード可能なバイナリ カウンターです。非同期クリア (CLR) 入力が高になると、ほかのすべての入力は無視され、クロック (C) の遷移に関係なく、出力 (Q)、ターミナル カウンター (TC)、およびクロック イネーブル出力 (CEO) が 0 になります。クロック イネーブル入力 (CE) が High の場合、クロック (C) が Low から High に切り替わるときに出力 (Q) がインクリメントされます。CE が Low の場合、クロック遷移は無視されます。すべての Q 出力が高になると、TC 出力が高になります。

各段の CEO 出力を次の段の CE 入力に接続し、C および CLR 入力を並列に接続すると、より大型のカウンターを作成できます。TC と CE が High になると、CEO がアクティブ (High) になります。カウンターの最大長は、CE ピンから TC ピンへの伝搬遅延の合計とクロック周期の関係によって決定されます。クロック周期は、 $n(t_{CE-TC})$ より大きい必要があります。ここで、 n は段数、時間 t_{CE-TC} は各段での CE ピンから TC ピンへの伝搬遅延を表します。カウンターをカスケード接続する場合、CE 入力を使用するときは CEO 出力を、CE 入力を使用しないときは TC 出力を使用します。

電力を供給すると、カウンターは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

入力			出力		
CLR	CE	C	Q _z ~ Q ₀	TC	CEO
1	X	X	0	0	0
0	0	X	変化なし	変化なし	0
0	1	↑	インクリメント	TC	CEO

$z = \text{ビット幅} - 1$
 $TC = Q_z \cdot Q_{(z-1)} \cdot Q_{(z-2)} \cdot \dots \cdot Q_0$
 $CEO = TC \cdot CE$

デザインの入力方法

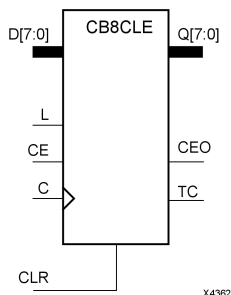
このELEMENTは、回路図でのみ使用できます。

詳細情報

- 『Spartan-3 ジェネレーション FPGA ユーザー ガイド』(UG331)
- 『Spartan-3E FPGA ファミリー データシート』(DS312)

CB8CLE

マクロ : 8-Bit Loadable Cascadable Binary Counters with Clock Enable and Asynchronous Clear



概要

このデザイン エレメントは、同期、ロード可能、非同期クリア可能、カスケード可能なバイナリ カウンターです。非同期クリア (CLR) 入力が高になると、ほかのすべての入力は無視され、クロック (C) の遷移に関係なく、出力 (Q)、ターミナル カウンター (TC)、およびクロック イネーブル出力 (CEO) が 0 になります。ロード イネーブル入力 (L) が High の場合、クロックが Low から High に切り替わるたびに、クロック イネーブル (CE) の値に関係なく、入力 (D) の値がカウンターにロードされます。CE が High の場合、クロックが Low から High に切り替わるたびに Q 出力がインクリメントされます。CE が Low の場合、クロック遷移は無視されます。すべての Q 出力が高になると、TC 出力が高になります。

各段の CEO 出力を次の段の CE 入力に接続し、C、L、および CLR 入力を並列に接続すると、より大型のカウンターを作成できます。TC と CE が High になると、CEO がアクティブ (High) になります。カウンターの最大長は、CE ピンから TC ピンへの伝搬遅延の合計とクロック周期の関係によって決定されます。クロック周期は、 $n(t_{CE-TC})$ より大きい必要があります。ここで、 n は段数、時間 t_{CE-TC} は各段での CE ピンから TC ピンへの伝搬遅延を表します。カウンターをカスケード接続する場合、CE 入力を使用するときは CEO 出力を、CE 入力を使用しないときは TC 出力を使用します。

電力を供給すると、カウンターは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

入力					出力		
CLR	L	CE	C	D _z ~ D ₀	Q _z ~ Q ₀	TC	CEO
1	X	X	X	X	0	0	0
0	1	X	↑	D _n	D _n	TC	CEO
0	0	0	X	X	変化なし	変化なし	0
0	0	1	↑	X	インクリメント	TC	CEO

$z = \text{ビット幅} - 1$
 $TC = Q_z \cdot Q_{(z-1)} \cdot Q_{(z-2)} \cdot \dots \cdot Q_0$
 $CEO = TC \cdot CE$

デザインの入力方法

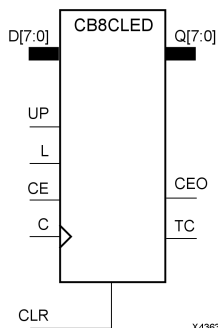
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリ データシート』\(DS312\)](#)

CB8CLED

マクロ : 8-Bit Loadable Cascadable Bidirectional Binary Counters with Clock Enable and Asynchronous Clear



概要

このデザイン エLEMENTは、同期、ロード可能、非同期クリア可能、カスケード可能な双方向バイナリ カウンターです。非同期クリア (CLR) 入力が高になると、ほかのすべての入力は無視され、クロック (C) の遷移に関係なく、出力 (Q)、ターミナル カウンター (TC)、およびクロック イネーブル出力 (CEO) が 0 になります。ロード イネーブル入力 (L) が High の場合、クロック (C) が Low から High に切り替わるときに、クロック イネーブル (CE) の値に関係なく、入力 (D) の値がカウンターにロードされます。CE が High、UP が Low の場合、クロックが Low から High に切り替わるときに、Q 出力がデクリメントされます。CE と UP が High の場合、Q 出力がインクリメントされます。CE が Low の場合、クロック遷移は無視されます。

カウントアップする場合、すべての Q 出力と UP が High になると TC 出力が High になります。カウントダウンする場合、すべての Q 出力と UP が Low になると TC 出力が High になります。

各段の CEO 出力を次の段の CE 入力に接続し、C、UP、L、および CLR 入力を並列に接続すると、より大型のカウンターを作成できます。TC と CE が High になると、CEO がアクティブ (High) になります。カウンターの最大長は、CE ピンから TC ピンへの伝搬遅延の合計とクロック周期の関係によって決定されます。クロック周期は、 $n(t_{CE-TC})$ より大きい必要があります。ここで、 n は段数、時間 t_{CE-TC} は各段での CE ピンから TC ピンへの伝搬遅延を表します。カウンターをカスケード接続する場合、CE 入力を使用するときは CEO 出力を、CE 入力を使用しないときは TC 出力を使用します。

CPLD デバイスでは、高速カスケードが可能な双方向カウンターである CB2X1、CB4X1、CB8X1、CB16X1 を参照してください。

電力を供給すると、カウンターは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

入力						出力		
CLR	L	CE	C	UP	Dz ~ D0	Qz ~ Q0	TC	CEO
1	X	X	X	X	X	0	0	0
0	1	X	↑	X	Dn	Dn	TC	CEO
0	0	0	X	X	X	変化なし	変化なし	0
0	0	1	↑	1	X	インクリメント	TC	CEO
0	0	1	↑	0	X	デクリメント	TC	CEO
z = ビット幅 - 1 $TC = (Qz \cdot Q(z-1) \cdot Q(z-2) \cdot \dots \cdot Q0 \cdot UP) + (Qz \cdot Q(z-1) \cdot Q(z-2) \cdot \dots \cdot Q0 \cdot \overline{UP})$ $CEO = TC \cdot CE$								

デザインの入力方法

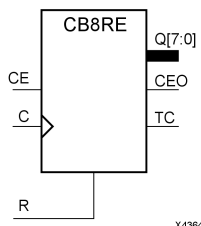
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリー データシート』\(DS312\)](#)

CB8RE

マクロ : 8-Bit Cascadable Binary Counter with Clock Enable and Synchronous Reset



概要

このデザイン エレメントは、同期、リセット可能、カスケード可能なバイナリ カウンターです。同期リセット入力 (R) が High になると、ほかの入力は無視され、クロック (C) が Low から High に切り替わる時に出力 (Q)、ターミナル カウンター (TC)、およびクロック イネーブル出力 (CEO) が 0 になります。クロック イネーブル入力 (CE) が High の場合、クロック (C) が Low から High に切り替わる時に出力 (Q) がインクリメントされます。CE が Low の場合、クロック遷移は無視されます。すべての Q 出力が High になると、TC 出力が High になります。

各段の CEO 出力を次の段の CE 入力に接続し、C および R 入力を並列に接続すると、より大型のカウンターを作成できます。TC と CE が High になると、CEO がアクティブ (High) になります。カウンターの最大長は、CE ピンから TC ピンへの伝搬遅延の合計とクロック周期の関係によって決定されます。クロック周期は、 $n(t_{CE-TC})$ より大きい必要があります。ここで、 n は段数、時間 t_{CE-TC} は各段での CE ピンから TC ピンへの伝搬遅延を表します。カウンターをカスケード接続する場合、CE 入力を使用するときは CEO 出力を、CE 入力を使用しないときは TC 出力を使用します。

電力を供給すると、カウンターは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

入力			出力		
R	CE	C	Q _z ~ Q ₀	TC	CEO
1	X	↑	0	0	0
0	0	X	変化なし	変化なし	0
0	1	↑	インクリメント	TC	CEO

$z = \text{ビット幅} - 1$
 $TC = Q_z \cdot Q(z-1) \cdot Q(z-2) \cdot \dots \cdot Q_0$
 $CEO = TC \cdot CE$

デザインの入力方法

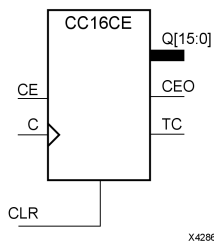
このエレメントは、回路図でのみ使用できます。

詳細情報

- 『Spartan-3 ジェネレーション FPGA ユーザー ガイド』(UG331)
- 『Spartan-3E FPGA ファミリー データシート』(DS312)

CC16CE

マクロ：16-Bit Cascadable Binary Counter with Clock Enable and Asynchronous Clear



概要

このデザイン エLEMENTは、非同期クリア可能、カスケード可能なバイナリ カウンターです。このカウンターは、ロジックが効率よく配置されるように、相対ロケーション制約を使用してキャリー ロジックと共にインプリメントされます。非同期クリア入力 (CLR) が最も優先される入力で、High の場合、クロック (C) の遷移に関係なく、Q 出力、ターミナル カウント (TC)、クロック イネーブル出力 (CEO) が 0 になります。クロック イネーブル入力 (CE) が High の場合、クロック (C) が Low から High に切り替わるときに出力 (Q) がインクリメントされます。CE が Low の場合、クロック遷移は無視されます。すべての Q 出力が High になると、TC 出力が High になります。

各段の CEO 出力を次の段の CE 入力に接続し、C および CLR 入力を並列に接続すると、より大型のカウンターを作成できます。TC と CE が High になると、CEO がアクティブ (High) になります。カウンターの最大長は、CE ピンから TC ピンへの伝搬遅延の合計とクロック周期の関係によって決定されます。クロック周期は、 $n(t_{CE-TC})$ より大きい必要があります。ここで、 n は段数、時間 t_{CE-TC} は各段での CE ピンから TC ピンへの伝搬遅延を表します。カウンターをカスケード接続する場合、CE 入力を使用するときは CEO 出力を、CE 入力を使用しないときは TC 出力を使用します。

電力を供給すると、カウンターは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

入力			出力		
CLR	CE	C	Q _z ~ Q ₀	TC	CEO
1	X	X	0	0	0
0	0	X	変化なし	変化なし	0
0	1	↑	インクリメント	TC	CEO

$z = \text{ビット幅} - 1$
 $TC = Q_z \cdot Q_{(z-1)} \cdot Q_{(z-2)} \cdot \dots \cdot Q_0$
 $CEO = TC \cdot CE$

デザインの入力方法

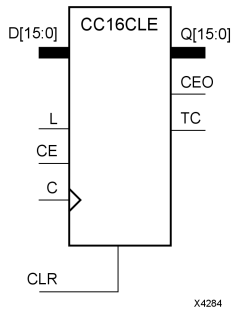
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリ データシート』\(DS312\)](#)

CC16CLE

マクロ : 16-Bit Loadable Cascadable Binary Counter with Clock Enable and Asynchronous Clear



概要

このデザイン エLEMENTは、同期、ロード可能、非同期クリア可能、カスケード可能なバイナリ カウンターです。このカウンターは、ロジックが効率よく配置されるように、相対ロケーション制約を使用してキャリー ロジックと共にインプリメントされます。非同期クリア入力 (CLR) が最も優先される入力で、High の場合、クロック (C) の遷移に関係なく、Q 出力、ターミナル カウント (TC)、クロック イネーブル出力 (CEO) が 0 になります。ロード イネーブル入力 (L) が High の場合、クロック (C) が Low から High に切り替わるときに、クロック イネーブル (CE) の値に関係なく、入力 (D) の値がカウンターにロードされます。CE が High の場合、クロックが Low から High に切り替わるときに Q 出力がインクリメントされます。CE が Low の場合、クロック遷移は無視されます。すべての Q 出力が High になると、TC 出力が High になります。

各段の CEO 出力を次の段の CE 入力に接続し、C、L、および CLR 入力を並列に接続すると、より大型のカウンターを作成できます。TC と CE が High になると、CEO がアクティブ (High) になります。カウンターの最大長は、CE ピンから TC ピンへの伝搬遅延の合計とクロック周期の関係によって決定されます。クロック周期は、 $n(t_{CE-TC})$ より大きい必要があります。ここで、 n は段数、時間 t_{CE-TC} は各段での CE ピンから TC ピンへの伝搬遅延を表します。カウンターをカスケード接続する場合、CE 入力を使用するときは CEO 出力を、CE 入力を使用しないときは TC 出力を使用します。

電力を供給すると、カウンターは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

入力					出力		
CLR	L	CE	C	D _z ~ D ₀	Q _z ~ Q ₀	TC	CEO
1	X	X	X	X	0	0	0
0	1	X	↑	D _n	D _n	TC	CEO
0	0	0	X	X	変化なし	変化なし	0
0	0	1	↑	X	インクリメント	TC	CEO

$z = \text{ビット幅} - 1$
 $TC = Q_z \cdot Q_{(z-1)} \cdot Q_{(z-2)} \cdot \dots \cdot Q_0$
 $CEO = TC \cdot CE$

デザインの入力方法

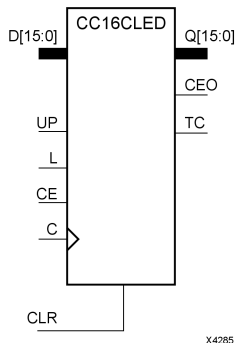
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリ データシート』\(DS312\)](#)

CC16CLED

マクロ : 16-Bit Loadable Cascadable Bidirectional Binary Counter with Clock Enable and Asynchronous Clear



概要

このデザイン エLEMENTは、同期、ロード可能、非同期クリア可能、カスケード可能な双方向バイナリカウンタです。このカウンタは、ロジックが効率よく配置されるように、相対ロケーション制約を使用してキャリー ロジックと共にインプリメントされます。非同期クリア入力 (CLR) が最も優先される入力で、High の場合、クロック (C) の遷移に関係なく、Q 出力、ターミナル カウント (TC)、クロック イネーブル出力 (CEO) が 0 になります。ロード イネーブル入力 (L) が High の場合、クロック (C) が Low から High に切り替わるときに、クロック イネーブル (CE) の値に関係なく、入力 (D) の値がカウンタにロードされます。CE が High、UP が Low の場合、クロックが Low から High に切り替わるときに、Q 出力がデクリメントされます。CE と UP が High の場合、Q 出力がインクリメントされます。CE が Low の場合、クロック遷移は無視されます。

カウントアップする場合、すべての Q 出力と UP が High になると TC 出力が High になります。カウントダウンする場合、すべての Q 出力と UP が Low になると TC 出力が High になります。

各段の CEO 出力を次の段の CE 入力に接続し、C、UP、L、および CLR 入力を並列に接続すると、より大型のカウンタを作成できます。TC と CE が High になると、CEO がアクティブ (High) になります。カウンタの最大長は、CE ピンから TC ピンへの伝搬遅延の合計とクロック周期の関係によって決定されます。クロック周期は、 $n(t_{CE-TC})$ より大きい必要があります。ここで、 n は段数、時間 t_{CE-TC} は各段での CE ピンから TC ピンへの伝搬遅延を表します。カウンタをカスケード接続する場合、CE 入力を使用するときは CEO 出力を、CE 入力を使用しないときは TC 出力を使用します。

電力を供給すると、カウンタは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

入力						出力		
CLR	L	CE	C	UP	Dz ~ D0	Qz ~ Q0	TC	CEO
1	X	X	X	X	X	0	0	0
0	1	X	↑	X	Dn	Dn	TC	CEO
0	0	0	X	X	X	変化なし	変化なし	0
0	0	1	↑	1	X	インクリメント	TC	CEO
0	0	1	↑	0	X	デクリメント	TC	CEO
z = ビット幅 - 1 $TC = (Qz \cdot Q(z-1) \cdot Q(z-2) \cdot \dots \cdot Q0 \cdot UP) + (Qz \cdot Q(z-1) \cdot Q(z-2) \cdot \dots \cdot Q0 \cdot \overline{UP})$ $CEO = TC \cdot CE$								

デザインの入力方法

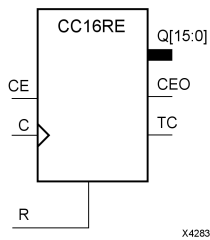
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリー データシート』\(DS312\)](#)

CC16RE

マクロ：16-Bit Cascadable Binary Counter with Clock Enable and Synchronous Reset



概要

このデザイン エLEMENTは、同期、リセット可能、カスケード可能なバイナリ カウンターです。このカウンターは、ロジックが効率よく配置されるように、相対ロケーション制約を使用してキャリー ロジックと共にインプリメントされます。同期リセット入力 (R) は最も優先される入力で、R が High になると、ほかのすべての入力は無視され、クロック (C) が Low から High に切り替わるときに、Q 出力、ターミナル カウント (TC)、クロック イネーブル出力 (CEO) が 0 になります。クロック イネーブル入力 (CE) が High の場合、クロックが Low から High に切り替わるときに Q 出力がインクリメントされます。CE が Low の場合、クロック遷移は無視されます。すべての Q 出力と CE が High になると、TC 出力が High になります。

各段の CEO 出力を次の段の CE 入力に接続し、C および R 入力を並列に接続すると、より大型のカウンターを作成できます。TC と CE が High になると、CEO がアクティブ (High) になります。カウンターの最大長は、CE ピンから TC ピンへの伝搬遅延の合計とクロック周期の関係によって決定されます。クロック周期は、 $n(t_{CE-TC})$ より大きい必要があります。ここで、 n は段数、時間 t_{CE-TC} は各段での CE ピンから TC ピンへの伝搬遅延を表します。カウンターをカスケード接続する場合、CE 入力を使用するときは CEO 出力を、CE 入力を使用しないときは TC 出力を使用します。

電力を供給すると、カウンターは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

入力			出力		
R	CE	C	Q _z ~ Q ₀	TC	CEO
1	X	↑	0	0	0
0	0	X	変化なし	変化なし	0
0	1	↑	インクリメント	TC	CEO
$z = \text{ビット幅} - 1$ $TC = Q_z \cdot Q_{(z-1)} \cdot Q_{(z-2)} \cdot \dots \cdot Q_0$ $CEO = TC \cdot CE$					

デザインの入力方法

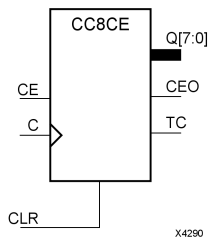
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリ データシート』\(DS312\)](#)

CC8CE

マクロ：8-Bit Cascadable Binary Counter with Clock Enable and Asynchronous Clear



概要

このデザイン エLEMENTは、非同期クリア可能、カスケード可能なバイナリ カウンターです。このカウンターは、ロジックが効率よく配置されるように、相対ロケーション制約を使用してキャリー ロジックと共にインプリメントされます。非同期クリア入力 (CLR) が最も優先される入力で、High の場合、クロック (C) の遷移に関係なく、Q 出力、ターミナル カウント (TC)、クロック イネーブル出力 (CEO) が 0 になります。クロック イネーブル入力 (CE) が High の場合、クロック (C) が Low から High に切り替わるときに出力 (Q) がインクリメントされます。CE が Low の場合、クロック遷移は無視されます。すべての Q 出力が High になると、TC 出力が High になります。

各段の CEO 出力を次の段の CE 入力に接続し、C および CLR 入力を並列に接続すると、より大型のカウンターを作成できます。TC と CE が High になると、CEO がアクティブ (High) になります。カウンターの最大長は、CE ピンから TC ピンへの伝搬遅延の合計とクロック周期の関係によって決定されます。クロック周期は、 $n(t_{CE-TC})$ より大きい必要があります。ここで、 n は段数、時間 t_{CE-TC} は各段での CE ピンから TC ピンへの伝搬遅延を表します。カウンターをカスケード接続する場合、CE 入力を使用するときは CEO 出力を、CE 入力を使用しないときは TC 出力を使用します。

電力を供給すると、カウンターは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

入力			出力		
CLR	CE	C	Q _z ~ Q ₀	TC	CEO
1	X	X	0	0	0
0	0	X	変化なし	変化なし	0
0	1	↑	インクリメント	TC	CEO
$z = \text{ビット幅} - 1$ $TC = Q_z \cdot Q_{(z-1)} \cdot Q_{(z-2)} \cdot \dots \cdot Q_0$ $CEO = TC \cdot CE$					

デザインの入力方法

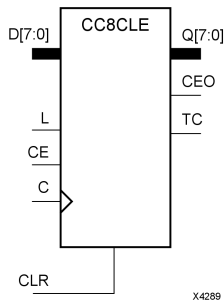
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリ データシート』\(DS312\)](#)

CC8CLE

マクロ：8-Bit Loadable Cascadable Binary Counter with Clock Enable and Asynchronous Clear



概要

このデザイン エLEMENTは、同期、ロード可能、非同期クリア可能、カスケード可能なバイナリ カウンターです。このカウンターは、ロジックが効率よく配置されるように、相対ロケーション制約を使用してキャリー ロジックと共にインプリメントされます。非同期クリア入力 (CLR) が最も優先される入力で、High の場合、クロック (C) の遷移に関係なく、Q 出力、ターミナル カウント (TC)、クロック イネーブル出力 (CEO) が 0 になります。ロード イネーブル入力 (L) が High の場合、クロック (C) が Low から High に切り替わるときに、クロック イネーブル (CE) の値に関係なく、入力 (D) の値がカウンターにロードされます。CE が High の場合、クロックが Low から High に切り替わるときに Q 出力がインクリメントされます。CE が Low の場合、クロック遷移は無視されます。すべての Q 出力が High になると、TC 出力が High になります。

各段の CEO 出力を次の段の CE 入力に接続し、C、L、および CLR 入力を並列に接続すると、より大型のカウンターを作成できます。TC と CE が High になると、CEO がアクティブ (High) になります。カウンターの最大長は、CE ピンから TC ピンへの伝搬遅延の合計とクロック周期の関係によって決定されます。クロック周期は、 $n(t_{CE-TC})$ より大きい必要があります。ここで、 n は段数、時間 t_{CE-TC} は各段での CE ピンから TC ピンへの伝搬遅延を表します。カウンターをカスケード接続する場合、CE 入力を使用するときは CEO 出力を、CE 入力を使用しないときは TC 出力を使用します。

電力を供給すると、カウンターは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

入力					出力		
CLR	L	CE	C	D _z ~ D ₀	Q _z ~ Q ₀	TC	CEO
1	X	X	X	X	0	0	0
0	1	X	↑	D _n	D _n	TC	CEO
0	0	0	X	X	変化なし	変化なし	0
0	0	1	↑	X	インクリメント	TC	CEO

$z = \text{ビット幅} - 1$
 $TC = Q_z \cdot Q_{(z-1)} \cdot Q_{(z-2)} \cdot \dots \cdot Q_0$
 $CEO = TC \cdot CE$

デザインの入力方法

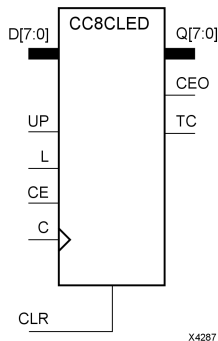
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリ データシート』\(DS312\)](#)

CC8CLED

マクロ : 8-Bit Loadable Cascadable Bidirectional Binary Counter with Clock Enable and Asynchronous Clear



概要

このデザイン エLEMENTは、同期、ロード可能、非同期クリア可能、カスケード可能な双方向バイナリ カウンターです。このカウンターは、ロジックが効率よく配置されるように、相対ロケーション制約を使用してキャリー ロジックと共にインプリメントされます。非同期クリア入力 (CLR) が最も優先される入力で、High の場合、クロック (C) の遷移に関係なく、Q 出力、ターミナル カウント (TC)、クロック イネーブル出力 (CEO) が 0 になります。ロード イネーブル入力 (L) が High の場合、クロック (C) が Low から High に切り替わるときに、クロック イネーブル (CE) の値に関係なく、入力 (D) の値がカウンターにロードされます。CE が High、UP が Low の場合、クロックが Low から High に切り替わるときに、Q 出力がデクリメントされます。CE と UP が High の場合、Q 出力がインクリメントされます。CE が Low の場合、クロック遷移は無視されます。

カウントアップする場合、すべての Q 出力と UP が High になると TC 出力が High になります。カウントダウンする場合、すべての Q 出力と UP が Low になると TC 出力が High になります。

各段の CEO 出力を次の段の CE 入力に接続し、C、UP、L、および CLR 入力を並列に接続すると、より大型のカウンターを作成できます。TC と CE が High になると、CEO がアクティブ (High) になります。カウンターの最大長は、CE ピンから TC ピンへの伝搬遅延の合計とクロック周期の関係によって決定されます。クロック周期は、 $n(t_{CE-TC})$ より大きい必要があります。ここで、 n は段数、時間 t_{CE-TC} は各段での CE ピンから TC ピンへの伝搬遅延を表します。カウンターをカスケード接続する場合、CE 入力を使用するときは CEO 出力を、CE 入力を使用しないときは TC 出力を使用します。

電力を供給すると、カウンターは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

入力						出力		
CLR	L	CE	C	UP	Dz ~ D0	Qz ~ Q0	TC	CEO
1	X	X	X	X	X	0	0	0
0	1	X	↑	X	Dn	Dn	TC	CEO
0	0	0	X	X	X	変化なし	変化なし	0
0	0	1	↑	1	X	インクリメント	TC	CEO
0	0	1	↑	0	X	デクリメント	TC	CEO
z = ビット幅 - 1 $TC = (Qz \cdot Q(z-1) \cdot Q(z-2) \cdot \dots \cdot Q0 \cdot UP) + (Qz \cdot Q(z-1) \cdot Q(z-2) \cdot \dots \cdot Q0 \cdot \overline{UP})$ $CEO = TC \cdot CE$								

デザインの入力方法

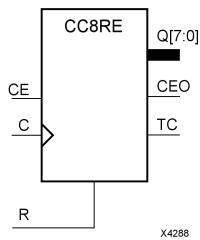
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリー データシート』\(DS312\)](#)

CC8RE

マクロ : 8-Bit Cascadable Binary Counter with Clock Enable and Synchronous Reset



概要

このデザイン エLEMENTは、同期、リセット可能、カスケード可能なバイナリ カウンターです。このカウンターは、ロジックが効率よく配置されるように、相対ロケーション制約を使用してキャリー ロジックと共にインプリメントされます。同期リセット入力 (R) は最も優先される入力で、R が High になると、ほかのすべての入力は無視され、クロック (C) が Low から High に切り替わるたびに、Q 出力、ターミナル カウント (TC)、クロック イネーブル出力 (CEO) が 0 になります。クロック イネーブル入力 (CE) が High の場合、クロックが Low から High に切り替わるたびに Q 出力がインクリメントされます。CE が Low の場合、クロック遷移は無視されます。すべての Q 出力と CE が High になると、TC 出力が High になります。

各段の CEO 出力を次の段の CE 入力に接続し、C および R 入力を並列に接続すると、より大型のカウンターを作成できます。TC と CE が High になると、CEO がアクティブ (High) になります。カウンターの最大長は、CE ピンから TC ピンへの伝搬遅延の合計とクロック周期の関係によって決定されます。クロック周期は、 $n(t_{CE-TC})$ より大きい必要があります。ここで、 n は段数、時間 t_{CE-TC} は各段での CE ピンから TC ピンへの伝搬遅延を表します。カウンターをカスケード接続する場合、CE 入力を使用するときは CEO 出力を、CE 入力を使用しないときは TC 出力を使用します。

電力を供給すると、カウンターは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

入力			出力		
R	CE	C	Q _z ~ Q ₀	TC	CEO
1	X	↑	0	0	0
0	0	X	変化なし	変化なし	0
0	1	↑	インクリメント	TC	CEO
$z = \text{ビット幅} - 1$ $TC = Q_z \cdot Q_{(z-1)} \cdot Q_{(z-2)} \cdot \dots \cdot Q_0$ $CEO = TC \cdot CE$					

デザインの入力方法

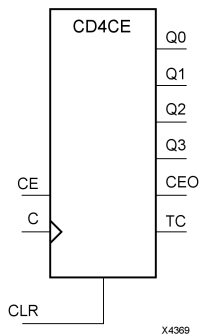
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリ データシート』\(DS312\)](#)

CD4CE

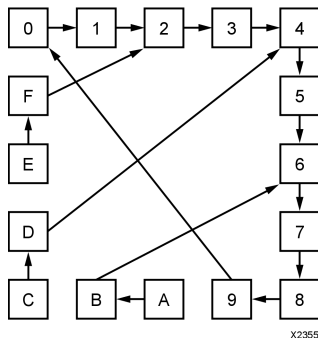
マクロ：4-Bit Cascadable BCD Counter with Clock Enable and Asynchronous Clear



概要

CD4CE は、4 ビットの非同期、クリア可能、カスケード可能な 2 進法 10 進法 (BCD) のカウンタです。非同期クリア入力 (CLR) が最も優先される入力で、High の場合、クロック (C) の遷移に関係なく、Q 出力、ターミナル カウント (TC)、クロック イネーブル出力 (CEO) が 0 になります。クロック イネーブル (CE) が High の場合、クロック (C) が Low から High に切り替わるときに Q 出力がインクリメントされます。CE が Low の場合、クロック遷移は無視されます。Q3 と Q0 が High、Q2 と Q1 が Low になると、TC 出力が High になります。

次のステート ダイアグラムに示すように、カウンタは 6 通りの無効状態から 2 クロック サイクル以内に通常のカウン トシーケンスに復帰します。



各段の CEO 出力を次の段の CE 入力に接続し、C および CLR 入力を並列に接続すると、より大型のカウンタを作成できます。TC と CE が High になると、CEO がアクティブ (High) になります。カウンタの最大長は、CE ピンから TC ピンへの伝搬遅延の合計とクロック周期の関係によって決定されます。クロック周期は、 $n(t_{CE-TC})$ より大きい必要があります。ここで、 n は段数、時間 t_{CE-TC} は各段での CE ピンから TC ピンへの伝搬遅延を表します。カウンタをカスケード接続する場合、CE 入力を使用するときは CEO 出力を、CE 入力を使用しないときは TC 出力を使用します。

電力を供給すると、カウンタは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

入力			出力					
CLR	CE	C	Q3	Q2	Q1	Q0	TC	CEO
1	X	X	0	0	0	0	0	0
0	1	↑	インクリメント	インクリメント	インクリメント	インクリメント	TC	CEO
0	0	X	変化なし	変化なし	変化なし	変化なし	TC	0
0	1	X	1	0	0	1	1	1
TC = Q3·!Q2·!Q1·Q0								
CEO = TC·CE								

デザインの入力方法

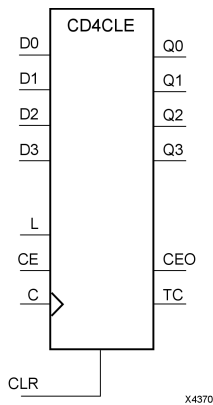
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリー データシート』\(DS312\)](#)

CD4CLE

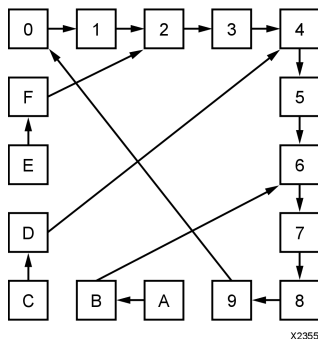
マクロ：4-Bit Loadable Cascadable BCD Counter with Clock Enable and Asynchronous Clear



概要

CD4CLE は、4 ビットの同期ロード可能、非同期クリア可能、カスケード可能なバイナリ カウンターです。非同期クリア入力 (CLR) が最も優先される入力で、High の場合、クロック (C) の遷移に関係なく、Q 出力、ターミナル カウント (TC)、クロック イネーブル出力 (CEO) が 0 になります。ロード イネーブル入力 (L) が High の場合、クロック (C) が Low から High に切り替わるときに D 入力の値がカウンターにロードされます。クロック イネーブル入力 (CE) が High の場合、クロックが Low から High に切り替わるときに Q 出力がインクリメントされます。CE が Low の場合、クロック遷移は無視されます。Q3 と Q0 が High、Q2 と Q1 が Low になると、TC 出力が High になります。

次のステート ダイアグラムに示すように、カウンターは 6 通りの無効状態から 2 クロック サイクル以内に通常のカウンティング シーケンスに復帰します。



各段の CEO 出力を次の段の CE 入力に接続し、C、L、および CLR 入力を並列に接続すると、より大型のカウンターを作成できます。TC と CE が High になると、CEO がアクティブ (High) になります。カウンターの最大長は、CE ピンから TC ピンへの伝搬遅延の合計とクロック周期の関係によって決定されます。クロック周期は、 $n(t_{CE-TC})$ より大きい必要があります。ここで、 n は段数、時間 t_{CE-TC} は各段での CE ピンから TC ピンへの伝搬遅延を表します。カウンターをカスケード接続する場合、CE 入力を使用するときは CEO 出力を、CE 入力を使用しないときは TC 出力を使用します。

電力を供給すると、カウンターは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

入力					出力					
CLR	L	CE	D3 : D0	C	Q3	Q2	Q1	Q0	TC	CEO
1	X	X	X	X	0	0	0	0	0	0
0	1	X	D3 : D0	↑	D3	D2	D1	D0	TC	CEO
0	0	1	X	↑	インクリメント	インクリメント	インクリメント	インクリメント	TC	CEO
0	0	0	X	X	変化なし	変化なし	変化なし	変化なし	TC	0
0	0	1	X	X	1	0	0	1	1	1
TC = Q3·!Q2·!Q1·Q0										
CEO = TC·CE										

デザインの入力方法

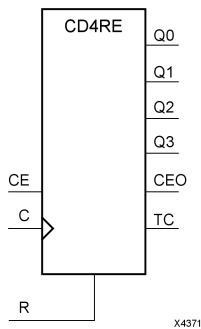
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリー データシート』\(DS312\)](#)

CD4RE

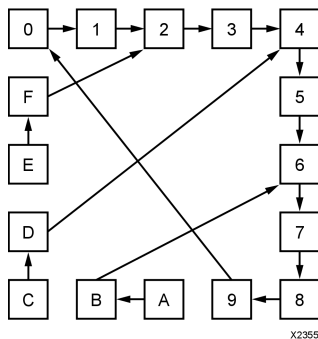
マクロ：4-Bit Cascadable BCD Counter with Clock Enable and Synchronous Reset



概要

CD4RE は、4 ビットの同期、リセット可能、カスケード可能な 2 進法 10 進法 (BCD) のカウンタです。同期リセット入力 (R) は最も優先される入力で、R が High になるとほかのすべての入力は無視され、クロック (C) が Low から High に切り替わるときに、Q 出力、ターミナル カウント (TC)、クロック イネーブル出力 (CEO) が 0 になります。クロック イネーブル入力 (CE) が High の場合、クロックが Low から High に切り替わるときに Q 出力がインクリメントされます。CE が Low の場合、クロック遷移は無視されます。Q3 と Q0 が High、Q2 と Q1 が Low になると、TC 出力が High になります。

次の状態ダイアグラムに示すように、カウンタは 6 通りの無効状態から 2 クロック サイクル以内に通常のカウンタシーケンスに復帰します。



各段の CEO 出力を次の段の CE 入力に接続し、C および R 入力を並列に接続すると、より大型のカウンタを作成できます。TC と CE が High になると、CEO がアクティブ (High) になります。カウンタの最大長は、CE ピンから TC ピンへの伝搬遅延の合計とクロック周期の関係によって決定されます。クロック周期は、 $n(t_{CE-TC})$ より大きい必要があります。ここで、 n は段数、時間 t_{CE-TC} は各段での CE ピンから TC ピンへの伝搬遅延を表します。カウンタをカスケード接続する場合、CE 入力を使用するときは CEO 出力を、CE 入力を使用しないときは TC 出力を使用します。

電力を供給すると、カウンタは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

入力			出力					
R	CE	C	Q3	Q2	Q1	Q0	TC	CEO
1	X	↑	0	0	0	0	0	0
0	1	↑	インクリメント	インクリメント	インクリメント	インクリメント	TC	CEO
0	0	X	変化なし	変化なし	変化なし	変化なし	TC	0
0	1	X	1	0	0	1	1	1
TC = Q3·!Q2·!Q1·Q0								
CEO = TC·CE								

デザインの入力方法

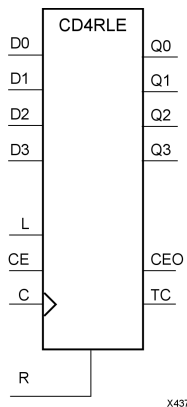
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリー データシート』\(DS312\)](#)

CD4RLE

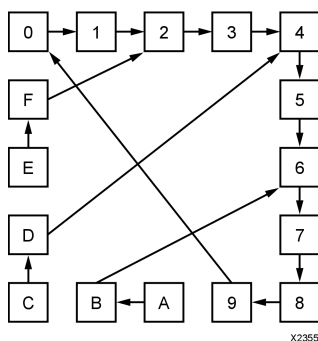
マクロ : 4-Bit Loadable Cascadable BCD Counter with Clock Enable and Synchronous Reset



概要

CD4RLE は、4 ビットの同期、ロード可能、リセット可能な 2 進法 10 進法 (BCD) カウンターです。同期リセット入力 (R) は最も優先される入力であり、R が High になると、ほかのすべての入力は無視され、クロックが Low から High に切り替わるたびに、Q 出力、ターミナル カウント (TC)、クロック イネーブル出力 (CEO) が 0 になります。ロード イネーブル入力 (L) が High の場合、クロック (C) が Low から High に切り替わるたびに D 入力の値がカウンターにロードされます。クロック イネーブル入力 (CE) が High の場合、クロックが Low から High に切り替わるたびに Q 出力がインクリメントされます。CE が Low の場合、クロック遷移は無視されます。Q3 と Q0 が High、Q2 と Q1 が Low になると、TC 出力が High になります。

次のステートダイアグラムに示すように、カウンターは 6 通りの無効状態から 2 クロック サイクル以内に通常のカウンティングシーケンスに復帰します。



各段の CEO 出力を次の段の CE 入力に接続し、C、L、および R 入力を並列に接続すると、より大型のカウンターを作成できます。TC と CE が High になると、CEO がアクティブ (High) になります。カウンターの最大長は、CE ピンから TC ピンへの伝搬遅延の合計とクロック周期の関係によって決定されます。クロック周期は、 $n(t_{CE-TC})$ より大きい必要があります。ここで、 n は段数、時間 t_{CE-TC} は各段での CE ピンから TC ピンへの伝搬遅延を表します。カウンターをカスケード接続する場合、CE 入力を使用するときは CEO 出力を、CE 入力を使用しないときは TC 出力を使用します。

電力を供給すると、カウンターは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

入力					出力					
R	L	CE	D3 : D0	C	Q3	Q2	Q1	Q0	TC	CEO
1	X	X	X	↑	0	0	0	0	0	0
0	1	X	D3 : D0	↑	D3	D	D	D0	TC	CEO
0	0	1	X	↑	インクリメント	インクリメント	インクリメント	インクリメント	TC	CEO
0	0	0	X	X	変化なし	変化なし	変化なし	変化なし	TC	0
0	0	1	X	X	1	0	0	1	1	1
TC = Q3·!Q2·!Q1·Q0										
CEO = TC·CE										

デザインの入力方法

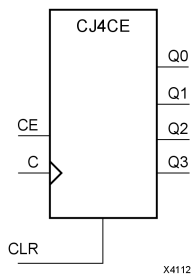
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリー データシート』\(DS312\)](#)

CJ4CE

マクロ：4-Bit Johnson Counter with Clock Enable and Asynchronous Clear



概要

このデザイン エLEMENTは、クリア可能なジョンソン/シフト カウンターです。非同期クリア (CLR) 入力が高になると、ほかのすべての入力は無視され、クロック (C) の遷移に関係なく、出力 (Q) が 0 になります。クロック イネーブル入力 (CE) が High の場合、クロックが Low から High に切り替わるときにカウンターがインクリメント (Q0 → Q1、Q1 → Q2 のようにシフト) します。CE が Low の場合、クロック遷移は無視されます。

このデザイン エLEMENTでは、Q3 の出力が反転されて入力 Q0 にフィードバックされ、連続したカウント処理が実行されます。

電力を供給すると、カウンターは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

入力			出力	
CLR	CE	C	Q0	Q1 ~ Q3
1	X	X	0	0
0	0	X	変化なし	変化なし
0	1	↑	!q3	q0 ~ q2
q = アクティブなクロック エッジの 1 セットアップ タイム前の対応する出力の値				

デザインの入力方法

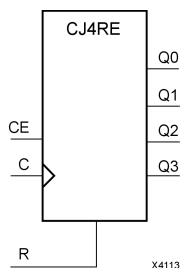
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリー データシート』\(DS312\)](#)

CJ4RE

マクロ：4-Bit Johnson Counter with Clock Enable and Synchronous Reset



概要

このデザイン エレメントは、リセット可能なジョンソン/シフト カウンターです。同期 R が High になると、ほかのすべての入力は無視され、クロック (C) が Low から High に切り替わるときに出力が 0 になります。クロック イネーブル入力 (CE) が High の場合、クロックが Low から High に切り替わるときにカウンタがインクリメント (Q0 → Q1、Q1 → Q2 のようにシフト) します。CE が Low の場合、クロック遷移は無視されます。

このデザイン エレメントでは、Q3 の出力が反転されて入力 Q0 にフィードバックされ、連続したカウント処理が実行されます。

電力を供給すると、カウンタは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

入力			出力	
R	CE	C	Q0	Q1 ~ Q3
1	X	↑	0	0
0	0	X	変化なし	変化なし
0	1	↑	!q3	q0 ~ q2
q = アクティブなクロック エッジの 1 セットアップ タイム前の対応する出力の値				

デザインの入力方法

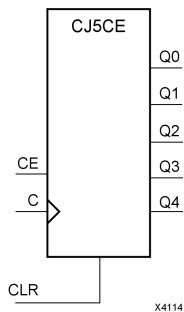
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリ データシート』\(DS312\)](#)

CJ5CE

マクロ：5-Bit Johnson Counter with Clock Enable and Asynchronous Clear



概要

このデザイン エLEMENTは、クリア可能なジョンソン/シフト カウンターです。非同期クリア (CLR) 入力が High になると、ほかのすべての入力は無視され、クロック (C) の遷移に関係なく、出力 (Q) が 0 になります。クロック イネーブル入力 (CE) が High の場合、クロックが Low から High に切り替わるときにカウンタがインクリメント (Q0 → Q1、Q1 → Q2 のようにシフト) します。CE が Low の場合、クロック遷移は無視されます。

このデザイン エLEMENTでは、Q4 の出力が反転されて入力 Q0 にフィードバックされ、連続したカウント処理が実行されます。

電力を供給すると、カウンタは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

入力			出力	
CLR	CE	C	Q0	Q1 ~ Q4
1	X	X	0	0
0	0	X	変化なし	変化なし
0	1	↑	!q4	q0 ~ q3
q = アクティブなクロック エッジの 1 セットアップ タイム前の対応する出力の値				

デザインの入力方法

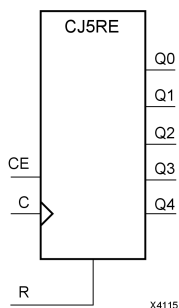
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリー データシート』\(DS312\)](#)

CJ5RE

マクロ : 5-Bit Johnson Counter with Clock Enable and Synchronous Reset



概要

このデザイン エレメントは、リセット可能なジョンソン/シフト カウンターです。同期 R が High になると、ほかのすべての入力は無視され、クロック (C) が Low から High に切り替わるときに出力が 0 になります。クロック イネーブル入力 (CE) が High の場合、クロックが Low から High に切り替わる時にカウンタがインクリメント (Q0 → Q1、Q1 → Q2 のようにシフト) します。CE が Low の場合、クロック遷移は無視されます。

このデザイン エレメントでは、Q4 の出力が反転されて入力 Q0 にフィードバックされ、連続したカウント処理が実行されます。

電力を供給すると、カウンタは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

入力			出力	
R	CE	C	Q0	Q1 ~ Q4
1	X	↑	0	0
0	0	X	変化なし	変化なし
0	1	↑	!q4	q0 ~ q3
q = アクティブなクロック エッジの 1 セットアップ タイム前の対応する出力の値				

デザインの入力方法

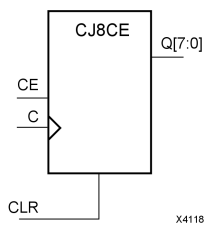
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリー データシート』\(DS312\)](#)

CJ8CE

マクロ：8-Bit Johnson Counter with Clock Enable and Asynchronous Clear



概要

このデザイン エLEMENTは、クリア可能なジョンソン/シフト カウンターです。非同期クリア (CLR) 入力が高レベルになると、ほかのすべての入力は無視され、クロック (C) の遷移に関係なく、出力 (Q) が 0 になります。クロック イネーブル入力 (CE) が High の場合、クロックが Low から High に切り替わる時にカウンターがインクリメント (Q0 → Q1、Q1 → Q2 のようにシフト) します。CE が Low の場合、クロック遷移は無視されます。

このデザイン エLEMENTでは、Q7 の出力が反転されて入力 Q0 にフィードバックされ、連続したカウント処理が実行されます。

電力を供給すると、カウンターは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

入力			出力	
CLR	CE	C	Q0	Q1 ~ Q8
1	X	X	0	0
0	0	X	変化なし	変化なし
0	1	↑	!q7	q0 ~ q7
q = アクティブなクロック エッジの 1 セットアップ タイム前の対応する出力の値				

デザインの入力方法

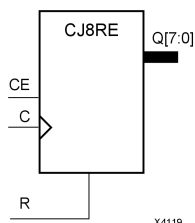
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリー データシート』\(DS312\)](#)

CJ8RE

マクロ：8-Bit Johnson Counter with Clock Enable and Synchronous Reset



概要

このデザイン エレメントは、リセット可能なジョンソン/シフト カウンターです。同期 R が High になると、ほかのすべての入力は無視され、クロック (C) が Low から High に切り替わる時に出力が 0 になります。クロック イネーブル入力 (CE) が High の場合、クロックが Low から High に切り替わる時にカウンタがインクリメント (Q0 → Q1、Q1 → Q2 のようにシフト) します。CE が Low の場合、クロック遷移は無視されます。

このデザイン エレメントでは、Q7 の出力が反転されて入力 Q0 にフィードバックされ、連続したカウント処理が実行されます。

電力を供給すると、カウンタは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

入力			出力	
R	CE	C	Q0	Q1 ~ Q7
1	X	↑	0	0
0	0	X	変化なし	変化なし
0	1	↑	!q7	q0 ~ q6

q = アクティブなクロック エッジの 1 セットアップ タイム前の対応する出力の値

デザインの入力方法

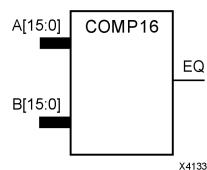
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリー データシート』\(DS312\)](#)

COMP16

マクロ：16-Bit Identity Comparator



概要

このデザイン エLEMENTは、16 ビットのアイデンティティ コンパレータです。イコール出力 (EQ) は、A15 ～ A0 と B15 ～ B0 の 2 つのワードが等しいと High になります。

2 つのワードが等しいかどうかは、各ビットを比較して判断されます。各ワードの対応するビットのいずれかに等しくないものがある場合、EQ 出力は Low になります。

デザインの入力方法

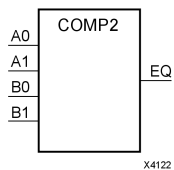
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリー データシート』\(DS312\)](#)

COMP2

マクロ：2-Bit Identity Comparator



概要

このデザイン エLEMENTは、2 ビットのアイデンティティコンパレータです。イコール出力 (EQ) は、A1 ～ A0 と B1 ～ B0 の 2 つのワードが等しいと High になります。

2 つのワードが等しいかどうかは、各ビットを比較して判断されます。各ワードの対応するビットのいずれかに等しくないものがある場合、EQ 出力は Low になります。

デザインの入力方法

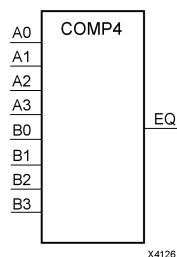
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリー データシート』\(DS312\)](#)

COMP4

マクロ：4-Bit Identity Comparator



概要

このデザイン エLEMENTは、4 ビットのアイデンティティ コンパレータです。イコール出力 (EQ) は、A3 ～ A0 と B3 ～ B0 の 2 つのワードが等しいと High になります。

2 つのワードが等しいかどうかは、各ビットを比較して判断されます。各ワードの対応するビットのいずれかに等しくないものがある場合、EQ 出力は Low になります。

デザインの入力方法

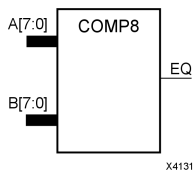
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリー データシート』\(DS312\)](#)

COMP8

マクロ：8-Bit Identity Comparator



概要

このデザイン エLEMENTは、8 ビットのアイデンティティ コンパレータです。イコール出力 (EQ) は、A7 ～ A0 と B7 ～ B0 の 2 つのワードが等しいと High になります。

2 つのワードが等しいかどうかは、各ビットを比較して判断されます。各ワードの対応するビットのいずれかに等しくないものがある場合、EQ 出力は Low になります。

デザインの入力方法

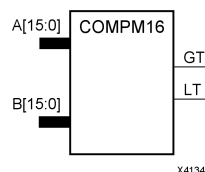
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリー データシート』\(DS312\)](#)

COMPM16

マクロ：16-Bit Magnitude Comparator



概要

このデザイン エLEMENTは 16 ビットのマグニチュード コンパレータで、2 つの正の 2 進重み付きワード A15 ～ A0 と B15 ～ B0 を比較します (A15 と B15 が最上位ビット)。

大なり出力 (GT) は $A > B$ のとき High になり、小なり出力 (LT) は $A < B$ のとき High になります。2 つのワードが等しいときは、GT と LT の両方が Low になります。このマクロで等価性を調べるには、両方の出力を NOR ゲートで比較します。

論理表

入力								出力	
A7、B7	A6、B6	A5、B5	A4、B4	A3、B3	A2、B2	A1、B1	A0、B0	GT	LT
A7>B7	X	X	X	X	X	X	X	1	0
A7<B7	X	X	X	X	X	X	X	0	1
A7=B7	A6>B6	X	X	X	X	X	X	1	0
A7=B7	A6<B6	X	X	X	X	X	X	0	1
A7=B7	A6=B6	A5>B5	X	X	X	X	X	1	0
A7=B7	A6=B6	A5<B5	X	X	X	X	X	0	1
A7=B7	A6=B6	A5=B5	A4>B4	X	X	X	X	1	0
A7=B7	A6=B6	A5=B5	A4<B4	X	X	X	X	0	1
A7=B7	A6=B6	A5=B5	A4=B4	A3>B3	X	X	X	1	0
A7=B7	A6=B6	A5=B5	A4=B4	A3<B3	X	X	X	0	1
A7=B7	A6=B6	A5=B5	A4=B4	A3=B3	A2>B2	X	X	1	0
A7=B7	A6=B6	A5=B5	A4=B4	A3=B3	A2<B2	X	X	0	1
A7=B7	A6=B6	A5=B5	A4=B4	A3=B3	A2=B2	A1>B1	X	1	0
A7=B7	A6=B6	A5=B5	A4=B4	A3=B3	A2=B2	A1<B1	X	0	1
A7=B7	A6=B6	A5=B5	A4=B4	A3=B3	A2=B2	A1=B1	A0>B0	1	0
A7=B7	A6=B6	A5=B5	A4=B4	A3=B3	A2=B2	A1=B1	A0<B0	0	1
A7=B7	A6=B6	A5=B5	A4=B4	A3=B3	A2=B2	A1=B1	A0=B0	0	0

デザインの入力方法

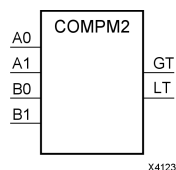
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリ データシート』\(DS312\)](#)

COMPM2

マクロ：2-Bit Magnitude Comparator



概要

このデザイン エLEMENTは 2 ビットのマグニチュード コンパレータで、2 つの正の 2 進重み付きワード A1 ～ A0 と B1 ～ B0 を比較します (A1 と B1 が最上位ビット)。

大なり出力 (GT) は $A > B$ のとき High になり、小なり出力 (LT) は $A < B$ のとき High になります。2 つのワードが等しいときは、GT と LT の両方が Low になります。このマクロで等価性を調べるには、両方の出力を NOR ゲートで比較します。

論理表

入力				出力	
A1	B1	A0	B0	GT	LT
0	0	0	0	0	0
0	0	1	0	1	0
0	0	0	1	0	1
0	0	1	1	0	0
1	1	0	0	0	0
1	1	1	0	1	0
1	1	0	1	0	1
1	1	1	1	0	0
1	0	X	X	1	0
0	1	X	X	0	1

デザインの入力方法

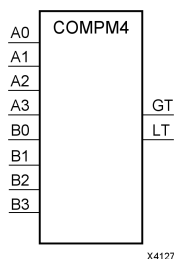
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリー データシート』\(DS312\)](#)

COMP4

マクロ : 4-Bit Magnitude Comparator



概要

このデザイン エレメントは 4 ビットのマグニチュード コンパレータで、2 つの正の 2 進重み付きワード A3 ~ A0 と B3 ~ B0 を比較します (A3 と B3 が最上位ビット)。

大なり出力 (GT) は $A > B$ のとき High になり、小なり出力 (LT) は $A < B$ のとき High になります。2 つのワードが等しいときは、GT と LT の両方が Low になります。このマクロで等価性を調べるには、両方の出力を NOR ゲートで比較します。

論理表

入力				出力	
A3、B3	A2、B2	A1、B1	A0、B0	GT	LT
$A3 > B3$	X	X	X	1	0
$A3 < B3$	X	X	X	0	1
$A3 = B3$	$A2 > B2$	X	X	1	0
$A3 = B3$	$A2 < B2$	X	X	0	1
$A3 = B3$	$A2 = B2$	$A1 > B1$	X	1	0
$A3 = B3$	$A2 = B2$	$A1 < B1$	X	0	1
$A3 = B3$	$A2 = A2$	$A1 = B1$	$A0 > B0$	1	0
$A3 = B3$	$A2 = B2$	$A1 = B1$	$A0 < B0$	0	1
$A3 = B3$	$A2 = B2$	$A1 = B1$	$A0 = B0$	0	0

デザインの入力方法

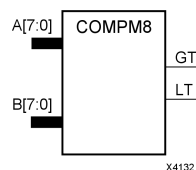
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリー データシート』\(DS312\)](#)

COMP8

マクロ : 8-Bit Magnitude Comparator



概要

このデザイン エLEMENTは 8 ビットのマグニチュード コンパレータで、2 つの正の 2 進重み付きワード A7 ~ A0 と B7 ~ B0 を比較します (A7 と B7 が最上位ビット)。

大なり出力 (GT) は $A > B$ のとき High になり、小なり出力 (LT) は $A < B$ のとき High になります。2 つのワードが等しいときは、GT と LT の両方が Low になります。このマクロで等価性を調べるには、両方の出力を NOR ゲートで比較します。

論理表

入力								出力	
A7、B7	A6、B6	A5、B5	A4、B4	A3、B3	A2、B2	A1、B1	A0、B0	GT	LT
A7>B7	X	X	X	X	X	X	X	1	0
A7<B7	X	X	X	X	X	X	X	0	1
A7=B7	A6>B6	X	X	X	X	X	X	1	0
A7=B7	A6<B6	X	X	X	X	X	X	0	1
A7=B7	A6=B6	A5>B5	X	X	X	X	X	1	0
A7=B7	A6=B6	A5<B5	X	X	X	X	X	0	1
A7=B7	A6=B6	A5=B5	A4>B4	X	X	X	X	1	0
A7=B7	A6=B6	A5=B5	A4<B4	X	X	X	X	0	1
A7=B7	A6=B6	A5=B5	A4=B4	A3>B3	X	X	X	1	0
A7=B7	A6=B6	A5=B5	A4=B4	A3<B3	X	X	X	0	1
A7=B7	A6=B6	A5=B5	A4=B4	A3=B3	A2>B2	X	X	1	0
A7=B7	A6=B6	A5=B5	A4=B4	A3=B3	A2<B2	X	X	0	1
A7=B7	A6=B6	A5=B5	A4=B4	A3=B3	A2=B2	A1>B1	X	1	0
A7=B7	A6=B6	A5=B5	A4=B4	A3=B3	A2=B2	A1<B1	X	0	1
A7=B7	A6=B6	A5=B5	A4=B4	A3=B3	A2=B2	A1=B1	A0>B0	1	0
A7=B7	A6=B6	A5=B5	A4=B4	A3=B3	A2=B2	A1=B1	A0<B0	0	1
A7=B7	A6=B6	A5=B5	A4=B4	A3=B3	A2=B2	A1=B1	A0=B0	0	0

デザインの入力方法

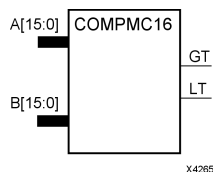
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリ データシート』\(DS312\)](#)

COMPMC16

マクロ：16-Bit Magnitude Comparator



概要

このデザイン エLEMENTは 16 ビットのマグニチュード コンパレータで、2 つの正の 2 進重み付きワード A15 ～ A0 と B15 ～ B0 を比較します (A15 と B15 が最上位ビット)。

このコンパレータは、ロジックが効率よく配置されるように、相対ロケーション制約を使用してキャリー ロジックと共にインプリメントされます。

大なり出力 (GT) は $A > B$ のとき High になり、小なり出力 (LT) は $A < B$ のとき High になります。2 つのワードが等しいときは、GT と LT の両方が Low になります。このマクロで等価性を調べるには、両方の出力を NOR ゲートに接続します。

論理表

入力								出力	
A7、B7	A6、B6	A5、B5	A4、B4	A3、B3	A2、B2	A1、B1	A0、B0	GT	LT
A7>B7	X	X	X	X	X	X	X	1	0
A7<B7	X	X	X	X	X	X	X	0	1
A7=B7	A6>B6	X	X	X	X	X	X	1	0
A7=B7	A6<B6	X	X	X	X	X	X	0	1
A7=B7	A6=B6	A5>B5	X	X	X	X	X	1	0
A7=B7	A6=B6	A5<B5	X	X	X	X	X	0	1
A7=B7	A6=B6	A5=B5	A4>B4	X	X	X	X	1	0
A7=B7	A6=B6	A5=B5	A4<B4	X	X	X	X	0	1
A7=B7	A6=B6	A5=B5	A4=B4	A3>B3	X	X	X	1	0
A7=B7	A6=B6	A5=B5	A4=B4	A3<B3	X	X	X	0	1
A7=B7	A6=B6	A5=B5	A4=B4	A3=B3	A2>B2	X	X	1	0
A7=B7	A6=B6	A5=B5	A4=B4	A3=B3	A2<B2	X	X	0	1
A7=B7	A6=B6	A5=B5	A4=B4	A3=B3	A2=B2	A1>B1	X	1	0
A7=B7	A6=B6	A5=B5	A4=B4	A3=B3	A2=B2	A1<B1	X	0	1
A7=B7	A6=B6	A5=B5	A4=B4	A3=B3	A2=B2	A1=B1	A0>B0	1	0
A7=B7	A6=B6	A5=B5	A4=B4	A3=B3	A2=B2	A1=B1	A0<B0	0	1
A7=B7	A6=B6	A5=B5	A4=B4	A3=B3	A2=B2	A1=B1	A0=B0	0	0

デザインの入力方法

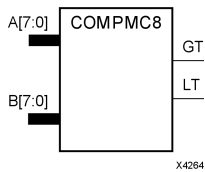
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリ データシート』\(DS312\)](#)

COMPMC8

マクロ : 8-Bit Magnitude Comparator



概要

このデザイン エLEMENTは 8 ビットのマグニチュード コンパレータで、2 つの正の 2 進重み付きワード A7 ~ A0 と B7 ~ B0 を比較します (A7 と B7 が最上位ビット)。

このコンパレータは、ロジックが効率よく配置されるように、相対ロケーション制約を使用してキャリー ロジックと共にインプリメントされます。

大なり出力 (GT) は $A > B$ のとき High になり、小なり出力 (LT) は $A < B$ のとき High になります。2 つのワードが等しいときは、GT と LT の両方が Low になります。このマクロで等価性を調べるには、両方の出力を NOR ゲートに接続します。

論理表

入力								出力	
A7、B7	A6、B6	A5、B5	A4、B4	A3、B3	A2、B2	A1、B1	A0、B0	GT	LT
A7>B7	X	X	X	X	X	X	X	1	0
A7<B7	X	X	X	X	X	X	X	0	1
A7=B7	A6>B6	X	X	X	X	X	X	1	0
A7=B7	A6<B6	X	X	X	X	X	X	0	1
A7=B7	A6=B6	A5>B5	X	X	X	X	X	1	0
A7=B7	A6=B6	A5<B5	X	X	X	X	X	0	1
A7=B7	A6=B6	A5=B5	A4>B4	X	X	X	X	1	0
A7=B7	A6=B6	A5=B5	A4<B4	X	X	X	X	0	1
A7=B7	A6=B6	A5=B5	A4=B4	A3>B3	X	X	X	1	0
A7=B7	A6=B6	A5=B5	A4=B4	A3<B3	X	X	X	0	1
A7=B7	A6=B6	A5=B5	A4=B4	A3=B3	A2>B2	X	X	1	0
A7=B7	A6=B6	A5=B5	A4=B4	A3=B3	A2<B2	X	X	0	1
A7=B7	A6=B6	A5=B5	A4=B4	A3=B3	A2=B2	A1>B1	X	1	0
A7=B7	A6=B6	A5=B5	A4=B4	A3=B3	A2=B2	A1<B1	X	0	1
A7=B7	A6=B6	A5=B5	A4=B4	A3=B3	A2=B2	A1=B1	A0>B0	1	0
A7=B7	A6=B6	A5=B5	A4=B4	A3=B3	A2=B2	A1=B1	A0<B0	0	1
A7=B7	A6=B6	A5=B5	A4=B4	A3=B3	A2=B2	A1=B1	A0=B0	0	0

デザインの入力方法

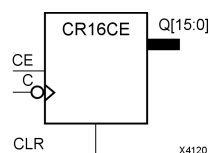
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリ データシート』\(DS312\)](#)

CR16CE

マクロ：16-Bit Negative-Edge Binary Ripple Counter with Clock Enable and Asynchronous Clear



概要

このデザイン エLEMENTは、クロック イネーブルと非同期クリアがある、カスケード可能、クリア可能な 16 ビットのバイナリリップル カウンターです。

1 段目の最後の Q 出力を次の段のクロック入力に接続し、CLR および CE 入力を並列に接続すると、より大型のカウンターを作成できます。クロック周期は、リップル カウンター全体の長さの影響を受けません。クロック ピンと出力ピンの伝搬遅延は、 $n(t_c - q)$ です。ここで、 n は段数、時間 $n(t_c - q)$ は各段における C ピンから Qz ピンへの伝搬遅延を表します。

電力を供給すると、カウンターは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

入力			出力
CLR	CE	C	Qz : Q0
1	X	X	0
0	0	X	変化なし
0	1	↓	インクリメント
z = ビット幅 - 1			

デザインの入力方法

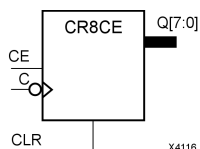
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリー データシート』\(DS312\)](#)

CR8CE

マクロ : 8-Bit Negative-Edge Binary Ripple Counter with Clock Enable and Asynchronous Clear



概要

このデザイン エレメントは、クロック イネーブルと非同期クリアがある、カスケード可能、クリア可能な 8 ビットのバイナリリップル カウンターです。

非同期クリア (CLR) が High になると、ほかのすべての入力は無視され、Q 出力が 0 になります。クロック イネーブル入力 (CE) が High の場合、クロック (C) が High から Low に切り替わるときにカウンタがインクリメントします。CE が Low の場合、クロック遷移は無視されます。

1 段目の最後の Q 出力を次の段のクロック入力に接続し、CLR および CE 入力を並列に接続すると、より大型のカウンタを作成できます。クロック周期は、リップル カウンタ全体の長さの影響を受けません。クロックピンと出力ピンの伝搬遅延は、 $n(t_c - q)$ です。ここで、 n は段数、時間 $n(t_c - q)$ は各段における C ピンから Qz ピンへの伝搬遅延を表します。

電力を供給すると、カウンタは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

入力			出力
CLR	CE	C	Qz : Q0
1	X	X	0
0	0	X	変化なし
0	1	↓	インクリメント
z = ビット幅 - 1			

デザインの入力方法

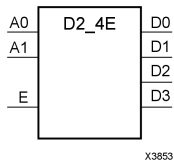
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリー データシート』\(DS312\)](#)

D2_4E

マクロ : 2- to 4-Line Decoder/Demultiplexer with Enable



概要

このデザイン エLEMENTは、デコーダー/デマルチプレクサーです。イネーブル (E) 入力が高の場合、2 ビットのバイナリ アドレス (A1 ~ A0) 入力に応じて 4 つのアクティブ High の出力 (D3 ~ D0) のいずれかが High になります。それ以外の出力は、Low になります。E 入力が高の場合は、すべての出力が Low になります。デマルチプレクサー アプリケーションでは、E 入力が入力値になります。

論理表

入力			出力			
A1	A0	E	D3	D2	D1	D0
X	X	0	0	0	0	0
0	0	1	0	0	0	1
0	1	1	0	0	1	0
1	0	1	0	1	0	0
1	1	1	1	0	0	0

デザインの入力方法

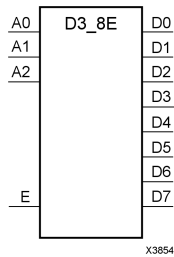
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリー データシート』\(DS312\)](#)

D3_8E

マクロ : 3- to 8-Line Decoder/Demultiplexer with Enable



概要

D3_8E デコーダー/デマルチプレクサーのイネーブル (E) 入力が高の場合、3 ビットのバイナリ アドレス (A2 ~ A0) 入力によって 8 つのアクティブ High の出力 (D7 ~ D0) のいずれかが High になります。それ以外の出力は、Low になります。E 入力が高の場合、すべての出力が Low になります。デマルチプレクサー アプリケーションでは、E 入力が入力値になります。

論理表

入力				出力							
A2	A1	A0	E	D7	D6	D5	D4	D3	D2	D1	D0
X	X	X	0	0	0	0	0	0	0	0	0
0	0	0	1	0	0	0	0	0	0	0	1
0	0	1	1	0	0	0	0	0	0	1	0
0	1	0	1	0	0	0	0	0	1	0	0
0	1	1	1	0	0	0	0	1	0	0	0
1	0	0	1	0	0	0	1	0	0	0	0
1	0	1	1	0	0	1	0	0	0	0	0
1	1	0	1	0	1	0	0	0	0	0	0
1	1	1	1	1	0	0	0	0	0	0	0

デザインの入力方法

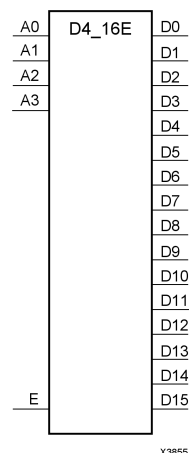
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリー データシート』\(DS312\)](#)

D4_16E

マクロ：4- to 16-Line Decoder/Demultiplexer with Enable



概要

このデザイン エLEMENTは、デコーダー/デマルチプレクサーです。D4_16E デコーダー/デマルチプレクサーのイネーブル (E) 入力が高になると、4 ビットのバイナリ アドレス (A3 ~ A0) 入力に応じて 16 のアクティブ High の出力 (D15 ~ D0) のいずれかが High になります。それ以外の出力は、Low になります。E 入力が高の場合は、すべての出力が Low になります。デマルチプレクサー アプリケーションでは、E 入力が入力値になります。

デザインの入力方法

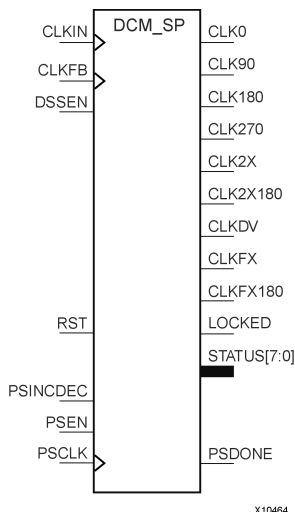
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリー データシート』\(DS312\)](#)

DCM_SP

プリミティブ：Digital Clock Manager



概要

このデザイン エLEMENTは、さまざまな機能を備えたデジタル クロック マネージャーで、クロック遅延ロック ループ (DLL)、デジタル周波数合成 (DFS)、デジタル位相シフト (DPS) といった機能をインプリメントできます。DCM_SP は、オンチップおよびオフチップからのクロック遅延をなくしたり、データ キャプチャを向上するためにクロック位相をシフトしたり、異なる周波数のクロックを生成させる場合などに便利です。

ポートの説明

ポート名	方向	幅	機能
CLKDV	出力	1	CLKDV_DIVIDE 属性で制御される分周クロック出力。CLKDV_DIVIDE 属性で整数以外の値が設定されていない限り、CLKDV 出力のデューティ サイクルは 50% になります。
CLKFB	入力	1	DCM へのクロック フィードバック入力。DFS 出力、CLKFX、または CLKFX180 がスタンドアロンで使用されない限り、フィードバック入力が必要です。CLKFB 入力は、DCM の CLK0 または CLK2X 出力から供給し、それに応じて CLK_FEEDBACK を 1X または 2X に設定する必要があります。NONE に設定すると、CLKFB は使用されず Low に保持する必要があります。フィードバック ポイントには、内部または外部でクロック分配ネットワークに追加される遅延が含まれているのが理想的です。
CLKFX	出力	1	CLKFX_MULTIPLY および CLKFX_DIVIDE 属性で制御される同期クロック出力。デューティ サイクルは常に 50% で、位相関係が不要な場合は、クロック フィードバックも不要です。
CLKFX180	出力	1	180 度位相がシフトされている同期クロック出力 CLKFX (CLKFX の反転バージョン)。デューティ サイクルは常に 50% で、位相関係が不要な場合は、フィードバック ループも不要です。
CLKIN	入力	1	DCM へのクロック入力。常に必要で、CLKIN 周波数およびジッターがデータシートに記載されている範囲内である必要があります。
CLK0	出力	1	位相シフトが 0 の (位相がシフトされていない) CLKIN と同じ周波数。
CLK2X	出力	1	位相シフトが 0 の (位相がシフトされていない) 2 通倍の周波数クロック出力。CLK2X 出力のデューティ サイクルは常に 50% です。DLL 機能のフィードバックソースとして CLK0 または CLK2X のいずれかが必要です。

ポート名	方向	幅	機能
CLK2X180	出力	1	位相シフトが 180 の (位相がシフトされていない) 2 通倍の周波数クロック出力。CLK2X18 出力のデューティ サイクルは常に 50% です。
CLK90	出力	1	CLKIN と同じ周波数で位相を 90 度 (1/4 周期) シフトしたクロック。
CLK180	出力	1	CLKIN と同じ周波数で位相を 180 度 (1/2 周期) シフトしたクロック。
CLK270	出力	1	CLKIN と同じ周波数で位相を 270 度 (3/4 周期) シフトしたクロック。
LOCKED	出力	1	すべての DCM 機能が CLKIN 周波数にロックされています。クロック出力は有効で、CLKIN が特定の範囲内にあることが想定されます。 <ul style="list-style-type: none"> 0 : DCM で CLKIN 周波数にロックが試みられます。DCM クロック出力は無効です。 1 : DCM が CLKIN 周波数にロックされています。DCM クロック出力は有効です。 1 から 0 になる : DCM で LOCK が失われ、DCM がリセットされます。
PSCLK	入力	1	立ち上がりエッジでクロックが供給される可変位相シフターへのクロック入力。グローバル クロック バッファを使用している場合、PSCLK を駆動できるのは上部の 8 つの BUFGMUX のみです (BUFGMUX_X2Y1、BUFGMUX_X2Y2、BUFGMUX_X2Y3、BUFGMUX_X2Y4、BUFGMUX_X3Y5、BUFGMUX_X3Y6、BUFGMUX_X3Y7、および BUFGMUX_X3Y8)。
PSDONE	出力	1	可変位相シフトの完了 <ul style="list-style-type: none"> 0 : 位相シフト操作が実行されていないか、位相シフト操作を実行中です。 1 : 要求された位相シフト操作が完了しています。1 RSCLK サイクル間 High になります。次の可変位相シフト操作を開始できます。
PSEN	入力	1	可変位相シフト イネーブル。DCM ブロック内で反転可能です。次に、反転しない場合の動作を示します。 <ul style="list-style-type: none"> 0 : 可変位相シフトをディスエーブルにします。位相シフターへの入力が無視されます。 1 : 次の PSCLK クロックの立ち上がりエッジで可変位相シフト操作をイネーブルにします。 注記： 使用しないときは 0 にします。
PSINCDEC	入力	1	可変位相シフトを増分または減分します。DCM ブロック内で反転可能です。次に、反転しない場合の動作を示します。 <ul style="list-style-type: none"> 0 : 次にイネーブルにされている PSCLK クロックの立ち上がりエッジで位相シフト値を減分します。 1 : 次にイネーブルにされている PSCLK クロックの立ち上がりエッジで位相シフト値を増分します。

ポート名	方向	幅	機能
RST	入力	1	<p>非同期リセット入力。DCM ロジックをコンフィギュレーション後の状態にリセットします。これにより、DCM は CLKIN 入力に再度ロックされます。DCM ブロック内で反転可能です。次に、反転しない場合の動作を示します。</p> <ul style="list-style-type: none"> ・ 0：影響なし ・ 1：DCM ブロックのリセット。最低 CLKIN 3 サイクル間 RST を High に保持します。
STATUS[7:0]	出力	8	<p>ステータス出力バスにより DCM のステータスが示されます。</p> <ul style="list-style-type: none"> ・ STATUS[0]：可変位相シフト オーバーフロー。可変ファイン位相シフトの制御出力です。可変位相シフターが許容される最低値または最大値に達しています。位相シフトが遅延ラインの最後に到達している場合は、許容範囲は +/-255 以下です。 <ul style="list-style-type: none"> － 0：位相シフトが制限値に達成していません。 － 1：位相シフトが制限値に達成しました。 ・ STATUS[1]：CLKIN 入力の停止。CLKFB フィードバック入力が接続されているときのみ使用できます。LOCKED 出力がアサートされるまでリセットに保持されます。アクティブになるには最低 CLKIN が 1 サイクル必要です。CLKIN がトグルしない場合はアサートされません。 <ul style="list-style-type: none"> － 0：CLKIN 入力が入力されています。 － 1：CLKIN 入力は、LOCKED 出力が High になることが可能なときでもトグルしていません。 ・ STATUS[2]：CLKFX または CLKFX180 出力の停止 <ul style="list-style-type: none"> － 0：CLKFX および CLKFX180 出力が入力されています。 － 1：CLKFX および CLKFX180 出力は、LOCKED 出力が High になることが可能なときでもトグルしていません。 ・ STATUS[4:3]：予約

デザインの入力方法

このエレメントは、回路図で使用できます。

使用可能な属性

属性	データ型	値	デフォルト	説明
CLK_FEEDBACK	文字列	"1X"、"2X"、 "NONE"	"1X"	<p>DCM フィードバック モードを定義します。</p> <ul style="list-style-type: none"> ・ "1X"：CLK0 をフィードバックに使用します。 ・ "2X"：CLK2X をフィードバックに使用します。

属性	データ型	値	デフォルト	説明
CLKDV_DIVIDE	1 上位ビット 浮動小数点	2.0、1.5、2.5、3.0、 3.5、4.0、4.5、5.0、 5.5、6.0、6.5、7.0、 7.5、8.0、9.0、10.0、 11.0、12.0、13.0、 14.0、15.0、16.0	2.0	CLKDLL、CLKDLLE、CLKDLLHF、 DCM_SP のクロック分周出力 CLKDV の分 周比を指定します。
CLKFX_DIVIDE	整数	1 ～ 32	1	CLKFX 出力の分周比を指定します。
CLKFX_MULTIPLY	整数	2 ～ 32	4	CLKFX 出力の通倍比を指定します。
CLKIN_DIVIDE_BY_2	ブール代数	FALSE、TRUE	FALSE	CLKIN を 2 で分周します。
CLKIN_PERIOD	浮動小数点	2.000 ～ 1000.00	なし	CLKIN の入力周期を ns で指定します。
CLKOUT_PHASE_SHIFT	文字列	"NONE"、 "FIXED"、 "VARIABLE"	"NONE"	位相シフト モードを指定します。 ・ "NONE"：位相シフト機能を使用し ません。設定されている値は反映されま せん。 ・ "FIXED"：DCM の出力は CLKIN から 決まった位相だけシフトされたもの になります。値は PHASE_SHIFT 属性 で指定されます。 ・ "VARIABLE"：DCM 出力を CLKIN に 対して正および負の範囲にシフトでき るようにします。開始値は PHASE_SHIFT 属性で指定されます。
DESKEW_ADJUST	文字列	"SYSTEM_ SYNCHRONOUS"、 "SOURCE_ SYNCHRONOUS"	"SYSTEM_ SYNCHRONOUS"	DCM_SP クロック出力と FPGA のクロック入 力ピン間のクロック遅延の分配に影響する コンフィギュレーション ビットを設定します。
DFS_FREQUENCY_ MODE	文字列	"LOW"、"HIGH"	"LOW"	この属性はレガシ属性です。DCM は常に 自動周波数検索モードになります。High または Low のどちらに設定しても、影響あ りません。
DLL_FREQUENCY_ MODE	文字列	"LOW"、"HIGH"	"LOW"	この属性はレガシ属性です。DCM は常に 自動周波数検索モードになります。High または Low のどちらに設定しても、影響あ りません。
DSS_MODE	文字列	"NONE"、 "SPREAD_2"、 "SPREAD_4"、 "SPREAD_6"、 "SPREAD_8"	"NONE"	出力クロックの周波数拡散を指定します。 ・ "NONE"：拡散係数は指定されません (デフォルト)。デジタル スペクトラム拡散 はディスエーブルになります。 ・ "SPREAD_2"：現時点のクロック周期 +/-50ps のクロック周期を作成します。 ・ "SPREAD_4"：現時点のクロック周期 +/-100ps のクロック周期を作成します。 ・ "SPREAD_6"：現時点のクロック周期 +/-150ps のクロック周期を作成します。

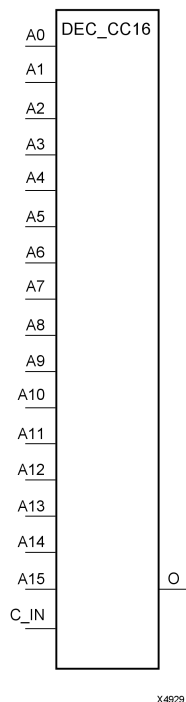
属性	データ型	値	デフォルト	説明
				<ul style="list-style-type: none"> “SPREAD_8” : 現時点のクロック周期 $\pm 200\text{ps}$ のクロック周期を作成します。 <p>値が増加すると、拡散は累積的に追加されます。たとえば、“SPREAD_2” を指定すると、入力クロック周波数 $\pm 50\text{ps}$ の 2 つのクロック周波数が追加されます。“SPREAD_4” を指定すると、さらに $\pm 100\text{ps}$ の 2 つのクロック周波数が追加されます。</p>
DUTY_CYCLE_CORRECTION	ブール代数	TRUE、FALSE	TRUE	サポートなし
FACTORY_JF	16 進数	16'h8080 ~ 16'hffff	16'hc080	サポートなし
PHASE_SHIFT	整数	-255 ~ 255	0	<p>この属性は、CLKOUT_PHASE_SHIFT 属性が FIXED または VARIABLE に設定されている場合のみ使用できます。コンフィギュレーションでの CLKIN とすべての DCM クロック出力間の立ち上がりエッジ スキューを定義し、DCM クロック出力の位相をシフトします。スキューまたは位相シフト値は、ファイン位相シフトの式で表現されているように、クロック周期の係数を表す整数で指定します。実際に許容される値は、入力クロックの周波数によって異なります。TCLKIN が FINE_SHIFT_RANGE より大きいとき実際の範囲は狭くなります。FINE_SHIFT_RANGE は、遅延ラインのすべてのタップの総遅延を示します。</p>
STARTUP_WAIT	ブール代数	FALSE、TRUE	FALSE	<p>FPGA コンフィギュレーション DONE 信号を High にするのを、DCM の LOCKED 信号がアサートされるまで待つかどうかを指定します。</p> <ul style="list-style-type: none"> FALSE : デフォルト値。DCM の LOCKED 信号がアサートされるのを待たずにコンフィギュレーションの最後にアサートされます。 TRUE : DONE 信号は関連する DCM の LOCKED 信号が High になるまで High になりません。 <p>STARTUP_WAIT の指定にかかわらず、LOCKED 信号は High になります。FPGA のスタートアップ シーケンスも変更し、延期サイクルの前に LCK (ロック) サイクルを挿入する必要があります。DONE サイクルまたは GWE サイクルが一般的です。複数の DCM をコンフィギュレーションする場合は、すべての DCM がロックされるまで DONE ビンは High になりません。</p>

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリー データシート』\(DS312\)](#)

DEC_CC16

マクロ : 16-Bit Active Low Decoder



概要

このデザイン エLEMENTは、多入力デコーダー ファンクションを作成するために使用される 16 ビットのデコーダーで、ルックアップ テーブル (LUT) で駆動される CY_MUX エLEMENTをカスケード接続することによりインプリメントされます。C_IN ピンは、前段のデコードの出力 (O) によってのみ駆動されます。1 つ以上の入力 (A) が Low になると、出力が Low になります。すべての A 入力と C_IN 入力が High になると、出力が High になります。入力にインバーターを追加すると、パターンをデコードできます。

論理表

入力					出力
A0	A1	...	Az	C_IN	O
1	1	1	1	1	1
X	X	X	X	0	0
0	X	X	X	X	0
X	0	X	X	X	0
X	X	X	0	X	0

DEC_CC4 の場合 z = 3、DEC_CC8 の場合 z = 7、DEC_CC16 の場合 z = 15

デザインの入力方法

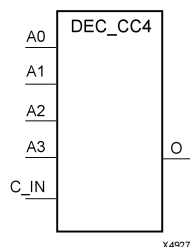
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリ データシート』\(DS312\)](#)

DEC_CC4

マクロ : 4-Bit Active Low Decoder



概要

このデザイン エレメントは、多入力デコーダー ファンクションを作成するために使用される 4 ビットのデコーダーで、ルックアップ テーブル (LUT) で駆動される CY_MUX エレメントをカスケード接続することによりインプリメントされます。C_IN ピンは、前段のデコードの出力 (O) によってのみ駆動されます。1 つ以上の入力 (A) が Low になると、出力が Low になります。すべての A 入力と C_IN 入力が High になると、出力が High になります。入力にインバーターを追加すると、パターンをデコードできます。

論理表

入力					出力
A0	A1	...	Az	C_IN	O
1	1	1	1	1	1
X	X	X	X	0	0
0	X	X	X	X	0
X	0	X	X	X	0
X	X	X	0	X	0

DEC_CC4 の場合 z = 3、DEC_CC8 の場合 z = 7、DEC_CC16 の場合 z = 15

デザインの入力方法

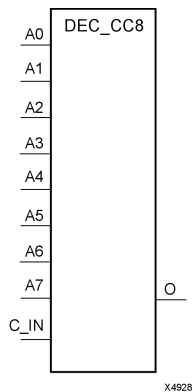
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリー データシート』\(DS312\)](#)

DEC_CC8

マクロ：8-Bit Active Low Decoder



概要

このデザイン エLEMENTは、多入力デコーダー ファンクションを作成するために使用される 8 ビットのデコーダーで、ルックアップ テーブル (LUT) で駆動される CY_MUX エLEMENTをカスケード接続することによりインプリメントされます。C_IN ピンは、前段のデコードの出力 (O) によってのみ駆動されます。1 つ以上の入力 (A) が Low になると、出力が Low になります。すべての A 入力と C_IN 入力が High になると、出力が High になります。入力にインバーターを追加すると、パターンをデコードできます。

論理表

入力					出力
A0	A1	...	Az	C_IN	O
1	1	1	1	1	1
X	X	X	X	0	0
0	X	X	X	X	0
X	0	X	X	X	0
X	X	X	0	X	0
DEC_CC4 の場合 z = 3、DEC_CC8 の場合 z = 7、DEC_CC16 の場合 z = 15					

デザインの入力方法

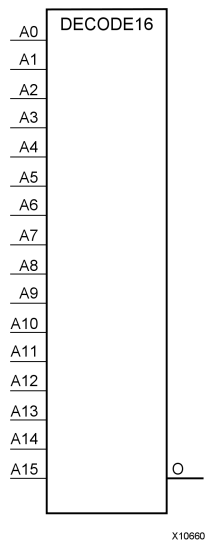
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリー データシート』\(DS312\)](#)

DECODE16

Macro: 16-Bit Active-Low Decoder



概要

このデザイン エLEMENTは、4 ビットのアクティブ Low デコーダーで、LUT と MUXCY を組み合わせてインプリメントされます。

論理表

入力				出力*
A0	A1	...	Az	O
1	1	1	1	1
0	X	X	X	0
X	0	X	X	0
X	X	X	0	0

z = ビット幅 -1

* 高駆動電流を達成するには、プルアップ抵抗を出力に接続する必要があります。

デザインの入力方法

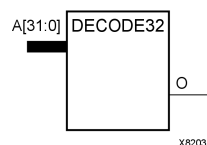
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリー データシート』\(DS312\)](#)

DECODE32

マクロ：32-Bit Active-Low Decoder



概要

このデザイン エLEMENTは、32 ビットのアクティブ Low デコーダーで、LUT と MUXCY を組み合わせてインプリメントされます。

論理表

入力				出力
A0	A1	...	Az	O
1	1	1	1	1
0	X	X	X	0
X	0	X	X	0
X	X	X	0	0

DECODE32 の場合 $z = 31$ 、DECODE64 の場合 $z = 63$

デザインの入力方法

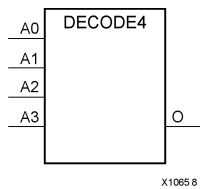
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリー データシート』\(DS312\)](#)

DECODE4

マクロ：4-Bit Active-Low Decoder



概要

このデザイン エLEMENTは、4 ビットのアクティブ Low デコーダーで、LUT と MUXCY を組み合わせてインプリメントされます。

論理表

入力				出力*
A0	A1	...	Az	O
1	1	1	1	1
0	X	X	X	0
X	0	X	X	0
X	X	X	0	0

z = ビット幅 -1

* 高駆動電流を達成するには、プルアップ抵抗を出力に接続する必要があります。

デザインの入力方法

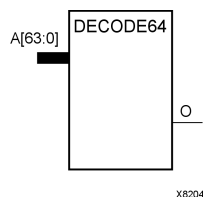
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリー データシート』\(DS312\)](#)

DECODE64

マクロ：64-Bit Active-Low Decoder



概要

このデザイン エLEMENTは、64 ビットのアクティブ Low デコーダーで、LUT と MUXCY を組み合わせてインプリメントされます。

論理表

入力				出力
A0	A1	...	Az	O
1	1	1	1	1
0	X	X	X	0
X	0	X	X	0
X	X	X	0	0
DECODE32 の場合 $z = 31$ 、DECODE64 の場合 $z = 63$				

デザインの入力方法

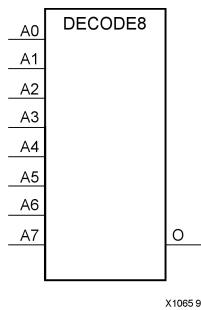
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリー データシート』\(DS312\)](#)

DECODE8

マクロ : 8-Bit Active-Low Decoder



概要

このデザイン エLEMENTは、8 ビットのアクティブ Low デコーダーで、LUT と MUXCY を組み合わせてインプリメントされます。

論理表

入力				出力*
A0	A1	...	Az	O
1	1	1	1	1
0	X	X	X	0
X	0	X	X	0
X	X	X	0	0

z = ビット幅 -1

* 高駆動電流を達成するには、プルアップ抵抗を出力に接続する必要があります。

デザインの入力方法

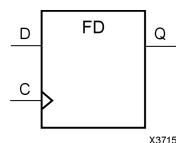
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリー データシート』\(DS312\)](#)

FD

プリミティブ：D Flip-Flop



概要

このデザイン エLEMENTは、データ入力 (D) とデータ出力 (Q) がある D フリップフロップです。D 入力の値は、クロック (C) が Low から High に切り替わるときにフリップフロップにロードされます。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

入力		出力
D	C	Q
0	↑	0
1	↑	1

デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

使用可能な属性

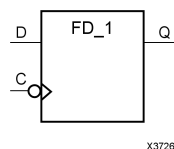
属性	データ型	値	デフォルト	説明
INIT	2 進数	0、1	0	コンフィギュレーション後の Q 出力の初期値を指定します。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリー データシート』\(DS312\)](#)

FD_1

プリミティブ : D Flip-Flop with Negative-Edge Clock



概要

このデザイン エLEMENTは、データ入力 (D) とデータ出力 (Q) がある単一の D フリップフロップです。D 入力の値は、クロック (C) が High から Low に切り替わる時にフリップフロップにロードされます。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

入力		出力
D	C	Q
0	↓	0
1	↓	1

デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

使用可能な属性

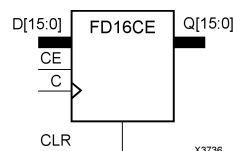
属性	データ型	値	デフォルト	説明
INIT	2 進数	0、1	0	コンフィギュレーション後の Q 出力の初期値を指定します。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリー データシート』\(DS312\)](#)

FD16CE

マクロ：16-Bit Data Register with Clock Enable and Asynchronous Clear



概要

このデザイン エLEMENTは、クロック イネーブルと非同期クリアがある 16 ビットのデータレジスタです。クロック イネーブル (CE) が High、非同期クリア (CLR) が Low の場合、クロック (C) が Low から High に切り替わるときにデータ入力 (D) の値がデータ出力 (Q) に送られます。CLR が High になると、ほかの入力はすべて無視され、出力 (Q) が Low にリセットされます。CE が Low の場合、クロック遷移は無視されます。

電力を供給すると、レジスタは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

入力				出力
CLR	CE	Dz : D0	C	Qz : Q0
1	X	X	X	0
0	0	X	X	変化なし
0	1	Dn	↑	Dn
z = ビット幅 - 1				

デザインの入力方法

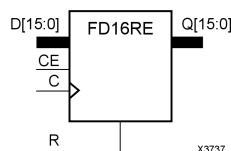
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリー データシート』\(DS312\)](#)

FD16RE

マクロ：16-Bit Data Register with Clock Enable and Synchronous Reset



概要

このデザイン エレメントは、16 ビットのデータレジスタです。クロック イネーブル入力 (CE) が High、同期リセット入力 (R) が Low の場合、クロック (C) が Low から High に切り替わるときに入力 (D) の値が対応する出力 (Q) に送られます。R が High になると、ほかの入力はすべて無視され、クロックが Low から High に切り替わるときに出力 (Q) の値が Low にリセットされます。CE が Low の場合、クロック遷移は無視されます。

電力を供給すると、レジスタは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

入力				出力
R	CE	Dz : D0	C	Qz : Q0
1	X	X	↑	0
0	0	X	X	変化なし
0	1	Dn	↑	Dn
z = ビット幅 - 1				

デザインの入力方法

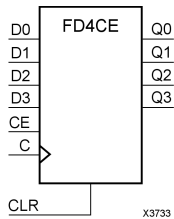
このエレメントは、回路図でのみ使用できます。

詳細情報

- 『Spartan-3 ジェネレーション FPGA ユーザー ガイド』(UG331)
- 『Spartan-3E FPGA ファミリ データシート』(DS312)

FD4CE

マクロ：4-Bit Data Register with Clock Enable and Asynchronous Clear



概要

このデザイン エLEMENTは、クロック イネーブルと非同期クリアがある 4 ビットのデータレジスタです。クロック イネーブル (CE) が High、非同期クリア (CLR) が Low の場合、クロック (C) が Low から High に切り替わるときにデータ入力 (D) の値がデータ出力 (Q) に送られます。CLR が High になると、ほかの入力はすべて無視され、出力 (Q) が Low にリセットされます。CE が Low の場合、クロック遷移は無視されます。

電力を供給すると、レジスタは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

入力				出力
CLR	CE	Dz : D0	C	Qz : Q0
1	X	X	X	0
0	0	X	X	変化なし
0	1	Dn	↑	Dn
z = ビット幅 - 1				

デザインの入力方法

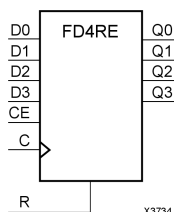
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリー データシート』\(DS312\)](#)

FD4RE

マクロ : 4-Bit Data Register with Clock Enable and Synchronous Reset



概要

このデザイン エLEMENTは、4 ビットのデータレジスタです。クロック イネーブル入力 (CE) が High、同期リセット入力 (R) が Low の場合、クロック (C) が Low から High に切り替わるときに入力 (D) の値が対応する出力 (Q) に送られます。R が High になると、ほかの入力はすべて無視され、クロックが Low から High に切り替わるときに出力 (Q) の値が Low にリセットされます。CE が Low の場合、クロック遷移は無視されます。

電力を供給すると、レジスタは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

入力				出力
R	CE	Dz : D0	C	Qz : Q0
1	X	X	↑	0
0	0	X	X	変化なし
0	1	Dn	↑	Dn
z = ビット幅 - 1				

デザインの入力方法

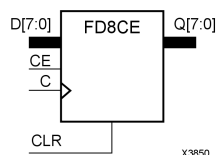
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリー データシート』\(DS312\)](#)

FD8CE

マクロ：8-Bit Data Register with Clock Enable and Asynchronous Clear



概要

このデザイン エLEMENTは、クロック イネーブルと非同期クリアがある 8 ビットのデータレジスタです。クロック イネーブル (CE) が High、非同期クリア (CLR) が Low の場合、クロック (C) が Low から High に切り替わるときにデータ入力 (D) の値がデータ出力 (Q) に送られます。CLR が High になると、ほかの入力はすべて無視され、出力 (Q) が Low にリセットされます。CE が Low の場合、クロック遷移は無視されます。

電力を供給すると、レジスタは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

入力				出力
CLR	CE	Dz : D0	C	Qz : Q0
1	X	X	X	0
0	0	X	X	変化なし
0	1	Dn	↑	Dn
z = ビット幅 - 1				

デザインの入力方法

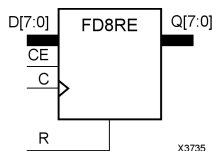
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリー データシート』\(DS312\)](#)

FD8RE

マクロ：8-Bit Data Register with Clock Enable and Synchronous Reset



概要

このデザイン エレメントは、8 ビットのデータレジスタです。クロック イネーブル入力 (CE) が High、同期リセット入力 (R) が Low の場合、クロック (C) が Low から High に切り替わるときに入力 (D) の値が対応する出力 (Q) に送られます。R が High になると、ほかの入力はすべて無視され、クロックが Low から High に切り替わるときに出力 (Q) の値が Low にリセットされます。CE が Low の場合、クロック遷移は無視されます。

電力を供給すると、レジスタは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

入力				出力
R	CE	Dz : D0	C	Qz : Q0
1	X	X	↑	0
0	0	X	X	変化なし
0	1	Dn	↑	Dn
z = ビット幅 - 1				

デザインの入力方法

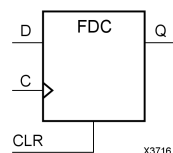
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリー データシート』\(DS312\)](#)

FDC

プリミティブ：D Flip-Flop with Asynchronous Clear



概要

このデザイン エLEMENTは、データ入力 (D)、非同期クリア入力 (CLR)、データ出力 (Q) がある単一の D フリップフロップです。非同期 CLR が High になると、ほかのすべての入力は無視され、Q 出力が Low になります。CLR が Low の場合、クロックが Low から High に切り替わるときに D 入力の値がフリップフロップにロードされます。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

入力			出力
CLR	D	C	Q
1	X	X	0
0	D	↑	D

デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

使用可能な属性

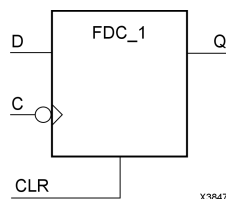
属性	データ型	値	デフォルト	説明
INIT	2 進数	0、1	0	コンフィギュレーション後の Q 出力の初期値を指定します。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリー データシート』\(DS312\)](#)

FDC_1

プリミティブ : D Flip-Flop with Negative-Edge Clock and Asynchronous Clear



概要

FDC_1 は、データ入力 (D)、非同期クリア入力 (CLR)、データ出力 (Q) がある単一の D タイプ フリップフロップです。非同期 CLR が High になると、ほかのすべての入力は無視され、Q 出力が Low になります。D 入力の値は、クロック (C) が High から Low に切り替わるときにフリップフロップにロードされます。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

入力			出力
CLR	D	C	Q
1	X	X	0
0	D	↓	D

デザインの入力方法

このエレメントは、回路図でのみ使用できます。

使用可能な属性

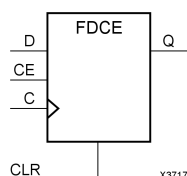
属性	データ型	値	デフォルト	説明
INIT	2 進数	0、1	0	コンフィギュレーション後の Q 出力の初期値を指定します。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリー データシート』\(DS312\)](#)

FDCE

プリミティブ：D Flip-Flop with Clock Enable and Asynchronous Clear



概要

このデザイン エLEMENTは、クロック イネーブルと非同期クリアがある単一の D タイプ フリップフロップです。クロック イネーブル (CE) が High、非同期クリア (CLR) が Low の場合、クロック (C) が Low から High に切り替わるときにデータ入力 (D) の値がデータ出力 (Q) に送られます。CLR が High になると、ほかのすべての入力は無視され、出力 (Q) の値が Low にリセットされます。CE が Low の場合、クロック遷移は無視されます。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

入力				出力
CLR	CE	D	C	Q
1	X	X	X	0
0	0	X	X	変化なし
0	1	D	↑	D

デザインの入力方法

このELEMENTは、回路図で使用できます。

使用可能な属性

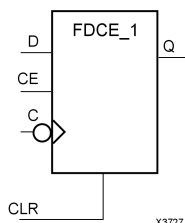
属性	データ型	値	デフォルト	説明
INIT	2 進数	0、1	0	コンフィギュレーション後の Q 出力の初期値を指定します。

詳細情報

- 『Spartan-3 ジェネレーション FPGA ユーザー ガイド』(UG331)
- 『Spartan-3E FPGA ファミリー データシート』(DS312)

FDCE_1

プリミティブ : D Flip-Flop with Negative-Edge Clock, Clock Enable, and Asynchronous Clear



概要

このデザイン エレメントは、データ (D)、クロック イネーブル (CE)、非同期クリア (CLR) の各入力とデータ出力 (Q) のある単一の D タイプ フリップフロップです。非同期 CLR が High になると、ほかのすべての入力は無視され、Q 出力が Low になります。CLR が Low、CE が High の場合、クロック (C) が High から Low に切り替わるときに D 入力の値がフリップフロップにロードされます。CE が Low の場合、クロック遷移は無視されます。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

入力				出力
CLR	CE	D	C	Q
1	X	X	X	0
0	0	X	X	変化なし
0	1	D	↓	D

デザインの入力方法

このエレメントは、回路図で使用できます。

使用可能な属性

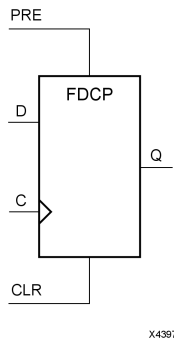
属性	データ型	値	デフォルト	説明
INIT	2 進数	0、1	0	コンフィギュレーション後の Q 出力の初期値を指定します。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリー データシート』\(DS312\)](#)

FDCP

プリミティブ：D Flip-Flop with Asynchronous Preset and Clear



概要

このデザイン エLEMENTは、データ (D)、非同期プリセット (PRE)、クリア (CLR) の各入力とデータ出力 (Q) がある単一の D タイプ フリップフロップです。非同期 PRE が High になると、Q 出力が High にセットされます。CLR が High になると、出力が Low にリセットされます。PRE と CLR が Low の場合、クロック (C) が Low から High に切り替わる時に D 入力の値がフリップフロップにロードされます。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

入力				出力
CLR	PRE	D	C	Q
1	X	X	X	0
0	1	X	X	1
0	0	D	↑	D

デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

使用可能な属性

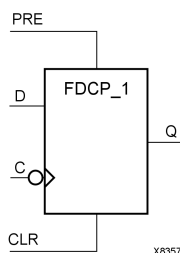
属性	データ型	値	デフォルト	説明
INIT	2 進数	0、1	0	コンフィギュレーション後の Q 出力の初期値を指定します。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリー データシート』\(DS312\)](#)

FDCEP_1

プリミティブ：D Flip-Flop with Negative-Edge Clock and Asynchronous Preset and Clear



概要

このデザイン エレメントは、データ (D)、非同期プリセット (PRE)、クリア (CLR) の各入力とデータ出力 (Q) がある単一の D タイプ フリップフロップです。非同期 PRE が High になると、Q 出力が High にセットされます。CLR が High になると、出力が Low にリセットされます。PRE と CLR が Low の場合、クロック (C) が High から Low に切り替わる時に D 入力の値がフリップフロップにロードされます。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

入力				出力
CLR	PRE	D	C	Q
1	X	X	X	0
0	1	X	X	1
0	0	0	↓	0
0	0	1	↓	1

デザインの入力方法

このエレメントは、回路図でのみ使用できます。

使用可能な属性

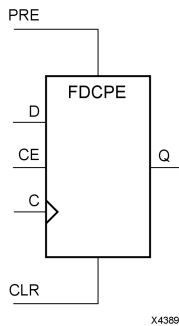
属性	データ型	値	デフォルト	説明
INIT	2 進数	0、1	0	コンフィギュレーション後の Q 出力の初期値を指定します。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリー データシート』\(DS312\)](#)

FDCPE

プリミティブ：D Flip-Flop with Clock Enable and Asynchronous Preset and Clear



概要

このデザイン エLEMENTは、データ (D)、クロック イネーブル (CE)、非同期プリセット (PRE)、非同期クリア (CLR) の各入力とデータ出力 (Q) がある単一の D タイプ フリップフロップです。非同期 PRE が High になると Q 出力が High にセットされ、CLR が High になると出力が Low にリセットされます (CLR 入力の方が PRE 入力よりも優先される)。PRE と CLR が Low で CE が High の場合、クロック (C) が Low から High に切り替わるときに D 入力の値がフリップフロップにロードされます。CE が Low の場合クロック遷移は無視され、以前の値が保持されます。FDCPE は通常、スライスまたは IOB レジスタとしてインプリメントされます。

FPGA では電源が投入されると、INIT 属性を使用して指定した初期値に設定されます。GSR (グローバル セット/リセット) をアサートすると、INIT で指定した初期値に非同期で設定されます。

注記： 非同期のセットおよびリセットの使用がサポートされていますが、これらの使用は通常お勧めしません。非同期信号を使用するとタイミングの問題を検出および制御しにくく、ロジックの最適化に悪影響を及ぼし、同期セットまたはリセットを使用した場合に比べて消費電力が大きくなる場合があります。

論理表

入力					出力
CLR	PRE	CE	D	C	Q
1	X	X	X	X	0
0	1	X	X	X	1
0	0	0	X	X	変化なし
0	0	1	D	↑	D

ポートの説明

ポート名	方向	幅	機能
Q	出力	1	データ出力
C	入力	1	クロック入力
CE	入力	1	クロック イネーブル入力
CLR	入力	1	非同期クリア入力
D	入力	1	データ入力
PRE	入力	1	非同期セット入力

デザインの入力方法

このELEMENTは、回路図で使用できます。

使用可能な属性

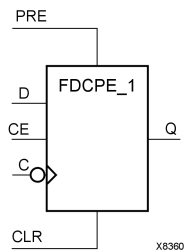
属性	データ型	値	デフォルト	説明
INIT	2 進数	0、1	0	コンフィギュレーション後および GSR 入力時の Q 出力の初期値を指定します。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリー データシート』\(DS312\)](#)

FDCPE_1

プリミティブ：D Flip-Flop with Negative-Edge Clock, Clock Enable, and Asynchronous Preset and Clear



概要

FDCPE_1 は、データ (D)、クロック イネーブル (CE)、非同期プリセット (PRE)、非同期クリア (CLR) の各入力とデータ出力 (Q) がある単一の D フリップフロップです。非同期 PRE が High になると、Q 出力が High にセットされます。CLR が High になると、出力が Low にリセットされます。PRE と CLR が Low で CE が High の場合、クロック (C) が High から Low に切り替わるときに D 入力の値がフリップフロップにロードされます。CE が Low の場合、クロック遷移は無視されます。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

入力					出力
CLR	PRE	CE	D	C	Q
1	X	X	X	X	0
0	1	X	X	X	1
0	0	0	X	X	変化なし
0	0	1	D	↓	D

ポートの説明

ポート名	方向	幅	機能
Q	出力	1	データ出力
C	入力	1	クロック入力
CE	入力	1	クロック イネーブル入力
CLR	入力	1	非同期クリア入力
D	入力	1	データ入力
PRE	入力	1	非同期セット入力

デザインの入力方法

このエレメントは、回路図で使用できます。

使用可能な属性

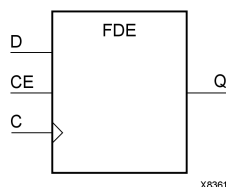
属性	データ型	値	デフォルト	説明
INIT	2 進数	0、1	0	コンフィギュレーション後および GSR 入力時の Q 出力の初期値を指定します。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリー データシート』\(DS312\)](#)

FDE

プリミティブ：D Flip-Flop with Clock Enable



概要

このデザイン エLEMENTは、データ入力 (D)、クロック イネーブル (CE)、データ出力 (Q) がある単一の D フリップフロップです。クロック イネーブルが High の場合、クロック (C) が Low から High に切り替わるときに D 入力の値がフリップフロップにロードされます。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

入力			出力
CE	D	C	Q
0	X	X	変化なし
1	0	↑	0
1	1	↑	1

デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

使用可能な属性

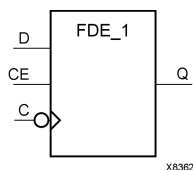
属性	データ型	値	デフォルト	説明
INIT	2 進数	0、1	0	コンフィギュレーション後の Q 出力の初期値を指定します。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリー データシート』\(DS312\)](#)

FDE_1

プリミティブ：D Flip-Flop with Negative-Edge Clock and Clock Enable



概要

このデザイン エLEMENTは、データ入力 (D)、クロック イネーブル (CE)、データ出力 (Q) がある単一の D フリップフロップです。クロック イネーブルが High の場合、クロック (C) が High から Low に切り替わるときに D 入力の値がフリップフロップにロードされます。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

入力			出力
CE	D	C	Q
0	X	X	変化なし
1	0	↓	0
1	1	↓	1

デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

使用可能な属性

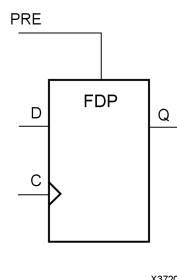
属性	データ型	値	デフォルト	説明
INIT	2 進数	0、1	0	コンフィギュレーション後の Q 出力の初期値を指定します。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリー データシート』\(DS312\)](#)

FDP

プリミティブ：D Flip-Flop with Asynchronous Preset



概要

このデザイン エLEMENTは、データ (D)、非同期プリセット (PRE) の各入力とデータ出力 (Q) がある単一の D フリップフロップです。非同期 PRE が High になると、ほかのすべての入力は無視され、Q 出力が High にプリセットされます。PRE が Low の場合、クロック (C) が Low から High に切り替わるときに D 入力の値がフリップフロップにロードされます。

FPGA では、電力を供給すると、フリップフロップは非同期にプリセットされ、出力が High になります。グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

入力			出力
PRE	C	D	Q
1	X	X	1
0	↑	D	D

デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

使用可能な属性

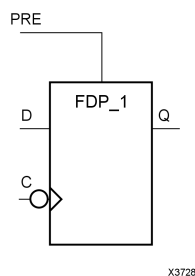
属性	データ型	値	デフォルト	説明
INIT	2 進数	0、1	1	コンフィギュレーション後の Q 出力の初期値を指定します。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリー データシート』\(DS312\)](#)

FDP_1

プリミティブ：D Flip-Flop with Negative-Edge Clock and Asynchronous Preset



概要

このデザイン エLEMENTは、データ (D)、非同期プリセット (PRE) の各入力とデータ出力 (Q) がある単一の D フリップフロップです。非同期 PRE が High になると、ほかのすべての入力は無視され、Q 出力が High にプリセットされます。PRE が Low の場合、クロック (C) が High から Low に切り替わるときに D 入力の値がフリップフロップにロードされます。

電力を供給すると、フリップフロップは非同期にプリセットされ、出力が High になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

入力			出力
PRE	C	D	Q
1	X	X	1
0	↓	D	D

デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

使用可能な属性

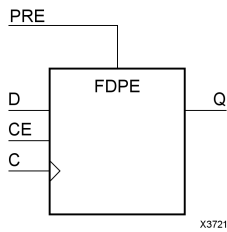
属性	データ型	値	デフォルト	説明
INIT	2 進数	0、1	1	コンフィギュレーション後の Q 出力の初期値を指定します。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリー データシート』\(DS312\)](#)

FDPE

プリミティブ：D Flip-Flop with Clock Enable and Asynchronous Preset



概要

このデザイン エLEMENTは、データ (D)、クロック イネーブル (CE)、非同期プリセット (PRE) の各入力とデータ出力 (Q) がある単一の D フリップフロップです。非同期の PRE が High になると、ほかのすべての入力は無視され、Q 出力が High にセットされます。PRE が Low、CE が High の場合、クロック (C) が Low から High に切り替わる時に D 入力の値がフリップフロップにロードされます。CE が Low の場合、クロック遷移は無視されます。

FPGA では、電力を供給すると、フリップフロップは非同期にプリセットされ、出力が High になります。グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

入力				出力
PRE	CE	D	C	Q
1	X	X	X	1
0	0	X	X	変化なし
0	1	D	↑	D

デザインの入力方法

このELEMENTは、回路図で使用できます。

使用可能な属性

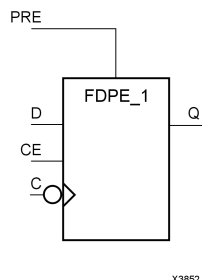
属性	データ型	値	デフォルト	説明
INIT	2 進数	0、1	1	コンフィギュレーション後の Q 出力の初期値を指定します。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリー データシート』\(DS312\)](#)

FDPE_1

プリミティブ : D Flip-Flop with Negative-Edge Clock, Clock Enable, and Asynchronous Preset



概要

このデザイン エLEMENTは、データ (D)、クロック イネーブル (CE)、非同期プリセット (PRE) の各入力とデータ出力 (Q) がある単一の D フリップフロップです。非同期の PRE が High になると、ほかのすべての入力は無視され、Q 出力が High にセットされます。PRE が Low、CE が High の場合、クロック (C) が High から Low に切り替わるときに D 入力の値がフリップフロップにロードされます。CE が Low の場合、クロック遷移は無視されます。

FPGA では、電力を供給すると、フリップフロップは非同期にプリセットされ、出力が High になります。グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

入力				出力
PRE	CE	D	C	Q
1	X	X	X	1
0	0	X	X	変化なし
0	1	D	↓	D

デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

使用可能な属性

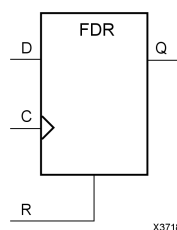
属性	データ型	値	デフォルト	説明
INIT	2 進数	0、1	1	コンフィギュレーション後の Q 出力の初期値を指定します。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリー データシート』\(DS312\)](#)

FDR

プリミティブ：D Flip-Flop with Synchronous Reset



概要

このデザイン エLEMENTは、データ (D)、同期リセット (R) の各入力とデータ出力 (Q) がある単一の D タイプ フリップフロップです。同期リセット入力 (R) が High になると、ほかの入力は無視され、クロック (C) が Low から High に切り替わるときに出力 (Q) が Low にリセットされます。R が Low の場合、クロックが Low から High に切り替わるときに D 入力の値がフリップフロップにロードされます。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

入力			出力
R	D	C	Q
1	X	↑	0
0	D	↑	D

デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

使用可能な属性

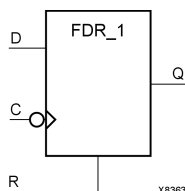
属性	データ型	値	デフォルト	説明
INIT	2 進数	0、1	0	コンフィギュレーション後の Q 出力の初期値を指定します。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリー データシート』\(DS312\)](#)

FDR_1

プリミティブ : D Flip-Flop with Negative-Edge Clock and Synchronous Reset



概要

このデザイン エLEMENTは、データ (D)、同期リセット (R) の各入力とデータ出力 (Q) がある単一の D タイプ フリップフロップです。同期リセット入力 (R) が High になると、ほかの入力は無視され、クロック (C) が High から Low に切り替わるときに出力 (Q) が Low にリセットされます。R が Low の場合、クロック (C) が High から Low に切り替わるときに D 入力の値がフリップフロップにロードされます。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

入力			出力
R	D	C	Q
1	X	↓	0
0	D	↓	D

デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

使用可能な属性

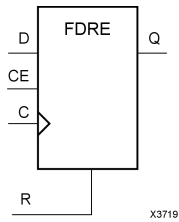
属性	データ型	値	デフォルト	説明
INIT	2 進数	0、1	0	コンフィギュレーション後の Q 出力の初期値を指定します。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリー データシート』\(DS312\)](#)

FDRE

プリミティブ：D Flip-Flop with Clock Enable and Synchronous Reset



概要

このデザイン エLEMENTは、データ (D)、クロック イネーブル (CE)、同期リセット (R) の各入力とデータ出力 (Q) がある単一の D タイプ フリップフロップです。同期リセット入力 (R) が High になると、ほかの入力は無視され、クロック (C) が Low から High に切り替わるときに出力 (Q) が Low にリセットされます。R が Low、CE が High の場合、クロックが Low から High に切り替わるときに D 入力の値がフリップフロップにロードされます。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

入力				出力
R	CE	D	C	Q
1	X	X	↑	0
0	0	X	X	変化なし
0	1	D	↑	D

デザインの入力方法

このELEMENTは、回路図で使用できます。

使用可能な属性

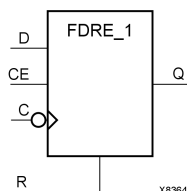
属性	データ型	値	デフォルト	説明
INIT	2 進数	0、1	0	コンフィギュレーション後の Q 出力の初期値を指定します。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリー データシート』\(DS312\)](#)

FDRE_1

プリミティブ : D Flip-Flop with Negative-Clock Edge, Clock Enable, and Synchronous Reset



概要

FDRE_1 は、データ (D)、クロック イネーブル (CE)、同期リセット (R) の各入力とデータ出力 (Q) がある単一の D タイプ フリップフロップです。同期リセット入力 (R) が High になると、ほかの入力は無視され、クロック (C) が High から Low に切り替わるときに出力 (Q) が Low にリセットされます。R が Low で CE が High の場合、クロック (C) が High から Low に切り替わるときに D 入力の値がフリップフロップにロードされます。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

入力				出力
R	CE	D	C	Q
1	X	X	↓	0
0	0	X	X	変化なし
0	1	D	↓	D

デザインの入力方法

このエレメントは、回路図でのみ使用できます。

使用可能な属性

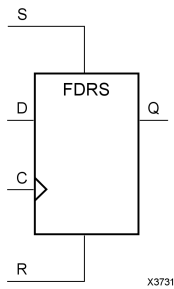
属性	データ型	値	デフォルト	説明
INIT	2 進数	0、1	0	コンフィギュレーション後の Q 出力の初期値を指定します。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリー データシート』\(DS312\)](#)

FDRS

プリミティブ：D Flip-Flop with Synchronous Reset and Set



概要

FDRS は、データ (D)、同期セット (S)、同期リセット (R) の各入力とデータ出力 (Q) がある単一の D タイプ フリップフロップです。同期リセット入力 (R) が High になると、ほかの入力は無視され、クロック (C) が Low から High に切り替わる時に出力 (Q) が Low にリセットされます (リセットがセットよりも優先される)。S が High、R が Low の場合、クロックが Low から High に切り替わる時にフリップフロップがセットされ、出力が High になります。R と S が Low の場合、クロックが Low から High に切り替わる時に D 入力の値がフリップフロップにロードされます。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

入力				出力
R	S	D	C	Q
1	X	X	↑	0
0	1	X	↑	1
0	0	D	↑	D

デザインの入力方法

このエレメントは、回路図でのみ使用できます。

使用可能な属性

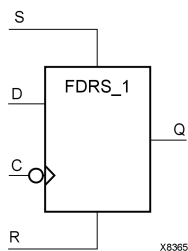
属性	データ型	値	デフォルト	説明
INIT	2 進数	0、1	0	コンフィギュレーション後の Q 出力の初期値を指定します。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリー データシート』\(DS312\)](#)

FDRS_1

プリミティブ : D Flip-Flop with Negative-Clock Edge and Synchronous Reset and Set



概要

FDRS_1 は、データ (D)、同期セット (S)、同期リセット (R) の各入力とデータ出力 (Q) がある単一の D タイプ フリップフロップです。同期リセット入力 (R) が High になると、ほかの入力は無視され、クロック (C) が Low から High に切り替わる時に出力 (Q) が Low にリセットされます (リセットがセットよりも優先される)。S が High、R が Low の場合、クロックが High から Low に切り替わる時にフリップフロップがセットされ、出力が High になります。R と S が Low の場合、クロックが High から Low に切り替わる時に D 入力の値がフリップフロップにロードされます。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

入力				出力
R	S	D	C	Q
1	X	X	↓	0
0	1	X	↓	1
0	0	D	↓	D

デザインの入力方法

このエレメントは、回路図でのみ使用できます。

使用可能な属性

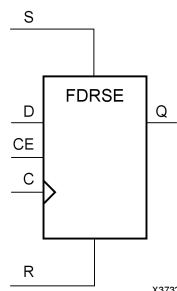
属性	データ型	値	デフォルト	説明
INIT	2 進数	0、1	0	コンフィギュレーション後の Q 出力の初期値を指定します。

詳細情報

- 『Spartan-3 ジェネレーション FPGA ユーザー ガイド』(UG331)
- 『Spartan-3E FPGA ファミリー データシート』(DS312)

FDRSE

プリミティブ : D Flip-Flop with Synchronous Reset and Set and Clock Enable



概要

FDRSE は、同期リセット (R)、同期セット (S)、クロック イネーブル (CE) の各入力とデータ出力 (Q) がある単一の D タイプ フリップフロップです。同期リセット入力 (R) が High になると、ほかの入力は無視され、クロック (C) が Low から High に切り替わるときに出力 (Q) が Low にリセットされます (リセットがセットよりも優先される)。セット入力 (S) が High、R が Low の場合、クロック (C) が Low から High に切り替わるときにフリップフロップがセットされ、出力が High になります。R と S が Low、CE が High の場合、クロックが Low から High に切り替わるときに D 入力の値がフリップフロップにロードされます。

電源が投入されると、INIT 属性を使用して指定した初期値に設定されます。GSR (グローバル セット/リセット) をアサートすると、INIT で指定した初期値に非同期で設定されます。

論理表

入力					出力
R	S	CE	D	C	Q
1	X	X	X	↑	0
0	1	X	X	↑	1
0	0	0	X	X	変化なし
0	0	1	1	↑	1
0	0	1	0	↑	0

デザインの入力方法

このエレメントは、回路図で使用できます。

使用可能な属性

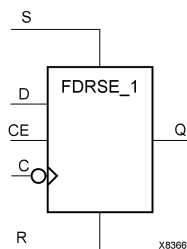
属性	データ型	値	デフォルト	説明
INIT	2 進数	0、1	0	コンフィギュレーション後および GSR 入力時の Q 出力の初期値を指定します。

詳細情報

- 『Spartan-3 ジェネレーション FPGA ユーザー ガイド』(UG331)
- 『Spartan-3E FPGA ファミリー データシート』(DS312)

FDRSE_1

プリミティブ : D Flip-Flop with Negative-Clock Edge, Synchronous Reset and Set, and Clock Enable



概要

FDRSE_1 は、同期リセット (R)、同期セット (S)、クロック イネーブル (CE) の各入力とデータ出力 (Q) がある単一の D タイプ フリップフロップです。同期リセット入力 (R) が High になると、ほかの入力は無視され、クロック (C) が High から Low に切り替わるときに、出力 (Q) が Low にリセットされます (リセットがセットよりも優先される)。S が High、R が Low の場合、クロック (C) が High から Low に切り替わるときにフリップフロップがセットされ、出力が High になります。R と S が Low で CE が High の場合、クロックが High から Low に切り替わるときに D 入力の値がフリップフロップにロードされます。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

入力					出力
R	S	CE	D	C	Q
1	X	X	X	↓	0
0	1	X	X	↓	1
0	0	0	X	X	変化なし
0	0	1	D	↓	D

デザインの入力方法

このエレメントは、回路図で使用できます。

使用可能な属性

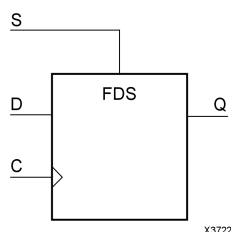
属性	データ型	値	デフォルト	説明
INIT	2 進数	0、1	0	コンフィギュレーション後および GSR 入力時の Q 出力の初期値を指定します。

詳細情報

- 『Spartan-3 ジェネレーション FPGA ユーザー ガイド』(UG331)
- 『Spartan-3E FPGA ファミリー データシート』(DS312)

FDS

プリミティブ：D Flip-Flop with Synchronous Set



概要

FDS は、データ (D)、同期セット (S) の各入力とデータ出力 (Q) がある単一の D タイプ フリップフロップです。同期セット入力が高になると、クロック (C) が Low から High に切り替わるときに Q 出力が高にセットされます。S が Low の場合、クロック (C) が Low から High に切り替わるときに D 入力の値がフリップフロップにロードされます。

FPGA では、電力を供給すると、フリップフロップは非同期にプリセットされ、出力が高になります。グローバルセット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

入力			出力
S	D	C	Q
1	X	↑	1
0	D	↑	D

デザインの入力方法

このエレメントは、回路図でのみ使用できます。

使用可能な属性

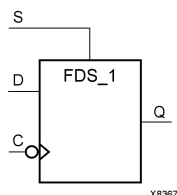
属性	データ型	値	デフォルト	説明
INIT	2 進数	0、1	1	コンフィギュレーション後の Q 出力の初期値を指定します。

詳細情報

- 『Spartan-3 ジェネレーション FPGA ユーザー ガイド』(UG331)
- 『Spartan-3E FPGA ファミリー データシート』(DS312)

FDS_1

プリミティブ : D Flip-Flop with Negative-Edge Clock and Synchronous Set



概要

FDS は、データ (D)、同期セット (S) の各入力とデータ出力 (Q) がある単一の D タイプ フリップフロップです。同期セット入力が High になると、クロック (C) が Low から High に切り替わるときに Q 出力が High にセットされます。S が Low の場合、クロック (C) が Low から High に切り替わるときに D 入力の値がフリップフロップにロードされます。

電力を供給すると、フリップフロップは非同期にプリセットされ、出力が High になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

入力			出力
S	D	C	Q
1	X	↓	1
0	D	↓	D

デザインの入力方法

このエレメントは、回路図でのみ使用できます。

使用可能な属性

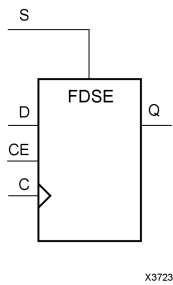
属性	データ型	値	デフォルト	説明
INIT	2 進数	0、1	1	コンフィギュレーション後の Q 出力の初期値を指定します。

詳細情報

- 『Spartan-3 ジェネレーション FPGA ユーザー ガイド』(UG331)
- 『Spartan-3E FPGA ファミリ データシート』(DS312)

FDSE

プリミティブ：D Flip-Flop with Clock Enable and Synchronous Set



概要

FDSE は、データ (D)、クロック イネーブル (CE)、同期セット (S) の各入力とデータ出力 (Q) がある単一の D タイプ フリップフロップです。同期セット (S) 入力が High になると、クロック イネーブル (CE) 入力は無視され、クロック (C) が Low から High に切り替わるときに Q 出力が High にセットされます。S が Low、CE が High の場合、クロック (C) が Low から High に切り替わるときに D 入力の値がフリップフロップにロードされます。

FPGA では、電力を供給すると、フリップフロップは非同期にプリセットされ、出力が High になります。グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

入力				出力
S	CE	D	C	Q
1	X	X	↑	1
0	0	X	X	変化なし
0	1	D	↑	D

デザインの入力方法

このエレメントは、回路図で使用できます。

使用可能な属性

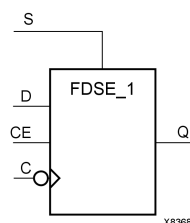
属性	データ型	値	デフォルト	説明
INIT	2 進数	0、1	1	コンフィギュレーション後の Q 出力の初期値を指定します。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリー データシート』\(DS312\)](#)

FDSE_1

プリミティブ : D Flip-Flop with Negative-Edge Clock, Clock Enable, and Synchronous Set



概要

FDSE_1 は、データ (D)、クロック イネーブル (CE)、同期セット (S) の各入力とデータ出力 (Q) がある単一の D フリップフロップです。同期セット (S) 入力が High になると、クロック イネーブル (CE) 入力は無視され、クロック (C) が High から Low に切り替わるときに Q 出力が High にセットされます。S が Low、CE が High の場合、クロック (C) が High から Low に切り替わるときに D 入力の値がフリップフロップにロードされます。

電力を供給すると、フリップフロップは非同期にプリセットされ、出力が High になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

入力				出力
S	CE	D	C	Q
1	X	X	↓	1
0	0	X	X	変化なし
0	1	D	↓	D

デザインの入力方法

このエレメントは、回路図でのみ使用できます。

使用可能な属性

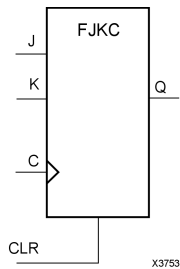
属性	データ型	値	デフォルト	説明
INIT	2 進数	0、1	1	コンフィギュレーション後の Q 出力の初期値を指定します。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリー データシート』\(DS312\)](#)

FJKC

マクロ：J-K Flip-Flop with Asynchronous Clear



概要

このデザイン エLEMENTは、J、K、非同期クリア (CLR) の各入力とデータ出力 (Q) がある単一の J-K タイプ フリップフロップです。非同期クリア入力 (CLR) が High になると、ほかのすべての入力は無視され、Q 出力が Low にリセットされます。CLR が Low になると、次の論理表に示すように、クロックが Low から High に切り替わるときに、J および K 入力の値に応じて出力の値が変化します。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

入力				出力
CLR	J	K	C	Q
1	X	X	X	0
0	0	0	↑	変化なし
0	0	1	↑	0
0	1	0	↑	1
0	1	1	↑	トグル

デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

使用可能な属性

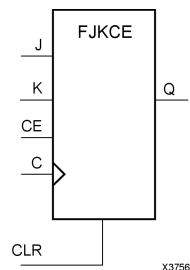
属性	データ型	値	デフォルト	説明
INIT	2 進数	0、1	0	コンフィギュレーション後の Q 出力の初期値を指定します。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリー データシート』\(DS312\)](#)

FJKCE

マクロ：J-K Flip-Flop with Clock Enable and Asynchronous Clear



概要

このデザイン エLEMENTは、J、K、クロック イネーブル (CE)、非同期クリア (CLR) の各入力とデータ出力 (Q) がある単一の J-K タイプ フリップフロップです。非同期クリア (CLR) が High になると、ほかのすべての入力は無視され、Q 出力が Low にリセットされます。CLR が Low、CE が High の場合、次の論理表に示すように、クロックが Low から High に切り替わるたびに、J および K 入力の値に応じて Q の値が変化します。CE が Low の場合、クロック遷移は無視されます。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

入力					出力
CLR	CE	J	K	C	Q
1	X	X	X	X	0
0	0	X	X	X	変化なし
0	1	0	0	X	変化なし
0	1	0	1	↑	0
0	1	1	0	↑	1
0	1	1	1	↑	トグル

デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

使用可能な属性

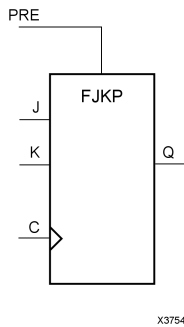
属性	データ型	値	デフォルト	説明
INIT	2 進数	0、1	0	コンフィギュレーション後の Q 出力の初期値を指定します。

詳細情報

- 『Spartan-3 ジェネレーション FPGA ユーザー ガイド』(UG331)
- 『Spartan-3E FPGA ファミリー データシート』(DS312)

FJKP

マクロ：J-K Flip-Flop with Asynchronous Preset



概要

このデザイン エLEMENTは、J、K、非同期プリセット (PRE) の各入力とデータ出力 (Q) がある単一の J-K フリップフロップです。非同期プリセット入力 (PRE) が High になると、ほかのすべての入力は無視され、Q 出力が High にセットされます。PRE が Low の場合、次の論理表に示すように、クロックが Low から High に切り替わるときに、J および K 入力の値に応じて Q の値が変化します。

FPGA では、電力を供給すると、フリップフロップは非同期にプリセットされ、出力が High になります。グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

入力				出力
PRE	J	K	C	Q
1	X	X	X	1
0	0	0	X	変化なし
0	0	1	↑	0
0	1	0	↑	1
0	1	1	↑	トグル

デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

使用可能な属性

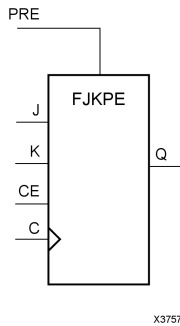
属性	データ型	値	デフォルト	説明
INIT	2 進数	0、1	1	コンフィギュレーション後の Q 出力の初期値を指定します。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリ データシート』\(DS312\)](#)

FJKPE

マクロ：J-K Flip-Flop with Clock Enable and Asynchronous Preset



概要

このデザイン エLEMENTは、J、K、クロック イネーブル (CE)、非同期プリセット (PRE) の各入力とデータ出力 (Q) がある単一の J-K フリップフロップです。非同期プリセット (PRE) が High になると、ほかのすべての入力は無視され、Q 出力が High にセットされます。PRE が Low、CE が High の場合、次の論理表に示すように、クロック (C) が Low から High に切り替わるときに、J および K 入力の値に応じて Q 出力の値が変化します。CE が Low の場合、クロック遷移は無視されます。

FPGA では、電力を供給すると、フリップフロップは非同期にプリセットされ、出力が High になります。グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

入力					出力
PRE	CE	J	K	C	Q
1	X	X	X	X	1
0	0	X	X	X	変化なし
0	1	0	0	X	変化なし
0	1	0	1	↑	0
0	1	1	0	↑	1
0	1	1	1	↑	トグル

デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

使用可能な属性

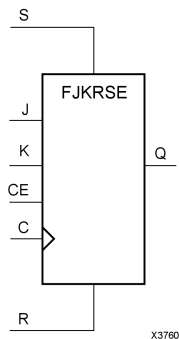
属性	データ型	値	デフォルト	説明
INIT	2 進数	0、1	1	コンフィギュレーション後の Q 出力の初期値を指定します。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリ データシート』\(DS312\)](#)

FJKRSE

マクロ：J-K Flip-Flop with Clock Enable and Synchronous Reset and Set



概要

このデザイン エLEMENTは、J、K、同期リセット (R)、同期セット (S)、クロック イネーブル (CE) の各入力とデータ出力 (Q) がある単一の J-K フリップフロップです。同期リセット (R) が High になると、ほかのすべての入力は無視され、クロック (C) が Low から High に切り替わるときに Q が Low にリセットされます。同期セット (S) が High、R が Low の場合、Q 出力が High にセットされます。R と S が Low、CE が High の場合、次の論理表に示すように、クロック (C) が Low から High に切り替わるときに、J および K 入力の値に応じて Q 出力が変化します。CE が Low の場合、クロック遷移は無視されます。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

入力						出力
R	S	CE	J	K	C	Q
1	X	X	X	X	↑	0
0	1	X	X	X	↑	1
0	0	0	X	X	X	変化なし
0	0	1	0	0	X	変化なし
0	0	1	0	1	↑	0
0	0	1	1	0	↑	1
0	0	1	1	0	↑	1
0	0	1	1	1	↑	トグル

デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

使用可能な属性

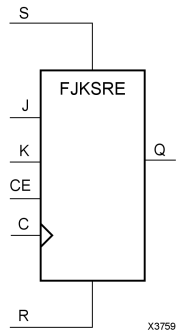
属性	データ型	値	デフォルト	説明
INIT	2 進数	0、1	0	コンフィギュレーション後の Q 出力の初期値を指定します。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリー データシート』\(DS312\)](#)

FJKSRE

マクロ：J-K Flip-Flop with Clock Enable and Synchronous Set and Reset



概要

このデザイン エレメントは、J、K、同期セット (S)、同期リセット (R)、クロック イネーブル (CE) の各入力とデータ出力 (Q) がある単一の J-K タイプ フリップフロップです。同期セット (S) が High になると、ほかのすべての入力は無視され、クロック (C) が Low から High に切り替わるときに Q が High にセットされます。同期リセット (R) が High、S が Low の場合、出力 Q が Low にリセットされます。S と R が Low、CE が High の場合、次の論理表に示すように、クロック (C) が Low から High に切り替わるときに、J および K 入力の値に応じて Q 出力が変化します。CE が Low の場合、クロック 遷移は無視されます。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

入力						出力
S	R	CE	J	K	C	Q
1	X	X	X	X	↑	1
0	1	X	X	X	↑	0
0	0	0	X	X	X	変化なし
0	0	1	0	0	X	変化なし
0	0	1	0	1	↑	0
0	0	1	1	0	↑	1
0	0	1	1	1	↑	トグル

デザインの入力方法

このエレメントは、回路図でのみ使用できます。

使用可能な属性

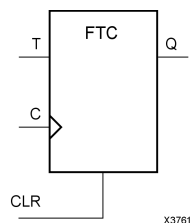
属性	データ型	値	デフォルト	説明
INIT	2 進数	0、1	1	コンフィギュレーション後の Q 出力の初期値を指定します。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリ データシート』\(DS312\)](#)

FTC

マクロ : Toggle Flip-Flop with Asynchronous Clear



概要

このデザイン エLEMENTは、リセット可能な同期トグル フリップフロップです。非同期クリア入力 (CLR) が High になると、ほかのすべての入力は無視され、出力 (Q) が Low にリセットされます。トグル イネーブル入力 (T) が High、CLR が Low の場合、クロックが Low から High に切り替わるときに Q 出力がトグルし、値が変化します。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

入力			出力
CLR	T	C	Q
1	X	X	0
0	0	X	変化なし
0	1	↑	トグル

デザインの入力方法

このELEMENTは、CPLD を使用しているときはインスタンスエートできますが、FPGA を使用しているときはインスタンスエートできません。

使用可能な属性

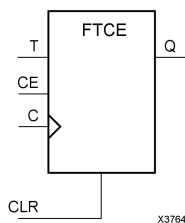
属性	データ型	値	デフォルト	説明
INIT	2 進数	0、1	0	コンフィギュレーション後の Q 出力の初期値を指定します。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリー データシート』\(DS312\)](#)

FTCE

マクロ : Toggle Flip-Flop with Clock Enable and Asynchronous Clear



概要

このデザイン エLEMENTは、トグル イネーブル、クロック イネーブル、非同期クリアがあるトグル フリップフロップです。非同期クリア入力 (CLR) が High になると、ほかのすべての入力は無視され、出力 (Q) の値が Low にリセットされます。CLR が Low、トグル イネーブル (T) とクロック イネーブル (CE) が High の場合、クロック (C) が Low から High に切り替わるときに Q 出力がトグルし、値が変化します。CE が Low の場合、クロック遷移は無視されます。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

入力				出力
CLR	CE	T	C	Q
1	X	X	X	0
0	0	X	X	変化なし
0	1	0	X	変化なし
0	1	1	↑	トグル

デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

使用可能な属性

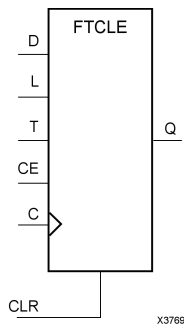
属性	データ型	値	デフォルト	説明
INIT	2 進数	0、1	0	コンフィギュレーション後の Q 出力の初期値を指定します。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリー データシート』\(DS312\)](#)

FTCLE

マクロ：Toggle/Loadable Flip-Flop with Clock Enable and Asynchronous Clear



概要

このデザイン エLEMENTは、トグル イネーブル、クロック イネーブル、非同期クリアがあるロード可能なトグル フリップフロップです。非同期クリア入力 (CLR) が High になると、ほかのすべての入力は無視され、出力 Q が Low にリセットされます。ロード イネーブル入力 (L) が High、CLR が Low の場合、クロック イネーブル (CE) は無視され、クロック (C) が Low から High に切り替わるときに、データ入力 (D) の値がフリップフロップにロードされます。トグル イネーブル (T) と CE が High、L と CLR が Low の場合、クロックが Low から High に切り替わるときに出力 Q がトグルし、値が変化します。CE が Low の場合、クロック遷移は無視されます。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

入力						出力
CLR	L	CE	T	D	C	Q
1	X	X	X	X	X	0
0	1	X	X	D	↑	D
0	0	0	X	X	X	変化なし
0	0	1	0	X	X	変化なし
0	0	1	1	X	↑	トグル

デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

使用可能な属性

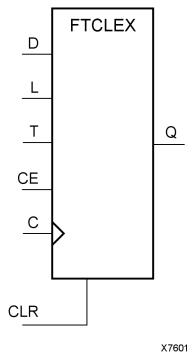
属性	データ型	値	デフォルト	説明
INIT	2 進数	0、1	0	コンフィギュレーション後の Q 出力の初期値を指定します。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリ データシート』\(DS312\)](#)

FTCLEX

マクロ：Toggle/Loadable Flip-Flop with Clock Enable and Asynchronous Clear



概要

このデザイン エLEMENTは、トグル イネーブル、クロック イネーブル、非同期クリアがあるロード可能なトグル フリップフロップです。非同期クリア入力 (CLR) が High になると、ほかのすべての入力は無視され、出力 Q が Low にリセットされます。ロード イネーブル入力 (L) と CE が High、CLR が Low の場合、クロック (C) が Low から High に切り替わる時に、入力 (D) の値がフリップフロップにロードされます。トグル イネーブル (T) と CE が High、L と CLR が Low の場合、クロックが Low から High に切り替わる時に出力 Q がトグルし、値が変化します。CE が Low の場合、クロック遷移は無視されます。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

入力						出力
CLR	L	CE	T	D	C	Q
1	X	X	X	X	X	0
0	1	X	X	D	↑	D
0	0	0	X	X	X	変化なし
0	0	1	0	X	X	変化なし
0	0	1	1	X	↑	トグル

デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

使用可能な属性

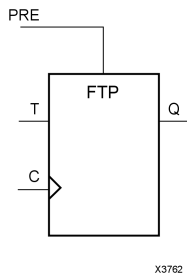
属性	データ型	値	デフォルト	説明
INIT	2 進数	0、1	0	コンフィギュレーション後の Q 出力の初期値を指定します。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリ データシート』\(DS312\)](#)

FTP

マクロ : Toggle Flip-Flop with Asynchronous Preset



概要

このデザイン エLEMENTは、トグル イネーブルと非同期プリセットがあるトグル フリップフロップです。非同期プリセット入力 (PRE) が High になると、ほかのすべての入力は無視され、出力 Q が High にセットされます。トグル イネーブル入力 (T) が High、PRE が Low の場合、クロック (C) が Low から High に切り替わるときに出力 Q がトグルし、値が変化します。

FPGA では、電力を供給すると、フリップフロップは非同期にプリセットされ、出力が High になります。グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

入力			出力
PRE	T	C	Q
1	X	X	1
0	0	X	変化なし
0	1	↑	トグル

デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

使用可能な属性

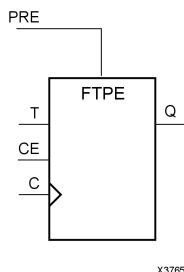
属性	データ型	値	デフォルト	説明
INIT	2 進数	0、1	1	コンフィギュレーション後の Q 出力の初期値を指定します。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリー データシート』\(DS312\)](#)

FTPE

マクロ : Toggle Flip-Flop with Clock Enable and Asynchronous Preset



概要

このデザイン エLEMENTは、トグル イネーブル、クロック イネーブル、非同期プリセットがあるトグル フリップフロップです。非同期プリセット入力 (PRE) が High になると、ほかのすべての入力は無視され、出力 Q が High にセットされます。トグル イネーブル入力 (T) とクロック イネーブル入力 (CE) が High、PRE が Low の場合、クロックが Low から High に切り替わる時に出力 Q がトグルし、値が変化します。CE が Low の場合、クロック遷移は無視されます。

FPGA では、電力を供給すると、フリップフロップは非同期にプリセットされ、出力が High になります。グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

入力				出力
PRE	CE	T	C	Q
1	X	X	X	1
0	0	X	X	変化なし
0	1	0	X	変化なし
0	1	1	↑	トグル

デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

使用可能な属性

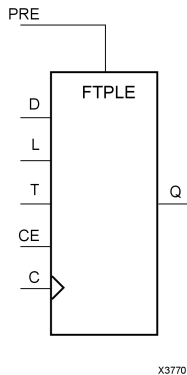
属性	データ型	値	デフォルト	説明
INIT	2 進数	0、1	1	コンフィギュレーション後の Q 出力の初期値を指定します。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリー データシート』\(DS312\)](#)

FTPLE

マクロ：Toggle/Loadable Flip-Flop with Clock Enable and Asynchronous Preset



概要

このデザイン エLEMENTは、トグル イネーブル、クロック イネーブル、非同期プリセットがあるロード可能なトグル フリップフロップです。非同期プリセット入力 (PRE) が High になると、ほかのすべての入力は無視され、出力 Q が High にセットされます。ロード イネーブル入力 (L) が High、PRE が Low の場合、クロック イネーブル (CE) は無視され、クロックが Low から High に切り替わる時に、D の値がフリップフロップにロードされます。L と PRE が Low、トグル イネーブル入力 (T) と CE が High の場合、クロックが Low から High に切り替わる時に出力 Q がトグルし、値が変化します。CE が Low の場合、クロック遷移は無視されます。

FPGA では、電力を供給すると、フリップフロップは非同期にプリセットされ、出力が High になります。グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

入力						出力
PRE	L	CE	T	D	C	Q
1	X	X	X	X	X	1
0	1	X	X	D	↑	D
0	0	0	X	X	X	変化なし
0	0	1	0	X	X	変化なし
0	0	1	1	X	↑	トグル

デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

使用可能な属性

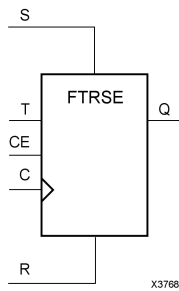
属性	データ型	値	デフォルト	説明
INIT	2 進数	0、1	1	コンフィギュレーション後の Q 出力の初期値を指定します。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリ データシート』\(DS312\)](#)

FTRSE

マクロ : Toggle Flip-Flop with Clock Enable and Synchronous Reset and Set



概要

このデザイン エLEMENTは、トグル イネーブル、クロック イネーブル、同期セット、同期リセットがあるトグル フリップフロップです。同期リセット入力 (R) が High になると、ほかのすべての入力は無視され、クロック (C) が Low から High に切り替わるときに、出力 (Q) の値が Low にリセットされます。R が Low、同期セット入力 (S) が High の場合、クロック イネーブル入力 (CE) は無視され、クロック (C) が Low から High に切り替わるときに、出力 Q が High にセットされます (リセットがセットよりも優先される)。トグル イネーブル入力 (T) と CE が High、S と R が Low の場合、クロック (C) が Low から High に切り替わるときに出力 Q がトグルし、値が変化します。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

入力					出力
R	S	CE	T	C	Q
1	X	X	X	↑	0
0	1	X	X	↑	1
0	0	0	X	X	変化なし
0	0	1	0	X	変化なし
0	0	1	1	↑	トグル

デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

使用可能な属性

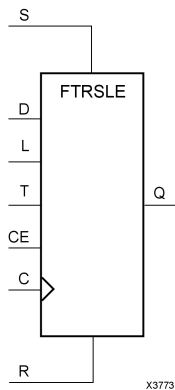
属性	データ型	値	デフォルト	説明
INIT	2 進数	0、1	0	コンフィギュレーション後の Q 出力の初期値を指定します。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリー データシート』\(DS312\)](#)

FTRSLE

マクロ : Toggle/Loadable Flip-Flop with Clock Enable and Synchronous Reset and Set



概要

このデザイン エLEMENTは、トグル イネーブル、クロック イネーブル、同期セット、同期リセットがあるロード可能なトグル フリップフロップです。同期リセット入力 (R) が High になると、ほかのすべての入力は無視され、クロック (C) が Low から High に切り替わるときに、出力 (Q) が Low にリセットされます (リセットがセットよりも優先される)。R が Low、同期セット入力 (S) が High の場合、クロック イネーブル入力 (CE) は無視され、クロック (C) が Low から High に切り替わるときに、出力 Q が High にセットされます。R と S が Low、ロード イネーブル入力 (L) が High の場合、CE は無視され、クロック (C) が Low から High に切り替わるときに、データ入力 (D) の値がフリップフロップにロードされます。R、S、L が Low、CE とトグル イネーブル (T) が High の場合、クロック (C) が Low から High に切り替わるときに出力 Q がトグルし、値が変化します。CE が Low の場合、クロック遷移は無視されます。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

入力							出力
R	S	L	CE	T	D	C	Q
1	0	X	X	X	X	↑	0
0	1	X	X	X	X	↑	1
0	0	1	X	X	1	↑	1
0	0	1	X	X	0	↑	0
0	0	0	0	X	X	X	変化なし
0	0	0	1	0	X	X	変化なし
0	0	0	1	1	X	↑	トグル

デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

使用可能な属性

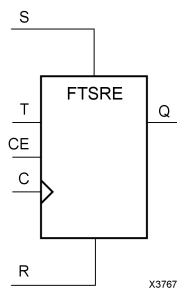
属性	データ型	値	デフォルト	説明
INIT	2 進数	0、1	0	コンフィギュレーション後の Q 出力の初期値を指定します。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリー データシート』\(DS312\)](#)

FTSRE

マクロ : Toggle Flip-Flop with Clock Enable and Synchronous Set and Reset



概要

このデザイン エLEMENTは、トグル イネーブル、クロック イネーブル、同期セット、同期リセットがあるトグル フリップフロップです。同期セット入力 (S) が High になると、ほかのすべての入力は無視され、クロック (C) が Low から High に切り替わるときに、データ出力 (Q) が High にセットされます (セットがリセットよりも優先される)。同期リセット (R) が High、S が Low の場合、クロック イネーブル入力 (CE) は無視され、クロック (C) が Low から High に切り替わるときに、出力 Q が Low にリセットされます。トグル イネーブル入力 (T) と CE が High、S と R が Low の場合、クロック (C) が Low から High に切り替わるときに出力 Q がトグルし、値が変化します。CE が Low の場合、クロック遷移は無視されます。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

入力					出力
S	R	CE	T	C	Q
1	X	X	X	↑	1
0	1	X	X	↑	0
0	0	0	X	X	変化なし
0	0	1	0	X	変化なし
0	0	1	1	↑	トグル

デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

使用可能な属性

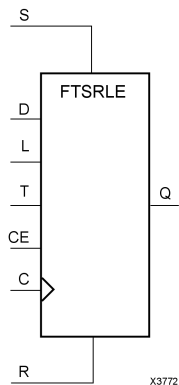
属性	データ型	値	デフォルト	説明
INIT	2 進数	0、1	1	コンフィギュレーション後の Q 出力の初期値を指定します。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリ データシート』\(DS312\)](#)

FTSRLE

マクロ：Toggle/Loadable Flip-Flop with Clock Enable and Synchronous Set and Reset



概要

このデザイン エLEMENTは、トグル イネーブル、クロック イネーブル、同期セット、同期リセットがあるロード可能なトグル フリップフロップです。同期セット入力 (S) が High になると、ほかのすべての入力は無視され、クロック (C) が Low から High に切り替わるときに、データ出力 (Q) が High にセットされます (セットがリセットよりも優先される)。同期リセット (R) が High、S が Low の場合、クロック イネーブル入力 (CE) は無視され、クロック (C) が Low から High に切り替わるときに、出力 Q が Low にリセットされます。ロード イネーブル入力 (L) が High、S と R が Low の場合、CE は無視され、クロックが Low から High に切り替わるときに、入力 (D) の値がフリップフロップにロードされます。トグル イネーブル入力 (T) と CE が High、S、R、L が Low の場合、クロック (C) が Low から High に切り替わるときに出力 Q がトグルし、値が変化します。CE が Low の場合、クロック遷移は無視されます。

FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

入力							出力
S	R	L	CE	T	D	C	Q
1	X	X	X	X	X	↑	1
0	1	X	X	X	X	↑	0
0	0	1	X	X	1	↑	1
0	0	1	X	X	0	↑	0
0	0	0	0	X	X	X	変化なし
0	0	0	1	0	X	X	変化なし
0	0	0	1	1	X	↑	トグル

デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

使用可能な属性

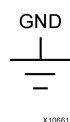
属性	データ型	値	デフォルト	説明
INIT	2 進数	0、1	1	コンフィギュレーション後の Q 出力の初期値を指定します。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリー データシート』\(DS312\)](#)

GND

プリミティブ：Ground-Connection Signal Tag



概要

GND 信号タグは、ネットまたは入力ファンクションの論理レベルを Low にします。GND に接続されたネットは、ほかのソースに接続できません。

ロジックトリム ソフトウェアまたはフィッターでは、GND に接続されたネットまたは入力ファンクションがあると、GND 信号でディスエーブルになるロジックが削除されます。ディスエーブルになるロジックを削除できない場合のみ、GND 信号がインプリメントされます。

デザインの入力方法

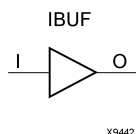
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリ データシート』\(DS312\)](#)

IBUF

プリミティブ：Input Buffer



概要

このデザイン エLEMENTは、最上位の入力ポートまたは入出力ポートに接続されている信号に自動的に挿入されます。このバッファは通常、合成ツールで推論されますが、必要に応じてインスタンス化することも可能です。インスタンス化するには、入力ポート (I) を関連する最上位の入力ポートまたは入出力ポートに接続し、出力ポート (O) をそのポートをソースとする FPGA ロジックに接続します。必要なジェネリック マップ (VHDL) またはパラメーター値代入 (Verilog) に変更を加えて、コンポーネントのデフォルトのビヘイビアーを変更します。

ポートの説明

ポート名	方向	幅	機能
O	出力	1	バッファの出力
I	入力	1	バッファの入力

デザインの入力方法

このELEMENTは、回路図で使用できます。

使用可能な属性

属性	データ型	値	デフォルト	説明
IBUF_DELAY_VALUE	文字列	"0" ~ "12"	"0"	IOB から出力されるレジスタを介さないパスに追加する遅延を指定します。
IFD_DELAY_VALUE	文字列	"AUTO"、 "0" ~ "6"	"AUTO"	IOB 内のレジスタを介するパスに追加する遅延を指定します。
IOSTANDARD	文字列	データシートを参照	"DEFAULT"	ELEMENTに I/O 規格を割り当てます。

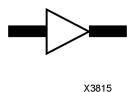
詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリー データシート』\(DS312\)](#)

IBUF16

マクロ：16-Bit Input Buffer

IBUF16



概要

IBUF は、チップに入力される信号から内部回路を分離します。このデザイン エLEMENT は I/O ブロック (IOB) に含まれており、I/O の I/O 規格を指定できます。通常シングルエンドのデータ入力ピンまたは双方向ピンに使用されます。

デザインの入力方法

このELEMENT は、回路図でのみ使用できます。

使用可能な属性

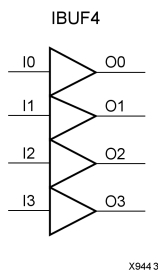
属性	データ型	値	デフォルト	説明
IBUF_DELAY_VALUE	文字列	"0" ~ "12"	"0"	IOB から出力されるレジスタを介さないパスに追加する遅延を指定します。
IFD_DELAY_VALUE	文字列	"AUTO"、 "0" ~ "6"	"AUTO"	IOB 内のレジスタを介するパスに追加する遅延を指定します。
IOSTANDARD	文字列	データシートを参照	"DEFAULT"	ELEMENT に I/O 規格を割り当てます。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリー データシート』\(DS312\)](#)

IBUF4

マクロ：4-Bit Input Buffer



概要

IBUF は、チップに入力される信号から内部回路を分離します。このデザイン エLEMENT は I/O ブロック (IOB) に含まれており、I/O の I/O 規格を指定できます。通常シングルエンドのデータ入力ピンまたは双方向ピンに使用されます。

デザインの入力方法

このELEMENT は、回路図でのみ使用できます。

使用可能な属性

属性	データ型	値	デフォルト	説明
IBUF_DELAY_VALUE	文字列	"0" ~ "12"	"0"	IOB から出力されるレジスタを介さないパスに追加する遅延を指定します。
IFD_DELAY_VALUE	文字列	"AUTO"、 "0" ~ "6"	"AUTO"	IOB 内のレジスタを介するパスに追加する遅延を指定します。
IOSTANDARD	文字列	データシートを参照	"DEFAULT"	ELEMENT に I/O 規格を割り当てます。

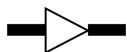
詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリー データシート』\(DS312\)](#)

IBUF8

マクロ：8-Bit Input Buffer

IBUF8



X3803

概要

IBUF は、チップに入力される信号から内部回路を分離します。このデザイン エLEMENT は I/O ブロック (IOB) に含まれており、I/O の I/O 規格を指定できます。通常シングルエンドのデータ入力ピンまたは双方向ピンに使用されます。

デザインの入力方法

このELEMENT は、回路図でのみ使用できます。

使用可能な属性

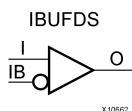
属性	データ型	値	デフォルト	説明
IBUF_DELAY_VALUE	文字列	"0" ~ "12"	"0"	IOB から出力されるレジスタを介さないパスに追加する遅延を指定します。
IFD_DELAY_VALUE	文字列	"AUTO"、 "0" ~ "6"	"AUTO"	IOB 内のレジスタを介するパスに追加する遅延を指定します。
IOSTANDARD	文字列	データシートを参照	"DEFAULT"	ELEMENT に I/O 規格を割り当てます。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリー データシート』\(DS312\)](#)

IBUFDS

プリミティブ：Differential Signaling Input Buffer



概要

このデザイン エレメントは、低電圧差動信号を使用する入力バッファです。IBUFDS では、デザイン レベルのインターフェイス信号は、一方がマスターでもう一方がスレーブとなる 2 つの異なるポート (I、IB) で表されます。マスターとスレーブは MYNET_P と MYNET_N のように、同じ論理信号の反対の状態を示します。また、オプションの差動終端を使用すると、シグナル インテグリティが向上し、外部コンポーネントの数を削減できます。

論理表

入力		出力
I	IB	O
0	0	変化なし
0	1	0
1	0	1
1	1	変化なし

ポートの説明

ポート名	方向	幅	機能
I	入力	1	Diff_p バッファの入力
IB	入力	1	Diff_p バッファの入力
O	出力	1	バッファの出力

デザインの入力方法

このエレメントは、回路図で使用できます。

デザイン階層を保つため、すべての I/O コンポーネントをデザインの最上位に配置してください。I ポートを直接デザインの最上位のマスターとなる入力ポートに、IB ポートを最上位のスレーブとなる入力ポートに、O ポートをこの入力供給されるロジックに接続します。generic/defparam 値を設定し、バッファのビヘイビアーを適切に設定してください。

使用可能な属性

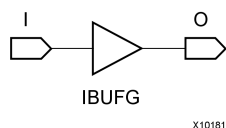
属性	データ型	値	デフォルト	説明
DIFF_TERM	ブール代数	TRUE、FALSE	FALSE	ビルトインの差動終端抵抗をイネーブルにします。
IBUF_DELAY_VALUE	文字列	"0" ~ "12"	"0"	IOB から出力されるレジスタを介さないパスに追加する遅延を指定します。
IFD_DELAY_VALUE	文字列	"AUTO"、 "0" ~ "6"	"AUTO"	IOB 内のレジスタを介するパスに追加する遅延を指定します。
IOSTANDARD	文字列	データシートを参照	"DEFAULT"	エレメントに I/O 規格を割り当てます。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリー データシート』\(DS312\)](#)

IBUFG

プリミティブ：Dedicated Input Clock Buffer



概要

IBUFG は、FPGA への入力クロックをグローバル クロック配線リソースに接続するために使用する専用入力です。DCM_SP および BUFG への専用接続となり、デバイスのクロック遅延とジッターが最小限に抑えられます。IBUFG の入力は、グローバル クロック ピンでのみ駆動できます。IBUFG の出力は、DCM_SP、BUFG、または指定したロジックの CLKIN を駆動できます。

ポートの説明

ポート名	方向	幅	機能
O	出力	1	クロック バッファ出力
I	入力	1	クロック バッファ入力

デザインの入力方法

このエレメントは、回路図で使用できます。

使用可能な属性

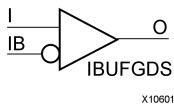
属性	データ型	値	デフォルト	説明
IBUF_DELAY_VALUE	文字列	"0" ~ "12"	"0"	IOB から出力されるレジスタを介さないパスに追加する遅延を指定します。
IOSTANDARD	文字列	データシートを参照	"DEFAULT"	エレメントに I/O 規格を割り当てます。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリー データシート』\(DS312\)](#)

IBUFGDS

プリミティブ：Differential Signaling Dedicated Input Clock Buffer and Optional Delay



概要

このデザイン エLEMENT は、クロック バッファ (BUFG) または に接続するための専用の差動信号入力バッファです。IBUFGDS では、デザイン レベルのインターフェイス信号は、一方がマスターでもう一方がスレーブとなる 2 つの異なるポート (I, IB) で表されます。マスターとスレーブは MYNET_P と MYNET_N のように、同じ論理信号の反対の状態を示します。また、オプションの差動終端を使用すると、シグナル インテグリティが向上し、外部コンポーネントの数を削減できます。デバイスへの入力データの遅延を調整する遅延ELEMENTも含まれています。

論理表

入力		出力
I	IB	O
0	0	変化なし
0	1	0
1	0	1
1	1	変化なし

ポートの説明

ポート名	方向	幅	機能
O	出力	1	クロック バッファ出力
IB	入力	1	Diff_n クロック バッファの入力
I	入力	1	Diff_p クロック バッファの入力

デザインの入力方法

このELEMENTは、回路図で使用できます。

デザイン階層を保つため、すべての I/O コンポーネントを必ずデザインの最上位に配置してください。I ポートを直接デザインの最上位のマスターとなる入力ポートに、IB ポートを最上位のスレーブとなる入力ポートに、O ポートをこの入力をソースとする、BUFG、またはロジックに接続してください。一部の合成ツールでは、IBUFG を FPGA のクロックリソースに接続すると、必要に応じて BUFG が自動的に推論されます。generic/defparam 値を設定し、バッファのビヘイビアを適切に設定してください。

使用可能な属性

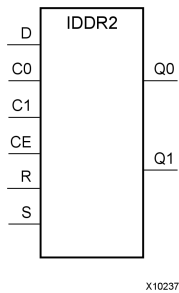
属性	データ型	値	デフォルト	説明
DIFF_TERM	ブール代数	TRUE、FALSE	FALSE	ビルトインの差動終端抵抗をイネーブルにします。
IBUF_DELAY_VALUE	文字列	"0" ~ "12"	"0"	IOB から出力されるレジスタを介さないパスに追加する遅延を指定します。
IOSTANDARD	文字列	データシートを参照	"DEFAULT"	エレメントに I/O 規格を割り当てます。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリー データシート』\(DS312\)](#)

IDDR2

プリミティブ：Double Data Rate Input D Flip-Flop with Optional Data Alignment, Clock Enable and Programmable Synchronous or Asynchronous Set/Reset



概要

このデザイン エLEMENTは、ザイリンクス FPGA で外部デュアル データ レート (DDR) 信号を受信するための専用入力レジスタです。C0 と C1 の 2 つのクロックを使用してコンポーネントに接続されるので、C0 および C1 の両方の立ち上がりエッジでデータが取り込まれます。IDDR2 は、レジスタの動作を停止するために使用できるアクティブ High のクロック イネーブル (CE) ポート、対応するクロックに同期または非同期になるよう設定できるセット/リセット ポートを備えています。また、オプションの調整機能を使用すると、コンポーネントへの両方の出力データ ポートを 1 つのクロックに揃えることができます。

論理表

入力						出力	
S	R	CE	D	C0	C1	Q0	Q1
1	X	X	X	X	X	INIT_Q0	INIT_Q1
0	1	X	X	X	X	not INIT_Q0	not INIT_Q1
0	0	0	X	X	X	変化なし	変化なし
0	0	1	D	↑	X	D	変化なし
0	0	1	D	X	↑	変化なし	D

セット/リセットは SRTYPE 値で同期に設定可能

デザインの入力方法

このELEMENTは、回路図で使用できます。

このコンポーネントのすべての入力と出力は、接続しておく必要があります。

使用可能な属性

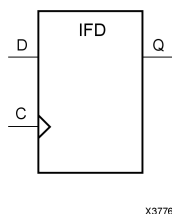
属性	データ型	値	デフォルト	説明
DDR_ALIGNMENT	文字列	"NONE"、"C0"、 "C1"	"NONE"	DDR レジスタの出力アライメントを設定します。 <ul style="list-style-type: none"> ・ "NONE" : 対応する C0 または C1 の立ち上がりエッジの直後に Q0 および Q1 にデータが出力されます。 ・ "C0" : Q0 と Q1 両方のデータが C0 クロックの立ち上がりエッジに同期します。 ・ "C1" : Q0 と Q1 両方のデータが C1 クロックの立ち上がりエッジに同期します。
INIT_Q0	整数	0、1	0	Q0 出力の初期値を 0 または 1 に設定します。
INIT_Q1	整数	0、1	0	Q1 出力の初期値を 0 または 1 に設定します。
SRTYPE	文字列	"SYNC"、"ASYNC"	"SYNC"	セット/リセットを同期または非同期に設定します。

詳細情報

[『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)

IFD

マクロ：Input D Flip-Flop



概要

このエレメントは D フリップフロップで、I/O ブロック (IOB) に含まれています。フリップフロップの入力 (D) は、IBUF を使用せずに IPAD または IOPAD に接続されます。入力 D からはデータが入力され、チップへのデータ入力同期化されます。入力 D の値は、クロック (C) が Low から High に切り替わるときに、フリップフロップにロードされ、出力 (Q) に出力されます。クロック入力、内部ロジックまたは別の外部ピンで駆動できます。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

入力		出力
D	C	Q
D	↑	D

デザインの入力方法

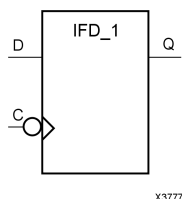
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリー データシート』\(DS312\)](#)

IFD_1

マクロ : Input D Flip-Flop with Inverted Clock (Asynchronous Preset)



概要

このデザイン エレメントは D フリップフロップで、I/O ブロック (IOB) に含まれています。フリップフロップの入力 (D) は、IPAD または IOPAD に接続されます。また、入力 D からデータが入力され、チップへのデータ入力が同期化されます。入力 D の値は、クロック (C) が High から Low に切り替わる時に、フリップフロップにロードされ、出力 (Q) に出力されます。クロック入力、内部ロジックまたは別の外部ピンで駆動できます。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

入力		出力
D	C	Q
0	↓	0
1	↓	1

デザインの入力方法

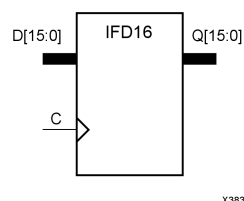
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリー データシート』\(DS312\)](#)

IFD16

マクロ：16-Bit Input D Flip-Flop



概要

このエレメントは D フリップフロップで、I/O ブロック (IOB) に含まれています。フリップフロップの入力 (D) は、IBUF を使用せずに IPAD または IOPAD に接続されます。入力 D からはデータが入力され、チップへのデータ入力同期化されます。入力 D の値は、クロック (C) が Low から High に切り替わるときに、フリップフロップにロードされ、出力 (Q) に出力されます。クロック入力、内部ロジックまたは別の外部ピンで駆動できます。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

入力		出力
D	C	Q
D	↑	D

デザインの入力方法

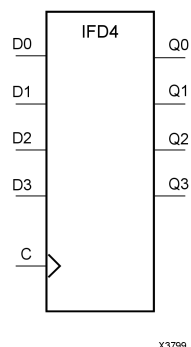
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリ データシート』\(DS312\)](#)

IFD4

マクロ：4-Bit Input D Flip-Flop



概要

このエレメントは D フリップフロップで、I/O ブロック (IOB) に含まれています。フリップフロップの入力 (D) は、IBUF を使用せずに IPAD または IOPAD に接続されます。入力 D からはデータが入力され、チップへのデータ入力同期化されます。入力 D の値は、クロック (C) が Low から High に切り替わるときに、フリップフロップにロードされ、出力 (Q) に出力されます。クロック入力は、内部ロジックまたは別の外部ピンで駆動できます。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

入力		出力
D	C	Q
D	↑	D

デザインの入力方法

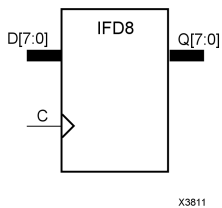
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリー データシート』\(DS312\)](#)

IFD8

マクロ：8-Bit Input D Flip-Flop



概要

このエレメントは D フリップフロップで、I/O ブロック (IOB) に含まれています。フリップフロップの入力 (D) は、IBUF を使用せずに IPAD または IOPAD に接続されます。入力 D からデータが入力され、チップへのデータ入力同期化されます。入力 D の値は、クロック (C) が Low から High に切り替わる時に、フリップフロップにロードされ、出力 (Q) に出力されます。クロック入力、内部ロジックまたは別の外部ピンで駆動できます。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

入力		出力
D	C	Q
D	↑	D

デザインの入力方法

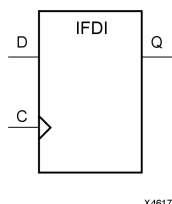
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリー データシート』\(DS312\)](#)

IFDI

マクロ：Input D Flip-Flop (Asynchronous Preset)



概要

このデザイン エLEMENTは D フリップフロップで、I/O ブロック (IOB) に含まれています。フリップフロップの入力 (D) は、IPAD または IOPAD に接続されます。入力 D からはデータが入力され、チップへのデータ入力同期化されます。入力 D の値は、クロック (C) が Low から High に切り替わる時に、フリップフロップにロードされ、出力 (Q) に出力されます。クロック入力、内部ロジックまたは別の外部ピンによって駆動できます。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

入力		出力
D	C	Q
D	↑	D

デザインの入力方法

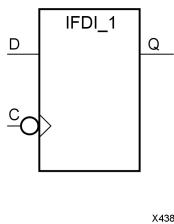
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリー データシート』\(DS312\)](#)

IFDI_1

マクロ : Input D Flip-Flop with Inverted Clock (Asynchronous Preset)



概要

このデザイン エLEMENTは D フリップフロップで、I/O ブロック (IOB) に含まれています。フリップフロップの入力 (D) は、IPAD または IOPAD に接続されます。入力 D からはデータが入力され、チップへのデータ入力が同期化されます。入力 D の値は、クロック (C) が High から Low に切り替わるときにフリップフロップにロードされ、出力 (Q) に出力されます。クロック入力は、内部ロジックまたは別の外部ピンで駆動できます。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

入力		出力
D	C	Q
0	↓	0
1	↓	1

デザインの入力方法

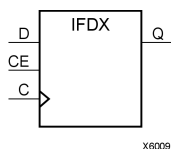
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリー データシート』\(DS312\)](#)

IFDX

マクロ : Input D Flip-Flop with Clock Enable



概要

このエレメントは D フリップフロップで、I/O ブロック (IOB) に含まれています。フリップフロップの入力 (D) は、IBUF を使用せずに IPAD または IOPAD に接続されます。入力 D からはデータが入力され、チップへのデータ入力同期化されます。CE が High になっていると、入力 D の値は、クロック (C) が Low から High に切り替わる時にフリップフロップにロードされ、出力 (Q) に出力されます。クロック入力は、内部ロジックまたは別の外部ピンで駆動できます。クロック イネーブル (CE) が Low のときには、フリップフロップの出力は変化しません。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

入力			出力
CE	D	C	Q
1	D	↑	D
0	X	X	変化なし

デザインの入力方法

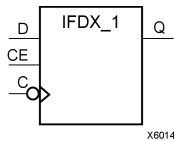
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリー データシート』\(DS312\)](#)

IFDX_1

マクロ：Input D Flip-Flop with Inverted Clock and Clock Enable



概要

このデザイン エLEMENTは D フリップフロップで、I/O ブロック (IOB) に含まれています。フリップフロップの入力 (D) は、IPAD または IOPAD に接続されます。また、入力 D からはデータが入力され、チップへのデータ入力同期化されます。CE が High になっていると、入力 D の値は、クロック (C) が High から Low に切り替わる時にフリップフロップにロードされ、出力 (Q) に出力されます。クロック入力、内部ロジックまたは別の外部ピンで駆動できます。クロック イネーブル (CE) が Low のときには、出力 (Q) は変化しません。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

入力			出力
CE	D	C	Q
1	D	↓	D
0	X	X	変化なし

デザインの入力方法

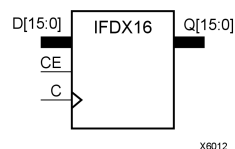
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリー データシート』\(DS312\)](#)

IFDX16

マクロ : 16-Bit Input D Flip-Flops with Clock Enable



概要

このエレメントは D フリップフロップで、I/O ブロック (IOB) に含まれています。フリップフロップの入力 (D) は、IBUF を使用せずに IPAD または IOPAD に接続されます。入力 D からはデータが入力され、チップへのデータ入力同期化されます。CE が High になっていると、入力 D の値は、クロック (C) が Low から High に切り替わる時にフリップフロップにロードされ、出力 (Q) に出力されます。クロック入力、内部ロジックまたは別の外部ピンで駆動できます。クロック イネーブル (CE) が Low のときには、フリップフロップの出力は変化しません。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

入力			出力
CE	D	C	Q
1	D	↑	D
0	X	X	変化なし

デザインの入力方法

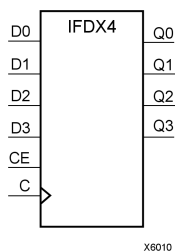
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリ データシート』\(DS312\)](#)

IFDX4

マクロ：4-Bit Input D Flip-Flop with Clock Enable



概要

このエレメントは D フリップフロップで、I/O ブロック (IOB) に含まれています。フリップフロップの入力 (D) は、IBUF を使用せずに IPAD または IOPAD に接続されます。入力 D からはデータが入力され、チップへのデータ入力同期化されます。CE が High になっていると、入力 D の値は、クロック (C) が Low から High に切り替わる時にフリップフロップにロードされ、出力 (Q) に出力されます。クロック入力、内部ロジックまたは別の外部ピンで駆動できます。クロック イネーブル (CE) が Low のときには、フリップフロップの出力は変化しません。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

入力			出力
CE	D	C	Q
1	D	↑	D
0	X	X	変化なし

デザインの入力方法

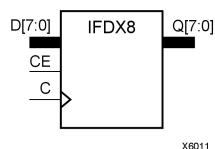
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリー データシート』\(DS312\)](#)

IFDX8

マクロ : 8-Bit Input D Flip-Flop with Clock Enable



概要

このエレメントは D フリップフロップで、I/O ブロック (IOB) に含まれています。フリップフロップの入力 (D) は、IBUF を使用せずに IPAD または IOPAD に接続されます。入力 D からはデータが入力され、チップへのデータ入力同期化されます。CE が High になっていると、入力 D の値は、クロック (C) が Low から High に切り替わる時にフリップフロップにロードされ、出力 (Q) に出力されます。クロック入力、内部ロジックまたは別の外部ピンで駆動できます。クロック イネーブル (CE) が Low のときには、フリップフロップの出力は変化しません。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

入力			出力
CE	D	C	Q
1	D	↑	D
0	X	X	変化なし

デザインの入力方法

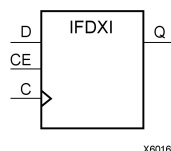
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリ データシート』\(DS312\)](#)

IFDXI

マクロ : Input D Flip-Flop with Clock Enable (Asynchronous Preset)



概要

このデザイン エLEMENTは D フリップフロップで、I/O ブロック (IOB) に含まれています。フリップフロップの入力 (D) は、IPAD または IOPAD に接続されます。入力 D からはデータが入力され、チップへのデータ入力が同期化されます。CE が High になっていると、入力 D の値は、クロック (C) が Low から High に切り替わる時にフリップフロップにロードされ、出力 (Q) に出力されます。クロック入力、内部ロジックまたは別の外部ピンで駆動できます。クロック イネーブル (CE) が Low のときには、出力 (Q) は変化しません。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

入力			出力
CE	D	C	Q
1	D	↑	D
0	X	X	変化なし

デザインの入力方法

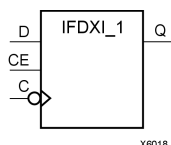
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリー データシート』\(DS312\)](#)

IFDXI_1

マクロ : Input D Flip-Flop with Inverted Clock and Clock Enable (Asynchronous Preset)



概要

このデザイン エレメントは D フリップフロップで、I/O ブロック (IOB) に含まれています。フリップフロップの入力 (D) は、IPAD または IOPAD に接続されます。入力 D からはデータが入力され、チップへのデータ入力が同期化されます。CE が High になっていると、入力 D の値は、クロック (C) が High から Low に切り替わる時にフリップフロップにロードされ、出力 (Q) に出力されます。クロック入力は、内部ロジックまたは別の外部ピンで駆動できます。クロック イネーブル (CE) が Low のときには、出力 (Q) は変化しません。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

入力			出力
CE	D	C	Q
1	D	↓	D
0	X	X	変化なし

デザインの入力方法

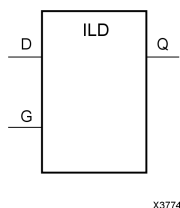
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリ データシート』\(DS312\)](#)

ILD

マクロ：Transparent Input Data Latch



概要

このデザイン エLEMENTは単一の透過データラッチで、チップに入力されるデータを一時的に保持します。このラッチは、I/O ブロック (IOB) に含まれます。ラッチ入力 (D) は、IBUF を使用せずに IPAD または IOPAD に接続されます。ゲート入力 (G) が High になると、入力 (D) のデータが出力 (Q) に出力されます。入力 D のデータは、G が High から Low に切り替わるときにラッチに格納されます。

電力を供給すると、ラッチは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

入力		出力
G	D	Q
1	D	D
0	X	変化なし
↓	D	D

デザインの入力方法

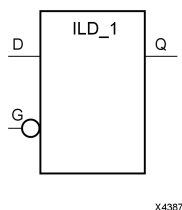
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリー データシート』\(DS312\)](#)

ILD_1

マクロ : Transparent Input Data Latch with Inverted Gate



概要

このデザイン エLEMENTは透過データ ラッチであり、チップに入力されるデータを一時的に保持します。ゲート入力 (G) が Low になると、入力 (D) の値が出力 (Q) に出力されます。入力 D の値は、G が Low から High に切り替わるときにラッチに格納されます。

電力を供給すると、ラッチは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

入力		出力
G	D	Q
0	D	D
1	X	変化なし
↑	D	D

デザインの入力方法

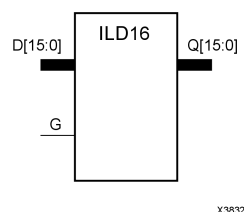
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリー データシート』\(DS312\)](#)

ILD16

マクロ：Transparent Input Data Latch



概要

このデザイン エLEMENTは複数の透過データ ラッチで、チップに入力されるデータを一時的に保持します。ILD ラッチは、I/O ブロック (IOB) に含まれています。ラッチ入力 (D) は、IBUF を使用せずに IPAD または IOPAD に接続されます。ゲート入力 (G) が High になると、入力 (D) の値が出力 (Q) に出力されます。入力 D の値は、G が High から Low に切り替わるときにラッチに格納されます。

電力を供給すると、ラッチは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

入力		出力
G	D	Q
1	Dn	Dn
0	X	変化なし
↓	Dn	Dn

デザインの入力方法

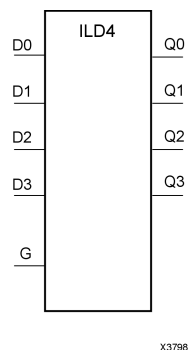
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリー データシート』\(DS312\)](#)

ILD4

マクロ : Transparent Input Data Latch



概要

このデザイン エレメントは複数の透過データラッチで、チップに入力されるデータを一時的に保持します。ILD ラッチは、I/O ブロック (IOB) に含まれています。ラッチ入力 (D) は、IBUF を使用せずに IPAD または IOPAD に接続されます。ゲート入力 (G) が High になると、入力 (D) の値が出力 (Q) に出力されます。入力 D の値は、G が High から Low に切り替わるときにラッチに格納されます。

電力を供給すると、ラッチは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

入力		出力
G	D	Q
1	Dn	Dn
0	X	変化なし
↓	Dn	Dn

デザインの入力方法

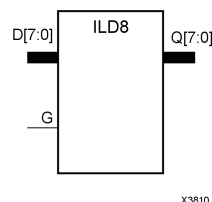
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリー データシート』\(DS312\)](#)

ILD8

マクロ：Transparent Input Data Latch



概要

このデザイン エLEMENTは複数の透過データ ラッチで、チップに入力されるデータを一時的に保持します。ILD ラッチは、I/O ブロック (IOB) に含まれています。ラッチ入力 (D) は、IBUF を使用せずに IPAD または IOPAD に接続されます。ゲート入力 (G) が High になると、入力 (D) の値が出力 (Q) に出力されます。入力 D の値は、G が High から Low に切り替わるときにラッチに格納されます。

電力を供給すると、ラッチは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

入力		出力
G	D	Q
1	Dn	Dn
0	X	変化なし
↓	Dn	Dn

デザインの入力方法

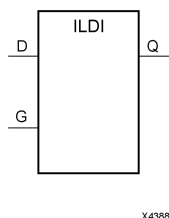
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリー データシート』\(DS312\)](#)

ILDI

マクロ：Transparent Input Data Latch (Asynchronous Preset)



概要

このデザイン エレメントは透過データ ラッチであり、チップに入力されるデータを一時的に保持します。ゲート入力 (G) が High になると、入力 (D) のデータが出力 (Q) に出力されます。入力 D のデータは、G が High から Low に切り替わるときにラッチに格納されます。

ILDI は、入力フリップフロップのマスタ ラッチです。入力フリップフロップからは、クロック信号のレベルに対応する出力とクロック信号のエッジに対応する出力という 2 つの異なる出力が使用できます。同じ入力フリップフロップから両方の出力を使用する場合、透過 High ラッチ (ILDI) は立ち下がりエッジでトリガーされるフリップフロップ (IFDI_1) に対応します。同様に、透過 Low ラッチ (ILDI_1) は立ち上がりエッジでトリガーされるフリップフロップ (IFDI) に対応します。

電力が供給されると、ラッチは非同期にプリセットされ、出力が High になります。

FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

入力		出力
G	D	Q
1	D	D
0	X	変化なし
↓	D	D

デザインの入力方法

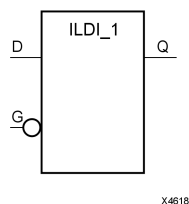
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリー データシート』\(DS312\)](#)

ILDI_1

マクロ：Transparent Input Data Latch with Inverted Gate (Asynchronous Preset)



概要

このデザイン エLEMENTは透過データラッチであり、チップに入力されるデータを一時的に保持します。ゲート入力 (G) が Low になると、入力 (D) の値が出力 (Q) に出力されます。入力 D の値は、G が Low から High に切り替わるときにラッチに格納されます。

電力が供給されると、ラッチは非同期にプリセットされ、出力が High になります。

FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

入力		出力
G	D	Q
0	1	1
0	0	0
1	X	変化なし
↑	D	D

デザインの入力方法

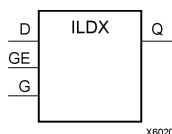
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリー データシート』\(DS312\)](#)

ILDX

マクロ：Transparent Input Data Latch



概要

このデザイン エLEMENTは単一または複数の透過データラッチであり、チップに入力されるデータを一時的に保持します。ラッチ入力 (D) は、IBUF を使用せずに IPAD または IOPAD に接続されます。

ILDX は、入力フリップフロップのマスター ラッチです。入力フリップフロップからは、クロック信号のレベルに対応する出力とクロック信号のエッジに対応する出力という 2 つの出力が使用できます。同じ入力フリップフロップから両方の出力を使用する場合、透過 High ラッチ (ILDX) は立ち下がりエッジでトリガーされるフリップフロップ (IFDX_1) に対応します。同様に、透過 Low ラッチ (ILDX_1) は立ち上がりエッジでトリガーされるフリップフロップ (IFDX) に対応します。

電力を供給すると、ラッチは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

入力			出力
GE	G	D	Q
0	X	X	変化なし
1	0	X	変化なし
1	1	1	1
1	1	0	0
1	↓	D	D

デザインの入力方法

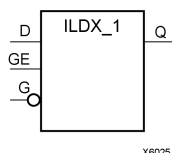
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリー データシート』\(DS312\)](#)

ILDX_1

マクロ : Transparent Input Data Latch with Inverted Gate



概要

このデザイン エLEMENTは透過データラッチであり、チップに入力されるデータを一時的に保持します。ゲート入力 (G) が Low になると、入力 (D) の値が出力 (Q) に出力されます。入力 D の値は、G が Low から High に切り替わる時にラッチに格納されます。

電力を供給すると、ラッチは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

入力			出力
GE	G	D	Q
0	X	X	変化なし
1	1	X	変化なし
1	0	1	1
1	0	0	0
1	↑	D	D

デザインの入力方法

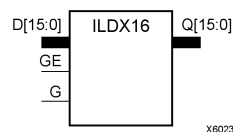
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリー データシート』\(DS312\)](#)

ILDX16

マクロ：Transparent Input Data Latch



概要

このデザイン エレメントは単一または複数の透過データ ラッチであり、チップに入力されるデータを一時的に保持します。ラッチ入力 (D) は、IBUF を使用せずに IPAD または IOPAD に接続されます。

ILDX は、入力フリップフロップのマスター ラッチです。入力フリップフロップからは、クロック信号のレベルに対応する出力とクロック信号のエッジに対応する出力という 2 つの出力が使用できます。同じ入力フリップフロップから両方の出力を使用する場合、透過 High ラッチ (ILDX) は立ち下がりエッジでトリガーされるフリップフロップ (IFDX_1) に対応します。同様に、透過 Low ラッチ (ILDX_1) は立ち上がりエッジでトリガーされるフリップフロップ (IFDX) に対応します。

電力を供給すると、ラッチは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

入力			出力
GE	G	D	Q
0	X	X	変化なし
1	0	X	変化なし
1	1	Dn	Dn

デザインの入力方法

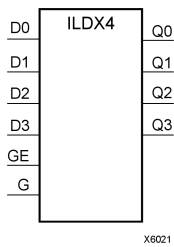
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリ データシート』\(DS312\)](#)

ILDX4

マクロ：Transparent Input Data Latch



概要

このデザイン エLEMENTは単一または複数の透過データ ラッチであり、チップに入力されるデータを一時的に保持します。ラッチ入力 (D) は、IBUF を使用せずに IPAD または IOPAD に接続されます。

ILDX は、入力フリップフロップのマスター ラッチです。入力フリップフロップからは、クロック信号のレベルに対応する出力とクロック信号のエッジに対応する出力という 2 つの出力が使用できます。同じ入力フリップフロップから両方の出力を使用する場合、透過 High ラッチ (ILDX) は立ち下がりエッジでトリガーされるフリップフロップ (IFDX_1) に対応します。同様に、透過 Low ラッチ (ILDX_1) は立ち上がりエッジでトリガーされるフリップフロップ (IFDX) に対応します。

電力を供給すると、ラッチは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

入力			出力
GE	G	D	Q
0	X	X	変化なし
1	1	X	変化なし
1	0	1	1
1	0	0	0
1	↑	Dn	Dn

デザインの入力方法

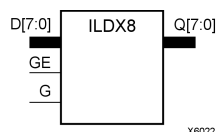
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリー データシート』\(DS312\)](#)

ILDX8

マクロ：Transparent Input Data Latch



概要

このデザイン エレメントは単一または複数の透過データ ラッチであり、チップに入力されるデータを一時的に保持します。ラッチ入力 (D) は、IBUF を使用せずに IPAD または IOPAD に接続されます。

ILDX は、入力フリップフロップのマスター ラッチです。入力フリップフロップからは、クロック信号のレベルに対応する出力とクロック信号のエッジに対応する出力という 2 つの出力が使用できます。同じ入力フリップフロップから両方の出力を使用する場合、透過 High ラッチ (ILDX) は立ち下がりエッジでトリガーされるフリップフロップ (IFDX_1) に対応します。同様に、透過 Low ラッチ (ILDX_1) は立ち上がりエッジでトリガーされるフリップフロップ (IFDX) に対応します。

電力を供給すると、ラッチは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

入力			出力
GE	G	D	Q
0	X	X	変化なし
1	0	X	変化なし
1	1	Dn	Dn

デザインの入力方法

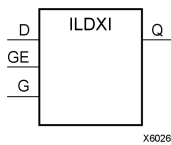
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリー データシート』\(DS312\)](#)

ILD XI

マクロ：Transparent Input Data Latch (Asynchronous Preset)



概要

このデザイン エLEMENTは透過データラッチであり、チップに入力されるデータを一時的に保持します。ゲート入力 (G) が High になると、入力 (D) のデータが出力 (Q) に出力されます。入力 D のデータは、G が High から Low に切り替わるときにラッチに格納されます。

ILD XI は、入力フリップフロップのマスター ラッチです。入力フリップフロップからは、クロック信号のレベルに対応する出力とクロック信号のエッジに対応する出力という 2 つの出力が使用できます。同じ入力フリップフロップから両方の出力を使用する場合、透過 High ラッチ (ILD XI) は立ち下がりエッジでトリガーされるフリップフロップ (IFDXI1) に対応します。同様に、透過 Low ラッチ (ILD XI1) は立ち上がりエッジでトリガーされるフリップフロップ (IFDXI) に対応します。

電力が供給されると、ラッチは非同期にプリセットされ、出力が High になります。

FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

入力			出力
GE	G	D	Q
0	X	X	変化なし
1	0	X	変化なし
1	1	D	D
1	↓	D	D

デザインの入力方法

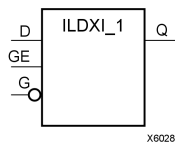
このELEMENTは、回路図でのみ使用できます。

詳細情報

- 『Spartan-3 ジェネレーション FPGA ユーザー ガイド』(UG331)
- 『Spartan-3E FPGA ファミリー データシート』(DS312)

ILDXI_1

マクロ：Transparent Input Data Latch with Inverted Gate (Asynchronous Preset)



概要

このデザイン エLEMENTは透過データ ラッチであり、チップに入力されるデータを一時的に保持します。

電力が供給されると、ラッチは非同期にプリセットされ、出力が High になります。

FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

入力			出力
GE	G	D	Q
0	X	X	変化なし
1	1	X	変化なし
1	0	D	D
1	↑	D	D

デザインの入力方法

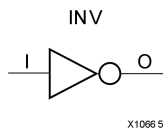
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリー データシート』\(DS312\)](#)

INV

プリミティブ：Inverter



概要

このデザイン エLEMENTは、回路図で信号を反転する単一のインバーターです。

デザインの入力方法

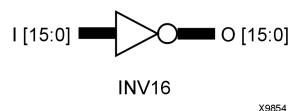
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリー データシート』\(DS312\)](#)

INV16

マクロ：16 Inverters



概要

このデザイン エLEMENTは、回路図で信号を反転する複数のインバーターです。

デザインの入力方法

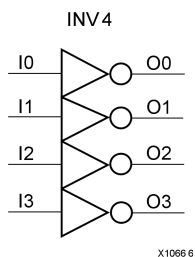
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリー データシート』\(DS312\)](#)

INV4

マクロ：Four Inverters



概要

このデザイン エLEMENTは、回路図で信号を反転する複数のインバーターです。

デザインの入力方法

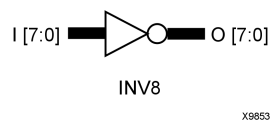
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリー データシート』\(DS312\)](#)

INV8

マクロ：Eight Inverters



概要

このデザイン エLEMENTは、回路図で信号を反転する複数のインバーターです。

デザインの入力方法

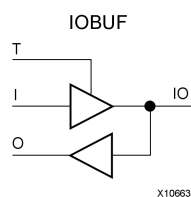
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリー データシート』\(DS312\)](#)

IOBUF

プリミティブ：Bi-Directional Buffer



概要

このデザイン エLEMENTは双方向でシングルエンドの I/O バッファで、内部ロジックを外部双方向ピンに接続する場合に使用します。

論理表

入力		双方向	出力
T	I	I/O	O
1	X	Z	I/O
0	1	1	1
0	0	0	0

ポートの説明

ポート名	方向	幅	機能
O	出力	1	バッファの出力
IO	入出力	1	バッファの入出力
I	入力	1	バッファの入力
T	入力	1	トライステート イネーブル入力

デザインの入力方法

このELEMENTは、回路図で使用できます。

使用可能な属性

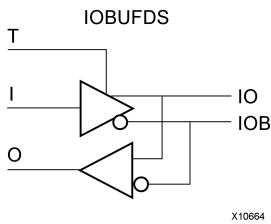
属性	データ型	値	デフォルト	説明
DRIVE	整数	2、4、6、8、12、16、24	12	I/O 規格として LVTTTL、LVC MOS12、LVC MOS15、LVC MOS18、LVC MOS25 または LVC MOS33 を使用する SelectIO™ バッファの出力の駆動電流 (mA) を選択します。
IBUF_DELAY_VALUE	文字列	"0" ~ "12"	"0"	IOB から出力されるレジスタを介さないパスに追加する遅延を指定します。
IFD_DELAY_VALUE	文字列	"AUTO"、 "0" ~ "6"	"AUTO"	IOB 内のレジスタを介するパスに追加する遅延を指定します。
IOSTANDARD	文字列	データシートを参照	"DEFAULT"	エレメントに I/O 規格を割り当てます。
SLEW	文字列	"SLOW"、"FAST"、 "QUIETIO"	"SLOW"	出力の立ち上がり時間と立ち下がり時間を設定します。この属性の最適な設定方法は、データシートを参照してください。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリー データシート』\(DS312\)](#)

IOBUFDS

プリミティブ：3-State Differential Signaling I/O Buffer with Active Low Output Enable



概要

このデザイン エLEMENTは、低電圧差動信号を使用する双方向バッファです。IOBUFDS では、デザインレベルのインターフェイス信号は、一方がマスターでもう一方がスレーブとなる 2 つの異なるポート (IO、IOB) で表されます。マスターとスレーブは MYNET_P と MYNET_N のように、同じ論理信号の反対の状態を示します。また、オプションの差動終端を使用すると、シグナル インテグリティが向上し、外部コンポーネントの数を削減できます。デバイスへの入力データの遅延を調整する遅延ELEMENTも含まれています。

論理表

入力		双方向		出力
I	T	I/O	IOB	O
X	1	Z	Z	変化なし
0	0	0	1	0
1	0	1	0	1

ポートの説明

ポート名	方向	幅	機能
O	出力	1	バッファの出力
IO	入出力	1	Diff_p 入出力
IOB	入出力	1	Diff_n 入出力
I	入力	1	バッファの入力
T	入力	1	トリステート イネーブル入力

デザインの入力方法

このELEMENTは、回路図で使用できます。

使用可能な属性

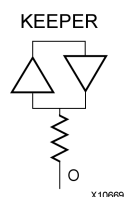
属性	データ型	値	デフォルト	説明
IBUF_DELAY_VALUE	文字列	"0" ~ "12"	"0"	IOB から出力されるレジスタを介さないパスに追加する遅延を指定します。
IFD_DELAY_VALUE	文字列	"AUTO"、 "0" ~ "6"	"AUTO"	IOB 内のレジスタを介するパスに追加する遅延を指定します。
IOSTANDARD	文字列	データシートを参照	"DEFAULT"	エレメントに I/O 規格を割り当てます。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリー データシート』\(DS312\)](#)

KEEPER

プリミティブ：KEEPER Symbol



概要

このデザイン エLEMENTは、双方向出力ピンに接続されるネットの値を保持するウィークキーパー エLEMENTです。たとえば、ネットに論理 1 を駆動すると、KEEPER はそのネットにウィーク/抵抗値 1 を駆動します。その後、ネットドライバーがトライステートになっても、KEEPER はウィーク/抵抗値 1 を駆動し続けます。

ポートの説明

ポート名	方向	幅	機能
O	出力	1 ビット	キーパー出力

デザインの入力方法

このELEMENTは、回路図で使用するか、HDL コードにインスタンスエートできます。VHDL および Verilog のインスタレーション テンプレートは、下にあります。

このELEMENTは、最上位の回路図ファイルで次のネットに接続できます。

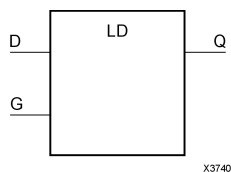
- ・ 入力 I/O マーカーに接続されたネット
- ・ 出力 I/O マーカーおよび OBUFT のようなトライステートにできる I/O ELEMENTの両方に接続されたネット

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリー データシート』\(DS312\)](#)

LD

プリミティブ：Transparent Data Latch



概要

LD は透過データラッチです。ゲート イネーブル入力 (G) が High の場合、データ出力 (Q) にデータ入力 (D) の値が出力されます。D 入力の値は、G が High から Low に切り替わるときにラッチ内に格納されます。Q 出力の値は、G が Low の間は変化しません。

電力を供給すると、ラッチは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

入力		出力
G	D	Q
1	D	D
0	X	変化なし
↓	D	D

デザインの入力方法

このエレメントは、回路図でのみ使用できます。

使用可能な属性

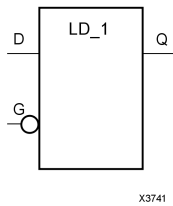
属性	データ型	値	デフォルト	説明
INIT	2 進数	0、1	0	コンフィギュレーション後の Q 出力の初期値を指定します。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリー データシート』\(DS312\)](#)

LD_1

プリミティブ：Transparent Data Latch with Inverted Gate



概要

このデザイン エLEMENTは、反転ゲート (G) 付き透過データ ラッチです。ゲート (G) 入力 が Low の場合、データ出力 (Q) にデータ入力 (D) の値が出力されます。D 入力の値は、G が Low から High に切り替わるときにラッチ内に格納されます。Q 出力の値は、G が High の間は変化しません。

電力を供給すると、ラッチは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

入力		出力
G	D	Q
0	D	D
1	X	変化なし
↑	D	D

デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

使用可能な属性

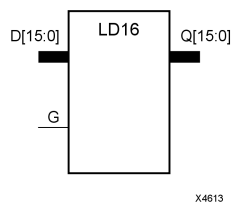
属性	データ型	値	デフォルト	説明
INIT	2 進数	0, 1	0	コンフィギュレーション後の Q 出力の初期値を指定します。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリー データシート』\(DS312\)](#)

LD16

マクロ：Multiple Transparent Data Latch



概要

このデザイン エレメントは透過データ ラッチ 16 個で構成されており、共通のゲート イネーブル (G) が 1 つあります。ゲート イネーブル入力 (G) が High の場合、データ出力 (Q) にデータ入力 (D) の値が出力されます。D 入力の値は、G が High から Low に切り替わるときにラッチ内に格納されます。Q 出力の値は、G が Low の間は変化しません。

電力を供給すると、ラッチは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

入力		出力
G	D	Q
1	Dn	Dn
0	X	変化なし
↓	Dn	Dn

デザインの入力方法

このエレメントは、回路図でのみ使用できます。

使用可能な属性

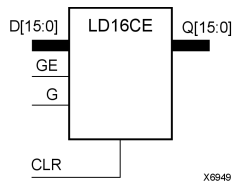
属性	データ型	値	デフォルト	説明
INIT	2 進数	16 ビット値	すべて 0	コンフィギュレーション後の Q 出力の初期値を指定します。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリー データシート』\(DS312\)](#)

LD16CE

マクロ：Transparent Data Latch with Asynchronous Clear and Gate Enable



概要

このデザイン エLEMENTは 16 個の透過データ ラッチで構成されており、非同期クリア (CLR) とゲート イネーブル (GE) があります。非同期クリア入力 (CLR) が High になると、ほかの入力は無視され、データ出力 (Q) が Low にリセットされます。ゲート入力 (G) およびゲート イネーブル (GE) が High で CLR が Low の場合、Q にデータ入力 (D) の値が出力されます。GE が Low の場合、D の値は不定値になります。D 入力の値は、G が High から Low に切り替わる時にラッチ内に格納されます。Q 出力の値は、G または GE が Low の間は変化しません。

電力を供給すると、ラッチは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

入力				出力
CLR	GE	G	Dn	Qn
1	X	X	X	0
0	0	X	X	変化なし
0	1	1	Dn	Dn
0	1	0	X	変化なし
0	1	↓	Dn	Dn

デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

使用可能な属性

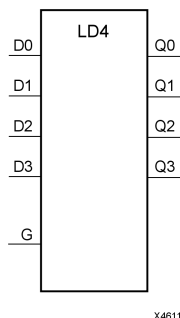
属性	データ型	値	デフォルト	説明
INIT	2 進数	16 ビット値	すべて 0	コンフィギュレーション後の Q 出力の初期値を指定します。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリー データシート』\(DS312\)](#)

LD4

マクロ : Multiple Transparent Data Latch



X4611

概要

このデザイン エLEMENTは透過データ ラッチ 4 個で構成されており、共通のゲート イネーブル (G) が 1 つあります。ゲート イネーブル入力 (G) が High の場合、データ出力 (Q) にデータ入力 (D) の値が出力されます。D 入力の値は、G が High から Low に切り替わるときにラッチ内に格納されます。Q 出力の値は、G が Low の間は変化しません。

電力を供給すると、ラッチは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

入力		出力
G	D	Q
1	Dn	Dn
0	X	変化なし
↓	Dn	Dn

デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

使用可能な属性

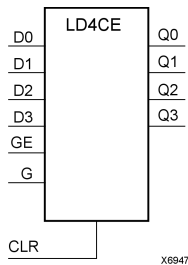
属性	データ型	値	デフォルト	説明
INIT	2 進数	4 ビット値	すべて 0	コンフィギュレーション後の Q 出力の初期値を指定します。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリー データシート』\(DS312\)](#)

LD4CE

マクロ：Transparent Data Latch with Asynchronous Clear and Gate Enable



概要

このデザイン エLEMENTは 4 個の透過データ ラッチで構成されており、非同期クリア (CLR) とゲート イネーブル (GE) があります。非同期クリア入力 (CLR) が High になると、ほかの入力は無視され、データ出力 (Q) が Low にリセットされます。ゲート入力 (G) およびゲート イネーブル (GE) が High で CLR が Low の場合、Q にデータ入力 (D) の値が出力されます。GE が Low の場合、D の値は不定値になります。D 入力の値は、G が High から Low に切り替わるときにラッチ内に格納されます。Q 出力の値は、G または GE が Low の間は変化しません。

電力を供給すると、ラッチは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

入力				出力
CLR	GE	G	Dn	Qn
1	X	X	X	0
0	0	X	X	変化なし
0	1	1	Dn	Dn
0	1	0	X	変化なし
0	1	↓	Dn	Dn

デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

使用可能な属性

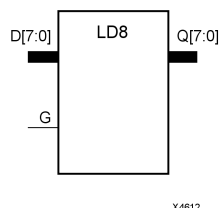
属性	データ型	値	デフォルト	説明
INIT	2 進数	4 ビット値	すべて 0	コンフィギュレーション後の Q 出力の初期値を指定します。

詳細情報

- 『Spartan-3 ジェネレーション FPGA ユーザー ガイド』(UG331)
- 『Spartan-3E FPGA ファミリー データシート』(DS312)

LD8

マクロ：Multiple Transparent Data Latch



概要

このデザイン エLEMENTは透過データ ラッチ 8 個で構成されており、共通のゲート イネーブル (G) が 1 つあります。ゲート イネーブル入力 (G) が High の場合、データ出力 (Q) にデータ入力 (D) の値が出力されます。D 入力の値は、G が High から Low に切り替わるときにラッチ内に格納されます。Q 出力の値は、G が Low の間は変化しません。

電力を供給すると、ラッチは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

入力		出力
G	D	Q
1	Dn	Dn
0	X	変化なし
↓	Dn	Dn

デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

使用可能な属性

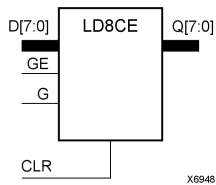
属性	データ型	値	デフォルト	説明
INIT	2 進数	8 ビット値	すべて 0	コンフィギュレーション後の Q 出力の初期値を指定します。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリー データシート』\(DS312\)](#)

LD8CE

マクロ：Transparent Data Latch with Asynchronous Clear and Gate Enable



概要

このデザイン エLEMENTは 8 個の透過データ ラッチで構成されており、非同期クリア (CLR) とゲート イネーブル (GE) があります。非同期クリア入力 (CLR) が High になると、ほかの入力は無視され、データ出力 (Q) が Low にリセットされます。ゲート入力 (G) およびゲート イネーブル (GE) が High で CLR が Low の場合、Q にデータ入力 (D) の値が出力されます。GE が Low の場合、D の値は不定値になります。D 入力の値は、G が High から Low に切り替わる時にラッチ内に格納されます。Q 出力の値は、G または GE が Low の間は変化しません。

電力を供給すると、ラッチは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

入力				出力
CLR	GE	G	Dn	Qn
1	X	X	X	0
0	0	X	X	変化なし
0	1	1	Dn	Dn
0	1	0	X	変化なし
0	1	↓	Dn	Dn

デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

使用可能な属性

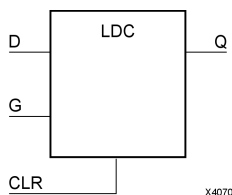
属性	データ型	値	デフォルト	説明
INIT	2 進数	8 ビット値	すべて 0	コンフィギュレーション後の Q 出力の初期値を指定します。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリー データシート』\(DS312\)](#)

LDC

プリミティブ：Transparent Data Latch with Asynchronous Clear



概要

このデザイン エLEMENTは、非同期クリア (CLR) がある透過データラッチです。非同期クリア入力 (CLR) が High になると、ほかの入力は無視され、データ出力 (Q) が Low にリセットされます。ゲートイネーブル入力 (G) が High で CLR が Low の場合、Q にデータ入力 (D) の値が出力されます。D 入力の値は、G が High から Low に切り替わる時にラッチ内に格納されます。Q 出力の値は、G が Low の間は変化しません。

電力を供給すると、ラッチは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

入力			出力
CLR	G	D	Q
1	X	X	0
0	1	D	D
0	0	X	変化なし
0	↓	D	D

デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

使用可能な属性

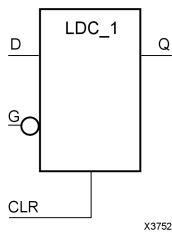
属性	データ型	値	デフォルト	説明
INIT	2 進数	0、1	0	コンフィギュレーション後の Q 出力の初期値を指定します。

詳細情報

- 『Spartan-3 ジェネレーション FPGA ユーザー ガイド』(UG331)
- 『Spartan-3E FPGA ファミリー データシート』(DS312)

LDC_1

プリミティブ：Transparent Data Latch with Asynchronous Clear and Inverted Gate



概要

このデザイン エLEMENTは、非同期クリア (CLR) および反転ゲート (G) 付き透過データラッチです。CLR が High になると、ほかの入力 (D、G) は無視され、データ出力 (Q) が Low にリセットされます。ゲート (G) 入力および CLR が Low の場合、Q にデータ入力 (D) の値が出力されます。D 入力の値は、G が Low から High に切り替わる時にラッチ内に格納されます。Q 出力の値は、G が High の間は変化しません。

電力を供給すると、ラッチは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

入力			出力
CLR	G	D	Q
1	X	X	0
0	0	D	D
0	1	X	変化なし
0	↑	D	D

デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

使用可能な属性

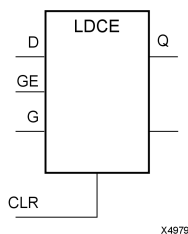
属性	データ型	値	デフォルト	説明
INIT	2 進数	0、1	0	コンフィギュレーション後の Q 出力の初期値を指定します。

詳細情報

- 『Spartan-3 ジェネレーション FPGA ユーザー ガイド』(UG331)
- 『Spartan-3E FPGA ファミリー データシート』(DS312)

LDCE

プリミティブ : Transparent Data Latch with Asynchronous Clear and Gate Enable



概要

このデザイン エLEMENTは、非同期クリア (CLR) およびゲート イネーブル (GE) 付き透過データ ラッチです。非同期クリア入力 (CLR) が High になると、ほかの入力は無視され、データ出力 (Q) が Low にリセットされます。ゲート入力 (G) およびゲート イネーブル (GE) が High で、CLR が Low のとき、Q にはデータ入力 (D) が使用されます。GE が Low の場合、D の値は不定値になります。D 入力の値は、G が High から Low に切り替わるときにラッチ内に格納されます。Q 出力の値は、G または GE が Low の間は変化しません。

電力を供給すると、ラッチは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

入力				出力
CLR	GE	G	D	Q
1	X	X	X	0
0	0	X	X	変化なし
0	1	1	D	D
0	1	0	X	変化なし
0	1	↓	D	D

デザインの入力方法

このELEMENTは、回路図で使用できます。

使用可能な属性

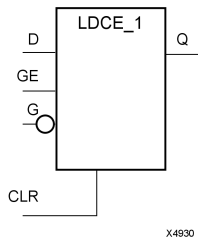
属性	データ型	値	デフォルト	説明
INIT	2 進数	0、1	0	コンフィギュレーション後の Q 出力の初期値を指定します。

詳細情報

- 『Spartan-3 ジェネレーション FPGA ユーザー ガイド』(UG331)
- 『Spartan-3E FPGA ファミリー データシート』(DS312)

LDCE_1

プリミティブ：Transparent Data Latch with Asynchronous Clear, Gate Enable, and Inverted Gate



概要

このデザイン エLEMENTは、非同期クリア (CLR)、ゲート イネーブル (GE)、反転ゲート (G) 付きの透過データ ラッチです。非同期クリア入力 (CLR) が High になると、ほかの入力は無視され、データ出力 (Q) が Low にリセットされます。G および CLR が Low、GE が High のとき、Q にはデータ入力 (D) が使用されます。D 入力の値は、G が Low から High に切り替わる時にラッチ内に格納されます。Q 出力の値は、G が High または GE が Low の間は変化しません。

電力を供給すると、ラッチは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

入力				出力
CLR	GE	G	D	Q
1	X	X	X	0
0	0	X	X	変化なし
0	1	0	D	D
0	1	1	X	変化なし
0	1	↑	D	D

デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

使用可能な属性

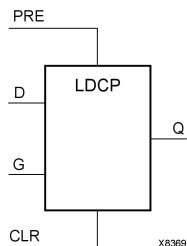
属性	データ型	値	デフォルト	説明
INIT	2 進数	0、1	0	コンフィギュレーション後の Q 出力の初期値を指定します。

詳細情報

- 『Spartan-3 ジェネレーション FPGA ユーザー ガイド』(UG331)
- 『Spartan-3E FPGA ファミリー データシート』(DS312)

LDCP

プリミティブ：Transparent Data Latch with Asynchronous Clear and Preset



概要

このデザイン エレメントは、データ入力 (D)、非同期クリア入力 (CLR)、プリセット入力 (PRE) がある透過データ ラッチです。CLR が High になると、ほかの入力は無視され、データ出力 (Q) が Low にリセットされます。PRE が High、CLR が Low の場合、データ出力 (Q) は High にプリセットされます。ゲート入力 (G) が High で CLR と PRE が Low の場合、Q にデータ入力 (D) の値が出力されます。D 入力の値は、G が High から Low に切り替わるときにラッチ内に格納されます。Q 出力の値は、G が Low の間は変化しません。

電力を供給すると、ラッチは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

入力				出力
CLR	PRE	G	D	Q
1	X	X	X	0
0	1	X	X	1
0	0	1	D	D
0	0	0	X	変化なし
0	0	↓	D	D

デザインの入力方法

このエレメントは、回路図でのみ使用できます。

使用可能な属性

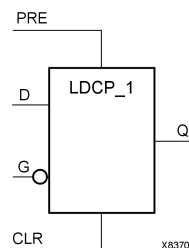
属性	データ型	値	デフォルト	説明
INIT	整数	0、1	0	電源投入時または GSR のアサート時の Q ポートの初期値を指定します。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリー データシート』\(DS312\)](#)

LDCP_1

プリミティブ：Transparent Data Latch with Asynchronous Clear and Preset and Inverted Gate



概要

このデザイン エLEMENTは、データ (D)、非同期クリア (CLR)、プリセット (PRE)、反転ゲート (G) がある透過データ ラッチです。CLR が High になると、ほかの入力は無視され、データ出力 (Q) が Low にリセットされます。PRE が High、CLR が Low の場合、データ出力 (Q) は High にプリセットされます。ゲート入力 (G)、CLR、PRE が Low の場合、Q にデータ入力 (D) の値が出力されます。D 入力の値は、G が Low から High に切り替わるときにラッチ内に格納されます。Q 出力の値は、G が High の間は変化しません。

電力を供給すると、ラッチは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

入力				出力
CLR	PRE	G	D	Q
1	X	X	X	0
0	1	X	X	1
0	0	0	D	D
0	0	1	X	変化なし
0	0	↑	D	D

デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

使用可能な属性

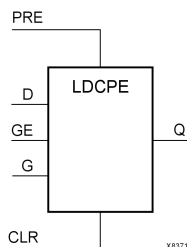
属性	データ型	値	デフォルト	説明
INIT	整数	0、1	0	電源投入時または GSR のアサート時の Q ポートの初期値を指定します。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリー データシート』\(DS312\)](#)

LDCPE

プリミティブ : Transparent Data Latch with Asynchronous Clear and Preset and Gate Enable



概要

このデザイン エLEMENTは、データ (D)、非同期クリア (CLR)、非同期プリセット (PRE)、ゲート イネーブル (GE) がある透過データ ラッチです。CLR が High になると、ほかの入力は無視され、データ出力 (Q) が Low にリセットされます。PRE が High、CLR が Low の場合、データ出力 (Q) は High にプリセットされます。ゲート入力 (G) と GE が High で CLR と PRE が Low の場合、Q にはデータ入力 (D) の値が出力されます。D 入力の値は、G が High から Low に切り替わる時にラッチ内に格納されます。Q 出力の値は、G または GE が Low の間は変化しません。

電力を供給すると、ラッチは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

入力					出力
CLR	PRE	GE	G	D	Q
1	X	X	X	X	0
0	1	X	X	X	1
0	0	0	X	X	変化なし
0	0	1	1	0	0
0	0	1	1	1	1
0	0	1	0	X	変化なし
0	0	1	↓	D	D

ポートの説明

ポート名	方向	幅	機能
Q	出力	1	データ出力
CLR	入力	1	非同期クリア/リセット入力
D	入力	1	データ入力
G	入力	1	ゲート入力
GE	入力	1	ゲート イネーブル入力
PRE	入力	1	非同期プリセット/セット入力

デザインの入力方法

このエレメントは、回路図で使用できます。

使用可能な属性

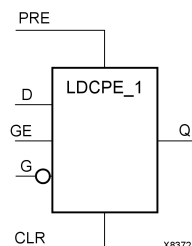
属性	データ型	値	デフォルト	説明
INIT	整数	0、1	0	コンフィギュレーション後の Q 出力の初期値を指定します。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリー データシート』\(DS312\)](#)

LDCPE_1

プリミティブ : Transparent Data Latch with Asynchronous Clear and Preset, Gate Enable, and Inverted Gate



概要

このデザイン エレメントは、データ (D)、非同期クリア (CLR)、非同期プリセット (PRE)、ゲート イネーブル (GE)、反転ゲート (G) がある透過データ ラッチです。CLR が High になると、ほかの入力は無視され、データ出力 (Q) が Low にリセットされます。PRE が High、CLR が Low の場合、データ出力 (Q) は High にプリセットされます。GE が High で、G、CLR、PRE が Low の場合、Q にデータ入力 (D) の値が出力されます。D 入力の値は、G が Low から High に切り替わる時にラッチ内に格納されます。Q 出力の値は、G が High または GE が Low の間は変化しません。

電力を供給すると、ラッチは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

入力					出力
CLR	PRE	GE	G	D	Q
1	X	X	X	X	0
0	1	X	X	X	1
0	0	0	X	X	変化なし
0	0	1	0	D	D
0	0	1	1	X	変化なし
0	0	1	↑	D	D

デザインの入力方法

このエレメントは、回路図でのみ使用できます。

使用可能な属性

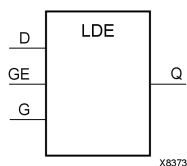
属性	データ型	値	デフォルト	説明
INIT	整数	0、1	0	電源投入時または GSR のアサート時の Q ポートの初期値を指定します。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリー データシート』\(DS312\)](#)

LDE

プリミティブ：Transparent Data Latch with Gate Enable



概要

このデザイン エレメントは、データ入力 (D) とゲート イネーブル入力 (GE) がある透過データ ラッチです。ゲート入力 (G) とゲート イネーブル (GE) が High の場合、Q 出力にはデータ入力 (D) の値が出力されます。D 入力の値は、G が High から Low に切り替わるときにラッチ内に格納されます。Q 出力の値は、G または GE が Low の間は変化しません。

電力を供給すると、ラッチは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

入力			出力
GE	G	D	Q
0	X	X	変化なし
1	1	D	D
1	0	X	変化なし
1	↓	D	D

デザインの入力方法

このエレメントは、回路図でのみ使用できます。

使用可能な属性

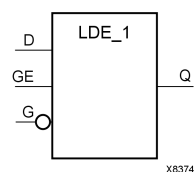
属性	データ型	値	デフォルト	説明
INIT	2 進数	0、1	0	電源投入時または GSR のアサート時の Q ポートの初期値を指定します。

詳細情報

- 『Spartan-3 ジェネレーション FPGA ユーザー ガイド』(UG331)
- 『Spartan-3E FPGA ファミリー データシート』(DS312)

LDE_1

プリミティブ：Transparent Data Latch with Gate Enable and Inverted Gate



概要

このデザイン エLEMENTは、データ入力 (D) とゲート イネーブル入力 (GE)、反転ゲート (G) がある透過データ ラッチです。G が Low で GE が High の場合、Q 出力にはデータ入力 (D) の値が出力されます。D 入力の値は、G が Low から High に切り替わるときにラッチ内に格納されます。Q 出力の値は、G が High または GE が Low の間は変化しません。

電力を供給すると、ラッチは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

入力			出力
GE	G	D	Q
0	X	X	変化なし
1	0	D	D
1	1	X	変化なし
1	↑	D	D

デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

使用可能な属性

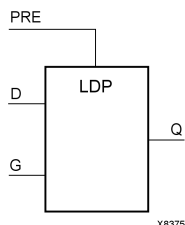
属性	データ型	値	デフォルト	説明
INIT	2 進数	0、1	0	電源投入時または GSR のアサート時の Q ポートの初期値を指定します。

詳細情報

- 『Spartan-3 ジェネレーション FPGA ユーザー ガイド』(UG331)
- 『Spartan-3E FPGA ファミリー データシート』(DS312)

LDP

プリミティブ：Transparent Data Latch with Asynchronous Preset



概要

このデザイン エレメントは、非同期プリセット (PRE) がある透過データ ラッチです。PRE が High になると、ほかの入力は無視され、データ出力 (Q) が High にプリセットされます。ゲート入力 (G) が High で PRE が Low の場合、Q にはデータ入力 (D) の値が出力されます。D 入力の値は、G が High から Low に切り替わるときにラッチ内に格納されます。Q 出力の値は、G が Low の間は変化しません。

電力が供給されると、ラッチは非同期にプリセットされ、出力が High になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

入力			出力
PRE	G	D	Q
1	X	X	1
0	1	0	0
0	1	1	1
0	0	X	変化なし
0	↓	D	D

デザインの入力方法

このエレメントは、回路図でのみ使用できます。

使用可能な属性

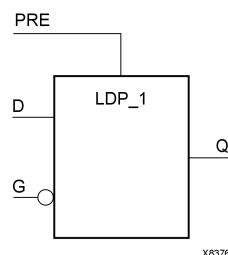
属性	データ型	値	デフォルト	説明
INIT	2 進数	0、1	1	電源投入時または GSR のアサート時の Q ポートの初期値を指定します。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリー データシート』\(DS312\)](#)

LDP_1

プリミティブ：Transparent Data Latch with Asynchronous Preset and Inverted Gate



概要

このデザイン エLEMENTは、非同期プリセット (PRE)、反転ゲート (G) がある透過データラッチです。PRE が High になると、ほかの入力は無視され、データ出力 (Q) が High にプリセットされます。G と PRE が Low の場合、Q にはデータ入力 (D) の値が出力されます。D 入力の値は、G が Low から High に切り替わるときにラッチ内に格納されます。Q 出力の値は、G が High の間は変化しません。

電力が供給されると、ラッチは非同期にプリセットされ、出力が High になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

入力			出力
PRE	G	D	Q
1	X	X	1
0	0	D	D
0	1	X	変化なし
0	↑	D	D

デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

使用可能な属性

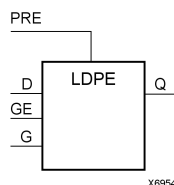
属性	データ型	値	デフォルト	説明
INIT	2 進数	0、1	1	電源投入時または GSR のアサート時の Q ポートの初期値を指定します。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリー データシート』\(DS312\)](#)

LDPE

プリミティブ : Transparent Data Latch with Asynchronous Preset and Gate Enable



概要

このデザイン エレメントは、非同期プリセット (PRE) およびゲート イネーブル (GE) 付き透過データ ラッチです。PRE が High になると、ほかの入力は無視され、データ出力 (Q) が High にプリセットされます。ゲート入力 (G) およびゲート イネーブル (GE) が High の場合、Q にデータ入力 (D) の値が出力されます。D 入力の値は、G が High から Low に切り替わる時にラッチ内に格納されます。Q 出力の値は、G または GE が Low の間は変化しません。

電力が供給されると、ラッチは非同期にプリセットされ、出力が High になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

入力				出力
PRE	GE	G	D	Q
1	X	X	X	1
0	0	X	X	変化なし
0	1	1	D	D
0	1	0	X	変化なし
0	1	↓	D	D

デザインの入力方法

このエレメントは、回路図で使用できます。

使用可能な属性

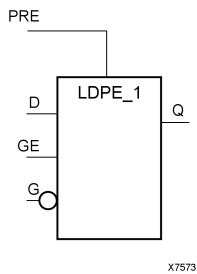
属性	データ型	値	デフォルト	説明
INIT	2 進数	0、1	1	電源投入時または GSR のアサート時の Q ポートの初期値を指定します。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリー データシート』\(DS312\)](#)

LDPE_1

プリミティブ：Transparent Data Latch with Asynchronous Preset, Gate Enable, and Inverted Gate



概要

このデザイン エLEMENTは、非同期プリセット (PRE)、ゲート イネーブル (GE)、反転ゲート (G) 付きの透過データ ラッチです。PRE が High になると、ほかの入力は無視され、データ出力 (Q) が High にプリセットされます。G および PRE が Low で、GE が High の場合、Q にデータ入力 (D) の値が出力されます。D 入力の値は、G が Low から High に切り替わるときにラッチ内に格納されます。Q 出力の値は、G が High または GE が Low の間は変化しません。

電力が供給されると、ラッチは非同期にプリセットされ、出力が High になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

入力				出力
PRE	GE	G	D	Q
1	X	X	X	1
0	0	X	X	変化なし
0	1	0	D	D
0	1	1	X	変化なし
0	1	↑	D	D

デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

使用可能な属性

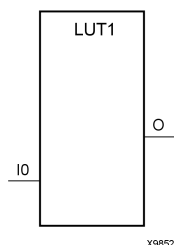
属性	データ型	値	デフォルト	説明
INIT	2 進数	0、1	1	電源投入時または GSR のアサート時の Q ポートの初期値を指定します。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリー データシート』\(DS312\)](#)

LUT1

プリミティブ：1-Bit Look-Up Table with General Output



概要

このデザイン エレメントは汎用出力 (O) を持つ 1 ビットのルックアップ テーブル (LUT) です。

LUT のファンクションを設定するため、INIT 属性を使用して、各入力値に対する出力値を 16 進数で指定する必要があります。このエレメントは、バッファまたはインバーターの機能を果たします。これらのエレメントは基本ブロックで、各 CLB スライスに 2 つ、各 CLB に 4 つずつあります。LUT には複数のバリエーションがあり、異なるタイミング モデルでレイアウト前のタイミングをより正確に予測する必要がある場合に使用できます。

FPGA LUT プリミティブでは、INIT パラメーターで論理値が設定されます。デフォルトは 0 で、入力値にかかわらず出力を 0 に駆動します (グラウンドとして機能)。ただし多くの場合、LUT プリミティブのロジック ファンクションを指定するため、INIT 値を設定する必要があります。LUT の値を指定する方法には、次の 2 つがあります。

論理表を使用する方法：LUT の INIT 値を決定する一般的な方法。すべての入力をリストした 2 進数の論理表を作成し、出力の論理値を指定して、これらの出力値から INIT 文字列を作成します。

論理式を使用する方法：リストされた論理表の値に対応する LUT の各入力にパラメーターを定義し、パラメーターを基にロジックの論理式を生成します。概念を理解してしまえばこの方法の方が簡単ですが、コードで最初に適切なパラメーターを指定する必要があります。

論理表

入力	出力
I0	O
0	INIT[0]
1	INIT[1]
INIT = INIT 属性に割り当てられた 2 進数値	

デザインの入力方法

このエレメントは、回路図で使用できます。

使用可能な属性

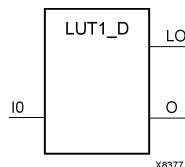
属性	データ型	値	デフォルト	説明
INIT	16 進数	2 ビット値	すべて 0	ルックアップ テーブルの論理値を指定します。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリ データシート』\(DS312\)](#)

LUT1_D

プリミティブ：1-Bit Look-Up Table with Dual Output



概要

このデザイン エLEMENTは 1 ビットのルックアップ テーブル (LUT) で、同じ機能を持つ O および LO という 2 つの出力があります。このELEMENTはバッファまたはインバータの機能を果たします。

出力 O は汎用インターコネクトです。LO 出力は同じ CLB スライス内の別の入力または高速バッファに接続します。LUT のファンクションを設定するため、INIT 属性を使用して、各入力値に対する出力値を 16 進数で指定する必要があります。

FPGA LUT プリミティブでは、INIT パラメーターで論理値が設定されます。デフォルトは 0 で、入力値にかかわらず出力を 0 に駆動します (グラウンドとして機能)。ただし多くの場合、LUT プリミティブのロジック ファンクションを指定するため、INIT の値を設定する必要があります。LUT の値を指定する方法には、次の 2 つがあります。

- ・ **論理表を使用する方法**：LUT の INIT 値を決定する一般的な方法。すべての入力をリストした 2 進数の論理表を作成し、出力の論理値を指定して、これらの出力値から INIT 文字列を作成します。
- ・ **論理式を使用する方法**：リストされた論理表の値に対応する LUT の各入力にパラメーターを定義し、パラメーターを基にロジックの論理式を生成します。概念を理解してしまえばこの方法の方が簡単ですが、コードで最初に適切なパラメーターを指定する必要があります。

論理表

入力	出力	
IO	O	LO
0	INIT[0]	INIT[0]
1	INIT[1]	INIT[1]
INIT = INIT 属性に割り当てられた 2 進数値		

デザインの入力方法

このELEMENTは、回路図で使用できます。

使用可能な属性

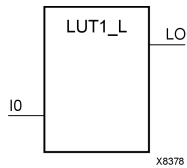
属性	データ型	値	デフォルト	説明
INIT	16 進数	2 ビット値	すべて 0	ルックアップ テーブルの論理値を指定します。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリー データシート』\(DS312\)](#)

LUT1_L

プリミティブ：1-Bit Look-Up Table with Local Output



概要

このデザイン エLEMENT は、1 ビットのルックアップ テーブル (LUT) で、同じ CLB スライス内にある別の出力および高速バッファへの接続に使用するローカル出力 (LO) があります。このELEMENTはバッファまたはインバーターの機能を果たします。

LUT のファンクションを設定するため、INIT 属性を使用して、各入力値に対する出力値を 16 進数で指定する必要があります。

FPGA LUT プリミティブでは、INIT パラメーターで論理値が設定されます。デフォルトは 0 で、入力値にかかわらず出力を 0 に駆動します (グラウンドとして機能)。ただし多くの場合、LUT プリミティブのロジック ファンクションを指定するため、INIT 値を設定する必要があります。LUT の値を指定する方法には、次の 2 つがあります。

論理表を使用する方法：LUT の INIT 値を決定する一般的な方法。すべての入力をリストした 2 進数の論理表を作成し、出力の論理値を指定して、これらの出力値から INIT 文字列を作成します。

論理式を使用する方法：リストされた論理表の値に対応する LUT の各入力にパラメーターを定義し、パラメーターを基にロジックの論理式を生成します。概念を理解してしまえばこの方法の方が簡単ですが、コードで最初に適切なパラメーターを指定する必要があります。

論理表

入力	出力
I0	LO
0	INIT[0]
1	INIT[1]
INIT = INIT 属性に割り当てられた 2 進数値	

デザインの入力方法

このELEMENTは、回路図で使用できます。

使用可能な属性

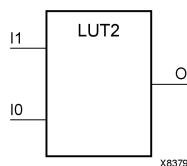
属性	データ型	値	デフォルト	説明
INIT	16 進数	2 ビット値	すべて 0	ルックアップ テーブルの論理値を指定します。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリー データシート』\(DS312\)](#)

LUT2

プリミティブ : 2-Bit Look-Up Table with General Output



概要

このデザイン エレメントは、汎用出力 (O) を持つ 2 ビットのルックアップ テーブル (LUT) です。

LUT のファンクションを設定するため、INIT 属性を使用して、各入力値に対する出力値を 16 進数で指定する必要があります。このエレメントは、バッファまたはインバーターの機能を果たします。これらのエレメントは基本ブロックで、各 CLB スライスに 2 つ、各 CLB に 4 つずつあります。LUT には複数のバリエーションがあり、異なるタイミング モデルでレイアウト前のタイミングをより正確に予測する必要がある場合に使用できます。

FPGA LUT プリミティブでは、INIT パラメーターで論理値が設定されます。デフォルトは 0 で、入力値にかかわらず出力を 0 に駆動します (グラウンドとして機能)。ただし多くの場合、LUT プリミティブのロジック ファンクションを指定するため、INIT 値を設定する必要があります。LUT の値を指定する方法には、次の 2 つがあります。

論理表を使用する方法 : LUT の INIT 値を決定する一般的な方法。すべての入力をリストした 2 進数の論理表を作成し、出力の論理値を指定して、これらの出力値から INIT 文字列を作成します。

論理式を使用する方法 : リストされた論理表の値に対応する LUT の各入力にパラメーターを定義し、パラメーターを基にロジックの論理式を生成します。概念を理解してしまえばこの方法の方が簡単ですが、コードで最初に適切なパラメーターを指定する必要があります。

論理表

入力		出力
I1	I0	O
0	0	INIT[0]
0	1	INIT[1]
1	0	INIT[2]
1	1	INIT[3]
INIT = INIT 属性で指定された 16 進数値を 2 進数で表した値		

デザインの入力方法

このエレメントは、回路図で使用できます。

使用可能な属性

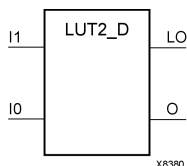
属性	データ型	値	デフォルト	説明
INIT	16 進数	4 ビット値	すべて 0	ルックアップ テーブルの論理値を指定します。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリ データシート』\(DS312\)](#)

LUT2_D

プリミティブ：2-Bit Look-Up Table with Dual Output



概要

このデザイン エLEMENTは 2 ビットのルックアップ テーブル (LUT) で、同じ機能を持つ O および LO という 2 つの出力があります。

出力 O は汎用インターコネクトです。LO 出力は同じ CLB スライス内の別の入力または高速バッファに接続します。LUT のファンクションを設定するため、INIT 属性を使用して、各入力値に対する出力値を 16 進数で指定する必要があります。

FPGA LUT プリミティブでは、INIT パラメーターで論理値が設定されます。デフォルトは 0 で、入力値にかかわらず出力を 0 に駆動します (グラウンドとして機能)。ただし多くの場合、LUT プリミティブのロジック ファンクションを指定するため、INIT の値を設定する必要があります。LUT の値を指定する方法には、次の 2 つがあります。

- ・ **論理表を使用する方法**：LUT の INIT 値を決定する一般的な方法。すべての入力をリストした 2 進数の論理表を作成し、出力の論理値を指定して、これらの出力値から INIT 文字列を作成します。
- ・ **論理式を使用する方法**：リストされた論理表の値に対応する LUT の各入力にパラメーターを定義し、パラメーターを基にロジックの論理式を生成します。概念を理解してしまえばこの方法の方が簡単ですが、コードで最初に適切なパラメーターを指定する必要があります。

論理表

入力		出力	
I1	I0	O	LO
0	0	INIT[0]	INIT[0]
0	1	INIT[1]	INIT[1]
1	0	INIT[2]	INIT[2]
1	1	INIT[3]	INIT[3]
INIT = INIT 属性で指定された 16 進数値を 2 進数で表した値			

デザインの入力方法

このELEMENTは、回路図で使用できます。

使用可能な属性

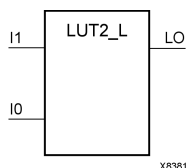
属性	データ型	値	デフォルト	説明
INIT	16 進数	4 ビット値	すべて 0	ルックアップ テーブルの論理値を指定します。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリ データシート』\(DS312\)](#)

LUT2_L

プリミティブ：2-Bit Look-Up Table with Local Output



概要

このデザイン エレメント は 2 ビットのルックアップ テーブル (LUT) で、同じ CLB スライス内にある別の出力および高速バッファへの接続に使用するローカル出力 (LO) があります。このエレメントはバッファまたはインバーターの機能を果たします。

LUT のファンクションを設定するため、INIT 属性を使用して、各入力値に対する出力値を 16 進数で指定する必要があります。

FPGA LUT プリミティブでは、INIT パラメーターで論理値が設定されます。デフォルトは 0 で、入力値にかかわらず出力を 0 に駆動します (グラウンドとして機能)。ただし多くの場合、LUT プリミティブのロジック ファンクションを指定するため、INIT 値を設定する必要があります。LUT の値を指定する方法には、次の 2 つがあります。

論理表を使用する方法：LUT の INIT 値を決定する一般的な方法。すべての入力をリストした 2 進数の論理表を作成し、出力の論理値を指定して、これらの出力値から INIT 文字列を作成します。

論理式を使用する方法：リストされた論理表の値に対応する LUT の各入力にパラメーターを定義し、パラメーターを基にロジックの論理式を生成します。概念を理解してしまえばこの方法の方が簡単ですが、コードで最初に適切なパラメーターを指定する必要があります。

論理表

入力		出力
I1	I0	LO
0	0	INIT[0]
0	1	INIT[1]
1	0	INIT[2]
1	1	INIT[3]
INIT = INIT 属性で指定された 16 進数値を 2 進数で表した値		

デザインの入力方法

このエレメントは、回路図で使用できます。

使用可能な属性

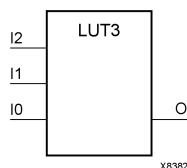
属性	データ型	値	デフォルト	説明
INIT	16 進数	4 ビット値	すべて 0	ルックアップ テーブルの論理値を指定します。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリ データシート』\(DS312\)](#)

LUT3

プリミティブ：3-Bit Look-Up Table with General Output



概要

このデザイン エレメントは、汎用出力 (O) を持つ 3 ビットのルックアップ テーブル (LUT) です。LUT のファンクションを設定するため、INIT 属性を使用して、各入力値に対する出力値を 16 進数で指定する必要があります。

LUT のファンクションを設定するため、INIT 属性を使用して、各入力値に対する出力値を 16 進数で指定する必要があります。このエレメントは、バッファまたはインバーターの機能を果たします。これらのエレメントは基本ブロックで、各 CLB スライスに 2 つ、各 CLB に 4 つずつあります。LUT には複数のバリエーションがあり、異なるタイミング モデルでレイアウト前のタイミングをより正確に予測する必要がある場合に使用できます。

FPGA LUT プリミティブでは、INIT パラメーターで論理値が設定されます。デフォルトは 0 で、入力値にかかわらず出力を 0 に駆動します (グラウンドとして機能)。ただし多くの場合、LUT プリミティブのロジック ファンクションを指定するため、INIT 値を設定する必要があります。LUT の値を指定する方法には、次の 2 つがあります。

論理表を使用する方法：LUT の INIT 値を決定する一般的な方法。すべての入力をリストした 2 進数の論理表を作成し、出力の論理値を指定して、これらの出力値から INIT 文字列を作成します。

論理式を使用する方法：リストされた論理表の値に対応する LUT の各入力にパラメーターを定義し、パラメーターを基にロジックの論理式を生成します。概念を理解してしまえばこの方法の方が簡単ですが、コードで最初に適切なパラメーターを指定する必要があります。

論理表

入力			出力
I2	I1	I0	O
0	0	0	INIT[0]
0	0	1	INIT[1]
0	1	0	INIT[2]
0	1	1	INIT[3]
1	0	0	INIT[4]
1	0	1	INIT[5]
1	1	0	INIT[6]
1	1	1	INIT[7]
INIT = INIT 属性で指定された 16 進数値を 2 進数で表した値			

デザインの入力方法

このエレメントは、回路図で使用できます。

使用可能な属性

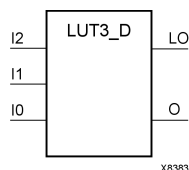
属性	データ型	値	デフォルト	説明
INIT	16 進数	8 ビット値	すべて 0	ルックアップ テーブルの論理値を指定します。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリー データシート』\(DS312\)](#)

LUT3_D

プリミティブ：3-Bit Look-Up Table with Dual Output



概要

このデザイン エレメントは 3 ビットのルックアップ テーブル (LUT) で、同じ機能を持つ O および LO という 2 つの出力があります。

出力 O は汎用インターコネクトです。LO 出力は同じ CLB スライス内の別の入力または高速バッファーに接続します。LUT のファンクションを設定するため、INIT 属性を使用して、各入力値に対する出力値を 16 進数で指定する必要があります。

FPGA LUT プリミティブでは、INIT パラメーターで論理値が設定されます。デフォルトは 0 で、入力値にかかわらず出力を 0 に駆動します (グラウンドとして機能)。ただし多くの場合、LUT プリミティブのロジック ファンクションを指定するため、INIT の値を設定する必要があります。LUT の値を指定する方法には、次の 2 つがあります。

- ・ **論理表を使用する方法**：LUT の INIT 値を決定する一般的な方法。すべての入力をリストした 2 進数の論理表を作成し、出力の論理値を指定して、これらの出力値から INIT 文字列を作成します。
- ・ **論理式を使用する方法**：リストされた論理表の値に対応する LUT の各入力にパラメーターを定義し、パラメーターを基にロジックの論理式を生成します。概念を理解してしまえばこの方法の方が簡単ですが、コードで最初に適切なパラメーターを指定する必要があります。

論理表

入力			出力	
I2	I1	I0	O	LO
0	0	0	INIT[0]	INIT[0]
0	0	1	INIT[1]	INIT[1]
0	1	0	INIT[2]	INIT[2]
0	1	1	INIT[3]	INIT[3]
1	0	0	INIT[4]	INIT[4]
1	0	1	INIT[5]	INIT[5]
1	1	0	INIT[6]	INIT[6]
1	1	1	INIT[7]	INIT[7]
INIT = INIT 属性で指定された 16 進数値を 2 進数で表した値				

デザインの入力方法

このエレメントは、回路図で使用できます。

使用可能な属性

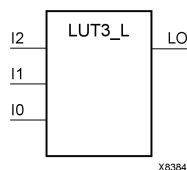
属性	データ型	値	デフォルト	説明
INIT	16 進数	8 ビット値	すべて 0	ルックアップ テーブルの論理値を指定します。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリー データシート』\(DS312\)](#)

LUT3_L

プリミティブ：3-Bit Look-Up Table with Local Output



概要

このデザイン エレメント は 3 ビットのルックアップ テーブル (LUT) で、同じ CLB スライス内にある別の出力および高速バッファへの接続に使用するローカル出力 (LO) があります。このエレメントはバッファまたはインバーターの機能を果たします。

LUT のファンクションを設定するため、INIT 属性を使用して、各入力値に対する出力値を 16 進数で指定する必要があります。

FPGA LUT プリミティブでは、INIT パラメーターで論理値が設定されます。デフォルトは 0 で、入力値にかかわらず出力を 0 に駆動します (グラウンドとして機能)。ただし多くの場合、LUT プリミティブのロジック ファンクションを指定するため、INIT 値を設定する必要があります。LUT の値を指定する方法には、次の 2 つがあります。

論理表を使用する方法：LUT の INIT 値を決定する一般的な方法。すべての入力をリストした 2 進数の論理表を作成し、出力の論理値を指定して、これらの出力値から INIT 文字列を作成します。

論理式を使用する方法：リストされた論理表の値に対応する LUT の各入力にパラメーターを定義し、パラメーターを基にロジックの論理式を生成します。概念を理解してしまえばこの方法の方が簡単ですが、コードで最初に適切なパラメーターを指定する必要があります。

論理表

入力			出力
I2	I1	I0	LO
0	0	0	INIT[0]
0	0	1	INIT[1]
0	1	0	INIT[2]
0	1	1	INIT[3]
1	0	0	INIT[4]
1	0	1	INIT[5]
1	1	0	INIT[6]
1	1	1	INIT[7]
INIT = INIT 属性で指定された 16 進数値を 2 進数で表した値			

デザインの入力方法

このエレメントは、回路図で使用できます。

使用可能な属性

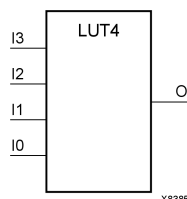
属性	データ型	値	デフォルト	説明
INIT	16 進数	8 ビット値	すべて 0	ルックアップ テーブルの論理値を指定します。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリー データシート』\(DS312\)](#)

LUT4

プリミティブ：4-Bit Look-Up-Table with General Output



概要

このデザイン エLEMENTは、汎用出力 (O) を持つ 4 ビットのルックアップ テーブル (LUT) です。

LUT のファンクションを設定するため、INIT 属性を使用して、各入力値に対する出力値を 16 進数で指定する必要があります。このELEMENTは、バッファまたはインバーターの機能を果たします。これらのELEMENTは基本ブロックで、各 CLB スライスに 2 つ、各 CLB に 4 つずつあります。LUT には複数のバリエーションがあり、異なるタイミング モデルでレイアウト前のタイミングをより正確に予測する必要がある場合に使用できます。

FPGA LUT プリミティブでは、INIT パラメーターで論理値が設定されます。デフォルトは 0 で、入力値にかかわらず出力を 0 に駆動します (グラウンドとして機能)。ただし多くの場合、LUT プリミティブのロジック ファンクションを指定するため、INIT 値を設定する必要があります。LUT の値を指定する方法には、次の 2 つがあります。

論理表を使用する方法：LUT の INIT 値を決定する一般的な方法。すべての入力をリストした 2 進数の論理表を作成し、出力の論理値を指定して、これらの出力値から INIT 文字列を作成します。

論理式を使用する方法：リストされた論理表の値に対応する LUT の各入力にパラメーターを定義し、パラメーターを基にロジックの論理式を生成します。概念を理解してしまえばこの方法の方が簡単ですが、コードで最初に適切なパラメーターを指定する必要があります。

論理表

入力				出力
I3	I2	I1	I0	O
0	0	0	0	INIT[0]
0	0	0	1	INIT[1]
0	0	1	0	INIT[2]
0	0	1	1	INIT[3]
0	1	0	0	INIT[4]
0	1	0	1	INIT[5]
0	1	1	0	INIT[6]
0	1	1	1	INIT[7]
1	0	0	0	INIT[8]
1	0	0	1	INIT[9]
1	0	1	0	INIT[10]
1	0	1	1	INIT[11]
1	1	0	0	INIT[12]

入力				出力
I3	I2	I1	I0	O
1	1	0	1	INIT[13]
1	1	1	0	INIT[14]
1	1	1	1	INIT[15]
INIT = INIT 属性で指定された 16 進数値を 2 進数で表した値				

デザインの入力方法

このエレメントは、回路図で使用できます。

使用可能な属性

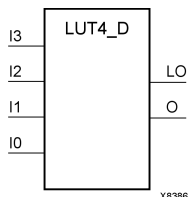
属性	データ型	値	デフォルト	説明
INIT	16 進数	16 ビット値	すべて 0	ルックアップ テーブルの論理値を指定します。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリー データシート』\(DS312\)](#)

LUT4_D

プリミティブ : 4-Bit Look-Up Table with Dual Output



概要

このデザイン エLEMENTは 4 ビットのルックアップ テーブル (LUT) で、同じ機能を持つ O および LO という 2 つの出力があります。

出力 O は汎用インターコネクトです。LO 出力は同じ CLB スライス内の別の入力または高速バッファに接続します。LUT のファンクションを設定するため、INIT 属性を使用して、各入力値に対する出力値を 16 進数で指定する必要があります。

FPGA LUT プリミティブでは、INIT パラメーターで論理値が設定されます。デフォルトは 0 で、入力値にかかわらず出力を 0 に駆動します (グラウンドとして機能)。ただし多くの場合、LUT プリミティブのロジック ファンクションを指定するため、INIT の値を設定する必要があります。LUT の値を指定する方法には、次の 2 つがあります。

- ・ **論理表を使用する方法** : LUT の INIT 値を決定する一般的な方法。すべての入力をリストした 2 進数の論理表を作成し、出力の論理値を指定して、これらの出力値から INIT 文字列を作成します。
- ・ **論理式を使用する方法** : リストされた論理表の値に対応する LUT の各入力にパラメーターを定義し、パラメーターを基にロジックの論理式を生成します。概念を理解してしまえばこの方法の方が簡単ですが、コードで最初に適切なパラメーターを指定する必要があります。

論理表

入力				出力	
I3	I2	I1	I0	O	LO
0	0	0	0	INIT[0]	INIT[0]
0	0	0	1	INIT[1]	INIT[1]
0	0	1	0	INIT[2]	INIT[2]
0	0	1	1	INIT[3]	INIT[3]
0	1	0	0	INIT[4]	INIT[4]
0	1	0	1	INIT[5]	INIT[5]
0	1	1	0	INIT[6]	INIT[6]
0	1	1	1	INIT[7]	INIT[7]
1	0	0	0	INIT[8]	INIT[8]
1	0	0	1	INIT[9]	INIT[9]
1	0	1	0	INIT[10]	INIT[10]
1	0	1	1	INIT[11]	INIT[11]
1	1	0	0	INIT[12]	INIT[12]

入力				出力	
I3	I2	I1	I0	O	LO
1	1	0	1	INIT[13]	INIT[13]
1	1	1	0	INIT[14]	INIT[14]
1	1	1	1	INIT[15]	INIT[15]
INIT = INIT 属性で指定された 16 進数値を 2 進数で表した値					

デザインの入力方法

このエレメントは、回路図で使用できます。

使用可能な属性

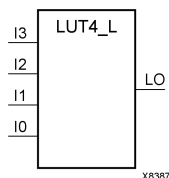
属性	データ型	値	デフォルト	説明
INIT	16 進数	16 ビット値	すべて 0	ルックアップ テーブルの論理値を指定します。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリー データシート』\(DS312\)](#)

LUT4_L

プリミティブ : 4-Bit Look-Up Table with Local Output



概要

このデザイン エLEMENT は 4 ビットのルックアップ テーブル (LUT) で、同じ CLB スライス内にある別の出力および高速バッファへの接続に使用するローカル出力 (LO) があります。このELEMENTはバッファまたはインバーターの機能を果たします。

LUT のファンクションを設定するため、INIT 属性を使用して、各入力値に対する出力値を 16 進数で指定する必要があります。

FPGA LUT プリミティブでは、INIT パラメーターで論理値が設定されます。デフォルトは 0 で、入力値にかかわらず出力を 0 に駆動します (グラウンドとして機能)。ただし多くの場合、LUT プリミティブのロジック ファンクションを指定するため、INIT 値を設定する必要があります。LUT の値を指定する方法には、次の 2 つがあります。

論理表を使用する方法 : LUT の INIT 値を決定する一般的な方法。すべての入力をリストした 2 進数の論理表を作成し、出力の論理値を指定して、これらの出力値から INIT 文字列を作成します。

論理式を使用する方法 : リストされた論理表の値に対応する LUT の各入力にパラメーターを定義し、パラメーターを基にロジックの論理式を生成します。概念を理解してしまえばこの方法の方が簡単ですが、コードで最初に適切なパラメーターを指定する必要があります。

論理表

入力				出力
I3	I2	I1	I0	LO
0	0	0	0	INIT[0]
0	0	0	1	INIT[1]
0	0	1	0	INIT[2]
0	0	1	1	INIT[3]
0	1	0	0	INIT[4]
0	1	0	1	INIT[5]
0	1	1	0	INIT[6]
0	1	1	1	INIT[7]
1	0	0	0	INIT[8]
1	0	0	1	INIT[9]
1	0	1	0	INIT[10]
1	0	1	1	INIT[11]
1	1	0	0	INIT[12]

入力				出力
I3	I2	I1	I0	LO
1	1	0	1	INIT[13]
1	1	1	0	INIT[14]
1	1	1	1	INIT[15]
INIT = INIT 属性で指定された 16 進数値を 2 進数で表した値				

デザインの入力方法

このエレメントは、回路図で使用できます。

使用可能な属性

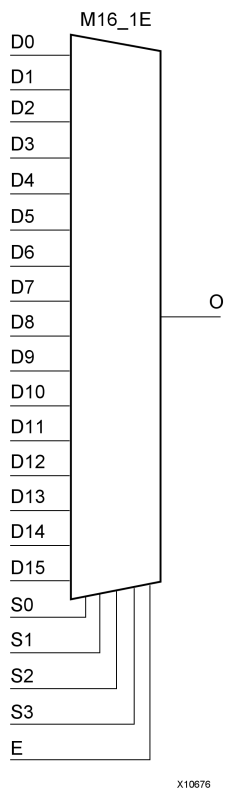
属性	データ型	値	デフォルト	説明
INIT	16 進数	16 ビット値	すべて 0	ルックアップ テーブルの論理値を指定します。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリー データシート』\(DS312\)](#)

M16_1E

マクロ：16-to-1 Multiplexer with Enable



概要

このデザイン エLEMENTは、イネーブル付き 16:1 マルチプレクサーです。イネーブル入力 (E) が High の場合、セレクト入力 (S3 ～ S0) の値に応じて、16 個の入力 (D15 ～ D0) のうち 1 つのデータビットが選択されます。出力 (O) には、次の論理表に示すように、選択された入力の値が出力されます。E が Low の場合、出力は Low になります。

論理表

入力						出力
E	S3	S2	S1	S0	D15:D0	O
0	X	X	X	X	X	0
1	0	0	0	0	D0	D0
1	0	0	0	1	D1	D1
1	0	0	1	0	D2	D2
1	0	0	1	1	D3	D3
.
.
.
1	1	1	0	0	D12	D12
1	1	1	0	1	D13	D13

入力						出力
E	S3	S2	S1	S0	D15:D0	O
1	1	1	1	0	D14	D14
1	1	1	1	1	D15	D15

デザインの入力方法

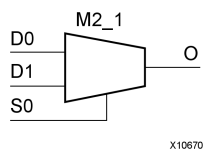
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリー データシート』\(DS312\)](#)

M2_1

マクロ：2-to-1 Multiplexer



概要

このデザイン エLEMENTは、セレクト入力 (S0) の値に応じて、2 つの入力 (D1 または D0) のうち 1 つのデータビットを選択します。出力 (O) には、選択された入力の値が出力されます。S0 が Low の場合は D0 が選択され、High の場合は D1 が選択されます。

論理表

入力			出力
S0	D1	D0	O
1	D1	X	D1
0	X	D0	D0

デザインの入力方法

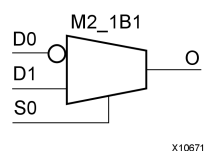
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリー データシート』\(DS312\)](#)

M2_1B1

マクロ：2-to-1 Multiplexer with D0 Inverted



概要

このデザイン エLEMENTは、セレクト入力 (S0) の値に応じて、2 つの入力 (D1 または D0) のうち 1 つのデータビットを選択します。S0 が Low の場合は O に D0 の反転値が出力され、S0 が High の場合は D1 の値が出力されます。

論理表

入力			出力
S0	D1	D0	O
1	1	X	1
1	0	X	0
0	X	1	0
0	X	0	1

デザインの入力方法

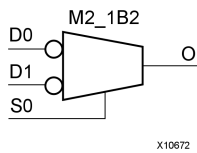
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリー データシート』\(DS312\)](#)

M2_1B2

マクロ：2-to-1 Multiplexer with D0 and D1 Inverted



概要

このデザイン エLEMENTは、セレクト入力 (S0) の値に応じて、2 つの入力 (D1 または D0) のうち 1 つのデータビットを選択します。S0 が Low の場合は O に D0 の反転値が出力され、S0 が High の場合は D1 の反転値が出力されます。

論理表

入力			出力
S0	D1	D0	O
1	1	X	0
1	0	X	1
0	X	1	0
0	X	0	1

デザインの入力方法

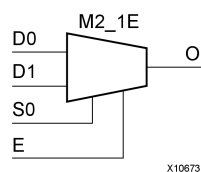
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリー データシート』\(DS312\)](#)

M2_1E

マクロ : 2-to-1 Multiplexer with Enable



概要

このデザイン エLEMENTは、イネーブル付き 2:1 マルチプレクサーです。イネーブル入力 (E) が High の場合、セレクト入力 (S0) の値に応じて、2 つの入力 (D1 または D0) のうち 1 つのデータ ビットが選択されます。S0 が Low の場合は D0 が選択され、High の場合は D1 が選択されます。E が Low の場合、出力は Low になります。

論理表

入力				出力
E	S0	D1	D0	O
0	X	X	X	0
1	0	X	1	1
1	0	X	0	0
1	1	1	X	1
1	1	0	X	0

デザインの入力方法

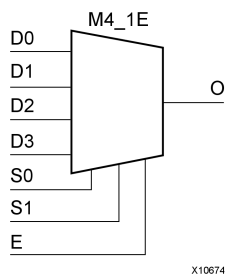
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリー データシート』\(DS312\)](#)

M4_1E

マクロ：4-to-1 Multiplexer with Enable



概要

このデザイン エLEMENTは、イネーブル付き 4:1 マルチプレクサーです。イネーブル入力 (E) が High の場合、セレクト入力 (S1 ~ S0) の値に応じて、4 つの入力 (D3、D2、D1、D0) のうち 1 つのデータビットが選択されます。出力 (O) には、次の論理表に示すように、選択された入力の値が出力されます。E が Low の場合、出力は Low になります。

論理表

入力							出力
E	S1	S0	D0	D1	D2	D3	O
0	X	X	X	X	X	X	0
1	0	0	D0	X	X	X	D0
1	0	1	X	D1	X	X	D1
1	1	0	X	X	D2	X	D2
1	1	1	X	X	X	D3	D3

デザインの入力方法

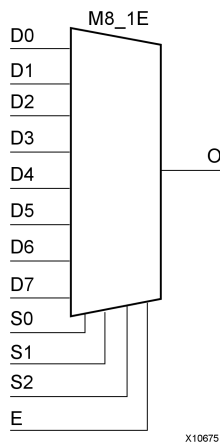
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリー データシート』\(DS312\)](#)

M8_1E

マクロ：8-to-1 Multiplexer with Enable



概要

このデザイン エLEMENTは、イネーブル付き 8:1 マルチプレクサーです。イネーブル入力 (E) が High の場合、セレクト入力 (S2 ～ S0) の値に応じて、8 つの入力 (D7 ～ D0) のうち 1 つのデータビットが選択されます。出力 (O) には、次の論理表に示すように、選択された入力の値が出力されます。E が Low の場合、出力は Low になります。

論理表

入力					出力
E	S2	S1	S0	D7:D0	O
0	X	X	X	X	0
1	0	0	0	D0	D0
1	0	0	1	D1	D1
1	0	1	0	D2	D2
1	0	1	1	D3	D3
1	1	0	0	D4	D4
1	1	0	1	D5	D5
1	1	1	0	D6	D6
1	1	1	1	D7	D7

デザインの入力方法

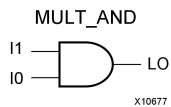
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリー データシート』\(DS312\)](#)

MULT_AND

プリミティブ : Fast Multiplier AND



概要

このデザイン エレメントはスライス内にある AND コンポーネントで、2 つの入力は 4 入力 LUT と共有され、出力はキャリー ロジックを駆動します。この追加のロジックはその他の目的でも使用できますが、高速で小型の乗算器の作成に特に有益です。I1 および I0 入力は、対応する LUT の I1 および I0 入力に接続する必要があります。LO 出力は、対応する MUXCY、MUXCY_D、または MUXCY_L の DI 入力に接続する必要があります。

論理表

入力		出力
I1	I0	LO
0	0	0
0	1	0
1	0	0
1	1	1

デザインの入力方法

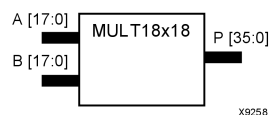
このエレメントは、回路図で使用できます。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリ データシート』\(DS312\)](#)

MULT18X18

プリミティブ：18 x 18 Signed Multiplier



概要

MULT18X18 は、組み合わせ符号付き 18 X 18 ビット乗算器です。18 ビット入力 A の値と 18 ビット入力 B の値を掛け合わせた積が、出力 P に 36 ビットで出力されます。

論理表

入力		出力
A	B	P
A	B	A X B
A、B、および P は 2 の補数です。		

デザインの入力方法

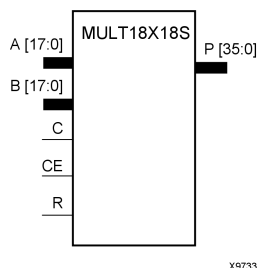
このエレメントは、回路図で使用できます。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリ データシート』\(DS312\)](#)

MULT18X18S

プリミティブ：18 x 18 Signed Multiplier -- Registered Version



概要

MULT18X18S は、符号付き 18 X 18 乗算器 (MULT18X18) にレジスタを追加したもので、出力 (P)、データ入力 (A、B、C)、クロック イネーブル入力 (CE)、および同期リセット入力 (R) があります。レジスタは、GSR パルス後 0 に初期化されます。

18 ビット入力 A の値と 18 ビット入力 B の値を掛け合わせた積が、出力 P に 36 ビットで出力されます。

論理表

入力					出力
C	CE	Am	Bn	R	P
↑	X	X	X	1	0
↑	1	Am	Bn	0	A X B
X	0	X	X	0	変化なし

A、B、および P は 2 の補数です。

デザインの入力方法

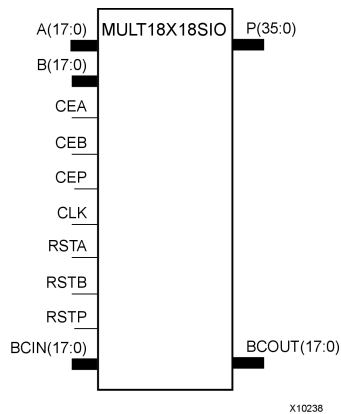
このエレメントは、回路図で使用できます。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリ データシート』\(DS312\)](#)

MULT18X18SIO

プリミティブ：18 x 18 Cascadable Signed Multiplier with Optional Input and Output Registers, Clock Enable, and Synchronous Reset



概要

このデザイン エLEMENTは、36 ビット出力、18 X 18 ビット入力の専用の符号付き乗算器です。AREG、BREG、PREG 属性をすべて 0 に設定すると、非同期の乗算が実行されます。逆に属性をすべて 1 に設定すると、異なるレイテンシとパフォーマンス特性で同期の乗算が実行されます。同期乗算器を使用する場合、乗算器のレジスタ バンクの各セットに対してアクティブ High のクロック イネーブル (CEA、CEB、CEP) と同期リセット (RSTA、RSTB、RSTP) が使用されます。BCIN ポートと BCOUT ポートに B_INPUT 属性を使用して MULT18X18SIO をカスケード接続すると、より大型の乗算ファンクションを作成できます。

デザインの入力方法

このELEMENTは、回路図で使用できます。

使用可能な属性

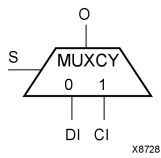
属性	データ型	値	デフォルト	説明
AREG	整数	0、1	1	A ポートで入力レジスタを使用するかどうかを指定します。0 の場合はレジスタが使用されず、1 の場合はレジスタが使用されます。
BREG	整数	0、1	1	B ポートで入力レジスタを使用するかどうかを指定します。0 の場合はレジスタが使用されず、1 の場合はレジスタが使用されます。
B_INPUT	文字列	"DIRECT"、"CASCADE"	"DIRECT"	B ポートが FPGA に接続されている (DIRECT) か、別の MULT18X18SIO の BCOUT ポートに接続されているかを指定します。
PREG	整数	0、1	1	乗算器の出力レジスタを使用するかどうかを指定します。0 の場合はレジスタが使用されず、1 の場合はレジスタが使用されます。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリー データシート』\(DS312\)](#)

MUXCY

プリミティブ : 2-to-1 Multiplexer for Carry Logic with General Output



概要

スライスの直接入力 (DI) は、MUXCY の DI 入力に接続します。LC のキャリー入力 (CI) は、MUXCY の CI 入力に接続します。セレクト入力 (S) は、ルックアップ テーブル (LUT) の出力で駆動し、MUX ファンクションとしてコンフィギュレーションします。キャリー出力 (O) には選択された入力の値が出力され、各 LC のキャリー出力ファンクションをインプリメントします。S が Low の場合は DI が選択され、High の場合は CI が選択されます。

このほか、ローカル出力を持つ MUXCY_D および MUXCY_L があり、異なるタイミング モデルでレイアウト前のタイミングをより正確に予測する必要がある場合に使用できます。

論理表

入力			出力
S	DI	CI	O
0	1	X	1
0	0	X	0
1	X	1	1
1	X	0	0

デザインの入力方法

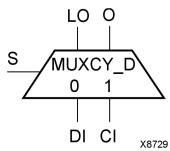
このエレメントは、回路図で使用できます。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリー データシート』\(DS312\)](#)

MUXCY_D

プリミティブ：2-to-1 Multiplexer for Carry Logic with Dual Output



概要

このデザイン エLEMENTは、1 ビットの高速キャリー伝搬ファンクションをインプリメントするために使用します。このようなファンクションは、1 つのロジックセル (LC) に 1 つずつインプリメントできるので、1 つの CLB に合計 4 ビットをインプリメントできます。LC の直接入力 (DI) は MUXCY_D の DI 入力に接続し、LC のキャリー入力 (CI) は MUXCY_D の CI 入力に接続します。セレクト入力 (S) は、ルックアップ テーブル (LUT) の出力で駆動し、XOR ファンクションとしてコンフィギュレーションします。キャリー出力 (O と LO) には選択された入力の値が出力され、各 LC のキャリー出力ファンクションをインプリメントします。S が Low の場合は DI が選択され、High の場合は CI が選択されます。

出力 O と LO は、機能的に同じです。出力 O は汎用インターコネクトです。「MUXCY」および「MUXCY_L」も参照してください。

論理表

入力			出力	
S	DI	CI	O	LO
0	1	X	1	1
0	0	X	0	0
1	X	1	1	1
1	X	0	0	0

デザインの入力方法

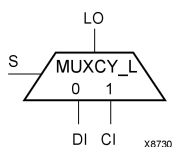
このELEMENTは、回路図で使用できます。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリー データシート』\(DS312\)](#)

MUXCY_L

プリミティブ：2-to-1 Multiplexer for Carry Logic with Local Output



概要

このデザイン エレメントは、1 ビットの高速キャリー伝搬ファンクションをインプリメントするために使用します。このようなファンクションは、1 つのロジック セル (LC) に 1 つずつインプリメントできるので、1 つの CLB に合計 4 ビットをインプリメントできます。LC の直接入力 (DI) は MUXCY_L の DI 入力に接続し、LC のキャリー入力 (CI) は MUXCY_L の CI 入力に接続します。セレクト入力 (S) は、ルックアップ テーブル (LUT) の出力で駆動し、XOR ファンクションとしてコンフィギュレーションします。キャリー出力 (LO) には選択された入力の値が出力され、各 LC のキャリー出力ファンクションをインプリメントします。S が Low の場合は DI が選択され、High の場合は CI が選択されます。

「MUXCY」および「MUXCY_D」も参照してください。

論理表

入力			出力
S	DI	CI	LO
0	1	X	1
0	0	X	0
1	X	1	1
1	X	0	0

デザインの入力方法

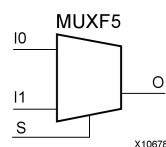
このエレメントは、回路図で使用できます。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリー データシート』\(DS312\)](#)

MUXF5

プリミティブ：2-to-1 Look-Up Table Multiplexer with General Output



概要

このデザイン エLEMENTは、LUT4 ルックアップ テーブルと組み合わせて、5 ファンクションのルックアップ テーブルまたは 4:1 マルチプレクサーを作成するための 2 入力マルチプレクサーです。I0 および I1 入力には、2 つの LUT4 ルックアップ テーブルのローカル出力 (LO) を接続します。セレクト入力 (S) は、どの内部ネットでも駆動できます。S が Low の場合は I0 が選択され、High の場合は I1 が選択されます。

出力 O は汎用インターコネクトです。

このほか、ローカル出力を持つ MUXF5_D および MUXF5_L があり、異なるタイミング モデルでレイアウト前のタイミングをより正確に予測する必要がある場合に使用できます。

論理表

入力			出力
S	I0	I1	O
0	1	X	1
0	0	X	0
1	X	1	1
1	X	0	0

デザインの入力方法

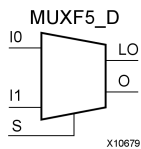
このELEMENTは、回路図で使用できます。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリー データシート』\(DS312\)](#)

MUXF5_D

プリミティブ：2-to-1 Look-Up Table Multiplexer with Dual Output



概要

このデザイン エLEMENTは、LUT4 ルックアップ テーブルと組み合わせて、5 ファンクションのルックアップ テーブルまたは 4:1 マルチプレクサーを作成するための 2 入力マルチプレクサーです。I0 および I1 入力には、2 つの LUT4 ルックアップ テーブルのローカル出力 (LO) を接続します。セレクト入力 (S) は、どの内部ネットでも駆動できます。S が Low の場合は I0 が選択され、High の場合は I1 が選択されます。

出力 O と LO は、機能的に同じです。出力 O は汎用インターコネクトです。LO 出力は、同じ CLB スライス内にある別の入力との接続に使用します。

「MUXF5」および「MUXF5_L」も参照してください。

論理表

入力			出力	
S	I0	I1	O	LO
0	1	X	1	1
0	0	X	0	0
1	X	1	1	1
1	X	0	0	0

デザインの入力方法

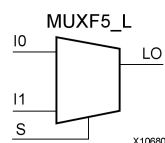
このELEMENTは、回路図で使用できます。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリー データシート』\(DS312\)](#)

MUXF5_L

プリミティブ：2-to-1 Look-Up Table Multiplexer with Local Output



概要

このデザイン エLEMENTは、LUT4 ルックアップ テーブルと組み合わせて、5 ファンクションのルックアップ テーブルまたは 4:1 マルチプレクサーを作成するための 2 入力マルチプレクサーです。I0 および I1 入力には、2 つの LUT4 ルックアップ テーブルのローカル出力 (LO) を接続します。セレクト入力 (S) は、どの内部ネットでも駆動できます。S が Low の場合は I0 が選択され、High の場合は I1 が選択されます。

LO 出力は、同じ CLB スライス内にある別の入力との接続に使用します。

「MUXF5」および「MUXF5_D」も参照してください。

論理表

入力			出力
S	I0	I1	LO
0	1	X	1
0	0	X	0
1	X	1	1
1	X	0	0

デザインの入力方法

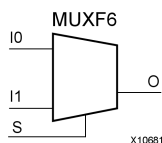
このELEMENTは、回路図で使用できます。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリー データシート』\(DS312\)](#)

MUXF6

プリミティブ：2-to-1 Look-Up Table Multiplexer with General Output



概要

このデザイン エレメントは、4 つの LUT4 ルックアップ テーブルおよび 2 つの MUXF5 マルチプレクサーと組み合わせて、スライス 2 つに 6 ファンクションのルックアップ テーブルまたは 8:1 マルチプレクサーを作成するための 2 入力 マルチプレクサーです。I0 および I1 入力には、同じ CLB 内にある 2 つの MUXF5 マルチプレクサーのローカル出力 (LO) を接続します。セレクト入力 (S) は、どの内部ネットでも駆動できます。S が Low の場合は I0 が選択され、High の場合は I1 が選択されます。

出力 O は汎用インターコネクトです。

このほか、ローカル出力を持つ MUXF6_D および MUXF6_L があり、異なるタイミング モデルでレイアウト前のタイミング をより正確に予測する場合に使用できます。

論理表

入力			出力
S	I0	I1	O
0	1	X	1
0	0	X	0
1	X	1	1
1	X	0	0

デザインの入力方法

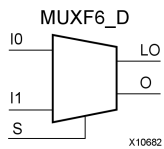
このエレメントは、回路図で使用できます。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリ データシート』\(DS312\)](#)

MUXF6_D

プリミティブ：2-to-1 Look-Up Table Multiplexer with Dual Output



概要

このデザイン エLEMENTは、4 つの LUT4 ルックアップ テーブルおよび 2 つの MUXF5 マルチプレクサーと組み合わせて、スライス 2 つに 6 ファンクションのルックアップ テーブルまたは 8:1 マルチプレクサーを作成するための 2 入力 マルチプレクサーです。I0 および I1 入力には、同じ CLB 内にある 2 つの MUXF5 マルチプレクサーのローカル出力 (LO) を接続します。セレクト入力 (S) は、どの内部ネットでも駆動できます。S が Low の場合は I0 が選択され、High の場合は I1 が選択されます。

出力 O と LO は、機能的に同じです。出力 O は汎用インターコネクトです。LO 出力は、同じ CLB スライス内にある別の入力との接続に使用します。

「MUXF6」および「MUXF6_L」も参照してください。

論理表

入力			出力	
S	I0	I1	O	LO
0	1	X	1	1
0	0	X	0	0
1	X	1	1	1
1	X	0	0	0

デザインの入力方法

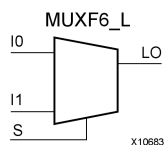
このELEMENTは、回路図で使用できます。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリー データシート』\(DS312\)](#)

MUXF6_L

プリミティブ：2-to-1 Look-Up Table Multiplexer with Local Output



概要

このデザイン エLEMENTは、4 つの LUT4 ルックアップ テーブルおよび 2 つの MUXF5 マルチプレクサーと組み合わせて、スライス 2 つに 6 ファンクションのルックアップ テーブルまたは 8:1 マルチプレクサーを作成するための 2 入力 マルチプレクサーです。I0 および I1 入力には、同じ CLB 内にある 2 つの MUXF5 マルチプレクサーのローカル出力 (LO) を接続します。セレクト入力 (S) は、どの内部ネットでも駆動できます。S が Low の場合は I0 が選択され、High の場合は I1 が選択されます。

LO 出力は、同じ CLB スライス内にある別の入力との接続に使用します。

「MUXF6」および「MUXF6_D」も参照してください。

論理表

入力			出力
S	I0	I1	LO
0	1	X	1
0	0	X	0
1	X	1	1
1	X	0	0

デザインの入力方法

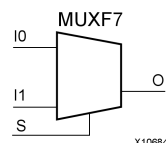
このELEMENTは、回路図で使用できます。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリー データシート』\(DS312\)](#)

MUXF7

プリミティブ：2-to-1 Look-Up Table Multiplexer with General Output



概要

このデザイン エLEMENTは、MUXF6 および MUXF5 マルチプレクサー、LUT4 ルックアップ テーブルと組み合わせて、7 ファンクションのルックアップ テーブルまたは 16:1 マルチプレクサーを作成するための 2 入力マルチプレクサーです。I0 および I1 入力には、MUXF6 の 2 つのローカル出力 (LO) を接続します。セレクト入力 (S) は、どの内部ネットでも駆動できます。S が Low の場合は I0 が選択され、High の場合は I1 が選択されます。

出力 O は汎用インターコネクトです。

このほか、ローカル出力を持つ MUXF7_D および MUXF7_L があり、異なるタイミング モデルでレイアウト前のタイミングをより正確に予測する必要がある場合に使用できます。

論理表

入力			出力
S	I0	I1	O
0	I0	X	I0
1	X	I1	I1
X	0	0	0
X	1	1	1

ポートの説明

ポート名	方向	幅	機能
O	出力	1	汎用配線への MUX の出力
I0	入力	1	入力 (MUXF6 LO 出力に接続)
I1	入力	1	入力 (MUXF6 LO 出力に接続)
S	入力	1	MUX への入力セレクト

デザインの入力方法

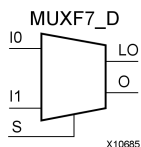
このELEMENTは、回路図で使用できます。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリー データシート』\(DS312\)](#)

MUXF7_D

プリミティブ : 2-to-1 Look-Up Table Multiplexer with Dual Output



概要

このデザイン エレメントは、MUXF6 および MUXF5 マルチプレクサー、LUT4 ルックアップ テーブルと組み合わせて、7 ファンクションのルックアップ テーブルまたは 16:1 マルチプレクサーを作成するための 2 入力マルチプレクサーです。I0 および I1 入力には、MUXF6 の 2 つのローカル出力 (LO) を接続します。セレクト入力 (S) は、どの内部ネットでも駆動できます。S が Low の場合は I0 が選択され、High の場合は I1 が選択されます。

出力 O と LO は、機能的に同じです。出力 O は汎用インターコネクトです。LO 出力は、同じ CLB スライス内にある別の入力との接続に使用します。

「MUXF7」および「MUXF7_L」も参照してください。

論理表

入力			出力	
S	I0	I1	O	LO
0	I0	X	I0	I0
1	X	I1	I1	I1
X	0	0	0	0
X	1	1	1	1

ポートの説明

ポート名	方向	幅	機能
O	出力	1	汎用配線への MUX の出力
LO	出力	1	ローカル配線への MUX の出力
I0	入力	1	入力 (MUXF6 LO 出力に接続)
I1	入力	1	入力 (MUXF6 LO 出力に接続)
S	入力	1	MUX への入力セレクト

デザインの入力方法

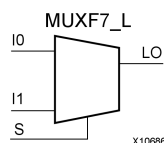
このエレメントは、回路図で使用できます。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリー データシート』\(DS312\)](#)

MUXF7_L

プリミティブ：2-to-1 look-up table Multiplexer with Local Output



概要

このデザイン エLEMENTは、MUXF6 および MUXF5 マルチプレクサー、LUT4 ルックアップ テーブルと組み合わせて、7 ファンクションのルックアップ テーブルまたは 16:1 マルチプレクサーを作成するための 2 入力マルチプレクサーです。I0 および I1 入力には、MUXF6 の 2 つのローカル出力 (LO) を接続します。セレクト入力 (S) は、どの内部ネットでも駆動できます。S が Low の場合は I0 が選択され、High の場合は I1 が選択されます。

LO 出力は、同じ CLB スライス内にある別の入力との接続に使用します。

「MUXF7」および「MUXF7_D」も参照してください。

論理表

入力			出力
S	I0	I1	LO
0	I0	X	I0
1	X	I1	I1
X	0	0	0
X	1	1	1

ポートの説明

ポート名	方向	幅	機能
LO	出力	1	ローカル配線への MUX の出力
I0	入力	1	入力
I1	入力	1	入力
S	入力	1	MUX への入力セレクト

デザインの入力方法

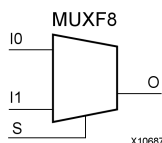
このELEMENTは、回路図で使用できます。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリー データシート』\(DS312\)](#)

MUXF8

プリミティブ：2-to-1 Look-Up Table Multiplexer with General Output



概要

このデザイン エレメントは、ルックアップ テーブル、MUXF5、MUXF6、および MUXF7 と組み合わせて、スライス 8 個に 8 ファンクションのルックアップ テーブルまたは 32:1 マルチプレクサーを作成するためのマルチプレクサーです。I0 および I1 入力には、MUXF7 のローカル出力 (LO) を接続します。セレクト入力 (S) は、どの内部ネットでも駆動できます。S が Low の場合は I0 が選択され、High の場合は I1 が選択されます。

論理表

入力			出力
S	I0	I1	O
0	I0	X	I0
1	X	I1	I1
X	0	0	0
X	1	1	1

ポートの説明

ポート名	方向	幅	機能
O	出力	1	汎用配線への MUX の出力
I0	入力	1	入力 (MUXF7 LO 出力に接続)
I1	入力	1	入力 (MUXF7 LO 出力に接続)
S	入力	1	MUX への入力セレクト

デザインの入力方法

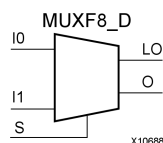
このエレメントは、回路図で使用できます。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリー データシート』\(DS312\)](#)

MUXF8_D

プリミティブ：2-to-1 Look-Up Table Multiplexer with Dual Output



概要

このデザイン エLEMENTは、ルックアップ テーブル、MUXF5、MUXF6、および MUXF7 を組み合わせて、スライス 8 個に 8 ファンクションのルックアップ テーブルまたは 32:1 マルチプレクサーを作成するためのマルチプレクサーです。I0 および I1 入力には、MUXF7 のローカル出力 (LO) を接続します。セレクト入力 (S) は、どの内部ネットでも駆動できます。S が Low の場合は I0 が選択され、High の場合は I1 が選択されます。

出力 O と LO は、機能的に同じです。出力 O は汎用インターコネクトです。LO 出力は、同じ CLB スライス内にある別の入力との接続に使用します。

論理表

入力			出力	
S	I0	I1	O	LO
0	I0	X	I0	I0
1	X	I1	I1	I1
X	0	0	0	0
X	1	1	1	1

ポートの説明

ポート名	方向	幅	機能
O	出力	1	汎用配線への MUX の出力
LO	出力	1	ローカル配線への MUX の出力
I0	入力	1	入力 (MUXF7 LO 出力に接続)
I1	入力	1	入力 (MUXF7 LO 出力に接続)
S	入力	1	MUX への入力セレクト

デザインの入力方法

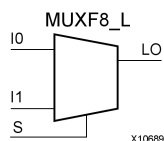
このELEMENTは、回路図で使用できます。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリー データシート』\(DS312\)](#)

MUXF8_L

プリミティブ : 2-to-1 Look-Up Table Multiplexer with Local Output



概要

このデザイン エレメントは、ルックアップ テーブル、MUXF5、MUXF6、および MUXF7 を組み合わせて、スライス 8 個に 8 ファンクションのルックアップ テーブルまたは 32:1 マルチプレクサーを作成するためのマルチプレクサーです。I0 および I1 入力には、MUXF7 のローカル出力 (LO) を接続します。セレクト入力 (S) は、どの内部ネットでも駆動できます。S が Low の場合は I0 が選択され、High の場合は I1 が選択されます。

LO 出力は、同じ CLB スライス内にある別の入力との接続に使用します。

論理表

入力			出力
S	I0	I1	LO
0	I0	X	I0
1	X	I1	I1
X	0	0	0
X	1	1	1

ポートの説明

ポート名	方向	幅	機能
LO	出力	1	ローカル配線への MUX の出力
I0	入力	1	入力 (MUXF7 LO 出力に接続)
I1	入力	1	入力 (MUXF7 LO 出力に接続)
S	入力	1	MUX への入力セレクト

デザインの入力方法

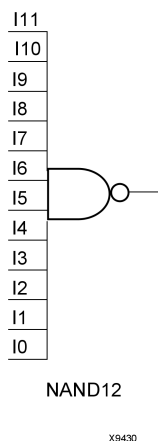
このエレメントは、回路図で使用できます。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリー データシート』\(DS312\)](#)

NAND12

マクロ：12-Input NAND Gate with Non-Inverted Inputs



概要

5 入力までの NAND ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NAND ファンクションには、非反転入力のみが使用されています。入力を反転するには、外部インバータを使用します。各入力に 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

デザインの入力方法

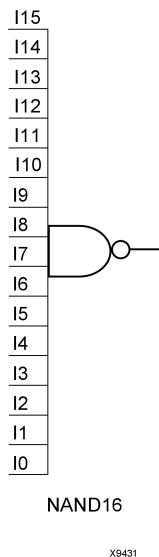
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリー データシート』\(DS312\)](#)

NAND16

マクロ：16-Input NAND Gate with Non-Inverted Inputs



概要

5 入力までの NAND ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NAND ファンクションには、非反転入力のみが使用されています。入力を反転するには、外部インバータを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

デザインの入力方法

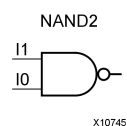
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリ データシート』\(DS312\)](#)

NAND2

プリミティブ：2-Input NAND Gate with Non-Inverted Inputs



概要

5 入力までの NAND ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NAND ファンクションには、非反転入力のみが使用されています。入力を反転するには、外部インバータを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

デザインの入力方法

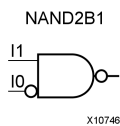
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリー データシート』\(DS312\)](#)

NAND2B1

プリミティブ：2-Input NAND Gate with 1 Inverted and 1 Non-Inverted Inputs



概要

5 入力までの NAND ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NAND ファンクションには、非反転入力のみが使用されています。入力を反転するには、外部インバータを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

デザインの入力方法

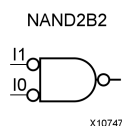
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリー データシート』\(DS312\)](#)

NAND2B2

プリミティブ：2-Input NAND Gate with Inverted Inputs



概要

5 入力までの NAND ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NAND ファンクションには、非反転入力のみが使用されています。入力を反転するには、外部インバータを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

デザインの入力方法

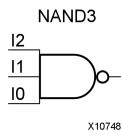
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリー データシート』\(DS312\)](#)

NAND3

プリミティブ：3-Input NAND Gate with Non-Inverted Inputs



概要

5 入力までの NAND ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NAND ファンクションには、非反転入力のみが使用されています。入力を反転するには、外部インバータを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

デザインの入力方法

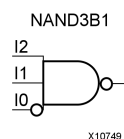
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリ データシート』\(DS312\)](#)

NAND3B1

プリミティブ：3-Input NAND Gate with 1 Inverted and 2 Non-Inverted Inputs



概要

5 入力までの NAND ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NAND ファンクションには、非反転入力のみが使用されています。入力を反転するには、外部インバータを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

デザインの入力方法

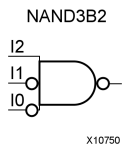
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリー データシート』\(DS312\)](#)

NAND3B2

プリミティブ：3-Input NAND Gate with 2 Inverted and 1 Non-Inverted Inputs



概要

5 入力までの NAND ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NAND ファンクションには、非反転入力のみが使用されています。入力を反転するには、外部インバータを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

デザインの入力方法

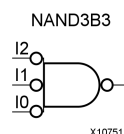
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリ データシート』\(DS312\)](#)

NAND3B3

プリミティブ：3-Input NAND Gate with Inverted Inputs



概要

5 入力までの NAND ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NAND ファンクションには、非反転入力のみが使用されています。入力を反転するには、外部インバータを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

デザインの入力方法

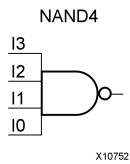
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリー データシート』\(DS312\)](#)

NAND4

プリミティブ：4-Input NAND Gate with Non-Inverted Inputs



概要

5 入力までの NAND ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NAND ファンクションには、非反転入力のみが使用されています。入力を反転するには、外部インバータを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

デザインの入力方法

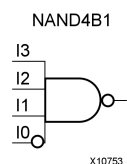
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリー データシート』\(DS312\)](#)

NAND4B1

プリミティブ：4-Input NAND Gate with 1 Inverted and 3 Non-Inverted Inputs



概要

5 入力までの NAND ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NAND ファンクションには、非反転入力のみが使用されています。入力を反転するには、外部インバータを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

デザインの入力方法

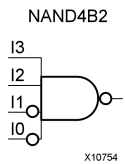
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリー データシート』\(DS312\)](#)

NAND4B2

プリミティブ：4-Input NAND Gate with 2 Inverted and 2 Non-Inverted Inputs



概要

5 入力までの NAND ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NAND ファンクションには、非反転入力のみが使用されています。入力を反転するには、外部インバータを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

デザインの入力方法

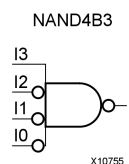
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリー データシート』\(DS312\)](#)

NAND4B3

プリミティブ：4-Input NAND Gate with 3 Inverted and 1 Non-Inverted Inputs



概要

5 入力までの NAND ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NAND ファンクションには、非反転入力のみが使用されています。入力を反転するには、外部インバータを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

デザインの入力方法

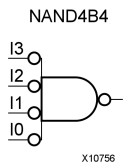
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリー データシート』\(DS312\)](#)

NAND4B4

プリミティブ：4-Input NAND Gate with Inverted Inputs



概要

5 入力までの NAND ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NAND ファンクションには、非反転入力のみが使用されています。入力を反転するには、外部インバータを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

デザインの入力方法

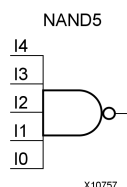
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリー データシート』\(DS312\)](#)

NAND5

プリミティブ：5-Input NAND Gate with Non-Inverted Inputs



概要

5 入力までの NAND ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NAND ファンクションには、非反転入力のみが使用されています。入力を反転するには、外部インバータを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

デザインの入力方法

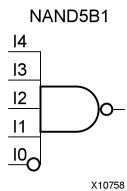
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリー データシート』\(DS312\)](#)

NAND5B1

プリミティブ：5-Input NAND Gate with 1 Inverted and 4 Non-Inverted Inputs



概要

5 入力までの NAND ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NAND ファンクションには、非反転入力のみが使用されています。入力を反転するには、外部インバータを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

デザインの入力方法

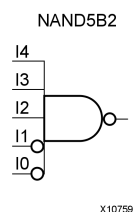
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリー データシート』\(DS312\)](#)

NAND5B2

プリミティブ：5-Input NAND Gate with 2 Inverted and 3 Non-Inverted Inputs



概要

5 入力までの NAND ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NAND ファンクションには、非反転入力のみが使用されています。入力を反転するには、外部インバータを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

デザインの入力方法

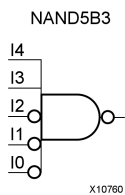
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリー データシート』\(DS312\)](#)

NAND5B3

プリミティブ：5-Input NAND Gate with 3 Inverted and 2 Non-Inverted Inputs



概要

5 入力までの NAND ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NAND ファンクションには、非反転入力のみが使用されています。入力を反転するには、外部インバータを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

デザインの入力方法

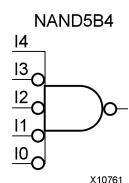
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリー データシート』\(DS312\)](#)

NAND5B4

プリミティブ : 5-Input NAND Gate with 4 Inverted and 1 Non-Inverted Inputs



概要

5 入力までの NAND ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NAND ファンクションには、非反転入力のみが使用されています。入力を反転するには、外部インバータを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

デザインの入力方法

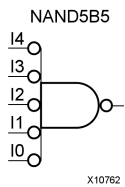
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリ データシート』\(DS312\)](#)

NAND5B5

プリミティブ：5-Input NAND Gate with Inverted Inputs



概要

5 入力までの NAND ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NAND ファンクションには、非反転入力のみが使用されています。入力を反転するには、外部インバータを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

デザインの入力方法

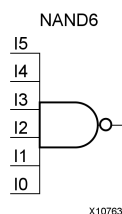
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリー データシート』\(DS312\)](#)

NAND6

マクロ：6-Input NAND Gate with Non-Inverted Inputs



概要

5 入力までの NAND ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NAND ファンクションには、非反転入力のみが使用されています。入力を反転するには、外部インバータを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

デザインの入力方法

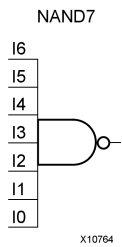
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリー データシート』\(DS312\)](#)

NAND7

マクロ : 7-Input NAND Gate with Non-Inverted Inputs



概要

5 入力までの NAND ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NAND ファンクションには、非反転入力のみが使用されています。入力を反転するには、外部インバータを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

デザインの入力方法

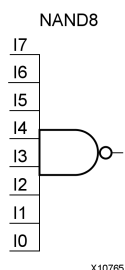
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリ データシート』\(DS312\)](#)

NAND8

マクロ：8-Input NAND Gate with Non-Inverted Inputs



概要

5 入力までの NAND ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NAND ファンクションには、非反転入力のみが使用されています。入力を反転するには、外部インバータを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

デザインの入力方法

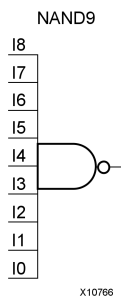
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリー データシート』\(DS312\)](#)

NAND9

マクロ：9-Input NAND Gate with Non-Inverted Inputs



概要

5 入力までの NAND ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NAND ファンクションには、非反転入力のみが使用されています。入力を反転するには、外部インバータを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

デザインの入力方法

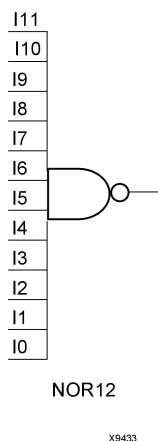
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリー データシート』\(DS312\)](#)

NOR12

マクロ：12-Input NOR Gate with Non-Inverted Inputs



概要

5 入力までの NOR ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NOR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバーターを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

デザインの入力方法

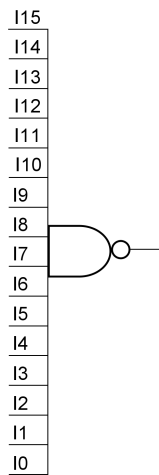
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリー データシート』\(DS312\)](#)

NOR16

マクロ：16-Input NOR Gate with Non-Inverted Inputs



NOR16

X9434

概要

5 入力までの NOR ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NOR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバーターを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

デザインの入力方法

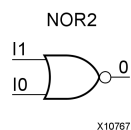
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリー データシート』\(DS312\)](#)

NOR2

プリミティブ：2-Input NOR Gate with Non-Inverted Inputs



概要

5 入力までの NOR ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NOR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバーターを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

デザインの入力方法

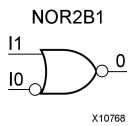
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリー データシート』\(DS312\)](#)

NOR2B1

プリミティブ：2-Input NOR Gate with 1 Inverted and 1 Non-Inverted Inputs



概要

5 入力までの NOR ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NOR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバーターを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

デザインの入力方法

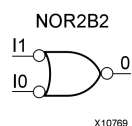
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリー データシート』\(DS312\)](#)

NOR2B2

プリミティブ：2-Input NOR Gate with Inverted Inputs



概要

5 入力までの NOR ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NOR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバーターを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

デザインの入力方法

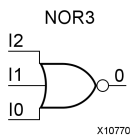
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリー データシート』\(DS312\)](#)

NOR3

プリミティブ：3-Input NOR Gate with Non-Inverted Inputs



概要

5 入力までの NOR ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NOR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバーターを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

デザインの入力方法

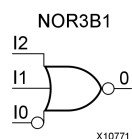
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリー データシート』\(DS312\)](#)

NOR3B1

プリミティブ：3-Input NOR Gate with 1 Inverted and 2 Non-Inverted Inputs



概要

5 入力までの NOR ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NOR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバーターを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

デザインの入力方法

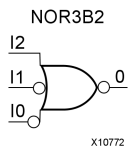
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリー データシート』\(DS312\)](#)

NOR3B2

プリミティブ : 3-Input NOR Gate with 2 Inverted and 1 Non-Inverted Inputs



概要

5 入力までの NOR ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NOR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバーターを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

デザインの入力方法

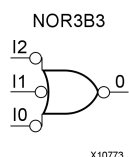
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリ データシート』\(DS312\)](#)

NOR3B3

プリミティブ：3-Input NOR Gate with Inverted Inputs



概要

5 入力までの NOR ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NOR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバーターを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

デザインの入力方法

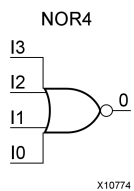
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリー データシート』\(DS312\)](#)

NOR4

プリミティブ：4-Input NOR Gate with Non-Inverted Inputs



概要

5 入力までの NOR ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NOR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバーターを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

デザインの入力方法

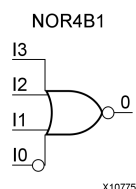
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリー データシート』\(DS312\)](#)

NOR4B1

プリミティブ：4-Input NOR Gate with 1 Inverted and 3 Non-Inverted Inputs



概要

5 入力までの NOR ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NOR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバーターを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

デザインの入力方法

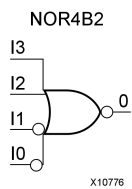
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリー データシート』\(DS312\)](#)

NOR4B2

プリミティブ：4-Input NOR Gate with 2 Inverted and 2 Non-Inverted Inputs



概要

5 入力までの NOR ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NOR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバーターを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

デザインの入力方法

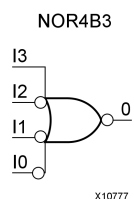
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリー データシート』\(DS312\)](#)

NOR4B3

プリミティブ：4-Input NOR Gate with 3 Inverted and 1 Non-Inverted Inputs



概要

5 入力までの NOR ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NOR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバーターを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

デザインの入力方法

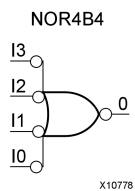
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリ データシート』\(DS312\)](#)

NOR4B4

プリミティブ：4-Input NOR Gate with Inverted Inputs



概要

5 入力までの NOR ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NOR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバーターを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

デザインの入力方法

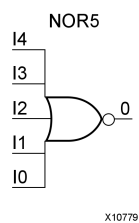
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリー データシート』\(DS312\)](#)

NOR5

プリミティブ：5-Input NOR Gate with Non-Inverted Inputs



概要

5 入力までの NOR ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NOR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバーターを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

デザインの入力方法

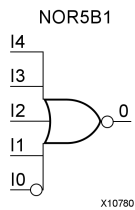
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリー データシート』\(DS312\)](#)

NOR5B1

プリミティブ：5-Input NOR Gate with 1 Inverted and 4 Non-Inverted Inputs



概要

5 入力までの NOR ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NOR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバーターを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

デザインの入力方法

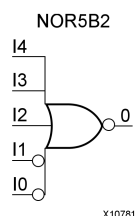
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリー データシート』\(DS312\)](#)

NOR5B2

プリミティブ：5-Input NOR Gate with 2 Inverted and 3 Non-Inverted Inputs



概要

5 入力までの NOR ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NOR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバーターを使用します。各入力に 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

デザインの入力方法

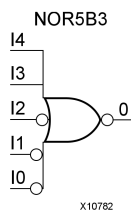
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリー データシート』\(DS312\)](#)

NOR5B3

プリミティブ：5-Input NOR Gate with 3 Inverted and 2 Non-Inverted Inputs



概要

5 入力までの NOR ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NOR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバーターを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

デザインの入力方法

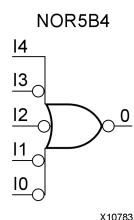
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリ データシート』\(DS312\)](#)

NOR5B4

プリミティブ：5-Input NOR Gate with 4 Inverted and 1 Non-Inverted Inputs



概要

5 入力までの NOR ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NOR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバーターを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

デザインの入力方法

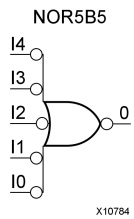
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリー データシート』\(DS312\)](#)

NOR5B5

プリミティブ：5-Input NOR Gate with Inverted Inputs



概要

5 入力までの NOR ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NOR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバーターを使用します。各入力に 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

デザインの入力方法

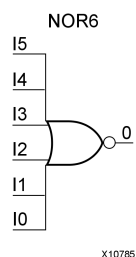
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリー データシート』\(DS312\)](#)

NOR6

マクロ：6-Input NOR Gate with Non-Inverted Inputs



概要

5 入力までの NOR ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NOR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバーターを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

デザインの入力方法

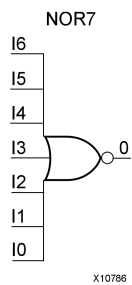
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリー データシート』\(DS312\)](#)

NOR7

マクロ：7-Input NOR Gate with Non-Inverted Inputs



概要

5 入力までの NOR ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NOR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバーターを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

デザインの入力方法

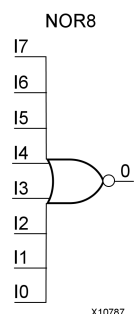
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリー データシート』\(DS312\)](#)

NOR8

マクロ：8-Input NOR Gate with Non-Inverted Inputs



概要

5 入力までの NOR ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NOR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバーターを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

デザインの入力方法

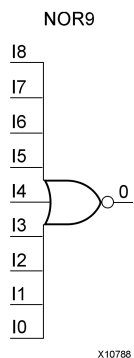
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリー データシート』\(DS312\)](#)

NOR9

マクロ : 9-Input NOR Gate with Non-Inverted Inputs



概要

5 入力までの NOR ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NOR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバーターを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

デザインの入力方法

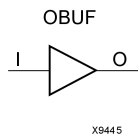
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリー データシート』\(DS312\)](#)

OBUF

プリミティブ：Output Buffer



概要

このデザイン エLEMENTは単純な出力バッファで、トライステートにならない (常に駆動される) FPGA デバイス ピンへの出力信号を駆動するために使用します。デザインのすべての出力ポートに OBUF、OBUFT、OBUFDS、OBUFTDS のいずれかを接続する必要があります。

このELEMENTは内部回路を外部から分離し、チップから出力する信号の駆動電流を供給します。I/O ブロック (IOB) 内にあります。出力 (O) は、OPAD または IOPAD に接続されます。このELEMENTでは、LVTTL 規格が使用され、DRIVE 制約と SLOW または FAST 制約を使用して駆動電流とスルー レートを選択できます。デフォルトでは、DRIVE は 12mA、スルー レートは SLOW に設定されています。

ポートの説明

ポート名	方向	幅	機能
O	出力	1	最上位出力ポートに直接接続される OBUF の出力
I	入力	1	OBUF の入力。出力ポートを駆動するロジックに接続

デザインの入力方法

このELEMENTは、回路図で使用できます。

使用可能な属性

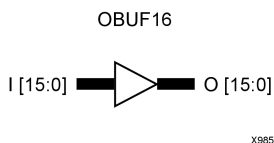
属性	データ型	値	デフォルト	説明
DRIVE	整数	2、4、6、8、12、16、24	12	出力の駆動電流を指定します。デザインの駆動電流およびタイミング要件で許容される最も低い値を使用することが推奨されます。
IOSTANDARD	文字列	データシートを参照	"DEFAULT"	ELEMENTに I/O 規格を割り当てます。
SLEW	文字列	"SLOW"、"FAST"	"SLOW"	出力ドライバのスルー レートを指定します。この属性の最適な設定方法は、データシートを参照してください。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリー データシート』\(DS312\)](#)

OBUF16

マクロ：16-Bit Output Buffer



概要

このデザイン エLEMENTは、複数出力バッファです。

このELEMENTは内部回路を外部から分離し、チップから出力する信号の駆動電流を供給します。I/O ブロック (IOB) 内にあります。出力 (O) は、OPAD または IOPAD に接続されます。このELEMENTでは、LVTTL 規格が使用され、DRIVE 制約と SLOW または FAST 制約を使用して駆動電流とスルー レートを選択できます。デフォルトでは、DRIVE は 12mA、スルー レートは SLOW に設定されています。

デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

使用可能な属性

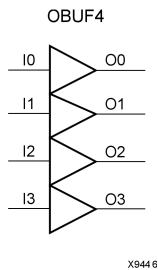
属性	データ型	値	デフォルト	説明
DRIVE	整数	2、4、6、8、12、16、24	12	出力の駆動電流を指定します。デザインの駆動電流およびタイミング要件で許容される最も低い値を使用することが推奨されます。
IOSTANDARD	文字列	データシートを参照	"DEFAULT"	ELEMENTに I/O 規格を割り当てます。
SLEW	文字列	"SLOW"、"FAST"	"SLOW"	出力ドライバースルー レートを指定します。この属性の最適な設定方法は、データシートを参照してください。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリー データシート』\(DS312\)](#)

OBUF4

マクロ：4-Bit Output Buffer



概要

このデザイン エLEMENTは、複数出力バッファです。

このELEMENTは内部回路を外部から分離し、チップから出力する信号の駆動電流を供給します。I/O ブロック (IOB) 内にあります。出力 (O) は、OPAD または IOPAD に接続されます。このELEMENTでは、LVTTTL 規格が使用され、DRIVE 制約と SLOW または FAST 制約を使用して駆動電流とスルー レートを選択できます。デフォルトでは、DRIVE は 12mA、スルー レートは SLOW に設定されています。

デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

使用可能な属性

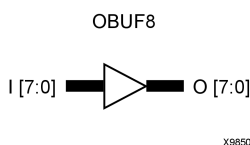
属性	データ型	値	デフォルト	説明
DRIVE	整数	2、4、6、8、12、16、24	12	出力の駆動電流を指定します。デザインの駆動電流およびタイミング要件で許容される最も低い値を使用することが推奨されます。
IOSTANDARD	文字列	データシートを参照	"DEFAULT"	ELEMENTに I/O 規格を割り当てます。
SLEW	文字列	"SLOW"、"FAST"	"SLOW"	出力ドライバーのスルー レートを指定します。この属性の最適な設定方法は、データシートを参照してください。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリー データシート』\(DS312\)](#)

OBUF8

マクロ：8-Bit Output Buffer



概要

このデザイン エレメントは、複数出力バッファです。

このエレメントは内部回路を外部から分離し、チップから出力する信号の駆動電流を供給します。I/O ブロック (IOB) 内にあります。出力 (O) は、OPAD または IOPAD に接続されます。このエレメントでは、LVTTL 規格が使用され、DRIVE 制約と SLOW または FAST 制約を使用して駆動電流とスルー レートを選択できます。デフォルトでは、DRIVE は 12mA、スルー レートは SLOW に設定されています。

デザインの入力方法

このエレメントは、回路図でのみ使用できます。

使用可能な属性

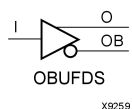
属性	データ型	値	デフォルト	説明
DRIVE	整数	2、4、6、8、12、16、24	12	出力の駆動電流を指定します。デザインの駆動電流およびタイミング要件で許容される最も低い値を使用することが推奨されます。
IOSTANDARD	文字列	データシートを参照	"DEFAULT"	エレメントに I/O 規格を割り当てます。
SLEW	文字列	"SLOW"、"FAST"	"SLOW"	出力ドライバースルー レートを指定します。この属性の最適な設定方法は、データシートを参照してください。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリー データシート』\(DS312\)](#)

OBUFDS

プリミティブ：Differential Signaling Output Buffer



概要

このデザイン エLEMENTは、低電圧の差動信号 (1.8V CMOS) をサポートする単一の出力バッファです。内部回路を外部から分離し、チップから出力する信号の駆動電流を供給します。出力には 2 つの異なるポート (O および OB) があり、これらのポートをそれぞれ「マスター」および「スレーブ」と呼びます。マスターとスレーブは MYNET と MYNETB のように、同じ論理信号の反対の状態を示します。

論理表

入力	出力	
I	O	OB
0	0	1
1	1	0

ポートの説明

ポート名	方向	幅	機能
O	出力	1	Diff_p 出力 (最上位ポートに直接接続)
OB	出力	1	Diff_n 出力 (最上位ポートに直接接続)
I	入力	1	バッファの入力

デザインの入力方法

このELEMENTは、回路図で使用できます。

使用可能な属性

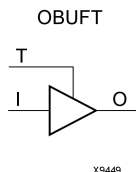
属性	データ型	値	デフォルト	説明
IOSTANDARD	文字列	データシートを参照	"DEFAULT"	ELEMENTに I/O 規格を割り当てます。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリー データシート』\(DS312\)](#)

OBUFT

プリミティブ：3-State Output Buffer with Active Low Output Enable



概要

このデザイン エレメントは、入力 (I)、出力 (O)、アクティブ Low 出力イネーブル (T) を持つ単一のトリステート出力バッファです。このエレメントでは、LVTTTL 規格が使用され、DRIVE 制約と SLOW または FAST 制約を使用して駆動電流とスルー レートを選択できます。デフォルトでは、DRIVE=12mA、スルー レートは SLOW に設定されています。

T が Low の場合、バッファに入力された値が対応する出力に送られます。T が High の場合は、出力がハイ インピーダンス (オフまたは Z ステート) になります。OBUFT は、双方向 I/O を作成するなど、トリステート機能にシングルエンド出力を使用する必要がある場合に使用します。

論理表

入力		出力
T	I	O
1	X	Z
0	1	1
0	0	0

ポートの説明

ポート名	方向	幅	機能
O	出力	1	バッファ出力 (最上位ポートに直接接続)
I	入力	1	バッファの入力
T	入力	1	トリステート イネーブル入力

デザインの入力方法

このエレメントは、回路図で使用できます。

使用可能な属性

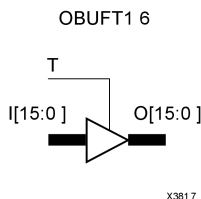
属性	データ型	値	デフォルト	説明
DRIVE	整数	2、4、6、8、12、16、24	12	出力の駆動電流を指定します。デザインの駆動電流およびタイミング要件で許容される最も低い値を使用してください。
IOSTANDARD	文字列	データシートを参照	"DEFAULT"	エレメントに I/O 規格を割り当てます。
SLEW	文字列	"SLOW"、"FAST"	"SLOW"	出力ドライバースルー レートを指定します。この属性の最適な設定方法は、データシートを参照してください。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリ データシート』\(DS312\)](#)

OBUFT16

マクロ：16-Bit 3-State Output Buffer with Active Low Output Enable



概要

このデザイン エLEMENTは、入力 (I)、出力 (O)、アクティブ Low 出力イネーブル (T) を持つ複数のトライステート出力バッファです。このELEMENTでは、LVTTTL 規格が使用され、DRIVE 制約と SLOW または FAST 制約を使用して駆動電流とスルー レートを選択できます。デフォルトでは、DRIVE=12mA、スルー レートは SLOW に設定されています。

T が Low の場合、バッファに入力された値が対応する出力に送られます。T が High の場合は、出力がハイ インピーダンス (オフまたは Z ステート) になります。OBUFT は、双方向 I/O を作成するなど、トライステート機能にシングルエンド出力を使用する必要がある場合に使用します。

論理表

入力		出力
T	I	O
1	X	Z
0	1	1
0	0	0

デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

使用可能な属性

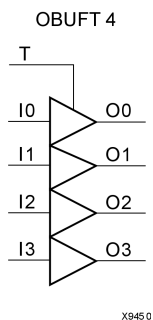
属性	データ型	値	デフォルト	説明
DRIVE	整数	2、4、6、8、12、16、24	12	出力の駆動電流を指定します。デザインの駆動電流およびタイミング要件で許容される最も低い値を使用してください。
IOSTANDARD	文字列	データシートを参照	"DEFAULT"	ELEMENTに I/O 規格を割り当てます。
SLEW	文字列	"SLOW"、"FAST"	"SLOW"	出力ドライバのスルー レートを指定します。この属性の最適な設定方法は、データシートを参照してください。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリー データシート』\(DS312\)](#)

OBUFT4

マクロ：4-Bit 3-State Output Buffers with Active-Low Output Enable



概要

このデザイン エLEMENTは、入力 (I)、出力 (O)、アクティブ Low 出力イネーブル (T) を持つ複数のトライステート出力バッファです。このELEMENTでは、LVTTTL 規格が使用され、DRIVE 制約と SLOW または FAST 制約を使用して駆動電流とスルー レートを選択できます。デフォルトでは、DRIVE=12mA、スルー レートは SLOW に設定されています。

T が Low の場合、バッファに入力された値が対応する出力に送られます。T が High の場合は、出力がハイインピーダンス (オフまたは Z ステート) になります。OBUFT は、双方向 I/O を作成するなど、トライステート機能にシングルエンド出力を使用する必要がある場合に使用します。

論理表

入力		出力
T	I	O
1	X	Z
0	1	1
0	0	0

デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

使用可能な属性

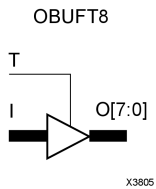
属性	データ型	値	デフォルト	説明
DRIVE	整数	2、4、6、8、12、16、24	12	出力の駆動電流を指定します。デザインの駆動電流およびタイミング要件で許容される最も低い値を使用してください。
IOSTANDARD	文字列	データシートを参照	"DEFAULT"	ELEMENTに I/O 規格を割り当てます。
SLEW	文字列	"SLOW"、"FAST"	"SLOW"	出力ドライバーのスルー レートを指定します。この属性の最適な設定方法は、データシートを参照してください。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリ データシート』\(DS312\)](#)

OBUFT8

マクロ：8-Bit 3-State Output Buffers with Active-Low Output Enable



概要

このデザイン エLEMENTは、入力 (I)、出力 (O)、アクティブ Low 出力イネーブル (T) を持つ複数のトライステート出力バッファです。このELEMENTでは、LVTTTL 規格が使用され、DRIVE 制約と SLOW または FAST 制約を使用して駆動電流とスルー レートを選択できます。デフォルトでは、DRIVE=12mA、スルー レートは SLOW に設定されています。

T が Low の場合、バッファに入力された値が対応する出力に送られます。T が High の場合は、出力がハイインピーダンス (オフまたは Z ステート) になります。OBUFT は、双方向 I/O を作成するなど、トライステート機能にシングルエンド出力を使用する必要がある場合に使用します。

論理表

入力		出力
T	I	O
1	X	Z
0	1	1
0	0	0

デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

使用可能な属性

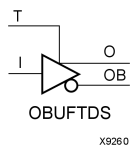
属性	データ型	値	デフォルト	説明
DRIVE	整数	2、4、6、8、12、16、24	12	出力の駆動電流を指定します。デザインの駆動電流およびタイミング要件で許容される最も低い値を使用してください。
IOSTANDARD	文字列	データシートを参照	"DEFAULT"	ELEMENTに I/O 規格を割り当てます。
SLEW	文字列	"SLOW"、"FAST"	"SLOW"	出力ドライバーのスルー レートを指定します。この属性の最適な設定方法は、データシートを参照してください。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリー データシート』\(DS312\)](#)

OBUFTDS

プリミティブ：3-State Output Buffer with Differential Signaling, Active-Low Output Enable



概要

このデザイン エレメントは、低電圧差動信号をサポートする出力バッファです。OBUFTDS では、デザイン レベルのインターフェイス信号は、一方がマスターで、もう一方がスレーブとなる 2 つの異なるポート (O、OB) で表されます。マスターとスレーブは、MYNET_P と MYNET_N のように、同じ論理信号の反対の状態を示します。

論理表

入力		出力	
I	T	O	OB
X	1	Z	Z
0	0	0	1
1	0	1	0

ポートの説明

ポート名	方向	幅	機能
O	出力	1	Diff_p 出力 (最上位ポートに直接接続)
OB	出力	1	Diff_n 出力 (最上位ポートに直接接続)
I	入力	1	バッファの入力
T	入力	1	トライステート イネーブル入力

デザインの入力方法

このエレメントは、回路図で使用できます。

使用可能な属性

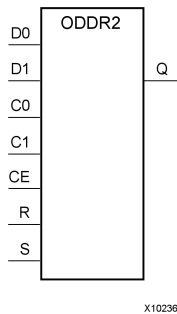
属性	データ型	値	デフォルト	説明
IOSTANDARD	文字列	データシートを参照	"DEFAULT"	エレメントに I/O 規格を割り当てます。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリー データシート』\(DS312\)](#)

ODDR2

プリミティブ : Dual Data Rate Output D Flip-Flop with Optional Data Alignment, Clock Enable and Programmable Synchronous or Asynchronous Set/Reset



概要

このデザイン エLEMENTは、出力ダブル データ レート (DDR) レジスタで、FPGA から出力されるダブル データ レート 信号を生成するために使用します。ODDR2 は、C0 と C1 の 2 つのクロックを使用してコンポーネントに接続されるので、C0 および C1 の両方の立ち上がりエッジでデータが出力されます。ODDR2 は、レジスタの動作を停止するために使用できるアクティブ High のクロック イネーブル (CE) ポート、対応するクロックに同期または非同期になるよう設定できるセット/リセット ポートを備えています。ODDR2 には、1 クロックで取り込まれたデータを 2 クロックで出力するオプションの調整機能があります。

論理表

入力							出力
S	R	CE	D0	D1	C0	C1	O
1	X	X	X	X	X	X	1
0	1	X	X	X	X	X	0
0	0	0	X	X	X	X	変化なし
0	0	1	D0	X	↑	X	D0
0	0	1	X	D1	X	↑	D1
セット/リセットは SRTYPE 値で同期に設定可能							

デザインの入力方法

このELEMENTは、回路図で使用できます。

使用可能な属性

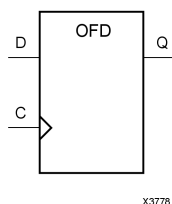
属性	データ型	値	デフォルト	説明
DDR_ALIGNMENT	文字列	"NONE"、"C0"、 "C1"	"NONE"	DDR レジスタの入力キャプチャビヘイビアを設定します。 <ul style="list-style-type: none"> "NONE" : C0 クロックが Low から High に切り替わるときに D0 入力に、C1 クロックが Low から High に切り替わるときに D1 にデータが入力されます。 "C0" : D0 と D1 両方への入力が C0 クロックの立ち上がりエッジに同期します。 "C1" : D0 と D1 両方への入力が C1 クロックの立ち上がりエッジに同期します。
INIT	2 進数	0、1	0	Q 出力の初期値を 0 または 1 に設定します。
SRTYPE	文字列	"SYNC"、"ASYNC"	"SYNC"	セット/リセットを同期または非同期に設定します。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリー データシート』\(DS312\)](#)

OFD

マクロ：Output D Flip-Flop



概要

このデザイン エLEMENTは単一出力の D フリップフロップです。

出力は、OPAD または IOPAD に接続されます。D 入力の値は、クロック (C) が Low から High に切り替わる時にフリップフロップにロードされ、Q に出力されます。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

入力		出力
D	C	Q
D	↑	D

デザインの入力方法

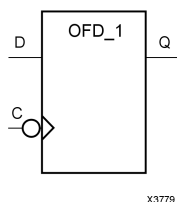
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリー データシート』\(DS312\)](#)

OFD_1

マクロ：Output D Flip-Flop with Inverted Clock



概要

このデザイン エLEMENTは、I/O ブロック (IOB) に含まれます。D フリップフロップの出力 (Q) は、OPAD または IOPAD に接続されます。D 入力の値は、クロック (C) が High から Low に切り替わる時にフリップフロップ内にロードされ、Q に出力されます。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

入力		出力
D	C	Q
D	↓	D

デザインの入力方法

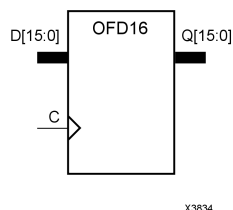
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリー データシート』\(DS312\)](#)

OFD16

マクロ：16-Bit Output D Flip-Flop



概要

このデザイン エLEMENTは複数出力の D フリップフロップです。

出力は、OPAD または IOPAD に接続されます。D 入力の値は、クロック (C) が Low から High に切り替わる時にフリップフロップにロードされ、Q に出力されます。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

入力		出力
D	C	Q
D	↑	D

デザインの入力方法

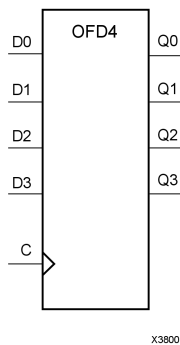
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリー データシート』\(DS312\)](#)

OFD4

マクロ：4-Bit Output D Flip-Flop



概要

このデザイン エレメントは複数出力の D フリップフロップです。

出力は、OPAD または IOPAD に接続されます。D 入力の値は、クロック (C) が Low から High に切り替わる時にフリップフロップにロードされ、Q に出力されます。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

入力		出力
D	C	Q
D	↑	D

デザインの入力方法

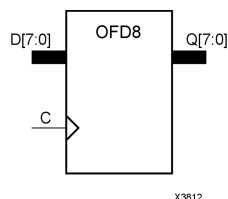
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリ データシート』\(DS312\)](#)

OFD8

マクロ：8-Bit Output D Flip-Flop



概要

このデザイン エLEMENTは複数出力の D フリップフロップです。

出力は、OPAD または IOPAD に接続されます。D 入力の値は、クロック (C) が Low から High に切り替わる時にフリップフロップにロードされ、Q に出力されます。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

入力		出力
D	C	Q
D	↑	D

デザインの入力方法

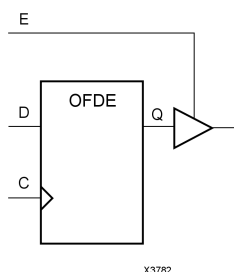
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリー データシート』\(DS312\)](#)

OFDE

マクロ : D Flip-Flop with Active-High Enable Output Buffers



概要

このデザイン エレメントは単一の D フリップフロップで、出力はトリステート バッファでイネーブル制御されます。フリップフロップの出力 (Q) は、出力バッファ (OBUFE) の入力に接続されます。OBUFE の出力は、OPAD または IOPAD に接続されます。入力 (D) の値は、クロック (C) が Low から High に切り替わる時にフリップフロップにロードされます。アクティブ High のイネーブル入力 (E) が High の場合、フリップフロップの出力 (Q) の値は OBUFE の O に出力されます。E が Low になると、出力はハイ インピーダンス (Z ステートまたはオフ) になります。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

入力			出力
E	D	C	O
0	X	X	Z
1	Dn	↑	Dn

デザインの入力方法

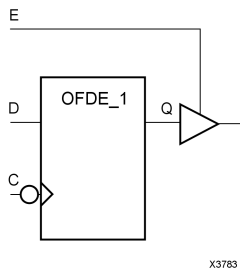
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリー データシート』\(DS312\)](#)

OFDE_1

マクロ：D Flip-Flop with Active-High Enable Output Buffer and Inverted Clock



概要

このデザイン エLEMENTとその出力バッファは、I/O ブロック (IOB) に含まれます。フリップフロップの出力 (Q) は、出力バッファまたは OBUFE の入力に接続されます。OBUFE の出力は、OPAD または IOPAD に接続されます。入力 (D) の値は、クロック (C) が High から Low に切り替わるときにフリップフロップにロードされます。アクティブ High のイネーブル入力 (E) が High の場合、フリップフロップの出力 (Q) の値は OBUFT の O に出力されます。E が Low になると、出力はハイ インピーダンス (Z ステートまたはオフ) になります。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

入力			出力
E	D	C	O
0	X	X	Z
1	D	↓	D

デザインの入力方法

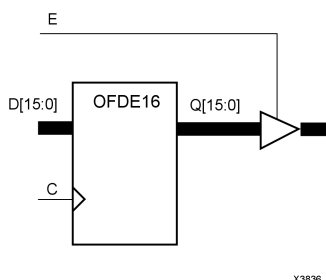
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリー データシート』\(DS312\)](#)

OFDE16

マクロ : 16-Bit D Flip-Flop with Active-High Enable Output Buffers



概要

このデザイン エLEMENTは複数の D フリップフロップで、出力はトライステート バッファでイネーブル制御されます。フリップフロップの出力 (Q) は、出力バッファ (OBUFE) の入力に接続されます。OBUFE の出力 (O) は、OPAD または IOPAD に接続されます。入力 (D) の値は、クロック (C) が Low から High に切り替わる時にフリップフロップにロードされます。アクティブ High のイネーブル入力 (E) が High のとき、フリップフロップの出力 (Q) の値が OBUFE の O に出力されます。E が Low になると、出力はハイ インピーダンス (Z ステートまたはオフ) になります。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

入力			出力
E	D	C	O
0	X	X	Z
1	Dn	↑	Dn

デザインの入力方法

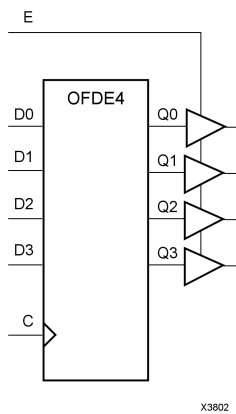
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリー データシート』\(DS312\)](#)

OFDE4

マクロ：4-Bit D Flip-Flop with Active-High Enable Output Buffers



概要

このデザイン エLEMENTは複数の D フリップフロップで、出力はトライステートバッファでイネーブル制御されます。フリップフロップの出力 (Q) は、出力バッファ (OBUFE) の入力に接続されます。OBUFE の出力 (O) は、OPAD または IOPAD に接続されます。入力 (D) の値は、クロック (C) が Low から High に切り替わる時にフリップフロップにロードされます。アクティブ High のイネーブル入力 (E) が High のとき、フリップフロップの出力 (Q) の値が OBUFE の O に出力されます。E が Low になると、出力はハイインピーダンス (Z ステートまたはオフ) になります。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

入力			出力
E	D	C	O
0	X	X	Z
1	Dn	↑	Dn

デザインの入力方法

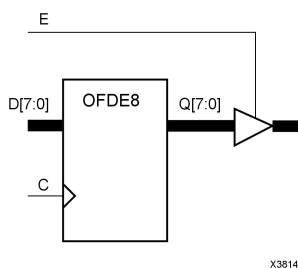
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリー データシート』\(DS312\)](#)

OFDE8

マクロ : 8-Bit D Flip-Flop with Active-High Enable Output Buffers



概要

このデザイン エレメントは複数の D フリップフロップで、出力はトライステートバッファでイネーブル制御されます。フリップフロップの出力 (Q) は、出力バッファ (OBUFE) の入力に接続されます。OBUFE の出力 (O) は、OPAD または IOPAD に接続されます。入力 (D) の値は、クロック (C) が Low から High に切り替わる時にフリップフロップにロードされます。アクティブ High のイネーブル入力 (E) が High のとき、フリップフロップの出力 (Q) の値が OBUFE の O に出力されます。E が Low になると、出力はハイインピーダンス (Z ステートまたはオフ) になります。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。FPGA では、グローバルセット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

入力			出力
E	D	C	O
0	X	X	Z
1	Dn	↑	Dn

デザインの入力方法

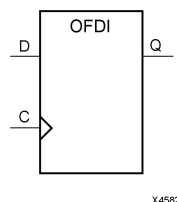
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリー データシート』\(DS312\)](#)

OFDI

マクロ：Output D Flip-Flop (Asynchronous Preset)



概要

このデザイン エLEMENTは、I/O ブロック (IOB) に含まれます。D フリップフロップの出力 (Q) は、OPAD または IOPAD に接続されます。D 入力の値は、クロック (C) が Low から High に切り替わるときにフリップフロップにロードされ、Q に出力されます。

電力を供給すると、フリップフロップは非同期にプリセットされ、出力が High になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

入力		出力
D	C	Q
D	↑	D

デザインの入力方法

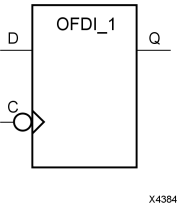
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリー データシート』\(DS312\)](#)

OFDI_1

マクロ : Output D Flip-Flop with Inverted Clock (Asynchronous Preset)



概要

このデザイン エLEMENTは、I/O ブロック (IOB) 内に配置されます。D フリップフロップの出力 (Q) は、OPAD または IOPAD に接続されます。D 入力の値は、クロック (C) が High から Low に切り替わる時にフリップフロップ内にロードされ、Q に出力されます。

電力を供給すると、フリップフロップは非同期にプリセットされ、出力が High になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

入力		出力
D	C	Q
D	↓	D

デザインの入力方法

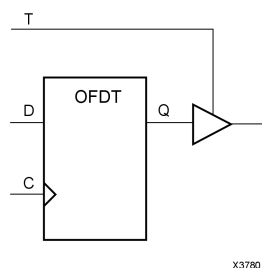
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリー データシート』\(DS312\)](#)

OFDT

マクロ：D Flip-Flop with Active-Low 3-State Output Buffer



概要

このデザイン エLEMENTは単一の D フリップフロップで、出力はトリステート バッファでイネーブル制御されます。

フリップフロップの出力 (Q) は、出力バッファ (OBUFT) の入力に接続されます。OBUFT の出力 (O) は、OPAD または IOPAD に接続されます。入力 (D) の値は、クロック (C) が Low から High に切り替わる時にフリップフロップにロードされます。アクティブ Low のイネーブル入力 (T) が Low のとき、フリップフロップの出力 (Q) の値が O に出力されます。T が High になると、出力はハイ インピーダンス (オフ) になります。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

入力			出力
T	D	C	O
1	X	X	Z
0	D	↑	D

デザインの入力方法

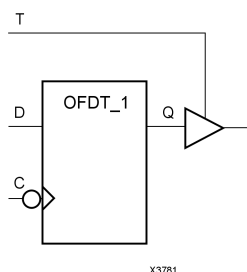
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリー データシート』\(DS312\)](#)

OFDT_1

マクロ : D Flip-Flop with Active-Low 3-State Output Buffer and Inverted Clock



概要

このデザイン エレメントとその出力バッファは、I/O ブロック (IOB) に含まれます。フリップフロップの出力 (Q) は、出力バッファ (OBUFT) の入力に接続されます。OBUFT の出力は、OPAD または IOPAD に接続されます。入力 (D) の値は、クロック (C) が High から Low に切り替わるときにフリップフロップにロードされます。アクティブ Low のイネーブル入力 (T) が Low のとき、フリップフロップの出力 (Q) の値が 0 に出力されます。T が High になると、出力はハイインピーダンス (オフ) になります。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

入力			出力
T	D	C	O
1	X	X	Z
0	D	↓	D

デザインの入力方法

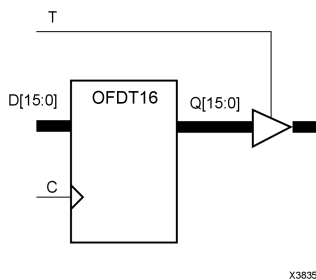
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリー データシート』\(DS312\)](#)

OFDT16

マクロ：16-Bit D Flip-Flop with Active-Low 3-State Output Buffers



概要

このデザイン エLEMENTは複数の D フリップフロップで、出力はトリステート バッファでイネーブル制御されます。

フリップフロップの出力 (Q) は、出力バッファ (OBUFT) の入力に接続されます。OBUFT の出力 (O) は、OPAD または IOPAD に接続されます。入力 (D) の値は、クロック (C) が Low から High に切り替わる時にフリップフロップにロードされます。アクティブ Low のイネーブル入力 (T) が Low のとき、フリップフロップの出力 (Q) の値が 0 に出力されます。T が High になると、出力はハイ インピーダンス (オフ) になります。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

入力			出力
T	D	C	O
1	X	X	Z
0	D	↑	D

デザインの入力方法

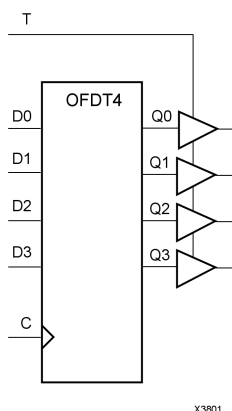
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリー データシート』\(DS312\)](#)

OFDT4

マクロ：4-Bit D Flip-Flop with Active-Low 3-State Output Buffers



概要

このデザイン エLEMENTは複数の D フリップフロップで、出力はトリステートバッファでイネーブル制御されます。

フリップフロップの出力 (Q) は、出力バッファ (OBUFT) の入力に接続されます。OBUFT の出力 (O) は、OPAD または IOPAD に接続されます。入力 (D) の値は、クロック (C) が Low から High に切り替わる時にフリップフロップにロードされます。アクティブ Low のイネーブル入力 (T) が Low のとき、フリップフロップの出力 (Q) の値が O に出力されます。T が High になると、出力はハイインピーダンス (オフ) になります。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

入力			出力
T	D	C	O
1	X	X	Z
0	D	↑	D

デザインの入力方法

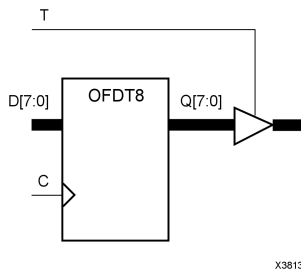
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリー データシート』\(DS312\)](#)

OFDT8

マクロ：8-Bit D Flip-Flop with Active-Low 3-State Output Buffers



概要

このデザイン エLEMENTは複数の D フリップフロップで、出力はトリステート バッファでイネーブル制御されます。

フリップフロップの出力 (Q) は、出力バッファ (OBUFT) の入力に接続されます。OBUFT の出力 (O) は、OPAD または IOPAD に接続されます。入力 (D) の値は、クロック (C) が Low から High に切り替わる時にフリップフロップにロードされます。アクティブ Low のイネーブル入力 (T) が Low のとき、フリップフロップの出力 (Q) の値が O に出力されます。T が High になると、出力はハイ インピーダンス (オフ) になります。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

入力			出力
T	D	C	O
1	X	X	Z
0	D	↑	D

デザインの入力方法

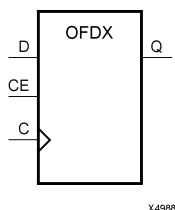
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリー データシート』\(DS312\)](#)

OFDX

マクロ：Output D Flip-Flop with Clock Enable



概要

このデザイン エLEMENTは単一出力の D フリップフロップです。Q 出力は、OPAD または IOPAD に接続されます。D 入力の値は、クロック (C) が Low から High に切り替わる時にフリップフロップ内にロードされ、Q に出力されます。クロック イネーブル (CE) が Low のときには、出力は変化しません。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

入力			出力
CE	D	C	Q
1	Dn	↑	Dn
0	X	X	変化なし

デザインの入力方法

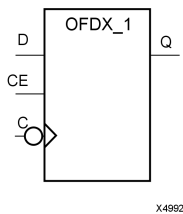
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリー データシート』\(DS312\)](#)

OFDX_1

マクロ：Output D Flip-Flop with Inverted Clock and Clock Enable



概要

このデザイン エLEMENTは、I/O ブロック (IOB) に含まれます。D フリップフロップの出力 (Q) は、OPAD または IOPAD に接続されます。D 入力の値は、クロック (C) が High から Low に切り替わるときにフリップフロップ内にロードされ、Q に出力されます。クロック イネーブル (CE) が Low のときには、出力 (Q) は変化しません。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

入力			出力
CE	D	C	Q
1	D	↓	D
0	X	X	変化なし

デザインの入力方法

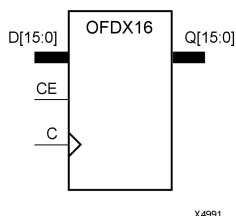
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリー データシート』\(DS312\)](#)

OFDX16

マクロ : 16-Bit Output D Flip-Flop with Clock Enable



概要

このデザイン エレメントは複数出力の D フリップフロップです。Q 出力は、OPAD または IOPAD に接続されます。D 入力の値は、クロック (C) が Low から High に切り替わるときにフリップフロップ内にロードされ、Q に出力されます。クロック イネーブル (CE) が Low のときには、出力は変化しません。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

入力			出力
CE	D	C	Q
1	Dn	↑	Dn
0	X	X	変化なし

デザインの入力方法

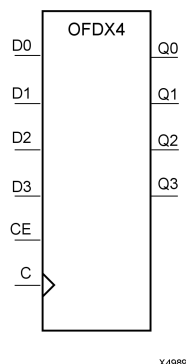
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリ データシート』\(DS312\)](#)

OFDX4

マクロ：4-Bit Output D Flip-Flop with Clock Enable



概要

このデザイン エLEMENTは複数出力の D フリップフロップです。Q 出力は、OPAD または IOPAD に接続されます。D 入力の値は、クロック (C) が Low から High に切り替わる時にフリップフロップ内にロードされ、Q に出力されます。クロック イネーブル (CE) が Low のときには、出力は変化しません。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

入力			出力
CE	D	C	Q
1	Dn	↑	Dn
0	X	X	変化なし

デザインの入力方法

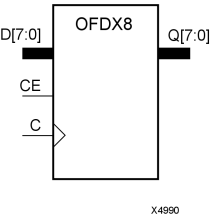
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリー データシート』\(DS312\)](#)

OFDX8

マクロ : 8-Bit Output D Flip-Flop with Clock Enable



概要

このデザイン エレメントは複数出力の D フリップフロップです。Q 出力は、OPAD または IOPAD に接続されます。D 入力の値は、クロック (C) が Low から High に切り替わるときにフリップフロップ内にロードされ、Q に出力されます。クロック イネーブル (CE) が Low のときには、出力は変化しません。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

入力			出力
CE	D	C	Q
1	Dn	↑	Dn
0	X	X	変化なし

デザインの入力方法

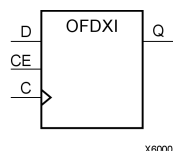
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリ データシート』\(DS312\)](#)

OFDXI

マクロ：Output D Flip-Flop with Clock Enable (Asynchronous Preset)



概要

このデザイン エLEMENTは、I/O ブロック (IOB) に含まれます。D フリップフロップの出力 (Q) は、OPAD または IOPAD に接続されます。D 入力の値は、クロック (C) が Low から High に切り替わるときにフリップフロップにロードされ、Q に出力されます。クロック イネーブル (CE) が Low のときには、出力は変化しません。

電力を供給すると、フリップフロップは非同期にプリセットされ、出力が High になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

入力			出力
CE	D	C	Q
1	D	↑	D
0	X	X	変化なし

デザインの入力方法

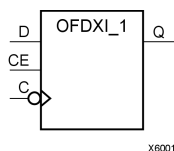
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリー データシート』\(DS312\)](#)

OFDXI_1

マクロ : Output D Flip-Flop with Inverted Clock and Clock Enable (Asynchronous Preset)



概要

このデザイン エレメントは、I/O ブロック (IOB) に含まれます。D フリップフロップの出力 (Q) は、OPAD または IOPAD に接続されます。D 入力の値は、クロック (C) が High から Low に切り替わる時にフリップフロップ内にロードされ、Q に出力されます。クロック イネーブル (CE) が Low のときには、出力 (Q) は変化しません。

電力を供給すると、フリップフロップは非同期にプリセットされ、出力が High になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

入力			出力
CE	D	C	Q
1	D	↓	D
0	X	X	変化なし

デザインの入力方法

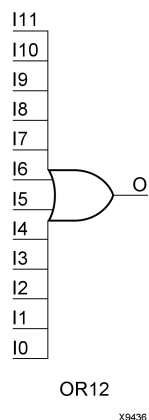
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリ データシート』\(DS312\)](#)

OR12

マクロ : 12-Input OR Gate with Non-Inverted Inputs



概要

5 入力までの OR ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の OR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバーターを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

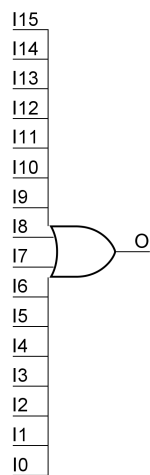
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリー データシート』\(DS312\)](#)

OR16

マクロ : 16-Input OR Gate with Non-Inverted Inputs



OR16

X9437

概要

5 入力までの OR ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の OR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバーターを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

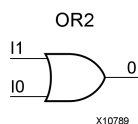
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリー データシート』\(DS312\)](#)

OR2

プリミティブ：2-Input OR Gate with Non-Inverted Inputs



概要

5 入力までの OR ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の OR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバーターを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

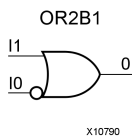
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリー データシート』\(DS312\)](#)

OR2B1

プリミティブ：2-Input OR Gate with 1 Inverted and 1 Non-Inverted Inputs



概要

5 入力までの OR ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の OR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバーターを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

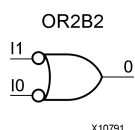
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリー データシート』\(DS312\)](#)

OR2B2

プリミティブ：2-Input OR Gate with Inverted Inputs



概要

5 入力までの OR ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の OR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバーターを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

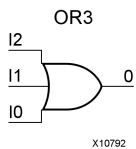
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリー データシート』\(DS312\)](#)

OR3

プリミティブ：3-Input OR Gate with Non-Inverted Inputs



概要

5 入力までの OR ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の OR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバーターを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

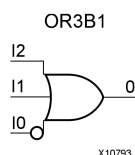
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリー データシート』\(DS312\)](#)

OR3B1

プリミティブ：3-Input OR Gate with 1 Inverted and 2 Non-Inverted Inputs



概要

5 入力までの OR ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の OR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバーターを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

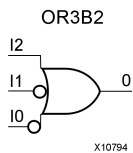
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリー データシート』\(DS312\)](#)

OR3B2

プリミティブ：3-Input OR Gate with 2 Inverted and 1 Non-Inverted Inputs



概要

5 入力までの OR ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の OR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバーターを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

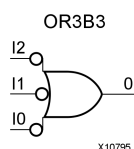
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリー データシート』\(DS312\)](#)

OR3B3

プリミティブ：3-Input OR Gate with Inverted Inputs



概要

5 入力までの OR ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の OR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバーターを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

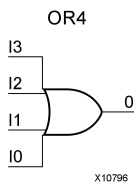
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリー データシート』\(DS312\)](#)

OR4

プリミティブ：4-Input OR Gate with Non-Inverted Inputs



概要

5 入力までの OR ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の OR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバーターを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

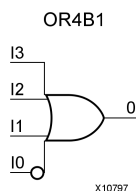
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリー データシート』\(DS312\)](#)

OR4B1

プリミティブ：4-Input OR Gate with 1 Inverted and 3 Non-Inverted Inputs



概要

5 入力までの OR ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の OR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバーターを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

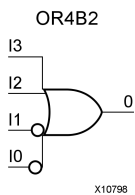
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリー データシート』\(DS312\)](#)

OR4B2

プリミティブ：4-Input OR Gate with 2 Inverted and 2 Non-Inverted Inputs



概要

5 入力までの OR ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の OR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバーターを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

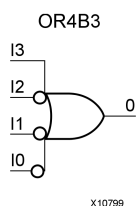
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリー データシート』\(DS312\)](#)

OR4B3

プリミティブ：4-Input OR Gate with 3 Inverted and 1 Non-Inverted Inputs



概要

5 入力までの OR ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の OR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバーターを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

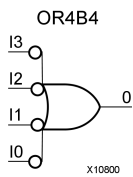
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリー データシート』\(DS312\)](#)

OR4B4

プリミティブ：4-Input OR Gate with Inverted Inputs



概要

5 入力までの OR ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の OR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバーターを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

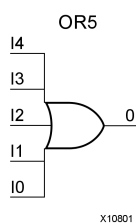
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリー データシート』\(DS312\)](#)

OR5

プリミティブ：5-Input OR Gate with Non-Inverted Inputs



概要

5 入力までの OR ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の OR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバーターを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

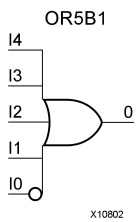
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリー データシート』\(DS312\)](#)

OR5B1

プリミティブ：5-Input OR Gate with 1 Inverted and 4 Non-Inverted Inputs



概要

5 入力までの OR ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の OR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバーターを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

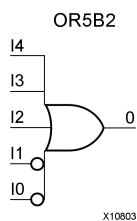
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリー データシート』\(DS312\)](#)

OR5B2

プリミティブ：5-Input OR Gate with 2 Inverted and 3 Non-Inverted Inputs



概要

5 入力までの OR ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の OR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバーターを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

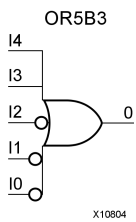
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリー データシート』\(DS312\)](#)

OR5B3

プリミティブ：5-Input OR Gate with 3 Inverted and 2 Non-Inverted Inputs



概要

5 入力までの OR ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の OR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバーターを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

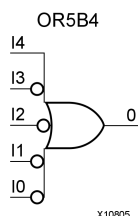
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリー データシート』\(DS312\)](#)

OR5B4

プリミティブ：5-Input OR Gate with 4 Inverted and 1 Non-Inverted Inputs



概要

5 入力までの OR ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の OR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバーターを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

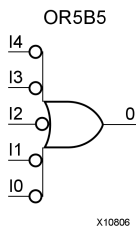
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリー データシート』\(DS312\)](#)

OR5B5

プリミティブ：5-Input OR Gate with Inverted Inputs



概要

5 入力までの OR ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の OR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバーターを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

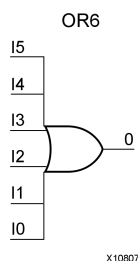
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリー データシート』\(DS312\)](#)

OR6

マクロ：6-Input OR Gate with Non-Inverted Inputs



概要

5 入力までの OR ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の OR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバーターを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

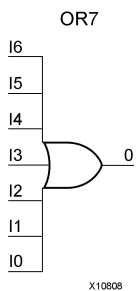
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリ データシート』\(DS312\)](#)

OR7

マクロ : 7-Input OR Gate with Non-Inverted Inputs



概要

5 入力までの OR ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の OR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバーターを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

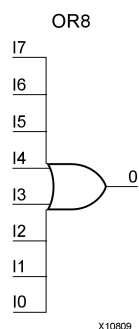
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリー データシート』\(DS312\)](#)

OR8

マクロ：8-Input OR Gate with Non-Inverted Inputs



概要

5 入力までの OR ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の OR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバーターを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

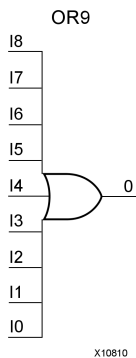
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリー データシート』\(DS312\)](#)

OR9

マクロ : 9-Input OR Gate with Non-Inverted Inputs



概要

5 入力までの OR ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の OR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバーターを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

このエレメントは、回路図でのみ使用できます。

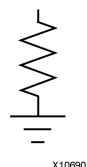
詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリー データシート』\(DS312\)](#)

PULLDOWN

プリミティブ：Resistor to GND for Input Pads, Open-Drain, and 3-State Outputs

PULLDOWN



X10690

概要

この抵抗エレメントは、入力、出力、双方向のパッドに接続し、フロートする可能性のあるノードのロジックレベルを Low にします。

ポートの説明

ポート名	方向	幅	機能
O	出力	1	プルダウン出力 (最上位ポートに直接接続)

デザインの入力方法

このエレメントは、回路図で使用できます。

このエレメントは、最上位の回路図ファイルで次のネットに接続できます。

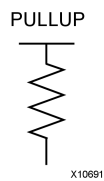
- ・ 入力 I/O マーカーに接続されたネット
- ・ 出力 I/O マーカーおよび OBUFT のようなトリステートにできる I/O エLEMENTの両方に接続されたネット

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリー データシート』\(DS312\)](#)

PULLUP

プリミティブ：Resistor to VCC for Input PADs, Open-Drain, and 3-State Outputs



概要

このデザイン エLEMENTは、入力、トライステート出力、または双方向ポートが内部または外部ソースで駆動されないときに、弱い High で駆動します。すべてのドライバーがオフのときに、オープンドレイン エLEMENTおよびマクロのロジックレベルを High にします。

ポートの説明

ポート名	方向	幅	機能
O	出力	1	プルアップ出力 (最上位ポートに直接接続)

デザインの入力方法

このELEMENTは、回路図で使用できます。

このELEMENTは、最上位の回路図ファイルで次のネットに接続できます。

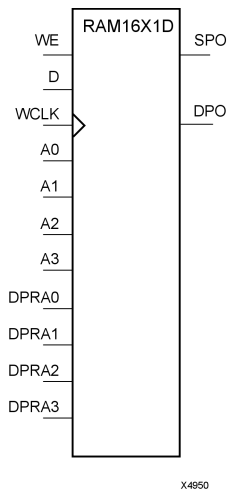
- ・ 入力 I/O マーカーに接続されたネット
- ・ 出力 I/O マーカーおよび OBUFT のようなトライステートにできる I/O ELEMENTの両方に接続されたネット

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリー データシート』\(DS312\)](#)

RAM16X1D

プリミティブ：16-Deep by 1-Wide Static Dual Port Synchronous RAM



概要

このエレメントは 16 ワード X 1 ビットのデュアル ポート SRAM で、同期書き込み機能を備えています。デバイスには、読み出しアドレス (DPRA3 ~ DPRA0) と書き込みアドレス (A3 ~ A0) の 2 種類のアドレスポートがあります。この 2 種類のアドレスポートは非同期です。読み出しアドレスによって出力ピン (DPO) に出力される値が指定され、書き込みアドレスによって書き込みを行う位置が指定されます。ライト イネーブル (WE) が Low の場合、ライト クロック (WCLK) の遷移は無視され、RAM に格納されている値は変化しません。

WE が High の場合、WCLK が Low から High に切り替わるときに、データ入力 (D) の値が 4 ビットの書き込みアドレスで選択されたワードに書き込まれます。書き込みを正しく行うには、WCLK が Low から High に切り替わる前に、書き込みアドレスとデータ入力の値を安定させる必要があります。WCLK はデフォルトではアクティブ High ですが、インバーターを使用してアクティブ Low にすることもできます。WCLK の入力ネットに配置されたインバーターは、RAM ブロック内に組み込まれます。

SPO 出力には、A3 ~ A0 で指定されたメモリ セルの値が出力されます。DPO 出力には、DPRA3 ~ DPRA0 で指定されたメモリ セルの値が出力されます。

注記： 書き込み処理は、読み出しアドレスポートのアドレスには影響されません。

INIT 属性を使用すると、RAM を直接初期化できます。値は、INIT=ABAC のように、16 進数で指定してください。INIT 属性を指定しない場合は、RAM は 0 に初期化されます。

論理表

モード選択を次の論理表に示します。

入力			出力	
WE (モード)	WCLK	D	SPO	DPO
0 (読み出し)	X	X	data_a	data_d
1 (読み出し)	0	X	data_a	data_d
1 (読み出し)	1	X	data_a	data_d
1 (書き込み)	↑	D	D	data_d
1 (読み出し)	↓	X	data_a	data_d
data_a = A3 ～ A0 で指定されたワード				
data_d = DPRA3 ～ DPRA0 で指定されたワード				

デザインの入力方法

このエレメントは、回路図で使用できます。

使用可能な属性

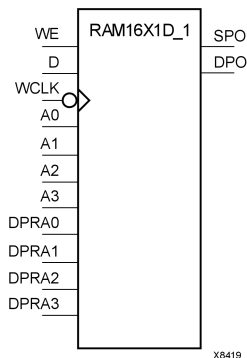
属性	データ型	値	デフォルト	説明
INIT	16 進数	16 ビット値	すべて 0	RAM、レジスタ、LUT の初期値を指定します。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリー データシート』\(DS312\)](#)

RAM16X1D_1

プリミティブ：16-Deep by 1-Wide Static Dual Port Synchronous RAM with Negative-Edge Clock



概要

このエレメントは、クロックの立ち下がりエッジで動作する 16 ワード X 1 ビットのデュアル ポート SRAM で、同期書き込み機能を備えています。デバイスには、読み出しアドレス (DPRA3 ~ DPRA0) と書き込みアドレス (A3 ~ A0) の独立した 2 種類のアドレス ポートがあります。この 2 種類のアドレス ポートは非同期です。読み出しアドレスによって出力ピン (DPO) に出力される値が指定され、書き込みアドレスによって書き込みを行う位置が指定されます。

ライト イネーブル (WE) が Low の場合、ライト クロック (WCLK) の遷移は無視され、RAM に格納されている値は変化しません。WE が High の場合、WCLK が High から Low に切り替わるときに、4 ビットの書き込みアドレスで選択されているワードにデータ入力 (D) の値が書き込まれます。書き込みを正しく行うには、WCLK が High から Low に切り替わる前に、書き込みアドレスとデータ入力の値を安定させる必要があります。WCLK はデフォルトではアクティブ Low ですが、インバーターを使用してアクティブ High にすることもできます。WCLK の入力ネットに配置されたインバーターは、RAM ブロック内に組み込まれます。

INIT 属性を使用すると、コンフィギュレーション中に RAM16X1D_1 を初期化できます。

SPO 出力には、A3 ~ A0 で指定されたメモリ セルの値が出力されます。DPO 出力には、DPRA3 ~ DPRA0 で指定されたメモリ セルの値が出力されます。

注記： 書き込み処理は、読み出しアドレス ポートのアドレスには影響されません。

論理表

モード選択を次の論理表に示します。

入力			出力	
WE (モード)	WCLK	D	SPO	DPO
0 (読み出し)	X	X	data_a	data_d
1 (読み出し)	0	X	data_a	data_d
1 (読み出し)	1	X	data_a	data_d
1 (書き込み)	↓	D	D	data_d
1 (読み出し)	↑	X	data_a	data_d
data_a = A3 ~ A0 で指定されたワード				
data_d = DPRA3 ~ DPRA0 で指定されたワード				

ポートの説明

ポート名	方向	幅	機能
DPO	出力	1	読み出し専用 1 ビット データ出力
SPO	出力	1	読み出し/書き込み 1 ビット データ出力
A0	入力	1	読み出し/書き込み address[0] 入力
A1	入力	1	読み出し/書き込み address[1] 入力
A2	入力	1	読み出し/書き込み address[2] 入力
A3	入力	1	読み出し/書き込み address[3] 入力
D	入力	1	書き込み 1 ビット データ入力
DPRA0	入力	1	読み出し専用 address[0] 入力
DPRA1	入力	1	読み出し専用 address[1] 入力
DPRA2	入力	1	読み出し専用 address[2] 入力
DPRA3	入力	1	読み出し専用 address[3] 入力
WCLK	入力	1	書き込みクロック入力
WE	入力	1	ライト イネーブル入力

デザインの入力方法

このエレメントは、回路図で使用できます。

使用可能な属性

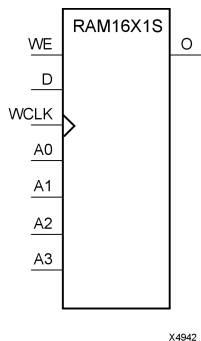
属性	データ型	値	デフォルト	説明
INIT	16 進数	16 ビット値	すべて 0	RAM、レジスタ、LUT の初期値を指定します。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリー データシート』\(DS312\)](#)

RAM16X1S

プリミティブ：16-Deep by 1-Wide Static Synchronous RAM



概要

このエレメントは 16 ワード X 1 ビットの SRAM で、同期書き込み機能を備えています。ライト イネーブル (WE) が Low の場合、ライト クロック (WCLK) の遷移は無視され、RAM に格納されている値は変化しません。WE が High になると、WCLK が Low から High に切り替わるときに、データ入力 (D) の値が 4 ビットのアドレス (A3 ~ A0) で選択されたワードに書き込まれます。WCLK はデフォルトではアクティブ High ですが、インバーターを使用してアクティブ Low にすることもできます。WCLK の入力ネットに配置されたインバーターは、RAM ブロック内に組み込まれます。

出力ピン (O) に出力される値は、アドレス ピンで指定された RAM 内の位置に格納されている値です。INIT 属性を使用すると、コンフィギュレーション中に RAM16X1S を初期化できます。

論理表

入力			出力
WE (モード)	WCLK	D	O
0 (読み出し)	X	X	データ
1 (読み出し)	0	X	データ
1 (読み出し)	1	X	データ
1 (書き込み)	↑	D	D
1 (読み出し)	↓	X	データ
データ = A3 ~ A0 で指定されたワード			

デザインの入力方法

このエレメントは、回路図で使用できます。

使用可能な属性

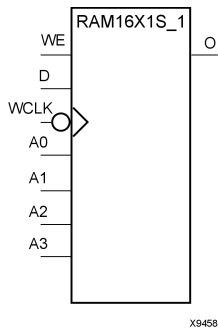
属性	データ型	値	デフォルト	説明
INIT	16 進数	16 ビット値	すべて 0	RAM の初期値を指定します。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリ データシート』\(DS312\)](#)

RAM16X1S_1

プリミティブ：16-Deep by 1-Wide Static Synchronous RAM with Negative-Edge Clock



概要

このエレメントはクロックの立ち下がりエッジで動作する 16 ワード X 1 ビットの SRAM で、同期書き込み機能を備えています。ライト イネーブル (WE) が Low の場合、ライト クロック (WCLK) の遷移は無視され、RAM に格納されている値は変化しません。WE が High の場合、WCLK が High から Low に切り替わる時に、データ入力 (D) の値が 4 ビットのアドレス (A3 ～ A0) で選択されたワードに書き込まれます。書き込みを正しく行うには、WCLK が High から Low に切り替わる前に、書き込みアドレスとデータ入力の値を安定させる必要があります。WCLK はデフォルトではアクティブ Low ですが、インバーターを使用してアクティブ High にすることもできます。WCLK の入力ネットに配置されたインバーターは、RAM ブロック内に組み込まれます。

出力ピン (O) に出力される値は、アドレスピンで指定された RAM 内の位置に格納されている値です。

INIT 属性を使用すると、コンフィギュレーション中にこのエレメントを初期化できます。

論理表

入力			出力
WE (モード)	WCLK	D	O
0 (読み出し)	X	X	データ
1 (読み出し)	0	X	データ
1 (読み出し)	1	X	データ
1 (書き込み)	↓	D	D
1 (読み出し)	↑	X	データ
データ = A3 ～ A0 で指定されたワード			

デザインの入力方法

このエレメントは、回路図で使用できます。

使用可能な属性

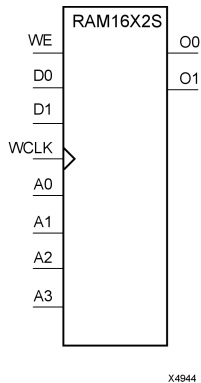
属性	データ型	値	デフォルト	説明
INIT	16 進数	16 ビット値	すべて 0	RAM の初期値を指定します。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリ データシート』\(DS312\)](#)

RAM16X2S

プリミティブ：16-Deep by 2-Wide Static Synchronous RAM



概要

このエレメントは 16 ワード X 2 ビットの SRAM で、同期書き込み機能を備えています。ライト イネーブル (WE) が Low の場合、ライト クロック (WCLK) の遷移は無視され、RAM に格納されている値は変化しません。WE が High の場合、WCLK が Low から High に切り替わるときに、入力 (D1 ~ D0) の値が 4 ビットのアドレス (A3 ~ A0) で選択されたワードに書き込まれます。書き込みを正しく行うには、WCLK が Low から High に切り替わる前に、書き込みアドレスとデータ入力の値を安定させる必要があります。WCLK はデフォルトではアクティブ High ですが、インバーターを使用してアクティブ Low にすることもできます。WCLK の入力ネットに配置されたインバーターは、RAM ブロック内に組み込まれます。

出力ピン (O1 ~ O0) に出力される値は、アドレス ピンで指定された RAM 内の位置に格納されている値です。

INIT_xx 属性を使用すると、RAM の初期値を指定できます。INIT_00 は出力 (O0) に対応する RAM のセルを初期化し、INIT_01 は出力 (O1) に対応するセルを初期化します。たとえば、RAM16X2S インスタンスは、INIT_00 および INIT_01 にそれぞれ 4 桁の 16 進数値を指定して初期化します。RAM16X8S インスタンスは、INIT_00 ~ INIT_07 の 8 個の属性にそれぞれ 4 桁の 16 進数値を指定して初期化します。RAM64X2S インスタンスは、INIT_00 および INIT_01 にそれぞれ 16 桁の 16 進数値を指定して初期化します。

Virtex-4 デバイス以外では、このエレメントの初期値を直接指定することはできません。

論理表

入力			出力
WE (モード)	WCLK	D1 ~ D0	O1 ~ O0
0 (読み出し)	X	X	データ
1 (読み出し)	0	X	データ
1 (読み出し)	1	X	データ
1 (書き込み)	↑	D1 ~ D0	D1 ~ D0
1 (読み出し)	↓	X	データ
データ = A3 ~ A0 で指定されたワード			

デザインの入力方法

このエレメントは、回路図で使用できます。

使用可能な属性

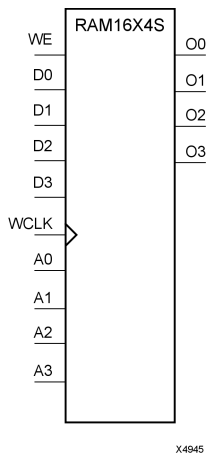
属性	データ型	値	デフォルト	説明
INIT_00 ~ INIT_01	16 進数	16 ビット値	すべて 0	RAM、レジスタ、LUT の初期値を指定します。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリ データシート』\(DS312\)](#)

RAM16X4S

プリミティブ：16-Deep by 4-Wide Static Synchronous RAM



概要

このエレメントは 16 ワード X 4 ビットの SRAM で、同期書き込み機能を備えています。ライト イネーブル (WE) が Low の場合、ライト クロック (WCLK) の遷移は無視され、RAM に格納されている値は変化しません。WE が High になると、WCLK が Low から High に切り替わるときに、入力 (D3 ~ D0) の値が 4 ビットのアドレス (A3 ~ A0) で選択されたワードに書き込まれます。書き込みを正しく行うには、WCLK が Low から High に切り替わる前に、書き込みアドレスとデータ入力の値を安定させる必要があります。WCLK はデフォルトではアクティブ High ですが、インバーターを使用してアクティブ Low にすることもできます。WCLK の入力ネットに配置されたインバーターは、RAM ブロック内に組み込まれます。

出力ピン (O3 ~ O0) に出力される値は、アドレス ピンで指定された RAM 内の位置に格納されている値です。

論理表

入力			出力
WE (モード)	WCLK	D3:D0	O3:O0
0 (読み出し)	X	X	データ
1 (読み出し)	0	X	データ
1 (読み出し)	1	X	データ
1 (書き込み)	↑	D3:D0	D3:D0
1 (読み出し)	↓	X	データ
データ = A3 ~ A0 で指定されたワード			

デザインの入力方法

このエレメントは、回路図でのみ使用できます。

使用可能な属性

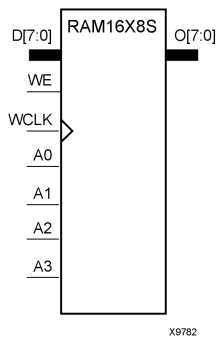
属性	データ型	値	デフォルト	説明
INIT_00 ~ INIT_03	16 進数	16 ビット値	すべて 0	RAM の初期値を指定します。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリ データシート』\(DS312\)](#)

RAM16X8S

プリミティブ：16-Deep by 8-Wide Static Synchronous RAM



概要

このエレメントは 16 ワード X 8 ビットの SRAM で、同期書き込み機能を備えています。ライト イネーブル (WE) が Low の場合、ライト クロック (WCLK) の遷移は無視され、RAM に格納されている値は変化しません。WE が High になると、WCLK が Low から High に切り替わるときに、入力 (D7 ~ D0) の値が 4 ビットのアドレス (A3 ~ A0) で選択されたワードに書き込まれます。書き込みを正しく行うには、WCLK が Low から High に切り替わる前に、書き込みアドレスとデータ入力の値を安定させる必要があります。WCLK はデフォルトではアクティブ High ですが、インバーターを使用してアクティブ Low にすることもできます。WCLK の入力ネットに配置されたインバーターは、RAM ブロック内に組み込まれます。

出力ピン (O7 ~ O0) に出力される値は、アドレスピンで指定された RAM 内の位置に格納されている値です。

論理表

入力			出力
WE (モード)	WCLK	D7:D0	O7:O0
0 (読み出し)	X	X	データ
1 (読み出し)	0	X	データ
1 (読み出し)	1	X	データ
1 (書き込み)	↑	D7:D0	D7:D0
1 (読み出し)	↓	X	データ
データ = A3 ~ A0 で指定されたワード			

デザインの入力方法

このエレメントは、回路図でのみ使用できます。

使用可能な属性

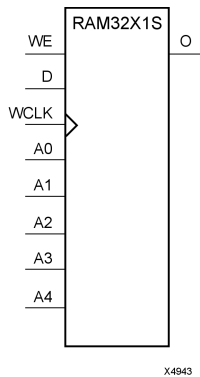
属性	データ型	値	デフォルト	説明
INIT_00 ~ INIT_07	16 進数	16 ビット値	すべて 0	RAM、レジスタ、LUT の初期値を指定します。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリ データシート』\(DS312\)](#)

RAM32X1S

プリミティブ：32-Deep by 1-Wide Static Synchronous RAM



概要

このデザイン エLEMENTは 32 ワード X 1 ビットの SRAM で、同期書き込み機能を備えています。ライト イネーブル (WE) が Low の場合、ライト クロック (WCLK) の遷移は無視され、RAM に格納されている値は変化しません。WE が High になると、WCLK が Low から High に切り替わる時に、データ入力 (D) の値が 5 ビットのアドレス (A4 ~ A0) で選択されたワードに書き込まれます。書き込みを正しく行うには、WCLK が Low から High に切り替わる前に、書き込みアドレスとデータ入力の値を安定させる必要があります。WCLK はデフォルトではアクティブ High ですが、インバーターを使用してアクティブ Low にすることもできます。WCLK の入力ネットに配置されたインバーターは、RAM ブロック内に組み込まれます。

出力ピン (O) に出力される値は、アドレス ピンで指定された RAM 内の位置に格納されている値です。INIT 属性を使用すると、コンフィギュレーション中に RAM32X1S を初期化できます。

論理表

入力			出力
WE (モード)	WCLK	D	O
0 (読み出し)	X	X	データ
1 (読み出し)	0	X	データ
1 (読み出し)	1	X	データ
1 (書き込み)	↑	D	D
1 (読み出し)	↓	X	データ

デザインの入力方法

このELEMENTは、回路図で使用できます。

使用可能な属性

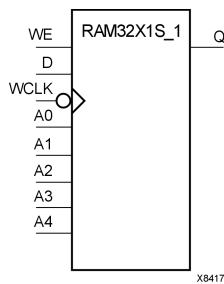
属性	タイプ	値	デフォルト	説明
INIT	16 進数	32 ビット値	すべて 0	RAM の初期値を指定します。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリ データシート』\(DS312\)](#)

RAM32X1S_1

プリミティブ：32-Deep by 1-Wide Static Synchronous RAM with Negative-Edge Clock



概要

このデザイン エLEMENTは 32 ワード X 1 ビットの SRAM で、同期書き込み機能を備えています。ライト イネーブル (WE) が Low の場合、ライト クロック (WCLK) の遷移は無視され、RAM に格納されている値は変化しません。WE が High になると、WCLK が High から Low に切り替わるときに、データ入力 (D) の値が 5 ビットのアドレス (A4 ~ A0) で選択されたワードに書き込まれます。書き込みを正しく行うには、WCLK が High から Low に切り替わる前に、書き込みアドレスとデータ入力の値を安定させる必要があります。WCLK はデフォルトではアクティブ Low ですが、インバーターを使用してアクティブ High にすることもできます。WCLK の入力ネットに配置されたインバーターは、RAM ブロック内に組み込まれます。

出力ピン (O) に出力される値は、アドレス ピンで指定された RAM 内の位置に格納されている値です。INIT 属性を使用すると、コンフィギュレーション中に RAM32X1S_1 を初期化できます。

論理表

入力			出力
WE (モード)	WCLK	D	O
0 (読み出し)	X	X	データ
1 (読み出し)	0	X	データ
1 (読み出し)	1	X	データ
1 (書き込み)	↓	D	D
1 (読み出し)	↑	X	データ
データ = A4 ~ A0 で指定されたワード			

デザインの入力方法

このELEMENTは、回路図で使用できます。

使用可能な属性

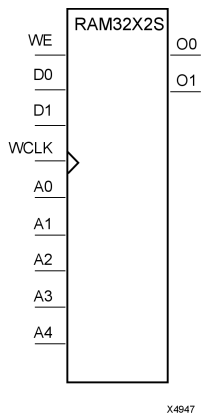
属性	タイプ	値	デフォルト	説明
INIT	16 進数	32 ビット値	0	RAM、レジスタ、LUT の初期値を指定します。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリ データシート』\(DS312\)](#)

RAM32X2S

プリミティブ：32-Deep by 2-Wide Static Synchronous RAM



概要

このデザイン エLEMENTは 32 ワード X 2 ビットの SRAM で、同期書き込み機能を備えています。ライト イネーブル (WE) が Low の場合、ライト クロック (WCLK) の遷移は無視され、RAM に格納されている値は変化しません。WE が High になると、WCLK が Low から High に切り替わるときに、入力 (D1 ~ D0) の値が 5 ビットのアドレス (A4 ~ A0) で選択されたワードに書き込まれます。書き込みを正しく行うには、WCLK が Low から High に切り替わる前に、書き込みアドレスとデータ入力の値を安定させる必要があります。WCLK はデフォルトではアクティブ High ですが、インバーターを使用してアクティブ Low にすることもできます。WCLK の入力ネットに配置されたインバーターは、RAM ブロック内に組み込まれます。出力ピン (O1 ~ O0) に出力される値は、アドレス ピンで指定された RAM 内の位置に格納されている値です。

INIT_00 および INIT_01 属性を使用して RAM32X2S の初期値を指定できます。

論理表

入力			出力
WE (モード)	WCLK	D	O0 ~ O1
0 (読み出し)	X	X	データ
1 (読み出し)	0	X	データ
1 (読み出し)	1	X	データ
1 (書き込み)	↑	D1 ~ D0	D1 ~ D0
1 (読み出し)	↓	X	データ
データ = A4 ~ A0 で指定されたワード			

デザインの入力方法

このELEMENTは、回路図で使用できます。

使用可能な属性

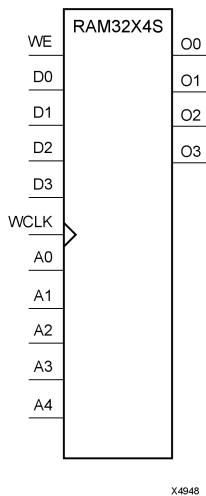
属性	タイプ	値	デフォルト	説明
INIT_00	16 進数	32 ビット値	すべて 0	RAM のビット 0 の初期値を指定します。
INIT_01	16 進数	32 ビット値	すべて 0	RAM のビット 1 の初期値を指定します。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリー データシート』\(DS312\)](#)

RAM32X4S

プリミティブ：32-Deep by 4-Wide Static Synchronous RAM



概要

このデザイン エLEMENTは 32 ワード X 4 ビットの SRAM で、同期書き込み機能を備えています。ライト イネーブル (WE) が Low の場合、ライト クロック (WCLK) の遷移は無視され、RAM に格納されている値は変化しません。WE が High になると、WCLK が Low から High に切り替わるときに、入力 (D3 ~ D0) の値が 5 ビットのアドレス (A4 ~ A0) で選択されたワードに書き込まれます。書き込みを正しく行うには、WCLK が Low から High に切り替わる前に、書き込みアドレスとデータ入力の値を安定させる必要があります。WCLK はデフォルトではアクティブ High ですが、インバーターを使用してアクティブ Low にすることもできます。WCLK の入力ネットに配置されたインバーターは、RAM ブロック内に組み込まれます。

出力ピン (O3 ~ O0) に出力される値は、アドレス ピンで指定された RAM 内の位置に格納されている値です。

論理表

入力			出力
WE	WCLK	D3 ~ D0	O3 ~ O0
0 (読み出し)	X	X	データ
1 (読み出し)	0	X	データ
1 (読み出し)	1	X	データ
1 (書き込み)	↑	D3:D0	D3:D0
1 (読み出し)	↓	X	データ
データ = A4 ~ A0 で指定されたワード			

デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

使用可能な属性

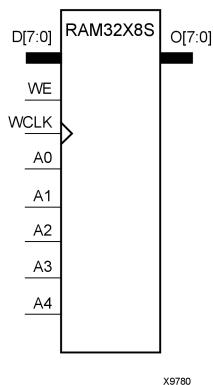
属性	データ型	値	デフォルト	説明
INIT_00	16 進数	32 ビット値	すべて 0	RAM のビット 0 の初期値を指定します。
INIT_01	16 進数	32 ビット値	すべて 0	RAM のビット 1 の初期値を指定します。
INIT_02	16 進数	32 ビット値	すべて 0	RAM のビット 2 の初期値を指定します。
INIT_03	16 進数	32 ビット値	すべて 0	RAM のビット 3 の初期値を指定します。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリー データシート』\(DS312\)](#)

RAM32X8S

プリミティブ：32-Deep by 8-Wide Static Synchronous RAM



概要

このデザイン エLEMENTは 32 ワード X 8 ビットの SRAM で、同期書き込み機能を備えています。ライト イネーブル (WE) が Low の場合、ライト クロック (WCLK) の遷移は無視され、RAM に格納されている値は変化しません。WE が High になると、WCLK が Low から High に切り替わるときに、入力 (D7 ~ D0) の値が 5 ビットのアドレス (A4 ~ A0) で選択されたワードに書き込まれます。書き込みを正しく行うには、WCLK が Low から High に切り替わる前に、書き込みアドレスとデータ入力の値を安定させる必要があります。WCLK はデフォルトではアクティブ High ですが、インバーターを使用してアクティブ Low にすることもできます。WCLK の入力ネットに配置されたインバーターは、RAM ブロック内に組み込まれます。

出力ピン (O7 ~ O0) に出力される値は、アドレス ピンで指定された RAM 内の位置に格納されている値です。

論理表

入力			出力
WE (モード)	WCLK	D7:D0	O7:O0
0 (読み出し)	X	X	データ
1 (読み出し)	0	X	データ
1 (読み出し)	1	X	データ
1 (書き込み)	↑	D7:D0	D7:D0
1 (読み出し)	↓	X	データ
データ = A4 ~ A0 で指定されたワード			

デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

使用可能な属性

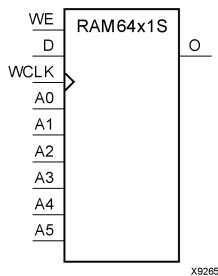
属性	データ型	値	デフォルト	説明
INIT_00	16 進数	32 ビット値	すべて 0	RAM のビット 0 の初期値を指定します。
INIT_01	16 進数	32 ビット値	すべて 0	RAM のビット 1 の初期値を指定します。
INIT_02	16 進数	32 ビット値	すべて 0	RAM のビット 2 の初期値を指定します。
INIT_03	16 進数	32 ビット値	すべて 0	RAM のビット 3 の初期値を指定します。
INIT_04	16 進数	32 ビット値	すべて 0	RAM のビット 4 の初期値を指定します。
INIT_05	16 進数	32 ビット値	すべて 0	RAM のビット 5 の初期値を指定します。
INIT_06	16 進数	32 ビット値	すべて 0	RAM のビット 6 の初期値を指定します。
INIT_07	16 進数	32 ビット値	すべて 0	RAM のビット 7 の初期値を指定します。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリー データシート』\(DS312\)](#)

RAM64X1S

プリミティブ：64-Deep by 1-Wide Static Synchronous RAM



概要

このデザイン エLEMENTは 64 ワード X 1 ビットの SRAM で、同期書き込み機能を備えています。ライト イネーブル (WE) が Low の場合、ライト クロック (WCLK) の遷移は無視され、RAM に格納されている値は変化しません。WE が High になると、WCLK が Low から High に切り替わるときに、データ入力 (D) の値が 6 ビットのアドレス (A5 ～ A0) で選択されたワードに書き込まれます。WCLK はデフォルトではアクティブ High ですが、インバーターを使用してアクティブ Low にすることもできます。WCLK の入力ネットに配置されたインバーターは、RAM ブロック内に組み込まれます。

出力ピン (O) に出力される値は、アドレス ピンで指定された RAM 内の位置に格納されている値です。

INIT 属性を使用すると、コンフィギュレーション中にこのELEMENTを初期化できます。

論理表

モード選択を次の論理表に示します。

入力			出力
WE (モード)	WCLK	D	O
0 (読み出し)	X	X	データ
1 (読み出し)	0	X	データ
1 (読み出し)	1	X	データ
1 (書き込み)	↑	D	D
1 (読み出し)	↓	X	データ
データ = A5 ～ A0 で指定されたワード			

デザインの入力方法

このELEMENTは、回路図で使用できます。

使用可能な属性

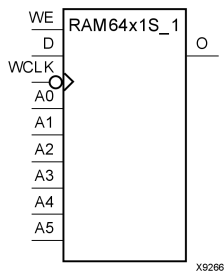
属性	データ型	値	デフォルト	説明
INIT	16 進数	64 ビット値	すべて 0	ROM、RAM、レジスタ、LUT の初期値を指定します。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリ データシート』\(DS312\)](#)

RAM64X1S_1

プリミティブ：64-Deep by 1-Wide Static Synchronous RAM with Negative-Edge Clock



概要

このデザイン エLEMENTは 64 ワード X 1 ビットの SRAM で、同期書き込み機能を備えています。ライト イネーブル (WE) が Low の場合、ライト クロック (WCLK) の遷移は無視され、RAM に格納されている値は変化しません。WE が High になると、WCLK が High から Low に切り替わるときに、データ入力 (D) の値が 6 ビットのアドレス (A5 ～ A0) で選択されたワードに書き込まれます。書き込みを正しく行うには、WCLK が High から Low に切り替わる前に、書き込みアドレスとデータ入力の値を安定させる必要があります。WCLK はデフォルトではアクティブ Low ですが、インバーターを使用してアクティブ High にすることもできます。WCLK の入力ネットに配置されたインバーターは、RAM ブロック内に組み込まれます。

出力ピン (O) に出力される値は、アドレス ピンで指定された RAM 内の位置に格納されている値です。

INIT 属性を使用すると、コンフィギュレーション中にこのELEMENTを初期化できます。

論理表

入力			出力
WE (モード)	WCLK	D	O
0 (読み出し)	X	X	データ
1 (読み出し)	0	X	データ
1 (読み出し)	1	X	データ
1 (書き込み)	↓	D	D
1 (読み出し)	↑	X	データ
データ = A5 ～ A0 で指定されたワード			

デザインの入力方法

このELEMENTは、回路図で使用できます。

使用可能な属性

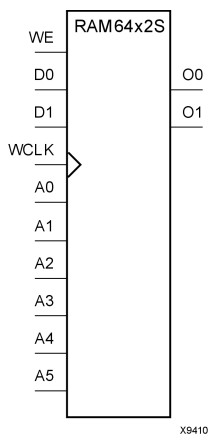
属性	データ型	値	デフォルト	説明
INIT	16 進数	64 ビット値	すべて 0	ROM、RAM、レジスタ、LUT の初期値を指定します。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリ データシート』\(DS312\)](#)

RAM64X2S

プリミティブ：64-Deep by 2-Wide Static Synchronous RAM



概要

このデザイン エLEMENTは 64 ワード X 2 ビットの SRAM で、同期書き込み機能を備えています。ライト イネーブル (WE) が Low の場合、ライト クロック (WCLK) の遷移は無視され、RAM に格納されている値は変化しません。WE が High になると、WCLK が Low から High に切り替わるときに、入力 (D1 ~ D0) の値が 6 ビットのアドレス (A5 ~ A0) で選択されたワードに書き込まれます。書き込みを正しく行うには、WCLK が Low から High に切り替わる前に、書き込みアドレスとデータ入力の値を安定させる必要があります。WCLK はデフォルトではアクティブ High ですが、インバーターを使用してアクティブ Low にすることもできます。WCLK の入力ネットに配置されたインバーターは、RAM ブロック内に組み込まれます。

出力ピン (O1 ~ O0) に出力される値は、アドレス ピンで指定された RAM 内の位置に格納されている値です。INIT_00 および INIT_01 属性を使用してこのデザイン エLEMENTの初期値を指定できます。

論理表

入力			出力
WE (モード)	WCLK	D0:D1	O0:O1
0 (読み出し)	X	X	データ
1 (読み出し)	0	X	データ
1 (読み出し)	1	X	データ
1 (書き込み)	↑	D1 ~ D0	D1 ~ D0
1 (読み出し)	↓	X	データ
データ = A5 ~ A0 で指定されたワード			

デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

使用可能な属性

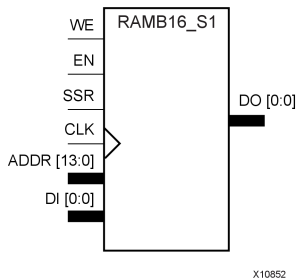
属性	データ型	値	デフォルト	説明
INIT_00	16 進数	64 ビット値	すべて 0	RAM、レジスタ、LUT の初期値を指定します。
INIT_01	16 進数	64 ビット値	すべて 0	RAM、レジスタ、LUT の初期値を指定します。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリ データシート』\(DS312\)](#)

RAMB16_S1

プリミティブ：16K-bit Data and 2K-bit Parity Single-Port Synchronous Block RAM with 1-bit Port



概要

このデザイン エLEMENTは、同期書き込み機能を備えた専用 RAM ブロックです。ブロック RAM のポートには 16384 ビットのデータ メモリがあります。セルの構成を、次の表に示します。

データ セル		パリティ セル				
ワード数	幅	ワード数	幅	アドレス バス	データ バス	パリティ バス
16384	1	–	–	(13:0)	(0:0)	–

イネーブル ピン EN は、読み出し、書き込み、リセットを制御します。EN が Low の場合、データは書き込まれず、出力 (DO および DOP) の値は変化しません。EN とリセット (SSR) が High の場合、クロック (CLK) が Low から High に切り替わるときに、DO および DOP が SRVAL にセットされます。ライト イネーブル (WE) も High の場合は、DI および DIP の値が RAM に書き込まれます。SSR と WE が Low で EN が High の場合、クロックが Low から High に切り替わるときに、RAM アドレス (ADDR) に格納されているデータが DO および DOP に出力されます。デフォルトでは WRITE_MODE=WRITE_FIRST に設定されており、SSR が Low で EN および WE が High の場合、クロックが Low から High に切り替わるときに、データ入力 (DI および DIP) のデータが書き込みアドレス (ADDR) で選択されているワードに書き込まれ、データ出力 (DO および DOP) にその値が出力されます。

上記の説明では、制御ピン (EN、WE、SSR、CLK) がアクティブ High であると想定していますが、ポートにインバーターを配置してアクティブ Low にすることもできます。RAMB16 のポートに配置したインバーターはブロック内に組み込まれるので、CLB リソースは使用されません。

論理表

入力								出力			
GSR	EN	SSR	WE	CLK	ADDR	DI	DIP	DO	DOP	RAM の内容	
										データ RAM	パリティ RAM
1	X	X	X	X	X	X	X	INIT	INIT	変化なし	変化なし
0	0	X	X	X	X	X	X	変化なし	変化なし	変化なし	変化なし
0	1	1	0	↑	X	X	X	SRVAL	SRVAL	変化なし	変化なし
0	1	1	1	↑	addr	data	pdata	SRVAL	SRVAL	RAM(addr) =>data	RAM(addr) =>pdata
0	1	0	0	↑	addr	X	X	RAM(addr)	RAM(addr)	変化なし	変化なし
0	1	0	1	↑	addr	data	pdata	変化なし ¹ 、 RAM(addr) ² 、 data ³	変化なし ¹ 、 RAM(addr) ² 、 pdata ³	RAM(addr) =>data	RAM(addr) =>pdata

GSR=グローバル セットリセット信号

INIT = データ メモリ用に INIT 属性で設定された値。デフォルトはすべて 0 です。

SRVAL = SRVAL 属性で設定された SSR のアサート後の値

addr = RAM アドレス

RAM(addr) = アドレス ADDR の RAM の内容

data = RAM の入力データ

pdata = RAM のパリティ データ

¹ WRITE_MODE=NO_CHANGE

² WRITE_MODE=READ_FIRST

³ WRITE_MODE=WRITE_FIRST

初期化

メモリ内容の初期化

INIT_{xx} 属性を使用すると、デバイスのコンフィギュレーション中に RAMB16 のメモリの内容を初期化できます。各 RAMB16 の初期値は、64 個の初期化属性 (INIT₀₀ ~ INIT_{3F}) を使用して 64 桁の 16 進数値で指定します (合計 16384 ビット)。

INITP_{xx} 属性を使用すると、デバイスのコンフィギュレーションまたはアサート中にパリティメモリを初期化できます。9、18、36 ビット幅にコンフィギュレーションされたポートのパリティメモリの初期値は、8 個の初期化属性 (INITP₀₀ ~ INITP₀₇) を使用して 64 桁の 16 進数値で指定します (合計 2048 ビット)。

INIT_{xx} または INITP_{xx} 属性を指定しない場合は、そのアドレスの値は 0 に設定されます。属性を一部だけ指定すると、上位ビットが 0 になります。

出力レジスタの初期化

Spartan®-3A 以降のデバイスでは、電源投入時に出力レジスタの各ビットを 0 または 1 に初期化できます。また、セット/リセットをアサートした後の値を、電源投入時の初期値とは異なる値に設定できます。シングルポート RAMB16 の出力レジスタの初期化に使用する属性には、INIT と SRVAL の 2 種類があります。INIT 属性は、電源投入時の出力レジスタの値を指定します。SRVAL 属性は、SSR (セット/リセット) 入力のアサートしたときの値を指定します。

INIT および SRVAL 属性は、初期化値を、出力ポートの各ビットに 1 ビットが対応した 16 進数文字列として指定します。たとえば、ポート幅が 1 の RAMB16_S1 の場合、出力レジスタは 1 ビットなので、INIT および SRVAL には 1 または 0 を指定します。ポート幅が 4 の RAMB16_S4 の場合は、出力レジスタは 4 ビットなので、0 ~ F の 16 進数値を指定します。

パリティビットを含むポートでは、出力レジスタのパリティ部分は、INIT または SRVAL の値の上位ビットで指定します。

書き込みモードの選択

WRITE_MODE 属性は、RAMB16 メモリおよび出力の内容を制御します。デフォルトでは、WRITE_MODE は WRITE_FIRST に設定されています。この場合、入力値がメモリに書き込まれた後にその値が出力されます。WRITE_MODE を READ_FIRST に設定すると、メモリの内容が出力された後、入力値がメモリに書き込まれます。WRITE_MODE を NO_CHANGE に設定すると、入力値はメモリに書き込まれますが、出力の値は変化しません。

デザインの入力方法

このエレメントは、回路図で使用できます。

使用可能な属性

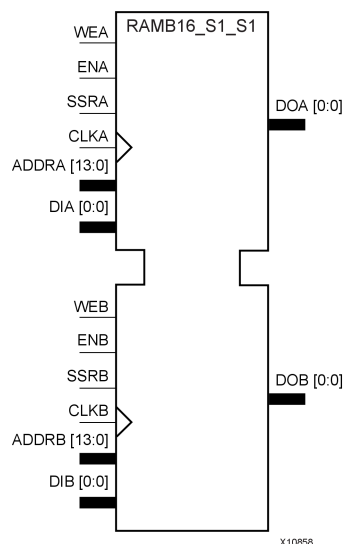
属性	データ型	値	デフォルト	説明
INIT	2 進数/ 16 進数	任意の値	すべて 0	コンフィギュレーション後の DO 出力ポートの初期値を指定します。ビット幅は、RAM の A ポートまたは B ポートの幅によって決まります。
INIT_00 ~ INIT_3F	2 進数/ 16 進数	任意の値	すべて 0	RAM 配列のデータ部分の初期値を指定します。
INITP_00 ~ INITP_07	2 進数/ 16 進数	任意の値	すべて 0	RAM 配列のパリティ部分の初期値を指定します。
SRVAL	2 進数/ 16 進数	任意の値	すべて 0	SSR ピンをアサートしたときに、DO 出力ポートをセット (1) するかリセット (0) するかをビットごとに指定します。ビット幅は、RAM の A ポートまたは B ポートの幅によって決まります。
WRITE_MODE	文字列	"WRITE_FIRST"、 "READ_FIRST"、 "NO_CHANGE"	"WRITE_FIRST"	書き込みコマンドが DO ポートで実行される ときのポートの動作を指定します。 <ul style="list-style-type: none"> ・ "WRITE_FIRST": 値がポートに書き込まれてから出力されます。 ・ "READ_FIRST": 新たに値が書き込まれる前に、RAM の以前の値が出力ポートに出力されます。 ・ "NO_CHANGE": 出力ポートの以前の値が保持され、出力ポートの値は変化しません。RAM のポートから値を読み出さない場合は、このモードに設定することをお勧めします。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリ データシート』\(DS312\)](#)

RAMB16_S1_S1

プリミティブ : 16K-bit Data and 2K-bit Parity Dual-Port Synchronous Block RAM with 1-bit Ports



概要

このデザイン エLEMENTは、同期書き込み機能を備えた、デュアル ポートの専用 RAM ブロックです。各ブロック RAM のポートには 16384 ビットのデータ メモリがあります。ポート幅が 9、18、36 ビットにコンフィギュレーションされたポートには、さらに 2048 ビットのパリティ メモリがあります。各ポートは、同じ 16384 個のデータ メモリ セルに独立してアクセスします。各ポートのデータ幅は、それぞれ個別に設定できます。このELEMENTのポートおよびセルの構成は「ポートの説明」の表に示されています。

論理表

論理表 A

入力								出力			
GSR	ENA	SSRA	WEA	CLKA	ADDRA	DIA	DIPA	DOA	DOPA	RAM の内容	
										データ RAM	パリティ RAM
1	X	X	X	X	X	X	X	INIT_A	INIT_A	変化なし	変化なし
0	0	X	X	X	X	X	X	変化なし	変化なし	変化なし	変化なし
0	1	1	0	↑	X	X	X	SRVAL_A	SRVAL_A	変化なし	変化なし
0	1	1	1	↑	addr	data	pdata	SRVAL_A	SRVAL_A	RAM(addr) =>data	RAM(addr) =>pdata
0	1	0	0	↑	addr	X	X	RAM(addr)	RAM(addr)	変化なし	変化なし
0	1	0	1	↑	addr	data	pdata	変化なし ¹ 、 RAM(addr) ² 、 data ³	変化なし ¹ 、 RAM(addr) ² 、 pdata ³	RAM(addr) =>data	RAM(addr) =>pdata

GSR = グローバル セットリセット信号

INIT_A = 出力レジスタ用に INIT_A 属性で設定された値。デフォルトはすべて 0 です。

SRVAL_A = レジスタの値

addr = RAM アドレス

RAM(addr) = アドレス ADDR の RAM の内容

data = RAM の入力データ

pdata = RAM のパリティ データ

¹WRITE_MODE_A=NO_CHANGE

²WRITE_MODE_A=READ_FIRST

³WRITE_MODE_A=WRITE_FIRST

論理表 B

入力								出力			
GSR	ENB	SSRB	WEB	CLKB	ADDRB	DIB	DIPB	DOB	DOPB	RAM の内容	
										データ RAM	パリティ RAM
1	X	X	X	X	X	X	X	INIT_B	INIT_B	変化なし	変化なし
0	0	X	X	X	X	X	X	変化なし	変化なし	変化なし	変化なし
0	1	1	0	↑	X	X	X	SRVAL_B	SRVAL_B	変化なし	変化なし
0	1	1	1	↑	addr	data	pdata	SRVAL_B	SRVAL_B	RAM(addr) =>data	RAM(addr) =>pdata
0	1	0	0	↑	addr	X	X	RAM(addr)	RAM(addr)	変化なし	変化なし
0	1	0	1	↑	addr	data	pdata	変化なし ¹ 、 RAM(addr) ² 、 data ³	変化なし ¹ 、 RAM(addr) ² 、 pdata ³	RAM(addr) =>data	RAM(addr) =>pdata

GSR = グローバル セット リセット信号

INIT_B = 出力レジスタ用に INIT_B 属性で設定された値。デフォルトはすべて 0 です。

SRVAL_B = レジスタの値

addr = RAM アドレス

RAM(addr) = アドレス ADDR の RAM の内容

data = RAM の入力データ

pdata = RAM のパリティ データ

¹WRITE_MODE_B=NO_CHANGE

²WRITE_MODE_B=READ_FIRST

³WRITE_MODE_B=WRITE_FIRST

ポートの説明

ポート A						ポート B				
デザイン エレメント	データ セル ¹	パリティ セル ¹	アドレス バス	データ バス	パリティ バス	データ セル ¹	パリティ セル ¹	アドレス バス	データ バス	パリティ バス
RAMB16_S1_S1	16384 x 1	—	(13:0)	(0:0)	—	16384 x 1	—	(13:0)	(0:0)	—

¹ ワード数 X 幅

各ポートは、それぞれのクロックに完全に同期します。ポート A の各データ入力ピン (DIA) のセットアップ タイム、およびデータ出力バス (DOA) の clock-to-out タイムは、CLKA を基準とします。ポート B の各データ入力ピン (DIB) のセットアップ タイム、およびデータ出力バス (DOB) の clock-to-out タイムは、CLKB を基準とします。イネーブル ピン ENA は、ポート A の読み出し、書き込み、リセットを制御します。ENA が Low の場合、データは書き込まれず、出力 (DOA および DOPA) は変化しません。ENA とリセット (SSRA) が High の場合、クロック (CLKA) が Low から High に切り替わるときに DOA および DOPA が SRVAL_A にセットされます。ライト イネーブル (WEA) も High の場合は、DIA および DIPA の値が RAM に書き込まれます。ENA が High で SSRA と WEA が Low の場合、クロックが Low から High に切り替わるときに、RAM アドレス (ADDR_A) に格納されているデータが読み出されます。SSRA が Low で ENA と WEA が High の場合、クロックが Low から High に切り替わるときに、書き込みアドレス (ADDR_A) で選択されているワードにデータ入力 (DIA および DIPA) の値が読み込まれます。データ出力 (DOA および DOPA) に出力される値は、書き込みモードによって異なります。書き込みモードは、デフォルトでは WRITE_MODE=WRITE_FIRST に設定されています。

イネーブル ピン ENB は、ポート B の読み出し、書き込み、リセットを制御します。ENB が Low の場合、データは書き込まれず、出力 (DOB および DOPB) は変化しません。ENB とリセット (SSRB) が High の場合、クロック (CLKB) が Low から High に切り替わるときに、DOB および DOPB が SRVAL_B にセットされます。ライト イネーブル (WEB) も High の場合は、DIB および DIPB の値が RAM に書き込まれます。ENB が High で SSRB と WEB が Low の場合、クロックが Low から High に切り替わるときに RAM アドレス (ADDRB) に格納されているデータが出力されます。SSRB が Low で ENB と WEB が High の場合、クロックが Low から High に切り替わるときに、書き込みアドレス (ADDRB) で選択されているワードにデータ入力 (DIB および DIPB) の値が読み込まれます。データ出力 (DOB および DOPB) に出力される値は、書き込みモードによって異なります。書き込みモードは、デフォルトでは WRITE_MODE=WRITE_FIRST に設定されています。上記の説明では、制御ピン (ENA、WEA、SSRA、CLKA、ENB、WEB、SSRB、CLKB) がアクティブ High であると想定していますが、ポートにインバーターを配置してアクティブ Low にすることもできます。RAMB16 のポートに配置したインバーターはブロック内に組み込まれるので、CLB リソースは使用されません。

アドレス マッピング

各ポートは、ポートの幅によって異なるアドレス指定方法を使用して、同じ 18432 個のメモリ セルにアクセスします。「データ用のポート アドレス マップ」に示すように、すべてのポート幅で 16384 個のメモリ セルをデータの格納に使用できます。9、18、および 36 ビット幅のポートには、「パリティ用のポート アドレス マップ」に示すように、2408 個のパリティメモリセルもあります。特定のポート幅での物理的な RAM の位置は、次の式によって決定されます。

$$\text{Start} = ((\text{ADDR port} + 1) * (\text{Widthport})) - 1$$

$$\text{End} = (\text{ADDRport}) * (\text{Widthport})$$

次の表に、各ポート幅のアドレス マップを示します。

データ用のポート アドレス マップ

データ 幅	ポートのデータ アドレス																																		
1	16384	<--	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
2	8192	<--	15		14		13		12		11		10		9		8		7		6		5		4		3		2		1		0		
4	4096	<--	7				6				5				4				3				2				1				0				
8	2048	<--	3								2								1								0								
16	1024	<--	1																0																
32	512	<--	0																																

パリティ用のポート アドレス マップ

パリティ幅	ポートのパリティ アドレス														
1	2048	<-----	3				2				1				0
2	1024	<-----	1								0				
4	512	<-----	0												

デュアル ポート RAMB16 のメモリ内容の初期化

INIT_xx 属性を使用すると、デバイスのコンフィギュレーション中に RAMB16 のメモリの内容を初期化できます。各 RAMB16_Sm_Sn の初期値は、64 個の初期化属性 (INIT_00 ~ INIT_3F) を使用して 64 桁の 16 進数値で指定します (合計 16384 ビット)。

INITP_xx 属性を使用すると、デバイスのコンフィギュレーションまたはアサート中にパリティ メモリを初期化できます。9、18、36 ビット幅にコンフィギュレーションされたポートのパリティ メモリの初期値は、8 個の初期化属性 (INITP_00 ~ INITP_07) を使用して 64 桁の 16 進数値で指定します (合計 2048 ビット)。

INIT_xx または INITP_xx 属性を指定しない場合は、そのアドレスの値は 0 に設定されます。属性を一部だけ指定すると、上位ビットが 0 になります。

デュアル ポート RAMB16 の出力レジスタの初期化

Spartan®-3A 以降のデバイスでは、電源投入時 (GSR が High のとき) に出力レジスタの各ビットを 0 または 1 に初期化できます。また、セット/リセットをアサートした後の値を、電源投入時の初期値とは異なる値に設定できます。デュアル ポート RAMB16 の出力レジスタを初期化する属性には、INIT_A、INIT_B、SRVAL_A、SRVAL_B の 4 種類があります。INIT_A 属性は電源投入時のポート A の出力レジスタの初期値を指定し、INIT_B 属性は電源投入時のポート B の出力レジスタの初期値を指定します。SRVAL_A 属性はポート A で SSRA (セット/リセット) 入力をアサートしたときの初期値を指定し、SRVAL_B 属性はポート B で SSRB (セット/リセット) 入力をアサートしたときの初期値を指定します。

INIT_A、INIT_B、SRVAL_A、SRVAL_B 属性は、16 進数で指定します。この初期値はポート幅によって異なります。たとえば、ポート A の幅が 1、ポート B の幅が 4 の RAMB16_S1_S4 の場合、ポート A の出力レジスタは 1 ビットなので、INIT_A または SRVAL_A には 1 または 0 を指定します。ポート B の出力レジスタは 4 ビットなので、INIT_B または SRVAL_B には 0 ~ F の 16 進数値を指定します。

パリティビットを含むポートでは、出力レジスタのパリティ部分は、INIT_A、INIT_B、SRVAL_A、SRVAL_B の値の上位ビットで指定します。

INIT および SRVAL 属性を指定しない場合は、デフォルトで 0 に初期化されます。

書き込みモードの選択

WRITE_MODE_A 属性は、デュアル ポート RAMB16 のポート A のメモリおよび出力の内容を制御し、WRITE_MODE_B 属性は、ポート B のメモリおよび出力の内容を制御します。デフォルトでは、WRITE_MODE_A と WRITE_MODE_B は両方とも WRITE_FIRST に設定されています。この場合、入力値がメモリに書き込まれた後にその値が出力されます。READ_FIRST に設定すると、メモリの内容が出力された後、入力値がメモリに書き込まれます。NO_CHANGE に設定すると、入力値はメモリに書き込まれますが、出力の値は変化しません。ポート A とポート B で同じメモリセルに読み出し/書き込みを行おうとした場合の競合の解決方法については、「ポート A とポート B が競合する場合の対処方法」を参照してください。

ポート A とポート B が競合する場合の対処方法

Spartan-3A ブロック SelectRAM™ は、完全なデュアル ポート RAM で、2 つのポートが同時に同じメモリセルにアクセスできます。ただし、一方のポートがあるメモリセルに書き込みを行っている場合は、もう一方のポートで clock-to-clock セットアップ タイム内に、そのメモリセルに対して書き込みまたは読み出しを実行しないようにする必要があります。

次の表に、デュアルポート RAMB16 で競合が発生した場合の動作を、WRITE_MODE_A と WRITE_MODE_B の設定別に示します。

WRITE_MODE_A=NO_CHANGE、WRITE_MODE_B=NO_CHANGE の場合

WEA	WEB	CLKA	CLKB	DIA	DIB	DIPA	DIPB	DOA	DOB	DOPA	DOPB	データ RAM	パリティ RAM
0	0	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	変化なし	変化なし
1	0	↑	↑	DIA	DIB	DIPA	DIPB	変化 なし	X	変化 なし	X	DIA	DIPA
0	1	↑	↑	DIA	DIB	DIPA	DIPB	X	変化 なし	X	変化 なし	DIB	DIPB
1	1	↑	↑	DIA	DIB	DIPA	DIPB	変化 なし	変化 なし	変化 なし	変化 なし	X	X

WRITE_MODE_A=READ_FIRST、WRITE_MODE_B=READ_FIRST の場合

WEA	WEB	CLKA	CLKB	DIA	DIB	DIPA	DIPB	DOA	DOB	DOPA	DOPB	データ RAM	パリティ RAM
0	0	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	変化なし	変化なし
1	0	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	DIA	DIPA
0	1	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	DIB	DIPB
1	1	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	X	X

WRITE_MODE_A=WRITE_FIRST、WRITE_MODE_B=WRITE_FIRST の場合

WEA	WEB	CLKA	CLKB	DIA	DIB	DIPA	DIPB	DOA	DOB	DOPA	DOPB	データ RAM	パリティ RAM
0	0	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	変化なし	変化なし
1	0	↑	↑	DIA	DIB	DIPA	DIPB	DIA	X	DIPA	X	DIA	DIPA
0	1	↑	↑	DIA	DIB	DIPA	DIPB	X	DIB	X	DIPB	DIB	DIPB
1	1	↑	↑	DIA	DIB	DIPA	DIPB	X	X	X	X	X	X

WRITE_MODE_A=NO_CHANGE、WRITE_MODE_B=READ_FIRST の場合

WEA	WEB	CLKA	CLKB	DIA	DIB	DIPA	DIPB	DOA	DOB	DOPA	DOPB	データ RAM	パリティ RAM
0	0	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	変化なし	変化なし
1	0	↑	↑	DIA	DIB	DIPA	DIPB	変化 なし	X	変化 なし	X	DIA	DIPA
0	1	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	DIB	DIPB
1	1	↑	↑	DIA	DIB	DIPA	DIPB	変化 なし	X	変化 なし	X	DIB	DIPB

WRITE_MODE_A=NO_CHANGE、WRITE_MODE_B=WRITE_FIRST の場合

WEA	WEB	CLKA	CLKB	DIA	DIB	DIPA	DIPB	DOA	DOB	DOPA	DOPB	データ RAM	パリティ RAM
0	0	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	変化なし	変化なし
1	0	↑	↑	DIA	DIB	DIPA	DIPB	変化 なし	X	変化 なし	X	DIA	DIPA
0	1	↑	↑	DIA	DIB	DIPA	DIPB	X	DIB	X	DIPB	DIB	DIPB
1	1	↑	↑	DIA	DIB	DIPA	DIPB	変化 なし	X	変化 なし	X	X	X

WRITE_MODE_A=READ_FIRST および WRITE_MODE_B=WRITE_FIRST

WEA	WEB	CLKA	CLKB	DIA	DIB	DIPA	DIPB	DOA	DOB	DOPA	DOPB	データ RAM	パリティ RAM
0	0	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	変化なし	変化なし
1	0	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	DIA	DIPA
0	1	↑	↑	DIA	DIB	DIPA	DIPB	X	DIB	X	DIPB	DIB	DIPB
1	1	↑	↑	DIA	DIB	DIPA	DIPB	X	DIB	X	DIPB	DIA	DIPA

デザインの入力方法

このエレメントは、回路図で使用できます。

使用可能な属性

属性	データ型	値	デフォルト	説明
INIT_00 ~ INIT_3F	2 進数/ 16 進数	任意の値	すべて 0	RAM 配列のデータ部分の初期値を指定します。
INIT_A	2 進数/ 16 進数	任意の値	すべて 0	コンフィギュレーション後の DOA 出力ポートの初期値を指定します。ビット幅は、RAM の A ポートの幅によって決まります。
INIT_B	2 進数/ 16 進数	任意の値	すべて 0	コンフィギュレーション後の DOB 出力ポートの初期値を指定します。ビット幅は、RAM の B ポートの幅によって決まります。
INITP_00 ~ INITP_07	2 進数/ 16 進数	任意の値	すべて 0	RAM 配列のパリティ部分の初期値を指定します。

属性	データ型	値	デフォルト	説明
SIM_COLLISION_CHECK	文字列	"ALL"、 "WARNING_ONLY"、 "GENERATE_X_ONLY"、 "NONE"	"ALL"	<p>メモリの競合が発生した場合にシミュレーションの動作を変更できます。詳細は次のとおりです。</p> <ul style="list-style-type: none"> ・ "ALL" : 警告メッセージが出力され、関連する出力およびメモリの値が不定 (X) になります。 ・ "WARNING_ONLY" : 警告メッセージのみが出力され、関連する出力およびメモリの値はそのまま保持されます。 ・ "GENERATE_X_ONLY" : 警告メッセージは出力されず、関連する出力およびメモリの値が不定 (X) になります。 ・ "NONE" : 警告メッセージは出力されず、関連する出力およびメモリの値はそのまま保持されます。 <p>注記 : "ALL" 以外の値に設定すると、シミュレーション中にデザインの問題を認識できなくなるため、この値を変更する場合は注意が必要です。詳細は、『合成/シミュレーション デザイン ガイド』を参照してください。</p>
SRVAL_A	2 進数/ 16 進数	任意の値	すべて 0	RSTA ピンをアサートしたときに、DOA 出力ポートをセット (1) するかリセット (0) するかをビットごとに設定します。ビット幅は、RAM の A ポートの幅によって決まります。デフォルトではすべてのビットがリセットされます。
SRVAL_B	2 進数/ 16 進数	任意の値	すべて 0	RSTB ピンをアサートしたときに、DOB 出力ポートをセット (1) するかリセット (0) するかをビットごとに設定します。ビット幅は、RAM の B ポートの幅によって決まります。デフォルトではすべてのビットがリセットされます。
WRITE_MODE_A	文字列	"WRITE_FIRST"、 "READ_FIRST"、 "NO_CHANGE"	"WRITE_FIRST"	<p>書き込みコマンドが DOA ポートで実行されるときのポートの動作を指定します。</p> <ul style="list-style-type: none"> ・ "WRITE_FIRST" : 値がポートに書き込まれてから出力されます。 ・ "READ_FIRST" : 新たに値が書き込まれる前に、RAM の以前の値が出力ポートに出力されます。 ・ "NO_CHANGE" : 出力ポートの以前の値が保持され、出力ポートの値は変化しません。RAM のポートから値を読み出さない場合は、このモードに設定することをお勧めします。
WRITE_MODE_B	文字列	"WRITE_FIRST"、 "READ_FIRST"、 "NO_CHANGE"	"WRITE_FIRST"	<p>書き込みコマンドが DOB ポートで実行されるときのポートの動作を指定します。</p> <ul style="list-style-type: none"> ・ "WRITE_FIRST" : 値がポートに書き込まれてから出力されます。

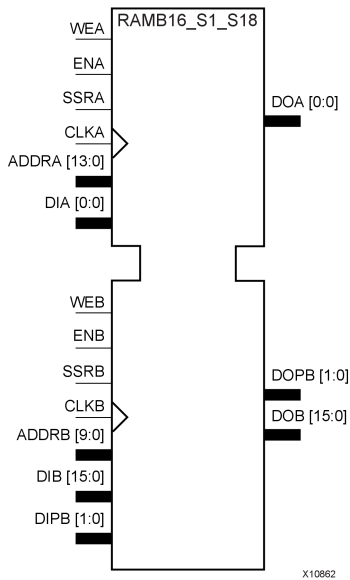
属性	データ型	値	デフォルト	説明
				<ul style="list-style-type: none">“READ_FIRST”：新たに値が書き込まれる前に、RAM の以前の値が出力ポートに出力されます。“NO_CHANGE”：出力ポートの以前の値が保持され、出力ポートの値は変化しません。RAM のポートから値を読み出さない場合は、このモードに設定することをお勧めします。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリー データシート』\(DS312\)](#)

RAMB16_S1_S18

プリミティブ : 16K-bit Data and 2K-bit Parity Dual-Port Synchronous Block RAM with 1-bit and 18-bit Ports



概要

このデザイン エLEMENTは、同期書き込み機能を備えた、デュアル ポートの専用 RAM ブロックです。各ブロック RAM のポートには 16384 ビットのデータ メモリがあります。ポート幅が 9、18、36 ビットにコンフィギュレーションされたポートには、さらに 2048 ビットのパリティ メモリがあります。各ポートは、同じ 16384 個のデータ メモリ セルに独立してアクセスします。各ポートのデータ幅は、それぞれ個別に設定できます。このELEMENTのポートおよびセルの構成は「ポートの説明」の表に示されています。

論理表

論理表 A

入力								出力			
GSR	ENA	SSRA	WEA	CLKA	ADDRA	DIA	DIPA	DOA	DOPA	RAM の内容	
										データ RAM	パリティ RAM
1	X	X	X	X	X	X	X	INIT_A	INIT_A	変化なし	変化なし
0	0	X	X	X	X	X	X	変化なし	変化なし	変化なし	変化なし
0	1	1	0	↑	X	X	X	SRVAL_A	SRVAL_A	変化なし	変化なし
0	1	1	1	↑	addr	data	pdata	SRVAL_A	SRVAL_A	RAM(addr) =>data	RAM(addr) =>pdata
0	1	0	0	↑	addr	X	X	RAM(addr)	RAM(addr)	変化なし	変化なし
0	1	0	1	↑	addr	data	pdata	変化なし ¹ 、 RAM(addr) ² 、 data ³	変化なし ¹ 、 RAM(addr) ² 、 pdata ³	RAM(addr) =>data	RAM(addr) =>pdata

GSR = グローバル セットリセット信号
 INIT_A = 出力レジスタ用に INIT_A 属性で設定された値。デフォルトはすべて 0 です。
 SRVAL_A = レジスタの値
 addr = RAM アドレス
 RAM(addr) = アドレス ADDR の RAM の内容
 data = RAM の入力データ
 pdata = RAM のパリティ データ
¹WRITE_MODE_A=NO_CHANGE
²WRITE_MODE_A=READ_FIRST
³WRITE_MODE_A=WRITE_FIRST

論理表 B

入力								出力			
GSR	ENB	SSRB	WEB	CLKB	ADDRB	DIB	DIPB	DOB	DOPB	RAM の内容	
										データ RAM	パリティ RAM
1	X	X	X	X	X	X	X	INIT_B	INIT_B	変化なし	変化なし
0	0	X	X	X	X	X	X	変化なし	変化なし	変化なし	変化なし
0	1	1	0	↑	X	X	X	SRVAL_B	SRVAL_B	変化なし	変化なし
0	1	1	1	↑	addr	data	pdata	SRVAL_B	SRVAL_B	RAM(addr) =>data	RAM(addr) =>pdata
0	1	0	0	↑	addr	X	X	RAM(addr)	RAM(addr)	変化なし	変化なし
0	1	0	1	↑	addr	data	pdata	変化なし ¹ 、 RAM(addr) ² 、 data ³	変化なし ¹ 、 RAM(addr) ² 、 pdata ³	RAM(addr) =>data	RAM(addr) =>pdata

GSR = グローバル セット リセット信号

INIT_B = 出力レジスタ用に INIT_B 属性で設定された値。デフォルトはすべて 0 です。

SRVAL_B = レジスタの値

addr = RAM アドレス

RAM(addr) = アドレス ADDR の RAM の内容

data = RAM の入力データ

pdata = RAM のパリティ データ

¹WRITE_MODE_B=NO_CHANGE

²WRITE_MODE_B=READ_FIRST

³WRITE_MODE_B=WRITE_FIRST

ポートの説明

ポート A						ポート B				
デザイン エレメント	データ セル ¹	パリティ セル ¹	アドレス バス	データ バス	パリティ バス	データ セル ¹	パリティ セル ¹	アドレス バス	データ バス	パリティ バス
RAMB16_S1_S18	16384 x 1	—	(13:0)	(0:0)	—	1024 x 16	1024 x 2	(9:0)	(15:0)	(1:0)

¹ ワード数 X 幅

各ポートは、それぞれのクロックに完全に同期します。ポート A の各データ入力ピン (DIA) のセットアップ タイム、およびデータ出力バス (DOA) の clock-to-out タイムは、CLKA を基準とします。ポート B の各データ入力ピン (DIB) のセットアップ タイム、およびデータ出力バス (DOB) の clock-to-out タイムは、CLKB を基準とします。イネーブル ピン ENA は、ポート A の読み出し、書き込み、リセットを制御します。ENA が Low の場合、データは書き込まれず、出力 (DOA および DOPA) は変化しません。ENA とリセット (SSRA) が High の場合、クロック (CLKA) が Low から High に切り替わるたびに DOA および DOPA が SRVAL_A にセットされます。ライト イネーブル (WEA) も High の場合は、DIA および DIPA の値が RAM に書き込まれます。ENA が High で SSRA と WEA が Low の場合、クロックが Low から High に切り替わるたびに、RAM アドレス (ADDR_A) に格納されているデータが読み出されます。SSRA が Low で ENA と WEA が High の場合、クロックが Low から High に切り替わるたびに、書き込みアドレス (ADDR_A) で選択されているワードにデータ入力 (DIA および DIPA) の値が読み込まれます。データ出力 (DOA および DOPA) に出力される値は、書き込みモードによって異なります。書き込みモードは、デフォルトでは WRITE_MODE=WRITE_FIRST に設定されています。

イネーブル ピン ENB は、ポート B の読み出し、書き込み、リセットを制御します。ENB が Low の場合、データは書き込まれず、出力 (DOB および DOPB) は変化しません。ENB とリセット (SSRB) が High の場合、クロック (CLKB) が Low から High に切り替わるたびに、DOB および DOPB が SRVAL_B にセットされます。ライト イネーブル (WEB) も High の場合は、DIB および DIPB の値が RAM に書き込まれます。ENB が High で SSRB と WEB が Low の場合、クロックが Low から High に切り替わるたびに RAM アドレス (ADDRB) に格納されているデータが出力されます。SSRB が Low で ENB と WEB が High の場合、クロックが Low から High に切り替わるたびに、書き込みアドレス (ADDRB) で選択されているワードにデータ入力 (DIB および DIPB) の値が読み込まれます。データ出力 (DOB および DOPB) に出力される値は、書き込みモードによって異なります。書き込みモードは、デフォルトでは WRITE_MODE=WRITE_FIRST に設定されています。上記の説明では、制御ピン (ENA、WEA、SSRA、CLKA、ENB、WEB、SSRB、CLKB) がアクティブ High であると想定していますが、ポートにインバーターを配置してアクティブ Low にすることもできます。RAMB16 のポートに配置したインバーターはブロック内に組み込まれるので、CLB リソースは使用されません。

アドレス マッピング

各ポートは、ポートの幅によって異なるアドレス指定方法を使用して、同じ 18432 個のメモリ セルにアクセスします。「データ用のポート アドレス マップ」に示すように、すべてのポート幅で 16384 個のメモリ セルをデータの格納に使用できます。9、18、および 36 ビット幅のポートには、「パリティ用のポート アドレス マップ」に示すように、2408 個のパリティメモリセルもあります。特定のポート幅での物理的な RAM の位置は、次の式によって決定されます。

$$\text{Start} = ((\text{ADDR port} + 1) * (\text{Widthport})) - 1$$

$$\text{End} = (\text{ADDRport}) * (\text{Widthport})$$

次の表に、各ポート幅のアドレス マップを示します。

データ用のポート アドレス マップ

データ 幅	ポートのデータ アドレス																																		
1	16384	<--	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
2	8192	<--	15		14		13		12		11		10		9		8		7		6		5		4		3		2		1		0		
4	4096	<--	7				6				5				4				3				2				1				0				
8	2048	<--	3								2								1								0								
16	1024	<--	1																0																
32	512	<--	0																																

パリティ用のポート アドレス マップ

パリティ幅	ポートのパリティ アドレス														
1	2048	<-----	3				2				1				0
2	1024	<-----	1								0				
4	512	<-----	0												

デュアル ポート RAMB16 のメモリ内容の初期化

INIT_xx 属性を使用すると、デバイスのコンフィギュレーション中に RAMB16 のメモリの内容を初期化できます。各 RAMB16_Sm_Sn の初期値は、64 個の初期化属性 (INIT_00 ~ INIT_3F) を使用して 64 桁の 16 進数値で指定します (合計 16384 ビット)。

INITP_xx 属性を使用すると、デバイスのコンフィギュレーションまたはアサート中にパリティ メモリを初期化できます。9、18、36 ビット幅にコンフィギュレーションされたポートのパリティ メモリの初期値は、8 個の初期化属性 (INITP_00 ~ INITP_07) を使用して 64 桁の 16 進数値で指定します (合計 2048 ビット)。

INIT_xx または INITP_xx 属性を指定しない場合は、そのアドレスの値は 0 に設定されます。属性を一部だけ指定すると、上位ビットが 0 になります。

デュアル ポート RAMB16 の出力レジスタの初期化

Spartan®-3A 以降のデバイスでは、電源投入時 (GSR が High のとき) に出力レジスタの各ビットを 0 または 1 に初期化できます。また、セット/リセットをアサートした後の値を、電源投入時の初期値とは異なる値に設定できます。デュアル ポート RAMB16 の出力レジスタを初期化する属性には、INIT_A、INIT_B、SRVAL_A、SRVAL_B の 4 種類があります。INIT_A 属性は電源投入時のポート A の出力レジスタの初期値を指定し、INIT_B 属性は電源投入時のポート B の出力レジスタの初期値を指定します。SRVAL_A 属性はポート A で SSRA (セット/リセット) 入力をアサートしたときの初期値を指定し、SRVAL_B 属性はポート B で SSRB (セット/リセット) 入力をアサートしたときの初期値を指定します。

INIT_A、INIT_B、SRVAL_A、SRVAL_B 属性は、16 進数で指定します。この初期値はポート幅によって異なります。たとえば、ポート A の幅が 1、ポート B の幅が 4 の RAMB16_S1_S4 の場合、ポート A の出力レジスタは 1 ビットなので、INIT_A または SRVAL_A には 1 または 0 を指定します。ポート B の出力レジスタは 4 ビットなので、INIT_B または SRVAL_B には 0 ~ F の 16 進数値を指定します。

パリティビットを含むポートでは、出力レジスタのパリティ部分は、INIT_A、INIT_B、SRVAL_A、SRVAL_B の値の上位ビットで指定します。

INIT および SRVAL 属性を指定しない場合は、デフォルトで 0 に初期化されます。

書き込みモードの選択

WRITE_MODE_A 属性は、デュアル ポート RAMB16 のポート A のメモリおよび出力の内容を制御し、WRITE_MODE_B 属性は、ポート B のメモリおよび出力の内容を制御します。デフォルトでは、WRITE_MODE_A と WRITE_MODE_B は両方とも WRITE_FIRST に設定されています。この場合、入力値がメモリに書き込まれた後にその値が出力されます。READ_FIRST に設定すると、メモリの内容が出力された後、入力値がメモリに書き込まれます。NO_CHANGE に設定すると、入力値はメモリに書き込まれますが、出力の値は変化しません。ポート A とポート B で同じメモリセルに読み出し/書き込みを行おうとした場合の競合の解決方法については、「ポート A とポート B が競合する場合の対処方法」を参照してください。

ポート A とポート B が競合する場合の対処方法

Spartan-3A ブロック SelectRAM™ は、完全なデュアル ポート RAM で、2 つのポートが同時に同じメモリセルにアクセスできます。ただし、一方のポートがあるメモリセルに書き込みを行っている場合は、もう一方のポートで clock-to-clock セットアップ タイム内に、そのメモリセルに対して書き込みまたは読み出しを実行しないようにする必要があります。

次の表に、デュアルポート RAMB16 で競合が発生した場合の動作を、WRITE_MODE_A と WRITE_MODE_B の設定別に示します。

WRITE_MODE_A=NO_CHANGE、WRITE_MODE_B=NO_CHANGE の場合

WEA	WEB	CLKA	CLKB	DIA	DIB	DIPA	DIPB	DOA	DOB	DOPA	DOPB	データ RAM	パリティ RAM
0	0	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	変化なし	変化なし
1	0	↑	↑	DIA	DIB	DIPA	DIPB	変化なし	X	変化なし	X	DIA	DIPA
0	1	↑	↑	DIA	DIB	DIPA	DIPB	X	変化なし	X	変化なし	DIB	DIPB
1	1	↑	↑	DIA	DIB	DIPA	DIPB	変化なし	変化なし	変化なし	変化なし	X	X

WRITE_MODE_A=READ_FIRST、WRITE_MODE_B=READ_FIRST の場合

WEA	WEB	CLKA	CLKB	DIA	DIB	DIPA	DIPB	DOA	DOB	DOPA	DOPB	データ RAM	パリティ RAM
0	0	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	変化なし	変化なし
1	0	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	DIA	DIPA
0	1	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	DIB	DIPB
1	1	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	X	X

WRITE_MODE_A=WRITE_FIRST、WRITE_MODE_B=WRITE_FIRST の場合

WEA	WEB	CLKA	CLKB	DIA	DIB	DIPA	DIPB	DOA	DOB	DOPA	DOPB	データ RAM	パリティ RAM
0	0	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	変化なし	変化なし
1	0	↑	↑	DIA	DIB	DIPA	DIPB	DIA	X	DIPA	X	DIA	DIPA
0	1	↑	↑	DIA	DIB	DIPA	DIPB	X	DIB	X	DIPB	DIB	DIPB
1	1	↑	↑	DIA	DIB	DIPA	DIPB	X	X	X	X	X	X

WRITE_MODE_A=NO_CHANGE、WRITE_MODE_B=READ_FIRST の場合

WEA	WEB	CLKA	CLKB	DIA	DIB	DIPA	DIPB	DOA	DOB	DOPA	DOPB	データ RAM	パリティ RAM
0	0	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	変化なし	変化なし
1	0	↑	↑	DIA	DIB	DIPA	DIPB	変化なし	X	変化なし	X	DIA	DIPA
0	1	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	DIB	DIPB
1	1	↑	↑	DIA	DIB	DIPA	DIPB	変化なし	X	変化なし	X	DIB	DIPB

WRITE_MODE_A=NO_CHANGE、WRITE_MODE_B=WRITE_FIRST の場合

WEA	WEB	CLKA	CLKB	DIA	DIB	DIPA	DIPB	DOA	DOB	DOPA	DOPB	データ RAM	パリティ RAM
0	0	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	変化なし	変化なし
1	0	↑	↑	DIA	DIB	DIPA	DIPB	変化 なし	X	変化 なし	X	DIA	DIPA
0	1	↑	↑	DIA	DIB	DIPA	DIPB	X	DIB	X	DIPB	DIB	DIPB
1	1	↑	↑	DIA	DIB	DIPA	DIPB	変化 なし	X	変化 なし	X	X	X

WRITE_MODE_A=READ_FIRST および WRITE_MODE_B=WRITE_FIRST

WEA	WEB	CLKA	CLKB	DIA	DIB	DIPA	DIPB	DOA	DOB	DOPA	DOPB	データ RAM	パリティ RAM
0	0	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	変化なし	変化なし
1	0	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	DIA	DIPA
0	1	↑	↑	DIA	DIB	DIPA	DIPB	X	DIB	X	DIPB	DIB	DIPB
1	1	↑	↑	DIA	DIB	DIPA	DIPB	X	DIB	X	DIPB	DIA	DIPA

デザインの入力方法

このエレメントは、回路図で使用できます。

使用可能な属性

属性	データ型	値	デフォルト	説明
INIT_00 ~ INIT_3F	2 進数/ 16 進数	任意の値	すべて 0	RAM 配列のデータ部分の初期値を指定します。
INIT_A	2 進数/ 16 進数	任意の値	すべて 0	コンフィギュレーション後の DOA 出力ポートの初期値を指定します。ビット幅は、RAM の A ポートの幅によって決まります。
INIT_B	2 進数/ 16 進数	任意の値	すべて 0	コンフィギュレーション後の DOB 出力ポートの初期値を指定します。ビット幅は、RAM の B ポートの幅によって決まります。
INITP_00 ~ INITP_07	2 進数/ 16 進数	任意の値	すべて 0	RAM 配列のパリティ部分の初期値を指定します。

属性	データ型	値	デフォルト	説明
SIM_COLLISION_CHECK	文字列	"ALL"、 "WARNING_ONLY"、 "GENERATE_X_ONLY"、 "NONE"	"ALL"	<p>メモリの競合が発生した場合にシミュレーションの動作を変更できます。詳細は次のとおりです。</p> <ul style="list-style-type: none"> ・ "ALL"：警告メッセージが出力され、関連する出力およびメモリの値が不定 (X) になります。 ・ "WARNING_ONLY"：警告メッセージのみが出力され、関連する出力およびメモリの値はそのまま保持されます。 ・ "GENERATE_X_ONLY"：警告メッセージは出力されず、関連する出力およびメモリの値が不定 (X) になります。 ・ "NONE"：警告メッセージは出力されず、関連する出力およびメモリの値はそのまま保持されます。 <p>注記： "ALL" 以外の値に設定すると、シミュレーション中にデザインの問題を認識できなくなるため、この値を変更する場合は注意が必要です。詳細は、『合成/シミュレーション デザイン ガイド』を参照してください。</p>
SRVAL_A	2 進数/ 16 進数	任意の値	すべて 0	RSTA ピンをアサートしたときに、DOA 出力ポートをセット (1) するかリセット (0) するかをビットごとに設定します。ビット幅は、RAM の A ポートの幅によって決まります。デフォルトではすべてのビットがリセットされます。
SRVAL_B	2 進数/ 16 進数	任意の値	すべて 0	RSTB ピンをアサートしたときに、DOB 出力ポートをセット (1) するかリセット (0) するかをビットごとに設定します。ビット幅は、RAM の B ポートの幅によって決まります。デフォルトではすべてのビットがリセットされます。
WRITE_MODE_A	文字列	"WRITE_FIRST"、 "READ_FIRST"、 "NO_CHANGE"	"WRITE_FIRST"	<p>書き込みコマンドが DOA ポートで実行されるときポートの動作を指定します。</p> <ul style="list-style-type: none"> ・ "WRITE_FIRST"：値がポートに書き込まれてから出力されます。 ・ "READ_FIRST"：新たに値が書き込まれる前に、RAM の以前の値が出力ポートに出力されます。 ・ "NO_CHANGE"：出力ポートの以前の値が保持され、出力ポートの値は変化しません。RAM のポートから値を読み出さない場合は、このモードに設定することをお勧めします。
WRITE_MODE_B	文字列	"WRITE_FIRST"、 "READ_FIRST"、 "NO_CHANGE"	"WRITE_FIRST"	<p>書き込みコマンドが DOB ポートで実行されるときポートの動作を指定します。</p> <ul style="list-style-type: none"> ・ "WRITE_FIRST"：値がポートに書き込まれてから出力されます。

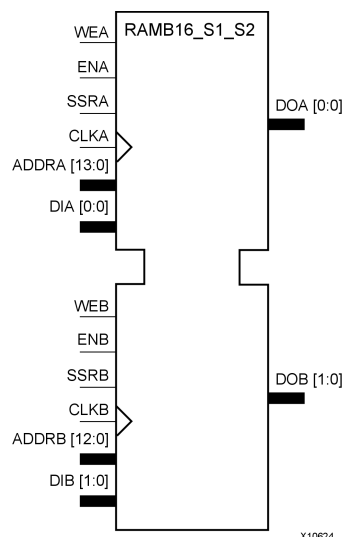
属性	データ型	値	デフォルト	説明
				<ul style="list-style-type: none">・ "READ_FIRST"：新たに値が書き込まれる前に、RAM の以前の値が出力ポートに出力されます。・ "NO_CHANGE"：出力ポートの以前の値が保持され、出力ポートの値は変化しません。RAM のポートから値を読み出さない場合は、このモードに設定することをお勧めします。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリー データシート』\(DS312\)](#)

RAMB16_S1_S2

プリミティブ : 16K-bit Data and 2K-bit Parity Dual-Port Synchronous Block RAM with 1-bit and 2-bit Ports



概要

このデザイン エLEMENTは、同期書き込み機能を備えた、デュアル ポートの専用 RAM ブロックです。各ブロック RAM のポートには 16384 ビットのデータ メモリがあります。ポート幅が 9、18、36 ビットにコンフィギュレーションされたポートには、さらに 2048 ビットのパリティ メモリがあります。各ポートは、同じ 16384 個のデータ メモリ セルに独立してアクセスします。各ポートのデータ幅は、それぞれ個別に設定できます。このELEMENTのポートおよびセルの構成は「ポートの説明」の表に示されています。

論理表

論理表 A

入力								出力			
GSR	ENA	SSRA	WEA	CLKA	ADDRA	DIA	DIPA	DOA	DOPA	RAM の内容	
										データ RAM	パリティ RAM
1	X	X	X	X	X	X	X	INIT_A	INIT_A	変化なし	変化なし
0	0	X	X	X	X	X	X	変化なし	変化なし	変化なし	変化なし
0	1	1	0	↑	X	X	X	SRVAL_A	SRVAL_A	変化なし	変化なし
0	1	1	1	↑	addr	data	pdata	SRVAL_A	SRVAL_A	RAM(addr) =>data	RAM(addr) =>pdata
0	1	0	0	↑	addr	X	X	RAM(addr)	RAM(addr)	変化なし	変化なし
0	1	0	1	↑	addr	data	pdata	変化なし ¹ 、 RAM(addr) ² 、 data ³	変化なし ¹ 、 RAM(addr) ² 、 pdata ³	RAM(addr) =>data	RAM(addr) =>pdata

GSR = グローバル セットリセット信号

INIT_A = 出力レジスタ用に INIT_A 属性で設定された値。デフォルトはすべて 0 です。

SRVAL_A = レジスタの値

addr = RAM アドレス

RAM(addr) = アドレス ADDR の RAM の内容

data = RAM の入力データ

pdata = RAM のパリティ データ

¹WRITE_MODE_A=NO_CHANGE

²WRITE_MODE_A=READ_FIRST

³WRITE_MODE_A=WRITE_FIRST

論理表 B

入力								出力			
GSR	ENB	SSRB	WEB	CLKB	ADDRB	DIB	DIPB	DOB	DOPB	RAM の内容	
										データ RAM	パリティ RAM
1	X	X	X	X	X	X	X	INIT_B	INIT_B	変化なし	変化なし
0	0	X	X	X	X	X	X	変化なし	変化なし	変化なし	変化なし
0	1	1	0	↑	X	X	X	SRVAL_B	SRVAL_B	変化なし	変化なし
0	1	1	1	↑	addr	data	pdata	SRVAL_B	SRVAL_B	RAM(addr) =>data	RAM(addr) =>pdata
0	1	0	0	↑	addr	X	X	RAM(addr)	RAM(addr)	変化なし	変化なし
0	1	0	1	↑	addr	data	pdata	変化なし ¹ 、 RAM(addr) ² 、 data ³	変化なし ¹ 、 RAM(addr) ² 、 pdata ³	RAM(addr) =>data	RAM(addr) =>pdata

GSR = グローバル セット リセット信号

INIT_B = 出力レジスタ用に INIT_B 属性で設定された値。デフォルトはすべて 0 です。

SRVAL_B = レジスタの値

addr = RAM アドレス

RAM(addr) = アドレス ADDR の RAM の内容

data = RAM の入力データ

pdata = RAM のパリティ データ

¹WRITE_MODE_B=NO_CHANGE

²WRITE_MODE_B=READ_FIRST

³WRITE_MODE_B=WRITE_FIRST

ポートの説明

ポート A						ポート B				
デザイン エレメント	データ セル ¹	パリティ セル ¹	アドレス バス	データ バス	パリティ バス	データ セル ¹	パリティ セル ¹	アドレス バス	データ バス	パリティ バス
RAMB16_S1_S2	16384 x 1	—	(13:0)	(0:0)	—	8192 x 2	—	(12:0)	(1:0)	—

¹ ワード数 X 幅

各ポートは、それぞれのクロックに完全に同期します。ポート A の各データ入力ピン (DIA) のセットアップ タイム、およびデータ出力バス (DOA) の clock-to-out タイムは、CLKA を基準とします。ポート B の各データ入力ピン (DIB) のセットアップ タイム、およびデータ出力バス (DOB) の clock-to-out タイムは、CLKB を基準とします。イネーブル ピン ENA は、ポート A の読み出し、書き込み、リセットを制御します。ENA が Low の場合、データは書き込まれず、出力 (DOA および DOPA) は変化しません。ENA とリセット (SSRA) が High の場合、クロック (CLKA) が Low から High に切り替わるたびに DOA および DOPA が SRVAL_A にセットされます。ライト イネーブル (WEA) も High の場合は、DIA および DIPA の値が RAM に書き込まれます。ENA が High で SSRA と WEA が Low の場合、クロックが Low から High に切り替わるたびに、RAM アドレス (ADDR_A) に格納されているデータが読み出されます。SSRA が Low で ENA と WEA が High の場合、クロックが Low から High に切り替わるたびに、書き込みアドレス (ADDR_A) で選択されているワードにデータ入力 (DIA および DIPA) の値が読み込まれます。データ出力 (DOA および DOPA) に出力される値は、書き込みモードによって異なります。書き込みモードは、デフォルトでは WRITE_MODE=WRITE_FIRST に設定されています。

イネーブル ピン ENB は、ポート B の読み出し、書き込み、リセットを制御します。ENB が Low の場合、データは書き込まれず、出力 (DOB および DOPB) は変化しません。ENB とリセット (SSRB) が High の場合、クロック (CLKB) が Low から High に切り替わるたびに、DOB および DOPB が SRVAL_B にセットされます。ライト イネーブル (WEB) も High の場合は、DIB および DIPB の値が RAM に書き込まれます。ENB が High で SSRB と WEB が Low の場合、クロックが Low から High に切り替わるたびに RAM アドレス (ADDRB) に格納されているデータが出力されます。SSRB が Low で ENB と WEB が High の場合、クロックが Low から High に切り替わるたびに、書き込みアドレス (ADDRB) で選択されているワードにデータ入力 (DIB および DIPB) の値が読み込まれます。データ出力 (DOB および DOPB) に出力される値は、書き込みモードによって異なります。書き込みモードは、デフォルトでは WRITE_MODE=WRITE_FIRST に設定されています。上記の説明では、制御ピン (ENA、WEA、SSRA、CLKA、ENB、WEB、SSRB、CLKB) がアクティブ High であると想定していますが、ポートにインバーターを配置してアクティブ Low にすることもできます。RAMB16 のポートに配置したインバーターはブロック内に組み込まれるので、CLB リソースは使用されません。

アドレス マップ

各ポートは、ポートの幅によって異なるアドレス指定方法を使用して、同じ 18432 個のメモリ セルにアクセスします。「データ用のポート アドレス マップ」に示すように、すべてのポート幅で 16384 個のメモリ セルをデータの格納に使用できます。9、18、および 36 ビット幅のポートには、「パリティ用のポート アドレス マップ」に示すように、2408 個のパリティメモリセルもあります。特定のポート幅での物理的な RAM の位置は、次の式によって決定されます。

$$\text{Start} = ((\text{ADDR_port} + 1) * (\text{Widthport})) - 1$$

$$\text{End} = (\text{ADDRport}) * (\text{Widthport})$$

次の表に、各ポート幅のアドレス マップを示します。

データ用のポート アドレス マップ

データ 幅	ポートのデータ アドレス																																		
1	16384	<--	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
2	8192	<--	15		14		13		12		11		10		9		8		7		6		5		4		3		2		1		0		
4	4096	<--	7				6				5				4				3				2				1				0				
8	2048	<--	3								2								1								0								
16	1024	<--	1																0																
32	512	<--	0																																

パリティ用のポート アドレス マップ

パリティ幅	ポートのパリティ アドレス														
1	2048	<-----	3				2				1				0
2	1024	<-----	1								0				
4	512	<-----	0												

デュアル ポート RAMB16 のメモリ内容の初期化

INIT_xx 属性を使用すると、デバイスのコンフィギュレーション中に RAMB16 のメモリの内容を初期化できます。各 RAMB16_Sm_Sn の初期値は、64 個の初期化属性 (INIT_00 ~ INIT_3F) を使用して 64 桁の 16 進数値で指定します (合計 16384 ビット)。

INITP_xx 属性を使用すると、デバイスのコンフィギュレーションまたはアサート中にパリティ メモリを初期化できます。9、18、36 ビット幅にコンフィギュレーションされたポートのパリティ メモリの初期値は、8 個の初期化属性 (INITP_00 ~ INITP_07) を使用して 64 桁の 16 進数値で指定します (合計 2048 ビット)。

INIT_xx または INITP_xx 属性を指定しない場合は、そのアドレスの値は 0 に設定されます。属性を一部だけ指定すると、上位ビットが 0 になります。

デュアル ポート RAMB16 の出力レジスタの初期化

Spartan-3A では、電源投入時 (GSR が High のとき) に出力レジスタの各ビットを 0 または 1 に初期化できます。また、セット/リセットをアサートした後の値を、電源投入時の初期値とは異なる値に設定できます。デュアル ポート RAMB16 の出力レジスタを初期化する属性には、INIT_A、INIT_B、SRVAL_A、SRVAL_B の 4 種類があります。INIT_A 属性は電源投入時のポート A の出力レジスタの初期値を指定し、INIT_B 属性は電源投入時のポート B の出力レジスタの初期値を指定します。SRVAL_A 属性はポート A で SSRA (セット/リセット) 入力をアサートしたときの初期値を指定し、SRVAL_B 属性はポート B で SSRB (セット/リセット) 入力をアサートしたときの初期値を指定します。

INIT_A、INIT_B、SRVAL_A、SRVAL_B 属性は、16 進数で指定します。この初期値はポート幅によって異なります。たとえば、ポート A の幅が 1、ポート B の幅が 4 の RAMB16_S1_S4 の場合、ポート A の出力レジスタは 1 ビットなので、INIT_A または SRVAL_A には 1 または 0 を指定します。ポート B の出力レジスタは 4 ビットなので、INIT_B または SRVAL_B には 0 ~ F の 16 進数値を指定します。

パリティビットを含むポートでは、出力レジスタのパリティ部分は、INIT_A、INIT_B、SRVAL_A、SRVAL_B の値の上位ビットで指定します。

INIT および SRVAL 属性を指定しない場合は、デフォルトで 0 に初期化されます。

書き込みモードの選択

WRITE_MODE_A 属性は、デュアル ポート RAMB16 のポート A のメモリおよび出力の内容を制御し、WRITE_MODE_B 属性は、ポート B のメモリおよび出力の内容を制御します。デフォルトでは、WRITE_MODE_A と WRITE_MODE_B は両方とも WRITE_FIRST に設定されています。この場合、入力値がメモリに書き込まれた後にその値が出力されます。READ_FIRST に設定すると、メモリの内容が出力された後、入力値がメモリに書き込まれます。NO_CHANGE に設定すると、入力値はメモリに書き込まれますが、出力の値は変化しません。ポート A とポート B で同じメモリ セルに読み出し/書き込みを行おうとした場合の競合の解決方法については、「ポート A とポート B が競合する場合の対処方法」を参照してください。

ポート A とポート B が競合する場合の対処方法

Spartan-3A ブロックの SelectRAM は、完全なデュアル ポート RAM で、2 つのポートが同時に同じメモリ セルにアクセスできます。ただし、一方のポートがあるメモリ セルに書き込みを行っている場合は、もう一方のポートで clock-to-clock セットアップ タイム内に、そのメモリ セルに対して書き込みまたは読み出しを実行しないようにする必要があります。

次の表に、デュアルポート RAMB16 で競合が発生した場合の動作を、WRITE_MODE_A と WRITE_MODE_B の設定別に示します。

WRITE_MODE_A=NO_CHANGE、WRITE_MODE_B=NO_CHANGE の場合

WEA	WEB	CLKA	CLKB	DIA	DIB	DIPA	DIPB	DOA	DOB	DOPA	DOPB	データ RAM	パリティ RAM
0	0	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	変化なし	変化なし
1	0	↑	↑	DIA	DIB	DIPA	DIPB	変化 なし	X	変化 なし	X	DIA	DIPA
0	1	↑	↑	DIA	DIB	DIPA	DIPB	X	変化 なし	X	変化 なし	DIB	DIPB
1	1	↑	↑	DIA	DIB	DIPA	DIPB	変化 なし	変化 なし	変化 なし	変化 なし	X	X

WRITE_MODE_A=READ_FIRST、WRITE_MODE_B=READ_FIRST の場合

WEA	WEB	CLKA	CLKB	DIA	DIB	DIPA	DIPB	DOA	DOB	DOPA	DOPB	データ RAM	パリティ RAM
0	0	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	変化なし	変化なし
1	0	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	DIA	DIPA
0	1	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	DIB	DIPB
1	1	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	X	X

WRITE_MODE_A=WRITE_FIRST、WRITE_MODE_B=WRITE_FIRST の場合

WEA	WEB	CLKA	CLKB	DIA	DIB	DIPA	DIPB	DOA	DOB	DOPA	DOPB	データ RAM	パリティ RAM
0	0	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	変化なし	変化なし
1	0	↑	↑	DIA	DIB	DIPA	DIPB	DIA	X	DIPA	X	DIA	DIPA
0	1	↑	↑	DIA	DIB	DIPA	DIPB	X	DIB	X	DIPB	DIB	DIPB
1	1	↑	↑	DIA	DIB	DIPA	DIPB	X	X	X	X	X	X

WRITE_MODE_A=NO_CHANGE、WRITE_MODE_B=READ_FIRST の場合

WEA	WEB	CLKA	CLKB	DIA	DIB	DIPA	DIPB	DOA	DOB	DOPA	DOPB	データ RAM	パリティ RAM
0	0	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	変化なし	変化なし
1	0	↑	↑	DIA	DIB	DIPA	DIPB	変化 なし	X	変化 なし	X	DIA	DIPA
0	1	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	DIB	DIPB
1	1	↑	↑	DIA	DIB	DIPA	DIPB	変化 なし	X	変化 なし	X	DIB	DIPB

WRITE_MODE_A=NO_CHANGE、WRITE_MODE_B=WRITE_FIRST の場合

WEA	WEB	CLKA	CLKB	DIA	DIB	DIPA	DIPB	DOA	DOB	DOPA	DOPB	データ RAM	パリティ RAM
0	0	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	変化なし	変化なし
1	0	↑	↑	DIA	DIB	DIPA	DIPB	変化 なし	X	変化 なし	X	DIA	DIPA
0	1	↑	↑	DIA	DIB	DIPA	DIPB	X	DIB	X	DIPB	DIB	DIPB
1	1	↑	↑	DIA	DIB	DIPA	DIPB	変化 なし	X	変化 なし	X	X	X

WRITE_MODE_A=READ_FIRST および WRITE_MODE_B=WRITE_FIRST

WEA	WEB	CLKA	CLKB	DIA	DIB	DIPA	DIPB	DOA	DOB	DOPA	DOPB	データ RAM	パリティ RAM
0	0	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	変化なし	変化なし
1	0	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	DIA	DIPA
0	1	↑	↑	DIA	DIB	DIPA	DIPB	X	DIB	X	DIPB	DIB	DIPB
1	1	↑	↑	DIA	DIB	DIPA	DIPB	X	DIB	X	DIPB	DIA	DIPA

デザインの入力方法

このエレメントは、回路図で使用できます。

使用可能な属性

属性	データ型	値	デフォルト	説明
INIT_00 ~ INIT_3F	2 進数/ 16 進数	任意の値	すべて 0	RAM 配列のデータ部分の初期値を指定します。
INIT_A	2 進数/ 16 進数	任意の値	すべて 0	コンフィギュレーション後の DOA 出力ポートの初期値を指定します。ビット幅は、RAM の A ポートの幅によって決まります。
INIT_B	2 進数/ 16 進数	任意の値	すべて 0	コンフィギュレーション後の DOB 出力ポートの初期値を指定します。ビット幅は、RAM の B ポートの幅によって決まります。
INITP_00 ~ INITP_07	2 進数/ 16 進数	任意の値	すべて 0	RAM 配列のパリティ部分の初期値を指定します。

属性	データ型	値	デフォルト	説明
SIM_COLLISION_CHECK	文字列	"ALL"、 "WARNING_ONLY"、 "GENERATE_X_ONLY"、 "NONE"	"ALL"	<p>メモリの競合が発生した場合にシミュレーションの動作を変更できます。詳細は次のとおりです。</p> <ul style="list-style-type: none"> ・ "ALL" : 警告メッセージが出力され、関連する出力およびメモリの値が不定 (X) になります。 ・ "WARNING_ONLY" : 警告メッセージのみが出力され、関連する出力およびメモリの値はそのまま保持されます。 ・ "GENERATE_X_ONLY" : 警告メッセージは出力されず、関連する出力およびメモリの値が不定 (X) になります。 ・ "NONE" : 警告メッセージは出力されず、関連する出力およびメモリの値はそのまま保持されます。 <p>注記 : "ALL" 以外の値に設定すると、シミュレーション中にデザインの問題を認識できなくなるため、この値を変更する場合は注意が必要です。詳細は、『合成/シミュレーション デザイン ガイド』を参照してください。</p>
SRVAL_A	2 進数/ 16 進数	任意の値	すべて 0	RSTA ピンをアサートしたときに、DOA 出力ポートをセット (1) するかリセット (0) するかをビットごとに設定します。ビット幅は、RAM の A ポートの幅によって決まります。デフォルトではすべてのビットがリセットされます。
SRVAL_B	2 進数/ 16 進数	任意の値	すべて 0	RSTB ピンをアサートしたときに、DOB 出力ポートをセット (1) するかリセット (0) するかをビットごとに設定します。ビット幅は、RAM の B ポートの幅によって決まります。デフォルトではすべてのビットがリセットされます。
WRITE_MODE_A	文字列	"WRITE_FIRST"、 "READ_FIRST"、 "NO_CHANGE"	"WRITE_FIRST"	<p>書き込みコマンドが DOA ポートで実行されるときのポートの動作を指定します。</p> <ul style="list-style-type: none"> ・ "WRITE_FIRST" : 値がポートに書き込まれてから出力されます。 ・ "READ_FIRST" : 新たに値が書き込まれる前に、RAM の以前の値が出力ポートに出力されます。 ・ "NO_CHANGE" : 出力ポートの以前の値が保持され、出力ポートの値は変化しません。RAM のポートから値を読み出さない場合は、このモードに設定することをお勧めします。
WRITE_MODE_B	文字列	"WRITE_FIRST"、 "READ_FIRST"、 "NO_CHANGE"	"WRITE_FIRST"	<p>書き込みコマンドが DOB ポートで実行されるときのポートの動作を指定します。</p> <ul style="list-style-type: none"> ・ "WRITE_FIRST" : 値がポートに書き込まれてから出力されます。

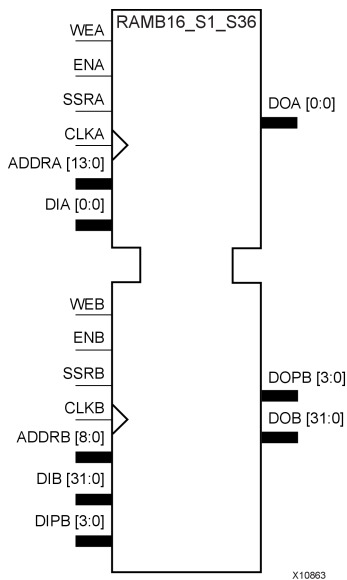
属性	データ型	値	デフォルト	説明
				<ul style="list-style-type: none">“READ_FIRST”：新たに値が書き込まれる前に、RAM の以前の値が出力ポートに出力されます。“NO_CHANGE”：出力ポートの以前の値が保持され、出力ポートの値は変化しません。RAM のポートから値を読み出さない場合は、このモードに設定することをお勧めします。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリー データシート』\(DS312\)](#)

RAMB16_S1_S36

プリミティブ：16K-bit Data and 2K-bit Parity Dual-Port Synchronous Block RAM with 1-bit and 36-bit Ports



概要

このデザイン エLEMENTは、同期書き込み機能を備えた、デュアル ポートの専用 RAM ブロックです。各ブロック RAM のポートには 16384 ビットのデータ メモリがあります。ポート幅が 9、18、36 ビットにコンフィギュレーションされたポートには、さらに 2048 ビットのパリティ メモリがあります。各ポートは、同じ 16384 個のデータ メモリ セルに独立してアクセスします。各ポートのデータ幅は、それぞれ個別に設定できます。このELEMENTのポートおよびセルの構成は「ポートの説明」の表に示されています。

論理表

論理表 A

入力								出力			
GSR	ENA	SSRA	WEA	CLKA	ADDRA	DIA	DIPA	DOA	DOPA	RAM の内容	
										データ RAM	パリティ RAM
1	X	X	X	X	X	X	X	INIT_A	INIT_A	変化なし	変化なし
0	0	X	X	X	X	X	X	変化なし	変化なし	変化なし	変化なし
0	1	1	0	↑	X	X	X	SRVAL_A	SRVAL_A	変化なし	変化なし
0	1	1	1	↑	addr	data	pdata	SRVAL_A	SRVAL_A	RAM(addr) =>data	RAM(addr) =>pdata
0	1	0	0	↑	addr	X	X	RAM(addr)	RAM(addr)	変化なし	変化なし
0	1	0	1	↑	addr	data	pdata	変化なし ¹ 、 RAM(addr) ² 、 data ³	変化なし ¹ 、 RAM(addr) ² 、 pdata ³	RAM(addr) =>data	RAM(addr) =>pdata

GSR = グローバル セットリセット信号

INIT_A = 出力レジスタ用に INIT_A 属性で設定された値。デフォルトはすべて 0 です。

SRVAL_A = レジスタの値

addr = RAM アドレス

RAM(addr) = アドレス ADDR の RAM の内容

data = RAM の入力データ

pdata = RAM のパリティ データ

¹WRITE_MODE_A=NO_CHANGE

²WRITE_MODE_A=READ_FIRST

³WRITE_MODE_A=WRITE_FIRST

論理表 B

入力								出力			
GSR	ENB	SSRB	WEB	CLKB	ADDRB	DIB	DIPB	DOB	DOPB	RAM の内容	
										データ RAM	パリティ RAM
1	X	X	X	X	X	X	X	INIT_B	INIT_B	変化なし	変化なし
0	0	X	X	X	X	X	X	変化なし	変化なし	変化なし	変化なし
0	1	1	0	↑	X	X	X	SRVAL_B	SRVAL_B	変化なし	変化なし
0	1	1	1	↑	addr	data	pdata	SRVAL_B	SRVAL_B	RAM(addr) =>data	RAM(addr) =>pdata
0	1	0	0	↑	addr	X	X	RAM(addr)	RAM(addr)	変化なし	変化なし
0	1	0	1	↑	addr	data	pdata	変化なし ¹ 、 RAM(addr) ² 、 data ³	変化なし ¹ 、 RAM(addr) ² 、 pdata ³	RAM(addr) =>data	RAM(addr) =>pdata

GSR = グローバル セット リセット信号

INIT_B = 出力レジスタ用に INIT_B 属性で設定された値。デフォルトはすべて 0 です。

SRVAL_B = レジスタの値

addr = RAM アドレス

RAM(addr) = アドレス ADDR の RAM の内容

data = RAM の入力データ

pdata = RAM のパリティ データ

¹WRITE_MODE_B=NO_CHANGE

²WRITE_MODE_B=READ_FIRST

³WRITE_MODE_B=WRITE_FIRST

ポートの説明

ポート A						ポート B				
デザイン エレメント	データ セル ¹	パリティ セル ¹	アドレス バス	データ バス	パリティ バス	データ セル ¹	パリティ セル ¹	アドレ ス バス	データ バス	パリティ バス
RAMB16_S1_S36	16384 x 1	—	(13:0)	(0:0)	—	512 x 32	512 x 4	(8:0)	(31:0)	(3:0)

¹ ワード数 X 幅

各ポートは、それぞれのクロックに完全に同期します。ポート A の各データ入力ピン (DIA) のセットアップ タイム、およびデータ出力バス (DOA) の clock-to-out タイムは、CLKA を基準とします。ポート B の各データ入力ピン (DIB) のセットアップ タイム、およびデータ出力バス (DOB) の clock-to-out タイムは、CLKB を基準とします。イネーブル ピン ENA は、ポート A の読み出し、書き込み、リセットを制御します。ENA が Low の場合、データは書き込まれず、出力 (DOA および DOPA) は変化しません。ENA とリセット (SSRA) が High の場合、クロック (CLKA) が Low から High に切り替わるときに DOA および DOPA が SRVAL_A にセットされます。ライト イネーブル (WEA) も High の場合は、DIA および DIPA の値が RAM に書き込まれます。ENA が High で SSRA と WEA が Low の場合、クロックが Low から High に切り替わるときに、RAM アドレス (ADDR_A) に格納されているデータが読み出されます。SSRA が Low で ENA と WEA が High の場合、クロックが Low から High に切り替わるときに、書き込みアドレス (ADDR_A) で選択されているワードにデータ入力 (DIA および DIPA) の値が読み込まれます。データ出力 (DOA および DOPA) に出力される値は、書き込みモードによって異なります。書き込みモードは、デフォルトでは WRITE_MODE=WRITE_FIRST に設定されています。

イネーブル ピン ENB は、ポート B の読み出し、書き込み、リセットを制御します。ENB が Low の場合、データは書き込まれず、出力 (DOB および DOPB) は変化しません。ENB とリセット (SSRB) が High の場合、クロック (CLKB) が Low から High に切り替わるときに、DOB および DOPB が SRVAL_B にセットされます。ライト イネーブル (WEB) も High の場合は、DIB および DIPB の値が RAM に書き込まれます。ENB が High で SSRB と WEB が Low の場合、クロックが Low から High に切り替わるときに RAM アドレス (ADDRB) に格納されているデータが出力されます。SSRB が Low で ENB と WEB が High の場合、クロックが Low から High に切り替わるときに、書き込みアドレス (ADDRB) で選択されているワードにデータ入力 (DIB および DIPB) の値が読み込まれます。データ出力 (DOB および DOPB) に出力される値は、書き込みモードによって異なります。書き込みモードは、デフォルトでは WRITE_MODE=WRITE_FIRST に設定されています。上記の説明では、制御ピン (ENA、WEA、SSRA、CLKA、ENB、WEB、SSRB、CLKB) がアクティブ High であると想定していますが、ポートにインバーターを配置してアクティブ Low にすることもできます。RAMB16 のポートに配置したインバーターはブロック内に組み込まれるので、CLB リソースは使用されません。

アドレス マッピング

各ポートは、ポートの幅によって異なるアドレス指定方法を使用して、同じ 18432 個のメモリ セルにアクセスします。「データ用のポート アドレス マップ」に示すように、すべてのポート幅で 16384 個のメモリ セルをデータの格納に使用できます。9、18、および 36 ビット幅のポートには、「パリティ用のポート アドレス マップ」に示すように、2408 個のパリティメモリセルもあります。特定のポート幅での物理的な RAM の位置は、次の式によって決定されます。

$$\text{Start} = ((\text{ADDR port} + 1) * (\text{Widthport})) - 1$$

$$\text{End} = (\text{ADDRport}) * (\text{Widthport})$$

次の表に、各ポート幅のアドレス マップを示します。

データ用のポート アドレス マップ

データ 幅	ポートのデータ アドレス																																		
1	16384	<--	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
2	8192	<--	15		14		13		12		11		10		9		8		7		6		5		4		3		2		1		0		
4	4096	<--	7				6				5				4				3				2				1				0				
8	2048	<--	3								2								1								0								
16	1024	<--	1																0																
32	512	<--	0																																

パリティ用のポート アドレス マップ

パリティ幅	ポートのパリティ アドレス														
1	2048	<-----	3				2				1				0
2	1024	<-----	1								0				
4	512	<-----	0												

デュアル ポート RAMB16 のメモリ内容の初期化

INIT_xx 属性を使用すると、デバイスのコンフィギュレーション中に RAMB16 のメモリの内容を初期化できます。各 RAMB16_Sm_Sn の初期値は、64 個の初期化属性 (INIT_00 ~ INIT_3F) を使用して 64 桁の 16 進数値で指定します (合計 16384 ビット)。

INITP_xx 属性を使用すると、デバイスのコンフィギュレーションまたはアサート中にパリティ メモリを初期化できます。9、18、36 ビット幅にコンフィギュレーションされたポートのパリティ メモリの初期値は、8 個の初期化属性 (INITP_00 ~ INITP_07) を使用して 64 桁の 16 進数値で指定します (合計 2048 ビット)。

INIT_xx または INITP_xx 属性を指定しない場合は、そのアドレスの値は 0 に設定されます。属性を一部だけ指定すると、上位ビットが 0 になります。

デュアル ポート RAMB16 の出力レジスタの初期化

Spartan®-3A 以降のデバイスでは、電源投入時 (GSR が High のとき) に出力レジスタの各ビットを 0 または 1 に初期化できます。また、セット/リセットをアサートした後の値を、電源投入時の初期値とは異なる値に設定できます。デュアル ポート RAMB16 の出力レジスタを初期化する属性には、INIT_A、INIT_B、SRVAL_A、SRVAL_B の 4 種類があります。INIT_A 属性は電源投入時のポート A の出力レジスタの初期値を指定し、INIT_B 属性は電源投入時のポート B の出力レジスタの初期値を指定します。SRVAL_A 属性はポート A で SSRA (セット/リセット) 入力をアサートしたときの初期値を指定し、SRVAL_B 属性はポート B で SSRB (セット/リセット) 入力をアサートしたときの初期値を指定します。

INIT_A、INIT_B、SRVAL_A、SRVAL_B 属性は、16 進数で指定します。この初期値はポート幅によって異なります。たとえば、ポート A の幅が 1、ポート B の幅が 4 の RAMB16_S1_S4 の場合、ポート A の出力レジスタは 1 ビットなので、INIT_A または SRVAL_A には 1 または 0 を指定します。ポート B の出力レジスタは 4 ビットなので、INIT_B または SRVAL_B には 0 ~ F の 16 進数値を指定します。

パリティビットを含むポートでは、出力レジスタのパリティ部分は、INIT_A、INIT_B、SRVAL_A、SRVAL_B の値の上位ビットで指定します。

INIT および SRVAL 属性を指定しない場合は、デフォルトで 0 に初期化されます。

書き込みモードの選択

WRITE_MODE_A 属性は、デュアル ポート RAMB16 のポート A のメモリおよび出力の内容を制御し、WRITE_MODE_B 属性は、ポート B のメモリおよび出力の内容を制御します。デフォルトでは、WRITE_MODE_A と WRITE_MODE_B は両方とも WRITE_FIRST に設定されています。この場合、入力値がメモリに書き込まれた後にその値が出力されます。READ_FIRST に設定すると、メモリの内容が出力された後、入力値がメモリに書き込まれます。NO_CHANGE に設定すると、入力値はメモリに書き込まれますが、出力の値は変化しません。ポート A とポート B で同じメモリセルに読み出し/書き込みを行おうとした場合の競合の解決方法については、「ポート A とポート B が競合する場合の対処方法」を参照してください。

ポート A とポート B が競合する場合の対処方法

Spartan-3A ブロック SelectRAM™ は、完全なデュアル ポート RAM で、2 つのポートが同時に同じメモリセルにアクセスできます。ただし、一方のポートがあるメモリセルに書き込みを行っている場合は、もう一方のポートで clock-to-clock セットアップ タイム内に、そのメモリセルに対して書き込みまたは読み出しを実行しないようにする必要があります。

次の表に、デュアルポート RAMB16 で競合が発生した場合の動作を、WRITE_MODE_A と WRITE_MODE_B の設定別に示します。

WRITE_MODE_A=NO_CHANGE、WRITE_MODE_B=NO_CHANGE の場合

WEA	WEB	CLKA	CLKB	DIA	DIB	DIPA	DIPB	DOA	DOB	DOPA	DOPB	データ RAM	パリティ RAM
0	0	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	変化なし	変化なし
1	0	↑	↑	DIA	DIB	DIPA	DIPB	変化なし	X	変化なし	X	DIA	DIPA
0	1	↑	↑	DIA	DIB	DIPA	DIPB	X	変化なし	X	変化なし	DIB	DIPB
1	1	↑	↑	DIA	DIB	DIPA	DIPB	変化なし	変化なし	変化なし	変化なし	X	X

WRITE_MODE_A=READ_FIRST、WRITE_MODE_B=READ_FIRST の場合

WEA	WEB	CLKA	CLKB	DIA	DIB	DIPA	DIPB	DOA	DOB	DOPA	DOPB	データ RAM	パリティ RAM
0	0	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	変化なし	変化なし
1	0	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	DIA	DIPA
0	1	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	DIB	DIPB
1	1	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	X	X

WRITE_MODE_A=WRITE_FIRST、WRITE_MODE_B=WRITE_FIRST の場合

WEA	WEB	CLKA	CLKB	DIA	DIB	DIPA	DIPB	DOA	DOB	DOPA	DOPB	データ RAM	パリティ RAM
0	0	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	変化なし	変化なし
1	0	↑	↑	DIA	DIB	DIPA	DIPB	DIA	X	DIPA	X	DIA	DIPA
0	1	↑	↑	DIA	DIB	DIPA	DIPB	X	DIB	X	DIPB	DIB	DIPB
1	1	↑	↑	DIA	DIB	DIPA	DIPB	X	X	X	X	X	X

WRITE_MODE_A=NO_CHANGE、WRITE_MODE_B=READ_FIRST の場合

WEA	WEB	CLKA	CLKB	DIA	DIB	DIPA	DIPB	DOA	DOB	DOPA	DOPB	データ RAM	パリティ RAM
0	0	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	変化なし	変化なし
1	0	↑	↑	DIA	DIB	DIPA	DIPB	変化なし	X	変化なし	X	DIA	DIPA
0	1	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	DIB	DIPB
1	1	↑	↑	DIA	DIB	DIPA	DIPB	変化なし	X	変化なし	X	DIB	DIPB

WRITE_MODE_A=NO_CHANGE、WRITE_MODE_B=WRITE_FIRST の場合

WEA	WEB	CLKA	CLKB	DIA	DIB	DIPA	DIPB	DOA	DOB	DOPA	DOPB	データ RAM	パリティ RAM
0	0	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	変化なし	変化なし
1	0	↑	↑	DIA	DIB	DIPA	DIPB	変化 なし	X	変化 なし	X	DIA	DIPA
0	1	↑	↑	DIA	DIB	DIPA	DIPB	X	DIB	X	DIPB	DIB	DIPB
1	1	↑	↑	DIA	DIB	DIPA	DIPB	変化 なし	X	変化 なし	X	X	X

WRITE_MODE_A=READ_FIRST および WRITE_MODE_B=WRITE_FIRST

WEA	WEB	CLKA	CLKB	DIA	DIB	DIPA	DIPB	DOA	DOB	DOPA	DOPB	データ RAM	パリティ RAM
0	0	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	変化なし	変化なし
1	0	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	DIA	DIPA
0	1	↑	↑	DIA	DIB	DIPA	DIPB	X	DIB	X	DIPB	DIB	DIPB
1	1	↑	↑	DIA	DIB	DIPA	DIPB	X	DIB	X	DIPB	DIA	DIPA

デザインの入力方法

このエレメントは、回路図で使用できます。

使用可能な属性

属性	データ型	値	デフォルト	説明
INIT_00 ~ INIT_3F	2 進数/ 16 進数	任意の値	すべて 0	RAM 配列のデータ部分の初期値を指定します。
INIT_A	2 進数/ 16 進数	任意の値	すべて 0	コンフィギュレーション後の DOA 出力ポートの初期値を指定します。ビット幅は、RAM の A ポートの幅によって決まります。
INIT_B	2 進数/ 16 進数	任意の値	すべて 0	コンフィギュレーション後の DOB 出力ポートの初期値を指定します。ビット幅は、RAM の B ポートの幅によって決まります。
INITP_00 ~ INITP_07	2 進数/ 16 進数	任意の値	すべて 0	RAM 配列のパリティ部分の初期値を指定します。

属性	データ型	値	デフォルト	説明
SIM_COLLISION_CHECK	文字列	"ALL"、 "WARNING_ONLY"、 "GENERATE_X_ONLY"、 "NONE"	"ALL"	<p>メモリの競合が発生した場合にシミュレーションの動作を変更できます。詳細は次のとおりです。</p> <ul style="list-style-type: none"> ・ "ALL"：警告メッセージが出力され、関連する出力およびメモリの値が不定 (X) になります。 ・ "WARNING_ONLY"：警告メッセージのみが出力され、関連する出力およびメモリの値はそのまま保持されます。 ・ "GENERATE_X_ONLY"：警告メッセージは出力されず、関連する出力およびメモリの値が不定 (X) になります。 ・ "NONE"：警告メッセージは出力されず、関連する出力およびメモリの値はそのまま保持されます。 <p>注記： "ALL" 以外の値に設定すると、シミュレーション中にデザインの問題を認識できなくなるため、この値を変更する場合は注意が必要です。詳細は、『合成/シミュレーション デザイン ガイド』を参照してください。</p>
SRVAL_A	2 進数/ 16 進数	任意の値	すべて 0	RSTA ピンをアサートしたときに、DOA 出力ポートをセット (1) するかリセット (0) するかをビットごとに設定します。ビット幅は、RAM の A ポートの幅によって決まります。デフォルトではすべてのビットがリセットされます。
SRVAL_B	2 進数/ 16 進数	任意の値	すべて 0	RSTB ピンをアサートしたときに、DOB 出力ポートをセット (1) するかリセット (0) するかをビットごとに設定します。ビット幅は、RAM の B ポートの幅によって決まります。デフォルトではすべてのビットがリセットされます。
WRITE_MODE_A	文字列	"WRITE_FIRST"、 "READ_FIRST"、 "NO_CHANGE"	"WRITE_FIRST"	<p>書き込みコマンドが DOA ポートで実行されるときポートの動作を指定します。</p> <ul style="list-style-type: none"> ・ "WRITE_FIRST"：値がポートに書き込まれてから出力されます。 ・ "READ_FIRST"：新たに値が書き込まれる前に、RAM の以前の値が出力ポートに出力されます。 ・ "NO_CHANGE"：出力ポートの以前の値が保持され、出力ポートの値は変化しません。RAM のポートから値を読み出さない場合は、このモードに設定することをお勧めします。
WRITE_MODE_B	文字列	"WRITE_FIRST"、 "READ_FIRST"、 "NO_CHANGE"	"WRITE_FIRST"	<p>書き込みコマンドが DOB ポートで実行されるときポートの動作を指定します。</p> <ul style="list-style-type: none"> ・ "WRITE_FIRST"：値がポートに書き込まれてから出力されます。

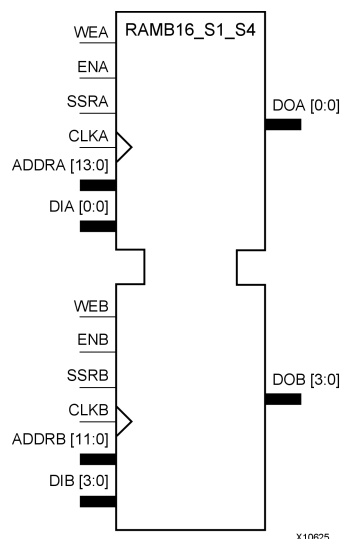
属性	データ型	値	デフォルト	説明
				<ul style="list-style-type: none">・ "READ_FIRST"：新たに値が書き込まれる前に、RAM の以前の値が出力ポートに出力されます。・ "NO_CHANGE"：出力ポートの以前の値が保持され、出力ポートの値は変化しません。RAM のポートから値を読み出さない場合は、このモードに設定することをお勧めします。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリー データシート』\(DS312\)](#)

RAMB16_S1_S4

プリミティブ : 16K-bit Data and 2K-bit Parity Dual-Port Synchronous Block RAM with 1-bit and 4-bit Ports



概要

このデザイン エLEMENTは、同期書き込み機能を備えた、デュアル ポートの専用 RAM ブロックです。各ブロック RAM のポートには 16384 ビットのデータ メモリがあります。ポート幅が 9、18、36 ビットにコンフィギュレーションされたポート には、さらに 2048 ビットのパリティ メモリがあります。各ポートは、同じ 16384 個のデータ メモリ セルに独立してアクセスします。各ポートのデータ幅は、それぞれ個別に設定できます。このELEMENTのポートおよびセルの構成は「ポートの説明」の表に示されています。

論理表

論理表 A

入力								出力			
GSR	ENA	SSRA	WEA	CLKA	ADDRA	DIA	DIPA	DOA	DOPA	RAM の内容	
										データ RAM	パリティ RAM
1	X	X	X	X	X	X	X	INIT_A	INIT_A	変化なし	変化なし
0	0	X	X	X	X	X	X	変化なし	変化なし	変化なし	変化なし
0	1	1	0	↑	X	X	X	SRVAL_A	SRVAL_A	変化なし	変化なし
0	1	1	1	↑	addr	data	pdata	SRVAL_A	SRVAL_A	RAM(addr) =>data	RAM(addr) =>pdata
0	1	0	0	↑	addr	X	X	RAM(addr)	RAM(addr)	変化なし	変化なし
0	1	0	1	↑	addr	data	pdata	変化なし ¹ 、 RAM(addr) ² 、 data ³	変化なし ¹ 、 RAM(addr) ² 、 pdata ³	RAM(addr) =>data	RAM(addr) =>pdata

GSR = グローバル セットリセット信号

INIT_A = 出力レジスタ用に INIT_A 属性で設定された値。デフォルトはすべて 0 です。

SRVAL_A = レジスタの値

addr = RAM アドレス

RAM(addr) = アドレス ADDR の RAM の内容

data = RAM の入力データ

pdata = RAM のパリティ データ

¹WRITE_MODE_A=NO_CHANGE

²WRITE_MODE_A=READ_FIRST

³WRITE_MODE_A=WRITE_FIRST

論理表 B

入力								出力			
GSR	ENB	SSRB	WEB	CLKB	ADDRB	DIB	DIPB	DOB	DOPB	RAM の内容	
										データ RAM	パリティ RAM
1	X	X	X	X	X	X	X	INIT_B	INIT_B	変化なし	変化なし
0	0	X	X	X	X	X	X	変化なし	変化なし	変化なし	変化なし
0	1	1	0	↑	X	X	X	SRVAL_B	SRVAL_B	変化なし	変化なし
0	1	1	1	↑	addr	data	pdata	SRVAL_B	SRVAL_B	RAM(addr) =>data	RAM(addr) =>pdata
0	1	0	0	↑	addr	X	X	RAM(addr)	RAM(addr)	変化なし	変化なし
0	1	0	1	↑	addr	data	pdata	変化なし ¹ 、RAM(addr) ² 、data ³	変化なし ¹ 、RAM(addr) ² 、pdata ³	RAM(addr) =>data	RAM(addr) =>pdata

GSR = グローバル セット リセット信号
INIT_B = 出力レジスタ用に INIT_B 属性で設定された値。デフォルトはすべて 0 です。
SRVAL_B = レジスタの値
addr = RAM アドレス
RAM(addr) = アドレス ADDR の RAM の内容
data = RAM の入力データ
pdata = RAM のパリティ データ
¹WRITE_MODE_B=NO_CHANGE
²WRITE_MODE_B=READ_FIRST
³WRITE_MODE_B=WRITE_FIRST

ポートの説明

ポート A						ポート B				
デザイン エレメント	データ セル ¹	パリティ セル ¹	アドレス バス	データ バス	パリティ バス	データ セル ¹	パリティ セル ¹	アドレス バス	データ バス	パリティ バス
RAMB16_S1_S4	16384 x 1	—	(13:0)	(0:0)	—	4096 x 4	—	(11:0)	(3:0)	—

¹ ワード数 X 幅

各ポートは、それぞれのクロックに完全に同期します。ポート A の各データ入力ピン (DIA) のセットアップ タイム、およびデータ出力バス (DOA) の clock-to-out タイムは、CLKA を基準とします。ポート B の各データ入力ピン (DIB) のセットアップ タイム、およびデータ出力バス (DOB) の clock-to-out タイムは、CLKB を基準とします。イネーブル ピン ENA は、ポート A の読み出し、書き込み、リセットを制御します。ENA が Low の場合、データは書き込まれず、出力 (DOA および DOPA) は変化しません。ENA とリセット (SSRA) が High の場合、クロック (CLKA) が Low から High に切り替わるたびに DOA および DOPA が SRVAL_A にセットされます。ライト イネーブル (WEA) も High の場合は、DIA および DIPA の値が RAM に書き込まれます。ENA が High で SSRA と WEA が Low の場合、クロックが Low から High に切り替わるたびに、RAM アドレス (ADDR_A) に格納されているデータが読み出されます。SSRA が Low で ENA と WEA が High の場合、クロックが Low から High に切り替わるたびに、書き込みアドレス (ADDR_A) で選択されているワードにデータ入力 (DIA および DIPA) の値が読み込まれます。データ出力 (DOA および DOPA) に出力される値は、書き込みモードによって異なります。書き込みモードは、デフォルトでは WRITE_MODE=WRITE_FIRST に設定されています。

イネーブル ピン ENB は、ポート B の読み出し、書き込み、リセットを制御します。ENB が Low の場合、データは書き込まれず、出力 (DOB および DOPB) は変化しません。ENB とリセット (SSRB) が High の場合、クロック (CLKB) が Low から High に切り替わるたびに、DOB および DOPB が SRVAL_B にセットされます。ライト イネーブル (WEB) も High の場合は、DIB および DIPB の値が RAM に書き込まれます。ENB が High で SSRB と WEB が Low の場合、クロックが Low から High に切り替わるたびに RAM アドレス (ADDRB) に格納されているデータが出力されます。SSRB が Low で ENB と WEB が High の場合、クロックが Low から High に切り替わるたびに、書き込みアドレス (ADDRB) で選択されているワードにデータ入力 (DIB および DIPB) の値が読み込まれます。データ出力 (DOB および DOPB) に出力される値は、書き込みモードによって異なります。書き込みモードは、デフォルトでは WRITE_MODE=WRITE_FIRST に設定されています。上記の説明では、制御ピン (ENA、WEA、SSRA、CLKA、ENB、WEB、SSRB、CLKB) がアクティブ High であると想定していますが、ポートにインバーターを配置してアクティブ Low にすることもできます。RAMB16 のポートに配置したインバーターはブロック内に組み込まれるので、CLB リソースは使用されません。

アドレス マップ

各ポートは、ポートの幅によって異なるアドレス指定方法を使用して、同じ 18432 個のメモリ セルにアクセスします。「データ用のポート アドレス マップ」に示すように、すべてのポート幅で 16384 個のメモリ セルをデータの格納に使用できます。9、18、および 36 ビット幅のポートには、「パリティ用のポート アドレス マップ」に示すように、2408 個のパリティメモリセルもあります。特定のポート幅での物理的な RAM の位置は、次の式によって決定されます。

$$\text{Start} = ((\text{ADDR_port} + 1) * (\text{Widthport})) - 1$$

$$\text{End} = (\text{ADDRport}) * (\text{Widthport})$$

次の表に、各ポート幅のアドレス マップを示します。

データ用のポート アドレス マップ

データ 幅	ポートのデータ アドレス																																		
1	16384	<--	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
2	8192	<--	15		14		13		12		11		10		9		8		7		6		5		4		3		2		1		0		
4	4096	<--	7				6				5				4				3				2				1				0				
8	2048	<--	3								2								1								0								
16	1024	<--	1																0																
32	512	<--	0																																

パリティ用のポート アドレス マップ

パリティ幅	ポートのパリティ アドレス														
1	2048	<-----	3				2				1				0
2	1024	<-----	1								0				
4	512	<-----	0												

デュアル ポート RAMB16 のメモリ内容の初期化

INIT_xx 属性を使用すると、デバイスのコンフィギュレーション中に RAMB16 のメモリの内容を初期化できます。各 RAMB16_Sm_Sn の初期値は、64 個の初期化属性 (INIT_00 ~ INIT_3F) を使用して 64 桁の 16 進数値で指定します (合計 16384 ビット)。

INITP_xx 属性を使用すると、デバイスのコンフィギュレーションまたはアサート中にパリティ メモリを初期化できます。9、18、36 ビット幅にコンフィギュレーションされたポートのパリティ メモリの初期値は、8 個の初期化属性 (INITP_00 ~ INITP_07) を使用して 64 桁の 16 進数値で指定します (合計 2048 ビット)。

INIT_xx または INITP_xx 属性を指定しない場合は、そのアドレスの値は 0 に設定されます。属性を一部だけ指定すると、上位ビットが 0 になります。

デュアル ポート RAMB16 の出力レジスタの初期化

Spartan®-3A 以降のデバイスでは、電源投入時 (GSR が High のとき) に出力レジスタの各ビットを 0 または 1 に初期化できます。また、セット/リセットをアサートした後の値を、電源投入時の初期値とは異なる値に設定できます。デュアル ポート RAMB16 の出力レジスタを初期化する属性には、INIT_A、INIT_B、SRVAL_A、SRVAL_B の 4 種類があります。INIT_A 属性は電源投入時のポート A の出力レジスタの初期値を指定し、INIT_B 属性は電源投入時のポート B の出力レジスタの初期値を指定します。SRVAL_A 属性はポート A で SSRA (セット/リセット) 入力をアサートしたときの初期値を指定し、SRVAL_B 属性はポート B で SSRB (セット/リセット) 入力をアサートしたときの初期値を指定します。

INIT_A、INIT_B、SRVAL_A、SRVAL_B 属性は、16 進数で指定します。この初期値はポート幅によって異なります。たとえば、ポート A の幅が 1、ポート B の幅が 4 の RAMB16_S1_S4 の場合、ポート A の出力レジスタは 1 ビットなので、INIT_A または SRVAL_A には 1 または 0 を指定します。ポート B の出力レジスタは 4 ビットなので、INIT_B または SRVAL_B には 0 ~ F の 16 進数値を指定します。

パリティビットを含むポートでは、出力レジスタのパリティ部分は、INIT_A、INIT_B、SRVAL_A、SRVAL_B の値の上位ビットで指定します。

INIT および SRVAL 属性を指定しない場合は、デフォルトで 0 に初期化されます。

書き込みモードの選択

WRITE_MODE_A 属性は、デュアル ポート RAMB16 のポート A のメモリおよび出力の内容を制御し、WRITE_MODE_B 属性は、ポート B のメモリおよび出力の内容を制御します。デフォルトでは、WRITE_MODE_A と WRITE_MODE_B は両方とも WRITE_FIRST に設定されています。この場合、入力値がメモリに書き込まれた後にその値が出力されます。READ_FIRST に設定すると、メモリの内容が出力された後、入力値がメモリに書き込まれます。NO_CHANGE に設定すると、入力値はメモリに書き込まれますが、出力の値は変化しません。ポート A とポート B で同じメモリセルに読み出し/書き込みを行おうとした場合の競合の解決方法については、「ポート A とポート B が競合する場合の対処方法」を参照してください。

ポート A とポート B が競合する場合の対処方法

Spartan-3A ブロック SelectRAM™ は、完全なデュアル ポート RAM で、2 つのポートが同時に同じメモリセルにアクセスできます。ただし、一方のポートがあるメモリセルに書き込みを行っている場合は、もう一方のポートで clock-to-clock セットアップ タイム内に、そのメモリセルに対して書き込みまたは読み出しを実行しないようにする必要があります。

次の表に、デュアルポート RAMB16 で競合が発生した場合の動作を、WRITE_MODE_A と WRITE_MODE_B の設定別に示します。

WRITE_MODE_A=NO_CHANGE、WRITE_MODE_B=NO_CHANGE の場合

WEA	WEB	CLKA	CLKB	DIA	DIB	DIPA	DIPB	DOA	DOB	DOPA	DOPB	データ RAM	パリティ RAM
0	0	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	変化なし	変化なし
1	0	↑	↑	DIA	DIB	DIPA	DIPB	変化 なし	X	変化 なし	X	DIA	DIPA
0	1	↑	↑	DIA	DIB	DIPA	DIPB	X	変化 なし	X	変化 なし	DIB	DIPB
1	1	↑	↑	DIA	DIB	DIPA	DIPB	変化 なし	変化 なし	変化 なし	変化 なし	X	X

WRITE_MODE_A=READ_FIRST、WRITE_MODE_B=READ_FIRST の場合

WEA	WEB	CLKA	CLKB	DIA	DIB	DIPA	DIPB	DOA	DOB	DOPA	DOPB	データ RAM	パリティ RAM
0	0	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	変化なし	変化なし
1	0	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	DIA	DIPA
0	1	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	DIB	DIPB
1	1	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	X	X

WRITE_MODE_A=WRITE_FIRST、WRITE_MODE_B=WRITE_FIRST の場合

WEA	WEB	CLKA	CLKB	DIA	DIB	DIPA	DIPB	DOA	DOB	DOPA	DOPB	データ RAM	パリティ RAM
0	0	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	変化なし	変化なし
1	0	↑	↑	DIA	DIB	DIPA	DIPB	DIA	X	DIPA	X	DIA	DIPA
0	1	↑	↑	DIA	DIB	DIPA	DIPB	X	DIB	X	DIPB	DIB	DIPB
1	1	↑	↑	DIA	DIB	DIPA	DIPB	X	X	X	X	X	X

WRITE_MODE_A=NO_CHANGE、WRITE_MODE_B=READ_FIRST の場合

WEA	WEB	CLKA	CLKB	DIA	DIB	DIPA	DIPB	DOA	DOB	DOPA	DOPB	データ RAM	パリティ RAM
0	0	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	変化なし	変化なし
1	0	↑	↑	DIA	DIB	DIPA	DIPB	変化 なし	X	変化 なし	X	DIA	DIPA
0	1	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	DIB	DIPB
1	1	↑	↑	DIA	DIB	DIPA	DIPB	変化 なし	X	変化 なし	X	DIB	DIPB

WRITE_MODE_A=NO_CHANGE、WRITE_MODE_B=WRITE_FIRST の場合

WEA	WEB	CLKA	CLKB	DIA	DIB	DIPA	DIPB	DOA	DOB	DOPA	DOPB	データ RAM	パリティ RAM
0	0	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	変化なし	変化なし
1	0	↑	↑	DIA	DIB	DIPA	DIPB	変化 なし	X	変化 なし	X	DIA	DIPA
0	1	↑	↑	DIA	DIB	DIPA	DIPB	X	DIB	X	DIPB	DIB	DIPB
1	1	↑	↑	DIA	DIB	DIPA	DIPB	変化 なし	X	変化 なし	X	X	X

WRITE_MODE_A=READ_FIRST および WRITE_MODE_B=WRITE_FIRST

WEA	WEB	CLKA	CLKB	DIA	DIB	DIPA	DIPB	DOA	DOB	DOPA	DOPB	データ RAM	パリティ RAM
0	0	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	変化なし	変化なし
1	0	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	DIA	DIPA
0	1	↑	↑	DIA	DIB	DIPA	DIPB	X	DIB	X	DIPB	DIB	DIPB
1	1	↑	↑	DIA	DIB	DIPA	DIPB	X	DIB	X	DIPB	DIA	DIPA

デザインの入力方法

このエレメントは、回路図で使用できます。

使用可能な属性

属性	データ型	値	デフォルト	説明
INIT_00 ~ INIT_3F	2 進数/ 16 進数	任意の値	すべて 0	RAM 配列のデータ部分の初期値を指定します。
INIT_A	2 進数/ 16 進数	任意の値	すべて 0	コンフィギュレーション後の DOA 出力ポートの初期値を指定します。ビット幅は、RAM の A ポートの幅によって決まります。
INIT_B	2 進数/ 16 進数	任意の値	すべて 0	コンフィギュレーション後の DOB 出力ポートの初期値を指定します。ビット幅は、RAM の B ポートの幅によって決まります。
INITP_00 ~ INITP_07	2 進数/ 16 進数	任意の値	すべて 0	RAM 配列のパリティ部分の初期値を指定します。

属性	データ型	値	デフォルト	説明
SIM_COLLISION_CHECK	文字列	"ALL"、 "WARNING_ONLY"、 "GENERATE_X_ONLY"、 "NONE"	"ALL"	<p>メモリの競合が発生した場合にシミュレーションの動作を変更できます。詳細は次のとおりです。</p> <ul style="list-style-type: none"> ・ "ALL" : 警告メッセージが出力され、関連する出力およびメモリの値が不定 (X) になります。 ・ "WARNING_ONLY" : 警告メッセージのみが出力され、関連する出力およびメモリの値はそのまま保持されます。 ・ "GENERATE_X_ONLY" : 警告メッセージは出力されず、関連する出力およびメモリの値が不定 (X) になります。 ・ "NONE" : 警告メッセージは出力されず、関連する出力およびメモリの値はそのまま保持されます。 <p>注記 : "ALL" 以外の値に設定すると、シミュレーション中にデザインの問題を認識できなくなるため、この値を変更する場合は注意が必要です。詳細は、『合成/シミュレーション デザイン ガイド』を参照してください。</p>
SRVAL_A	2 進数/ 16 進数	任意の値	すべて 0	RSTA ピンをアサートしたときに、DOA 出力ポートをセット (1) するかリセット (0) するかをビットごとに設定します。ビット幅は、RAM の A ポートの幅によって決まります。デフォルトではすべてのビットがリセットされます。
SRVAL_B	2 進数/ 16 進数	任意の値	すべて 0	RSTB ピンをアサートしたときに、DOB 出力ポートをセット (1) するかリセット (0) するかをビットごとに設定します。ビット幅は、RAM の B ポートの幅によって決まります。デフォルトではすべてのビットがリセットされます。
WRITE_MODE_A	文字列	"WRITE_FIRST"、 "READ_FIRST"、 "NO_CHANGE"	"WRITE_FIRST"	<p>書き込みコマンドが DOA ポートで実行されるときポートの動作を指定します。</p> <ul style="list-style-type: none"> ・ "WRITE_FIRST" : 値がポートに書き込まれてから出力されます。 ・ "READ_FIRST" : 新たに値が書き込まれる前に、RAM の以前の値が出力ポートに出力されます。 ・ "NO_CHANGE" : 出力ポートの以前の値が保持され、出力ポートの値は変化しません。RAM のポートから値を読み出さない場合は、このモードに設定することをお勧めします。
WRITE_MODE_B	文字列	"WRITE_FIRST"、 "READ_FIRST"、 "NO_CHANGE"	"WRITE_FIRST"	<p>書き込みコマンドが DOB ポートで実行されるときポートの動作を指定します。</p> <ul style="list-style-type: none"> ・ "WRITE_FIRST" : 値がポートに書き込まれてから出力されます。

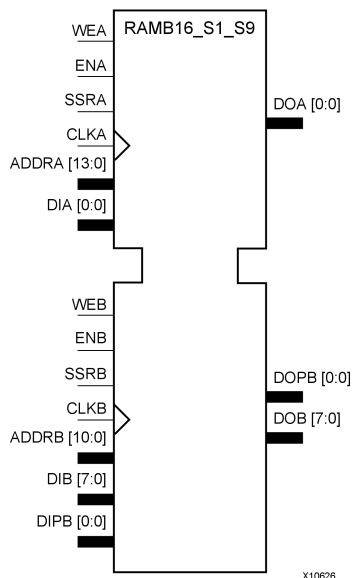
属性	データ型	値	デフォルト	説明
				<ul style="list-style-type: none">“READ_FIRST”：新たに値が書き込まれる前に、RAM の以前の値が出力ポートに出力されます。“NO_CHANGE”：出力ポートの以前の値が保持され、出力ポートの値は変化しません。RAM のポートから値を読み出さない場合は、このモードに設定することをお勧めします。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリー データシート』\(DS312\)](#)

RAMB16_S1_S9

プリミティブ : 16K-bit Data and 2K-bit Parity Dual-Port Synchronous Block RAM with 1-bit and 9-bit Ports



概要

このデザイン エLEMENTは、同期書き込み機能を備えた、デュアル ポートの専用 RAM ブロックです。各ブロック RAM のポートには 16384 ビットのデータ メモリがあります。ポート幅が 9、18、36 ビットにコンフィギュレーションされたポートには、さらに 2048 ビットのパリティ メモリがあります。各ポートは、同じ 16384 個のデータ メモリ セルに独立してアクセスします。各ポートのデータ幅は、それぞれ個別に設定できます。このELEMENTのポートおよびセルの構成は「ポートの説明」の表に示されています。

論理表

論理表 A

入力								出力			
GSR	ENA	SSRA	WEA	CLKA	ADDRA	DIA	DIPA	DOA	DOPA	RAM の内容	
										データ RAM	パリティ RAM
1	X	X	X	X	X	X	X	INIT_A	INIT_A	変化なし	変化なし
0	0	X	X	X	X	X	X	変化なし	変化なし	変化なし	変化なし
0	1	1	0	↑	X	X	X	SRVAL_A	SRVAL_A	変化なし	変化なし
0	1	1	1	↑	addr	data	pdata	SRVAL_A	SRVAL_A	RAM(addr) =>data	RAM(addr) =>pdata
0	1	0	0	↑	addr	X	X	RAM(addr)	RAM(addr)	変化なし	変化なし
0	1	0	1	↑	addr	data	pdata	変化なし ¹ 、 RAM(addr) ² 、 data ³	変化なし ¹ 、 RAM(addr) ² 、 pdata ³	RAM(addr) =>data	RAM(addr) =>pdata

GSR = グローバル セットリセット信号
 INIT_A = 出力レジスタ用に INIT_A 属性で設定された値。デフォルトはすべて 0 です。
 SRVAL_A = レジスタの値
 addr = RAM アドレス
 RAM(addr) = アドレス ADDR の RAM の内容
 data = RAM の入力データ
 pdata = RAM のパリティ データ
¹WRITE_MODE_A=NO_CHANGE
²WRITE_MODE_A=READ_FIRST
³WRITE_MODE_A=WRITE_FIRST

論理表 B

入力								出力			
GSR	ENB	SSRB	WEB	CLKB	ADDRB	DIB	DIPB	DOB	DOPB	RAM の内容	
										データ RAM	パリティ RAM
1	X	X	X	X	X	X	X	INIT_B	INIT_B	変化なし	変化なし
0	0	X	X	X	X	X	X	変化なし	変化なし	変化なし	変化なし
0	1	1	0	↑	X	X	X	SRVAL_B	SRVAL_B	変化なし	変化なし
0	1	1	1	↑	addr	data	pdata	SRVAL_B	SRVAL_B	RAM(addr) =>data	RAM(addr) =>pdata
0	1	0	0	↑	addr	X	X	RAM(addr)	RAM(addr)	変化なし	変化なし
0	1	0	1	↑	addr	data	pdata	変化なし ¹ 、 RAM(addr) ² 、 data ³	変化なし ¹ 、 RAM(addr) ² 、 pdata ³	RAM(addr) =>data	RAM(addr) =>pdata

GSR = グローバル セット リセット信号

INIT_B = 出力レジスタ用に INIT_B 属性で設定された値。デフォルトはすべて 0 です。

SRVAL_B = レジスタの値

addr = RAM アドレス

RAM(addr) = アドレス ADDR の RAM の内容

data = RAM の入力データ

pdata = RAM のパリティ データ

¹WRITE_MODE_B=NO_CHANGE

²WRITE_MODE_B=READ_FIRST

³WRITE_MODE_B=WRITE_FIRST

ポートの説明

ポート A						ポート B				
デザイン エレメント	データ セル ¹	パリティ セル ¹	アドレス バス	データ バス	パリティ バス	データ セル ¹	パリティ セル ¹	アドレス バス	データ バス	パリティ バス
RAMB16_S1_S9	16384 x 1	—	(13:0)	(0:0)	—	2048 x 8	2048 x 1	(10:0)	(7:0)	(0:0)

¹ ワード数 X 幅

各ポートは、それぞれのクロックに完全に同期します。ポート A の各データ入力ピン (DIA) のセットアップ タイム、およびデータ出力バス (DOA) の clock-to-out タイムは、CLKA を基準とします。ポート B の各データ入力ピン (DIB) のセットアップ タイム、およびデータ出力バス (DOB) の clock-to-out タイムは、CLKB を基準とします。イネーブル ピン ENA は、ポート A の読み出し、書き込み、リセットを制御します。ENA が Low の場合、データは書き込まれず、出力 (DOA および DOPA) は変化しません。ENA とリセット (SSRA) が High の場合、クロック (CLKA) が Low から High に切り替わるたびに DOA および DOPA が SRVAL_A にセットされます。ライト イネーブル (WEA) も High の場合は、DIA および DIPA の値が RAM に書き込まれます。ENA が High で SSRA と WEA が Low の場合、クロックが Low から High に切り替わるたびに、RAM アドレス (ADDR_A) に格納されているデータが読み出されます。SSRA が Low で ENA と WEA が High の場合、クロックが Low から High に切り替わるたびに、書き込みアドレス (ADDR_A) で選択されているワードにデータ入力 (DIA および DIPA) の値が読み込まれます。データ出力 (DOA および DOPA) に出力される値は、書き込みモードによって異なります。書き込みモードは、デフォルトでは WRITE_MODE=WRITE_FIRST に設定されています。

イネーブル ピン ENB は、ポート B の読み出し、書き込み、リセットを制御します。ENB が Low の場合、データは書き込まれず、出力 (DOB および DOPB) は変化しません。ENB とリセット (SSRB) が High の場合、クロック (CLKB) が Low から High に切り替わるたびに、DOB および DOPB が SRVAL_B にセットされます。ライト イネーブル (WEB) も High の場合は、DIB および DIPB の値が RAM に書き込まれます。ENB が High で SSRB と WEB が Low の場合、クロックが Low から High に切り替わるたびに RAM アドレス (ADDRB) に格納されているデータが出力されます。SSRB が Low で ENB と WEB が High の場合、クロックが Low から High に切り替わるたびに、書き込みアドレス (ADDRB) で選択されているワードにデータ入力 (DIB および DIPB) の値が読み込まれます。データ出力 (DOB および DOPB) に出力される値は、書き込みモードによって異なります。書き込みモードは、デフォルトでは WRITE_MODE=WRITE_FIRST に設定されています。上記の説明では、制御ピン (ENA、WEA、SSRA、CLKA、ENB、WEB、SSRB、CLKB) がアクティブ High であると想定していますが、ポートにインバーターを配置してアクティブ Low にすることもできます。RAMB16 のポートに配置したインバーターはブロック内に組み込まれるので、CLB リソースは使用されません。

アドレス マッピング

各ポートは、ポートの幅によって異なるアドレス指定方法を使用して、同じ 18432 個のメモリ セルにアクセスします。「データ用のポート アドレス マップ」に示すように、すべてのポート幅で 16384 個のメモリ セルをデータの格納に使用できます。9、18、および 36 ビット幅のポートには、「パリティ用のポート アドレス マップ」に示すように、2408 個のパリティメモリセルもあります。特定のポート幅での物理的な RAM の位置は、次の式によって決定されます。

$$\text{Start} = ((\text{ADDR port} + 1) * (\text{Widthport})) - 1$$

$$\text{End} = (\text{ADDRport}) * (\text{Widthport})$$

次の表に、各ポート幅のアドレス マップを示します。

データ用のポート アドレス マップ

データ 幅	ポートのデータ アドレス																																		
1	16384	<--	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
2	8192	<--	15		14		13		12		11		10		9		8		7		6		5		4		3		2		1		0		
4	4096	<--	7				6				5				4				3				2				1				0				
8	2048	<--	3								2								1								0								
16	1024	<--	1																0																
32	512	<--	0																																

パリティ用のポート アドレス マップ

パリティ幅	ポートのパリティ アドレス														
1	2048	<-----	3				2				1				0
2	1024	<-----	1								0				
4	512	<-----	0												

デュアル ポート RAMB16 のメモリ内容の初期化

INIT_xx 属性を使用すると、デバイスのコンフィギュレーション中に RAMB16 のメモリの内容を初期化できます。各 RAMB16_Sm_Sn の初期値は、64 個の初期化属性 (INIT_00 ~ INIT_3F) を使用して 64 桁の 16 進数値で指定します (合計 16384 ビット)。

INITP_xx 属性を使用すると、デバイスのコンフィギュレーションまたはアサート中にパリティ メモリを初期化できます。9、18、36 ビット幅にコンフィギュレーションされたポートのパリティ メモリの初期値は、8 個の初期化属性 (INITP_00 ~ INITP_07) を使用して 64 桁の 16 進数値で指定します (合計 2048 ビット)。

INIT_xx または INITP_xx 属性を指定しない場合は、そのアドレスの値は 0 に設定されます。属性を一部だけ指定すると、上位ビットが 0 になります。

デュアル ポート RAMB16 の出力レジスタの初期化

Spartan®-3A では、電源投入時 (GSR が High のとき) に出力レジスタの各ビットを 0 または 1 に初期化できます。また、セット/リセットをアサートした後の値を、電源投入時の初期値とは異なる値に設定できます。デュアル ポート RAMB16 の出力レジスタを初期化する属性には、INIT_A、INIT_B、SRVAL_A、SRVAL_B の 4 種類があります。INIT_A 属性は電源投入時のポート A の出力レジスタの初期値を指定し、INIT_B 属性は電源投入時のポート B の出力レジスタの初期値を指定します。SRVAL_A 属性はポート A で SSRA (セット/リセット) 入力をアサートしたときの初期値を指定し、SRVAL_B 属性はポート B で SSRB (セット/リセット) 入力をアサートしたときの初期値を指定します。

INIT_A、INIT_B、SRVAL_A、SRVAL_B 属性は、16 進数で指定します。この初期値はポート幅によって異なります。たとえば、ポート A の幅が 1、ポート B の幅が 4 の RAMB16_S1_S4 の場合、ポート A の出力レジスタは 1 ビットなので、INIT_A または SRVAL_A には 1 または 0 を指定します。ポート B の出力レジスタは 4 ビットなので、INIT_B または SRVAL_B には 0 ~ F の 16 進数値を指定します。

パリティビットを含むポートでは、出力レジスタのパリティ部分は、INIT_A、INIT_B、SRVAL_A、SRVAL_B の値の上位ビットで指定します。

INIT および SRVAL 属性を指定しない場合は、デフォルトで 0 に初期化されます。

書き込みモードの選択

WRITE_MODE_A 属性は、デュアル ポート RAMB16 のポート A のメモリおよび出力の内容を制御し、WRITE_MODE_B 属性は、ポート B のメモリおよび出力の内容を制御します。デフォルトでは、WRITE_MODE_A と WRITE_MODE_B は両方とも WRITE_FIRST に設定されています。この場合、入力値がメモリに書き込まれた後にその値が出力されます。READ_FIRST に設定すると、メモリの内容が出力された後、入力値がメモリに書き込まれます。NO_CHANGE に設定すると、入力値はメモリに書き込まれますが、出力の値は変化しません。ポート A とポート B で同じメモリ セルに読み出し/書き込みを行おうとした場合の競合の解決方法については、「ポート A とポート B が競合する場合の対処方法」を参照してください。

ポート A とポート B が競合する場合の対処方法

Spartan-3A ブロックの SelectRAM™ は、完全なデュアル ポート RAM で、2 つのポートが同時に同じメモリ セルにアクセスできます。ただし、一方のポートがあるメモリ セルに書き込みを行っている場合は、もう一方のポートで clock-to-clock セットアップ タイム内に、そのメモリ セルに対して書き込みまたは読み出しを実行しないようにする必要があります。

次の表に、デュアルポート RAMB16 で競合が発生した場合の動作を、WRITE_MODE_A と WRITE_MODE_B の設定別に示します。

WRITE_MODE_A=NO_CHANGE、WRITE_MODE_B=NO_CHANGE の場合

WEA	WEB	CLKA	CLKB	DIA	DIB	DIPA	DIPB	DOA	DOB	DOPA	DOPB	データ RAM	パリティ RAM
0	0	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	変化なし	変化なし
1	0	↑	↑	DIA	DIB	DIPA	DIPB	変化なし	X	変化なし	X	DIA	DIPA
0	1	↑	↑	DIA	DIB	DIPA	DIPB	X	変化なし	X	変化なし	DIB	DIPB
1	1	↑	↑	DIA	DIB	DIPA	DIPB	変化なし	変化なし	変化なし	変化なし	X	X

WRITE_MODE_A=READ_FIRST、WRITE_MODE_B=READ_FIRST の場合

WEA	WEB	CLKA	CLKB	DIA	DIB	DIPA	DIPB	DOA	DOB	DOPA	DOPB	データ RAM	パリティ RAM
0	0	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	変化なし	変化なし
1	0	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	DIA	DIPA
0	1	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	DIB	DIPB
1	1	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	X	X

WRITE_MODE_A=WRITE_FIRST、WRITE_MODE_B=WRITE_FIRST の場合

WEA	WEB	CLKA	CLKB	DIA	DIB	DIPA	DIPB	DOA	DOB	DOPA	DOPB	データ RAM	パリティ RAM
0	0	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	変化なし	変化なし
1	0	↑	↑	DIA	DIB	DIPA	DIPB	DIA	X	DIPA	X	DIA	DIPA
0	1	↑	↑	DIA	DIB	DIPA	DIPB	X	DIB	X	DIPB	DIB	DIPB
1	1	↑	↑	DIA	DIB	DIPA	DIPB	X	X	X	X	X	X

WRITE_MODE_A=NO_CHANGE、WRITE_MODE_B=READ_FIRST の場合

WEA	WEB	CLKA	CLKB	DIA	DIB	DIPA	DIPB	DOA	DOB	DOPA	DOPB	データ RAM	パリティ RAM
0	0	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	変化なし	変化なし
1	0	↑	↑	DIA	DIB	DIPA	DIPB	変化なし	X	変化なし	X	DIA	DIPA
0	1	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	DIB	DIPB
1	1	↑	↑	DIA	DIB	DIPA	DIPB	変化なし	X	変化なし	X	DIB	DIPB

WRITE_MODE_A=NO_CHANGE、WRITE_MODE_B=WRITE_FIRST の場合

WEA	WEB	CLKA	CLKB	DIA	DIB	DIPA	DIPB	DOA	DOB	DOPA	DOPB	データ RAM	パリティ RAM
0	0	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	変化なし	変化なし
1	0	↑	↑	DIA	DIB	DIPA	DIPB	変化 なし	X	変化 なし	X	DIA	DIPA
0	1	↑	↑	DIA	DIB	DIPA	DIPB	X	DIB	X	DIPB	DIB	DIPB
1	1	↑	↑	DIA	DIB	DIPA	DIPB	変化 なし	X	変化 なし	X	X	X

WRITE_MODE_A=READ_FIRST および WRITE_MODE_B=WRITE_FIRST

WEA	WEB	CLKA	CLKB	DIA	DIB	DIPA	DIPB	DOA	DOB	DOPA	DOPB	データ RAM	パリティ RAM
0	0	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	変化なし	変化なし
1	0	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	DIA	DIPA
0	1	↑	↑	DIA	DIB	DIPA	DIPB	X	DIB	X	DIPB	DIB	DIPB
1	1	↑	↑	DIA	DIB	DIPA	DIPB	X	DIB	X	DIPB	DIA	DIPA

デザインの入力方法

このエレメントは、回路図で使用できます。

使用可能な属性

属性	データ型	値	デフォルト	説明
INIT_00 ~ INIT_3F	2 進数/ 16 進数	任意の値	すべて 0	RAM 配列のデータ部分の初期値を指定します。
INIT_A	2 進数/ 16 進数	任意の値	すべて 0	コンフィギュレーション後の DOA 出力ポートの初期値を指定します。ビット幅は、RAM の A ポートの幅によって決まります。
INIT_B	2 進数/ 16 進数	任意の値	すべて 0	コンフィギュレーション後の DOB 出力ポートの初期値を指定します。ビット幅は、RAM の B ポートの幅によって決まります。
INITP_00 ~ INITP_07	2 進数/ 16 進数	任意の値	すべて 0	RAM 配列のパリティ部分の初期値を指定します。

属性	データ型	値	デフォルト	説明
SIM_COLLISION_CHECK	文字列	"ALL"、 "WARNING_ONLY"、 "GENERATE_X_ONLY"、 "NONE"	"ALL"	<p>メモリの競合が発生した場合にシミュレーションの動作を変更できます。詳細は次のとおりです。</p> <ul style="list-style-type: none"> ・ "ALL"：警告メッセージが出力され、関連する出力およびメモリの値が不定 (X) になります。 ・ "WARNING_ONLY"：警告メッセージのみが出力され、関連する出力およびメモリの値はそのまま保持されます。 ・ "GENERATE_X_ONLY"：警告メッセージは出力されず、関連する出力およびメモリの値が不定 (X) になります。 ・ "NONE"：警告メッセージは出力されず、関連する出力およびメモリの値はそのまま保持されます。 <p>注記： "ALL" 以外の値に設定すると、シミュレーション中にデザインの問題を認識できなくなるため、この値を変更する場合は注意が必要です。詳細は、『合成/シミュレーション デザイン ガイド』を参照してください。</p>
SRVAL_A	2 進数/ 16 進数	任意の値	すべて 0	RSTA ピンをアサートしたときに、DOA 出力ポートをセット (1) するかリセット (0) するかをビットごとに設定します。ビット幅は、RAM の A ポートの幅によって決まります。デフォルトではすべてのビットがリセットされます。
SRVAL_B	2 進数/ 16 進数	任意の値	すべて 0	RSTB ピンをアサートしたときに、DOB 出力ポートをセット (1) するかリセット (0) するかをビットごとに設定します。ビット幅は、RAM の B ポートの幅によって決まります。デフォルトではすべてのビットがリセットされます。
WRITE_MODE_A	文字列	"WRITE_FIRST"、 "READ_FIRST"、 "NO_CHANGE"	"WRITE_FIRST"	<p>書き込みコマンドが DOA ポートで実行されるときポートの動作を指定します。</p> <ul style="list-style-type: none"> ・ "WRITE_FIRST"：値がポートに書き込まれてから出力されます。 ・ "READ_FIRST"：新たに値が書き込まれる前に、RAM の以前の値が出力ポートに出力されます。 ・ "NO_CHANGE"：出力ポートの以前の値が保持され、出力ポートの値は変化しません。RAM のポートから値を読み出さない場合は、このモードに設定することをお勧めします。
WRITE_MODE_B	文字列	"WRITE_FIRST"、 "READ_FIRST"、 "NO_CHANGE"	"WRITE_FIRST"	<p>書き込みコマンドが DOB ポートで実行されるときポートの動作を指定します。</p> <ul style="list-style-type: none"> ・ "WRITE_FIRST"：値がポートに書き込まれてから出力されます。

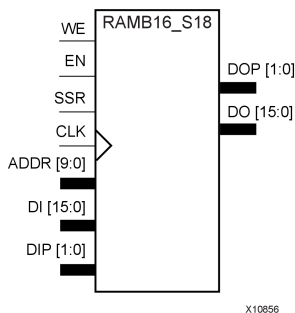
属性	データ型	値	デフォルト	説明
				<ul style="list-style-type: none">・ "READ_FIRST"：新たに値が書き込まれる前に、RAM の以前の値が出力ポートに出力されます。・ "NO_CHANGE"：出力ポートの以前の値が保持され、出力ポートの値は変化しません。RAM のポートから値を読み出さない場合は、このモードに設定することをお勧めします。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリー データシート』\(DS312\)](#)

RAMB16_S18

プリミティブ：16K-bit Data + 2K-bit Parity Memory, Single-Port Synchronous Block RAM with 18-bit Port



概要

このデザイン エLEMENTは、同期書き込み機能を備えた専用 RAM ブロックです。ブロック RAM のポートには 16384 ビットのデータ メモリがあります。セルの構成を、次の表に示します。

データ セル		パリティ セル				
ワード数	幅	ワード数	幅	アドレス バス	データ バス	パリティ バス
1024	16	1024	2	(9:0)	(15:0)	(1:0)

イネーブル ピン EN は、読み出し、書き込み、リセットを制御します。EN が Low の場合、データは書き込まれず、出力 (DO および DOP) の値は変化しません。EN とリセット (SSR) が High の場合、クロック (CLK) が Low から High に切り替わる時に、DO および DOP が SRVAL にセットされます。ライト イネーブル (WE) も High の場合は、DI および DIP の値が RAM に書き込まれます。SSR と WE が Low で EN が High の場合、クロックが Low から High に切り替わる時に、RAM アドレス (ADDR) に格納されているデータが DO および DOP に出力されます。デフォルトでは WRITE_MODE=WRITE_FIRST に設定されており、SSR が Low で EN および WE が High の場合、クロックが Low から High に切り替わる時に、データ入力 (DI および DIP) のデータが書き込みアドレス (ADDR) で選択されているワードに書き込まれ、データ出力 (DO および DOP) にその値が出力されます。

上記の説明では、制御ピン (EN、WE、SSR、CLK) がアクティブ High であると想定していますが、ポートにインバーターを配置してアクティブ Low にすることもできます。RAMB16 のポートに配置したインバーターはブロック内に組み込まれるので、CLB リソースは使用されません。

論理表

入力								出力			
GSR	EN	SSR	WE	CLK	ADDR	DI	DIP	DO	DOP	RAM の内容	
										データ RAM	パリティ RAM
1	X	X	X	X	X	X	X	INIT	INIT	変化なし	変化なし
0	0	X	X	X	X	X	X	変化なし	変化なし	変化なし	変化なし
0	1	1	0	↑	X	X	X	SRVAL	SRVAL	変化なし	変化なし
0	1	1	1	↑	addr	data	pdata	SRVAL	SRVAL	RAM(addr) =>data	RAM(addr) =>pdata
0	1	0	0	↑	addr	X	X	RAM(addr)	RAM(addr)	変化なし	変化なし
0	1	0	1	↑	addr	data	pdata	変化なし ¹ 、 RAM(addr) ² 、 data ³	変化なし ¹ 、 RAM(addr) ² 、 pdata ³	RAM(addr) =>data	RAM(addr) =>pdata

GSR=グローバル セットリセット信号

INIT = データ メモリ用に INIT 属性で設定された値。デフォルトはすべて 0 です。

SRVAL = SRVAL 属性で設定された SSR のアサート後の値

addr = RAM アドレス

RAM(addr) = アドレス ADDR の RAM の内容

data = RAM の入力データ

pdata = RAM のパリティ データ

¹ WRITE_MODE=NO_CHANGE

² WRITE_MODE=READ_FIRST

³ WRITE_MODE=WRITE_FIRST

初期化

メモリ内容の初期化

INIT_{xx} 属性を使用すると、デバイスのコンフィギュレーション中に RAMB16 のメモリの内容を初期化できます。各 RAMB16 の初期値は、64 個の初期化属性 (INIT₀₀ ~ INIT_{3F}) を使用して 64 桁の 16 進数値で指定します (合計 16384 ビット)。

INITP_{xx} 属性を使用すると、デバイスのコンフィギュレーションまたはアサート中にパリティメモリを初期化できます。9、18、36 ビット幅にコンフィギュレーションされたポートのパリティメモリの初期値は、8 個の初期化属性 (INITP₀₀ ~ INITP₀₇) を使用して 64 桁の 16 進数値で指定します (合計 2048 ビット)。

INIT_{xx} または INITP_{xx} 属性を指定しない場合は、そのアドレスの値は 0 に設定されます。属性を一部だけ指定すると、上位ビットが 0 になります。

出力レジスタの初期化

Spartan®-3A 以降のデバイスでは、電源投入時に出力レジスタの各ビットを 0 または 1 に初期化できます。また、セット/リセットをアサートした後の値を、電源投入時の初期値とは異なる値に設定できます。シングルポート RAMB16 の出力レジスタの初期化に使用する属性には、INIT と SRVAL の 2 種類があります。INIT 属性は、電源投入時の出力レジスタの値を指定します。SRVAL 属性は、SSR (セット/リセット) 入力のアサートしたときの値を指定します。

INIT および SRVAL 属性は、初期化値を、出力ポートの各ビットに 1 ビットが対応した 16 進数文字列として指定します。たとえば、ポート幅が 1 の RAMB16_S1 の場合、出力レジスタは 1 ビットなので、INIT および SRVAL には 1 または 0 を指定します。ポート幅が 4 の RAMB16_S4 の場合は、出力レジスタは 4 ビットなので、0 ~ F の 16 進数値を指定します。

パリティビットを含むポートでは、出力レジスタのパリティ部分は、INIT または SRVAL の値の上位ビットで指定します。

書き込みモードの選択

WRITE_MODE 属性は、RAMB16 メモリおよび出力の内容を制御します。デフォルトでは、WRITE_MODE は WRITE_FIRST に設定されています。この場合、入力値がメモリに書き込まれた後にその値が出力されます。WRITE_MODE を READ_FIRST に設定すると、メモリの内容が出力された後、入力値がメモリに書き込まれます。WRITE_MODE を NO_CHANGE に設定すると、入力値はメモリに書き込まれますが、出力の値は変化しません。

デザインの入力方法

このエレメントは、回路図で使用できます。

使用可能な属性

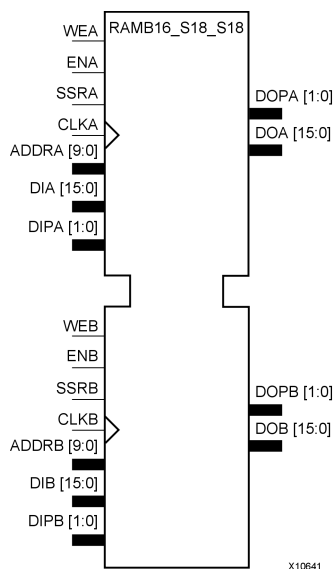
属性	データ型	値	デフォルト	説明
INIT	2 進数/ 16 進数	任意の値	すべて 0	コンフィギュレーション後の DO 出力ポートの初期値を指定します。ビット幅は、RAM の A ポートまたは B ポートの幅によって決まります。
INIT_00 ~ INIT_3F	2 進数/ 16 進数	任意の値	すべて 0	RAM 配列のデータ部分の初期値を指定します。
INITP_00 ~ INITP_07	2 進数/ 16 進数	任意の値	すべて 0	RAM 配列のパリティ部分の初期値を指定します。
SRVAL	2 進数/ 16 進数	任意の値	すべて 0	SSR ピンをアサートしたときに、DO 出力ポートをセット (1) するかリセット (0) するかをビットごとに指定します。ビット幅は、RAM の A ポートまたは B ポートの幅によって決まります。
WRITE_MODE	文字列	"WRITE_FIRST"、 "READ_FIRST"、 "NO_CHANGE"	"WRITE_FIRST"	書き込みコマンドが DO ポートで実行される ときのポートの動作を指定します。 <ul style="list-style-type: none"> ・ "WRITE_FIRST": 値がポートに書き込まれてから出力されます。 ・ "READ_FIRST": 新たに値が書き込まれる前に、RAM の以前の値が出力ポートに出力されます。 ・ "NO_CHANGE": 出力ポートの以前の値が保持され、出力ポートの値は変化しません。RAM のポートから値を読み出さない場合は、このモードに設定することをお勧めします。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリ データシート』\(DS312\)](#)

RAMB16_S18_S18

プリミティブ : 16K-bit Data and 2K-bit Parity Dual-Port Synchronous Block RAM with 18-bit Ports



概要

このデザイン エLEMENTは、同期書き込み機能を備えた、デュアル ポートの専用 RAM ブロックです。各ブロック RAM のポートには 16384 ビットのデータ メモリがあります。ポート幅が 9、18、36 ビットにコンフィギュレーションされたポートには、さらに 2048 ビットのパリティ メモリがあります。各ポートは、同じ 16384 個のデータ メモリ セルに独立してアクセスします。各ポートのデータ幅は、それぞれ個別に設定できます。このELEMENTのポートおよびセルの構成は「ポートの説明」の表に示されています。

論理表

論理表 A

入力								出力			
GSR	ENA	SSRA	WEA	CLKA	ADDRA	DIA	DIPA	DOA	DOPA	RAM の内容	
										データ RAM	パリティ RAM
1	X	X	X	X	X	X	X	INIT_A	INIT_A	変化なし	変化なし
0	0	X	X	X	X	X	X	変化なし	変化なし	変化なし	変化なし
0	1	1	0	↑	X	X	X	SRVAL_A	SRVAL_A	変化なし	変化なし
0	1	1	1	↑	addr	data	pdata	SRVAL_A	SRVAL_A	RAM(addr) =>data	RAM(addr) =>pdata
0	1	0	0	↑	addr	X	X	RAM(addr)	RAM(addr)	変化なし	変化なし
0	1	0	1	↑	addr	data	pdata	変化なし ¹ 、 RAM(addr) ² 、 data ³	変化なし ¹ 、 RAM(addr) ² 、 pdata ³	RAM(addr) =>data	RAM(addr) =>pdata

GSR = グローバル セットリセット信号

INIT_A = 出力レジスタ用に INIT_A 属性で設定された値。デフォルトはすべて 0 です。

SRVAL_A = レジスタの値

addr = RAM アドレス

RAM(addr) = アドレス ADDR の RAM の内容

data = RAM の入力データ

pdata = RAM のパリティ データ

¹WRITE_MODE_A=NO_CHANGE

²WRITE_MODE_A=READ_FIRST

³WRITE_MODE_A=WRITE_FIRST

論理表 B

入力								出力			
GSR	ENB	SSRB	WEB	CLKB	ADDRB	DIB	DIPB	DOB	DOPB	RAM の内容	
										データ RAM	パリティ RAM
1	X	X	X	X	X	X	X	INIT_B	INIT_B	変化なし	変化なし
0	0	X	X	X	X	X	X	変化なし	変化なし	変化なし	変化なし
0	1	1	0	↑	X	X	X	SRVAL_B	SRVAL_B	変化なし	変化なし
0	1	1	1	↑	addr	data	pdata	SRVAL_B	SRVAL_B	RAM(addr) =>data	RAM(addr) =>pdata
0	1	0	0	↑	addr	X	X	RAM(addr)	RAM(addr)	変化なし	変化なし
0	1	0	1	↑	addr	data	pdata	変化なし ¹ 、 RAM(addr) ² 、 data ³	変化なし ¹ 、 RAM(addr) ² 、 pdata ³	RAM(addr) =>data	RAM(addr) =>pdata

GSR = グローバル セット リセット信号

INIT_B = 出力レジスタ用に INIT_B 属性で設定された値。デフォルトはすべて 0 です。

SRVAL_B = レジスタの値

addr = RAM アドレス

RAM(addr) = アドレス ADDR の RAM の内容

data = RAM の入力データ

pdata = RAM のパリティ データ

¹WRITE_MODE_B=NO_CHANGE

²WRITE_MODE_B=READ_FIRST

³WRITE_MODE_B=WRITE_FIRST

ポートの説明

ポート A						ポート B				
デザイン エレメント	データ セル ¹	パリティ セル ¹	アドレ ス バス	データ バス	パリティ バス	データ セル ¹	パリティ セル ¹	アドレ ス バス	データ バス	パリティ バス
RAMB16_S18_S18	1024 x 16	1024 x 2	(9:0)	(15:0)	(1:0)	1024 x 16	1024 x 2	(9:0)	(15:0)	(1:0)

¹ ワード数 X 幅

各ポートは、それぞれのクロックに完全に同期します。ポート A の各データ入力ピン (DIA) のセットアップ タイム、およびデータ出力バス (DOA) の clock-to-out タイムは、CLKA を基準とします。ポート B の各データ入力ピン (DIB) のセットアップ タイム、およびデータ出力バス (DOB) の clock-to-out タイムは、CLKB を基準とします。イネーブル ピン ENA は、ポート A の読み出し、書き込み、リセットを制御します。ENA が Low の場合、データは書き込まれず、出力 (DOA および DOPA) は変化しません。ENA とリセット (SSRA) が High の場合、クロック (CLKA) が Low から High に切り替わるたびに DOA および DOPA が SRVAL_A にセットされます。ライト イネーブル (WEA) も High の場合は、DIA および DIPA の値が RAM に書き込まれます。ENA が High で SSRA と WEA が Low の場合、クロックが Low から High に切り替わるたびに、RAM アドレス (ADDR_A) に格納されているデータが読み出されます。SSRA が Low で ENA と WEA が High の場合、クロックが Low から High に切り替わるたびに、書き込みアドレス (ADDR_A) で選択されているワードにデータ入力 (DIA および DIPA) の値が読み込まれます。データ出力 (DOA および DOPA) に出力される値は、書き込みモードによって異なります。書き込みモードは、デフォルトでは WRITE_MODE=WRITE_FIRST に設定されています。

イネーブル ピン ENB は、ポート B の読み出し、書き込み、リセットを制御します。ENB が Low の場合、データは書き込まれず、出力 (DOB および DOPB) は変化しません。ENB とリセット (SSRB) が High の場合、クロック (CLKB) が Low から High に切り替わるたびに、DOB および DOPB が SRVAL_B にセットされます。ライト イネーブル (WEB) も High の場合は、DIB および DIPB の値が RAM に書き込まれます。ENB が High で SSRB と WEB が Low の場合、クロックが Low から High に切り替わるたびに RAM アドレス (ADDRB) に格納されているデータが出力されます。SSRB が Low で ENB と WEB が High の場合、クロックが Low から High に切り替わるたびに、書き込みアドレス (ADDRB) で選択されているワードにデータ入力 (DIB および DIPB) の値が読み込まれます。データ出力 (DOB および DOPB) に出力される値は、書き込みモードによって異なります。書き込みモードは、デフォルトでは WRITE_MODE=WRITE_FIRST に設定されています。上記の説明では、制御ピン (ENA、WEA、SSRA、CLKA、ENB、WEB、SSRB、CLKB) がアクティブ High であると想定していますが、ポートにインバーターを配置してアクティブ Low にすることもできます。RAMB16 のポートに配置したインバーターはブロック内に組み込まれるので、CLB リソースは使用されません。

アドレス マッピング

各ポートは、ポートの幅によって異なるアドレス指定方法を使用して、同じ 18432 個のメモリ セルにアクセスします。「データ用のポート アドレス マップ」に示すように、すべてのポート幅で 16384 個のメモリ セルをデータの格納に使用できます。9、18、および 36 ビット幅のポートには、「パリティ用のポート アドレス マップ」に示すように、2408 個のパリティメモリセルもあります。特定のポート幅での物理的な RAM の位置は、次の式によって決定されます。

$$\text{Start} = ((\text{ADDR port} + 1) * (\text{Widthport})) - 1$$

$$\text{End} = (\text{ADDRport}) * (\text{Widthport})$$

次の表に、各ポート幅のアドレス マップを示します。

データ用のポート アドレス マップ

データ 幅	ポートのデータ アドレス																																		
1	16384	<--	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
2	8192	<--	15		14		13		12		11		10		9		8		7		6		5		4		3		2		1		0		
4	4096	<--	7				6				5				4				3				2				1				0				
8	2048	<--	3								2								1								0								
16	1024	<--	1																0																
32	512	<--	0																																

パリティ用のポート アドレス マップ

パリティ幅	ポートのパリティ アドレス														
1	2048	<-----	3				2				1				0
2	1024	<-----	1								0				
4	512	<-----	0												

デュアル ポート RAMB16 のメモリ内容の初期化

INIT_xx 属性を使用すると、デバイスのコンフィギュレーション中に RAMB16 のメモリの内容を初期化できます。各 RAMB16_Sm_Sn の初期値は、64 個の初期化属性 (INIT_00 ~ INIT_3F) を使用して 64 桁の 16 進数値で指定します (合計 16384 ビット)。

INITP_xx 属性を使用すると、デバイスのコンフィギュレーションまたはアサート中にパリティ メモリを初期化できます。9、18、36 ビット幅にコンフィギュレーションされたポートのパリティ メモリの初期値は、8 個の初期化属性 (INITP_00 ~ INITP_07) を使用して 64 桁の 16 進数値で指定します (合計 2048 ビット)。

INIT_xx または INITP_xx 属性を指定しない場合は、そのアドレスの値は 0 に設定されます。属性を一部だけ指定すると、上位ビットが 0 になります。

デュアル ポート RAMB16 の出力レジスタの初期化

Spartan®-3A 以降のデバイスでは、電源投入時 (GSR が High のとき) に出力レジスタの各ビットを 0 または 1 に初期化できます。また、セット/リセットをアサートした後の値を、電源投入時の初期値とは異なる値に設定できます。デュアル ポート RAMB16 の出力レジスタを初期化する属性には、INIT_A、INIT_B、SRVAL_A、SRVAL_B の 4 種類があります。INIT_A 属性は電源投入時のポート A の出力レジスタの初期値を指定し、INIT_B 属性は電源投入時のポート B の出力レジスタの初期値を指定します。SRVAL_A 属性はポート A で SSRA (セット/リセット) 入力をアサートしたときの初期値を指定し、SRVAL_B 属性はポート B で SSRB (セット/リセット) 入力をアサートしたときの初期値を指定します。

INIT_A、INIT_B、SRVAL_A、SRVAL_B 属性は、16 進数で指定します。この初期値はポート幅によって異なります。たとえば、ポート A の幅が 1、ポート B の幅が 4 の RAMB16_S1_S4 の場合、ポート A の出力レジスタは 1 ビットなので、INIT_A または SRVAL_A には 1 または 0 を指定します。ポート B の出力レジスタは 4 ビットなので、INIT_B または SRVAL_B には 0 ~ F の 16 進数値を指定します。

パリティビットを含むポートでは、出力レジスタのパリティ部分は、INIT_A、INIT_B、SRVAL_A、SRVAL_B の値の上位ビットで指定します。

INIT および SRVAL 属性を指定しない場合は、デフォルトで 0 に初期化されます。

書き込みモードの選択

WRITE_MODE_A 属性は、デュアル ポート RAMB16 のポート A のメモリおよび出力の内容を制御し、WRITE_MODE_B 属性は、ポート B のメモリおよび出力の内容を制御します。デフォルトでは、WRITE_MODE_A と WRITE_MODE_B は両方とも WRITE_FIRST に設定されています。この場合、入力値がメモリに書き込まれた後にその値が出力されます。READ_FIRST に設定すると、メモリの内容が出力された後、入力値がメモリに書き込まれます。NO_CHANGE に設定すると、入力値はメモリに書き込まれますが、出力の値は変化しません。ポート A とポート B で同じメモリセルに読み出し/書き込みを行おうとした場合の競合の解決方法については、「ポート A とポート B が競合する場合の対処方法」を参照してください。

ポート A とポート B が競合する場合の対処方法

Spartan-3A ブロック SelectRAM™ は、完全なデュアル ポート RAM で、2 つのポートが同時に同じメモリセルにアクセスできます。ただし、一方のポートがあるメモリセルに書き込みを行っている場合は、もう一方のポートで clock-to-clock セットアップ タイム内に、そのメモリセルに対して書き込みまたは読み出しを実行しないようにする必要があります。

次の表に、デュアルポート RAMB16 で競合が発生した場合の動作を、WRITE_MODE_A と WRITE_MODE_B の設定別に示します。

WRITE_MODE_A=NO_CHANGE、WRITE_MODE_B=NO_CHANGE の場合

WEA	WEB	CLKA	CLKB	DIA	DIB	DIPA	DIPB	DOA	DOB	DOPA	DOPB	データ RAM	パリティ RAM
0	0	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	変化なし	変化なし
1	0	↑	↑	DIA	DIB	DIPA	DIPB	変化 なし	X	変化 なし	X	DIA	DIPA
0	1	↑	↑	DIA	DIB	DIPA	DIPB	X	変化 なし	X	変化 なし	DIB	DIPB
1	1	↑	↑	DIA	DIB	DIPA	DIPB	変化 なし	変化 なし	変化 なし	変化 なし	X	X

WRITE_MODE_A=READ_FIRST、WRITE_MODE_B=READ_FIRST の場合

WEA	WEB	CLKA	CLKB	DIA	DIB	DIPA	DIPB	DOA	DOB	DOPA	DOPB	データ RAM	パリティ RAM
0	0	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	変化なし	変化なし
1	0	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	DIA	DIPA
0	1	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	DIB	DIPB
1	1	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	X	X

WRITE_MODE_A=WRITE_FIRST、WRITE_MODE_B=WRITE_FIRST の場合

WEA	WEB	CLKA	CLKB	DIA	DIB	DIPA	DIPB	DOA	DOB	DOPA	DOPB	データ RAM	パリティ RAM
0	0	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	変化なし	変化なし
1	0	↑	↑	DIA	DIB	DIPA	DIPB	DIA	X	DIPA	X	DIA	DIPA
0	1	↑	↑	DIA	DIB	DIPA	DIPB	X	DIB	X	DIPB	DIB	DIPB
1	1	↑	↑	DIA	DIB	DIPA	DIPB	X	X	X	X	X	X

WRITE_MODE_A=NO_CHANGE、WRITE_MODE_B=READ_FIRST の場合

WEA	WEB	CLKA	CLKB	DIA	DIB	DIPA	DIPB	DOA	DOB	DOPA	DOPB	データ RAM	パリティ RAM
0	0	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	変化なし	変化なし
1	0	↑	↑	DIA	DIB	DIPA	DIPB	変化 なし	X	変化 なし	X	DIA	DIPA
0	1	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	DIB	DIPB
1	1	↑	↑	DIA	DIB	DIPA	DIPB	変化 なし	X	変化 なし	X	DIB	DIPB

WRITE_MODE_A=NO_CHANGE、WRITE_MODE_B=WRITE_FIRST の場合

WEA	WEB	CLKA	CLKB	DIA	DIB	DIPA	DIPB	DOA	DOB	DOPA	DOPB	データ RAM	パリティ RAM
0	0	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	変化なし	変化なし
1	0	↑	↑	DIA	DIB	DIPA	DIPB	変化 なし	X	変化 なし	X	DIA	DIPA
0	1	↑	↑	DIA	DIB	DIPA	DIPB	X	DIB	X	DIPB	DIB	DIPB
1	1	↑	↑	DIA	DIB	DIPA	DIPB	変化 なし	X	変化 なし	X	X	X

WRITE_MODE_A=READ_FIRST および WRITE_MODE_B=WRITE_FIRST

WEA	WEB	CLKA	CLKB	DIA	DIB	DIPA	DIPB	DOA	DOB	DOPA	DOPB	データ RAM	パリティ RAM
0	0	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	変化なし	変化なし
1	0	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	DIA	DIPA
0	1	↑	↑	DIA	DIB	DIPA	DIPB	X	DIB	X	DIPB	DIB	DIPB
1	1	↑	↑	DIA	DIB	DIPA	DIPB	X	DIB	X	DIPB	DIA	DIPA

デザインの入力方法

このエレメントは、回路図で使用できます。

使用可能な属性

属性	データ型	値	デフォルト	説明
INIT_00 ~ INIT_3F	2 進数/ 16 進数	任意の値	すべて 0	RAM 配列のデータ部分の初期値を指定します。
INIT_A	2 進数/ 16 進数	任意の値	すべて 0	コンフィギュレーション後の DOA 出力ポートの初期値を指定します。ビット幅は、RAM の A ポートの幅によって決まります。
INIT_B	2 進数/ 16 進数	任意の値	すべて 0	コンフィギュレーション後の DOB 出力ポートの初期値を指定します。ビット幅は、RAM の B ポートの幅によって決まります。
INITP_00 ~ INITP_07	2 進数/ 16 進数	任意の値	すべて 0	RAM 配列のパリティ部分の初期値を指定します。

属性	データ型	値	デフォルト	説明
SIM_COLLISION_CHECK	文字列	"ALL"、 "WARNING_ONLY"、 "GENERATE_X_ONLY"、 "NONE"	"ALL"	<p>メモリの競合が発生した場合にシミュレーションの動作を変更できます。詳細は次のとおりです。</p> <ul style="list-style-type: none"> ・ "ALL" : 警告メッセージが出力され、関連する出力およびメモリの値が不定 (X) になります。 ・ "WARNING_ONLY" : 警告メッセージのみが出力され、関連する出力およびメモリの値はそのまま保持されます。 ・ "GENERATE_X_ONLY" : 警告メッセージは出力されず、関連する出力およびメモリの値が不定 (X) になります。 ・ "NONE" : 警告メッセージは出力されず、関連する出力およびメモリの値はそのまま保持されます。 <p>注記 : "ALL" 以外の値に設定すると、シミュレーション中にデザインの問題を認識できなくなるため、この値を変更する場合は注意が必要です。詳細は、『合成/シミュレーション デザイン ガイド』を参照してください。</p>
SRVAL_A	2 進数/ 16 進数	任意の値	すべて 0	RSTA ピンをアサートしたときに、DOA 出力ポートをセット (1) するかリセット (0) するかをビットごとに設定します。ビット幅は、RAM の A ポートの幅によって決まります。デフォルトではすべてのビットがリセットされます。
SRVAL_B	2 進数/ 16 進数	任意の値	すべて 0	RSTB ピンをアサートしたときに、DOB 出力ポートをセット (1) するかリセット (0) するかをビットごとに設定します。ビット幅は、RAM の B ポートの幅によって決まります。デフォルトではすべてのビットがリセットされます。
WRITE_MODE_A	文字列	"WRITE_FIRST"、 "READ_FIRST"、 "NO_CHANGE"	"WRITE_FIRST"	<p>書き込みコマンドが DOA ポートで実行されるときのポートの動作を指定します。</p> <ul style="list-style-type: none"> ・ "WRITE_FIRST" : 値がポートに書き込まれてから出力されます。 ・ "READ_FIRST" : 新たに値が書き込まれる前に、RAM の以前の値が出力ポートに出力されます。 ・ "NO_CHANGE" : 出力ポートの以前の値が保持され、出力ポートの値は変化しません。RAM のポートから値を読み出さない場合は、このモードに設定することをお勧めします。
WRITE_MODE_B	文字列	"WRITE_FIRST"、 "READ_FIRST"、 "NO_CHANGE"	"WRITE_FIRST"	<p>書き込みコマンドが DOB ポートで実行されるときのポートの動作を指定します。</p> <ul style="list-style-type: none"> ・ "WRITE_FIRST" : 値がポートに書き込まれてから出力されます。

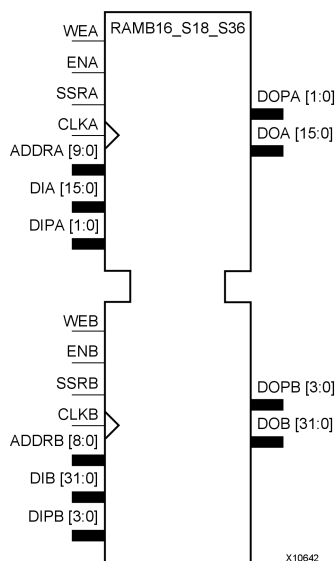
属性	データ型	値	デフォルト	説明
				<ul style="list-style-type: none">“READ_FIRST”：新たに値が書き込まれる前に、RAM の以前の値が出力ポートに出力されます。“NO_CHANGE”：出力ポートの以前の値が保持され、出力ポートの値は変化しません。RAM のポートから値を読み出さない場合は、このモードに設定することをお勧めします。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリー データシート』\(DS312\)](#)

RAMB16_S18_S36

プリミティブ : 16K-bit Data and 2K-bit Parity Dual-Port Synchronous Block RAM with 18-bit and 36-bit Ports



概要

このデザイン エレメントは、同期書き込み機能を備えた、デュアル ポートの専用 RAM ブロックです。各ブロック RAM のポートには 16384 ビットのデータ メモリがあります。ポート幅が 9、18、36 ビットにコンフィギュレーションされたポートには、さらに 2048 ビットのパリティ メモリがあります。各ポートは、同じ 16384 個のデータ メモリ セルに独立してアクセスします。各ポートのデータ幅は、それぞれ個別に設定できます。このエレメントのポートおよびセルの構成は「ポートの説明」の表に示されています。

論理表

論理表 A

入力								出力			
GSR	ENA	SSRA	WEA	CLKA	ADDRA	DIA	DIPA	DOA	DOPA	RAM の内容	
										データ RAM	パリティ RAM
1	X	X	X	X	X	X	X	INIT_A	INIT_A	変化なし	変化なし
0	0	X	X	X	X	X	X	変化なし	変化なし	変化なし	変化なし
0	1	1	0	↑	X	X	X	SRVAL_A	SRVAL_A	変化なし	変化なし
0	1	1	1	↑	addr	data	pdata	SRVAL_A	SRVAL_A	RAM(addr) =>data	RAM(addr) =>pdata
0	1	0	0	↑	addr	X	X	RAM(addr)	RAM(addr)	変化なし	変化なし
0	1	0	1	↑	addr	data	pdata	変化なし ¹ 、 RAM(addr) ² 、 data ³	変化なし ¹ 、 RAM(addr) ² 、 pdata ³	RAM(addr) =>data	RAM(addr) =>pdata

GSR = グローバル セットリセット信号
 INIT_A = 出力レジスタ用に INIT_A 属性で設定された値。デフォルトはすべて 0 です。
 SRVAL_A = レジスタの値
 addr = RAM アドレス
 RAM(addr) = アドレス ADDR の RAM の内容
 data = RAM の入力データ
 pdata = RAM のパリティ データ
¹WRITE_MODE_A=NO_CHANGE
²WRITE_MODE_A=READ_FIRST
³WRITE_MODE_A=WRITE_FIRST

論理表 B

入力								出力			
GSR	ENB	SSRB	WEB	CLKB	ADDRB	DIB	DIPB	DOB	DOPB	RAM の内容	
										データ RAM	パリティ RAM
1	X	X	X	X	X	X	X	INIT_B	INIT_B	変化なし	変化なし
0	0	X	X	X	X	X	X	変化なし	変化なし	変化なし	変化なし
0	1	1	0	↑	X	X	X	SRVAL_B	SRVAL_B	変化なし	変化なし
0	1	1	1	↑	addr	data	pdata	SRVAL_B	SRVAL_B	RAM(addr) =>data	RAM(addr) =>pdata
0	1	0	0	↑	addr	X	X	RAM(addr)	RAM(addr)	変化なし	変化なし
0	1	0	1	↑	addr	data	pdata	変化なし ¹ 、 RAM(addr) ² 、 data ³	変化なし ¹ 、 RAM(addr) ² 、 pdata ³	RAM(addr) =>data	RAM(addr) =>pdata

GSR = グローバル セット リセット信号

INIT_B = 出力レジスタ用に INIT_B 属性で設定された値。デフォルトはすべて 0 です。

SRVAL_B = レジスタの値

addr = RAM アドレス

RAM(addr) = アドレス ADDR の RAM の内容

data = RAM の入力データ

pdata = RAM のパリティ データ

¹WRITE_MODE_B=NO_CHANGE

²WRITE_MODE_B=READ_FIRST

³WRITE_MODE_B=WRITE_FIRST

ポートの説明

ポート A						ポート B				
デザイン エレメント	データ セル ¹	パリティ セル ¹	アドレ ス バス	データ バス	パリティ バス	データ セル ¹	パリティ セル ¹	アドレ ス バス	データ バス	パリティ バス
RAMB16_S18_S36	1024 x 16	1024 x 2	(9:0)	(15:0)	(1:0)	512 x 32	512 x 4	(8:0)	(31:0)	(3:0)

¹ ワード数 X 幅

各ポートは、それぞれのクロックに完全に同期します。ポート A の各データ入力ピン (DIA) のセットアップ タイム、およびデータ出力バス (DOA) の clock-to-out タイムは、CLKA を基準とします。ポート B の各データ入力ピン (DIB) のセットアップ タイム、およびデータ出力バス (DOB) の clock-to-out タイムは、CLKB を基準とします。イネーブル ピン ENA は、ポート A の読み出し、書き込み、リセットを制御します。ENA が Low の場合、データは書き込まれず、出力 (DOA および DOPA) は変化しません。ENA とリセット (SSRA) が High の場合、クロック (CLKA) が Low から High に切り替わるときに DOA および DOPA が SRVAL_A にセットされます。ライト イネーブル (WEA) も High の場合は、DIA および DIPA の値が RAM に書き込まれます。ENA が High で SSRA と WEA が Low の場合、クロックが Low から High に切り替わるときに、RAM アドレス (ADDR_A) に格納されているデータが読み出されます。SSRA が Low で ENA と WEA が High の場合、クロックが Low から High に切り替わるときに、書き込みアドレス (ADDR_A) で選択されているワードにデータ入力 (DIA および DIPA) の値が読み込まれます。データ出力 (DOA および DOPA) に出力される値は、書き込みモードによって異なります。書き込みモードは、デフォルトでは WRITE_MODE=WRITE_FIRST に設定されています。

イネーブル ピン ENB は、ポート B の読み出し、書き込み、リセットを制御します。ENB が Low の場合、データは書き込まれず、出力 (DOB および DOPB) は変化しません。ENB とリセット (SSRB) が High の場合、クロック (CLKB) が Low から High に切り替わるときに、DOB および DOPB が SRVAL_B にセットされます。ライト イネーブル (WEB) も High の場合は、DIB および DIPB の値が RAM に書き込まれます。ENB が High で SSRB と WEB が Low の場合、クロックが Low から High に切り替わるときに RAM アドレス (ADDRB) に格納されているデータが出力されます。SSRB が Low で ENB と WEB が High の場合、クロックが Low から High に切り替わるときに、書き込みアドレス (ADDRB) で選択されているワードにデータ入力 (DIB および DIPB) の値が読み込まれます。データ出力 (DOB および DOPB) に出力される値は、書き込みモードによって異なります。書き込みモードは、デフォルトでは WRITE_MODE=WRITE_FIRST に設定されています。上記の説明では、制御ピン (ENA、WEA、SSRA、CLKA、ENB、WEB、SSRB、CLKB) がアクティブ High であると想定していますが、ポートにインバーターを配置してアクティブ Low にすることもできます。RAMB16 のポートに配置したインバーターはブロック内に組み込まれるので、CLB リソースは使用されません。

アドレス マッピング

各ポートは、ポートの幅によって異なるアドレス指定方法を使用して、同じ 18432 個のメモリ セルにアクセスします。「データ用のポート アドレス マップ」に示すように、すべてのポート幅で 16384 個のメモリ セルをデータの格納に使用できます。9、18、および 36 ビット幅のポートには、「パリティ用のポート アドレス マップ」に示すように、2408 個のパリティメモリセルもあります。特定のポート幅での物理的な RAM の位置は、次の式によって決定されます。

$$\text{Start} = ((\text{ADDR port} + 1) * (\text{Widthport})) - 1$$

$$\text{End} = (\text{ADDRport}) * (\text{Widthport})$$

次の表に、各ポート幅のアドレス マップを示します。

データ用のポート アドレス マップ

データ用のポート アドレス マップ

データ 幅	ポートのデータ アドレス																																		
1	16384	<--	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
2	8192	<--	15		14		13		12		11		10		9		8		7		6		5		4		3		2		1		0		
4	4096	<--	7				6				5				4				3				2				1				0				
8	2048	<--	3								2								1								0								
16	1024	<--	1																0																
32	512	<--	0																																

パリティ用のポート アドレス マップ

パリティ幅	ポートのパリティ アドレス														
1	2048	<-----	3				2				1				0
2	1024	<-----	1								0				
4	512	<-----	0												

デュアル ポート RAMB16 のメモリ内容の初期化

INIT_xx 属性を使用すると、デバイスのコンフィギュレーション中に RAMB16 のメモリの内容を初期化できます。各 RAMB16_Sm_Sn の初期値は、64 個の初期化属性 (INIT_00 ~ INIT_3F) を使用して 64 桁の 16 進数値で指定します (合計 16384 ビット)。

INITP_xx 属性を使用すると、デバイスのコンフィギュレーションまたはアサート中にパリティ メモリを初期化できます。9、18、36 ビット幅にコンフィギュレーションされたポートのパリティ メモリの初期値は、8 個の初期化属性 (INITP_00 ~ INITP_07) を使用して 64 桁の 16 進数値で指定します (合計 2048 ビット)。

INIT_xx または INITP_xx 属性を指定しない場合は、そのアドレスの値は 0 に設定されます。属性を一部だけ指定すると、上位ビットが 0 になります。

デュアル ポート RAMB16 の出力レジスタの初期化

Spartan®-3A 以降のデバイスでは、電源投入時 (GSR が High のとき) に出力レジスタの各ビットを 0 または 1 に初期化できます。また、セット/リセットをアサートした後の値を、電源投入時の初期値とは異なる値に設定できます。デュアル ポート RAMB16 の出力レジスタを初期化する属性には、INIT_A、INIT_B、SRVAL_A、SRVAL_B の 4 種類があります。INIT_A 属性は電源投入時のポート A の出力レジスタの初期値を指定し、INIT_B 属性は電源投入時のポート B の出力レジスタの初期値を指定します。SRVAL_A 属性はポート A で SSRA (セット/リセット) 入力をアサートしたときの初期値を指定し、SRVAL_B 属性はポート B で SSRB (セット/リセット) 入力をアサートしたときの初期値を指定します。

INIT_A、INIT_B、SRVAL_A、SRVAL_B 属性は、16 進数で指定します。この初期値はポート幅によって異なります。たとえば、ポート A の幅が 1、ポート B の幅が 4 の RAMB16_S1_S4 の場合、ポート A の出力レジスタは 1 ビットなので、INIT_A または SRVAL_A には 1 または 0 を指定します。ポート B の出力レジスタは 4 ビットなので、INIT_B または SRVAL_B には 0 ~ F の 16 進数値を指定します。

パリティビットを含むポートでは、出力レジスタのパリティ部分は、INIT_A、INIT_B、SRVAL_A、SRVAL_B の値の上位ビットで指定します。

INIT および SRVAL 属性を指定しない場合は、デフォルトで 0 に初期化されます。

書き込みモードの選択

WRITE_MODE_A 属性は、デュアル ポート RAMB16 のポート A のメモリおよび出力の内容を制御し、WRITE_MODE_B 属性は、ポート B のメモリおよび出力の内容を制御します。デフォルトでは、WRITE_MODE_A と WRITE_MODE_B は両方とも WRITE_FIRST に設定されています。この場合、入力値がメモリに書き込まれた後にその値が出力されます。READ_FIRST に設定すると、メモリの内容が出力された後、入力値がメモリに書き込まれます。NO_CHANGE に設定すると、入力値はメモリに書き込まれますが、出力の値は変化しません。ポート A とポート B で同じメモリセルに読み出し/書き込みを行おうとした場合の競合の解決方法については、「ポート A とポート B が競合する場合の対処方法」を参照してください。

ポート A とポート B が競合する場合の対処方法

Spartan-3A ブロック SelectRAM™ は、完全なデュアル ポート RAM で、2 つのポートが同時に同じメモリセルにアクセスできます。ただし、一方のポートがあるメモリセルに書き込みを行っている場合は、もう一方のポートで clock-to-clock セットアップ タイム内に、そのメモリセルに対して書き込みまたは読み出しを実行しないようにする必要があります。

次の表に、デュアルポート RAMB16 で競合が発生した場合の動作を、WRITE_MODE_A と WRITE_MODE_B の設定別に示します。

WRITE_MODE_A=NO_CHANGE、WRITE_MODE_B=NO_CHANGE の場合

WEA	WEB	CLKA	CLKB	DIA	DIB	DIPA	DIPB	DOA	DOB	DOPA	DOPB	データ RAM	パリティ RAM
0	0	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	変化なし	変化なし
1	0	↑	↑	DIA	DIB	DIPA	DIPB	変化 なし	X	変化 なし	X	DIA	DIPA
0	1	↑	↑	DIA	DIB	DIPA	DIPB	X	変化 なし	X	変化 なし	DIB	DIPB
1	1	↑	↑	DIA	DIB	DIPA	DIPB	変化 なし	変化 なし	変化 なし	変化 なし	X	X

WRITE_MODE_A=READ_FIRST、WRITE_MODE_B=READ_FIRST の場合

WEA	WEB	CLKA	CLKB	DIA	DIB	DIPA	DIPB	DOA	DOB	DOPA	DOPB	データ RAM	パリティ RAM
0	0	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	変化なし	変化なし
1	0	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	DIA	DIPA
0	1	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	DIB	DIPB
1	1	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	X	X

WRITE_MODE_A=WRITE_FIRST、WRITE_MODE_B=WRITE_FIRST の場合

WEA	WEB	CLKA	CLKB	DIA	DIB	DIPA	DIPB	DOA	DOB	DOPA	DOPB	データ RAM	パリティ RAM
0	0	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	変化なし	変化なし
1	0	↑	↑	DIA	DIB	DIPA	DIPB	DIA	X	DIPA	X	DIA	DIPA
0	1	↑	↑	DIA	DIB	DIPA	DIPB	X	DIB	X	DIPB	DIB	DIPB
1	1	↑	↑	DIA	DIB	DIPA	DIPB	X	X	X	X	X	X

WRITE_MODE_A=NO_CHANGE、WRITE_MODE_B=READ_FIRST の場合

WEA	WEB	CLKA	CLKB	DIA	DIB	DIPA	DIPB	DOA	DOB	DOPA	DOPB	データ RAM	パリティ RAM
0	0	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	変化なし	変化なし
1	0	↑	↑	DIA	DIB	DIPA	DIPB	変化 なし	X	変化 なし	X	DIA	DIPA
0	1	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	DIB	DIPB
1	1	↑	↑	DIA	DIB	DIPA	DIPB	変化 なし	X	変化 なし	X	DIB	DIPB

WRITE_MODE_A=NO_CHANGE、WRITE_MODE_B=WRITE_FIRST の場合

WEA	WEB	CLKA	CLKB	DIA	DIB	DIPA	DIPB	DOA	DOB	DOPA	DOPB	データ RAM	パリティ RAM
0	0	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	変化なし	変化なし
1	0	↑	↑	DIA	DIB	DIPA	DIPB	変化 なし	X	変化 なし	X	DIA	DIPA
0	1	↑	↑	DIA	DIB	DIPA	DIPB	X	DIB	X	DIPB	DIB	DIPB
1	1	↑	↑	DIA	DIB	DIPA	DIPB	変化 なし	X	変化 なし	X	X	X

WRITE_MODE_A=READ_FIRST および WRITE_MODE_B=WRITE_FIRST

WEA	WEB	CLKA	CLKB	DIA	DIB	DIPA	DIPB	DOA	DOB	DOPA	DOPB	データ RAM	パリティ RAM
0	0	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	変化なし	変化なし
1	0	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	DIA	DIPA
0	1	↑	↑	DIA	DIB	DIPA	DIPB	X	DIB	X	DIPB	DIB	DIPB
1	1	↑	↑	DIA	DIB	DIPA	DIPB	X	DIB	X	DIPB	DIA	DIPA

デザインの入力方法

このエレメントは、回路図で使用できます。

使用可能な属性

属性	データ型	値	デフォルト	説明
INIT_00 ~ INIT_3F	2 進数/ 16 進数	任意の値	すべて 0	RAM 配列のデータ部分の初期値を指定します。
INIT_A	2 進数/ 16 進数	任意の値	すべて 0	コンフィギュレーション後の DOA 出力ポートの初期値を指定します。ビット幅は、RAM の A ポートの幅によって決まります。
INIT_B	2 進数/ 16 進数	任意の値	すべて 0	コンフィギュレーション後の DOB 出力ポートの初期値を指定します。ビット幅は、RAM の B ポートの幅によって決まります。
INITP_00 ~ INITP_07	2 進数/ 16 進数	任意の値	すべて 0	RAM 配列のパリティ部分の初期値を指定します。

属性	データ型	値	デフォルト	説明
SIM_COLLISION_CHECK	文字列	"ALL"、 "WARNING_ONLY"、 "GENERATE_X_ONLY"、 "NONE"	"ALL"	<p>メモリの競合が発生した場合にシミュレーションの動作を変更できます。詳細は次のとおりです。</p> <ul style="list-style-type: none"> ・ "ALL"：警告メッセージが出力され、関連する出力およびメモリの値が不定 (X) になります。 ・ "WARNING_ONLY"：警告メッセージのみが出力され、関連する出力およびメモリの値はそのまま保持されます。 ・ "GENERATE_X_ONLY"：警告メッセージは出力されず、関連する出力およびメモリの値が不定 (X) になります。 ・ "NONE"：警告メッセージは出力されず、関連する出力およびメモリの値はそのまま保持されます。 <p>注記： "ALL" 以外の値に設定すると、シミュレーション中にデザインの問題を認識できなくなるため、この値を変更する場合は注意が必要です。詳細は、『合成/シミュレーション デザイン ガイド』を参照してください。</p>
SRVAL_A	2 進数/ 16 進数	任意の値	すべて 0	RSTA ピンをアサートしたときに、DOA 出力ポートをセット (1) するかリセット (0) するかをビットごとに設定します。ビット幅は、RAM の A ポートの幅によって決まります。デフォルトではすべてのビットがリセットされます。
SRVAL_B	2 進数/ 16 進数	任意の値	すべて 0	RSTB ピンをアサートしたときに、DOB 出力ポートをセット (1) するかリセット (0) するかをビットごとに設定します。ビット幅は、RAM の B ポートの幅によって決まります。デフォルトではすべてのビットがリセットされます。
WRITE_MODE_A	文字列	"WRITE_FIRST"、 "READ_FIRST"、 "NO_CHANGE"	"WRITE_FIRST"	<p>書き込みコマンドが DOA ポートで実行されるときのポートの動作を指定します。</p> <ul style="list-style-type: none"> ・ "WRITE_FIRST"：値がポートに書き込まれてから出力されます。 ・ "READ_FIRST"：新たに値が書き込まれる前に、RAM の以前の値が出力ポートに出力されます。 ・ "NO_CHANGE"：出力ポートの以前の値が保持され、出力ポートの値は変化しません。RAM のポートから値を読み出さない場合は、このモードに設定することをお勧めします。
WRITE_MODE_B	文字列	"WRITE_FIRST"、 "READ_FIRST"、 "NO_CHANGE"	"WRITE_FIRST"	<p>書き込みコマンドが DOB ポートで実行されるときのポートの動作を指定します。</p> <ul style="list-style-type: none"> ・ "WRITE_FIRST"：値がポートに書き込まれてから出力されます。

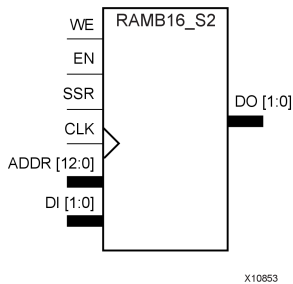
属性	データ型	値	デフォルト	説明
				<ul style="list-style-type: none">・ "READ_FIRST"：新たに値が書き込まれる前に、RAM の以前の値が出力ポートに出力されます。・ "NO_CHANGE"：出力ポートの以前の値が保持され、出力ポートの値は変化しません。RAM のポートから値を読み出さない場合は、このモードに設定することをお勧めします。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリー データシート』\(DS312\)](#)

RAMB16_S2

プリミティブ：16K-bit Data and 2K-bit Parity Single-Port Synchronous Block RAM with 2-bit Port



概要

このデザイン エLEMENTは、同期書き込み機能を備えた専用 RAM ブロックです。ブロック RAM のポートには 16384 ビットのデータ メモリがあります。セルの構成を、次の表に示します。

データ セル		パリティ セル				
ワード数	幅	ワード数	幅	アドレス バス	データ バス	パリティ バス
8192	2	–	–	(12:0)	(1:0)	–

イネーブル ピン EN は、読み出し、書き込み、リセットを制御します。EN が Low の場合、データは書き込まれず、出力 (DO および DOP) の値は変化しません。EN とリセット (SSR) が High の場合、クロック (CLK) が Low から High に切り替わるときに、DO および DOP が SRVAL にセットされます。ライト イネーブル (WE) も High の場合は、DI および DIP の値が RAM に書き込まれます。SSR と WE が Low で EN が High の場合、クロックが Low から High に切り替わるときに、RAM アドレス (ADDR) に格納されているデータが DO および DOP に出力されます。デフォルトでは WRITE_MODE=WRITE_FIRST に設定されており、SSR が Low で EN および WE が High の場合、クロックが Low から High に切り替わるときに、データ入力 (DI および DIP) のデータが書き込みアドレス (ADDR) で選択されているワードに書き込まれ、データ出力 (DO および DOP) にその値が出力されます。

上記の説明では、制御ピン (EN、WE、SSR、CLK) がアクティブ High であると想定していますが、ポートにインバーターを配置してアクティブ Low にすることもできます。RAMB16 のポートに配置したインバーターはブロック内に組み込まれるので、CLB リソースは使用されません。

論理表

入力								出力			
GSR	EN	SSR	WE	CLK	ADDR	DI	DIP	DO	DOP	RAM の内容	
										データ RAM	パリティ RAM
1	X	X	X	X	X	X	X	INIT	INIT	変化なし	変化なし
0	0	X	X	X	X	X	X	変化なし	変化なし	変化なし	変化なし
0	1	1	0	↑	X	X	X	SRVAL	SRVAL	変化なし	変化なし
0	1	1	1	↑	addr	data	pdata	SRVAL	SRVAL	RAM(addr) =>data	RAM(addr) =>pdata
0	1	0	0	↑	addr	X	X	RAM(addr)	RAM(addr)	変化なし	変化なし
0	1	0	1	↑	addr	data	pdata	変化なし ¹ 、 RAM(addr) ² 、 data ³	変化なし ¹ 、 RAM(addr) ² 、 pdata ³	RAM(addr) =>data	RAM(addr) =>pdata

GSR=グローバル セットリセット信号

INIT = データ メモリ用に INIT 属性で設定された値。デフォルトはすべて 0 です。

SRVAL = SRVAL 属性で設定された SSR のアサート後の値

addr = RAM アドレス

RAM(addr) = アドレス ADDR の RAM の内容

data = RAM の入力データ

pdata = RAM のパリティ データ

¹ WRITE_MODE=NO_CHANGE

² WRITE_MODE=READ_FIRST

³ WRITE_MODE=WRITE_FIRST

初期化

メモリ内容の初期化

INIT_{xx} 属性を使用すると、デバイスのコンフィギュレーション中に RAMB16 のメモリの内容を初期化できます。各 RAMB16 の初期値は、64 個の初期化属性 (INIT₀₀ ~ INIT_{3F}) を使用して 64 桁の 16 進数値で指定します (合計 16384 ビット)。

INITP_{xx} 属性を使用すると、デバイスのコンフィギュレーションまたはアサート中にパリティメモリを初期化できます。9、18、36 ビット幅にコンフィギュレーションされたポートのパリティメモリの初期値は、8 個の初期化属性 (INITP₀₀ ~ INITP₀₇) を使用して 64 桁の 16 進数値で指定します (合計 2048 ビット)。

INIT_{xx} または INITP_{xx} 属性を指定しない場合は、そのアドレスの値は 0 に設定されます。属性を一部だけ指定すると、上位ビットが 0 になります。

出力レジスタの初期化

Spartan®-3A 以降のデバイスでは、電源投入時に出力レジスタの各ビットを 0 または 1 に初期化できます。また、セット/リセットをアサートした後の値を、電源投入時の初期値とは異なる値に設定できます。シングルポート RAMB16 の出力レジスタの初期化に使用する属性には、INIT と SRVAL の 2 種類があります。INIT 属性は、電源投入時の出力レジスタの値を指定します。SRVAL 属性は、SSR (セット/リセット) 入力のアサートしたときの値を指定します。

INIT および SRVAL 属性は、初期化値を、出力ポートの各ビットに 1 ビットが対応した 16 進数文字列として指定します。たとえば、ポート幅が 1 の RAMB16_S1 の場合、出力レジスタは 1 ビットなので、INIT および SRVAL には 1 または 0 を指定します。ポート幅が 4 の RAMB16_S4 の場合は、出力レジスタは 4 ビットなので、0 ~ F の 16 進数値を指定します。

パリティビットを含むポートでは、出力レジスタのパリティ部分は、INIT または SRVAL の値の上位ビットで指定します。

書き込みモードの選択

WRITE_MODE 属性は、RAMB16 メモリおよび出力の内容を制御します。デフォルトでは、WRITE_MODE は WRITE_FIRST に設定されています。この場合、入力値がメモリに書き込まれた後にその値が出力されます。WRITE_MODE を READ_FIRST に設定すると、メモリの内容が出力された後、入力値がメモリに書き込まれます。WRITE_MODE を NO_CHANGE に設定すると、入力値はメモリに書き込まれますが、出力の値は変化しません。

デザインの入力方法

このエレメントは、回路図で使用できます。

使用可能な属性

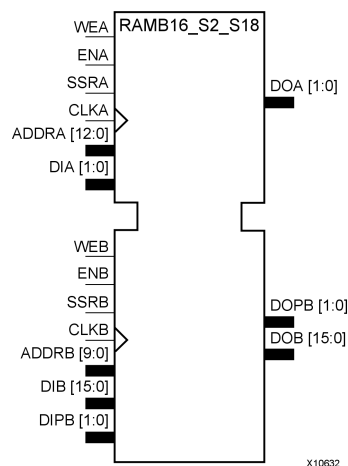
属性	データ型	値	デフォルト	説明
INIT	2 進数/ 16 進数	任意の値	すべて 0	コンフィギュレーション後の DO 出力ポートの初期値を指定します。ビット幅は、RAM の A ポートまたは B ポートの幅によって決まります。
INIT_00 ~ INIT_3F	2 進数/ 16 進数	任意の値	すべて 0	RAM 配列のデータ部分の初期値を指定します。
INITP_00 ~ INITP_07	2 進数/ 16 進数	任意の値	すべて 0	RAM 配列のパリティ部分の初期値を指定します。
SRVAL	2 進数/ 16 進数	任意の値	すべて 0	SSR ピンをアサートしたときに、DO 出力ポートをセット (1) するかリセット (0) するかをビットごとに指定します。ビット幅は、RAM の A ポートまたは B ポートの幅によって決まります。
WRITE_MODE	文字列	"WRITE_FIRST"、 "READ_FIRST"、 "NO_CHANGE"	"WRITE_FIRST"	書き込みコマンドが DO ポートで実行される ときのポートの動作を指定します。 <ul style="list-style-type: none"> ・ "WRITE_FIRST": 値がポートに書き込まれてから出力されます。 ・ "READ_FIRST": 新たに値が書き込まれる前に、RAM の以前の値が出力ポートに出力されます。 ・ "NO_CHANGE": 出力ポートの以前の値が保持され、出力ポートの値は変化しません。RAM のポートから値を読み出さない場合は、このモードに設定することをお勧めします。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリ データシート』\(DS312\)](#)

RAMB16_S2_S18

プリミティブ : 16K-bit Data and 2K-bit Parity Dual-Port Synchronous Block RAM with 2-bit and 18-bit Ports



概要

このデザイン エLEMENTは、同期書き込み機能を備えた、デュアル ポートの専用 RAM ブロックです。各ブロック RAM のポートには 16384 ビットのデータ メモリがあります。ポート幅が 9、18、36 ビットにコンフィギュレーションされたポートには、さらに 2048 ビットのパリティ メモリがあります。各ポートは、同じ 16384 個のデータ メモリ セルに独立してアクセスします。各ポートのデータ幅は、それぞれ個別に設定できます。このELEMENTのポートおよびセルの構成は「ポートの説明」の表に示されています。

論理表

論理表 A

入力								出力			
GSR	ENA	SSRA	WEA	CLKA	ADDRA	DIA	DIPA	DOA	DOPA	RAM の内容	
										データ RAM	パリティ RAM
1	X	X	X	X	X	X	X	INIT_A	INIT_A	変化なし	変化なし
0	0	X	X	X	X	X	X	変化なし	変化なし	変化なし	変化なし
0	1	1	0	↑	X	X	X	SRVAL_A	SRVAL_A	変化なし	変化なし
0	1	1	1	↑	addr	data	pdata	SRVAL_A	SRVAL_A	RAM(addr) =>data	RAM(addr) =>pdata
0	1	0	0	↑	addr	X	X	RAM(addr)	RAM(addr)	変化なし	変化なし
0	1	0	1	↑	addr	data	pdata	変化なし ¹ 、 RAM(addr) ² 、 data ³	変化なし ¹ 、 RAM(addr) ² 、 pdata ³	RAM(addr) =>data	RAM(addr) =>pdata

GSR = グローバル セットリセット信号

INIT_A = 出力レジスタ用に INIT_A 属性で設定された値。デフォルトはすべて 0 です。

SRVAL_A = レジスタの値

addr = RAM アドレス

RAM(addr) = アドレス ADDR の RAM の内容

data = RAM の入力データ

pdata = RAM のパリティ データ

¹WRITE_MODE_A=NO_CHANGE

²WRITE_MODE_A=READ_FIRST

³WRITE_MODE_A=WRITE_FIRST

論理表 B

入力								出力			
GSR	ENB	SSRB	WEB	CLKB	ADDRB	DIB	DIPB	DOB	DOPB	RAM の内容	
										データ RAM	パリティ RAM
1	X	X	X	X	X	X	X	INIT_B	INIT_B	変化なし	変化なし
0	0	X	X	X	X	X	X	変化なし	変化なし	変化なし	変化なし
0	1	1	0	↑	X	X	X	SRVAL_B	SRVAL_B	変化なし	変化なし
0	1	1	1	↑	addr	data	pdata	SRVAL_B	SRVAL_B	RAM(addr) =>data	RAM(addr) =>pdata
0	1	0	0	↑	addr	X	X	RAM(addr)	RAM(addr)	変化なし	変化なし
0	1	0	1	↑	addr	data	pdata	変化なし ¹ 、 RAM(addr) ² 、 data ³	変化なし ¹ 、 RAM(addr) ² 、 pdata ³	RAM(addr) =>data	RAM(addr) =>pdata

GSR = グローバル セット リセット信号

INIT_B = 出力レジスタ用に INIT_B 属性で設定された値。デフォルトはすべて 0 です。

SRVAL_B = レジスタの値

addr = RAM アドレス

RAM(addr) = アドレス ADDR の RAM の内容

data = RAM の入力データ

pdata = RAM のパリティ データ

¹WRITE_MODE_B=NO_CHANGE

²WRITE_MODE_B=READ_FIRST

³WRITE_MODE_B=WRITE_FIRST

ポートの説明

ポート A						ポート B				
デザイン エレメント	データ セル ¹	パリティ セル ¹	アドレス バス	データ バス	パリティ バス	データ セル ¹	パリティ セル ¹	アドレス バス	データ バス	パリティ バス
RAMB16_S2_S18	8192 x 2	—	(12:0)	(1:0)	—	1024 x 16	1024 x 2	(9:0)	(15:0)	(1:0)

¹ ワード数 X 幅

各ポートは、それぞれのクロックに完全に同期します。ポート A の各データ入力ピン (DIA) のセットアップ タイム、およびデータ出力バス (DOA) の clock-to-out タイムは、CLKA を基準とします。ポート B の各データ入力ピン (DIB) のセットアップ タイム、およびデータ出力バス (DOB) の clock-to-out タイムは、CLKB を基準とします。イネーブル ピン ENA は、ポート A の読み出し、書き込み、リセットを制御します。ENA が Low の場合、データは書き込まれず、出力 (DOA および DOPA) は変化しません。ENA とリセット (SSRA) が High の場合、クロック (CLKA) が Low から High に切り替わるたびに DOA および DOPA が SRVAL_A にセットされます。ライト イネーブル (WEA) も High の場合は、DIA および DIPA の値が RAM に書き込まれます。ENA が High で SSRA と WEA が Low の場合、クロックが Low から High に切り替わるたびに、RAM アドレス (ADDR_A) に格納されているデータが読み出されます。SSRA が Low で ENA と WEA が High の場合、クロックが Low から High に切り替わるたびに、書き込みアドレス (ADDR_A) で選択されているワードにデータ入力 (DIA および DIPA) の値が読み込まれます。データ出力 (DOA および DOPA) に出力される値は、書き込みモードによって異なります。書き込みモードは、デフォルトでは WRITE_MODE=WRITE_FIRST に設定されています。

イネーブル ピン ENB は、ポート B の読み出し、書き込み、リセットを制御します。ENB が Low の場合、データは書き込まれず、出力 (DOB および DOPB) は変化しません。ENB とリセット (SSRB) が High の場合、クロック (CLKB) が Low から High に切り替わるたびに、DOB および DOPB が SRVAL_B にセットされます。ライト イネーブル (WEB) も High の場合は、DIB および DIPB の値が RAM に書き込まれます。ENB が High で SSRB と WEB が Low の場合、クロックが Low から High に切り替わるたびに RAM アドレス (ADDRB) に格納されているデータが出力されます。SSRB が Low で ENB と WEB が High の場合、クロックが Low から High に切り替わるたびに、書き込みアドレス (ADDRB) で選択されているワードにデータ入力 (DIB および DIPB) の値が読み込まれます。データ出力 (DOB および DOPB) に出力される値は、書き込みモードによって異なります。書き込みモードは、デフォルトでは WRITE_MODE=WRITE_FIRST に設定されています。上記の説明では、制御ピン (ENA、WEA、SSRA、CLKA、ENB、WEB、SSRB、CLKB) がアクティブ High であると想定していますが、ポートにインバーターを配置してアクティブ Low にすることもできます。RAMB16 のポートに配置したインバーターはブロック内に組み込まれるので、CLB リソースは使用されません。

アドレス マップ

各ポートは、ポートの幅によって異なるアドレス指定方法を使用して、同じ 18432 個のメモリ セルにアクセスします。「データ用のポート アドレス マップ」に示すように、すべてのポート幅で 16384 個のメモリ セルをデータの格納に使用できます。9、18、および 36 ビット幅のポートには、「パリティ用のポート アドレス マップ」に示すように、2408 個のパリティ メモリ セルもあります。特定のポート幅での物理的な RAM の位置は、次の式によって決定されます。

$$\text{Start} = ((\text{ADDR_port} + 1) * (\text{Widthport})) - 1$$

$$\text{End} = (\text{ADDRport}) * (\text{Widthport})$$

次の表に、各ポート幅のアドレス マップを示します。

データ用のポート アドレス マップ

データ 幅	ポートのデータ アドレス																																			
1	16384	<--	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
2	8192	<--	15		14		13		12		11		10		9		8		7		6		5		4		3		2		1		0			
4	4096	<--	7				6				5				4				3				2				1				0					
8	2048	<--	3								2								1								0									
16	1024	<--	1																0																	
32	512	<--	0																																	

パリティ用のポート アドレス マップ

パリティ幅	ポートのパリティ アドレス														
1	2048	<-----	3				2				1				0
2	1024	<-----	1								0				
4	512	<-----	0												

デュアル ポート RAMB16 のメモリ内容の初期化

INIT_xx 属性を使用すると、デバイスのコンフィギュレーション中に RAMB16 のメモリの内容を初期化できます。各 RAMB16_Sm_Sn の初期値は、64 個の初期化属性 (INIT_00 ~ INIT_3F) を使用して 64 桁の 16 進数値で指定します (合計 16384 ビット)。

INITP_xx 属性を使用すると、デバイスのコンフィギュレーションまたはアサート中にパリティ メモリを初期化できます。9、18、36 ビット幅にコンフィギュレーションされたポートのパリティ メモリの初期値は、8 個の初期化属性 (INITP_00 ~ INITP_07) を使用して 64 桁の 16 進数値で指定します (合計 2048 ビット)。

INIT_xx または INITP_xx 属性を指定しない場合は、そのアドレスの値は 0 に設定されます。属性を一部だけ指定すると、上位ビットが 0 になります。

デュアル ポート RAMB16 の出力レジスタの初期化

Spartan®-3A 以降のデバイスでは、電源投入時 (GSR が High のとき) に出力レジスタの各ビットを 0 または 1 に初期化できます。また、セット/リセットをアサートした後の値を、電源投入時の初期値とは異なる値に設定できます。デュアル ポート RAMB16 の出力レジスタを初期化する属性には、INIT_A、INIT_B、SRVAL_A、SRVAL_B の 4 種類があります。INIT_A 属性は電源投入時のポート A の出力レジスタの初期値を指定し、INIT_B 属性は電源投入時のポート B の出力レジスタの初期値を指定します。SRVAL_A 属性はポート A で SSRA (セット/リセット) 入力をアサートしたときの初期値を指定し、SRVAL_B 属性はポート B で SSRB (セット/リセット) 入力をアサートしたときの初期値を指定します。

INIT_A、INIT_B、SRVAL_A、SRVAL_B 属性は、16 進数で指定します。この初期値はポート幅によって異なります。たとえば、ポート A の幅が 1、ポート B の幅が 4 の RAMB16_S1_S4 の場合、ポート A の出力レジスタは 1 ビットなので、INIT_A または SRVAL_A には 1 または 0 を指定します。ポート B の出力レジスタは 4 ビットなので、INIT_B または SRVAL_B には 0 ~ F の 16 進数値を指定します。

パリティビットを含むポートでは、出力レジスタのパリティ部分は、INIT_A、INIT_B、SRVAL_A、SRVAL_B の値の上位ビットで指定します。

INIT および SRVAL 属性を指定しない場合は、デフォルトで 0 に初期化されます。

書き込みモードの選択

WRITE_MODE_A 属性は、デュアル ポート RAMB16 のポート A のメモリおよび出力の内容を制御し、WRITE_MODE_B 属性は、ポート B のメモリおよび出力の内容を制御します。デフォルトでは、WRITE_MODE_A と WRITE_MODE_B は両方とも WRITE_FIRST に設定されています。この場合、入力値がメモリに書き込まれた後にその値が出力されます。READ_FIRST に設定すると、メモリの内容が出力された後、入力値がメモリに書き込まれます。NO_CHANGE に設定すると、入力値はメモリに書き込まれますが、出力の値は変化しません。ポート A とポート B で同じメモリ セルに読み出し/書き込みを行おうとした場合の競合の解決方法については、「ポート A とポート B が競合する場合の対処方法」を参照してください。

ポート A とポート B が競合する場合の対処方法

Spartan-3A ブロックの SelectIO™ は、完全なデュアル ポート RAM で、2 つのポートが同時に同じメモリ セルにアクセスできます。ただし、一方のポートがあるメモリ セルに書き込みを行っている場合は、もう一方のポートで clock-to-clock セットアップ タイム内に、そのメモリ セルに対して書き込みまたは読み出しを実行しないようにする必要があります。

次の表に、デュアルポート RAMB16 で競合が発生した場合の動作を、WRITE_MODE_A と WRITE_MODE_B の設定別に示します。

WRITE_MODE_A=NO_CHANGE、WRITE_MODE_B=NO_CHANGE の場合

WEA	WEB	CLKA	CLKB	DIA	DIB	DIPA	DIPB	DOA	DOB	DOPA	DOPB	データ RAM	パリティ RAM
0	0	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	変化なし	変化なし
1	0	↑	↑	DIA	DIB	DIPA	DIPB	変化 なし	X	変化 なし	X	DIA	DIPA
0	1	↑	↑	DIA	DIB	DIPA	DIPB	X	変化 なし	X	変化 なし	DIB	DIPB
1	1	↑	↑	DIA	DIB	DIPA	DIPB	変化 なし	変化 なし	変化 なし	変化 なし	X	X

WRITE_MODE_A=READ_FIRST、WRITE_MODE_B=READ_FIRST の場合

WEA	WEB	CLKA	CLKB	DIA	DIB	DIPA	DIPB	DOA	DOB	DOPA	DOPB	データ RAM	パリティ RAM
0	0	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	変化なし	変化なし
1	0	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	DIA	DIPA
0	1	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	DIB	DIPB
1	1	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	X	X

WRITE_MODE_A=WRITE_FIRST、WRITE_MODE_B=WRITE_FIRST の場合

WEA	WEB	CLKA	CLKB	DIA	DIB	DIPA	DIPB	DOA	DOB	DOPA	DOPB	データ RAM	パリティ RAM
0	0	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	変化なし	変化なし
1	0	↑	↑	DIA	DIB	DIPA	DIPB	DIA	X	DIPA	X	DIA	DIPA
0	1	↑	↑	DIA	DIB	DIPA	DIPB	X	DIB	X	DIPB	DIB	DIPB
1	1	↑	↑	DIA	DIB	DIPA	DIPB	X	X	X	X	X	X

WRITE_MODE_A=NO_CHANGE、WRITE_MODE_B=READ_FIRST の場合

WEA	WEB	CLKA	CLKB	DIA	DIB	DIPA	DIPB	DOA	DOB	DOPA	DOPB	データ RAM	パリティ RAM
0	0	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	変化なし	変化なし
1	0	↑	↑	DIA	DIB	DIPA	DIPB	変化 なし	X	変化 なし	X	DIA	DIPA
0	1	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	DIB	DIPB
1	1	↑	↑	DIA	DIB	DIPA	DIPB	変化 なし	X	変化 なし	X	DIB	DIPB

WRITE_MODE_A=NO_CHANGE、WRITE_MODE_B=WRITE_FIRST の場合

WEA	WEB	CLKA	CLKB	DIA	DIB	DIPA	DIPB	DOA	DOB	DOPA	DOPB	データ RAM	パリティ RAM
0	0	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	変化なし	変化なし
1	0	↑	↑	DIA	DIB	DIPA	DIPB	変化 なし	X	変化 なし	X	DIA	DIPA
0	1	↑	↑	DIA	DIB	DIPA	DIPB	X	DIB	X	DIPB	DIB	DIPB
1	1	↑	↑	DIA	DIB	DIPA	DIPB	変化 なし	X	変化 なし	X	X	X

WRITE_MODE_A=READ_FIRST および WRITE_MODE_B=WRITE_FIRST

WEA	WEB	CLKA	CLKB	DIA	DIB	DIPA	DIPB	DOA	DOB	DOPA	DOPB	データ RAM	パリティ RAM
0	0	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	変化なし	変化なし
1	0	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	DIA	DIPA
0	1	↑	↑	DIA	DIB	DIPA	DIPB	X	DIB	X	DIPB	DIB	DIPB
1	1	↑	↑	DIA	DIB	DIPA	DIPB	X	DIB	X	DIPB	DIA	DIPA

デザインの入力方法

このエレメントは、回路図で使用できます。

使用可能な属性

属性	データ型	値	デフォルト	説明
INIT_00 ~ INIT_3F	2 進数/ 16 進数	任意の値	すべて 0	RAM 配列のデータ部分の初期値を指定します。
INIT_A	2 進数/ 16 進数	任意の値	すべて 0	コンフィギュレーション後の DOA 出力ポートの初期値を指定します。ビット幅は、RAM の A ポートの幅によって決まります。
INIT_B	2 進数/ 16 進数	任意の値	すべて 0	コンフィギュレーション後の DOB 出力ポートの初期値を指定します。ビット幅は、RAM の B ポートの幅によって決まります。
INITP_00 ~ INITP_07	2 進数/ 16 進数	任意の値	すべて 0	RAM 配列のパリティ部分の初期値を指定します。

属性	データ型	値	デフォルト	説明
SIM_COLLISION_CHECK	文字列	"ALL"、 "WARNING_ONLY"、 "GENERATE_X_ONLY"、 "NONE"	"ALL"	<p>メモリの競合が発生した場合にシミュレーションの動作を変更できます。詳細は次のとおりです。</p> <ul style="list-style-type: none"> ・ "ALL" : 警告メッセージが出力され、関連する出力およびメモリの値が不定 (X) になります。 ・ "WARNING_ONLY" : 警告メッセージのみが出力され、関連する出力およびメモリの値はそのまま保持されます。 ・ "GENERATE_X_ONLY" : 警告メッセージは出力されず、関連する出力およびメモリの値が不定 (X) になります。 ・ "NONE" : 警告メッセージは出力されず、関連する出力およびメモリの値はそのまま保持されます。 <p>注記 : "ALL" 以外の値に設定すると、シミュレーション中にデザインの問題を認識できなくなるため、この値を変更する場合は注意が必要です。詳細は、『合成/シミュレーション デザイン ガイド』を参照してください。</p>
SRVAL_A	2 進数/ 16 進数	任意の値	すべて 0	RSTA ピンをアサートしたときに、DOA 出力ポートをセット (1) するかリセット (0) するかをビットごとに設定します。ビット幅は、RAM の A ポートの幅によって決まります。デフォルトではすべてのビットがリセットされます。
SRVAL_B	2 進数/ 16 進数	任意の値	すべて 0	RSTB ピンをアサートしたときに、DOB 出力ポートをセット (1) するかリセット (0) するかをビットごとに設定します。ビット幅は、RAM の B ポートの幅によって決まります。デフォルトではすべてのビットがリセットされます。
WRITE_MODE_A	文字列	"WRITE_FIRST"、 "READ_FIRST"、 "NO_CHANGE"	"WRITE_FIRST"	<p>書き込みコマンドが DOA ポートで実行されるときポートの動作を指定します。</p> <ul style="list-style-type: none"> ・ "WRITE_FIRST" : 値がポートに書き込まれてから出力されます。 ・ "READ_FIRST" : 新たに値が書き込まれる前に、RAM の以前の値が出力ポートに出力されます。 ・ "NO_CHANGE" : 出力ポートの以前の値が保持され、出力ポートの値は変化しません。RAM のポートから値を読み出さない場合は、このモードに設定することをお勧めします。
WRITE_MODE_B	文字列	"WRITE_FIRST"、 "READ_FIRST"、 "NO_CHANGE"	"WRITE_FIRST"	<p>書き込みコマンドが DOB ポートで実行されるときポートの動作を指定します。</p> <ul style="list-style-type: none"> ・ "WRITE_FIRST" : 値がポートに書き込まれてから出力されます。

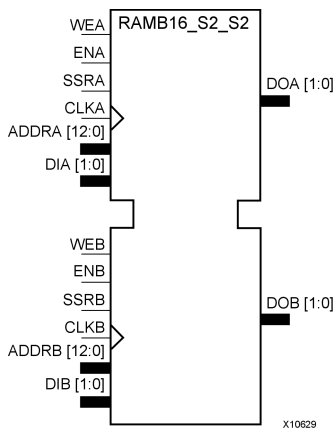
属性	データ型	値	デフォルト	説明
				<ul style="list-style-type: none">“READ_FIRST”：新たに値が書き込まれる前に、RAM の以前の値が出力ポートに出力されます。“NO_CHANGE”：出力ポートの以前の値が保持され、出力ポートの値は変化しません。RAM のポートから値を読み出さない場合は、このモードに設定することをお勧めします。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリー データシート』\(DS312\)](#)

RAMB16_S2_S2

プリミティブ：16K-bit Data and 2K-bit Parity Dual-Port Synchronous Block RAM with 2-bit Ports



概要

このデザイン エLEMENTは、同期書き込み機能を備えた、デュアル ポートの専用 RAM ブロックです。各ブロック RAM のポートには 16384 ビットのデータ メモリがあります。ポート幅が 9、18、36 ビットにコンフィギュレーションされたポートには、さらに 2048 ビットのパリティ メモリがあります。各ポートは、同じ 16384 個のデータ メモリ セルに独立してアクセスします。各ポートのデータ幅は、それぞれ個別に設定できます。このELEMENTのポートおよびセルの構成は「ポートの説明」の表に示されています。

論理表

論理表 A

入力								出力			
GSR	ENA	SSRA	WEA	CLKA	ADDRA	DIA	DIPA	DOA	DOPA	RAM の内容	
										データ RAM	パリティ RAM
1	X	X	X	X	X	X	X	INIT_A	INIT_A	変化なし	変化なし
0	0	X	X	X	X	X	X	変化なし	変化なし	変化なし	変化なし
0	1	1	0	↑	X	X	X	SRVAL_A	SRVAL_A	変化なし	変化なし
0	1	1	1	↑	addr	data	pdata	SRVAL_A	SRVAL_A	RAM(addr) =>data	RAM(addr) =>pdata
0	1	0	0	↑	addr	X	X	RAM(addr)	RAM(addr)	変化なし	変化なし
0	1	0	1	↑	addr	data	pdata	変化なし ¹ 、 RAM(addr) ² 、 data ³	変化なし ¹ 、 RAM(addr) ² 、 pdata ³	RAM(addr) =>data	RAM(addr) =>pdata

GSR = グローバル セットリセット信号
 INIT_A = 出力レジスタ用に INIT_A 属性で設定された値。デフォルトはすべて 0 です。
 SRVAL_A = レジスタの値
 addr = RAM アドレス
 RAM(addr) = アドレス ADDR の RAM の内容
 data = RAM の入力データ
 pdata = RAM のパリティ データ
¹WRITE_MODE_A=NO_CHANGE
²WRITE_MODE_A=READ_FIRST
³WRITE_MODE_A=WRITE_FIRST

論理表 B

入力								出力			
GSR	ENB	SSRB	WEB	CLKB	ADDRB	DIB	DIPB	DOB	DOPB	RAM の内容	
										データ RAM	パリティ RAM
1	X	X	X	X	X	X	X	INIT_B	INIT_B	変化なし	変化なし
0	0	X	X	X	X	X	X	変化なし	変化なし	変化なし	変化なし
0	1	1	0	↑	X	X	X	SRVAL_B	SRVAL_B	変化なし	変化なし
0	1	1	1	↑	addr	data	pdata	SRVAL_B	SRVAL_B	RAM(addr) =>data	RAM(addr) =>pdata
0	1	0	0	↑	addr	X	X	RAM(addr)	RAM(addr)	変化なし	変化なし
0	1	0	1	↑	addr	data	pdata	変化なし ¹ 、 RAM(addr) ² 、 data ³	変化なし ¹ 、 RAM(addr) ² 、 pdata ³	RAM(addr) =>data	RAM(addr) =>pdata

GSR = グローバル セット リセット信号

INIT_B = 出力レジスタ用に INIT_B 属性で設定された値。デフォルトはすべて 0 です。

SRVAL_B = レジスタの値

addr = RAM アドレス

RAM(addr) = アドレス ADDR の RAM の内容

data = RAM の入力データ

pdata = RAM のパリティ データ

¹WRITE_MODE_B=NO_CHANGE

²WRITE_MODE_B=READ_FIRST

³WRITE_MODE_B=WRITE_FIRST

ポートの説明

ポート A						ポート B				
デザイン エレメント	データ セル ¹	パリティ セル ¹	アドレス バス	データ バス	パリティ バス	データ セル ¹	パリティ セル ¹	アドレス バス	データ バス	パリティ バス
RAMB16_S2_S2	8192 x 2	—	(12:0)	(1:0)	—	8192 x 2	—	(12:0)	(1:0)	—

¹ ワード数 X 幅

各ポートは、それぞれのクロックに完全に同期します。ポート A の各データ入力ピン (DIA) のセットアップ タイム、およびデータ出力バス (DOA) の clock-to-out タイムは、CLKA を基準とします。ポート B の各データ入力ピン (DIB) のセットアップ タイム、およびデータ出力バス (DOB) の clock-to-out タイムは、CLKB を基準とします。イネーブル ピン ENA は、ポート A の読み出し、書き込み、リセットを制御します。ENA が Low の場合、データは書き込まれず、出力 (DOA および DOPA) は変化しません。ENA とリセット (SSRA) が High の場合、クロック (CLKA) が Low から High に切り替わるたびに DOA および DOPA が SRVAL_A にセットされます。ライト イネーブル (WEA) も High の場合は、DIA および DIPA の値が RAM に書き込まれます。ENA が High で SSRA と WEA が Low の場合、クロックが Low から High に切り替わるたびに、RAM アドレス (ADDR_A) に格納されているデータが読み出されます。SSRA が Low で ENA と WEA が High の場合、クロックが Low から High に切り替わるたびに、書き込みアドレス (ADDR_A) で選択されているワードにデータ入力 (DIA および DIPA) の値が読み込まれます。データ出力 (DOA および DOPA) に出力される値は、書き込みモードによって異なります。書き込みモードは、デフォルトでは WRITE_MODE=WRITE_FIRST に設定されています。

イネーブル ピン ENB は、ポート B の読み出し、書き込み、リセットを制御します。ENB が Low の場合、データは書き込まれず、出力 (DOB および DOPB) は変化しません。ENB とリセット (SSRB) が High の場合、クロック (CLKB) が Low から High に切り替わるたびに、DOB および DOPB が SRVAL_B にセットされます。ライト イネーブル (WEB) も High の場合は、DIB および DIPB の値が RAM に書き込まれます。ENB が High で SSRB と WEB が Low の場合、クロックが Low から High に切り替わるたびに RAM アドレス (ADDRB) に格納されているデータが出力されます。SSRB が Low で ENB と WEB が High の場合、クロックが Low から High に切り替わるたびに、書き込みアドレス (ADDRB) で選択されているワードにデータ入力 (DIB および DIPB) の値が読み込まれます。データ出力 (DOB および DOPB) に出力される値は、書き込みモードによって異なります。書き込みモードは、デフォルトでは WRITE_MODE=WRITE_FIRST に設定されています。上記の説明では、制御ピン (ENA、WEA、SSRA、CLKA、ENB、WEB、SSRB、CLKB) がアクティブ High であると想定していますが、ポートにインバーターを配置してアクティブ Low にすることもできます。RAMB16 のポートに配置したインバーターはブロック内に組み込まれるので、CLB リソースは使用されません。

アドレス マップ

各ポートは、ポートの幅によって異なるアドレス指定方法を使用して、同じ 18432 個のメモリ セルにアクセスします。「データ用のポート アドレス マップ」に示すように、すべてのポート幅で 16384 個のメモリ セルをデータの格納に使用できます。9、18、および 36 ビット幅のポートには、「パリティ用のポート アドレス マップ」に示すように、2408 個のパリティメモリ セルもあります。特定のポート幅での物理的な RAM の位置は、次の式によって決定されます。

$$\text{Start} = ((\text{ADDR_port} + 1) * (\text{Widthport})) - 1$$

$$\text{End} = (\text{ADDRport}) * (\text{Widthport})$$

次の表に、各ポート幅のアドレス マップを示します。

データ用のポート アドレス マップ

データ 幅	ポートのデータ アドレス																																			
1	16384	<--	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
2	8192	<--	15		14		13		12		11		10		9		8		7		6		5		4		3		2		1		0			
4	4096	<--	7				6				5				4				3				2				1				0					
8	2048	<--	3								2								1								0									
16	1024	<--	1																0																	
32	512	<--	0																																	

パリティ用のポート アドレス マップ

パリティ幅	ポートのパリティ アドレス														
1	2048	<-----	3				2				1				0
2	1024	<-----	1								0				
4	512	<-----	0												

デュアル ポート RAMB16 のメモリ内容の初期化

INIT_xx 属性を使用すると、デバイスのコンフィギュレーション中に RAMB16 のメモリの内容を初期化できます。各 RAMB16_Sm_Sn の初期値は、64 個の初期化属性 (INIT_00 ~ INIT_3F) を使用して 64 桁の 16 進数値で指定します (合計 16384 ビット)。

INITP_xx 属性を使用すると、デバイスのコンフィギュレーションまたはアサート中にパリティ メモリを初期化できます。9、18、36 ビット幅にコンフィギュレーションされたポートのパリティ メモリの初期値は、8 個の初期化属性 (INITP_00 ~ INITP_07) を使用して 64 桁の 16 進数値で指定します (合計 2048 ビット)。

INIT_xx または INITP_xx 属性を指定しない場合は、そのアドレスの値は 0 に設定されます。属性を一部だけ指定すると、上位ビットが 0 になります。

デュアル ポート RAMB16 の出力レジスタの初期化

Spartan®-3A 以降のデバイスでは、電源投入時 (GSR が High のとき) に出力レジスタの各ビットを 0 または 1 に初期化できます。また、セット/リセットをアサートした後の値を、電源投入時の初期値とは異なる値に設定できます。デュアル ポート RAMB16 の出力レジスタを初期化する属性には、INIT_A、INIT_B、SRVAL_A、SRVAL_B の 4 種類があります。INIT_A 属性は電源投入時のポート A の出力レジスタの初期値を指定し、INIT_B 属性は電源投入時のポート B の出力レジスタの初期値を指定します。SRVAL_A 属性はポート A で SSRA (セット/リセット) 入力をアサートしたときの初期値を指定し、SRVAL_B 属性はポート B で SSRB (セット/リセット) 入力をアサートしたときの初期値を指定します。

INIT_A、INIT_B、SRVAL_A、SRVAL_B 属性は、16 進数で指定します。この初期値はポート幅によって異なります。たとえば、ポート A の幅が 1、ポート B の幅が 4 の RAMB16_S1_S4 の場合、ポート A の出力レジスタは 1 ビットなので、INIT_A または SRVAL_A には 1 または 0 を指定します。ポート B の出力レジスタは 4 ビットなので、INIT_B または SRVAL_B には 0 ~ F の 16 進数値を指定します。

パリティビットを含むポートでは、出力レジスタのパリティ部分は、INIT_A、INIT_B、SRVAL_A、SRVAL_B の値の上位ビットで指定します。

INIT および SRVAL 属性を指定しない場合は、デフォルトで 0 に初期化されます。

書き込みモードの選択

WRITE_MODE_A 属性は、デュアル ポート RAMB16 のポート A のメモリおよび出力の内容を制御し、WRITE_MODE_B 属性は、ポート B のメモリおよび出力の内容を制御します。デフォルトでは、WRITE_MODE_A と WRITE_MODE_B は両方とも WRITE_FIRST に設定されています。この場合、入力値がメモリに書き込まれた後にその値が出力されます。READ_FIRST に設定すると、メモリの内容が出力された後、入力値がメモリに書き込まれます。NO_CHANGE に設定すると、入力値はメモリに書き込まれますが、出力の値は変化しません。ポート A とポート B で同じメモリ セルに読み出し/書き込みを行おうとした場合の競合の解決方法については、「ポート A とポート B が競合する場合の対処方法」を参照してください。

ポート A とポート B が競合する場合の対処方法

Spartan-3A ブロックの SelectRAM™ は、完全なデュアル ポート RAM で、2 つのポートが同時に同じメモリ セルにアクセスできます。ただし、一方のポートがあるメモリ セルに書き込みを行っている場合は、もう一方のポートで clock-to-clock セットアップ タイム内に、そのメモリ セルに対して書き込みまたは読み出しを実行しないようにする必要があります。

次の表に、デュアルポート RAMB16 で競合が発生した場合の動作を、WRITE_MODE_A と WRITE_MODE_B の設定別に示します。

WRITE_MODE_A=NO_CHANGE、WRITE_MODE_B=NO_CHANGE の場合

WEA	WEB	CLKA	CLKB	DIA	DIB	DIPA	DIPB	DOA	DOB	DOPA	DOPB	データ RAM	パリティ RAM
0	0	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	変化なし	変化なし
1	0	↑	↑	DIA	DIB	DIPA	DIPB	変化 なし	X	変化 なし	X	DIA	DIPA
0	1	↑	↑	DIA	DIB	DIPA	DIPB	X	変化 なし	X	変化 なし	DIB	DIPB
1	1	↑	↑	DIA	DIB	DIPA	DIPB	変化 なし	変化 なし	変化 なし	変化 なし	X	X

WRITE_MODE_A=READ_FIRST、WRITE_MODE_B=READ_FIRST の場合

WEA	WEB	CLKA	CLKB	DIA	DIB	DIPA	DIPB	DOA	DOB	DOPA	DOPB	データ RAM	パリティ RAM
0	0	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	変化なし	変化なし
1	0	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	DIA	DIPA
0	1	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	DIB	DIPB
1	1	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	X	X

WRITE_MODE_A=WRITE_FIRST、WRITE_MODE_B=WRITE_FIRST の場合

WEA	WEB	CLKA	CLKB	DIA	DIB	DIPA	DIPB	DOA	DOB	DOPA	DOPB	データ RAM	パリティ RAM
0	0	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	変化なし	変化なし
1	0	↑	↑	DIA	DIB	DIPA	DIPB	DIA	X	DIPA	X	DIA	DIPA
0	1	↑	↑	DIA	DIB	DIPA	DIPB	X	DIB	X	DIPB	DIB	DIPB
1	1	↑	↑	DIA	DIB	DIPA	DIPB	X	X	X	X	X	X

WRITE_MODE_A=NO_CHANGE、WRITE_MODE_B=READ_FIRST の場合

WEA	WEB	CLKA	CLKB	DIA	DIB	DIPA	DIPB	DOA	DOB	DOPA	DOPB	データ RAM	パリティ RAM
0	0	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	変化なし	変化なし
1	0	↑	↑	DIA	DIB	DIPA	DIPB	変化 なし	X	変化 なし	X	DIA	DIPA
0	1	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	DIB	DIPB
1	1	↑	↑	DIA	DIB	DIPA	DIPB	変化 なし	X	変化 なし	X	DIB	DIPB

WRITE_MODE_A=NO_CHANGE、WRITE_MODE_B=WRITE_FIRST の場合

WEA	WEB	CLKA	CLKB	DIA	DIB	DIPA	DIPB	DOA	DOB	DOPA	DOPB	データ RAM	パリティ RAM
0	0	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	変化なし	変化なし
1	0	↑	↑	DIA	DIB	DIPA	DIPB	変化 なし	X	変化 なし	X	DIA	DIPA
0	1	↑	↑	DIA	DIB	DIPA	DIPB	X	DIB	X	DIPB	DIB	DIPB
1	1	↑	↑	DIA	DIB	DIPA	DIPB	変化 なし	X	変化 なし	X	X	X

WRITE_MODE_A=READ_FIRST および WRITE_MODE_B=WRITE_FIRST

WEA	WEB	CLKA	CLKB	DIA	DIB	DIPA	DIPB	DOA	DOB	DOPA	DOPB	データ RAM	パリティ RAM
0	0	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	変化なし	変化なし
1	0	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	DIA	DIPA
0	1	↑	↑	DIA	DIB	DIPA	DIPB	X	DIB	X	DIPB	DIB	DIPB
1	1	↑	↑	DIA	DIB	DIPA	DIPB	X	DIB	X	DIPB	DIA	DIPA

デザインの入力方法

このエレメントは、回路図で使用できます。

使用可能な属性

属性	データ型	値	デフォルト	説明
INIT_00 ~ INIT_3F	2 進数/ 16 進数	任意の値	すべて 0	RAM 配列のデータ部分の初期値を指定します。
INIT_A	2 進数/ 16 進数	任意の値	すべて 0	コンフィギュレーション後の DOA 出力ポートの初期値を指定します。ビット幅は、RAM の A ポートの幅によって決まります。
INIT_B	2 進数/ 16 進数	任意の値	すべて 0	コンフィギュレーション後の DOB 出力ポートの初期値を指定します。ビット幅は、RAM の B ポートの幅によって決まります。
INITP_00 ~ INITP_07	2 進数/ 16 進数	任意の値	すべて 0	RAM 配列のパリティ部分の初期値を指定します。

属性	データ型	値	デフォルト	説明
SIM_COLLISION_CHECK	文字列	"ALL"、 "WARNING_ONLY"、 "GENERATE_X_ONLY"、 "NONE"	"ALL"	<p>メモリの競合が発生した場合にシミュレーションの動作を変更できます。詳細は次のとおりです。</p> <ul style="list-style-type: none"> ・ "ALL"：警告メッセージが出力され、関連する出力およびメモリの値が不定 (X) になります。 ・ "WARNING_ONLY"：警告メッセージのみが出力され、関連する出力およびメモリの値はそのまま保持されます。 ・ "GENERATE_X_ONLY"：警告メッセージは出力されず、関連する出力およびメモリの値が不定 (X) になります。 ・ "NONE"：警告メッセージは出力されず、関連する出力およびメモリの値はそのまま保持されます。 <p>注記： "ALL" 以外の値に設定すると、シミュレーション中にデザインの問題を認識できなくなるため、この値を変更する場合は注意が必要です。詳細は、『合成/シミュレーション デザイン ガイド』を参照してください。</p>
SRVAL_A	2 進数/ 16 進数	任意の値	すべて 0	RSTA ピンをアサートしたときに、DOA 出力ポートをセット (1) するかリセット (0) するかをビットごとに設定します。ビット幅は、RAM の A ポートの幅によって決まります。デフォルトではすべてのビットがリセットされます。
SRVAL_B	2 進数/ 16 進数	任意の値	すべて 0	RSTB ピンをアサートしたときに、DOB 出力ポートをセット (1) するかリセット (0) するかをビットごとに設定します。ビット幅は、RAM の B ポートの幅によって決まります。デフォルトではすべてのビットがリセットされます。
WRITE_MODE_A	文字列	"WRITE_FIRST"、 "READ_FIRST"、 "NO_CHANGE"	"WRITE_FIRST"	<p>書き込みコマンドが DOA ポートで実行されるときポートの動作を指定します。</p> <ul style="list-style-type: none"> ・ "WRITE_FIRST"：値がポートに書き込まれてから出力されます。 ・ "READ_FIRST"：新たに値が書き込まれる前に、RAM の以前の値が出力ポートに出力されます。 ・ "NO_CHANGE"：出力ポートの以前の値が保持され、出力ポートの値は変化しません。RAM のポートから値を読み出さない場合は、このモードに設定することをお勧めします。
WRITE_MODE_B	文字列	"WRITE_FIRST"、 "READ_FIRST"、 "NO_CHANGE"	"WRITE_FIRST"	<p>書き込みコマンドが DOB ポートで実行されるときポートの動作を指定します。</p> <ul style="list-style-type: none"> ・ "WRITE_FIRST"：値がポートに書き込まれてから出力されます。

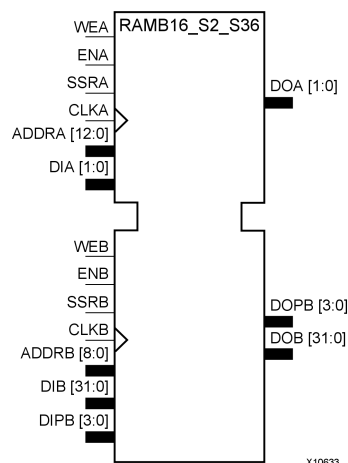
属性	データ型	値	デフォルト	説明
				<ul style="list-style-type: none">・ "READ_FIRST"：新たに値が書き込まれる前に、RAM の以前の値が出力ポートに出力されます。・ "NO_CHANGE"：出力ポートの以前の値が保持され、出力ポートの値は変化しません。RAM のポートから値を読み出さない場合は、このモードに設定することをお勧めします。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリー データシート』\(DS312\)](#)

RAMB16_S2_S36

プリミティブ : 16K-bit Data and 2K-bit Parity Dual-Port Synchronous Block RAM with 2-bit and 36-bit Ports



概要

このデザイン エLEMENTは、同期書き込み機能を備えた、デュアル ポートの専用 RAM ブロックです。各ブロック RAM のポートには 16384 ビットのデータ メモリがあります。ポート幅が 9、18、36 ビットにコンフィギュレーションされたポートには、さらに 2048 ビットのパリティ メモリがあります。各ポートは、同じ 16384 個のデータ メモリ セルに独立してアクセスします。各ポートのデータ幅は、それぞれ個別に設定できます。このELEMENTのポートおよびセルの構成は「ポートの説明」の表に示されています。

論理表

論理表 A

入力								出力			
GSR	ENA	SSRA	WEA	CLKA	ADDRA	DIA	DIPA	DOA	DOPA	RAM の内容	
										データ RAM	パリティ RAM
1	X	X	X	X	X	X	X	INIT_A	INIT_A	変化なし	変化なし
0	0	X	X	X	X	X	X	変化なし	変化なし	変化なし	変化なし
0	1	1	0	↑	X	X	X	SRVAL_A	SRVAL_A	変化なし	変化なし
0	1	1	1	↑	addr	data	pdata	SRVAL_A	SRVAL_A	RAM(addr) =>data	RAM(addr) =>pdata
0	1	0	0	↑	addr	X	X	RAM(addr)	RAM(addr)	変化なし	変化なし
0	1	0	1	↑	addr	data	pdata	変化なし ¹ 、 RAM(addr) ² 、 data ³	変化なし ¹ 、 RAM(addr) ² 、 pdata ³	RAM(addr) =>data	RAM(addr) =>pdata

GSR = グローバル セットリセット信号

INIT_A = 出力レジスタ用に INIT_A 属性で設定された値。デフォルトはすべて 0 です。

SRVAL_A = レジスタの値

addr = RAM アドレス

RAM(addr) = アドレス ADDR の RAM の内容

data = RAM の入力データ

pdata = RAM のパリティ データ

¹WRITE_MODE_A=NO_CHANGE

²WRITE_MODE_A=READ_FIRST

³WRITE_MODE_A=WRITE_FIRST

論理表 B

入力								出力			
GSR	ENB	SSRB	WEB	CLKB	ADDRB	DIB	DIPB	DOB	DOPB	RAM の内容	
										データ RAM	パリティ RAM
1	X	X	X	X	X	X	X	INIT_B	INIT_B	変化なし	変化なし
0	0	X	X	X	X	X	X	変化なし	変化なし	変化なし	変化なし
0	1	1	0	↑	X	X	X	SRVAL_B	SRVAL_B	変化なし	変化なし
0	1	1	1	↑	addr	data	pdata	SRVAL_B	SRVAL_B	RAM(addr) =>data	RAM(addr) =>pdata
0	1	0	0	↑	addr	X	X	RAM(addr)	RAM(addr)	変化なし	変化なし
0	1	0	1	↑	addr	data	pdata	変化なし ¹ 、 RAM(addr) ² 、 data ³	変化なし ¹ 、 RAM(addr) ² 、 pdata ³	RAM(addr) =>data	RAM(addr) =>pdata

GSR = グローバル セット リセット信号

INIT_B = 出力レジスタ用に INIT_B 属性で設定された値。デフォルトはすべて 0 です。

SRVAL_B = レジスタの値

addr = RAM アドレス

RAM(addr) = アドレス ADDR の RAM の内容

data = RAM の入力データ

pdata = RAM のパリティ データ

¹WRITE_MODE_B=NO_CHANGE

²WRITE_MODE_B=READ_FIRST

³WRITE_MODE_B=WRITE_FIRST

ポートの説明

ポート A						ポート B				
デザイン エレメント	データ セル ¹	パリティ セル ¹	アドレス バス	データ バス	パリティ バス	データ セル ¹	パリティ セル ¹	アドレス バス	データ バス	パリティ バス
RAMB16_S2_S36	8192 x 2	—	(12:0)	(1:0)	—	512 x 32	512 x 4	(8:0)	(31:0)	(3:0)

¹ ワード数 X 幅

各ポートは、それぞれのクロックに完全に同期します。ポート A の各データ入力ピン (DIA) のセットアップ タイム、およびデータ出力バス (DOA) の clock-to-out タイムは、CLKA を基準とします。ポート B の各データ入力ピン (DIB) のセットアップ タイム、およびデータ出力バス (DOB) の clock-to-out タイムは、CLKB を基準とします。イネーブル ピン ENA は、ポート A の読み出し、書き込み、リセットを制御します。ENA が Low の場合、データは書き込まれず、出力 (DOA および DOPA) は変化しません。ENA とリセット (SSRA) が High の場合、クロック (CLKA) が Low から High に切り替わるたびに DOA および DOPA が SRVAL_A にセットされます。ライト イネーブル (WEA) も High の場合は、DIA および DIPA の値が RAM に書き込まれます。ENA が High で SSRA と WEA が Low の場合、クロックが Low から High に切り替わるたびに、RAM アドレス (ADDR_A) に格納されているデータが読み出されます。SSRA が Low で ENA と WEA が High の場合、クロックが Low から High に切り替わるたびに、書き込みアドレス (ADDR_A) で選択されているワードにデータ入力 (DIA および DIPA) の値が読み込まれます。データ出力 (DOA および DOPA) に出力される値は、書き込みモードによって異なります。書き込みモードは、デフォルトでは WRITE_MODE=WRITE_FIRST に設定されています。

イネーブル ピン ENB は、ポート B の読み出し、書き込み、リセットを制御します。ENB が Low の場合、データは書き込まれず、出力 (DOB および DOPB) は変化しません。ENB とリセット (SSRB) が High の場合、クロック (CLKB) が Low から High に切り替わるたびに、DOB および DOPB が SRVAL_B にセットされます。ライト イネーブル (WEB) も High の場合は、DIB および DIPB の値が RAM に書き込まれます。ENB が High で SSRB と WEB が Low の場合、クロックが Low から High に切り替わるたびに RAM アドレス (ADDRB) に格納されているデータが出力されます。SSRB が Low で ENB と WEB が High の場合、クロックが Low から High に切り替わるたびに、書き込みアドレス (ADDRB) で選択されているワードにデータ入力 (DIB および DIPB) の値が読み込まれます。データ出力 (DOB および DOPB) に出力される値は、書き込みモードによって異なります。書き込みモードは、デフォルトでは WRITE_MODE=WRITE_FIRST に設定されています。上記の説明では、制御ピン (ENA、WEA、SSRA、CLKA、ENB、WEB、SSRB、CLKB) がアクティブ High であると想定していますが、ポートにインバーターを配置してアクティブ Low にすることもできます。RAMB16 のポートに配置したインバーターはブロック内に組み込まれるので、CLB リソースは使用されません。

アドレス マップ

各ポートは、ポートの幅によって異なるアドレス指定方法を使用して、同じ 18432 個のメモリ セルにアクセスします。「データ用のポート アドレス マップ」に示すように、すべてのポート幅で 16384 個のメモリ セルをデータの格納に使用できます。9、18、および 36 ビット幅のポートには、「パリティ用のポート アドレス マップ」に示すように、2408 個のパリティメモリセルもあります。特定のポート幅での物理的な RAM の位置は、次の式によって決定されます。

$$\text{Start} = ((\text{ADDR_port} + 1) * (\text{Widthport})) - 1$$

$$\text{End} = (\text{ADDRport}) * (\text{Widthport})$$

次の表に、各ポート幅のアドレス マップを示します。

データ用のポート アドレス マップ

データ 幅	ポートのデータ アドレス																																		
1	16384	<--	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
2	8192	<--	15		14		13		12		11		10		9		8		7		6		5		4		3		2		1		0		
4	4096	<--	7				6				5				4				3				2				1				0				
8	2048	<--	3								2								1								0								
16	1024	<--	1																0																
32	512	<--	0																																

パリティ用のポート アドレス マップ

パリティ幅	ポートのパリティ アドレス														
1	2048	<-----	3				2				1				0
2	1024	<-----	1								0				
4	512	<-----	0												

デュアル ポート RAMB16 のメモリ内容の初期化

INIT_xx 属性を使用すると、デバイスのコンフィギュレーション中に RAMB16 のメモリの内容を初期化できます。各 RAMB16_Sm_Sn の初期値は、64 個の初期化属性 (INIT_00 ~ INIT_3F) を使用して 64 桁の 16 進数値で指定します (合計 16384 ビット)。

INITP_xx 属性を使用すると、デバイスのコンフィギュレーションまたはアサート中にパリティ メモリを初期化できます。9、18、36 ビット幅にコンフィギュレーションされたポートのパリティ メモリの初期値は、8 個の初期化属性 (INITP_00 ~ INITP_07) を使用して 64 桁の 16 進数値で指定します (合計 2048 ビット)。

INIT_xx または INITP_xx 属性を指定しない場合は、そのアドレスの値は 0 に設定されます。属性を一部だけ指定すると、上位ビットが 0 になります。

デュアル ポート RAMB16 の出力レジスタの初期化

Spartan®-3A 以降のデバイスでは、電源投入時 (GSR が High のとき) に出力レジスタの各ビットを 0 または 1 に初期化できます。また、セット/リセットをアサートした後の値を、電源投入時の初期値とは異なる値に設定できます。デュアル ポート RAMB16 の出力レジスタを初期化する属性には、INIT_A、INIT_B、SRVAL_A、SRVAL_B の 4 種類があります。INIT_A 属性は電源投入時のポート A の出力レジスタの初期値を指定し、INIT_B 属性は電源投入時のポート B の出力レジスタの初期値を指定します。SRVAL_A 属性はポート A で SSRA (セット/リセット) 入力をアサートしたときの初期値を指定し、SRVAL_B 属性はポート B で SSRB (セット/リセット) 入力をアサートしたときの初期値を指定します。

INIT_A、INIT_B、SRVAL_A、SRVAL_B 属性は、16 進数で指定します。この初期値はポート幅によって異なります。たとえば、ポート A の幅が 1、ポート B の幅が 4 の RAMB16_S1_S4 の場合、ポート A の出力レジスタは 1 ビットなので、INIT_A または SRVAL_A には 1 または 0 を指定します。ポート B の出力レジスタは 4 ビットなので、INIT_B または SRVAL_B には 0 ~ F の 16 進数値を指定します。

パリティビットを含むポートでは、出力レジスタのパリティ部分は、INIT_A、INIT_B、SRVAL_A、SRVAL_B の値の上位ビットで指定します。

INIT および SRVAL 属性を指定しない場合は、デフォルトで 0 に初期化されます。

書き込みモードの選択

WRITE_MODE_A 属性は、デュアル ポート RAMB16 のポート A のメモリおよび出力の内容を制御し、WRITE_MODE_B 属性は、ポート B のメモリおよび出力の内容を制御します。デフォルトでは、WRITE_MODE_A と WRITE_MODE_B は両方とも WRITE_FIRST に設定されています。この場合、入力値がメモリに書き込まれた後にその値が出力されます。READ_FIRST に設定すると、メモリの内容が出力された後、入力値がメモリに書き込まれます。NO_CHANGE に設定すると、入力値はメモリに書き込まれますが、出力の値は変化しません。ポート A とポート B で同じメモリ セルに読み出し/書き込みを行おうとした場合の競合の解決方法については、「ポート A とポート B が競合する場合の対処方法」を参照してください。

ポート A とポート B が競合する場合の対処方法

Spartan-3A ブロックの SelectRAM™ は、完全なデュアル ポート RAM で、2 つのポートが同時に同じメモリ セルにアクセスできます。ただし、一方のポートがあるメモリ セルに書き込みを行っている場合は、もう一方のポートで clock-to-clock セットアップ タイム内に、そのメモリ セルに対して書き込みまたは読み出しを実行しないようにする必要があります。

次の表に、デュアルポート RAMB16 で競合が発生した場合の動作を、WRITE_MODE_A と WRITE_MODE_B の設定別に示します。

WRITE_MODE_A=NO_CHANGE、WRITE_MODE_B=NO_CHANGE の場合

WEA	WEB	CLKA	CLKB	DIA	DIB	DIPA	DIPB	DOA	DOB	DOPA	DOPB	データ RAM	パリティ RAM
0	0	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	変化なし	変化なし
1	0	↑	↑	DIA	DIB	DIPA	DIPB	変化 なし	X	変化 なし	X	DIA	DIPA
0	1	↑	↑	DIA	DIB	DIPA	DIPB	X	変化 なし	X	変化 なし	DIB	DIPB
1	1	↑	↑	DIA	DIB	DIPA	DIPB	変化 なし	変化 なし	変化 なし	変化 なし	X	X

WRITE_MODE_A=READ_FIRST、WRITE_MODE_B=READ_FIRST の場合

WEA	WEB	CLKA	CLKB	DIA	DIB	DIPA	DIPB	DOA	DOB	DOPA	DOPB	データ RAM	パリティ RAM
0	0	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	変化なし	変化なし
1	0	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	DIA	DIPA
0	1	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	DIB	DIPB
1	1	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	X	X

WRITE_MODE_A=WRITE_FIRST、WRITE_MODE_B=WRITE_FIRST の場合

WEA	WEB	CLKA	CLKB	DIA	DIB	DIPA	DIPB	DOA	DOB	DOPA	DOPB	データ RAM	パリティ RAM
0	0	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	変化なし	変化なし
1	0	↑	↑	DIA	DIB	DIPA	DIPB	DIA	X	DIPA	X	DIA	DIPA
0	1	↑	↑	DIA	DIB	DIPA	DIPB	X	DIB	X	DIPB	DIB	DIPB
1	1	↑	↑	DIA	DIB	DIPA	DIPB	X	X	X	X	X	X

WRITE_MODE_A=NO_CHANGE、WRITE_MODE_B=READ_FIRST の場合

WEA	WEB	CLKA	CLKB	DIA	DIB	DIPA	DIPB	DOA	DOB	DOPA	DOPB	データ RAM	パリティ RAM
0	0	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	変化なし	変化なし
1	0	↑	↑	DIA	DIB	DIPA	DIPB	変化 なし	X	変化 なし	X	DIA	DIPA
0	1	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	DIB	DIPB
1	1	↑	↑	DIA	DIB	DIPA	DIPB	変化 なし	X	変化 なし	X	DIB	DIPB

WRITE_MODE_A=NO_CHANGE、WRITE_MODE_B=WRITE_FIRST の場合

WEA	WEB	CLKA	CLKB	DIA	DIB	DIPA	DIPB	DOA	DOB	DOPA	DOPB	データ RAM	パリティ RAM
0	0	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	変化なし	変化なし
1	0	↑	↑	DIA	DIB	DIPA	DIPB	変化 なし	X	変化 なし	X	DIA	DIPA
0	1	↑	↑	DIA	DIB	DIPA	DIPB	X	DIB	X	DIPB	DIB	DIPB
1	1	↑	↑	DIA	DIB	DIPA	DIPB	変化 なし	X	変化 なし	X	X	X

WRITE_MODE_A=READ_FIRST および WRITE_MODE_B=WRITE_FIRST

WEA	WEB	CLKA	CLKB	DIA	DIB	DIPA	DIPB	DOA	DOB	DOPA	DOPB	データ RAM	パリティ RAM
0	0	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	変化なし	変化なし
1	0	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	DIA	DIPA
0	1	↑	↑	DIA	DIB	DIPA	DIPB	X	DIB	X	DIPB	DIB	DIPB
1	1	↑	↑	DIA	DIB	DIPA	DIPB	X	DIB	X	DIPB	DIA	DIPA

デザインの入力方法

このエレメントは、回路図で使用できます。

使用可能な属性

属性	データ型	値	デフォルト	説明
INIT_00 ~ INIT_3F	2 進数/ 16 進数	任意の値	すべて 0	RAM 配列のデータ部分の初期値を指定します。
INIT_A	2 進数/ 16 進数	任意の値	すべて 0	コンフィギュレーション後の DOA 出力ポートの初期値を指定します。ビット幅は、RAM の A ポートの幅によって決まります。
INIT_B	2 進数/ 16 進数	任意の値	すべて 0	コンフィギュレーション後の DOB 出力ポートの初期値を指定します。ビット幅は、RAM の B ポートの幅によって決まります。
INITP_00 ~ INITP_07	2 進数/ 16 進数	任意の値	すべて 0	RAM 配列のパリティ部分の初期値を指定します。

属性	データ型	値	デフォルト	説明
SIM_COLLISION_CHECK	文字列	"ALL"、 "WARNING_ONLY"、 "GENERATE_X_ONLY"、 "NONE"	"ALL"	<p>メモリの競合が発生した場合にシミュレーションの動作を変更できます。詳細は次のとおりです。</p> <ul style="list-style-type: none"> ・ "ALL" : 警告メッセージが出力され、関連する出力およびメモリの値が不定 (X) になります。 ・ "WARNING_ONLY" : 警告メッセージのみが出力され、関連する出力およびメモリの値はそのまま保持されます。 ・ "GENERATE_X_ONLY" : 警告メッセージは出力されず、関連する出力およびメモリの値が不定 (X) になります。 ・ "NONE" : 警告メッセージは出力されず、関連する出力およびメモリの値はそのまま保持されます。 <p>注記 : "ALL" 以外の値に設定すると、シミュレーション中にデザインの問題を認識できなくなるため、この値を変更する場合は注意が必要です。詳細は、『合成/シミュレーション デザイン ガイド』を参照してください。</p>
SRVAL_A	2 進数/ 16 進数	任意の値	すべて 0	RSTA ピンをアサートしたときに、DOA 出力ポートをセット (1) するかリセット (0) するかをビットごとに設定します。ビット幅は、RAM の A ポートの幅によって決まります。デフォルトではすべてのビットがリセットされます。
SRVAL_B	2 進数/ 16 進数	任意の値	すべて 0	RSTB ピンをアサートしたときに、DOB 出力ポートをセット (1) するかリセット (0) するかをビットごとに設定します。ビット幅は、RAM の B ポートの幅によって決まります。デフォルトではすべてのビットがリセットされます。
WRITE_MODE_A	文字列	"WRITE_FIRST"、 "READ_FIRST"、 "NO_CHANGE"	"WRITE_FIRST"	<p>書き込みコマンドが DOA ポートで実行されるときポートの動作を指定します。</p> <ul style="list-style-type: none"> ・ "WRITE_FIRST" : 値がポートに書き込まれてから出力されます。 ・ "READ_FIRST" : 新たに値が書き込まれる前に、RAM の以前の値が出力ポートに出力されます。 ・ "NO_CHANGE" : 出力ポートの以前の値が保持され、出力ポートの値は変化しません。RAM のポートから値を読み出さない場合は、このモードに設定することをお勧めします。
WRITE_MODE_B	文字列	"WRITE_FIRST"、 "READ_FIRST"、 "NO_CHANGE"	"WRITE_FIRST"	<p>書き込みコマンドが DOB ポートで実行されるときポートの動作を指定します。</p> <ul style="list-style-type: none"> ・ "WRITE_FIRST" : 値がポートに書き込まれてから出力されます。

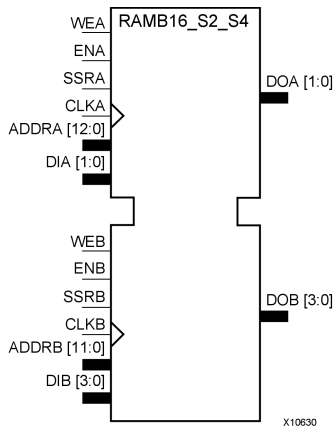
属性	データ型	値	デフォルト	説明
				<ul style="list-style-type: none">・ “READ_FIRST”：新たに値が書き込まれる前に、RAM の以前の値が出力ポートに出力されます。・ “NO_CHANGE”：出力ポートの以前の値が保持され、出力ポートの値は変化しません。RAM のポートから値を読み出さない場合は、このモードに設定することをお勧めします。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリー データシート』\(DS312\)](#)

RAMB16_S2_S4

プリミティブ : 16K-bit Data and 2K-bit Parity Dual-Port Synchronous Block RAM with 2-bit and 4-bit Ports



概要

このデザイン エLEMENTは、同期書き込み機能を備えた、デュアル ポートの専用 RAM ブロックです。各ブロック RAM のポートには 16384 ビットのデータ メモリがあります。ポート幅が 9、18、36 ビットにコンフィギュレーションされたポートには、さらに 2048 ビットのパリティ メモリがあります。各ポートは、同じ 16384 個のデータ メモリ セルに独立してアクセスします。各ポートのデータ幅は、それぞれ個別に設定できます。このELEMENTのポートおよびセルの構成は「ポートの説明」の表に示されています。

論理表

論理表 A

入力								出力			
GSR	ENA	SSRA	WEA	CLKA	ADDRA	DIA	DIPA	DOA	DOPA	RAM の内容	
										データ RAM	パリティ RAM
1	X	X	X	X	X	X	X	INIT_A	INIT_A	変化なし	変化なし
0	0	X	X	X	X	X	X	変化なし	変化なし	変化なし	変化なし
0	1	1	0	↑	X	X	X	SRVAL_A	SRVAL_A	変化なし	変化なし
0	1	1	1	↑	addr	data	pdata	SRVAL_A	SRVAL_A	RAM(addr) =>data	RAM(addr) =>pdata
0	1	0	0	↑	addr	X	X	RAM(addr)	RAM(addr)	変化なし	変化なし
0	1	0	1	↑	addr	data	pdata	変化なし ¹ 、 RAM(addr) ² 、 data ³	変化なし ¹ 、 RAM(addr) ² 、 pdata ³	RAM(addr) =>data	RAM(addr) =>pdata

GSR = グローバル セットリセット信号

INIT_A = 出力レジスタ用に INIT_A 属性で設定された値。デフォルトはすべて 0 です。

SRVAL_A = レジスタの値

addr = RAM アドレス

RAM(addr) = アドレス ADDR の RAM の内容

data = RAM の入力データ

pdata = RAM のパリティ データ

¹WRITE_MODE_A=NO_CHANGE

²WRITE_MODE_A=READ_FIRST

³WRITE_MODE_A=WRITE_FIRST

論理表 B

入力								出力			
GSR	ENB	SSRB	WEB	CLKB	ADDRB	DIB	DIPB	DOB	DOPB	RAM の内容	
										データ RAM	パリティ RAM
1	X	X	X	X	X	X	X	INIT_B	INIT_B	変化なし	変化なし
0	0	X	X	X	X	X	X	変化なし	変化なし	変化なし	変化なし
0	1	1	0	↑	X	X	X	SRVAL_B	SRVAL_B	変化なし	変化なし
0	1	1	1	↑	addr	data	pdata	SRVAL_B	SRVAL_B	RAM(addr) =>data	RAM(addr) =>pdata
0	1	0	0	↑	addr	X	X	RAM(addr)	RAM(addr)	変化なし	変化なし
0	1	0	1	↑	addr	data	pdata	変化なし ¹ 、 RAM(addr) ² 、 data ³	変化なし ¹ 、 RAM(addr) ² 、 pdata ³	RAM(addr) =>data	RAM(addr) =>pdata

GSR = グローバル セット リセット信号

INIT_B = 出力レジスタ用に INIT_B 属性で設定された値。デフォルトはすべて 0 です。

SRVAL_B = レジスタの値

addr = RAM アドレス

RAM(addr) = アドレス ADDR の RAM の内容

data = RAM の入力データ

pdata = RAM のパリティ データ

¹WRITE_MODE_B=NO_CHANGE

²WRITE_MODE_B=READ_FIRST

³WRITE_MODE_B=WRITE_FIRST

ポートの説明

ポート A						ポート B				
デザイン エレメント	データ セル ¹	パリティ セル ¹	アドレス バス	データ バス	パリティ バス	データ セル ¹	パリティ セル ¹	アドレス バス	データ バス	パリティ バス
RAMB16_S2_S4	8192 x 2	—	(12:0)	(1:0)	—	4096 x 4	—	(11:0)	(3:0)	—

¹ ワード数 X 幅

各ポートは、それぞれのクロックに完全に同期します。ポート A の各データ入力ピン (DIA) のセットアップ タイム、およびデータ出力バス (DOA) の clock-to-out タイムは、CLKA を基準とします。ポート B の各データ入力ピン (DIB) のセットアップ タイム、およびデータ出力バス (DOB) の clock-to-out タイムは、CLKB を基準とします。イネーブル ピン ENA は、ポート A の読み出し、書き込み、リセットを制御します。ENA が Low の場合、データは書き込まれず、出力 (DOA および DOPA) は変化しません。ENA とリセット (SSRA) が High の場合、クロック (CLKA) が Low から High に切り替わるたびに DOA および DOPA が SRVAL_A にセットされます。ライト イネーブル (WEA) も High の場合は、DIA および DIPA の値が RAM に書き込まれます。ENA が High で SSRA と WEA が Low の場合、クロックが Low から High に切り替わるたびに、RAM アドレス (ADDR_A) に格納されているデータが読み出されます。SSRA が Low で ENA と WEA が High の場合、クロックが Low から High に切り替わるたびに、書き込みアドレス (ADDR_A) で選択されているワードにデータ入力 (DIA および DIPA) の値が読み込まれます。データ出力 (DOA および DOPA) に出力される値は、書き込みモードによって異なります。書き込みモードは、デフォルトでは WRITE_MODE=WRITE_FIRST に設定されています。

イネーブル ピン ENB は、ポート B の読み出し、書き込み、リセットを制御します。ENB が Low の場合、データは書き込まれず、出力 (DOB および DOPB) は変化しません。ENB とリセット (SSRB) が High の場合、クロック (CLKB) が Low から High に切り替わるたびに、DOB および DOPB が SRVAL_B にセットされます。ライト イネーブル (WEB) も High の場合は、DIB および DIPB の値が RAM に書き込まれます。ENB が High で SSRB と WEB が Low の場合、クロックが Low から High に切り替わるたびに RAM アドレス (ADDRB) に格納されているデータが出力されます。SSRB が Low で ENB と WEB が High の場合、クロックが Low から High に切り替わるたびに、書き込みアドレス (ADDRB) で選択されているワードにデータ入力 (DIB および DIPB) の値が読み込まれます。データ出力 (DOB および DOPB) に出力される値は、書き込みモードによって異なります。書き込みモードは、デフォルトでは WRITE_MODE=WRITE_FIRST に設定されています。上記の説明では、制御ピン (ENA、WEA、SSRA、CLKA、ENB、WEB、SSRB、CLKB) がアクティブ High であると想定していますが、ポートにインバーターを配置してアクティブ Low にすることもできます。RAMB16 のポートに配置したインバーターはブロック内に組み込まれるので、CLB リソースは使用されません。

アドレス マップ

各ポートは、ポートの幅によって異なるアドレス指定方法を使用して、同じ 18432 個のメモリ セルにアクセスします。「データ用のポート アドレス マップ」に示すように、すべてのポート幅で 16384 個のメモリ セルをデータの格納に使用できます。9、18、および 36 ビット幅のポートには、「パリティ用のポート アドレス マップ」に示すように、2408 個のパリティメモリ セルもあります。特定のポート幅での物理的な RAM の位置は、次の式によって決定されます。

$$\text{Start} = ((\text{ADDR_port} + 1) * (\text{Widthport})) - 1$$

$$\text{End} = (\text{ADDRport}) * (\text{Widthport})$$

次の表に、各ポート幅のアドレス マップを示します。

データ用のポート アドレス マップ

データ 幅	ポートのデータ アドレス																																		
1	16384	<--	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
2	8192	<--	15		14		13		12		11		10		9		8		7		6		5		4		3		2		1		0		
4	4096	<--	7				6				5				4				3				2				1				0				
8	2048	<--	3								2								1								0								
16	1024	<--	1																0																
32	512	<--	0																																

パリティ用のポート アドレス マップ

パリティ幅	ポートのパリティ アドレス														
1	2048	<-----	3				2				1				0
2	1024	<-----	1								0				
4	512	<-----	0												

デュアル ポート RAMB16 のメモリ内容の初期化

INIT_xx 属性を使用すると、デバイスのコンフィギュレーション中に RAMB16 のメモリの内容を初期化できます。各 RAMB16_Sm_Sn の初期値は、64 個の初期化属性 (INIT_00 ~ INIT_3F) を使用して 64 桁の 16 進数値で指定します (合計 16384 ビット)。

INITP_xx 属性を使用すると、デバイスのコンフィギュレーションまたはアサート中にパリティ メモリを初期化できます。9、18、36 ビット幅にコンフィギュレーションされたポートのパリティ メモリの初期値は、8 個の初期化属性 (INITP_00 ~ INITP_07) を使用して 64 桁の 16 進数値で指定します (合計 2048 ビット)。

INIT_xx または INITP_xx 属性を指定しない場合は、そのアドレスの値は 0 に設定されます。属性を一部だけ指定すると、上位ビットが 0 になります。

デュアル ポート RAMB16 の出力レジスタの初期化

Spartan®-3A 以降のデバイスでは、電源投入時 (GSR が High のとき) に出力レジスタの各ビットを 0 または 1 に初期化できます。また、セット/リセットをアサートした後の値を、電源投入時の初期値とは異なる値に設定できます。デュアル ポート RAMB16 の出力レジスタを初期化する属性には、INIT_A、INIT_B、SRVAL_A、SRVAL_B の 4 種類があります。INIT_A 属性は電源投入時のポート A の出力レジスタの初期値を指定し、INIT_B 属性は電源投入時のポート B の出力レジスタの初期値を指定します。SRVAL_A 属性はポート A で SSRA (セット/リセット) 入力をアサートしたときの初期値を指定し、SRVAL_B 属性はポート B で SSRB (セット/リセット) 入力をアサートしたときの初期値を指定します。

INIT_A、INIT_B、SRVAL_A、SRVAL_B 属性は、16 進数で指定します。この初期値はポート幅によって異なります。たとえば、ポート A の幅が 1、ポート B の幅が 4 の RAMB16_S1_S4 の場合、ポート A の出力レジスタは 1 ビットなので、INIT_A または SRVAL_A には 1 または 0 を指定します。ポート B の出力レジスタは 4 ビットなので、INIT_B または SRVAL_B には 0 ~ F の 16 進数値を指定します。

パリティビットを含むポートでは、出力レジスタのパリティ部分は、INIT_A、INIT_B、SRVAL_A、SRVAL_B の値の上位ビットで指定します。

INIT および SRVAL 属性を指定しない場合は、デフォルトで 0 に初期化されます。

書き込みモードの選択

WRITE_MODE_A 属性は、デュアル ポート RAMB16 のポート A のメモリおよび出力の内容を制御し、WRITE_MODE_B 属性は、ポート B のメモリおよび出力の内容を制御します。デフォルトでは、WRITE_MODE_A と WRITE_MODE_B は両方とも WRITE_FIRST に設定されています。この場合、入力値がメモリに書き込まれた後にその値が出力されます。READ_FIRST に設定すると、メモリの内容が出力された後、入力値がメモリに書き込まれます。NO_CHANGE に設定すると、入力値はメモリに書き込まれますが、出力の値は変化しません。ポート A とポート B で同じメモリ セルに読み出し/書き込みを行おうとした場合の競合の解決方法については、「ポート A とポート B が競合する場合の対処方法」を参照してください。

ポート A とポート B が競合する場合の対処方法

Spartan-3A ブロックの SelectRAM™ は、完全なデュアル ポート RAM で、2 つのポートが同時に同じメモリ セルにアクセスできます。ただし、一方のポートがあるメモリ セルに書き込みを行っている場合は、もう一方のポートで clock-to-clock セットアップ タイム内に、そのメモリ セルに対して書き込みまたは読み出しを実行しないようにする必要があります。

次の表に、デュアルポート RAMB16 で競合が発生した場合の動作を、WRITE_MODE_A と WRITE_MODE_B の設定別に示します。

WRITE_MODE_A=NO_CHANGE、WRITE_MODE_B=NO_CHANGE の場合

WEA	WEB	CLKA	CLKB	DIA	DIB	DIPA	DIPB	DOA	DOB	DOPA	DOPB	データ RAM	パリティ RAM
0	0	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	変化なし	変化なし
1	0	↑	↑	DIA	DIB	DIPA	DIPB	変化 なし	X	変化 なし	X	DIA	DIPA
0	1	↑	↑	DIA	DIB	DIPA	DIPB	X	変化 なし	X	変化 なし	DIB	DIPB
1	1	↑	↑	DIA	DIB	DIPA	DIPB	変化 なし	変化 なし	変化 なし	変化 なし	X	X

WRITE_MODE_A=READ_FIRST、WRITE_MODE_B=READ_FIRST の場合

WEA	WEB	CLKA	CLKB	DIA	DIB	DIPA	DIPB	DOA	DOB	DOPA	DOPB	データ RAM	パリティ RAM
0	0	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	変化なし	変化なし
1	0	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	DIA	DIPA
0	1	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	DIB	DIPB
1	1	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	X	X

WRITE_MODE_A=WRITE_FIRST、WRITE_MODE_B=WRITE_FIRST の場合

WEA	WEB	CLKA	CLKB	DIA	DIB	DIPA	DIPB	DOA	DOB	DOPA	DOPB	データ RAM	パリティ RAM
0	0	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	変化なし	変化なし
1	0	↑	↑	DIA	DIB	DIPA	DIPB	DIA	X	DIPA	X	DIA	DIPA
0	1	↑	↑	DIA	DIB	DIPA	DIPB	X	DIB	X	DIPB	DIB	DIPB
1	1	↑	↑	DIA	DIB	DIPA	DIPB	X	X	X	X	X	X

WRITE_MODE_A=NO_CHANGE、WRITE_MODE_B=READ_FIRST の場合

WEA	WEB	CLKA	CLKB	DIA	DIB	DIPA	DIPB	DOA	DOB	DOPA	DOPB	データ RAM	パリティ RAM
0	0	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	変化なし	変化なし
1	0	↑	↑	DIA	DIB	DIPA	DIPB	変化 なし	X	変化 なし	X	DIA	DIPA
0	1	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	DIB	DIPB
1	1	↑	↑	DIA	DIB	DIPA	DIPB	変化 なし	X	変化 なし	X	DIB	DIPB

WRITE_MODE_A=NO_CHANGE、WRITE_MODE_B=WRITE_FIRST の場合

WEA	WEB	CLKA	CLKB	DIA	DIB	DIPA	DIPB	DOA	DOB	DOPA	DOPB	データ RAM	パリティ RAM
0	0	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	変化なし	変化なし
1	0	↑	↑	DIA	DIB	DIPA	DIPB	変化 なし	X	変化 なし	X	DIA	DIPA
0	1	↑	↑	DIA	DIB	DIPA	DIPB	X	DIB	X	DIPB	DIB	DIPB
1	1	↑	↑	DIA	DIB	DIPA	DIPB	変化 なし	X	変化 なし	X	X	X

WRITE_MODE_A=READ_FIRST および WRITE_MODE_B=WRITE_FIRST

WEA	WEB	CLKA	CLKB	DIA	DIB	DIPA	DIPB	DOA	DOB	DOPA	DOPB	データ RAM	パリティ RAM
0	0	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	変化なし	変化なし
1	0	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	DIA	DIPA
0	1	↑	↑	DIA	DIB	DIPA	DIPB	X	DIB	X	DIPB	DIB	DIPB
1	1	↑	↑	DIA	DIB	DIPA	DIPB	X	DIB	X	DIPB	DIA	DIPA

デザインの入力方法

このエレメントは、回路図で使用できます。

使用可能な属性

属性	データ型	値	デフォルト	説明
INIT_00 ~ INIT_3F	2 進数/ 16 進数	任意の値	すべて 0	RAM 配列のデータ部分の初期値を指定します。
INIT_A	2 進数/ 16 進数	任意の値	すべて 0	コンフィギュレーション後の DOA 出力ポートの初期値を指定します。ビット幅は、RAM の A ポートの幅によって決まります。
INIT_B	2 進数/ 16 進数	任意の値	すべて 0	コンフィギュレーション後の DOB 出力ポートの初期値を指定します。ビット幅は、RAM の B ポートの幅によって決まります。
INITP_00 ~ INITP_07	2 進数/ 16 進数	任意の値	すべて 0	RAM 配列のパリティ部分の初期値を指定します。

属性	データ型	値	デフォルト	説明
SIM_COLLISION_CHECK	文字列	"ALL"、 "WARNING_ONLY"、 "GENERATE_X_ONLY"、 "NONE"	"ALL"	<p>メモリの競合が発生した場合にシミュレーションの動作を変更できます。詳細は次のとおりです。</p> <ul style="list-style-type: none"> ・ "ALL"：警告メッセージが出力され、関連する出力およびメモリの値が不定 (X) になります。 ・ "WARNING_ONLY"：警告メッセージのみが出力され、関連する出力およびメモリの値はそのまま保持されます。 ・ "GENERATE_X_ONLY"：警告メッセージは出力されず、関連する出力およびメモリの値が不定 (X) になります。 ・ "NONE"：警告メッセージは出力されず、関連する出力およびメモリの値はそのまま保持されます。 <p>注記： "ALL" 以外の値に設定すると、シミュレーション中にデザインの問題を認識できなくなるため、この値を変更する場合は注意が必要です。詳細は、『合成/シミュレーション デザイン ガイド』を参照してください。</p>
SRVAL_A	2 進数/ 16 進数	任意の値	すべて 0	RSTA ピンをアサートしたときに、DOA 出力ポートをセット (1) するかリセット (0) するかをビットごとに設定します。ビット幅は、RAM の A ポートの幅によって決まります。デフォルトではすべてのビットがリセットされます。
SRVAL_B	2 進数/ 16 進数	任意の値	すべて 0	RSTB ピンをアサートしたときに、DOB 出力ポートをセット (1) するかリセット (0) するかをビットごとに設定します。ビット幅は、RAM の B ポートの幅によって決まります。デフォルトではすべてのビットがリセットされます。
WRITE_MODE_A	文字列	"WRITE_FIRST"、 "READ_FIRST"、 "NO_CHANGE"	"WRITE_FIRST"	<p>書き込みコマンドが DOA ポートで実行されるときポートの動作を指定します。</p> <ul style="list-style-type: none"> ・ "WRITE_FIRST"：値がポートに書き込まれてから出力されます。 ・ "READ_FIRST"：新たに値が書き込まれる前に、RAM の以前の値が出力ポートに出力されます。 ・ "NO_CHANGE"：出力ポートの以前の値が保持され、出力ポートの値は変化しません。RAM のポートから値を読み出さない場合は、このモードに設定することをお勧めします。
WRITE_MODE_B	文字列	"WRITE_FIRST"、 "READ_FIRST"、 "NO_CHANGE"	"WRITE_FIRST"	<p>書き込みコマンドが DOB ポートで実行されるときポートの動作を指定します。</p> <ul style="list-style-type: none"> ・ "WRITE_FIRST"：値がポートに書き込まれてから出力されます。

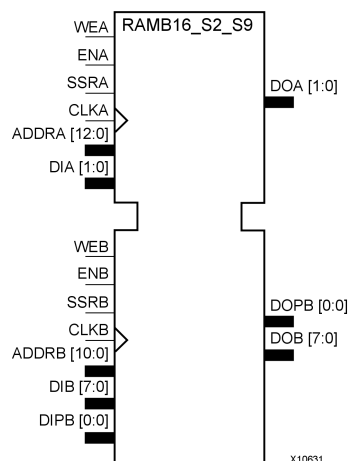
属性	データ型	値	デフォルト	説明
				<ul style="list-style-type: none">・ "READ_FIRST"：新たに値が書き込まれる前に、RAM の以前の値が出力ポートに出力されます。・ "NO_CHANGE"：出力ポートの以前の値が保持され、出力ポートの値は変化しません。RAM のポートから値を読み出さない場合は、このモードに設定することをお勧めします。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリー データシート』\(DS312\)](#)

RAMB16_S2_S9

プリミティブ : 16K-bit Data and 2K-bit Parity Dual-Port Synchronous Block RAM with 2-bit and 9-bit Ports



概要

このデザイン エLEMENTは、同期書き込み機能を備えた、デュアル ポートの専用 RAM ブロックです。各ブロック RAM のポートには 16384 ビットのデータ メモリがあります。ポート幅が 9、18、36 ビットにコンフィギュレーションされたポートには、さらに 2048 ビットのパリティ メモリがあります。各ポートは、同じ 16384 個のデータ メモリ セルに独立してアクセスします。各ポートのデータ幅は、それぞれ個別に設定できます。このELEMENTのポートおよびセルの構成は「ポートの説明」の表に示されています。

論理表

論理表 A

入力								出力			
GSR	ENA	SSRA	WEA	CLKA	ADDRA	DIA	DIPA	DOA	DOPA	RAM の内容	
										データ RAM	パリティ RAM
1	X	X	X	X	X	X	X	INIT_A	INIT_A	変化なし	変化なし
0	0	X	X	X	X	X	X	変化なし	変化なし	変化なし	変化なし
0	1	1	0	↑	X	X	X	SRVAL_A	SRVAL_A	変化なし	変化なし
0	1	1	1	↑	addr	data	pdata	SRVAL_A	SRVAL_A	RAM(addr) =>data	RAM(addr) =>pdata
0	1	0	0	↑	addr	X	X	RAM(addr)	RAM(addr)	変化なし	変化なし
0	1	0	1	↑	addr	data	pdata	変化なし ¹ 、 RAM(addr) ² 、 data ³	変化なし ¹ 、 RAM(addr) ² 、 pdata ³	RAM(addr) =>data	RAM(addr) =>pdata

GSR = グローバル セットリセット信号

INIT_A = 出力レジスタ用に INIT_A 属性で設定された値。デフォルトはすべて 0 です。

SRVAL_A = レジスタの値

addr = RAM アドレス

RAM(addr) = アドレス ADDR の RAM の内容

data = RAM の入力データ

pdata = RAM のパリティ データ

¹WRITE_MODE_A=NO_CHANGE

²WRITE_MODE_A=READ_FIRST

³WRITE_MODE_A=WRITE_FIRST

論理表 B

入力								出力			
GSR	ENB	SSRB	WEB	CLKB	ADDRB	DIB	DIPB	DOB	DOPB	RAM の内容	
										データ RAM	パリティ RAM
1	X	X	X	X	X	X	X	INIT_B	INIT_B	変化なし	変化なし
0	0	X	X	X	X	X	X	変化なし	変化なし	変化なし	変化なし
0	1	1	0	↑	X	X	X	SRVAL_B	SRVAL_B	変化なし	変化なし
0	1	1	1	↑	addr	data	pdata	SRVAL_B	SRVAL_B	RAM(addr) =>data	RAM(addr) =>pdata
0	1	0	0	↑	addr	X	X	RAM(addr)	RAM(addr)	変化なし	変化なし
0	1	0	1	↑	addr	data	pdata	変化なし ¹ 、 RAM(addr) ² 、 data ³	変化なし ¹ 、 RAM(addr) ² 、 pdata ³	RAM(addr) =>data	RAM(addr) =>pdata

GSR = グローバル セット リセット信号
INIT_B = 出力レジスタ用に INIT_B 属性で設定された値。デフォルトはすべて 0 です。
SRVAL_B = レジスタの値
addr = RAM アドレス
RAM(addr) = アドレス ADDR の RAM の内容
data = RAM の入力データ
pdata = RAM のパリティ データ
¹WRITE_MODE_B=NO_CHANGE
²WRITE_MODE_B=READ_FIRST
³WRITE_MODE_B=WRITE_FIRST

ポートの説明

ポート A						ポート B				
デザイン エレメント	データ セル ¹	パリティ セル ¹	アドレス バス	データ バス	パリティ バス	データ セル ¹	パリティ セル ¹	アドレス バス	データ バス	パリティ バス
RAMB16_S2_S9	8192 x 2	—	(12:0)	(1:0)	—	2048 x 8	2048 x 1	(10:0)	(7:0)	(0:0)

¹ ワード数 X 幅

各ポートは、それぞれのクロックに完全に同期します。ポート A の各データ入力ピン (DIA) のセットアップ タイム、およびデータ出力バス (DOA) の clock-to-out タイムは、CLKA を基準とします。ポート B の各データ入力ピン (DIB) のセットアップ タイム、およびデータ出力バス (DOB) の clock-to-out タイムは、CLKB を基準とします。イネーブル ピン ENA は、ポート A の読み出し、書き込み、リセットを制御します。ENA が Low の場合、データは書き込まれず、出力 (DOA および DOPA) は変化しません。ENA とリセット (SSRA) が High の場合、クロック (CLKA) が Low から High に切り替わるたびに DOA および DOPA が SRVAL_A にセットされます。ライト イネーブル (WEA) も High の場合は、DIA および DIPA の値が RAM に書き込まれます。ENA が High で SSRA と WEA が Low の場合、クロックが Low から High に切り替わるたびに、RAM アドレス (ADDR_A) に格納されているデータが読み出されます。SSRA が Low で ENA と WEA が High の場合、クロックが Low から High に切り替わるたびに、書き込みアドレス (ADDR_A) で選択されているワードにデータ入力 (DIA および DIPA) の値が読み込まれます。データ出力 (DOA および DOPA) に出力される値は、書き込みモードによって異なります。書き込みモードは、デフォルトでは WRITE_MODE=WRITE_FIRST に設定されています。

イネーブル ピン ENB は、ポート B の読み出し、書き込み、リセットを制御します。ENB が Low の場合、データは書き込まれず、出力 (DOB および DOPB) は変化しません。ENB とリセット (SSRB) が High の場合、クロック (CLKB) が Low から High に切り替わるたびに、DOB および DOPB が SRVAL_B にセットされます。ライト イネーブル (WEB) も High の場合は、DIB および DIPB の値が RAM に書き込まれます。ENB が High で SSRB と WEB が Low の場合、クロックが Low から High に切り替わるたびに RAM アドレス (ADDRB) に格納されているデータが出力されます。SSRB が Low で ENB と WEB が High の場合、クロックが Low から High に切り替わるたびに、書き込みアドレス (ADDRB) で選択されているワードにデータ入力 (DIB および DIPB) の値が読み込まれます。データ出力 (DOB および DOPB) に出力される値は、書き込みモードによって異なります。書き込みモードは、デフォルトでは WRITE_MODE=WRITE_FIRST に設定されています。上記の説明では、制御ピン (ENA、WEA、SSRA、CLKA、ENB、WEB、SSRB、CLKB) がアクティブ High であると想定していますが、ポートにインバーターを配置してアクティブ Low にすることもできます。RAMB16 のポートに配置したインバーターはブロック内に組み込まれるので、CLB リソースは使用されません。

アドレス マップ

各ポートは、ポートの幅によって異なるアドレス指定方法を使用して、同じ 18432 個のメモリ セルにアクセスします。「データ用のポート アドレス マップ」に示すように、すべてのポート幅で 16384 個のメモリ セルをデータの格納に使用できます。9、18、および 36 ビット幅のポートには、「パリティ用のポート アドレス マップ」に示すように、2408 個のパリティメモリ セルもあります。特定のポート幅での物理的な RAM の位置は、次の式によって決定されます。

$$\text{Start} = ((\text{ADDR_port} + 1) * (\text{Widthport})) - 1$$

$$\text{End} = (\text{ADDRport}) * (\text{Widthport})$$

次の表に、各ポート幅のアドレス マップを示します。

データ用のポート アドレス マップ

データ 幅	ポートのデータ アドレス																																		
1	16384	<--	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
2	8192	<--	15		14		13		12		11		10		9		8		7		6		5		4		3		2		1		0		
4	4096	<--	7				6				5				4				3				2				1				0				
8	2048	<--	3								2								1								0								
16	1024	<--	1																0																
32	512	<--	0																																

パリティ用のポート アドレス マップ

パリティ幅	ポートのパリティ アドレス														
1	2048	<-----	3				2				1				0
2	1024	<-----	1								0				
4	512	<-----	0												

デュアル ポート RAMB16 のメモリ内容の初期化

INIT_xx 属性を使用すると、デバイスのコンフィギュレーション中に RAMB16 のメモリの内容を初期化できます。各 RAMB16_Sm_Sn の初期値は、64 個の初期化属性 (INIT_00 ~ INIT_3F) を使用して 64 桁の 16 進数値で指定します (合計 16384 ビット)。

INITP_xx 属性を使用すると、デバイスのコンフィギュレーションまたはアサート中にパリティ メモリを初期化できます。9、18、36 ビット幅にコンフィギュレーションされたポートのパリティ メモリの初期値は、8 個の初期化属性 (INITP_00 ~ INITP_07) を使用して 64 桁の 16 進数値で指定します (合計 2048 ビット)。

INIT_xx または INITP_xx 属性を指定しない場合は、そのアドレスの値は 0 に設定されます。属性を一部だけ指定すると、上位ビットが 0 になります。

デュアル ポート RAMB16 の出力レジスタの初期化

Spartan®-3A 以降のデバイスでは、電源投入時 (GSR が High のとき) に出力レジスタの各ビットを 0 または 1 に初期化できます。また、セット/リセットをアサートした後の値を、電源投入時の初期値とは異なる値に設定できます。デュアル ポート RAMB16 の出力レジスタを初期化する属性には、INIT_A、INIT_B、SRVAL_A、SRVAL_B の 4 種類があります。INIT_A 属性は電源投入時のポート A の出力レジスタの初期値を指定し、INIT_B 属性は電源投入時のポート B の出力レジスタの初期値を指定します。SRVAL_A 属性はポート A で SSRA (セット/リセット) 入力をアサートしたときの初期値を指定し、SRVAL_B 属性はポート B で SSRB (セット/リセット) 入力をアサートしたときの初期値を指定します。

INIT_A、INIT_B、SRVAL_A、SRVAL_B 属性は、16 進数で指定します。この初期値はポート幅によって異なります。たとえば、ポート A の幅が 1、ポート B の幅が 4 の RAMB16_S1_S4 の場合、ポート A の出力レジスタは 1 ビットなので、INIT_A または SRVAL_A には 1 または 0 を指定します。ポート B の出力レジスタは 4 ビットなので、INIT_B または SRVAL_B には 0 ~ F の 16 進数値を指定します。

パリティビットを含むポートでは、出力レジスタのパリティ部分は、INIT_A、INIT_B、SRVAL_A、SRVAL_B の値の上位ビットで指定します。

INIT および SRVAL 属性を指定しない場合は、デフォルトで 0 に初期化されます。

書き込みモードの選択

WRITE_MODE_A 属性は、デュアル ポート RAMB16 のポート A のメモリおよび出力の内容を制御し、WRITE_MODE_B 属性は、ポート B のメモリおよび出力の内容を制御します。デフォルトでは、WRITE_MODE_A と WRITE_MODE_B は両方とも WRITE_FIRST に設定されています。この場合、入力値がメモリに書き込まれた後にその値が出力されます。READ_FIRST に設定すると、メモリの内容が出力された後、入力値がメモリに書き込まれます。NO_CHANGE に設定すると、入力値はメモリに書き込まれますが、出力の値は変化しません。ポート A とポート B で同じメモリ セルに読み出し/書き込みを行おうとした場合の競合の解決方法については、「ポート A とポート B が競合する場合の対処方法」を参照してください。

ポート A とポート B が競合する場合の対処方法

Spartan®-3A ブロックの SelectRAM™ は、完全なデュアル ポート RAM で、2 つのポートが同時に同じメモリ セルにアクセスできます。ただし、一方のポートがあるメモリ セルに書き込みを行っている場合は、もう一方のポートで clock-to-clock セットアップ タイム内に、そのメモリ セルに対して書き込みまたは読み出しを実行しないようにする必要があります。

次の表に、デュアルポート RAMB16 で競合が発生した場合の動作を、WRITE_MODE_A と WRITE_MODE_B の設定別に示します。

WRITE_MODE_A=NO_CHANGE、WRITE_MODE_B=NO_CHANGE の場合

WEA	WEB	CLKA	CLKB	DIA	DIB	DIPA	DIPB	DOA	DOB	DOPA	DOPB	データ RAM	パリティ RAM
0	0	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	変化なし	変化なし
1	0	↑	↑	DIA	DIB	DIPA	DIPB	変化 なし	X	変化 なし	X	DIA	DIPA
0	1	↑	↑	DIA	DIB	DIPA	DIPB	X	変化 なし	X	変化 なし	DIB	DIPB
1	1	↑	↑	DIA	DIB	DIPA	DIPB	変化 なし	変化 なし	変化 なし	変化 なし	X	X

WRITE_MODE_A=READ_FIRST、WRITE_MODE_B=READ_FIRST の場合

WEA	WEB	CLKA	CLKB	DIA	DIB	DIPA	DIPB	DOA	DOB	DOPA	DOPB	データ RAM	パリティ RAM
0	0	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	変化なし	変化なし
1	0	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	DIA	DIPA
0	1	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	DIB	DIPB
1	1	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	X	X

WRITE_MODE_A=WRITE_FIRST、WRITE_MODE_B=WRITE_FIRST の場合

WEA	WEB	CLKA	CLKB	DIA	DIB	DIPA	DIPB	DOA	DOB	DOPA	DOPB	データ RAM	パリティ RAM
0	0	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	変化なし	変化なし
1	0	↑	↑	DIA	DIB	DIPA	DIPB	DIA	X	DIPA	X	DIA	DIPA
0	1	↑	↑	DIA	DIB	DIPA	DIPB	X	DIB	X	DIPB	DIB	DIPB
1	1	↑	↑	DIA	DIB	DIPA	DIPB	X	X	X	X	X	X

WRITE_MODE_A=NO_CHANGE、WRITE_MODE_B=READ_FIRST の場合

WEA	WEB	CLKA	CLKB	DIA	DIB	DIPA	DIPB	DOA	DOB	DOPA	DOPB	データ RAM	パリティ RAM
0	0	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	変化なし	変化なし
1	0	↑	↑	DIA	DIB	DIPA	DIPB	変化 なし	X	変化 なし	X	DIA	DIPA
0	1	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	DIB	DIPB
1	1	↑	↑	DIA	DIB	DIPA	DIPB	変化 なし	X	変化 なし	X	DIB	DIPB

WRITE_MODE_A=NO_CHANGE、WRITE_MODE_B=WRITE_FIRST の場合

WEA	WEB	CLKA	CLKB	DIA	DIB	DIPA	DIPB	DOA	DOB	DOPA	DOPB	データ RAM	パリティ RAM
0	0	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	変化なし	変化なし
1	0	↑	↑	DIA	DIB	DIPA	DIPB	変化 なし	X	変化 なし	X	DIA	DIPA
0	1	↑	↑	DIA	DIB	DIPA	DIPB	X	DIB	X	DIPB	DIB	DIPB
1	1	↑	↑	DIA	DIB	DIPA	DIPB	変化 なし	X	変化 なし	X	X	X

WRITE_MODE_A=READ_FIRST および WRITE_MODE_B=WRITE_FIRST

WEA	WEB	CLKA	CLKB	DIA	DIB	DIPA	DIPB	DOA	DOB	DOPA	DOPB	データ RAM	パリティ RAM
0	0	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	変化なし	変化なし
1	0	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	DIA	DIPA
0	1	↑	↑	DIA	DIB	DIPA	DIPB	X	DIB	X	DIPB	DIB	DIPB
1	1	↑	↑	DIA	DIB	DIPA	DIPB	X	DIB	X	DIPB	DIA	DIPA

デザインの入力方法

このエレメントは、回路図で使用できます。

使用可能な属性

属性	データ型	値	デフォルト	説明
INIT_00 ~ INIT_3F	2 進数/ 16 進数	任意の値	すべて 0	RAM 配列のデータ部分の初期値を指定します。
INIT_A	2 進数/ 16 進数	任意の値	すべて 0	コンフィギュレーション後の DOA 出力ポートの初期値を指定します。ビット幅は、RAM の A ポートの幅によって決まります。
INIT_B	2 進数/ 16 進数	任意の値	すべて 0	コンフィギュレーション後の DOB 出力ポートの初期値を指定します。ビット幅は、RAM の B ポートの幅によって決まります。
INITP_00 ~ INITP_07	2 進数/ 16 進数	任意の値	すべて 0	RAM 配列のパリティ部分の初期値を指定します。

属性	データ型	値	デフォルト	説明
SIM_COLLISION_CHECK	文字列	"ALL"、 "WARNING_ONLY"、 "GENERATE_X_ONLY"、 "NONE"	"ALL"	<p>メモリの競合が発生した場合にシミュレーションの動作を変更できます。詳細は次のとおりです。</p> <ul style="list-style-type: none"> ・ "ALL" : 警告メッセージが出力され、関連する出力およびメモリの値が不定 (X) になります。 ・ "WARNING_ONLY" : 警告メッセージのみが出力され、関連する出力およびメモリの値はそのまま保持されます。 ・ "GENERATE_X_ONLY" : 警告メッセージは出力されず、関連する出力およびメモリの値が不定 (X) になります。 ・ "NONE" : 警告メッセージは出力されず、関連する出力およびメモリの値はそのまま保持されます。 <p>注記 : "ALL" 以外の値に設定すると、シミュレーション中にデザインの問題を認識できなくなるため、この値を変更する場合は注意が必要です。詳細は、『合成/シミュレーション デザイン ガイド』を参照してください。</p>
SRVAL_A	2 進数/ 16 進数	任意の値	すべて 0	RSTA ピンをアサートしたときに、DOA 出力ポートをセット (1) するかリセット (0) するかをビットごとに設定します。ビット幅は、RAM の A ポートの幅によって決まります。デフォルトではすべてのビットがリセットされます。
SRVAL_B	2 進数/ 16 進数	任意の値	すべて 0	RSTB ピンをアサートしたときに、DOB 出力ポートをセット (1) するかリセット (0) するかをビットごとに設定します。ビット幅は、RAM の B ポートの幅によって決まります。デフォルトではすべてのビットがリセットされます。
WRITE_MODE_A	文字列	"WRITE_FIRST"、 "READ_FIRST"、 "NO_CHANGE"	"WRITE_FIRST"	<p>書き込みコマンドが DOA ポートで実行されるときのポートの動作を指定します。</p> <ul style="list-style-type: none"> ・ "WRITE_FIRST" : 値がポートに書き込まれてから出力されます。 ・ "READ_FIRST" : 新たに値が書き込まれる前に、RAM の以前の値が出力ポートに出力されます。 ・ "NO_CHANGE" : 出力ポートの以前の値が保持され、出力ポートの値は変化しません。RAM のポートから値を読み出さない場合は、このモードに設定することをお勧めします。
WRITE_MODE_B	文字列	"WRITE_FIRST"、 "READ_FIRST"、 "NO_CHANGE"	"WRITE_FIRST"	<p>書き込みコマンドが DOB ポートで実行されるときのポートの動作を指定します。</p> <ul style="list-style-type: none"> ・ "WRITE_FIRST" : 値がポートに書き込まれてから出力されます。

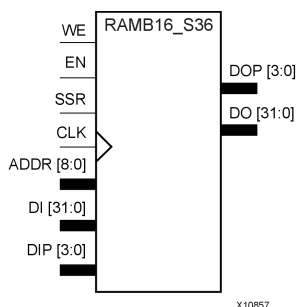
属性	データ型	値	デフォルト	説明
				<ul style="list-style-type: none">“READ_FIRST”：新たに値が書き込まれる前に、RAM の以前の値が出力ポートに出力されます。“NO_CHANGE”：出力ポートの以前の値が保持され、出力ポートの値は変化しません。RAM のポートから値を読み出さない場合は、このモードに設定することをお勧めします。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリー データシート』\(DS312\)](#)

RAMB16_S36

プリミティブ：16K-bit Data and 2K-bit Parity Single-Port Synchronous Block RAM with 36-bit Port



概要

このデザイン エLEMENTは、同期書き込み機能を備えた専用 RAM ブロックです。ブロック RAM のポートには 16384 ビットのデータ メモリがあります。セルの構成を、次の表に示します。

データ セル		パリティ セル				
ワード数	幅	ワード数	幅	アドレス バス	データ バス	パリティ バス
512	32	512	4	(8:0)	(31:0)	(3:0)

イネーブル ピン EN は、読み出し、書き込み、リセットを制御します。EN が Low の場合、データは書き込まれず、出力 (DO および DOP) の値は変化しません。EN とリセット (SSR) が High の場合、クロック (CLK) が Low から High に切り替わるときに、DO および DOP が SRVAL にセットされます。ライト イネーブル (WE) も High の場合は、DI および DIP の値が RAM に書き込まれます。SSR と WE が Low で EN が High の場合、クロックが Low から High に切り替わるときに、RAM アドレス (ADDR) に格納されているデータが DO および DOP に出力されます。デフォルトでは WRITE_MODE=WRITE_FIRST に設定されており、SSR が Low で EN および WE が High の場合、クロックが Low から High に切り替わるときに、データ入力 (DI および DIP) のデータが書き込みアドレス (ADDR) で選択されているワードに書き込まれ、データ出力 (DO および DOP) にその値が出力されます。

上記の説明では、制御ピン (EN、WE、SSR、CLK) がアクティブ High であると想定していますが、ポートにインバーターを配置してアクティブ Low にすることもできます。RAMB16 のポートに配置したインバーターはブロック内に組み込まれるので、CLB リソースは使用されません。

論理表

入力								出力			
GSR	EN	SSR	WE	CLK	ADDR	DI	DIP	DO	DOP	RAM の内容	
										データ RAM	パリティ RAM
1	X	X	X	X	X	X	X	INIT	INIT	変化なし	変化なし
0	0	X	X	X	X	X	X	変化なし	変化なし	変化なし	変化なし
0	1	1	0	↑	X	X	X	SRVAL	SRVAL	変化なし	変化なし
0	1	1	1	↑	addr	data	pdata	SRVAL	SRVAL	RAM(addr) =>data	RAM(addr) =>pdata
0	1	0	0	↑	addr	X	X	RAM(addr)	RAM(addr)	変化なし	変化なし
0	1	0	1	↑	addr	data	pdata	変化なし ¹ 、 RAM(addr) ² 、 data ³	変化なし ¹ 、 RAM(addr) ² 、 pdata ³	RAM(addr) =>data	RAM(addr) =>pdata

GSR=グローバル セットリセット信号

INIT = データ メモリ用に INIT 属性で設定された値。デフォルトはすべて 0 です。

SRVAL = SRVAL 属性で設定された SSR のアサート後の値

addr = RAM アドレス

RAM(addr) = アドレス ADDR の RAM の内容

data = RAM の入力データ

pdata = RAM のパリティ データ

¹ WRITE_MODE=NO_CHANGE

² WRITE_MODE=READ_FIRST

³ WRITE_MODE=WRITE_FIRST

初期化

メモリ内容の初期化

INIT_{xx} 属性を使用すると、デバイスのコンフィギュレーション中に RAMB16 のメモリの内容を初期化できます。各 RAMB16 の初期値は、64 個の初期化属性 (INIT₀₀ ~ INIT_{3F}) を使用して 64 桁の 16 進数値で指定します (合計 16384 ビット)。

INITP_{xx} 属性を使用すると、デバイスのコンフィギュレーションまたはアサート中にパリティメモリを初期化できます。9、18、36 ビット幅にコンフィギュレーションされたポートのパリティメモリの初期値は、8 個の初期化属性 (INITP₀₀ ~ INITP₀₇) を使用して 64 桁の 16 進数値で指定します (合計 2048 ビット)。

INIT_{xx} または INITP_{xx} 属性を指定しない場合は、そのアドレスの値は 0 に設定されます。属性を一部だけ指定すると、上位ビットが 0 になります。

出力レジスタの初期化

Spartan®-3A 以降のデバイスでは、電源投入時に出力レジスタの各ビットを 0 または 1 に初期化できます。また、セット/リセットをアサートした後の値を、電源投入時の初期値とは異なる値に設定できます。シングルポート RAMB16 の出力レジスタの初期化に使用する属性には、INIT と SRVAL の 2 種類があります。INIT 属性は、電源投入時の出力レジスタの値を指定します。SRVAL 属性は、SSR (セット/リセット) 入力のアサートしたときの値を指定します。

INIT および SRVAL 属性は、初期化値を、出力ポートの各ビットに 1 ビットが対応した 16 進数文字列として指定します。たとえば、ポート幅が 1 の RAMB16_S1 の場合、出力レジスタは 1 ビットなので、INIT および SRVAL には 1 または 0 を指定します。ポート幅が 4 の RAMB16_S4 の場合は、出力レジスタは 4 ビットなので、0 ~ F の 16 進数値を指定します。

パリティビットを含むポートでは、出力レジスタのパリティ部分は、INIT または SRVAL の値の上位ビットで指定します。

書き込みモードの選択

WRITE_MODE 属性は、RAMB16 メモリおよび出力の内容を制御します。デフォルトでは、WRITE_MODE は WRITE_FIRST に設定されています。この場合、入力値がメモリに書き込まれた後にその値が出力されます。WRITE_MODE を READ_FIRST に設定すると、メモリの内容が出力された後、入力値がメモリに書き込まれます。WRITE_MODE を NO_CHANGE に設定すると、入力値はメモリに書き込まれますが、出力の値は変化しません。

デザインの入力方法

このエレメントは、回路図で使用できます。

使用可能な属性

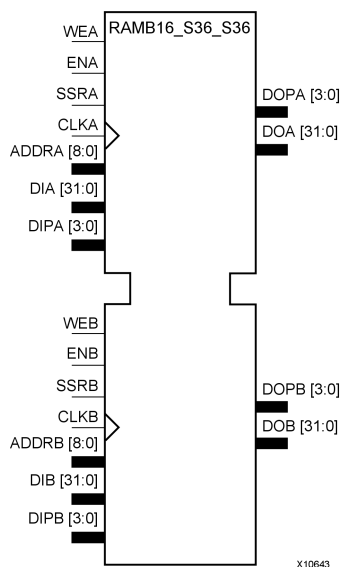
属性	データ型	値	デフォルト	説明
INIT	2 進数/ 16 進数	任意の値	すべて 0	コンフィギュレーション後の DO 出力ポートの初期値を指定します。ビット幅は、RAM の A ポートまたは B ポートの幅によって決まります。
INIT_00 ~ INIT_3F	2 進数/ 16 進数	任意の値	すべて 0	RAM 配列のデータ部分の初期値を指定します。
INITP_00 ~ INITP_07	2 進数/ 16 進数	任意の値	すべて 0	RAM 配列のパリティ部分の初期値を指定します。
SRVAL	2 進数/ 16 進数	任意の値	すべて 0	SSR ピンをアサートしたときに、DO 出力ポートをセット (1) するかリセット (0) するかをビットごとに指定します。ビット幅は、RAM の A ポートまたは B ポートの幅によって決まります。
WRITE_MODE	文字列	"WRITE_FIRST"、 "READ_FIRST"、 "NO_CHANGE"	"WRITE_FIRST"	書き込みコマンドが DO ポートで実行される ときのポートの動作を指定します。 <ul style="list-style-type: none"> ・ "WRITE_FIRST": 値がポートに書き込まれてから出力されます。 ・ "READ_FIRST": 新たに値が書き込まれる前に、RAM の以前の値が出力ポートに出力されます。 ・ "NO_CHANGE": 出力ポートの以前の値が保持され、出力ポートの値は変化しません。RAM のポートから値を読み出さない場合は、このモードに設定することをお勧めします。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリ データシート』\(DS312\)](#)

RAMB16_S36_S36

プリミティブ : 16K-bit Data and 2K-bit Parity Dual-Port Synchronous Block RAM with Two 36-bit Ports



概要

このデザイン エLEMENTは、同期書き込み機能を備えた、デュアル ポートの専用 RAM ブロックです。各ブロック RAM のポートには 16384 ビットのデータ メモリがあります。ポート幅が 9、18、36 ビットにコンフィギュレーションされたポートには、さらに 2048 ビットのパリティ メモリがあります。各ポートは、同じ 16384 個のデータ メモリ セルに独立してアクセスします。各ポートのデータ幅は、それぞれ個別に設定できます。このELEMENTのポートおよびセルの構成は「ポートの説明」の表に示されています。

論理表

論理表 A

入力								出力			
GSR	ENA	SSRA	WEA	CLKA	ADDRA	DIA	DIPA	DOA	DOPA	RAM の内容	
										データ RAM	パリティ RAM
1	X	X	X	X	X	X	X	INIT_A	INIT_A	変化なし	変化なし
0	0	X	X	X	X	X	X	変化なし	変化なし	変化なし	変化なし
0	1	1	0	↑	X	X	X	SRVAL_A	SRVAL_A	変化なし	変化なし
0	1	1	1	↑	addr	data	pdata	SRVAL_A	SRVAL_A	RAM(addr) =>data	RAM(addr) =>pdata
0	1	0	0	↑	addr	X	X	RAM(addr)	RAM(addr)	変化なし	変化なし
0	1	0	1	↑	addr	data	pdata	変化なし ¹ 、 RAM(addr) ² 、 data ³	変化なし ¹ 、 RAM(addr) ² 、 pdata ³	RAM(addr) =>data	RAM(addr) =>pdata

GSR = グローバル セットリセット信号

INIT_A = 出力レジスタ用に INIT_A 属性で設定された値。デフォルトはすべて 0 です。

SRVAL_A = レジスタの値

addr = RAM アドレス

RAM(addr) = アドレス ADDR の RAM の内容

data = RAM の入力データ

pdata = RAM のパリティ データ

¹WRITE_MODE_A=NO_CHANGE

²WRITE_MODE_A=READ_FIRST

³WRITE_MODE_A=WRITE_FIRST

論理表 B

入力								出力			
GSR	ENB	SSRB	WEB	CLKB	ADDRB	DIB	DIPB	DOB	DOPB	RAM の内容	
										データ RAM	パリティ RAM
1	X	X	X	X	X	X	X	INIT_B	INIT_B	変化なし	変化なし
0	0	X	X	X	X	X	X	変化なし	変化なし	変化なし	変化なし
0	1	1	0	↑	X	X	X	SRVAL_B	SRVAL_B	変化なし	変化なし
0	1	1	1	↑	addr	data	pdata	SRVAL_B	SRVAL_B	RAM(addr) =>data	RAM(addr) =>pdata
0	1	0	0	↑	addr	X	X	RAM(addr)	RAM(addr)	変化なし	変化なし
0	1	0	1	↑	addr	data	pdata	変化なし ¹ 、 RAM(addr) ² 、 data ³	変化なし ¹ 、 RAM(addr) ² 、 pdata ³	RAM(addr) =>data	RAM(addr) =>pdata

GSR = グローバル セット リセット信号

INIT_B = 出力レジスタ用に INIT_B 属性で設定された値。デフォルトはすべて 0 です。

SRVAL_B = レジスタの値

addr = RAM アドレス

RAM(addr) = アドレス ADDR の RAM の内容

data = RAM の入力データ

pdata = RAM のパリティ データ

¹WRITE_MODE_B=NO_CHANGE

²WRITE_MODE_B=READ_FIRST

³WRITE_MODE_B=WRITE_FIRST

ポートの説明

ポート A						ポート B				
デザイン エレメント	データ セル ¹	パリティ セル ¹	アドレ ス バス	データ バス	パリティ バス	データ セル ¹	パリティ セル ¹	アドレ ス バス	データ バス	パリティ バス
RAMB16_S36_S36	512 x 32	512 x 4	(8:0)	(31:0)	(3:0)	512 x 32	512 x 4	(8:0)	(31:0)	(3:0)

¹ ワード数 X 幅

各ポートは、それぞれのクロックに完全に同期します。ポート A の各データ入力ピン (DIA) のセットアップ タイム、およびデータ出力バス (DOA) の clock-to-out タイムは、CLKA を基準とします。ポート B の各データ入力ピン (DIB) のセットアップ タイム、およびデータ出力バス (DOB) の clock-to-out タイムは、CLKB を基準とします。イネーブル ピン ENA は、ポート A の読み出し、書き込み、リセットを制御します。ENA が Low の場合、データは書き込まれず、出力 (DOA および DOPA) は変化しません。ENA とリセット (SSRA) が High の場合、クロック (CLKA) が Low から High に切り替わるときに DOA および DOPA が SRVAL_A にセットされます。ライト イネーブル (WEA) も High の場合は、DIA および DIPA の値が RAM に書き込まれます。ENA が High で SSRA と WEA が Low の場合、クロックが Low から High に切り替わるときに、RAM アドレス (ADDR_A) に格納されているデータが読み出されます。SSRA が Low で ENA と WEA が High の場合、クロックが Low から High に切り替わるときに、書き込みアドレス (ADDR_A) で選択されているワードにデータ入力 (DIA および DIPA) の値が読み込まれます。データ出力 (DOA および DOPA) に出力される値は、書き込みモードによって異なります。書き込みモードは、デフォルトでは WRITE_MODE=WRITE_FIRST に設定されています。

イネーブル ピン ENB は、ポート B の読み出し、書き込み、リセットを制御します。ENB が Low の場合、データは書き込まれず、出力 (DOB および DOPB) は変化しません。ENB とリセット (SSRB) が High の場合、クロック (CLKB) が Low から High に切り替わるときに、DOB および DOPB が SRVAL_B にセットされます。ライト イネーブル (WEB) も High の場合は、DIB および DIPB の値が RAM に書き込まれます。ENB が High で SSRB と WEB が Low の場合、クロックが Low から High に切り替わるときに RAM アドレス (ADDRB) に格納されているデータが出力されます。SSRB が Low で ENB と WEB が High の場合、クロックが Low から High に切り替わるときに、書き込みアドレス (ADDRB) で選択されているワードにデータ入力 (DIB および DIPB) の値が読み込まれます。データ出力 (DOB および DOPB) に出力される値は、書き込みモードによって異なります。書き込みモードは、デフォルトでは WRITE_MODE=WRITE_FIRST に設定されています。上記の説明では、制御ピン (ENA、WEA、SSRA、CLKA、ENB、WEB、SSRB、CLKB) がアクティブ High であると想定していますが、ポートにインバーターを配置してアクティブ Low にすることもできます。RAMB16 のポートに配置したインバーターはブロック内に組み込まれるので、CLB リソースは使用されません。

アドレス マッピング

各ポートは、ポートの幅によって異なるアドレス指定方法を使用して、同じ 18432 個のメモリ セルにアクセスします。「データ用のポート アドレス マップ」に示すように、すべてのポート幅で 16384 個のメモリ セルをデータの格納に使用できます。9、18、および 36 ビット幅のポートには、「パリティ用のポート アドレス マップ」に示すように、2408 個のパリティメモリセルもあります。特定のポート幅での物理的な RAM の位置は、次の式によって決定されます。

$$\text{Start} = ((\text{ADDR port} + 1) * (\text{Widthport})) - 1$$

$$\text{End} = (\text{ADDRport}) * (\text{Widthport})$$

次の表に、各ポート幅のアドレス マップを示します。

データ用のポート アドレス マップ

データ 幅	ポートのデータ アドレス																																		
1	16384	<--	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
2	8192	<--	15		14		13		12		11		10		9		8		7		6		5		4		3		2		1		0		
4	4096	<--	7				6				5				4				3				2				1				0				
8	2048	<--	3								2								1								0								
16	1024	<--	1																0																
32	512	<--	0																																

パリティ用のポート アドレス マップ

パリティ幅	ポートのパリティ アドレス														
1	2048	<-----	3				2				1				0
2	1024	<-----	1								0				
4	512	<-----	0												

デュアル ポート RAMB16 のメモリ内容の初期化

INIT_xx 属性を使用すると、デバイスのコンフィギュレーション中に RAMB16 のメモリの内容を初期化できます。各 RAMB16_Sm_Sn の初期値は、64 個の初期化属性 (INIT_00 ~ INIT_3F) を使用して 64 桁の 16 進数値で指定します (合計 16384 ビット)。

INITP_xx 属性を使用すると、デバイスのコンフィギュレーションまたはアサート中にパリティ メモリを初期化できます。9、18、36 ビット幅にコンフィギュレーションされたポートのパリティ メモリの初期値は、8 個の初期化属性 (INITP_00 ~ INITP_07) を使用して 64 桁の 16 進数値で指定します (合計 2048 ビット)。

INIT_xx または INITP_xx 属性を指定しない場合は、そのアドレスの値は 0 に設定されます。属性を一部だけ指定すると、上位ビットが 0 になります。

デュアル ポート RAMB16 の出力レジスタの初期化

Spartan®-3A 以降のデバイスでは、電源投入時 (GSR が High のとき) に出力レジスタの各ビットを 0 または 1 に初期化できます。また、セット/リセットをアサートした後の値を、電源投入時の初期値とは異なる値に設定できます。デュアル ポート RAMB16 の出力レジスタを初期化する属性には、INIT_A、INIT_B、SRVAL_A、SRVAL_B の 4 種類があります。INIT_A 属性は電源投入時のポート A の出力レジスタの初期値を指定し、INIT_B 属性は電源投入時のポート B の出力レジスタの初期値を指定します。SRVAL_A 属性はポート A で SSRA (セット/リセット) 入力をアサートしたときの初期値を指定し、SRVAL_B 属性はポート B で SSRB (セット/リセット) 入力をアサートしたときの初期値を指定します。

INIT_A、INIT_B、SRVAL_A、SRVAL_B 属性は、16 進数で指定します。この初期値はポート幅によって異なります。たとえば、ポート A の幅が 1、ポート B の幅が 4 の RAMB16_S1_S4 の場合、ポート A の出力レジスタは 1 ビットなので、INIT_A または SRVAL_A には 1 または 0 を指定します。ポート B の出力レジスタは 4 ビットなので、INIT_B または SRVAL_B には 0 ~ F の 16 進数値を指定します。

パリティビットを含むポートでは、出力レジスタのパリティ部分は、INIT_A、INIT_B、SRVAL_A、SRVAL_B の値の上位ビットで指定します。

INIT および SRVAL 属性を指定しない場合は、デフォルトで 0 に初期化されます。

書き込みモードの選択

WRITE_MODE_A 属性は、デュアル ポート RAMB16 のポート A のメモリおよび出力の内容を制御し、WRITE_MODE_B 属性は、ポート B のメモリおよび出力の内容を制御します。デフォルトでは、WRITE_MODE_A と WRITE_MODE_B は両方とも WRITE_FIRST に設定されています。この場合、入力値がメモリに書き込まれた後にその値が出力されます。READ_FIRST に設定すると、メモリの内容が出力された後、入力値がメモリに書き込まれます。NO_CHANGE に設定すると、入力値はメモリに書き込まれますが、出力の値は変化しません。ポート A とポート B で同じメモリ セルに読み出し/書き込みを行おうとした場合の競合の解決方法については、「ポート A とポート B が競合する場合の対処方法」を参照してください。

ポート A とポート B が競合する場合の対処方法

Spartan-3A ブロック SelectRAM™ は、完全なデュアル ポート RAM で、2 つのポートが同時に同じメモリ セルにアクセスできます。ただし、一方のポートがあるメモリ セルに書き込みを行っている場合は、もう一方のポートで clock-to-clock セットアップ タイム内に、そのメモリ セルに対して書き込みまたは読み出しを実行しないようにする必要があります。

次の表に、デュアルポート RAMB16 で競合が発生した場合の動作を、WRITE_MODE_A と WRITE_MODE_B の設定別に示します。

WRITE_MODE_A=NO_CHANGE、WRITE_MODE_B=NO_CHANGE の場合

WEA	WEB	CLKA	CLKB	DIA	DIB	DIPA	DIPB	DOA	DOB	DOPA	DOPB	データ RAM	パリティ RAM
0	0	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	変化なし	変化なし
1	0	↑	↑	DIA	DIB	DIPA	DIPB	変化 なし	X	変化 なし	X	DIA	DIPA
0	1	↑	↑	DIA	DIB	DIPA	DIPB	X	変化 なし	X	変化 なし	DIB	DIPB
1	1	↑	↑	DIA	DIB	DIPA	DIPB	変化 なし	変化 なし	変化 なし	変化 なし	X	X

WRITE_MODE_A=READ_FIRST、WRITE_MODE_B=READ_FIRST の場合

WEA	WEB	CLKA	CLKB	DIA	DIB	DIPA	DIPB	DOA	DOB	DOPA	DOPB	データ RAM	パリティ RAM
0	0	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	変化なし	変化なし
1	0	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	DIA	DIPA
0	1	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	DIB	DIPB
1	1	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	X	X

WRITE_MODE_A=WRITE_FIRST、WRITE_MODE_B=WRITE_FIRST の場合

WEA	WEB	CLKA	CLKB	DIA	DIB	DIPA	DIPB	DOA	DOB	DOPA	DOPB	データ RAM	パリティ RAM
0	0	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	変化なし	変化なし
1	0	↑	↑	DIA	DIB	DIPA	DIPB	DIA	X	DIPA	X	DIA	DIPA
0	1	↑	↑	DIA	DIB	DIPA	DIPB	X	DIB	X	DIPB	DIB	DIPB
1	1	↑	↑	DIA	DIB	DIPA	DIPB	X	X	X	X	X	X

WRITE_MODE_A=NO_CHANGE、WRITE_MODE_B=READ_FIRST の場合

WEA	WEB	CLKA	CLKB	DIA	DIB	DIPA	DIPB	DOA	DOB	DOPA	DOPB	データ RAM	パリティ RAM
0	0	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	変化なし	変化なし
1	0	↑	↑	DIA	DIB	DIPA	DIPB	変化 なし	X	変化 なし	X	DIA	DIPA
0	1	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	DIB	DIPB
1	1	↑	↑	DIA	DIB	DIPA	DIPB	変化 なし	X	変化 なし	X	DIB	DIPB

WRITE_MODE_A=NO_CHANGE、WRITE_MODE_B=WRITE_FIRST の場合

WEA	WEB	CLKA	CLKB	DIA	DIB	DIPA	DIPB	DOA	DOB	DOPA	DOPB	データ RAM	パリティ RAM
0	0	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	変化なし	変化なし
1	0	↑	↑	DIA	DIB	DIPA	DIPB	変化 なし	X	変化 なし	X	DIA	DIPA
0	1	↑	↑	DIA	DIB	DIPA	DIPB	X	DIB	X	DIPB	DIB	DIPB
1	1	↑	↑	DIA	DIB	DIPA	DIPB	変化 なし	X	変化 なし	X	X	X

WRITE_MODE_A=READ_FIRST および WRITE_MODE_B=WRITE_FIRST

WEA	WEB	CLKA	CLKB	DIA	DIB	DIPA	DIPB	DOA	DOB	DOPA	DOPB	データ RAM	パリティ RAM
0	0	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	変化なし	変化なし
1	0	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	DIA	DIPA
0	1	↑	↑	DIA	DIB	DIPA	DIPB	X	DIB	X	DIPB	DIB	DIPB
1	1	↑	↑	DIA	DIB	DIPA	DIPB	X	DIB	X	DIPB	DIA	DIPA

デザインの入力方法

このエレメントは、回路図で使用できます。

使用可能な属性

属性	データ型	値	デフォルト	説明
INIT_00 ~ INIT_3F	2 進数/ 16 進数	任意の値	すべて 0	RAM 配列のデータ部分の初期値を指定します。
INIT_A	2 進数/ 16 進数	任意の値	すべて 0	コンフィギュレーション後の DOA 出力ポートの初期値を指定します。ビット幅は、RAM の A ポートの幅によって決まります。
INIT_B	2 進数/ 16 進数	任意の値	すべて 0	コンフィギュレーション後の DOB 出力ポートの初期値を指定します。ビット幅は、RAM の B ポートの幅によって決まります。
INITP_00 ~ INITP_07	2 進数/ 16 進数	任意の値	すべて 0	RAM 配列のパリティ部分の初期値を指定します。

属性	データ型	値	デフォルト	説明
SIM_COLLISION_CHECK	文字列	"ALL"、 "WARNING_ONLY"、 "GENERATE_X_ONLY"、 "NONE"	"ALL"	<p>メモリの競合が発生した場合にシミュレーションの動作を変更できます。詳細は次のとおりです。</p> <ul style="list-style-type: none"> ・ "ALL"：警告メッセージが出力され、関連する出力およびメモリの値が不定 (X) になります。 ・ "WARNING_ONLY"：警告メッセージのみが出力され、関連する出力およびメモリの値はそのまま保持されます。 ・ "GENERATE_X_ONLY"：警告メッセージは出力されず、関連する出力およびメモリの値が不定 (X) になります。 ・ "NONE"：警告メッセージは出力されず、関連する出力およびメモリの値はそのまま保持されます。 <p>注記： "ALL" 以外の値に設定すると、シミュレーション中にデザインの問題を認識できなくなるため、この値を変更する場合は注意が必要です。詳細は、『合成/シミュレーション デザイン ガイド』を参照してください。</p>
SRVAL_A	2 進数/ 16 進数	任意の値	すべて 0	RSTA ピンをアサートしたときに、DOA 出力ポートをセット (1) するかリセット (0) するかをビットごとに設定します。ビット幅は、RAM の A ポートの幅によって決まります。デフォルトではすべてのビットがリセットされます。
SRVAL_B	2 進数/ 16 進数	任意の値	すべて 0	RSTB ピンをアサートしたときに、DOB 出力ポートをセット (1) するかリセット (0) するかをビットごとに設定します。ビット幅は、RAM の B ポートの幅によって決まります。デフォルトではすべてのビットがリセットされます。
WRITE_MODE_A	文字列	"WRITE_FIRST"、 "READ_FIRST"、 "NO_CHANGE"	"WRITE_FIRST"	<p>書き込みコマンドが DOA ポートで実行されるときポートの動作を指定します。</p> <ul style="list-style-type: none"> ・ "WRITE_FIRST"：値がポートに書き込まれてから出力されます。 ・ "READ_FIRST"：新たに値が書き込まれる前に、RAM の以前の値が出力ポートに出力されます。 ・ "NO_CHANGE"：出力ポートの以前の値が保持され、出力ポートの値は変化しません。RAM のポートから値を読み出さない場合は、このモードに設定することをお勧めします。
WRITE_MODE_B	文字列	"WRITE_FIRST"、 "READ_FIRST"、 "NO_CHANGE"	"WRITE_FIRST"	<p>書き込みコマンドが DOB ポートで実行されるときポートの動作を指定します。</p> <ul style="list-style-type: none"> ・ "WRITE_FIRST"：値がポートに書き込まれてから出力されます。

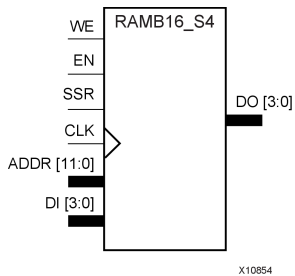
属性	データ型	値	デフォルト	説明
				<ul style="list-style-type: none">・ "READ_FIRST"：新たに値が書き込まれる前に、RAM の以前の値が出力ポートに出力されます。・ "NO_CHANGE"：出力ポートの以前の値が保持され、出力ポートの値は変化しません。RAM のポートから値を読み出さない場合は、このモードに設定することをお勧めします。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリー データシート』\(DS312\)](#)

RAMB16_S4

プリミティブ：16K-bit Data and 2K-bit Parity Single-Port Synchronous Block RAM with 4-bit Port



概要

このデザイン エLEMENTは、同期書き込み機能を備えた専用 RAM ブロックです。ブロック RAM のポートには 16384 ビットのデータ メモリがあります。セルの構成を、次の表に示します。

データ セル		パリティ セル				
ワード数	幅	ワード数	幅	アドレス バス	データ バス	パリティ バス
4096	4	–	–	(11:0)	(3:0)	–

イネーブル ピン EN は、読み出し、書き込み、リセットを制御します。EN が Low の場合、データは書き込まれず、出力 (DO および DOP) の値は変化しません。EN とリセット (SSR) が High の場合、クロック (CLK) が Low から High に切り替わるときに、DO および DOP が SRVAL にセットされます。ライト イネーブル (WE) も High の場合は、DI および DIP の値が RAM に書き込まれます。SSR と WE が Low で EN が High の場合、クロックが Low から High に切り替わるときに、RAM アドレス (ADDR) に格納されているデータが DO および DOP に出力されます。デフォルトでは WRITE_MODE=WRITE_FIRST に設定されており、SSR が Low で EN および WE が High の場合、クロックが Low から High に切り替わるときに、データ入力 (DI および DIP) のデータが書き込みアドレス (ADDR) で選択されているワードに書き込まれ、データ出力 (DO および DOP) にその値が出力されます。

上記の説明では、制御ピン (EN、WE、SSR、CLK) がアクティブ High であると想定していますが、ポートにインバーターを配置してアクティブ Low にすることもできます。RAMB16 のポートに配置したインバーターはブロック内に組み込まれるので、CLB リソースは使用されません。

論理表

入力								出力			
GSR	EN	SSR	WE	CLK	ADDR	DI	DIP	DO	DOP	RAM の内容	
										データ RAM	パリティ RAM
1	X	X	X	X	X	X	X	INIT	INIT	変化なし	変化なし
0	0	X	X	X	X	X	X	変化なし	変化なし	変化なし	変化なし
0	1	1	0	↑	X	X	X	SRVAL	SRVAL	変化なし	変化なし
0	1	1	1	↑	addr	data	pdata	SRVAL	SRVAL	RAM(addr) =>data	RAM(addr) =>pdata
0	1	0	0	↑	addr	X	X	RAM(addr)	RAM(addr)	変化なし	変化なし
0	1	0	1	↑	addr	data	pdata	変化なし ¹ 、 RAM(addr) ² 、 data ³	変化なし ¹ 、 RAM(addr) ² 、 pdata ³	RAM(addr) =>data	RAM(addr) =>pdata

GSR=グローバル セットリセット信号

INIT = データ メモリ用に INIT 属性で設定された値。デフォルトはすべて 0 です。

SRVAL = SRVAL 属性で設定された SSR のアサート後の値

addr = RAM アドレス

RAM(addr) = アドレス ADDR の RAM の内容

data = RAM の入力データ

pdata = RAM のパリティ データ

¹ WRITE_MODE=NO_CHANGE

² WRITE_MODE=READ_FIRST

³ WRITE_MODE=WRITE_FIRST

初期化

メモリ内容の初期化

INIT_{xx} 属性を使用すると、デバイスのコンフィギュレーション中に RAMB16 のメモリの内容を初期化できます。各 RAMB16 の初期値は、64 個の初期化属性 (INIT_00 ~ INIT_3F) を使用して 64 桁の 16 進数値で指定します (合計 16384 ビット)。

INITP_{xx} 属性を使用すると、デバイスのコンフィギュレーションまたはアサート中にパリティメモリを初期化できます。9、18、36 ビット幅にコンフィギュレーションされたポートのパリティメモリの初期値は、8 個の初期化属性 (INITP_00 ~ INITP_07) を使用して 64 桁の 16 進数値で指定します (合計 2048 ビット)。

INIT_{xx} または INITP_{xx} 属性を指定しない場合は、そのアドレスの値は 0 に設定されます。属性を一部だけ指定すると、上位ビットが 0 になります。

出力レジスタの初期化

Spartan®-3A 以降のデバイスでは、電源投入時に出力レジスタの各ビットを 0 または 1 に初期化できます。また、セット/リセットをアサートした後の値を、電源投入時の初期値とは異なる値に設定できます。シングルポート RAMB16 の出力レジスタの初期化に使用する属性には、INIT と SRVAL の 2 種類があります。INIT 属性は、電源投入時の出力レジスタの値を指定します。SRVAL 属性は、SSR (セット/リセット) 入力のアサートしたときの値を指定します。

INIT および SRVAL 属性は、初期化値を、出力ポートの各ビットに 1 ビットが対応した 16 進数文字列として指定します。たとえば、ポート幅が 1 の RAMB16_S1 の場合、出力レジスタは 1 ビットなので、INIT および SRVAL には 1 または 0 を指定します。ポート幅が 4 の RAMB16_S4 の場合は、出力レジスタは 4 ビットなので、0 ~ F の 16 進数値を指定します。

パリティビットを含むポートでは、出力レジスタのパリティ部分は、INIT または SRVAL の値の上位ビットで指定します。

書き込みモードの選択

WRITE_MODE 属性は、RAMB16 メモリおよび出力の内容を制御します。デフォルトでは、WRITE_MODE は WRITE_FIRST に設定されています。この場合、入力値がメモリに書き込まれた後にその値が出力されます。WRITE_MODE を READ_FIRST に設定すると、メモリの内容が出力された後、入力値がメモリに書き込まれます。WRITE_MODE を NO_CHANGE に設定すると、入力値はメモリに書き込まれますが、出力の値は変化しません。

デザインの入力方法

このエレメントは、回路図で使用できます。

使用可能な属性

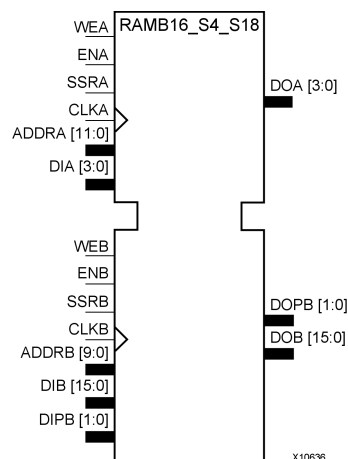
属性	データ型	値	デフォルト	説明
INIT	2 進数/ 16 進数	任意の値	すべて 0	コンフィギュレーション後の DO 出力ポートの初期値を指定します。ビット幅は、RAM の A ポートまたは B ポートの幅によって決まります。
INIT_00 ~ INIT_3F	2 進数/ 16 進数	任意の値	すべて 0	RAM 配列のデータ部分の初期値を指定します。
INITP_00 ~ INITP_07	2 進数/ 16 進数	任意の値	すべて 0	RAM 配列のパリティ部分の初期値を指定します。
SRVAL	2 進数/ 16 進数	任意の値	すべて 0	SSR ピンをアサートしたときに、DO 出力ポートをセット (1) するかリセット (0) するかをビットごとに指定します。ビット幅は、RAM の A ポートまたは B ポートの幅によって決まります。
WRITE_MODE	文字列	"WRITE_FIRST"、 "READ_FIRST"、 "NO_CHANGE"	"WRITE_FIRST"	書き込みコマンドが DO ポートで実行される ときのポートの動作を指定します。 <ul style="list-style-type: none"> ・ "WRITE_FIRST"：値がポートに書き込まれてから出力されます。 ・ "READ_FIRST"：新たに値が書き込まれる前に、RAM の以前の値が出力ポートに出力されます。 ・ "NO_CHANGE"：出力ポートの以前の値が保持され、出力ポートの値は変化しません。RAM のポートから値を読み出さない場合は、このモードに設定することをお勧めします。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリ データシート』\(DS312\)](#)

RAMB16_S4_S18

プリミティブ : 16K-bit Data and 2K-bit Parity Dual-Port Synchronous Block RAM with 4-bit and 18-bit Ports



概要

このデザイン エLEMENTは、同期書き込み機能を備えた、デュアル ポートの専用 RAM ブロックです。各ブロック RAM のポートには 16384 ビットのデータ メモリがあります。ポート幅が 9、18、36 ビットにコンフィギュレーションされたポートには、さらに 2048 ビットのパリティ メモリがあります。各ポートは、同じ 16384 個のデータ メモリ セルに独立してアクセスします。各ポートのデータ幅は、それぞれ個別に設定できます。このELEMENTのポートおよびセルの構成は「ポートの説明」の表に示されています。

論理表

論理表 A

入力								出力			
GSR	ENA	SSRA	WEA	CLKA	ADDRA	DIA	DIPA	DOA	DOPA	RAM の内容	
										データ RAM	パリティ RAM
1	X	X	X	X	X	X	X	INIT_A	INIT_A	変化なし	変化なし
0	0	X	X	X	X	X	X	変化なし	変化なし	変化なし	変化なし
0	1	1	0	↑	X	X	X	SRVAL_A	SRVAL_A	変化なし	変化なし
0	1	1	1	↑	addr	data	pdata	SRVAL_A	SRVAL_A	RAM(addr) =>data	RAM(addr) =>pdata
0	1	0	0	↑	addr	X	X	RAM(addr)	RAM(addr)	変化なし	変化なし
0	1	0	1	↑	addr	data	pdata	変化なし ¹ 、 RAM(addr) ² 、 data ³	変化なし ¹ 、 RAM(addr) ² 、 pdata ³	RAM(addr) =>data	RAM(addr) =>pdata

GSR = グローバル セットリセット信号

INIT_A = 出力レジスタ用に INIT_A 属性で設定された値。デフォルトはすべて 0 です。

SRVAL_A = レジスタの値

addr = RAM アドレス

RAM(addr) = アドレス ADDR の RAM の内容

data = RAM の入力データ

pdata = RAM のパリティ データ

¹WRITE_MODE_A=NO_CHANGE

²WRITE_MODE_A=READ_FIRST

³WRITE_MODE_A=WRITE_FIRST

論理表 B

入力								出力			
GSR	ENB	SSRB	WEB	CLKB	ADDRB	DIB	DIPB	DOB	DOPB	RAM の内容	
										データ RAM	パリティ RAM
1	X	X	X	X	X	X	X	INIT_B	INIT_B	変化なし	変化なし
0	0	X	X	X	X	X	X	変化なし	変化なし	変化なし	変化なし
0	1	1	0	↑	X	X	X	SRVAL_B	SRVAL_B	変化なし	変化なし
0	1	1	1	↑	addr	data	pdata	SRVAL_B	SRVAL_B	RAM(addr) =>data	RAM(addr) =>pdata
0	1	0	0	↑	addr	X	X	RAM(addr)	RAM(addr)	変化なし	変化なし
0	1	0	1	↑	addr	data	pdata	変化なし ¹ 、 RAM(addr) ² 、 data ³	変化なし ¹ 、 RAM(addr) ² 、 pdata ³	RAM(addr) =>data	RAM(addr) =>pdata

GSR = グローバル セット リセット信号

INIT_B = 出力レジスタ用に INIT_B 属性で設定された値。デフォルトはすべて 0 です。

SRVAL_B = レジスタの値

addr = RAM アドレス

RAM(addr) = アドレス ADDR の RAM の内容

data = RAM の入力データ

pdata = RAM のパリティ データ

¹WRITE_MODE_B=NO_CHANGE

²WRITE_MODE_B=READ_FIRST

³WRITE_MODE_B=WRITE_FIRST

ポートの説明

ポート A						ポート B				
デザイン エレメント	データ セル ¹	パリティ セル ¹	アドレス バス	データ バス	パリティ バス	データ セル ¹	パリティ セル ¹	アドレス バス	データ バス	パリティ バス
RAMB16_S4_S18	4096 x 4	—	(11:0)	(3:0)	—	1024 x 16	1024 x 2	(9:0)	(15:0)	(1:0)

¹ ワード数 X 幅

各ポートは、それぞれのクロックに完全に同期します。ポート A の各データ入力ピン (DIA) のセットアップ タイム、およびデータ出力バス (DOA) の clock-to-out タイムは、CLKA を基準とします。ポート B の各データ入力ピン (DIB) のセットアップ タイム、およびデータ出力バス (DOB) の clock-to-out タイムは、CLKB を基準とします。イネーブル ピン ENA は、ポート A の読み出し、書き込み、リセットを制御します。ENA が Low の場合、データは書き込まれず、出力 (DOA および DOPA) は変化しません。ENA とリセット (SSRA) が High の場合、クロック (CLKA) が Low から High に切り替わるたびに DOA および DOPA が SRVAL_A にセットされます。ライト イネーブル (WEA) も High の場合は、DIA および DIPA の値が RAM に書き込まれます。ENA が High で SSRA と WEA が Low の場合、クロックが Low から High に切り替わるたびに、RAM アドレス (ADDRA) に格納されているデータが読み出されます。SSRA が Low で ENA と WEA が High の場合、クロックが Low から High に切り替わるたびに、書き込みアドレス (ADDRB) で選択されているワードにデータ入力 (DIA および DIPA) の値が読み込まれます。データ出力 (DOA および DOPA) に出力される値は、書き込みモードによって異なります。書き込みモードは、デフォルトでは WRITE_MODE=WRITE_FIRST に設定されています。

イネーブル ピン ENB は、ポート B の読み出し、書き込み、リセットを制御します。ENB が Low の場合、データは書き込まれず、出力 (DOB および DOPB) は変化しません。ENB とリセット (SSRB) が High の場合、クロック (CLKB) が Low から High に切り替わるたびに、DOB および DOPB が SRVAL_B にセットされます。ライト イネーブル (WEB) も High の場合は、DIB および DIPB の値が RAM に書き込まれます。ENB が High で SSRB と WEB が Low の場合、クロックが Low から High に切り替わるたびに RAM アドレス (ADDRB) に格納されているデータが出力されます。SSRB が Low で ENB と WEB が High の場合、クロックが Low から High に切り替わるたびに、書き込みアドレス (ADDRB) で選択されているワードにデータ入力 (DIB および DIPB) の値が読み込まれます。データ出力 (DOB および DOPB) に出力される値は、書き込みモードによって異なります。書き込みモードは、デフォルトでは WRITE_MODE=WRITE_FIRST に設定されています。上記の説明では、制御ピン (ENA、WEA、SSRA、CLKA、ENB、WEB、SSRB、CLKB) がアクティブ High であると想定していますが、ポートにインバーターを配置してアクティブ Low にすることもできます。RAMB16 のポートに配置したインバーターはブロック内に組み込まれるので、CLB リソースは使用されません。

アドレス マッピング

各ポートは、ポートの幅によって異なるアドレス指定方法を使用して、同じ 18432 個のメモリ セルにアクセスします。「データ用のポート アドレス マップ」に示すように、すべてのポート幅で 16384 個のメモリ セルをデータの格納に使用できます。9、18、および 36 ビット幅のポートには、「パリティ用のポート アドレス マップ」に示すように、2408 個のパリティ メモリ セルもあります。特定のポート幅での物理的な RAM の位置は、次の式によって決定されます。

$$\text{Start} = ((\text{ADDR port} + 1) * (\text{Widthport})) - 1$$

$$\text{End} = (\text{ADDRport}) * (\text{Widthport})$$

データ用のポート アドレス マップ

データ 幅	ポートのデータ アドレス																																		
1	16384	<--	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
2	8192	<--	15		14		13		12		11		10		9		8		7		6		5		4		3		2		1		0		
4	4096	<--	7				6				5				4				3				2				1				0				
8	2048	<--	3								2								1								0								
16	1024	<--	1																0																
32	512	<--	0																																

パリティ用のポート アドレス マップ

パリティ幅	ポートのパリティ アドレス														
1	2048	<-----	3				2				1				0
2	1024	<-----	1								0				
4	512	<-----	0												

デュアル ポート RAMB16 のメモリ内容の初期化

INIT_xx 属性を使用すると、デバイスのコンフィギュレーション中に RAMB16 のメモリの内容を初期化できます。各 RAMB16_Sm_Sn の初期値は、64 個の初期化属性 (INIT_00 ~ INIT_3F) を使用して 64 桁の 16 進数値で指定します (合計 16384 ビット)。

INITP_xx 属性を使用すると、デバイスのコンフィギュレーションまたはアサート中にパリティ メモリを初期化できます。9、18、36 ビット幅にコンフィギュレーションされたポートのパリティ メモリの初期値は、8 個の初期化属性 (INITP_00 ~ INITP_07) を使用して 64 桁の 16 進数値で指定します (合計 2048 ビット)。

INIT_xx または INITP_xx 属性を指定しない場合は、そのアドレスの値は 0 に設定されます。属性を一部だけ指定すると、上位ビットが 0 になります。

デュアル ポート RAMB16 の出力レジスタの初期化

Spartan®-3A 以降のデバイスでは、電源投入時 (GSR が High のとき) に出力レジスタの各ビットを 0 または 1 に初期化できます。また、セット/リセットをアサートした後の値を、電源投入時の初期値とは異なる値に設定できます。デュアル ポート RAMB16 の出力レジスタを初期化する属性には、INIT_A、INIT_B、SRVAL_A、SRVAL_B の 4 種類があります。INIT_A 属性は電源投入時のポート A の出力レジスタの初期値を指定し、INIT_B 属性は電源投入時のポート B の出力レジスタの初期値を指定します。SRVAL_A 属性はポート A で SSRA (セット/リセット) 入力をアサートしたときの初期値を指定し、SRVAL_B 属性はポート B で SSRB (セット/リセット) 入力をアサートしたときの初期値を指定します。

INIT_A、INIT_B、SRVAL_A、SRVAL_B 属性は、16 進数で指定します。この初期値はポート幅によって異なります。たとえば、ポート A の幅が 1、ポート B の幅が 4 の RAMB16_S1_S4 の場合、ポート A の出力レジスタは 1 ビットなので、INIT_A または SRVAL_A には 1 または 0 を指定します。ポート B の出力レジスタは 4 ビットなので、INIT_B または SRVAL_B には 0 ~ F の 16 進数値を指定します。

パリティビットを含むポートでは、出力レジスタのパリティ部分は、INIT_A、INIT_B、SRVAL_A、SRVAL_B の値の上位ビットで指定します。

INIT および SRVAL 属性を指定しない場合は、デフォルトで 0 に初期化されます。

書き込みモードの選択

WRITE_MODE_A 属性は、デュアル ポート RAMB16 のポート A のメモリおよび出力の内容を制御し、WRITE_MODE_B 属性は、ポート B のメモリおよび出力の内容を制御します。デフォルトでは、WRITE_MODE_A と WRITE_MODE_B は両方とも WRITE_FIRST に設定されています。この場合、入力値がメモリに書き込まれた後にその値が出力されます。READ_FIRST に設定すると、メモリの内容が出力された後、入力値がメモリに書き込まれます。NO_CHANGE に設定すると、入力値はメモリに書き込まれますが、出力の値は変化しません。ポート A とポート B で同じメモリセルに読み出し/書き込みを行おうとした場合の競合の解決方法については、「ポート A とポート B が競合する場合の対処方法」を参照してください。

ポート A とポート B が競合する場合の対処方法

Spartan-3A ブロック SelectRAM™ は、完全なデュアル ポート RAM で、2 つのポートが同時に同じメモリセルにアクセスできます。ただし、一方のポートがあるメモリセルに書き込みを行っている場合は、もう一方のポートで clock-to-clock セットアップ タイム内に、そのメモリセルに対して書き込みまたは読み出しを実行しないようにする必要があります。

次の表に、デュアルポート RAMB16 で競合が発生した場合の動作を、WRITE_MODE_A と WRITE_MODE_B の設定別に示します。

WRITE_MODE_A=NO_CHANGE、WRITE_MODE_B=NO_CHANGE の場合

WEA	WEB	CLKA	CLKB	DIA	DIB	DIPA	DIPB	DOA	DOB	DOPA	DOPB	データ RAM	パリティ RAM
0	0	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	変化なし	変化なし
1	0	↑	↑	DIA	DIB	DIPA	DIPB	変化 なし	X	変化 なし	X	DIA	DIPA
0	1	↑	↑	DIA	DIB	DIPA	DIPB	X	変化 なし	X	変化 なし	DIB	DIPB
1	1	↑	↑	DIA	DIB	DIPA	DIPB	変化 なし	変化 なし	変化 なし	変化 なし	X	X

WRITE_MODE_A=READ_FIRST、WRITE_MODE_B=READ_FIRST の場合

WEA	WEB	CLKA	CLKB	DIA	DIB	DIPA	DIPB	DOA	DOB	DOPA	DOPB	データ RAM	パリティ RAM
0	0	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	変化なし	変化なし
1	0	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	DIA	DIPA
0	1	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	DIB	DIPB
1	1	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	X	X

WRITE_MODE_A=WRITE_FIRST、WRITE_MODE_B=WRITE_FIRST の場合

WEA	WEB	CLKA	CLKB	DIA	DIB	DIPA	DIPB	DOA	DOB	DOPA	DOPB	データ RAM	パリティ RAM
0	0	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	変化なし	変化なし
1	0	↑	↑	DIA	DIB	DIPA	DIPB	DIA	X	DIPA	X	DIA	DIPA
0	1	↑	↑	DIA	DIB	DIPA	DIPB	X	DIB	X	DIPB	DIB	DIPB
1	1	↑	↑	DIA	DIB	DIPA	DIPB	X	X	X	X	X	X

WRITE_MODE_A=NO_CHANGE、WRITE_MODE_B=READ_FIRST の場合

WEA	WEB	CLKA	CLKB	DIA	DIB	DIPA	DIPB	DOA	DOB	DOPA	DOPB	データ RAM	パリティ RAM
0	0	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	変化なし	変化なし
1	0	↑	↑	DIA	DIB	DIPA	DIPB	変化 なし	X	変化 なし	X	DIA	DIPA
0	1	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	DIB	DIPB
1	1	↑	↑	DIA	DIB	DIPA	DIPB	変化 なし	X	変化 なし	X	DIB	DIPB

WRITE_MODE_A=NO_CHANGE、WRITE_MODE_B=WRITE_FIRST の場合

WEA	WEB	CLKA	CLKB	DIA	DIB	DIPA	DIPB	DOA	DOB	DOPA	DOPB	データ RAM	パリティ RAM
0	0	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	変化なし	変化なし
1	0	↑	↑	DIA	DIB	DIPA	DIPB	変化 なし	X	変化 なし	X	DIA	DIPA
0	1	↑	↑	DIA	DIB	DIPA	DIPB	X	DIB	X	DIPB	DIB	DIPB
1	1	↑	↑	DIA	DIB	DIPA	DIPB	変化 なし	X	変化 なし	X	X	X

WRITE_MODE_A=READ_FIRST および WRITE_MODE_B=WRITE_FIRST

WEA	WEB	CLKA	CLKB	DIA	DIB	DIPA	DIPB	DOA	DOB	DOPA	DOPB	データ RAM	パリティ RAM
0	0	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	変化なし	変化なし
1	0	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	DIA	DIPA
0	1	↑	↑	DIA	DIB	DIPA	DIPB	X	DIB	X	DIPB	DIB	DIPB
1	1	↑	↑	DIA	DIB	DIPA	DIPB	X	DIB	X	DIPB	DIA	DIPA

デザインの入力方法

このエレメントは、回路図で使用できます。

使用可能な属性

属性	データ型	値	デフォルト	説明
INIT_00 ~ INIT_3F	2 進数/ 16 進数	任意の値	すべて 0	RAM 配列のデータ部分の初期値を指定します。
INIT_A	2 進数/ 16 進数	任意の値	すべて 0	コンフィギュレーション後の DOA 出力ポートの初期値を指定します。ビット幅は、RAM の A ポートの幅によって決まります。
INIT_B	2 進数/ 16 進数	任意の値	すべて 0	コンフィギュレーション後の DOB 出力ポートの初期値を指定します。ビット幅は、RAM の B ポートの幅によって決まります。
INITP_00 ~ INITP_07	2 進数/ 16 進数	任意の値	すべて 0	RAM 配列のパリティ部分の初期値を指定します。

属性	データ型	値	デフォルト	説明
SIM_COLLISION_CHECK	文字列	"ALL"、 "WARNING_ONLY"、 "GENERATE_X_ONLY"、 "NONE"	"ALL"	<p>メモリの競合が発生した場合にシミュレーションの動作を変更できます。詳細は次のとおりです。</p> <ul style="list-style-type: none"> ・ "ALL" : 警告メッセージが出力され、関連する出力およびメモリの値が不定 (X) になります。 ・ "WARNING_ONLY" : 警告メッセージのみが出力され、関連する出力およびメモリの値はそのまま保持されます。 ・ "GENERATE_X_ONLY" : 警告メッセージは出力されず、関連する出力およびメモリの値が不定 (X) になります。 ・ "NONE" : 警告メッセージは出力されず、関連する出力およびメモリの値はそのまま保持されます。 <p>注記 : "ALL" 以外の値に設定すると、シミュレーション中にデザインの問題を認識できなくなるため、この値を変更する場合は注意が必要です。詳細は、『合成/シミュレーション デザイン ガイド』を参照してください。</p>
SRVAL_A	2 進数/ 16 進数	任意の値	すべて 0	RSTA ピンをアサートしたときに、DOA 出力ポートをセット (1) するかリセット (0) するかをビットごとに設定します。ビット幅は、RAM の A ポートの幅によって決まります。デフォルトではすべてのビットがリセットされます。
SRVAL_B	2 進数/ 16 進数	任意の値	すべて 0	RSTB ピンをアサートしたときに、DOB 出力ポートをセット (1) するかリセット (0) するかをビットごとに設定します。ビット幅は、RAM の B ポートの幅によって決まります。デフォルトではすべてのビットがリセットされます。
WRITE_MODE_A	文字列	"WRITE_FIRST"、 "READ_FIRST"、 "NO_CHANGE"	"WRITE_FIRST"	<p>書き込みコマンドが DOA ポートで実行されるときのポートの動作を指定します。</p> <ul style="list-style-type: none"> ・ "WRITE_FIRST" : 値がポートに書き込まれてから出力されます。 ・ "READ_FIRST" : 新たに値が書き込まれる前に、RAM の以前の値が出力ポートに出力されます。 ・ "NO_CHANGE" : 出力ポートの以前の値が保持され、出力ポートの値は変化しません。RAM のポートから値を読み出さない場合は、このモードに設定することをお勧めします。
WRITE_MODE_B	文字列	"WRITE_FIRST"、 "READ_FIRST"、 "NO_CHANGE"	"WRITE_FIRST"	<p>書き込みコマンドが DOB ポートで実行されるときのポートの動作を指定します。</p> <ul style="list-style-type: none"> ・ "WRITE_FIRST" : 値がポートに書き込まれてから出力されます。

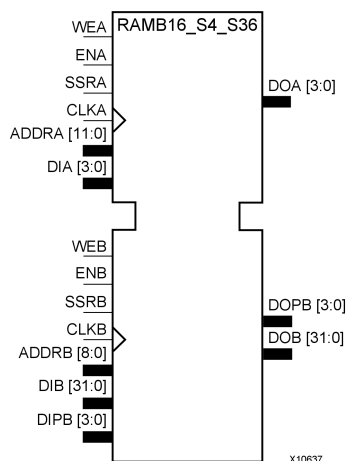
属性	データ型	値	デフォルト	説明
				<ul style="list-style-type: none">“READ_FIRST”：新たに値が書き込まれる前に、RAM の以前の値が出力ポートに出力されます。“NO_CHANGE”：出力ポートの以前の値が保持され、出力ポートの値は変化しません。RAM のポートから値を読み出さない場合は、このモードに設定することをお勧めします。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリー データシート』\(DS312\)](#)

RAMB16_S4_S36

プリミティブ : 16K-bit Data and 2K-bit Parity Dual-Port Synchronous Block RAM with 4-bit and 36-bit Ports



概要

このデザイン エLEMENTは、同期書き込み機能を備えた、デュアル ポートの専用 RAM ブロックです。各ブロック RAM のポートには 16384 ビットのデータ メモリがあります。ポート幅が 9、18、36 ビットにコンフィギュレーションされたポートには、さらに 2048 ビットのパリティ メモリがあります。各ポートは、同じ 16384 個のデータ メモリ セルに独立してアクセスします。各ポートのデータ幅は、それぞれ個別に設定できます。このELEMENTのポートおよびセルの構成は「ポートの説明」の表に示されています。

論理表

論理表 A

入力								出力			
GSR	ENA	SSRA	WEA	CLKA	ADDRA	DIA	DIPA	DOA	DOPA	RAM の内容	
										データ RAM	パリティ RAM
1	X	X	X	X	X	X	X	INIT_A	INIT_A	変化なし	変化なし
0	0	X	X	X	X	X	X	変化なし	変化なし	変化なし	変化なし
0	1	1	0	↑	X	X	X	SRVAL_A	SRVAL_A	変化なし	変化なし
0	1	1	1	↑	addr	data	pdata	SRVAL_A	SRVAL_A	RAM(addr) =>data	RAM(addr) =>pdata
0	1	0	0	↑	addr	X	X	RAM(addr)	RAM(addr)	変化なし	変化なし
0	1	0	1	↑	addr	data	pdata	変化なし ¹ 、 RAM(addr) ² 、 data ³	変化なし ¹ 、 RAM(addr) ² 、 pdata ³	RAM(addr) =>data	RAM(addr) =>pdata

GSR = グローバル セットリセット信号

INIT_A = 出力レジスタ用に INIT_A 属性で設定された値。デフォルトはすべて 0 です。

SRVAL_A = レジスタの値

addr = RAM アドレス

RAM(addr) = アドレス ADDR の RAM の内容

data = RAM の入力データ

pdata = RAM のパリティ データ

¹WRITE_MODE_A=NO_CHANGE

²WRITE_MODE_A=READ_FIRST

³WRITE_MODE_A=WRITE_FIRST

論理表 B

入力								出力			
GSR	ENB	SSRB	WEB	CLKB	ADDRB	DIB	DIPB	DOB	DOPB	RAM の内容	
										データ RAM	パリティ RAM
1	X	X	X	X	X	X	X	INIT_B	INIT_B	変化なし	変化なし
0	0	X	X	X	X	X	X	変化なし	変化なし	変化なし	変化なし
0	1	1	0	↑	X	X	X	SRVAL_B	SRVAL_B	変化なし	変化なし
0	1	1	1	↑	addr	data	pdata	SRVAL_B	SRVAL_B	RAM(addr) =>data	RAM(addr) =>pdata
0	1	0	0	↑	addr	X	X	RAM(addr)	RAM(addr)	変化なし	変化なし
0	1	0	1	↑	addr	data	pdata	変化なし ¹ 、 RAM(addr) ² 、 data ³	変化なし ¹ 、 RAM(addr) ² 、 pdata ³	RAM(addr) =>data	RAM(addr) =>pdata

GSR = グローバル セット リセット信号

INIT_B = 出力レジスタ用に INIT_B 属性で設定された値。デフォルトはすべて 0 です。

SRVAL_B = レジスタの値

addr = RAM アドレス

RAM(addr) = アドレス ADDR の RAM の内容

data = RAM の入力データ

pdata = RAM のパリティ データ

¹WRITE_MODE_B=NO_CHANGE

²WRITE_MODE_B=READ_FIRST

³WRITE_MODE_B=WRITE_FIRST

ポートの説明

ポート A						ポート B				
デザイン エレメント	データ セル ¹	パリティ セル ¹	アドレス バス	データ バス	パリティ バス	データ セル ¹	パリティ セル ¹	アドレス バス	データ バス	パリティ バス
RAMB16_S4_S36	4096 x 4	—	(11:0)	(3:0)	—	512 x 32	512 x 4	(8:0)	(31:0)	(3:0)

¹ ワード数 X 幅

各ポートは、それぞれのクロックに完全に同期します。ポート A の各データ入力ピン (DIA) のセットアップ タイム、およびデータ出力バス (DOA) の clock-to-out タイムは、CLKA を基準とします。ポート B の各データ入力ピン (DIB) のセットアップ タイム、およびデータ出力バス (DOB) の clock-to-out タイムは、CLKB を基準とします。イネーブル ピン ENA は、ポート A の読み出し、書き込み、リセットを制御します。ENA が Low の場合、データは書き込まれず、出力 (DOA および DOPA) は変化しません。ENA とリセット (SSRA) が High の場合、クロック (CLKA) が Low から High に切り替わるたびに DOA および DOPA が SRVAL_A にセットされます。ライト イネーブル (WEA) も High の場合は、DIA および DIPA の値が RAM に書き込まれます。ENA が High で SSRA と WEA が Low の場合、クロックが Low から High に切り替わるたびに、RAM アドレス (ADDR_A) に格納されているデータが読み出されます。SSRA が Low で ENA と WEA が High の場合、クロックが Low から High に切り替わるたびに、書き込みアドレス (ADDR_A) で選択されているワードにデータ入力 (DIA および DIPA) の値が読み込まれます。データ出力 (DOA および DOPA) に出力される値は、書き込みモードによって異なります。書き込みモードは、デフォルトでは WRITE_MODE=WRITE_FIRST に設定されています。

イネーブル ピン ENB は、ポート B の読み出し、書き込み、リセットを制御します。ENB が Low の場合、データは書き込まれず、出力 (DOB および DOPB) は変化しません。ENB とリセット (SSRB) が High の場合、クロック (CLKB) が Low から High に切り替わるたびに、DOB および DOPB が SRVAL_B にセットされます。ライト イネーブル (WEB) も High の場合は、DIB および DIPB の値が RAM に書き込まれます。ENB が High で SSRB と WEB が Low の場合、クロックが Low から High に切り替わるたびに RAM アドレス (ADDRB) に格納されているデータが出力されます。SSRB が Low で ENB と WEB が High の場合、クロックが Low から High に切り替わるたびに、書き込みアドレス (ADDRB) で選択されているワードにデータ入力 (DIB および DIPB) の値が読み込まれます。データ出力 (DOB および DOPB) に出力される値は、書き込みモードによって異なります。書き込みモードは、デフォルトでは WRITE_MODE=WRITE_FIRST に設定されています。上記の説明では、制御ピン (ENA、WEA、SSRA、CLKA、ENB、WEB、SSRB、CLKB) がアクティブ High であると想定していますが、ポートにインバーターを配置してアクティブ Low にすることもできます。RAMB16 のポートに配置したインバーターはブロック内に組み込まれるので、CLB リソースは使用されません。

アドレス マップ

各ポートは、ポートの幅によって異なるアドレス指定方法を使用して、同じ 18432 個のメモリ セルにアクセスします。「データ用のポート アドレス マップ」に示すように、すべてのポート幅で 16384 個のメモリ セルをデータの格納に使用できます。9、18、および 36 ビット幅のポートには、「パリティ用のポート アドレス マップ」に示すように、2408 個のパリティメモリ セルもあります。特定のポート幅での物理的な RAM の位置は、次の式によって決定されます。

$$\text{Start} = ((\text{ADDR port} + 1) * (\text{Widthport})) - 1$$

$$\text{End} = (\text{ADDRport}) * (\text{Widthport})$$

次の表に、各ポート幅のアドレス マップを示します。

データ用のポート アドレス マップ

データ 幅	ポートのデータ アドレス																																		
1	16384	<--	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
2	8192	<--	15		14		13		12		11		10		9		8		7		6		5		4		3		2		1		0		
4	4096	<--	7				6				5				4				3				2				1				0				
8	2048	<--	3								2								1								0								
16	1024	<--	1																0																
32	512	<--	0																																

パリティ用のポート アドレス マップ

パリティ幅	ポートのパリティ アドレス														
1	2048	<-----	3				2				1				0
2	1024	<-----	1								0				
4	512	<-----	0												

デュアル ポート RAMB16 のメモリ内容の初期化

INIT_xx 属性を使用すると、デバイスのコンフィギュレーション中に RAMB16 のメモリの内容を初期化できます。各 RAMB16_Sm_Sn の初期値は、64 個の初期化属性 (INIT_00 ~ INIT_3F) を使用して 64 桁の 16 進数値で指定します (合計 16384 ビット)。

INITP_xx 属性を使用すると、デバイスのコンフィギュレーションまたはアサート中にパリティ メモリを初期化できます。9、18、36 ビット幅にコンフィギュレーションされたポートのパリティ メモリの初期値は、8 個の初期化属性 (INITP_00 ~ INITP_07) を使用して 64 桁の 16 進数値で指定します (合計 2048 ビット)。

INIT_xx または INITP_xx 属性を指定しない場合は、そのアドレスの値は 0 に設定されます。属性を一部だけ指定すると、上位ビットが 0 になります。

デュアル ポート RAMB16 の出力レジスタの初期化

Spartan®-3A 以降のデバイスでは、電源投入時 (GSR が High のとき) に出力レジスタの各ビットを 0 または 1 に初期化できます。また、セット/リセットをアサートした後の値を、電源投入時の初期値とは異なる値に設定できます。デュアル ポート RAMB16 の出力レジスタを初期化する属性には、INIT_A、INIT_B、SRVAL_A、SRVAL_B の 4 種類があります。INIT_A 属性は電源投入時のポート A の出力レジスタの初期値を指定し、INIT_B 属性は電源投入時のポート B の出力レジスタの初期値を指定します。SRVAL_A 属性はポート A で SSRA (セット/リセット) 入力をアサートしたときの初期値を指定し、SRVAL_B 属性はポート B で SSRB (セット/リセット) 入力をアサートしたときの初期値を指定します。

INIT_A、INIT_B、SRVAL_A、SRVAL_B 属性は、16 進数で指定します。この初期値はポート幅によって異なります。たとえば、ポート A の幅が 1、ポート B の幅が 4 の RAMB16_S1_S4 の場合、ポート A の出力レジスタは 1 ビットなので、INIT_A または SRVAL_A には 1 または 0 を指定します。ポート B の出力レジスタは 4 ビットなので、INIT_B または SRVAL_B には 0 ~ F の 16 進数値を指定します。

パリティビットを含むポートでは、出力レジスタのパリティ部分は、INIT_A、INIT_B、SRVAL_A、SRVAL_B の値の上位ビットで指定します。

INIT および SRVAL 属性を指定しない場合は、デフォルトで 0 に初期化されます。

書き込みモードの選択

WRITE_MODE_A 属性は、デュアル ポート RAMB16 のポート A のメモリおよび出力の内容を制御し、WRITE_MODE_B 属性は、ポート B のメモリおよび出力の内容を制御します。デフォルトでは、WRITE_MODE_A と WRITE_MODE_B は両方とも WRITE_FIRST に設定されています。この場合、入力値がメモリに書き込まれた後にその値が出力されます。READ_FIRST に設定すると、メモリの内容が出力された後、入力値がメモリに書き込まれます。NO_CHANGE に設定すると、入力値はメモリに書き込まれますが、出力の値は変化しません。ポート A とポート B で同じメモリ セルに読み出し/書き込みを行おうとした場合の競合の解決方法については、「ポート A とポート B が競合する場合の対処方法」を参照してください。

ポート A とポート B が競合する場合の対処方法

Spartan-3A ブロックの SelectRAM™ は、完全なデュアル ポート RAM で、2 つのポートが同時に同じメモリ セルにアクセスできます。ただし、一方のポートがあるメモリ セルに書き込みを行っている場合は、もう一方のポートで clock-to-clock セットアップ タイム内に、そのメモリ セルに対して書き込みまたは読み出しを実行しないようにする必要があります。

次の表に、デュアルポート RAMB16 で競合が発生した場合の動作を、WRITE_MODE_A と WRITE_MODE_B の設定別に示します。

WRITE_MODE_A=NO_CHANGE、WRITE_MODE_B=NO_CHANGE の場合

WEA	WEB	CLKA	CLKB	DIA	DIB	DIPA	DIPB	DOA	DOB	DOPA	DOPB	データ RAM	パリティ RAM
0	0	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	変化なし	変化なし
1	0	↑	↑	DIA	DIB	DIPA	DIPB	変化 なし	X	変化 なし	X	DIA	DIPA
0	1	↑	↑	DIA	DIB	DIPA	DIPB	X	変化 なし	X	変化 なし	DIB	DIPB
1	1	↑	↑	DIA	DIB	DIPA	DIPB	変化 なし	変化 なし	変化 なし	変化 なし	X	X

WRITE_MODE_A=READ_FIRST、WRITE_MODE_B=READ_FIRST の場合

WEA	WEB	CLKA	CLKB	DIA	DIB	DIPA	DIPB	DOA	DOB	DOPA	DOPB	データ RAM	パリティ RAM
0	0	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	変化なし	変化なし
1	0	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	DIA	DIPA
0	1	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	DIB	DIPB
1	1	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	X	X

WRITE_MODE_A=WRITE_FIRST、WRITE_MODE_B=WRITE_FIRST の場合

WEA	WEB	CLKA	CLKB	DIA	DIB	DIPA	DIPB	DOA	DOB	DOPA	DOPB	データ RAM	パリティ RAM
0	0	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	変化なし	変化なし
1	0	↑	↑	DIA	DIB	DIPA	DIPB	DIA	X	DIPA	X	DIA	DIPA
0	1	↑	↑	DIA	DIB	DIPA	DIPB	X	DIB	X	DIPB	DIB	DIPB
1	1	↑	↑	DIA	DIB	DIPA	DIPB	X	X	X	X	X	X

WRITE_MODE_A=NO_CHANGE、WRITE_MODE_B=READ_FIRST の場合

WEA	WEB	CLKA	CLKB	DIA	DIB	DIPA	DIPB	DOA	DOB	DOPA	DOPB	データ RAM	パリティ RAM
0	0	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	変化なし	変化なし
1	0	↑	↑	DIA	DIB	DIPA	DIPB	変化 なし	X	変化 なし	X	DIA	DIPA
0	1	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	DIB	DIPB
1	1	↑	↑	DIA	DIB	DIPA	DIPB	変化 なし	X	変化 なし	X	DIB	DIPB

WRITE_MODE_A=NO_CHANGE、WRITE_MODE_B=WRITE_FIRST の場合

WEA	WEB	CLKA	CLKB	DIA	DIB	DIPA	DIPB	DOA	DOB	DOPA	DOPB	データ RAM	パリティ RAM
0	0	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	変化なし	変化なし
1	0	↑	↑	DIA	DIB	DIPA	DIPB	変化 なし	X	変化 なし	X	DIA	DIPA
0	1	↑	↑	DIA	DIB	DIPA	DIPB	X	DIB	X	DIPB	DIB	DIPB
1	1	↑	↑	DIA	DIB	DIPA	DIPB	変化 なし	X	変化 なし	X	X	X

WRITE_MODE_A=READ_FIRST および WRITE_MODE_B=WRITE_FIRST

WEA	WEB	CLKA	CLKB	DIA	DIB	DIPA	DIPB	DOA	DOB	DOPA	DOPB	データ RAM	パリティ RAM
0	0	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	変化なし	変化なし
1	0	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	DIA	DIPA
0	1	↑	↑	DIA	DIB	DIPA	DIPB	X	DIB	X	DIPB	DIB	DIPB
1	1	↑	↑	DIA	DIB	DIPA	DIPB	X	DIB	X	DIPB	DIA	DIPA

デザインの入力方法

このエレメントは、回路図で使用できます。

使用可能な属性

属性	データ型	値	デフォルト	説明
INIT_00 ~ INIT_3F	2 進数/ 16 進数	任意の値	すべて 0	RAM 配列のデータ部分の初期値を指定します。
INIT_A	2 進数/ 16 進数	任意の値	すべて 0	コンフィギュレーション後の DOA 出力ポートの初期値を指定します。ビット幅は、RAM の A ポートの幅によって決まります。
INIT_B	2 進数/ 16 進数	任意の値	すべて 0	コンフィギュレーション後の DOB 出力ポートの初期値を指定します。ビット幅は、RAM の B ポートの幅によって決まります。
INITP_00 ~ INITP_07	2 進数/ 16 進数	任意の値	すべて 0	RAM 配列のパリティ部分の初期値を指定します。

属性	データ型	値	デフォルト	説明
SIM_COLLISION_CHECK	文字列	"ALL"、 "WARNING_ONLY"、 "GENERATE_X_ONLY"、 "NONE"	"ALL"	<p>メモリの競合が発生した場合にシミュレーションの動作を変更できます。詳細は次のとおりです。</p> <ul style="list-style-type: none"> ・ "ALL"：警告メッセージが出力され、関連する出力およびメモリの値が不定 (X) になります。 ・ "WARNING_ONLY"：警告メッセージのみが出力され、関連する出力およびメモリの値はそのまま保持されます。 ・ "GENERATE_X_ONLY"：警告メッセージは出力されず、関連する出力およびメモリの値が不定 (X) になります。 ・ "NONE"：警告メッセージは出力されず、関連する出力およびメモリの値はそのまま保持されます。 <p>注記： "ALL" 以外の値に設定すると、シミュレーション中にデザインの問題を認識できなくなるため、この値を変更する場合は注意が必要です。詳細は、『合成/シミュレーション デザイン ガイド』を参照してください。</p>
SRVAL_A	2 進数/ 16 進数	任意の値	すべて 0	RSTA ピンをアサートしたときに、DOA 出力ポートをセット (1) するかリセット (0) するかをビットごとに設定します。ビット幅は、RAM の A ポートの幅によって決まります。デフォルトではすべてのビットがリセットされます。
SRVAL_B	2 進数/ 16 進数	任意の値	すべて 0	RSTB ピンをアサートしたときに、DOB 出力ポートをセット (1) するかリセット (0) するかをビットごとに設定します。ビット幅は、RAM の B ポートの幅によって決まります。デフォルトではすべてのビットがリセットされます。
WRITE_MODE_A	文字列	"WRITE_FIRST"、 "READ_FIRST"、 "NO_CHANGE"	"WRITE_FIRST"	<p>書き込みコマンドが DOA ポートで実行されるときポートの動作を指定します。</p> <ul style="list-style-type: none"> ・ "WRITE_FIRST"：値がポートに書き込まれてから出力されます。 ・ "READ_FIRST"：新たに値が書き込まれる前に、RAM の以前の値が出力ポートに出力されます。 ・ "NO_CHANGE"：出力ポートの以前の値が保持され、出力ポートの値は変化しません。RAM のポートから値を読み出さない場合は、このモードに設定することをお勧めします。
WRITE_MODE_B	文字列	"WRITE_FIRST"、 "READ_FIRST"、 "NO_CHANGE"	"WRITE_FIRST"	<p>書き込みコマンドが DOB ポートで実行されるときポートの動作を指定します。</p> <ul style="list-style-type: none"> ・ "WRITE_FIRST"：値がポートに書き込まれてから出力されます。

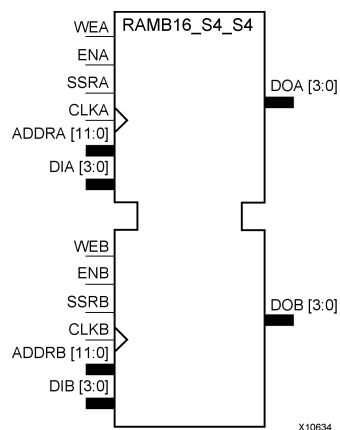
属性	データ型	値	デフォルト	説明
				<ul style="list-style-type: none">・ "READ_FIRST"：新たに値が書き込まれる前に、RAM の以前の値が出力ポートに出力されます。・ "NO_CHANGE"：出力ポートの以前の値が保持され、出力ポートの値は変化しません。RAM のポートから値を読み出さない場合は、このモードに設定することをお勧めします。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリー データシート』\(DS312\)](#)

RAMB16_S4_S4

プリミティブ：16K-bit Data and 2K-bit Parity Dual-Port Synchronous Block RAM with 4-bit Ports



概要

このデザイン エLEMENTは、同期書き込み機能を備えた、デュアル ポートの専用 RAM ブロックです。各ブロック RAM のポートには 16384 ビットのデータ メモリがあります。ポート幅が 9、18、36 ビットにコンフィギュレーションされたポートには、さらに 2048 ビットのパリティ メモリがあります。各ポートは、同じ 16384 個のデータ メモリ セルに独立してアクセスします。各ポートのデータ幅は、それぞれ個別に設定できます。このELEMENTのポートおよびセルの構成は「ポートの説明」の表に示されています。

論理表

論理表 A

入力								出力			
GSR	ENA	SSRA	WEA	CLKA	ADDRA	DIA	DIPA	DOA	DOPA	RAM の内容	
										データ RAM	パリティ RAM
1	X	X	X	X	X	X	X	INIT_A	INIT_A	変化なし	変化なし
0	0	X	X	X	X	X	X	変化なし	変化なし	変化なし	変化なし
0	1	1	0	↑	X	X	X	SRVAL_A	SRVAL_A	変化なし	変化なし
0	1	1	1	↑	addr	data	pdata	SRVAL_A	SRVAL_A	RAM(addr) =>data	RAM(addr) =>pdata
0	1	0	0	↑	addr	X	X	RAM(addr)	RAM(addr)	変化なし	変化なし
0	1	0	1	↑	addr	data	pdata	変化なし ¹ 、 RAM(addr) ² 、 data ³	変化なし ¹ 、 RAM(addr) ² 、 pdata ³	RAM(addr) =>data	RAM(addr) =>pdata

GSR = グローバル セットリセット信号

INIT_A = 出力レジスタ用に INIT_A 属性で設定された値。デフォルトはすべて 0 です。

SRVAL_A = レジスタの値

addr = RAM アドレス

RAM(addr) = アドレス ADDR の RAM の内容

data = RAM の入力データ

pdata = RAM のパリティ データ

¹WRITE_MODE_A=NO_CHANGE

²WRITE_MODE_A=READ_FIRST

³WRITE_MODE_A=WRITE_FIRST

論理表 B

入力								出力			
GSR	ENB	SSRB	WEB	CLKB	ADDRB	DIB	DIPB	DOB	DOPB	RAM の内容	
										データ RAM	パリティ RAM
1	X	X	X	X	X	X	X	INIT_B	INIT_B	変化なし	変化なし
0	0	X	X	X	X	X	X	変化なし	変化なし	変化なし	変化なし
0	1	1	0	↑	X	X	X	SRVAL_B	SRVAL_B	変化なし	変化なし
0	1	1	1	↑	addr	data	pdata	SRVAL_B	SRVAL_B	RAM(addr) =>data	RAM(addr) =>pdata
0	1	0	0	↑	addr	X	X	RAM(addr)	RAM(addr)	変化なし	変化なし
0	1	0	1	↑	addr	data	pdata	変化なし ¹ 、 RAM(addr) ² 、 data ³	変化なし ¹ 、 RAM(addr) ² 、 pdata ³	RAM(addr) =>data	RAM(addr) =>pdata

GSR = グローバル セット リセット信号
INIT_B = 出力レジスタ用に INIT_B 属性で設定された値。デフォルトはすべて 0 です。
SRVAL_B = レジスタの値
addr = RAM アドレス
RAM(addr) = アドレス ADDR の RAM の内容
data = RAM の入力データ
pdata = RAM のパリティ データ
¹WRITE_MODE_B=NO_CHANGE
²WRITE_MODE_B=READ_FIRST
³WRITE_MODE_B=WRITE_FIRST

ポートの説明

ポート A						ポート B				
デザイン エレメント	データ セル ¹	パリティ セル ¹	アドレス バス	データ バス	パリティ バス	データ セル ¹	パリティ セル ¹	アドレス バス	データ バス	パリティ バス
RAMB16_S4_S4	4096 x 4	—	(11:0)	(3:0)	—	4096 x 4	—	(11:0)	(3:0)	—

¹ ワード数 X 幅

各ポートは、それぞれのクロックに完全に同期します。ポート A の各データ入力ピン (DIA) のセットアップ タイム、およびデータ出力バス (DOA) の clock-to-out タイムは、CLKA を基準とします。ポート B の各データ入力ピン (DIB) のセットアップ タイム、およびデータ出力バス (DOB) の clock-to-out タイムは、CLKB を基準とします。イネーブル ピン ENA は、ポート A の読み出し、書き込み、リセットを制御します。ENA が Low の場合、データは書き込まれず、出力 (DOA および DOPA) は変化しません。ENA とリセット (SSRA) が High の場合、クロック (CLKA) が Low から High に切り替わるたびに DOA および DOPA が SRVAL_A にセットされます。ライト イネーブル (WEA) も High の場合は、DIA および DIPA の値が RAM に書き込まれます。ENA が High で SSRA と WEA が Low の場合、クロックが Low から High に切り替わるたびに、RAM アドレス (ADDR_A) に格納されているデータが読み出されます。SSRA が Low で ENA と WEA が High の場合、クロックが Low から High に切り替わるたびに、書き込みアドレス (ADDR_A) で選択されているワードにデータ入力 (DIA および DIPA) の値が読み込まれます。データ出力 (DOA および DOPA) に出力される値は、書き込みモードによって異なります。書き込みモードは、デフォルトでは WRITE_MODE=WRITE_FIRST に設定されています。

イネーブル ピン ENB は、ポート B の読み出し、書き込み、リセットを制御します。ENB が Low の場合、データは書き込まれず、出力 (DOB および DOPB) は変化しません。ENB とリセット (SSRB) が High の場合、クロック (CLKB) が Low から High に切り替わるたびに、DOB および DOPB が SRVAL_B にセットされます。ライト イネーブル (WEB) も High の場合は、DIB および DIPB の値が RAM に書き込まれます。ENB が High で SSRB と WEB が Low の場合、クロックが Low から High に切り替わるたびに RAM アドレス (ADDRB) に格納されているデータが出力されます。SSRB が Low で ENB と WEB が High の場合、クロックが Low から High に切り替わるたびに、書き込みアドレス (ADDRB) で選択されているワードにデータ入力 (DIB および DIPB) の値が読み込まれます。データ出力 (DOB および DOPB) に出力される値は、書き込みモードによって異なります。書き込みモードは、デフォルトでは WRITE_MODE=WRITE_FIRST に設定されています。上記の説明では、制御ピン (ENA、WEA、SSRA、CLKA、ENB、WEB、SSRB、CLKB) がアクティブ High であると想定していますが、ポートにインバーターを配置してアクティブ Low にすることもできます。RAMB16 のポートに配置したインバーターはブロック内に組み込まれるので、CLB リソースは使用されません。

アドレス マップ

各ポートは、ポートの幅によって異なるアドレス指定方法を使用して、同じ 18432 個のメモリ セルにアクセスします。「データ用のポート アドレス マップ」に示すように、すべてのポート幅で 16384 個のメモリ セルをデータの格納に使用できます。9、18、および 36 ビット幅のポートには、「パリティ用のポート アドレス マップ」に示すように、2408 個のパリティメモリセルもあります。特定のポート幅での物理的な RAM の位置は、次の式によって決定されます。

$$\text{Start} = ((\text{ADDR_port} + 1) * (\text{Widthport})) - 1$$

$$\text{End} = (\text{ADDRport}) * (\text{Widthport})$$

次の表に、各ポート幅のアドレス マップを示します。

データ用のポート アドレス マップ

データ 幅	ポートのデータ アドレス																																		
1	16384	<--	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
2	8192	<--	15		14		13		12		11		10		9		8		7		6		5		4		3		2		1		0		
4	4096	<--	7				6				5				4				3				2				1				0				
8	2048	<--	3								2								1								0								
16	1024	<--	1																0																
32	512	<--	0																																

パリティ用のポート アドレス マップ

パリティ幅	ポートのパリティ アドレス														
1	2048	<-----	3				2				1				0
2	1024	<-----	1								0				
4	512	<-----	0												

デュアル ポート RAMB16 のメモリ内容の初期化

INIT_xx 属性を使用すると、デバイスのコンフィギュレーション中に RAMB16 のメモリの内容を初期化できます。各 RAMB16_Sm_Sn の初期値は、64 個の初期化属性 (INIT_00 ~ INIT_3F) を使用して 64 桁の 16 進数値で指定します (合計 16384 ビット)。

INITP_xx 属性を使用すると、デバイスのコンフィギュレーションまたはアサート中にパリティ メモリを初期化できます。9、18、36 ビット幅にコンフィギュレーションされたポートのパリティ メモリの初期値は、8 個の初期化属性 (INITP_00 ~ INITP_07) を使用して 64 桁の 16 進数値で指定します (合計 2048 ビット)。

INIT_xx または INITP_xx 属性を指定しない場合は、そのアドレスの値は 0 に設定されます。属性を一部だけ指定すると、上位ビットが 0 になります。

デュアル ポート RAMB16 の出力レジスタの初期化

Spartan®-3A 以降のデバイスでは、電源投入時 (GSR が High のとき) に出力レジスタの各ビットを 0 または 1 に初期化できます。また、セット/リセットをアサートした後の値を、電源投入時の初期値とは異なる値に設定できます。デュアル ポート RAMB16 の出力レジスタを初期化する属性には、INIT_A、INIT_B、SRVAL_A、SRVAL_B の 4 種類があります。INIT_A 属性は電源投入時のポート A の出力レジスタの初期値を指定し、INIT_B 属性は電源投入時のポート B の出力レジスタの初期値を指定します。SRVAL_A 属性はポート A で SSRA (セット/リセット) 入力をアサートしたときの初期値を指定し、SRVAL_B 属性はポート B で SSRB (セット/リセット) 入力をアサートしたときの初期値を指定します。

INIT_A、INIT_B、SRVAL_A、SRVAL_B 属性は、16 進数で指定します。この初期値はポート幅によって異なります。たとえば、ポート A の幅が 1、ポート B の幅が 4 の RAMB16_S1_S4 の場合、ポート A の出力レジスタは 1 ビットなので、INIT_A または SRVAL_A には 1 または 0 を指定します。ポート B の出力レジスタは 4 ビットなので、INIT_B または SRVAL_B には 0 ~ F の 16 進数値を指定します。

パリティビットを含むポートでは、出力レジスタのパリティ部分は、INIT_A、INIT_B、SRVAL_A、SRVAL_B の値の上位ビットで指定します。

INIT および SRVAL 属性を指定しない場合は、デフォルトで 0 に初期化されます。

書き込みモードの選択

WRITE_MODE_A 属性は、デュアル ポート RAMB16 のポート A のメモリおよび出力の内容を制御し、WRITE_MODE_B 属性は、ポート B のメモリおよび出力の内容を制御します。デフォルトでは、WRITE_MODE_A と WRITE_MODE_B は両方とも WRITE_FIRST に設定されています。この場合、入力値がメモリに書き込まれた後にその値が出力されます。READ_FIRST に設定すると、メモリの内容が出力された後、入力値がメモリに書き込まれます。NO_CHANGE に設定すると、入力値はメモリに書き込まれますが、出力の値は変化しません。ポート A とポート B で同じメモリ セルに読み出し/書き込みを行おうとした場合の競合の解決方法については、「ポート A とポート B が競合する場合の対処方法」を参照してください。

ポート A とポート B が競合する場合の対処方法

Spartan-3A ブロックの SelectRAM™ は、完全なデュアル ポート RAM で、2 つのポートが同時に同じメモリ セルにアクセスできます。ただし、一方のポートがあるメモリ セルに書き込みを行っている場合は、もう一方のポートで clock-to-clock セットアップ タイム内に、そのメモリ セルに対して書き込みまたは読み出しを実行しないようにする必要があります。

次の表に、デュアルポート RAMB16 で競合が発生した場合の動作を、WRITE_MODE_A と WRITE_MODE_B の設定別に示します。

WRITE_MODE_A=NO_CHANGE、WRITE_MODE_B=NO_CHANGE の場合

WEA	WEB	CLKA	CLKB	DIA	DIB	DIPA	DIPB	DOA	DOB	DOPA	DOPB	データ RAM	パリティ RAM
0	0	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	変化なし	変化なし
1	0	↑	↑	DIA	DIB	DIPA	DIPB	変化 なし	X	変化 なし	X	DIA	DIPA
0	1	↑	↑	DIA	DIB	DIPA	DIPB	X	変化 なし	X	変化 なし	DIB	DIPB
1	1	↑	↑	DIA	DIB	DIPA	DIPB	変化 なし	変化 なし	変化 なし	変化 なし	X	X

WRITE_MODE_A=READ_FIRST、WRITE_MODE_B=READ_FIRST の場合

WEA	WEB	CLKA	CLKB	DIA	DIB	DIPA	DIPB	DOA	DOB	DOPA	DOPB	データ RAM	パリティ RAM
0	0	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	変化なし	変化なし
1	0	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	DIA	DIPA
0	1	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	DIB	DIPB
1	1	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	X	X

WRITE_MODE_A=WRITE_FIRST、WRITE_MODE_B=WRITE_FIRST の場合

WEA	WEB	CLKA	CLKB	DIA	DIB	DIPA	DIPB	DOA	DOB	DOPA	DOPB	データ RAM	パリティ RAM
0	0	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	変化なし	変化なし
1	0	↑	↑	DIA	DIB	DIPA	DIPB	DIA	X	DIPA	X	DIA	DIPA
0	1	↑	↑	DIA	DIB	DIPA	DIPB	X	DIB	X	DIPB	DIB	DIPB
1	1	↑	↑	DIA	DIB	DIPA	DIPB	X	X	X	X	X	X

WRITE_MODE_A=NO_CHANGE、WRITE_MODE_B=READ_FIRST の場合

WEA	WEB	CLKA	CLKB	DIA	DIB	DIPA	DIPB	DOA	DOB	DOPA	DOPB	データ RAM	パリティ RAM
0	0	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	変化なし	変化なし
1	0	↑	↑	DIA	DIB	DIPA	DIPB	変化 なし	X	変化 なし	X	DIA	DIPA
0	1	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	DIB	DIPB
1	1	↑	↑	DIA	DIB	DIPA	DIPB	変化 なし	X	変化 なし	X	DIB	DIPB

WRITE_MODE_A=NO_CHANGE、WRITE_MODE_B=WRITE_FIRST の場合

WEA	WEB	CLKA	CLKB	DIA	DIB	DIPA	DIPB	DOA	DOB	DOPA	DOPB	データ RAM	パリティ RAM
0	0	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	変化なし	変化なし
1	0	↑	↑	DIA	DIB	DIPA	DIPB	変化 なし	X	変化 なし	X	DIA	DIPA
0	1	↑	↑	DIA	DIB	DIPA	DIPB	X	DIB	X	DIPB	DIB	DIPB
1	1	↑	↑	DIA	DIB	DIPA	DIPB	変化 なし	X	変化 なし	X	X	X

WRITE_MODE_A=READ_FIRST および WRITE_MODE_B=WRITE_FIRST

WEA	WEB	CLKA	CLKB	DIA	DIB	DIPA	DIPB	DOA	DOB	DOPA	DOPB	データ RAM	パリティ RAM
0	0	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	変化なし	変化なし
1	0	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	DIA	DIPA
0	1	↑	↑	DIA	DIB	DIPA	DIPB	X	DIB	X	DIPB	DIB	DIPB
1	1	↑	↑	DIA	DIB	DIPA	DIPB	X	DIB	X	DIPB	DIA	DIPA

デザインの入力方法

このエレメントは、回路図で使用できます。

使用可能な属性

属性	データ型	値	デフォルト	説明
INIT_00 ~ INIT_3F	2 進数/ 16 進数	任意の値	すべて 0	RAM 配列のデータ部分の初期値を指定します。
INIT_A	2 進数/ 16 進数	任意の値	すべて 0	コンフィギュレーション後の DOA 出力ポートの初期値を指定します。ビット幅は、RAM の A ポートの幅によって決まります。
INIT_B	2 進数/ 16 進数	任意の値	すべて 0	コンフィギュレーション後の DOB 出力ポートの初期値を指定します。ビット幅は、RAM の B ポートの幅によって決まります。
INITP_00 ~ INITP_07	2 進数/ 16 進数	任意の値	すべて 0	RAM 配列のパリティ部分の初期値を指定します。

属性	データ型	値	デフォルト	説明
SIM_COLLISION_CHECK	文字列	"ALL"、 "WARNING_ONLY"、 "GENERATE_X_ONLY"、 "NONE"	"ALL"	<p>メモリの競合が発生した場合にシミュレーションの動作を変更できます。詳細は次のとおりです。</p> <ul style="list-style-type: none"> ・ "ALL" : 警告メッセージが出力され、関連する出力およびメモリの値が不定 (X) になります。 ・ "WARNING_ONLY" : 警告メッセージのみが出力され、関連する出力およびメモリの値はそのまま保持されます。 ・ "GENERATE_X_ONLY" : 警告メッセージは出力されず、関連する出力およびメモリの値が不定 (X) になります。 ・ "NONE" : 警告メッセージは出力されず、関連する出力およびメモリの値はそのまま保持されます。 <p>注記 : "ALL" 以外の値に設定すると、シミュレーション中にデザインの問題を認識できなくなるため、この値を変更する場合は注意が必要です。詳細は、『合成/シミュレーション デザイン ガイド』を参照してください。</p>
SRVAL_A	2 進数/ 16 進数	任意の値	すべて 0	RSTA ピンをアサートしたときに、DOA 出力ポートをセット (1) するかリセット (0) するかをビットごとに設定します。ビット幅は、RAM の A ポートの幅によって決まります。デフォルトではすべてのビットがリセットされます。
SRVAL_B	2 進数/ 16 進数	任意の値	すべて 0	RSTB ピンをアサートしたときに、DOB 出力ポートをセット (1) するかリセット (0) するかをビットごとに設定します。ビット幅は、RAM の B ポートの幅によって決まります。デフォルトではすべてのビットがリセットされます。
WRITE_MODE_A	文字列	"WRITE_FIRST"、 "READ_FIRST"、 "NO_CHANGE"	"WRITE_FIRST"	<p>書き込みコマンドが DOA ポートで実行されるときポートの動作を指定します。</p> <ul style="list-style-type: none"> ・ "WRITE_FIRST" : 値がポートに書き込まれてから出力されます。 ・ "READ_FIRST" : 新たに値が書き込まれる前に、RAM の以前の値が出力ポートに出力されます。 ・ "NO_CHANGE" : 出力ポートの以前の値が保持され、出力ポートの値は変化しません。RAM のポートから値を読み出さない場合は、このモードに設定することをお勧めします。
WRITE_MODE_B	文字列	"WRITE_FIRST"、 "READ_FIRST"、 "NO_CHANGE"	"WRITE_FIRST"	<p>書き込みコマンドが DOB ポートで実行されるときポートの動作を指定します。</p> <ul style="list-style-type: none"> ・ "WRITE_FIRST" : 値がポートに書き込まれてから出力されます。

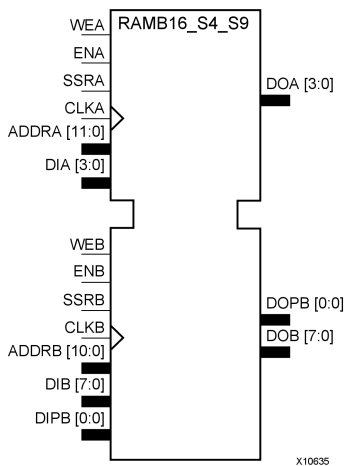
属性	データ型	値	デフォルト	説明
				<ul style="list-style-type: none">“READ_FIRST”：新たに値が書き込まれる前に、RAM の以前の値が出力ポートに出力されます。“NO_CHANGE”：出力ポートの以前の値が保持され、出力ポートの値は変化しません。RAM のポートから値を読み出さない場合は、このモードに設定することをお勧めします。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリー データシート』\(DS312\)](#)

RAMB16_S4_S9

プリミティブ : 16K-bit Data and 2K-bit Parity Dual-Port Synchronous Block RAM with 4-bit and 9-bit Ports



概要

このデザイン エLEMENTは、同期書き込み機能を備えた、デュアル ポートの専用 RAM ブロックです。各ブロック RAM のポートには 16384 ビットのデータ メモリがあります。ポート幅が 9、18、36 ビットにコンフィギュレーションされたポートには、さらに 2048 ビットのパリティ メモリがあります。各ポートは、同じ 16384 個のデータ メモリ セルに独立してアクセスします。各ポートのデータ幅は、それぞれ個別に設定できます。このELEMENTのポートおよびセルの構成は「ポートの説明」の表に示されています。

論理表

論理表 A

入力								出力			
GSR	ENA	SSRA	WEA	CLKA	ADDRA	DIA	DIPA	DOA	DOPA	RAM の内容	
										データ RAM	パリティ RAM
1	X	X	X	X	X	X	X	INIT_A	INIT_A	変化なし	変化なし
0	0	X	X	X	X	X	X	変化なし	変化なし	変化なし	変化なし
0	1	1	0	↑	X	X	X	SRVAL_A	SRVAL_A	変化なし	変化なし
0	1	1	1	↑	addr	data	pdata	SRVAL_A	SRVAL_A	RAM(addr) =>data	RAM(addr) =>pdata
0	1	0	0	↑	addr	X	X	RAM(addr)	RAM(addr)	変化なし	変化なし
0	1	0	1	↑	addr	data	pdata	変化なし ¹ 、 RAM(addr) ² 、 data ³	変化なし ¹ 、 RAM(addr) ² 、 pdata ³	RAM(addr) =>data	RAM(addr) =>pdata

GSR = グローバル セットリセット信号

INIT_A = 出力レジスタ用に INIT_A 属性で設定された値。デフォルトはすべて 0 です。

SRVAL_A = レジスタの値

addr = RAM アドレス

RAM(addr) = アドレス ADDR の RAM の内容

data = RAM の入力データ

pdata = RAM のパリティ データ

¹WRITE_MODE_A=NO_CHANGE

²WRITE_MODE_A=READ_FIRST

³WRITE_MODE_A=WRITE_FIRST

論理表 B

入力								出力			
GSR	ENB	SSRB	WEB	CLKB	ADDRB	DIB	DIPB	DOB	DOPB	RAM の内容	
										データ RAM	パリティ RAM
1	X	X	X	X	X	X	X	INIT_B	INIT_B	変化なし	変化なし
0	0	X	X	X	X	X	X	変化なし	変化なし	変化なし	変化なし
0	1	1	0	↑	X	X	X	SRVAL_B	SRVAL_B	変化なし	変化なし
0	1	1	1	↑	addr	data	pdata	SRVAL_B	SRVAL_B	RAM(addr) =>data	RAM(addr) =>pdata
0	1	0	0	↑	addr	X	X	RAM(addr)	RAM(addr)	変化なし	変化なし
0	1	0	1	↑	addr	data	pdata	変化なし ¹ 、 RAM(addr) ² 、 data ³	変化なし ¹ 、 RAM(addr) ² 、 pdata ³	RAM(addr) =>data	RAM(addr) =>pdata

GSR = グローバル セット リセット信号

INIT_B = 出力レジスタ用に INIT_B 属性で設定された値。デフォルトはすべて 0 です。

SRVAL_B = レジスタの値

addr = RAM アドレス

RAM(addr) = アドレス ADDR の RAM の内容

data = RAM の入力データ

pdata = RAM のパリティ データ

¹WRITE_MODE_B=NO_CHANGE

²WRITE_MODE_B=READ_FIRST

³WRITE_MODE_B=WRITE_FIRST

ポートの説明

ポート A						ポート B				
デザイン エレメント	データ セル ¹	パリティ セル ¹	アドレス バス	データ バス	パリティ バス	データ セル ¹	パリティ セル ¹	アドレス バス	データ バス	パリティ バス
RAMB16_S4_S9	4096 x 4	—	(11:0)	(3:0)	—	2048 x 8	2048 x 1	(10:0)	(7:0)	(0:0)

¹ ワード数 X 幅

各ポートは、それぞれのクロックに完全に同期します。ポート A の各データ入力ピン (DIA) のセットアップ タイム、およびデータ出力バス (DOA) の clock-to-out タイムは、CLKA を基準とします。ポート B の各データ入力ピン (DIB) のセットアップ タイム、およびデータ出力バス (DOB) の clock-to-out タイムは、CLKB を基準とします。イネーブル ピン ENA は、ポート A の読み出し、書き込み、リセットを制御します。ENA が Low の場合、データは書き込まれず、出力 (DOA および DOPA) は変化しません。ENA とリセット (SSRA) が High の場合、クロック (CLKA) が Low から High に切り替わるたびに DOA および DOPA が SRVAL_A にセットされます。ライト イネーブル (WEA) も High の場合は、DIA および DIPA の値が RAM に書き込まれます。ENA が High で SSRA と WEA が Low の場合、クロックが Low から High に切り替わるたびに、RAM アドレス (ADDR_A) に格納されているデータが読み出されます。SSRA が Low で ENA と WEA が High の場合、クロックが Low から High に切り替わるたびに、書き込みアドレス (ADDR_A) で選択されているワードにデータ入力 (DIA および DIPA) の値が読み込まれます。データ出力 (DOA および DOPA) に出力される値は、書き込みモードによって異なります。書き込みモードは、デフォルトでは WRITE_MODE=WRITE_FIRST に設定されています。

イネーブル ピン ENB は、ポート B の読み出し、書き込み、リセットを制御します。ENB が Low の場合、データは書き込まれず、出力 (DOB および DOPB) は変化しません。ENB とリセット (SSRB) が High の場合、クロック (CLKB) が Low から High に切り替わるたびに、DOB および DOPB が SRVAL_B にセットされます。ライト イネーブル (WEB) も High の場合は、DIB および DIPB の値が RAM に書き込まれます。ENB が High で SSRB と WEB が Low の場合、クロックが Low から High に切り替わるたびに RAM アドレス (ADDRB) に格納されているデータが出力されます。SSRB が Low で ENB と WEB が High の場合、クロックが Low から High に切り替わるたびに、書き込みアドレス (ADDRB) で選択されているワードにデータ入力 (DIB および DIPB) の値が読み込まれます。データ出力 (DOB および DOPB) に出力される値は、書き込みモードによって異なります。書き込みモードは、デフォルトでは WRITE_MODE=WRITE_FIRST に設定されています。上記の説明では、制御ピン (ENA、WEA、SSRA、CLKA、ENB、WEB、SSRB、CLKB) がアクティブ High であると想定していますが、ポートにインバーターを配置してアクティブ Low にすることもできます。RAMB16 のポートに配置したインバーターはブロック内に組み込まれるので、CLB リソースは使用されません。

アドレス マップ

各ポートは、ポートの幅によって異なるアドレス指定方法を使用して、同じ 18432 個のメモリ セルにアクセスします。「データ用のポート アドレス マップ」に示すように、すべてのポート幅で 16384 個のメモリ セルをデータの格納に使用できます。9、18、および 36 ビット幅のポートには、「パリティ用のポート アドレス マップ」に示すように、2408 個のパリティメモリ セルもあります。特定のポート幅での物理的な RAM の位置は、次の式によって決定されます。

$$\text{Start} = ((\text{ADDR_port} + 1) * (\text{Widthport})) - 1$$

$$\text{End} = (\text{ADDRport}) * (\text{Widthport})$$

次の表に、各ポート幅のアドレス マップを示します。

データ用のポート アドレス マップ

データ 幅	ポートのデータ アドレス																																		
1	16384	<--	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
2	8192	<--	15		14		13		12		11		10		9		8		7		6		5		4		3		2		1		0		
4	4096	<--	7				6				5				4				3				2				1				0				
8	2048	<--	3								2								1								0								
16	1024	<--	1																0																
32	512	<--	0																																

パリティ用のポート アドレス マップ

パリティ幅	ポートのパリティ アドレス														
1	2048	<-----	3				2				1				0
2	1024	<-----	1								0				
4	512	<-----	0												

デュアル ポート RAMB16 のメモリ内容の初期化

INIT_xx 属性を使用すると、デバイスのコンフィギュレーション中に RAMB16 のメモリの内容を初期化できます。各 RAMB16_Sm_Sn の初期値は、64 個の初期化属性 (INIT_00 ~ INIT_3F) を使用して 64 桁の 16 進数値で指定します (合計 16384 ビット)。

INITP_xx 属性を使用すると、デバイスのコンフィギュレーションまたはアサート中にパリティ メモリを初期化できます。9、18、36 ビット幅にコンフィギュレーションされたポートのパリティ メモリの初期値は、8 個の初期化属性 (INITP_00 ~ INITP_07) を使用して 64 桁の 16 進数値で指定します (合計 2048 ビット)。

INIT_xx または INITP_xx 属性を指定しない場合は、そのアドレスの値は 0 に設定されます。属性を一部だけ指定すると、上位ビットが 0 になります。

デュアル ポート RAMB16 の出力レジスタの初期化

Spartan®-3A 以降のデバイスでは、電源投入時 (GSR が High のとき) に出力レジスタの各ビットを 0 または 1 に初期化できます。また、セット/リセットをアサートした後の値を、電源投入時の初期値とは異なる値に設定できます。デュアル ポート RAMB16 の出力レジスタを初期化する属性には、INIT_A、INIT_B、SRVAL_A、SRVAL_B の 4 種類があります。INIT_A 属性は電源投入時のポート A の出力レジスタの初期値を指定し、INIT_B 属性は電源投入時のポート B の出力レジスタの初期値を指定します。SRVAL_A 属性はポート A で SSRA (セット/リセット) 入力をアサートしたときの初期値を指定し、SRVAL_B 属性はポート B で SSRB (セット/リセット) 入力をアサートしたときの初期値を指定します。

INIT_A、INIT_B、SRVAL_A、SRVAL_B 属性は、16 進数で指定します。この初期値はポート幅によって異なります。たとえば、ポート A の幅が 1、ポート B の幅が 4 の RAMB16_S1_S4 の場合、ポート A の出力レジスタは 1 ビットなので、INIT_A または SRVAL_A には 1 または 0 を指定します。ポート B の出力レジスタは 4 ビットなので、INIT_B または SRVAL_B には 0 ~ F の 16 進数値を指定します。

パリティビットを含むポートでは、出力レジスタのパリティ部分は、INIT_A、INIT_B、SRVAL_A、SRVAL_B の値の上位ビットで指定します。

INIT および SRVAL 属性を指定しない場合は、デフォルトで 0 に初期化されます。

書き込みモードの選択

WRITE_MODE_A 属性は、デュアル ポート RAMB16 のポート A のメモリおよび出力の内容を制御し、WRITE_MODE_B 属性は、ポート B のメモリおよび出力の内容を制御します。デフォルトでは、WRITE_MODE_A と WRITE_MODE_B は両方とも WRITE_FIRST に設定されています。この場合、入力値がメモリに書き込まれた後にその値が出力されます。READ_FIRST に設定すると、メモリの内容が出力された後、入力値がメモリに書き込まれます。NO_CHANGE に設定すると、入力値はメモリに書き込まれますが、出力の値は変化しません。ポート A とポート B で同じメモリ セルに読み出し/書き込みを行おうとした場合の競合の解決方法については、「ポート A とポート B が競合する場合の対処方法」を参照してください。

ポート A とポート B が競合する場合の対処方法

Spartan-3A ブロックの SelectRAM™ は、完全なデュアル ポート RAM で、2 つのポートが同時に同じメモリ セルにアクセスできます。ただし、一方のポートがあるメモリ セルに書き込みを行っている場合は、もう一方のポートで clock-to-clock セットアップ タイム内に、そのメモリ セルに対して書き込みまたは読み出しを実行しないようにする必要があります。

次の表に、デュアルポート RAMB16 で競合が発生した場合の動作を、WRITE_MODE_A と WRITE_MODE_B の設定別に示します。

WRITE_MODE_A=NO_CHANGE、WRITE_MODE_B=NO_CHANGE の場合

WEA	WEB	CLKA	CLKB	DIA	DIB	DIPA	DIPB	DOA	DOB	DOPA	DOPB	データ RAM	パリティ RAM
0	0	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	変化なし	変化なし
1	0	↑	↑	DIA	DIB	DIPA	DIPB	変化 なし	X	変化 なし	X	DIA	DIPA
0	1	↑	↑	DIA	DIB	DIPA	DIPB	X	変化 なし	X	変化 なし	DIB	DIPB
1	1	↑	↑	DIA	DIB	DIPA	DIPB	変化 なし	変化 なし	変化 なし	変化 なし	X	X

WRITE_MODE_A=READ_FIRST、WRITE_MODE_B=READ_FIRST の場合

WEA	WEB	CLKA	CLKB	DIA	DIB	DIPA	DIPB	DOA	DOB	DOPA	DOPB	データ RAM	パリティ RAM
0	0	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	変化なし	変化なし
1	0	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	DIA	DIPA
0	1	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	DIB	DIPB
1	1	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	X	X

WRITE_MODE_A=WRITE_FIRST、WRITE_MODE_B=WRITE_FIRST の場合

WEA	WEB	CLKA	CLKB	DIA	DIB	DIPA	DIPB	DOA	DOB	DOPA	DOPB	データ RAM	パリティ RAM
0	0	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	変化なし	変化なし
1	0	↑	↑	DIA	DIB	DIPA	DIPB	DIA	X	DIPA	X	DIA	DIPA
0	1	↑	↑	DIA	DIB	DIPA	DIPB	X	DIB	X	DIPB	DIB	DIPB
1	1	↑	↑	DIA	DIB	DIPA	DIPB	X	X	X	X	X	X

WRITE_MODE_A=NO_CHANGE、WRITE_MODE_B=READ_FIRST の場合

WEA	WEB	CLKA	CLKB	DIA	DIB	DIPA	DIPB	DOA	DOB	DOPA	DOPB	データ RAM	パリティ RAM
0	0	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	変化なし	変化なし
1	0	↑	↑	DIA	DIB	DIPA	DIPB	変化 なし	X	変化 なし	X	DIA	DIPA
0	1	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	DIB	DIPB
1	1	↑	↑	DIA	DIB	DIPA	DIPB	変化 なし	X	変化 なし	X	DIB	DIPB

WRITE_MODE_A=NO_CHANGE、WRITE_MODE_B=WRITE_FIRST の場合

WEA	WEB	CLKA	CLKB	DIA	DIB	DIPA	DIPB	DOA	DOB	DOPA	DOPB	データ RAM	パリティ RAM
0	0	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	変化なし	変化なし
1	0	↑	↑	DIA	DIB	DIPA	DIPB	変化 なし	X	変化 なし	X	DIA	DIPA
0	1	↑	↑	DIA	DIB	DIPA	DIPB	X	DIB	X	DIPB	DIB	DIPB
1	1	↑	↑	DIA	DIB	DIPA	DIPB	変化 なし	X	変化 なし	X	X	X

WRITE_MODE_A=READ_FIRST および WRITE_MODE_B=WRITE_FIRST

WEA	WEB	CLKA	CLKB	DIA	DIB	DIPA	DIPB	DOA	DOB	DOPA	DOPB	データ RAM	パリティ RAM
0	0	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	変化なし	変化なし
1	0	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	DIA	DIPA
0	1	↑	↑	DIA	DIB	DIPA	DIPB	X	DIB	X	DIPB	DIB	DIPB
1	1	↑	↑	DIA	DIB	DIPA	DIPB	X	DIB	X	DIPB	DIA	DIPA

デザインの入力方法

このエレメントは、回路図で使用できます。

使用可能な属性

属性	データ型	値	デフォルト	説明
INIT_00 ~ INIT_3F	2 進数/ 16 進数	任意の値	すべて 0	RAM 配列のデータ部分の初期値を指定します。
INIT_A	2 進数/ 16 進数	任意の値	すべて 0	コンフィギュレーション後の DOA 出力ポートの初期値を指定します。ビット幅は、RAM の A ポートの幅によって決まります。
INIT_B	2 進数/ 16 進数	任意の値	すべて 0	コンフィギュレーション後の DOB 出力ポートの初期値を指定します。ビット幅は、RAM の B ポートの幅によって決まります。
INITP_00 ~ INITP_07	2 進数/ 16 進数	任意の値	すべて 0	RAM 配列のパリティ部分の初期値を指定します。

属性	データ型	値	デフォルト	説明
SIM_COLLISION_CHECK	文字列	"ALL"、 "WARNING_ONLY"、 "GENERATE_X_ONLY"、 "NONE"	"ALL"	<p>メモリの競合が発生した場合にシミュレーションの動作を変更できます。詳細は次のとおりです。</p> <ul style="list-style-type: none"> ・ "ALL"：警告メッセージが出力され、関連する出力およびメモリの値が不定 (X) になります。 ・ "WARNING_ONLY"：警告メッセージのみが出力され、関連する出力およびメモリの値はそのまま保持されます。 ・ "GENERATE_X_ONLY"：警告メッセージは出力されず、関連する出力およびメモリの値が不定 (X) になります。 ・ "NONE"：警告メッセージは出力されず、関連する出力およびメモリの値はそのまま保持されます。 <p>注記： "ALL" 以外の値に設定すると、シミュレーション中にデザインの問題を認識できなくなるため、この値を変更する場合は注意が必要です。詳細は、『合成/シミュレーション デザイン ガイド』を参照してください。</p>
SRVAL_A	2 進数/ 16 進数	任意の値	すべて 0	RSTA ピンをアサートしたときに、DOA 出力ポートをセット (1) するかリセット (0) するかをビットごとに設定します。ビット幅は、RAM の A ポートの幅によって決まります。デフォルトではすべてのビットがリセットされます。
SRVAL_B	2 進数/ 16 進数	任意の値	すべて 0	RSTB ピンをアサートしたときに、DOB 出力ポートをセット (1) するかリセット (0) するかをビットごとに設定します。ビット幅は、RAM の B ポートの幅によって決まります。デフォルトではすべてのビットがリセットされます。
WRITE_MODE_A	文字列	"WRITE_FIRST"、 "READ_FIRST"、 "NO_CHANGE"	"WRITE_FIRST"	<p>書き込みコマンドが DOA ポートで実行されるときポートの動作を指定します。</p> <ul style="list-style-type: none"> ・ "WRITE_FIRST"：値がポートに書き込まれてから出力されます。 ・ "READ_FIRST"：新たに値が書き込まれる前に、RAM の以前の値が出力ポートに出力されます。 ・ "NO_CHANGE"：出力ポートの以前の値が保持され、出力ポートの値は変化しません。RAM のポートから値を読み出さない場合は、このモードに設定することをお勧めします。
WRITE_MODE_B	文字列	"WRITE_FIRST"、 "READ_FIRST"、 "NO_CHANGE"	"WRITE_FIRST"	<p>書き込みコマンドが DOB ポートで実行されるときポートの動作を指定します。</p> <ul style="list-style-type: none"> ・ "WRITE_FIRST"：値がポートに書き込まれてから出力されます。

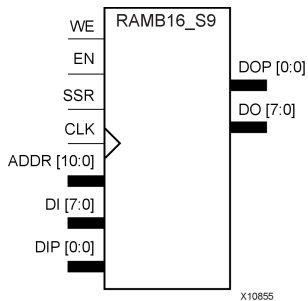
属性	データ型	値	デフォルト	説明
				<ul style="list-style-type: none">・ "READ_FIRST"：新たに値が書き込まれる前に、RAM の以前の値が出力ポートに出力されます。・ "NO_CHANGE"：出力ポートの以前の値が保持され、出力ポートの値は変化しません。RAM のポートから値を読み出さない場合は、このモードに設定することをお勧めします。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリー データシート』\(DS312\)](#)

RAMB16_S9

プリミティブ：16K-bit Data and 2K-bit Parity Single-Port Synchronous Block RAM with 9-bit Port



概要

このデザイン エLEMENTは、同期書き込み機能を備えた専用 RAM ブロックです。ブロック RAM のポートには 16384 ビットのデータ メモリがあります。セルの構成を、次の表に示します。

データ セル		パリティ セル				
ワード数	幅	ワード数	幅	アドレス バス	データ バス	パリティ バス
2048	8	2048	1	(10:0)	(7:0)	(0:0)

イネーブル ピン EN は、読み出し、書き込み、リセットを制御します。EN が Low の場合、データは書き込まれず、出力 (DO および DOP) の値は変化しません。EN とリセット (SSR) が High の場合、クロック (CLK) が Low から High に切り替わるときに、DO および DOP が SRVAL にセットされます。ライト イネーブル (WE) も High の場合は、DI および DIP の値が RAM に書き込まれます。SSR と WE が Low で EN が High の場合、クロックが Low から High に切り替わるときに、RAM アドレス (ADDR) に格納されているデータが DO および DOP に出力されます。デフォルトでは WRITE_MODE=WRITE_FIRST に設定されており、SSR が Low で EN および WE が High の場合、クロックが Low から High に切り替わるときに、データ入力 (DI および DIP) のデータが書き込みアドレス (ADDR) で選択されているワードに書き込まれ、データ出力 (DO および DOP) にその値が出力されます。

上記の説明では、制御ピン (EN、WE、SSR、CLK) がアクティブ High であると想定していますが、ポートにインバーターを配置してアクティブ Low にすることもできます。RAMB16 のポートに配置したインバーターはブロック内に組み込まれるので、CLB リソースは使用されません。

論理表

入力								出力			
GSR	EN	SSR	WE	CLK	ADDR	DI	DIP	DO	DOP	RAM の内容	
										データ RAM	パリティ RAM
1	X	X	X	X	X	X	X	INIT	INIT	変化なし	変化なし
0	0	X	X	X	X	X	X	変化なし	変化なし	変化なし	変化なし
0	1	1	0	↑	X	X	X	SRVAL	SRVAL	変化なし	変化なし
0	1	1	1	↑	addr	data	pdata	SRVAL	SRVAL	RAM(addr) =>data	RAM(addr) =>pdata
0	1	0	0	↑	addr	X	X	RAM(addr)	RAM(addr)	変化なし	変化なし
0	1	0	1	↑	addr	data	pdata	変化なし ¹ 、 RAM(addr) ² 、 data ³	変化なし ¹ 、 RAM(addr) ² 、 pdata ³	RAM(addr) =>data	RAM(addr) =>pdata

GSR=グローバル セットリセット信号

INIT = データ メモリ用に INIT 属性で設定された値。デフォルトはすべて 0 です。

SRVAL = SRVAL 属性で設定された SSR のアサート後の値

addr = RAM アドレス

RAM(addr) = アドレス ADDR の RAM の内容

data = RAM の入力データ

pdata = RAM のパリティ データ

¹ WRITE_MODE=NO_CHANGE

² WRITE_MODE=READ_FIRST

³ WRITE_MODE=WRITE_FIRST

初期化

メモリ内容の初期化

INIT_{xx} 属性を使用すると、デバイスのコンフィギュレーション中に RAMB16 のメモリの内容を初期化できます。各 RAMB16 の初期値は、64 個の初期化属性 (INIT₀₀ ~ INIT_{3F}) を使用して 64 桁の 16 進数値で指定します (合計 16384 ビット)。

INITP_{xx} 属性を使用すると、デバイスのコンフィギュレーションまたはアサート中にパリティメモリを初期化できます。9、18、36 ビット幅にコンフィギュレーションされたポートのパリティメモリの初期値は、8 個の初期化属性 (INITP₀₀ ~ INITP₀₇) を使用して 64 桁の 16 進数値で指定します (合計 2048 ビット)。

INIT_{xx} または INITP_{xx} 属性を指定しない場合は、そのアドレスの値は 0 に設定されます。属性を一部だけ指定すると、上位ビットが 0 になります。

出力レジスタの初期化

Spartan®-3A 以降のデバイスでは、電源投入時に出力レジスタの各ビットを 0 または 1 に初期化できます。また、セット/リセットをアサートした後の値を、電源投入時の初期値とは異なる値に設定できます。シングルポート RAMB16 の出力レジスタの初期化に使用する属性には、INIT と SRVAL の 2 種類があります。INIT 属性は、電源投入時の出力レジスタの値を指定します。SRVAL 属性は、SSR (セット/リセット) 入力のアサートしたときの値を指定します。

INIT および SRVAL 属性は、初期化値を、出力ポートの各ビットに 1 ビットが対応した 16 進数文字列として指定します。たとえば、ポート幅が 1 の RAMB16_S1 の場合、出力レジスタは 1 ビットなので、INIT および SRVAL には 1 または 0 を指定します。ポート幅が 4 の RAMB16_S4 の場合は、出力レジスタは 4 ビットなので、0 ~ F の 16 進数値を指定します。

パリティビットを含むポートでは、出力レジスタのパリティ部分は、INIT または SRVAL の値の上位ビットで指定します。

書き込みモードの選択

WRITE_MODE 属性は、RAMB16 メモリおよび出力の内容を制御します。デフォルトでは、WRITE_MODE は WRITE_FIRST に設定されています。この場合、入力値がメモリに書き込まれた後にその値が出力されます。WRITE_MODE を READ_FIRST に設定すると、メモリの内容が出力された後、入力値がメモリに書き込まれます。WRITE_MODE を NO_CHANGE に設定すると、入力値はメモリに書き込まれますが、出力の値は変化しません。

デザインの入力方法

このエレメントは、回路図で使用できます。

使用可能な属性

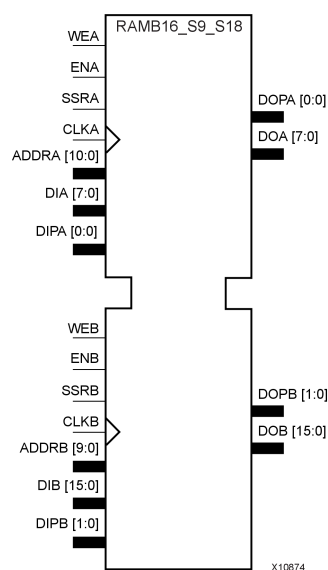
属性	データ型	値	デフォルト	説明
INIT	2 進数/ 16 進数	任意の値	すべて 0	コンフィギュレーション後の DO 出力ポートの初期値を指定します。ビット幅は、RAM の A ポートまたは B ポートの幅によって決まります。
INIT_00 ~ INIT_3F	2 進数/ 16 進数	任意の値	すべて 0	RAM 配列のデータ部分の初期値を指定します。
INITP_00 ~ INITP_07	2 進数/ 16 進数	任意の値	すべて 0	RAM 配列のパリティ部分の初期値を指定します。
SRVAL	2 進数/ 16 進数	任意の値	すべて 0	SSR ピンをアサートしたときに、DO 出力ポートをセット (1) するかリセット (0) するかをビットごとに指定します。ビット幅は、RAM の A ポートまたは B ポートの幅によって決まります。
WRITE_MODE	文字列	"WRITE_FIRST"、 "READ_FIRST"、 "NO_CHANGE"	"WRITE_FIRST"	書き込みコマンドが DO ポートで実行される ときのポートの動作を指定します。 <ul style="list-style-type: none"> ・ "WRITE_FIRST"：値がポートに書き込まれてから出力されます。 ・ "READ_FIRST"：新たに値が書き込まれる前に、RAM の以前の値が出力ポートに出力されます。 ・ "NO_CHANGE"：出力ポートの以前の値が保持され、出力ポートの値は変化しません。RAM のポートから値を読み出さない場合は、このモードに設定することをお勧めします。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリ データシート』\(DS312\)](#)

RAMB16_S9_S18

プリミティブ : 16K-bit Data and 2K-bit Parity Dual-Port Synchronous Block RAM with 9-bit and 18-bit Ports



概要

このデザイン エLEMENTは、同期書き込み機能を備えた、デュアル ポートの専用 RAM ブロックです。各ブロック RAM のポートには 16384 ビットのデータ メモリがあります。ポート幅が 9、18、36 ビットにコンフィギュレーションされたポートには、さらに 2048 ビットのパリティ メモリがあります。各ポートは、同じ 16384 個のデータ メモリ セルに独立してアクセスします。各ポートのデータ幅は、それぞれ個別に設定できます。このELEMENTのポートおよびセルの構成は「ポートの説明」の表に示されています。

論理表

論理表 A

入力								出力			
GSR	ENA	SSRA	WEA	CLKA	ADDRA	DIA	DIPA	DOA	DOPA	RAM の内容	
										データ RAM	パリティ RAM
1	X	X	X	X	X	X	X	INIT_A	INIT_A	変化なし	変化なし
0	0	X	X	X	X	X	X	変化なし	変化なし	変化なし	変化なし
0	1	1	0	↑	X	X	X	SRVAL_A	SRVAL_A	変化なし	変化なし
0	1	1	1	↑	addr	data	pdata	SRVAL_A	SRVAL_A	RAM(addr) =>data	RAM(addr) =>pdata
0	1	0	0	↑	addr	X	X	RAM(addr)	RAM(addr)	変化なし	変化なし
0	1	0	1	↑	addr	data	pdata	変化なし ¹ 、 RAM(addr) ² 、 data ³	変化なし ¹ 、 RAM(addr) ² 、 pdata ³	RAM(addr) =>data	RAM(addr) =>pdata

GSR = グローバル セットリセット信号

INIT_A = 出力レジスタ用に INIT_A 属性で設定された値。デフォルトはすべて 0 です。

SRVAL_A = レジスタの値

addr = RAM アドレス

RAM(addr) = アドレス ADDR の RAM の内容

data = RAM の入力データ

pdata = RAM のパリティ データ

¹WRITE_MODE_A=NO_CHANGE

²WRITE_MODE_A=READ_FIRST

³WRITE_MODE_A=WRITE_FIRST

論理表 B

入力								出力			
GSR	ENB	SSRB	WEB	CLKB	ADDRB	DIB	DIPB	DOB	DOPB	RAM の内容	
										データ RAM	パリティ RAM
1	X	X	X	X	X	X	X	INIT_B	INIT_B	変化なし	変化なし
0	0	X	X	X	X	X	X	変化なし	変化なし	変化なし	変化なし
0	1	1	0	↑	X	X	X	SRVAL_B	SRVAL_B	変化なし	変化なし
0	1	1	1	↑	addr	data	pdata	SRVAL_B	SRVAL_B	RAM(addr) =>data	RAM(addr) =>pdata
0	1	0	0	↑	addr	X	X	RAM(addr)	RAM(addr)	変化なし	変化なし
0	1	0	1	↑	addr	data	pdata	変化なし ¹ 、RAM(addr) ² 、data ³	変化なし ¹ 、RAM(addr) ² 、pdata ³	RAM(addr) =>data	RAM(addr) =>pdata

GSR = グローバル セット リセット信号
INIT_B = 出力レジスタ用に INIT_B 属性で設定された値。デフォルトはすべて 0 です。
SRVAL_B = レジスタの値
addr = RAM アドレス
RAM(addr) = アドレス ADDR の RAM の内容
data = RAM の入力データ
pdata = RAM のパリティ データ
¹WRITE_MODE_B=NO_CHANGE
²WRITE_MODE_B=READ_FIRST
³WRITE_MODE_B=WRITE_FIRST

ポートの説明

ポート A						ポート B				
デザイン エレメント	データ セル ¹	パリティ セル ¹	アドレス バス	データ バス	パリティ バス	データ セル ¹	パリティ セル ¹	アドレス バス	データ バス	パリティ バス
RAMB16_S9_S18	2048 x 8	2048 x 1	(10:0)	(7:0)	(0:0)	1024 x 16	1024 x 2	(9:0)	(15:0)	(1:0)

¹ ワード数 X 幅

各ポートは、それぞれのクロックに完全に同期します。ポート A の各データ入力ピン (DIA) のセットアップ タイム、およびデータ出力バス (DOA) の clock-to-out タイムは、CLKA を基準とします。ポート B の各データ入力ピン (DIB) のセットアップ タイム、およびデータ出力バス (DOB) の clock-to-out タイムは、CLKB を基準とします。イネーブル ピン ENA は、ポート A の読み出し、書き込み、リセットを制御します。ENA が Low の場合、データは書き込まれず、出力 (DOA および DOPA) は変化しません。ENA とリセット (SSRA) が High の場合、クロック (CLKA) が Low から High に切り替わるたびに DOA および DOPA が SRVAL_A にセットされます。ライト イネーブル (WEA) も High の場合は、DIA および DIPA の値が RAM に書き込まれます。ENA が High で SSRA と WEA が Low の場合、クロックが Low から High に切り替わるたびに、RAM アドレス (ADDR_A) に格納されているデータが読み出されます。SSRA が Low で ENA と WEA が High の場合、クロックが Low から High に切り替わるたびに、書き込みアドレス (ADDR_A) で選択されているワードにデータ入力 (DIA および DIPA) の値が読み込まれます。データ出力 (DOA および DOPA) に出力される値は、書き込みモードによって異なります。書き込みモードは、デフォルトでは WRITE_MODE=WRITE_FIRST に設定されています。

イネーブル ピン ENB は、ポート B の読み出し、書き込み、リセットを制御します。ENB が Low の場合、データは書き込まれず、出力 (DOB および DOPB) は変化しません。ENB とリセット (SSRB) が High の場合、クロック (CLKB) が Low から High に切り替わるたびに、DOB および DOPB が SRVAL_B にセットされます。ライト イネーブル (WEB) も High の場合は、DIB および DIPB の値が RAM に書き込まれます。ENB が High で SSRB と WEB が Low の場合、クロックが Low から High に切り替わるたびに RAM アドレス (ADDRB) に格納されているデータが出力されます。SSRB が Low で ENB と WEB が High の場合、クロックが Low から High に切り替わるたびに、書き込みアドレス (ADDRB) で選択されているワードにデータ入力 (DIB および DIPB) の値が読み込まれます。データ出力 (DOB および DOPB) に出力される値は、書き込みモードによって異なります。書き込みモードは、デフォルトでは WRITE_MODE=WRITE_FIRST に設定されています。上記の説明では、制御ピン (ENA、WEA、SSRA、CLKA、ENB、WEB、SSRB、CLKB) がアクティブ High であると想定していますが、ポートにインバーターを配置してアクティブ Low にすることもできます。RAMB16 のポートに配置したインバーターはブロック内に組み込まれるので、CLB リソースは使用されません。

アドレス マッピング

各ポートは、ポートの幅によって異なるアドレス指定方法を使用して、同じ 18432 個のメモリ セルにアクセスします。「データ用のポート アドレス マップ」に示すように、すべてのポート幅で 16384 個のメモリ セルをデータの格納に使用できます。9、18、および 36 ビット幅のポートには、「パリティ用のポート アドレス マップ」に示すように、2408 個のパリティメモリセルもあります。特定のポート幅での物理的な RAM の位置は、次の式によって決定されます。

$$\text{Start} = ((\text{ADDR_port} + 1) * (\text{Widthport})) - 1$$

$$\text{End} = (\text{ADDRport}) * (\text{Widthport})$$

次の表に、各ポート幅のアドレス マップを示します。

データ用のポート アドレス マップ

データ 幅	ポートのデータ アドレス																																		
1	16384	<--	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
2	8192	<--	15		14		13		12		11		10		9		8		7		6		5		4		3		2		1		0		
4	4096	<--	7				6				5				4				3				2				1				0				
8	2048	<--	3								2								1								0								
16	1024	<--	1																0																
32	512	<--	0																																

パリティ用のポート アドレス マップ

パリティ幅	ポートのパリティ アドレス														
1	2048	<-----	3				2				1				0
2	1024	<-----	1								0				
4	512	<-----	0												

デュアル ポート RAMB16 のメモリ内容の初期化

INIT_xx 属性を使用すると、デバイスのコンフィギュレーション中に RAMB16 のメモリの内容を初期化できます。各 RAMB16_Sm_Sn の初期値は、64 個の初期化属性 (INIT_00 ~ INIT_3F) を使用して 64 桁の 16 進数値で指定します (合計 16384 ビット)。

INITP_xx 属性を使用すると、デバイスのコンフィギュレーションまたはアサート中にパリティ メモリを初期化できます。9、18、36 ビット幅にコンフィギュレーションされたポートのパリティ メモリの初期値は、8 個の初期化属性 (INITP_00 ~ INITP_07) を使用して 64 桁の 16 進数値で指定します (合計 2048 ビット)。

INIT_xx または INITP_xx 属性を指定しない場合は、そのアドレスの値は 0 に設定されます。属性を一部だけ指定すると、上位ビットが 0 になります。

デュアル ポート RAMB16 の出力レジスタの初期化

Spartan®-3A 以降のデバイスでは、電源投入時 (GSR が High のとき) に出力レジスタの各ビットを 0 または 1 に初期化できます。また、セット/リセットをアサートした後の値を、電源投入時の初期値とは異なる値に設定できます。デュアル ポート RAMB16 の出力レジスタを初期化する属性には、INIT_A、INIT_B、SRVAL_A、SRVAL_B の 4 種類があります。INIT_A 属性は電源投入時のポート A の出力レジスタの初期値を指定し、INIT_B 属性は電源投入時のポート B の出力レジスタの初期値を指定します。SRVAL_A 属性はポート A で SSRA (セット/リセット) 入力をアサートしたときの初期値を指定し、SRVAL_B 属性はポート B で SSRB (セット/リセット) 入力をアサートしたときの初期値を指定します。

INIT_A、INIT_B、SRVAL_A、SRVAL_B 属性は、16 進数で指定します。この初期値はポート幅によって異なります。たとえば、ポート A の幅が 1、ポート B の幅が 4 の RAMB16_S1_S4 の場合、ポート A の出力レジスタは 1 ビットなので、INIT_A または SRVAL_A には 1 または 0 を指定します。ポート B の出力レジスタは 4 ビットなので、INIT_B または SRVAL_B には 0 ~ F の 16 進数値を指定します。

パリティビットを含むポートでは、出力レジスタのパリティ部分は、INIT_A、INIT_B、SRVAL_A、SRVAL_B の値の上位ビットで指定します。

INIT および SRVAL 属性を指定しない場合は、デフォルトで 0 に初期化されます。

書き込みモードの選択

WRITE_MODE_A 属性は、デュアル ポート RAMB16 のポート A のメモリおよび出力の内容を制御し、WRITE_MODE_B 属性は、ポート B のメモリおよび出力の内容を制御します。デフォルトでは、WRITE_MODE_A と WRITE_MODE_B は両方とも WRITE_FIRST に設定されています。この場合、入力値がメモリに書き込まれた後にその値が出力されます。READ_FIRST に設定すると、メモリの内容が出力された後、入力値がメモリに書き込まれます。NO_CHANGE に設定すると、入力値はメモリに書き込まれますが、出力の値は変化しません。ポート A とポート B で同じメモリ セルに読み出し/書き込みを行おうとした場合の競合の解決方法については、「ポート A とポート B が競合する場合の対処方法」を参照してください。

ポート A とポート B が競合する場合の対処方法

Spartan-3A ブロック SelectRAM™ は、完全なデュアル ポート RAM で、2 つのポートが同時に同じメモリ セルにアクセスできます。ただし、一方のポートがあるメモリ セルに書き込みを行っている場合は、もう一方のポートで clock-to-clock セットアップ タイム内に、そのメモリ セルに対して書き込みまたは読み出しを実行しないようにする必要があります。

次の表に、デュアルポート RAMB16 で競合が発生した場合の動作を、WRITE_MODE_A と WRITE_MODE_B の設定別に示します。

WRITE_MODE_A=NO_CHANGE、WRITE_MODE_B=NO_CHANGE の場合

WEA	WEB	CLKA	CLKB	DIA	DIB	DIPA	DIPB	DOA	DOB	DOPA	DOPB	データ RAM	パリティ RAM
0	0	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	変化なし	変化なし
1	0	↑	↑	DIA	DIB	DIPA	DIPB	変化 なし	X	変化 なし	X	DIA	DIPA
0	1	↑	↑	DIA	DIB	DIPA	DIPB	X	変化 なし	X	変化 なし	DIB	DIPB
1	1	↑	↑	DIA	DIB	DIPA	DIPB	変化 なし	変化 なし	変化 なし	変化 なし	X	X

WRITE_MODE_A=READ_FIRST、WRITE_MODE_B=READ_FIRST の場合

WEA	WEB	CLKA	CLKB	DIA	DIB	DIPA	DIPB	DOA	DOB	DOPA	DOPB	データ RAM	パリティ RAM
0	0	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	変化なし	変化なし
1	0	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	DIA	DIPA
0	1	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	DIB	DIPB
1	1	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	X	X

WRITE_MODE_A=WRITE_FIRST、WRITE_MODE_B=WRITE_FIRST の場合

WEA	WEB	CLKA	CLKB	DIA	DIB	DIPA	DIPB	DOA	DOB	DOPA	DOPB	データ RAM	パリティ RAM
0	0	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	変化なし	変化なし
1	0	↑	↑	DIA	DIB	DIPA	DIPB	DIA	X	DIPA	X	DIA	DIPA
0	1	↑	↑	DIA	DIB	DIPA	DIPB	X	DIB	X	DIPB	DIB	DIPB
1	1	↑	↑	DIA	DIB	DIPA	DIPB	X	X	X	X	X	X

WRITE_MODE_A=NO_CHANGE、WRITE_MODE_B=READ_FIRST の場合

WEA	WEB	CLKA	CLKB	DIA	DIB	DIPA	DIPB	DOA	DOB	DOPA	DOPB	データ RAM	パリティ RAM
0	0	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	変化なし	変化なし
1	0	↑	↑	DIA	DIB	DIPA	DIPB	変化 なし	X	変化 なし	X	DIA	DIPA
0	1	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	DIB	DIPB
1	1	↑	↑	DIA	DIB	DIPA	DIPB	変化 なし	X	変化 なし	X	DIB	DIPB

WRITE_MODE_A=NO_CHANGE、WRITE_MODE_B=WRITE_FIRST の場合

WEA	WEB	CLKA	CLKB	DIA	DIB	DIPA	DIPB	DOA	DOB	DOPA	DOPB	データ RAM	パリティ RAM
0	0	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	変化なし	変化なし
1	0	↑	↑	DIA	DIB	DIPA	DIPB	変化 なし	X	変化 なし	X	DIA	DIPA
0	1	↑	↑	DIA	DIB	DIPA	DIPB	X	DIB	X	DIPB	DIB	DIPB
1	1	↑	↑	DIA	DIB	DIPA	DIPB	変化 なし	X	変化 なし	X	X	X

WRITE_MODE_A=READ_FIRST および WRITE_MODE_B=WRITE_FIRST

WEA	WEB	CLKA	CLKB	DIA	DIB	DIPA	DIPB	DOA	DOB	DOPA	DOPB	データ RAM	パリティ RAM
0	0	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	変化なし	変化なし
1	0	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	DIA	DIPA
0	1	↑	↑	DIA	DIB	DIPA	DIPB	X	DIB	X	DIPB	DIB	DIPB
1	1	↑	↑	DIA	DIB	DIPA	DIPB	X	DIB	X	DIPB	DIA	DIPA

デザインの入力方法

このエレメントは、回路図で使用できます。

使用可能な属性

属性	データ型	値	デフォルト	説明
INIT_00 ~ INIT_3F	2 進数/ 16 進数	任意の値	すべて 0	RAM 配列のデータ部分の初期値を指定します。
INIT_A	2 進数/ 16 進数	任意の値	すべて 0	コンフィギュレーション後の DOA 出力ポートの初期値を指定します。ビット幅は、RAM の A ポートの幅によって決まります。
INIT_B	2 進数/ 16 進数	任意の値	すべて 0	コンフィギュレーション後の DOB 出力ポートの初期値を指定します。ビット幅は、RAM の B ポートの幅によって決まります。
INITP_00 ~ INITP_07	2 進数/ 16 進数	任意の値	すべて 0	RAM 配列のパリティ部分の初期値を指定します。

属性	データ型	値	デフォルト	説明
SIM_COLLISION_CHECK	文字列	"ALL"、 "WARNING_ONLY"、 "GENERATE_X_ONLY"、 "NONE"	"ALL"	<p>メモリの競合が発生した場合にシミュレーションの動作を変更できます。詳細は次のとおりです。</p> <ul style="list-style-type: none"> ・ "ALL" : 警告メッセージが出力され、関連する出力およびメモリの値が不定 (X) になります。 ・ "WARNING_ONLY" : 警告メッセージのみが出力され、関連する出力およびメモリの値はそのまま保持されます。 ・ "GENERATE_X_ONLY" : 警告メッセージは出力されず、関連する出力およびメモリの値が不定 (X) になります。 ・ "NONE" : 警告メッセージは出力されず、関連する出力およびメモリの値はそのまま保持されます。 <p>注記 : "ALL" 以外の値に設定すると、シミュレーション中にデザインの問題を認識できなくなるため、この値を変更する場合は注意が必要です。詳細は、『合成/シミュレーション デザイン ガイド』を参照してください。</p>
SRVAL_A	2 進数/ 16 進数	任意の値	すべて 0	RSTA ピンをアサートしたときに、DOA 出力ポートをセット (1) するかリセット (0) するかをビットごとに設定します。ビット幅は、RAM の A ポートの幅によって決まります。デフォルトではすべてのビットがリセットされます。
SRVAL_B	2 進数/ 16 進数	任意の値	すべて 0	RSTB ピンをアサートしたときに、DOB 出力ポートをセット (1) するかリセット (0) するかをビットごとに設定します。ビット幅は、RAM の B ポートの幅によって決まります。デフォルトではすべてのビットがリセットされます。
WRITE_MODE_A	文字列	"WRITE_FIRST"、 "READ_FIRST"、 "NO_CHANGE"	"WRITE_FIRST"	<p>書き込みコマンドが DOA ポートで実行されるときのポートの動作を指定します。</p> <ul style="list-style-type: none"> ・ "WRITE_FIRST" : 値がポートに書き込まれてから出力されます。 ・ "READ_FIRST" : 新たに値が書き込まれる前に、RAM の以前の値が出力ポートに出力されます。 ・ "NO_CHANGE" : 出力ポートの以前の値が保持され、出力ポートの値は変化しません。RAM のポートから値を読み出さない場合は、このモードに設定することをお勧めします。
WRITE_MODE_B	文字列	"WRITE_FIRST"、 "READ_FIRST"、 "NO_CHANGE"	"WRITE_FIRST"	<p>書き込みコマンドが DOB ポートで実行されるときのポートの動作を指定します。</p> <ul style="list-style-type: none"> ・ "WRITE_FIRST" : 値がポートに書き込まれてから出力されます。

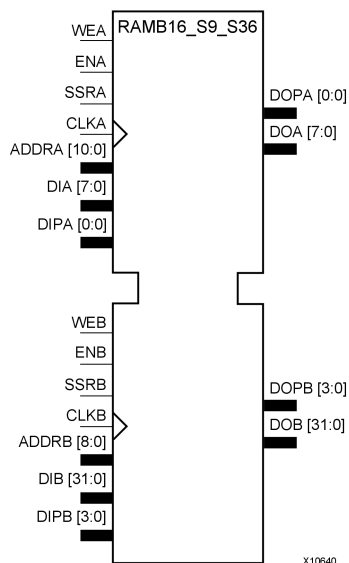
属性	データ型	値	デフォルト	説明
				<ul style="list-style-type: none">“READ_FIRST”：新たに値が書き込まれる前に、RAM の以前の値が出力ポートに出力されます。“NO_CHANGE”：出力ポートの以前の値が保持され、出力ポートの値は変化しません。RAM のポートから値を読み出さない場合は、このモードに設定することをお勧めします。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリー データシート』\(DS312\)](#)

RAMB16_S9_S36

プリミティブ : 16K-bit Data and 2K-bit Parity Dual-Port Synchronous Block RAM with 9-bit and 36-bit Ports



概要

このデザイン エLEMENTは、同期書き込み機能を備えた、デュアル ポートの専用 RAM ブロックです。各ブロック RAM のポートには 16384 ビットのデータ メモリがあります。ポート幅が 9、18、36 ビットにコンフィギュレーションされたポートには、さらに 2048 ビットのパリティ メモリがあります。各ポートは、同じ 16384 個のデータ メモリ セルに独立してアクセスします。各ポートのデータ幅は、それぞれ個別に設定できます。このELEMENTのポートおよびセルの構成は「ポートの説明」の表に示されています。

論理表

論理表 A

入力								出力			
GSR	ENA	SSRA	WEA	CLKA	ADDRA	DIA	DIPA	DOA	DOPA	RAM の内容	
										データ RAM	パリティ RAM
1	X	X	X	X	X	X	X	INIT_A	INIT_A	変化なし	変化なし
0	0	X	X	X	X	X	X	変化なし	変化なし	変化なし	変化なし
0	1	1	0	↑	X	X	X	SRVAL_A	SRVAL_A	変化なし	変化なし
0	1	1	1	↑	addr	data	pdata	SRVAL_A	SRVAL_A	RAM(addr) =>data	RAM(addr) =>pdata
0	1	0	0	↑	addr	X	X	RAM(addr)	RAM(addr)	変化なし	変化なし
0	1	0	1	↑	addr	data	pdata	変化なし ¹ 、 RAM(addr) ² 、 data ³	変化なし ¹ 、 RAM(addr) ² 、 pdata ³	RAM(addr) =>data	RAM(addr) =>pdata

GSR = グローバル セットリセット信号
 INIT_A = 出力レジスタ用に INIT_A 属性で設定された値。デフォルトはすべて 0 です。
 SRVAL_A = レジスタの値
 addr = RAM アドレス
 RAM(addr) = アドレス ADDR の RAM の内容
 data = RAM の入力データ
 pdata = RAM のパリティ データ
¹WRITE_MODE_A=NO_CHANGE
²WRITE_MODE_A=READ_FIRST
³WRITE_MODE_A=WRITE_FIRST

論理表 B

入力								出力			
GSR	ENB	SSRB	WEB	CLKB	ADDRB	DIB	DIPB	DOB	DOPB	RAM の内容	
										データ RAM	パリティ RAM
1	X	X	X	X	X	X	X	INIT_B	INIT_B	変化なし	変化なし
0	0	X	X	X	X	X	X	変化なし	変化なし	変化なし	変化なし
0	1	1	0	↑	X	X	X	SRVAL_B	SRVAL_B	変化なし	変化なし
0	1	1	1	↑	addr	data	pdata	SRVAL_B	SRVAL_B	RAM(addr) =>data	RAM(addr) =>pdata
0	1	0	0	↑	addr	X	X	RAM(addr)	RAM(addr)	変化なし	変化なし
0	1	0	1	↑	addr	data	pdata	変化なし ¹ 、 RAM(addr) ² 、 data ³	変化なし ¹ 、 RAM(addr) ² 、 pdata ³	RAM(addr) =>data	RAM(addr) =>pdata

GSR = グローバル セット リセット信号

INIT_B = 出力レジスタ用に INIT_B 属性で設定された値。デフォルトはすべて 0 です。

SRVAL_B = レジスタの値

addr = RAM アドレス

RAM(addr) = アドレス ADDR の RAM の内容

data = RAM の入力データ

pdata = RAM のパリティ データ

¹WRITE_MODE_B=NO_CHANGE

²WRITE_MODE_B=READ_FIRST

³WRITE_MODE_B=WRITE_FIRST

ポートの説明

ポート A						ポート B				
デザイン エレメント	データ セル ¹	パリティ セル ¹	アドレス バス	データ バス	パリティ バス	データ セル ¹	パリティ セル ¹	アドレス バス	データ バス	パリティ バス
RAMB16_S9_S36	2048 x 8	2048 x 1	(10:0)	(7:0)	(0:0)	512 x 32	512 x 4	(8:0)	(31:0)	(3:0)

¹ ワード数 X 幅

各ポートは、それぞれのクロックに完全に同期します。ポート A の各データ入力ピン (DIA) のセットアップ タイム、およびデータ出力バス (DOA) の clock-to-out タイムは、CLKA を基準とします。ポート B の各データ入力ピン (DIB) のセットアップ タイム、およびデータ出力バス (DOB) の clock-to-out タイムは、CLKB を基準とします。イネーブル ピン ENA は、ポート A の読み出し、書き込み、リセットを制御します。ENA が Low の場合、データは書き込まれず、出力 (DOA および DOPA) は変化しません。ENA とリセット (SSRA) が High の場合、クロック (CLKA) が Low から High に切り替わるときに DOA および DOPA が SRVAL_A にセットされます。ライト イネーブル (WEA) も High の場合は、DIA および DIPA の値が RAM に書き込まれます。ENA が High で SSRA と WEA が Low の場合、クロックが Low から High に切り替わるときに、RAM アドレス (ADDR_A) に格納されているデータが読み出されます。SSRA が Low で ENA と WEA が High の場合、クロックが Low から High に切り替わるときに、書き込みアドレス (ADDR_A) で選択されているワードにデータ入力 (DIA および DIPA) の値が読み込まれます。データ出力 (DOA および DOPA) に出力される値は、書き込みモードによって異なります。書き込みモードは、デフォルトでは WRITE_MODE=WRITE_FIRST に設定されています。

イネーブル ピン ENB は、ポート B の読み出し、書き込み、リセットを制御します。ENB が Low の場合、データは書き込まれず、出力 (DOB および DOPB) は変化しません。ENB とリセット (SSRB) が High の場合、クロック (CLKB) が Low から High に切り替わるときに、DOB および DOPB が SRVAL_B にセットされます。ライト イネーブル (WEB) も High の場合は、DIB および DIPB の値が RAM に書き込まれます。ENB が High で SSRB と WEB が Low の場合、クロックが Low から High に切り替わるときに RAM アドレス (ADDRB) に格納されているデータが出力されます。SSRB が Low で ENB と WEB が High の場合、クロックが Low から High に切り替わるときに、書き込みアドレス (ADDRB) で選択されているワードにデータ入力 (DIB および DIPB) の値が読み込まれます。データ出力 (DOB および DOPB) に出力される値は、書き込みモードによって異なります。書き込みモードは、デフォルトでは WRITE_MODE=WRITE_FIRST に設定されています。上記の説明では、制御ピン (ENA、WEA、SSRA、CLKA、ENB、WEB、SSRB、CLKB) がアクティブ High であると想定していますが、ポートにインバーターを配置してアクティブ Low にすることもできます。RAMB16 のポートに配置したインバーターはブロック内に組み込まれるので、CLB リソースは使用されません。

アドレス マッピング

各ポートは、ポートの幅によって異なるアドレス指定方法を使用して、同じ 18432 個のメモリ セルにアクセスします。「データ用のポート アドレス マップ」に示すように、すべてのポート幅で 16384 個のメモリ セルをデータの格納に使用できます。9、18、および 36 ビット幅のポートには、「パリティ用のポート アドレス マップ」に示すように、2408 個のパリティメモリセルもあります。特定のポート幅での物理的な RAM の位置は、次の式によって決定されます。

$$\text{Start} = ((\text{ADDR port} + 1) * (\text{Widthport})) - 1$$

$$\text{End} = (\text{ADDRport}) * (\text{Widthport})$$

次の表に、各ポート幅のアドレス マップを示します。

データ用のポート アドレス マップ

データ 幅	ポートのデータ アドレス																																		
1	16384	<--	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
2	8192	<--	15		14		13		12		11		10		9		8		7		6		5		4		3		2		1		0		
4	4096	<--	7				6				5				4				3				2				1				0				
8	2048	<--	3								2								1								0								
16	1024	<--	1																0																
32	512	<--	0																																

パリティ用のポート アドレス マップ

パリティ幅	ポートのパリティ アドレス														
1	2048	<-----	3				2				1				0
2	1024	<-----	1								0				
4	512	<-----	0												

デュアル ポート RAMB16 のメモリ内容の初期化

INIT_xx 属性を使用すると、デバイスのコンフィギュレーション中に RAMB16 のメモリの内容を初期化できます。各 RAMB16_Sm_Sn の初期値は、64 個の初期化属性 (INIT_00 ~ INIT_3F) を使用して 64 桁の 16 進数値で指定します (合計 16384 ビット)。

INITP_xx 属性を使用すると、デバイスのコンフィギュレーションまたはアサート中にパリティ メモリを初期化できます。9、18、36 ビット幅にコンフィギュレーションされたポートのパリティ メモリの初期値は、8 個の初期化属性 (INITP_00 ~ INITP_07) を使用して 64 桁の 16 進数値で指定します (合計 2048 ビット)。

INIT_xx または INITP_xx 属性を指定しない場合は、そのアドレスの値は 0 に設定されます。属性を一部だけ指定すると、上位ビットが 0 になります。

デュアル ポート RAMB16 の出力レジスタの初期化

Spartan®-3A 以降のデバイスでは、電源投入時 (GSR が High のとき) に出力レジスタの各ビットを 0 または 1 に初期化できます。また、セット/リセットをアサートした後の値を、電源投入時の初期値とは異なる値に設定できます。デュアル ポート RAMB16 の出力レジスタを初期化する属性には、INIT_A、INIT_B、SRVAL_A、SRVAL_B の 4 種類があります。INIT_A 属性は電源投入時のポート A の出力レジスタの初期値を指定し、INIT_B 属性は電源投入時のポート B の出力レジスタの初期値を指定します。SRVAL_A 属性はポート A で SSRA (セット/リセット) 入力をアサートしたときの初期値を指定し、SRVAL_B 属性はポート B で SSRB (セット/リセット) 入力をアサートしたときの初期値を指定します。

INIT_A、INIT_B、SRVAL_A、SRVAL_B 属性は、16 進数で指定します。この初期値はポート幅によって異なります。たとえば、ポート A の幅が 1、ポート B の幅が 4 の RAMB16_S1_S4 の場合、ポート A の出力レジスタは 1 ビットなので、INIT_A または SRVAL_A には 1 または 0 を指定します。ポート B の出力レジスタは 4 ビットなので、INIT_B または SRVAL_B には 0 ~ F の 16 進数値を指定します。

パリティビットを含むポートでは、出力レジスタのパリティ部分は、INIT_A、INIT_B、SRVAL_A、SRVAL_B の値の上位ビットで指定します。

INIT および SRVAL 属性を指定しない場合は、デフォルトで 0 に初期化されます。

書き込みモードの選択

WRITE_MODE_A 属性は、デュアル ポート RAMB16 のポート A のメモリおよび出力の内容を制御し、WRITE_MODE_B 属性は、ポート B のメモリおよび出力の内容を制御します。デフォルトでは、WRITE_MODE_A と WRITE_MODE_B は両方とも WRITE_FIRST に設定されています。この場合、入力値がメモリに書き込まれた後にその値が出力されます。READ_FIRST に設定すると、メモリの内容が出力された後、入力値がメモリに書き込まれます。NO_CHANGE に設定すると、入力値はメモリに書き込まれますが、出力の値は変化しません。ポート A とポート B で同じメモリセルに読み出し/書き込みを行おうとした場合の競合の解決方法については、「ポート A とポート B が競合する場合の対処方法」を参照してください。

ポート A とポート B が競合する場合の対処方法

Spartan-3A ブロック SelectRAM™ は、完全なデュアル ポート RAM で、2 つのポートが同時に同じメモリセルにアクセスできます。ただし、一方のポートがあるメモリセルに書き込みを行っている場合は、もう一方のポートで clock-to-clock セットアップ タイム内に、そのメモリセルに対して書き込みまたは読み出しを実行しないようにする必要があります。

次の表に、デュアルポート RAMB16 で競合が発生した場合の動作を、WRITE_MODE_A と WRITE_MODE_B の設定別に示します。

WRITE_MODE_A=NO_CHANGE、WRITE_MODE_B=NO_CHANGE の場合

WEA	WEB	CLKA	CLKB	DIA	DIB	DIPA	DIPB	DOA	DOB	DOPA	DOPB	データ RAM	パリティ RAM
0	0	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	変化なし	変化なし
1	0	↑	↑	DIA	DIB	DIPA	DIPB	変化なし	X	変化なし	X	DIA	DIPA
0	1	↑	↑	DIA	DIB	DIPA	DIPB	X	変化なし	X	変化なし	DIB	DIPB
1	1	↑	↑	DIA	DIB	DIPA	DIPB	変化なし	変化なし	変化なし	変化なし	X	X

WRITE_MODE_A=READ_FIRST、WRITE_MODE_B=READ_FIRST の場合

WEA	WEB	CLKA	CLKB	DIA	DIB	DIPA	DIPB	DOA	DOB	DOPA	DOPB	データ RAM	パリティ RAM
0	0	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	変化なし	変化なし
1	0	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	DIA	DIPA
0	1	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	DIB	DIPB
1	1	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	X	X

WRITE_MODE_A=WRITE_FIRST、WRITE_MODE_B=WRITE_FIRST の場合

WEA	WEB	CLKA	CLKB	DIA	DIB	DIPA	DIPB	DOA	DOB	DOPA	DOPB	データ RAM	パリティ RAM
0	0	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	変化なし	変化なし
1	0	↑	↑	DIA	DIB	DIPA	DIPB	DIA	X	DIPA	X	DIA	DIPA
0	1	↑	↑	DIA	DIB	DIPA	DIPB	X	DIB	X	DIPB	DIB	DIPB
1	1	↑	↑	DIA	DIB	DIPA	DIPB	X	X	X	X	X	X

WRITE_MODE_A=NO_CHANGE、WRITE_MODE_B=READ_FIRST の場合

WEA	WEB	CLKA	CLKB	DIA	DIB	DIPA	DIPB	DOA	DOB	DOPA	DOPB	データ RAM	パリティ RAM
0	0	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	変化なし	変化なし
1	0	↑	↑	DIA	DIB	DIPA	DIPB	変化なし	X	変化なし	X	DIA	DIPA
0	1	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	DIB	DIPB
1	1	↑	↑	DIA	DIB	DIPA	DIPB	変化なし	X	変化なし	X	DIB	DIPB

WRITE_MODE_A=NO_CHANGE、WRITE_MODE_B=WRITE_FIRST の場合

WEA	WEB	CLKA	CLKB	DIA	DIB	DIPA	DIPB	DOA	DOB	DOPA	DOPB	データ RAM	パリティ RAM
0	0	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	変化なし	変化なし
1	0	↑	↑	DIA	DIB	DIPA	DIPB	変化 なし	X	変化 なし	X	DIA	DIPA
0	1	↑	↑	DIA	DIB	DIPA	DIPB	X	DIB	X	DIPB	DIB	DIPB
1	1	↑	↑	DIA	DIB	DIPA	DIPB	変化 なし	X	変化 なし	X	X	X

WRITE_MODE_A=READ_FIRST および WRITE_MODE_B=WRITE_FIRST

WEA	WEB	CLKA	CLKB	DIA	DIB	DIPA	DIPB	DOA	DOB	DOPA	DOPB	データ RAM	パリティ RAM
0	0	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	変化なし	変化なし
1	0	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	DIA	DIPA
0	1	↑	↑	DIA	DIB	DIPA	DIPB	X	DIB	X	DIPB	DIB	DIPB
1	1	↑	↑	DIA	DIB	DIPA	DIPB	X	DIB	X	DIPB	DIA	DIPA

デザインの入力方法

このエレメントは、回路図で使用できます。

使用可能な属性

属性	データ型	値	デフォルト	説明
INIT_00 ~ INIT_3F	2 進数/ 16 進数	任意の値	すべて 0	RAM 配列のデータ部分の初期値を指定します。
INIT_A	2 進数/ 16 進数	任意の値	すべて 0	コンフィギュレーション後の DOA 出力ポートの初期値を指定します。ビット幅は、RAM の A ポートの幅によって決まります。
INIT_B	2 進数/ 16 進数	任意の値	すべて 0	コンフィギュレーション後の DOB 出力ポートの初期値を指定します。ビット幅は、RAM の B ポートの幅によって決まります。
INITP_00 ~ INITP_07	2 進数/ 16 進数	任意の値	すべて 0	RAM 配列のパリティ部分の初期値を指定します。

属性	データ型	値	デフォルト	説明
SIM_COLLISION_CHECK	文字列	"ALL"、 "WARNING_ONLY"、 "GENERATE_X_ONLY"、 "NONE"	"ALL"	<p>メモリの競合が発生した場合にシミュレーションの動作を変更できます。詳細は次のとおりです。</p> <ul style="list-style-type: none"> ・ "ALL"：警告メッセージが出力され、関連する出力およびメモリの値が不定 (X) になります。 ・ "WARNING_ONLY"：警告メッセージのみが出力され、関連する出力およびメモリの値はそのまま保持されます。 ・ "GENERATE_X_ONLY"：警告メッセージは出力されず、関連する出力およびメモリの値が不定 (X) になります。 ・ "NONE"：警告メッセージは出力されず、関連する出力およびメモリの値はそのまま保持されます。 <p>注記： "ALL" 以外の値に設定すると、シミュレーション中にデザインの問題を認識できなくなるため、この値を変更する場合は注意が必要です。詳細は、『合成/シミュレーション デザイン ガイド』を参照してください。</p>
SRVAL_A	2 進数/ 16 進数	任意の値	すべて 0	RSTA ピンをアサートしたときに、DOA 出力ポートをセット (1) するかリセット (0) するかをビットごとに設定します。ビット幅は、RAM の A ポートの幅によって決まります。デフォルトではすべてのビットがリセットされます。
SRVAL_B	2 進数/ 16 進数	任意の値	すべて 0	RSTB ピンをアサートしたときに、DOB 出力ポートをセット (1) するかリセット (0) するかをビットごとに設定します。ビット幅は、RAM の B ポートの幅によって決まります。デフォルトではすべてのビットがリセットされます。
WRITE_MODE_A	文字列	"WRITE_FIRST"、 "READ_FIRST"、 "NO_CHANGE"	"WRITE_FIRST"	<p>書き込みコマンドが DOA ポートで実行されるときポートの動作を指定します。</p> <ul style="list-style-type: none"> ・ "WRITE_FIRST"：値がポートに書き込まれてから出力されます。 ・ "READ_FIRST"：新たに値が書き込まれる前に、RAM の以前の値が出力ポートに出力されます。 ・ "NO_CHANGE"：出力ポートの以前の値が保持され、出力ポートの値は変化しません。RAM のポートから値を読み出さない場合は、このモードに設定することをお勧めします。
WRITE_MODE_B	文字列	"WRITE_FIRST"、 "READ_FIRST"、 "NO_CHANGE"	"WRITE_FIRST"	<p>書き込みコマンドが DOB ポートで実行されるときポートの動作を指定します。</p> <ul style="list-style-type: none"> ・ "WRITE_FIRST"：値がポートに書き込まれてから出力されます。

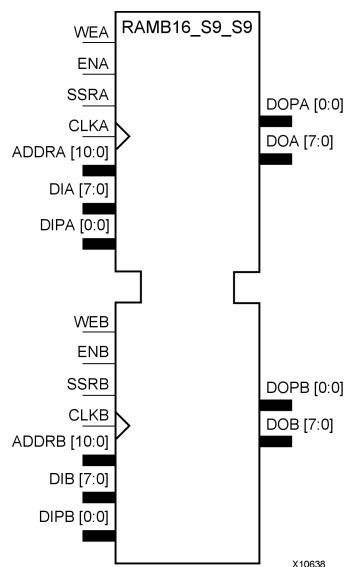
属性	データ型	値	デフォルト	説明
				<ul style="list-style-type: none">・ "READ_FIRST"：新たに値が書き込まれる前に、RAM の以前の値が出力ポートに出力されます。・ "NO_CHANGE"：出力ポートの以前の値が保持され、出力ポートの値は変化しません。RAM のポートから値を読み出さない場合は、このモードに設定することをお勧めします。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリー データシート』\(DS312\)](#)

RAMB16_S9_S9

プリミティブ : 16K-bit Data and 2K-bit Parity Dual-Port Synchronous Block RAM with 9-bit Ports



概要

このデザイン エLEMENTは、同期書き込み機能を備えた、デュアル ポートの専用 RAM ブロックです。各ブロック RAM のポートには 16384 ビットのデータ メモリがあります。ポート幅が 9、18、36 ビットにコンフィギュレーションされたポートには、さらに 2048 ビットのパリティ メモリがあります。各ポートは、同じ 16384 個のデータ メモリ セルに独立してアクセスします。各ポートのデータ幅は、それぞれ個別に設定できます。このELEMENTのポートおよびセルの構成は「ポートの説明」の表に示されています。

論理表

論理表 A

入力								出力			
GSR	ENA	SSRA	WEA	CLKA	ADDRA	DIA	DIPA	DOA	DOPA	RAM の内容	
										データ RAM	パリティ RAM
1	X	X	X	X	X	X	X	INIT_A	INIT_A	変化なし	変化なし
0	0	X	X	X	X	X	X	変化なし	変化なし	変化なし	変化なし
0	1	1	0	↑	X	X	X	SRVAL_A	SRVAL_A	変化なし	変化なし
0	1	1	1	↑	addr	data	pdata	SRVAL_A	SRVAL_A	RAM(addr) =>data	RAM(addr) =>pdata
0	1	0	0	↑	addr	X	X	RAM(addr)	RAM(addr)	変化なし	変化なし
0	1	0	1	↑	addr	data	pdata	変化なし ¹ 、 RAM(addr) ² 、 data ³	変化なし ¹ 、 RAM(addr) ² 、 pdata ³	RAM(addr) =>data	RAM(addr) =>pdata

GSR = グローバル セットリセット信号

INIT_A = 出力レジスタ用に INIT_A 属性で設定された値。デフォルトはすべて 0 です。

SRVAL_A = レジスタの値

addr = RAM アドレス

RAM(addr) = アドレス ADDR の RAM の内容

data = RAM の入力データ

pdata = RAM のパリティ データ

¹WRITE_MODE_A=NO_CHANGE

²WRITE_MODE_A=READ_FIRST

³WRITE_MODE_A=WRITE_FIRST

論理表 B

入力								出力			
GSR	ENB	SSRB	WEB	CLKB	ADDRB	DIB	DIPB	DOB	DOPB	RAM の内容	
										データ RAM	パリティ RAM
1	X	X	X	X	X	X	X	INIT_B	INIT_B	変化なし	変化なし
0	0	X	X	X	X	X	X	変化なし	変化なし	変化なし	変化なし
0	1	1	0	↑	X	X	X	SRVAL_B	SRVAL_B	変化なし	変化なし
0	1	1	1	↑	addr	data	pdata	SRVAL_B	SRVAL_B	RAM(addr) =>data	RAM(addr) =>pdata
0	1	0	0	↑	addr	X	X	RAM(addr)	RAM(addr)	変化なし	変化なし
0	1	0	1	↑	addr	data	pdata	変化なし ¹ 、RAM(addr) ² 、data ³	変化なし ¹ 、RAM(addr) ² 、pdata ³	RAM(addr) =>data	RAM(addr) =>pdata

GSR = グローバル セット リセット信号

INIT_B = 出力レジスタ用に INIT_B 属性で設定された値。デフォルトはすべて 0 です。

SRVAL_B = レジスタの値

addr = RAM アドレス

RAM(addr) = アドレス ADDR の RAM の内容

data = RAM の入力データ

pdata = RAM のパリティ データ

¹WRITE_MODE_B=NO_CHANGE

²WRITE_MODE_B=READ_FIRST

³WRITE_MODE_B=WRITE_FIRST

ポートの説明

ポート A						ポート B				
デザイン エレメント	データ セル ¹	パリティ セル ¹	アドレス バス	データ バス	パリティ バス	データ セル ¹	パリティ セル ¹	アドレス バス	データ バス	パリティ バス
RAMB16_S9_S9	2048 x 8	2048 x 1	(10:0)	(7:0)	(0:0)	2048 x 8	2048 x 1	(10:0)	(7:0)	(0:0)

¹ ワード数 X 幅

各ポートは、それぞれのクロックに完全に同期します。ポート A の各データ入力ピン (DIA) のセットアップ タイム、およびデータ出力バス (DOA) の clock-to-out タイムは、CLKA を基準とします。ポート B の各データ入力ピン (DIB) のセットアップ タイム、およびデータ出力バス (DOB) の clock-to-out タイムは、CLKB を基準とします。イネーブル ピン ENA は、ポート A の読み出し、書き込み、リセットを制御します。ENA が Low の場合、データは書き込まれず、出力 (DOA および DOPA) は変化しません。ENA とリセット (SSRA) が High の場合、クロック (CLKA) が Low から High に切り替わるたびに DOA および DOPA が SRVAL_A にセットされます。ライト イネーブル (WEA) も High の場合は、DIA および DIPA の値が RAM に書き込まれます。ENA が High で SSRA と WEA が Low の場合、クロックが Low から High に切り替わるたびに、RAM アドレス (ADDRA) に格納されているデータが読み出されます。SSRA が Low で ENA と WEA が High の場合、クロックが Low から High に切り替わるたびに、書き込みアドレス (ADDRA) で選択されているワードにデータ入力 (DIA および DIPA) の値が読み込まれます。データ出力 (DOA および DOPA) に出力される値は、書き込みモードによって異なります。書き込みモードは、デフォルトでは WRITE_MODE=WRITE_FIRST に設定されています。

イネーブル ピン ENB は、ポート B の読み出し、書き込み、リセットを制御します。ENB が Low の場合、データは書き込まれず、出力 (DOB および DOPB) は変化しません。ENB とリセット (SSRB) が High の場合、クロック (CLKB) が Low から High に切り替わるたびに、DOB および DOPB が SRVAL_B にセットされます。ライト イネーブル (WEB) も High の場合は、DIB および DIPB の値が RAM に書き込まれます。ENB が High で SSRB と WEB が Low の場合、クロックが Low から High に切り替わるたびに RAM アドレス (ADDRB) に格納されているデータが出力されます。SSRB が Low で ENB と WEB が High の場合、クロックが Low から High に切り替わるたびに、書き込みアドレス (ADDRB) で選択されているワードにデータ入力 (DIB および DIPB) の値が読み込まれます。データ出力 (DOB および DOPB) に出力される値は、書き込みモードによって異なります。書き込みモードは、デフォルトでは WRITE_MODE=WRITE_FIRST に設定されています。上記の説明では、制御ピン (ENA、WEA、SSRA、CLKA、ENB、WEB、SSRB、CLKB) がアクティブ High であると想定していますが、ポートにインバーターを配置してアクティブ Low にすることもできます。RAMB16 のポートに配置したインバーターはブロック内に組み込まれるので、CLB リソースは使用されません。

アドレス マップ

各ポートは、ポートの幅によって異なるアドレス指定方法を使用して、同じ 18432 個のメモリ セルにアクセスします。「データ用のポート アドレス マップ」に示すように、すべてのポート幅で 16384 個のメモリ セルをデータの格納に使用できます。9、18、および 36 ビット幅のポートには、「パリティ用のポート アドレス マップ」に示すように、2408 個のパリティメモリセルもあります。特定のポート幅での物理的な RAM の位置は、次の式によって決定されます。

$$\text{Start} = ((\text{ADDR port} + 1) * (\text{Widthport})) - 1$$

$$\text{End} = (\text{ADDRport}) * (\text{Widthport})$$

次の表に、デュアルポート RAMB16 で競合が発生した場合の動作を、WRITE_MODE_A と WRITE_MODE_B の設定別に示します。

次の表に、各ポート幅のアドレス マップを示します。

データ用のポート アドレス マップ

データ 幅	ポートのデータ アドレス																																			
1	16384	<--	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
2	8192	<--	15		14		13		12		11		10		9		8		7		6		5		4		3		2		1		0			
4	4096	<--	7				6				5				4				3				2				1				0					
8	2048	<--	3								2								1								0									
16	1024	<--	1																0																	
32	512	<--	0																																	

パリティ用のポート アドレス マップ

パリティ幅	ポートのパリティ アドレス														
1	2048	<-----	3				2				1				0
2	1024	<-----	1								0				
4	512	<-----	0												

デュアル ポート RAMB16 のメモリ内容の初期化

INIT_xx 属性を使用すると、デバイスのコンフィギュレーション中に RAMB16 のメモリの内容を初期化できます。各 RAMB16_Sm_Sn の初期値は、64 個の初期化属性 (INIT_00 ~ INIT_3F) を使用して 64 桁の 16 進数値で指定します (合計 16384 ビット)。

INITP_xx 属性を使用すると、デバイスのコンフィギュレーションまたはアサート中にパリティ メモリを初期化できます。9、18、36 ビット幅にコンフィギュレーションされたポートのパリティ メモリの初期値は、8 個の初期化属性 (INITP_00 ~ INITP_07) を使用して 64 桁の 16 進数値で指定します (合計 2048 ビット)。

INIT_xx または INITP_xx 属性を指定しない場合は、そのアドレスの値は 0 に設定されます。属性を一部だけ指定すると、上位ビットが 0 になります。

デュアル ポート RAMB16 の出力レジスタの初期化

Spartan®-3A 以降のデバイスでは、電源投入時 (GSR が High のとき) に出力レジスタの各ビットを 0 または 1 に初期化できます。また、セット/リセットをアサートした後の値を、電源投入時の初期値とは異なる値に設定できます。デュアル ポート RAMB16 の出力レジスタを初期化する属性には、INIT_A、INIT_B、SRVAL_A、SRVAL_B の 4 種類があります。INIT_A 属性は電源投入時のポート A の出力レジスタの初期値を指定し、INIT_B 属性は電源投入時のポート B の出力レジスタの初期値を指定します。SRVAL_A 属性はポート A で SSRA (セット/リセット) 入力をアサートしたときの初期値を指定し、SRVAL_B 属性はポート B で SSRB (セット/リセット) 入力をアサートしたときの初期値を指定します。

INIT_A、INIT_B、SRVAL_A、SRVAL_B 属性は、16 進数で指定します。この初期値はポート幅によって異なります。たとえば、ポート A の幅が 1、ポート B の幅が 4 の RAMB16_S1_S4 の場合、ポート A の出力レジスタは 1 ビットなので、INIT_A または SRVAL_A には 1 または 0 を指定します。ポート B の出力レジスタは 4 ビットなので、INIT_B または SRVAL_B には 0 ~ F の 16 進数値を指定します。

パリティビットを含むポートでは、出力レジスタのパリティ部分は、INIT_A、INIT_B、SRVAL_A、SRVAL_B の値の上位ビットで指定します。

INIT および SRVAL 属性を指定しない場合は、デフォルトで 0 に初期化されます。

書き込みモードの選択

WRITE_MODE_A 属性は、デュアル ポート RAMB16 のポート A のメモリおよび出力の内容を制御し、WRITE_MODE_B 属性は、ポート B のメモリおよび出力の内容を制御します。デフォルトでは、WRITE_MODE_A と WRITE_MODE_B は両方とも WRITE_FIRST に設定されています。この場合、入力値がメモリに書き込まれた後にその値が出力されます。READ_FIRST に設定すると、メモリの内容が出力された後、入力値がメモリに書き込まれます。NO_CHANGE に設定すると、入力値はメモリに書き込まれますが、出力の値は変化しません。ポート A とポート B で同じメモリセルに読み出し/書き込みを行おうとした場合の競合の解決方法については、「ポート A とポート B が競合する場合の対処方法」を参照してください。

ポート A とポート B が競合する場合の対処方法

Spartan-3A ブロック SelectRAM™ は、完全なデュアル ポート RAM で、2 つのポートが同時に同じメモリセルにアクセスできます。ただし、一方のポートがあるメモリセルに書き込みを行っている場合は、もう一方のポートで clock-to-clock セットアップ タイム内に、そのメモリセルに対して書き込みまたは読み出しを実行しないようにする必要があります。

次の表に、デュアルポート RAMB16 で競合が発生した場合の動作を、WRITE_MODE_A と WRITE_MODE_B の設定別に示します。

WRITE_MODE_A=NO_CHANGE、WRITE_MODE_B=NO_CHANGE の場合

WEA	WEB	CLKA	CLKB	DIA	DIB	DIPA	DIPB	DOA	DOB	DOPA	DOPB	データ RAM	パリティ RAM
0	0	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	変化なし	変化なし
1	0	↑	↑	DIA	DIB	DIPA	DIPB	変化 なし	X	変化 なし	X	DIA	DIPA
0	1	↑	↑	DIA	DIB	DIPA	DIPB	X	変化 なし	X	変化 なし	DIB	DIPB
1	1	↑	↑	DIA	DIB	DIPA	DIPB	変化 なし	変化 なし	変化 なし	変化 なし	X	X

WRITE_MODE_A=READ_FIRST、WRITE_MODE_B=READ_FIRST の場合

WEA	WEB	CLKA	CLKB	DIA	DIB	DIPA	DIPB	DOA	DOB	DOPA	DOPB	データ RAM	パリティ RAM
0	0	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	変化なし	変化なし
1	0	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	DIA	DIPA
0	1	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	DIB	DIPB
1	1	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	X	X

WRITE_MODE_A=WRITE_FIRST、WRITE_MODE_B=WRITE_FIRST の場合

WEA	WEB	CLKA	CLKB	DIA	DIB	DIPA	DIPB	DOA	DOB	DOPA	DOPB	データ RAM	パリティ RAM
0	0	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	変化なし	変化なし
1	0	↑	↑	DIA	DIB	DIPA	DIPB	DIA	X	DIPA	X	DIA	DIPA
0	1	↑	↑	DIA	DIB	DIPA	DIPB	X	DIB	X	DIPB	DIB	DIPB
1	1	↑	↑	DIA	DIB	DIPA	DIPB	X	X	X	X	X	X

WRITE_MODE_A=NO_CHANGE、WRITE_MODE_B=READ_FIRST の場合

WEA	WEB	CLKA	CLKB	DIA	DIB	DIPA	DIPB	DOA	DOB	DOPA	DOPB	データ RAM	パリティ RAM
0	0	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	変化なし	変化なし
1	0	↑	↑	DIA	DIB	DIPA	DIPB	変化 なし	X	変化 なし	X	DIA	DIPA
0	1	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	DIB	DIPB
1	1	↑	↑	DIA	DIB	DIPA	DIPB	変化 なし	X	変化 なし	X	DIB	DIPB

WRITE_MODE_A=NO_CHANGE、WRITE_MODE_B=WRITE_FIRST の場合

WEA	WEB	CLKA	CLKB	DIA	DIB	DIPA	DIPB	DOA	DOB	DOPA	DOPB	データ RAM	パリティ RAM
0	0	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	変化なし	変化なし
1	0	↑	↑	DIA	DIB	DIPA	DIPB	変化 なし	X	変化 なし	X	DIA	DIPA
0	1	↑	↑	DIA	DIB	DIPA	DIPB	X	DIB	X	DIPB	DIB	DIPB
1	1	↑	↑	DIA	DIB	DIPA	DIPB	変化 なし	X	変化 なし	X	X	X

WRITE_MODE_A=READ_FIRST および WRITE_MODE_B=WRITE_FIRST

WEA	WEB	CLKA	CLKB	DIA	DIB	DIPA	DIPB	DOA	DOB	DOPA	DOPB	データ RAM	パリティ RAM
0	0	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	変化なし	変化なし
1	0	↑	↑	DIA	DIB	DIPA	DIPB	RAM	RAM	RAM	RAM	DIA	DIPA
0	1	↑	↑	DIA	DIB	DIPA	DIPB	X	DIB	X	DIPB	DIB	DIPB
1	1	↑	↑	DIA	DIB	DIPA	DIPB	X	DIB	X	DIPB	DIA	DIPA

デザインの入力方法

このエレメントは、回路図で使用できます。

使用可能な属性

属性	データ型	値	デフォルト	説明
INIT_00 ~ INIT_3F	2 進数/ 16 進数	任意の値	すべて 0	RAM 配列のデータ部分の初期値を指定します。
INIT_A	2 進数/ 16 進数	任意の値	すべて 0	コンフィギュレーション後の DOA 出力ポートの初期値を指定します。ビット幅は、RAM の A ポートの幅によって決まります。
INIT_B	2 進数/ 16 進数	任意の値	すべて 0	コンフィギュレーション後の DOB 出力ポートの初期値を指定します。ビット幅は、RAM の B ポートの幅によって決まります。
INITP_00 ~ INITP_07	2 進数/ 16 進数	任意の値	すべて 0	RAM 配列のパリティ部分の初期値を指定します。

属性	データ型	値	デフォルト	説明
SIM_COLLISION_CHECK	文字列	"ALL"、 "WARNING_ONLY"、 "GENERATE_X_ONLY"、 "NONE"	"ALL"	<p>メモリの競合が発生した場合にシミュレーションの動作を変更できます。詳細は次のとおりです。</p> <ul style="list-style-type: none"> ・ "ALL" : 警告メッセージが出力され、関連する出力およびメモリの値が不定 (X) になります。 ・ "WARNING_ONLY" : 警告メッセージのみが出力され、関連する出力およびメモリの値はそのまま保持されます。 ・ "GENERATE_X_ONLY" : 警告メッセージは出力されず、関連する出力およびメモリの値が不定 (X) になります。 ・ "NONE" : 警告メッセージは出力されず、関連する出力およびメモリの値はそのまま保持されます。 <p>注記 : "ALL" 以外の値に設定すると、シミュレーション中にデザインの問題を認識できなくなるため、この値を変更する場合は注意が必要です。詳細は、『合成/シミュレーション デザイン ガイド』を参照してください。</p>
SRVAL_A	2 進数/ 16 進数	任意の値	すべて 0	RSTA ピンをアサートしたときに、DOA 出力ポートをセット (1) するかリセット (0) するかをビットごとに設定します。ビット幅は、RAM の A ポートの幅によって決まります。デフォルトではすべてのビットがリセットされます。
SRVAL_B	2 進数/ 16 進数	任意の値	すべて 0	RSTB ピンをアサートしたときに、DOB 出力ポートをセット (1) するかリセット (0) するかをビットごとに設定します。ビット幅は、RAM の B ポートの幅によって決まります。デフォルトではすべてのビットがリセットされます。
WRITE_MODE_A	文字列	"WRITE_FIRST"、 "READ_FIRST"、 "NO_CHANGE"	"WRITE_FIRST"	<p>書き込みコマンドが DOA ポートで実行されるときのポートの動作を指定します。</p> <ul style="list-style-type: none"> ・ "WRITE_FIRST" : 値がポートに書き込まれてから出力されます。 ・ "READ_FIRST" : 新たに値が書き込まれる前に、RAM の以前の値が出力ポートに出力されます。 ・ "NO_CHANGE" : 出力ポートの以前の値が保持され、出力ポートの値は変化しません。RAM のポートから値を読み出さない場合は、このモードに設定することをお勧めします。
WRITE_MODE_B	文字列	"WRITE_FIRST"、 "READ_FIRST"、 "NO_CHANGE"	"WRITE_FIRST"	<p>書き込みコマンドが DOB ポートで実行されるときのポートの動作を指定します。</p> <ul style="list-style-type: none"> ・ "WRITE_FIRST" : 値がポートに書き込まれてから出力されます。

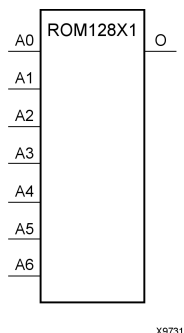
属性	データ型	値	デフォルト	説明
				<ul style="list-style-type: none">“READ_FIRST”：新たに値が書き込まれる前に、RAM の以前の値が出力ポートに出力されます。“NO_CHANGE”：出力ポートの以前の値が保持され、出力ポートの値は変化しません。RAM のポートから値を読み出さない場合は、このモードに設定することをお勧めします。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリー データシート』\(DS312\)](#)

ROM128X1

プリミティブ：128-Deep by 1-Wide ROM



X9731

概要

このデザイン エLEMENTは 128 ワード X 1 ビットの ROM です。データ出力 (O) には、7 ビットのアドレス (A6 ~ A0) で選択されたワードが出力されます。ROM は、コンフィギュレーションの際に INIT で指定された値に初期化されます。初期値は 32 桁の 16 進数で、ROM には最上位ビット A=FH から最下位ビット A=0H の順に書き込まれます。INIT を指定しないと、エラーが発生します。

論理表

入力				出力
I0	I1	I2	I3	O
0	0	0	0	INIT(0)
0	0	0	1	INIT(1)
0	0	1	0	INIT(2)
0	0	1	1	INIT(3)
0	1	0	0	INIT(4)
0	1	0	1	INIT(5)
0	1	1	0	INIT(6)
0	1	1	1	INIT(7)
1	0	0	0	INIT(8)
1	0	0	1	INIT(9)
1	0	1	0	INIT(10)
1	0	1	1	INIT(11)
1	1	0	0	INIT(12)
1	1	0	1	INIT(13)
1	1	1	0	INIT(14)
1	1	1	1	INIT(15)

デザインの入力方法

このELEMENTは、回路図で使用できます。

使用可能な属性

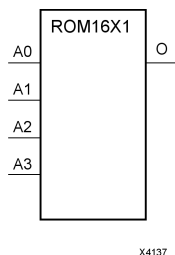
属性	データ型	値	デフォルト	説明
INIT	16 進数	128 ビット値	すべて 0	ROM の値を指定します。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリー データシート』\(DS312\)](#)

ROM16X1

プリミティブ：16-Deep by 1-Wide ROM



概要

このデザイン エレメントは 16 ワード X 1 ビットの ROM です。データ出力 (O) には、4 ビットのアドレス (A3 ～ A0) で選択されたワードが出力されます。ROM は、コンフィギュレーションの際に INIT で指定された値に初期化されます。初期値は 4 桁の 16 進数で、ROM には最上位ビット A=FH から最下位ビット A=0H の順に書き込まれます。たとえば、INIT=10A7 と指定すると、「0001 0000 1010 0111」というデータストリームが生成されます。INIT を指定しないと、エラーが発生します。

論理表

入力				出力
I0	I1	I2	I3	O
0	0	0	0	INIT(0)
0	0	0	1	INIT(1)
0	0	1	0	INIT(2)
0	0	1	1	INIT(3)
0	1	0	0	INIT(4)
0	1	0	1	INIT(5)
0	1	1	0	INIT(6)
0	1	1	1	INIT(7)
1	0	0	0	INIT(8)
1	0	0	1	INIT(9)
1	0	1	0	INIT(10)
1	0	1	1	INIT(11)
1	1	0	0	INIT(12)
1	1	0	1	INIT(13)
1	1	1	0	INIT(14)
1	1	1	1	INIT(15)

デザインの入力方法

このエレメントは、回路図で使用できます。

使用可能な属性

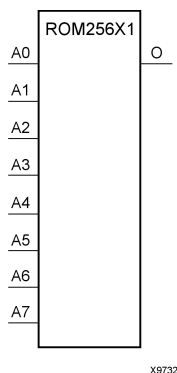
属性	データ型	値	デフォルト	説明
INIT	16 進数	16 ビット値	すべて 0	ROM の値を指定します。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリー データシート』\(DS312\)](#)

ROM256X1

プリミティブ：256-Deep by 1-Wide ROM



概要

このデザイン エLEMENTは 256 ワード X 1 ビットの ROM です。データ出力 (O) には、8 ビットのアドレス (A7 ～ A0) で選択されたワードが出力されます。ROM は、コンフィギュレーションの際に INIT で指定された値に初期化されます。初期値は 64 桁の 16 進数で、ROM には最上位ビット A=FH から最下位ビット A=0H の順に書き込まれます。

INIT を指定しないと、エラーが発生します。

論理表

入力				出力
I0	I1	I2	I3	O
0	0	0	0	INIT(0)
0	0	0	1	INIT(1)
0	0	1	0	INIT(2)
0	0	1	1	INIT(3)
0	1	0	0	INIT(4)
0	1	0	1	INIT(5)
0	1	1	0	INIT(6)
0	1	1	1	INIT(7)
1	0	0	0	INIT(8)
1	0	0	1	INIT(9)
1	0	1	0	INIT(10)
1	0	1	1	INIT(11)
1	1	0	0	INIT(12)
1	1	0	1	INIT(13)
1	1	1	0	INIT(14)
1	1	1	1	INIT(15)

デザインの入力方法

このエレメントは、回路図で使用できます。

使用可能な属性

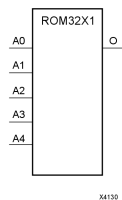
属性	データ型	値	デフォルト	説明
INIT	16 進数	256 ビット値	すべて 0	ROM の値を指定します。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリ データシート』\(DS312\)](#)

ROM32X1

プリミティブ : 32-Deep by 1-Wide ROM



概要

このデザイン エLEMENTは 32 ワード X 1 ビットの ROM です。データ出力 (O) には、5 ビットのアドレス (A4 ~ A0) で選択されたワードが出力されます。ROM は、コンフィギュレーションの際に INIT で指定された値に初期化されます。初期値は 8 桁の 16 進数で、ROM には最上位ビット A=1FH から最下位ビット A=00H の順に書き込まれます。

たとえば INIT=10A78F39 と指定すると、「0001 0000 1010 0111 1000 1111 0011」というデータストリームが生成されます。INIT を指定しないと、エラーが発生します。

論理表

入力				出力
I0	I1	I2	I3	O
0	0	0	0	INIT(0)
0	0	0	1	INIT(1)
0	0	1	0	INIT(2)
0	0	1	1	INIT(3)
0	1	0	0	INIT(4)
0	1	0	1	INIT(5)
0	1	1	0	INIT(6)
0	1	1	1	INIT(7)
1	0	0	0	INIT(8)
1	0	0	1	INIT(9)
1	0	1	0	INIT(10)
1	0	1	1	INIT(11)
1	1	0	0	INIT(12)
1	1	0	1	INIT(13)
1	1	1	0	INIT(14)
1	1	1	1	INIT(15)

デザインの入力方法

このELEMENTは、回路図で使用できます。

使用可能な属性

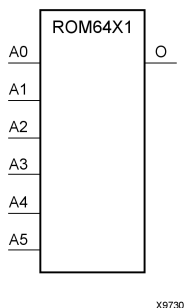
属性	タイプ	値	デフォルト	説明
INIT	16 進数	32 ビット値	すべて 0	ROM の値を指定します。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリー データシート』\(DS312\)](#)

ROM64X1

プリミティブ：64-Deep by 1-Wide ROM



概要

このデザイン エLEMENTは 64 ワード X 1 ビットの ROM です。データ出力 (O) には、6 ビットのアドレス (A5 ～ A0) で選択されたワードが出力されます。ROM は、コンフィギュレーションの際に INIT で指定された値に初期化されます。初期値は 16 桁の 16 進数で、ROM には最上位ビット A=FH から最下位ビット A=0H の順に書き込まれます。INIT を指定しないと、エラーが発生します。

論理表

入力				出力
I0	I1	I2	I3	O
0	0	0	0	INIT(0)
0	0	0	1	INIT(1)
0	0	1	0	INIT(2)
0	0	1	1	INIT(3)
0	1	0	0	INIT(4)
0	1	0	1	INIT(5)
0	1	1	0	INIT(6)
0	1	1	1	INIT(7)
1	0	0	0	INIT(8)
1	0	0	1	INIT(9)
1	0	1	0	INIT(10)
1	0	1	1	INIT(11)
1	1	0	0	INIT(12)
1	1	0	1	INIT(13)
1	1	1	0	INIT(14)
1	1	1	1	INIT(15)

デザインの入力方法

このELEMENTは、回路図で使用できます。

使用可能な属性

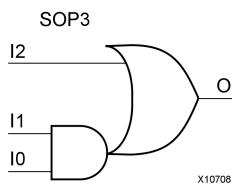
属性	データ型	値	デフォルト	説明
INIT	16 進数	64 ビット値	すべて 0	ROM の値を指定します。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリー データシート』\(DS312\)](#)

SOP3

マクロ：3-Input Sum of Products



概要

このデザイン エLEMENTは 3 入力の積和 (SOP) マクロで、1 個の AND 出力と 1 個の直接入力を OR ゲートに入力することにより一般的なロジック ファンクションを提供します。反転入力と非反転入力をさまざまに組み合わせたものがあります。

デザインの入力方法

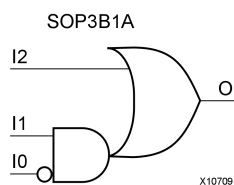
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリー データシート』\(DS312\)](#)

SOP3B1A

マクロ：3-Input Sum of Products with One Inverted Input (Option A)



概要

このデザイン エLEMENTは 3 入力の積和 (SOP) マクロで、1 個の AND 出力と 1 個の直接入力を OR ゲートに入力することにより一般的なロジック ファンクションを提供します。反転入力と非反転入力をさまざまに組み合わせたものがあります。

デザインの入力方法

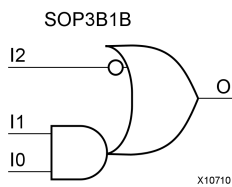
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリー データシート』\(DS312\)](#)

SOP3B1B

マクロ : 3-Input Sum of Products with One Inverted Input (Option B)



概要

このデザイン エレメントは 3 入力の積和 (SOP) マクロで、1 個の AND 出力と 1 個の直接入力を OR ゲートに入力することにより一般的なロジック ファンクションを提供します。反転入力と非反転入力をさまざまに組み合わせたものがあります。

デザインの入力方法

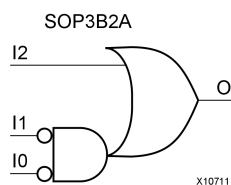
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリ データシート』\(DS312\)](#)

SOP3B2A

マクロ：3-Input Sum of Products with Two Inverted Inputs (Option A)



概要

このデザイン エLEMENTは 3 入力の積和 (SOP) マクロで、1 個の AND 出力と 1 個の直接入力を OR ゲートに入力することにより一般的なロジック ファンクションを提供します。反転入力と非反転入力をさまざまに組み合わせたものがあります。

デザインの入力方法

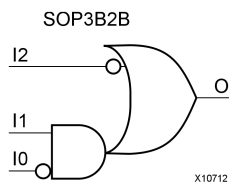
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリー データシート』\(DS312\)](#)

SOP3B2B

マクロ : 3-Input Sum of Products with Two Inverted Inputs (Option B)



概要

このデザイン エLEMENTは 3 入力の積和 (SOP) マクロで、1 個の AND 出力と 1 個の直接入力を OR ゲートに入力することにより一般的なロジック ファンクションを提供します。反転入力と非反転入力をさまざまに組み合わせたものがあります。

デザインの入力方法

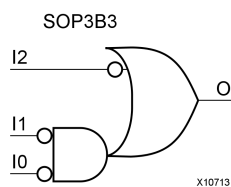
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリー データシート』\(DS312\)](#)

SOP3B3

マクロ : 3-Input Sum of Products with Inverted Inputs



概要

このデザイン エLEMENTは 3 入力の積和 (SOP) マクロで、1 個の AND 出力と 1 個の直接入力を OR ゲートに入力することにより一般的なロジック ファンクションを提供します。反転入力と非反転入力をさまざまに組み合わせたものがあります。

デザインの入力方法

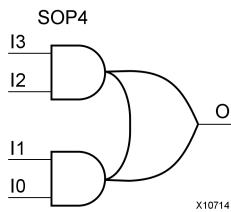
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリー データシート』\(DS312\)](#)

SOP4

マクロ：4-Input Sum of Products



概要

このデザイン エLEMENTは 4 入力の積和 (SOP) マクロで、2 個の AND 出力を OR ゲートに入力することにより一般的なロジック ファンクションを提供します。反転入力と非反転入力をさまざまに組み合わせたものがあります。

デザインの入力方法

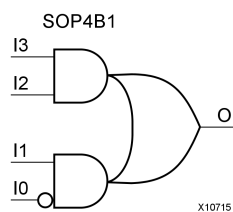
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリー データシート』\(DS312\)](#)

SOP4B1

マクロ：4-Input Sum of Products with One Inverted Input



概要

このデザイン エLEMENTは 4 入力の積和 (SOP) マクロで、2 個の AND 出力を OR ゲートに入力することにより一般的なロジック ファンクションを提供します。反転入力と非反転入力をさまざまに組み合わせたものがあります。

デザインの入力方法

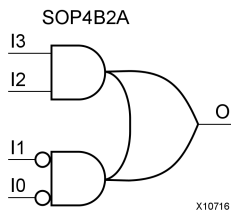
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリー データシート』\(DS312\)](#)

SOP4B2A

マクロ : 4-Input Sum of Products with Two Inverted Inputs (Option A)



概要

このデザイン エLEMENTは 4 入力の積和 (SOP) マクロで、2 個の AND 出力を OR ゲートに入力することにより一般的なロジック ファンクションを提供します。反転入力と非反転入力をさまざまに組み合わせたものがあります。

デザインの入力方法

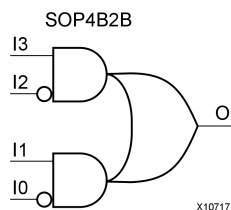
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリー データシート』\(DS312\)](#)

SOP4B2B

マクロ：4-Input Sum of Products with Two Inverted Inputs (Option B)



概要

このデザイン エLEMENTは 4 入力の積和 (SOP) マクロで、2 個の AND 出力を OR ゲートに入力することにより一般的なロジック ファンクションを提供します。反転入力と非反転入力をさまざまに組み合わせたものがあります。

デザインの入力方法

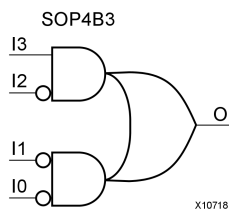
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリー データシート』\(DS312\)](#)

SOP4B3

マクロ：4-Input Sum of Products with Three Inverted Inputs



概要

このデザイン エLEMENTは 4 入力の積和 (SOP) マクロで、2 個の AND 出力を OR ゲートに入力することにより一般的なロジック ファンクションを提供します。反転入力と非反転入力をさまざまに組み合わせたものがあります。

デザインの入力方法

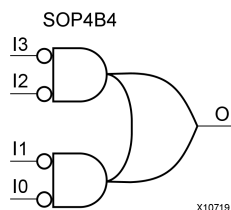
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリー データシート』\(DS312\)](#)

SOP4B4

マクロ：4-Input Sum of Products with Inverted Inputs



概要

このデザイン エレメントは 4 入力の積和 (SOP) マクロで、2 個の AND 出力を OR ゲートに入力することにより一般的なロジック ファンクションを提供します。反転入力と非反転入力をさまざまに組み合わせたものがあります。

デザインの入力方法

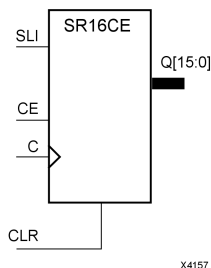
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリ データシート』\(DS312\)](#)

SR16CE

マクロ : 16-Bit Serial-In Parallel-Out Shift Register with Clock Enable and Asynchronous Clear



概要

このデザイン エレメントはシフトレジスタで、シフト レフト シリアル入力 (SLI)、パラレル出力 (Q)、クロック イネーブル (CE)、非同期クリア入力 (CLR) があります。CLR 入力が高になると、ほかのすべての入力は無視され、出力 (Q) が Low にリセットされます。CE が High で CLR が Low の場合、クロック (C) が Low から High に切り替わるたびに SLI 入力の値がシフトレジスタの第 1 ビットにロードされ、Q0 に出力されます。次にクロックが Low から High に切り替わるたびに CE が High で CLR が Low の場合、値が次の高位ビットの位置にシフトされ、新しい値が Q0 にロードされます (SLI → Q0、Q0 → Q1、Q1 → Q2 など)。CE が Low の場合は、クロック遷移は無視されます。

最後の Q 出力を次の段の SLI 入力に接続し、クロック、CE、CLR を並列に接続すると、複数のレジスタをカスケード接続できます。

電力を供給すると、レジスタは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

入力				出力	
CLR	CE	SLI	C	Q0	Qz:Q1
1	X	X	X	0	0
0	0	X	X	変化なし	変化なし
0	1	SLI	↑	SLI	qn-1

z = ビット幅 - 1

qn-1 = アクティブなクロック エッジの 1 セットアップ タイム前の対応する出力の値

デザインの入力方法

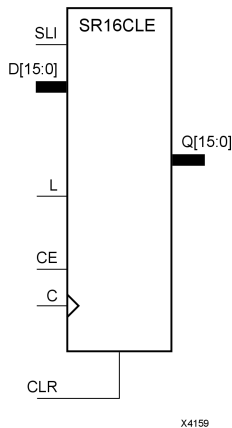
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリー データシート』\(DS312\)](#)

SR16CLE

マクロ : 16-Bit Loadable Serial/Parallel-In Parallel-Out Shift Register with Clock Enable and Asynchronous Clear



概要

このデザイン エLEMENTはシフトレジスタで、シフトレフトシリアル入力 (SLI)、パラレル入力 (D)、パラレル出力 (Q) に加え、クロックイネーブル (CE)、ロードイネーブル (L)、非同期クリア (CLR) の 3 つの制御入力があります。L と CE が Low の場合、クロック遷移は無視されます。CLR が High になると、ほかのすべての入力は無視され、出力 (Q) が Low にリセットされます。L が High で CLR が Low の場合、クロック (C) が Low から High に切り替わる時に、Dn ~ D0 入力の値が対応する Qn ~ Q0 ビットにロードされます。

CE が High で L および CLR が Low の場合、C が Low から High に切り替わる時に、SLI 入力の値がシフトレジスタの第 1 ビットにロードされ、Q0 に出力されます。次のクロック遷移で CE が High、L と CLR が Low の場合、値が次の高位ビットの位置にシフトされ、新しい値が Q0 にロードされます (SLI → Q0、Q0 → Q1、Q1 → Q2 など)。

最後の Q 出力を次の段の SLI 入力に接続し、クロック、CE、L、CLR を並列に接続すると、複数のレジスタをカスケード接続できます。

電力を供給すると、レジスタは非同期にクリアされ、出力が Low になります。FPGA では、グローバルセット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

入力						出力	
CLR	L	CE	SLI	Dn:D0	C	Q0	Qz:Q1
1	X	X	X	X	X	0	0
0	1	X	X	Dn:D0	↑	D0	Dn
0	0	1	SLI	X	↑	SLI	qn-1
0	0	0	X	X	X	変化なし	変化なし
z = ビット幅 -1							
qn-1 = アクティブなクロック エッジの 1 セットアップ タイム前の対応する出力の値							

デザインの入力方法

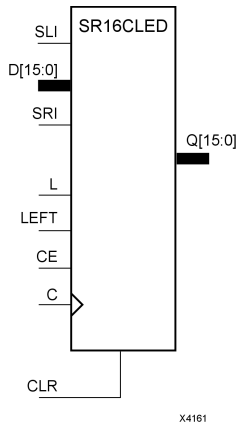
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリー データシート』\(DS312\)](#)

SR16CLED

マクロ：16-Bit Shift Register with Clock Enable and Asynchronous Clear



概要

このデザイン エLEMENTはシフトレジスタで、シフトレフトシリアル入力 (SLI)、シフトライトシリアル入力 (SRI)、パラレル入力 (D)、パラレル出力 (Q) に加え、クロック イネーブル (CE)、ロード イネーブル (L)、シフトレフト/ライト (LEFT)、非同期クリア (CLR) の 4 つの制御入力があります。CE と L が Low の場合、クロック遷移は無視されます。CLR が High になると、ほかのすべての入力は無視され、出力 (Q) が Low にリセットされます。

L が High で CLR が Low の場合、クロック (C) が Low から High に切り替わるときに、D 入力の値が対応する Q ビットにロードされます。CE が High で L および CLR が Low の場合、LEFT 入力の値に応じて、レジスタの値は高位ビットまたは下位ビットにシフトされます。LEFT が High の場合は、クロックが Low から High に切り替わるときに SLI の値が Q0 にロードされ、次の Low から High へのクロック遷移で高位ビットにシフトされます (Q0 → Q1、Q1 → Q2 など)。LEFT が Low の場合は、クロックが Low から High に切り替わるときに SRI の値が最後の Q にロードされ、次のクロック遷移で右方向にシフトされます。論理表にすべての入力条件に対する Q 出力の値を示します。

電力を供給すると、レジスタは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

入力								出力		
CLR	L	CE	LEFT	SLI	SRI	D15:D0	C	Q0	Q15	Q14:Q1
1	X	X	X	X	X	X	X	0	0	0
0	1	X	X	X	X	D15:D0	↑	D0	D15	Dn
0	0	0	X	X	X	X	X	変化なし	変化なし	変化なし
0	0	1	1	SLI	X	X	↑	SLI	q14	qn-1
0	0	1	0	X	SRI	X	↑	q1	SRI	qn+1
qn-1 または qn+1 = アクティブなクロック エッジの 1 セットアップ タイム前の対応する出力の値										

デザインの入力方法

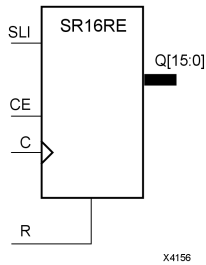
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリ データシート』\(DS312\)](#)

SR16RE

マクロ：16-Bit Serial-In Parallel-Out Shift Register with Clock Enable and Synchronous Reset



概要

このデザイン エLEMENTはシフトレジスタで、シフトレフトシリアル入力 (SLI)、パラレル出力 (Qn)、クロック イネーブル (CE)、同期リセット入力 (R) があります。R 入力が高レベルになると、ほかのすべての入力は無視され、クロック (C) が Low から High に切り替わるときに出力 (Q) が Low にリセットされます。

CE が High で R が Low の場合、クロック (C) が Low から High に切り替わるときに SLI の値がシフトレジスタの第 1 ビットにロードされ、Q0 に出力されます。次にクロックが Low から High に切り替わるときに CE が High で R が Low の場合、値が次の高位ビットの位置にシフトされ、新しい値が Q0 にロードされます (SLI → Q0、Q0 → Q1、Q1 → Q2 など)。CE が Low の場合は、クロック遷移は無視されます。

最後の Q 出力を次の段の SLI 入力に接続し、クロック、CE、R を並列に接続すると、複数のレジスタをカスケード接続できます。

電力を供給すると、レジスタは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

入力				出力	
R	CE	SLI	C	Q0	Qz:Q1
1	X	X	↑	0	0
0	0	X	X	変化なし	変化なし
0	1	SLI	↑	SLI	qn-1
z = ビット幅 -1					
qn-1 = アクティブなクロック エッジの 1 セットアップ タイム前の対応する出力の値					

デザインの入力方法

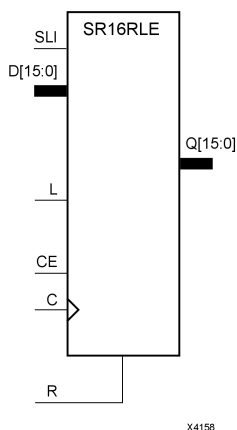
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリー データシート』\(DS312\)](#)

SR16RLE

マクロ : 16-Bit Loadable Serial/Parallel-In Parallel-Out Shift Register with Clock Enable and Synchronous Reset



概要

このデザイン エLEMENTはシフトレジスタで、シフト レフト シリアル入力 (SLI)、パラレル入力 (D)、パラレル出力 (Q) に加え、クロック イネーブル (CE)、ロード イネーブル (L)、同期リセット (R) の 3 つの制御入力があります。L と CE が Low の場合、クロック遷移は無視されます。R が High になると、ほかのすべての入力は無視され、クロック (C) が Low から High に切り替わるときに Q が Low にリセットされます。L が High で R が Low の場合、C が Low から High に切り替わる時に、D 入力の値が対応する Q ビットにロードされます。

CE が High で L および R が Low の場合は、C が Low から High に切り替わる時に SLI 入力の値がシフトレジスタの第 1 ビットにロードされ、Q0 に出力されます。次のクロック遷移で CE が High、L と R が Low の場合、シフトレジスタの値は次の高位ビットにシフトされ、新しい値が Q0 にロードされます。

最後の Q 出力を次の段の SLI 入力に接続し、クロック、CE、L、R を並列に接続すると、複数のレジスタをカスケード接続できます。

電力を供給すると、レジスタは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

入力						出力	
R	L	CE	SLI	Dz:D0	C	Q0	Qz:Q1
1	X	X	X	X	↑	0	0
0	1	X	X	Dz:D0	↑	D0	Dn
0	0	1	SLI	X	↑	SLI	qn-1
0	0	0	X	X	X	変化なし	変化なし
z = ビット幅 -1							
qn-1 = アクティブなクロック エッジの 1 セットアップ タイム前の対応する出力の値							

デザインの入力方法

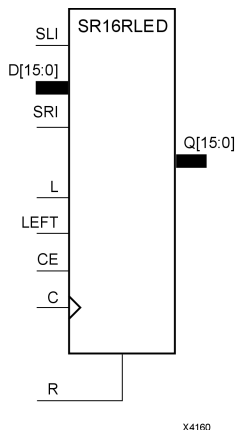
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリ データシート』\(DS312\)](#)

SR16RLED

マクロ : 16-Bit Shift Register with Clock Enable and Synchronous Reset



概要

このデザイン エレメントはシフトレジスタで、シフトレフトシリアル入力 (SLI)、シフトライトシリアル入力 (SRI)、パラレル入力 (D)、パラレル出力 (Q) に加え、クロック イネーブル (CE)、ロード イネーブル (L)、シフトレフト/ライト (LEFT)、同期リセット (R) の 4 つの制御入力があります。CE と L が Low の場合、クロック遷移は無視されます。R が High になると、ほかのすべての入力は無視され、クロック (C) が Low から High に切り替わるときに Q が Low にリセットされます。L が High で R が Low の場合、C が Low から High に切り替わるときに、D 入力の値が対応する Q ビットにロードされます。

CE が High で L および R が Low の場合、LEFT 入力の値に応じて、レジスタの値は高位ビットまたは下位ビットにシフトされます。LEFT が High の場合は、クロックが Low から High に切り替わるときに SLI の値が Q0 にロードされ、次の Low から High へのクロック遷移で高位ビットにシフトされます (Q0 → Q1、Q1 → Q2 など)。LEFT が Low の場合は、クロックが Low から High に切り替わるときに SRI の値が最後の Q にロードされ、次のクロック遷移で右方向にシフトされます。論理表にすべての入力条件に対する Q 出力の値を示します。

電力を供給すると、レジスタは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

入力								出力		
R	L	CE	LEFT	SLI	SRI	D15:D0	C	Q0	Q15	Q14:Q1
1	X	X	X	X	X	X	↑	0	0	0
0	1	X	X	X	X	D15:D0	↓	D0	D15	Dn
0	0	0	X	X	X	X	X	変化なし	変化なし	変化なし
0	0	1	1	SLI	X	X	↑	SLI	q14	qn-1
0	0	1	0	X	SRI	X	↓	q1	SRI	qn+1
qn-1 または qn+1 = アクティブなクロック エッジの 1 セットアップ タイム前の対応する出力の値										

デザインの入力方法

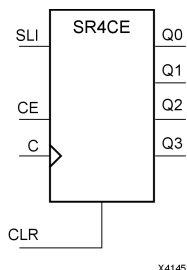
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリ データシート』\(DS312\)](#)

SR4CE

マクロ : 4-Bit Serial-In Parallel-Out Shift Register with Clock Enable and Asynchronous Clear



概要

このデザイン エレメントはシフトレジスタで、シフト レフト シリアル入力 (SLI)、パラレル出力 (Q)、クロック イネーブル (CE)、非同期クリア入力 (CLR) があります。CLR 入力が高レベルになると、ほかのすべての入力は無視され、出力 (Q) が Low にリセットされます。CE が High で CLR が Low の場合、クロック (C) が Low から High に切り替わるたびに SLI 入力の値がシフトレジスタの第 1 ビットにロードされ、Q0 に出力されます。次にクロックが Low から High に切り替わるたびに CE が High で CLR が Low の場合、値が次の高位ビットの位置にシフトされ、新しい値が Q0 にロードされます (SLI → Q0、Q0 → Q1、Q1 → Q2 など)。CE が Low の場合は、クロック遷移は無視されます。

最後の Q 出力を次の段の SLI 入力に接続し、クロック、CE、CLR を並列に接続すると、複数のレジスタをカスケード接続できます。

電力を供給すると、レジスタは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

入力				出力	
CLR	CE	SLI	C	Q0	Qz:Q1
1	X	X	X	0	0
0	0	X	X	変化なし	変化なし
0	1	SLI	↑	SLI	qn-1
z = ビット幅 - 1					
qn-1 = アクティブなクロック エッジの 1 セットアップ タイム前の対応する出力の値					

デザインの入力方法

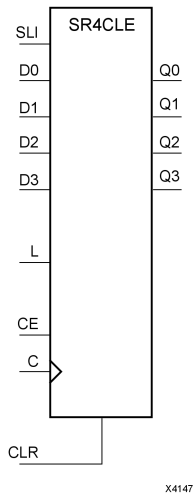
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリー データシート』\(DS312\)](#)

SR4CLE

マクロ：4-Bit Loadable Serial/Parallel-In Parallel-Out Shift Register with Clock Enable and Asynchronous Clear



概要

このデザイン エLEMENTはシフトレジスタで、シフトレフトシリアル入力 (SLI)、パラレル入力 (D)、パラレル出力 (Q) に加え、クロック イネーブル (CE)、ロード イネーブル (L)、非同期クリア (CLR) の 3 つの制御入力があります。L と CE が Low の場合、クロック遷移は無視されます。CLR が High になると、ほかのすべての入力は無視され、出力 (Q) が Low にリセットされます。L が High で CLR が Low の場合、クロック (C) が Low から High に切り替わる時に、Dn ~ D0 入力の値が対応する Qn ~ Q0 ビットにロードされます。

CE が High で L および CLR が Low の場合、C が Low から High に切り替わる時に、SLI 入力の値がシフトレジスタの第 1 ビットにロードされ、Q0 に出力されます。次のクロック遷移で CE が High、L と CLR が Low の場合、値が次の高位ビットの位置にシフトされ、新しい値が Q0 にロードされます (SLI → Q0、Q0 → Q1、Q1 → Q2 など)。

最後の Q 出力を次の段の SLI 入力に接続し、クロック、CE、L、CLR を並列に接続すると、複数のレジスタをカスケード接続できます。

電力を供給すると、レジスタは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

入力						出力	
CLR	L	CE	SLI	Dn:D0	C	Q0	Qz:Q1
1	X	X	X	X	X	0	0
0	1	X	X	Dn:D0	↑	D0	Dn
0	0	1	SLI	X	↑	SLI	qn-1
0	0	0	X	X	X	変化なし	変化なし
z = ビット幅 -1							
qn-1 = アクティブなクロック エッジの 1 セットアップ タイム前の対応する出力の値							

デザインの入力方法

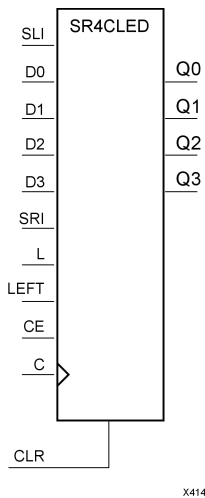
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリー データシート』\(DS312\)](#)

SR4CLED

マクロ：4-Bit Shift Register with Clock Enable and Asynchronous Clear



概要

このデザイン エLEMENTはシフトレジスタで、シフトレフトシリアル入力 (SLI)、シフトライトシリアル入力 (SRI)、パラレル入力 (D)、パラレル出力 (Q) に加え、クロック イネーブル (CE)、ロード イネーブル (L)、シフトレフト/ライト (LEFT)、非同期クリア (CLR) の 4 つの制御入力があります。CE と L が Low の場合、クロック遷移は無視されます。CLR が High になると、ほかのすべての入力は無視され、出力 (Q) が Low にリセットされます。

L が High で CLR が Low の場合、クロック (C) が Low から High に切り替わる時に、D 入力の値が対応する Q ビットにロードされます。CE が High で L および CLR が Low の場合、LEFT 入力の値に応じて、レジスタの値は高位ビットまたは下位ビットにシフトされます。LEFT が High の場合は、クロックが Low から High に切り替わる時に SLI の値が Q0 にロードされ、次の Low から High へのクロック遷移で高位ビットにシフトされます (Q0 → Q1、Q1 → Q2 など)。LEFT が Low の場合は、クロックが Low から High に切り替わる時に SRI の値が最後の Q にロードされ、次のクロック遷移で右方向にシフトされます。論理表にすべての入力条件に対する Q 出力の値を示します。

電力を供給すると、レジスタは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

入力								出力		
CLR	L	CE	LEFT	SLI	SRI	D3:D0	C	Q0	Q3	Q2:Q1
1	X	X	X	X	X	X	X	0	0	0
0	1	X	X	X	X	D3:D0	↑	D0	D3	Dn
0	0	0	X	X	X	X	X	変化なし	変化なし	変化なし
0	0	1	1	SLI	X	X	↑	SLI	q2	qn-1
0	0	1	0	X	SRI	X	↑	q1	SRI	qn+1
qn-1 および qn+1 = アクティブなクロック エッジの 1 セットアップ タイム前の対応する出力の値										

デザインの入力方法

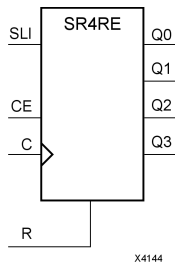
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリー データシート』\(DS312\)](#)

SR4RE

マクロ：4-Bit Serial-In Parallel-Out Shift Register with Clock Enable and Synchronous Reset



概要

このデザイン エLEMENTはシフトレジスタで、シフトレフトシリアル入力 (SLI)、パラレル出力 (Qn)、クロック イネーブル (CE)、同期リセット入力 (R) があります。R 入力が高レベルになると、ほかのすべての入力は無視され、クロック (C) が Low から High に切り替わる時に出力 (Q) が Low にリセットされます。

CE が High で R が Low の場合、クロック (C) が Low から High に切り替わる時に SLI の値がシフトレジスタの第 1 ビットにロードされ、Q0 に出力されます。次にクロックが Low から High に切り替わる時に CE が High で R が Low の場合、値が次の高位ビットの位置にシフトされ、新しい値が Q0 にロードされます (SLI → Q0、Q0 → Q1、Q1 → Q2 など)。CE が Low の場合は、クロック遷移は無視されます。

最後の Q 出力を次の段の SLI 入力に接続し、クロック、CE、R を並列に接続すると、複数のレジスタをカスケード接続できます。

電力を供給すると、レジスタは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

入力				出力	
R	CE	SLI	C	Q0	Qz:Q1
1	X	X	↑	0	0
0	0	X	X	変化なし	変化なし
0	1	SLI	↑	SLI	qn-1
z = ビット幅 -1					
qn-1 = アクティブなクロック エッジの 1 セットアップ タイム前の対応する出力の値					

デザインの入力方法

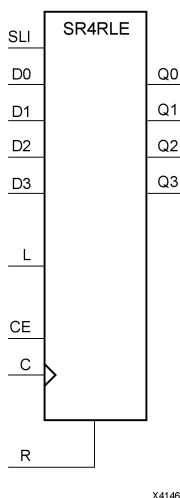
このELEMENTは、回路図でのみ使用できます。

詳細情報

- 『Spartan-3 ジェネレーション FPGA ユーザー ガイド』(UG331)
- 『Spartan-3E FPGA ファミリー データシート』(DS312)

SR4RLE

マクロ : 4-Bit Loadable Serial/Parallel-In Parallel-Out Shift Register with Clock Enable and Synchronous Reset



概要

このデザイン エレメントはシフトレジスタで、シフト レフト シリアル入力 (SLI)、パラレル入力 (D)、パラレル出力 (Q) に加え、クロック イネーブル (CE)、ロード イネーブル (L)、同期リセット (R) の 3 つの制御入力があります。L と CE が Low の場合、クロック遷移は無視されます。R が High になると、ほかのすべての入力は無視され、クロック (C) が Low から High に切り替わるときに Q が Low にリセットされます。L が High で R が Low の場合、C が Low から High に切り替わる時に、D 入力の値が対応する Q ビットにロードされます。

CE が High で L および R が Low の場合は、C が Low から High に切り替わる時に SLI 入力の値がシフトレジスタの第 1 ビットにロードされ、Q0 に出力されます。次のクロック遷移で CE が High、L と R が Low の場合、シフトレジスタの値は次の高位ビットにシフトされ、新しい値が Q0 にロードされます。

最後の Q 出力を次の段の SLI 入力に接続し、クロック、CE、L、R を並列に接続すると、複数のレジスタをカスケード接続できます。

電力を供給すると、レジスタは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

入力						出力	
R	L	CE	SLI	Dz:D0	C	Q0	Qz:Q1
1	X	X	X	X	↑	0	0
0	1	X	X	Dz:D0	↑	D0	Dn
0	0	1	SLI	X	↑	SLI	qn-1
0	0	0	X	X	X	変化なし	変化なし
z = ビット幅 -1							
qn-1 = アクティブなクロック エッジの 1 セットアップ タイム前の対応する出力の値							

デザインの入力方法

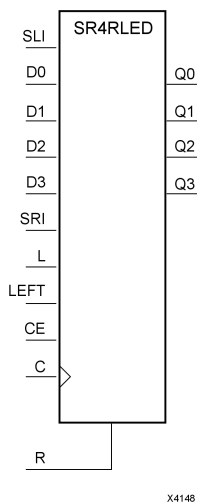
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリ データシート』\(DS312\)](#)

SR4RLED

マクロ : 4-Bit Shift Register with Clock Enable and Synchronous Reset



概要

このデザイン エレメントはシフトレジスタで、シフトレフトシリアル入力 (SLI)、シフトライトシリアル入力 (SRI)、パラレル入力 (D)、パラレル出力 (Q) に加え、クロック イネーブル (CE)、ロード イネーブル (L)、シフトレフト/ライト (LEFT)、同期リセット (R) の 4 つの制御入力があります。CE と L が Low の場合、クロック遷移は無視されます。R が High になると、ほかのすべての入力は無視され、クロック (C) が Low から High に切り替わるときに Q が Low にリセットされます。L が High で R が Low の場合、C が Low から High に切り替わるときに、D 入力の値が対応する Q ビットにロードされます。

CE が High で L および R が Low の場合、LEFT 入力の値に応じて、レジスタの値は高位ビットまたは下位ビットにシフトされます。LEFT が High の場合は、クロックが Low から High に切り替わるときに SLI の値が Q0 にロードされ、次の Low から High へのクロック遷移で高位ビットにシフトされます (Q0 → Q1、Q1 → Q2 など)。LEFT が Low の場合は、クロックが Low から High に切り替わるときに SRI の値が最後の Q にロードされ、次のクロック遷移で右方向にシフトされます。論理表にすべての入力条件に対する Q 出力の値を示します。

電力を供給すると、レジスタは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

入力								出力		
R	L	CE	LEFT	SLI	SRI	D3:D0	C	Q0	Q3	Q2:Q1
1	X	X	X	X	X	X	↑	0	0	0
0	1	X	X	X	X	D3:D0	↑	D0	D3	Dn
0	0	0	X	X	X	X	X	変化なし	変化なし	変化なし
0	0	1	1	SLI	X	X	↑	SLI	q2	qn-1
0	0	1	0	X	SRI	X	↑	q1	SRI	qn+1
qn-1 または qn+1 = アクティブなクロック エッジの 1 セットアップ タイム前の対応する出力の値										

デザインの入力方法

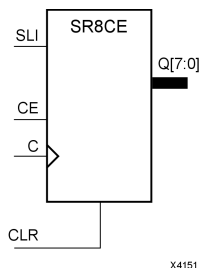
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリー データシート』\(DS312\)](#)

SR8CE

マクロ：8-Bit Serial-In Parallel-Out Shift Register with Clock Enable and Asynchronous Clear



概要

このデザイン エレメントはシフトレジスタで、シフト レフト シリアル入力 (SLI)、パラレル出力 (Q)、クロック イネーブル (CE)、非同期クリア入力 (CLR) があります。CLR 入力が高レベルになると、ほかのすべての入力は無視され、出力 (Q) が Low にリセットされます。CE が High で CLR が Low の場合、クロック (C) が Low から High に切り替わるたびに SLI 入力の値がシフトレジスタの第 1 ビットにロードされ、Q0 に出力されます。次にクロックが Low から High に切り替わるたびに CE が High で CLR が Low の場合、値が次の高位ビットの位置にシフトされ、新しい値が Q0 にロードされます (SLI → Q0、Q0 → Q1、Q1 → Q2 など)。CE が Low の場合は、クロック遷移は無視されます。

最後の Q 出力を次の段の SLI 入力に接続し、クロック、CE、CLR を並列に接続すると、複数のレジスタをカスケード接続できます。

電力を供給すると、レジスタは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

入力				出力	
CLR	CE	SLI	C	Q0	Qz:Q1
1	X	X	X	0	0
0	0	X	X	変化なし	変化なし
0	1	SLI	↑	SLI	qn-1
z = ビット幅 - 1					
qn-1 = アクティブなクロック エッジの 1 セットアップ タイム前の対応する出力の値					

デザインの入力方法

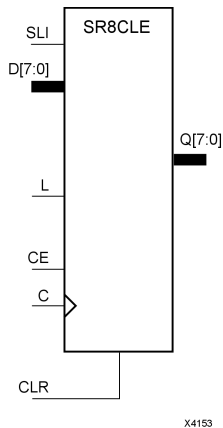
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリー データシート』\(DS312\)](#)

SR8CLE

マクロ : 8-Bit Loadable Serial/Parallel-In Parallel-Out Shift Register with Clock Enable and Asynchronous Clear



概要

このデザイン エLEMENTはシフトレジスタで、シフトレフトシリアル入力 (SLI)、パラレル入力 (D)、パラレル出力 (Q) に加え、クロックイネーブル (CE)、ロードイネーブル (L)、非同期クリア (CLR) の 3 つの制御入力があります。L と CE が Low の場合、クロック遷移は無視されます。CLR が High になると、ほかのすべての入力は無視され、出力 (Q) が Low にリセットされます。L が High で CLR が Low の場合、クロック (C) が Low から High に切り替わるときに、Dn ~ D0 入力の値が対応する Qn ~ Q0 ビットにロードされます。

CE が High で L および CLR が Low の場合、C が Low から High に切り替わるときに、SLI 入力の値がシフトレジスタの第 1 ビットにロードされ、Q0 に出力されます。次のクロック遷移で CE が High、L と CLR が Low の場合、値が次の高位ビットの位置にシフトされ、新しい値が Q0 にロードされます (SLI → Q0、Q0 → Q1、Q1 → Q2 など)。

最後の Q 出力を次の段の SLI 入力に接続し、クロック、CE、L、CLR を並列に接続すると、複数のレジスタをカスケード接続できます。

電力を供給すると、レジスタは非同期にクリアされ、出力が Low になります。FPGA では、グローバルセット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

入力						出力	
CLR	L	CE	SLI	Dn:D0	C	Q0	Qz:Q1
1	X	X	X	X	X	0	0
0	1	X	X	Dn:D0	↑	D0	Dn
0	0	1	SLI	X	↑	SLI	qn-1
0	0	0	X	X	X	変化なし	変化なし
z = ビット幅 -1							
qn-1 = アクティブなクロック エッジの 1 セットアップ タイム前の対応する出力の値							

デザインの入力方法

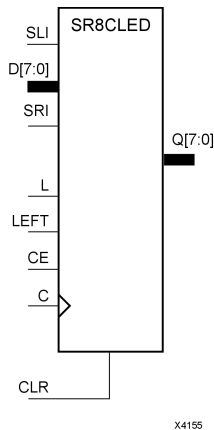
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリー データシート』\(DS312\)](#)

SR8CLED

マクロ：8-Bit Shift Register with Clock Enable and Asynchronous Clear



概要

このデザイン エLEMENTはシフトレジスタで、シフトレフトシリアル入力 (SLI)、シフトライトシリアル入力 (SRI)、パラレル入力 (D)、パラレル出力 (Q) に加え、クロック イネーブル (CE)、ロード イネーブル (L)、シフトレフト/ライト (LEFT)、非同期クリア (CLR) の 4 つの制御入力があります。CE と L が Low の場合、クロック遷移は無視されます。CLR が High になると、ほかのすべての入力は無視され、出力 (Q) が Low にリセットされます。

L が High で CLR が Low の場合、クロック (C) が Low から High に切り替わる時に、D 入力の値が対応する Q ビットにロードされます。CE が High で L および CLR が Low の場合、LEFT 入力の値に応じて、レジスタの値は高位ビットまたは下位ビットにシフトされます。LEFT が High の場合は、クロックが Low から High に切り替わる時に SLI の値が Q0 にロードされ、次の Low から High へのクロック遷移で高位ビットにシフトされます (Q0 → Q1、Q1 → Q2 など)。LEFT が Low の場合は、クロックが Low から High に切り替わる時に SRI の値が最後の Q にロードされ、次のクロック遷移で右方向にシフトされます。論理表にすべての入力条件に対する Q 出力の値を示します。

電力を供給すると、レジスタは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

入力								出力		
CLR	L	CE	LEFT	SLI	SRI	D7:D0	C	Q0	Q7	Q6:Q1
1	X	X	X	X	X	X	X	0	0	0
0	1	X	X	X	X	D7:D0	↑	D0	D7	Dn
0	0	0	X	X	X	X	X	変化なし	変化なし	変化なし
0	0	1	1	SLI	X	X	↑	SLI	q6	qn-1
0	0	1	0	X	SRI	X	↑	q1	SRI	qn+1
qn-1 または qn+1 = アクティブなクロック エッジの 1 セットアップ タイム前の対応する出力の値										

デザインの入力方法

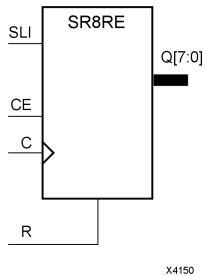
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリ データシート』\(DS312\)](#)

SR8RE

マクロ：8-Bit Serial-In Parallel-Out Shift Register with Clock Enable and Synchronous Reset



概要

このデザイン エLEMENTはシフトレジスタで、シフトレフトシリアル入力 (SLI)、パラレル出力 (Qn)、クロック イネーブル (CE)、同期リセット入力 (R) があります。R 入力が高レベルになると、ほかのすべての入力は無視され、クロック (C) が Low から High に切り替わる時に出力 (Q) が Low にリセットされます。

CE が High で R が Low の場合、クロック (C) が Low から High に切り替わる時に SLI の値がシフトレジスタの第 1 ビットにロードされ、Q0 に出力されます。次にクロックが Low から High に切り替わる時に CE が High で R が Low の場合、値が次の高位ビットの位置にシフトされ、新しい値が Q0 にロードされます (SLI → Q0、Q0 → Q1、Q1 → Q2 など)。CE が Low の場合は、クロック遷移は無視されます。

最後の Q 出力を次の段の SLI 入力に接続し、クロック、CE、R を並列に接続すると、複数のレジスタをカスケード接続できます。

電力を供給すると、レジスタは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

入力				出力	
R	CE	SLI	C	Q0	Qz:Q1
1	X	X	↑	0	0
0	0	X	X	変化なし	変化なし
0	1	SLI	↑	SLI	qn-1
z = ビット幅 -1					
qn-1 = アクティブなクロック エッジの 1 セットアップ タイム前の対応する出力の値					

デザインの入力方法

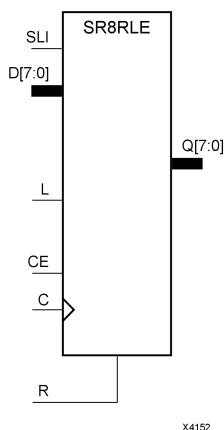
このELEMENTは、回路図でのみ使用できます。

詳細情報

- 『Spartan-3 ジェネレーション FPGA ユーザー ガイド』(UG331)
- 『Spartan-3E FPGA ファミリー データシート』(DS312)

SR8RLE

マクロ : 8-Bit Loadable Serial/Parallel-In Parallel-Out Shift Register with Clock Enable and Synchronous Reset



概要

このデザイン エレメントはシフトレジスタで、シフト レフト シリアル入力 (SLI)、パラレル入力 (D)、パラレル出力 (Q) に加え、クロック イネーブル (CE)、ロード イネーブル (L)、同期リセット (R) の 3 つの制御入力があります。L と CE が Low の場合、クロック遷移は無視されます。R が High になると、ほかのすべての入力は無視され、クロック (C) が Low から High に切り替わるときに Q が Low にリセットされます。L が High で R が Low の場合、C が Low から High に切り替わるたびに、D 入力の値が対応する Q ビットにロードされます。

CE が High で L および R が Low の場合は、C が Low から High に切り替わるたびに SLI 入力の値がシフトレジスタの第 1 ビットにロードされ、Q0 に出力されます。次のクロック遷移で CE が High、L と R が Low の場合、シフトレジスタの値は次の高位ビットにシフトされ、新しい値が Q0 にロードされます。

最後の Q 出力を次の段の SLI 入力に接続し、クロック、CE、L、R を並列に接続すると、複数のレジスタをカスケード接続できます。

電力を供給すると、レジスタは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

入力						出力	
R	L	CE	SLI	Dz:D0	C	Q0	Qz:Q1
1	X	X	X	X	↑	0	0
0	1	X	X	Dz:D0	↑	D0	Dn
0	0	1	SLI	X	↑	SLI	qn-1
0	0	0	X	X	X	変化なし	変化なし
z = ビット幅 -1							
qn-1 = アクティブなクロック エッジの 1 セットアップ タイム前の対応する出力の値							

デザインの入力方法

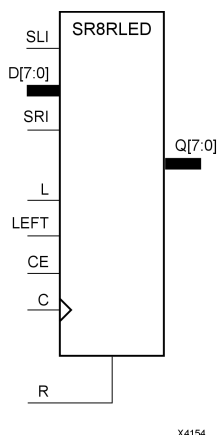
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリー データシート』\(DS312\)](#)

SR8RLED

マクロ : 8-Bit Shift Register with Clock Enable and Synchronous Reset



概要

このデザイン エレメントはシフトレジスタで、シフトレフトシリアル入力 (SLI)、シフトライトシリアル入力 (SRI)、パラレル入力 (D)、パラレル出力 (Q) に加え、クロック イネーブル (CE)、ロード イネーブル (L)、シフトレフト/ライト (LEFT)、同期リセット (R) の 4 つの制御入力があります。CE と L が Low の場合、クロック遷移は無視されます。R が High になると、ほかのすべての入力は無視され、クロック (C) が Low から High に切り替わるときに Q が Low にリセットされます。L が High で R が Low の場合、C が Low から High に切り替わるときに、D 入力の値が対応する Q ビットにロードされます。

CE が High で L および R が Low の場合、LEFT 入力の値に応じて、レジスタの値は高位ビットまたは下位ビットにシフトされます。LEFT が High の場合は、クロックが Low から High に切り替わるときに SLI の値が Q0 にロードされ、次の Low から High へのクロック遷移で高位ビットにシフトされます (Q0 → Q1、Q1 → Q2 など)。LEFT が Low の場合は、クロックが Low から High に切り替わるときに SRI の値が最後の Q にロードされ、次のクロック遷移で右方向にシフトされます。論理表にすべての入力条件に対する Q 出力の値を示します。

電力を供給すると、レジスタは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

入力								出力		
R	L	CE	LEFT	SLI	SRI	D7:D0	C	Q0	Q7	Q6:Q1
1	X	X	X	X	X	X	↑	0	0	0
0	1	X	X	X	X	D7:D0	↓	D0	D7	Dn
0	0	0	X	X	X	X	X	変化なし	変化なし	変化なし
0	0	1	1	SLI	X	X	↑	SLI	q6	qn-1
0	0	1	0	X	SRI	X	↓	q1	SRI	qn+1
qn-1 または qn+1 = アクティブなクロック エッジの 1 セットアップ タイム前の対応する出力の値										

デザインの入力方法

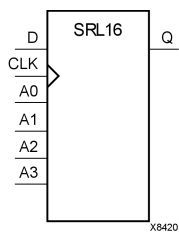
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリ データシート』\(DS312\)](#)

SRL16

プリミティブ：16-Bit Shift Register Look-Up Table (LUT)



概要

このデザイン エレメントは、シフトレジスタ ルックアップ テーブル (LUT) です。シフトレジスタの長さは、入力 A3、A2、A1、A0 の値によって決定されます。

シフトレジスタの長さは、固定することも、変動させることもできます。

- ・ **固定長のシフトレジスタを作成するには：** 入力 A3 ～ A0 の値を一定にします。シフトレジスタは 1 ～ 16 ビットの長さに設定できます。アドレス入力の値によるシフトレジスタの長さは、長さ = $(8 \times A3) + (4 \times A2) + (2 \times A1) + A0 + 1$ という式で算出できます。A3、A2、A1、A0 がすべて 0 の場合 (0000) はシフトレジスタの長さは 1 ビットになり、すべて 1 の場合 (1111) は 16 ビットになります。
- ・ **シフトレジスタ長を動的に変化させるには：** 入力 A3 ～ A0 の値を変化させます。たとえば、A2、A1、A0 がすべて 1 の場合 (111) に A3 を 1 から 0 に切り替えると、シフトレジスタの長さは 16 ビットから 8 ビットに変化します。内部的には、シフトレジスタの長さは常に 16 ビットで、どのビットの値が出力されるかは入力 A3 ～ A0 の値によって決定されます。

シフトレジスタ LUT の初期値を指定するには、INIT 属性に 4 桁の 16 進数を割り当てます。一番左の桁が最上位ビットになります。INIT の値を指定しない場合は、シフトレジスタ LUT の内容はコンフィギュレーション中に 0000 にクリアされます。

クロック (CLK) が Low から High に切り替わるときに、D の値がシフトレジスタの第 1 ビットにロードされます。次にクロックが Low から High に切り替わると、シフトレジスタの値は次の高位ビットにシフトされ、新しい値がロードされます。アドレス入力の値によってシフトレジスタの長さが決まり、Q にその値が出力されます。

論理表

入力			出力
Am	CLK	D	Q
Am	X	X	Q(Am)
Am	↑	D	Q(Am - 1)
m = 0、1、2、3			

デザインの入力方法

このエレメントは、回路図で使用できます。

使用可能な属性

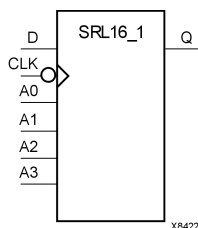
属性	データ型	値	デフォルト	説明
INIT	16 進数	16 ビット値	すべて 0	コンフィギュレーション後の Q 出力の初期値を指定します。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリー データシート』\(DS312\)](#)

SRL16_1

プリミティブ：16-Bit Shift Register Look-Up Table (LUT) with Negative-Edge Clock



概要

このデザイン エレメントは、シフトレジスタ ルックアップ テーブル (LUT) です。シフトレジスタの長さは、入力 A3、A2、A1、A0 の値によって決定されます。

シフトレジスタの長さは、固定することも、変動させることもできます。

- ・ **固定長のシフトレジスタを作成するには：** 入力 A3 ～ A0 の値を一定にします。シフトレジスタは 1 ～ 16 ビットの長さに設定できます。アドレス入力の値によるシフトレジスタの長さは、長さ = $(8 \times A3) + (4 \times A2) + (2 \times A1) + A0 + 1$ という式で算出できます。A3、A2、A1、A0 がすべて 0 の場合 (0000) はシフトレジスタの長さは 1 ビットになり、すべて 1 の場合 (1111) は 16 ビットになります。
- ・ **シフトレジスタ長を動的に変化させるには：** 入力 A3 ～ A0 の値を変化させます。たとえば、A2、A1、A0 がすべて 1 の場合 (111) に A3 を 1 から 0 に切り替えると、シフトレジスタの長さは 16 ビットから 8 ビットに変化します。内部的には、シフトレジスタの長さは常に 16 ビットで、どのビットの値が出力されるかは入力 A3 ～ A0 の値によって決定されます。

シフトレジスタ LUT の初期値を指定するには、INIT 属性に 4 桁の 16 進数を割り当てます。一番左の桁が最上位ビットになります。INIT の値を指定しない場合は、シフトレジスタ LUT の内容はコンフィギュレーション中に 0000 にクリアされます。

クロック (CLK) が High から Low に切り替わるときに、D の値がシフトレジスタの第 1 ビットにロードされます。次にクロックが High から Low に切り替わると、シフトレジスタの値は次の高位ビットにシフトされ、新しい値がロードされます。アドレス入力の値によってシフトレジスタの長さが決まり、Q にその値が出力されます。

論理表

入力			出力
A _m	CLK	D	Q
A _m	X	X	Q(A _m)
A _m	↓	D	Q(A _m - 1)
m = 0、1、2、3			

デザインの入力方法

このエレメントは、回路図で使用できます。

使用可能な属性

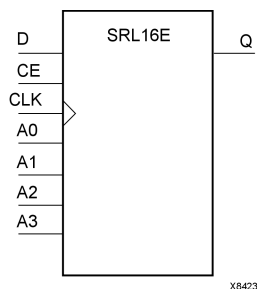
属性	データ型	値	デフォルト	説明
INIT	16 進数	16 ビット値	すべて 0	コンフィギュレーション後の Q 出力の初期値を指定します。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリー データシート』\(DS312\)](#)

SRL16E

プリミティブ：16-Bit Shift Register Look-Up Table (LUT) with Clock Enable



概要

このデザイン エLEMENTは、シフトレジスタ ルックアップ テーブル (LUT) です。シフトレジスタの長さは、入力 A3、A2、A1、A0 の値によって決定されます。

シフトレジスタの長さは、固定することも、変動させることもできます。

- ・ **固定長のシフトレジスタを作成するには：** 入力 A3 ～ A0 の値を一定にします。シフトレジスタは 1 ～ 16 ビットの長さに設定できます。アドレス入力の値によるシフトレジスタの長さは、長さ = $(8 \times A3) + (4 \times A2) + (2 \times A1) + A0 + 1$ という式で算出できます。A3、A2、A1、A0 がすべて 0 の場合 (0000) はシフトレジスタの長さは 1 ビットになり、すべて 1 の場合 (1111) は 16 ビットになります。
- ・ **シフトレジスタ長を動的に変化させるには：** 入力 A3 ～ A0 の値を変化させます。たとえば、A2、A1、A0 がすべて 1 の場合 (111) に A3 を 1 から 0 に切り替えると、シフトレジスタの長さは 16 ビットから 8 ビットに変化します。内部的には、シフトレジスタの長さは常に 16 ビットで、どのビットの値が出力されるかは入力 A3 ～ A0 の値によって決定されます。

シフトレジスタ LUT の初期値を指定するには、INIT 属性に 4 桁の 16 進数を割り当てます。一番左の桁が最上位ビットになります。INIT の値を指定しない場合は、シフトレジスタ LUT の内容はコンフィギュレーション中に 0000 にクリアされます。

CE が High の場合、クロック (CLK) が Low から High に切り替わるときに、D の値がシフトレジスタの第 1 ビットにロードされます。次にクロックが Low から High に切り替わるときに CE が High の場合、シフトレジスタの値は次の高位ビットにシフトされ、新しい値がロードされます。アドレス入力の値によってシフトレジスタの長さが決まり、Q にその値が出力されます。CE が Low の場合、クロック遷移は無視されます。

論理表

入力				出力
Am	CE	CLK	D	Q
Am	0	X	X	Q(Am)
Am	1	↑	D	Q(Am - 1)
m = 0、1、2、3				

ポートの説明

ポート名	方向	幅	機能
Q	出力	1	シフトレジスタ データ出力
D	入力	1	シフトレジスタ データ入力
CLK	入力	1	クロック
CE	入力	1	アクティブ High のクロック イネーブル
A	入力	4	SRL のワード数のダイナミック選択 ・ A=0000 ==> 1 ビット シフト長 ・ A=1111 ==> 16 ビット シフト長

デザインの入力方法

このエレメントは、回路図で使用できます。

使用可能な属性

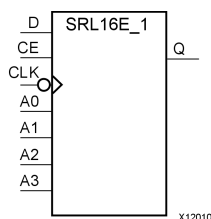
属性	データ型	値	デフォルト	説明
INIT	16 進数	16 ビット値	すべて 0	コンフィギュレーション後のシフトレジスタと出力の初期値を指定します。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリー データシート』\(DS312\)](#)

SRL16E_1

プリミティブ : 16-Bit Shift Register Look-Up Table (LUT) with Negative-Edge Clock and Clock Enable



概要

このデザイン エレメントは、クロック イネーブル (CE) があるシフトレジスタ ルックアップ テーブル (LUT) で、クロックの立ち下がりエッジで動作します。シフトレジスタの長さは、入力 A3、A2、A1、A0 の値によって決定されます。

シフトレジスタの長さは、固定することも、変動させることもできます。

- ・ **固定長のシフトレジスタを作成するには :** 入力 A3 ~ A0 の値を一定にします。シフトレジスタは 1 ~ 16 ビットの長さに設定できます。アドレス入力の値によるシフトレジスタの長さは、長さ = $(8 \times A3) + (4 \times A2) + (2 \times A1) + A0 + 1$ という式で算出できます。A3、A2、A1、A0 がすべて 0 の場合 (0000) はシフトレジスタの長さは 1 ビットになり、すべて 1 の場合 (1111) は 16 ビットになります。
- ・ **シフトレジスタ長を動的に変化させるには :** 入力 A3 ~ A0 の値を変化させます。たとえば、A2、A1、A0 がすべて 1 の場合 (111) に A3 を 1 から 0 に切り替えると、シフトレジスタの長さは 16 ビットから 8 ビットに変化します。内部的には、シフトレジスタの長さは常に 16 ビットで、どのビットの値が出力されるかは入力 A3 ~ A0 の値によって決定されます。

シフトレジスタ LUT の初期値を指定するには、INIT 属性に 4 桁の 16 進数を割り当てます。一番左の桁が最上位ビットになります。INIT の値を指定しない場合は、シフトレジスタ LUT の内容はコンフィギュレーション中に 0000 にクリアされます。

CE が High の場合、クロック (CLK) が High から Low に切り替わるときに、D の値がシフトレジスタの第 1 ビットにロードされます。次にクロックが High から Low に切り替わるときに CE が High の場合、シフトレジスタの値は次の高位ビットにシフトされ、新しい値がロードされます。アドレス入力の値によってシフトレジスタの長さが決まり、Q にその値が出力されます。CE が Low の場合、クロック遷移は無視されます。

論理表

入力				出力
A _m	CE	CLK	D	Q
A _m	0	X	X	Q(A _m)
A _m	1	↓	D	Q(A _m - 1)
m = 0、1、2、3				

デザインの入力方法

このエレメントは、回路図で使用できます。

使用可能な属性

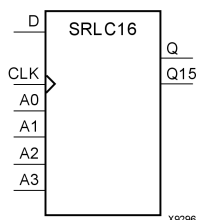
属性	タイプ	値	デフォルト	説明
INIT	16 進数	16 ビット値	すべて 0	コンフィギュレーション後のシフトレジスタと出力の初期値を指定します。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリー データシート』\(DS312\)](#)

SRLC16

プリミティブ：16-Bit Shift Register Look-Up Table (LUT) with Carry



概要

このデザイン エレメントは、キャリーがあるシフトレジスタ ルックアップ テーブル (LUT) です。シフトレジスタの長さは、入力 A3、A2、A1、A0 の値によって決定されます。

シフトレジスタの長さは、固定することも、変動させることもできます。

- ・ **固定長のシフトレジスタを作成するには：** 入力 A3 ～ A0 の値を一定にします。シフトレジスタは 1 ～ 16 ビットの長さに設定できます。アドレス入力の値によるシフトレジスタの長さは、長さ = $(8 \times A3) + (4 \times A2) + (2 \times A1) + A0 + 1$ という式で算出できます。A3、A2、A1、A0 がすべて 0 の場合 (0000) はシフトレジスタの長さは 1 ビットになり、すべて 1 の場合 (1111) は 16 ビットになります。
- ・ **シフトレジスタ長を動的に変化させるには：** 入力 A3 ～ A0 の値を変化させます。たとえば、A2、A1、A0 がすべて 1 の場合 (111) に A3 を 1 から 0 に切り替えると、シフトレジスタの長さは 16 ビットから 8 ビットに変化します。内部的には、シフトレジスタの長さは常に 16 ビットで、どのビットの値が出力されるかは入力 A3 ～ A0 の値によって決定されます。

シフトレジスタ LUT の初期値を指定するには、INIT 属性に 4 桁の 16 進数を割り当てます。一番左の桁が最上位ビットになります。INIT の値を指定しない場合は、シフトレジスタ LUT の内容はコンフィギュレーション中に 0000 にクリアされます。

クロック (CLK) が Low から High に切り替わるときに、D の値がシフトレジスタの第 1 ビットにロードされます。次にクロックが Low から High に切り替わると、シフトレジスタの値は次の高位ビットにシフトされ、新しい値がロードされます。アドレス入力の値によってシフトレジスタの長さが決まり、Q にその値が出力されます。

注記： Q15 の出力を使用すると、複数のシフトレジスタ LUT をカスケード接続でき、より大きなシフトレジスタを作成できます。

論理表

入力			出力
A _m	CLK	D	Q
A _m	X	X	Q(A _m)
A _m	↑	D	Q(A _m - 1)
m = 0、1、2、3			

デザインの入力方法

このエレメントは、回路図で使用できます。

使用可能な属性

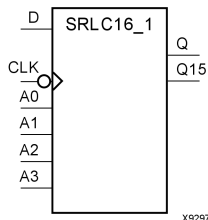
属性	データ型	値	デフォルト	説明
INIT	16 進数	16 ビット値	すべて 0	コンフィギュレーション後のシフトレジスタと出力の初期値を指定します。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリー データシート』\(DS312\)](#)

SRLC16_1

プリミティブ：16-Bit Shift Register Look-Up Table (LUT) with Carry and Negative-Edge Clock



概要

このデザイン エレメントは、キャリーがあるシフトレジスタ ルックアップ テーブル (LUT) で、クロックの立ち下がりエッジで動作します。シフトレジスタの長さは、入力 A3、A2、A1、A0 の値によって決定されます。

シフトレジスタの長さは、固定することも、変動させることもできます。

- ・ **固定長のシフトレジスタを作成するには：** 入力 A3 ～ A0 の値を一定にします。シフトレジスタは 1 ～ 16 ビットの長さに設定できます。アドレス入力の値によるシフトレジスタの長さは、長さ = (8 x A3) + (4 x A2) + (2 x A1) + A0 + 1 という式で算出できます。A3、A2、A1、A0 がすべて 0 の場合 (0000) はシフトレジスタの長さは 1 ビットになり、すべて 1 の場合 (1111) は 16 ビットになります。
- ・ **シフトレジスタ長を動的に変化させるには：** 入力 A3 ～ A0 の値を変化させます。たとえば、A2、A1、A0 がすべて 1 の場合 (111) に A3 を 1 から 0 に切り替えると、シフトレジスタの長さは 16 ビットから 8 ビットに変化します。内部的には、シフトレジスタの長さは常に 16 ビットで、どのビットの値が出力されるかは入力 A3 ～ A0 の値によって決定されます。

シフトレジスタ LUT の初期値を指定するには、INIT 属性に 4 桁の 16 進数を割り当てます。一番左の桁が最上位ビットになります。INIT の値を指定しない場合は、シフトレジスタ LUT の内容はコンフィギュレーション中に 0000 にクリアされます。

注記： Q15 の出力を使用すると、複数のシフトレジスタ LUT をカスケード接続でき、より大きなシフトレジスタを作成できます。

論理表

入力			出力	
Am	CLK	D	Q	Q15
Am	X	X	Q(Am)	変化なし
Am	↓	D	Q(Am - 1)	Q14
m = 0、1、2、3				

デザインの入力方法

このエレメントは、回路図で使用できます。

使用可能な属性

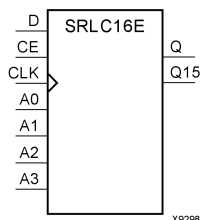
属性	データ型	値	デフォルト	説明
INIT	16 進数	16 ビット値	すべて 0	コンフィギュレーション後のシフトレジスタと出力の初期値を指定します。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリ データシート』\(DS312\)](#)

SRLC16E

プリミティブ：16-Bit Shift Register Look-Up Table (LUT) with Carry and Clock Enable



概要

このデザイン エレメントは、キャリーとクロック イネーブルがあるシフトレジスタ ルックアップ テーブル (LUT) です。シフトレジスタの長さは、入力 A3、A2、A1、A0 の値によって決定されます。

シフトレジスタの長さは、固定することも、変動させることもできます。

- ・ **固定長のシフトレジスタを作成するには：** 入力 A3 ～ A0 の値を一定にします。シフトレジスタは 1 ～ 16 ビットの長さに設定できます。アドレス入力の値によるシフトレジスタの長さは、長さ = $(8 \times A3) + (4 \times A2) + (2 \times A1) + A0 + 1$ という式で算出できます。A3、A2、A1、A0 がすべて 0 の場合 (0000) はシフトレジスタの長さは 1 ビットになり、すべて 1 の場合 (1111) は 16 ビットになります。
- ・ **シフトレジスタ長を動的に変化させるには：** 入力 A3 ～ A0 の値を変化させます。たとえば、A2、A1、A0 がすべて 1 の場合 (111) に A3 を 1 から 0 に切り替えると、シフトレジスタの長さは 16 ビットから 8 ビットに変化します。内部的には、シフトレジスタの長さは常に 16 ビットで、どのビットの値が出力されるかは入力 A3 ～ A0 の値によって決定されます。

シフトレジスタ LUT の初期値を指定するには、INIT 属性に 4 桁の 16 進数を割り当てます。一番左の桁が最上位ビットになります。INIT の値を指定しない場合は、シフトレジスタ LUT の内容はコンフィギュレーション中に 0000 にクリアされます。

クロック (CLK) が Low から High に切り替わるときに、D の値がシフトレジスタの第 1 ビットにロードされます。次にクロックが Low から High に切り替わるときに CE が High の場合、シフトレジスタの値は次の高位ビットにシフトされ、新しいデータがロードされます。アドレス入力の値によってシフトレジスタの長さが決まり、Q にその値が出力されます。

注記： Q15 の出力を使用すると、複数のシフトレジスタ LUT をカスケード接続でき、より大きなシフトレジスタを作成できます。

論理表

入力				出力	
Am	CLK	CE	D	Q	Q15
Am	X	0	X	Q(Am)	Q(15)
Am	X	1	X	Q(Am)	Q(15)
Am	↑	1	D	Q(Am - 1)	Q15
m = 0、1、2、3					

デザインの入力方法

このエレメントは、回路図で使用できます。

使用可能な属性

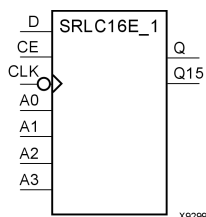
属性	データ型	値	デフォルト	説明
INIT	16 進数	16 ビット値	すべて 0	コンフィギュレーション後のシフトレジスタと出力の初期値を指定します。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリー データシート』\(DS312\)](#)

SRLC16E_1

プリミティブ：16-Bit Shift Register Look-Up Table (LUT) with Carry, Negative-Edge Clock, and Clock Enable



概要

このデザイン エレメントは、キャリーおよびクロック イネーブルがあるシフトレジスタ ルックアップ テーブル (LUT) で、クロックの立ち下がりがエッジで動作します。シフトレジスタの長さは、入力 A3、A2、A1、A0 の値によって決定されます。

シフトレジスタの長さは、固定することも、変動させることもできます。

- ・ **固定長のシフトレジスタを作成するには：** 入力 A3 ～ A0 の値を一定にします。シフトレジスタは 1 ～ 16 ビットの長さに設定できます。アドレス入力の値によるシフトレジスタの長さは、長さ = $(8 \times A3) + (4 \times A2) + (2 \times A1) + A0 + 1$ という式で算出できます。A3、A2、A1、A0 がすべて 0 の場合 (0000) はシフトレジスタの長さは 1 ビットになり、すべて 1 の場合 (1111) は 16 ビットになります。
- ・ **シフトレジスタ長を動的に変化させるには：** 入力 A3 ～ A0 の値を変化させます。たとえば、A2、A1、A0 がすべて 1 の場合 (111) に A3 を 1 から 0 に切り替えると、シフトレジスタの長さは 16 ビットから 8 ビットに変化します。内部的には、シフトレジスタの長さは常に 16 ビットで、どのビットの値が出力されるかは入力 A3 ～ A0 の値によって決定されます。

シフトレジスタ LUT の初期値を指定するには、INIT 属性に 4 桁の 16 進数を割り当てます。一番左の桁が最上位ビットになります。INIT の値を指定しない場合は、シフトレジスタ LUT の内容はコンフィギュレーション中に 0000 にクリアされます。

CE が High の場合、クロック (CLK) が High から Low に切り替わるときに、D の値がシフトレジスタの第 1 ビットにロードされます。次にクロックが High から Low に切り替わるときに CE が High の場合、シフトレジスタの値は次の高位ビットにシフトされ、新しい値がロードされます。アドレス入力の値によってシフトレジスタの長さが決まり、Q にその値が出力されます。

注記： Q15 の出力を使用すると、複数のシフトレジスタ LUT をカスケード接続でき、より大きなシフトレジスタを作成できます。

論理表

入力				出力	
Am	CE	CLK	D	Q	Q15
Am	0	X	X	Q(Am)	変化なし
Am	1	X	X	Q(Am)	変化なし
Am	1	↓	D	Q(Am-1)	Q14
m = 0、1、2、3					

デザインの入力方法

このエレメントは、回路図で使用できます。

使用可能な属性

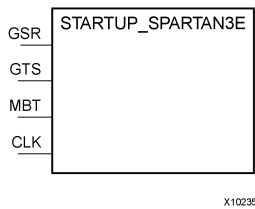
属性	データ型	値	デフォルト	説明
INIT	16 進数	16 ビット値	すべて 0	コンフィギュレーション後のシフトレジスタと出力の初期値を指定します。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリー データシート』\(DS312\)](#)

STARTUP_SPARTAN3E

プリミティブ : Spartan®-3E User Interface to the GSR, GTS, Configuration Startup Sequence and Multi-Boot Trigger Circuitry



概要

このデザイン エLEMENTは、ポートまたはユーザー回路を接続して、FPGA 内の特定の専用回路および配線を制御します。このコンポーネントの GSR ポートに接続された信号は、グローバル セット/リセット (GSR) を制御できます。GSR ネットは、デバイスのすべてのレジスタに接続され、レジスタを初期値にします。GTS ポートに信号を接続すると、各ピンのトライステート出力を制御する専用配線にポートが接続されます。CLK 入力にクロック信号を接続すると、コンフィギュレーション後のスタートアップ シーケンスはユーザー定義のクロックに同期します。MBT (マルチブートトリガー) ピンを使用すると、新しいコンフィギュレーションが開始されます (デバイスでこの機能が設定されている場合)。

デザインの入力方法

このELEMENTは、回路図で使用できます。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリー データシート』\(DS312\)](#)

VCC

プリミティブ : VCC-Connection Signal Tag



概要

このデザイン エLEMENTは信号タグまたはパラメーターとして機能し、ネットや入力ファンクションを強制的に High にします。このELEMENTに接続したネットを、ほかのソースに接続することはできません。

配置配線のプロセスで VCC に接続されたネットまたは入力ファンクションが検出されると、VCC 信号でディスエーブルになるロジックは削除されます。VCC 信号は、ディスエーブルされたロジックが削除できない場合のみインプリメントされます。

デザインの入力方法

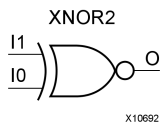
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリー データシート』\(DS312\)](#)

XNOR2

プリミティブ：2-Input XNOR Gate with Non-Inverted Inputs



概要

XNOR ファンクションには入力が 9 個までのものがあり、入力はすべて非反転入力です。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

論理表

入力	出力
I0 ~ Iz	O
1 が奇数個	0
1 が偶数個	1

デザインの入力方法

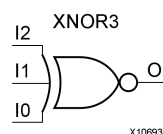
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリ データシート』\(DS312\)](#)

XNOR3

プリミティブ：3-Input XNOR Gate with Non-Inverted Inputs



概要

XNOR ファンクションには入力が 9 個までのものがあり、入力はすべて非反転入力です。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

論理表

入力	出力
I0 ~ I2	O
1 が奇数個	0
1 が偶数個	1

デザインの入力方法

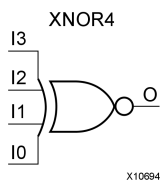
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリー データシート』\(DS312\)](#)

XNOR4

プリミティブ：4-Input XNOR Gate with Non-Inverted Inputs



概要

XNOR ファンクションには入力が 9 個までのものがあり、入力はすべて非反転入力です。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

論理表

入力	出力
I0 ~ I2	O
1 が奇数個	0
1 が偶数個	1

デザインの入力方法

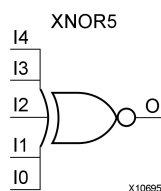
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリー データシート』\(DS312\)](#)

XNOR5

プリミティブ：5-Input XNOR Gate with Non-Inverted Inputs



概要

XNOR ファンクションには入力が 9 個までのものがあり、入力はすべて非反転入力です。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

論理表

入力	出力
I0 ~ Iz	O
1 が奇数個	0
1 が偶数個	1

デザインの入力方法

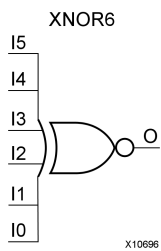
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリー データシート』\(DS312\)](#)

XNOR6

マクロ : 6-Input XNOR Gate with Non-Inverted Inputs



概要

XNOR ファンクションには入力が 9 個までのものがあり、入力はすべて非反転入力です。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

論理表

入力	出力
I0 ~ I _z	O
1 が奇数個	0
1 が偶数個	1

デザインの入力方法

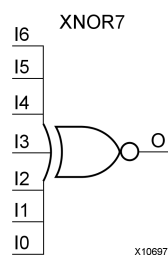
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリ データシート』\(DS312\)](#)

XNOR7

マクロ：7-Input XNOR Gate with Non-Inverted Inputs



概要

XNOR ファンクションには入力 9 個までのものがあり、入力はすべて非反転入力です。各入力に CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

論理表

入力	出力
I0 ～ Iz	O
1 が奇数個	0
1 が偶数個	1

デザインの入力方法

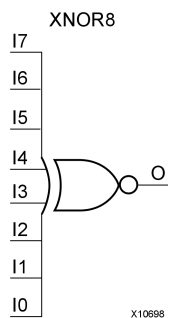
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリー データシート』\(DS312\)](#)

XNOR8

マクロ：8-Input XNOR Gate with Non-Inverted Inputs



概要

XNOR ファンクションには入力が 9 個までのものがあり、入力はすべて非反転入力です。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

論理表

入力	出力
I0 ~ Iz	O
1 が奇数個	0
1 が偶数個	1

デザインの入力方法

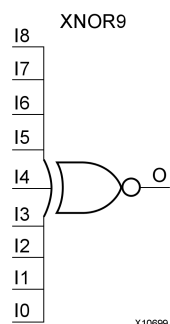
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリ データシート』\(DS312\)](#)

XNOR9

マクロ：9-Input XNOR Gate with Non-Inverted Inputs



概要

XNOR ファンクションには入力が 9 個までのものがあり、入力はすべて非反転入力です。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

論理表

入力	出力
I0 ~ I8	O
1 が奇数個	0
1 が偶数個	1

デザインの入力方法

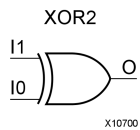
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリー データシート』\(DS312\)](#)

XOR2

プリミティブ：2-Input XOR Gate with Non-Inverted Inputs



概要

XOR ファンクションには入力が 9 個までのものがあり、入力はすべて非反転入力です。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

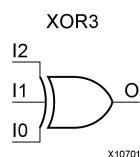
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリー データシート』\(DS312\)](#)

XOR3

プリミティブ：3-Input XOR Gate with Non-Inverted Inputs



概要

XOR ファンクションには入力が 9 個までのものがあり、入力はすべて非反転入力です。各入力に CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

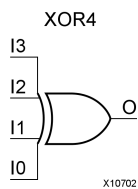
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリー データシート』\(DS312\)](#)

XOR4

プリミティブ：4-Input XOR Gate with Non-Inverted Inputs



概要

XOR ファンクションには入力が 9 個までのものがあり、入力はすべて非反転入力です。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

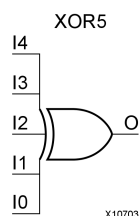
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリー データシート』\(DS312\)](#)

XOR5

プリミティブ：5-Input XOR Gate with Non-Inverted Inputs



概要

XOR ファンクションには入力が 9 個までのものがあり、入力はすべて非反転入力です。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

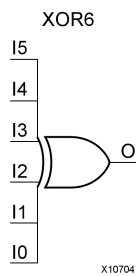
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリー データシート』\(DS312\)](#)

XOR6

マクロ：6-Input XOR Gate with Non-Inverted Inputs



概要

XOR ファンクションには入力 が 9 個までのものがあり、入力はすべて非反転入力です。各入力 で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

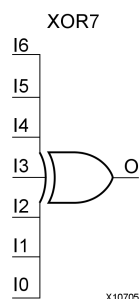
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリー データシート』\(DS312\)](#)

XOR7

マクロ : 7-Input XOR Gate with Non-Inverted Inputs



概要

XOR ファンクションには入力が 9 個までのものがあり、入力はすべて非反転入力です。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

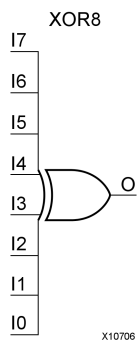
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリー データシート』\(DS312\)](#)

XOR8

マクロ : 8-Input XOR Gate with Non-Inverted Inputs



概要

XOR ファンクションには入力 が 9 個までのものがあり、入力 はすべて非反転入力です。各入力 で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

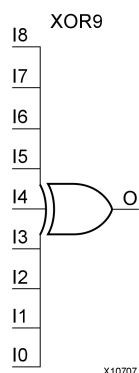
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリー データシート』\(DS312\)](#)

XOR9

マクロ : 9-Input XOR Gate with Non-Inverted Inputs



概要

XOR ファンクションには入力 が 9 個までのものがあり、入力はすべて非反転入力です。各入力 で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

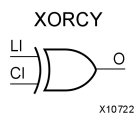
このエレメントは、回路図でのみ使用できます。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリ データシート』\(DS312\)](#)

XORCY

プリミティブ : XOR for Carry Logic with General Output



概要

このデザイン エLEMENTは、汎用出力 (O) を持つ特殊な XOR ゲートで、高速で小型の演算ファンクションを生成するために使用します。このプリミティブは、スライスのキャリーチェーン ロジック内の専用 XOR ファンクションで、演算ファンクション (加算または除算) または多入力ロジック ファンクション (多入力 AND または OR ゲート) を高速かつ効率的に作成できます。

論理表

入力		出力
LI	CI	O
0	0	0
0	1	1
1	0	1
1	1	0

デザインの入力方法

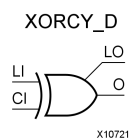
このELEMENTは、回路図で使用できます。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリー データシート』\(DS312\)](#)

XORCY_D

プリミティブ：XOR for Carry Logic with Dual Output



概要

このデザイン エLEMENTは、汎用出力 (O) とローカル出力 (LO) を持つ特殊な XOR ゲートで、高速で小型の演算ファンクションを生成するために使用します。

論理表

入力		出力
LI	CI	O および LO
0	0	0
0	1	1
1	0	1
1	1	0

デザインの入力方法

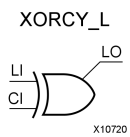
このELEMENTは、回路図で使用できます。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリー データシート』\(DS312\)](#)

XORCY_L

プリミティブ：XOR for Carry Logic with Local Output



概要

このデザイン エLEMENTは、ローカル出力 (LO) のある特殊な XOR ゲートで、高速で小型の演算ファンクションを生成するために使用します。

論理表

入力		出力
LI	CI	LO
0	0	0
0	1	1
1	0	1
1	1	0

デザインの入力方法

このELEMENTは、回路図で使用できます。

詳細情報

- ・ [『Spartan-3 ジェネレーション FPGA ユーザー ガイド』\(UG331\)](#)
- ・ [『Spartan-3E FPGA ファミリー データシート』\(DS312\)](#)