

Spartan-6 ライブラリ ガイド (回路図用)

UG616 (v14.5) 2013 年 3 月 20 日



Notice of Disclaimer

The information disclosed to you hereunder (the “Materials”) is provided solely for the selection and use of Xilinx products. To the maximum extent permitted by applicable law: (1) Materials are made available “AS IS” and with all faults, Xilinx hereby DISCLAIMS ALL WARRANTIES AND CONDITIONS, EXPRESS, IMPLIED, OR STATUTORY, INCLUDING BUT NOT LIMITED TO WARRANTIES OF MERCHANTABILITY, NON-INFRINGEMENT, OR FITNESS FOR ANY PARTICULAR PURPOSE; and (2) Xilinx shall not be liable (whether in contract or tort, including negligence, or under any other theory of liability) for any loss or damage of any kind or nature related to, arising under, or in connection with, the Materials (including your use of the Materials), including for any direct, indirect, special, incidental, or consequential loss or damage (including loss of data, profits, goodwill, or any type of loss or damage suffered as a result of any action brought by a third party) even if such damage or loss was reasonably foreseeable or Xilinx had been advised of the possibility of the same. Xilinx assumes no obligation to correct any errors contained in the Materials or to notify you of updates to the Materials or to product specifications. You may not reproduce, modify, distribute, or publicly display the Materials without prior written consent. Certain products are subject to the terms and conditions of the Limited Warranties which can be viewed at <http://www.xilinx.com/warranty.htm>; IP cores may be subject to warranty and support terms contained in a license issued to you by Xilinx. Xilinx products are not designed or intended to be fail-safe or for use in any application requiring fail-safe performance; you assume sole risk and liability for use of Xilinx products in Critical Applications: <http://www.xilinx.com/warranty.htm#critapps>.

© Copyright 2002–2012 Xilinx Inc. All rights reserved. Xilinx, the Xilinx logo, Artix, ISE, Kintex, Spartan, Virtex, Vivado, Zynq, and other designated brands included herein are trademarks of Xilinx in the United States and other countries. All other trademarks are the property of their respective owners.

本資料は英語版 (v14.5) を翻訳したもので、内容に相違が生じる場合には原文を優先します。

資料によっては英語版の更新に対応していないものがあります。

日本語版は参考用としてご使用の上、最新情報につきましては、必ず最新英語版をご参照ください。

この資料に関するフィードバックおよびリンクなどの問題につきましては、jpn_trans_feedback@xilinx.com までお知らせください。いただきましたご意見を参考に早急に対応させていただきます。なお、このメール アドレスへのお問い合わせは受け付けておりません。あらかじめご了承ください。

概要

回路図用ライブラリ ガイドは、ISE のオンライン マニュアルの 1 つです。HDL を使用して設計する場合は、HDL 用ライブラリ ガイドを参照してください。

このマニュアルには、次の内容が含まれます。

- ・ 概要
- ・ このアーキテクチャでサポートされるプリミティブとマクロのファンクション別リスト
- ・ 各プリミティブの詳細説明

デザイン エLEMENT

このライブラリ ガイドでは、Spartan®-6 デバイスで利用できるデザイン エLEMENTについて説明します。デザイン エLEMENTはいくつかのカテゴリに分類されています。

- ・ **プリミティブ**：ザイリンクス ライブラリで、ロジックの基本となる最も単純なデザイン エLEMENT。ザイリンクスのプリミティブの例として、BUF (バッファー)、FD (D フリップフロップ) などがあります。
- ・ **マクロ**：ザイリンクス ライブラリの基本となるデザイン エLEMENT。デザイン エLEMENTのプリミティブまたはマクロから作成することができます。たとえば、FD4CE フリップフロップ マクロは 4 つの FDCE プリミティブをまとめたものです。

ザイリンクスでは、さまざまなデバイス アーキテクチャに対応した多数のデザイン エLEMENT (マクロおよびプリミティブ) を含むソフトウェア ライブラリを提供しています。開発システム ツールのリリースごとに、新しいデザイン エLEMENTが組み込まれます。このマニュアルは、そのようなアーキテクチャ固有のライブラリの 1 つです。

ファンクション別分類

このセクションでは、デバイスに含まれるデザイン エLEMENTをファンクション別に分類して示します。ELEMENT (プリミティブおよびマクロのインプリメンテーション) は、各カテゴリでアルファベット順にリストしています。

アドバンス	デコーダー	ロジック
演算ファンクション	フリップフロップ	LUT
バッファ	汎用ELEMENT	メモリ
キャリー ロジック	入力/出力ファンクション	マルチプレクサー
クロック リソース	I/O	シフトレジスタ
コンパレータ	I/O フリップフロップ	シフター
カウンタ	I/O ラッチ	
DDR フリップフロップ	ラッチ	

アドバンス

デザイン ELEMENT	説明
GTPA1_DUAL	プリミティブ : Dual Gigabit Transceiver
PCIE_A1	プリミティブ : PCI Express

演算ファンクション

デザイン ELEMENT	説明
ACC16	マクロ : 16-Bit Loadable Cascadable Accumulator with Carry-In, Carry-Out, and Synchronous Reset
ACC4	マクロ : 4-Bit Loadable Cascadable Accumulator with Carry-In, Carry-Out, and Synchronous Reset
ACC8	マクロ : 8-Bit Loadable Cascadable Accumulator with Carry-In, Carry-Out, and Synchronous Reset
ADD16	マクロ : 16-Bit Cascadable Full Adder with Carry-In, Carry-Out, and Overflow
ADD4	マクロ : 4-Bit Cascadable Full Adder with Carry-In, Carry-Out, and Overflow

デザイン エLEMENT	説明
ADD8	マクロ : 8-Bit Cascadable Full Adder with Carry-In, Carry-Out, and Overflow
ADSU16	マクロ : 16-Bit Cascadable Adder/Subtractor with Carry-In, Carry-Out, and Overflow
ADSU4	マクロ : 4-Bit Cascadable Adder/Subtractor with Carry-In, Carry-Out, and Overflow
ADSU8	マクロ : 8-Bit Cascadable Adder/Subtractor with Carry-In, Carry-Out, and Overflow
DSP48A1	プリミティブ : Multi-Functional, Cascadable, 48-bit Output, Arithmetic Block
MULT18X18SIO	プリミティブ : 18 x 18 Cascadable Signed Multiplier with Optional Input and Output Registers, Clock Enable, and Synchronous Reset

バッファ

デザイン エLEMENT	説明
BUF	プリミティブ : General Purpose Buffer
BUFCF	プリミティブ : Fast Connect Buffer
BUFG	プリミティブ : Global Clock Buffer
BUFGCE	プリミティブ : Global Clock Buffer with Clock Enable
BUFGCE_1	プリミティブ : Global Clock Buffer with Clock Enable and Output State 1
BUFGMUX	プリミティブ : Global Clock MUX Buffer
BUFGMUX_1	プリミティブ : Global Clock MUX Buffer with Output State 1
BUFGP	プリミティブ : Global Buffer for Driving Clocks

キャリー ロジック

デザイン エLEMENT	説明
CARRY4	プリミティブ : Fast Carry Logic with Look Ahead
MUXCY	プリミティブ : 2-to-1 Multiplexer for Carry Logic with General Output
MUXCY_D	プリミティブ : 2-to-1 Multiplexer for Carry Logic with Dual Output
MUXCY_L	プリミティブ : 2-to-1 Multiplexer for Carry Logic with Local Output
XORCY	プリミティブ : XOR for Carry Logic with General Output
XORCY_D	プリミティブ : XOR for Carry Logic with Dual Output
XORCY_L	プリミティブ : XOR for Carry Logic with Local Output

クロック リソース

デザイン エLEMENT	説明
BUFIO2	プリミティブ : Dual Clock Buffer and Strobe Pulse
BUFIO2_2CLK	プリミティブ : Dual Clock Buffer and Strobe Pulse with Differential Input
BUFIO2FB	プリミティブ : Feedback Clock Buffer.
BUFH	プリミティブ : Clock buffer for a single clocking region
BUFPLL	プリミティブ : PLL Buffer
DCM_SP	プリミティブ : Digital Clock Manager
DCM_CLKGEN	プリミティブ : Digital Clock Manager.
PLL_BASE	プリミティブ : Basic Phase Locked Loop Clock Circuit

コンパレータ

デザイン エLEMENT	説明
COMP16	マクロ : 16-Bit Identity Comparator
COMP2	マクロ : 2-Bit Identity Comparator
COMP4	マクロ : 4-Bit Identity Comparator
COMP8	マクロ : 8-Bit Identity Comparator
COMPM16	マクロ : 16-Bit Magnitude Comparator
COMPM2	マクロ : 2-Bit Magnitude Comparator
COMPM4	マクロ : 4-Bit Magnitude Comparator
COMPM8	マクロ : 8-Bit Magnitude Comparator
COMPMC16	マクロ : 16-Bit Magnitude Comparator
COMPMC8	マクロ : 8-Bit Magnitude Comparator

カウンタ

デザイン エLEMENT	説明
CB2CE	マクロ : 2-Bit Cascadable Binary Counter with Clock Enable and Asynchronous Clear
CB2CLE	マクロ : 2-Bit Loadable Cascadable Binary Counters with Clock Enable and Asynchronous Clear
CB2CLED	マクロ : 2-Bit Loadable Cascadable Bidirectional Binary Counters with Clock Enable and Asynchronous Clear
CB2RE	マクロ : 2-Bit Cascadable Binary Counter with Clock Enable and Synchronous Reset
CB4CE	マクロ : 4-Bit Cascadable Binary Counter with Clock Enable and Asynchronous Clear
CB4CLE	マクロ : 4-Bit Loadable Cascadable Binary Counters with Clock Enable and Asynchronous Clear
CB4CLED	マクロ : 4-Bit Loadable Cascadable Bidirectional Binary Counters with Clock Enable and Asynchronous Clear

デザイン エLEMENT	説明
CB4RE	マクロ : 4-Bit Cascadable Binary Counter with Clock Enable and Synchronous Reset
CB8CE	マクロ : 8-Bit Cascadable Binary Counter with Clock Enable and Asynchronous Clear
CB8CLE	マクロ : 8-Bit Loadable Cascadable Binary Counters with Clock Enable and Asynchronous Clear
CB8CLED	マクロ : 8-Bit Loadable Cascadable Bidirectional Binary Counters with Clock Enable and Asynchronous Clear
CB8RE	マクロ : 8-Bit Cascadable Binary Counter with Clock Enable and Synchronous Reset
CB16CE	マクロ : 16-Bit Cascadable Binary Counter with Clock Enable and Asynchronous Clear
CB16CLE	マクロ : 16-Bit Loadable Cascadable Binary Counters with Clock Enable and Asynchronous Clear
CB16CLED	マクロ : 16-Bit Loadable Cascadable Bidirectional Binary Counters with Clock Enable and Asynchronous Clear
CB16RE	マクロ : 16-Bit Cascadable Binary Counter with Clock Enable and Synchronous Reset
CC16CE	マクロ : 16-Bit Cascadable Binary Counter with Clock Enable and Asynchronous Clear
CC16CLE	マクロ : 16-Bit Loadable Cascadable Binary Counter with Clock Enable and Asynchronous Clear
CC16CLED	マクロ : 16-Bit Loadable Cascadable Bidirectional Binary Counter with Clock Enable and Asynchronous Clear
CC16RE	マクロ : 16-Bit Cascadable Binary Counter with Clock Enable and Synchronous Reset
CC8CE	マクロ : 8-Bit Cascadable Binary Counter with Clock Enable and Asynchronous Clear
CC8CLE	マクロ : 8-Bit Loadable Cascadable Binary Counter with Clock Enable and Asynchronous Clear
CC8CLED	マクロ : 8-Bit Loadable Cascadable Bidirectional Binary Counter with Clock Enable and Asynchronous Clear
CC8RE	マクロ : 8-Bit Cascadable Binary Counter with Clock Enable and Synchronous Reset
CD4CE	マクロ : 4-Bit Cascadable BCD Counter with Clock Enable and Asynchronous Clear
CD4CLE	マクロ : 4-Bit Loadable Cascadable BCD Counter with Clock Enable and Asynchronous Clear
CD4RE	マクロ : 4-Bit Cascadable BCD Counter with Clock Enable and Synchronous Reset
CD4RLE	マクロ : 4-Bit Loadable Cascadable BCD Counter with Clock Enable and Synchronous Reset
CJ4CE	マクロ : 4-Bit Johnson Counter with Clock Enable and Asynchronous Clear
CJ4RE	マクロ : 4-Bit Johnson Counter with Clock Enable and Synchronous Reset

デザイン エLEMENT	説明
CJ5CE	マクロ：5-Bit Johnson Counter with Clock Enable and Asynchronous Clear
CJ5RE	マクロ：5-Bit Johnson Counter with Clock Enable and Synchronous Reset
CJ8CE	マクロ：8-Bit Johnson Counter with Clock Enable and Asynchronous Clear
CJ8RE	マクロ：8-Bit Johnson Counter with Clock Enable and Synchronous Reset
CR16CE	マクロ：16-Bit Negative-Edge Binary Ripple Counter with Clock Enable and Asynchronous Clear
CR8CE	マクロ：8-Bit Negative-Edge Binary Ripple Counter with Clock Enable and Asynchronous Clear

DDR フリップフロップ

デザイン エLEMENT	説明
IDDR2	プリミティブ：Double Data Rate Input D Flip-Flop with Optional Data Alignment, Clock Enable and Programmable Synchronous or Asynchronous Set/Reset
ODDR2	プリミティブ：Dual Data Rate Output D Flip-Flop with Optional Data Alignment, Clock Enable and Programmable Synchronous or Asynchronous Set/Reset

デコーダー

デザイン エLEMENT	説明
D2_4E	マクロ：2- to 4-Line Decoder/Demultiplexer with Enable
D3_8E	マクロ：3- to 8-Line Decoder/Demultiplexer with Enable
D4_16E	マクロ：4- to 16-Line Decoder/Demultiplexer with Enable
DEC_CC16	マクロ：16-Bit Active Low Decoder
DEC_CC4	マクロ：4-Bit Active Low Decoder
DEC_CC8	マクロ：8-Bit Active Low Decoder
DECODE16	マクロ：16-Bit Active Low Decoder
DECODE32	マクロ：32-Bit Active Low Decoder
DECODE4	マクロ：4-Bit Active Low Decoder
DECODE64	マクロ：64-Bit Active Low Decoder
DECODE8	マクロ：8-Bit Active Low Decoder

フリップフロップ

デザイン エLEMENT	説明
IDDR2	プリミティブ : Double Data Rate Input D Flip-Flop with Optional Data Alignment, Clock Enable and Programmable Synchronous or Asynchronous Set/Reset
ODDR2	プリミティブ : Dual Data Rate Output D Flip-Flop with Optional Data Alignment, Clock Enable and Programmable Synchronous or Asynchronous Set/Reset

汎用ELEMENT

デザイン エLEMENT	説明
BSCAN_SPARTAN6	プリミティブ : Spartan®-6 JTAG Boundary Scan Logic Control Circuit
DNA_PORT	プリミティブ : Device DNA Data Access Port
GND	プリミティブ : Ground-Connection Signal Tag
ICAP_SPARTAN6	プリミティブ : Internal Configuration Access Port
KEEPER	プリミティブ : KEEPER Symbol
POST_CRC_INTERNAL	プリミティブ : Post-configuration CRC error detection
PULLDOWN	プリミティブ : Resistor to GND for Input Pads, Open-Drain, and 3-State Outputs
PULLUP	プリミティブ : Resistor to VCC for Input PADS, Open-Drain, and 3-State Outputs
STARTUP_SPARTAN6	プリミティブ : Spartan®-6 Global Set/Reset, Global 3-State and Configuration Start-Up Clock Interface
SUSPEND_SYNC	プリミティブ : Suspend Mode Access
VCC	プリミティブ : VCC-Connection Signal Tag

入力/出力ファンクション

デザイン エLEMENT	説明
IODELAY2	プリミティブ : Input and Output Fixed or Variable Delay Element
IODRP2	プリミティブ : I/O Control Port
ISERDES2	プリミティブ : Input SERial/DESerializer.
OSERDES2	プリミティブ : Dedicated IOB Output Serializer

I/O

デザイン エLEMENT	説明
IBUF	プリミティブ : Input Buffer
IBUFDS	プリミティブ : Differential Signaling Input Buffer
IBUFDS_DIFF_OUT	プリミティブ : Signaling Input Buffer with Differential Output
IBUFDS_DLY_ADJ	プリミティブ : Dynamically Adjustable Differential Input Delay Buffer
IBUF16	マクロ : 16-Bit Input Buffer
IBUF4	マクロ : 4-Bit Input Buffer
IBUF8	マクロ : 8-Bit Input Buffer
IBUFG	プリミティブ : Dedicated Input Clock Buffer
IBUFGDS	プリミティブ : Differential Signaling Dedicated Input Clock Buffer and Optional Delay
IBUFGDS_DIFF_OUT	プリミティブ : Differential Signaling Input Buffer with Differential Output
IOBUF	プリミティブ : Bi-Directional Buffer
IOBUFDS	プリミティブ : 3-State Differential Signaling I/O Buffer with Active Low Output Enable
OBUF	プリミティブ : Output Buffer
OBUF16	マクロ : 16-Bit Output Buffer
OBUF8	マクロ : 8-Bit Output Buffer
OBUF4	マクロ : 4-Bit Output Buffer
OBUFDS	プリミティブ : Differential Signaling Output Buffer
OBUFT	プリミティブ : 3-State Output Buffer with Active Low Output Enable
OBUFT4	マクロ : 4-Bit 3-State Output Buffers with Active-Low Output Enable
OBUFT8	マクロ : 8-Bit 3-State Output Buffers with Active-Low Output Enable
OBUFT16	マクロ : 16-Bit 3-State Output Buffer with Active Low Output Enable
OBUFTDS	プリミティブ : 3-State Output Buffer with Differential Signaling, Active-Low Output Enable

I/O フリップフロップ

デザイン エLEMENT	説明
IFD	マクロ : Input D Flip-Flop
IFD_1	マクロ : Input D Flip-Flop with Inverted Clock (Asynchronous Preset)
IFD16	マクロ : 16-Bit Input D Flip-Flop
IFD4	マクロ : 4-Bit Input D Flip-Flop
IFD8	マクロ : 8-Bit Input D Flip-Flop

デザイン エLEMENT	説明
IFDI	マクロ : Input D Flip-Flop (Asynchronous Preset)
IFDI_1	マクロ : Input D Flip-Flop with Inverted Clock (Asynchronous Preset)
IFDX	マクロ : Input D Flip-Flop with Clock Enable
IFDX_1	マクロ : Input D Flip-Flop with Inverted Clock and Clock Enable
IFDX16	マクロ : 16-Bit Input D Flip-Flops with Clock Enable
IFDX4	マクロ : 4-Bit Input D Flip-Flop with Clock Enable
IFDX8	マクロ : 8-Bit Input D Flip-Flop with Clock Enable
IFDXI	マクロ : Input D Flip-Flop with Clock Enable (Asynchronous Preset)
IFDXI_1	マクロ : Input D Flip-Flop with Inverted Clock and Clock Enable (Asynchronous Preset)
OFD	マクロ : Output D Flip-Flop
OFD_1	マクロ : Output D Flip-Flop with Inverted Clock
OFD16	マクロ : 16-Bit Output D Flip-Flop
OFD4	マクロ : 4-Bit Output D Flip-Flop
OFD8	マクロ : 8-Bit Output D Flip-Flop
OFDE	マクロ : D Flip-Flop with Active-High Enable Output Buffers
OFDE_1	マクロ : D Flip-Flop with Active-High Enable Output Buffer and Inverted Clock
OFDE16	マクロ : 16-Bit D Flip-Flop with Active-High Enable Output Buffers
OFDE4	マクロ : 4-Bit D Flip-Flop with Active-High Enable Output Buffers
OFDE8	マクロ : 8-Bit D Flip-Flop with Active-High Enable Output Buffers
OFDI	マクロ : Output D Flip-Flop (Asynchronous Preset)
OFDI_1	マクロ : Output D Flip-Flop with Inverted Clock (Asynchronous Preset)
OFDT	マクロ : D Flip-Flop with Active-Low 3-State Output Buffer
OFDT_1	マクロ : D Flip-Flop with Active-Low 3-State Output Buffer and Inverted Clock
OFDT16	マクロ : 16-Bit D Flip-Flop with Active-Low 3-State Output Buffers
OFDT4	マクロ : 4-Bit D Flip-Flop with Active-Low 3-State Output Buffers
OFDT8	マクロ : 8-Bit D Flip-Flop with Active-Low 3-State Output Buffers
OFDX	マクロ : Output D Flip-Flop with Clock Enable
OFDX_1	マクロ : Output D Flip-Flop with Inverted Clock and Clock Enable
OFDX16	マクロ : 16-Bit Output D Flip-Flop with Clock Enable

デザイン エLEMENT	説明
OFDX4	マクロ：4-Bit Output D Flip-Flop with Clock Enable
OFDX8	マクロ：8-Bit Output D Flip-Flop with Clock Enable
OFDXI	マクロ：Output D Flip-Flop with Clock Enable (Asynchronous Preset)
OFDXI_1	マクロ：Output D Flip-Flop with Inverted Clock and Clock Enable (Asynchronous Preset)

I/O ラッチ

デザイン エLEMENT	説明
ILD	マクロ：Transparent Input Data Latch
ILD_1	マクロ：Transparent Input Data Latch with Inverted Gate
ILD16	マクロ：Transparent Input Data Latch
ILD4	マクロ：Transparent Input Data Latch
ILD8	マクロ：Transparent Input Data Latch
ILDI	マクロ：Transparent Input Data Latch (Asynchronous Preset)
ILDI_1	マクロ：Transparent Input Data Latch with Inverted Gate (Asynchronous Preset)
ILDX	マクロ：Transparent Input Data Latch
ILDX_1	マクロ：Transparent Input Data Latch with Inverted Gate
ILDX16	マクロ：Transparent Input Data Latch
ILDX4	マクロ：Transparent Input Data Latch
ILDX8	マクロ：Transparent Input Data Latch
ILDXI	マクロ：Transparent Input Data Latch (Asynchronous Preset)
ILDXI_1	マクロ：Transparent Input Data Latch with Inverted Gate (Asynchronous Preset)

ラッチ

デザイン エLEMENT	説明
ILD	マクロ：Transparent Input Data Latch
ILD_1	マクロ：Transparent Input Data Latch with Inverted Gate
ILD16	マクロ：Transparent Input Data Latch
ILD4	マクロ：Transparent Input Data Latch
ILD8	マクロ：Transparent Input Data Latch
ILDI	マクロ：Transparent Input Data Latch (Asynchronous Preset)
ILDI_1	マクロ：Transparent Input Data Latch with Inverted Gate (Asynchronous Preset)
ILDX	マクロ：Transparent Input Data Latch
ILDX_1	マクロ：Transparent Input Data Latch with Inverted Gate
ILDX16	マクロ：Transparent Input Data Latch

デザイン エLEMENT	説明
ILDX4	マクロ : Transparent Input Data Latch
ILDX8	マクロ : Transparent Input Data Latch
ILDXI	マクロ : Transparent Input Data Latch (Asynchronous Preset)
ILDXI_1	マクロ : Transparent Input Data Latch with Inverted Gate (Asynchronous Preset)

ロジック

デザイン エLEMENT	説明
CARRY4	プリミティブ : Fast Carry Logic with Look Ahead
MUXCY	プリミティブ : 2-to-1 Multiplexer for Carry Logic with General Output
MUXCY_D	プリミティブ : 2-to-1 Multiplexer for Carry Logic with Dual Output
MUXCY_L	プリミティブ : 2-to-1 Multiplexer for Carry Logic with Local Output
XORCY	プリミティブ : XOR for Carry Logic with General Output
XORCY_D	プリミティブ : XOR for Carry Logic with Dual Output
XORCY_L	プリミティブ : XOR for Carry Logic with Local Output

LUT

デザイン エLEMENT	説明
CFGLUT5	プリミティブ : 5-input Dynamically Reconfigurable Look-Up Table (LUT)
LUT1	マクロ : 1-Bit Look-Up Table with General Output
LUT1_D	マクロ : 1-Bit Look-Up Table with Dual Output
LUT1_L	マクロ : 1-Bit Look-Up Table with Local Output
LUT2	マクロ : 2-Bit Look-Up Table with General Output
LUT2_D	マクロ : 2-Bit Look-Up Table with Dual Output
LUT2_L	マクロ : 2-Bit Look-Up Table with Local Output
LUT3	マクロ : 3-Bit Look-Up Table with General Output
LUT3_D	マクロ : 3-Bit Look-Up Table with Dual Output
LUT3_L	マクロ : 3-Bit Look-Up Table with Local Output
LUT4	マクロ : 4-Bit Look-Up-Table with General Output
LUT4_D	マクロ : 4-Bit Look-Up Table with Dual Output
LUT4_L	マクロ : 4-Bit Look-Up Table with Local Output
LUT5	プリミティブ : 5-Input Lookup Table with General Output
LUT5_D	プリミティブ : 5-Input Lookup Table with General and Local Outputs
LUT5_L	プリミティブ : 5-Input Lookup Table with Local Output

デザイン エLEMENT	説明
LUT6	プリミティブ：6-Input Lookup Table with General Output
LUT6_D	プリミティブ：6-Input Lookup Table with General and Local Outputs
LUT6_L	プリミティブ：6-Input Lookup Table with Local Output
LUT6_2	プリミティブ：Six-input, 2-output, Look-Up Table

メモリ

デザイン エLEMENT	説明
RAM16X1D	プリミティブ：16-Deep by 1-Wide Static Dual Port Synchronous RAM
RAM16X1D_1	プリミティブ：16-Deep by 1-Wide Static Dual Port Synchronous RAM with Negative-Edge Clock
RAM16X1S	プリミティブ：16-Deep by 1-Wide Static Synchronous RAM
RAM16X1S_1	プリミティブ：16-Deep by 1-Wide Static Synchronous RAM with Negative-Edge Clock
RAM16X2S	プリミティブ：16-Deep by 2-Wide Static Synchronous RAM
RAM16X4S	プリミティブ：16-Deep by 4-Wide Static Synchronous RAM
RAM16X8S	プリミティブ：16-Deep by 8-Wide Static Synchronous RAM
RAM32M	プリミティブ：32-Deep by 8-bit Wide Multi Port Random Access Memory (Select RAM)
RAM32X1D	プリミティブ：32-Deep by 1-Wide Static Dual Port Synchronous RAM
RAM32X1S	プリミティブ：32-Deep by 1-Wide Static Synchronous RAM
RAM32X1S_1	プリミティブ：32-Deep by 1-Wide Static Synchronous RAM with Negative-Edge Clock
RAM32X2S	プリミティブ：32-Deep by 2-Wide Static Synchronous RAM
RAM32X4S	プリミティブ：32-Deep by 4-Wide Static Synchronous RAM
RAM32X8S	プリミティブ：32-Deep by 8-Wide Static Synchronous RAM
RAM64M	プリミティブ：64-Deep by 4-bit Wide Multi Port Random Access Memory (Select RAM)
RAM64X1D	プリミティブ：64-Deep by 1-Wide Dual Port Static Synchronous RAM
RAM64X1S	プリミティブ：64-Deep by 1-Wide Static Synchronous RAM
RAM64X1S_1	プリミティブ：64-Deep by 1-Wide Static Synchronous RAM with Negative-Edge Clock
RAM64X2S	プリミティブ：64-Deep by 2-Wide Static Synchronous RAM
RAM128X1D	プリミティブ：128-Deep by 1-Wide Dual Port Random Access Memory (Select RAM)
RAM256X1S	プリミティブ：256-Deep by 1-Wide Random Access Memory (Select RAM)

デザイン エLEMENT	説明
RAMB8BWER	プリミティブ : 8K-bit Data and 1K-bit Parity Configurable Synchronous Dual Port Block RAM with Optional Output Registers
RAMB16BWER	プリミティブ : 16K-bit Data and 2K-bit Parity Configurable Synchronous Dual Port Block RAM with Optional Output Registers
ROM32X1	プリミティブ : 32-Deep by 1-Wide ROM
ROM64X1	プリミティブ : 64-Deep by 1-Wide ROM
ROM128X1	プリミティブ : 128-Deep by 1-Wide ROM
ROM256X1	プリミティブ : 256-Deep by 1-Wide ROM

マルチプレクサー

デザイン エLEMENT	説明
M16_1E	マクロ : 16-to-1 Multiplexer with Enable
M2_1	マクロ : 2-to-1 Multiplexer
M2_1B1	マクロ : 2-to-1 Multiplexer with D0 Inverted
M2_1B2	マクロ : 2-to-1 Multiplexer with D0 and D1 Inverted
M2_1E	マクロ : 2-to-1 Multiplexer with Enable
M4_1E	マクロ : 4-to-1 Multiplexer with Enable
M8_1E	マクロ : 8-to-1 Multiplexer with Enable
MUXF5	プリミティブ : 2-to-1 Look-Up Table Multiplexer with General Output
MUXF5_D	プリミティブ : 2-to-1 Look-Up Table Multiplexer with Dual Output
MUXF5_L	プリミティブ : 2-to-1 Look-Up Table Multiplexer with Local Output
MUXF6	プリミティブ : 2-to-1 Look-Up Table Multiplexer with General Output
MUXF6_D	プリミティブ : 2-to-1 Look-Up Table Multiplexer with Dual Output
MUXF6_L	プリミティブ : 2-to-1 Look-Up Table Multiplexer with Local Output
MUXF7	プリミティブ : 2-to-1 Look-Up Table Multiplexer with General Output
MUXF7_D	プリミティブ : 2-to-1 Look-Up Table Multiplexer with Dual Output
MUXF7_L	プリミティブ : 2-to-1 look-up table Multiplexer with Local Output
MUXF8	プリミティブ : 2-to-1 Look-Up Table Multiplexer with General Output
MUXF8_D	プリミティブ : 2-to-1 Look-Up Table Multiplexer with Dual Output

デザイン エLEMENT	説明
MUXF8_L	プリミティブ : 2-to-1 Look-Up Table Multiplexer with Local Output

シフト レジスタ

デザイン エLEMENT	説明
SR16CE	マクロ : 16-Bit Serial-In Parallel-Out Shift Register with Clock Enable and Asynchronous Clear
SR16CLE	マクロ : 16-Bit Loadable Serial/Parallel-In Parallel-Out Shift Register with Clock Enable and Asynchronous Clear
SR16CLED	マクロ : 16-Bit Shift Register with Clock Enable and Asynchronous Clear
SR16RE	マクロ : 16-Bit Serial-In Parallel-Out Shift Register with Clock Enable and Synchronous Reset
SR16RLE	マクロ : 16-Bit Loadable Serial/Parallel-In Parallel-Out Shift Register with Clock Enable and Synchronous Reset
SR16RLED	マクロ : 16-Bit Shift Register with Clock Enable and Synchronous Reset
SR4CE	マクロ : 4-Bit Serial-In Parallel-Out Shift Register with Clock Enable and Asynchronous Clear
SR4CLE	マクロ : 4-Bit Loadable Serial/Parallel-In Parallel-Out Shift Register with Clock Enable and Asynchronous Clear
SR4CLED	マクロ : 4-Bit Shift Register with Clock Enable and Asynchronous Clear
SR4RE	マクロ : 4-Bit Serial-In Parallel-Out Shift Register with Clock Enable and Synchronous Reset
SR4RLE	マクロ : 4-Bit Loadable Serial/Parallel-In Parallel-Out Shift Register with Clock Enable and Synchronous Reset
SR4RLED	マクロ : 4-Bit Shift Register with Clock Enable and Synchronous Reset
SR8CE	マクロ : 8-Bit Serial-In Parallel-Out Shift Register with Clock Enable and Asynchronous Clear
SR8CLE	マクロ : 8-Bit Loadable Serial/Parallel-In Parallel-Out Shift Register with Clock Enable and Asynchronous Clear
SR8CLED	マクロ : 8-Bit Shift Register with Clock Enable and Asynchronous Clear
SR8RE	マクロ : 8-Bit Serial-In Parallel-Out Shift Register with Clock Enable and Synchronous Reset
SR8RLE	マクロ : 8-Bit Loadable Serial/Parallel-In Parallel-Out Shift Register with Clock Enable and Synchronous Reset
SR8RLED	マクロ : 8-Bit Shift Register with Clock Enable and Synchronous Reset
SRL16	プリミティブ : 16-Bit Shift Register Look-Up Table (LUT)
SRL16_1	プリミティブ : 16-Bit Shift Register Look-Up Table (LUT) with Negative-Edge Clock
SRL16E	プリミティブ : 16-Bit Shift Register Look-Up Table (LUT) with Clock Enable

デザイン エlement	説明
SRL16E_1	プリミティブ : 16-Bit Shift Register Look-Up Table (LUT) with Negative-Edge Clock and Clock Enable
SRLC16	プリミティブ : 16-Bit Shift Register Look-Up Table (LUT) with Carry
SRLC16_1	プリミティブ : 16-Bit Shift Register Look-Up Table (LUT) with Carry and Negative-Edge Clock
SRLC16E	プリミティブ : 16-Bit Shift Register Look-Up Table (LUT) with Carry and Clock Enable
SRLC16E_1	プリミティブ : 16-Bit Shift Register Look-Up Table (LUT) with Carry, Negative-Edge Clock, and Clock Enable
SRLC32E	プリミティブ : 32 Clock Cycle, Variable Length Shift Register Look-Up Table (LUT) with Clock Enable

シフター

デザイン エlement	説明
BRLSHFT4	マクロ : 4-Bit Barrel Shifter
BRLSHFT8	マクロ : 8-Bit Barrel Shifter

デザイン エLEMENT

このセクションでは、Spartan®-6 デバイスで利用できるデザイン エLEMENTについて説明します。デザイン エLEMENTは、アルファベット順に並べられています。

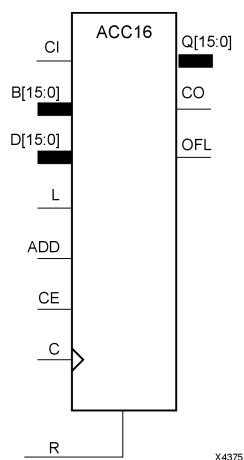
各ライブラリ エLEMENTについて、次の情報を示します。

- ・ 名称
- ・ 説明
- ・ 回路図シンボル (該当するELEMENTでのみ)
- ・ 論理表 (該当するELEMENTでのみ)
- ・ ポートの説明 (該当するELEMENTでのみ)
- ・ デザインの入力方法
- ・ 使用可能な属性 (該当するELEMENTでのみ)
- ・ その他のリソース

VHDL および Verilog のインスタンス化コードの例は、ISE ツール ([Edit] → [Language Templates]) またはこのアーキテクチャの HDL 用のライブラリ ガイドから入手できます。

ACC16

マクロ : 16-Bit Loadable Cascadable Accumulator with Carry-In, Carry-Out, and Synchronous Reset



概要

このデザイン エレメントは、16 ビット データレジスタの値に対して 16 ビットの符号なし 2 進数または 2 の補数ワードを加算または減算して、その結果をレジスタに保存します。レジスタには、16 ビット ワードをロードできます。

ロード入力 (L) が High になると、CE が無視され、クロック (C) が Low から High に切り替わる時に D 入力の値がレジスタにロードされます。ACC16 では、入力 D15 ~ D0 の値が 16 ビット レジスタにロードされます。

このデザイン エレメントは、16 ビットの符号なし 2 進数または 16 ビットの 2 の補数を処理します。符号なし 2 進数が入力されると、符号なし 2 進数が出力されます。2 の補数が入力されると、2 の補数が出力されます。この 2 つの唯一の機能的な違いはオーバーフローの認識方法にあり、符号なし 2 進数ではキャリー出力 (CO) が使用され、2 の補数では OFL が使用されます。

- ・ 符号なし 2 進演算の場合、0 ~ 15 までの数を表現できます。加算モードでは、加算結果が加減算器の範囲を超えると CO がアクティブ (High) になります。減算モードでは、CO がアクティブ Low のボロー出力となり、減算器の範囲を超えると Low になります。CO は、データ出力とは同期していません。CO には、入力 B15 ~ B0 入力の加算値が常に出力されます。このため、各 ACC16 の CO を次の段の CI に接続してカスケード接続できます。常にアクティブ High の符号なし 2 進数のオーバーフローを生成するには、ADD と CO を次のようにゲート接続します。

符号なしオーバーフロー = CO XOR ADD

符号なし 2 進演算では、OFL は無視されます。

- ・ 2 の補数演算の場合、-8 ~ +7 までの数を表現できます。加算または減算の結果がこの範囲を超えると、OFL 出力が High になります。オーバーフロー (OFL) は、データ出力とは同期していません。OFL には、B 入力 (B15 ~ B0) とレジスタの値の合計が常に出力されます。このため、各 ACC4 の OFL を次の段の CI に接続してカスケード接続できます。

2 の補数演算では、CO は無視されます。

同期リセット (R) は、ほかのすべての入力よりも優先され、R が High になると、クロック (C) が Low から High に切り替わる時に出力が 0 になります。クロック イネーブル (CE) が Low の場合は、C の遷移は無視されます。

電力を供給すると、このデザイン エレメントは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

入力						出力
R	L	CE	ADD	D	C	Q
1	X	X	X	X	↑	0
0	1	X	X	Dn	↑	Dn
0	0	1	1	X	↑	$Q0 + Bn + CI$
0	0	1	0	X	↑	$Q0 - Bn - CI$
0	0	0	X	X	↑	変化なし
Q0 : Q の以前の値 Bn : データ入力 B の値 CI : 入力 CI の値						

デザインの入力方法

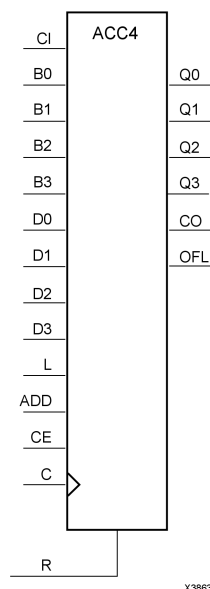
このエレメントは、回路図でのみ使用できます。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

ACC4

マクロ : 4-Bit Loadable Cascadable Accumulator with Carry-In, Carry-Out, and Synchronous Reset



概要

このデザイン エLEMENTは、4 ビット データレジスタの値に対して 4 ビットの符号なし 2 進数または 2 の補数ワードを加算または減算して、その結果をレジスタに保存します。レジスタには、4 ビットワードをロードできます。

ロード入力 (L) が High になると、CE が無視され、クロック (C) が Low から High に切り替わる時に D 入力の値がレジスタにロードされます。ACC4 では、入力 D3 ~ D0 の値が 4 ビットレジスタにロードされます。

このデザイン エLEMENTは、4 ビットの符号なし 2 進数または 4 ビットの 2 の補数を処理します。符号なし 2 進数が入力されると、符号なし 2 進数が出力されます。2 の補数が入力されると、2 の補数が出力されます。この 2 つの唯一の機能的な違いはオーバーフローの認識方法にあり、符号なし 2 進数ではキャリー出力 (CO) が使用され、2 の補数では OFL が使用されます。

- ・ 符号なし 2 進演算の場合、0 ~ 15 までの数を表現できます。加算モードでは、加算結果が加減算器の範囲を超えると CO がアクティブ (High) になります。減算モードでは、CO がアクティブ Low のボロー出力となり、減算器の範囲を超えると Low になります。CO は、データ出力とは同期していません。CO には、入力 B3 ~ B0 入力の加算値が常に出力されます。このため、各 ACC4 の CO を次の段の CI に接続してカスケード接続できます。常にアクティブ High の符号なし 2 進数のオーバーフローを生成するには、ADD と CO を次のようにゲート接続します。

符号なしオーバーフロー = CO XOR ADD

符号なし 2 進演算では、OFL は無視されます。

- ・ 2 の補数演算の場合、-8 ~ +7 までの数を表現できます。加算または減算の結果がこの範囲を超えると、OFL 出力が High になります。オーバーフロー (OFL) は、データ出力とは同期していません。OFL には、B 入力 (B3 ~ B0) とレジスタの値の合計が常に出力されます。このため、各 ACC4 の OFL を次の段の CI に接続してカスケード接続できます。

2 の補数演算では、CO は無視されます。

同期リセット (R) は、ほかのすべての入力よりも優先され、R が High になると、クロック (C) が Low から High に切り替わる時に出力が 0 になります。クロック イネーブル (CE) が Low の場合は、C の遷移は無視されます。

電力を供給すると、このデザイン エLEMENTは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

入力						出力
R	L	CE	ADD	D	C	Q
1	X	X	X	X	↑	0
0	1	X	X	Dn	↑	Dn
0	0	1	1	X	↑	$Q0 + Bn + CI$
0	0	1	0	X	↑	$Q0 - Bn - CI$
0	0	0	X	X	↑	変化なし
Q0 : Q の以前の値 Bn : データ入力 B の値 CI : 入力 CI の値						

デザインの入力方法

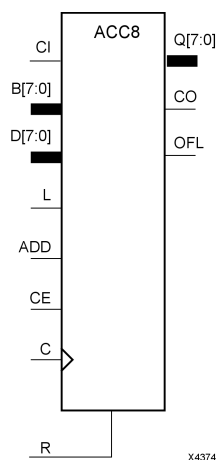
このELEMENTは、回路図でのみ使用できます。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

ACC8

マクロ : 8-Bit Loadable Cascadable Accumulator with Carry-In, Carry-Out, and Synchronous Reset



概要

このデザイン エLEMENTは、8 ビット データレジスタの値に対して 8 ビットの符号なし 2 進数または 2 の補数ワードを加算または減算して、その結果をレジスタに保存します。レジスタには、8 ビットワードをロードできます。

ロード入力 (L) が High になると、CE が無視され、クロック (C) が Low から High に切り替わる時に D 入力の値がレジスタにロードされます。ACC8 では、入力 D7 ~ D0 の値が 8 ビットレジスタにロードされます。

このデザイン エLEMENTは、8 ビットの符号なし 2 進数または 8 ビットの 2 の補数を処理します。符号なし 2 進数が入力されると、符号なし 2 進数が出力されます。2 の補数が入力されると、2 の補数が出力されます。この 2 つの唯一の機能的な違いはオーバーフローの認識方法にあり、符号なし 2 進数ではキャリー出力 (CO) が使用され、2 の補数では OFL が使用されます。

- ・ 符号なし 2 進演算の場合、0 ~ 255 までの数を表現できます。加算モードでは、加算結果が加減算器の範囲を超えると CO がアクティブ (High) になります。減算モードでは、CO がアクティブ Low のボロー出力となり、減算器の範囲を超えると Low になります。CO は、データ出力とは同期していません。CO には、入力 B3 ~ B0 入力の値の加算値が常に出力されます。このため、各 ACC8 の CO を次の段の CI に接続してカスケード接続できます。常にアクティブ High の符号なし 2 進数のオーバーフローを生成するには、ADD と CO を次のようにゲート接続します。

符号なしオーバーフロー = CO XOR ADD

符号なし 2 進演算では、OFL は無視されます。

- ・ 2 の補数演算の場合、-128 ~ +127 までの数を表現できます。加算または減算の結果がこの範囲を超えると、OFL 出力が High になります。オーバーフロー (OFL) は、データ出力とは同期していません。OFL には、B 入力 (B3 ~ B0) とレジスタの値の合計が常に出力されます。このため、各 ACC8 の OFL を次の段の CI に接続してカスケード接続できます。

2 の補数演算では、CO は無視されます。

同期リセット (R) は、ほかのすべての入力よりも優先され、R が High になると、クロック (C) が Low から High に切り替わる時に出力が 0 になります。クロック イネーブル (CE) が Low の場合は、C の遷移は無視されます。

電力を供給すると、このデザイン エLEMENTは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

入力						出力
R	L	CE	ADD	D	C	Q
1	X	X	X	X	↑	0
0	1	X	X	Dn	↑	Dn
0	0	1	1	X	↑	$Q0 + Bn + CI$
0	0	1	0	X	↑	$Q0 - Bn - CI$
0	0	0	X	X	↑	変化なし
Q0 : Q の以前の値 Bn : データ入力 B の値 CI : 入力 CI の値						

デザインの入力方法

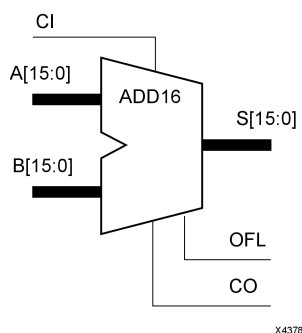
このエレメントは、回路図でのみ使用できます。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

ADD16

マクロ : 16-Bit Cascadable Full Adder with Carry-In, Carry-Out, and Overflow



概要

このエレメントは、2 つのワードとキャリー入力 (CI) を加算して、その和とキャリー出力 (CO) またはオーバーフロー (OFL) を出力します。A15 ~ A0、B15 ~ B0、および CI が加算され、その和 S15 ~ S0 および CO (または OFL) が出力されます。

論理表

入力		出力
A	B	S
A _n	B _n	A _n + B _n + CI
CI : 入力 CI の値		

符号なし 2 進数と 2 の補数 : このデザイン エレメントは、16 ビットの符号なし 2 進数または 16 ビットの 2 の補数処理できます。符号なし 2 進数が入力されると、符号なし 2 進数が出力されます。2 の補数が入力されると、2 の補数が出力されます。この 2 つの唯一の機能的な違いは、オーバーフローの認識方法にあり、符号なし 2 進数では CO が使用され、2 の補数では OFL が使用されます。そのため、符号なし 2 進数が入力された場合は CO 出力を確認し、2 の補数が入力された場合は OFL 出力を確認します。

符号なし 2 進演算 : 符号なし 2 進演算の場合、0 ~ 65535 までの数を表現できます。符号なし 2 進演算では、OFL は無視されます。

2 の補数演算 : 2 の補数演算の場合、-32768 から +32767 までの数を表現できます。合計値が加算器の範囲を超えると、OFL がアクティブ (High) になります。2 の補数演算では、CO は無視されます。

デザインの入力方法

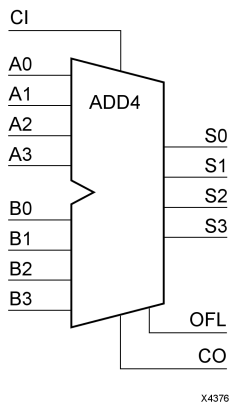
このエレメントは、回路図でのみ使用できます。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

ADD4

マクロ：4-Bit Cascadable Full Adder with Carry-In, Carry-Out, and Overflow



概要

このエレメントは、2 つのワードとキャリー入力 (CI) を加算して、その和とキャリー出力 (CO) またはオーバーフロー (OFL) を出力します。A3 ~ A0、B3 ~ B0、および CI が加算され、その和 S3 ~ S0 および CO (または OFL) が出力されます。

論理表

入力		出力
A	B	S
A _n	B _n	A _n + B _n + CI
CI : 入力 CI の値		

符号なし 2 進数と 2 の補数：このデザイン エLEMENT は、4 ビットの符号なし 2 進数または 4 ビットの 2 の補数を処理できます。符号なし 2 進数が入力されると、符号なし 2 進数が出力されます。2 の補数が入力されると、2 の補数が出力されます。この 2 つの唯一の機能的な違いは、オーバーフローの認識方法にあり、符号なし 2 進数では CO が使用され、2 の補数では OFL が使用されます。そのため、符号なし 2 進数が入力された場合は CO 出力を確認し、2 の補数が入力された場合は OFL 出力を確認します。

符号なし 2 進演算：符号なし 2 進演算の場合、0 ~ 15 までの数を表現できます。符号なし 2 進演算では、OFL は無視されます。

2 の補数演算：2 の補数演算の場合、-8 から +7 までの数を表現できます。合計値が加算器の範囲を超えると、OFL がアクティブ (High) になります。2 の補数演算では、CO は無視されます。

デザインの入力方法

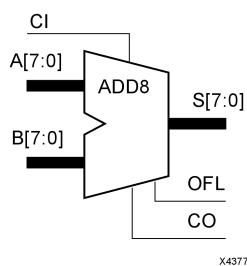
このエレメントは、回路図でのみ使用できます。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

ADD8

マクロ : 8-Bit Cascadable Full Adder with Carry-In, Carry-Out, and Overflow



概要

このエレメントは、2 つのワードとキャリー入力 (CI) を加算して、その和とキャリー出力 (CO) またはオーバーフロー (OFL) を出力します。A7 ~ A0、B7 ~ B0、および CI が加算され、その和 S7 ~ S0 および CO (または OFL) が出力されます。

論理表

入力		出力
A	B	S
A _n	B _n	A _n + B _n + CI
CI : 入力 CI の値		

符号なし 2 進数と 2 の補数 : このデザイン エLEMENT は、8 ビットの符号なし 2 進数または 8 ビットの 2 の補数を処理できます。符号なし 2 進数が入力されると、符号なし 2 進数が出力されます。2 の補数が入力されると、2 の補数が出力されます。この 2 つの唯一の機能的な違いは、オーバーフローの認識方法にあり、符号なし 2 進数では CO が使用され、2 の補数では OFL が使用されます。そのため、符号なし 2 進数が入力された場合は CO 出力を確認し、2 の補数が入力された場合は OFL 出力を確認します。

符号なし 2 進演算 : 符号なし 2 進演算の場合、0 ~ 255 までの数を表現できます。符号なし 2 進演算では、OFL は無視されます。

2 の補数演算 : 2 の補数演算の場合、-128 から +127 までの数を表現できます。合計値が加算器の範囲を超えると、OFL がアクティブ (High) になります。2 の補数演算では、CO は無視されます。

デザインの入力方法

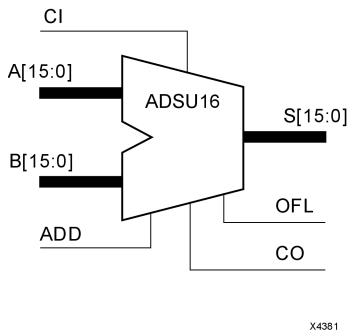
このエレメントは、回路図でのみ使用できます。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

ADSU16

マクロ：16-Bit Cascadable Adder/Subtractor with Carry-In, Carry-Out, and Overflow



概要

ADD が High の場合、2 つの 16 ビットワード (A15 ～ A0 と B15 ～ B0) とキャリー入力 (CI) を加算し、16 ビットの和 (S15 ～ S0) とキャリー出力 (CO) (またはオーバーフロー (OFL)) を出力します。

ADD 入力が Low の場合、A15 ～ A0 から B15 ～ B0 を減算し、その差とキャリー出力 (CO) またはオーバーフロー (OFL) を出力します。

加算モードでは、CO と CI はアクティブ High になります。減算モードでは、CO と CI はアクティブ Low になります。OFL は、モードにかかわらず常にアクティブ High です。

論理表

入力			出力
ADD	A	B	S
1	A _n	B _n	A _n + B _n + CI*
0	A _n	B _n	A _n - B _n - CI*
CI* : ADD = 0、CI、CO アクティブ Low			
CI* : ADD = 1、CI、CO アクティブ High			

符号なし 2 進数と 2 の補数：このデザイン エLEMENT は、16 ビットの符号なし 2 進数または 16 ビットの 2 の補数を処理できます。符号なし 2 進数が入力されると、符号なし 2 進数が出力されます。2 の補数が入力されると、2 の補数が出力されます。この 2 つの唯一の機能的な違いは、オーバーフローの認識方法にあり、符号なし 2 進数では CO が使用され、2 の補数では OFL が使用されます。

加減算器では、符号なし 2 進演算でも 2 の補数演算でもオーバーフローが発生します。演算結果がオーバーフローになる場合、オーバーフローが生成されます。同様に、演算結果が桁上がりする場合、キャリー出力が生成されます。

符号なし 2 進演算：符号なし 2 進演算の場合、0 ～ 65535 までの数を表現できます。加算モードでは、加算結果が加減算器の範囲を超えると CO がアクティブ (High) になります。減算モードでは、CO がアクティブ Low のボロー出力となり、減算器の範囲を超えると Low になります。

常にアクティブ High の符号なし 2 進数のオーバーフローを生成するには、ADD と CO を次のようにゲート接続します。

符号なしオーバーフロー = CO XOR ADD

符号なし 2 進演算では、OFL は無視されます。

2 の補数演算：2 の補数演算の場合、-32768 から +32767 までの数を表現できます。

加算または減算の結果がこの範囲を超えると、OFL 出力が High になります。2 の補数演算では、CO は無視されます。

デザインの入力方法

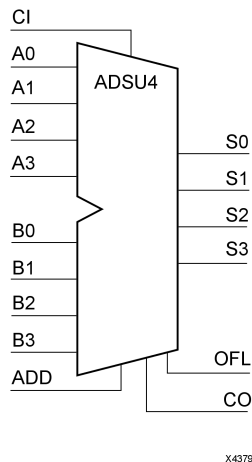
このエレメントは、回路図でのみ使用できます。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

ADSU4

マクロ：4-Bit Cascadable Adder/Subtractor with Carry-In, Carry-Out, and Overflow



X4379

概要

ADD が High の場合、2 つの 4 ビットワード (A3 ~ A0 と B3 ~ B0) とキャリー入力 (CI) を加算し、4 ビットの和 (S3 ~ S0) とキャリー出力 (CO) (またはオーバーフロー (OFL)) を出力します。

ADD 入力が Low の場合、A3 ~ A0 から B3 ~ B0 を減算し、4 ビットの差 (S3 ~ S0) とキャリー出力 (CO) またはオーバーフロー (OFL) を出力します。

加算モードでは、CO と CI はアクティブ High になります。減算モードでは、CO と CI はアクティブ Low になります。OFL は、モードにかかわらず常にアクティブ High です。

論理表

入力			出力
ADD	A	B	S
1	A _n	B _n	A _n + B _n + CI*
0	A _n	B _n	A _n - B _n - CI*
CI* : ADD = 0、CI、CO アクティブ Low			
CI* : ADD = 1、CI、CO アクティブ High			

符号なし 2 進数と 2 の補数：このデザイン エLEMENT は、4 ビットの符号なし 2 進数または 4 ビットの 2 の補数を処理できます。符号なし 2 進数が入力されると、符号なし 2 進数が出力されます。2 の補数が入力されると、2 の補数が出力されます。この 2 つの唯一の機能的な違いは、オーバーフローの認識方法にあり、符号なし 2 進数では CO が使用され、2 の補数では OFL が使用されます。

加減算器では、符号なし 2 進演算でも 2 の補数演算でもオーバーフローが発生します。演算結果がオーバーフローになる場合、オーバーフローが生成されます。同様に、演算結果が桁上がりする場合、キャリー出力が生成されます。

符号なし 2 進演算：符号なし 2 進演算の場合、0 ~ 15 までの数を表現できます。加算モードでは、加算結果が加減算器の範囲を超えると CO がアクティブ (High) になります。減算モードでは、CO がアクティブ Low のボロー出力となり、減算器の範囲を超えると Low になります。

常にアクティブ High の符号なし 2 進数のオーバーフローを生成するには、ADD と CO を次のようにゲート接続します。

符号なしオーバーフロー = CO XOR ADD

符号なし 2 進演算では、OFL は無視されます。

2 の補数演算：2 の補数演算の場合、-8 から +7 までの数を表現できます。

加算または減算の結果がこの範囲を超えると、OFL 出力が High になります。2 の補数演算では、CO は無視されます。

デザインの入力方法

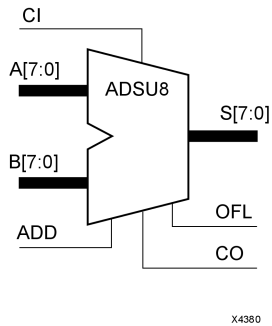
このELEMENTは、回路図でのみ使用できます。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

ADSU8

マクロ : 8-Bit Cascadable Adder/Subtractor with Carry-In, Carry-Out, and Overflow



概要

ADD が High の場合、2 つの 8 ビットワード (A7 ~ A0 と B7 ~ B0) とキャリー入力 (CI) を加算し、8 ビットの和 (S7 ~ S0) とキャリー出力 (CO) (またはオーバーフロー (OFL)) を出力します。

ADD 入力 Low の場合、A7 ~ A0 から B7 ~ B0 を減算し、8 ビットの差 (S7 ~ S0) とキャリー出力 (CO) またはオーバーフロー (OFL) を出力します。

加算モードでは、CO と CI はアクティブ High になります。減算モードでは、CO と CI はアクティブ Low になります。OFL は、モードにかかわらず常にアクティブ High です。

論理表

入力			出力
ADD	A	B	S
1	A _n	B _n	A _n + B _n + CI*
0	A _n	B _n	A _n - B _n - CI*
CI* : ADD = 0、CI、CO アクティブ Low			
CI* : ADD = 1、CI、CO アクティブ High			

符号なし 2 進数と 2 の補数 : このデザイン エLEMENT は、8 ビットの符号なし 2 進数または 8 ビットの 2 の補数を処理できます。符号なし 2 進数が入力されると、符号なし 2 進数が出力されます。2 の補数が入力されると、2 の補数が出力されます。この 2 つの唯一の機能的な違いは、オーバーフローの認識方法にあり、符号なし 2 進数では CO が使用され、2 の補数では OFL が使用されます。

加減算器では、符号なし 2 進演算でも 2 の補数演算でもオーバーフローが発生します。演算結果がオーバーフローになる場合、オーバーフローが生成されます。同様に、演算結果が桁上がりする場合、キャリー出力が生成されます。

符号なし 2 進演算 : 符号なし 2 進演算の場合、0 ~ 255 までの数を表現できます。加算モードでは、加算結果が加減算器の範囲を超えると CO がアクティブ (High) になります。減算モードでは、CO がアクティブ Low のボロー出力となり、減算器の範囲を超えると Low になります。

常にアクティブ High の符号なし 2 進数のオーバーフローを生成するには、ADD と CO を次のようにゲート接続します。

符号なしオーバーフロー = CO XOR ADD

符号なし 2 進演算では、OFL は無視されます。

2 の補数演算 : 2 の補数演算の場合、-128 から +127 までの数を表現できます。

加算または減算の結果がこの範囲を超えると、OFL 出力が High になります。2 の補数演算では、CO は無視されます。

デザインの入力方法

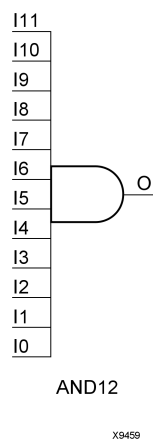
このELEMENTは、回路図でのみ使用できます。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

AND12

マクロ：12- Input AND Gate with Non-Inverted Inputs



概要

5 入力までの AND ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の AND ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転させるには、外部インバーターを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

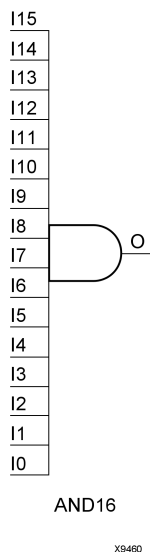
このエレメントは、回路図でのみ使用できます。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

AND16

16- Input AND Gate with Non-Inverted Inputs



概要

5 入力までの AND ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の AND ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転させるには、外部インバーターを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

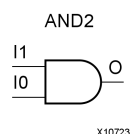
このエレメントは、回路図でのみ使用できます。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

AND2

プリミティブ：2-Input AND Gate with Non-Inverted Inputs



概要

5 入力までの AND ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の AND ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転させるには、外部インバーターを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

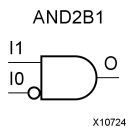
このエレメントは、回路図でのみ使用できます。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

AND2B1

プリミティブ：2-Input AND Gate with 1 Inverted and 1 Non-Inverted Inputs



概要

5 入力までの AND ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の AND ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転させるには、外部インバーターを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

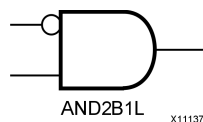
このエレメントは、回路図でのみ使用できます。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

AND2B1L

プリミティブ：Two input AND gate implemented in place of a Slice Latch



概要

このデザイン エLEMENTは、1 入力反転された 2 入力 AND ゲートとして機能するコンフィギュレーション可能なスライスラッチです。このELEMENTを使用すると、ロジックのレジスタ/ラッチ リソース数をトレードオフにすることで、ロジックレベルを削減して、デバイスのロジック集積度を上げることができます。このELEMENTはレジスタのバックおよび集積度に影響を与えるので注意してください。スライスで AND2B1L または OR2L コンポーネントを指定すると、ほかのレジスタおよびラッチが使用できなくなります。

論理表

入力		出力
DI	SRI	O
0	0	0
0	1	0
1	0	1
1	1	0

ポートの説明

ポート名	方向	幅	機能
O	出力	1	AND ゲートの出力
DI	入力	1	通常同じスライスのソース LUT に接続されるアクティブ High の入力
SRI	入力	1	通常スライス外から供給されるアクティブ Low の入力 注記：複数の AND2B1L または OR2B1L を 1 つのスライスにパックするには、この入力に共通の信号を接続する必要があります。

デザインの入力方法

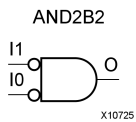
このELEMENTは、回路図で使用できます。

詳細情報

- 『Spartan-6 FPGA コンフィギュラブル ロジック ブロック ユーザー ガイド』(UG384)
- 『Spartan-6 FPGA データシート：DC 特性およびスイッチ特性』(DS162)

AND2B2

プリミティブ：2-Input AND Gate with Inverted Inputs



概要

5 入力までの AND ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の AND ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転させるには、外部インバーターを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

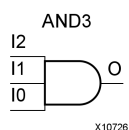
このエレメントは、回路図でのみ使用できます。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

AND3

プリミティブ：3-Input AND Gate with Non-Inverted Inputs



概要

5 入力までの AND ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の AND ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転させるには、外部インバーターを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

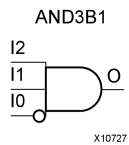
このエレメントは、回路図でのみ使用できます。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

AND3B1

プリミティブ：3-Input AND Gate with 1 Inverted and 2 Non-Inverted Inputs



概要

5 入力までの AND ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の AND ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転させるには、外部インバーターを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

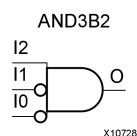
このエレメントは、回路図でのみ使用できます。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

AND3B2

プリミティブ：3-Input AND Gate with 2 Inverted and 1 Non-Inverted Inputs



概要

5 入力までの AND ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の AND ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転させるには、外部インバーターを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

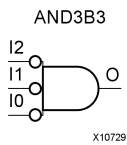
このエレメントは、回路図でのみ使用できます。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

AND3B3

プリミティブ：3-Input AND Gate with Inverted Inputs



概要

5 入力までの AND ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の AND ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転させるには、外部インバーターを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

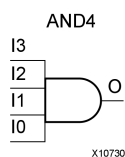
このエレメントは、回路図でのみ使用できます。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

AND4

プリミティブ：4-Input AND Gate with Non-Inverted Inputs



概要

5 入力までの AND ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の AND ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転させるには、外部インバーターを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

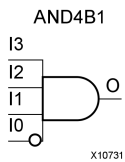
このエレメントは、回路図でのみ使用できます。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

AND4B1

プリミティブ：4-Input AND Gate with 1 Inverted and 3 Non-Inverted Inputs



概要

5 入力までの AND ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の AND ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転させるには、外部インバーターを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

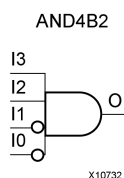
このエレメントは、回路図でのみ使用できます。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

AND4B2

プリミティブ：4-Input AND Gate with 2 Inverted and 2 Non-Inverted Inputs



概要

5 入力までの AND ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の AND ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転させるには、外部インバーターを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

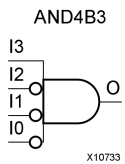
このエレメントは、回路図でのみ使用できます。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

AND4B3

プリミティブ：4-Input AND Gate with 3 Inverted and 1 Non-Inverted Inputs



概要

5 入力までの AND ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の AND ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転させるには、外部インバーターを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

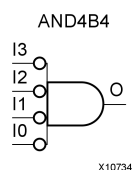
このエレメントは、回路図でのみ使用できます。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

AND4B4

プリミティブ：4-Input AND Gate with Inverted Inputs



概要

5 入力までの AND ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の AND ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転させるには、外部インバーターを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

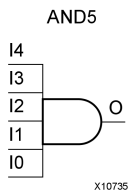
このエレメントは、回路図でのみ使用できます。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

AND5

プリミティブ：5-Input AND Gate with Non-Inverted Inputs



概要

5 入力までの AND ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の AND ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転させるには、外部インバーターを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

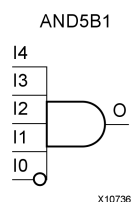
このエレメントは、回路図でのみ使用できます。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

AND5B1

プリミティブ：5-Input AND Gate with 1 Inverted and 4 Non-Inverted Inputs



概要

5 入力までの AND ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の AND ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転させるには、外部インバーターを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

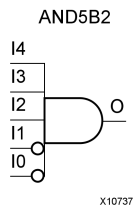
このエレメントは、回路図でのみ使用できます。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

AND5B2

プリミティブ：5-Input AND Gate with 2 Inverted and 3 Non-Inverted Inputs



概要

5 入力までの AND ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の AND ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転させるには、外部インバーターを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

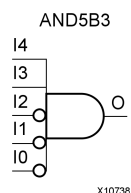
このエレメントは、回路図でのみ使用できます。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

AND5B3

プリミティブ：5-Input AND Gate with 3 Inverted and 2 Non-Inverted Inputs



概要

5 入力までの AND ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の AND ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転させるには、外部インバーターを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

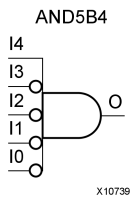
このエレメントは、回路図でのみ使用できます。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

AND5B4

プリミティブ：5-Input AND Gate with 4 Inverted and 1 Non-Inverted Inputs



概要

5 入力までの AND ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の AND ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転させるには、外部インバーターを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

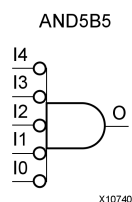
このエレメントは、回路図でのみ使用できます。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

AND5B5

プリミティブ：5-Input AND Gate with Inverted Inputs



概要

5 入力までの AND ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の AND ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転させるには、外部インバーターを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

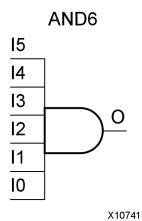
このエレメントは、回路図でのみ使用できます。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

AND6

マクロ：6-Input AND Gate with Non-Inverted Inputs



概要

5 入力までの AND ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の AND ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転させるには、外部インバーターを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

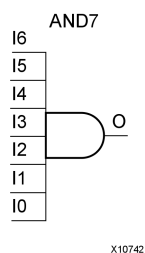
このエレメントは、回路図でのみ使用できます。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

AND7

マクロ：7-Input AND Gate with Non-Inverted Inputs



概要

5 入力までの AND ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の AND ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転させるには、外部インバーターを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

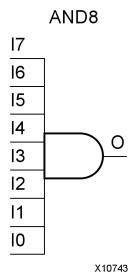
このエレメントは、回路図でのみ使用できます。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

AND8

マクロ：8-Input AND Gate with Non-Inverted Inputs



概要

5 入力までの AND ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の AND ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転させるには、外部インバーターを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

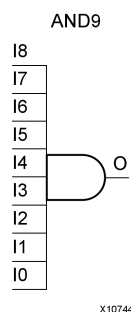
このエレメントは、回路図でのみ使用できます。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

AND9

マクロ：9-Input AND Gate with Non-Inverted Inputs



概要

5 入力までの AND ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の AND ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転させるには、外部インバーターを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

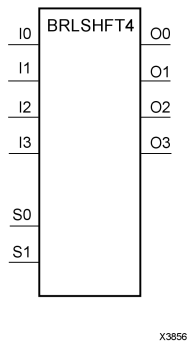
このエレメントは、回路図でのみ使用できます。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

BRLSHFT4

マクロ : 4-Bit Barrel Shifter



概要

このデザイン エLEMENTは 4 ビットのバレル シフターで、4 つの入力 (I3 ~ I0) を 4 回までローテーションできます。制御入力 (S1 と S0) は、データをローテーションする回数 (1 ~ 4) を指定します。4 つの出力 (O3 ~ O0) には、ローテーションされたデータ入力が出力されます。

論理表

入力						出力			
S1	S0	I0	I1	I2	I3	O0	O1	O2	O3
0	0	a	b	c	d	a	b	c	d
0	1	a	b	c	d	b	c	d	a
1	0	a	b	c	d	c	d	a	b
1	1	a	b	c	d	d	a	b	c

デザインの入力方法

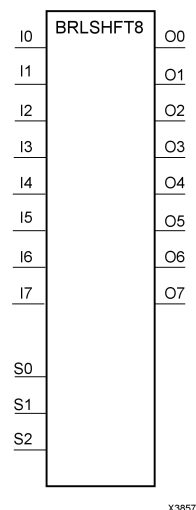
このELEMENTは、回路図でのみ使用できます。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

BRLSHFT8

マクロ：8-Bit Barrel Shifter



概要

このデザイン エLEMENTは、8 ビットのバレル シフターで、8 つの入力 (I7 ~ I0) を 8 回までローテーションできます。制御入力 (S2 ~ S0) は、データをローテーションする回数 (1 ~ 8) を指定します。8 つの出力 (O7 ~ O0) には、ローテーションされたデータ入力が出力されます。

論理表

入力											出力							
S2	S1	S0	I0	I1	I2	I3	I4	I5	I6	I7	O0	O1	O2	O3	O4	O5	O6	O7
0	0	0	a	b	c	d	e	f	g	h	a	b	c	d	e	f	g	h
0	0	1	a	b	c	d	e	f	g	h	b	c	d	e	f	g	h	a
0	1	0	a	b	c	d	e	f	g	h	c	d	e	f	g	h	a	b
0	1	1	a	b	c	d	e	f	g	h	d	e	f	g	h	a	b	c
1	0	0	a	b	c	d	e	f	g	h	e	f	g	h	a	b	c	d
1	0	1	a	b	c	d	e	f	g	h	f	g	h	a	b	c	d	e
1	1	0	a	b	c	d	e	f	g	h	g	h	a	b	c	d	e	f
1	1	1	a	b	c	d	e	f	g	h	h	a	b	c	d	e	f	g

デザインの入力方法

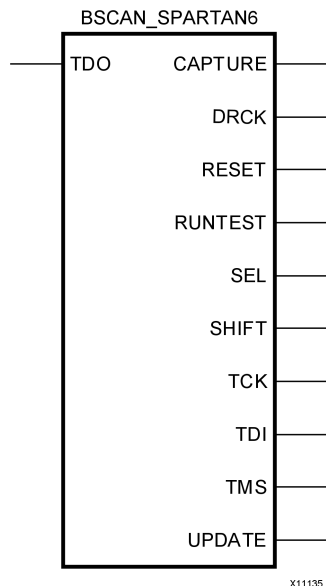
このELEMENTは、回路図でのみ使用できます。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

BSCAN_SPARTAN6

プリミティブ：Spartan®-6 JTAG Boundary Scan Logic Control Circuit



概要

このデザイン エLEMENTを使用すると、JTAG バウンダリ スキャン ロジック コントローラーを介して内部ロジックへアクセスにアクセスできるようになり、内部実行デザインと FPGA の専用 JTAG ピン間の通信が可能になります。

このデザイン エLEMENTの各インスタンスでは、JTAG_CHAIN 属性の設定に従い、JTAG USER 命令 1 つ (USER1 から USER4 まで) が処理されます。4 つの USER 命令すべてを処理するには、ELEMENTを 4 つインスタンス化して JTAG_CHAIN 属性を設定します。

注記： 各アーキテクチャのバウンダリ スキャンの詳細は、『Spartan-6 FPGA コンフィギュレーション ユーザー ガイド』を参照してください。

ポートの説明

ポート名	方向	幅	機能
CAPTURE	出力	1	TAP コントローラーの CAPTURE 出力
DRCK	出力	1	USER ファンクションのデータレジスタ出力
RESET	出力	1	TAP コントローラーのリセット出力
RUNTEST	出力	1	TAP コントローラーが Run Test Idle ステートのときにアサートされる出力信号
SEL	出力	1	USER アクティブ出力
SHIFT	出力	1	TAP コントローラーの SHIFT 出力
TCK	出力	1	スキャン クロック出力。TAP クロック ピンへのファブリック接続。
TDI	出力	1	TAP コントローラーの TDI 出力
TDO	入力	1	USER ファンクションのデータ入力
TMS	出力	1	テスト モード セレクト出力。TAP へのファブリック接続。
UPDATE	出力	1	TAP コントローラーの UPDATE 出力

デザインの入力方法

このELEMENTは、回路図で使用できます。

使用可能な属性

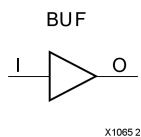
属性	データ型	値	デフォルト	説明
JTAG_CHAIN	整数	1、2、3、4	1	ELEMENTのインスタンスで処理可能な JTAG USER 命令数を設定します。

詳細情報

- ・ [『Spartan-6 FPGA コンフィギュレーション ユーザー ガイド』\(UG380\)](#)
- ・ [『Spartan-6 FPGA データシート：DC 特性およびスイッチ特性』\(DS162\)](#)

BUF

プリミティブ：General Purpose Buffer



概要

このデザイン エLEMENTは、汎用の非反転バッファです。

このELEMENTは不要なので、MAP によって削除されます。

デザインの入力方法

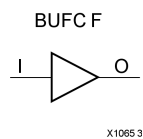
このELEMENTは、回路図でのみ使用できます。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

BUFCF

プリミティブ：Fast Connect Buffer



概要

このデザイン エLEMENTは、一部の専用ロジックと LUT の出力を別の LUT の入力に直接接続するために使用する、単一の高速結合バッファです。このバッファを使用すると、CLB パックも行われます。LUT は、4 つまで 1 つのグループとして接続できます。

デザインの入力方法

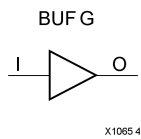
このELEMENTは、回路図で使用できます。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

BUFG

プリミティブ：Global Clock Buffer



概要

このデザイン エLEMENTはファンアウトが大きいバッファで、スキューを抑えて信号を分散するために、グローバル配線リソースへの信号に接続します。BUFG は、通常セット/リセットやクロック イネーブルなどのファンアウトの大きいネットやクロック ネットに使用されます。

ポートの説明

ポート名	方向	幅	機能
I	入力	1	クロック バッファ入力
O	出力	1	クロック バッファ出力

デザインの入力方法

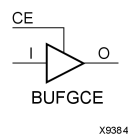
このELEMENTは、回路図で使用できます。

詳細情報

- ・ [『Spartan-6 FPGA クロック リソース ユーザー ガイド』\(UG382\)](#)
- ・ [『Spartan-6 FPGA データシート：DC 特性およびスイッチ特性』\(DS162\)](#)

BUFGCE

プリミティブ：Global Clock Buffer with Clock Enable



概要

このデザイン エLEMENTは、クロック イネーブル付きグローバル クロック バッファです。O 出力は、クロック イネーブル (CE) が Low (非アクティブ) のときに 0 になります。CE が High になると、I 入力の値が O に出力されます。

論理表

入力		出力
I	CE	O
X	0	0
I	1	I

ポートの説明

ポート名	方向	幅	機能
I	入力	1	クロック バッファ入力
CE	入力	1	クロック イネーブル入力
O	出力	1	クロック バッファ出力

デザインの入力方法

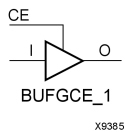
このELEMENTは、回路図で使用できます。

詳細情報

- ・ [『Spartan-6 FPGA クロック リソース ユーザー ガイド』\(UG382\)](#)
- ・ [『Spartan-6 FPGA データシート：DC 特性およびスイッチ特性』\(DS162\)](#)

BUFGCE_1

プリミティブ：Global Clock Buffer with Clock Enable and Output State 1



概要

このデザイン エLEMENTは、クロック イネーブル付きグローバル クロック バッファです。O 出力は、クロック イネーブル (CE) が Low (非アクティブ) のときに High (1) になります。CE が High になると、I 入力の値が O に出力されます。

論理表

入力		出力
I	CE	O
X	0	1
I	1	I

ポートの説明

ポート名	方向	幅	機能
I	入力	1	クロック バッファ入力
CE	入力	1	クロック イネーブル入力
O	出力	1	クロック バッファ出力

デザインの入力方法

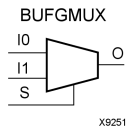
このELEMENTは、回路図で使用できます。

詳細情報

- ・ [『Spartan-6 FPGA クロック リソース ユーザー ガイド』\(UG382\)](#)
- ・ [『Spartan-6 FPGA データシート：DC 特性およびスイッチ特性』\(DS162\)](#)

BUFGMUX

プリミティブ：Global Clock MUX Buffer



概要

BUFGMUX はマルチプレクサーの機能を持つグローバル クロック バッファで、2 つの入力クロック (I0 および I1) のいずれかを選択できます。セレクト入力 (S) が Low の場合、I0 の信号が出力 (O) に選択されます。S が High の場合は、I1 の信号が O に選択されます。

BUFGMUX および BUFGMUX_1 では、S の値が変化した後クロックが切り替わるまでに保持される出力ステートが異なります。BUFGMUX は出力ステートが 0 に、BUFGMUX_1 は出力ステートが 1 に保持されます。

注記： BUFGMUX では、S がトグルされると、次のアクティブ クロック エッジ (I0 または I1) まで、出力のステートが非アクティブのまま保持されます。

論理表

入力			出力
I0	I1	S	O
I0	X	0	I0
X	I1	1	I1
X	X	↑	0
X	X	↓	0

ポートの説明

ポート名	方向	幅	機能
I0	入力	1	クロック 0 入力
I1	入力	1	クロック 1 入力
O	出力	1	クロック MUX 出力
S	入力	1	クロック セレクト入力

デザインの入力方法

このエレメントは、回路図で使用できます。

使用可能な属性

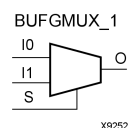
属性	データ型	値	デフォルト	説明
CLK_SEL_TYPE	文字列	"SYNC"、"ASYNC"	"SYNC"	同期クロックまたは非同期クロックを指定します。

詳細情報

- ・ [『Spartan-6 FPGA クロック リソース ユーザー ガイド』\(UG382\)](#)
- ・ [『Spartan-6 FPGA データシート：DC 特性およびスイッチ特性』\(DS162\)](#)

BUFGMUX_1

プリミティブ：Global Clock MUX Buffer with Output State 1



概要

このデザイン エLEMENTは、マルチプレクサーの機能を持つグローバル クロック バッファーで、2 つの入力クロック (I0 および I1) のいずれかを選択できます。セレクト入力 (S) が Low の場合、I0 の信号が出力 (O) に選択されます。S が High の場合は、I1 の信号が O に選択されます。

このデザイン エLEMENTと BUFGMUX では、S の値が変化した後クロックが切り替わるまでに保持される出力ステートが異なります。BUFGMUX は出力ステートが 0 に、BUFGMUX_1 は出力ステートが 1 に保持されます。

論理表

入力			出力
I0	I1	S	O
I0	X	0	I0
X	I1	1	I1
X	X	↑	1
X	X	↓	1

ポートの説明

ポート名	方向	幅	機能
I0	入力	1	クロック 0 入力
I1	入力	1	クロック 1 入力
O	出力	1	クロック MUX 出力
S	入力	1	クロック セレクト入力

デザインの入力方法

このELEMENTは、回路図で使用できます。

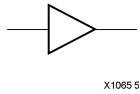
詳細情報

- 『Spartan-6 FPGA クロック リソース ユーザー ガイド』(UG382)
- 『Spartan-6 FPGA データシート：DC 特性およびスイッチ特性』(DS162)

BUFGP

プリミティブ：Global Buffer for Driving Clocks

BUFGP



概要

このデザイン エLEMENTはプライマリ グローバル バッファーで、FPGA デバイス内でファンアウトの大きいクロックまたは制御信号を分配するために使用されます。これは BUFG を駆動する IBUFG と同等です。

このデザイン エLEMENTは、内部ロジック、I/O クロック、クロック イネーブル、およびロジック リソースへのスキューの小さいグローバル リソースです。グローバル バッファーを使用して AND/OR ロジックにクロックを供給する場合は、制限があります。詳細は、『[Spartan-6 FPGA クロック リソース ユーザー ガイド](#)』(UG382) を参照してください。

デザインの入力方法

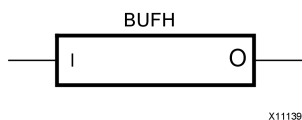
このELEMENTは、回路図でのみ使用できます。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

BUFH

プリミティブ：Clock buffer for a single clocking region



概要

BUFH プリミティブは、インスタンス化で HCLK クロック バッファ リソースにアクセスできるようにします。このコンポーネントは手動で配置する必要があり、また特別な考慮が必要なため、アドバンス ユーザー向けです。このコンポーネントの詳細は、『[Spartan-6 FPGA クロック リソース ユーザー ガイド](#)』(UG382) を参照してください。

ポートの説明

ポート名	方向	幅	機能
I	入力	1	クロック入力
O	出力	1	クロック出力

デザインの入力方法

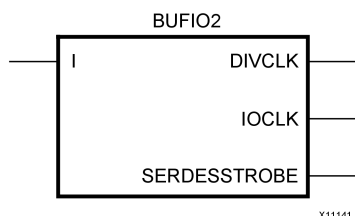
このエレメントは、回路図で使用できます。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

BUFIO2

プリミティブ：Dual Clock Buffer and Strobe Pulse



概要

このプリミティブは、同期 I/O リソース (ISERDES2、OSERDES2) および関連のファブリック リソースをスキューが小さい BUFG を介して駆動するため、オフチップ ソースからの高速 I/O クロック リソースを供給します。このコンポーネントの詳細は、[『Spartan-6 FPGA クロック リソース ユーザー ガイド』\(UG382\)](#) を参照してください。

ポートの説明

ポート名	方向	幅	機能
DIVCLK	出力	1	分周されたクロック出力
I	入力	1	クロック入力
IOCLK	出力	1	クロック出力
SERDESSTROBE	出力	1	出力 SERDES ストロブ (ISERDES/OSERDES に接続)

デザインの入力方法

このエレメントは、回路図で使用できます。

使用可能な属性

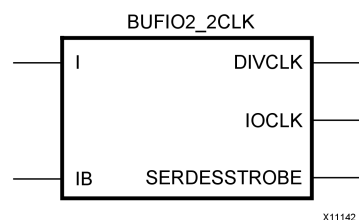
属性	データ型	値	デフォルト	説明
DIVIDE	10 進数	1、2、3、4、5、6、7、8	1	DIVCLK の分周比を指定します。
DIVIDE_BYPASS	ブール 代数	TRUE、FALSE	TRUE	分周回路をバイパスします。
LIINVERT	ブール 代数	FALSE、TRUE	FALSE	クロックを反転します。
USE_DOUBLER	ブール 代数	FALSE、TRUE	FALSE	2 通倍回路を使用します。

詳細情報

- ・ [『Spartan-6 FPGA クロック リソース ユーザー ガイド』\(UG382\)](#)
- ・ [『Spartan-6 FPGA データシート：DC 特性およびスイッチ特性』\(DS162\)](#)

BUFIO2_2CLK

プリミティブ : Dual Clock Buffer and Strobe Pulse with Differential Input



概要

BUFIO2_2CLK は、同期 I/O リソース (ISERDES2、OSERDES2) および関連のファブリック リソースをスキューが小さい BUFG を介して駆動するため、オフチップ ソースからの高速 I/O クロック リソースを供給します。このコンポーネントの詳細は、[『Spartan-6 FPGA クロック リソース ユーザー ガイド』\(UG382\)](#) を参照してください。

デザインの入力方法

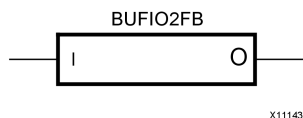
このエレメントは、回路図で使用できます。

詳細情報

- ・ [『Spartan-6 FPGA クロック リソース ユーザー ガイド』\(UG382\)](#)
- ・ [『Spartan-6 FPGA データシート : DC 特性およびスイッチ特性』\(DS162\)](#)

BUFIO2FB

プリミティブ：Feedback Clock Buffer



概要

このエレメントは、関連付けられている BUFIO2 と遅延が同じ単純なバッファで、DLL または PLL を使用する際にフィードバックの位相を適切に調整できるようフィードバック パスで使用されます。

ポートの説明

ポート名	方向	幅	機能
I	入力	1	入力フィードバック クロック
O	出力	1	出力フィードバック クロック (DCM/PLL のフィードバック入力に接続)

デザインの入力方法

このエレメントは、回路図で使用できます。

使用可能な属性

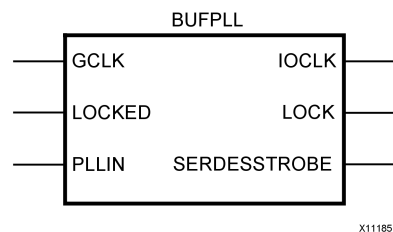
属性	データ型	値	デフォルト	説明
DIVIDE_BYPASS	ブール代数	TRUE、FALSE	TRUE	分周回路をバイパスします。関連付けられている BUFIO2 と同じ値に設定します。

詳細情報

- ・ [『Spartan-6 FPGA クロック リソース ユーザー ガイド』\(UG382\)](#)
- ・ [『Spartan-6 FPGA データシート：DC 特性およびスイッチ特性』\(DS162\)](#)

BUFPLL

プリミティブ：PLL Buffer



概要

PLL コンポーネントからクロックが供給される高速 I/O クロック バッファです。

ポートの説明

ポート名	方向	幅	機能
GCLK	入力	1	BUFG クロック入力
IOCLK	出力	1	出力 I/O クロック
LOCK	出力	1	同期化された LOCK 出力
LOCKED	入力	1	PLL からの LOCKED 入力
PLLIN	入力	1	PLL からのクロック入力
SERDESSTROBE	出力	1	SERDES ストロブ (ISERDES/OSERDES に接続)

デザインの入力方法

このエレメントは、回路図で使用できます。

使用可能な属性

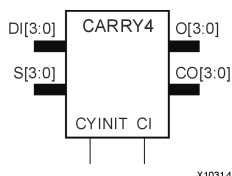
属性	データ型	値	デフォルト	説明
DIVIDE	整数	1、2、3、4、5、6、7、8	1	分周比 (1 ~ 8) を指定します。
ENABLE_SYNC	ブール代数	TRUE、FALSE	TRUE	PLL と GCLK 間の同期をイネーブルにします。

詳細情報

- 『Spartan-6 FPGA クロック リソース ユーザー ガイド』(UG382)
- 『Spartan-6 FPGA データシート：DC 特性およびスイッチ特性』(DS162)

CARRY4

プリミティブ：Fast Carry Logic with Look Ahead



概要

このデザイン エレメントは、スライスの高速キャリー ロジックです。キャリー チェーンには MUX および XOR がそれぞれ 4 個含まれています。これらの MUX および XOR はさらに複雑なファンクションを形成するために、専用配線を介してスライス内のその他のロジック (LUT) に接続されます。高速キャリー ロジックは、加算器、カウンタ、減算器、加減算器などの演算ファンクションの構築に加え、多入力コンパレータ、アドレス デコーダ、ロジック ゲート (AND、OR、XOR など) などのその他のロジック ファンクションに使用できます。

ポートの説明

ポート名	方向	幅	機能
O	出力	4	キャリー チェーン XOR の通常データ出力
CO	出力	4	キャリー チェーンの各段のキャリー出力
DI	入力	4	キャリー MUX のデータ入力
S	入力	4	キャリー MUX のセレクト入力
CYINIT	入力	1	キャリー初期化入力
CI	入力	1	キャリー カスケード入力

デザインの入力方法

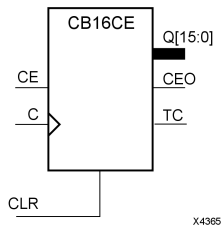
このエレメントは、回路図で使用できます。

詳細情報

- 『Spartan-6 FPGA コンフィギュラブル ロジック ブロック ユーザー ガイド』(UG384)
- 『Spartan-6 FPGA データシート：DC 特性およびスイッチ特性』(DS162)

CB16CE

マクロ：16-Bit Cascadable Binary Counter with Clock Enable and Asynchronous Clear



概要

このデザイン エLEMENTは、非同期クリア可能、カスケード可能なバイナリ カウンターです。非同期クリア (CLR) 入力が高になると、ほかのすべての入力は無視され、クロック (C) の遷移に関係なく、出力 (Q)、ターミナル カウンター (TC)、およびクロック イネーブル出力 (CEO) が 0 になります。クロック イネーブル入力 (CE) が High の場合、クロック (C) が Low から High に切り替わるときに出力 (Q) がインクリメントされます。CE が Low の場合、クロック遷移は無視されます。すべての Q 出力が高になると、TC 出力が高になります。

各段の CEO 出力を次の段の CE 入力に接続し、C および CLR 入力を並列に接続すると、より大型のカウンターを作成できます。TC と CE が High になると、CEO がアクティブ (High) になります。カウンターの最大長は、CE ピンから TC ピンへの伝搬遅延の合計とクロック周期の関係によって決定されます。クロック周期は、 $n(t_{CE-TC})$ より大きい必要があります。ここで、 n は段数、時間 t_{CE-TC} は各段での CE ピンから TC ピンへの伝搬遅延を表します。カウンターをカスケード接続する場合、CE 入力を使用するときは CEO 出力を、CE 入力を使用しないときは TC 出力を使用します。

電力を供給すると、カウンターは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

入力			出力		
CLR	CE	C	Q _z ~ Q ₀	TC	CEO
1	X	X	0	0	0
0	0	X	変化なし	変化なし	0
0	1	↑	インクリメント	TC	CEO

z = ビット幅 - 1

$$TC = Q_z \cdot Q_{(z-1)} \cdot Q_{(z-2)} \cdot \dots \cdot Q_0$$

$$CEO = TC \cdot CE$$

デザインの入力方法

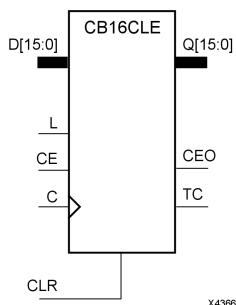
このELEMENTは、回路図でのみ使用できます。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

CB16CLE

マクロ : 16-Bit Loadable Cascadable Binary Counters with Clock Enable and Asynchronous Clear



概要

このデザイン エLEMENTは、同期、ロード可能、非同期クリア可能、カスケード可能なバイナリ カウンターです。非同期クリア (CLR) 入力が高レベルになると、ほかのすべての入力は無視され、クロック (C) の遷移に関係なく、出力 (Q)、ターミナル カウンター (TC)、およびクロック イネーブル出力 (CEO) が 0 になります。ロード イネーブル入力 (L) が High の場合、クロックが Low から High に切り替わる時に、クロック イネーブル (CE) の値に関係なく、入力 (D) の値がカウンターにロードされます。CE が High の場合、クロックが Low から High に切り替わる時に Q 出力がインクリメントされます。CE が Low の場合、クロック遷移は無視されます。すべての Q 出力が高レベルになると、TC 出力が高レベルになります。

各段の CEO 出力を次の段の CE 入力に接続し、C、L、および CLR 入力を並列に接続すると、より大型のカウンターを作成できます。TC と CE が High になると、CEO がアクティブ (High) になります。カウンターの最大長は、CE ピンから TC ピンへの伝搬遅延の合計とクロック周期の関係によって決定されます。クロック周期は、 $n(t_{CE-TC})$ より大きい必要があります。ここで、 n は段数、時間 t_{CE-TC} は各段での CE ピンから TC ピンへの伝搬遅延を表します。カウンターをカスケード接続する場合、CE 入力を使用するときは CEO 出力を、CE 入力を使用しないときは TC 出力を使用します。

電力を供給すると、カウンターは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

入力					出力		
CLR	L	CE	C	D _z ~ D ₀	Q _z ~ Q ₀	TC	CEO
1	X	X	X	X	0	0	0
0	1	X	↑	D _n	D _n	TC	CEO
0	0	0	X	X	変化なし	変化なし	0
0	0	1	↑	X	インクリメント	TC	CEO

$z = \text{ビット幅} - 1$
 $TC = Q_z \cdot Q_{(z-1)} \cdot Q_{(z-2)} \cdot \dots \cdot Q_0$
 $CEO = TC \cdot CE$

デザインの入力方法

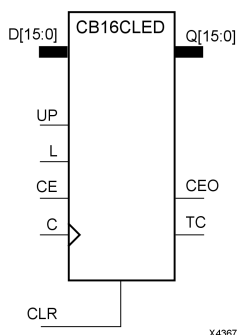
このELEMENTは、回路図でのみ使用できます。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

CB16CLED

マクロ : 16-Bit Loadable Cascadable Bidirectional Binary Counters with Clock Enable and Asynchronous Clear



概要

このデザイン エLEMENTは、同期、ロード可能、非同期クリア可能、カスケード可能な双方向バイナリ カウンターです。非同期クリア (CLR) 入力が高レベルになると、ほかのすべての入力は無視され、クロック (C) の遷移に関係なく、出力 (Q)、ターミナル カウンター (TC)、およびクロック イネーブル出力 (CEO) が 0 になります。ロード イネーブル入力 (L) が High の場合、クロック (C) が Low から High に切り替わるときに、クロック イネーブル (CE) の値に関係なく、入力 (D) の値がカウンターにロードされます。CE が High、UP が Low の場合、クロックが Low から High に切り替わるときに、Q 出力がデクリメントされます。CE と UP が High の場合、Q 出力がインクリメントされます。CE が Low の場合、クロック遷移は無視されます。

カウントアップする場合、すべての Q 出力と UP が High になると TC 出力が High になります。カウントダウンする場合、すべての Q 出力と UP が Low になると TC 出力が High になります。

各段の CEO 出力を次の段の CE 入力に接続し、C、UP、L、および CLR 入力を並列に接続すると、より大型のカウンターを作成できます。TC と CE が High になると、CEO がアクティブ (High) になります。カウンターの最大長は、CE ピンから TC ピンへの伝搬遅延の合計とクロック周期の関係によって決定されます。クロック周期は、 $n(t_{CE-TC})$ より大きい必要があります。ここで、 n は段数、時間 t_{CE-TC} は各段での CE ピンから TC ピンへの伝搬遅延を表します。カウンターをカスケード接続する場合、CE 入力を使用するときは CEO 出力を、CE 入力を使用しないときは TC 出力を使用します。

CPLD デバイスでは、高速カスケードが可能な双方向カウンターである CB2X1、CB4X1、CB8X1、CB16X1 を参照してください。

電力を供給すると、カウンターは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

入力						出力		
CLR	L	CE	C	UP	Dz ~ D0	Qz ~ Q0	TC	CEO
1	X	X	X	X	X	0	0	0
0	1	X	↑	X	Dn	Dn	TC	CEO
0	0	0	X	X	X	変化なし	変化なし	0
0	0	1	↑	1	X	インクリメント	TC	CEO
0	0	1	↑	0	X	デクリメント	TC	CEO
z = ビット幅 - 1 $TC = (Qz \cdot Q(z-1) \cdot Q(z-2) \cdot \dots \cdot Q0 \cdot UP) + (Qz \cdot Q(z-1) \cdot Q(z-2) \cdot \dots \cdot Q0 \cdot \overline{UP})$ $CEO = TC \cdot CE$								

デザインの入力方法

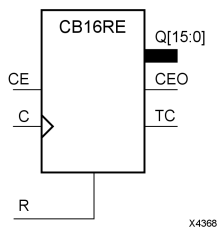
このエレメントは、回路図でのみ使用できます。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

CB16RE

マクロ : 16-Bit Cascadable Binary Counter with Clock Enable and Synchronous Reset



概要

このデザイン エレメントは、同期、リセット可能、カスケード可能なバイナリ カウンターです。同期リセット入力 (R) が High になると、ほかの入力は無視され、クロック (C) が Low から High に切り替わる時に出力 (Q)、ターミナル カウンター (TC)、およびクロック イネーブル出力 (CEO) が 0 になります。クロック イネーブル入力 (CE) が High の場合、クロック (C) が Low から High に切り替わる時に出力 (Q) がインクリメントされます。CE が Low の場合、クロック遷移は無視されます。すべての Q 出力が High になると、TC 出力が High になります。

各段の CEO 出力を次の段の CE 入力に接続し、C および R 入力を並列に接続すると、より大型のカウンターを作成できます。TC と CE が High になると、CEO がアクティブ (High) になります。カウンターの最大長は、CE ピンから TC ピンへの伝搬遅延の合計とクロック周期の関係によって決定されます。クロック周期は、 $n(t_{CE-TC})$ より大きい必要があります。ここで、 n は段数、時間 t_{CE-TC} は各段での CE ピンから TC ピンへの伝搬遅延を表します。カウンターをカスケード接続する場合、CE 入力を使用するときは CEO 出力を、CE 入力を使用しないときは TC 出力を使用します。

電力を供給すると、カウンターは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

入力			出力		
R	CE	C	Q _z ~ Q ₀	TC	CEO
1	X	↑	0	0	0
0	0	X	変化なし	変化なし	0
0	1	↑	インクリメント	TC	CEO
$z = \text{ビット幅} - 1$ $TC = Q_z \cdot Q_{(z-1)} \cdot Q_{(z-2)} \cdot \dots \cdot Q_0$ $CEO = TC \cdot CE$					

デザインの入力方法

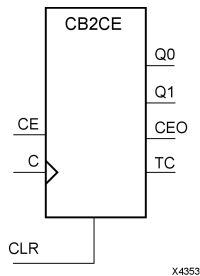
このエレメントは、回路図でのみ使用できます。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

CB2CE

マクロ：2-Bit Cascadable Binary Counter with Clock Enable and Asynchronous Clear



概要

このデザイン エLEMENTは、非同期クリア可能、カスケード可能なバイナリ カウンターです。非同期クリア (CLR) 入力が高になると、ほかのすべての入力は無視され、クロック (C) の遷移に関係なく、出力 (Q)、ターミナル カウンター (TC)、およびクロック イネーブル出力 (CEO) が 0 になります。クロック イネーブル入力 (CE) が High の場合、クロック (C) が Low から High に切り替わる時に出力 (Q) がインクリメントされます。CE が Low の場合、クロック遷移は無視されます。すべての Q 出力が高になると、TC 出力が高になります。

各段の CEO 出力を次の段の CE 入力に接続し、C および CLR 入力を並列に接続すると、より大型のカウンターを作成できます。TC と CE が High になると、CEO がアクティブ (High) になります。カウンターの最大長は、CE ピンから TC ピンへの伝搬遅延の合計とクロック周期の関係によって決定されます。クロック周期は、 $n(t_{CE-TC})$ より大きい必要があります。ここで、 n は段数、時間 t_{CE-TC} は各段での CE ピンから TC ピンへの伝搬遅延を表します。カウンターをカスケード接続する場合、CE 入力を使用するときは CEO 出力を、CE 入力を使用しないときは TC 出力を使用します。

電力を供給すると、カウンターは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

入力			出力		
CLR	CE	C	Q _z ~ Q ₀	TC	CEO
1	X	X	0	0	0
0	0	X	変化なし	変化なし	0
0	1	↑	インクリメント	TC	CEO

$z = \text{ビット幅} - 1$
 $TC = Q_z \cdot Q_{(z-1)} \cdot Q_{(z-2)} \cdot \dots \cdot Q_0$
 $CEO = TC \cdot CE$

デザインの入力方法

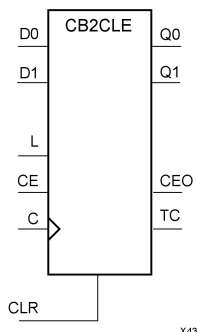
このELEMENTは、回路図でのみ使用できます。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

CB2CLE

マクロ：2-Bit Loadable Cascadable Binary Counters with Clock Enable and Asynchronous Clear



概要

このデザイン エLEMENTは、同期、ロード可能、非同期クリア可能、カスケード可能なバイナリ カウンターです。非同期クリア (CLR) 入力が高レベルになると、ほかのすべての入力は無視され、クロック (C) の遷移に関係なく、出力 (Q)、ターミナル カウンター (TC)、およびクロック イネーブル出力 (CEO) が 0 になります。ロード イネーブル入力 (L) が High の場合、クロックが Low から High に切り替わるときに、クロック イネーブル (CE) の値に関係なく、入力 (D) の値がカウンターにロードされます。CE が High の場合、クロックが Low から High に切り替わるときに Q 出力がインクリメントされます。CE が Low の場合、クロック遷移は無視されます。すべての Q 出力が高レベルになると、TC 出力が高レベルになります。

各段の CEO 出力を次の段の CE 入力に接続し、C、L、および CLR 入力を並列に接続すると、より大型のカウンターを作成できます。TC と CE が High になると、CEO がアクティブ (High) になります。カウンターの最大長は、CE ピンから TC ピンへの伝搬遅延の合計とクロック周期の関係によって決定されます。クロック周期は、 $n(t_{CE-TC})$ より大きい必要があります。ここで、 n は段数、時間 t_{CE-TC} は各段での CE ピンから TC ピンへの伝搬遅延を表します。カウンターをカスケード接続する場合、CE 入力を使用するときは CEO 出力を、CE 入力を使用しないときは TC 出力を使用します。

電力を供給すると、カウンターは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

入力					出力		
CLR	L	CE	C	D _z ~ D0	Q _z ~ Q0	TC	CEO
1	X	X	X	X	0	0	0
0	1	X	↑	D _n	D _n	TC	CEO
0	0	0	X	X	変化なし	変化なし	0
0	0	1	↑	X	インクリメント	TC	CEO
z = ビット幅 - 1 $TC = Q_z \cdot Q_{(z-1)} \cdot Q_{(z-2)} \cdot \dots \cdot Q_0$ $CEO = TC \cdot CE$							

デザインの入力方法

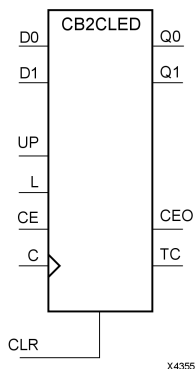
このELEMENTは、回路図でのみ使用できます。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

CB2CLED

マクロ : 2-Bit Loadable Cascadable Bidirectional Binary Counters with Clock Enable and Asynchronous Clear



概要

このデザイン エLEMENTは、同期、ロード可能、非同期クリア可能、カスケード可能な双方向バイナリ カウンターです。非同期クリア (CLR) 入力が高レベルになると、ほかのすべての入力は無視され、クロック (C) の遷移に関係なく、出力 (Q)、ターミナル カウンター (TC)、およびクロック イネーブル出力 (CEO) が 0 になります。ロード イネーブル入力 (L) が High の場合、クロック (C) が Low から High に切り替わるときに、クロック イネーブル (CE) の値に関係なく、入力 (D) の値がカウンターにロードされます。CE が High、UP が Low の場合、クロックが Low から High に切り替わるときに、Q 出力がデクリメントされます。CE と UP が High の場合、Q 出力がインクリメントされます。CE が Low の場合、クロック遷移は無視されます。

カウントアップする場合、すべての Q 出力と UP が High になると TC 出力が High になります。カウントダウンする場合、すべての Q 出力と UP が Low になると TC 出力が High になります。

各段の CEO 出力を次の段の CE 入力に接続し、C、UP、L、および CLR 入力を並列に接続すると、より大型のカウンターを作成できます。TC と CE が High になると、CEO がアクティブ (High) になります。カウンターの最大長は、CE ピンから TC ピンへの伝搬遅延の合計とクロック周期の関係によって決定されます。クロック周期は、 $n(t_{CE-TC})$ より大きい必要があります。ここで、 n は段数、時間 t_{CE-TC} は各段での CE ピンから TC ピンへの伝搬遅延を表します。カウンターをカスケード接続する場合、CE 入力を使用するときは CEO 出力を、CE 入力を使用しないときは TC 出力を使用します。

CPLD デバイスでは、高速カスケードが可能な双方向カウンターである CB2X1、CB4X1、CB8X1、CB16X1 を参照してください。

電力を供給すると、カウンターは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

入力						出力		
CLR	L	CE	C	UP	Dz ~ D0	Qz ~ Q0	TC	CEO
1	X	X	X	X	X	0	0	0
0	1	X	↑	X	Dn	Dn	TC	CEO
0	0	0	X	X	X	変化なし	変化なし	0
0	0	1	↑	1	X	インクリメント	TC	CEO
0	0	1	↑	0	X	デクリメント	TC	CEO
z = ビット幅 - 1 $TC = (Qz \cdot Q(z-1) \cdot Q(z-2) \cdot \dots \cdot Q0 \cdot UP) + (Qz \cdot Q(z-1) \cdot Q(z-2) \cdot \dots \cdot Q0 \cdot \overline{UP})$ $CEO = TC \cdot CE$								

デザインの入力方法

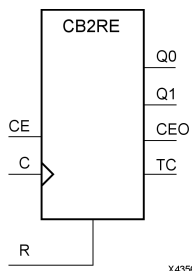
このエレメントは、回路図でのみ使用できます。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

CB2RE

マクロ：2-Bit Cascadable Binary Counter with Clock Enable and Synchronous Reset



概要

このデザイン エレメントは、同期、リセット可能、カスケード可能なバイナリ カウンターです。同期リセット入力 (R) が High になると、ほかの入力は無視され、クロック (C) が Low から High に切り替わる時に出力 (Q)、ターミナル カウンター (TC)、およびクロック イネーブル出力 (CEO) が 0 になります。クロック イネーブル入力 (CE) が High の場合、クロック (C) が Low から High に切り替わる時に出力 (Q) がインクリメントされます。CE が Low の場合、クロック遷移は無視されます。すべての Q 出力が High になると、TC 出力が High になります。

各段の CEO 出力を次の段の CE 入力に接続し、C および R 入力を並列に接続すると、より大型のカウンターを作成できます。TC と CE が High になると、CEO がアクティブ (High) になります。カウンターの最大長は、CE ピンから TC ピンへの伝搬遅延の合計とクロック周期の関係によって決定されます。クロック周期は、 $n(t_{CE-TC})$ より大きい必要があります。ここで、 n は段数、時間 t_{CE-TC} は各段での CE ピンから TC ピンへの伝搬遅延を表します。カウンターをカスケード接続する場合、CE 入力を使用するときは CEO 出力を、CE 入力を使用しないときは TC 出力を使用します。

電力を供給すると、カウンターは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

入力			出力		
R	CE	C	Q _z ~ Q ₀	TC	CEO
1	X	↑	0	0	0
0	0	X	変化なし	変化なし	0
0	1	↑	インクリメント	TC	CEO

$z = \text{ビット幅} - 1$
 $TC = Q_z \cdot Q_{(z-1)} \cdot Q_{(z-2)} \cdot \dots \cdot Q_0$
 $CEO = TC \cdot CE$

デザインの入力方法

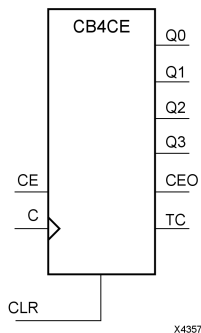
このエレメントは、回路図でのみ使用できます。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

CB4CE

マクロ：4-Bit Cascadable Binary Counter with Clock Enable and Asynchronous Clear



概要

このデザイン エLEMENTは、非同期クリア可能、カスケード可能なバイナリ カウンターです。非同期クリア (CLR) 入力が高になると、ほかのすべての入力は無視され、クロック (C) の遷移に関係なく、出力 (Q)、ターミナル カウンター (TC)、およびクロック イネーブル出力 (CEO) が 0 になります。クロック イネーブル入力 (CE) が High の場合、クロック (C) が Low から High に切り替わる時に出力 (Q) がインクリメントされます。CE が Low の場合、クロック遷移は無視されます。すべての Q 出力が高になると、TC 出力が高になります。

各段の CEO 出力を次の段の CE 入力に接続し、C および CLR 入力を並列に接続すると、より大型のカウンターを作成できます。TC と CE が High になると、CEO がアクティブ (High) になります。カウンターの最大長は、CE ピンから TC ピンへの伝搬遅延の合計とクロック周期の関係によって決定されます。クロック周期は、 $n(t_{CE-TC})$ より大きい必要があります。ここで、 n は段数、時間 t_{CE-TC} は各段での CE ピンから TC ピンへの伝搬遅延を表します。カウンターをカスケード接続する場合、CE 入力を使用するときは CEO 出力を、CE 入力を使用しないときは TC 出力を使用します。

電力を供給すると、カウンターは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

入力			出力		
CLR	CE	C	Q _z ~ Q0	TC	CEO
1	X	X	0	0	0
0	0	X	変化なし	変化なし	0
0	1	↑	インクリメント	TC	CEO
$z = \text{ビット幅} - 1$ $TC = Q_z \cdot Q_{(z-1)} \cdot Q_{(z-2)} \cdot \dots \cdot Q_0$ $CEO = TC \cdot CE$					

デザインの入力方法

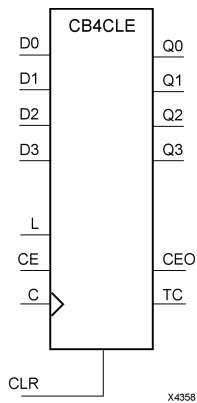
このELEMENTは、回路図でのみ使用できます。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

CB4CLE

マクロ：4-Bit Loadable Cascadable Binary Counters with Clock Enable and Asynchronous Clear



概要

このデザイン エLEMENTは、同期、ロード可能、非同期クリア可能、カスケード可能なバイナリ カウンターです。非同期クリア (CLR) 入力が高になると、ほかのすべての入力は無視され、クロック (C) の遷移に関係なく、出力 (Q)、ターミナル カウンター (TC)、およびクロック イネーブル出力 (CEO) が 0 になります。ロード イネーブル入力 (L) が High の場合、クロックが Low から High に切り替わる時に、クロック イネーブル (CE) の値に関係なく、入力 (D) の値がカウンターにロードされます。CE が High の場合、クロックが Low から High に切り替わる時に Q 出力がインクリメントされます。CE が Low の場合、クロック遷移は無視されます。すべての Q 出力が高になると、TC 出力が高になります。

各段の CEO 出力を次の段の CE 入力に接続し、C、L、および CLR 入力を並列に接続すると、より大型のカウンターを作成できます。TC と CE が High になると、CEO がアクティブ (High) になります。カウンターの最大長は、CE ピンから TC ピンへの伝搬遅延の合計とクロック周期の関係によって決定されます。クロック周期は、 $n(t_{CE-TC})$ より大きい必要があります。ここで、 n は段数、時間 t_{CE-TC} は各段での CE ピンから TC ピンへの伝搬遅延を表します。カウンターをカスケード接続する場合、CE 入力を使用するときは CEO 出力を、CE 入力を使用しないときは TC 出力を使用します。

電力を供給すると、カウンターは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

入力					出力		
CLR	L	CE	C	D _z ~ D0	Q _z ~ Q0	TC	CEO
1	X	X	X	X	0	0	0
0	1	X	↑	D _n	D _n	TC	CEO
0	0	0	X	X	変化なし	変化なし	0
0	0	1	↑	X	インクリメント	TC	CEO
$z = \text{ビット幅} - 1$ $TC = Q_z \cdot Q_{(z-1)} \cdot Q_{(z-2)} \cdot \dots \cdot Q_0$ $CEO = TC \cdot CE$							

デザインの入力方法

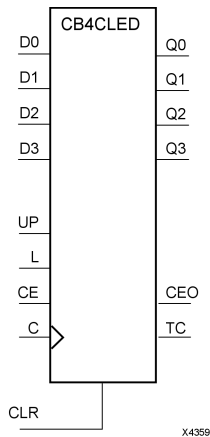
このELEMENTは、回路図でのみ使用できます。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

CB4CLED

マクロ : 4-Bit Loadable Cascadable Bidirectional Binary Counters with Clock Enable and Asynchronous Clear



概要

このデザイン エLEMENTは、同期、ロード可能、非同期クリア可能、カスケード可能な双方向バイナリ カウンターです。非同期クリア (CLR) 入力が高レベルになると、ほかのすべての入力は無視され、クロック (C) の遷移に関係なく、出力 (Q)、ターミナル カウンター (TC)、およびクロック イネーブル出力 (CEO) が 0 になります。ロード イネーブル入力 (L) が High の場合、クロック (C) が Low から High に切り替わるときに、クロック イネーブル (CE) の値に関係なく、入力 (D) の値がカウンターにロードされます。CE が High、UP が Low の場合、クロックが Low から High に切り替わるときに、Q 出力がデクリメントされます。CE と UP が High の場合、Q 出力がインクリメントされます。CE が Low の場合、クロック遷移は無視されます。

カウントアップする場合、すべての Q 出力と UP が High になると TC 出力が High になります。カウントダウンする場合、すべての Q 出力と UP が Low になると TC 出力が High になります。

各段の CEO 出力を次の段の CE 入力に接続し、C、UP、L、および CLR 入力を並列に接続すると、より大型のカウンターを作成できます。TC と CE が High になると、CEO がアクティブ (High) になります。カウンターの最大長は、CE ピンから TC ピンへの伝搬遅延の合計とクロック周期の関係によって決定されます。クロック周期は、 $n(t_{CE-TC})$ より大きい必要があります。ここで、 n は段数、時間 t_{CE-TC} は各段での CE ピンから TC ピンへの伝搬遅延を表します。カウンターをカスケード接続する場合、CE 入力を使用するときは CEO 出力を、CE 入力を使用しないときは TC 出力を使用します。

CPLD デバイスでは、高速カスケードが可能な双方向カウンターである CB2X1、CB4X1、CB8X1、CB16X1 を参照してください。

電力を供給すると、カウンターは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

入力						出力		
CLR	L	CE	C	UP	Dz ~ D0	Qz ~ Q0	TC	CEO
1	X	X	X	X	X	0	0	0
0	1	X	↑	X	Dn	Dn	TC	CEO
0	0	0	X	X	X	変化なし	変化なし	0
0	0	1	↑	1	X	インクリメント	TC	CEO
0	0	1	↑	0	X	デクリメント	TC	CEO
z = ビット幅 - 1 $TC = (Qz \cdot Q(z-1) \cdot Q(z-2) \cdot \dots \cdot Q0 \cdot UP) + (Qz \cdot Q(z-1) \cdot Q(z-2) \cdot \dots \cdot Q0 \cdot \overline{UP})$ $CEO = TC \cdot CE$								

デザインの入力方法

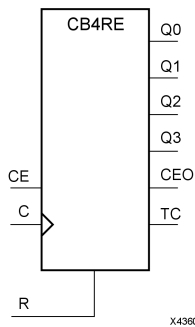
このエレメントは、回路図でのみ使用できます。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

CB4RE

マクロ：4-Bit Cascadable Binary Counter with Clock Enable and Synchronous Reset



概要

このデザイン エLEMENTは、同期、リセット可能、カスケード可能なバイナリ カウンターです。同期リセット入力 (R) が High になると、ほかの入力は無視され、クロック (C) が Low から High に切り替わる時に出力 (Q)、ターミナル カウンター (TC)、およびクロック イネーブル出力 (CEO) が 0 になります。クロック イネーブル入力 (CE) が High の場合、クロック (C) が Low から High に切り替わる時に出力 (Q) がインクリメントされます。CE が Low の場合、クロック遷移は無視されます。すべての Q 出力が High になると、TC 出力が High になります。

各段の CEO 出力を次の段の CE 入力に接続し、C および R 入力を並列に接続すると、より大型のカウンターを作成できます。TC と CE が High になると、CEO がアクティブ (High) になります。カウンターの最大長は、CE ピンから TC ピンへの伝搬遅延の合計とクロック周期の関係によって決定されます。クロック周期は、 $n(t_{CE-TC})$ より大きい必要があります。ここで、 n は段数、時間 t_{CE-TC} は各段での CE ピンから TC ピンへの伝搬遅延を表します。カウンターをカスケード接続する場合、CE 入力を使用するときは CEO 出力を、CE 入力を使用しないときは TC 出力を使用します。

電力を供給すると、カウンターは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

入力			出力		
R	CE	C	Q _z ~ Q0	TC	CEO
1	X	↑	0	0	0
0	0	X	変化なし	変化なし	0
0	1	↑	インクリメント	TC	CEO
z = ビット幅 - 1 $TC = Q_z \cdot Q_{(z-1)} \cdot Q_{(z-2)} \cdot \dots \cdot Q_0$ $CEO = TC \cdot CE$					

デザインの入力方法

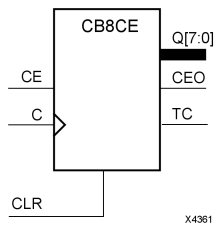
このELEMENTは、回路図でのみ使用できます。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

CB8CE

マクロ：8-Bit Cascadable Binary Counter with Clock Enable and Asynchronous Clear



概要

このデザイン エLEMENTは、非同期クリア可能、カスケード可能なバイナリ カウンターです。非同期クリア (CLR) 入力が高レベルになると、ほかのすべての入力は無視され、クロック (C) の遷移に関係なく、出力 (Q)、ターミナル カウンター (TC)、およびクロック イネーブル出力 (CEO) が 0 になります。クロック イネーブル入力 (CE) が High の場合、クロック (C) が Low から High に切り替わるときに出力 (Q) がインクリメントされます。CE が Low の場合、クロック遷移は無視されます。すべての Q 出力が高レベルになると、TC 出力が高レベルになります。

各段の CEO 出力を次の段の CE 入力に接続し、C および CLR 入力を並列に接続すると、より大型のカウンターを作成できます。TC と CE が High になると、CEO がアクティブ (High) になります。カウンターの最大長は、CE ピンから TC ピンへの伝搬遅延の合計とクロック周期の関係によって決定されます。クロック周期は、 $n(t_{CE-TC})$ より大きい必要があります。ここで、 n は段数、時間 t_{CE-TC} は各段での CE ピンから TC ピンへの伝搬遅延を表します。カウンターをカスケード接続する場合、CE 入力を使用するときは CEO 出力を、CE 入力を使用しないときは TC 出力を使用します。

電力を供給すると、カウンターは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

入力			出力		
CLR	CE	C	Q _z ~ Q ₀	TC	CEO
1	X	X	0	0	0
0	0	X	変化なし	変化なし	0
0	1	↑	インクリメント	TC	CEO
z = ビット幅 - 1 $TC = Q_z \cdot Q_{(z-1)} \cdot Q_{(z-2)} \cdot \dots \cdot Q_0$ $CEO = TC \cdot CE$					

デザインの入力方法

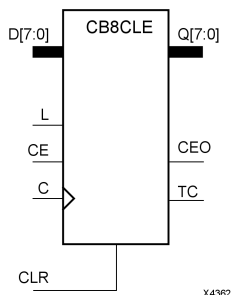
このELEMENTは、回路図でのみ使用できます。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

CB8CLE

マクロ : 8-Bit Loadable Cascadable Binary Counters with Clock Enable and Asynchronous Clear



概要

このデザイン エレメントは、同期、ロード可能、非同期クリア可能、カスケード可能なバイナリ カウンターです。非同期クリア (CLR) 入力が高になると、ほかのすべての入力は無視され、クロック (C) の遷移に関係なく、出力 (Q)、ターミナル カウンター (TC)、およびクロック イネーブル出力 (CEO) が 0 になります。ロード イネーブル入力 (L) が High の場合、クロックが Low から High に切り替わるたびに、クロック イネーブル (CE) の値に関係なく、入力 (D) の値がカウンターにロードされます。CE が High の場合、クロックが Low から High に切り替わるたびに Q 出力がインクリメントされます。CE が Low の場合、クロック遷移は無視されます。すべての Q 出力が高になると、TC 出力が高になります。

各段の CEO 出力を次の段の CE 入力に接続し、C、L、および CLR 入力を並列に接続すると、より大型のカウンターを作成できます。TC と CE が High になると、CEO がアクティブ (High) になります。カウンターの最大長は、CE ピンから TC ピンへの伝搬遅延の合計とクロック周期の関係によって決定されます。クロック周期は、 $n(t_{CE-TC})$ より大きい必要があります。ここで、 n は段数、時間 t_{CE-TC} は各段での CE ピンから TC ピンへの伝搬遅延を表します。カウンターをカスケード接続する場合、CE 入力を使用するときは CEO 出力を、CE 入力を使用しないときは TC 出力を使用します。

電力を供給すると、カウンターは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

入力					出力		
CLR	L	CE	C	D _z ~ D ₀	Q _z ~ Q ₀	TC	CEO
1	X	X	X	X	0	0	0
0	1	X	↑	D _n	D _n	TC	CEO
0	0	0	X	X	変化なし	変化なし	0
0	0	1	↑	X	インクリメント	TC	CEO

z = ビット幅 - 1

$$TC = Q_z \cdot Q_{(z-1)} \cdot Q_{(z-2)} \cdot \dots \cdot Q_0$$

$$CEO = TC \cdot CE$$

デザインの入力方法

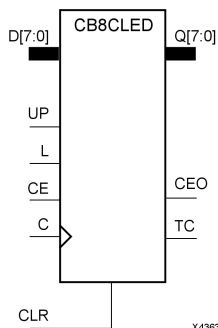
このエレメントは、回路図でのみ使用できます。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

CB8CLED

マクロ : 8-Bit Loadable Cascadable Bidirectional Binary Counters with Clock Enable and Asynchronous Clear



概要

このデザイン エLEMENTは、同期、ロード可能、非同期クリア可能、カスケード可能な双方向バイナリ カウンターです。非同期クリア (CLR) 入力が高になると、ほかのすべての入力は無視され、クロック (C) の遷移に関係なく、出力 (Q)、ターミナル カウンター (TC)、およびクロック イネーブル出力 (CEO) が 0 になります。ロード イネーブル入力 (L) が High の場合、クロック (C) が Low から High に切り替わるときに、クロック イネーブル (CE) の値に関係なく、入力 (D) の値がカウンターにロードされます。CE が High、UP が Low の場合、クロックが Low から High に切り替わるときに、Q 出力がデクリメントされます。CE と UP が High の場合、Q 出力がインクリメントされます。CE が Low の場合、クロック遷移は無視されます。

カウントアップする場合、すべての Q 出力と UP が High になると TC 出力が High になります。カウントダウンする場合、すべての Q 出力と UP が Low になると TC 出力が High になります。

各段の CEO 出力を次の段の CE 入力に接続し、C、UP、L、および CLR 入力を並列に接続すると、より大型のカウンターを作成できます。TC と CE が High になると、CEO がアクティブ (High) になります。カウンターの最大長は、CE ピンから TC ピンへの伝搬遅延の合計とクロック周期の関係によって決定されます。クロック周期は、 $n(t_{CE-TC})$ より大きい必要があります。ここで、 n は段数、時間 t_{CE-TC} は各段での CE ピンから TC ピンへの伝搬遅延を表します。カウンターをカスケード接続する場合、CE 入力を使用するときは CEO 出力を、CE 入力を使用しないときは TC 出力を使用します。

CPLD デバイスでは、高速カスケードが可能な双方向カウンターである CB2X1、CB4X1、CB8X1、CB16X1 を参照してください。

電力を供給すると、カウンターは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

入力						出力		
CLR	L	CE	C	UP	Dz ~ D0	Qz ~ Q0	TC	CEO
1	X	X	X	X	X	0	0	0
0	1	X	↑	X	Dn	Dn	TC	CEO
0	0	0	X	X	X	変化なし	変化なし	0
0	0	1	↑	1	X	インクリメント	TC	CEO
0	0	1	↑	0	X	デクリメント	TC	CEO
z = ビット幅 - 1 $TC = (Qz \cdot Q(z-1) \cdot Q(z-2) \cdot \dots \cdot Q0 \cdot UP) + (Qz \cdot Q(z-1) \cdot Q(z-2) \cdot \dots \cdot Q0 \cdot \overline{UP})$ $CEO = TC \cdot CE$								

デザインの入力方法

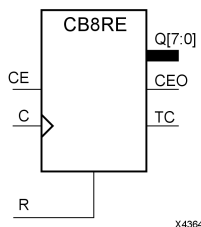
このエレメントは、回路図でのみ使用できます。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

CB8RE

マクロ：8-Bit Cascadable Binary Counter with Clock Enable and Synchronous Reset



概要

このデザイン エレメントは、同期、リセット可能、カスケード可能なバイナリ カウンターです。同期リセット入力 (R) が High になると、ほかの入力は無視され、クロック (C) が Low から High に切り替わる時に出力 (Q)、ターミナル カウンター (TC)、およびクロック イネーブル出力 (CEO) が 0 になります。クロック イネーブル入力 (CE) が High の場合、クロック (C) が Low から High に切り替わる時に出力 (Q) がインクリメントされます。CE が Low の場合、クロック遷移は無視されます。すべての Q 出力が High になると、TC 出力が High になります。

各段の CEO 出力を次の段の CE 入力に接続し、C および R 入力を並列に接続すると、より大型のカウンターを作成できます。TC と CE が High になると、CEO がアクティブ (High) になります。カウンターの最大長は、CE ピンから TC ピンへの伝搬遅延の合計とクロック周期の関係によって決定されます。クロック周期は、 $n(t_{CE-TC})$ より大きい必要があります。ここで、 n は段数、時間 t_{CE-TC} は各段での CE ピンから TC ピンへの伝搬遅延を表します。カウンターをカスケード接続する場合、CE 入力を使用するときは CEO 出力を、CE 入力を使用しないときは TC 出力を使用します。

電力を供給すると、カウンターは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

入力			出力		
R	CE	C	Q _z ~ Q ₀	TC	CEO
1	X	↑	0	0	0
0	0	X	変化なし	変化なし	0
0	1	↑	インクリメント	TC	CEO
$z = \text{ビット幅} - 1$ $TC = Q_z \cdot Q_{(z-1)} \cdot Q_{(z-2)} \cdot \dots \cdot Q_0$ $CEO = TC \cdot CE$					

デザインの入力方法

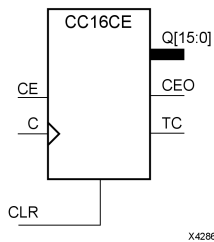
このエレメントは、回路図でのみ使用できます。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

CC16CE

マクロ：16-Bit Cascadable Binary Counter with Clock Enable and Asynchronous Clear



概要

このデザイン エLEMENTは、非同期クリア可能、カスケード可能なバイナリ カウンターです。このカウンターは、ロジックが効率よく配置されるように、相対ロケーション制約を使用してキャリー ロジックと共にインプリメントされます。非同期クリア入力 (CLR) が最も優先される入力で、High の場合、クロック (C) の遷移に関係なく、Q 出力、ターミナル カウント (TC)、クロック イネーブル出力 (CEO) が 0 になります。クロック イネーブル入力 (CE) が High の場合、クロック (C) が Low から High に切り替わるときに出力 (Q) がインクリメントされます。CE が Low の場合、クロック遷移は無視されます。すべての Q 出力が High になると、TC 出力が High になります。

各段の CEO 出力を次の段の CE 入力に接続し、C および CLR 入力を並列に接続すると、より大型のカウンターを作成できます。TC と CE が High になると、CEO がアクティブ (High) になります。カウンターの最大長は、CE ピンから TC ピンへの伝搬遅延の合計とクロック周期の関係によって決定されます。クロック周期は、 $n(t_{CE-TC})$ より大きい必要があります。ここで、 n は段数、時間 t_{CE-TC} は各段での CE ピンから TC ピンへの伝搬遅延を表します。カウンターをカスケード接続する場合、CE 入力を使用するときは CEO 出力を、CE 入力を使用しないときは TC 出力を使用します。

電力を供給すると、カウンターは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

入力			出力		
CLR	CE	C	Q _z ~ Q ₀	TC	CEO
1	X	X	0	0	0
0	0	X	変化なし	変化なし	0
0	1	↑	インクリメント	TC	CEO
$z = \text{ビット幅} - 1$ $TC = Q_z \cdot Q_{(z-1)} \cdot Q_{(z-2)} \cdot \dots \cdot Q_0$ $CEO = TC \cdot CE$					

デザインの入力方法

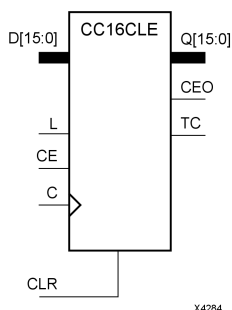
このELEMENTは、回路図でのみ使用できます。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

CC16CLE

マクロ : 16-Bit Loadable Cascadable Binary Counter with Clock Enable and Asynchronous Clear



概要

このデザイン エLEMENTは、同期、ロード可能、非同期クリア可能、カスケード可能なバイナリ カウンターです。このカウンターは、ロジックが効率よく配置されるように、相対ロケーション制約を使用してキャリー ロジックと共にインプリメントされます。非同期クリア入力 (CLR) が最も優先される入力で、High の場合、クロック (C) の遷移に関係なく、Q 出力、ターミナル カウント (TC)、クロック イネーブル出力 (CEO) が 0 になります。ロード イネーブル入力 (L) が High の場合、クロック (C) が Low から High に切り替わるときに、クロック イネーブル (CE) の値に関係なく、入力 (D) の値がカウンターにロードされます。CE が High の場合、クロックが Low から High に切り替わるときに Q 出力がインクリメントされます。CE が Low の場合、クロック遷移は無視されます。すべての Q 出力が High になると、TC 出力が High になります。

各段の CEO 出力を次の段の CE 入力に接続し、C、L、および CLR 入力を並列に接続すると、より大型のカウンターを作成できます。TC と CE が High になると、CEO がアクティブ (High) になります。カウンターの最大長は、CE ピンから TC ピンへの伝搬遅延の合計とクロック周期の関係によって決定されます。クロック周期は、 $n(t_{CE-TC})$ より大きい必要があります。ここで、 n は段数、時間 t_{CE-TC} は各段での CE ピンから TC ピンへの伝搬遅延を表します。カウンターをカスケード接続する場合、CE 入力を使用するときは CEO 出力を、CE 入力を使用しないときは TC 出力を使用します。

電力を供給すると、カウンターは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

入力					出力		
CLR	L	CE	C	D _z ~ D ₀	Q _z ~ Q ₀	TC	CEO
1	X	X	X	X	0	0	0
0	1	X	↑	D _n	D _n	TC	CEO
0	0	0	X	X	変化なし	変化なし	0
0	0	1	↑	X	インクリメント	TC	CEO

$z = \text{ビット幅} - 1$
 $TC = Q_z \cdot Q_{(z-1)} \cdot Q_{(z-2)} \cdot \dots \cdot Q_0$
 $CEO = TC \cdot CE$

デザインの入力方法

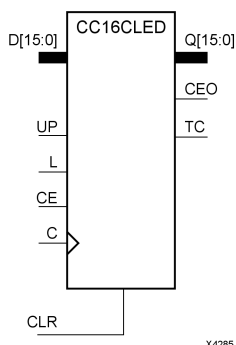
このELEMENTは、回路図でのみ使用できます。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

CC16CLED

マクロ : 16-Bit Loadable Cascadable Bidirectional Binary Counter with Clock Enable and Asynchronous Clear



概要

このデザイン エLEMENTは、同期、ロード可能、非同期クリア可能、カスケード可能な双方向バイナリカウンタです。このカウンタは、ロジックが効率よく配置されるように、相対ロケーション制約を使用してキャリー ロジックと共にインプリメントされます。非同期クリア入力 (CLR) が最も優先される入力で、High の場合、クロック (C) の遷移に関係なく、Q 出力、ターミナル カウント (TC)、クロック イネーブル出力 (CEO) が 0 になります。ロード イネーブル入力 (L) が High の場合、クロック (C) が Low から High に切り替わるときに、クロック イネーブル (CE) の値に関係なく、入力 (D) の値がカウンタにロードされます。CE が High、UP が Low の場合、クロックが Low から High に切り替わるときに、Q 出力がデクリメントされます。CE と UP が High の場合、Q 出力がインクリメントされます。CE が Low の場合、クロック遷移は無視されます。

カウントアップする場合、すべての Q 出力と UP が High になると TC 出力が High になります。カウントダウンする場合、すべての Q 出力と UP が Low になると TC 出力が High になります。

各段の CEO 出力を次の段の CE 入力に接続し、C、UP、L、および CLR 入力を並列に接続すると、より大型のカウンタを作成できます。TC と CE が High になると、CEO がアクティブ (High) になります。カウンタの最大長は、CE ピンから TC ピンへの伝搬遅延の合計とクロック周期の関係によって決定されます。クロック周期は、 $n(t_{CE-TC})$ より大きい必要があります。ここで、 n は段数、時間 t_{CE-TC} は各段での CE ピンから TC ピンへの伝搬遅延を表します。カウンタをカスケード接続する場合、CE 入力を使用するときは CEO 出力を、CE 入力を使用しないときは TC 出力を使用します。

電力を供給すると、カウンタは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

入力						出力		
CLR	L	CE	C	UP	Dz ~ D0	Qz ~ Q0	TC	CEO
1	X	X	X	X	X	0	0	0
0	1	X	↑	X	Dn	Dn	TC	CEO
0	0	0	X	X	X	変化なし	変化なし	0
0	0	1	↑	1	X	インクリメント	TC	CEO
0	0	1	↑	0	X	デクリメント	TC	CEO
z = ビット幅 - 1 $TC = (Qz \cdot Q(z-1) \cdot Q(z-2) \cdot \dots \cdot Q0 \cdot UP) + (Qz \cdot Q(z-1) \cdot Q(z-2) \cdot \dots \cdot Q0 \cdot \overline{UP})$ $CEO = TC \cdot CE$								

デザインの入力方法

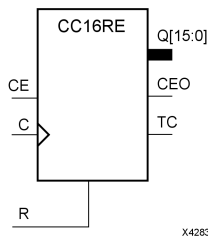
このエレメントは、回路図でのみ使用できます。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

CC16RE

マクロ : 16-Bit Cascadable Binary Counter with Clock Enable and Synchronous Reset



概要

このデザイン エレメントは、同期、リセット可能、カスケード可能なバイナリ カウンターです。このカウンターは、ロジックが効率よく配置されるように、相対ロケーション制約を使用してキャリー ロジックと共にインプリメントされます。同期リセット入力 (R) は最も優先される入力で、R が High になると、ほかのすべての入力は無視され、クロック (C) が Low から High に切り替わるときに、Q 出力、ターミナル カウント (TC)、クロック イネーブル出力 (CEO) が 0 になります。クロック イネーブル入力 (CE) が High の場合、クロックが Low から High に切り替わるときに Q 出力がインクリメントされます。CE が Low の場合、クロック遷移は無視されます。すべての Q 出力と CE が High になると、TC 出力が High になります。

各段の CEO 出力を次の段の CE 入力に接続し、C および R 入力を並列に接続すると、より大型のカウンターを作成できます。TC と CE が High になると、CEO がアクティブ (High) になります。カウンターの最大長は、CE ピンから TC ピンへの伝搬遅延の合計とクロック周期の関係によって決定されます。クロック周期は、 $n(t_{CE-TC})$ より大きい必要があります。ここで、 n は段数、時間 t_{CE-TC} は各段での CE ピンから TC ピンへの伝搬遅延を表します。カウンターをカスケード接続する場合、CE 入力を使用するときは CEO 出力を、CE 入力を使用しないときは TC 出力を使用します。

電力を供給すると、カウンターは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

入力			出力		
R	CE	C	Q _z ~ Q ₀	TC	CEO
1	X	↑	0	0	0
0	0	X	変化なし	変化なし	0
0	1	↑	インクリメント	TC	CEO

$z = \text{ビット幅} - 1$
 $TC = Q_z \cdot Q_{(z-1)} \cdot Q_{(z-2)} \cdot \dots \cdot Q_0$
 $CEO = TC \cdot CE$

デザインの入力方法

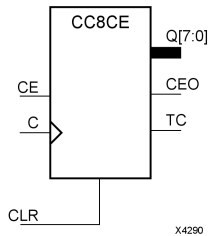
このエレメントは、回路図でのみ使用できます。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

CC8CE

マクロ：8-Bit Cascadable Binary Counter with Clock Enable and Asynchronous Clear



概要

このデザイン エLEMENTは、非同期クリア可能、カスケード可能なバイナリ カウンターです。このカウンターは、ロジックが効率よく配置されるように、相対ロケーション制約を使用してキャリー ロジックと共にインプリメントされます。非同期クリア入力 (CLR) が最も優先される入力で、High の場合、クロック (C) の遷移に関係なく、Q 出力、ターミナル カウント (TC)、クロック イネーブル出力 (CEO) が 0 になります。クロック イネーブル入力 (CE) が High の場合、クロック (C) が Low から High に切り替わる時に出力 (Q) がインクリメントされます。CE が Low の場合、クロック遷移は無視されます。すべての Q 出力が High になると、TC 出力が High になります。

各段の CEO 出力を次の段の CE 入力に接続し、C および CLR 入力を並列に接続すると、より大型のカウンターを作成できます。TC と CE が High になると、CEO がアクティブ (High) になります。カウンターの最大長は、CE ピンから TC ピンへの伝搬遅延の合計とクロック周期の関係によって決定されます。クロック周期は、 $n(t_{CE-TC})$ より大きい必要があります。ここで、 n は段数、時間 t_{CE-TC} は各段での CE ピンから TC ピンへの伝搬遅延を表します。カウンターをカスケード接続する場合、CE 入力を使用するときは CEO 出力を、CE 入力を使用しないときは TC 出力を使用します。

電力を供給すると、カウンターは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

入力			出力		
CLR	CE	C	Q _z ~ Q ₀	TC	CEO
1	X	X	0	0	0
0	0	X	変化なし	変化なし	0
0	1	↑	インクリメント	TC	CEO

$z = \text{ビット幅} - 1$
 $TC = Q_z \cdot Q_{(z-1)} \cdot Q_{(z-2)} \cdot \dots \cdot Q_0$
 $CEO = TC \cdot CE$

デザインの入力方法

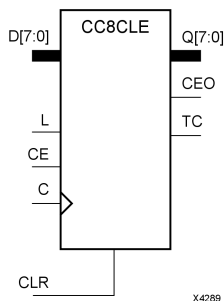
このELEMENTは、回路図でのみ使用できます。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

CC8CLE

マクロ : 8-Bit Loadable Cascadable Binary Counter with Clock Enable and Asynchronous Clear



概要

このデザイン エレメントは、同期、ロード可能、非同期クリア可能、カスケード可能なバイナリ カウンターです。このカウンターは、ロジックが効率よく配置されるように、相対ロケーション制約を使用してキャリー ロジックと共にインプリメントされます。非同期クリア入力 (CLR) が最も優先される入力で、High の場合、クロック (C) の遷移に関係なく、Q 出力、ターミナル カウント (TC)、クロック イネーブル出力 (CEO) が 0 になります。ロード イネーブル入力 (L) が High の場合、クロック (C) が Low から High に切り替わるときに、クロック イネーブル (CE) の値に関係なく、入力 (D) の値がカウンターにロードされます。CE が High の場合、クロックが Low から High に切り替わるときに Q 出力がインクリメントされます。CE が Low の場合、クロック遷移は無視されます。すべての Q 出力が High になると、TC 出力が High になります。

各段の CEO 出力を次の段の CE 入力に接続し、C、L、および CLR 入力を並列に接続すると、より大型のカウンターを作成できます。TC と CE が High になると、CEO がアクティブ (High) になります。カウンターの最大長は、CE ピンから TC ピンへの伝搬遅延の合計とクロック周期の関係によって決定されます。クロック周期は、 $n(t_{CE-TC})$ より大きい必要があります。ここで、 n は段数、時間 t_{CE-TC} は各段での CE ピンから TC ピンへの伝搬遅延を表します。カウンターをカスケード接続する場合、CE 入力を使用するときは CEO 出力を、CE 入力を使用しないときは TC 出力を使用します。

電力を供給すると、カウンターは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

入力					出力		
CLR	L	CE	C	D _z ~ D ₀	Q _z ~ Q ₀	TC	CEO
1	X	X	X	X	0	0	0
0	1	X	↑	D _n	D _n	TC	CEO
0	0	0	X	X	変化なし	変化なし	0
0	0	1	↑	X	インクリメント	TC	CEO
z = ビット幅 - 1 $TC = Q_z \cdot Q_{(z-1)} \cdot Q_{(z-2)} \cdot \dots \cdot Q_0$ $CEO = TC \cdot CE$							

デザインの入力方法

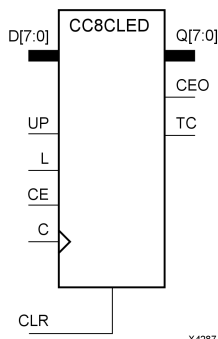
このエレメントは、回路図でのみ使用できます。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

CC8CLED

マクロ : 8-Bit Loadable Cascadable Bidirectional Binary Counter with Clock Enable and Asynchronous Clear



概要

このデザイン エLEMENTは、同期、ロード可能、非同期クリア可能、カスケード可能な双方向バイナリ カウンターです。このカウンターは、ロジックが効率よく配置されるように、相対ロケーション制約を使用してキャリー ロジックと共にインプリメントされます。非同期クリア入力 (CLR) が最も優先される入力で、High の場合、クロック (C) の遷移に関係なく、Q 出力、ターミナル カウント (TC)、クロック イネーブル出力 (CEO) が 0 になります。ロード イネーブル入力 (L) が High の場合、クロック (C) が Low から High に切り替わるときに、クロック イネーブル (CE) の値に関係なく、入力 (D) の値がカウンターにロードされます。CE が High、UP が Low の場合、クロックが Low から High に切り替わるときに、Q 出力がデクリメントされます。CE と UP が High の場合、Q 出力がインクリメントされます。CE が Low の場合、クロック遷移は無視されます。

カウントアップする場合、すべての Q 出力と UP が High になると TC 出力が High になります。カウントダウンする場合、すべての Q 出力と UP が Low になると TC 出力が High になります。

各段の CEO 出力を次の段の CE 入力に接続し、C、UP、L、および CLR 入力を並列に接続すると、より大型のカウンターを作成できます。TC と CE が High になると、CEO がアクティブ (High) になります。カウンターの最大長は、CE ピンから TC ピンへの伝搬遅延の合計とクロック周期の関係によって決定されます。クロック周期は、 $n(t_{CE-TC})$ より大きい必要があります。ここで、 n は段数、時間 t_{CE-TC} は各段での CE ピンから TC ピンへの伝搬遅延を表します。カウンターをカスケード接続する場合、CE 入力を使用するときは CEO 出力を、CE 入力を使用しないときは TC 出力を使用します。

電力を供給すると、カウンターは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

入力						出力		
CLR	L	CE	C	UP	Dz ~ D0	Qz ~ Q0	TC	CEO
1	X	X	X	X	X	0	0	0
0	1	X	↑	X	Dn	Dn	TC	CEO
0	0	0	X	X	X	変化なし	変化なし	0
0	0	1	↑	1	X	インクリメント	TC	CEO
0	0	1	↑	0	X	デクリメント	TC	CEO
z = ビット幅 - 1 $TC = (Qz \cdot Q(z-1) \cdot Q(z-2) \cdot \dots \cdot Q0 \cdot UP) + (Qz \cdot Q(z-1) \cdot Q(z-2) \cdot \dots \cdot Q0 \cdot \overline{UP})$ $CEO = TC \cdot CE$								

デザインの入力方法

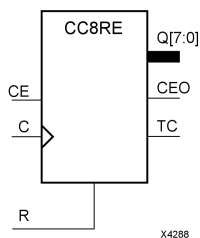
このエレメントは、回路図でのみ使用できます。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

CC8RE

マクロ : 8-Bit Cascadable Binary Counter with Clock Enable and Synchronous Reset



概要

このデザイン エレメントは、同期、リセット可能、カスケード可能なバイナリ カウンターです。このカウンターは、ロジックが効率よく配置されるように、相対ロケーション制約を使用してキャリー ロジックと共にインプリメントされます。同期リセット入力 (R) は最も優先される入力、R が High になると、ほかのすべての入力は無視され、クロック (C) が Low から High に切り替わるたびに、Q 出力、ターミナル カウント (TC)、クロック イネーブル出力 (CEO) が 0 になります。クロック イネーブル入力 (CE) が High の場合、クロックが Low から High に切り替わるたびに Q 出力がインクリメントされます。CE が Low の場合、クロック遷移は無視されます。すべての Q 出力と CE が High になると、TC 出力が High になります。

各段の CEO 出力を次の段の CE 入力に接続し、C および R 入力を並列に接続すると、より大型のカウンターを作成できます。TC と CE が High になると、CEO がアクティブ (High) になります。カウンターの最大長は、CE ピンから TC ピンへの伝搬遅延の合計とクロック周期の関係によって決定されます。クロック周期は、 $n(t_{CE-TC})$ より大きい必要があります。ここで、 n は段数、時間 t_{CE-TC} は各段での CE ピンから TC ピンへの伝搬遅延を表します。カウンターをカスケード接続する場合、CE 入力を使用するときは CEO 出力を、CE 入力を使用しないときは TC 出力を使用します。

電力を供給すると、カウンターは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

入力			出力		
R	CE	C	Q _z ~ Q ₀	TC	CEO
1	X	↑	0	0	0
0	0	X	変化なし	変化なし	0
0	1	↑	インクリメント	TC	CEO

$z = \text{ビット幅} - 1$
 $TC = Q_z \cdot Q_{(z-1)} \cdot Q_{(z-2)} \cdot \dots \cdot Q_0$
 $CEO = TC \cdot CE$

デザインの入力方法

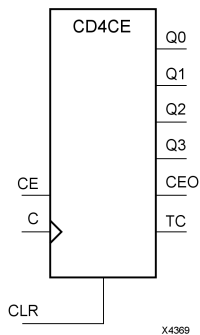
このエレメントは、回路図でのみ使用できます。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

CD4CE

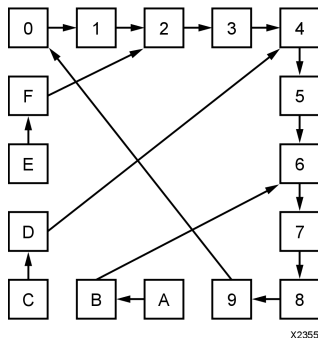
マクロ：4-Bit Cascadable BCD Counter with Clock Enable and Asynchronous Clear



概要

CD4CE は、4 ビットの非同期、クリア可能、カスケード可能な 2 進法 10 進法 (BCD) のカウンタです。非同期クリア入力 (CLR) が最も優先される入力で、High の場合、クロック (C) の遷移に関係なく、Q 出力、ターミナル カウント (TC)、クロック イネーブル出力 (CEO) が 0 になります。クロック イネーブル (CE) が High の場合、クロック (C) が Low から High に切り替わるときに Q 出力がインクリメントされます。CE が Low の場合、クロック遷移は無視されます。Q3 と Q0 が High、Q2 と Q1 が Low になると、TC 出力が High になります。

次のステート ダイアグラムに示すように、カウンタは 6 通りの無効状態から 2 クロック サイクル以内に通常のカウン トシーケンスに復帰します。



各段の CEO 出力を次の段の CE 入力に接続し、C および CLR 入力を並列に接続すると、より大型のカウンタを作成できます。TC と CE が High になると、CEO がアクティブ (High) になります。カウンタの最大長は、CE ピンから TC ピンへの伝搬遅延の合計とクロック周期の関係によって決定されます。クロック周期は、 $n(t_{CE-TC})$ より大きい必要があります。ここで、 n は段数、時間 t_{CE-TC} は各段での CE ピンから TC ピンへの伝搬遅延を表します。カウンタをカスケード接続する場合、CE 入力を使用するときは CEO 出力を、CE 入力を使用しないときは TC 出力を使用します。

電力を供給すると、カウンタは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

入力			出力					
CLR	CE	C	Q3	Q2	Q1	Q0	TC	CEO
1	X	X	0	0	0	0	0	0
0	1	↑	インクリメント	インクリメント	インクリメント	インクリメント	TC	CEO
0	0	X	変化なし	変化なし	変化なし	変化なし	TC	0
0	1	X	1	0	0	1	1	1
TC = Q3·!Q2·!Q1·Q0								
CEO = TC·CE								

デザインの入力方法

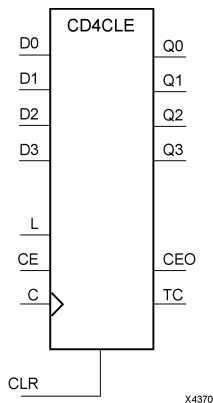
このエレメントは、回路図でのみ使用できます。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

CD4CLE

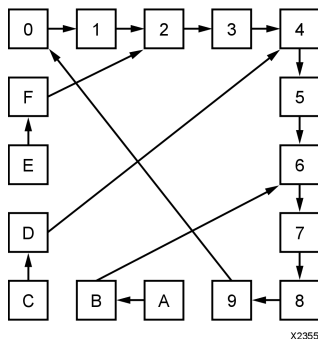
マクロ：4-Bit Loadable Cascadable BCD Counter with Clock Enable and Asynchronous Clear



概要

CD4CLE は、4 ビットの同期ロード可能、非同期クリア可能、カスケード可能なバイナリ カウンターです。非同期クリア入力 (CLR) が最も優先される入力で、High の場合、クロック (C) の遷移に関係なく、Q 出力、ターミナル カウント (TC)、クロック イネーブル出力 (CEO) が 0 になります。ロード イネーブル入力 (L) が High の場合、クロック (C) が Low から High に切り替わるときに D 入力の値がカウンターにロードされます。クロック イネーブル入力 (CE) が High の場合、クロックが Low から High に切り替わるときに Q 出力がインクリメントされます。CE が Low の場合、クロック遷移は無視されます。Q3 と Q0 が High、Q2 と Q1 が Low になると、TC 出力が High になります。

次のステート ダイアグラムに示すように、カウンターは 6 通りの無効状態から 2 クロック サイクル以内に通常のカウンティング シーケンスに復帰します。



各段の CEO 出力を次の段の CE 入力に接続し、C、L、および CLR 入力を並列に接続すると、より大型のカウンターを作成できます。TC と CE が High になると、CEO がアクティブ (High) になります。カウンターの最大長は、CE ピンから TC ピンへの伝搬遅延の合計とクロック周期の関係によって決定されます。クロック周期は、 $n(t_{CE-TC})$ より大きい必要があります。ここで、 n は段数、時間 t_{CE-TC} は各段での CE ピンから TC ピンへの伝搬遅延を表します。カウンターをカスケード接続する場合、CE 入力を使用するときは CEO 出力を、CE 入力を使用しないときは TC 出力を使用します。

電力を供給すると、カウンターは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

入力					出力					
CLR	L	CE	D3 : D0	C	Q3	Q2	Q1	Q0	TC	CEO
1	X	X	X	X	0	0	0	0	0	0
0	1	X	D3 : D0	↑	D3	D2	D1	D0	TC	CEO
0	0	1	X	↑	インクリメント	インクリメント	インクリメント	インクリメント	TC	CEO
0	0	0	X	X	変化なし	変化なし	変化なし	変化なし	TC	0
0	0	1	X	X	1	0	0	1	1	1
TC = Q3·!Q2·!Q1·Q0										
CEO = TC·CE										

デザインの入力方法

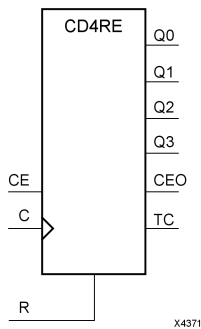
このエレメントは、回路図でのみ使用できます。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

CD4RE

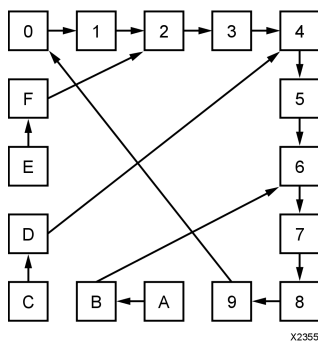
マクロ：4-Bit Cascadable BCD Counter with Clock Enable and Synchronous Reset



概要

CD4RE は、4 ビットの同期、リセット可能、カスケード可能な 2 進法 10 進法 (BCD) のカウンタです。同期リセット入力 (R) は最も優先される入力で、R が High になるとほかのすべての入力は無視され、クロック (C) が Low から High に切り替わる時に、Q 出力、ターミナル カウント (TC)、クロック イネーブル出力 (CEO) が 0 になります。クロック イネーブル入力 (CE) が High の場合、クロックが Low から High に切り替わる時に Q 出力がインクリメントされます。CE が Low の場合、クロック遷移は無視されます。Q3 と Q0 が High、Q2 と Q1 が Low になると、TC 出力が High になります。

次のステート ダイアグラムに示すように、カウンタは 6 通りの無効状態から 2 クロック サイクル以内に通常のカウンタシーケンスに復帰します。



各段の CEO 出力を次の段の CE 入力に接続し、C および R 入力を並列に接続すると、より大型のカウンタを作成できます。TC と CE が High になると、CEO がアクティブ (High) になります。カウンタの最大長は、CE ピンから TC ピンへの伝搬遅延の合計とクロック周期の関係によって決定されます。クロック周期は、 $n(t_{CE-TC})$ より大きい必要があります。ここで、 n は段数、時間 t_{CE-TC} は各段での CE ピンから TC ピンへの伝搬遅延を表します。カウンタをカスケード接続する場合、CE 入力を使用するときは CEO 出力を、CE 入力を使用しないときは TC 出力を使用します。

電力を供給すると、カウンタは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

入力			出力					
R	CE	C	Q3	Q2	Q1	Q0	TC	CEO
1	X	↑	0	0	0	0	0	0
0	1	↑	インクリメント	インクリメント	インクリメント	インクリメント	TC	CEO
0	0	X	変化なし	変化なし	変化なし	変化なし	TC	0
0	1	X	1	0	0	1	1	1
TC = Q3·!Q2·!Q1·Q0								
CEO = TC·CE								

デザインの入力方法

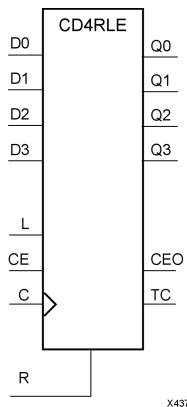
このエレメントは、回路図でのみ使用できます。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

CD4RLE

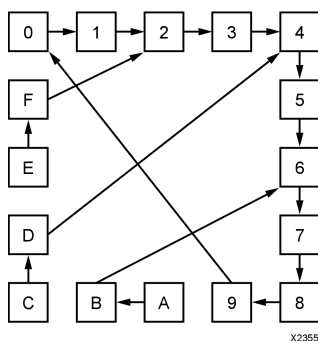
マクロ : 4-Bit Loadable Cascadable BCD Counter with Clock Enable and Synchronous Reset



概要

CD4RLE は、4 ビットの同期、ロード可能、リセット可能な 2 進法 10 進法 (BCD) カウンターです。同期リセット入力 (R) は最も優先される入力、R が High になると、ほかのすべての入力は無視され、クロックが Low から High に切り替わる時に、Q 出力、ターミナル カウント (TC)、クロック イネーブル出力 (CEO) が 0 になります。ロード イネーブル入力 (L) が High の場合、クロック (C) が Low から High に切り替わる時に D 入力の値がカウンターにロードされます。クロック イネーブル入力 (CE) が High の場合、クロックが Low から High に切り替わる時に Q 出力がインクリメントされます。CE が Low の場合、クロック遷移は無視されます。Q3 と Q0 が High、Q2 と Q1 が Low になると、TC 出力が High になります。

次のステートダイアグラムに示すように、カウンターは 6 通りの無効状態から 2 クロック サイクル以内に通常のカウンタシーケンスに復帰します。



各段の CEO 出力を次の段の CE 入力に接続し、C、L、および R 入力を並列に接続すると、より大型のカウンターを作成できます。TC と CE が High になると、CEO がアクティブ (High) になります。カウンターの最大長は、CE ピンから TC ピンへの伝搬遅延の合計とクロック周期の関係によって決定されます。クロック周期は、 $n(t_{CE-TC})$ より大きい必要があります。ここで、 n は段数、時間 t_{CE-TC} は各段での CE ピンから TC ピンへの伝搬遅延を表します。カウンターをカスケード接続する場合、CE 入力を使用するときは CEO 出力を、CE 入力を使用しないときは TC 出力を使用します。

電力を供給すると、カウンターは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

入力					出力					
R	L	CE	D3 : D0	C	Q3	Q2	Q1	Q0	TC	CEO
1	X	X	X	↑	0	0	0	0	0	0
0	1	X	D3 : D0	↑	D3	D	D	D0	TC	CEO
0	0	1	X	↑	インクリメント	インクリメント	インクリメント	インクリメント	TC	CEO
0	0	0	X	X	変化なし	変化なし	変化なし	変化なし	TC	0
0	0	1	X	X	1	0	0	1	1	1
TC = Q3·!Q2·!Q1·Q0										
CEO = TC·CE										

デザインの入力方法

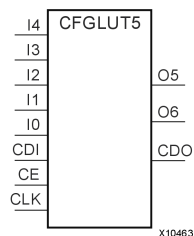
このエレメントは、回路図でのみ使用できます。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

CFGLUT5

プリミティブ：5-input Dynamically Reconfigurable Look-Up Table (LUT)



概要

このデザイン エLEMENTは、ランタイムのダイナミック リコンフィギュレーションが可能な 5 入力ルックアップ テーブル (LUT) で、回路の動作中に LUT のロジック ファンクションを変更できます。CDI ピンを使用すると、クロックに同期して新しい INIT 値がシリアルにシフトされ、ロジック ファンクションが変更されます。O6 出力ピンでは、LUT に読み込まれた現在の INIT 値と現在選択されている入力ピン I0 ～ I4 に基づいてロジック ファンクションが生成されます。オプションで O5 出力と O6 出力を使用して、同じ入力を共有する 4 入力ファンクションを 2 つ作成するか、または 5 入力ファンクション 1 つとその 5 入力ロジックのサブセットを使用する 4 入力ファンクションを作成できます (下の表を参照)。このELEMENTは、1 つのスライス M に含まれる 4 個の LUT6 のうちの 1 つを使用します。

このELEMENTをカスケード接続するには、CDO ピンを次のELEMENTの CDI 入力に接続します。これにより、1 つのシリアル チェーンのデータ (LUT につき 32 ビット) で複数の LUT をリコンフィギュレーションできます。

ポートの説明

ポート名	方向	幅	機能
O6	出力	1	5 入力 LUT 出力
O5	出力	1	4 入力 LUT 出力
I0, I1, I2, I3, I4	入力	1	LUT 入力
CDO	出力	1	リコンフィギュレーション データのカスケード出力 (オプションで次の LUT の CDI 入力に接続)
CDI	入力	1	リコンフィギュレーション データ シリアル入力
CLK	入力	1	リコンフィギュレーション クロック
CE	入力	1	アクティブ High リコンフィギュレーション クロック イネーブル

デザインの入力方法

このELEMENTは、回路図で使用できます。

- ・ CLK 入力をリコンフィギュレーション データを供給するのに使用するクロック ソースに接続します。
- ・ CDI 入力をリコンフィギュレーション データのソースに接続します。
- ・ CE ピンを LUT のリコンフィギュレーションをイネーブルまたはディスエーブルにするには、アクティブ High のロジックに接続します。
- ・ I4 ～ I0 ピンを論理式のソース入力に接続します。ロジック ファンクションは、O6 および O5 から出力されます。
- ・ このELEMENTをカスケード接続する場合は、CDO ピンを次のELEMENTの CDI ピンに接続し、1 つのシリアル チェーンのデータで複数の LUT をリコンフィギュレーションできるようにします。

INIT 属性をこのデザイン エLEMENT に設定して、LUT の初期ロジック ファンクションを指定する必要があります。新しい INIT 値は、チェーンに含まれる LUT ごとに 32 ビットをシフトインすることで、回路の作動中いつでも読み込むことができます。O6 および O5 の出力値は、新しい 32 ビットの INIT 値がすべて LUT に入力されるまで無視します。新しい INIT 値が LUT にシフトインされると、LUT のロジック ファンクションが変化します。データは MSB (INIT[31]) から順に LSB (INIT[0]) までシフトインされる必要があります。

次の表に示すように、O6 および O5 の論理値は、現在の INIT 値に基づいています。

I4 I3 I2 I1 I0	O6 値	O5 値
1 1 1 1 1	INIT[31]	INIT[15]
1 1 1 1 0	INIT[30]	INIT[14]
...
1 0 0 0 1	INIT[17]	INIT[1]
1 0 0 0 0	INIT[16]	INIT[0]
0 1 1 1 1	INIT[15]	INIT[15]
0 1 1 1 0	INIT[14]	INIT[14]
...
0 0 0 0 1	INIT[1]	INIT[1]
0 0 0 0 0	INIT[0]	INIT[0]

たとえば INIT 値が FFFF8000 の場合は、次の論理式を表します。

- $O6 = I4 \text{ or } (I3 \text{ and } I2 \text{ and } I1 \text{ and } I0)$
- $O5 = I3 \text{ and } I2 \text{ and } I1 \text{ and } I0$

入力を共有するが機能は異なる 2 つの 4 入力 LUT として使用するには、I4 信号を論理 1 に接続します。INIT[31:16] が O6 出力の論理値に、INIT[15:0] の値が O5 出力の論理値に適用されます。

使用可能な属性

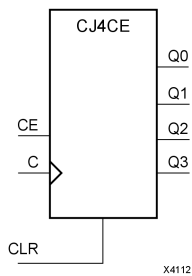
属性	データ型	値	デフォルト	説明
INIT	16 進数	32 ビット値	すべて 0	このELEMENTの初期値を指定します。

詳細情報

- [『Spartan-6 FPGA コンフィギュラブル ロジック ブロック ユーザー ガイド』\(UG384\)](#)
- [『Spartan-6 FPGA データシート：DC 特性およびスイッチ特性』\(DS162\)](#)

CJ4CE

マクロ：4-Bit Johnson Counter with Clock Enable and Asynchronous Clear



概要

このデザイン エLEMENTは、クリア可能なジョンソン/シフト カウンターです。非同期クリア (CLR) 入力が高になると、ほかのすべての入力は無視され、クロック (C) の遷移に関係なく、出力 (Q) が 0 になります。クロック イネーブル入力 (CE) が High の場合、クロックが Low から High に切り替わるときにカウンターがインクリメント (Q0 → Q1、Q1 → Q2 のようにシフト) します。CE が Low の場合、クロック遷移は無視されます。

このデザイン エLEMENTでは、Q3 の出力が反転されて入力 Q0 にフィードバックされ、連続したカウント処理が実行されます。

電力を供給すると、カウンターは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

入力			出力	
CLR	CE	C	Q0	Q1 ~ Q3
1	X	X	0	0
0	0	X	変化なし	変化なし
0	1	↑	!q3	q0 ~ q2

q = アクティブなクロック エッジの 1 セットアップ タイム前の対応する出力の値

デザインの入力方法

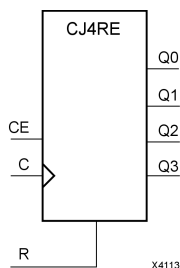
このELEMENTは、回路図でのみ使用できます。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

CJ4RE

マクロ：4-Bit Johnson Counter with Clock Enable and Synchronous Reset



概要

このデザイン エLEMENTは、リセット可能なジョンソン/シフト カウンターです。同期 R が High になると、ほかのすべての入力は無視され、クロック (C) が Low から High に切り替わるときに出力が 0 になります。クロック イネーブル入力 (CE) が High の場合、クロックが Low から High に切り替わるときにカウンタがインクリメント (Q0 → Q1、Q1 → Q2 のようにシフト) します。CE が Low の場合、クロック遷移は無視されます。

このデザイン エLEMENTでは、Q3 の出力が反転されて入力 Q0 にフィードバックされ、連続したカウント処理が実行されます。

電力を供給すると、カウンタは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

入力			出力	
R	CE	C	Q0	Q1 ~ Q3
1	X	↑	0	0
0	0	X	変化なし	変化なし
0	1	↑	!q3	q0 ~ q2

q = アクティブなクロック エッジの 1 セットアップ タイム前の対応する出力の値

デザインの入力方法

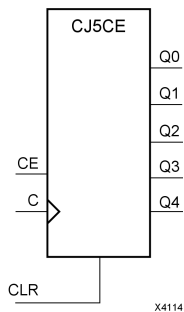
このELEMENTは、回路図でのみ使用できます。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

CJ5CE

マクロ：5-Bit Johnson Counter with Clock Enable and Asynchronous Clear



概要

このデザイン エLEMENTは、クリア可能なジョンソン/シフト カウンターです。非同期クリア (CLR) 入力が高になると、ほかのすべての入力は無視され、クロック (C) の遷移に関係なく、出力 (Q) が 0 になります。クロック イネーブル入力 (CE) が High の場合、クロックが Low から High に切り替わるときにカウンタがインクリメント (Q0 → Q1、Q1 → Q2 のようにシフト) します。CE が Low の場合、クロック遷移は無視されます。

このデザイン エLEMENTでは、Q4 の出力が反転されて入力 Q0 にフィードバックされ、連続したカウント処理が実行されます。

電力を供給すると、カウンタは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

入力			出力	
CLR	CE	C	Q0	Q1 ~ Q4
1	X	X	0	0
0	0	X	変化なし	変化なし
0	1	↑	!q4	q0 ~ q3
q = アクティブなクロック エッジの 1 セットアップ タイム前の対応する出力の値				

デザインの入力方法

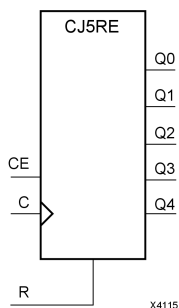
このELEMENTは、回路図でのみ使用できます。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

CJ5RE

マクロ：5-Bit Johnson Counter with Clock Enable and Synchronous Reset



概要

このデザイン エレメントは、リセット可能なジョンソン/シフト カウンターです。同期 R が High になると、ほかのすべての入力は無視され、クロック (C) が Low から High に切り替わるときに出力が 0 になります。クロック イネーブル入力 (CE) が High の場合、クロックが Low から High に切り替わるときにカウンタがインクリメント (Q0 → Q1、Q1 → Q2 のようにシフト) します。CE が Low の場合、クロック遷移は無視されます。

このデザイン エレメントでは、Q4 の出力が反転されて入力 Q0 にフィードバックされ、連続したカウント処理が実行されます。

電力を供給すると、カウンタは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

入力			出力	
R	CE	C	Q0	Q1 ~ Q4
1	X	↑	0	0
0	0	X	変化なし	変化なし
0	1	↑	!q4	q0 ~ q3
q = アクティブなクロック エッジの 1 セットアップ タイム前の対応する出力の値				

デザインの入力方法

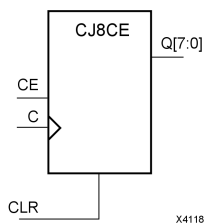
このエレメントは、回路図でのみ使用できます。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

CJ8CE

マクロ：8-Bit Johnson Counter with Clock Enable and Asynchronous Clear



概要

このデザイン エLEMENTは、クリア可能なジョンソン/シフト カウンターです。非同期クリア (CLR) 入力が高レベルになると、ほかのすべての入力は無視され、クロック (C) の遷移に関係なく、出力 (Q) が 0 になります。クロック イネーブル入力 (CE) が High の場合、クロックが Low から High に切り替わるときにカウンターがインクリメント (Q0 → Q1、Q1 → Q2 のようにシフト) します。CE が Low の場合、クロック遷移は無視されます。

このデザイン エLEMENTでは、Q7 の出力が反転されて入力 Q0 にフィードバックされ、連続したカウント処理が実行されます。

電力を供給すると、カウンターは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

入力			出力	
CLR	CE	C	Q0	Q1 ~ Q8
1	X	X	0	0
0	0	X	変化なし	変化なし
0	1	↑	!q7	q0 ~ q7
q = アクティブなクロック エッジの 1 セットアップ タイム前の対応する出力の値				

デザインの入力方法

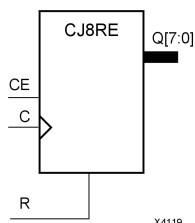
このELEMENTは、回路図でのみ使用できます。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

CJ8RE

マクロ：8-Bit Johnson Counter with Clock Enable and Synchronous Reset



概要

このデザイン エレメントは、リセット可能なジョンソン/シフト カウンターです。同期 R が High になると、ほかのすべての入力は無視され、クロック (C) が Low から High に切り替わるときに出力が 0 になります。クロック イネーブル入力 (CE) が High の場合、クロックが Low から High に切り替わるときにカウンタがインクリメント (Q0 → Q1、Q1 → Q2 のようにシフト) します。CE が Low の場合、クロック遷移は無視されます。

このデザイン エレメントでは、Q7 の出力が反転されて入力 Q0 にフィードバックされ、連続したカウント処理が実行されます。

電力を供給すると、カウンタは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

入力			出力	
R	CE	C	Q0	Q1 ~ Q7
1	X	↑	0	0
0	0	X	変化なし	変化なし
0	1	↑	!q7	q0 ~ q6

q = アクティブなクロック エッジの 1 セットアップ タイム前の対応する出力の値

デザインの入力方法

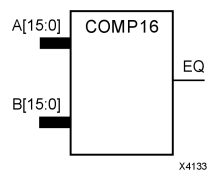
このエレメントは、回路図でのみ使用できます。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

COMP16

マクロ：16-Bit Identity Comparator



概要

このデザイン エLEMENTは、16 ビットのアイデンティティ コンパレータです。イコール出力 (EQ) は、A15 ～ A0 と B15 ～ B0 の 2 つのワードが等しいと High になります。

2 つのワードが等しいかどうかは、各ビットを比較して判断されます。各ワードの対応するビットのいずれかに等しくないものがある場合、EQ 出力は Low になります。

デザインの入力方法

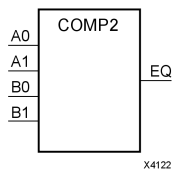
このELEMENTは、回路図でのみ使用できます。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

COMP2

マクロ：2-Bit Identity Comparator



概要

このデザイン エLEMENTは、2 ビットのアイデンティティコンパレータです。イコール出力 (EQ) は、A1 ～ A0 と B1 ～ B0 の 2 つのワードが等しいと High になります。

2 つのワードが等しいかどうかは、各ビットを比較して判断されます。各ワードの対応するビットのいずれかに等しくないものがある場合、EQ 出力は Low になります。

デザインの入力方法

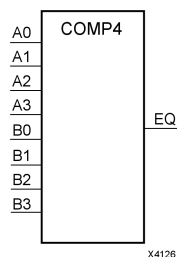
このELEMENTは、回路図でのみ使用できます。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

COMP4

マクロ：4-Bit Identity Comparator



概要

このデザイン エLEMENTは、4 ビットのアイデンティティ コンパレータです。イコール出力 (EQ) は、A3 ～ A0 と B3 ～ B0 の 2 つのワードが等しいと High になります。

2 つのワードが等しいかどうかは、各ビットを比較して判断されます。各ワードの対応するビットのいずれかに等しくないものがある場合、EQ 出力は Low になります。

デザインの入力方法

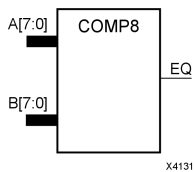
このELEMENTは、回路図でのみ使用できます。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

COMP8

マクロ：8-Bit Identity Comparator



概要

このデザイン エLEMENTは、8 ビットのアイデンティティ コンパレータです。イコール出力 (EQ) は、A7 ～ A0 と B7 ～ B0 の 2 つのワードが等しいと High になります。

2 つのワードが等しいかどうかは、各ビットを比較して判断されます。各ワードの対応するビットのいずれかに等しくないものがある場合、EQ 出力は Low になります。

デザインの入力方法

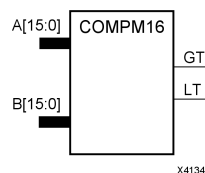
このELEMENTは、回路図でのみ使用できます。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

COMPM16

マクロ : 16-Bit Magnitude Comparator



概要

このデザイン エLEMENTは 16 ビットのマグニチュード コンパレータで、2 つの正の 2 進重み付きワード A15 ~ A0 と B15 ~ B0 を比較します (A15 と B15 が最上位ビット)。

大なり出力 (GT) は $A > B$ のとき High になり、小なり出力 (LT) は $A < B$ のとき High になります。2 つのワードが等しいときは、GT と LT の両方が Low になります。このマクロで等価性を調べるには、両方の出力を NOR ゲートで比較します。

論理表

入力								出力	
A7、B7	A6、B6	A5、B5	A4、B4	A3、B3	A2、B2	A1、B1	A0、B0	GT	LT
A7>B7	X	X	X	X	X	X	X	1	0
A7<B7	X	X	X	X	X	X	X	0	1
A7=B7	A6>B6	X	X	X	X	X	X	1	0
A7=B7	A6<B6	X	X	X	X	X	X	0	1
A7=B7	A6=B6	A5>B5	X	X	X	X	X	1	0
A7=B7	A6=B6	A5<B5	X	X	X	X	X	0	1
A7=B7	A6=B6	A5=B5	A4>B4	X	X	X	X	1	0
A7=B7	A6=B6	A5=B5	A4<B4	X	X	X	X	0	1
A7=B7	A6=B6	A5=B5	A4=B4	A3>B3	X	X	X	1	0
A7=B7	A6=B6	A5=B5	A4=B4	A3<B3	X	X	X	0	1
A7=B7	A6=B6	A5=B5	A4=B4	A3=B3	A2>B2	X	X	1	0
A7=B7	A6=B6	A5=B5	A4=B4	A3=B3	A2<B2	X	X	0	1
A7=B7	A6=B6	A5=B5	A4=B4	A3=B3	A2=B2	A1>B1	X	1	0
A7=B7	A6=B6	A5=B5	A4=B4	A3=B3	A2=B2	A1<B1	X	0	1
A7=B7	A6=B6	A5=B5	A4=B4	A3=B3	A2=B2	A1=B1	A0>B0	1	0
A7=B7	A6=B6	A5=B5	A4=B4	A3=B3	A2=B2	A1=B1	A0<B0	0	1
A7=B7	A6=B6	A5=B5	A4=B4	A3=B3	A2=B2	A1=B1	A0=B0	0	0

デザインの入力方法

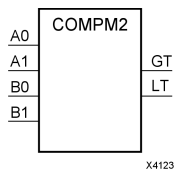
このELEMENTは、回路図でのみ使用できます。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

COMPM2

マクロ : 2-Bit Magnitude Comparator



概要

このデザイン エLEMENTは 2 ビットのマグニチュード コンパレータで、2 つの正の 2 進重み付きワード A1 ~ A0 と B1 ~ B0 を比較します (A1 と B1 が最上位ビット)。

大なり出力 (GT) は $A > B$ のとき High になり、小なり出力 (LT) は $A < B$ のとき High になります。2 つのワードが等しいときは、GT と LT の両方が Low になります。このマクロで等価性を調べるには、両方の出力を NOR ゲートで比較します。

論理表

入力				出力	
A1	B1	A0	B0	GT	LT
0	0	0	0	0	0
0	0	1	0	1	0
0	0	0	1	0	1
0	0	1	1	0	0
1	1	0	0	0	0
1	1	1	0	1	0
1	1	0	1	0	1
1	1	1	1	0	0
1	0	X	X	1	0
0	1	X	X	0	1

デザインの入力方法

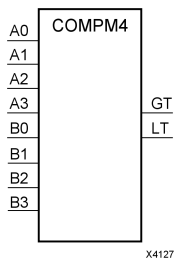
このELEMENTは、回路図でのみ使用できます。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

COMPM4

マクロ：4-Bit Magnitude Comparator



概要

このデザイン エLEMENTは 4 ビットのマグニチュード コンパレータで、2 つの正の 2 進重み付きワード A3 ～ A0 と B3 ～ B0 を比較します (A3 と B3 が最上位ビット)。

大なり出力 (GT) は $A > B$ のとき High になり、小なり出力 (LT) は $A < B$ のとき High になります。2 つのワードが等しいときは、GT と LT の両方が Low になります。このマクロで等価性を調べるには、両方の出力を NOR ゲートで比較します。

論理表

入力				出力	
A3、B3	A2、B2	A1、B1	A0、B0	GT	LT
$A3 > B3$	X	X	X	1	0
$A3 < B3$	X	X	X	0	1
$A3 = B3$	$A2 > B2$	X	X	1	0
$A3 = B3$	$A2 < B2$	X	X	0	1
$A3 = B3$	$A2 = B2$	$A1 > B1$	X	1	0
$A3 = B3$	$A2 = B2$	$A1 < B1$	X	0	1
$A3 = B3$	$A2 = A2$	$A1 = B1$	$A0 > B0$	1	0
$A3 = B3$	$A2 = B2$	$A1 = B1$	$A0 < B0$	0	1
$A3 = B3$	$A2 = B2$	$A1 = B1$	$A0 = B0$	0	0

デザインの入力方法

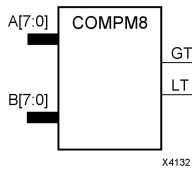
このELEMENTは、回路図でのみ使用できます。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

COMP8

マクロ : 8-Bit Magnitude Comparator



概要

このデザイン エレメントは 8 ビットのマグニチュード コンパレータで、2 つの正の 2 進重み付きワード A7 ~ A0 と B7 ~ B0 を比較します (A7 と B7 が最上位ビット)。

大なり出力 (GT) は $A > B$ のとき High になり、小なり出力 (LT) は $A < B$ のとき High になります。2 つのワードが等しいときは、GT と LT の両方が Low になります。このマクロで等価性を調べるには、両方の出力を NOR ゲートで比較します。

論理表

入力								出力	
A7、B7	A6、B6	A5、B5	A4、B4	A3、B3	A2、B2	A1、B1	A0、B0	GT	LT
A7>B7	X	X	X	X	X	X	X	1	0
A7<B7	X	X	X	X	X	X	X	0	1
A7=B7	A6>B6	X	X	X	X	X	X	1	0
A7=B7	A6<B6	X	X	X	X	X	X	0	1
A7=B7	A6=B6	A5>B5	X	X	X	X	X	1	0
A7=B7	A6=B6	A5<B5	X	X	X	X	X	0	1
A7=B7	A6=B6	A5=B5	A4>B4	X	X	X	X	1	0
A7=B7	A6=B6	A5=B5	A4<B4	X	X	X	X	0	1
A7=B7	A6=B6	A5=B5	A4=B4	A3>B3	X	X	X	1	0
A7=B7	A6=B6	A5=B5	A4=B4	A3<B3	X	X	X	0	1
A7=B7	A6=B6	A5=B5	A4=B4	A3=B3	A2>B2	X	X	1	0
A7=B7	A6=B6	A5=B5	A4=B4	A3=B3	A2<B2	X	X	0	1
A7=B7	A6=B6	A5=B5	A4=B4	A3=B3	A2=B2	A1>B1	X	1	0
A7=B7	A6=B6	A5=B5	A4=B4	A3=B3	A2=B2	A1<B1	X	0	1
A7=B7	A6=B6	A5=B5	A4=B4	A3=B3	A2=B2	A1=B1	A0>B0	1	0
A7=B7	A6=B6	A5=B5	A4=B4	A3=B3	A2=B2	A1=B1	A0<B0	0	1
A7=B7	A6=B6	A5=B5	A4=B4	A3=B3	A2=B2	A1=B1	A0=B0	0	0

デザインの入力方法

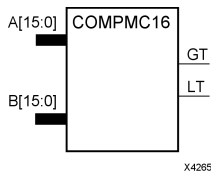
このエレメントは、回路図でのみ使用できます。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

COMPMC16

マクロ：16-Bit Magnitude Comparator



概要

このデザイン エLEMENTは 16 ビットのマグニチュード コンパレータで、2 つの正の 2 進重み付きワード A15 ～ A0 と B15 ～ B0 を比較します (A15 と B15 が最上位ビット)。

このコンパレータは、ロジックが効率よく配置されるように、相対ロケーション制約を使用してキャリー ロジックと共にインプリメントされます。

大なり出力 (GT) は $A > B$ のとき High になり、小なり出力 (LT) は $A < B$ のとき High になります。2 つのワードが等しいときは、GT と LT の両方が Low になります。このマクロで等価性を調べるには、両方の出力を NOR ゲートに接続します。

論理表

入力								出力	
A7、B7	A6、B6	A5、B5	A4、B4	A3、B3	A2、B2	A1、B1	A0、B0	GT	LT
A7>B7	X	X	X	X	X	X	X	1	0
A7<B7	X	X	X	X	X	X	X	0	1
A7=B7	A6>B6	X	X	X	X	X	X	1	0
A7=B7	A6<B6	X	X	X	X	X	X	0	1
A7=B7	A6=B6	A5>B5	X	X	X	X	X	1	0
A7=B7	A6=B6	A5<B5	X	X	X	X	X	0	1
A7=B7	A6=B6	A5=B5	A4>B4	X	X	X	X	1	0
A7=B7	A6=B6	A5=B5	A4<B4	X	X	X	X	0	1
A7=B7	A6=B6	A5=B5	A4=B4	A3>B3	X	X	X	1	0
A7=B7	A6=B6	A5=B5	A4=B4	A3<B3	X	X	X	0	1
A7=B7	A6=B6	A5=B5	A4=B4	A3=B3	A2>B2	X	X	1	0
A7=B7	A6=B6	A5=B5	A4=B4	A3=B3	A2<B2	X	X	0	1
A7=B7	A6=B6	A5=B5	A4=B4	A3=B3	A2=B2	A1>B1	X	1	0
A7=B7	A6=B6	A5=B5	A4=B4	A3=B3	A2=B2	A1<B1	X	0	1
A7=B7	A6=B6	A5=B5	A4=B4	A3=B3	A2=B2	A1=B1	A0>B0	1	0
A7=B7	A6=B6	A5=B5	A4=B4	A3=B3	A2=B2	A1=B1	A0<B0	0	1
A7=B7	A6=B6	A5=B5	A4=B4	A3=B3	A2=B2	A1=B1	A0=B0	0	0

デザインの入力方法

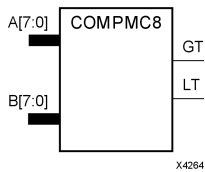
このELEMENTは、回路図でのみ使用できます。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

COMPMC8

マクロ : 8-Bit Magnitude Comparator



概要

このデザイン エLEMENTは 8 ビットのマグニチュード コンパレータで、2 つの正の 2 進重み付きワード A7 ~ A0 と B7 ~ B0 を比較します (A7 と B7 が最上位ビット)。

このコンパレータは、ロジックが効率よく配置されるように、相対ロケーション制約を使用してキャリー ロジックと共にインプリメントされます。

大なり出力 (GT) は $A > B$ のとき High になり、小なり出力 (LT) は $A < B$ のとき High になります。2 つのワードが等しいときは、GT と LT の両方が Low になります。このマクロで等価性を調べるには、両方の出力を NOR ゲートに接続します。

論理表

入力								出力	
A7、B7	A6、B6	A5、B5	A4、B4	A3、B3	A2、B2	A1、B1	A0、B0	GT	LT
A7>B7	X	X	X	X	X	X	X	1	0
A7<B7	X	X	X	X	X	X	X	0	1
A7=B7	A6>B6	X	X	X	X	X	X	1	0
A7=B7	A6<B6	X	X	X	X	X	X	0	1
A7=B7	A6=B6	A5>B5	X	X	X	X	X	1	0
A7=B7	A6=B6	A5<B5	X	X	X	X	X	0	1
A7=B7	A6=B6	A5=B5	A4>B4	X	X	X	X	1	0
A7=B7	A6=B6	A5=B5	A4<B4	X	X	X	X	0	1
A7=B7	A6=B6	A5=B5	A4=B4	A3>B3	X	X	X	1	0
A7=B7	A6=B6	A5=B5	A4=B4	A3<B3	X	X	X	0	1
A7=B7	A6=B6	A5=B5	A4=B4	A3=B3	A2>B2	X	X	1	0
A7=B7	A6=B6	A5=B5	A4=B4	A3=B3	A2<B2	X	X	0	1
A7=B7	A6=B6	A5=B5	A4=B4	A3=B3	A2=B2	A1>B1	X	1	0
A7=B7	A6=B6	A5=B5	A4=B4	A3=B3	A2=B2	A1<B1	X	0	1
A7=B7	A6=B6	A5=B5	A4=B4	A3=B3	A2=B2	A1=B1	A0>B0	1	0
A7=B7	A6=B6	A5=B5	A4=B4	A3=B3	A2=B2	A1=B1	A0<B0	0	1
A7=B7	A6=B6	A5=B5	A4=B4	A3=B3	A2=B2	A1=B1	A0=B0	0	0

デザインの入力方法

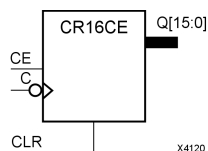
このELEMENTは、回路図でのみ使用できます。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

CR16CE

マクロ：16-Bit Negative-Edge Binary Ripple Counter with Clock Enable and Asynchronous Clear



概要

このデザイン エLEMENTは、クロック イネーブルと非同期クリアがある、カスケード可能、クリア可能な 16 ビットのバイナリリップル カウンターです。

1 段目の最後の Q 出力を次の段のクロック入力に接続し、CLR および CE 入力を並列に接続すると、より大型のカウンターを作成できます。クロック周期は、リップル カウンター全体の長さの影響を受けません。クロック ピンと出力ピンの伝搬遅延は、 $n(t_{c-q})$ です。ここで、 n は段数、時間 $n(t_{c-q})$ は各段における C ピンから Qz ピンへの伝搬遅延を表します。

電力を供給すると、カウンターは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

入力			出力
CLR	CE	C	Qz : Q0
1	X	X	0
0	0	X	変化なし
0	1	↓	インクリメント
z = ビット幅 - 1			

デザインの入力方法

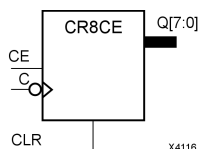
このELEMENTは、回路図でのみ使用できます。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

CR8CE

マクロ：8-Bit Negative-Edge Binary Ripple Counter with Clock Enable and Asynchronous Clear



概要

このデザイン エレメントは、クロック イネーブルと非同期クリアがある、カスケード可能、クリア可能な 8 ビットのバイナリリップル カウンターです。

非同期クリア (CLR) が High になると、ほかのすべての入力は無視され、Q 出力が 0 になります。クロック イネーブル入力 (CE) が High の場合、クロック (C) が High から Low に切り替わるときにカウンタがインクリメントします。CE が Low の場合、クロック遷移は無視されます。

1 段目の最後の Q 出力を次の段のクロック入力に接続し、CLR および CE 入力を並列に接続すると、より大型のカウンタを作成できます。クロック周期は、リップル カウンタ全体の長さの影響を受けません。クロックピンと出力ピンの伝搬遅延は、 $n(t_c - q)$ です。ここで、 n は段数、時間 $n(t_c - q)$ は各段における C ピンから Qz ピンへの伝搬遅延を表します。

電力を供給すると、カウンタは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

入力			出力
CLR	CE	C	Qz : Q0
1	X	X	0
0	0	X	変化なし
0	1	↓	インクリメント
z = ビット幅 - 1			

デザインの入力方法

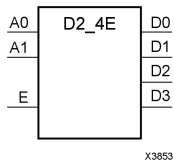
このエレメントは、回路図でのみ使用できます。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

D2_4E

マクロ : 2- to 4-Line Decoder/Demultiplexer with Enable



概要

このデザイン エLEMENTは、デコーダー/デマルチプレクサーです。イネーブル (E) 入力が高の場合、2 ビットのバイナリ アドレス (A1 ~ A0) 入力に応じて 4 つのアクティブ High の出力 (D3 ~ D0) のいずれかが High になります。それ以外の出力は、Low になります。E 入力が高の場合は、すべての出力が Low になります。デマルチプレクサー アプリケーションでは、E 入力が入力値になります。

論理表

入力			出力			
A1	A0	E	D3	D2	D1	D0
X	X	0	0	0	0	0
0	0	1	0	0	0	1
0	1	1	0	0	1	0
1	0	1	0	1	0	0
1	1	1	1	0	0	0

デザインの入力方法

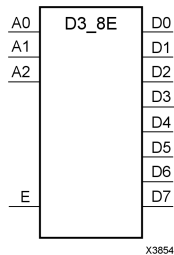
このELEMENTは、回路図でのみ使用できます。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

D3_8E

マクロ : 3- to 8-Line Decoder/Demultiplexer with Enable



概要

D3_8E デコーダー/デマルチプレクサーのイネーブル (E) 入力が高の場合、3 ビットのバイナリ アドレス (A2 ~ A0) 入力によって 8 つのアクティブ High の出力 (D7 ~ D0) のいずれかが High になります。それ以外の出力は、Low になります。E 入力が高の場合、すべての出力が Low になります。デマルチプレクサー アプリケーションでは、E 入力が入力値になります。

論理表

入力				出力							
A2	A1	A0	E	D7	D6	D5	D4	D3	D2	D1	D0
X	X	X	0	0	0	0	0	0	0	0	0
0	0	0	1	0	0	0	0	0	0	0	1
0	0	1	1	0	0	0	0	0	0	1	0
0	1	0	1	0	0	0	0	0	1	0	0
0	1	1	1	0	0	0	0	1	0	0	0
1	0	0	1	0	0	0	1	0	0	0	0
1	0	1	1	0	0	1	0	0	0	0	0
1	1	0	1	0	1	0	0	0	0	0	0
1	1	1	1	1	0	0	0	0	0	0	0

デザインの入力方法

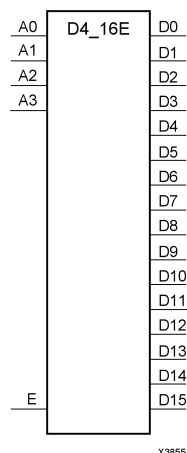
このエレメントは、回路図でのみ使用できます。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

D4_16E

マクロ：4- to 16-Line Decoder/Demultiplexer with Enable



概要

このデザイン エLEMENTは、デコーダー/デマルチプレクサーです。D4_16E デコーダー/デマルチプレクサーのイネーブル (E) 入力が高になると、4 ビットのバイナリ アドレス (A3 ~ A0) 入力に応じて 16 のアクティブ High の出力 (D15 ~ D0) のいずれかが High になります。それ以外の出力は、Low になります。E 入力が高の場合は、すべての出力が Low になります。デマルチプレクサー アプリケーションでは、E 入力が入力値になります。

デザインの入力方法

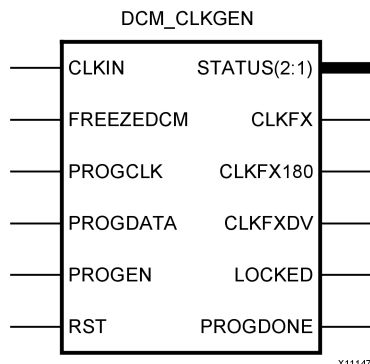
このELEMENTは、回路図でのみ使用できます。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

DCM_CLKGEN

プリミティブ : Digital Clock Manager.



概要

デジタル クロック マネージャー (DCM) が周波数アライメント モードになっており、入力クロックに対して位相が揃っていない (位相関係がない) とき、プログラマブル出力クロック合成、ジッターの削減、スペクトラム拡散、およびフリー ランニング オシレーター モードなどの機能を使用できます。このコンポーネントの使用方法的詳細は、『Spartan-6 FPGA クロック リソース ユーザー ガイド』(UG382) を参照してください。

ポートの説明

ポート名	方向	幅	機能
CLKFX	出力	1	CLKFX_MULTIPLY および CLKFX_DIVIDE 属性で制御される同期クロック出力。スタティックに設定するか、または 4 ワイヤ SPI ポート (PROGDATA、PROGCLK、PROGDONE、および PROGEN) を介してダイナミック プログラムできます。デューティ サイクルは常に 50% です。
CLKFXDV	出力	1	CLKFX の分周出力クロック。分周値は CLKFXDV_DIVIDE 属性の値で決まります。CLKFX および CLKFXDV の位相は揃えられません。
CLKFX180	出力	1	180 度位相がシフトされている同期クロック出力 CLKFX (CLKFX の反転バージョン)。デューティ サイクルは常に 50% です。
CLKIN	入力	1	DCM へのクロック入力。常に必要で、CLKIN 周波数およびジッターがデータシートに記載されている範囲内である必要があります。フリーランニング オシレーター モードの場合は、DCM がロックしてフリーズしたら動作クロックの接続を解除できます。その他のモードでは、フリーランニング クロックを供給し続ける必要があります。
FREEZEDCM	入力	1	CLKIN 入力失われたときのタップ調整の変動を防ぎます。これで、DCM がフリー ランニング にモード設定されます。
LOCKED	出力	1	DCM の動作の準備が完了しているかを示す同期出力。 <ul style="list-style-type: none"> 0 : DCM クロック出力が無効です。 1 : DCM で動作準備が完了しています。 1 が 0 になるとき : DCM で LOCK が失われ、DCM がリセットされます。
PROGCLK	入力	1	M および/または D リコンフィギュレーションのクロック入力

ポート名	方向	幅	機能
PROGDATA	入力	1	DCM の M (通倍) および D (分周) 値の再プログラム用データを提供するシリアル データ入力。この入力は、PROGCLK 入力に同期させる必要があります。
PROGDONE	出力	1	M または D 値の再プログラミングが正しく完了したことを示すアクティブ High 出力
PROGEN	入力	1	M/D 値を再プログラムする アクティブ High のイネーブル入力。この入力は、PROGCLK 入力に同期させる必要があります。
RST	入力	1	DCM 回路をリセットします。RST 信号は、アクティブ High の非同期リセットです。RST 信号をアサートすると、すべての DCM 出力 (LOCKED 信号、ステータス信号、出力クロック) がソースクロックの 4 サイクル以内に Low になります。リセットは非同期であるため、ディアサート中にクロックの最後のサイクルが短いパルスになったり、デューティサイクルが崩れたり、クロック間のスキューが調整される可能性があります。このため、デバイスをリコンフィギュレーションする場合や入力周波数を変更する場合は、RST ピンを使用する必要があります。RST 信号をディアサートすると、次の CLKIN サイクルに同期してクロックをロック状態にするプロセスが開始します。DCM がリセット後に正しくロックされるようにするには、CLKIN 信号が供給され、3 クロックサイクル以上安定するまで RST 信号をディアサートしておく必要があります。どのデザインでも、クロックが安定するまで DCM をリセットに保持する必要があります。コンフィギュレーションでは、GWE が解除されるまで DCM は自動的にリセット状態に保持されます。GSR が解除されたときにクロックが安定していれば、コンフィギュレーション後に DCM をリセットする必要はありません。
STATUS[2:1]	出力	2	クロック ステータス出力 <ul style="list-style-type: none"> STATUS[1] : CLKIN の停止 STATUS[2] : CLKFX または CLKFX180 の停止

デザインの入力方法

このエレメントは、回路図で使用できます。

使用可能な属性

属性	データ型	値	デフォルト	説明
CLKFX_DIVIDE	整数	1 ~ 256	1	この値と入力周波数および CLKFX_MULTIPLY の値を組み合わせ、CLKFX および CLKFX180 の出力周波数が決定されます。
CLKFXDV_DIVIDE	整数	2、4、8、16、32	2	CLKFXDV の分周値を指定します。
CLKFX_MD_MAX	3 上位ビット 浮動小数点	0.000 ~ 256.000	0.000	DCM_CLKGEN を変数 M および D 値で使用するとき、スタティック タイミング解析中に使用する M と D の最大比率を指定します。
CLKFX_MULTIPLY	整数	2 ~ 256	4	この値と入力周波数および CLKFX_DIVIDE の値を組み合わせ、CLKFX および CLKFX180 の出力周波数が決定されます。

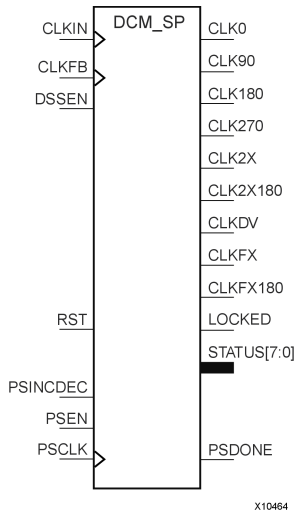
属性	データ型	値	デフォルト	説明
CLKIN_PERIOD	浮動小数点	2.000 ~ 1000.00	なし	CLKFX/CLKFX180 出力のために DCM の調整を補助しロックにかかる時間を短縮するために使用するソースクロックの周期を指定します。
DFS_BANDWIDTH	文字列	"OPTIMIZED"、 "HIGH"、 "LOW"	"OPTIMIZED"	プロセス、電圧、温度 (PVT) に対する DCM の周波数調整バンド幅を指定します。
PROG_MD_BANDWIDTH	文字列	"OPTIMIZED"、 "HIGH"、 "LOW"	"OPTIMIZED"	M および D 値のプログラミング変更に対する DCM の周波数調整バンド幅を指定します。
SPREAD_SPECTRUM	文字列	"NONE"、"CENTER_LOW_SPREAD"、 "CENTER_HIGH_SPREAD"、 "VIDEO_LINK_M0"、 "VIDEO_LINK_M1"、 "VIDEO_LINK_M2"	"NONE"	<p>スペクトラム拡散でサポートされるモードを指定します。周波数ホッピングを実現するには、適切な IP と共に使用する必要があります。</p> <p>固定スペクトラム拡散 ("CENTER_LOW_SPREAD"、 "CENTER_HIGH_SPREAD") またはソフト スペクトラム拡散 ("VIDEO_LINK_M0"、 "VIDEO_LINK_M1"、 "VIDEO_LINK_M2") で使用されます。ソフト スペクトラム拡散は、ソフト スペクトラム拡散リファレンス デザインと共に使用する必要があります。</p>
STARTUP_WAIT	ブール代数	FALSE、TRUE	FALSE	コンフィギュレーション DONE 信号を DCM LOCKED 信号が High になるまで遅らせます。

詳細情報

- ・ [『Spartan-6 FPGA クロック リソース ユーザー ガイド』\(UG382\)](#)
- ・ [『Spartan-6 FPGA データシート：DC 特性およびスイッチ特性』\(DS162\)](#)

DCM_SP

プリミティブ：Digital Clock Manager



概要

このデザイン エLEMENTは、さまざまな機能を備えたデジタル クロック マネージャーで、クロック遅延ロック ループ (DLL)、デジタル周波数合成 (DFS)、デジタル位相シフト (DPS) といった機能をインプリメントできます。DCM_SP は、オンチップおよびオフチップからのクロック遅延をなくしたり、データ キャプチャを向上するためにクロック位相をシフトしたり、異なる周波数のクロックを生成させる場合などに便利です。

ポートの説明

ポート名	方向	幅	機能
CLKDV	出力	1	CLKDV_DIVIDE 属性で制御される分周クロック出力。CLKDV_DIVIDE 属性で整数以外の値が設定されていない限り、CLKDV 出力のデューティサイクルは 50% になります。
CLKFB	入力	1	DCM へのクロック フィードバック入力。DFS 出力、CLKFX、または CLKFX180 がスタンドアロンで使用されない限り、フィードバック入力が必要です。CLKFB 入力は、DCM の CLK0 または CLK2X 出力から供給し、それに応じて CLK_FEEDBACK を 1X または 2X に設定する必要があります。NONE に設定すると、CLKFB は使用されず Low に保持する必要があります。フィードバック ポイントには、内部または外部でクロック分配ネットワークに追加される遅延が含まれているのが理想的です。
CLKFX	出力	1	CLKFX_MULTIPLY および CLKFX_DIVIDE 属性で制御される同期クロック出力。デューティサイクルは常に 50% で、位相関係が不要な場合は、クロック フィードバックも不要です。
CLKFX180	出力	1	180 度位相がシフトされている同期クロック出力 CLKFX (CLKFX の反転バージョン)。デューティサイクルは常に 50% で、位相関係が不要な場合は、フィードバック ループも不要です。
CLKIN	入力	1	DCM へのクロック入力。常に必要で、CLKIN 周波数およびジッターがデータシートに記載されている範囲内である必要があります。
CLK0	出力	1	位相シフトが 0 の (位相がシフトされていない) CLKIN と同じ周波数。Spartan®-6 FPGA ではデューティサイクルが 50% になるように調整されます。CLK_FEEDBACK は CLK0 のスキューを調整するように 1X または 2X に設定する必要があります。

ポート名	方向	幅	機能
CLK2X	出力	1	位相シフトが 0 の (位相がシフトされていない) 2 通倍の周波数クロック出力。CLK2X 出力のデューティ サイクルは常に 50% です。DLL 機能のフィードバック ソースとして CLK0 または CLK2X のいずれかが必要です。
CLK2X180	出力	1	位相シフトが 180 の (位相がシフトされていない) 2 通倍の周波数クロック出力。CLK2X180 出力のデューティ サイクルは常に 50% です。
CLK90	出力	1	CLKIN と同じ周波数で位相を 90 度 (1/4 周期) シフトしたクロック。Spartan®-6 FPGA ではデューティ サイクルが 50% になるように調整されます。
CLK180	出力	1	CLKIN と同じ周波数で位相を 180 度 (1/2 周期) シフトしたクロック。Spartan®-6 FPGA ではデューティ サイクルが 50% になるように調整されます。
CLK270	出力	1	CLKIN と同じ周波数で位相を 270 度 (3/4 周期) シフトしたクロック。Spartan®-6 FPGA ではデューティ サイクルが 50% になるように調整されます。
LOCKED	出力	1	すべての DCM 機能が CLKIN 周波数にロックされています。クロック出力は有効で、CLKIN が特定の範囲内にあることが想定されます。 <ul style="list-style-type: none"> ・ 0 : DCM で CLKIN 周波数にロックが試みられます。DCM クロック出力は無効です。 ・ 1 : DCM が CLKIN 周波数にロックされています。DCM クロック出力は有効です。 ・ 1 から 0 になる : DCM で LOCK が失われ、DCM がリセットされます。
PSCLK	入力	1	立ち上がりエッジでクロックが供給される可変位相シフターへのクロック入力。グローバル クロック バッファを使用している場合、PSCLK を駆動できるのは上部の 8 つの BUFGMUX のみです (BUFGMUX_X2Y1、BUFGMUX_X2Y2、BUFGMUX_X2Y3、BUFGMUX_X2Y4、BUFGMUX_X3Y5、BUFGMUX_X3Y6、BUFGMUX_X3Y7、および BUFGMUX_X3Y8)。
PSDONE	出力	1	可変位相シフトの完了 <ul style="list-style-type: none"> ・ 0 : 位相シフト操作が実行されていないか、位相シフト操作を実行中です。 ・ 1 : 要求された位相シフト操作が完了しています。1 RCLK サイクル間 High になります。次の可変位相シフト操作を開始できます。
PSEN	入力	1	可変位相シフト イネーブル。DCM ブロック内で反転可能です。次に、反転しない場合の動作を示します。 <ul style="list-style-type: none"> ・ 0 : 可変位相シフトをディスエーブルにします。位相シフターへの入力が無視されます。 ・ 1 : 次の PSCLK クロックの立ち上がりエッジで可変位相シフト操作をイネーブルにします。 注記 : 使用しないときは 0 にします。

ポート名	方向	幅	機能
PSINCDEC	入力	1	<p>可変位相シフトを増分または減分します。DCM ブロック内で反転可能です。次に、反転しない場合の動作を示します。</p> <ul style="list-style-type: none"> ・ 0：次にイネーブルにされている PSCLK クロックの立ち上がりエッジで位相シフト値を減分します。 ・ 1：次にイネーブルにされている PSCLK クロックの立ち上がりエッジで位相シフト値を増分します。
RST	入力	1	<p>非同期リセット入力。DCM ロジックをコンフィギュレーション後の状態にリセットします。これにより、DCM は CLKIN 入力に再度ロックされます。DCM ブロック内で反転可能です。次に、反転しない場合の動作を示します。</p> <ul style="list-style-type: none"> ・ 0：影響なし ・ 1：DCM ブロックのリセット。最低 CLKIN 3 サイクル間 RST を High に保持します。
STATUS[7:0]	出力	8	<p>ステータス出力バスにより DCM のステータスが示されます。</p> <ul style="list-style-type: none"> ・ STATUS[0]：可変位相シフト オーバーフロー。可変ファイン位相シフトの制御出力です。可変位相シフターが許容される最低値または最大値に達しています。位相シフトが遅延ラインの最後に到達している場合は、許容範囲は ± 255 以下です。 <ul style="list-style-type: none"> － 0：位相シフトが制限値に達成していません。 － 1：位相シフトが制限値に達成しました。 ・ STATUS[1]：CLKIN 入力の停止。CLKFB フィードバック入力が接続されているときのみ使用できます。LOCKED 出力がアサートされるまでリセットに保持されます。アクティブになるには最低 CLKIN が 1 サイクル必要です。CLKIN がトグルしない場合はアサートされません。 <ul style="list-style-type: none"> － 0：CLKIN 入力が入力されています。 － 1：CLKIN 入力は、LOCKED 出力が High になることが可能なときでもトグルしていません。 ・ STATUS[2]：CLKFX または CLKFX180 出力の停止 <ul style="list-style-type: none"> － 0：CLKFX および CLKFX180 出力が入力されています。 － 1：CLKFX および CLKFX180 出力は、LOCKED 出力が High になることが可能なときでもトグルしていません。 ・ STATUS[4:3]：予約 ・ STATUS[5]：DCM_SP のロック周期ステータス中の CLKFX のミラーバージョン ・ STATUS[6]：予約 ・ STATUS[7]：DCM_SP ロック周期ステータス中の CLKIN のミラーバージョン

デザインの入力方法

このエレメントは、回路図で使用できます。

使用可能な属性

属性	データ型	値	デフォルト	説明
CLK_FEEDBACK	文字列	"1X"、"2X"、 "NONE"	"1X"	DCM フィードバック モードを定義します。 <ul style="list-style-type: none"> ・ "1X" : CLK0 をフィードバックに使用します。 ・ "2X" : CLK2X をフィードバックに使用します。
CLKDV_DIVIDE	1 上位ビット 浮動小数点	2.0、1.5、2.5、3.0、 3.5、4.0、4.5、5.0、 5.5、6.0、6.5、7.0、 7.5、8.0、9.0、10.0、 11.0、12.0、13.0、 14.0、15.0、16.0	2.0	CLKDLL、CLKDLLE、CLKDLLHF、 DCM_SP のクロック分周出力 CLKDV の分 周比を指定します。
CLKFX_DIVIDE	整数	1 ~ 32	1	CLKFX 出力の分周比を指定します。
CLKFX_MULTIPLY	整数	2 ~ 32	4	CLKFX 出力の通倍比を指定します。
CLKIN_DIVIDE_BY_2	ブール代数	FALSE、TRUE	FALSE	CLKIN を 2 で分周します。
CLKIN_PERIOD	浮動小数点	2.000 ~ 1000.00	なし	CLKIN の入力周期を ns で指定します。
CLKOUT_PHASE_SHIFT	文字列	"NONE"、 "FIXED"、 "VARIABLE"	"NONE"	位相シフト モードを指定します。 <ul style="list-style-type: none"> ・ "NONE" : 位相シフト機能を使用しません。設定されている値は反映されません。 ・ "FIXED" : DCM の出力は CLKIN から決まった位相だけシフトされたものになります。値は PHASE_SHIFT 属性で指定されます。 ・ "VARIABLE" : DCM 出力を CLKIN に対して正および負の範囲にシフトできるようにします。開始値は PHASE_SHIFT 属性で指定されます。
DESKEW_ADJUST	文字列	"SYSTEM_ SYNCHRONOUS"、 "SOURCE_ SYNCHRONOUS"	"SYSTEM_ SYNCHRONOUS"	DCM_SP クロック出力と FPGA のクロック入力ピン間のクロック遅延の分配に影響する コンフィギュレーションビットを設定します。
DFS_FREQUENCY_MODE	文字列	"LOW"、"HIGH"	"LOW"	この属性はレガシ属性です。DCM は常に 自動周波数検索モードになります。High または Low のどちらに設定しても、影響ありません。
DLL_FREQUENCY_MODE	文字列	"LOW"、"HIGH"	"LOW"	この属性はレガシ属性です。DCM は常に 自動周波数検索モードになります。High または Low のどちらに設定しても、影響ありません。

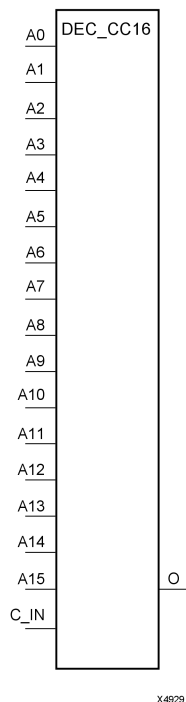
属性	データ型	値	デフォルト	説明
DUTY_CYCLE_CORRECTION	ブール代数	TRUE、FALSE	TRUE	サポートなし
FACTORY_JF	16 進数	16'h8080 ～ 16'hffff	16'hc080	サポートなし
PHASE_SHIFT	整数	-255 ～ 255	0	この属性は、CLKOUT_PHASE_SHIFT 属性が FIXED または VARIABLE に設定されている場合のみ使用できます。コンフィギュレーションでの CLKIN とすべての DCM クロック出力間の立ち上がりエッジ スキューを定義し、DCM クロック出力の位相をシフトします。スキューまたは位相シフト値は、ファイン位相シフトの式で表現されているように、クロック周期の係数を表す整数で指定します。実際に許容される値は、入力クロックの周波数によって異なります。TCLKIN が FINE_SHIFT_RANGE より大きいとき実際の範囲は狭くなります。FINE_SHIFT_RANGE は、遅延ラインのすべてのタップの総遅延を示します。
STARTUP_WAIT	ブール代数	FALSE、TRUE	FALSE	<p>FPGA コンフィギュレーション DONE 信号を High にするのを、DCM の LOCKED 信号がアサートされるまで待つかどうかを指定します。</p> <ul style="list-style-type: none"> FALSE：デフォルト値。DCM の LOCKED 信号がアサートされるのを待たずにコンフィギュレーションの最後にアサートされます。 TRUE：DONE 信号は関連する DCM の LOCKED 信号が High になるまで High になりません。 <p>STARTUP_WAIT の指定にかかわらず、LOCKED 信号は High になります。FPGA のスタートアップ シーケンスも変更し、延期サイクルの前に LCK (ロック) サイクルを挿入する必要があります。DONE サイクルまたは GWE サイクルが一般的です。複数の DCM をコンフィギュレーションする場合は、すべての DCM がロックされるまで DONE ビンは High になりません。</p>

詳細情報

- ・ [『Spartan-6 FPGA クロックリソース ユーザー ガイド』\(UG382\)](#)
- ・ [『Spartan-6 FPGA データシート：DC 特性およびスイッチ特性』\(DS162\)](#)

DEC_CC16

マクロ : 16-Bit Active Low Decoder



概要

このデザイン エLEMENTは、多入力デコーダー ファンクションを作成するために使用される 16 ビットのデコーダーで、ルックアップ テーブル (LUT) で駆動される CY_MUX エLEMENTをカスケード接続することによりインプリメントされます。C_IN ピンは、前段のデコードの出力 (O) によってのみ駆動されます。1 つ以上の入力 (A) が Low になると、出力が Low になります。すべての A 入力と C_IN 入力が High になると、出力が High になります。入力にインバーターを追加すると、パターンをデコードできます。

論理表

入力					出力
A0	A1	...	Az	C_IN	O
1	1	1	1	1	1
X	X	X	X	0	0
0	X	X	X	X	0
X	0	X	X	X	0
X	X	X	0	X	0

DEC_CC4 の場合 z = 3、DEC_CC8 の場合 z = 7、DEC_CC16 の場合 z = 15

デザインの入力方法

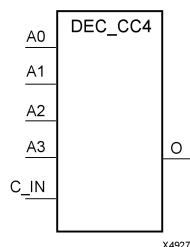
このELEMENTは、回路図でのみ使用できます。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

DEC_CC4

マクロ : 4-Bit Active Low Decoder



概要

このデザイン エレメントは、多入力デコーダー ファンクションを作成するために使用される 4 ビットのデコーダーで、ルックアップ テーブル (LUT) で駆動される CY_MUX エレメントをカスケード接続することによりインプリメントされます。C_IN ピンは、前段のデコードの出力 (O) によってのみ駆動されます。1 つ以上の入力 (A) が Low になると、出力が Low になります。すべての A 入力と C_IN 入力が High になると、出力が High になります。入力にインバーターを追加すると、パターンをデコードできます。

論理表

入力					出力
A0	A1	...	Az	C_IN	O
1	1	1	1	1	1
X	X	X	X	0	0
0	X	X	X	X	0
X	0	X	X	X	0
X	X	X	0	X	0

DEC_CC4 の場合 z = 3、DEC_CC8 の場合 z = 7、DEC_CC16 の場合 z = 15

デザインの入力方法

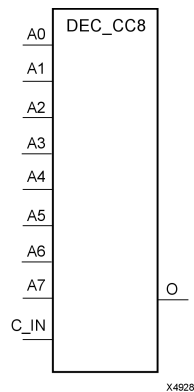
このエレメントは、回路図でのみ使用できます。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

DEC_CC8

マクロ：8-Bit Active Low Decoder



概要

このデザイン エLEMENTは、多入力デコーダー ファンクションを作成するために使用される 8 ビットのデコーダーで、ルックアップ テーブル (LUT) で駆動される CY_MUX エLEMENTをカスケード接続することによりインプリメントされます。C_IN ピンは、前段のデコードの出力 (O) によってのみ駆動されます。1 つ以上の入力 (A) が Low になると、出力が Low になります。すべての A 入力と C_IN 入力が High になると、出力が High になります。入力にインバーターを追加すると、パターンをデコードできます。

論理表

入力					出力
A0	A1	...	Az	C_IN	O
1	1	1	1	1	1
X	X	X	X	0	0
0	X	X	X	X	0
X	0	X	X	X	0
X	X	X	0	X	0
DEC_CC4 の場合 z = 3、DEC_CC8 の場合 z = 7、DEC_CC16 の場合 z = 15					

デザインの入力方法

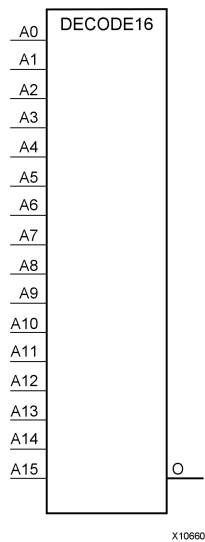
このELEMENTは、回路図でのみ使用できます。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

DECODE16

Macro: 16-Bit Active-Low Decoder



概要

このデザイン エLEMENTは、4 ビットのアクティブ Low デコーダーで、LUT と MUXCY を組み合わせてインプリメントされます。

論理表

入力				出力*
A0	A1	...	Az	O
1	1	1	1	1
0	X	X	X	0
X	0	X	X	0
X	X	X	0	0

z = ビット幅 -1

* 高駆動電流を達成するには、プルアップ抵抗を出力に接続する必要があります。

デザインの入力方法

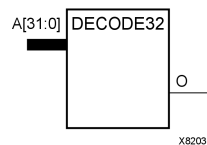
このELEMENTは、回路図でのみ使用できます。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

DECODE32

マクロ：32-Bit Active-Low Decoder



概要

このデザイン エLEMENTは、32 ビットのアクティブ Low デコーダーで、LUT と MUXCY を組み合わせてインプリメントされます。

論理表

入力				出力
A0	A1	...	Az	O
1	1	1	1	1
0	X	X	X	0
X	0	X	X	0
X	X	X	0	0

DECODE32 の場合 $z = 31$ 、DECODE64 の場合 $z = 63$

デザインの入力方法

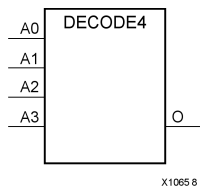
このELEMENTは、回路図でのみ使用できます。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

DECODE4

マクロ：4-Bit Active-Low Decoder



概要

このデザイン エレメントは、4 ビットのアクティブ Low デコーダーで、LUT と MUXCY を組み合わせてインプリメントされます。

論理表

入力				出力*
A0	A1	...	Az	O
1	1	1	1	1
0	X	X	X	0
X	0	X	X	0
X	X	X	0	0

z = ビット幅 -1

* 高駆動電流を達成するには、プルアップ抵抗を出力に接続する必要があります。

デザインの入力方法

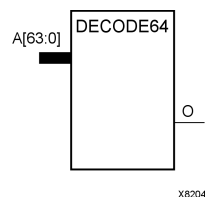
このエレメントは、回路図でのみ使用できます。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

DECODE64

マクロ：64-Bit Active-Low Decoder



概要

このデザイン エLEMENTは、64 ビットのアクティブ Low デコーダーで、LUT と MUXCY を組み合わせてインプリメントされます。

論理表

入力				出力
A0	A1	...	Az	O
1	1	1	1	1
0	X	X	X	0
X	0	X	X	0
X	X	X	0	0
DECODE32 の場合 $z = 31$ 、DECODE64 の場合 $z = 63$				

デザインの入力方法

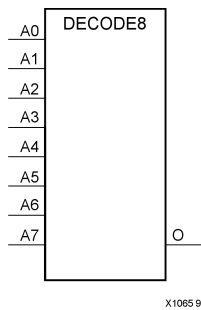
このELEMENTは、回路図でのみ使用できます。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

DECODE8

マクロ：8-Bit Active-Low Decoder



概要

このデザイン エLEMENTは、8 ビットのアクティブ Low デコーダーで、LUT と MUXCY を組み合わせてインプリメントされます。

論理表

入力				出力*
A0	A1	...	Az	O
1	1	1	1	1
0	X	X	X	0
X	0	X	X	0
X	X	X	0	0

z = ビット幅 -1

* 高駆動電流を達成するには、プルアップ抵抗を出力に接続する必要があります。

デザインの入力方法

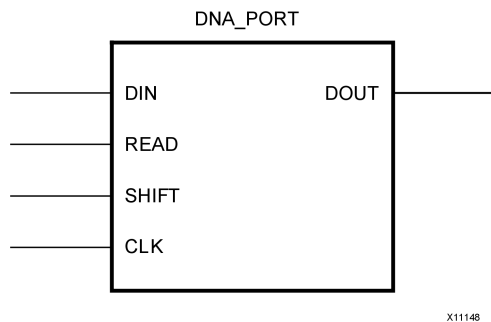
このELEMENTは、回路図でのみ使用できます。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

DNA_PORT

プリミティブ：Device DNA Data Access Port



概要

DNA_PORT を使用すると専用のシフトレジスタにアクセスできます。このシフトレジスタにはデバイスの Device DNA データビット (固有 ID) が読み込まれます。このコンポーネントを使用すると、DNA データビットをシフトアウトできるだけでなく、補足ビットを含めたり、DNA データをロールオーバーする (初期データのシフトアウト後に DNA データを繰り返す) こともできます。このコンポーネントは、主にほかの回路と組み合わせて FPGA ビットストリームの不正コピー防止を構築するのに使用します。正しく動作するように、入力および出力をすべてデザインに接続してください。Device DNA データにアクセスするにはまず、アクティブ High の READ 信号を 1 クロック サイクル間 High にして、シフトレジスタをロードする必要があります。シフトレジスタをロードした後、アクティブ High の SHIFT 入力をイネーブルにして、DOUT 出力ポートのデータを取り込むことで、データをクロックに同期させてシフトアウトできます。追加のデータがある場合は、適切なロジックを DIN ポートに接続すると、57 ビットのシフトレジスタの最後に追加できます。DNA データをロールオーバーする場合は、DOUT ポートを直接 DIN ポートに接続し、57 ビットのシフト操作の後で同じデータがシフトアウトされるようにします。追加データが不要な場合は、DIN ポートを論理 0 に固定できます。SIM_DNA_VALUE 属性を設定すると、DNA データシーケンスをシミュレーションできます。デフォルトでは、シミュレーション モデルの Device DNA データビットはすべて 0 です。

ポートの説明

ポート名	方向	幅	機能
CLK	入力	1	クロック入力
DIN	入力	1	ユーザー データ入力
DOUT	出力	1	DNA 出力データ
READ	入力	1	アクティブ High のロード DNA、アクティブ Low の読み出し入力
SHIFT	入力	1	アクティブ High のシフト イネーブル入力

デザインの入力方法

このエレメントは、回路図で使用できます。

正しく動作するように、入力および出力をすべてデザインに接続します。

使用可能な属性

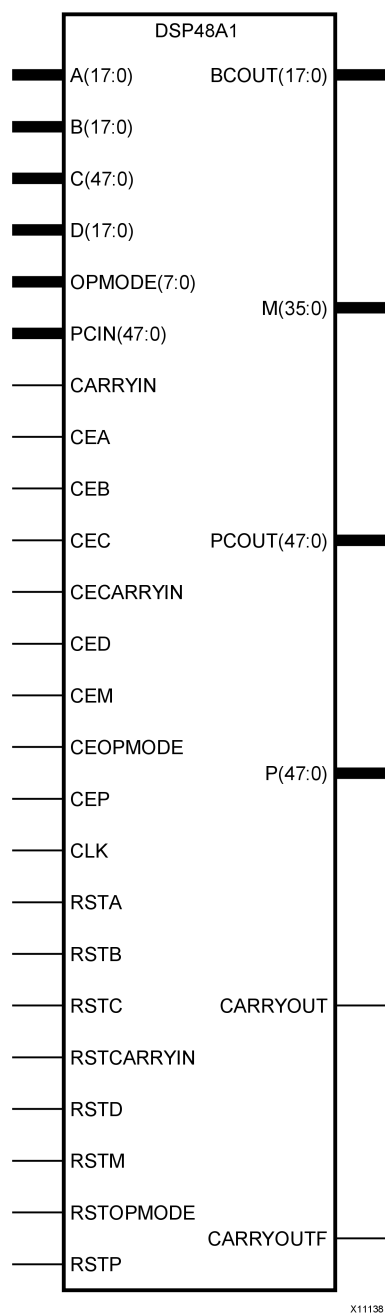
属性	データ型	値	デフォルト	説明
SIM_DNA_VALUE	16 進数	57'h00000000 0000000 ~ 57'h1fffffffff	57'h00000000 0000000	あらかじめプログラムされている工場 ID 値を 指定します。

詳細情報

- ・ [『Spartan-6 FPGA コンフィギュレーション ユーザー ガイド』\(UG380\)](#)
- ・ [『Spartan-6 FPGA データシート：DC 特性およびスイッチ特性』\(DS162\)](#)
- ・ [Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

DSP48A1

プリミティブ : Multi-Functional, Cascadable, 48-bit Output, Arithmetic Block



概要

このデザイン エLEMENTは、柔軟性が高い多用途のハード IP ブロックで、多くの DSP アルゴリズムで見られる小型で高速な演算処理を作成できます。このブロックでは、コンフィギュレーション可能な 18 ビットの加減算器に、18 X 18 符号付き乗算器、48 ビットの加減/アキュムレータが順に付けられています。このブロックには、コンフィギュレーション可能なパイプライン レジスタが数個含まれているため、追加されるレイテンシをトレードオフにする高速クロックを実現できます。OpMode ピンでは、ブロック操作を 1 クロック サイクルから次サイクルに変更でき、デザインに含まれる複数の演算ファンクションに 1 つのブロックを使用できます。また、複数の DSP48A1 ブロックをカスケード接続して、大型の乗算および加算ファンクションを作成できます。このELEMENTの使用法の詳細は、『[Spartan-6 FPGA DSP48A1 スライス ユーザー ガイド](#)』(UG389)を参照してください。

ポートの説明

ポート名	方向	幅	機能
A[17:0]	入力	18	OPMODE[1:0] の値によって、乗算器または後置加減算器に送られる 18 ビット データ入力
B[17:0]	入力	18	OPMODE[1:0] の値によって、乗算器、前置加減算器、またはオプションで後置加減算器に送られる 18 ビット データ入力
BCOUT[17:0]	出力	18	ポート B のカスケード出力で、カスケード接続されている下位の DSP48A1 の B ポートに接続します。使用しない場合は未接続にします。
C[47:0]	入力	48	後置加減算器への 48 ビット入力
CARRYIN	入力	1	後置加減算器への外部キャリー入力。別の DSP48A1 ブロックの CARRYOUT ピンにのみ接続します。
CARRYOUT	出力	1	後置加減算器の外部キャリー出力信号。別の DSP48A1 ブロックの CARRYIN ピンにのみ接続します。
CARRYOUTF	出力	1	ファブリックに配線可能な後置加減算器の外部キャリー出力信号
CEA	入力	1	A ポートレジスタ (A0REG=1 または A1REG=1) のアクティブ High のクロック イネーブルで、使用しない場合および A0REG=1 または A1REG=1 の場合は論理 1 に、A0REG=0 および A1REG=0 の場合は論理 0 に接続します。
CEB	入力	1	B ポートレジスタ (B0REG=1 または B1REG=1) のアクティブ High のクロック イネーブルで、使用しない場合および B0REG=1 または B1REG=1 の場合は論理 1 に、B0REG=0 および B1REG=0 の場合は論理 0 に接続します。
CEC	入力	1	C ポートレジスタ (CREG=1) のアクティブ High のクロック イネーブルで、使用しない場合および CREG=1 の場合は論理 1 に、CREG=0 の場合は論理 0 に接続します。
CECARRYIN	入力	1	キャリー入力レジスタ (CARRYINREG=1) のアクティブ High のクロック イネーブルで、使用しない場合および CARRYINREG=1 の場合は論理 1 に、CARRYINREG=0 の場合は論理 0 に接続します。
CED	入力	1	D ポートレジスタ (DREG=1) のアクティブ High のクロック イネーブルで、使用しない場合および DREG=1 の場合は論理 1 に、DREG=0 の場合は論理 0 に接続します。
CEM	入力	1	乗算レジスタ (MREG=1) のアクティブ High のクロック イネーブルで、使用しない場合および MREG=1 の場合は論理 1 に、MREG=0 の場合は論理 0 に接続します。
CEOPMODE	入力	1	OPMODE 入力レジスタ (OPMODEREG=1) のアクティブ High のクロック イネーブルで、使用しない場合および OPMODEREG=1 の場合は論理 1 に、OPMODEREG=0 の場合は論理 0 に接続します。

ポート名	方向	幅	機能
CEP	入力	1	出力ポートレジスタ (PREG=1) のアクティブ High のクロック イネーブルで、使用しない場合および PREG=1 の場合は論理 1 に、PREG=0 の場合は論理 0 に接続します。
CLK	入力	1	DSP48A1 クロック
D[17:0]	入力	18	前置加減算器への 18 ビット入力
M[35:0]	出力	36	ファブリックへのダイレクト乗算器データ出力。P を使用する場合は使用しないでください。
OPMODE	入力	8	<p>DSP48A1 の演算処理を選択する制御入力</p> <ul style="list-style-type: none"> OPMODE[1:0]: 後置加減算器への X 入力のソースを指定します。 <ul style="list-style-type: none"> 0: すべて 0 を配置します (後置加減算器をディスエーブル)。 1: 乗算器の積項を使用します。 2: POUT 出力信号を使用します。 3: 連結された D、B、A 入力信号を使用します。 OPMODE[3:2]: 後置加減算器への Z 入力のソースを指定します。 <ul style="list-style-type: none"> 0: 後置加減算器をディスエーブルにし、乗算器の積項を POUT に伝搬します。 1: PCIN を使用します。 2: POUT ポート (アキュムレータ) を使用します。 3: C ポートを使用します。 OPMODE[4]: 前置加減算器を使用するように指定します。 <ul style="list-style-type: none"> 0: 前置加算器をバイパスして、ポート B のデータを直接乗算器に送ります。 1: 前置加算器を使用し、乗算器に入力する前に B および D ポートの値を加算または減算します。 OPMODE[5]: キャリー入力の値を後置加算器に送ります。これは CARRYINSEL = OPMODE5 のときにのみ適用されます。 OPMODE[6]: 前置加減算器が加算器なのか減算器なのかを指定します。 <ul style="list-style-type: none"> 0: 加算を実行します。 1: 減算を実行します。 OPMODE[7]: 後置加減算器が加算器なのか減算器なのかを指定します。 <ul style="list-style-type: none"> 0: 加算を実行します。 1: 減算を実行します。
P[47:0]	出力	48	プライマリ データ出力
PCIN[47:0]	入力	48	ポート P のカスケード入力で、カスケード接続されている上位の DSP48A1 の PCOUT に接続します。使用しない場合は、ポートをすべて 0 にします。

ポート名	方向	幅	機能
PCOUT[47:0]	出力	48	ポート P のカスケード出力で、カスケード接続されている下位の DSP48A1 の PCIN に接続します。使用しない場合は未接続にします。
RSTA	入力	1	A ポートレジスタ (A0REG=1 または A1REG=1) のアクティブ High のリセットで、使用しない場合は論理 0 に接続します。このリセットは、RSTTYPE 属性を使用して同期または非同期にコンフィギュレーションできます。
RSTB	入力	1	B ポートレジスタ (B0REG=1 または B1REG=1) のアクティブ High のリセットで、使用しない場合は論理 0 に接続します。このリセットは、RSTTYPE 属性を使用して同期または非同期にコンフィギュレーションできます。
RSTC	入力	1	C ポートレジスタ (CREG=1) のアクティブ High のリセットで、使用しない場合は論理 0 に接続します。このリセットは、RSTTYPE 属性を使用して同期または非同期にコンフィギュレーションできます。
RSTCARRYIN	入力	1	キャリー入力レジスタ (CARRYINREG =1) のアクティブ High のリセットで、使用しない場合は論理 0 に接続します。このリセットは、RSTTYPE 属性を使用して同期または非同期にコンフィギュレーションできます。
RSTD	入力	1	D ポートレジスタ (DREG=1) のアクティブ High のリセットで、使用しない場合は論理 0 に接続します。このリセットは、RSTTYPE 属性を使用して同期または非同期にコンフィギュレーションできます。
RSTM	入力	1	乗算器レジスタ (MREG=1) のアクティブ High のリセットで、使用しない場合は論理 0 に接続します。このリセットは、RSTTYPE 属性を使用して同期または非同期にコンフィギュレーションできます。
RSTOPMODE	入力	1	OPMODE レジスタ (OPMODEREG=1) のアクティブ High のリセットで、使用しない場合は論理 0 に接続します。このリセットは、RSTTYPE 属性を使用して同期または非同期にコンフィギュレーションできます。
RSTP	入力	1	P 出力レジスタ (PREG=1) のアクティブ High のリセットで、使用しない場合は論理 0 に接続します。このリセットは、RSTTYPE 属性を使用して同期または非同期にコンフィギュレーションできます。

デザインの入力方法

このエレメントは、回路図で使用できます。

使用可能な属性

属性	データ型	値	デフォルト	説明
A0REG	整数	0、1	0	1 段目の A 入力パイプライン レジスタを使用するかどうかを指定します。使用する場合は 1 に設定します。
A1REG	整数	0、1	1	2 段目の A 入力パイプライン レジスタを使用するかどうかを指定します。使用する場合は 1 に設定します。
B0REG	整数	0、1	0	1 段目の B 入力パイプライン レジスタを使用するかどうかを指定します。使用する場合は 1 に設定します。

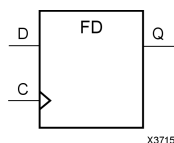
属性	データ型	値	デフォルト	説明
B1REG	整数	0、1	1	2 段目の B 入力パイプラインレジスタを使用するかどうかを指定します。使用する場合は 1 に設定します。2 段目の B パイプラインレジスタは前置加算器の後ろに配置されます。
CARRYINREG	整数	0、1	1	CARRYIN 入力パイプラインレジスタを使用するかどうかを指定します。使用する場合は 1 に設定します。
CARRYINSEL	文字列	"CARRYIN"、 "OPMODE5"	"OPMODE5"	後置加減算器のキャリー入力信号を別の DSP48A1 の CARRYOUT ピンに接続されている CARRYIN ピンから送るか、OPMODE[5] 入力を使用して FPGA から直接制御するかを指定します。
CARRYOUTREG	整数	1、0	1	キャリー出力パイプラインレジスタを使用するかどうかを指定します。使用する場合は 1 に設定します。レジスタが付けられた出力には CARRYOUT および CARRYOUTF があります。
CREG	整数	1、0	1	C 入力パイプラインレジスタを使用するかどうかを指定します。使用する場合は 1 に設定します。
DREG	整数	1、0	1	D 前置加算器入力パイプラインレジスタを使用するかどうかを指定します。使用する場合は 1 に設定します。
MREG	整数	1、0	1	M 乗算器出力パイプラインレジスタを使用するかどうかを指定します。使用する場合は 1 に設定します。
OPMODEREG	整数	1、0	1	OPMODE 入力パイプラインレジスタの使用を使用するかどうかを指定します。使用する場合は 1 に設定します。
PREG	整数	1、0	1	P 出力パイプラインレジスタを使用するかどうかを指定します。使用する場合は 1 に設定します。レジスタが付けられた出力が P および PCOUT に含められます。
RSTTYPE	文字列	"SYNC"、 "ASYN"	"SYNC"	リセットすべてを同期リセットにするか非同期リセットにするかを指定します。タイミングの向上と回路の安定性の点から、非同期リセットが必要でない限り "SYNC" に設定してください。

詳細情報

- ・ [『Spartan-6 FPGA データシート：DC 特性およびスイッチ特性』\(DS162\)](#)
- ・ [『Spartan-6 FPGA DSP48A1 スライス ユーザー ガイド』\(UG389\)](#)

FD

プリミティブ：D Flip-Flop



概要

このデザイン エLEMENTは、データ入力 (D) とデータ出力 (Q) がある D フリップフロップです。D 入力の値は、クロック (C) が Low から High に切り替わるときにフリップフロップにロードされます。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

入力		出力
D	C	Q
0	↑	0
1	↑	1

デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

使用可能な属性

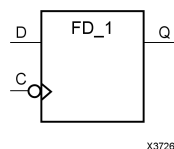
属性	データ型	値	デフォルト	説明
INIT	2 進数	0、1	0	コンフィギュレーション後の Q 出力の初期値を指定します。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

FD_1

プリミティブ：D Flip-Flop with Negative-Edge Clock



概要

このデザイン エLEMENTは、データ入力 (D) とデータ出力 (Q) がある単一の D フリップフロップです。D 入力の値は、クロック (C) が High から Low に切り替わる時にフリップフロップにロードされます。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

入力		出力
D	C	Q
0	↓	0
1	↓	1

デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

使用可能な属性

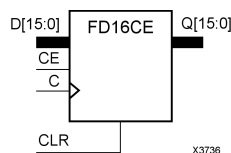
属性	データ型	値	デフォルト	説明
INIT	2 進数	0、1	0	コンフィギュレーション後の Q 出力の初期値を指定します。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

FD16CE

マクロ : 16-Bit Data Register with Clock Enable and Asynchronous Clear



概要

このデザイン エレメントは、クロック イネーブルと非同期クリアがある 16 ビットのデータレジスタです。クロック イネーブル (CE) が High、非同期クリア (CLR) が Low の場合、クロック (C) が Low から High に切り替わるときにデータ入力 (D) の値がデータ出力 (Q) に送られます。CLR が High になると、ほかの入力はすべて無視され、出力 (Q) が Low にリセットされます。CE が Low の場合、クロック遷移は無視されます。

電力を供給すると、レジスタは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

入力				出力
CLR	CE	Dz : D0	C	Qz : Q0
1	X	X	X	0
0	0	X	X	変化なし
0	1	Dn	↑	Dn
z = ビット幅 - 1				

デザインの入力方法

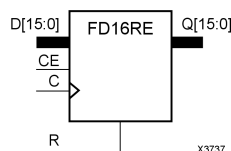
このエレメントは、回路図でのみ使用できます。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

FD16RE

マクロ：16-Bit Data Register with Clock Enable and Synchronous Reset



概要

このデザイン エLEMENTは、16 ビットのデータレジスタです。クロック イネーブル入力 (CE) が High、同期リセット入力 (R) が Low の場合、クロック (C) が Low から High に切り替わるときに入力 (D) の値が対応する出力 (Q) に送られます。R が High になると、ほかの入力はすべて無視され、クロックが Low から High に切り替わるときに出力 (Q) の値が Low にリセットされます。CE が Low の場合、クロック遷移は無視されます。

電力を供給すると、レジスタは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

入力				出力
R	CE	Dz : D0	C	Qz : Q0
1	X	X	↑	0
0	0	X	X	変化なし
0	1	Dn	↑	Dn
z = ビット幅 - 1				

デザインの入力方法

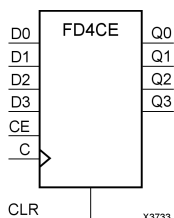
このELEMENTは、回路図でのみ使用できます。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

FD4CE

マクロ：4-Bit Data Register with Clock Enable and Asynchronous Clear



概要

このデザイン エレメントは、クロック イネーブルと非同期クリアがある 4 ビットのデータレジスタです。クロック イネーブル (CE) が High、非同期クリア (CLR) が Low の場合、クロック (C) が Low から High に切り替わるときにデータ入力 (D) の値がデータ出力 (Q) に送られます。CLR が High になると、ほかの入力はすべて無視され、出力 (Q) が Low にリセットされます。CE が Low の場合、クロック遷移は無視されます。

電力を供給すると、レジスタは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

入力				出力
CLR	CE	Dz : D0	C	Qz : Q0
1	X	X	X	0
0	0	X	X	変化なし
0	1	Dn	↑	Dn
z = ビット幅 - 1				

デザインの入力方法

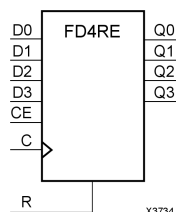
このエレメントは、回路図でのみ使用できます。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

FD4RE

マクロ：4-Bit Data Register with Clock Enable and Synchronous Reset



概要

このデザイン エLEMENTは、4 ビットのデータレジスタです。クロック イネーブル入力 (CE) が High、同期リセット入力 (R) が Low の場合、クロック (C) が Low から High に切り替わるときに入力 (D) の値が対応する出力 (Q) に送られます。R が High になると、ほかの入力はすべて無視され、クロックが Low から High に切り替わるときに出力 (Q) の値が Low にリセットされます。CE が Low の場合、クロック遷移は無視されます。

電力を供給すると、レジスタは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

入力				出力
R	CE	Dz : D0	C	Qz : Q0
1	X	X	↑	0
0	0	X	X	変化なし
0	1	Dn	↑	Dn
z = ビット幅 - 1				

デザインの入力方法

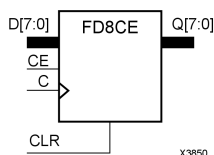
このELEMENTは、回路図でのみ使用できます。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

FD8CE

マクロ：8-Bit Data Register with Clock Enable and Asynchronous Clear



概要

このデザイン エLEMENTは、クロック イネーブルと非同期クリアがある 8 ビットのデータレジスタです。クロック イネーブル (CE) が High、非同期クリア (CLR) が Low の場合、クロック (C) が Low から High に切り替わるときにデータ入力 (D) の値がデータ出力 (Q) に送られます。CLR が High になると、ほかの入力はすべて無視され、出力 (Q) が Low にリセットされます。CE が Low の場合、クロック遷移は無視されます。

電力を供給すると、レジスタは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

入力				出力
CLR	CE	Dz : D0	C	Qz : Q0
1	X	X	X	0
0	0	X	X	変化なし
0	1	Dn	↑	Dn

z = ビット幅 - 1

デザインの入力方法

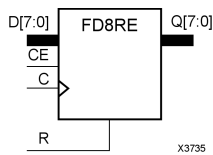
このELEMENTは、回路図でのみ使用できます。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

FD8RE

マクロ：8-Bit Data Register with Clock Enable and Synchronous Reset



概要

このデザイン エLEMENTは、8 ビットのデータレジスタです。クロック イネーブル入力 (CE) が High、同期リセット入力 (R) が Low の場合、クロック (C) が Low から High に切り替わるときに入力 (D) の値が対応する出力 (Q) に送られます。R が High になると、ほかの入力はすべて無視され、クロックが Low から High に切り替わるときに出力 (Q) の値が Low にリセットされます。CE が Low の場合、クロック遷移は無視されます。

電力を供給すると、レジスタは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

入力				出力
R	CE	Dz : D0	C	Qz : Q0
1	X	X	↑	0
0	0	X	X	変化なし
0	1	Dn	↑	Dn
z = ビット幅 - 1				

デザインの入力方法

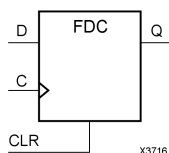
このELEMENTは、回路図でのみ使用できます。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

FDC

プリミティブ：D Flip-Flop with Asynchronous Clear



概要

このデザイン エLEMENTは、データ入力 (D)、非同期クリア入力 (CLR)、データ出力 (Q) がある単一の D フリップフロップです。非同期 CLR が High になると、ほかのすべての入力は無視され、Q 出力が Low になります。CLR が Low の場合、クロックが Low から High に切り替わるときに D 入力の値がフリップフロップにロードされます。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

入力			出力
CLR	D	C	Q
1	X	X	0
0	D	↑	D

デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

使用可能な属性

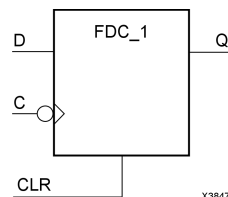
属性	データ型	値	デフォルト	説明
INIT	2 進数	0、1	0	<p>コンフィギュレーション後の Q 出力の初期値を指定します。</p> <p>Spartan®-6 デバイスでは、INIT 値とセットまたはリセットの極性を常に一致させる必要があります。このELEMENTでは、INIT 値を 0 にする必要があります。1 に設定する場合、この動作を表す非同期回路を作成する必要がありますが、ザイリンクスでは推奨しません。</p>

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

FDC_1

プリミティブ：D Flip-Flop with Negative-Edge Clock and Asynchronous Clear



概要

FDC_1 は、データ入力 (D)、非同期クリア入力 (CLR)、データ出力 (Q) がある単一の D タイプ フリップフロップです。非同期 CLR が High になると、ほかのすべての入力は無視され、Q 出力が Low になります。D 入力の値は、クロック (C) が High から Low に切り替わる時にフリップフロップにロードされます。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

入力			出力
CLR	D	C	Q
1	X	X	0
0	D	↓	D

デザインの入力方法

このエレメントは、回路図でのみ使用できます。

使用可能な属性

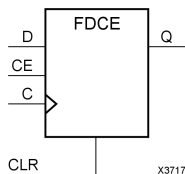
属性	データ型	値	デフォルト	説明
INIT	2 進数	0、1	0	<p>コンフィギュレーション後の Q 出力の初期値を指定します。</p> <p>Spartan®-6 デバイスでは、INIT 値とセットまたはリセットの極性を常に一致させる必要があります。このエレメントでは、INIT 値を 0 にする必要があります。1 に設定する場合、この動作を表す非同期回路を作成する必要がありますが、ザイリンクスでは推奨しません。</p>

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

FDCE

プリミティブ：D Flip-Flop with Clock Enable and Asynchronous Clear



概要

このデザイン エLEMENTは、クロック イネーブルと非同期クリアがある単一の D タイプ フリップフロップです。クロック イネーブル (CE) が High、非同期クリア (CLR) が Low の場合、クロック (C) が Low から High に切り替わるときにデータ入力 (D) の値がデータ出力 (Q) に送られます。CLR が High になると、ほかのすべての入力は無視され、出力 (Q) の値が Low にリセットされます。CE が Low の場合、クロック遷移は無視されます。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

入力				出力
CLR	CE	D	C	Q
1	X	X	X	0
0	0	X	X	変化なし
0	1	D	↑	D

デザインの入力方法

このELEMENTは、回路図で使用できます。

使用可能な属性

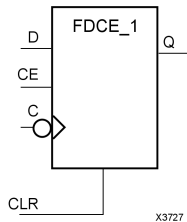
属性	データ型	値	デフォルト	説明
INIT	2 進数	0、1	0	<p>コンフィギュレーション後の Q 出力の初期値を指定します。</p> <p>Spartan®-6 デバイスでは、INIT 値とセットまたはリセットの極性を常に一致させる必要があります。このELEMENTでは、INIT 値を 0 にする必要があります。1 に設定する場合、この動作を表す非同期回路を作成する必要がありますが、ザイリンクスでは推奨しません。</p>

詳細情報

- 『Spartan-6 FPGA コンフィギュラブル ロジック ブロック ユーザー ガイド』(UG384)
- 『Spartan-6 FPGA データシート：DC 特性およびスイッチ特性』(DS162)

FDCE_1

プリミティブ：D Flip-Flop with Negative-Edge Clock, Clock Enable, and Asynchronous Clear



概要

このデザイン エLEMENTは、データ (D)、クロック イネーブル (CE)、非同期クリア (CLR) の各入力とデータ出力 (Q) のある単一の D タイプ フリップフロップです。非同期 CLR が High になると、ほかのすべての入力は無視され、Q 出力が Low になります。CLR が Low、CE が High の場合、クロック (C) が High から Low に切り替わるときに D 入力の値がフリップフロップにロードされます。CE が Low の場合、クロック遷移は無視されます。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

入力				出力
CLR	CE	D	C	Q
1	X	X	X	0
0	0	X	X	変化なし
0	1	D	↓	D

デザインの入力方法

このELEMENTは、回路図で使用できます。

使用可能な属性

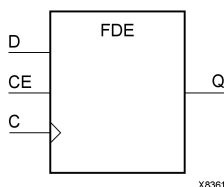
属性	データ型	値	デフォルト	説明
INIT	2 進数	0、1	0	<p>コンフィギュレーション後の Q 出力の初期値を指定します。</p> <p>Spartan®-6 デバイスでは、INIT 値とセットまたはリセットの極性を常に一致させる必要があります。このELEMENTでは、INIT 値を 0 にする必要があります。1 に設定する場合、この動作を表す非同期回路を作成する必要がありますが、ザイリンクスでは推奨しません。</p>

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

FDE

プリミティブ：D Flip-Flop with Clock Enable



概要

このデザイン エLEMENTは、データ入力 (D)、クロック イネーブル (CE)、データ出力 (Q) がある単一の D フリップフロップです。クロック イネーブルが High の場合、クロック (C) が Low から High に切り替わるときに D 入力の値がフリップフロップにロードされます。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

入力			出力
CE	D	C	Q
0	X	X	変化なし
1	0	↑	0
1	1	↑	1

デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

使用可能な属性

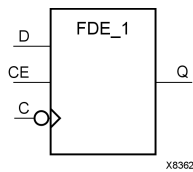
属性	データ型	値	デフォルト	説明
INIT	2 進数	0、1	0	コンフィギュレーション後の Q 出力の初期値を指定します。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

FDE_1

プリミティブ：D Flip-Flop with Negative-Edge Clock and Clock Enable



概要

このデザイン エLEMENTは、データ入力 (D)、クロック イネーブル (CE)、データ出力 (Q) がある単一の D フリップフロップです。クロック イネーブルが High の場合、クロック (C) が High から Low に切り替わるときに D 入力の値がフリップフロップにロードされます。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

入力			出力
CE	D	C	Q
0	X	X	変化なし
1	0	↓	0
1	1	↓	1

デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

使用可能な属性

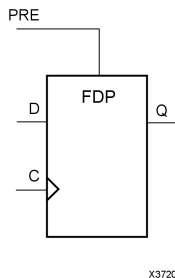
属性	データ型	値	デフォルト	説明
INIT	2 進数	0、1	0	コンフィギュレーション後の Q 出力の初期値を指定します。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

FDP

プリミティブ : D Flip-Flop with Asynchronous Preset



概要

このデザイン エレメントは、データ (D)、非同期プリセット (PRE) の各入力とデータ出力 (Q) がある単一の D フリップフロップです。非同期 PRE が High になると、ほかのすべての入力は無視され、Q 出力が High にプリセットされます。PRE が Low の場合、クロック (C) が Low から High に切り替わるときに D 入力の値がフリップフロップにロードされます。

FPGA では、電力を供給すると、フリップフロップは非同期にプリセットされ、出力が High になります。グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

入力			出力
PRE	C	D	Q
1	X	X	1
0	↑	D	D

デザインの入力方法

このエレメントは、回路図でのみ使用できます。

使用可能な属性

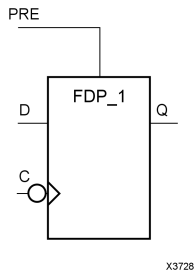
属性	データ型	値	デフォルト	説明
INIT	2 進数	0、1	1	<p>コンフィギュレーション後の Q 出力の初期値を指定します。</p> <p>Spartan®-6 デバイスでは、INIT 値とセットまたはリセットの極性を常に一致させる必要があります。このエレメントでは、INIT 値を 1 にする必要があります。0 に設定する場合は、この動作を表す非同期回路が作成されます。</p>

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

FDP_1

プリミティブ：D Flip-Flop with Negative-Edge Clock and Asynchronous Preset



概要

このデザイン エLEMENTは、データ (D)、非同期プリセット (PRE) の各入力とデータ出力 (Q) がある単一の D フリップフロップです。非同期 PRE が High になると、ほかのすべての入力は無視され、Q 出力が High にプリセットされます。PRE が Low の場合、クロック (C) が High から Low に切り替わるときに D 入力の値がフリップフロップにロードされます。

電力を供給すると、フリップフロップは非同期にプリセットされ、出力が High になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

入力			出力
PRE	C	D	Q
1	X	X	1
0	↓	D	D

デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

使用可能な属性

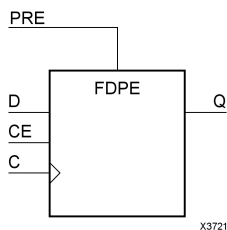
属性	データ型	値	デフォルト	説明
INIT	2 進数	0、1	1	<p>コンフィギュレーション後の Q 出力の初期値を指定します。</p> <p>Spartan®-6 デバイスでは、INIT 値とセットまたはリセットの極性を常に一致させる必要があります。このELEMENTでは、INIT 値を 1 にする必要があります。0 に設定する場合は、この動作を表す非同期回路が作成されます。</p>

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

FDPE

プリミティブ：D Flip-Flop with Clock Enable and Asynchronous Preset



概要

このデザイン エレメントは、データ (D)、クロック イネーブル (CE)、非同期プリセット (PRE) の各入力とデータ出力 (Q) がある単一の D フリップフロップです。非同期の PRE が High になると、ほかのすべての入力は無視され、Q 出力が High にセットされます。PRE が Low、CE が High の場合、クロック (C) が Low から High に切り替わるときに D 入力の値がフリップフロップにロードされます。CE が Low の場合、クロック遷移は無視されます。

FPGA では、電力を供給すると、フリップフロップは非同期にプリセットされ、出力が High になります。グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

入力				出力
PRE	CE	D	C	Q
1	X	X	X	1
0	0	X	X	変化なし
0	1	D	↑	D

デザインの入力方法

このエレメントは、回路図で使用できます。

使用可能な属性

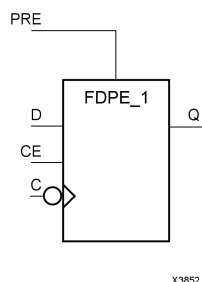
属性	データ型	値	デフォルト	説明
INIT	2 進数	0、1	1	<p>コンフィギュレーション後の Q 出力の初期値を指定します。</p> <p>Spartan®-6 デバイスでは、INIT 値とセットまたはリセットの極性を常に一致させる必要があります。このエレメントでは、INIT 値を 1 にする必要があります。0 に設定する場合は、この動作を表す非同期回路が作成されます。</p>

詳細情報

- ・ [『Spartan-6 FPGA コンフィギャラブル ロジック ブロック ユーザー ガイド』\(UG384\)](#)
- ・ [『Spartan-6 FPGA データシート：DC 特性およびスイッチ特性』\(DS162\)](#)

FDPE_1

プリミティブ : D Flip-Flop with Negative-Edge Clock, Clock Enable, and Asynchronous Preset



概要

このデザイン エレメントは、データ (D)、クロック イネーブル (CE)、非同期プリセット (PRE) の各入力とデータ出力 (Q) がある単一の D フリップフロップです。非同期の PRE が High になると、ほかのすべての入力は無視され、Q 出力が High にセットされます。PRE が Low、CE が High の場合、クロック (C) が High から Low に切り替わるときに D 入力の値がフリップフロップにロードされます。CE が Low の場合、クロック遷移は無視されます。

FPGA では、電力を供給すると、フリップフロップは非同期にプリセットされ、出力が High になります。グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

入力				出力
PRE	CE	D	C	Q
1	X	X	X	1
0	0	X	X	変化なし
0	1	D	↓	D

デザインの入力方法

このエレメントは、回路図でのみ使用できます。

使用可能な属性

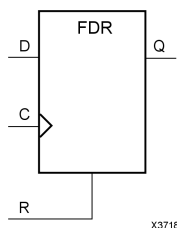
属性	データ型	値	デフォルト	説明
INIT	2 進数	0、1	1	<p>コンフィギュレーション後の Q 出力の初期値を指定します。</p> <p>Spartan®-6 デバイスでは、INIT 値とセットまたはリセットの極性を常に一致させる必要があります。このエレメントでは、INIT 値を 1 にする必要があります。0 に設定する場合は、この動作を表す非同期回路が作成されます。</p>

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

FDR

プリミティブ：D Flip-Flop with Synchronous Reset



概要

このデザイン エレメントは、データ (D)、同期リセット (R) の各入力とデータ出力 (Q) がある単一の D タイプ フリップフロップです。同期リセット入力 (R) が High になると、ほかの入力は無視され、クロック (C) が Low から High に切り替わるときに出力 (Q) が Low にリセットされます。R が Low の場合、クロックが Low から High に切り替わるときに D 入力の値がフリップフロップにロードされます。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

入力			出力
R	D	C	Q
1	X	↑	0
0	D	↑	D

デザインの入力方法

このエレメントは、回路図でのみ使用できます。

使用可能な属性

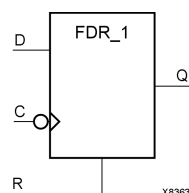
属性	データ型	値	デフォルト	説明
INIT	2 進数	0、1	0	コンフィギュレーション後の Q 出力の初期値を指定します。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

FDR_1

プリミティブ：D Flip-Flop with Negative-Edge Clock and Synchronous Reset



概要

このデザイン エLEMENTは、データ (D)、同期リセット (R) の各入力とデータ出力 (Q) がある単一の D タイプ フリップフロップです。同期リセット入力 (R) が High になると、ほかの入力は無視され、クロック (C) が High から Low に切り替わるときに出力 (Q) が Low にリセットされます。R が Low の場合、クロック (C) が High から Low に切り替わるときに D 入力の値がフリップフロップにロードされます。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

入力			出力
R	D	C	Q
1	X	↓	0
0	D	↓	D

デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

使用可能な属性

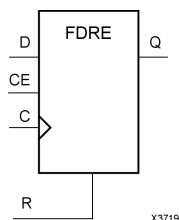
属性	データ型	値	デフォルト	説明
INIT	2 進数	0、1	0	コンフィギュレーション後の Q 出力の初期値を指定します。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

FDRE

プリミティブ : D Flip-Flop with Clock Enable and Synchronous Reset



概要

このデザイン エLEMENTは、データ (D)、クロック イネーブル (CE)、同期リセット (R) の各入力とデータ出力 (Q) がある単一の D タイプ フリップフロップです。同期リセット入力 (R) が High になると、ほかの入力は無視され、クロック (C) が Low から High に切り替わるときに出力 (Q) が Low にリセットされます。R が Low、CE が High の場合、クロックが Low から High に切り替わるときに D 入力の値がフリップフロップにロードされます。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

入力				出力
R	CE	D	C	Q
1	X	X	↑	0
0	0	X	X	変化なし
0	1	D	↑	D

デザインの入力方法

このELEMENTは、回路図で使用できます。

使用可能な属性

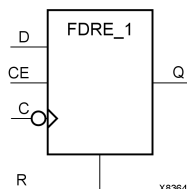
属性	データ型	値	デフォルト	説明
INIT	2 進数	0、1	0	<p>コンフィギュレーション後の Q 出力の初期値を指定します。</p> <p>Spartan®-6 デバイスでは、INIT 値とセットまたはリセットの極性を常に一致させる必要があります。このELEMENTでは、INIT 値を 0 にする必要があります。1 に設定する場合、この動作を表す非同期回路を作成する必要がありますが、ザイリンクスでは推奨しません。</p>

詳細情報

- ・ [『Spartan-6 FPGA コンフィギャラブル ロジック ブロック ユーザー ガイド』\(UG384\)](#)
- ・ [『Spartan-6 FPGA データシート：DC 特性およびスイッチ特性』\(DS162\)](#)

FDRE_1

プリミティブ：D Flip-Flop with Negative-Clock Edge, Clock Enable, and Synchronous Reset



概要

FDRE_1 は、データ (D)、クロック イネーブル (CE)、同期リセット (R) の各入力とデータ出力 (Q) がある単一の D タイプ フリップフロップです。同期リセット入力 (R) が High になると、ほかの入力は無視され、クロック (C) が High から Low に切り替わるときに出力 (Q) が Low にリセットされます。R が Low で CE が High の場合、クロック (C) が High から Low に切り替わるときに D 入力の値がフリップフロップにロードされます。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

入力				出力
R	CE	D	C	Q
1	X	X	↓	0
0	0	X	X	変化なし
0	1	D	↓	D

デザインの入力方法

このエレメントは、回路図でのみ使用できます。

使用可能な属性

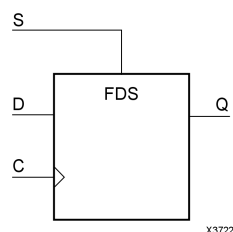
属性	データ型	値	デフォルト	説明
INIT	2 進数	0、1	0	<p>コンフィギュレーション後の Q 出力の初期値を指定します。</p> <p>Spartan®-6 デバイスでは、INIT 値とセットまたはリセットの極性を常に一致させる必要があります。このエレメントでは、INIT 値を 0 にする必要があります。1 に設定する場合、この動作を表す非同期回路を作成する必要がありますが、ザイリンクスでは推奨しません。</p>

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

FDS

プリミティブ：D Flip-Flop with Synchronous Set



概要

FDS は、データ (D)、同期セット (S) の各入力とデータ出力 (Q) がある単一の D タイプ フリップフロップです。同期セット入力が高になると、クロック (C) が Low から High に切り替わるときに Q 出力が高にセットされます。S が Low の場合、クロック (C) が Low から High に切り替わるときに D 入力の値がフリップフロップにロードされます。

FPGA では、電力を供給すると、フリップフロップは非同期にプリセットされ、出力が高になります。グローバルセット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

入力			出力
S	D	C	Q
1	X	↑	1
0	D	↑	D

デザインの入力方法

このエレメントは、回路図でのみ使用できます。

使用可能な属性

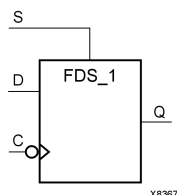
属性	データ型	値	デフォルト	説明
INIT	2 進数	0、1	1	コンフィギュレーション後の Q 出力の初期値を指定します。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

FDS_1

プリミティブ：D Flip-Flop with Negative-Edge Clock and Synchronous Set



概要

FDS は、データ (D)、同期セット (S) の各入力とデータ出力 (Q) がある単一の D タイプ フリップフロップです。同期セット入力が High になると、クロック (C) が Low から High に切り替わるときに Q 出力が High にセットされます。S が Low の場合、クロック (C) が Low から High に切り替わるときに D 入力の値がフリップフロップにロードされます。

電力を供給すると、フリップフロップは非同期にプリセットされ、出力が High になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

入力			出力
S	D	C	Q
1	X	↓	1
0	D	↓	D

デザインの入力方法

このエレメントは、回路図でのみ使用できます。

使用可能な属性

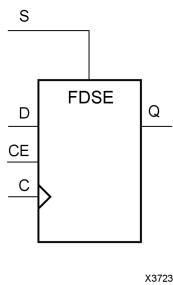
属性	データ型	値	デフォルト	説明
INIT	2 進数	0、1	1	コンフィギュレーション後の Q 出力の初期値を指定します。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

FDSE

プリミティブ：D Flip-Flop with Clock Enable and Synchronous Set



概要

FDSE は、データ (D)、クロック イネーブル (CE)、同期セット (S) の各入力とデータ出力 (Q) がある単一の D タイプ フリップフロップです。同期セット (S) 入力が高になると、クロック イネーブル (CE) 入力は無視され、クロック (C) が Low から High に切り替わるときに Q 出力が高にセットされます。S が Low、CE が High の場合、クロック (C) が Low から High に切り替わるときに D 入力の値がフリップフロップにロードされます。

FPGA では、電力を供給すると、フリップフロップは非同期にプリセットされ、出力が高になります。グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

入力				出力
S	CE	D	C	Q
1	X	X	↑	1
0	0	X	X	変化なし
0	1	D	↑	D

デザインの入力方法

このエレメントは、回路図で使用できます。

使用可能な属性

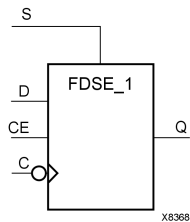
属性	データ型	値	デフォルト	説明
INIT	2 進数	0、1	1	<p>コンフィギュレーション後の Q 出力の初期値を指定します。</p> <p>Spartan®-6 デバイスでは、INIT 値とセットまたはリセットの極性を常に一致させる必要があります。このエレメントでは、INIT 値を 1 にする必要があります。0 に設定する場合は、この動作を表す非同期回路が作成されます。</p>

詳細情報

- ・ [『Spartan-6 FPGA コンフィギャラブル ロジック ブロック ユーザー ガイド』\(UG384\)](#)
- ・ [『Spartan-6 FPGA データシート：DC 特性およびスイッチ特性』\(DS162\)](#)

FDSE_1

プリミティブ：D Flip-Flop with Negative-Edge Clock, Clock Enable, and Synchronous Set



概要

FDSE_1 は、データ (D)、クロック イネーブル (CE)、同期セット (S) の各入力とデータ出力 (Q) がある単一の D フリップフロップです。同期セット (S) 入力が High になると、クロック イネーブル (CE) 入力は無視され、クロック (C) が High から Low に切り替わるときに Q 出力が High にセットされます。S が Low、CE が High の場合、クロック (C) が High から Low に切り替わるときに D 入力の値がフリップフロップにロードされます。

電力を供給すると、フリップフロップは非同期にプリセットされ、出力が High になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

入力				出力
S	CE	D	C	Q
1	X	X	↓	1
0	0	X	X	変化なし
0	1	D	↓	D

デザインの入力方法

このエレメントは、回路図でのみ使用できます。

使用可能な属性

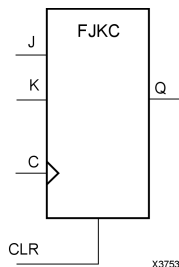
属性	データ型	値	デフォルト	説明
INIT	2 進数	0、1	1	<p>コンフィギュレーション後の Q 出力の初期値を指定します。</p> <p>Spartan®-6 デバイスでは、INIT 値とセットまたはリセットの極性を常に一致させる必要があります。このエレメントでは、INIT 値を 1 にする必要があります。0 に設定する場合は、この動作を表す非同期回路が作成されます。</p>

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

FJKC

マクロ：J-K Flip-Flop with Asynchronous Clear



概要

このデザイン エレメントは、J、K、非同期クリア (CLR) の各入力とデータ出力 (Q) がある単一の J-K タイプ フリップフロップです。非同期クリア入力 (CLR) が High になると、ほかのすべての入力は無視され、Q 出力が Low にリセットされます。CLR が Low になると、次の論理表に示すように、クロックが Low から High に切り替わるときに、J および K 入力の値に応じて出力の値が変化します。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

入力				出力
CLR	J	K	C	Q
1	X	X	X	0
0	0	0	↑	変化なし
0	0	1	↑	0
0	1	0	↑	1
0	1	1	↑	トグル

デザインの入力方法

このエレメントは、回路図でのみ使用できます。

使用可能な属性

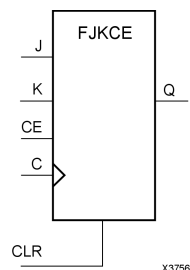
属性	データ型	値	デフォルト	説明
INIT	2 進数	0、1	0	<p>コンフィギュレーション後の Q 出力の初期値を指定します。</p> <p>Spartan®-6 デバイスでは、INIT 値とセットまたはリセットの極性を常に一致させる必要があります。このエレメントでは、INIT 値を 0 にする必要があります。1 に設定する場合、この動作を表す非同期回路を作成する必要がありますが、ザイリンクスでは推奨しません。</p>

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

FJKCE

マクロ：J-K Flip-Flop with Clock Enable and Asynchronous Clear



概要

このデザイン エレメントは、J、K、クロック イネーブル (CE)、非同期クリア (CLR) の各入力とデータ出力 (Q) がある単一の J-K タイプ フリップフロップです。非同期クリア (CLR) が High になると、ほかのすべての入力は無視され、Q 出力が Low にリセットされます。CLR が Low、CE が High の場合、次の論理表に示すように、クロックが Low から High に切り替わるときに、J および K 入力の値に応じて Q の値が変化します。CE が Low の場合、クロック遷移は無視されます。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

入力					出力
CLR	CE	J	K	C	Q
1	X	X	X	X	0
0	0	X	X	X	変化なし
0	1	0	0	X	変化なし
0	1	0	1	↑	0
0	1	1	0	↑	1
0	1	1	1	↑	トグル

デザインの入力方法

このエレメントは、回路図でのみ使用できます。

使用可能な属性

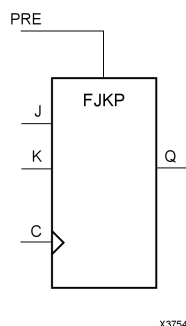
属性	データ型	値	デフォルト	説明
INIT	2 進数	0、1	0	<p>コンフィギュレーション後の Q 出力の初期値を指定します。</p> <p>Spartan®-6 デバイスでは、INIT 値とセットまたはリセットの極性を常に一致させる必要があります。このエレメントでは、INIT 値を 0 にする必要があります。1 に設定する場合、この動作を表す非同期回路を作成する必要がありますが、ザイリンクスでは推奨しません。</p>

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

FJKP

マクロ：J-K Flip-Flop with Asynchronous Preset



X3754

概要

このデザイン エLEMENTは、J、K、非同期プリセット (PRE) の各入力とデータ出力 (Q) がある単一の J-K フリップフロップです。非同期プリセット入力 (PRE) が High になると、ほかのすべての入力は無視され、Q 出力が High にセットされます。PRE が Low の場合、次の論理表に示すように、クロックが Low から High に切り替わるときに、J および K 入力の値に応じて Q の値が変化します。

FPGA では、電力を供給すると、フリップフロップは非同期にプリセットされ、出力が High になります。グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

入力				出力
PRE	J	K	C	Q
1	X	X	X	1
0	0	0	X	変化なし
0	0	1	↑	0
0	1	0	↑	1
0	1	1	↑	トグル

デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

使用可能な属性

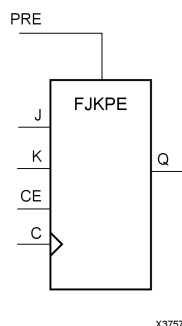
属性	データ型	値	デフォルト	説明
INIT	2 進数	0、1	1	コンフィギュレーション後の Q 出力の初期値を指定します。 Spartan®-6 デバイスでは、INIT 値とセットまたはリセットの極性を常に一致させる必要があります。このエレメントでは、INIT 値を 1 にする必要があります。0 に設定する場合は、この動作を表す非同期回路が作成されます。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

FJKPE

マクロ：J-K Flip-Flop with Clock Enable and Asynchronous Preset



概要

このデザイン エLEMENTは、J、K、クロック イネーブル (CE)、非同期プリセット (PRE) の各入力とデータ出力 (Q) がある単一の J-K フリップフロップです。非同期プリセット (PRE) が High になると、ほかのすべての入力は無視され、Q 出力が High にセットされます。PRE が Low、CE が High の場合、次の論理表に示すように、クロック (C) が Low から High に切り替わる時に、J および K 入力の値に応じて Q 出力の値が変化します。CE が Low の場合、クロック遷移は無視されます。

FPGA では、電力を供給すると、フリップフロップは非同期にプリセットされ、出力が High になります。グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

入力					出力
PRE	CE	J	K	C	Q
1	X	X	X	X	1
0	0	X	X	X	変化なし
0	1	0	0	X	変化なし
0	1	0	1	↑	0
0	1	1	0	↑	1
0	1	1	1	↑	トグル

デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

使用可能な属性

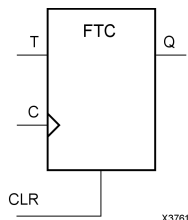
属性	データ型	値	デフォルト	説明
INIT	2 進数	0、1	1	コンフィギュレーション後の Q 出力の初期値を指定します。 Spartan®-6 デバイスでは、INIT 値とセットまたはリセットの極性を常に一致させる必要があります。このエレメントでは、INIT 値を 1 にする必要があります。0 に設定する場合は、この動作を表す非同期回路が作成されます。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

FTC

マクロ : Toggle Flip-Flop with Asynchronous Clear



概要

このデザイン エLEMENTは、リセット可能な同期トグル フリップフロップです。非同期クリア入力 (CLR) が High になると、ほかのすべての入力は無視され、出力 (Q) が Low にリセットされます。トグル イネーブル入力 (T) が High、CLR が Low の場合、クロックが Low から High に切り替わるときに Q 出力がトグルし、値が変化します。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

入力			出力
CLR	T	C	Q
1	X	X	0
0	0	X	変化なし
0	1	↑	トグル

デザインの入力方法

このELEMENTは、CPLD を使用しているときはインスタンスエートできますが、FPGA を使用しているときはインスタンスエートできません。

使用可能な属性

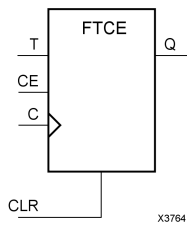
属性	データ型	値	デフォルト	説明
INIT	2 進数	0、1	0	<p>コンフィギュレーション後の Q 出力の初期値を指定します。</p> <p>Spartan®-6 デバイスでは、INIT 値とセットまたはリセットの極性を常に一致させる必要があります。このELEMENTでは、INIT 値を 0 にする必要があります。1 に設定する場合、この動作を表す非同期回路を作成する必要がありますが、ザイリンクスでは推奨しません。</p>

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

FTCE

マクロ：Toggle Flip-Flop with Clock Enable and Asynchronous Clear



概要

このデザイン エLEMENTは、トグル イネーブル、クロック イネーブル、非同期クリアがあるトグル フリップフロップです。非同期クリア入力 (CLR) が High になると、ほかのすべての入力は無視され、出力 (Q) の値が Low にリセットされます。CLR が Low、トグル イネーブル (T) とクロック イネーブル (CE) が High の場合、クロック (C) が Low から High に切り替わるときに Q 出力がトグルし、値が変化します。CE が Low の場合、クロック遷移は無視されます。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

入力				出力
CLR	CE	T	C	Q
1	X	X	X	0
0	0	X	X	変化なし
0	1	0	X	変化なし
0	1	1	↑	トグル

デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

使用可能な属性

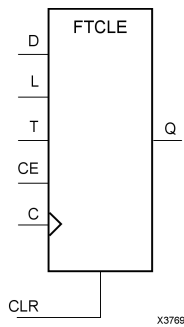
属性	データ型	値	デフォルト	説明
INIT	2 進数	0、1	0	<p>コンフィギュレーション後の Q 出力の初期値を指定します。</p> <p>Spartan®-6 デバイスでは、INIT 値とセットまたはリセットの極性を常に一致させる必要があります。このELEMENTでは、INIT 値を 0 にする必要があります。1 に設定する場合、この動作を表す非同期回路を作成する必要がありますが、ザイリンクスでは推奨しません。</p>

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

FTCLE

マクロ：Toggle/Loadable Flip-Flop with Clock Enable and Asynchronous Clear



概要

このデザイン エLEMENTは、トグル イネーブル、クロック イネーブル、非同期クリアがあるロード可能なトグル フリップフロップです。非同期クリア入力 (CLR) が High になると、ほかのすべての入力は無視され、出力 Q が Low にリセットされます。ロード イネーブル入力 (L) が High、CLR が Low の場合、クロック イネーブル (CE) は無視され、クロック (C) が Low から High に切り替わるときに、データ入力 (D) の値がフリップフロップにロードされます。トグル イネーブル (T) と CE が High、L と CLR が Low の場合、クロックが Low から High に切り替わるときに出力 Q がトグルし、値が変化します。CE が Low の場合、クロック遷移は無視されます。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

入力						出力
CLR	L	CE	T	D	C	Q
1	X	X	X	X	X	0
0	1	X	X	D	↑	D
0	0	0	X	X	X	変化なし
0	0	1	0	X	X	変化なし
0	0	1	1	X	↑	トグル

デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

使用可能な属性

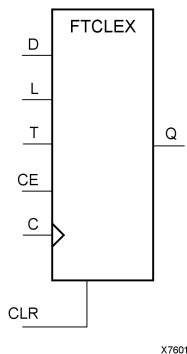
属性	データ型	値	デフォルト	説明
INIT	2 進数	0、1	0	コンフィギュレーション後の Q 出力の初期値を指定します。 Spartan®-6 デバイスでは、INIT 値とセットまたはリセットの極性を常に一致させる必要があります。このエレメントでは、INIT 値を 0 にする必要があります。1 に設定する場合、この動作を表す非同期回路を作成する必要がありますが、ザイリンクスでは推奨しません。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

FTCLEX

マクロ：Toggle/Loadable Flip-Flop with Clock Enable and Asynchronous Clear



概要

このデザイン エLEMENTは、トグル イネーブル、クロック イネーブル、非同期クリアがあるロード可能なトグル フリップフロップです。非同期クリア入力 (CLR) が High になると、ほかのすべての入力は無視され、出力 Q が Low にリセットされます。ロード イネーブル入力 (L) と CE が High、CLR が Low の場合、クロック (C) が Low から High に切り替わる時に、入力 (D) の値がフリップフロップにロードされます。トグル イネーブル (T) と CE が High、L と CLR が Low の場合、クロックが Low から High に切り替わる時に出力 Q がトグルし、値が変化します。CE が Low の場合、クロック遷移は無視されます。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

入力						出力
CLR	L	CE	T	D	C	Q
1	X	X	X	X	X	0
0	1	X	X	D	↑	D
0	0	0	X	X	X	変化なし
0	0	1	0	X	X	変化なし
0	0	1	1	X	↑	トグル

デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

使用可能な属性

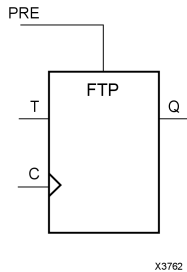
属性	データ型	値	デフォルト	説明
INIT	2 進数	0、1	0	コンフィギュレーション後の Q 出力の初期値を指定します。 Spartan®-6 デバイスでは、INIT 値とセットまたはリセットの極性を常に一致させる必要があります。このエレメントでは、INIT 値を 0 にする必要があります。1 に設定する場合、この動作を表す非同期回路を作成する必要がありますが、ザイリンクスでは推奨しません。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

FTP

マクロ：Toggle Flip-Flop with Asynchronous Preset



概要

このデザイン エLEMENTは、トグル イネーブルと非同期プリセットがあるトグル フリップフロップです。非同期プリセット入力 (PRE) が High になると、ほかのすべての入力は無視され、出力 Q が High にセットされます。トグル イネーブル入力 (T) が High、PRE が Low の場合、クロック (C) が Low から High に切り替わるときに出力 Q がトグルし、値が変化します。

FPGA では、電力を供給すると、フリップフロップは非同期にプリセットされ、出力が High になります。グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

入力			出力
PRE	T	C	Q
1	X	X	1
0	0	X	変化なし
0	1	↑	トグル

デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

使用可能な属性

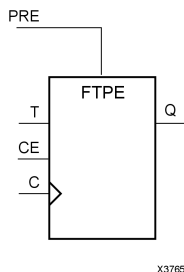
属性	データ型	値	デフォルト	説明
INIT	2 進数	0、1	1	<p>コンフィギュレーション後の Q 出力の初期値を指定します。</p> <p>Spartan®-6 デバイスでは、INIT 値とセットまたはリセットの極性を常に一致させる必要があります。このELEMENTでは、INIT 値を 1 にする必要があります。0 に設定する場合は、この動作を表す非同期回路が作成されます。</p>

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

FTPE

マクロ : Toggle Flip-Flop with Clock Enable and Asynchronous Preset



概要

このデザイン エLEMENTは、トグル イネーブル、クロック イネーブル、非同期プリセットがあるトグル フリップフロップです。非同期プリセット入力 (PRE) が High になると、ほかのすべての入力は無視され、出力 Q が High にセットされます。トグル イネーブル入力 (T) とクロック イネーブル入力 (CE) が High、PRE が Low の場合、クロックが Low から High に切り替わるときに出力 Q がトグルし、値が変化します。CE が Low の場合、クロック遷移は無視されます。

FPGA では、電力を供給すると、フリップフロップは非同期にプリセットされ、出力が High になります。グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

入力				出力
PRE	CE	T	C	Q
1	X	X	X	1
0	0	X	X	変化なし
0	1	0	X	変化なし
0	1	1	↑	トグル

デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

使用可能な属性

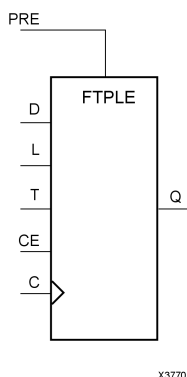
属性	データ型	値	デフォルト	説明
INIT	2 進数	0、1	1	<p>コンフィギュレーション後の Q 出力の初期値を指定します。</p> <p>Spartan®-6 デバイスでは、INIT 値とセットまたはリセットの極性を常に一致させる必要があります。このELEMENTでは、INIT 値を 1 にする必要があります。0 に設定する場合は、この動作を表す非同期回路が作成されます。</p>

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

FTPLE

マクロ : Toggle/Loadable Flip-Flop with Clock Enable and Asynchronous Preset



概要

このデザイン エLEMENTは、トグル イネーブル、クロック イネーブル、非同期プリセットがあるロード可能なトグル フリップフロップです。非同期プリセット入力 (PRE) が High になると、ほかのすべての入力は無視され、出力 Q が High にセットされます。ロード イネーブル入力 (L) が High、PRE が Low の場合、クロック イネーブル (CE) は無視され、クロックが Low から High に切り替わるときに、D の値がフリップフロップにロードされます。L と PRE が Low、トグル イネーブル入力 (T) と CE が High の場合、クロックが Low から High に切り替わるときに出力 Q がトグルし、値が変化します。CE が Low の場合、クロック遷移は無視されます。

FPGA では、電力を供給すると、フリップフロップは非同期にプリセットされ、出力が High になります。グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

入力						出力
PRE	L	CE	T	D	C	Q
1	X	X	X	X	X	1
0	1	X	X	D	↑	D
0	0	0	X	X	X	変化なし
0	0	1	0	X	X	変化なし
0	0	1	1	X	↑	トグル

デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

使用可能な属性

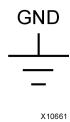
属性	データ型	値	デフォルト	説明
INIT	2 進数	0、1	1	コンフィギュレーション後の Q 出力の初期値を指定します。 Spartan®-6 デバイスでは、INIT 値とセットまたはリセットの極性を常に一致させる必要があります。このエレメントでは、INIT 値を 1 にする必要があります。0 に設定する場合は、この動作を表す非同期回路が作成されます。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

GND

プリミティブ：Ground-Connection Signal Tag



概要

GND 信号タグは、ネットまたは入力ファンクションの論理レベルを Low にします。GND に接続されたネットは、ほかのソースに接続できません。

ロジックトリム ソフトウェアまたはフィッターでは、GND に接続されたネットまたは入力ファンクションがあると、GND 信号でディスエーブルになるロジックが削除されます。ディスエーブルになるロジックを削除できない場合のみ、GND 信号がインプリメントされます。

デザインの入力方法

このエレメントは、回路図でのみ使用できます。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

プリミティブ : Dual Gigabit Transceiver



概要

このデザイン エLEMENTでは、消費電力を抑え、詳細にコンフィギュレーション可能なトランシーバーである Spartan®-6 FPGA RocketIO™ GTP トランシーバーです。このELEMENTの詳細は、『Spartan-6 FPGA RocketIO GTP トランシーバー ユーザー ガイド』を参照してください。GTPA1_DUAL プリミティブをインスタンスエートするには、Spartan-6 FPGA RocketIO GTX Transceiver Wizard を使用してラッパーの生成するのが推奨される方法です。このウィザードは、ザイリックス CORE Generator™ ツールに含まれています。

デザインの入力方法

このELEMENTをインスタンスエートするには、Spartan-6 FPGA RocketIO GTX Transceiver Wizard またはこのELEMENTを含む関連コアを使用します。直接インスタンスエートしないでください。

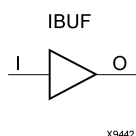
このELEMENTは、回路図で使用できます。

詳細情報

- ・ [『Spartan-6 FPGA RocketIO GTP トランシーバー ユーザー ガイド』\(UG386\)](#)
- ・ [『Spartan-6 FPGA データシート：DC 特性およびスイッチ特性』\(DS162\)](#)

IBUF

プリミティブ：Input Buffer



概要

このデザイン エLEMENTは、最上位の入力ポートまたは入出力ポートに接続されている信号に自動的に挿入されます。このバッファは通常、合成ツールで推論されますが、必要に応じてインスタンス化することも可能です。インスタンス化するには、入力ポート (I) を関連する最上位の入力ポートまたは入出力ポートに接続し、出力ポート (O) をそのポートをソースとする FPGA ロジックに接続します。必要なジェネリック マップ (VHDL) またはパラメーター値代入 (Verilog) に変更を加えて、コンポーネントのデフォルトのビヘイビアーを変更します。

ポートの説明

ポート名	方向	幅	機能
O	出力	1	バッファの出力
I	入力	1	バッファの入力

デザインの入力方法

このELEMENTは、回路図で使用できます。

使用可能な属性

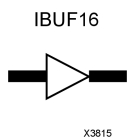
属性	データ型	値	デフォルト	説明
IOSTANDARD	文字列	データシートを参照	"DEFAULT"	ELEMENTに I/O 規格を割り当てます。

詳細情報

- ・ [『Spartan-6 FPGA SelectIO リソース ユーザー ガイド』\(UG381\)](#)
- ・ [『Spartan-6 FPGA データシート：DC 特性およびスイッチ特性』\(DS162\)](#)

IBUF16

マクロ：16-Bit Input Buffer



概要

IBUF は、チップに入力される信号から内部回路を分離します。このデザイン エLEMENTは I/O ブロック (IOB) に含まれており、I/O の I/O 規格を指定できます。通常シングルエンドのデータ入力ピンまたは双方向ピンに使用されます。

デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

使用可能な属性

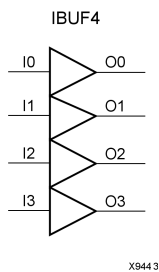
属性	データ型	値	デフォルト	説明
IOSTANDARD	文字列	データシートを参照	"DEFAULT"	ELEMENTに I/O 規格を割り当てます。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

IBUF4

マクロ：4-Bit Input Buffer



概要

IBUF は、チップに入力される信号から内部回路を分離します。このデザイン エLEMENTは I/O ブロック (IOB) に含まれており、I/O の I/O 規格を指定できます。通常シングルエンドのデータ入力ピンまたは双方向ピンに使用されます。

デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

使用可能な属性

属性	データ型	値	デフォルト	説明
IOSTANDARD	文字列	データシートを参照	"DEFAULT"	ELEMENTに I/O 規格を割り当てます。

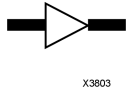
詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

IBUF8

マクロ：8-Bit Input Buffer

IBUF8



概要

IBUF は、チップに入力される信号から内部回路を分離します。このデザイン エLEMENTは I/O ブロック (IOB) に含まれており、I/O の I/O 規格を指定できます。通常シングルエンドのデータ入力ピンまたは双方向ピンに使用されます。

デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

使用可能な属性

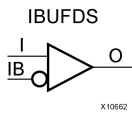
属性	データ型	値	デフォルト	説明
IOSTANDARD	文字列	データシートを参照	"DEFAULT"	ELEMENTに I/O 規格を割り当てます。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

IBUFDS

プリミティブ：Differential Signaling Input Buffer



概要

このデザイン エレメントは、低電圧差動信号を使用する入力バッファです。IBUFDS では、デザイン レベルのインターフェイス信号は、一方がマスターでもう一方がスレーブとなる 2 つの異なるポート (I、IB) で表されます。マスターとスレーブは MYNET_P と MYNET_N のように、同じ論理信号の反対の状態を示します。また、オプションの差動終端を使用すると、シグナル インテグリティが向上し、外部コンポーネントの数を削減できます。

論理表

入力		出力
I	IB	O
0	0	変化なし
0	1	0
1	0	1
1	1	変化なし

ポートの説明

ポート名	方向	幅	機能
I	入力	1	Diff_p バッファの入力
IB	入力	1	Diff_p バッファの入力
O	出力	1	バッファの出力

デザインの入力方法

このエレメントは、回路図で使用できます。

デザイン階層を保つため、すべての I/O コンポーネントをデザインの最上位に配置してください。I ポートを直接デザインの最上位のマスターとなる入力ポートに、IB ポートを最上位のスレーブとなる入力ポートに、O ポートをこの入力供給されるロジックに接続します。generic/defparam 値を設定し、バッファのビヘイビアーを適切に設定してください。

使用可能な属性

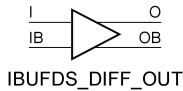
属性	データ型	値	デフォルト	説明
DIFF_TERM	ブール代数	TRUE、FALSE	FALSE	ビルトインの差動終端抵抗をイネーブルにします。
IOSTANDARD	文字列	データシートを参照	"DEFAULT"	エレメントに I/O 規格を割り当てます。

詳細情報

- ・ [『Spartan-6 FPGA SelectIO リソース ユーザー ガイド』\(UG381\)](#)
- ・ [『Spartan-6 FPGA データシート：DC 特性およびスイッチ特性』\(DS162\)](#)

IBUFDS_DIFF_OUT

プリミティブ：Signaling Input Buffer with Differential Output



X10107

概要

このデザイン エLEMENTは、差動信号を使用する入力バッファです。IBUFDS_DIFF_OUT では、デザイン レベルのインターフェイス信号は、一方がマスターでもう一方がスレーブとなる 2 つの異なるポート (I, IB) で表されます。マスターとスレーブは MYNET_P と MYNET_N のように、同じ論理信号の反対の状態を示します。IBUFDS_DIFF_OUT では、差動信号の両方の位相に内部アクセスできる点が IBUFDS と異なります。また、オプションの差動終端を使用すると、シグナル インテグリティが向上し、外部コンポーネントの数を削減できます。

論理表

入力		出力	
I	IB	O	OB
0	0	変化なし	変化なし
0	1	0	1
1	0	1	0
1	1	変化なし	変化なし

デザインの入力方法

このELEMENTは、回路図で使用できます。

デザイン階層を保つため、すべての I/O コンポーネントをデザインの最上位に配置してください。I ポートを直接デザインの最上位のマスターとなる入力ポートに、IB ポートを最上位のスレーブとなる入力ポートに、O および OB ポートをこの入力に供給されるロジックに接続します。generic/パラメーター値を設定し、バッファのビヘイビアーを適切に設定してください。

使用可能な属性

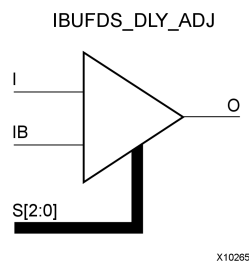
属性	データ型	値	デフォルト	説明
IOSTANDARD	文字列	データシートを参照	"DEFAULT"	ELEMENTに I/O 規格を割り当てます。

詳細情報

- ・ [『Spartan-6 FPGA クロック リソース ユーザー ガイド』\(UG382\)](#)
- ・ [『Spartan-6 FPGA SelectIO リソース ユーザー ガイド』\(UG381\)](#)
- ・ [『Spartan-6 FPGA データシート：DC 特性およびスイッチ特性』\(DS162\)](#)

IBUFDS_DLY_ADJ

プリミティブ：Dynamically Adjustable Differential Input Delay Buffer



概要

このデザイン エレメントは調整可能な遅延エレメントを含む差動入力バッファで、FPGA への入力信号の遅延を動的に変更できるようにします。この機能は、FPGA への高速入力データをプロセス、電圧、温度の変化に対して調整する場合に特に便利です。このコンポーネントには 3 ビットのセレクト バスがあり、入力信号に 8 個の遅延値を追加できます。また、遅延オフセットを設定することも可能で、遅延調整値を連続する 16 個の遅延値の上位 8 個にするか下位 8 個にするかを指定できます。

ポートの説明

ポート名	方向	幅	機能
O	出力	1	バッファからの遅延された出力
I	入力	1	差動入力データ (正)
IB	入力	1	差動入力データ (負)
S	入力	3	ダイナミック遅延調整のセレクト ライン

デザインの入力方法

このエレメントは、回路図で使用できます。

使用可能な属性

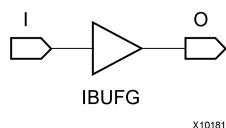
属性	データ型	値	デフォルト	説明
DELAY_OFFSET	文字列	"OFF"、"ON"	"OFF"	"OFF" に設定すると、下位の遅延値が使用されます。この設定は、必要な追加遅延が小さい場合に使用します。"ON" に設定すると、上位の (大きい) 遅延値が使用されます。この設定は、必要な追加遅延が大きい場合に使用します。
IOSTANDARD	文字列	データシートを参照	"DEFAULT"	エレメントに I/O 規格を割り当てます。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

IBUFG

プリミティブ：Dedicated Input Clock Buffer



概要

IBUFG は、FPGA への入力クロックをグローバル クロック配線リソースに接続するために使用する専用入力です。DCM、PLL、および BUFG への専用接続となり、デバイスのクロック遅延とジッターが最小限に抑えられます。IBUFG の入力は、グローバル クロック (GC) ピンでのみ駆動できます。

ポートの説明

ポート名	方向	幅	機能
O	出力	1	クロック バッファー出力
I	入力	1	クロック バッファー入力

デザインの入力方法

このエレメントは、回路図で使用できます。

使用可能な属性

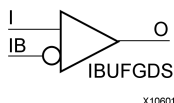
属性	データ型	値	デフォルト	説明
IOSTANDARD	文字列	データシートを参照	"DEFAULT"	エレメントに I/O 規格を割り当てます。

詳細情報

- ・ [『Spartan-6 FPGA SelectIO リソース ユーザー ガイド』\(UG381\)](#)
- ・ [『Spartan-6 FPGA データシート：DC 特性およびスイッチ特性』\(DS162\)](#)

IBUFGDS

プリミティブ：Differential Signaling Dedicated Input Clock Buffer and Optional Delay



概要

このデザイン エレメント は、クロック バッファ (BUFG) または MMCM に接続するための専用の差動信号入力バッファです。IBUFGDS では、デザイン レベルのインターフェイス信号は、一方がマスターでもう一方がスレーブとなる 2 つの異なるポート (I, IB) で表されます。マスターとスレーブは MYNET_P と MYNET_N のように、同じ論理信号の反対の状態を示します。また、オプションの差動終端を使用すると、シグナル インテグリティが向上し、外部コンポーネントの数を削減できます。デバイスへの入力データの遅延を調整する遅延エレメントも含まれています。

論理表

入力		出力
I	IB	O
0	0	変化なし
0	1	0
1	0	1
1	1	変化なし

ポートの説明

ポート名	方向	幅	機能
O	出力	1	クロック バッファ出力
IB	入力	1	Diff_n クロック バッファの入力
I	入力	1	Diff_p クロック バッファの入力

デザインの入力方法

このエレメントは、回路図で使用できます。

デザイン階層を保つため、すべての I/O コンポーネントを必ずデザインの最上位に配置してください。I ポートを直接デザインの最上位のマスターとなる入力ポートに、IB ポートを最上位のスレーブとなる入力ポートに、O ポートをこの入力をソースとする MMCM、BUFG、またはロジックに接続してください。一部の合成ツールでは、IBUFG を FPGA のクロックリソースに接続すると、必要に応じて BUFG が自動的に推論されます。generic/defparam 値を設定し、バッファのビヘイビアーを適切に設定してください。

使用可能な属性

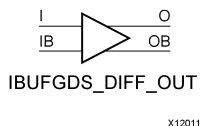
属性	データ型	値	デフォルト	説明
IOSTANDARD	文字列	データシートを参照	"DEFAULT"	エレメントに I/O 規格を割り当てます。

詳細情報

- ・ [『Spartan-6 FPGA SelectIO リソース ユーザー ガイド』\(UG381\)](#)
- ・ [『Spartan-6 FPGA データシート：DC 特性およびスイッチ特性』\(DS162\)](#)

IBUFGDS_DIFF_OUT

プリミティブ：Differential Signaling Input Buffer with Differential Output



概要

このデザイン エレメントは、差動信号を使用する入力バッファです。IBUFGDS_DIFF_OUT では、デザイン レベルのインターフェイス信号は、一方がマスターでもう一方がスレーブとなる 2 つの異なるポート (I, IB) で表されます。マスターとスレーブは MYNET_P と MYNET_N のように、同じ論理信号の反対の状態を示します。IBUFGDS_DIFF_OUT は、差動信号の両方の位相に内部アクセスできる点が IBUFGDS と異なります。また、オプションの差動終端を使用すると、シグナル インテグリティが向上し、外部コンポーネントの数を削減できます。

論理表

入力		出力	
I	IB	O	OB
0	0	変化なし	変化なし
0	1	0	1
1	0	1	0
1	1	変化なし	変化なし

ポートの説明

ポート名	方向	幅	機能
I	入力	1	Diff_p バッファ入力 (デザインの最上位ポートに接続)
IB	入力	1	Diff_n バッファ入力 (デザインの最上位ポートに接続)
O	出力	1	Diff_p バッファ出力
OB	出力	1	Diff_n バッファ出力

デザインの入力方法

デザイン階層を保つため、すべての I/O コンポーネントをデザインの最上位に配置してください。I ポートを直接デザインの最上位のマスターとなる入力ポートに、IB ポートを最上位のスレーブとなる入力ポートに、O および OB ポートをこの入力 that 供給されるロジックに接続します。generic/パラメーター値を設定し、バッファのビヘイビアを適切に設定してください。

使用可能な属性

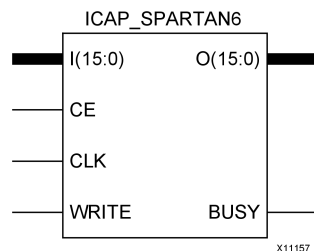
属性	データ型	値	デフォルト	説明
IOSTANDARD	文字列	データシートを参照	"DEFAULT"	エレメントに I/O 規格を割り当てます。
DIFF_TERM	ブール代数	TRUE、FALSE	FALSE	内部差動終端抵抗を使用するかどうかを指定します。

詳細情報

- ・ [『Spartan-6 FPGA SelectIO リソース ユーザー ガイド』\(UG381\)](#)
- ・ [『Spartan-6 FPGA データシート：DC 特性およびスイッチ特性』\(DS162\)](#)

ICAP_SPARTAN6

プリミティブ : Internal Configuration Access Port



概要

このデザイン エレメントを使用すると、FPGA ファブリックから FPGA のコンフィギュレーション機能にアクセスできます。FPGA アレイのコンフィギュレーション ロジックにコマンドおよびデータを書き込んだり、コンフィギュレーション ロジックからデータを読み出したりすることができます。この機能を不正に使用すると FPGA の機能および信頼性に悪影響を与えるため、この機能に精通していない場合はこのエレメントを使用しないでください。

ポートの説明

ポート名	方向	幅	機能
BUSY	出力	1	Busy/Ready 出力
CE	入力	1	アクティブ Low の ICAP イネーブル入力
CLK	入力	1	クロック入力
I[15:0]	入力	16	コンフィギュレーション データ入力バス
O[15:0]	出力	16	コンフィギュレーション データ出力バス
WRITE	入力	1	読み出し/書き込みクロック入力

デザインの入力方法

このエレメントは、回路図で使用できます。

使用可能な属性

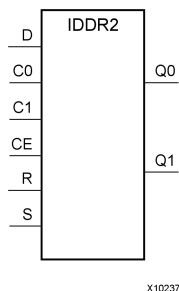
属性	データ型	値	デフォルト	説明
DEVICE_ID	16 進数	32'h02000093、 32'h0200E093、 32'h0201D093、 32'h0202E093、 32'h0203D093、 32'h02001093、 32'h02002093、 32'h02004093、 32'h02008093、 32'h02011093、 32'h02024093、 32'h02028093、 32'h02031093	32'h02000093	シミュレーションで使用するあらかじめプログラムされているデバイス ID 値を指定します。
SIM_CFG_FILE_NAME	文字列	ファイルの名前と場所	なし	シミュレーション モデルで解析するロービット ファイル (RBT) を指定します。

詳細情報

- ・ [『Spartan-6 FPGA コンフィギュレーション ユーザー ガイド』\(UG380\)](#)
- ・ [『Spartan-6 FPGA データシート：DC 特性およびスイッチ特性』\(DS162\)](#)

IDDR2

プリミティブ : Double Data Rate Input D Flip-Flop with Optional Data Alignment, Clock Enable and Programmable Synchronous or Asynchronous Set/Reset



概要

このデザイン エレメントは、ザイリンクス FPGA で外部デュアル データ レート (DDR) 信号を受信するための専用入力レジスタです。C0 と C1 の 2 つのクロックを使用してコンポーネントに接続されるので、C0 および C1 の両方の立ち上がりエッジでデータが取り込まれます。IDDR2 は、レジスタの動作を停止するために使用できるアクティブ High のクロック イネーブル (CE) ポート、対応するクロックに同期または非同期になるよう設定できるセット/リセット ポートを備えています。また、オプションの調整機能を使用すると、コンポーネントへの両方の出力データ ポートを 1 つのクロックに揃えることができます。

論理表

入力						出力	
S	R	CE	D	C0	C1	Q0	Q1
1	X	X	X	X	X	INIT_Q0	INIT_Q1
0	1	X	X	X	X	not INIT_Q0	not INIT_Q1
0	0	0	X	X	X	変化なし	変化なし
0	0	1	D	↑	X	D	変化なし
0	0	1	D	X	↑	変化なし	D

セット/リセットは SRTYPE 値で同期に設定可能

デザインの入力方法

このエレメントは、回路図で使用できます。

このコンポーネントのすべての入力と出力は、接続しておく必要があります。

使用可能な属性

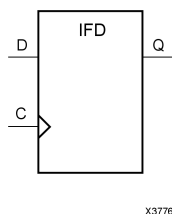
属性	データ型	値	デフォルト	説明
DDR_ALIGNMENT	文字列	"NONE"、"C0"、 "C1"	"NONE"	DDR レジスタの出力アライメントを設定します。 <ul style="list-style-type: none"> ・ "NONE"：対応する C0 または C1 の立ち上がりエッジの直後に Q0 および Q1 にデータが出力されます。 ・ "C0"：Q0 と Q1 両方のデータが C0 クロックの立ち上がりエッジに同期します。 ・ "C1"：Q0 と Q1 両方のデータが C1 クロックの立ち上がりエッジに同期します。
INIT_Q0	整数	0、1	0	Q0 出力の初期値を 0 または 1 に設定します。
INIT_Q1	整数	0、1	0	Q1 出力の初期値を 0 または 1 に設定します。
SRTYPE	文字列	"SYNC"、"ASYNC"	"SYNC"	セット/リセットを同期または非同期に設定します。

詳細情報

- ・ [『Spartan-6 FPGA コンフィギュラブル ロジック ブロック ユーザー ガイド』\(UG384\)](#)
- ・ [『Spartan-6 FPGA データシート：DC 特性およびスイッチ特性』\(DS162\)](#)

IFD

マクロ：Input D Flip-Flop



概要

このエレメントは D フリップフロップで、I/O ブロック (IOB) に含まれています。フリップフロップの入力 (D) は、IBUF を使用せずに IPAD または IOPAD に接続されます。入力 D からはデータが入力され、チップへのデータ入力同期化されます。入力 D の値は、クロック (C) が Low から High に切り替わるときに、フリップフロップにロードされ、出力 (Q) に出力されます。クロック入力、内部ロジックまたは別の外部ピンで駆動できます。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

入力		出力
D	C	Q
D	↑	D

デザインの入力方法

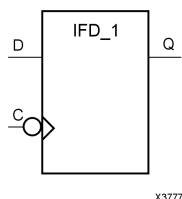
このエレメントは、回路図でのみ使用できます。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

IFD_1

マクロ : Input D Flip-Flop with Inverted Clock (Asynchronous Preset)



概要

このデザイン エLEMENTは D フリップフロップで、I/O ブロック (IOB) に含まれています。フリップフロップの入力 (D) は、IPAD または IOPAD に接続されます。また、入力 D からデータが入力され、チップへのデータ入力が同期化されます。入力 D の値は、クロック (C) が High から Low に切り替わる時に、フリップフロップにロードされ、出力 (Q) に出力されます。クロック入力、内部ロジックまたは別の外部ピンで駆動できます。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

入力		出力
D	C	Q
0	↓	0
1	↓	1

デザインの入力方法

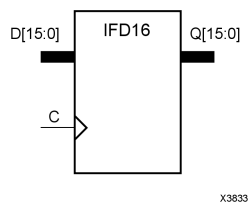
このELEMENTは、回路図でのみ使用できます。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

IFD16

マクロ：16-Bit Input D Flip-Flop



概要

このエレメントは D フリップフロップで、I/O ブロック (IOB) に含まれています。フリップフロップの入力 (D) は、IBUF を使用せずに IPAD または IOPAD に接続されます。入力 D からはデータが入力され、チップへのデータ入力同期化されます。入力 D の値は、クロック (C) が Low から High に切り替わるときに、フリップフロップにロードされ、出力 (Q) に出力されます。クロック入力、内部ロジックまたは別の外部ピンで駆動できます。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

入力		出力
D	C	Q
D	↑	D

デザインの入力方法

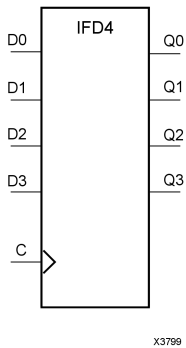
このエレメントは、回路図でのみ使用できます。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

IFD4

マクロ：4-Bit Input D Flip-Flop



概要

このエレメントは D フリップフロップで、I/O ブロック (IOB) に含まれています。フリップフロップの入力 (D) は、IBUF を使用せずに IPAD または IOPAD に接続されます。入力 D からはデータが入力され、チップへのデータ入力同期化されます。入力 D の値は、クロック (C) が Low から High に切り替わるときに、フリップフロップにロードされ、出力 (Q) に出力されます。クロック入力、内部ロジックまたは別の外部ピンで駆動できます。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

入力		出力
D	C	Q
D	↑	D

デザインの入力方法

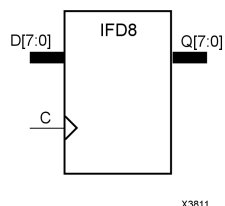
このエレメントは、回路図でのみ使用できます。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

IFD8

マクロ : 8-Bit Input D Flip-Flop



概要

このエレメントは D フリップフロップで、I/O ブロック (IOB) に含まれています。フリップフロップの入力 (D) は、IBUF を使用せずに IPAD または IOPAD に接続されます。入力 D からはデータが入力され、チップへのデータ入力同期化されます。入力 D の値は、クロック (C) が Low から High に切り替わるときに、フリップフロップにロードされ、出力 (Q) に出力されます。クロック入力、内部ロジックまたは別の外部ピンで駆動できます。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

入力		出力
D	C	Q
D	↑	D

デザインの入力方法

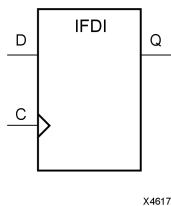
このエレメントは、回路図でのみ使用できます。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

IFDI

マクロ : Input D Flip-Flop (Asynchronous Preset)



概要

このデザイン エLEMENTは D フリップフロップで、I/O ブロック (IOB) に含まれています。フリップフロップの入力 (D) は、IPAD または IOPAD に接続されます。入力 D からはデータが入力され、チップへのデータ入力が同期化されます。入力 D の値は、クロック (C) が Low から High に切り替わる時に、フリップフロップにロードされ、出力 (Q) に出力されます。クロック入力、内部ロジックまたは別の外部ピンによって駆動できます。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

入力		出力
D	C	Q
D	↑	D

デザインの入力方法

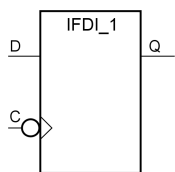
このELEMENTは、回路図でのみ使用できます。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

IFDI_1

マクロ : Input D Flip-Flop with Inverted Clock (Asynchronous Preset)



X4386

概要

このデザイン エレメントは D フリップフロップで、I/O ブロック (IOB) に含まれています。フリップフロップの入力 (D) は、IPAD または IOPAD に接続されます。入力 D からはデータが入力され、チップへのデータ入力同期化されます。入力 D の値は、クロック (C) が High から Low に切り替わる時にフリップフロップにロードされ、出力 (Q) に出力されます。クロック入力は、内部ロジックまたは別の外部ピンで駆動できます。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

入力		出力
D	C	Q
0	↓	0
1	↓	1

デザインの入力方法

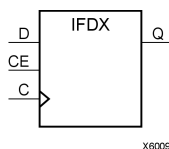
このエレメントは、回路図でのみ使用できます。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

IFDX

マクロ：Input D Flip-Flop with Clock Enable



概要

このエレメントは D フリップフロップで、I/O ブロック (IOB) に含まれています。フリップフロップの入力 (D) は、IBUF を使用せずに IPAD または IOPAD に接続されます。入力 D からはデータが入力され、チップへのデータ入力同期化されます。CE が High になっていると、入力 D の値は、クロック (C) が Low から High に切り替わる時にフリップフロップにロードされ、出力 (Q) に出力されます。クロック入力は、内部ロジックまたは別の外部ピンで駆動できます。クロック イネーブル (CE) が Low のときには、フリップフロップの出力は変化しません。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

入力			出力
CE	D	C	Q
1	D	↑	D
0	X	X	変化なし

デザインの入力方法

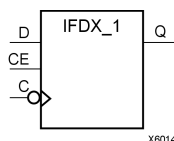
このエレメントは、回路図でのみ使用できます。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

IFDX_1

マクロ：Input D Flip-Flop with Inverted Clock and Clock Enable



概要

このデザイン エLEMENTは D フリップフロップで、I/O ブロック (IOB) に含まれています。フリップフロップの入力 (D) は、IPAD または IOPAD に接続されます。また、入力 D からはデータが入力され、チップへのデータ入力同期化されます。CE が High になっていると、入力 D の値は、クロック (C) が High から Low に切り替わる時にフリップフロップにロードされ、出力 (Q) に出力されます。クロック入力、内部ロジックまたは別の外部ピンで駆動できます。クロック イネーブル (CE) が Low のときには、出力 (Q) は変化しません。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

入力			出力
CE	D	C	Q
1	D	↓	D
0	X	X	変化なし

デザインの入力方法

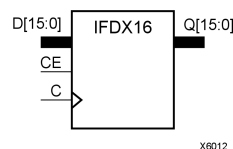
このELEMENTは、回路図でのみ使用できます。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

IFDX16

マクロ：16-Bit Input D Flip-Flops with Clock Enable



概要

このエレメントは D フリップフロップで、I/O ブロック (IOB) に含まれています。フリップフロップの入力 (D) は、IBUF を使用せずに IPAD または IOPAD に接続されます。入力 D からはデータが入力され、チップへのデータ入力同期化されます。CE が High になっていると、入力 D の値は、クロック (C) が Low から High に切り替わる時にフリップフロップにロードされ、出力 (Q) に出力されます。クロック入力は、内部ロジックまたは別の外部ピンで駆動できます。クロック イネーブル (CE) が Low のときには、フリップフロップの出力は変化しません。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

入力			出力
CE	D	C	Q
1	D	↑	D
0	X	X	変化なし

デザインの入力方法

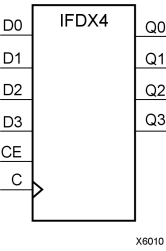
このエレメントは、回路図でのみ使用できます。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

IFDX4

マクロ : 4-Bit Input D Flip-Flop with Clock Enable



概要

このエレメントは D フリップフロップで、I/O ブロック (IOB) に含まれています。フリップフロップの入力 (D) は、IBUF を使用せずに IPAD または IOPAD に接続されます。入力 D からはデータが入力され、チップへのデータ入力同期化されます。CE が High になっていると、入力 D の値は、クロック (C) が Low から High に切り替わる時にフリップフロップにロードされ、出力 (Q) に出力されます。クロック入力、内部ロジックまたは別の外部ピンで駆動できます。クロック イネーブル (CE) が Low のときには、フリップフロップの出力は変化しません。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

入力			出力
CE	D	C	Q
1	D	↑	D
0	X	X	変化なし

デザインの入力方法

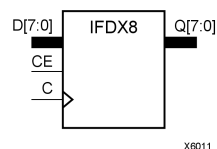
このエレメントは、回路図でのみ使用できます。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

IFDX8

マクロ：8-Bit Input D Flip-Flop with Clock Enable



概要

このエレメントは D フリップフロップで、I/O ブロック (IOB) に含まれています。フリップフロップの入力 (D) は、IBUF を使用せずに IPAD または IOPAD に接続されます。入力 D からはデータが入力され、チップへのデータ入力同期化されます。CE が High になっていると、入力 D の値は、クロック (C) が Low から High に切り替わる時にフリップフロップにロードされ、出力 (Q) に出力されます。クロック入力は、内部ロジックまたは別の外部ピンで駆動できます。クロック イネーブル (CE) が Low のときには、フリップフロップの出力は変化しません。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

入力			出力
CE	D	C	Q
1	D	↑	D
0	X	X	変化なし

デザインの入力方法

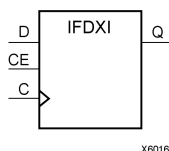
このエレメントは、回路図でのみ使用できます。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

IFDXI

マクロ : Input D Flip-Flop with Clock Enable (Asynchronous Preset)



概要

このデザイン エLEMENTは D フリップフロップで、I/O ブロック (IOB) に含まれています。フリップフロップの入力 (D) は、IPAD または IOPAD に接続されます。入力 D からはデータが入力され、チップへのデータ入力同期化されます。CE が High になっていると、入力 D の値は、クロック (C) が Low から High に切り替わる時にフリップフロップにロードされ、出力 (Q) に出力されます。クロック入力は、内部ロジックまたは別の外部ピンで駆動できます。クロック イネーブル (CE) が Low のときには、出力 (Q) は変化しません。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

入力			出力
CE	D	C	Q
1	D	↑	D
0	X	X	変化なし

デザインの入力方法

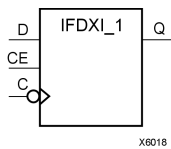
このELEMENTは、回路図でのみ使用できます。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

IFDXI_1

マクロ：Input D Flip-Flop with Inverted Clock and Clock Enable (Asynchronous Preset)



概要

このデザイン エLEMENTは D フリップフロップで、I/O ブロック (IOB) に含まれています。フリップフロップの入力 (D) は、IPAD または IOPAD に接続されます。入力 D からはデータが入力され、チップへのデータ入力が同期化されます。CE が High になっていると、入力 D の値は、クロック (C) が High から Low に切り替わる時にフリップフロップにロードされ、出力 (Q) に出力されます。クロック入力は、内部ロジックまたは別の外部ピンで駆動できます。クロック イネーブル (CE) が Low のときには、出力 (Q) は変化しません。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

入力			出力
CE	D	C	Q
1	D	↓	D
0	X	X	変化なし

デザインの入力方法

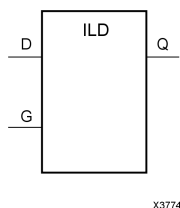
このELEMENTは、回路図でのみ使用できます。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

ILD

マクロ：Transparent Input Data Latch



概要

このデザイン エLEMENTは単一の透過データ ラッチで、チップに入力されるデータを一時的に保持します。このラッチは、I/O ブロック (IOB) に含まれます。ラッチ入力 (D) は、IBUF を使用せずに IPAD または IOPAD に接続されます。ゲート入力 (G) が High になると、入力 (D) のデータが出力 (Q) に出力されます。入力 D のデータは、G が High から Low に切り替わるときにラッチに格納されます。

電力を供給すると、ラッチは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

入力		出力
G	D	Q
1	D	D
0	X	変化なし
↓	D	D

デザインの入力方法

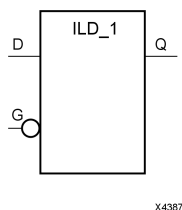
このELEMENTは、回路図でのみ使用できます。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

ILD_1

マクロ：Transparent Input Data Latch with Inverted Gate



概要

このデザイン エLEMENTは透過データ ラッチであり、チップに入力されるデータを一時的に保持します。ゲート入力 (G) が Low になると、入力 (D) の値が出力 (Q) に出力されます。入力 D の値は、G が Low から High に切り替わるときにラッチに格納されます。

電力を供給すると、ラッチは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

入力		出力
G	D	Q
0	D	D
1	X	変化なし
↑	D	D

デザインの入力方法

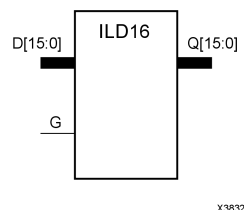
このELEMENTは、回路図でのみ使用できます。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

ILD16

マクロ：Transparent Input Data Latch



概要

このデザイン エレメントは複数の透過データ ラッチで、チップに入力されるデータを一時的に保持します。ILD ラッチは、I/O ブロック (IOB) に含まれています。ラッチ入力 (D) は、IBUF を使用せずに IPAD または IOPAD に接続されます。ゲート入力 (G) が High になると、入力 (D) の値が出力 (Q) に出力されます。入力 D の値は、G が High から Low に切り替わるときにラッチに格納されます。

電力を供給すると、ラッチは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

入力		出力
G	D	Q
1	Dn	Dn
0	X	変化なし
↓	Dn	Dn

デザインの入力方法

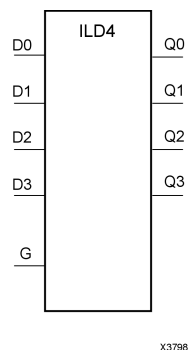
このエレメントは、回路図でのみ使用できます。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

ILD4

マクロ : Transparent Input Data Latch



概要

このデザイン エLEMENTは複数の透過データラッチで、チップに入力されるデータを一時的に保持します。ILD ラッチは、I/O ブロック (IOB) に含まれています。ラッチ入力 (D) は、IBUF を使用せずに IPAD または IOPAD に接続されます。ゲート入力 (G) が High になると、入力 (D) の値が出力 (Q) に出力されます。入力 D の値は、G が High から Low に切り替わるときにラッチに格納されます。

電力を供給すると、ラッチは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

入力		出力
G	D	Q
1	Dn	Dn
0	X	変化なし
↓	Dn	Dn

デザインの入力方法

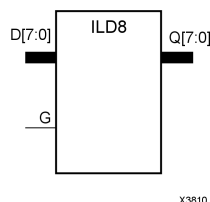
このELEMENTは、回路図でのみ使用できます。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

ILD8

マクロ：Transparent Input Data Latch



概要

このデザイン エレメントは複数の透過データ ラッチで、チップに入力されるデータを一時的に保持します。ILD ラッチは、I/O ブロック (IOB) に含まれています。ラッチ入力 (D) は、IBUF を使用せずに IPAD または IOPAD に接続されます。ゲート入力 (G) が High になると、入力 (D) の値が出力 (Q) に出力されます。入力 D の値は、G が High から Low に切り替わるときにラッチに格納されます。

電力を供給すると、ラッチは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

入力		出力
G	D	Q
1	Dn	Dn
0	X	変化なし
↓	Dn	Dn

デザインの入力方法

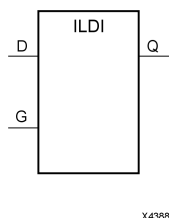
このエレメントは、回路図でのみ使用できます。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

ILDI

マクロ：Transparent Input Data Latch (Asynchronous Preset)



概要

このデザイン エLEMENTは透過データ ラッチであり、チップに入力されるデータを一時的に保持します。ゲート入力 (G) が High になると、入力 (D) のデータが出力 (Q) に出力されます。入力 D のデータは、G が High から Low に切り替わるときにラッチに格納されます。

ILDI は、入力フリップフロップのマスター ラッチです。入力フリップフロップからは、クロック信号のレベルに対応する出力とクロック信号のエッジに対応する出力という 2 つの異なる出力が使用できます。同じ入力フリップフロップから両方の出力を使用する場合、透過 High ラッチ (ILDI) は立ち下がりエッジでトリガーされるフリップフロップ (IFDI_1) に対応します。同様に、透過 Low ラッチ (ILDI_1) は立ち上がりエッジでトリガーされるフリップフロップ (IFDI) に対応します。

電力が供給されると、ラッチは非同期にプリセットされ、出力が High になります。

FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

入力		出力
G	D	Q
1	D	D
0	X	変化なし
↓	D	D

デザインの入力方法

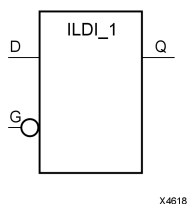
このELEMENTは、回路図でのみ使用できます。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

ILDI_1

マクロ：Transparent Input Data Latch with Inverted Gate (Asynchronous Preset)



概要

このデザイン エレメントは透過データラッチであり、チップに入力されるデータを一時的に保持します。ゲート入力 (G) が Low になると、入力 (D) の値が出力 (Q) に出力されます。入力 D の値は、G が Low から High に切り替わるときにラッチに格納されます。

電力が供給されると、ラッチは非同期にプリセットされ、出力が High になります。

FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

入力		出力
G	D	Q
0	1	1
0	0	0
1	X	変化なし
↑	D	D

デザインの入力方法

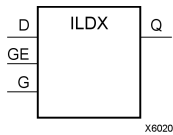
このエレメントは、回路図でのみ使用できます。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

ILDX

マクロ：Transparent Input Data Latch



概要

このデザイン エLEMENTは単一または複数の透過データラッチであり、チップに入力されるデータを一時的に保持します。ラッチ入力 (D) は、IBUF を使用せずに IPAD または IOPAD に接続されます。

ILDX は、入力フリップフロップのマスター ラッチです。入力フリップフロップからは、クロック信号のレベルに対応する出力とクロック信号のエッジに対応する出力という 2 つの出力が使用できます。同じ入力フリップフロップから両方の出力を使用する場合、透過 High ラッチ (ILDX) は立ち下がりエッジでトリガーされるフリップフロップ (IFDX_1) に対応します。同様に、透過 Low ラッチ (ILDX_1) は立ち上がりエッジでトリガーされるフリップフロップ (IFDX) に対応します。

電力を供給すると、ラッチは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

入力			出力
GE	G	D	Q
0	X	X	変化なし
1	0	X	変化なし
1	1	1	1
1	1	0	0
1	↓	D	D

デザインの入力方法

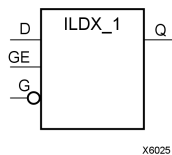
このELEMENTは、回路図でのみ使用できます。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

ILDX_1

マクロ：Transparent Input Data Latch with Inverted Gate



概要

このデザイン エLEMENTは透過データラッチであり、チップに入力されるデータを一時的に保持します。ゲート入力 (G) が Low になると、入力 (D) の値が出力 (Q) に出力されます。入力 D の値は、G が Low から High に切り替わる時にラッチに格納されます。

電力を供給すると、ラッチは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

入力			出力
GE	G	D	Q
0	X	X	変化なし
1	1	X	変化なし
1	0	1	1
1	0	0	0
1	↑	D	D

デザインの入力方法

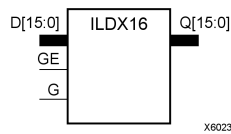
このELEMENTは、回路図でのみ使用できます。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

ILDX16

マクロ：Transparent Input Data Latch



概要

このデザイン エLEMENTは単一または複数の透過データ ラッチであり、チップに入力されるデータを一時的に保持します。ラッチ入力 (D) は、IBUF を使用せずに IPAD または IOPAD に接続されます。

ILDX は、入力フリップフロップのマスター ラッチです。入力フリップフロップからは、クロック信号のレベルに対応する出力とクロック信号のエッジに対応する出力という 2 つの出力が使用できます。同じ入力フリップフロップから両方の出力を使用する場合、透過 High ラッチ (ILDX) は立ち下がりエッジでトリガーされるフリップフロップ (IFDX_1) に対応します。同様に、透過 Low ラッチ (ILDX_1) は立ち上がりエッジでトリガーされるフリップフロップ (IFDX) に対応します。

電力を供給すると、ラッチは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

入力			出力
GE	G	D	Q
0	X	X	変化なし
1	0	X	変化なし
1	1	Dn	Dn

デザインの入力方法

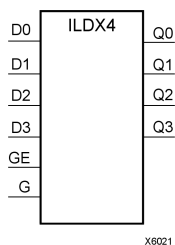
このELEMENTは、回路図でのみ使用できます。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

ILDX4

マクロ：Transparent Input Data Latch



概要

このデザイン エレメントは単一または複数の透過データ ラッチであり、チップに入力されるデータを一時的に保持します。ラッチ入力 (D) は、IBUF を使用せずに IPAD または IOPAD に接続されます。

ILDX は、入力フリップフロップのマスター ラッチです。入力フリップフロップからは、クロック信号のレベルに対応する出力とクロック信号のエッジに対応する出力という 2 つの出力が使用できます。同じ入力フリップフロップから両方の出力を使用する場合、透過 High ラッチ (ILDX) は立ち下がりエッジでトリガーされるフリップフロップ (IFDX_1) に対応します。同様に、透過 Low ラッチ (ILDX_1) は立ち上がりエッジでトリガーされるフリップフロップ (IFDX) に対応します。

電力を供給すると、ラッチは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

入力			出力
GE	G	D	Q
0	X	X	変化なし
1	1	X	変化なし
1	0	1	1
1	0	0	0
1	↑	Dn	Dn

デザインの入力方法

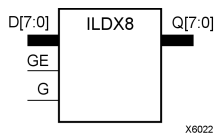
このエレメントは、回路図でのみ使用できます。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

ILDX8

マクロ：Transparent Input Data Latch



概要

このデザイン エLEMENTは単一または複数の透過データラッチであり、チップに入力されるデータを一時的に保持します。ラッチ入力 (D) は、IBUF を使用せずに IPAD または IOPAD に接続されます。

ILDX は、入力フリップフロップのマスター ラッチです。入力フリップフロップからは、クロック信号のレベルに対応する出力とクロック信号のエッジに対応する出力という 2 つの出力が使用できます。同じ入力フリップフロップから両方の出力を使用する場合、透過 High ラッチ (ILDX) は立ち下がりエッジでトリガーされるフリップフロップ (IFDX_1) に対応します。同様に、透過 Low ラッチ (ILDX_1) は立ち上がりエッジでトリガーされるフリップフロップ (IFDX) に対応します。

電力を供給すると、ラッチは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

入力			出力
GE	G	D	Q
0	X	X	変化なし
1	0	X	変化なし
1	1	Dn	Dn

デザインの入力方法

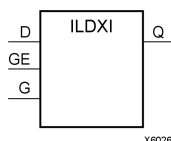
このELEMENTは、回路図でのみ使用できます。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

ILD XI

マクロ：Transparent Input Data Latch (Asynchronous Preset)



概要

このデザイン エレメントは透過データラッチであり、チップに入力されるデータを一時的に保持します。ゲート入力 (G) が High になると、入力 (D) のデータが出力 (Q) に出力されます。入力 D のデータは、G が High から Low に切り替わるときにラッチに格納されます。

ILD XI は、入力フリップフロップのマスター ラッチです。入力フリップフロップからは、クロック信号のレベルに対応する出力とクロック信号のエッジに対応する出力という 2 つの出力が使用できます。同じ入力フリップフロップから両方の出力を使用する場合、透過 High ラッチ (ILD XI) は立ち下がりエッジでトリガーされるフリップフロップ (IFDXI1) に対応します。同様に、透過 Low ラッチ (ILD XI1) は立ち上がりエッジでトリガーされるフリップフロップ (IFDXI) に対応します。

電力が供給されると、ラッチは非同期にプリセットされ、出力が High になります。

FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

入力			出力
GE	G	D	Q
0	X	X	変化なし
1	0	X	変化なし
1	1	D	D
1	↓	D	D

デザインの入力方法

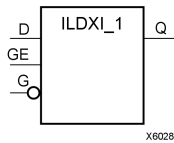
このエレメントは、回路図でのみ使用できます。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

ILDXI_1

マクロ：Transparent Input Data Latch with Inverted Gate (Asynchronous Preset)



概要

このデザイン エLEMENTは透過データ ラッチであり、チップに入力されるデータを一時的に保持します。

電力が供給されると、ラッチは非同期にプリセットされ、出力が High になります。

FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

入力			出力
GE	G	D	Q
0	X	X	変化なし
1	1	X	変化なし
1	0	D	D
1	↑	D	D

デザインの入力方法

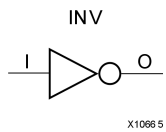
このELEMENTは、回路図でのみ使用できます。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

INV

プリミティブ：Inverter



概要

このデザイン エLEMENTは、回路図で信号を反転する単一のインバーターです。

デザインの入力方法

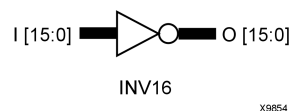
このELEMENTは、回路図でのみ使用できます。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

INV16

マクロ：16 Inverters



概要

このデザイン エLEMENTは、回路図で信号を反転する複数のインバーターです。

デザインの入力方法

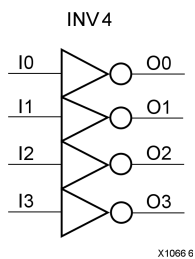
このELEMENTは、回路図でのみ使用できます。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

INV4

マクロ：Four Inverters



概要

このデザイン エLEMENTは、回路図で信号を反転する複数のインバーターです。

デザインの入力方法

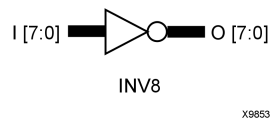
このELEMENTは、回路図でのみ使用できます。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

INV8

マクロ：Eight Inverters



概要

このデザイン エLEMENTは、回路図で信号を反転する複数のインバーターです。

デザインの入力方法

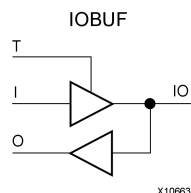
このELEMENTは、回路図でのみ使用できます。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

IOBUF

プリミティブ：Bi-Directional Buffer



概要

このデザイン エLEMENTは双方向でシングルエンドの I/O バッファで、内部ロジックを外部双方向ピンに接続する場合に使用します。

論理表

入力		双方向	出力
T	I	I/O	O
1	X	Z	I/O
0	1	1	1
0	0	0	0

ポートの説明

ポート名	方向	幅	機能
O	出力	1	バッファの出力
IO	入出力	1	バッファの入出力
I	入力	1	バッファの入力
T	入力	1	トライステート イネーブル入力

デザインの入力方法

このELEMENTは、回路図で使用できます。

使用可能な属性

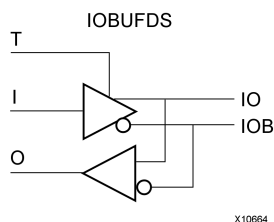
属性	データ型	値	デフォルト	説明
DRIVE	整数	2、4、6、8、12、16、24	12	I/O 規格として LVTTTL、LVCMOS12、LVCMOS15、LVCMOS18、LVCMOS25 または LVCMOS33 を使用する SelectIO™ バッファの出力の駆動電流 (mA) を選択します。
IOSTANDARD	文字列	データシートを参照	"DEFAULT"	ELEMENTに I/O 規格を割り当てます。
SLEW	文字列	"SLOW"、"FAST"、"QUIETIO"	"SLOW"	出力の立ち上がり時間と立ち下がり時間を設定します。この属性の最適な設定方法は、データシートを参照してください。

詳細情報

- ・ [『Spartan-6 FPGA SelectIO リソース ユーザー ガイド』\(UG381\)](#)
- ・ [『Spartan-6 FPGA データシート：DC 特性およびスイッチ特性』\(DS162\)](#)

IOBUFDS

プリミティブ：3-State Differential Signaling I/O Buffer with Active Low Output Enable



概要

このデザイン エレメントは、低電圧差動信号を使用する双方向バッファです。IOBUFDS では、デザイン レベルのインターフェイス信号は、一方がマスターでもう一方がスレーブとなる 2 つの異なるポート (IO、IOB) で表されます。マスターとスレーブは MYNET_P と MYNET_N のように、同じ論理信号の反対の状態を示します。また、オプションの差動終端を使用すると、シグナル インテグリティが向上し、外部コンポーネントの数を削減できます。デバイスへの入力データの遅延を調整する遅延エレメントも含まれています。

論理表

入力		双方向		出力
I	T	I/O	IOB	O
X	1	Z	Z	変化なし
0	0	0	1	0
1	0	1	0	1

ポートの説明

ポート名	方向	幅	機能
O	出力	1	バッファの出力
IO	入出力	1	Diff_p 入出力
IOB	入出力	1	Diff_n 入出力
I	入力	1	バッファの入力
T	入力	1	トリステート イネーブル入力

デザインの入力方法

このエレメントは、回路図で使用できます。

使用可能な属性

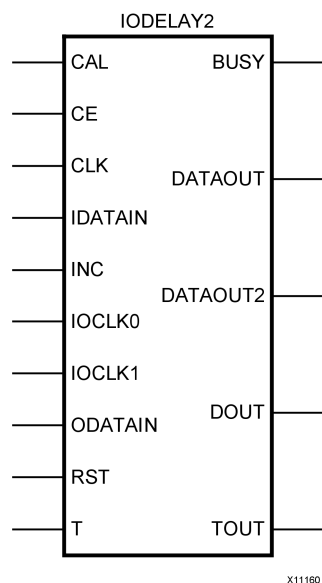
属性	データ型	値	デフォルト	説明
IOSTANDARD	文字列	データシートを参照	"DEFAULT"	エレメントに I/O 規格を割り当てます。

詳細情報

- ・ [『Spartan-6 FPGA SelectIO リソース ユーザー ガイド』\(UG381\)](#)
- ・ [『Spartan-6 FPGA データシート：DC 特性およびスイッチ特性』\(DS162\)](#)

IODELAY2

プリミティブ : Input and Output Fixed or Variable Delay Element



概要

このデザイン エレメントは、Spartan®-6 FPGA の入力パスに固定遅延または可変遅延を、出力パスに固定遅延を追加します。この遅延は、チップへの入力データまたはチップからの出力データのデータ アライメントに便利です。VARIABLE モードでは、入力パスを調整して遅延の量を増分または減分できます。出力遅延パスは、固定遅延でのみ使用できます。IODELAY を使用して、FPGA の内部パスに一定の遅延または可変遅延を追加することも可能です。ただし、IODELAY をこのように使用する場合、入力パス遅延または出力パス遅延に関連する I/O には使用できなくなります。

ポートの説明

ポート名	方向	幅	機能
BUSY	出力	1	キャリブレーション中
CAL	入力	1	キャリブレーションを開始
CE	入力	1	インクリメント/デクリメントをイネーブル
CLK	入力	1	IODELAY クロック入力
DATAOUT	出力	1	入力ポートからの遅延データ出力 (入力データパス ロジックに接続、ILOGIC 内のレジスタにのみ配線可能)
DATAOUT2	出力	1	入力ポートからの遅延されたデータ出力 (入力データパス ロジックに接続、FPGA に配線可能)
DOUT	出力	1	IOB への遅延データ出力
IDATAIN	入力	1	IOB からのデータ信号
INC	入力	1	インクリメント/デクリメント入力
IOCLK0	入力	1	反転可能な I/O クロック入力 (オプション)
IOCLK1	入力	1	反転可能な I/O クロック入力 (オプション)

ポート名	方向	幅	機能
ODATAIN	入力	1	OLOGIC または OSERDES からの出力データ入力
RST	入力	1	IODELAY2 を 0 または合計周期の 1/2 にリセットします。どちらにリセットするかは、RST_VALUE 属性で指定します。
T	入力	1	トリステスト入力制御ピン。入力のみまたは内部遅延の場合は High に、出力のみの場合は Low にします。
TOUT	出力	1	遅延トリステスト信号出力。入力のみまたは内部遅延の場合は High に、出力のみの場合は Low にします。

デザインの入力方法

このエレメントは、回路図で使用できます。

使用可能な属性

属性	データ型	値	デフォルト	説明
COUNTER_WRAP AROUND	文字列	"WRAPAROUND"、 "STAY_AT_LIMIT"	"WRAPAROUND"	タップ設定がインクリメントかデクリメントかにより、タップ カウントが最大値または最小値を超えたときのビヘイビアーを設定します。
DATA_RATE	文字列	"SDR"、"DDR"	"SDR"	シングル データ レートまたはダブル データ レートを指定します。
DELAY_SRC	文字列	"IO"、 "IDATAIN"、 "ODATAIN"	"IO"	<ul style="list-style-type: none"> ・ "ODATAIN"：遅延ソースを OSERDES または OLOGIC からの ODATAIN ピンに設定します。 ・ "IDATAIN"：遅延ソースを IDATAIN ピン（専用 IOB (P/N) パッドの 1 つ）に設定します。 ・ "IO"：T (トリステスト) 入力の極性に基づいて、信号ソースが IDATAIN と ODATAIN の間で切り替わります。
IDELAY_MODE	文字列	"NORMAL"、"PCI"	"NORMAL"	この属性を指定または変更しないでください。

属性	データ型	値	デフォルト	説明
IDELAY_TYPE	文字列	"DEFAULT"、 "DIFF_PHASE_DETECTOR"、 "FIXED"、 "VARIABLE_FROM_HALF_MAX"、 "VARIABLE_FROM_ZERO"	"DEFAULT"	遅延タイプを指定します。 "VARIABLE" は、ユーザー キャリブレーション遅延モードを示します。 <ul style="list-style-type: none"> "DEFAULT" : ゼロ ホールドタイムのプログラムに最も近い物理チップ設定を使用します。 "VARIABLE_FROM_ZERO" および "VARIABLE_FROM_HALF_MAX" : リセット動作を指定します。 "DIFF_PHASE_DETECTOR" : マスターおよびスレーブ IDELAY2 がカスケードされた特殊なモードです。
IDELAY_VALUE	整数	0 ~ 255	0	IDELAY モードでの遅延タップ値を指定します。
IDELAY2_VALUE	整数	0 ~ 255	0	IDELAY モードでの遅延タップ値を指定します。IDELAY_MODE が PCI に設定されている場合にのみ使用されます。
ODELAY_VALUE	整数	0 ~ 255	0	ODELAY モードでの遅延タップ値を指定します。
SERDES_MODE	文字列	"NONE"、 "MASTER"、 "SLAVE"	"NONE"	カスケード接続してデータ幅を拡張する場合に、ISERDES2 をマスターモードにするかスレーブモードにするかを指定します。
SIM_TAPDELAY_VALUE	整数	10 ~ 90	75	シミュレーションのみの属性で、標準タップ遅延をシミュレーション用に別の設定に変更します。

詳細情報

- ・ [『Spartan-6 FPGA SelectIO リソース ユーザー ガイド』\(UG381\)](#)
- ・ [『Spartan-6 FPGA データシート : DC 特性およびスイッチ特性』\(DS162\)](#)

IODRP2

プリミティブ : I/O Control Port

概要

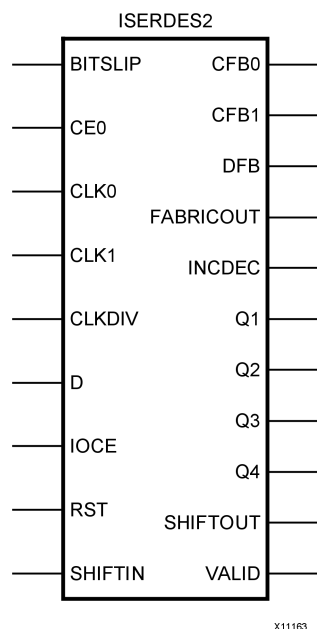
ザイリンクスではこのエレメントの使用をサポートしていません。

詳細情報

- ・ [『Spartan-6 FPGA SelectIO リソース ユーザー ガイド』\(UG381\)](#)
- ・ [『Spartan-6 FPGA データシート : DC 特性およびスイッチ特性』\(DS162\)](#)

ISERDES2

プリミティブ：Input SERial/DESerializer.



概要

各 IOB には入力デシリアライザー ブロックが含まれており、ISERDES2 プリミティブを使用してデザインにインスタンスエートできます。ISERDES2 を使用すると、SerDes 比 1:2、1:3、および 1:4 のシリアル/パラレル変換が可能です。SerDes 比は、データをキャプチャする高速 I/O クロックと、それより低速のパラレル データの処理に使用する内部グローバル クロックとの比です。たとえば、500MHz で動作するシングル レート I/O クロックを使用して 500Mb/s でデータを受信する場合、ISERDES2 により 4 ビットのデータが 1/4 のレート (125MHz) で FPGA ロジックに転送されます。差動入力を使用する場合、2 つの IOB に関連付けられた 2 つの ISERDES2 プリミティブをカスケード接続して、SerDes 比 1:5、1:6、1:7、および 1:8 を達成できます。各 ISERDES2 には、パラレル データをワードで揃えるロジックも含まれています。このロジックは、ビットスリップ処理を実行する場合に必要です。

ポートの説明

ポート名	方向	幅	機能
BITSLLIP	入力	1	High の場合、ビットスリップが実行されます。ビットスリップ処理は、カスケード接続されているかどうかにかかわらず、任意の DATA_WIDTH で使用できます。ビットスリップの量は、DATA_WIDTH の値によって決まります。
CE0	入力	1	最終 (グローバル クロック ドリブン) レジスタのクロック イネーブル入力
CFB0	出力	1	PLL/DCM で生成されたクロックを BUFIO2FB を介して PLL/DCM にフィードバックします。
CFB1	出力	1	PLL/DCM で生成されたクロックを BUFIO2FB を介して PLL/DCM にフィードバックします (セカンダリ)。
CLKDIV	入力	1	グローバル クロック ネットワーク入力。FPGA ロジックドメインのクロックです。

ポート名	方向	幅	機能
CLK0	入力	1	I/O クロック ネットワークの入力。オプションで反転可能です。クロック 2 通倍回路が使用されていない場合に使用されるプライマリクロック入力です (DATA_RATE 属性を参照)。
CLK1	入力	1	I/O クロック ネットワークの入力。オプションで反転可能です。クロック 2 通倍回路が使用されている場合にのみ使用されるセカンダリクロック入力です (DATA_RATE 属性を参照)。
D	入力	1	データ入力。IODELAY2 ブロックによる遅延の後のデータ入力です。
DFB	出力	1	IODELAY2 エLEMENTで遅延した入力クロックを BUFIO2 を介して DCM、PLL、または BUFG に転送します。
FABRICOUT	出力	1	FPGA ロジックで使用される非同期データ。
INCDEC	出力	1	マスター モードでの位相検出器の出力です (スレーブ モードではダミー)。受信データのサンプリングのタイミングが早かったか遅かったかを FPGA ロジックに通知します。
IOCE	入力	1	BUFIO CE から派生するデータ ストローブ信号。選択されている SerDes モードでの I/O およびグローバル クロックに対し、正しいタイミングでデータがキャプチャされるようにします。
Q1 ~ Q4	出力	1	ハードウェアへのレジスタ付き出力信号。
RST	入力	1	非同期リセットのみ。
SHIFTIN	入力	1	マスター/スレーブ I/O のカスケード入力信号。DATA_WIDTH が 5 以上でマスターとスレーブのサイトが一緒に使用される場合に使用します。ブロックがマスターの場合、位相検出器モードで使用されるデータ入力を送信します。スレーブの場合は、パラレル データとなるシリアル データ入力を送信します。
SHIFTOUT	出力	1	マスター/スレーブ I/O のカスケード出力信号。サンプリングされたデータをスレーブから送信するのに使用します。マスターモードの場合、入力シフトレジスタの 4 段目からシリアル データをスレーブに送信します。
VALID	出力	1	マスター モードでの位相検出器の出力です (スレーブ モードではダミー)。入力データにエッジがない場合 (位相検出器で使用できる情報がない場合)、VALID 信号は Low になり、FPGA ロジックで INCDEC 信号が無視されることを示します。

デザインの入力方法

このELEMENTは、回路図で使用できます。

使用可能な属性

属性	データ型	値	デフォルト	説明
BITSLIP_ENABLE	ブール代数	FALSE、TRUE	FALSE	BITSLIP 入力ピンで制御するビットスリップ機能のオン/オフを指定します。スリップするビット数は、DATA_WIDTH で選択されている値によって決まります。オフの場合、ビットスリップ CE は、IOCE クロック イネーブルの1 つ前の I/O クロックのデフォルト値になります。
DATA_RATE	文字列	"SDR"、"DDR"	"SDR"	データ レートを設定します。DDR クロックは、個別の複数の I/O クロックまたは 1 つの I/O クロックから供給できます。2 つのクロック

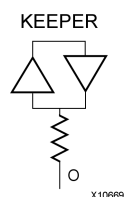
属性	データ型	値	デフォルト	説明
				が供給される場合、その位相差は約 180 度である必要があります。
DATA_WIDTH	整数	1、2、3、4、5、6、7、8	1	データ幅を指定します。シリアル/パラレルコンバーターのパラレルデータ出力幅を定義します。5 以上の値は、2 つの ISERDES2 ブロックをカスケード接続する場合にのみ有効です。この場合、同じ値をマスターブロックとスレーブブロックに適用する必要があります。
INTERFACE_TYPE	文字列	"NETWORKING"、 "NETWORKING_PIPELINED"、 "RETIMED"	"NETWORKING"	操作モードを選択し、どのセットのパラレルデータが FPGA ロジックに使用可能であるかを決定します。
SERDES_MODE	文字列	"NONE"、 "MASTER"、 "SLAVE"	"NONE"	ISERDES を単独で使用するか、2 つの ISERDES2 ブロックをカスケード接続している場合はマスターまたはスレーブとして使用するかを指定します。

詳細情報

- ・ [Spartan-6 FPGA SelectIO リソース ユーザー ガイド](#)
- ・ [Spartan-6 FPGA データシート : DC 特性およびスイッチ特性](#)

KEEPER

プリミティブ：KEEPER Symbol



概要

このデザイン エLEMENTは、双方向出力ピンに接続されるネットの値を保持するウィークキーパー エLEMENTです。たとえば、ネットに論理 1 を駆動すると、KEEPER はそのネットにウィーク/抵抗値 1 を駆動します。その後、ネットドライバーがトライステートになっても、KEEPER はウィーク/抵抗値 1 を駆動し続けます。

ポートの説明

ポート名	方向	幅	機能
O	出力	1 ビット	キーパー出力

デザインの入力方法

このELEMENTは、回路図で使用するか、HDL コードにインスタンス化できます。VHDL および Verilog のインスタンス化テンプレートは、下にあります。

このELEMENTは、最上位の回路図ファイルで次のネットに接続できます。

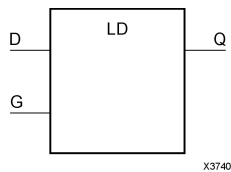
- ・ 入力 I/O マーカーに接続されたネット
- ・ 出力 I/O マーカーおよび OBUFT のようなトライステートにできる I/O ELEMENTの両方に接続されたネット

詳細情報

- ・ [『Spartan-6 FPGA SelectIO リソース ユーザー ガイド』\(UG381\)](#)
- ・ [『Spartan-6 FPGA データシート：DC 特性およびスイッチ特性』\(DS162\)](#)

LD

プリミティブ：Transparent Data Latch



概要

LD は透過データラッチです。ゲート イネーブル入力 (G) が High の場合、データ出力 (Q) にデータ入力 (D) の値が出力されます。D 入力の値は、G が High から Low に切り替わるときにラッチ内に格納されます。Q 出力の値は、G が Low の間は変化しません。

電力を供給すると、ラッチは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

入力		出力
G	D	Q
1	D	D
0	X	変化なし
↓	D	D

デザインの入力方法

このエレメントは、回路図でのみ使用できます。

使用可能な属性

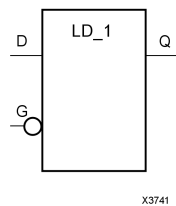
属性	データ型	値	デフォルト	説明
INIT	2 進数	0、1	0	コンフィギュレーション後の Q 出力の初期値を指定します。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

LD_1

プリミティブ：Transparent Data Latch with Inverted Gate



概要

このデザイン エLEMENTは、反転ゲート (G) 付き透過データ ラッチです。ゲート (G) 入力 が Low の場合、データ出力 (Q) にデータ入力 (D) の値が出力されます。D 入力の値は、G が Low から High に切り替わるときにラッチ内に格納されます。Q 出力の値は、G が High の間は変化しません。

電力を供給すると、ラッチは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

入力		出力
G	D	Q
0	D	D
1	X	変化なし
↑	D	D

デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

使用可能な属性

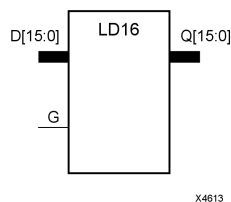
属性	データ型	値	デフォルト	説明
INIT	2 進数	0、1	0	コンフィギュレーション後の Q 出力の初期値を指定します。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

LD16

マクロ：Multiple Transparent Data Latch



概要

このデザイン エレメントは透過データ ラッチ 16 個で構成されており、共通のゲート イネーブル (G) が 1 つあります。ゲート イネーブル入力 (G) が High の場合、データ出力 (Q) にデータ入力 (D) の値が出力されます。D 入力の値は、G が High から Low に切り替わるときにラッチ内に格納されます。Q 出力の値は、G が Low の間は変化しません。

電力を供給すると、ラッチは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

入力		出力
G	D	Q
1	Dn	Dn
0	X	変化なし
↓	Dn	Dn

デザインの入力方法

このエレメントは、回路図でのみ使用できます。

使用可能な属性

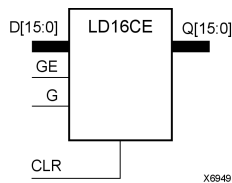
属性	データ型	値	デフォルト	説明
INIT	2 進数	16 ビット値	すべて 0	コンフィギュレーション後の Q 出力の初期値を指定します。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

LD16CE

マクロ：Transparent Data Latch with Asynchronous Clear and Gate Enable



概要

このデザイン エLEMENTは 16 個の透過データ ラッチで構成されており、非同期クリア (CLR) とゲート イネーブル (GE) があります。非同期クリア入力 (CLR) が High になると、ほかの入力は無視され、データ出力 (Q) が Low にリセットされます。ゲート入力 (G) およびゲート イネーブル (GE) が High で CLR が Low の場合、Q にデータ入力 (D) の値が出力されます。GE が Low の場合、D の値は不定値になります。D 入力の値は、G が High から Low に切り替わる時にラッチ内に格納されます。Q 出力の値は、G または GE が Low の間は変化しません。

電力を供給すると、ラッチは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

入力				出力
CLR	GE	G	Dn	Qn
1	X	X	X	0
0	0	X	X	変化なし
0	1	1	Dn	Dn
0	1	0	X	変化なし
0	1	↓	Dn	Dn

デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

使用可能な属性

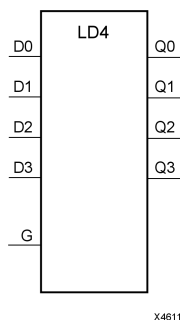
属性	データ型	値	デフォルト	説明
INIT	2 進数	16 ビット値	すべて 0	コンフィギュレーション後の Q 出力の初期値を指定します。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

LD4

マクロ : Multiple Transparent Data Latch



概要

このデザイン エレメントは透過データ ラッチ 4 個で構成されており、共通のゲート イネーブル (G) が 1 つあります。ゲート イネーブル入力 (G) が High の場合、データ出力 (Q) にデータ入力 (D) の値が出力されます。D 入力の値は、G が High から Low に切り替わるときにラッチ内に格納されます。Q 出力の値は、G が Low の間は変化しません。

電力を供給すると、ラッチは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

入力		出力
G	D	Q
1	Dn	Dn
0	X	変化なし
↓	Dn	Dn

デザインの入力方法

このエレメントは、回路図でのみ使用できます。

使用可能な属性

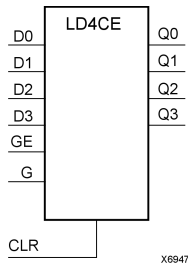
属性	データ型	値	デフォルト	説明
INIT	2 進数	4 ビット値	すべて 0	コンフィギュレーション後の Q 出力の初期値を指定します。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

LD4CE

マクロ：Transparent Data Latch with Asynchronous Clear and Gate Enable



概要

このデザイン エLEMENTは 4 個の透過データ ラッチで構成されており、非同期クリア (CLR) とゲート イネーブル (GE) があります。非同期クリア入力 (CLR) が High になると、ほかの入力は無視され、データ出力 (Q) が Low にリセットされます。ゲート入力 (G) およびゲート イネーブル (GE) が High で CLR が Low の場合、Q にデータ入力 (D) の値が出力されます。GE が Low の場合、D の値は不定値になります。D 入力の値は、G が High から Low に切り替わるときにラッチ内に格納されます。Q 出力の値は、G または GE が Low の間は変化しません。

電力を供給すると、ラッチは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

入力				出力
CLR	GE	G	Dn	Qn
1	X	X	X	0
0	0	X	X	変化なし
0	1	1	Dn	Dn
0	1	0	X	変化なし
0	1	↓	Dn	Dn

デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

使用可能な属性

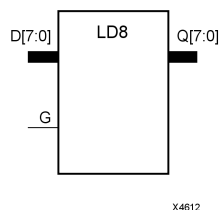
属性	データ型	値	デフォルト	説明
INIT	2 進数	4 ビット値	すべて 0	コンフィギュレーション後の Q 出力の初期値を指定します。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

LD8

マクロ：Multiple Transparent Data Latch



概要

このデザイン エレメントは透過データ ラッチ 8 個で構成されており、共通のゲート イネーブル (G) が 1 つあります。ゲート イネーブル入力 (G) が High の場合、データ出力 (Q) にデータ入力 (D) の値が出力されます。D 入力の値は、G が High から Low に切り替わるときにラッチ内に格納されます。Q 出力の値は、G が Low の間は変化しません。

電力を供給すると、ラッチは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

入力		出力
G	D	Q
1	Dn	Dn
0	X	変化なし
↓	Dn	Dn

デザインの入力方法

このエレメントは、回路図でのみ使用できます。

使用可能な属性

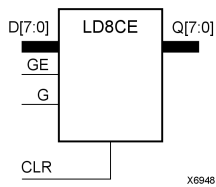
属性	データ型	値	デフォルト	説明
INIT	2 進数	8 ビット値	すべて 0	コンフィギュレーション後の Q 出力の初期値を指定します。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

LD8CE

マクロ：Transparent Data Latch with Asynchronous Clear and Gate Enable



概要

このデザイン エLEMENTは 8 個の透過データ ラッチで構成されており、非同期クリア (CLR) とゲート イネーブル (GE) があります。非同期クリア入力 (CLR) が High になると、ほかの入力は無視され、データ出力 (Q) が Low にリセットされます。ゲート入力 (G) およびゲート イネーブル (GE) が High で CLR が Low の場合、Q にデータ入力 (D) の値が出力されます。GE が Low の場合、D の値は不定値になります。D 入力の値は、G が High から Low に切り替わる時にラッチ内に格納されます。Q 出力の値は、G または GE が Low の間は変化しません。

電力を供給すると、ラッチは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

入力				出力
CLR	GE	G	Dn	Qn
1	X	X	X	0
0	0	X	X	変化なし
0	1	1	Dn	Dn
0	1	0	X	変化なし
0	1	↓	Dn	Dn

デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

使用可能な属性

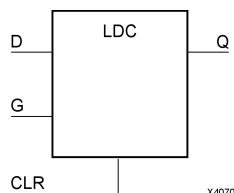
属性	データ型	値	デフォルト	説明
INIT	2 進数	8 ビット値	すべて 0	コンフィギュレーション後の Q 出力の初期値を指定します。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

LDC

プリミティブ : Transparent Data Latch with Asynchronous Clear



概要

このデザイン エレメントは、非同期クリア (CLR) がある透過データラッチです。非同期クリア入力 (CLR) が High になると、ほかの入力は無視され、データ出力 (Q) が Low にリセットされます。ゲートイネーブル入力 (G) が High で CLR が Low の場合、Q にデータ入力 (D) の値が出力されます。D 入力の値は、G が High から Low に切り替わるときにラッチ内に格納されます。Q 出力の値は、G が Low の間は変化しません。

電力を供給すると、ラッチは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

入力			出力
CLR	G	D	Q
1	X	X	0
0	1	D	D
0	0	X	変化なし
0	↓	D	D

デザインの入力方法

このエレメントは、回路図でのみ使用できます。

使用可能な属性

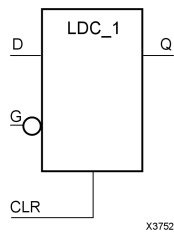
属性	データ型	値	デフォルト	説明
INIT	2 進数	0、1	0	コンフィギュレーション後の Q 出力の初期値を指定します。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

LDC_1

プリミティブ : Transparent Data Latch with Asynchronous Clear and Inverted Gate



概要

このデザイン エLEMENTは、非同期クリア (CLR) および反転ゲート (G) 付き透過データラッチです。CLR が High になると、ほかの入力 (D、G) は無視され、データ出力 (Q) が Low にリセットされます。ゲート (G) 入力および CLR が Low の場合、Q にデータ入力 (D) の値が出力されます。D 入力の値は、G が Low から High に切り替わる時にラッチ内に格納されます。Q 出力の値は、G が High の間は変化しません。

電力を供給すると、ラッチは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

入力			出力
CLR	G	D	Q
1	X	X	0
0	0	D	D
0	1	X	変化なし
0	↑	D	D

デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

使用可能な属性

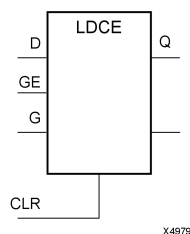
属性	データ型	値	デフォルト	説明
INIT	2 進数	0、1	0	コンフィギュレーション後の Q 出力の初期値を指定します。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

LDCE

プリミティブ : Transparent Data Latch with Asynchronous Clear and Gate Enable



概要

このデザイン エレメントは、非同期クリア (CLR) およびゲート イネーブル (GE) 付き透過データ ラッチです。非同期クリア入力 (CLR) が High になると、ほかの入力は無視され、データ出力 (Q) が Low にリセットされます。ゲート入力 (G) およびゲート イネーブル (GE) が High で、CLR が Low のとき、Q にはデータ入力 (D) が使用されます。GE が Low の場合、D の値は不定値になります。D 入力の値は、G が High から Low に切り替わるときにラッチ内に格納されます。Q 出力の値は、G または GE が Low の間は変化しません。

電力を供給すると、ラッチは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

入力				出力
CLR	GE	G	D	Q
1	X	X	X	0
0	0	X	X	変化なし
0	1	1	D	D
0	1	0	X	変化なし
0	1	↓	D	D

デザインの入力方法

このエレメントは、回路図で使用できます。

使用可能な属性

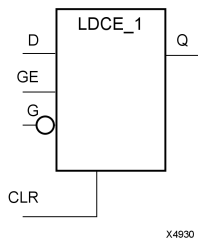
属性	データ型	値	デフォルト	説明
INIT	2 進数	0, 1	0	コンフィギュレーション後の Q 出力の初期値を指定します。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

LDCE_1

プリミティブ：Transparent Data Latch with Asynchronous Clear, Gate Enable, and Inverted Gate



概要

このデザイン エLEMENTは、非同期クリア (CLR)、ゲート イネーブル (GE)、反転ゲート (G) 付きの透過データ ラッチです。非同期クリア入力 (CLR) が High になると、ほかの入力は無視され、データ出力 (Q) が Low にリセットされます。G および CLR が Low、GE が High のとき、Q にはデータ入力 (D) が使用されます。D 入力の値は、G が Low から High に切り替わるときにラッチ内に格納されます。Q 出力の値は、G が High または GE が Low の間は変化しません。

電力を供給すると、ラッチは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

入力				出力
CLR	GE	G	D	Q
1	X	X	X	0
0	0	X	X	変化なし
0	1	0	D	D
0	1	1	X	変化なし
0	1	↑	D	D

デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

使用可能な属性

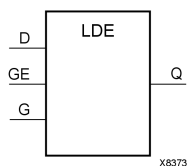
属性	データ型	値	デフォルト	説明
INIT	2 進数	0、1	0	コンフィギュレーション後の Q 出力の初期値を指定します。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

LDE

プリミティブ：Transparent Data Latch with Gate Enable



概要

このデザイン エLEMENTは、データ入力 (D) とゲート イネーブル入力 (GE) がある透過データ ラッチです。ゲート入力 (G) とゲート イネーブル (GE) が High の場合、Q 出力にはデータ入力 (D) の値が出力されます。D 入力の値は、G が High から Low に切り替わるときにラッチ内に格納されます。Q 出力の値は、G または GE が Low の間は変化しません。

電力を供給すると、ラッチは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

入力			出力
GE	G	D	Q
0	X	X	変化なし
1	1	D	D
1	0	X	変化なし
1	↓	D	D

デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

使用可能な属性

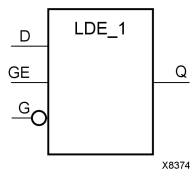
属性	データ型	値	デフォルト	説明
INIT	2 進数	0、1	0	電源投入時または GSR のアサート時の Q ポートの初期値を指定します。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

LDE_1

プリミティブ：Transparent Data Latch with Gate Enable and Inverted Gate



概要

このデザイン エLEMENTは、データ入力 (D) とゲート イネーブル入力 (GE)、反転ゲート (G) がある透過データ ラッチです。G が Low で GE が High の場合、Q 出力にはデータ入力 (D) の値が出力されます。D 入力の値は、G が Low から High に切り替わるときにラッチ内に格納されます。Q 出力の値は、G が High または GE が Low の間は変化しません。

電力を供給すると、ラッチは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

入力			出力
GE	G	D	Q
0	X	X	変化なし
1	0	D	D
1	1	X	変化なし
1	↑	D	D

デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

使用可能な属性

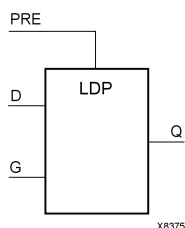
属性	データ型	値	デフォルト	説明
INIT	2 進数	0、1	0	電源投入時または GSR のアサート時の Q ポートの初期値を指定します。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

LDP

プリミティブ：Transparent Data Latch with Asynchronous Preset



概要

このデザイン エレメントは、非同期プリセット (PRE) がある透過データ ラッチです。PRE が High になると、ほかの入力は無視され、データ出力 (Q) が High にプリセットされます。ゲート入力 (G) が High で PRE が Low の場合、Q にはデータ入力 (D) の値が出力されます。D 入力の値は、G が High から Low に切り替わる時にラッチ内に格納されます。Q 出力の値は、G が Low の間は変化しません。

電力が供給されると、ラッチは非同期にプリセットされ、出力が High になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

入力			出力
PRE	G	D	Q
1	X	X	1
0	1	0	0
0	1	1	1
0	0	X	変化なし
0	↓	D	D

デザインの入力方法

このエレメントは、回路図でのみ使用できます。

使用可能な属性

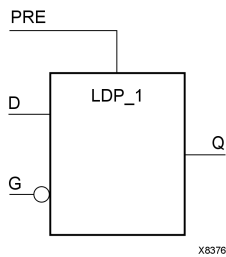
属性	データ型	値	デフォルト	説明
INIT	2 進数	0、1	1	電源投入時または GSR のアサート時の Q ポートの初期値を指定します。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

LDP_1

プリミティブ：Transparent Data Latch with Asynchronous Preset and Inverted Gate



概要

このデザイン エLEMENTは、非同期プリセット (PRE)、反転ゲート (G) がある透過データ ラッチです。PRE が High になると、ほかの入力は無視され、データ出力 (Q) が High にプリセットされます。G と PRE が Low の場合、Q にはデータ入力 (D) の値が出力されます。D 入力の値は、G が Low から High に切り替わるときにラッチ内に格納されます。Q 出力の値は、G が High の間は変化しません。

電力が供給されると、ラッチは非同期にプリセットされ、出力が High になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

入力			出力
PRE	G	D	Q
1	X	X	1
0	0	D	D
0	1	X	変化なし
0	↑	D	D

デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

使用可能な属性

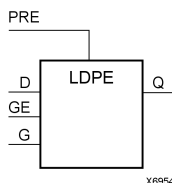
属性	データ型	値	デフォルト	説明
INIT	2 進数	0、1	1	電源投入時または GSR のアサート時の Q ポートの初期値を指定します。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

LDPE

プリミティブ : Transparent Data Latch with Asynchronous Preset and Gate Enable



概要

このデザイン エレメントは、非同期プリセット (PRE) およびゲート イネーブル (GE) 付き透過データ ラッチです。PRE が High になると、ほかの入力は無視され、データ出力 (Q) が High にプリセットされます。ゲート入力 (G) およびゲート イネーブル (GE) が High の場合、Q にデータ入力 (D) の値が出力されます。D 入力の値は、G が High から Low に切り替わる時にラッチ内に格納されます。Q 出力の値は、G または GE が Low の間は変化しません。

電力が供給されると、ラッチは非同期にプリセットされ、出力が High になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

入力				出力
PRE	GE	G	D	Q
1	X	X	X	1
0	0	X	X	変化なし
0	1	1	D	D
0	1	0	X	変化なし
0	1	↓	D	D

デザインの入力方法

このエレメントは、回路図で使用できます。

使用可能な属性

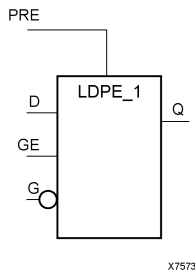
属性	データ型	値	デフォルト	説明
INIT	2 進数	0、1	1	電源投入時または GSR のアサート時の Q ポートの初期値を指定します。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

LDPE_1

プリミティブ：Transparent Data Latch with Asynchronous Preset, Gate Enable, and Inverted Gate



概要

このデザイン エLEMENTは、非同期プリセット (PRE)、ゲート イネーブル (GE)、反転ゲート (G) 付きの透過データ ラッチです。PRE が High になると、ほかの入力は無視され、データ出力 (Q) が High にプリセットされます。G および PRE が Low で、GE が High の場合、Q にデータ入力 (D) の値が出力されます。D 入力の値は、G が Low から High に切り替わる時にラッチ内に格納されます。Q 出力の値は、G が High または GE が Low の間は変化しません。

電力が供給されると、ラッチは非同期にプリセットされ、出力が High になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

入力				出力
PRE	GE	G	D	Q
1	X	X	X	1
0	0	X	X	変化なし
0	1	0	D	D
0	1	1	X	変化なし
0	1	↑	D	D

デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

使用可能な属性

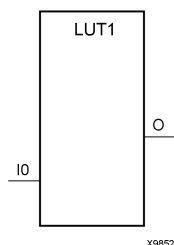
属性	データ型	値	デフォルト	説明
INIT	2 進数	0、1	1	電源投入時または GSR のアサート時の Q ポートの初期値を指定します。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

LUT1

マクロ : 1-Bit Look-Up Table with General Output



概要

このデザイン エレメントは汎用出力 (O) を持つ 1 ビットのルックアップ テーブル (LUT) です。

LUT のファンクションを設定するため、INIT 属性を使用して、各入力値に対する出力値を 16 進数で指定する必要があります。このエレメントは、バッファまたはインバーターの機能を果たします。これらのエレメントは基本ブロックで、各 CLB スライスに 2 つ、各 CLB に 4 つずつあります。LUT には複数のバリエーションがあり、異なるタイミング モデルでレイアウト前のタイミングをより正確に予測する必要がある場合に使用できます。

FPGA LUT プリミティブでは、INIT パラメーターで論理値が設定されます。デフォルトは 0 で、入力値にかかわらず出力を 0 に駆動します (グラウンドとして機能)。ただし多くの場合、LUT プリミティブのロジック ファンクションを指定するため、INIT 値を設定する必要があります。LUT の値を指定する方法には、次の 2 つがあります。

論理表を使用する方法 : LUT の INIT 値を決定する一般的な方法。すべての入力をリストした 2 進数の論理表を作成し、出力の論理値を指定して、これらの出力値から INIT 文字列を作成します。

論理式を使用する方法 : リストされた論理表の値に対応する LUT の各入力にパラメーターを定義し、パラメーターを基にロジックの論理式を生成します。概念を理解してしまえばこの方法の方が簡単ですが、コードで最初に適切なパラメーターを指定する必要があります。

論理表

入力	出力
I0	O
0	INIT[0]
1	INIT[1]
INIT = INIT 属性に割り当てられた 2 進数値	

デザインの入力方法

このエレメントは、回路図で使用できます。

使用可能な属性

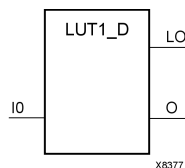
属性	データ型	値	デフォルト	説明
INIT	16 進数	2 ビット値	すべて 0	ルックアップ テーブルの論理値を指定します。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

LUT1_D

マクロ：1-Bit Look-Up Table with Dual Output



概要

このデザイン エLEMENTは 1 ビットのルックアップ テーブル (LUT) で、同じ機能を持つ O および LO という 2 つの出力があります。このELEMENTはバッファまたはインバーターの機能を果たします。

出力 O は汎用インターコネクトです。LO 出力は同じ CLB スライス内の別の入力または高速バッファに接続します。LUT のファンクションを設定するため、INIT 属性を使用して、各入力値に対する出力値を 16 進数で指定する必要があります。

FPGA LUT プリミティブでは、INIT パラメーターで論理値が設定されます。デフォルトは 0 で、入力値にかかわらず出力を 0 に駆動します (グラウンドとして機能)。ただし多くの場合、LUT プリミティブのロジック ファンクションを指定するため、INIT の値を設定する必要があります。LUT の値を指定する方法には、次の 2 つがあります。

- ・ **論理表を使用する方法**：LUT の INIT 値を決定する一般的な方法。すべての入力をリストした 2 進数の論理表を作成し、出力の論理値を指定して、これらの出力値から INIT 文字列を作成します。
- ・ **論理式を使用する方法**：リストされた論理表の値に対応する LUT の各入力にパラメーターを定義し、パラメーターを基にロジックの論理式を生成します。概念を理解してしまえばこの方法の方が簡単ですが、コードで最初に適切なパラメーターを指定する必要があります。

論理表

入力	出力	
I0	O	LO
0	INIT[0]	INIT[0]
1	INIT[1]	INIT[1]
INIT = INIT 属性に割り当てられた 2 進数値		

デザインの入力方法

このELEMENTは、回路図で使用できます。

使用可能な属性

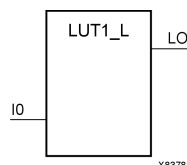
属性	データ型	値	デフォルト	説明
INIT	16 進数	2 ビット値	すべて 0	ルックアップ テーブルの論理値を指定します。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

LUT1_L

マクロ：1-Bit Look-Up Table with Local Output



概要

このデザイン エLEMENT は、1 ビットのルックアップ テーブル (LUT) で、同じ CLB スライス内にある別の出力および高速バッファへの接続に使用するローカル出力 (LO) があります。このELEMENTはバッファまたはインバーターの機能を果たします。

LUT のファンクションを設定するため、INIT 属性を使用して、各入力値に対する出力値を 16 進数で指定する必要があります。

FPGA LUT プリミティブでは、INIT パラメーターで論理値が設定されます。デフォルトは 0 で、入力値にかかわらず出力を 0 に駆動します (グラウンドとして機能)。ただし多くの場合、LUT プリミティブのロジック ファンクションを指定するため、INIT 値を設定する必要があります。LUT の値を指定する方法には、次の 2 つがあります。

論理表を使用する方法：LUT の INIT 値を決定する一般的な方法。すべての入力をリストした 2 進数の論理表を作成し、出力の論理値を指定して、これらの出力値から INIT 文字列を作成します。

論理式を使用する方法：リストされた論理表の値に対応する LUT の各入力にパラメーターを定義し、パラメーターを基にロジックの論理式を生成します。概念を理解してしまえばこの方法の方が簡単ですが、コードで最初に適切なパラメーターを指定する必要があります。

論理表

入力	出力
I0	LO
0	INIT[0]
1	INIT[1]
INIT = INIT 属性に割り当てられた 2 進数値	

デザインの入力方法

このELEMENTは、回路図で使用できます。

使用可能な属性

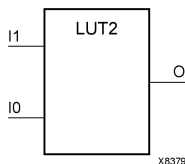
属性	データ型	値	デフォルト	説明
INIT	16 進数	2 ビット値	すべて 0	ルックアップ テーブルの論理値を指定します。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

LUT2

マクロ : 2-Bit Look-Up Table with General Output



概要

このデザイン エレメントは、汎用出力 (O) を持つ 2 ビットのルックアップ テーブル (LUT) です。

LUT のファンクションを設定するため、INIT 属性を使用して、各入力値に対する出力値を 16 進数で指定する必要があります。このエレメントは、バッファまたはインバーターの機能を果たします。これらのエレメントは基本ブロックで、各 CLB スライスに 2 つ、各 CLB に 4 つずつあります。LUT には複数のバリエーションがあり、異なるタイミング モデルでレイアウト前のタイミングをより正確に予測する必要がある場合に使用できます。

FPGA LUT プリミティブでは、INIT パラメーターで論理値が設定されます。デフォルトは 0 で、入力値にかかわらず出力を 0 に駆動します (グラウンドとして機能)。ただし多くの場合、LUT プリミティブのロジック ファンクションを指定するため、INIT 値を設定する必要があります。LUT の値を指定する方法には、次の 2 つがあります。

論理表を使用する方法 : LUT の INIT 値を決定する一般的な方法。すべての入力をリストした 2 進数の論理表を作成し、出力の論理値を指定して、これらの出力値から INIT 文字列を作成します。

論理式を使用する方法 : リストされた論理表の値に対応する LUT の各入力にパラメーターを定義し、パラメーターを基にロジックの論理式を生成します。概念を理解してしまえばこの方法の方が簡単ですが、コードで最初に適切なパラメーターを指定する必要があります。

論理表

入力		出力
I1	I0	O
0	0	INIT[0]
0	1	INIT[1]
1	0	INIT[2]
1	1	INIT[3]
INIT = INIT 属性で指定された 16 進数値を 2 進数で表した値		

デザインの入力方法

このエレメントは、回路図で使用できます。

使用可能な属性

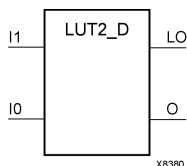
属性	データ型	値	デフォルト	説明
INIT	16 進数	4 ビット値	すべて 0	ルックアップ テーブルの論理値を指定します。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

LUT2_D

マクロ：2-Bit Look-Up Table with Dual Output



概要

このデザイン エレメントは 2 ビットのルックアップ テーブル (LUT) で、同じ機能を持つ O および LO という 2 つの出力があります。

出力 O は汎用インターコネクトです。LO 出力は同じ CLB スライス内の別の入力または高速バッファに接続します。LUT のファンクションを設定するため、INIT 属性を使用して、各入力値に対する出力値を 16 進数で指定する必要があります。

FPGA LUT プリミティブでは、INIT パラメーターで論理値が設定されます。デフォルトは 0 で、入力値にかかわらず出力を 0 に駆動します (グラウンドとして機能)。ただし多くの場合、LUT プリミティブのロジック ファンクションを指定するため、INIT の値を設定する必要があります。LUT の値を指定する方法には、次の 2 つがあります。

- ・ **論理表を使用する方法**：LUT の INIT 値を決定する一般的な方法。すべての入力をリストした 2 進数の論理表を作成し、出力の論理値を指定して、これらの出力値から INIT 文字列を作成します。
- ・ **論理式を使用する方法**：リストされた論理表の値に対応する LUT の各入力にパラメーターを定義し、パラメーターを基にロジックの論理式を生成します。概念を理解してしまえばこの方法の方が簡単ですが、コードで最初に適切なパラメーターを指定する必要があります。

論理表

入力		出力	
I1	I0	O	LO
0	0	INIT[0]	INIT[0]
0	1	INIT[1]	INIT[1]
1	0	INIT[2]	INIT[2]
1	1	INIT[3]	INIT[3]
INIT = INIT 属性で指定された 16 進数値を 2 進数で表した値			

デザインの入力方法

このエレメントは、回路図で使用できます。

使用可能な属性

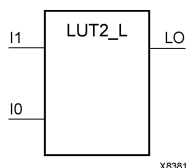
属性	データ型	値	デフォルト	説明
INIT	16 進数	4 ビット値	すべて 0	ルックアップ テーブルの論理値を指定します。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

LUT2_L

マクロ：2-Bit Look-Up Table with Local Output



概要

このデザイン エLEMENT は 2 ビットのルックアップ テーブル (LUT) で、同じ CLB スライス内にある別の出力および高速バッファへの接続に使用するローカル出力 (LO) があります。このELEMENTはバッファまたはインバーターの機能を果たします。

LUT のファンクションを設定するため、INIT 属性を使用して、各入力値に対する出力値を 16 進数で指定する必要があります。

FPGA LUT プリミティブでは、INIT パラメーターで論理値が設定されます。デフォルトは 0 で、入力値にかかわらず出力を 0 に駆動します (グラウンドとして機能)。ただし多くの場合、LUT プリミティブのロジック ファンクションを指定するため、INIT 値を設定する必要があります。LUT の値を指定する方法には、次の 2 つがあります。

論理表を使用する方法：LUT の INIT 値を決定する一般的な方法。すべての入力をリストした 2 進数の論理表を作成し、出力の論理値を指定して、これらの出力値から INIT 文字列を作成します。

論理式を使用する方法：リストされた論理表の値に対応する LUT の各入力にパラメーターを定義し、パラメーターを基にロジックの論理式を生成します。概念を理解してしまえばこの方法の方が簡単ですが、コードで最初に適切なパラメーターを指定する必要があります。

論理表

入力		出力
I1	I0	LO
0	0	INIT[0]
0	1	INIT[1]
1	0	INIT[2]
1	1	INIT[3]
INIT = INIT 属性で指定された 16 進数値を 2 進数で表した値		

デザインの入力方法

このELEMENTは、回路図で使用できます。

使用可能な属性

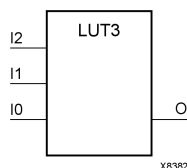
属性	データ型	値	デフォルト	説明
INIT	16 進数	4 ビット値	すべて 0	ルックアップ テーブルの論理値を指定します。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

LUT3

マクロ：3-Bit Look-Up Table with General Output



概要

このデザイン エレメントは、汎用出力 (O) を持つ 3 ビットのルックアップ テーブル (LUT) です。LUT のファンクションを設定するため、INIT 属性を使用して、各入力値に対する出力値を 16 進数で指定する必要があります。

LUT のファンクションを設定するため、INIT 属性を使用して、各入力値に対する出力値を 16 進数で指定する必要があります。このエレメントは、バッファまたはインバーターの機能を果たします。これらのエレメントは基本ブロックで、各 CLB スライスに 2 つ、各 CLB に 4 つずつあります。LUT には複数のバリエーションがあり、異なるタイミング モデルでレイアウト前のタイミングをより正確に予測する必要がある場合に使用できます。

FPGA LUT プリミティブでは、INIT パラメーターで論理値が設定されます。デフォルトは 0 で、入力値にかかわらず出力を 0 に駆動します (グラウンドとして機能)。ただし多くの場合、LUT プリミティブのロジック ファンクションを指定するため、INIT 値を設定する必要があります。LUT の値を指定する方法には、次の 2 つがあります。

論理表を使用する方法：LUT の INIT 値を決定する一般的な方法。すべての入力をリストした 2 進数の論理表を作成し、出力の論理値を指定して、これらの出力値から INIT 文字列を作成します。

論理式を使用する方法：リストされた論理表の値に対応する LUT の各入力にパラメーターを定義し、パラメーターを基にロジックの論理式を生成します。概念を理解してしまえばこの方法の方が簡単ですが、コードで最初に適切なパラメーターを指定する必要があります。

論理表

入力			出力
I2	I1	I0	O
0	0	0	INIT[0]
0	0	1	INIT[1]
0	1	0	INIT[2]
0	1	1	INIT[3]
1	0	0	INIT[4]
1	0	1	INIT[5]
1	1	0	INIT[6]
1	1	1	INIT[7]
INIT = INIT 属性で指定された 16 進数値を 2 進数で表した値			

デザインの入力方法

このエレメントは、回路図で使用できます。

使用可能な属性

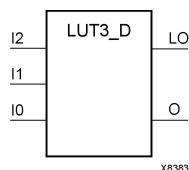
属性	データ型	値	デフォルト	説明
INIT	16 進数	8 ビット値	すべて 0	ルックアップ テーブルの論理値を指定します。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

LUT3_D

マクロ : 3-Bit Look-Up Table with Dual Output



概要

このデザイン エレメントは 3 ビットのルックアップ テーブル (LUT) で、同じ機能を持つ O および LO という 2 つの出力があります。

出力 O は汎用インターコネクトです。LO 出力は同じ CLB スライス内の別の入力または高速バッファに接続します。LUT のファンクションを設定するため、INIT 属性を使用して、各入力値に対する出力値を 16 進数で指定する必要があります。

FPGA LUT プリミティブでは、INIT パラメーターで論理値が設定されます。デフォルトは 0 で、入力値にかかわらず出力を 0 に駆動します (グラウンドとして機能)。ただし多くの場合、LUT プリミティブのロジック ファンクションを指定するため、INIT の値を設定する必要があります。LUT の値を指定する方法には、次の 2 つがあります。

- ・ **論理表を使用する方法** : LUT の INIT 値を決定する一般的な方法。すべての入力をリストした 2 進数の論理表を作成し、出力の論理値を指定して、これらの出力値から INIT 文字列を作成します。
- ・ **論理式を使用する方法** : リストされた論理表の値に対応する LUT の各入力にパラメーターを定義し、パラメーターを基にロジックの論理式を生成します。概念を理解してしまえばこの方法の方が簡単ですが、コードで最初に適切なパラメーターを指定する必要があります。

論理表

入力			出力	
I2	I1	I0	O	LO
0	0	0	INIT[0]	INIT[0]
0	0	1	INIT[1]	INIT[1]
0	1	0	INIT[2]	INIT[2]
0	1	1	INIT[3]	INIT[3]
1	0	0	INIT[4]	INIT[4]
1	0	1	INIT[5]	INIT[5]
1	1	0	INIT[6]	INIT[6]
1	1	1	INIT[7]	INIT[7]
INIT = INIT 属性で指定された 16 進数値を 2 進数で表した値				

デザインの入力方法

このエレメントは、回路図で使用できます。

使用可能な属性

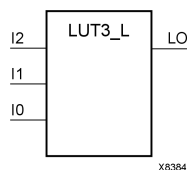
属性	データ型	値	デフォルト	説明
INIT	16 進数	8 ビット値	すべて 0	ルックアップ テーブルの論理値を指定します。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

LUT3_L

マクロ : 3-Bit Look-Up Table with Local Output



概要

このデザイン エLEMENT は 3 ビットのルックアップ テーブル (LUT) で、同じ CLB スライス内にある別の出力および高速バッファへの接続に使用するローカル出力 (LO) があります。このELEMENTはバッファまたはインバーターの機能を果たします。

LUT のファンクションを設定するため、INIT 属性を使用して、各入力値に対する出力値を 16 進数で指定する必要があります。

FPGA LUT プリミティブでは、INIT パラメーターで論理値が設定されます。デフォルトは 0 で、入力値にかかわらず出力を 0 に駆動します (グラウンドとして機能)。ただし多くの場合、LUT プリミティブのロジック ファンクションを指定するため、INIT 値を設定する必要があります。LUT の値を指定する方法には、次の 2 つがあります。

論理表を使用する方法 : LUT の INIT 値を決定する一般的な方法。すべての入力をリストした 2 進数の論理表を作成し、出力の論理値を指定して、これらの出力値から INIT 文字列を作成します。

論理式を使用する方法 : リストされた論理表の値に対応する LUT の各入力にパラメーターを定義し、パラメーターを基にロジックの論理式を生成します。概念を理解してしまえばこの方法の方が簡単ですが、コードで最初に適切なパラメーターを指定する必要があります。

論理表

入力			出力
I2	I1	I0	LO
0	0	0	INIT[0]
0	0	1	INIT[1]
0	1	0	INIT[2]
0	1	1	INIT[3]
1	0	0	INIT[4]
1	0	1	INIT[5]
1	1	0	INIT[6]
1	1	1	INIT[7]
INIT = INIT 属性で指定された 16 進数値を 2 進数で表した値			

デザインの入力方法

このELEMENTは、回路図で使用できます。

使用可能な属性

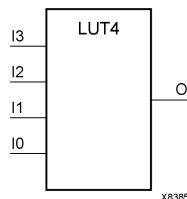
属性	データ型	値	デフォルト	説明
INIT	16 進数	8 ビット値	すべて 0	ルックアップ テーブルの論理値を指定します。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

LUT4

マクロ : 4-Bit Look-Up-Table with General Output



概要

このデザイン エLEMENTは、汎用出力 (O) を持つ 4 ビットのルックアップ テーブル (LUT) です。

LUT のファンクションを設定するため、INIT 属性を使用して、各入力値に対する出力値を 16 進数で指定する必要があります。このELEMENTは、バッファまたはインバーターの機能を果たします。これらのELEMENTは基本ブロックで、各 CLB スライスに 2 つ、各 CLB に 4 つずつあります。LUT には複数のバリエーションがあり、異なるタイミング モデルでレイアウト前のタイミングをより正確に予測する必要がある場合に使用できます。

FPGA LUT プリミティブでは、INIT パラメーターで論理値が設定されます。デフォルトは 0 で、入力値にかかわらず出力を 0 に駆動します (グラウンドとして機能)。ただし多くの場合、LUT プリミティブのロジック ファンクションを指定するため、INIT 値を設定する必要があります。LUT の値を指定する方法には、次の 2 つがあります。

論理表を使用する方法 : LUT の INIT 値を決定する一般的な方法。すべての入力をリストした 2 進数の論理表を作成し、出力の論理値を指定して、これらの出力値から INIT 文字列を作成します。

論理式を使用する方法 : リストされた論理表の値に対応する LUT の各入力にパラメーターを定義し、パラメーターを基にロジックの論理式を生成します。概念を理解してしまえばこの方法の方が簡単ですが、コードで最初に適切なパラメーターを指定する必要があります。

論理表

入力				出力
I3	I2	I1	I0	O
0	0	0	0	INIT[0]
0	0	0	1	INIT[1]
0	0	1	0	INIT[2]
0	0	1	1	INIT[3]
0	1	0	0	INIT[4]
0	1	0	1	INIT[5]
0	1	1	0	INIT[6]
0	1	1	1	INIT[7]
1	0	0	0	INIT[8]
1	0	0	1	INIT[9]
1	0	1	0	INIT[10]
1	0	1	1	INIT[11]
1	1	0	0	INIT[12]

入力				出力
I3	I2	I1	I0	O
1	1	0	1	INIT[13]
1	1	1	0	INIT[14]
1	1	1	1	INIT[15]
INIT = INIT 属性で指定された 16 進数値を 2 進数で表した値				

デザインの入力方法

このエレメントは、回路図で使用できます。

使用可能な属性

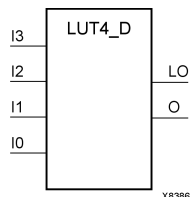
属性	データ型	値	デフォルト	説明
INIT	16 進数	16 ビット値	すべて 0	ルックアップ テーブルの論理値を指定します。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

LUT4_D

マクロ : 4-Bit Look-Up Table with Dual Output



概要

このデザイン エLEMENTは 4 ビットのルックアップ テーブル (LUT) で、同じ機能を持つ O および LO という 2 つの出力があります。

出力 O は汎用インターコネクトです。LO 出力は同じ CLB スライス内の別の入力または高速バッファに接続します。LUT のファンクションを設定するため、INIT 属性を使用して、各入力値に対する出力値を 16 進数で指定する必要があります。

FPGA LUT プリミティブでは、INIT パラメーターで論理値が設定されます。デフォルトは 0 で、入力値にかかわらず出力を 0 に駆動します (グラウンドとして機能)。ただし多くの場合、LUT プリミティブのロジック ファンクションを指定するため、INIT の値を設定する必要があります。LUT の値を指定する方法には、次の 2 つがあります。

- ・ **論理表を使用する方法** : LUT の INIT 値を決定する一般的な方法。すべての入力をリストした 2 進数の論理表を作成し、出力の論理値を指定して、これらの出力値から INIT 文字列を作成します。
- ・ **論理式を使用する方法** : リストされた論理表の値に対応する LUT の各入力にパラメーターを定義し、パラメーターを基にロジックの論理式を生成します。概念を理解してしまえばこの方法の方が簡単ですが、コードで最初に適切なパラメーターを指定する必要があります。

論理表

入力				出力	
I3	I2	I1	I0	O	LO
0	0	0	0	INIT[0]	INIT[0]
0	0	0	1	INIT[1]	INIT[1]
0	0	1	0	INIT[2]	INIT[2]
0	0	1	1	INIT[3]	INIT[3]
0	1	0	0	INIT[4]	INIT[4]
0	1	0	1	INIT[5]	INIT[5]
0	1	1	0	INIT[6]	INIT[6]
0	1	1	1	INIT[7]	INIT[7]
1	0	0	0	INIT[8]	INIT[8]
1	0	0	1	INIT[9]	INIT[9]
1	0	1	0	INIT[10]	INIT[10]
1	0	1	1	INIT[11]	INIT[11]
1	1	0	0	INIT[12]	INIT[12]

入力				出力	
I3	I2	I1	I0	O	LO
1	1	0	1	INIT[13]	INIT[13]
1	1	1	0	INIT[14]	INIT[14]
1	1	1	1	INIT[15]	INIT[15]
INIT = INIT 属性で指定された 16 進数値を 2 進数で表した値					

デザインの入力方法

このエレメントは、回路図で使用できます。

使用可能な属性

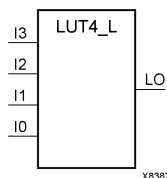
属性	データ型	値	デフォルト	説明
INIT	16 進数	16 ビット値	すべて 0	ルックアップ テーブルの論理値を指定します。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

LUT4_L

マクロ : 4-Bit Look-Up Table with Local Output



概要

このデザイン エLEMENT は 4 ビットのルックアップ テーブル (LUT) で、同じ CLB スライス内にある別の出力および高速バッファへの接続に使用するローカル出力 (LO) があります。このELEMENTはバッファまたはインバーターの機能を果たします。

LUT のファンクションを設定するため、INIT 属性を使用して、各入力値に対する出力値を 16 進数で指定する必要があります。

FPGA LUT プリミティブでは、INIT パラメーターで論理値が設定されます。デフォルトは 0 で、入力値にかかわらず出力を 0 に駆動します (グラウンドとして機能)。ただし多くの場合、LUT プリミティブのロジック ファンクションを指定するため、INIT 値を設定する必要があります。LUT の値を指定する方法には、次の 2 つがあります。

論理表を使用する方法 : LUT の INIT 値を決定する一般的な方法。すべての入力をリストした 2 進数の論理表を作成し、出力の論理値を指定して、これらの出力値から INIT 文字列を作成します。

論理式を使用する方法 : リストされた論理表の値に対応する LUT の各入力にパラメーターを定義し、パラメーターを基にロジックの論理式を生成します。概念を理解してしまえばこの方法の方が簡単ですが、コードで最初に適切なパラメーターを指定する必要があります。

論理表

入力				出力
I3	I2	I1	I0	LO
0	0	0	0	INIT[0]
0	0	0	1	INIT[1]
0	0	1	0	INIT[2]
0	0	1	1	INIT[3]
0	1	0	0	INIT[4]
0	1	0	1	INIT[5]
0	1	1	0	INIT[6]
0	1	1	1	INIT[7]
1	0	0	0	INIT[8]
1	0	0	1	INIT[9]
1	0	1	0	INIT[10]
1	0	1	1	INIT[11]
1	1	0	0	INIT[12]

入力				出力
I3	I2	I1	I0	LO
1	1	0	1	INIT[13]
1	1	1	0	INIT[14]
1	1	1	1	INIT[15]
INIT = INIT 属性で指定された 16 進数値を 2 進数で表した値				

デザインの入力方法

このエレメントは、回路図で使用できます。

使用可能な属性

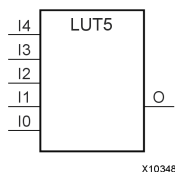
属性	データ型	値	デフォルト	説明
INIT	16 進数	16 ビット値	すべて 0	ルックアップ テーブルの論理値を指定します。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

LUT5

プリミティブ：5-Input Lookup Table with General Output



概要

このデザイン エLEMENTは、入力 5 個、出力 1 個を持つルックアップ テーブル (LUT) で、非同期 32 ビット ROM (5 ビットのアドレス指定) または 5 入力のロジック ファンクションをインプリメントできます。LUT は基本的なロジック構築ブロックで、デザインに含まれる多くのロジック ファンクションのインプリメントに使用されます。LUT5 が 1 つの場合はスライス内の LUT6 に、2 つの場合は多少の制限はありますが 1 つの LUT6 にパックできます。LUT5、LUT5_L、および LUT5_D の機能は同じですが、LUT5_L および LUT5_D では、LUT5 の出力信号を内部スライスに接続したり、LO 出力を使用して CLB に接続できます。LUT5_L では LUT5 からの接続が 1 つのスライスまたは CLB 内に制限されるのに対し、LUT5_D では LUT5 の出力を内部スライス/CLB ロジックおよび外部ロジックの両方に接続できます。LUT5 では出力の接続は特定されないで、内部スライスまたは CLB 信号の接続を暗示的に指定する必要がある場合以外は、常に使用する必要があります。

LUT のロジック ファンクションを指定するため、INIT 属性に 32 ビットの 16 進数を設定する必要があります。入力が適用されたときに出力される値を、その入力に対応する INIT ビットに設定します。たとえば Verilog で INIT 値を 32'h80000000 (VHDL では X"80000000") に設定すると、入力すべてが 1 の場合以外は出力は 0 になります (5 入力の AND ゲート)。また、Verilog で INIT 値を 32'hffffff (VHDL では X"FFFFFFFE") に設定すると、入力がすべて 0 の場合以外は出力は 1 になります (5 入力 OR ゲート)。

FPGA LUT プリミティブでは、INIT パラメーターで論理値が設定されます。デフォルトは 0 で、入力値にかかわらず出力を 0 に駆動します (グラウンドとして機能)。ただし多くの場合、LUT プリミティブのロジック ファンクションを指定するため、INIT 値を設定する必要があります。LUT の値を指定する方法には、次の 2 つがあります。

論理表を使用する方法：LUT の INIT 値を決定する一般的な方法。すべての入力をリストした 2 進数の論理表を作成し、出力の論理値を指定して、これらの出力値から INIT 文字列を作成します。

論理式を使用する方法：リストされた論理表の値に対応する LUT の各入力にパラメーターを定義し、パラメーターを基にロジックの論理式を生成します。概念を理解してしまえばこの方法の方が簡単ですが、コードで最初に適切なパラメーターを指定する必要があります。

論理表

入力					出力
I4	I3	I2	I1	I0	LO
0	0	0	0	0	INIT[0]
0	0	0	0	1	INIT[1]
0	0	0	1	0	INIT[2]
0	0	0	1	1	INIT[3]
0	0	1	0	0	INIT[4]
0	0	1	0	1	INIT[5]

入力					出力
I4	I3	I2	I1	I0	LO
0	0	1	1	0	INIT[6]
0	0	1	1	1	INIT[7]
0	1	0	0	0	INIT[8]
0	1	0	0	1	INIT[9]
0	1	0	1	0	INIT[10]
0	1	0	1	1	INIT[11]
0	1	1	0	0	INIT[12]
0	1	1	0	1	INIT[13]
0	1	1	1	0	INIT[14]
0	1	1	1	1	INIT[15]
1	0	0	0	0	INIT[16]
1	0	0	0	1	INIT[17]
1	0	0	1	0	INIT[18]
1	0	0	1	1	INIT[19]
1	0	1	0	0	INIT[20]
1	0	1	0	1	INIT[21]
1	0	1	1	0	INIT[22]
1	0	1	1	1	INIT[23]
1	1	0	0	0	INIT[24]
1	1	0	0	1	INIT[25]
1	1	0	1	0	INIT[26]
1	1	0	1	1	INIT[27]
1	1	1	0	0	INIT[28]
1	1	1	0	1	INIT[29]
1	1	1	1	0	INIT[30]
1	1	1	1	1	INIT[31]

INIT = INIT 属性で指定された 16 進数値を 2 進数で表した値

ポートの説明

ポート名	方向	幅	機能
O	出力	1	5 入力 LUT 出力
I0、I1、I2、I3、I4	入力	1	LUT 入力

デザインの入力方法

このエレメントは、回路図で使用できます。

使用可能な属性

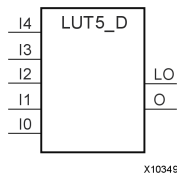
属性	データ型	値	デフォルト	説明
INIT	16 進数	32 ビット値	すべて 0	ルックアップ テーブルの論理値を指定します。

詳細情報

- ・ [『Spartan-6 FPGA コンフィギャラブル ロジック ブロック ユーザー ガイド』\(UG384\)](#)
- ・ [『Spartan-6 FPGA データシート：DC 特性およびスイッチ特性』\(DS162\)](#)

LUT5_D

プリミティブ：5-Input Lookup Table with General and Local Outputs



概要

このデザイン エLEMENTは、入力 5 個、出力 1 個を持つルックアップ テーブル (LUT) で、非同期 32 ビット ROM (5 ビットのアドレス指定) または 5 入力のロジック ファンクションをインプリメントできます。LUT は基本的なロジック構築ブロックで、デザインに含まれる多くのロジック ファンクションのインプリメントに使用されます。LUT5 が 1 つの場合はスライス内の LUT6 に、2 つの場合は多少の制限はありますが 1 つの LUT6 にパックできます。LUT5、LUT5_L、および LUT5_D の機能は同じですが、LUT5_L および LUT5_D では、LUT5 の出力信号を内部スライスに接続したり、LO 出力を使用して CLB に接続できます。LUT5_L では LUT5 からの接続が 1 つのスライスまたは CLB 内に制限されるのに対し、LUT5_D では LUT5 の出力を内部スライス/CLB ロジックおよび外部ロジックの両方に接続できます。LUT5 では出力の接続は特定されないため、内部スライスまたは CLB 信号の接続を暗示的に指定する必要がある場合以外は、常に使用する必要があります。

LUT のロジック ファンクションを指定するため、INIT 属性に 32 ビットの 16 進数を設定する必要があります。入力が適用されたときに出力される値を、その入力に対応する INIT ビットに設定します。たとえば Verilog で INIT 値を 32'h80000000 (VHDL では X"80000000") に設定すると、入力すべてが 1 の場合以外は出力は 0 になります (5 入力の AND ゲート)。また、Verilog で INIT 値を 32'hffffff (VHDL では X"FFFFFFFE") に設定すると、入力がすべて 0 の場合以外は出力は 1 になります (5 入力 OR ゲート)。

FPGA LUT プリミティブでは、INIT パラメーターで論理値が設定されます。デフォルトは 0 で、入力値にかかわらず出力を 0 に駆動します (グラウンドとして機能)。ただし多くの場合、LUT プリミティブのロジック ファンクションを指定するため、INIT の値を設定する必要があります。LUT の値を指定する方法には、次の 2 つがあります。

- ・ **論理表を使用する方法**：LUT の INIT 値を決定する一般的な方法。すべての入力をリストした 2 進数の論理表を作成し、出力の論理値を指定して、これらの出力値から INIT 文字列を作成します。
- ・ **論理式を使用する方法**：リストされた論理表の値に対応する LUT の各入力にパラメーターを定義し、パラメーターを基にロジックの論理式を生成します。概念を理解してしまえばこの方法の方が簡単ですが、コードで最初に適切なパラメーターを指定する必要があります。

論理表

入力					出力	
I4	I3	I2	I1	I0	O	LO
0	0	0	0	0	INIT[0]	INIT[0]
0	0	0	0	1	INIT[1]	INIT[1]
0	0	0	1	0	INIT[2]	INIT[2]
0	0	0	1	1	INIT[3]	INIT[3]
0	0	1	0	0	INIT[4]	INIT[4]
0	0	1	0	1	INIT[5]	INIT[5]
0	0	1	1	0	INIT[6]	INIT[6]

入力					出力	
I4	I3	I2	I1	I0	O	LO
0	0	1	1	1	INIT[7]	INIT[7]
0	1	0	0	0	INIT[8]	INIT[8]
0	1	0	0	1	INIT[9]	INIT[9]
0	1	0	1	0	INIT[10]	INIT[10]
0	1	0	1	1	INIT[11]	INIT[11]
0	1	1	0	0	INIT[12]	INIT[12]
0	1	1	0	1	INIT[13]	INIT[13]
0	1	1	1	0	INIT[14]	INIT[14]
0	1	1	1	1	INIT[15]	INIT[15]
1	0	0	0	0	INIT[16]	INIT[16]
1	0	0	0	1	INIT[17]	INIT[17]
1	0	0	1	0	INIT[18]	INIT[18]
1	0	0	1	1	INIT[19]	INIT[19]
1	0	1	0	0	INIT[20]	INIT[20]
1	0	1	0	1	INIT[21]	INIT[21]
1	0	1	1	0	INIT[22]	INIT[22]
1	0	1	1	1	INIT[23]	INIT[23]
1	1	0	0	0	INIT[24]	INIT[24]
1	1	0	0	1	INIT[25]	INIT[25]
1	1	0	1	0	INIT[26]	INIT[26]
1	1	0	1	1	INIT[27]	INIT[27]
1	1	1	0	0	INIT[28]	INIT[28]
1	1	1	0	1	INIT[29]	INIT[29]
1	1	1	1	0	INIT[30]	INIT[30]
1	1	1	1	1	INIT[31]	INIT[31]

INIT = INIT 属性で指定された 16 進数値を 2 進数で表した値

ポートの説明

ポート名	方向	幅	機能
O	出力	1	5 入力 LUT 出力
LO	出力	1	内部 CLB 接続用の 5 入力 LUT 出力
I0、I1、I2、I3、I4	入力	1	LUT 入力

デザインの入力方法

このエレメントは、回路図で使用できます。

使用可能な属性

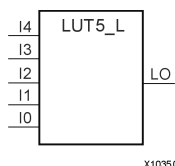
属性	データ型	値	デフォルト	説明
INIT	16 進数	32 ビット値	すべて 0	ルックアップ テーブルの論理値を指定します。

詳細情報

- ・ [『Spartan-6 FPGA コンフィギュラブル ロジック ブロック ユーザー ガイド』\(UG384\)](#)
- ・ [『Spartan-6 FPGA データシート：DC 特性およびスイッチ特性』\(DS162\)](#)

LUT5_L

プリミティブ：5-Input Lookup Table with Local Output



概要

このデザイン エLEMENTは、入力 5 個、出力 1 個を持つルックアップ テーブル (LUT) で、非同期 32 ビット ROM (5 ビットのアドレス指定) または 5 入力のロジック ファンクションをインプリメントできます。LUT は基本的なロジック構築ブロックで、デザインに含まれる多くのロジック ファンクションのインプリメントに使用されます。LUT5 が 1 つの場合はスライス内の LUT6 に、2 つの場合は多少の制限はありますが 1 つの LUT6 にパックできます。LUT5、LUT5_L、および LUT5_D の機能は同じですが、LUT5_L および LUT5_D では、LUT5 の出力信号を内部スライスに接続したり、LO 出力を使用して CLB に接続できます。LUT5_L では LUT5 からの接続が 1 つのスライスまたは CLB 内に制限されるのに対し、LUT5_D では LUT5 の出力を内部スライス/CLB ロジックおよび外部ロジックの両方に接続できます。LUT5 では出力の接続は特定されないで、内部スライスまたは CLB 信号の接続を暗示的に指定する必要がある場合以外は、常に使用する必要があります。

LUT のロジック ファンクションを指定するため、INIT 属性に 32 ビットの 16 進数を設定する必要があります。入力が適用されたときに出力される値を、その入力に対応する INIT ビットに設定します。たとえば Verilog で INIT 値を 32'h80000000 (VHDL では X"80000000") に設定すると、入力すべてが 1 の場合以外は出力は 0 になります (5 入力の AND ゲート)。また、Verilog で INIT 値を 32'hffffff (VHDL では X"FFFFFFFE") に設定すると、入力がすべて 0 の場合以外は出力は 1 になります (5 入力 OR ゲート)。

FPGA LUT プリミティブでは、INIT パラメーターで論理値が設定されます。デフォルトは 0 で、入力値にかかわらず出力を 0 に駆動します (グラウンドとして機能)。ただし多くの場合、LUT プリミティブのロジック ファンクションを指定するため、INIT 値を設定する必要があります。LUT の値を指定する方法には、次の 2 つがあります。

論理表を使用する方法：LUT の INIT 値を決定する一般的な方法。すべての入力をリストした 2 進数の論理表を作成し、出力の論理値を指定して、これらの出力値から INIT 文字列を作成します。

論理式を使用する方法：リストされた論理表の値に対応する LUT の各入力にパラメーターを定義し、パラメーターを基にロジックの論理式を生成します。概念を理解してしまえばこの方法の方が簡単ですが、コードで最初に適切なパラメーターを指定する必要があります。

論理表

入力					出力
I4	I3	I2	I1	I0	LO
0	0	0	0	0	INIT[0]
0	0	0	0	1	INIT[1]
0	0	0	1	0	INIT[2]
0	0	0	1	1	INIT[3]
0	0	1	0	0	INIT[4]
0	0	1	0	1	INIT[5]

入力					出力
I4	I3	I2	I1	I0	LO
0	0	1	1	0	INIT[6]
0	0	1	1	1	INIT[7]
0	1	0	0	0	INIT[8]
0	1	0	0	1	INIT[9]
0	1	0	1	0	INIT[10]
0	1	0	1	1	INIT[11]
0	1	1	0	0	INIT[12]
0	1	1	0	1	INIT[13]
0	1	1	1	0	INIT[14]
0	1	1	1	1	INIT[15]
1	0	0	0	0	INIT[16]
1	0	0	0	1	INIT[17]
1	0	0	1	0	INIT[18]
1	0	0	1	1	INIT[19]
1	0	1	0	0	INIT[20]
1	0	1	0	1	INIT[21]
1	0	1	1	0	INIT[22]
1	0	1	1	1	INIT[23]
1	1	0	0	0	INIT[24]
1	1	0	0	1	INIT[25]
1	1	0	1	0	INIT[26]
1	1	0	1	1	INIT[27]
1	1	1	0	0	INIT[28]
1	1	1	0	1	INIT[29]
1	1	1	1	0	INIT[30]
1	1	1	1	1	INIT[31]

INIT = INIT 属性で指定された 16 進数値を 2 進数で表した値

ポートの説明

ポート名	方向	幅	機能
L0	出力	1	内部 CLB 接続用の 6/5 入力 LUT 出力
I0、I1、I2、I3、I4	入力	1	LUT 入力

デザインの入力方法

このエレメントは、回路図で使用できます。

使用可能な属性

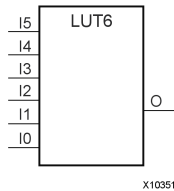
属性	データ型	値	デフォルト	説明
INIT	16 進数	32 ビット値	すべて 0	ルックアップ テーブルの論理値を指定します。

詳細情報

- ・ [『Spartan-6 FPGA コンフィギャラブル ロジック ブロック ユーザー ガイド』\(UG384\)](#)
- ・ [『Spartan-6 FPGA データシート：DC 特性およびスイッチ特性』\(DS162\)](#)

LUT6

プリミティブ：6-Input Lookup Table with General Output



概要

このデザイン エLEMENTは、入力 6 個、出力 1 個を持つルックアップ テーブル (LUT) で、非同期 64 ビット ROM (6 ビットのアドレス指定) または 6 入力のロジック ファンクションをインプリメントできます。LUT は基本的なロジック構築ブロックで、デザインに含まれる多くのロジック ファンクションのインプリメントに使用されます。LUT6 は、4 個のルックアップ テーブル (LUT) のいずれかにマップされます。LUT6、LUT6_L、および LUT6_D の機能は同じですが、LUT6_L および LUT6_D では、LUT6 の出力信号を内部スライスに接続したり、LO 出力を使用して CLB に接続できます。LUT6_L では LUT6 からの接続が 1 つのスライスまたは CLB 内に制限されるのに対し、LUT6_D では LUT6 の出力を内部スライス/CLB ロジックおよび外部ロジックの両方に接続できます。LUT6 では出力の接続は特定されないため、内部スライスまたは CLB 信号の接続を暗黙的に指定する必要がある場合以外は、常に使用する必要があります。

LUT のロジック ファンクションを指定するため、INIT 属性に 64 ビットの 16 進数値を設定する必要があります。入力 が適用されたときに出力される値を、その入力に対応する INIT ビットに設定します。たとえば Verilog で INIT 値を 64'h8000000000000000 (VHDL では X"8000000000000000") に設定すると、入力すべてが 1 の場合以外は出力は 0 になります (6 入力の AND ゲート)。また、Verilog で INIT 値を 64'hffffffff (VHDL では X"FFFFFFFFFFFFFFFF") に設定すると、入力すべてが 0 の場合以外は出力は 1 になります (6 入力 OR ゲート)。

FPGA LUT プリミティブでは、INIT パラメーターで論理値が設定されます。デフォルトは 0 で、入力値にかかわらず出力を 0 に駆動します (グラウンドとして機能)。ただし多くの場合、LUT プリミティブのロジック ファンクションを指定するため、INIT 値を設定する必要があります。LUT の値を指定する方法には、次の 2 つがあります。

論理表を使用する方法：LUT の INIT 値を決定する一般的な方法。すべての入力をリストした 2 進数の論理表を作成し、出力の論理値を指定して、これらの出力値から INIT 文字列を作成します。

論理式を使用する方法：リストされた論理表の値に対応する LUT の各入力にパラメーターを定義し、パラメーターを基にロジックの論理式を生成します。概念を理解してしまえばこの方法の方が簡単ですが、コードで最初に適切なパラメーターを指定する必要があります。

論理表

入力						出力
I5	I4	I3	I2	I1	I0	O
0	0	0	0	0	0	INIT[0]
0	0	0	0	0	1	INIT[1]
0	0	0	0	1	0	INIT[2]
0	0	0	0	1	1	INIT[3]
0	0	0	1	0	0	INIT[4]
0	0	0	1	0	1	INIT[5]
0	0	0	1	1	0	INIT[6]

入力						出力
I5	I4	I3	I2	I1	I0	O
0	0	0	1	1	1	INIT[7]
0	0	1	0	0	0	INIT[8]
0	0	1	0	0	1	INIT[9]
0	0	1	0	1	0	INIT[10]
0	0	1	0	1	1	INIT[11]
0	0	1	1	0	0	INIT[12]
0	0	1	1	0	1	INIT[13]
0	0	1	1	1	0	INIT[14]
0	0	1	1	1	1	INIT[15]
0	1	0	0	0	0	INIT[16]
0	1	0	0	0	1	INIT[17]
0	1	0	0	1	0	INIT[18]
0	1	0	0	1	1	INIT[19]
0	1	0	1	0	0	INIT[20]
0	1	0	1	0	1	INIT[21]
0	1	0	1	1	0	INIT[22]
0	1	0	1	1	1	INIT[23]
0	1	1	0	0	0	INIT[24]
0	1	1	0	0	1	INIT[25]
0	1	1	0	1	0	INIT[26]
0	1	1	0	1	1	INIT[27]
0	1	1	1	0	0	INIT[28]
0	1	1	1	0	1	INIT[29]
0	1	1	1	1	0	INIT[30]
0	1	1	1	1	1	INIT[31]
1	0	0	0	0	0	INIT[32]
1	0	0	0	0	1	INIT[33]
1	0	0	0	1	0	INIT[34]
1	0	0	0	1	1	INIT[35]
1	0	0	1	0	0	INIT[36]
1	0	0	1	0	1	INIT[37]
1	0	0	1	1	0	INIT[38]
1	0	0	1	1	1	INIT[39]
1	0	1	0	0	0	INIT[40]
1	0	1	0	0	1	INIT[41]

入力						出力
I5	I4	I3	I2	I1	I0	O
1	0	1	0	1	0	INIT[42]
1	0	1	0	1	1	INIT[43]
1	0	1	1	0	0	INIT[44]
1	0	1	1	0	1	INIT[45]
1	0	1	1	1	0	INIT[46]
1	0	1	1	1	1	INIT[47]
1	1	0	0	0	0	INIT[48]
1	1	0	0	0	1	INIT[49]
1	1	0	0	1	0	INIT[50]
1	1	0	0	1	1	INIT[51]
1	1	0	1	0	0	INIT[52]
1	1	0	1	0	1	INIT[53]
1	1	0	1	1	0	INIT[54]
1	1	0	1	1	1	INIT[55]
1	1	1	0	0	0	INIT[56]
1	1	1	0	0	1	INIT[57]
1	1	1	0	1	0	INIT[58]
1	1	1	0	1	1	INIT[59]
1	1	1	1	0	0	INIT[60]
1	1	1	1	0	1	INIT[61]
1	1	1	1	1	0	INIT[62]
1	1	1	1	1	1	INIT[63]
INIT = INIT 属性で指定された 16 進数値を 2 進数で表した値						

ポートの説明

ポート名	方向	幅	機能
O	出力	1	6/5 LUT 出力
I0、I1、I2、I3、I4、I5	入力	1	LUT 入力

デザインの入力方法

このエレメントは、回路図で使用できます。

使用可能な属性

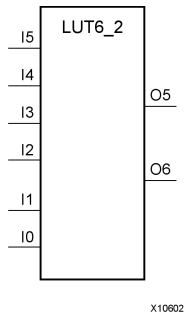
属性	データ型	値	デフォルト	説明
INIT	16 進数	64 ビット値	すべて 0	ルックアップ テーブルの論理値を指定します。

詳細情報

- ・ [『Spartan-6 FPGA コンフィギャラブル ロジック ブロック ユーザー ガイド』\(UG384\)](#)
- ・ [『Spartan-6 FPGA データシート：DC 特性およびスイッチ特性』\(DS162\)](#)

LUT6_2

プリミティブ：Six-input, 2-output, Look-Up Table



概要

このデザイン エLEMENTは、入力 6 個、出力 2 個を持つルックアップ テーブル (LUT) で、非同期 32 ビット デュアル ROM (5 ビットのアドレス指定)、入力を共有する 5 入力のロジック ファンクション 2 つ、または入力と論理値を共有する 6 入力および 5 入力のロジック ファンクションをインプリメントできます。LUT は基本的なロジック構築ブロックで、デザインに含まれる多くのロジック ファンクションのインプリメントに使用されます。LUT6_2 は、スライスに含まれる 4 個のルックアップ テーブル (LUT) のいずれかにマップされます。

LUT のロジック ファンクションを指定するため、INIT 属性に 64 ビットの 16 進数を設定する必要があります。入力が適用されたときに出力される値を、その入力に対応する INIT ビットに設定します。たとえば、Verilog で INIT 値を `64'hXXXXXXXXXXXXFFE` (VHDL では `X"FFFFFFFFFFFFFFFE"`) に設定すると、入力がすべて 0 の場合以外は O6 出力は 1 になり、I[4:0] がすべて 0 の場合以外は O5 出力は 1 になります (5 または 6 入力の OR ゲート)。INIT 値の下位半分 (ビット 31:0) は O5 出力のロジック ファンクションに適用されます。

FPGA LUT プリミティブでは、INIT パラメーターで論理値が設定されます。デフォルトは 0 で、入力値にかかわらず出力を 0 に駆動します (グラウンドとして機能)。ただし多くの場合、LUT プリミティブのロジック ファンクションを指定するため、INIT の値を設定する必要があります。LUT の値を指定する方法には、次の 2 つがあります。

- ・ **論理表を使用する方法：** LUT の INIT 値を決定する一般的な方法。すべての入力をリストした 2 進数の論理表を作成し、出力の論理値を指定して、これらの出力値から INIT 文字列を作成します。
- ・ **論理式を使用する方法：** リストされた論理表の値に対応する LUT の各入力にパラメーターを定義し、パラメーターを基にロジックの論理式を生成します。概念を理解してしまえばこの方法の方が簡単ですが、コードで最初に適切なパラメーターを指定する必要があります。

論理表

入力						出力	
I5	I4	I3	I2	I1	I0	O5	O6
0	0	0	0	0	0	INIT[0]	INIT[0]
0	0	0	0	0	1	INIT[1]	INIT[1]
0	0	0	0	1	0	INIT[2]	INIT[2]
0	0	0	0	1	1	INIT[3]	INIT[3]
0	0	0	1	0	0	INIT[4]	INIT[4]
0	0	0	1	0	1	INIT[5]	INIT[5]
0	0	0	1	1	0	INIT[6]	INIT[6]

入力						出力	
0	0	0	1	1	1	INIT[7]	INIT[7]
0	0	1	0	0	0	INIT[8]	INIT[8]
0	0	1	0	0	1	INIT[9]	INIT[9]
0	0	1	0	1	0	INIT[10]	INIT[10]
0	0	1	0	1	1	INIT[11]	INIT[11]
0	0	1	1	0	0	INIT[12]	INIT[12]
0	0	1	1	0	1	INIT[13]	INIT[13]
0	0	1	1	1	0	INIT[14]	INIT[14]
0	0	1	1	1	1	INIT[15]	INIT[15]
0	1	0	0	0	0	INIT[16]	INIT[16]
0	1	0	0	0	1	INIT[17]	INIT[17]
0	1	0	0	1	0	INIT[18]	INIT[18]
0	1	0	0	1	1	INIT[19]	INIT[19]
0	1	0	1	0	0	INIT[20]	INIT[20]
0	1	0	1	0	1	INIT[21]	INIT[21]
0	1	0	1	1	0	INIT[22]	INIT[22]
0	1	0	1	1	1	INIT[23]	INIT[23]
0	1	1	0	0	0	INIT[24]	INIT[24]
0	1	1	0	0	1	INIT[25]	INIT[25]
0	1	1	0	1	0	INIT[26]	INIT[26]
0	1	1	0	1	1	INIT[27]	INIT[27]
0	1	1	1	0	0	INIT[28]	INIT[28]
0	1	1	1	0	1	INIT[29]	INIT[29]
0	1	1	1	1	0	INIT[30]	INIT[30]
0	1	1	1	1	1	INIT[31]	INIT[31]
1	0	0	0	0	0	INIT[0]	INIT[32]
1	0	0	0	0	1	INIT[1]	INIT[33]
1	0	0	0	1	0	INIT[2]	INIT[34]
1	0	0	0	1	1	INIT[3]	INIT[35]
1	0	0	1	0	0	INIT[4]	INIT[36]
1	0	0	1	0	1	INIT[5]	INIT[37]
1	0	0	1	1	0	INIT[6]	INIT[38]
1	0	0	1	1	1	INIT[7]	INIT[39]
1	0	1	0	0	0	INIT[8]	INIT[40]
1	0	1	0	0	1	INIT[9]	INIT[41]
1	0	1	0	1	0	INIT[10]	INIT[42]

入力						出力	
1	0	1	0	1	1	INIT[11]	INIT[43]
1	0	1	1	0	0	INIT[12]	INIT[44]
1	0	1	1	0	1	INIT[13]	INIT[45]
1	0	1	1	1	0	INIT[14]	INIT[46]
1	0	1	1	1	1	INIT[15]	INIT[47]
1	1	0	0	0	0	INIT[16]	INIT[48]
1	1	0	0	0	1	INIT[17]	INIT[49]
1	1	0	0	1	0	INIT[18]	INIT[50]
1	1	0	0	1	1	INIT[19]	INIT[51]
1	1	0	1	0	0	INIT[20]	INIT[52]
1	1	0	1	0	1	INIT[21]	INIT[53]
1	1	0	1	1	0	INIT[22]	INIT[54]
1	1	0	1	1	1	INIT[23]	INIT[55]
1	1	1	0	0	0	INIT[24]	INIT[56]
1	1	1	0	0	1	INIT[25]	INIT[57]
1	1	1	0	1	0	INIT[26]	INIT[58]
1	1	1	0	1	1	INIT[27]	INIT[59]
1	1	1	1	0	0	INIT[28]	INIT[60]
1	1	1	1	0	1	INIT[29]	INIT[61]
1	1	1	1	1	0	INIT[30]	INIT[62]
1	1	1	1	1	1	INIT[31]	INIT[63]

INIT = INIT 属性で指定された 16 進数値を 2 進数で表した値

ポートの説明

ポート名	方向	幅	機能
O6	出力	1	6/5 LUT 出力
O5	出力	1	5 入力 LUT 出力
I0、I1、I2、I3、I4、I5	入力	1	LUT 入力

デザインの入力方法

このエレメントは、回路図で使用できます。

使用可能な属性

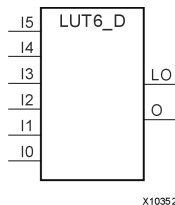
属性	データ型	値	デフォルト	説明
INIT	16 進数	64 ビット値	すべて 0	LUT5/6 の出力ファンクションを指定します。

詳細情報

- ・ [『Spartan-6 FPGA コンフィギャラブル ロジック ブロック ユーザー ガイド』\(UG384\)](#)
- ・ [『Spartan-6 FPGA データシート：DC 特性およびスイッチ特性』\(DS162\)](#)

LUT6_D

プリミティブ：6-Input Lookup Table with General and Local Outputs



概要

このデザイン エLEMENTは、入力 6 個、出力 1 個を持つルックアップ テーブル (LUT) で、非同期 64 ビット ROM (6 ビットのアドレス指定) または 6 入力のロジック ファンクションをインプリメントできます。LUT は基本的なロジック構築ブロックで、デザインに含まれる多くのロジック ファンクションのインプリメントに使用されます。LUT6 は、4 個のルックアップ テーブル (LUT) のいずれかにマップされます。LUT6、LUT6_L、および LUT6_D の機能は同じですが、LUT6_L および LUT6_D では、LUT6 の出力信号を内部スライスに接続したり、LO 出力を使用して CLB に接続できます。LUT6_L では LUT6 からの接続が 1 つのスライスまたは CLB 内に制限されるのに対し、LUT6_D では LUT6 の出力を内部スライス/CLB ロジックおよび外部ロジックの両方に接続できます。LUT6 では出力の接続は特定されないため、内部スライスまたは CLB 信号の接続を暗示的に指定する必要がある場合以外は、常に使用する必要があります。

LUT のロジック ファンクションを指定するため、INIT 属性に 64 ビットの 16 進数値を設定する必要があります。入力 が適用されたときに出力される値を、その入力に対応する INIT ビットに設定します。たとえば Verilog で INIT 値を `64'h8000000000000000` (VHDL では `X"8000000000000000"`) に設定すると、入力すべてが 1 の場合以外は出力は 0 になります (6 入力の AND ゲート)。また、Verilog で INIT 値を `64'hffffffffffffff` (VHDL では `X"FFFFFFFFFFFFFFFF"`) に設定すると、入力すべてが 0 の場合以外は出力は 1 になります (6 入力 OR ゲート)。

FPGA LUT プリミティブでは、INIT パラメーターで論理値が設定されます。デフォルトは 0 で、入力値にかかわらず出力を 0 に駆動します (グラウンドとして機能)。ただし多くの場合、LUT プリミティブのロジック ファンクションを指定するため、INIT 値を設定する必要があります。LUT の値を指定する方法には、次の 2 つがあります。

論理表を使用する方法： LUT の INIT 値を決定する一般的な方法。すべての入力をリストした 2 進数の論理表を作成し、出力の論理値を指定して、これらの出力値から INIT 文字列を作成します。

論理式を使用する方法： リストされた論理表の値に対応する LUT の各入力にパラメーターを定義し、パラメーターを基にロジックの論理式を生成します。概念を理解してしまえばこの方法の方が簡単ですが、コードで最初に適切なパラメーターを指定する必要があります。

論理表

入力						出力	
I5	I4	I3	I2	I1	I0	O	LO
0	0	0	0	0	0	INIT[0]	INIT[0]
0	0	0	0	0	1	INIT[1]	INIT[1]
0	0	0	0	1	0	INIT[2]	INIT[2]
0	0	0	0	1	1	INIT[3]	INIT[3]
0	0	0	1	0	0	INIT[4]	INIT[4]
0	0	0	1	0	1	INIT[5]	INIT[5]
0	0	0	1	1	0	INIT[6]	INIT[6]

入力						出力	
I5	I4	I3	I2	I1	I0	O	LO
0	0	0	1	1	1	INIT[7]	INIT[7]
0	0	1	0	0	0	INIT[8]	INIT[8]
0	0	1	0	0	1	INIT[9]	INIT[9]
0	0	1	0	1	0	INIT[10]	INIT[10]
0	0	1	0	1	1	INIT[11]	INIT[11]
0	0	1	1	0	0	INIT[12]	INIT[12]
0	0	1	1	0	1	INIT[13]	INIT[13]
0	0	1	1	1	0	INIT[14]	INIT[14]
0	0	1	1	1	1	INIT[15]	INIT[15]
0	1	0	0	0	0	INIT[16]	INIT[16]
0	1	0	0	0	1	INIT[17]	INIT[17]
0	1	0	0	1	0	INIT[18]	INIT[18]
0	1	0	0	1	1	INIT[19]	INIT[19]
0	1	0	1	0	0	INIT[20]	INIT[20]
0	1	0	1	0	1	INIT[21]	INIT[21]
0	1	0	1	1	0	INIT[22]	INIT[22]
0	1	0	1	1	1	INIT[23]	INIT[23]
0	1	1	0	0	0	INIT[24]	INIT[24]
0	1	1	0	0	1	INIT[25]	INIT[25]
0	1	1	0	1	0	INIT[26]	INIT[26]
0	1	1	0	1	1	INIT[27]	INIT[27]
0	1	1	1	0	0	INIT[28]	INIT[28]
0	1	1	1	0	1	INIT[29]	INIT[29]
0	1	1	1	1	0	INIT[30]	INIT[30]
0	1	1	1	1	1	INIT[31]	INIT[31]
1	0	0	0	0	0	INIT[32]	INIT[32]
1	0	0	0	0	1	INIT[33]	INIT[33]
1	0	0	0	1	0	INIT[34]	INIT[34]
1	0	0	0	1	1	INIT[35]	INIT[35]
1	0	0	1	0	0	INIT[36]	INIT[36]
1	0	0	1	0	1	INIT[37]	INIT[37]
1	0	0	1	1	0	INIT[38]	INIT[38]
1	0	0	1	1	1	INIT[39]	INIT[39]
1	0	1	0	0	0	INIT[40]	INIT[40]
1	0	1	0	0	1	INIT[41]	INIT[41]

入力						出力	
I5	I4	I3	I2	I1	I0	O	LO
1	0	1	0	1	0	INIT[42]	INIT[42]
1	0	1	0	1	1	INIT[43]	INIT[43]
1	0	1	1	0	0	INIT[44]	INIT[44]
1	0	1	1	0	1	INIT[45]	INIT[45]
1	0	1	1	1	0	INIT[46]	INIT[46]
1	0	1	1	1	1	INIT[47]	INIT[47]
1	1	0	0	0	0	INIT[48]	INIT[48]
1	1	0	0	0	1	INIT[49]	INIT[49]
1	1	0	0	1	0	INIT[50]	INIT[50]
1	1	0	0	1	1	INIT[51]	INIT[51]
1	1	0	1	0	0	INIT[52]	INIT[52]
1	1	0	1	0	1	INIT[53]	INIT[53]
1	1	0	1	1	0	INIT[54]	INIT[54]
1	1	0	1	1	1	INIT[55]	INIT[55]
1	1	1	0	0	0	INIT[56]	INIT[56]
1	1	1	0	0	1	INIT[57]	INIT[57]
1	1	1	0	1	0	INIT[58]	INIT[58]
1	1	1	0	1	1	INIT[59]	INIT[59]
1	1	1	1	0	0	INIT[60]	INIT[60]
1	1	1	1	0	1	INIT[61]	INIT[61]
1	1	1	1	1	0	INIT[62]	INIT[62]
1	1	1	1	1	1	INIT[63]	INIT[63]
INIT = INIT 属性で指定された 16 進数値を 2 進数で表した値							

ポートの説明

ポート名	方向	幅	機能
O6	出力	1	6/5 LUT 出力
O5	出力	1	5 入力 LUT 出力
I0、I1、I2、I3、I4、I5	入力	1	LUT 入力

デザインの入力方法

このエレメントは、回路図で使用できます。

使用可能な属性

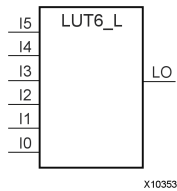
属性	データ型	値	デフォルト	説明
INIT	16 進数	64 ビット値	すべて 0	ルックアップ テーブルの論理値を指定します。

詳細情報

- ・ [『Spartan-6 FPGA コンフィギャラブル ロジック ブロック ユーザー ガイド』\(UG384\)](#)
- ・ [『Spartan-6 FPGA データシート：DC 特性およびスイッチ特性』\(DS162\)](#)

LUT6_L

プリミティブ：6-Input Lookup Table with Local Output



概要

このデザイン エLEMENTは、入力 6 個、出力 1 個を持つルックアップ テーブル (LUT) で、非同期 64 ビット ROM (6 ビットのアドレス指定) または 6 入力のロジック ファンクションをインプリメントできます。LUT は基本的なロジック構築ブロックで、デザインに含まれる多くのロジック ファンクションのインプリメントに使用されます。LUT6 は、4 個のルックアップ テーブル (LUT) のいずれかにマップされます。LUT6、LUT6_L、および LUT6_D の機能は同じですが、LUT6_L および LUT6_D では、LUT6 の出力信号を内部スライスに接続したり、LO 出力を使用して CLB に接続できます。LUT6_L では LUT6 からの接続が 1 つのスライスまたは CLB 内に制限されるのに対し、LUT6_D では LUT6 の出力を内部スライス/CLB ロジックおよび外部ロジックの両方に接続できます。LUT6 では出力の接続は特定されないため、内部スライスまたは CLB 信号の接続を暗示的に指定する必要がある場合以外は、常に使用する必要があります。

LUT のロジック ファンクションを指定するため、INIT 属性に 64 ビットの 16 進数値を設定する必要があります。入力 が適用されたときに出力される値を、その入力に対応する INIT ビットに設定します。たとえば Verilog で INIT 値を 64'h8000000000000000 (VHDL では X"8000000000000000") に設定すると、入力すべてが 1 の場合以外は出力は 0 になります (6 入力の AND ゲート)。また、Verilog で INIT 値を 64'hffffffff (VHDL では X"FFFFFFFFFFFFFFFF") に設定すると、入力すべてが 0 の場合以外は出力は 1 になります (6 入力 OR ゲート)。

FPGA LUT プリミティブでは、INIT パラメーターで論理値が設定されます。デフォルトは 0 で、入力値にかかわらず出力を 0 に駆動します (グラウンドとして機能)。ただし多くの場合、LUT プリミティブのロジック ファンクションを指定するため、INIT 値を設定する必要があります。LUT の値を指定する方法には、次の 2 つがあります。

論理表を使用する方法：LUT の INIT 値を決定する一般的な方法。すべての入力をリストした 2 進数の論理表を作成し、出力の論理値を指定して、これらの出力値から INIT 文字列を作成します。

論理式を使用する方法：リストされた論理表の値に対応する LUT の各入力にパラメーターを定義し、パラメーターを基にロジックの論理式を生成します。概念を理解してしまえばこの方法の方が簡単ですが、コードで最初に適切なパラメーターを指定する必要があります。

論理表

入力						出力
I5	I4	I3	I2	I1	I0	LO
0	0	0	0	0	0	INIT[0]
0	0	0	0	0	1	INIT[1]
0	0	0	0	1	0	INIT[2]
0	0	0	0	1	1	INIT[3]
0	0	0	1	0	0	INIT[4]
0	0	0	1	0	1	INIT[5]
0	0	0	1	1	0	INIT[6]

入力						出力
I5	I4	I3	I2	I1	I0	LO
0	0	0	1	1	1	INIT[7]
0	0	1	0	0	0	INIT[8]
0	0	1	0	0	1	INIT[9]
0	0	1	0	1	0	INIT[10]
0	0	1	0	1	1	INIT[11]
0	0	1	1	0	0	INIT[12]
0	0	1	1	0	1	INIT[13]
0	0	1	1	1	0	INIT[14]
0	0	1	1	1	1	INIT[15]
0	1	0	0	0	0	INIT[16]
0	1	0	0	0	1	INIT[17]
0	1	0	0	1	0	INIT[18]
0	1	0	0	1	1	INIT[19]
0	1	0	1	0	0	INIT[20]
0	1	0	1	0	1	INIT[21]
0	1	0	1	1	0	INIT[22]
0	1	0	1	1	1	INIT[23]
0	1	1	0	0	0	INIT[24]
0	1	1	0	0	1	INIT[25]
0	1	1	0	1	0	INIT[26]
0	1	1	0	1	1	INIT[27]
0	1	1	1	0	0	INIT[28]
0	1	1	1	0	1	INIT[29]
0	1	1	1	1	0	INIT[30]
0	1	1	1	1	1	INIT[31]
1	0	0	0	0	0	INIT[32]
1	0	0	0	0	1	INIT[33]
1	0	0	0	1	0	INIT[34]
1	0	0	0	1	1	INIT[35]
1	0	0	1	0	0	INIT[36]
1	0	0	1	0	1	INIT[37]
1	0	0	1	1	0	INIT[38]
1	0	0	1	1	1	INIT[39]
1	0	1	0	0	0	INIT[40]
1	0	1	0	0	1	INIT[41]

入力						出力
I5	I4	I3	I2	I1	I0	LO
1	0	1	0	1	0	INIT[42]
1	0	1	0	1	1	INIT[43]
1	0	1	1	0	0	INIT[44]
1	0	1	1	0	1	INIT[45]
1	0	1	1	1	0	INIT[46]
1	0	1	1	1	1	INIT[47]
1	1	0	0	0	0	INIT[48]
1	1	0	0	0	1	INIT[49]
1	1	0	0	1	0	INIT[50]
1	1	0	0	1	1	INIT[51]
1	1	0	1	0	0	INIT[52]
1	1	0	1	0	1	INIT[53]
1	1	0	1	1	0	INIT[54]
1	1	0	1	1	1	INIT[55]
1	1	1	0	0	0	INIT[56]
1	1	1	0	0	1	INIT[57]
1	1	1	0	1	0	INIT[58]
1	1	1	0	1	1	INIT[59]
1	1	1	1	0	0	INIT[60]
1	1	1	1	0	1	INIT[61]
1	1	1	1	1	0	INIT[62]
1	1	1	1	1	1	INIT[63]

INIT = INIT 属性で指定された 16 進数値を 2 進数で表した値

ポートの説明

ポート名	方向	幅	機能
LO	出力	1	6/5 入力 LUT 出力または内部 CLB 接続
I0、I1、I2、I3、I4、I5	入力	1	LUT 入力

デザインの入力方法

このエレメントは、回路図で使用できます。

使用可能な属性

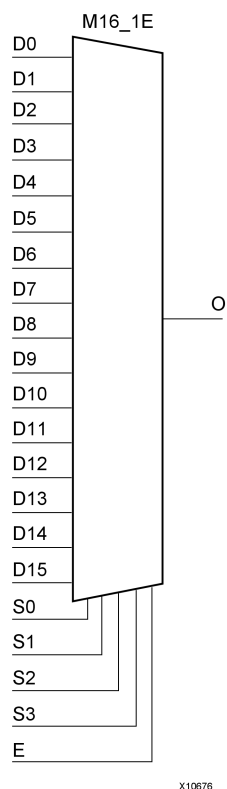
属性	データ型	値	デフォルト	説明
INIT	16 進数	64 ビット値	すべて 0	ルックアップ テーブルの論理値を指定します。

詳細情報

- ・ [『Spartan-6 FPGA コンフィギャラブル ロジック ブロック ユーザー ガイド』\(UG384\)](#)
- ・ [『Spartan-6 FPGA データシート：DC 特性およびスイッチ特性』\(DS162\)](#)

M16_1E

マクロ：16-to-1 Multiplexer with Enable



概要

このデザイン エLEMENTは、イネーブル付き 16:1 マルチプレクサーです。イネーブル入力 (E) が High の場合、セレクト入力 (S3 ～ S0) の値に応じて、16 個の入力 (D15 ～ D0) のうち 1 つのデータビットが選択されます。出力 (O) には、次の論理表に示すように、選択された入力の値が出力されます。E が Low の場合、出力は Low になります。

論理表

入力						出力
E	S3	S2	S1	S0	D15:D0	O
0	X	X	X	X	X	0
1	0	0	0	0	D0	D0
1	0	0	0	1	D1	D1
1	0	0	1	0	D2	D2
1	0	0	1	1	D3	D3
.
.
.
1	1	1	0	0	D12	D12
1	1	1	0	1	D13	D13

入力						出力
E	S3	S2	S1	S0	D15:D0	O
1	1	1	1	0	D14	D14
1	1	1	1	1	D15	D15

デザインの入力方法

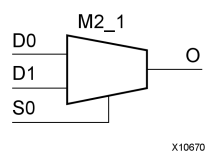
このエレメントは、回路図でのみ使用できます。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

M2_1

マクロ：2-to-1 Multiplexer



概要

このデザイン エLEMENTは、セレクト入力 (S0) の値に応じて、2 つの入力 (D1 または D0) のうち 1 つのデータビットを選択します。出力 (O) には、選択された入力の値が出力されます。S0 が Low の場合は D0 が選択され、High の場合は D1 が選択されます。

論理表

入力			出力
S0	D1	D0	O
1	D1	X	D1
0	X	D0	D0

デザインの入力方法

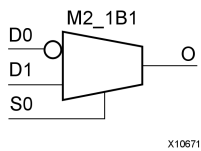
このELEMENTは、回路図でのみ使用できます。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

M2_1B1

マクロ：2-to-1 Multiplexer with D0 Inverted



概要

このデザイン エLEMENTは、セレクト入力 (S0) の値に応じて、2 つの入力 (D1 または D0) のうち 1 つのデータビットを選択します。S0 が Low の場合は O に D0 の反転値が出力され、S0 が High の場合は D1 の値が出力されます。

論理表

入力			出力
S0	D1	D0	O
1	1	X	1
1	0	X	0
0	X	1	0
0	X	0	1

デザインの入力方法

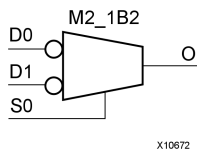
このELEMENTは、回路図でのみ使用できます。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

M2_1B2

マクロ：2-to-1 Multiplexer with D0 and D1 Inverted



概要

このデザイン エLEMENTは、セレクト入力 (S0) の値に応じて、2 つの入力 (D1 または D0) のうち 1 つのデータビットを選択します。S0 が Low の場合は O に D0 の反転値が出力され、S0 が High の場合は D1 の反転値が出力されます。

論理表

入力			出力
S0	D1	D0	O
1	1	X	0
1	0	X	1
0	X	1	0
0	X	0	1

デザインの入力方法

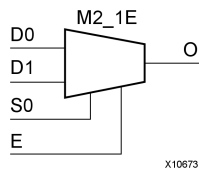
このELEMENTは、回路図でのみ使用できます。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

M2_1E

マクロ：2-to-1 Multiplexer with Enable



概要

このデザイン エLEMENTは、イネーブル付き 2:1 マルチプレクサーです。イネーブル入力 (E) が High の場合、セレクト入力 (S0) の値に応じて、2 つの入力 (D1 または D0) のうち 1 つのデータ ビットが選択されます。S0 が Low の場合は D0 が選択され、High の場合は D1 が選択されます。E が Low の場合、出力は Low になります。

論理表

入力				出力
E	S0	D1	D0	O
0	X	X	X	0
1	0	X	1	1
1	0	X	0	0
1	1	1	X	1
1	1	0	X	0

デザインの入力方法

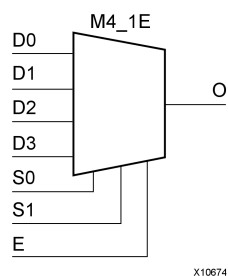
このELEMENTは、回路図でのみ使用できます。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

M4_1E

マクロ：4-to-1 Multiplexer with Enable



概要

このデザイン エLEMENTは、イネーブル付き 4:1 マルチプレクサーです。イネーブル入力 (E) が High の場合、セレクト入力 (S1 ～ S0) の値に応じて、4 つの入力 (D3、D2、D1、D0) のうち 1 つのデータビットが選択されます。出力 (O) には、次の論理表に示すように、選択された入力の値が出力されます。E が Low の場合、出力は Low になります。

論理表

入力							出力
E	S1	S0	D0	D1	D2	D3	O
0	X	X	X	X	X	X	0
1	0	0	D0	X	X	X	D0
1	0	1	X	D1	X	X	D1
1	1	0	X	X	D2	X	D2
1	1	1	X	X	X	D3	D3

デザインの入力方法

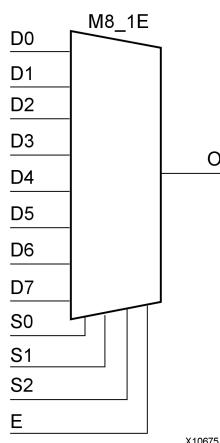
このELEMENTは、回路図でのみ使用できます。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

M8_1E

マクロ：8-to-1 Multiplexer with Enable



概要

このデザイン エLEMENTは、イネーブル付き 8:1 マルチプレクサーです。イネーブル入力 (E) が High の場合、セレクト入力 (S2 ～ S0) の値に応じて、8 つの入力 (D7 ～ D0) のうち 1 つのデータビットが選択されます。出力 (O) には、次の論理表に示すように、選択された入力の値が出力されます。E が Low の場合、出力は Low になります。

論理表

入力					出力
E	S2	S1	S0	D7:D0	O
0	X	X	X	X	0
1	0	0	0	D0	D0
1	0	0	1	D1	D1
1	0	1	0	D2	D2
1	0	1	1	D3	D3
1	1	0	0	D4	D4
1	1	0	1	D5	D5
1	1	1	0	D6	D6
1	1	1	1	D7	D7

デザインの入力方法

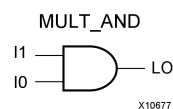
このELEMENTは、回路図でのみ使用できます。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

MULT_AND

プリミティブ：Fast Multiplier AND



概要

このデザイン エLEMENTはスライス内にある AND コンポーネントで、2 つの入力は 4 入力 LUT と共有され、出力はキャリー ロジックを駆動します。この追加のロジックはその他の目的でも使用できますが、高速で小型の乗算器の作成に特に有益です。I1 および I0 入力は、対応する LUT の I1 および I0 入力に接続する必要があります。LO 出力は、対応する MUXCY、MUXCY_D、または MUXCY_L の DI 入力に接続する必要があります。

論理表

入力		出力
I1	I0	LO
0	0	0
0	1	0
1	0	0
1	1	1

デザインの入力方法

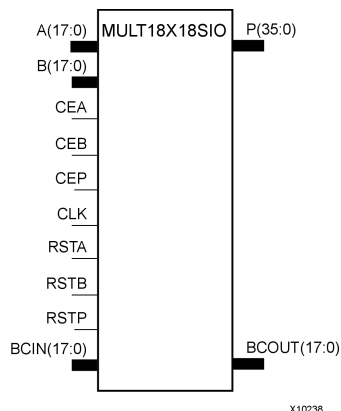
このELEMENTは、回路図で使用できます。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

MULT18X18SIO

プリミティブ：18 x 18 Cascadable Signed Multiplier with Optional Input and Output Registers, Clock Enable, and Synchronous Reset



概要

このデザイン エレメントは、36 ビット出力、18 X 18 ビット入力専用の符号付き乗算器です。AREG、BREG、PREG 属性をすべて 0 に設定すると、非同期の乗算が実行されます。逆に属性をすべて 1 に設定すると、異なるレイテンシとパフォーマンス特性で同期の乗算が実行されます。同期乗算器を使用する場合、乗算器のレジスタ バンクの各セットに対してアクティブ High のクロック イネーブル (CEA、CEB、CEP) と同期リセット (RSTA、RSTB、RSTP) が使用されます。BCIN ポートと BCOUT ポートに B_INPUT 属性を使用して MULT18X18SIO をカスケード接続すると、より大型の乗算ファンクションを作成できます。

デザインの入力方法

このエレメントは、回路図で使用できます。

使用可能な属性

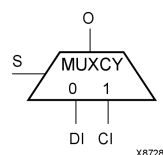
属性	データ型	値	デフォルト	説明
AREG	整数	0、1	1	A ポートで入力レジスタを使用するかどうかを指定します。0 の場合はレジスタが使用されず、1 の場合はレジスタが使用されます。
BREG	整数	0、1	1	B ポートで入力レジスタを使用するかどうかを指定します。0 の場合はレジスタが使用されず、1 の場合はレジスタが使用されます。
B_INPUT	文字列	"DIRECT"、"CASCADE"	"DIRECT"	B ポートが FPGA に接続されている (DIRECT) か、別の MULT18X18SIO の BCOUT ポートに接続されているかを指定します。
PREG	整数	0、1	1	乗算器の出力レジスタを使用するかどうかを指定します。0 の場合はレジスタが使用されず、1 の場合はレジスタが使用されます。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

MUXCY

プリミティブ：2-to-1 Multiplexer for Carry Logic with General Output



概要

スライスの直接入力 (DI) は、MUXCY の DI 入力に接続します。LC のキャリー入力 (CI) は、MUXCY の CI 入力に接続します。セレクト入力 (S) は、ルックアップ テーブル (LUT) の出力で駆動し、MUX ファンクションとしてコンフィギュレーションします。キャリー出力 (O) には選択された入力の値が出力され、各 LC のキャリー出力ファンクションをインプリメントします。S が Low の場合は DI が選択され、High の場合は CI が選択されます。

このほか、ローカル出力を持つ MUXCY_D および MUXCY_L があり、異なるタイミング モデルでレイアウト前のタイミングをより正確に予測する必要がある場合に使用できます。

論理表

入力			出力
S	DI	CI	O
0	1	X	1
0	0	X	0
1	X	1	1
1	X	0	0

デザインの入力方法

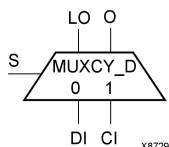
このエレメントは、回路図で使用できます。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

MUXCY_D

プリミティブ : 2-to-1 Multiplexer for Carry Logic with Dual Output



概要

このデザイン エレメントは、1 ビットの高速キャリー伝搬ファンクションをインプリメントするために使用します。このようなファンクションは、1 つのロジック セル (LC) に 1 つずつインプリメントできるので、1 つの CLB に合計 4 ビットをインプリメントできます。LC の直接入力 (DI) は MUXCY_D の DI 入力に接続し、LC のキャリー入力 (CI) は MUXCY_D の CI 入力に接続します。セレクト入力 (S) は、ルックアップ テーブル (LUT) の出力で駆動し、XOR ファンクションとしてコンフィギュレーションします。キャリー出力 (O と LO) には選択された入力の値が出力され、各 LC のキャリー出力ファンクションをインプリメントします。S が Low の場合は DI が選択され、High の場合は CI が選択されます。

出力 O と LO は、機能的に同じです。出力 O は汎用インターコネクトです。「MUXCY」および「MUXCY_L」も参照してください。

論理表

入力			出力	
S	DI	CI	O	LO
0	1	X	1	1
0	0	X	0	0
1	X	1	1	1
1	X	0	0	0

デザインの入力方法

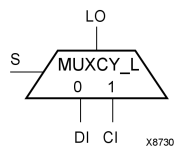
このエレメントは、回路図で使用できます。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

MUXCY_L

プリミティブ：2-to-1 Multiplexer for Carry Logic with Local Output



概要

このデザイン エLEMENTは、1 ビットの高速キャリー伝搬ファンクションをインプリメントするために使用します。このようなファンクションは、1 つのロジックセル (LC) に 1 つずつインプリメントできるので、1 つの CLB に合計 4 ビットをインプリメントできます。LC の直接入力 (DI) は MUXCY_L の DI 入力に接続し、LC のキャリー入力 (CI) は MUXCY_L の CI 入力に接続します。セレクト入力 (S) は、ルックアップ テーブル (LUT) の出力で駆動し、XOR ファンクションとしてコンフィギュレーションします。キャリー出力 (LO) には選択された入力の値が出力され、各 LC のキャリー出力ファンクションをインプリメントします。S が Low の場合は DI が選択され、High の場合は CI が選択されます。

「MUXCY」および「MUXCY_D」も参照してください。

論理表

入力			出力
S	DI	CI	LO
0	1	X	1
0	0	X	0
1	X	1	1
1	X	0	0

デザインの入力方法

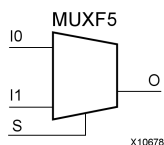
このELEMENTは、回路図で使用できます。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

MUXF5

プリミティブ：2-to-1 Look-Up Table Multiplexer with General Output



概要

このデザイン エLEMENTは、LUT4 ルックアップ テーブルと組み合わせて、5 ファンクションのルックアップ テーブルまたは 4:1 マルチプレクサーを作成するための 2 入力マルチプレクサーです。I0 および I1 入力には、2 つの LUT4 ルックアップ テーブルのローカル出力 (LO) を接続します。セレクト入力 (S) は、どの内部ネットでも駆動できます。S が Low の場合は I0 が選択され、High の場合は I1 が選択されます。

出力 O は汎用インターコネクトです。

このほか、ローカル出力を持つ MUXF5_D および MUXF5_L があり、異なるタイミング モデルでレイアウト前のタイミングをより正確に予測する必要がある場合に使用できます。

論理表

入力			出力
S	I0	I1	O
0	1	X	1
0	0	X	0
1	X	1	1
1	X	0	0

デザインの入力方法

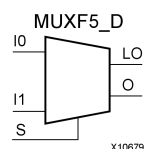
このELEMENTは、回路図で使用できます。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

MUXF5_D

プリミティブ：2-to-1 Look-Up Table Multiplexer with Dual Output



概要

このデザイン エLEMENTは、LUT4 ルックアップ テーブルと組み合わせて、5 ファンクションのルックアップ テーブルまたは 4:1 マルチプレクサーを作成するための 2 入力マルチプレクサーです。I0 および I1 入力には、2 つの LUT4 ルックアップ テーブルのローカル出力 (LO) を接続します。セレクト入力 (S) は、どの内部ネットでも駆動できます。S が Low の場合は I0 が選択され、High の場合は I1 が選択されます。

出力 O と LO は、機能的に同じです。出力 O は汎用インターコネクトです。LO 出力は、同じ CLB スライス内にある別の入力との接続に使用します。

「MUXF5」および「MUXF5_L」も参照してください。

論理表

入力			出力	
S	I0	I1	O	LO
0	1	X	1	1
0	0	X	0	0
1	X	1	1	1
1	X	0	0	0

デザインの入力方法

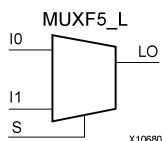
このELEMENTは、回路図で使用できます。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

MUXF5_L

プリミティブ : 2-to-1 Look-Up Table Multiplexer with Local Output



概要

このデザイン エLEMENTは、LUT4 ルックアップ テーブルと組み合わせて、5 ファンクションのルックアップ テーブルまたは 4:1 マルチプレクサーを作成するための 2 入力マルチプレクサーです。I0 および I1 入力には、2 つの LUT4 ルックアップ テーブルのローカル出力 (LO) を接続します。セレクト入力 (S) は、どの内部ネットでも駆動できます。S が Low の場合は I0 が選択され、High の場合は I1 が選択されます。

LO 出力は、同じ CLB スライス内にある別の入力との接続に使用します。

「MUXF5」および「MUXF5_D」も参照してください。

論理表

入力			出力
S	I0	I1	LO
0	1	X	1
0	0	X	0
1	X	1	1
1	X	0	0

デザインの入力方法

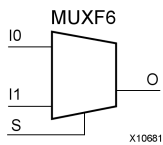
このELEMENTは、回路図で使用できます。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

MUXF6

プリミティブ：2-to-1 Look-Up Table Multiplexer with General Output



概要

このデザイン エLEMENTは、4 つの LUT4 ルックアップ テーブルおよび 2 つの MUXF5 マルチプレクサーと組み合わせて、スライス 2 つに 6 ファンクションのルックアップ テーブルまたは 8:1 マルチプレクサーを作成するための 2 入力 マルチプレクサーです。I0 および I1 入力には、同じ CLB 内にある 2 つの MUXF5 マルチプレクサーのローカル出力 (LO) を接続します。セレクト入力 (S) は、どの内部ネットでも駆動できます。S が Low の場合は I0 が選択され、High の場合は I1 が選択されます。

出力 O は汎用インターコネクトです。

このほか、ローカル出力を持つ MUXF6_D および MUXF6_L があり、異なるタイミング モデルでレイアウト前のタイミング をより正確に予測する場合に使用できます。

論理表

入力			出力
S	I0	I1	O
0	1	X	1
0	0	X	0
1	X	1	1
1	X	0	0

デザインの入力方法

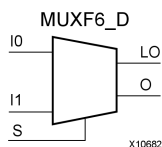
このELEMENTは、回路図で使用できます。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

MUXF6_D

プリミティブ：2-to-1 Look-Up Table Multiplexer with Dual Output



概要

このデザイン エレメントは、4 つの LUT4 ルックアップ テーブルおよび 2 つの MUXF5 マルチプレクサーと組み合わせて、スライス 2 つに 6 ファンクションのルックアップ テーブルまたは 8:1 マルチプレクサーを作成するための 2 入力 マルチプレクサーです。I0 および I1 入力には、同じ CLB 内にある 2 つの MUXF5 マルチプレクサーのローカル出力 (LO) を接続します。セレクト入力 (S) は、どの内部ネットでも駆動できます。S が Low の場合は I0 が選択され、High の場合は I1 が選択されます。

出力 O と LO は、機能的に同じです。出力 O は汎用インターコネクトです。LO 出力は、同じ CLB スライス内にある別の入力との接続に使用します。

「MUXF6」および「MUXF6_L」も参照してください。

論理表

入力			出力	
S	I0	I1	O	LO
0	1	X	1	1
0	0	X	0	0
1	X	1	1	1
1	X	0	0	0

デザインの入力方法

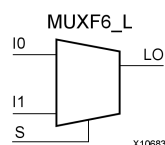
このエレメントは、回路図で使用できます。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

MUXF6_L

プリミティブ：2-to-1 Look-Up Table Multiplexer with Local Output



概要

このデザイン エLEMENTは、4 つの LUT4 ルックアップ テーブルおよび 2 つの MUXF5 マルチプレクサーと組み合わせて、スライス 2 つに 6 ファンクションのルックアップ テーブルまたは 8:1 マルチプレクサーを作成するための 2 入力 マルチプレクサーです。I0 および I1 入力には、同じ CLB 内にある 2 つの MUXF5 マルチプレクサーのローカル出力 (LO) を接続します。セレクト入力 (S) は、どの内部ネットでも駆動できます。S が Low の場合は I0 が選択され、High の場合は I1 が選択されます。

LO 出力は、同じ CLB スライス内にある別の入力との接続に使用します。

「MUXF6」および「MUXF6_D」も参照してください。

論理表

入力			出力
S	I0	I1	LO
0	1	X	1
0	0	X	0
1	X	1	1
1	X	0	0

デザインの入力方法

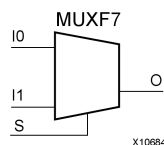
このELEMENTは、回路図で使用できます。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

MUXF7

プリミティブ：2-to-1 Look-Up Table Multiplexer with General Output



概要

このデザイン エLEMENTは、2 つの LUT6 ルックアップ テーブルを組み合わせて、7 ファンクションのルックアップ テーブルまたは 16:1 マルチプレクサーを作成するための 2 入力マルチプレクサーです。I0 および I1 入力には、LUT6 の 2 つのローカル出力 (LO) を接続します。セレクト入力 (S) は、どの内部ネットでも駆動できます。S が Low の場合は I0 が選択され、High の場合は I1 が選択されます。

出力 O は汎用インターコネクトです。

このほか、ローカル出力を持つ MUXF7_D および MUXF7_L があり、異なるタイミング モデルでレイアウト前のタイミングをより正確に予測する必要がある場合に使用できます。

論理表

入力			出力
S	I0	I1	O
0	I0	X	I0
1	X	I1	I1
X	0	0	0
X	1	1	1

ポートの説明

ポート名	方向	幅	機能
O	出力	1	汎用配線への MUX の出力
I0	入力	1	入力 (MUXF6 LO 出力に接続)
I1	入力	1	入力 (MUXF6 LO 出力に接続)
S	入力	1	MUX への入力セレクト

デザインの入力方法

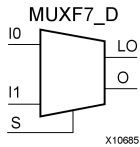
このELEMENTは、回路図で使用できます。

詳細情報

- ・ [『Spartan-6 FPGA コンフィギャラブル ロジック ブロック ユーザー ガイド』\(UG384\)](#)
- ・ [『Spartan-6 FPGA データシート：DC 特性およびスイッチ特性』\(DS162\)](#)

MUXF7_D

プリミティブ：2-to-1 Look-Up Table Multiplexer with Dual Output



概要

このデザイン エLEMENTは、2 つの LUT6 ルックアップ テーブルを組み合わせて、7 ファンクションのルックアップ テーブルまたは 16:1 マルチプレクサーを作成するための 2 入力マルチプレクサーです。I0 および I1 入力には、LUT6 の 2 つのローカル出力 (LO) を接続します。セレクト入力 (S) は、どの内部ネットでも駆動できます。S が Low の場合は I0 が選択され、High の場合は I1 が選択されます。

出力 O と LO は、機能的に同じです。出力 O は汎用インターコネクトです。LO 出力は、同じ CLB スライス内にある別の入力との接続に使用します。

「MUXF7」および「MUXF7_L」も参照してください。

論理表

入力			出力	
S	I0	I1	O	LO
0	I0	X	I0	I0
1	X	I1	I1	I1
X	0	0	0	0
X	1	1	1	1

ポートの説明

ポート名	方向	幅	機能
O	出力	1	汎用配線への MUX の出力
LO	出力	1	ローカル配線への MUX の出力
I0	入力	1	入力 (MUXF6 LO 出力に接続)
I1	入力	1	入力 (MUXF6 LO 出力に接続)
S	入力	1	MUX への入力セレクト

デザインの入力方法

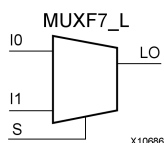
このELEMENTは、回路図で使用できます。

詳細情報

- ・ [『Spartan-6 FPGA コンフィギュラブル ロジック ブロック ユーザー ガイド』\(UG384\)](#)
- ・ [『Spartan-6 FPGA データシート：DC 特性およびスイッチ特性』\(DS162\)](#)

MUXF7_L

プリミティブ：2-to-1 look-up table Multiplexer with Local Output



概要

このデザイン エLEMENTは、2 つの LUT6 ルックアップ テーブルを組み合わせ、7 ファンクションのルックアップ テーブルまたは 16:1 マルチプレクサーを作成するための 2 入力マルチプレクサーです。I0 および I1 入力には、LUT6 の 2 つのローカル出力 (LO) を接続します。セレクト入力 (S) は、どの内部ネットでも駆動できます。S が Low の場合は I0 が選択され、High の場合は I1 が選択されます。

LO 出力は、同じ CLB スライス内にある別の入力との接続に使用します。

「MUXF7」および「MUXF7_D」も参照してください。

論理表

入力			出力
S	I0	I1	LO
0	I0	X	I0
1	X	I1	I1
X	0	0	0
X	1	1	1

ポートの説明

ポート名	方向	幅	機能
LO	出力	1	ローカル配線への MUX の出力
I0	入力	1	入力
I1	入力	1	入力
S	入力	1	MUX への入力セレクト

デザインの入力方法

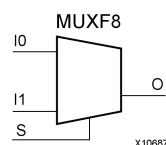
このELEMENTは、回路図で使用できます。

詳細情報

- ・ [『Spartan-6 FPGA コンフィギュラブル ロジック ブロック ユーザー ガイド』\(UG384\)](#)
- ・ [『Spartan-6 FPGA データシート：DC 特性およびスイッチ特性』\(DS162\)](#)

MUXF8

プリミティブ : 2-to-1 Look-Up Table Multiplexer with General Output



概要

このデザイン エLEMENTは、ルックアップ テーブル、MUXF5、MUXF6、および MUXF7 と組み合わせて、スライス 8 個に 8 ファンクションのルックアップ テーブルまたは 32:1 マルチプレクサーを作成するためのマルチプレクサーです。I0 および I1 入力には、MUXF7 のローカル出力 (LO) を接続します。セレクト入力 (S) は、どの内部ネットでも駆動できます。S が Low の場合は I0 が選択され、High の場合は I1 が選択されます。

論理表

入力			出力
S	I0	I1	O
0	I0	X	I0
1	X	I1	I1
X	0	0	0
X	1	1	1

ポートの説明

ポート名	方向	幅	機能
O	出力	1	汎用配線への MUX の出力
I0	入力	1	入力 (MUXF7 LO 出力に接続)
I1	入力	1	入力 (MUXF7 LO 出力に接続)
S	入力	1	MUX への入力セレクト

デザインの入力方法

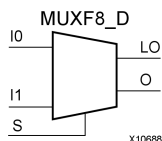
このELEMENTは、回路図で使用できます。

詳細情報

- ・ [『Spartan-6 FPGA コンフィギュラブル ロジック ブロック ユーザー ガイド』\(UG384\)](#)
- ・ [『Spartan-6 FPGA データシート : DC 特性およびスイッチ特性』\(DS162\)](#)

MUXF8_D

プリミティブ：2-to-1 Look-Up Table Multiplexer with Dual Output



概要

このデザイン エレメントは、ルックアップ テーブル、MUXF5、MUXF6、および MUXF7 を組み合わせて、スライス 8 個に 8 ファンクションのルックアップ テーブルまたは 32:1 マルチプレクサーを作成するためのマルチプレクサーです。I0 および I1 入力には、MUXF7 のローカル出力 (LO) を接続します。セレクト入力 (S) は、どの内部ネットでも駆動できます。S が Low の場合は I0 が選択され、High の場合は I1 が選択されます。

出力 O と LO は、機能的に同じです。出力 O は汎用インターコネクトです。LO 出力は、同じ CLB スライス内にある別の入力との接続に使用します。

論理表

入力			出力	
S	I0	I1	O	LO
0	I0	X	I0	I0
1	X	I1	I1	I1
X	0	0	0	0
X	1	1	1	1

ポートの説明

ポート名	方向	幅	機能
O	出力	1	汎用配線への MUX の出力
LO	出力	1	ローカル配線への MUX の出力
I0	入力	1	入力 (MUXF7 LO 出力に接続)
I1	入力	1	入力 (MUXF7 LO 出力に接続)
S	入力	1	MUX への入力セレクト

デザインの入力方法

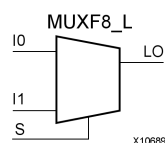
このエレメントは、回路図で使用できます。

詳細情報

- ・ [『Spartan-6 FPGA コンフィギュラブル ロジック ブロック ユーザー ガイド』\(UG384\)](#)
- ・ [『Spartan-6 FPGA データシート：DC 特性およびスイッチ特性』\(DS162\)](#)

MUXF8_L

プリミティブ：2-to-1 Look-Up Table Multiplexer with Local Output



概要

このデザイン エLEMENTは、ルックアップ テーブル、MUXF5、MUXF6、および MUXF7 を組み合わせて、スライス 8 個に 8 ファンクションのルックアップ テーブルまたは 32:1 マルチプレクサーを作成するためのマルチプレクサーです。I0 および I1 入力には、MUXF7 のローカル出力 (LO) を接続します。セレクト入力 (S) は、どの内部ネットでも駆動できます。S が Low の場合は I0 が選択され、High の場合は I1 が選択されます。

LO 出力は、同じ CLB スライス内にある別の入力との接続に使用します。

論理表

入力			出力
S	I0	I1	LO
0	I0	X	I0
1	X	I1	I1
X	0	0	0
X	1	1	1

ポートの説明

ポート名	方向	幅	機能
LO	出力	1	ローカル配線への MUX の出力
I0	入力	1	入力 (MUXF7 LO 出力に接続)
I1	入力	1	入力 (MUXF7 LO 出力に接続)
S	入力	1	MUX への入力セレクト

デザインの入力方法

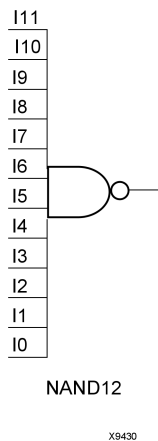
このELEMENTは、回路図で使用できます。

詳細情報

- ・ [『Spartan-6 FPGA コンフィギュラブル ロジック ブロック ユーザー ガイド』\(UG384\)](#)
- ・ [『Spartan-6 FPGA データシート：DC 特性およびスイッチ特性』\(DS162\)](#)

NAND12

マクロ：12-Input NAND Gate with Non-Inverted Inputs



概要

5 入力までの NAND ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NAND ファンクションには、非反転入力のみが使用されています。入力を反転するには、外部インバータを使用します。各入力に 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

デザインの入力方法

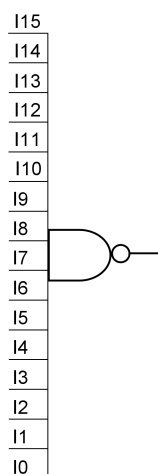
このエレメントは、回路図でのみ使用できます。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

NAND16

マクロ：16-Input NAND Gate with Non-Inverted Inputs



NAND16

X9431

概要

5 入力までの NAND ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NAND ファンクションには、非反転入力のみが使用されています。入力を反転するには、外部インバータを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

デザインの入力方法

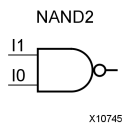
このエレメントは、回路図でのみ使用できます。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

NAND2

プリミティブ：2-Input NAND Gate with Non-Inverted Inputs



概要

5 入力までの NAND ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NAND ファンクションには、非反転入力のみが使用されています。入力を反転するには、外部インバータを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

デザインの入力方法

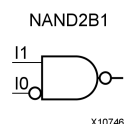
このエレメントは、回路図でのみ使用できます。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

NAND2B1

プリミティブ：2-Input NAND Gate with 1 Inverted and 1 Non-Inverted Inputs



概要

5 入力までの NAND ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NAND ファンクションには、非反転入力のみが使用されています。入力を反転するには、外部インバータを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

デザインの入力方法

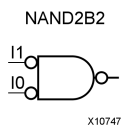
このエレメントは、回路図でのみ使用できます。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

NAND2B2

プリミティブ：2-Input NAND Gate with Inverted Inputs



概要

5 入力までの NAND ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NAND ファンクションには、非反転入力のみが使用されています。入力を反転するには、外部インバータを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

デザインの入力方法

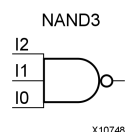
このエレメントは、回路図でのみ使用できます。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

NAND3

プリミティブ：3-Input NAND Gate with Non-Inverted Inputs



概要

5 入力までの NAND ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NAND ファンクションには、非反転入力のみが使用されています。入力を反転するには、外部インバータを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

デザインの入力方法

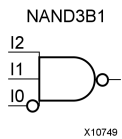
このエレメントは、回路図でのみ使用できます。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

NAND3B1

プリミティブ：3-Input NAND Gate with 1 Inverted and 2 Non-Inverted Inputs



概要

5 入力までの NAND ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NAND ファンクションには、非反転入力のみが使用されています。入力を反転するには、外部インバータを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

デザインの入力方法

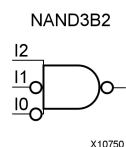
このエレメントは、回路図でのみ使用できます。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

NAND3B2

プリミティブ：3-Input NAND Gate with 2 Inverted and 1 Non-Inverted Inputs



概要

5 入力までの NAND ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NAND ファンクションには、非反転入力のみが使用されています。入力を反転するには、外部インバータを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

デザインの入力方法

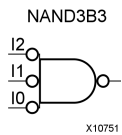
このエレメントは、回路図でのみ使用できます。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

NAND3B3

プリミティブ：3-Input NAND Gate with Inverted Inputs



概要

5 入力までの NAND ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NAND ファンクションには、非反転入力のみが使用されています。入力を反転するには、外部インバータを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

デザインの入力方法

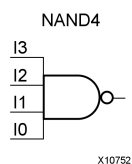
このエレメントは、回路図でのみ使用できます。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

NAND4

プリミティブ：4-Input NAND Gate with Non-Inverted Inputs



概要

5 入力までの NAND ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NAND ファンクションには、非反転入力のみが使用されています。入力を反転するには、外部インバータを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

デザインの入力方法

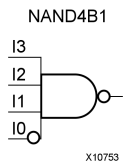
このエレメントは、回路図でのみ使用できます。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

NAND4B1

プリミティブ：4-Input NAND Gate with 1 Inverted and 3 Non-Inverted Inputs



概要

5 入力までの NAND ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NAND ファンクションには、非反転入力のみが使用されています。入力を反転するには、外部インバータを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

デザインの入力方法

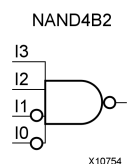
このエレメントは、回路図でのみ使用できます。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

NAND4B2

プリミティブ：4-Input NAND Gate with 2 Inverted and 2 Non-Inverted Inputs



概要

5 入力までの NAND ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NAND ファンクションには、非反転入力のみが使用されています。入力を反転するには、外部インバータを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

デザインの入力方法

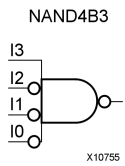
このエレメントは、回路図でのみ使用できます。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

NAND4B3

プリミティブ：4-Input NAND Gate with 3 Inverted and 1 Non-Inverted Inputs



概要

5 入力までの NAND ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NAND ファンクションには、非反転入力のみが使用されています。入力を反転するには、外部インバータを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

デザインの入力方法

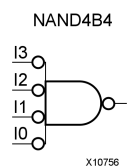
このエレメントは、回路図でのみ使用できます。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

NAND4B4

プリミティブ：4-Input NAND Gate with Inverted Inputs



概要

5 入力までの NAND ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NAND ファンクションには、非反転入力のみが使用されています。入力を反転するには、外部インバータを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

デザインの入力方法

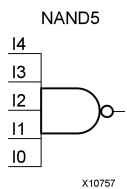
このエレメントは、回路図でのみ使用できます。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

NAND5

プリミティブ：5-Input NAND Gate with Non-Inverted Inputs



概要

5 入力までの NAND ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NAND ファンクションには、非反転入力のみが使用されています。入力を反転するには、外部インバータを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

デザインの入力方法

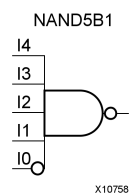
このエレメントは、回路図でのみ使用できます。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

NAND5B1

プリミティブ：5-Input NAND Gate with 1 Inverted and 4 Non-Inverted Inputs



概要

5 入力までの NAND ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NAND ファンクションには、非反転入力のみが使用されています。入力を反転するには、外部インバータを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

デザインの入力方法

このエレメントは、回路図でのみ使用できます。

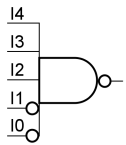
詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

NAND5B2

プリミティブ：5-Input NAND Gate with 2 Inverted and 3 Non-Inverted Inputs

NAND5B2



X10759

概要

5 入力までの NAND ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NAND ファンクションには、非反転入力のみが使用されています。入力を反転するには、外部インバータを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

デザインの入力方法

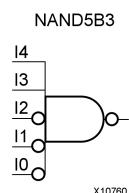
このエレメントは、回路図でのみ使用できます。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

NAND5B3

プリミティブ：5-Input NAND Gate with 3 Inverted and 2 Non-Inverted Inputs



概要

5 入力までの NAND ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NAND ファンクションには、非反転入力のみが使用されています。入力を反転するには、外部インバータを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

デザインの入力方法

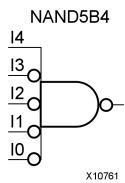
このエレメントは、回路図でのみ使用できます。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

NAND5B4

プリミティブ：5-Input NAND Gate with 4 Inverted and 1 Non-Inverted Inputs



概要

5 入力までの NAND ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NAND ファンクションには、非反転入力のみが使用されています。入力を反転するには、外部インバータを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

デザインの入力方法

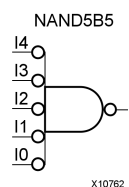
このエレメントは、回路図でのみ使用できます。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

NAND5B5

プリミティブ：5-Input NAND Gate with Inverted Inputs



概要

5 入力までの NAND ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NAND ファンクションには、非反転入力のみが使用されています。入力を反転するには、外部インバータを使用します。各入力に 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

デザインの入力方法

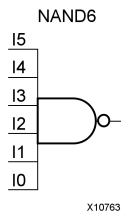
このエレメントは、回路図でのみ使用できます。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

NAND6

マクロ：6-Input NAND Gate with Non-Inverted Inputs



概要

5 入力までの NAND ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NAND ファンクションには、非反転入力のみが使用されています。入力を反転するには、外部インバータを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

デザインの入力方法

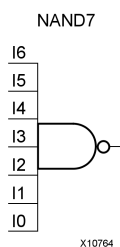
このエレメントは、回路図でのみ使用できます。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

NAND7

マクロ：7-Input NAND Gate with Non-Inverted Inputs



概要

5 入力までの NAND ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NAND ファンクションには、非反転入力のみが使用されています。入力を反転するには、外部インバータを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

デザインの入力方法

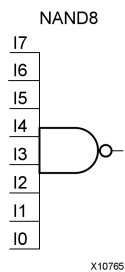
このエレメントは、回路図でのみ使用できます。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

NAND8

マクロ：8-Input NAND Gate with Non-Inverted Inputs



概要

5 入力までの NAND ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NAND ファンクションには、非反転入力のみが使用されています。入力を反転するには、外部インバータを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

デザインの入力方法

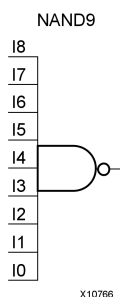
このエレメントは、回路図でのみ使用できます。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

NAND9

マクロ：9-Input NAND Gate with Non-Inverted Inputs



概要

5 入力までの NAND ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NAND ファンクションには、非反転入力のみが使用されています。入力を反転するには、外部インバータを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

デザインの入力方法

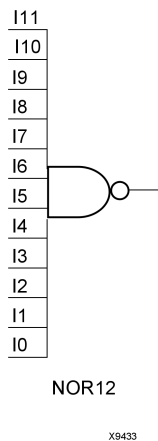
このエレメントは、回路図でのみ使用できます。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

NOR12

マクロ：12-Input NOR Gate with Non-Inverted Inputs



概要

5 入力までの NOR ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NOR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバーターを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

デザインの入力方法

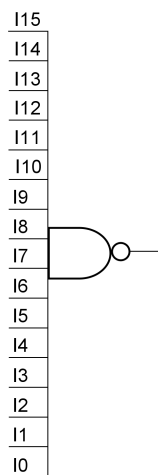
このエレメントは、回路図でのみ使用できます。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

NOR16

マクロ：16-Input NOR Gate with Non-Inverted Inputs



NOR16

X9434

概要

5 入力までの NOR ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NOR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバーターを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

デザインの入力方法

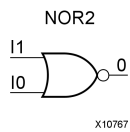
このエレメントは、回路図でのみ使用できます。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

NOR2

プリミティブ：2-Input NOR Gate with Non-Inverted Inputs



概要

5 入力までの NOR ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NOR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバーターを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

デザインの入力方法

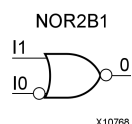
このエレメントは、回路図でのみ使用できます。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

NOR2B1

プリミティブ：2-Input NOR Gate with 1 Inverted and 1 Non-Inverted Inputs



概要

5 入力までの NOR ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NOR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバーターを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

デザインの入力方法

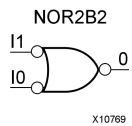
このエレメントは、回路図でのみ使用できます。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

NOR2B2

プリミティブ：2-Input NOR Gate with Inverted Inputs



概要

5 入力までの NOR ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NOR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバーターを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

デザインの入力方法

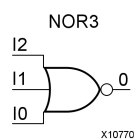
このエレメントは、回路図でのみ使用できます。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

NOR3

プリミティブ：3-Input NOR Gate with Non-Inverted Inputs



概要

5 入力までの NOR ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NOR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバーターを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

デザインの入力方法

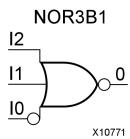
このエレメントは、回路図でのみ使用できます。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

NOR3B1

プリミティブ : 3-Input NOR Gate with 1 Inverted and 2 Non-Inverted Inputs



概要

5 入力までの NOR ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NOR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバーターを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

デザインの入力方法

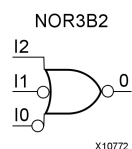
このエレメントは、回路図でのみ使用できます。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

NOR3B2

プリミティブ：3-Input NOR Gate with 2 Inverted and 1 Non-Inverted Inputs



概要

5 入力までの NOR ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NOR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバーターを使用します。各入力に 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

デザインの入力方法

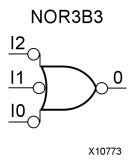
このエレメントは、回路図でのみ使用できます。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

NOR3B3

プリミティブ：3-Input NOR Gate with Inverted Inputs



概要

5 入力までの NOR ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NOR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバーターを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

デザインの入力方法

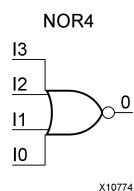
このエレメントは、回路図でのみ使用できます。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

NOR4

プリミティブ：4-Input NOR Gate with Non-Inverted Inputs



概要

5 入力までの NOR ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NOR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバーターを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

デザインの入力方法

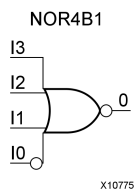
このエレメントは、回路図でのみ使用できます。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

NOR4B1

プリミティブ：4-Input NOR Gate with 1 Inverted and 3 Non-Inverted Inputs



概要

5 入力までの NOR ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NOR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバーターを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

デザインの入力方法

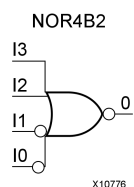
このエレメントは、回路図でのみ使用できます。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

NOR4B2

プリミティブ：4-Input NOR Gate with 2 Inverted and 2 Non-Inverted Inputs



概要

5 入力までの NOR ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NOR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバーターを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

デザインの入力方法

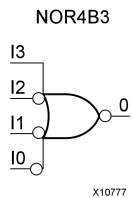
このエレメントは、回路図でのみ使用できます。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

NOR4B3

プリミティブ：4-Input NOR Gate with 3 Inverted and 1 Non-Inverted Inputs



概要

5 入力までの NOR ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NOR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバーターを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

デザインの入力方法

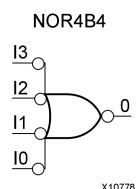
このエレメントは、回路図でのみ使用できます。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

NOR4B4

プリミティブ：4-Input NOR Gate with Inverted Inputs



概要

5 入力までの NOR ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NOR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバーターを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

デザインの入力方法

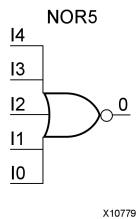
このエレメントは、回路図でのみ使用できます。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

NOR5

プリミティブ：5-Input NOR Gate with Non-Inverted Inputs



概要

5 入力までの NOR ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NOR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバーターを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

デザインの入力方法

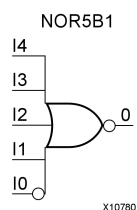
このエレメントは、回路図でのみ使用できます。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

NOR5B1

プリミティブ：5-Input NOR Gate with 1 Inverted and 4 Non-Inverted Inputs



概要

5 入力までの NOR ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NOR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバーターを使用します。各入力に 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

デザインの入力方法

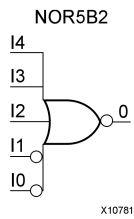
このエレメントは、回路図でのみ使用できます。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

NOR5B2

プリミティブ：5-Input NOR Gate with 2 Inverted and 3 Non-Inverted Inputs



概要

5 入力までの NOR ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NOR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバーターを使用します。各入力に 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

デザインの入力方法

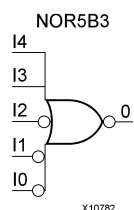
このエレメントは、回路図でのみ使用できます。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

NOR5B3

プリミティブ：5-Input NOR Gate with 3 Inverted and 2 Non-Inverted Inputs



概要

5 入力までの NOR ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NOR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバーターを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

デザインの入力方法

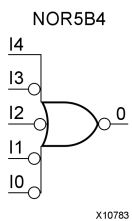
このエレメントは、回路図でのみ使用できます。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

NOR5B4

プリミティブ：5-Input NOR Gate with 4 Inverted and 1 Non-Inverted Inputs



概要

5 入力までの NOR ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NOR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバーターを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

デザインの入力方法

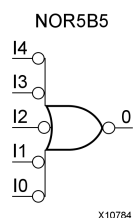
このエレメントは、回路図でのみ使用できます。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

NOR5B5

プリミティブ：5-Input NOR Gate with Inverted Inputs



概要

5 入力までの NOR ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NOR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバーターを使用します。各入力に 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

デザインの入力方法

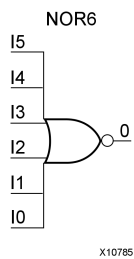
このエレメントは、回路図でのみ使用できます。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

NOR6

マクロ：6-Input NOR Gate with Non-Inverted Inputs



概要

5 入力までの NOR ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NOR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバーターを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

デザインの入力方法

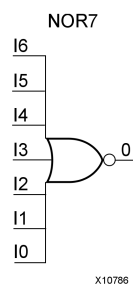
このエレメントは、回路図でのみ使用できます。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

NOR7

マクロ：7-Input NOR Gate with Non-Inverted Inputs



概要

5 入力までの NOR ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NOR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバーターを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

デザインの入力方法

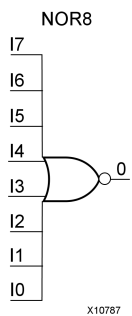
このエレメントは、回路図でのみ使用できます。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

NOR8

マクロ：8-Input NOR Gate with Non-Inverted Inputs



概要

5 入力までの NOR ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NOR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバーターを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

デザインの入力方法

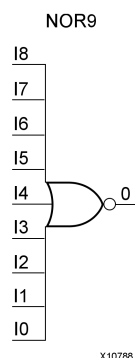
このエレメントは、回路図でのみ使用できます。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

NOR9

マクロ：9-Input NOR Gate with Non-Inverted Inputs



概要

5 入力までの NOR ゲートには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の NOR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバーターを使用します。各入力で 1 つの CLB リソースが使用されるので、入力が必要数だけあるゲートを使用してください。

デザインの入力方法

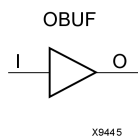
このエレメントは、回路図でのみ使用できます。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

OBUF

プリミティブ：Output Buffer



概要

このデザイン エレメントは単純な出力バッファで、トライステートにならない (常に駆動される) FPGA デバイス ピンへの出力信号を駆動するために使用します。デザインのすべての出力ポートに OBUF、OBUFT、OBUFDS、OBUFTDS のいずれかを接続する必要があります。

このエレメントは内部回路を外部から分離し、チップから出力する信号の駆動電流を供給します。I/O ブロック (IOB) 内にあります。出力 (O) は、OPAD または IOPAD に接続されます。このエレメントでは、LVTTL 規格が使用され、DRIVE 制約と SLOW または FAST 制約を使用して駆動電流とスルー レートを選択できます。デフォルトでは、DRIVE は 12mA、スルー レートは SLOW に設定されています。

ポートの説明

ポート名	方向	幅	機能
O	出力	1	最上位出力ポートに直接接続される OBUF の出力
I	入力	1	OBUF の入力。出力ポートを駆動するロジックに接続

デザインの入力方法

このエレメントは、回路図で使用できます。

使用可能な属性

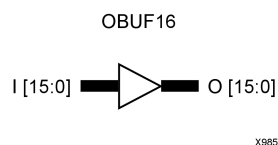
属性	データ型	値	デフォルト	説明
IOSTANDARD	文字列	データシートを参照	"DEFAULT"	エレメントに I/O 規格を割り当てます。

詳細情報

- ・ [『Spartan-6 FPGA SelectIO リソース ユーザー ガイド』\(UG381\)](#)
- ・ [『Spartan-6 FPGA データシート：DC 特性およびスイッチ特性』\(DS162\)](#)

OBUF16

マクロ：16-Bit Output Buffer



概要

このデザイン エLEMENTは、複数出力バッファです。

このELEMENTは内部回路を外部から分離し、チップから出力する信号の駆動電流を供給します。I/O ブロック (IOB) 内にあります。出力 (O) は、OPAD または IOPAD に接続されます。このELEMENTでは、LVTTL 規格が使用され、DRIVE 制約と SLOW または FAST 制約を使用して駆動電流とスルー レートを選択できます。デフォルトでは、DRIVE は 12mA、スルー レートは SLOW に設定されています。

デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

使用可能な属性

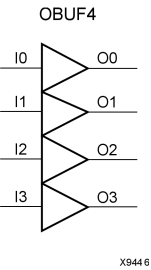
属性	データ型	値	デフォルト	説明
IOSTANDARD	文字列	データシートを参照	"DEFAULT"	ELEMENTに I/O 規格を割り当てます。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

OBUF4

マクロ : 4-Bit Output Buffer



概要

このデザイン エレメントは、複数出力バッファです。

このエレメントは内部回路を外部から分離し、チップから出力する信号の駆動電流を供給します。I/O ブロック (IOB) 内にあります。出力 (O) は、OPAD または IOPAD に接続されます。このエレメントでは、LVTTL 規格が使用され、DRIVE 制約と SLOW または FAST 制約を使用して駆動電流とスルー レートを選択できます。デフォルトでは、DRIVE は 12mA、スルー レートは SLOW に設定されています。

デザインの入力方法

このエレメントは、回路図でのみ使用できます。

使用可能な属性

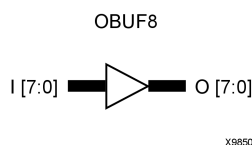
属性	データ型	値	デフォルト	説明
IOSTANDARD	文字列	データシートを参照	"DEFAULT"	エレメントに I/O 規格を割り当てます。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

OBUF8

マクロ：8-Bit Output Buffer



概要

このデザイン エLEMENTは、複数出力バッファです。

このELEMENTは内部回路を外部から分離し、チップから出力する信号の駆動電流を供給します。I/O ブロック (IOB) 内にあります。出力 (O) は、OPAD または IOPAD に接続されます。このELEMENTでは、LVTTL 規格が使用され、DRIVE 制約と SLOW または FAST 制約を使用して駆動電流とスルー レートを選択できます。デフォルトでは、DRIVE は 12mA、スルー レートは SLOW に設定されています。

デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

使用可能な属性

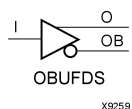
属性	データ型	値	デフォルト	説明
IOSTANDARD	文字列	データシートを参照	"DEFAULT"	ELEMENTに I/O 規格を割り当てます。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

OBUFDS

プリミティブ : Differential Signaling Output Buffer



概要

このデザイン エレメントは、低電圧の差動信号 (1.8V CMOS) をサポートする単一の出力バッファです。内部回路を外部から分離し、チップから出力する信号の駆動電流を供給します。出力には 2 つの異なるポート (O および OB) があり、これらのポートをそれぞれ「マスター」および「スレーブ」と呼びます。マスターとスレーブは MYNET と MYNETB のように、同じ論理信号の反対の状態を示します。

論理表

入力	出力	
I	O	OB
0	0	1
1	1	0

ポートの説明

ポート名	方向	幅	機能
O	出力	1	Diff_p 出力 (最上位ポートに直接接続)
OB	出力	1	Diff_n 出力 (最上位ポートに直接接続)
I	入力	1	バッファの入力

デザインの入力方法

このエレメントは、回路図で使用できます。

使用可能な属性

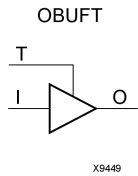
属性	データ型	値	デフォルト	説明
IOSTANDARD	文字列	データシートを参照	"DEFAULT"	エレメントに I/O 規格を割り当てます。

詳細情報

- ・ [『Spartan-6 FPGA SelectIO リソース ユーザー ガイド』\(UG381\)](#)
- ・ [『Spartan-6 FPGA データシート : DC 特性およびスイッチ特性』\(DS162\)](#)

OBUFT

プリミティブ：3-State Output Buffer with Active Low Output Enable



概要

このデザイン エLEMENTは、入力 (I)、出力 (O)、アクティブ Low 出力イネーブル (T) を持つ単一のトリステート出力バッファです。このELEMENTでは、LVTTTL 規格が使用され、DRIVE 制約と SLOW または FAST 制約を使用して駆動電流とスルー レートを選択できます。デフォルトでは、DRIVE=12mA、スルー レートは SLOW に設定されています。

T が Low の場合、バッファに入力された値が対応する出力に送られます。T が High の場合は、出力がハイ インピーダンス (オフまたは Z ステート) になります。OBUFT は、双方向 I/O を作成するなど、トリステート機能にシングルエンド出力を使用する必要がある場合に使用します。

論理表

入力		出力
T	I	O
1	X	Z
0	1	1
0	0	0

ポートの説明

ポート名	方向	幅	機能
O	出力	1	バッファ出力 (最上位ポートに直接接続)
I	入力	1	バッファの入力
T	入力	1	トリステート イネーブル入力

デザインの入力方法

このELEMENTは、回路図で使用できます。

使用可能な属性

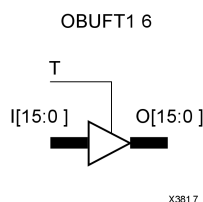
属性	データ型	値	デフォルト	説明
DRIVE	整数	2、4、6、8、12、16、24	12	出力の駆動電流を指定します。デザインの駆動電流およびタイミング要件で許容される最も低い値を使用してください。
IOSTANDARD	文字列	データシートを参照	"DEFAULT"	ELEMENTに I/O 規格を割り当てます。
SLEW	文字列	"SLOW"、"FAST"	"SLOW"	出力ドライバのスルー レートを指定します。この属性の最適な設定方法は、データシートを参照してください。

詳細情報

- ・ [『Spartan-6 FPGA SelectIO リソース ユーザー ガイド』\(UG381\)](#)
- ・ [『Spartan-6 FPGA データシート：DC 特性およびスイッチ特性』\(DS162\)](#)

OBUFT16

マクロ：16-Bit 3-State Output Buffer with Active Low Output Enable



概要

このデザイン エLEMENTは、入力 (I)、出力 (O)、アクティブ Low 出力イネーブル (T) を持つ複数のトライステート出力バッファです。このELEMENTでは、LVTTTL 規格が使用され、DRIVE 制約と SLOW または FAST 制約を使用して駆動電流とスルー レートを選択できます。デフォルトでは、DRIVE=12mA、スルー レートは SLOW に設定されています。

T が Low の場合、バッファに入力された値が対応する出力に送られます。T が High の場合は、出力がハイ インピーダンス (オフまたは Z ステート) になります。OBUFT は、双方向 I/O を作成するなど、トライステート機能にシングルエンド出力を使用する必要がある場合に使用します。

論理表

入力		出力
T	I	O
1	X	Z
0	1	1
0	0	0

デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

使用可能な属性

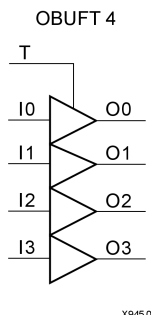
属性	データ型	値	デフォルト	説明
DRIVE	整数	2、4、6、8、12、16、24	12	出力の駆動電流を指定します。デザインの駆動電流およびタイミング要件で許容される最も低い値を使用してください。
IOSTANDARD	文字列	データシートを参照	"DEFAULT"	ELEMENTに I/O 規格を割り当てます。
SLEW	文字列	"SLOW"、"FAST"	"SLOW"	出力ドライバーのスルー レートを指定します。この属性の最適な設定方法は、データシートを参照してください。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

OBUFT4

マクロ：4-Bit 3-State Output Buffers with Active-Low Output Enable



概要

このデザイン エレメントは、入力 (I)、出力 (O)、アクティブ Low 出力イネーブル (T) を持つ複数のトライステート出力バッファです。このエレメントでは、LVTTTL 規格が使用され、DRIVE 制約と SLOW または FAST 制約を使用して駆動電流とスルー レートを選択できます。デフォルトでは、DRIVE=12mA、スルー レートは SLOW に設定されています。

T が Low の場合、バッファに入力された値が対応する出力に送られます。T が High の場合は、出力がハイ インピーダンス (オフまたは Z ステート) になります。OBUFT は、双方向 I/O を作成するなど、トライステート機能にシングルエンド出力を使用する必要がある場合に使用します。

論理表

入力		出力
T	I	O
1	X	Z
0	1	1
0	0	0

デザインの入力方法

このエレメントは、回路図でのみ使用できます。

使用可能な属性

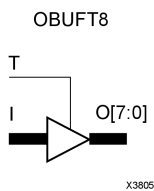
属性	データ型	値	デフォルト	説明
DRIVE	整数	2、4、6、8、12、16、24	12	出力の駆動電流を指定します。デザインの駆動電流およびタイミング要件で許容される最も低い値を使用してください。
IOSTANDARD	文字列	データシートを参照	"DEFAULT"	エレメントに I/O 規格を割り当てます。
SLEW	文字列	"SLOW"、"FAST"	"SLOW"	出力ドライバースルー レートを指定します。この属性の最適な設定方法は、データシートを参照してください。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

OBUFT8

マクロ：8-Bit 3-State Output Buffers with Active-Low Output Enable



概要

このデザイン エLEMENTは、入力 (I)、出力 (O)、アクティブ Low 出力イネーブル (T) を持つ複数のトリステート出力バッファです。このELEMENTでは、LVTTL 規格が使用され、DRIVE 制約と SLOW または FAST 制約を使用して駆動電流とスルー レートを選択できます。デフォルトでは、DRIVE=12mA、スルー レートは SLOW に設定されています。

T が Low の場合、バッファに入力された値が対応する出力に送られます。T が High の場合は、出力がハイインピーダンス (オフまたは Z ステート) になります。OBUFT は、双方向 I/O を作成するなど、トリステート機能にシングルエンド出力を使用する必要がある場合に使用します。

論理表

入力		出力
T	I	O
1	X	Z
0	1	1
0	0	0

デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

使用可能な属性

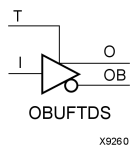
属性	データ型	値	デフォルト	説明
DRIVE	整数	2、4、6、8、12、16、24	12	出力の駆動電流を指定します。デザインの駆動電流およびタイミング要件で許容される最も低い値を使用してください。
IOSTANDARD	文字列	データシートを参照	"DEFAULT"	ELEMENTに I/O 規格を割り当てます。
SLEW	文字列	"SLOW"、"FAST"	"SLOW"	出力ドライバーのスルー レートを指定します。この属性の最適な設定方法は、データシートを参照してください。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

OBUFTDS

プリミティブ：3-State Output Buffer with Differential Signaling, Active-Low Output Enable



概要

このデザイン エレメントは、低電圧差動信号をサポートする出力バッファです。OBUFTDS では、デザイン レベルのインターフェイス信号は、一方がマスターで、もう一方がスレーブとなる 2 つの異なるポート (O、OB) で表されます。マスターとスレーブは、MYNET_P と MYNET_N のように、同じ論理信号の反対の状態を示します。

論理表

入力		出力	
I	T	O	OB
X	1	Z	Z
0	0	0	1
1	0	1	0

ポートの説明

ポート名	方向	幅	機能
O	出力	1	Diff_p 出力 (最上位ポートに直接接続)
OB	出力	1	Diff_n 出力 (最上位ポートに直接接続)
I	入力	1	バッファの入力
T	入力	1	トライステート イネーブル入力

デザインの入力方法

このエレメントは、回路図で使用できます。

使用可能な属性

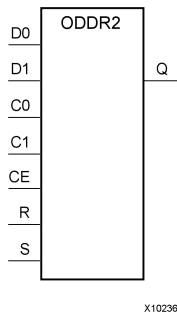
属性	データ型	値	デフォルト	説明
IOSTANDARD	文字列	データシートを参照	"DEFAULT"	エレメントに I/O 規格を割り当てます。

詳細情報

- 『Spartan-6 FPGA SelectIO リソース ユーザー ガイド』(UG381)
- 『Spartan-6 FPGA データシート：DC 特性およびスイッチ特性』(DS162)

ODDR2

プリミティブ : Dual Data Rate Output D Flip-Flop with Optional Data Alignment, Clock Enable and Programmable Synchronous or Asynchronous Set/Reset



概要

このデザイン エLEMENTは、出力ダブル データ レート (DDR) レジスタで、FPGA から出力されるダブル データ レート 信号を生成するために使用します。ODDR2 は、C0 と C1 の 2 つのクロックを使用してコンポーネントに接続されるので、C0 および C1 の両方の立ち上がりエッジでデータが出力されます。ODDR2 は、レジスタの動作を停止するために使用できるアクティブ High のクロック イネーブル (CE) ポート、対応するクロックに同期または非同期になるよう設定できるセット/リセット ポートを備えています。ODDR2 には、1 クロックで取り込まれたデータを 2 クロックで出力するオプションの調整機能があります。

論理表

入力							出力
S	R	CE	D0	D1	C0	C1	O
1	X	X	X	X	X	X	1
0	1	X	X	X	X	X	0
0	0	0	X	X	X	X	変化なし
0	0	1	D0	X	↑	X	D0
0	0	1	X	D1	X	↑	D1
セット/リセットは SRTYPE 値で同期に設定可能							

デザインの入力方法

このELEMENTは、回路図で使用できます。

使用可能な属性

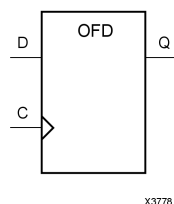
属性	データ型	値	デフォルト	説明
DDR_ALIGNMENT	文字列	"NONE"、"C0"、 "C1"	"NONE"	DDR レジスタの入力キャプチャビヘイビアを設定します。 <ul style="list-style-type: none"> "NONE" : C0 クロックが Low から High に切り替わるときに D0 入力に、C1 クロックが Low から High に切り替わるときに D1 にデータが入力されます。 "C0" : D0 と D1 両方への入力が C0 クロックの立ち上がりエッジに同期します。 "C1" : D0 と D1 両方への入力が C1 クロックの立ち上がりエッジに同期します。
INIT	2 進数	0、1	0	Q 出力の初期値を 0 または 1 に設定します。
SRTYPE	文字列	"SYNC"、"ASYN"	"SYNC"	セット/リセットを同期または非同期に設定します。

詳細情報

- ・ [『Spartan-6 FPGA コンフィギュラブル ロジック ブロック ユーザー ガイド』\(UG384\)](#)
- ・ [『Spartan-6 FPGA データシート：DC 特性およびスイッチ特性』\(DS162\)](#)

OFD

マクロ：Output D Flip-Flop



概要

このデザイン エLEMENTは単一出力の D フリップフロップです。

出力は、OPAD または IOPAD に接続されます。D 入力の値は、クロック (C) が Low から High に切り替わる時にフリップフロップにロードされ、Q に出力されます。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

入力		出力
D	C	Q
D	↑	D

デザインの入力方法

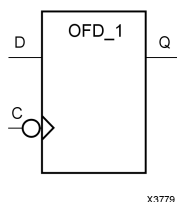
このELEMENTは、回路図でのみ使用できます。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

OFD_1

マクロ : Output D Flip-Flop with Inverted Clock



概要

このデザイン エLEMENTは、I/O ブロック (IOB) に含まれます。D フリップフロップの出力 (Q) は、OPAD または IOPAD に接続されます。D 入力の値は、クロック (C) が High から Low に切り替わる時にフリップフロップ内にロードされ、Q に出力されます。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

入力		出力
D	C	Q
D	↓	D

デザインの入力方法

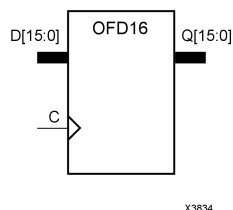
このELEMENTは、回路図でのみ使用できます。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

OFD16

マクロ：16-Bit Output D Flip-Flop



概要

このデザイン エLEMENTは複数出力の D フリップフロップです。

出力は、OPAD または IOPAD に接続されます。D 入力の値は、クロック (C) が Low から High に切り替わる時にフリップフロップにロードされ、Q に出力されます。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

入力		出力
D	C	Q
D	↑	D

デザインの入力方法

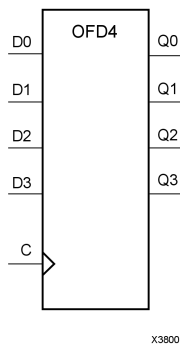
このELEMENTは、回路図でのみ使用できます。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

OFD4

マクロ：4-Bit Output D Flip-Flop



概要

このデザイン エLEMENTは複数出力の D フリップフロップです。

出力は、OPAD または IOPAD に接続されます。D 入力の値は、クロック (C) が Low から High に切り替わる時にフリップフロップにロードされ、Q に出力されます。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

入力		出力
D	C	Q
D	↑	D

デザインの入力方法

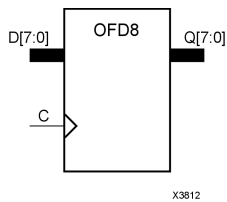
このELEMENTは、回路図でのみ使用できます。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

OFD8

マクロ：8-Bit Output D Flip-Flop



概要

このデザイン エLEMENTは複数出力の D フリップフロップです。

出力は、OPAD または IOPAD に接続されます。D 入力の値は、クロック (C) が Low から High に切り替わる時にフリップフロップにロードされ、Q に出力されます。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

入力		出力
D	C	Q
D	↑	D

デザインの入力方法

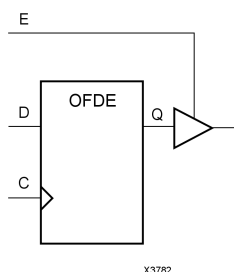
このELEMENTは、回路図でのみ使用できます。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

OFDE

マクロ : D Flip-Flop with Active-High Enable Output Buffers



概要

このデザイン エLEMENTは単一の D フリップフロップで、出力はトリステート バッファでイネーブル制御されます。フリップフロップの出力 (Q) は、出力バッファ (OBUFE) の入力に接続されます。OBUFE の出力は、OPAD または IOPAD に接続されます。入力 (D) の値は、クロック (C) が Low から High に切り替わる時にフリップフロップにロードされます。アクティブ High のイネーブル入力 (E) が High の場合、フリップフロップの出力 (Q) の値は OBUFE の O に出力されます。E が Low になると、出力はハイ インピーダンス (Z ステートまたはオフ) になります。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

入力			出力
E	D	C	O
0	X	X	Z
1	Dn	↑	Dn

デザインの入力方法

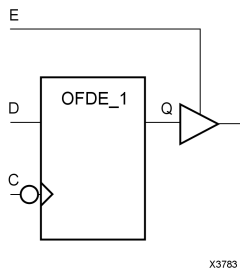
このELEMENTは、回路図でのみ使用できます。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

OFDE_1

マクロ：D Flip-Flop with Active-High Enable Output Buffer and Inverted Clock



概要

このデザイン エLEMENTとその出力バッファは、I/O ブロック (IOB) に含まれます。フリップフロップの出力 (Q) は、出力バッファまたは OBUFE の入力に接続されます。OBUFE の出力は、OPAD または IOPAD に接続されます。入力 (D) の値は、クロック (C) が High から Low に切り替わる時にフリップフロップにロードされます。アクティブ High のイネーブル入力 (E) が High の場合、フリップフロップの出力 (Q) の値は OBUFT の O に出力されます。E が Low になると、出力はハイ インピーダンス (Z ステートまたはオフ) になります。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

入力			出力
E	D	C	O
0	X	X	Z
1	D	↓	D

デザインの入力方法

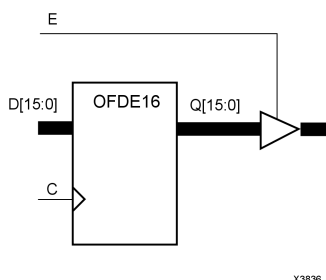
このELEMENTは、回路図でのみ使用できます。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

OFDE16

マクロ : 16-Bit D Flip-Flop with Active-High Enable Output Buffers



概要

このデザイン エレメントは複数の D フリップフロップで、出力はトライステート バッファでイネーブル制御されます。フリップフロップの出力 (Q) は、出力バッファ (OBUFE) の入力に接続されます。OBUFE の出力 (O) は、OPAD または IOPAD に接続されます。入力 (D) の値は、クロック (C) が Low から High に切り替わる時にフリップフロップにロードされます。アクティブ High のイネーブル入力 (E) が High のとき、フリップフロップの出力 (Q) の値が OBUFE の O に出力されます。E が Low になると、出力はハイ インピーダンス (Z ステートまたはオフ) になります。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

入力			出力
E	D	C	O
0	X	X	Z
1	Dn	↑	Dn

デザインの入力方法

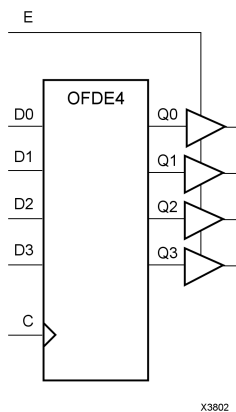
このエレメントは、回路図でのみ使用できます。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

OFDE4

マクロ：4-Bit D Flip-Flop with Active-High Enable Output Buffers



概要

このデザイン エLEMENTは複数の D フリップフロップで、出力はトライステートバッファでイネーブル制御されます。フリップフロップの出力 (Q) は、出力バッファ (OBUFE) の入力に接続されます。OBUFE の出力 (O) は、OPAD または IOPAD に接続されます。入力 (D) の値は、クロック (C) が Low から High に切り替わるときにフリップフロップにロードされます。アクティブ High のイネーブル入力 (E) が High のとき、フリップフロップの出力 (Q) の値が OBUFE の O に出力されます。E が Low になると、出力はハイインピーダンス (Z ステートまたはオフ) になります。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

入力			出力
E	D	C	O
0	X	X	Z
1	Dn	↑	Dn

デザインの入力方法

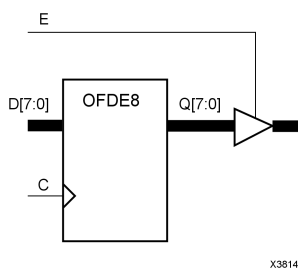
このELEMENTは、回路図でのみ使用できます。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

OFDE8

マクロ : 8-Bit D Flip-Flop with Active-High Enable Output Buffers



概要

このデザイン エレメントは複数の D フリップフロップで、出力はトライステートバッファでイネーブル制御されます。フリップフロップの出力 (Q) は、出力バッファ (OBUFE) の入力に接続されます。OBUFE の出力 (O) は、OPAD または IOPAD に接続されます。入力 (D) の値は、クロック (C) が Low から High に切り替わる時にフリップフロップにロードされます。アクティブ High のイネーブル入力 (E) が High のとき、フリップフロップの出力 (Q) の値が OBUFE の O に出力されます。E が Low になると、出力はハイインピーダンス (Z ステートまたはオフ) になります。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。FPGA では、グローバルセット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

入力			出力
E	D	C	O
0	X	X	Z
1	Dn	↑	Dn

デザインの入力方法

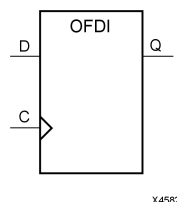
このエレメントは、回路図でのみ使用できます。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

OFDI

マクロ：Output D Flip-Flop (Asynchronous Preset)



概要

このデザイン エLEMENTは、I/O ブロック (IOB) に含まれます。D フリップフロップの出力 (Q) は、OPAD または IOPAD に接続されます。D 入力の値は、クロック (C) が Low から High に切り替わるときにフリップフロップにロードされ、Q に出力されます。

電力を供給すると、フリップフロップは非同期にプリセットされ、出力が High になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

入力		出力
D	C	Q
D	↑	D

デザインの入力方法

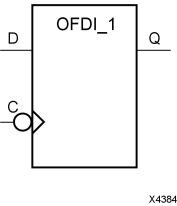
このELEMENTは、回路図でのみ使用できます。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

OFDI_1

マクロ : Output D Flip-Flop with Inverted Clock (Asynchronous Preset)



概要

このデザイン エLEMENTは、I/O ブロック (IOB) 内に配置されます。D フリップフロップの出力 (Q) は、OPAD または IOPAD に接続されます。D 入力の値は、クロック (C) が High から Low に切り替わる時にフリップフロップ内にロードされ、Q に出力されます。

電力を供給すると、フリップフロップは非同期にプリセットされ、出力が High になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

入力		出力
D	C	Q
D	↓	D

デザインの入力方法

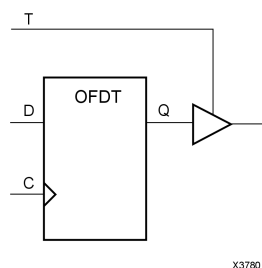
このELEMENTは、回路図でのみ使用できます。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

OFDT

マクロ：D Flip-Flop with Active-Low 3-State Output Buffer



概要

このデザイン エLEMENTは単一の D フリップフロップで、出力はトリステート バッファでイネーブル制御されます。

フリップフロップの出力 (Q) は、出力バッファ (OBUFT) の入力に接続されます。OBUFT の出力 (O) は、OPAD または IOPAD に接続されます。入力 (D) の値は、クロック (C) が Low から High に切り替わる時にフリップフロップにロードされます。アクティブ Low のイネーブル入力 (T) が Low のとき、フリップフロップの出力 (Q) の値が O に出力されます。T が High になると、出力はハイ インピーダンス (オフ) になります。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

入力			出力
T	D	C	O
1	X	X	Z
0	D	↑	D

デザインの入力方法

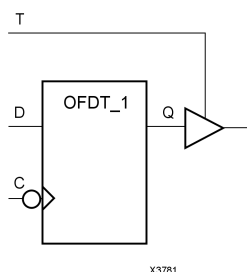
このELEMENTは、回路図でのみ使用できます。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

OFDT_1

マクロ : D Flip-Flop with Active-Low 3-State Output Buffer and Inverted Clock



概要

このデザイン エレメントとその出力バッファは、I/O ブロック (IOB) に含まれます。フリップフロップの出力 (Q) は、出力バッファ (OBUFT) の入力に接続されます。OBUFT の出力は、OPAD または IOPAD に接続されます。入力 (D) の値は、クロック (C) が High から Low に切り替わるときにフリップフロップにロードされます。アクティブ Low のイネーブル入力 (T) が Low のとき、フリップフロップの出力 (Q) の値が 0 に出力されます。T が High になると、出力はハイインピーダンス (オフ) になります。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

入力			出力
T	D	C	O
1	X	X	Z
0	D	↓	D

デザインの入力方法

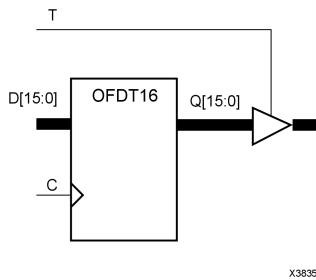
このエレメントは、回路図でのみ使用できます。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

OFDT16

マクロ：16-Bit D Flip-Flop with Active-Low 3-State Output Buffers



概要

このデザイン エLEMENTは複数の D フリップフロップで、出力はトリステート バッファでイネーブル制御されます。

フリップフロップの出力 (Q) は、出力バッファ (OBUFT) の入力に接続されます。OBUFT の出力 (O) は、OPAD または IOPAD に接続されます。入力 (D) の値は、クロック (C) が Low から High に切り替わる時にフリップフロップにロードされます。アクティブ Low のイネーブル入力 (T) が Low のとき、フリップフロップの出力 (Q) の値が 0 に出力されます。T が High になると、出力はハイ インピーダンス (オフ) になります。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

入力			出力
T	D	C	O
1	X	X	Z
0	D	↑	D

デザインの入力方法

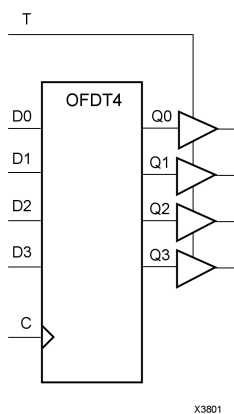
このELEMENTは、回路図でのみ使用できます。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

OFDT4

マクロ : 4-Bit D Flip-Flop with Active-Low 3-State Output Buffers



概要

このデザイン エLEMENTは複数の D フリップフロップで、出力はトリステートバッファでイネーブル制御されます。

フリップフロップの出力 (Q) は、出力バッファ (OBUFT) の入力に接続されます。OBUFT の出力 (O) は、OPAD または IOPAD に接続されます。入力 (D) の値は、クロック (C) が Low から High に切り替わる時にフリップフロップにロードされます。アクティブ Low のイネーブル入力 (T) が Low のとき、フリップフロップの出力 (Q) の値が O に出力されます。T が High になると、出力はハイ インピーダンス (オフ) になります。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

入力			出力
T	D	C	O
1	X	X	Z
0	D	↑	D

デザインの入力方法

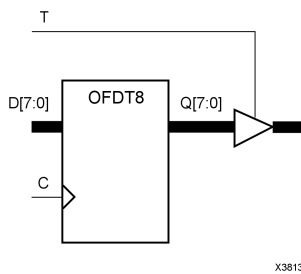
このELEMENTは、回路図でのみ使用できます。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

OFDT8

マクロ：8-Bit D Flip-Flop with Active-Low 3-State Output Buffers



概要

このデザイン エLEMENTは複数の D フリップフロップで、出力はトリステート バッファでイネーブル制御されます。

フリップフロップの出力 (Q) は、出力バッファ (OBUFT) の入力に接続されます。OBUFT の出力 (O) は、OPAD または IOPAD に接続されます。入力 (D) の値は、クロック (C) が Low から High に切り替わる時にフリップフロップにロードされます。アクティブ Low のイネーブル入力 (T) が Low のとき、フリップフロップの出力 (Q) の値が O に出力されます。T が High になると、出力はハイ インピーダンス (オフ) になります。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

入力			出力
T	D	C	O
1	X	X	Z
0	D	↑	D

デザインの入力方法

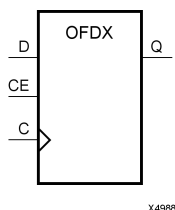
このELEMENTは、回路図でのみ使用できます。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

OFDX

マクロ：Output D Flip-Flop with Clock Enable



概要

このデザイン エLEMENTは単一出力の D フリップフロップです。Q 出力は、OPAD または IOPAD に接続されます。D 入力の値は、クロック (C) が Low から High に切り替わる時にフリップフロップ内にロードされ、Q に出力されます。クロック イネーブル (CE) が Low のときには、出力は変化しません。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

入力			出力
CE	D	C	Q
1	Dn	↑	Dn
0	X	X	変化なし

デザインの入力方法

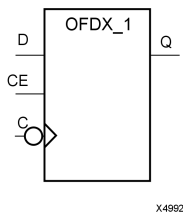
このELEMENTは、回路図でのみ使用できます。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

OFDX_1

マクロ：Output D Flip-Flop with Inverted Clock and Clock Enable



概要

このデザイン エLEMENTは、I/O ブロック (IOB) に含まれます。D フリップフロップの出力 (Q) は、OPAD または IOPAD に接続されます。D 入力の値は、クロック (C) が High から Low に切り替わる時にフリップフロップ内にロードされ、Q に出力されます。クロック イネーブル (CE) が Low のときには、出力 (Q) は変化しません。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

入力			出力
CE	D	C	Q
1	D	↓	D
0	X	X	変化なし

デザインの入力方法

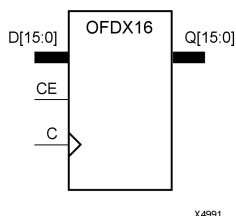
このELEMENTは、回路図でのみ使用できます。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

OFDX16

マクロ：16-Bit Output D Flip-Flop with Clock Enable



概要

このデザイン エレメントは複数出力の D フリップフロップです。Q 出力は、OPAD または IOPAD に接続されます。D 入力の値は、クロック (C) が Low から High に切り替わるときにフリップフロップ内にロードされ、Q に出力されます。クロック イネーブル (CE) が Low のときには、出力は変化しません。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

入力			出力
CE	D	C	Q
1	Dn	↑	Dn
0	X	X	変化なし

デザインの入力方法

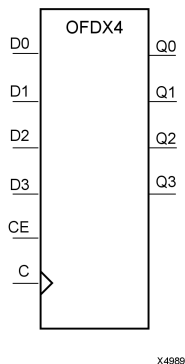
このエレメントは、回路図でのみ使用できます。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

OFDX4

マクロ：4-Bit Output D Flip-Flop with Clock Enable



概要

このデザイン エLEMENTは複数出力の D フリップフロップです。Q 出力は、OPAD または IOPAD に接続されます。D 入力の値は、クロック (C) が Low から High に切り替わるときにフリップフロップ内にロードされ、Q に出力されます。クロック イネーブル (CE) が Low のときには、出力は変化しません。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

入力			出力
CE	D	C	Q
1	Dn	↑	Dn
0	X	X	変化なし

デザインの入力方法

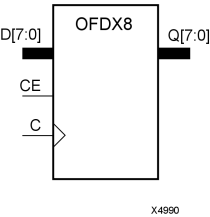
このELEMENTは、回路図でのみ使用できます。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

OFDX8

マクロ : 8-Bit Output D Flip-Flop with Clock Enable



概要

このデザイン エレメントは複数出力の D フリップフロップです。Q 出力は、OPAD または IOPAD に接続されます。D 入力の値は、クロック (C) が Low から High に切り替わるときにフリップフロップ内にロードされ、Q に出力されます。クロック イネーブル (CE) が Low のときには、出力は変化しません。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

入力			出力
CE	D	C	Q
1	Dn	↑	Dn
0	X	X	変化なし

デザインの入力方法

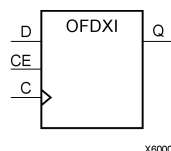
このエレメントは、回路図でのみ使用できます。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

OFDXI

マクロ：Output D Flip-Flop with Clock Enable (Asynchronous Preset)



概要

このデザイン エLEMENTは、I/O ブロック (IOB) に含まれます。D フリップフロップの出力 (Q) は、OPAD または IOPAD に接続されます。D 入力の値は、クロック (C) が Low から High に切り替わるときにフリップフロップにロードされ、Q に出力されます。クロック イネーブル (CE) が Low のときには、出力は変化しません。

電力を供給すると、フリップフロップは非同期にプリセットされ、出力が High になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

入力			出力
CE	D	C	Q
1	D	↑	D
0	X	X	変化なし

デザインの入力方法

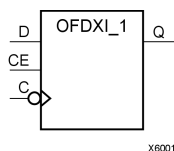
このELEMENTは、回路図でのみ使用できます。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

OFDXI_1

マクロ : Output D Flip-Flop with Inverted Clock and Clock Enable (Asynchronous Preset)



概要

このデザイン エレメントは、I/O ブロック (IOB) に含まれます。D フリップフロップの出力 (Q) は、OPAD または IOPAD に接続されます。D 入力の値は、クロック (C) が High から Low に切り替わる時にフリップフロップ内にロードされ、Q に出力されます。クロック イネーブル (CE) が Low のときには、出力 (Q) は変化しません。

電力を供給すると、フリップフロップは非同期にプリセットされ、出力が High になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

入力			出力
CE	D	C	Q
1	D	↓	D
0	X	X	変化なし

デザインの入力方法

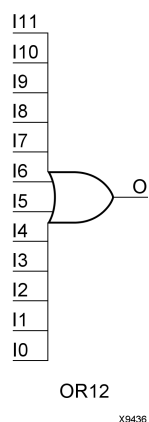
このエレメントは、回路図でのみ使用できます。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

OR12

マクロ：12-Input OR Gate with Non-Inverted Inputs



概要

5 入力までの OR ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の OR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバーターを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

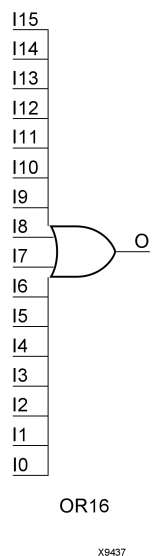
このエレメントは、回路図でのみ使用できます。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

OR16

マクロ：16-Input OR Gate with Non-Inverted Inputs



概要

5 入力までの OR ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の OR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバーターを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

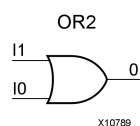
このエレメントは、回路図でのみ使用できます。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

OR2

プリミティブ：2-Input OR Gate with Non-Inverted Inputs



概要

5 入力までの OR ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の OR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバーターを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

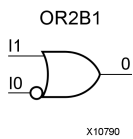
このエレメントは、回路図でのみ使用できます。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

OR2B1

プリミティブ：2-Input OR Gate with 1 Inverted and 1 Non-Inverted Inputs



概要

5 入力までの OR ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の OR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバーターを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

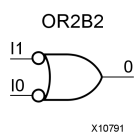
このエレメントは、回路図でのみ使用できます。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

OR2B2

プリミティブ：2-Input OR Gate with Inverted Inputs



概要

5 入力までの OR ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の OR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバーターを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

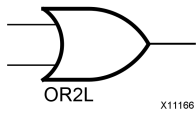
このエレメントは、回路図でのみ使用できます。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

OR2L

プリミティブ：Two input OR gate implemented in place of a Slice Latch



概要

このデザイン エLEMENTでは、コンフィギュレーション可能なスライス ラッチで 2 入力 OR ゲートのファンクションが使用されます (論理表を参照)。このELEMENTを使用すると、ロジックのレジスタ/ラッチ リソース数をトレードオフすることで、ロジック レベルを削減して、デバイスのロジック集積度を上げることができます。このELEMENTはレジスタのバックおよび集積度に影響を与えるので注意してください。スライスで AND2B1L または OR2L ELEMENTを指定すると、残りのレジスタおよびラッチが使用できなくなります。

論理表

入力		出力
DI	SRI	O
0	0	0
0	1	1
1	0	1
1	1	1

ポートの説明

ポート名	方向	幅	機能
O	出力	1	OR ゲートの出力
DI	入力	1	同じスライスにあるソース LUT に通常接続されるアクティブ High の入力
SRI	入力	1	通常スライス外から供給されるアクティブ Low の入力 注記：複数の AND2B1L または OR2B1L を 1 つのスライスにバックするには、この入力に共通の信号を接続する必要があります。

デザインの入力方法

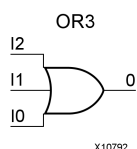
このELEMENTは、回路図でのみ使用できます。

詳細情報

- ・ [『Spartan-6 FPGA コンフィギュラブル ロジック ブロック ユーザー ガイド』\(UG384\)](#)
- ・ [『Spartan-6 FPGA データシート：DC 特性およびスイッチ特性』\(DS162\)](#)

OR3

プリミティブ：3-Input OR Gate with Non-Inverted Inputs



概要

5 入力までの OR ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の OR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバーターを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

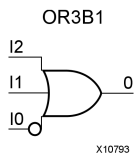
このエレメントは、回路図でのみ使用できます。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

OR3B1

プリミティブ：3-Input OR Gate with 1 Inverted and 2 Non-Inverted Inputs



概要

5 入力までの OR ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の OR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバーターを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

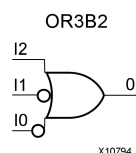
このエレメントは、回路図でのみ使用できます。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

OR3B2

プリミティブ：3-Input OR Gate with 2 Inverted and 1 Non-Inverted Inputs



概要

5 入力までの OR ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の OR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバーターを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

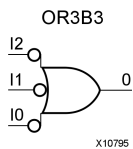
このエレメントは、回路図でのみ使用できます。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

OR3B3

プリミティブ：3-Input OR Gate with Inverted Inputs



概要

5 入力までの OR ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の OR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバーターを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

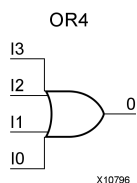
このエレメントは、回路図でのみ使用できます。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

OR4

プリミティブ：4-Input OR Gate with Non-Inverted Inputs



概要

5 入力までの OR ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の OR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバーターを使用します。各入力に CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

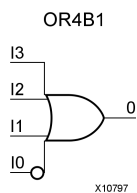
このエレメントは、回路図でのみ使用できます。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

OR4B1

プリミティブ：4-Input OR Gate with 1 Inverted and 3 Non-Inverted Inputs



概要

5 入力までの OR ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の OR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバーターを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

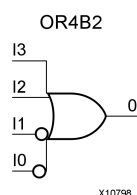
このエレメントは、回路図でのみ使用できます。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

OR4B2

プリミティブ：4-Input OR Gate with 2 Inverted and 2 Non-Inverted Inputs



概要

5 入力までの OR ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の OR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバーターを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

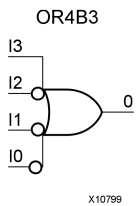
このエレメントは、回路図でのみ使用できます。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

OR4B3

プリミティブ : 4-Input OR Gate with 3 Inverted and 1 Non-Inverted Inputs



概要

5 入力までの OR ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の OR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバーターを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

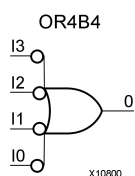
このエレメントは、回路図でのみ使用できます。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

OR4B4

プリミティブ：4-Input OR Gate with Inverted Inputs



概要

5 入力までの OR ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の OR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバーターを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

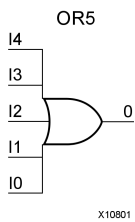
このエレメントは、回路図でのみ使用できます。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

OR5

プリミティブ：5-Input OR Gate with Non-Inverted Inputs



概要

5 入力までの OR ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の OR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバーターを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

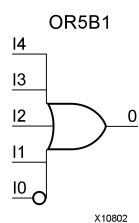
このエレメントは、回路図でのみ使用できます。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

OR5B1

プリミティブ：5-Input OR Gate with 1 Inverted and 4 Non-Inverted Inputs



概要

5 入力までの OR ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の OR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバーターを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

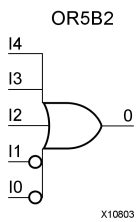
このエレメントは、回路図でのみ使用できます。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

OR5B2

プリミティブ：5-Input OR Gate with 2 Inverted and 3 Non-Inverted Inputs



概要

5 入力までの OR ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の OR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバーターを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

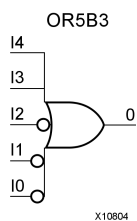
このエレメントは、回路図でのみ使用できます。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

OR5B3

プリミティブ：5-Input OR Gate with 3 Inverted and 2 Non-Inverted Inputs



概要

5 入力までの OR ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の OR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバーターを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

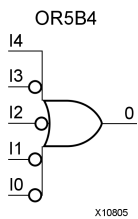
このエレメントは、回路図でのみ使用できます。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

OR5B4

プリミティブ：5-Input OR Gate with 4 Inverted and 1 Non-Inverted Inputs



概要

5 入力までの OR ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の OR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバーターを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

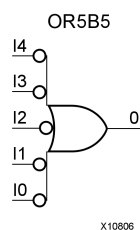
このエレメントは、回路図でのみ使用できます。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

OR5B5

プリミティブ：5-Input OR Gate with Inverted Inputs



概要

5 入力までの OR ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の OR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバーターを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

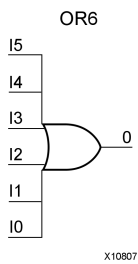
このエレメントは、回路図でのみ使用できます。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

OR6

マクロ：6-Input OR Gate with Non-Inverted Inputs



概要

5 入力までの OR ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の OR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバーターを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

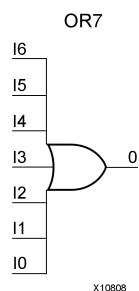
このエレメントは、回路図でのみ使用できます。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

OR7

マクロ：7-Input OR Gate with Non-Inverted Inputs



概要

5 入力までの OR ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の OR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバーターを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

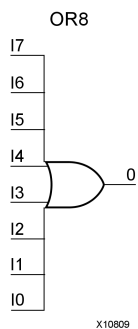
このエレメントは、回路図でのみ使用できます。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

OR8

マクロ : 8-Input OR Gate with Non-Inverted Inputs



概要

5 入力までの OR ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の OR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバーターを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

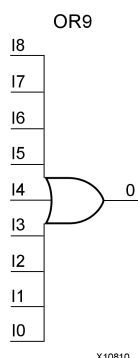
このエレメントは、回路図でのみ使用できます。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

OR9

マクロ：9-Input OR Gate with Non-Inverted Inputs



概要

5 入力までの OR ファンクションには、反転入力と非反転入力をさまざまに組み合わせたものがあります。6 ～ 9 入力、12 入力、および 16 入力の OR ファンクションには、非反転入力のみが使用されています。一部またはすべての入力を反転するには、外部インバーターを使用します。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

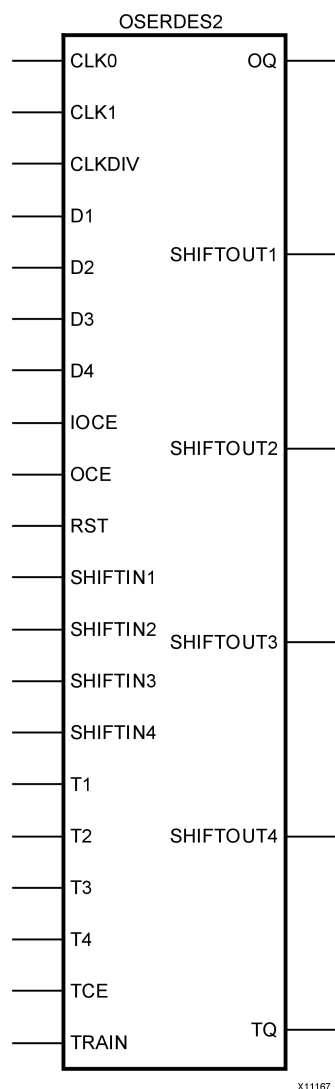
このエレメントは、回路図でのみ使用できます。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

OSERDES2

プリミティブ : Dedicated IOB Output Serializer



概要

各 IOB には出力シリアライザー ブロックが含まれており、OSERDES2 プリミティブを使用してデザインにインスタンスエートできます。OSERDES2 を使用すると、SerDes 比 2:1、3:1、および 4:1 のパラレル/シリアル変換が可能です。SerDes 比は、データを送信する高速 I/O クロックと、それより低速のパラレル データの処理に使用する内部グローバル クロックとの比です。たとえば、500MHz で動作する I/O クロックを使用して 500Mb/s でデータを送信する場合、OSERDES2 により 4 ビットのデータが 1/4 のレート (125MHz) で FPGA ロジックから転送されます。差動出力を使用する場合、2 つの IOB に関連付けられた 2 つの OSERDES2 プリミティブをカスケード接続して、SerDes 比 5:1、6:1、7:1、および 8:1 を達成できます。

ポートの説明

ポート名	方向	幅	機能
CLKDIV	入力	1	グローバル クロック ネットワーク入力。ハードウェアのクロックです。
CLK0	入力	1	I/O クロック ネットワークの入力。オプションで反転可能です。クロック 2 通倍回路が使用されていない場合に使用されるプライマリクロック入力です。詳細は、DATA_RATE を参照してください。
CLK1	入力	1	I/O クロック ネットワーク入力。オプションで反転可能です。 クロック 2 通倍回路が使用されている場合のみに使用されるセカンダリクロック入力です。
D1 ~ D4	入力	1	パラレル データ入力
IOCE	入力	1	BUFIO2 CE から生成されたデータ ストローブ信号。選択されている SerDes モードでの I/O およびグローバル クロックに対し、正しいタイミングでデータがキャプチャされるようにします。
OCE	入力	1	データ入力のクロック イネーブル
OQ	出力	1	パッドまたは IODELAY2 へのデータ パス出力
RST	入力	1	共有データ、トライステートリセットピン。非同期のみ。
SHIFTIN1	入力	1	カスケード データ入力信号 (マスターではダミー)。DATA_WIDTH が 4 を超える場合に使用します。
SHIFTIN2	入力	1	カスケード トライステート入力信号 (マスターではダミー)。DATA_WIDTH が 4 を超える場合に使用します。
SHIFTIN3	入力	1	差動データ入力信号 (スレーブではダミー)
SHIFTIN4	入力	1	差動トライステート入力信号 (スレーブではダミー)
SHIFTOUT1	出力	1	カスケード データ出力信号 (スレーブではダミー)。DATA_WIDTH が 4 を超える場合に使用します。
SHIFTOUT2	出力	1	カスケード トライステート出力信号 (スレーブではダミー)。DATA_WIDTH が 4 を超える場合に使用します。
SHIFTOUT3	出力	1	差動データ入力信号 (マスターではダミー)
SHIFTOUT4	出力	1	差動トライステート出力信号 (マスターではダミー)
TCE	入力	1	トライステート入力のクロック イネーブル
TQ	出力	1	パッドまたは IODELAY2 へのトライステート パス出力
TRAIN	入力	1	トレーニング機能は、信号のレシーバーを補正するために使用する固定出力パターンを指定します。このピンを使用して、FPGA ロジックで出力が固定パターンであるか、ピンからの入力データであるかを制御できます。
T1 ~ T4	入力	1	トライステート制御入力

デザインの入力方法

このエレメントは、回路図で使用できます。

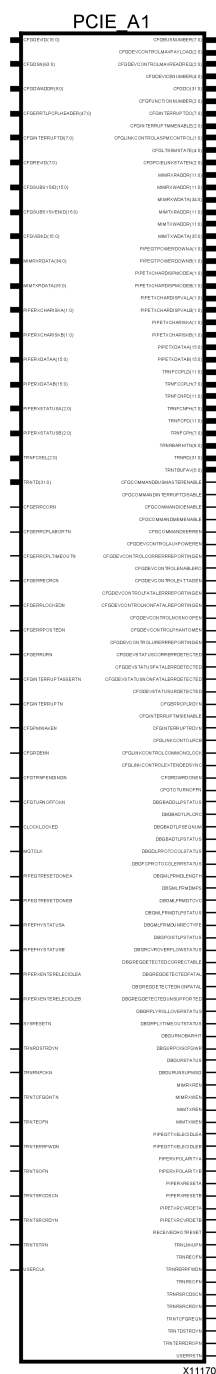
使用可能な属性

属性	データ型	値	デフォルト	説明
BYPASS_GCLK_FF	ブール代数	FALSE、TRUE	FALSE	CLKDIV 同期化レジスタをバイパスします。
DATA_RATE_OQ	文字列	"DDR"、"SDR"	"DDR"	データ レートを設定します。DDR クロックは、個別の複数の I/O クロックまたは 1 つの I/O クロックから供給できます。2 つのクロックが供給される場合、その位相差は約 180 度である必要があります。
DATA_RATE_OT	文字列	"DDR"、"BUF"、"SDR"	"DDR"	トライステート データ レートを設定します。DDR クロックは、個別の複数の I/O クロックまたは 1 つの I/O クロックから供給できます。2 つのクロックが供給される場合、その位相差は約 180 度である必要があります。
DATA_WIDTH	整数	2、1、3、4、5、6、7、8	2	データ幅を指定します。パラレル/シリアル コンバーターのパラレル データ出力幅を定義します。5 以上の値は、2 つの OSERDES2 ブロックをカスケード接続する場合にのみ有効です。この場合、マスター ブロックとスレーブ ブロックに同じ値を適用する必要があります。
OUTPUT_MODE	文字列	"SINGLE_ENDED"、"DIFFERENTIAL"	"SINGLE_ENDED"	出力モードを指定します。
SERDES_MODE	文字列	"MASTER"、"SLAVE"	"MASTER"	OSERDES2 ブロックを 1 つのみ使用するか、2 つの OSERDES2 ブロックをカスケード接続する場合はマスターまたはスレーブのどちらとして使用するかを示します。
TRAIN_PATTERN	整数	0、1、2、3、4、5、6、7、8、9、10、11、12、13、14、15	0	TRAIN ポートがアクティブな場合に送信するトレーニング パターンを定義します。

詳細情報

- ・ [『Spartan-6 FPGA SelectIO リソース ユーザー ガイド』\(UG381\)](#)
- ・ [『Spartan-6 FPGA データシート : DC 特性およびスイッチ特性』\(DS162\)](#)

プリミティブ : PCI Express



概要

このELEMENTは、RocketIO™ トランシーバー、ブロック RAM、さまざまなクロック リソースなど、FPGA のほかのリソースと併用します。PCI EXPRESS® デザインを PCIE_A1 を使用してインプリメントするには、必ず ISE® Design Suite に含まれる CORE Generator™ ツールを使用して PCI EXPRESS デザイン用の LogiCORE™ IP コアを作成してください。LogiCORE は、PCIE_A1 ソフトウェア プリミティブをインスタンス化し、インターフェイスを FPGA リソースに接続し、すべての属性を設定して、シンプルでユーザーにとって使いやすいインターフェイスを提供します。

デザインの入力方法

このELEMENTをインスタンス化するには、PCI EXPRESS® コアまたはこのELEMENTを含む関連コアを使用します。このELEMENTは直接インスタンス化しないでください。

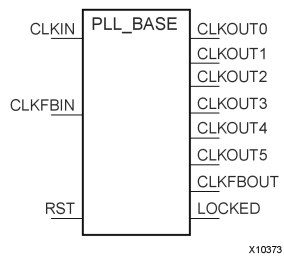
このELEMENTは、回路図で使用できます。

詳細情報

- ・ [『Spartan-6 FPGA RocketIO GTP トランシーバー ユーザー ガイド』\(UG386\)](#)
- ・ [『PCI EXPRESS® 用 LogiCORE™ IP Spartan-6 FPGA 統合エンドポイント ブロック v1.1 ユーザー ガイド』\(UG654\)](#)
- ・ [『Spartan-6 FPGA データシート：DC 特性およびスイッチ特性』\(DS162\)](#)

PLL_BASE

プリミティブ：Basic Phase Locked Loop Clock Circuit



概要

このデザイン エLEMENTは、FPGA 内部および外部回路の両方でクロック合成およびクロック管理機能を提供するためのエンベデッド位相ロック ループ クロック回路で、PLL_ADV デザイン エLEMENTのサブセットです。PLL_BASEを使用すると、ほとんどの PLL クロック回路を簡単に統合できます。PLL のすべての機能は備わっていませんが、入力クロックを位相シフト、通倍、分周でき、またデューティ サイクルを変更したり、ジッターをフィルター処理する機能などがあります。

ポートの説明

ポート名	方向	幅	機能
クロック出力/入力			
CLKOUT0 ~ 5	出力	1	位相シフトされる 6 個の出力クロック
CLKFBOUT	出力	1	クロック ネットワークの遅延調整方法を指定するために使用する専用 PLL フィードバック出力。調整方法によって、この出力を接続する場合と接続する必要のない場合があります。
CLKIN	入力	1	PLL のクロック ソース入力。FPGA の専用クロック ピン、DCM 出力クロック ピン、または BUFG 出力ピンで駆動できます。
CLKFBIN	入力	1	クロック フィードバック入力。CLKFBOUT ポートでのみ駆動できます。
ステータス出力/制御入力			
LOCKED	出力	1	位相アライメントが完了し、操作が開始可能であることを示す非同期出力
RST	入力	1	非同期リセット

デザインの入力方法

このELEMENTは、回路図で使用できます。

使用可能な属性

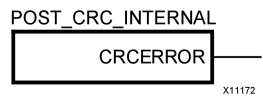
属性	データ型	値	デフォルト	説明
COMPENSATION	文字列	"SYSTEM_SYNCHRONOUS"、 "SOURCE_SYNCHRONOUS"	"SYSTEM_SYNCHRONOUS"	入力クロックの PLL 位相調整を指定します。すべてのクロック遅延を調整する場合は "SYSTEM_SYNCHRONOUS" を、クロックがデータと共に供給されて位相が揃っているときには "SOURCE_SYNCHRONOUS" を使用します。
BANDWIDTH	文字列	"HIGH"、"LOW"、 "OPTIMIZED"	"OPTIMIZED"	ジッター、位相マージンなどの PLL 特性に影響する PLL プログラム アルゴリズムを指定します。
CLKOUT0_DIVIDE、 CLKOUT1_DIVIDE、 CLKOUT2_DIVIDE、 CLKOUT3_DIVIDE、 CLKOUT4_DIVIDE、 CLKOUT5_DIVIDE	整数	1 ~ 128	1	CLKOUT クロック出力を分周する値を指定します。この値と FBCLKOUT_MULT 値により出力周波数が決まります。
CLKOUT0_PHASE、 CLKOUT1_PHASE、 CLKOUT2_PHASE、 CLKOUT3_PHASE、 CLKOUT4_PHASE、 CLKOUT5_PHASE	実数	0.0 ~ 360.0	0.0	CLKOUT クロック出力との位相オフセットを度数で指定します。90 は 90 度 (4 分の 1 サイクル) の位相オフセット、180 は 180 度 (2 分の 1 サイクル) の位相オフセットを示します。
CLKOUT0_DUTY_CYCLE、 CLKOUT1_DUTY_CYCLE、 CLKOUT2_DUTY_CYCLE、 CLKOUT3_DUTY_CYCLE、 CLKOUT4_DUTY_CYCLE、 CLKOUT5_DUTY_CYCLE	実数	0.01 ~ 0.99	0.50	CLKOUT クロック出力のデューティサイクルをパーセントで指定します。0.50 に設定すると、デューティサイクルは 50% になります。
CLKFBOUT_MULT	整数	1 ~ 64	1	すべての CLKOUT クロック出力を逡倍する値を指定します。この値と CLKOUT#_DIVIDE 値により出力周波数が決まります。
DIVCLK_DIVIDE	整数	1 ~ 52	1	すべての出力クロックの分周比を指定します。
CLKFBOUT_PHASE	実数	0.0 ~ 360	0.0	クロック フィードバック出力の位相オフセットを度数で指定します。
CLK_FEEDBACK	文字列	"CLKFBOUT"、 "CLKOUT0"	"CLKFBOUT"	CLKFB_IN を駆動するクロックソースを指定します。フィードバックリソースの正しい使用法および VCO 周波数の算出方法は、『Spartan®-6 FPGA クロックリソース ユーザー ガイド』(UG382) を参照してください。
REF_JITTER	実数	0 ~ 0.999	0.100	基準クロック ジッターを基準クロックの割合を示す UI (ユニット インターバル) で指定します。この値は、入力クロックの最大ピークトゥピーク値にします。
CLKIN_PERIOD	実数	1.000 ~ 52.630	なし	CLKIN の入力周期を ns で指定します。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

POST_CRC_INTERNAL

プリミティブ：Post-configuration CRC error detection



概要

このプリミティブを使用しハードウェアから CRC エラーを報告します。この新しいプリミティブは POST_CRC を拡張するために追加されています。また、CRC_EXTSTAT_DISABLE がアクティブな場合の POST CRC ステータスへの唯一のアクセスでもあります。

ポートの説明

ポート名	方向	幅	機能
CRCERROR	出力	1	コンフィギュレーション後の CRC エラー

デザインの入力方法

このエレメントは、回路図で使用できます。

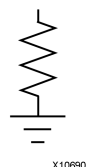
詳細情報

- ・ [『Spartan-6 FPGA コンフィギュレーション ユーザー ガイド』\(UG380\)](#)
- ・ [『Spartan-6 FPGA データシート：DC 特性およびスイッチ特性』\(DS162\)](#)

PULLDOWN

プリミティブ：Resistor to GND for Input Pads, Open-Drain, and 3-State Outputs

PULLDOWN



X10690

概要

この抵抗エレメントは、入力、出力、双方向のパッドに接続し、フロートする可能性のあるノードのロジックレベルを Low にします。

ポートの説明

ポート名	方向	幅	機能
O	出力	1	プルダウン出力 (最上位ポートに直接接続)

デザインの入力方法

このエレメントは、回路図で使用できます。

このエレメントは、最上位の回路図ファイルで次のネットに接続できます。

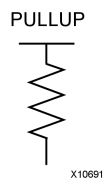
- ・ 入力 I/O マーカーに接続されたネット
- ・ 出力 I/O マーカーおよび OBUFT のようなトリステートにできる I/O エLEMENTの両方に接続されたネット

詳細情報

- ・ [『Spartan-6 FPGA SelectIO リソース ユーザー ガイド』\(UG381\)](#)
- ・ [『Spartan-6 FPGA データシート：DC 特性およびスイッチ特性』\(DS162\)](#)

PULLUP

プリミティブ：Resistor to VCC for Input PADs, Open-Drain, and 3-State Outputs



概要

このデザイン エLEMENTは、入力、トライステート出力、または双方向ポートが内部または外部ソースで駆動されないときに、弱い High で駆動します。すべてのドライバーがオフのときに、オープンドレイン エLEMENTおよびマクロのロジックレベルを High にします。

ポートの説明

ポート名	方向	幅	機能
O	出力	1	プルアップ出力 (最上位ポートに直接接続)

デザインの入力方法

このELEMENTは、回路図で使用できます。

このELEMENTは、最上位の回路図ファイルで次のネットに接続できます。

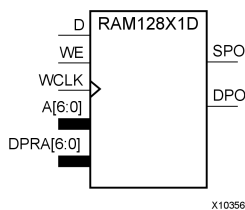
- ・ 入力 I/O マーカーに接続されたネット
- ・ 出力 I/O マーカーおよび OBUFT のようなトライステートにできる I/O ELEMENTの両方に接続されたネット

詳細情報

- ・ [『Spartan-6 FPGA SelectIO リソース ユーザー ガイド』\(UG381\)](#)
- ・ [『Spartan-6 FPGA データシート：DC 特性およびスイッチ特性』\(DS162\)](#)

RAM128X1D

プリミティブ：128-Deep by 1-Wide Dual Port Random Access Memory (Select RAM)



概要

このデザイン エLEMENTは 128 ワード X 1 ビットの RAM で読み出し/書き込みポートがあり、ライト イネーブル (WE) が High のときにアドレス バス A で指定されたロケーションに D 入力データピンの値が書き込まれます。この書き込みは WCLK の立ち上がりエッジの直後に実行され、同じ値が SPO に出力されます。WE が Low のときは非同期読み出しが実行され、アドレス バス A で指定されたメモリ ロケーションの値が SPO に非同期で出力されます。アドレス バス DPRA の値を変更することにより、読み出しポートでは非同期読み出しを実行できます。DPO にその値が出力されます。

ポートの説明

ポート名	方向	幅	機能
SPO	出力	1	アドレス バス A で指定される読み出し/書き込みポートのデータ出力
DPO	出力	1	アドレス バス DPRA で指定される読み出しポートのデータ出力
D	入力	1	アドレス バス A で指定される書き込みデータ入力
A	入力	7	読み出し/書き込みポートのアドレス バス
DPRA	入力	7	読み出しポートのアドレス バス
WE	入力	1	ライト イネーブル
WCLK	入力	1	ライト クロック (読み出しは非同期)

インスタンス化する場合、このコンポーネントを次のように接続します。

- WCLK 入力をクロックソースに、D 入力を格納するデータソースに、DPO 出力を FDCE の D 入力などの適切なデスティネーションに接続します。
- オプションで、SPO 出力を適切なデスティネーションに接続するか、または未接続にすることもできます。
- クロック イネーブル ピン (WE) は、適切なライト イネーブル ソースに接続します。
- 7 ビット バス A は読み出し/書き込みアドレスに、7 ビット バス DPRA は読み出しアドレスに接続する必要があります。
- 128 ビットの 16 進数で構成される INIT 属性で、RAM の初期値を指定できます。

指定しない場合は、初期値はすべて 0 になります。

デザインの入力方法

このELEMENTは、回路図で使用できます。

使用可能な属性

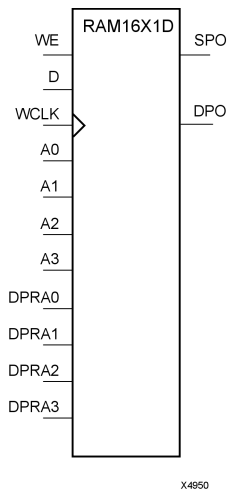
属性	タイプ	値	デフォルト	説明
INIT	16 進数	128 ビット値	すべて 0	RAM の初期値を指定します。

詳細情報

- ・ [『Spartan-6 FPGA コンフィギャラブル ロジック ブロック ユーザー ガイド』\(UG384\)](#)
- ・ [『Spartan-6 FPGA データシート：DC 特性およびスイッチ特性』\(DS162\)](#)

RAM16X1D

プリミティブ：16-Deep by 1-Wide Static Dual Port Synchronous RAM



概要

このエレメントは 16 ワード X 1 ビットのデュアル ポート SRAM で、同期書き込み機能を備えています。デバイスには、読み出しアドレス (DPRA3 ~ DPRA0) と書き込みアドレス (A3 ~ A0) の 2 種類のアドレスポートがあります。この 2 種類のアドレスポートは非同期です。読み出しアドレスによって出力ピン (DPO) に出力される値が指定され、書き込みアドレスによって書き込みを行う位置が指定されます。ライト イネーブル (WE) が Low の場合、ライト クロック (WCLK) の遷移は無視され、RAM に格納されている値は変化しません。

WE が High の場合、WCLK が Low から High に切り替わるときに、データ入力 (D) の値が 4 ビットの書き込みアドレスで選択されたワードに書き込まれます。書き込みを正しく行うには、WCLK が Low から High に切り替わる前に、書き込みアドレスとデータ入力の値を安定させる必要があります。WCLK はデフォルトではアクティブ High ですが、インバーターを使用してアクティブ Low にすることもできます。WCLK の入力ネットに配置されたインバーターは、RAM ブロック内に組み込まれます。

SPO 出力には、A3 ~ A0 で指定されたメモリ セルの値が出力されます。DPO 出力には、DPRA3 ~ DPRA0 で指定されたメモリ セルの値が出力されます。

注記： 書き込み処理は、読み出しアドレスポートのアドレスには影響されません。

INIT 属性を使用すると、RAM を直接初期化できます。値は、INIT=ABAC のように、16 進数で指定してください。INIT 属性を指定しない場合は、RAM は 0 に初期化されます。

論理表

モード選択を次の論理表に示します。

入力			出力	
WE (モード)	WCLK	D	SPO	DPO
0 (読み出し)	X	X	data_a	data_d
1 (読み出し)	0	X	data_a	data_d
1 (読み出し)	1	X	data_a	data_d
1 (書き込み)	↑	D	D	data_d
1 (読み出し)	↓	X	data_a	data_d
data_a = A3 ～ A0 で指定されたワード				
data_d = DPRA3 ～ DPRA0 で指定されたワード				

デザインの入力方法

このエレメントは、回路図で使用できます。

使用可能な属性

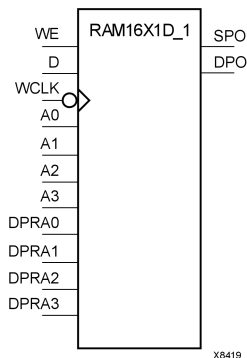
属性	データ型	値	デフォルト	説明
INIT	16 進数	16 ビット値	すべて 0	RAM、レジスタ、LUT の初期値を指定します。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

RAM16X1D_1

プリミティブ：16-Deep by 1-Wide Static Dual Port Synchronous RAM with Negative-Edge Clock



概要

このエレメントは、クロックの立ち下がりエッジで動作する 16 ワード X 1 ビットのデュアル ポート SRAM で、同期書き込み機能を備えています。デバイスには、読み出しアドレス (DPRA3 ~ DPRA0) と書き込みアドレス (A3 ~ A0) の独立した 2 種類のアドレス ポートがあります。この 2 種類のアドレス ポートは非同期です。読み出しアドレスによって出力ピン (DPO) に出力される値が指定され、書き込みアドレスによって書き込みを行う位置が指定されます。

ライト イネーブル (WE) が Low の場合、ライト クロック (WCLK) の遷移は無視され、RAM に格納されている値は変化しません。WE が High の場合、WCLK が High から Low に切り替わるときに、4 ビットの書き込みアドレスで選択されているワードにデータ入力 (D) の値が書き込まれます。書き込みを正しく行うには、WCLK が High から Low に切り替わる前に、書き込みアドレスとデータ入力の値を安定させる必要があります。WCLK はデフォルトではアクティブ Low ですが、インバーターを使用してアクティブ High にすることもできます。WCLK の入力ネットに配置されたインバーターは、RAM ブロック内に組み込まれます。

INIT 属性を使用すると、コンフィギュレーション中に RAM16X1D_1 を初期化できます。

SPO 出力には、A3 ~ A0 で指定されたメモリ セルの値が出力されます。DPO 出力には、DPRA3 ~ DPRA0 で指定されたメモリ セルの値が出力されます。

注記： 書き込み処理は、読み出しアドレス ポートのアドレスには影響されません。

論理表

モード選択を次の論理表に示します。

入力			出力	
WE (モード)	WCLK	D	SPO	DPO
0 (読み出し)	X	X	data_a	data_d
1 (読み出し)	0	X	data_a	data_d
1 (読み出し)	1	X	data_a	data_d
1 (書き込み)	↓	D	D	data_d
1 (読み出し)	↑	X	data_a	data_d
data_a = A3 ~ A0 で指定されたワード				
data_d = DPRA3 ~ DPRA0 で指定されたワード				

ポートの説明

ポート名	方向	幅	機能
DPO	出力	1	読み出し専用 1 ビット データ出力
SPO	出力	1	読み出し/書き込み 1 ビット データ出力
A0	入力	1	読み出し/書き込み address[0] 入力
A1	入力	1	読み出し/書き込み address[1] 入力
A2	入力	1	読み出し/書き込み address[2] 入力
A3	入力	1	読み出し/書き込み address[3] 入力
D	入力	1	書き込み 1 ビット データ入力
DPRA0	入力	1	読み出し専用 address[0] 入力
DPRA1	入力	1	読み出し専用 address[1] 入力
DPRA2	入力	1	読み出し専用 address[2] 入力
DPRA3	入力	1	読み出し専用 address[3] 入力
WCLK	入力	1	書き込みクロック入力
WE	入力	1	ライト イネーブル入力

デザインの入力方法

このエレメントは、回路図で使用できます。

使用可能な属性

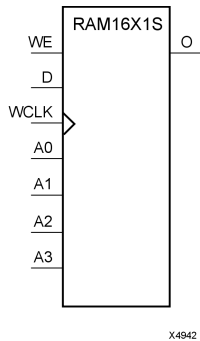
属性	データ型	値	デフォルト	説明
INIT	16 進数	16 ビット値	すべて 0	RAM、レジスタ、LUT の初期値を指定します。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

RAM16X1S

プリミティブ：16-Deep by 1-Wide Static Synchronous RAM



概要

このエレメントは 16 ワード X 1 ビットの SRAM で、同期書き込み機能を備えています。ライト イネーブル (WE) が Low の場合、ライト クロック (WCLK) の遷移は無視され、RAM に格納されている値は変化しません。WE が High になると、WCLK が Low から High に切り替わる時に、データ入力 (D) の値が 4 ビットのアドレス (A3 ~ A0) で選択されたワードに書き込まれます。WCLK はデフォルトではアクティブ High ですが、インバーターを使用してアクティブ Low にすることもできます。WCLK の入力ネットに配置されたインバーターは、RAM ブロック内に組み込まれます。

出力ピン (O) に出力される値は、アドレスピンで指定された RAM 内の位置に格納されている値です。INIT 属性を使用すると、コンフィギュレーション中に RAM16X1S を初期化できます。

論理表

入力			出力
WE (モード)	WCLK	D	O
0 (読み出し)	X	X	データ
1 (読み出し)	0	X	データ
1 (読み出し)	1	X	データ
1 (書き込み)	↑	D	D
1 (読み出し)	↓	X	データ
データ = A3 ~ A0 で指定されたワード			

デザインの入力方法

このエレメントは、回路図で使用できます。

使用可能な属性

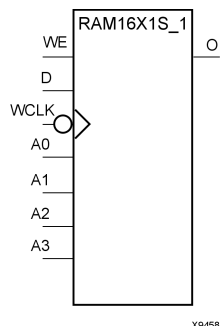
属性	データ型	値	デフォルト	説明
INIT	16 進数	16 ビット値	すべて 0	RAM の初期値を指定します。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

RAM16X1S_1

プリミティブ：16-Deep by 1-Wide Static Synchronous RAM with Negative-Edge Clock



概要

このエレメントはクロックの立ち下がりエッジで動作する 16 ワード X 1 ビットの SRAM で、同期書き込み機能を備えています。ライト イネーブル (WE) が Low の場合、ライト クロック (WCLK) の遷移は無視され、RAM に格納されている値は変化しません。WE が High の場合、WCLK が High から Low に切り替わる時に、データ入力 (D) の値が 4 ビットのアドレス (A3 ~ A0) で選択されたワードに書き込まれます。書き込みを正しく行うには、WCLK が High から Low に切り替わる前に、書き込みアドレスとデータ入力の値を安定させる必要があります。WCLK はデフォルトではアクティブ Low ですが、インバーターを使用してアクティブ High にすることもできます。WCLK の入力ネットに配置されたインバーターは、RAM ブロック内に組み込まれます。

出力ピン (O) に出力される値は、アドレスピンで指定された RAM 内の位置に格納されている値です。

INIT 属性を使用すると、コンフィギュレーション中にこのエレメントを初期化できます。

論理表

入力			出力
WE (モード)	WCLK	D	O
0 (読み出し)	X	X	データ
1 (読み出し)	0	X	データ
1 (読み出し)	1	X	データ
1 (書き込み)	↓	D	D
1 (読み出し)	↑	X	データ
データ = A3 ~ A0 で指定されたワード			

デザインの入力方法

このエレメントは、回路図で使用できます。

使用可能な属性

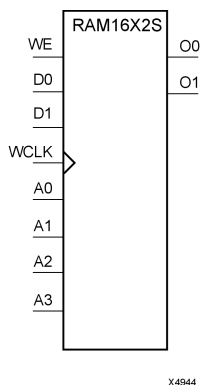
属性	データ型	値	デフォルト	説明
INIT	16 進数	16 ビット値	すべて 0	RAM の初期値を指定します。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

RAM16X2S

プリミティブ：16-Deep by 2-Wide Static Synchronous RAM



概要

このエレメントは 16 ワード X 2 ビットの SRAM で、同期書き込み機能を備えています。ライト イネーブル (WE) が Low の場合、ライト クロック (WCLK) の遷移は無視され、RAM に格納されている値は変化しません。WE が High の場合、WCLK が Low から High に切り替わるときに、入力 (D1 ~ D0) の値が 4 ビットのアドレス (A3 ~ A0) で選択されたワードに書き込まれます。書き込みを正しく行うには、WCLK が Low から High に切り替わる前に、書き込みアドレスとデータ入力の値を安定させる必要があります。WCLK はデフォルトではアクティブ High ですが、インバーターを使用してアクティブ Low にすることもできます。WCLK の入力ネットに配置されたインバーターは、RAM ブロック内に組み込まれます。

出力ピン (O1 ~ O0) に出力される値は、アドレス ピンで指定された RAM 内の位置に格納されている値です。

INIT_xx 属性を使用すると、RAM の初期値を指定できます。INIT_00 は出力 (O0) に対応する RAM のセルを初期化し、INIT_01 は出力 (O1) に対応するセルを初期化します。たとえば、RAM16X2S インスタンスは、INIT_00 および INIT_01 にそれぞれ 4 桁の 16 進数値を指定して初期化します。RAM16X8S インスタンスは、INIT_00 ~ INIT_07 の 8 個の属性にそれぞれ 4 桁の 16 進数値を指定して初期化します。RAM64X2S インスタンスは、INIT_00 および INIT_01 にそれぞれ 16 桁の 16 進数値を指定して初期化します。

Virtex-4 デバイス以外では、このエレメントの初期値を直接指定することはできません。

論理表

入力			出力
WE (モード)	WCLK	D1 ~ D0	O1 ~ O0
0 (読み出し)	X	X	データ
1 (読み出し)	0	X	データ
1 (読み出し)	1	X	データ
1 (書き込み)	↑	D1 ~ D0	D1 ~ D0
1 (読み出し)	↓	X	データ
データ = A3 ~ A0 で指定されたワード			

デザインの入力方法

このエレメントは、回路図で使用できます。

使用可能な属性

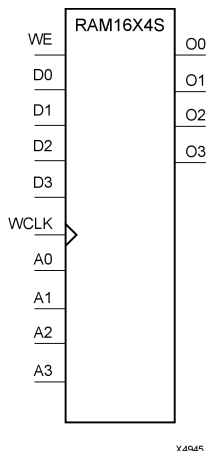
属性	データ型	値	デフォルト	説明
INIT_00 ~ INIT_01	16 進数	16 ビット値	すべて 0	RAM、レジスタ、LUT の初期値を指定します。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

RAM16X4S

プリミティブ：16-Deep by 4-Wide Static Synchronous RAM



概要

このエレメントは 16 ワード X 4 ビットの SRAM で、同期書き込み機能を備えています。ライト イネーブル (WE) が Low の場合、ライト クロック (WCLK) の遷移は無視され、RAM に格納されている値は変化しません。WE が High になると、WCLK が Low から High に切り替わるときに、入力 (D3 ~ D0) の値が 4 ビットのアドレス (A3 ~ A0) で選択されたワードに書き込まれます。書き込みを正しく行うには、WCLK が Low から High に切り替わる前に、書き込みアドレスとデータ入力の値を安定させる必要があります。WCLK はデフォルトではアクティブ High ですが、インバーターを使用してアクティブ Low にすることもできます。WCLK の入力ネットに配置されたインバーターは、RAM ブロック内に組み込まれます。

出力ピン (O3 ~ O0) に出力される値は、アドレス ピンで指定された RAM 内の位置に格納されている値です。

論理表

入力			出力
WE (モード)	WCLK	D3:D0	O3:O0
0 (読み出し)	X	X	データ
1 (読み出し)	0	X	データ
1 (読み出し)	1	X	データ
1 (書き込み)	↑	D3:D0	D3:D0
1 (読み出し)	↓	X	データ
データ = A3 ~ A0 で指定されたワード			

デザインの入力方法

このエレメントは、回路図でのみ使用できます。

使用可能な属性

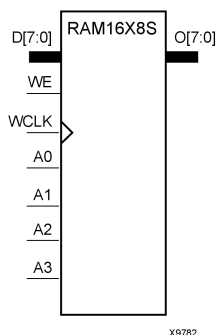
属性	データ型	値	デフォルト	説明
INIT_00 ~ INIT_03	16 進数	16 ビット値	すべて 0	RAM の初期値を指定します。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

RAM16X8S

プリミティブ：16-Deep by 8-Wide Static Synchronous RAM



概要

このエレメントは 16 ワード X 8 ビットの SRAM で、同期書き込み機能を備えています。ライト イネーブル (WE) が Low の場合、ライト クロック (WCLK) の遷移は無視され、RAM に格納されている値は変化しません。WE が High になると、WCLK が Low から High に切り替わるときに、入力 (D7 ~ D0) の値が 4 ビットのアドレス (A3 ~ A0) で選択されたワードに書き込まれます。書き込みを正しく行うには、WCLK が Low から High に切り替わる前に、書き込みアドレスとデータ入力の値を安定させる必要があります。WCLK はデフォルトではアクティブ High ですが、インバーターを使用してアクティブ Low にすることもできます。WCLK の入力ネットに配置されたインバーターは、RAM ブロック内に組み込まれます。

出力ピン (O7 ~ O0) に出力される値は、アドレス ピンで指定された RAM 内の位置に格納されている値です。

論理表

入力			出力
WE (モード)	WCLK	D7:D0	O7:O0
0 (読み出し)	X	X	データ
1 (読み出し)	0	X	データ
1 (読み出し)	1	X	データ
1 (書き込み)	↑	D7:D0	D7:D0
1 (読み出し)	↓	X	データ
データ = A3 ~ A0 で指定されたワード			

デザインの入力方法

このエレメントは、回路図でのみ使用できます。

使用可能な属性

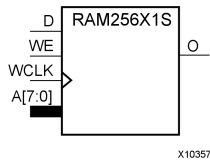
属性	データ型	値	デフォルト	説明
INIT_00 ~ INIT_07	16 進数	16 ビット値	すべて 0	RAM、レジスタ、LUT の初期値を指定します。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

RAM256X1S

プリミティブ：256-Deep by 1-Wide Random Access Memory (Select RAM)



概要

このデザイン エLEMENTは、256 ワード X 1 ビットの RAM で、同期書き込みと非同期読み出し機能を備えています。この RAM は、デバイスの LUT (SelectRAM と呼ばれる) を使用してインプリメントされるため、ブロック RAM リソースは使用しません。同期読み出しを行う場合は、出力にレジスタを付けて同じスライスに配置できます。この場合、RAM とレジスタで同じクロックを使用する必要があります。アクティブ High のライト イネーブル WE が High になると、WCLK ピンの立ち上がりエッジで D 入力データピンの値がメモリ アレイに書き込まれます。出力 O は、WE の値にかかわらず、アドレス バス A で指定されたメモリ ロケーションの値を出力します。書き込みが実行されると、その直後に出力の値が新しい値に更新されます。

ポートの説明

ポート名	方向	幅	機能
O	出力	1	アドレス バス A で指定される読み出し/書き込みポートのデータ出力
D	入力	1	アドレス バス A で指定される書き込みデータ入力
A	入力	8	読み出し/書き込みポートのアドレス バス
WE	入力	1	ライト イネーブル
WCLK	入力	1	ライト クロック (読み出しは非同期)

デザインの入力方法

このELEMENTは、回路図で使用できます。

インスタンス化する場合、このコンポーネントを次のように接続します。

- ・ WCLK 入力をクロック ソースに、D 入力を格納するデータ ソースに、O 出力を FDCE の D 入力などの適切なデスティネーションに接続します。
- ・ クロック イネーブル ピン WE は、適切なライト イネーブル ソースに接続します。
- ・ 8 ビット バス A は、読み出し/書き込みのソースに接続します。
- ・ 256 ビットの 16 進数で構成される INIT 属性で、RAM の初期値を指定できます。

指定しない場合は、初期値はすべて 0 になります。

使用可能な属性

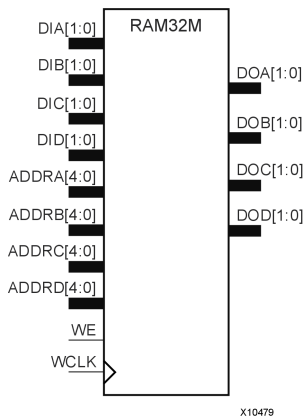
属性	データ型	値	デフォルト	説明
INIT	16 進数	256 ビット値	すべて 0	RAM の初期値を指定します。

詳細情報

- ・ [『Spartan-6 FPGA コンフィギャラブル ロジック ブロック ユーザー ガイド』\(UG384\)](#)
- ・ [『Spartan-6 FPGA データシート：DC 特性およびスイッチ特性』\(DS162\)](#)

RAM32M

プリミティブ：32-Deep by 8-bit Wide Multi Port Random Access Memory (Select RAM)



概要

このデザイン エLEMENTは、32 ワード X 8 ビットのマルチポート RAM で、同期書き込みと非同期読み出し機能を備えています。この RAM は、デバイスの LUT (SelectRAM™) を使用してインプリメントされるため、デバイスのブロック RAM リソースを使用しません。RAM32M コンポーネントは 1 つのスライスにインプリメントされ、8 ビット書き込みポート 1 つ、2 ビット読み出しポート 1 つ、および同じメモリからの 2 ビット読み出しポート 3 つから構成されています。これにより、RAM のバイト幅の書き込みと独立した 2 ビットの読み出しが可能です。DIA、DIB、DIC、および DID 入力をすべて同じデータ入力に接続すると、読み出し/書き込みポート 1 つ、独立した読み出しポート 3 つの 32x2 クワッドポートメモリになります。DID をグランドに接続した場合、DOD は使用されません。ADDRA、ADDRb、ADDRC を同じアドレスに接続すると、32x6 のシンプルデュアルポート RAM になります。ADDRd を ADDRA、ADDRb、ADDRC に接続すると、32x8 のシングルポート RAM になります。この RAM には、ほかにも可能なコンフィギュレーションがあります。

ポートの説明

ポート名	方向	幅	機能
DOA	出力	2	アドレス バス ADDRA で指定された読み出しポートのデータ出力
DOB	出力	2	アドレス バス ADDRb で指定された読み出しポートのデータ出力
DOC	出力	2	アドレス バス ADDRC で指定された読み出しポートのデータ出力
DOD	出力	2	アドレス バス ADDRd で指定された読み出し/書き込みポートのデータ出力
DIA	入力	2	ADDRd で指定された書き込みデータ入力 (読み出し出力は ADDRA で指定)
DIB	入力	2	ADDRd で指定された書き込みデータ入力 (読み出し出力は ADDRb で指定)
DIC	入力	2	ADDRd で指定された書き込みデータ入力 (読み出し出力は ADDRC で指定)
DID	入力	2	アドレス バス ADDRd で指定された書き込みデータ入力
ADDRA	入力	5	読み出しアドレス バス A

ポート名	方向	幅	機能
ADDRB	入力	5	読み出しアドレス バス B
ADDRC	入力	5	読み出しアドレス バス C
ADDRD	入力	5	8 ビットのデータ書き込みポート、2 ビットのデータ読み出しポートのアドレス バス D
WE	入力	1	ライト イネーブル
WCLK	入力	1	ライト クロック (読み出しは非同期)

デザインの入力方法

このエレメントは、回路図で使用できます。

使用可能な属性

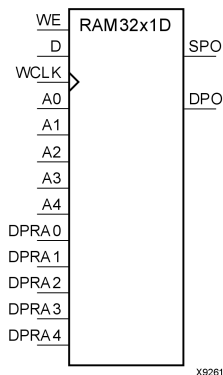
属性	データ型	値	デフォルト	説明
INIT_A	16 進数	64 ビット値	すべて 0	A ポートの RAM の初期値を指定します。
INIT_B	16 進数	64 ビット値	すべて 0	B ポートの RAM の初期値を指定します。
INIT_C	16 進数	64 ビット値	すべて 0	C ポートの RAM の初期値を指定します。
INIT_D	16 進数	64 ビット値	すべて 0	D ポートの RAM の初期値を指定します。

詳細情報

- ・ [『Spartan-6 FPGA コンフィギュラブル ロジック ブロック ユーザー ガイド』\(UG384\)](#)
- ・ [『Spartan-6 FPGA データシート：DC 特性およびスイッチ特性』\(DS162\)](#)

RAM32X1D

プリミティブ：32-Deep by 1-Wide Static Dual Port Synchronous RAM



概要

このデザイン エLEMENTは 32 ワード X 1 ビットのデュアル ポート SRAM で、同期書き込み機能を備えています。デバイスには、読み出しアドレス (DPRA4 ~ DPRA0) と書き込みアドレス (A4 ~ A0) の独立した 2 種類のアドレス ポートがあります。この 2 種類のアドレス ポートは完全に非同期です。読み出しアドレスによって出力ピン (DPO) に出力される値が指定され、書き込みアドレスによって書き込みを行う位置が指定されます。ライト イネーブル (WE) が Low の場合、ライト クロック (WCLK) の遷移は無視され、RAM に格納されている値は変化しません。WE が High の場合、WCLK が Low から High に切り替わるときに、データ入力 (D) の値が 5 ビットの書き込みアドレスで選択されたワードに書き込まれます。書き込みを正しく行うには、WCLK が Low から High に切り替わる前に、書き込みアドレスとデータ入力の値を安定させる必要があります。WCLK はデフォルトではアクティブ High ですが、インバーターを使用してアクティブ Low にすることもできます。WCLK の入力ネットに配置されたインバーターは、RAM ブロック内に組み込まれます。INIT 属性を使用すると、コンフィギュレーション中に RAM32X1D を初期化できます。モード選択を次の論理表に示します。

SPO 出力には、A4 ~ A0 で指定されたメモリ セルの値が出力されます。DPO 出力には、DPRA4 ~ DPRA0 で指定されたメモリ セルの値が出力されます。書き込み処理は、読み出しアドレス ポートのアドレスには影響されません。

論理表

入力			出力	
WE (モード)	WCLK	D	SPO	DPO
0 (読み出し)	X	X	data_a	data_d
1 (読み出し)	0	X	data_a	data_d
1 (読み出し)	1	X	data_a	data_d
1 (書き込み)	↑	D	D	data_d
1 (読み出し)	↓	X	data_a	data_d

デザインの入力方法

このELEMENTは、回路図で使用できます。

使用可能な属性

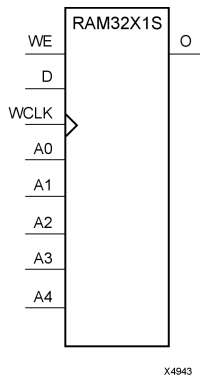
属性	タイプ	値	デフォルト	説明
INIT	16 進数	32 ビット値	すべて 0	ROM、RAM、レジスタ、LUT の初期値を指定します。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

RAM32X1S

プリミティブ：32-Deep by 1-Wide Static Synchronous RAM



概要

このデザイン エLEMENTは 32 ワード X 1 ビットの SRAM で、同期書き込み機能を備えています。ライト イネーブル (WE) が Low の場合、ライト クロック (WCLK) の遷移は無視され、RAM に格納されている値は変化しません。WE が High になると、WCLK が Low から High に切り替わる時に、データ入力 (D) の値が 5 ビットのアドレス (A4 ~ A0) で選択されたワードに書き込まれます。書き込みを正しく行うには、WCLK が Low から High に切り替わる前に、書き込みアドレスとデータ入力の値を安定させる必要があります。WCLK はデフォルトではアクティブ High ですが、インバーターを使用してアクティブ Low にすることもできます。WCLK の入力ネットに配置されたインバーターは、RAM ブロック内に組み込まれます。

出力ピン (O) に出力される値は、アドレス ピンで指定された RAM 内の位置に格納されている値です。INIT 属性を使用すると、コンフィギュレーション中に RAM32X1S を初期化できます。

論理表

入力			出力
WE (モード)	WCLK	D	O
0 (読み出し)	X	X	データ
1 (読み出し)	0	X	データ
1 (読み出し)	1	X	データ
1 (書き込み)	↑	D	D
1 (読み出し)	↓	X	データ

デザインの入力方法

このELEMENTは、回路図で使用できます。

使用可能な属性

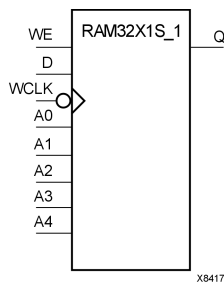
属性	タイプ	値	デフォルト	説明
INIT	16 進数	32 ビット値	すべて 0	RAM の初期値を指定します。

詳細情報

- ・ [『Spartan-6 FPGA コンフィギャラブル ロジック ブロック ユーザー ガイド』\(UG384\)](#)
- ・ [『Spartan-6 FPGA データシート：DC 特性およびスイッチ特性』\(DS162\)](#)

RAM32X1S_1

プリミティブ：32-Deep by 1-Wide Static Synchronous RAM with Negative-Edge Clock



概要

このデザイン エLEMENTは 32 ワード X 1 ビットの SRAM で、同期書き込み機能を備えています。ライト イネーブル (WE) が Low の場合、ライト クロック (WCLK) の遷移は無視され、RAM に格納されている値は変化しません。WE が High になると、WCLK が High から Low に切り替わるときに、データ入力 (D) の値が 5 ビットのアドレス (A4 ~ A0) で選択されたワードに書き込まれます。書き込みを正しく行うには、WCLK が High から Low に切り替わる前に、書き込みアドレスとデータ入力の値を安定させる必要があります。WCLK はデフォルトではアクティブ Low ですが、インバーターを使用してアクティブ High にすることもできます。WCLK の入力ネットに配置されたインバーターは、RAM ブロック内に組み込まれます。

出力ピン (O) に出力される値は、アドレス ピンで指定された RAM 内の位置に格納されている値です。INIT 属性を使用すると、コンフィギュレーション中に RAM32X1S_1 を初期化できます。

論理表

入力			出力
WE (モード)	WCLK	D	O
0 (読み出し)	X	X	データ
1 (読み出し)	0	X	データ
1 (読み出し)	1	X	データ
1 (書き込み)	↓	D	D
1 (読み出し)	↑	X	データ
データ = A4 ~ A0 で指定されたワード			

デザインの入力方法

このELEMENTは、回路図で使用できます。

使用可能な属性

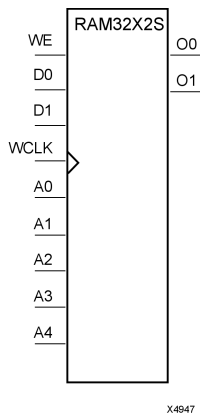
属性	タイプ	値	デフォルト	説明
INIT	16 進数	32 ビット値	0	RAM、レジスタ、LUT の初期値を指定します。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

RAM32X2S

プリミティブ：32-Deep by 2-Wide Static Synchronous RAM



概要

このデザイン エLEMENTは 32 ワード X 2 ビットの SRAM で、同期書き込み機能を備えています。ライト イネーブル (WE) が Low の場合、ライト クロック (WCLK) の遷移は無視され、RAM に格納されている値は変化しません。WE が High になると、WCLK が Low から High に切り替わるときに、入力 (D1 ~ D0) の値が 5 ビットのアドレス (A4 ~ A0) で選択されたワードに書き込まれます。書き込みを正しく行うには、WCLK が Low から High に切り替わる前に、書き込みアドレスとデータ入力の値を安定させる必要があります。WCLK はデフォルトではアクティブ High ですが、インバーターを使用してアクティブ Low にすることもできます。WCLK の入力ネットに配置されたインバーターは、RAM ブロック内に組み込まれます。出力ピン (O1 ~ O0) に出力される値は、アドレス ピンで指定された RAM 内の位置に格納されている値です。

INIT_00 および INIT_01 属性を使用して RAM32X2S の初期値を指定できます。

論理表

入力			出力
WE (モード)	WCLK	D	O0 ~ O1
0 (読み出し)	X	X	データ
1 (読み出し)	0	X	データ
1 (読み出し)	1	X	データ
1 (書き込み)	↑	D1 ~ D0	D1 ~ D0
1 (読み出し)	↓	X	データ
データ = A4 ~ A0 で指定されたワード			

デザインの入力方法

このELEMENTは、回路図で使用できます。

使用可能な属性

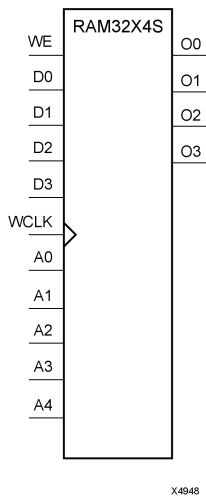
属性	タイプ	値	デフォルト	説明
INIT_00	16 進数	32 ビット値	すべて 0	RAM のビット 0 の初期値を指定します。
INIT_01	16 進数	32 ビット値	すべて 0	RAM のビット 1 の初期値を指定します。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

RAM32X4S

プリミティブ：32-Deep by 4-Wide Static Synchronous RAM



概要

このデザイン エLEMENTは 32 ワード X 4 ビットの SRAM で、同期書き込み機能を備えています。ライト イネーブル (WE) が Low の場合、ライト クロック (WCLK) の遷移は無視され、RAM に格納されている値は変化しません。WE が High になると、WCLK が Low から High に切り替わるときに、入力 (D3 ~ D0) の値が 5 ビットのアドレス (A4 ~ A0) で選択されたワードに書き込まれます。書き込みを正しく行うには、WCLK が Low から High に切り替わる前に、書き込みアドレスとデータ入力の値を安定させる必要があります。WCLK はデフォルトではアクティブ High ですが、インバーターを使用してアクティブ Low にすることもできます。WCLK の入力ネットに配置されたインバーターは、RAM ブロック内に組み込まれます。

出力ピン (O3 ~ O0) に出力される値は、アドレス ピンで指定された RAM 内の位置に格納されている値です。

論理表

入力			出力
WE	WCLK	D3 ~ D0	O3 ~ O0
0 (読み出し)	X	X	データ
1 (読み出し)	0	X	データ
1 (読み出し)	1	X	データ
1 (書き込み)	↑	D3:D0	D3:D0
1 (読み出し)	↓	X	データ
データ = A4 ~ A0 で指定されたワード			

デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

使用可能な属性

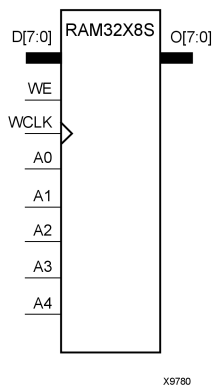
属性	データ型	値	デフォルト	説明
INIT_00	16 進数	32 ビット値	すべて 0	RAM のビット 0 の初期値を指定します。
INIT_01	16 進数	32 ビット値	すべて 0	RAM のビット 1 の初期値を指定します。
INIT_02	16 進数	32 ビット値	すべて 0	RAM のビット 2 の初期値を指定します。
INIT_03	16 進数	32 ビット値	すべて 0	RAM のビット 3 の初期値を指定します。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

RAM32X8S

プリミティブ：32-Deep by 8-Wide Static Synchronous RAM



概要

このデザイン エLEMENTは 32 ワード X 8 ビットの SRAM で、同期書き込み機能を備えています。ライト イネーブル (WE) が Low の場合、ライト クロック (WCLK) の遷移は無視され、RAM に格納されている値は変化しません。WE が High になると、WCLK が Low から High に切り替わるときに、入力 (D7 ~ D0) の値が 5 ビットのアドレス (A4 ~ A0) で選択されたワードに書き込まれます。書き込みを正しく行うには、WCLK が Low から High に切り替わる前に、書き込みアドレスとデータ入力の値を安定させる必要があります。WCLK はデフォルトではアクティブ High ですが、インバーターを使用してアクティブ Low にすることもできます。WCLK の入力ネットに配置されたインバーターは、RAM ブロック内に組み込まれます。

出力ピン (O7 ~ O0) に出力される値は、アドレス ピンで指定された RAM 内の位置に格納されている値です。

論理表

入力			出力
WE (モード)	WCLK	D7:D0	O7:O0
0 (読み出し)	X	X	データ
1 (読み出し)	0	X	データ
1 (読み出し)	1	X	データ
1 (書き込み)	↑	D7:D0	D7:D0
1 (読み出し)	↓	X	データ
データ = A4 ~ A0 で指定されたワード			

デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

使用可能な属性

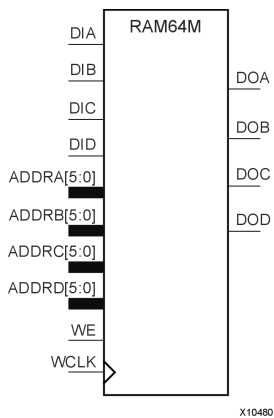
属性	データ型	値	デフォルト	説明
INIT_00	16 進数	32 ビット値	すべて 0	RAM のビット 0 の初期値を指定します。
INIT_01	16 進数	32 ビット値	すべて 0	RAM のビット 1 の初期値を指定します。
INIT_02	16 進数	32 ビット値	すべて 0	RAM のビット 2 の初期値を指定します。
INIT_03	16 進数	32 ビット値	すべて 0	RAM のビット 3 の初期値を指定します。
INIT_04	16 進数	32 ビット値	すべて 0	RAM のビット 4 の初期値を指定します。
INIT_05	16 進数	32 ビット値	すべて 0	RAM のビット 5 の初期値を指定します。
INIT_06	16 進数	32 ビット値	すべて 0	RAM のビット 6 の初期値を指定します。
INIT_07	16 進数	32 ビット値	すべて 0	RAM のビット 7 の初期値を指定します。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

RAM64M

プリミティブ：64-Deep by 4-bit Wide Multi Port Random Access Memory (Select RAM)



概要

このデザイン エLEMENTは、64 ワード X 4 ビットのマルチポート RAM で、同期書き込みと非同期読み出し機能を備えています。この RAM は、デバイスの LUT (SelectRAM™ と呼ばれる) を使用してインプリメントされるため、ブロック RAM リソースを使用しません。RAM64M コンポーネントは 1 つのスライスにインプリメントされます。4 ビット書き込みポート 1 つ、1 ビット読み出しのポート 1 つ、および同じメモリからの 1 ビット読み出しポート 3 つから構成されており、RAM の 4 ビット書き込みおよび個別ビット読み出しが可能です。DIA、DIB、DIC、および DID 入力をすべて同じデータ入力に接続すると、読み出し/書き込みポート 1 つ、独立した読み出しポート 3 つの 64x1 クワッド ポート メモリになります。DID をグラウンドに接続した場合、DOD は使用されません。ADDRA、ADDRb、ADDRc を同じアドレスに接続すると、64x3 のシングル デュアル ポート RAM になります。ADDRd を ADDRA、ADDRb、ADDRc に接続すると、64x4 のシングル ポート RAM になります。この RAM には、ほかにも可能なコンフィギュレーションがあります。

ポートの説明

ポート名	方向	幅	機能
DOA	出力	1	アドレス バス ADDRA で指定される読み出しポートのデータ出力
DOB	出力	1	アドレス バス ADDRb で指定される読み出しポートのデータ出力
DOC	出力	1	アドレス バス ADDRc で指定される読み出しポートのデータ出力
DOD	出力	1	アドレス バス ADDRd で指定される読み出し/書き込みポートのデータ出力
DIA	入力	1	ADDRd で指定される書き込みデータ入力 (読み出し出力は ADDRA で指定)
DIB	入力	1	ADDRd で指定される書き込みデータ入力 (読み出し出力は ADDRb で指定)
DIC	入力	1	ADDRd で指定される書き込みデータ入力 (読み出し出力は ADDRc で指定)
DID	入力	1	アドレス バス ADDRd で指定される書き込みデータ入力

ポート名	方向	幅	機能
ADDRA	入力	6	読み出しアドレス バス A
ADDRB	入力	6	読み出しアドレス バス B
ADDRC	入力	6	読み出しアドレス バス C
ADDRD	入力	6	4 ビットのデータ書き込みポート、1 ビットのデータ読み出しポートのアドレス バス D
WE	入力	1	ライト イネーブル
WCLK	入力	1	ライト クロック (読み出しは非同期)

デザインの入力方法

このエレメントは、回路図で使用できます。

使用可能な属性

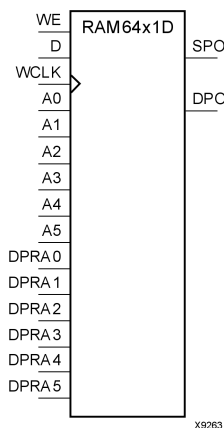
属性	データ型	値	デフォルト	説明
INIT_A	16 進数	64 ビット値	すべて 0	A ポートの RAM の初期値を指定します。
INIT_B	16 進数	64 ビット値	すべて 0	B ポートの RAM の初期値を指定します。
INIT_C	16 進数	64 ビット値	すべて 0	C ポートの RAM の初期値を指定します。
INIT_D	16 進数	64 ビット値	すべて 0	D ポートの RAM の初期値を指定します。

詳細情報

- ・ [『Spartan-6 FPGA コンフィギュラブル ロジック ブロック ユーザー ガイド』\(UG384\)](#)
- ・ [『Spartan-6 FPGA データシート：DC 特性およびスイッチ特性』\(DS162\)](#)

RAM64X1D

プリミティブ：64-Deep by 1-Wide Dual Port Static Synchronous RAM



概要

このデザイン エLEMENTは 64 ワード X 1 ビットのデュアル ポート SRAM で、同期書き込み機能を備えています。デバイスには、読み出しアドレス (DPRA5 ~ DPRA0) と書き込みアドレス (A5 ~ A0) の独立した 2 種類のアドレスポートがあります。この 2 種類のアドレスポートは完全に非同期です。読み出しアドレスによって出力ピン (DPO) に出力される値が指定され、書き込みアドレスによって書き込みを行う位置が指定されます。ライト イネーブル (WE) が Low の場合、ライト クロック (WCLK) の遷移は無視され、RAM に格納されている値は変化しません。

WE が High になると、WCLK が Low から High に切り替わる時に、データ入力 (D) の値が 6 ビットの書き込みアドレス (A0 ~ A5) で選択されたワードに書き込まれます。書き込みを正しく行うには、WCLK が Low から High に切り替わる前に、書き込みアドレスとデータ入力の値を安定させる必要があります。WCLK はデフォルトではアクティブ High ですが、インバーターを使用してアクティブ Low にすることもできます。WCLK の入力ネットに配置されたインバーターは、RAM ブロック内に組み込まれます。

SPO 出力には、A5 ~ A0 で指定されたメモリ セルの値が出力されます。DPO 出力には、DPRA5 ~ DPRA0 で指定されたメモリ セルの値が出力されます。

注記：書き込み処理は、読み出しアドレスポートのアドレスには影響されません。

論理表

入力			出力	
WE (モード)	WCLK	D	SPO	DPO
0 (読み出し)	X	X	data_a	data_d
1 (読み出し)	0	X	data_a	data_d
1 (読み出し)	1	X	data_a	data_d
1 (書き込み)	↑	D	D	data_d
1 (読み出し)	↓	X	data_a	data_d
data_a = A5 ~ A0 で指定されたワード				
data_d = DPRA5 ~ DPRA0 で指定されたワード				

デザインの入力方法

このELEMENTは、回路図で使用できます。

使用可能な属性

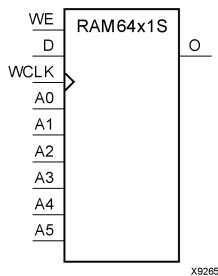
属性	データ型	値	デフォルト	説明
INIT	16 進数	64 ビット値	すべて 0	RAM の初期値を指定します。

詳細情報

- ・ [『Spartan-6 FPGA コンフィギャラブル ロジック ブロック ユーザー ガイド』\(UG384\)](#)
- ・ [『Spartan-6 FPGA データシート：DC 特性およびスイッチ特性』\(DS162\)](#)

RAM64X1S

プリミティブ：64-Deep by 1-Wide Static Synchronous RAM



概要

このデザイン エLEMENTは 64 ワード X 1 ビットの SRAM で、同期書き込み機能を備えています。ライト イネーブル (WE) が Low の場合、ライト クロック (WCLK) の遷移は無視され、RAM に格納されている値は変化しません。WE が High になると、WCLK が Low から High に切り替わるときに、データ入力 (D) の値が 6 ビットのアドレス (A5 ～ A0) で選択されたワードに書き込まれます。WCLK はデフォルトではアクティブ High ですが、インバーターを使用してアクティブ Low にすることもできます。WCLK の入力ネットに配置されたインバーターは、RAM ブロック内に組み込まれます。

出力ピン (O) に出力される値は、アドレス ピンで指定された RAM 内の位置に格納されている値です。

INIT 属性を使用すると、コンフィギュレーション中にこのELEMENTを初期化できます。

論理表

モード選択を次の論理表に示します。

入力			出力
WE (モード)	WCLK	D	O
0 (読み出し)	X	X	データ
1 (読み出し)	0	X	データ
1 (読み出し)	1	X	データ
1 (書き込み)	↑	D	D
1 (読み出し)	↓	X	データ
データ = A5 ～ A0 で指定されたワード			

デザインの入力方法

このELEMENTは、回路図で使用できます。

使用可能な属性

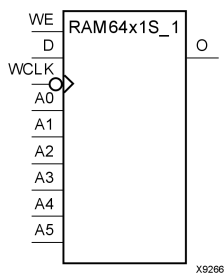
属性	データ型	値	デフォルト	説明
INIT	16 進数	64 ビット値	すべて 0	ROM、RAM、レジスタ、LUT の初期値を指定します。

詳細情報

- ・ [『Spartan-6 FPGA コンフィギャラブル ロジック ブロック ユーザー ガイド』\(UG384\)](#)
- ・ [『Spartan-6 FPGA データシート：DC 特性およびスイッチ特性』\(DS162\)](#)

RAM64X1S_1

プリミティブ：64-Deep by 1-Wide Static Synchronous RAM with Negative-Edge Clock



概要

このデザイン エLEMENTは 64 ワード X 1 ビットの SRAM で、同期書き込み機能を備えています。ライト イネーブル (WE) が Low の場合、ライト クロック (WCLK) の遷移は無視され、RAM に格納されている値は変化しません。WE が High になると、WCLK が High から Low に切り替わるときに、データ入力 (D) の値が 6 ビットのアドレス (A5 ～ A0) で選択されたワードに書き込まれます。書き込みを正しく行うには、WCLK が High から Low に切り替わる前に、書き込みアドレスとデータ入力の値を安定させる必要があります。WCLK はデフォルトではアクティブ Low ですが、インバーターを使用してアクティブ High にすることもできます。WCLK の入力ネットに配置されたインバーターは、RAM ブロック内に組み込まれます。

出力ピン (O) に出力される値は、アドレス ピンで指定された RAM 内の位置に格納されている値です。

INIT 属性を使用すると、コンフィギュレーション中にこのELEMENTを初期化できます。

論理表

入力			出力
WE (モード)	WCLK	D	O
0 (読み出し)	X	X	データ
1 (読み出し)	0	X	データ
1 (読み出し)	1	X	データ
1 (書き込み)	↓	D	D
1 (読み出し)	↑	X	データ
データ = A5 ～ A0 で指定されたワード			

デザインの入力方法

このELEMENTは、回路図で使用できます。

使用可能な属性

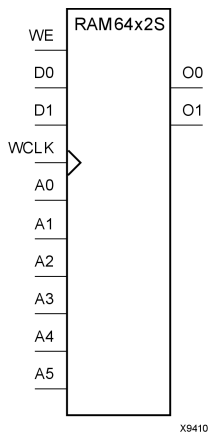
属性	データ型	値	デフォルト	説明
INIT	16 進数	64 ビット値	すべて 0	ROM、RAM、レジスタ、LUT の初期値を指定します。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

RAM64X2S

プリミティブ：64-Deep by 2-Wide Static Synchronous RAM



概要

このデザイン エLEMENTは 64 ワード X 2 ビットの SRAM で、同期書き込み機能を備えています。ライト イネーブル (WE) が Low の場合、ライト クロック (WCLK) の遷移は無視され、RAM に格納されている値は変化しません。WE が High になると、WCLK が Low から High に切り替わるときに、入力 (D1 ~ D0) の値が 6 ビットのアドレス (A5 ~ A0) で選択されたワードに書き込まれます。書き込みを正しく行うには、WCLK が Low から High に切り替わる前に、書き込みアドレスとデータ入力の値を安定させる必要があります。WCLK はデフォルトではアクティブ High ですが、インバーターを使用してアクティブ Low にすることもできます。WCLK の入力ネットに配置されたインバーターは、RAM ブロック内に組み込まれます。

出力ピン (O1 ~ O0) に出力される値は、アドレス ピンで指定された RAM 内の位置に格納されている値です。INIT_00 および INIT_01 属性を使用してこのデザイン エLEMENTの初期値を指定できます。

論理表

入力			出力
WE (モード)	WCLK	D0:D1	O0:O1
0 (読み出し)	X	X	データ
1 (読み出し)	0	X	データ
1 (読み出し)	1	X	データ
1 (書き込み)	↑	D1 ~ D0	D1 ~ D0
1 (読み出し)	↓	X	データ
データ = A5 ~ A0 で指定されたワード			

デザインの入力方法

このELEMENTは、回路図でのみ使用できます。

使用可能な属性

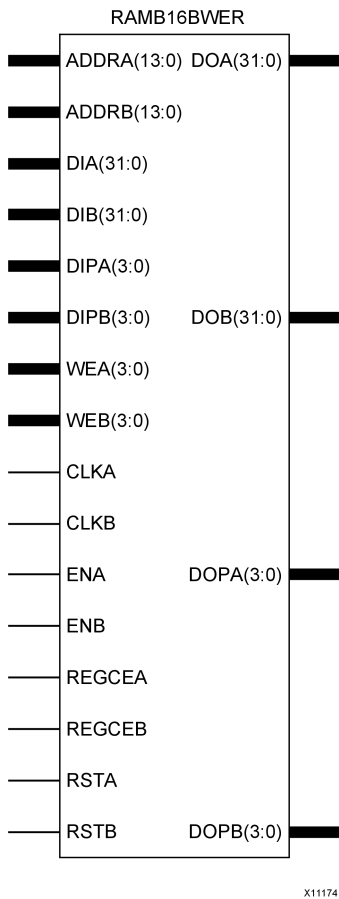
属性	データ型	値	デフォルト	説明
INIT_00	16 進数	64 ビット値	すべて 0	RAM、レジスタ、LUT の初期値を指定します。
INIT_01	16 進数	64 ビット値	すべて 0	RAM、レジスタ、LUT の初期値を指定します。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

RAMB16BWER

プリミティブ：16K-bit Data and 2K-bit Parity Configurable Synchronous Dual Port Block RAM with Optional Output Registers



概要

このエレメントには複数のブロックRAMメモリが含まれており、汎用 16kb データ + 2kb パリティ RAM/ROM メモリとしてコンフィギュレーションできます。これらのブロック RAM には、大量のオンチップ データを高速かつ柔軟に格納できます。このコンポーネントは、1 ビット X 16K ワード ~ 36 ビット X 512 ワードのシングル ポート RAM またはデュアル ポート RAM としてコンフィギュレーションできます。読み出しと書き込みは、コンポーネントに供給されるクロックに同期して実行されますが、ポート A とポート B の動作は完全に独立しており、お互いに非同期で、同じメモリ アレイにアクセスします。広いデータ幅でコンフィギュレーションすると、バイト イネーブル書き込み操作が可能になります。この RAM には、コンフィギュレーション可能な出力レジスタもあり、読み出し操作中 1 クロック サイクルのレイテンシが発生するときに RAM の clock-to-out タイムを向上させることができます。

ポートの説明

次の表に、ポート A またはポート B の DATA_WIDTH の値と、それに必要な入力接続と出力接続を示します。

DATA_WIDTH 値	DI、DIP 接続	ADDR 接続	WE 接続
1	DI[0]	ADDR[13:0]	WE[3:0] をシングル ユーザー WE 信号に接続
2	DI[1:0]	ADDR[13:1]	WE[3:0] をシングル ユーザー WE 信号に接続
4	DI[3:0]	ADDR[13:2]	WE[3:0] をシングル ユーザー WE 信号に接続
9	DI[7:0]、DIP[0]	ADDR[13:3]	WE[3:0] をシングル ユーザー WE 信号に接続
18	DI[15:0]、DIP[1:0]	ADDR[13:4]	WE[0] および WE[2] をユーザー WE[0] に、WE[1] および WE[3] をユーザー WE[1] に接続
36	DI[31:0]、DIP[3:0]	ADDR[13:5]	各 WE[3:0] 信号を関連したバイト ライト イネーブルに接続

出力レジスタが不要な場合は、代わりに RAMB16_Sm_Sn および RAMB16BWER_Sm_Sn エLEMENTをインスタンスエートできます。これらのコンポーネントのいずれかが使用されていれば、ツールで自動的に、適切にコンフィギュレーションされた RAMB16BWE エLEMENTに変換されます。

ポート名	方向	幅	機能
ADDRA[13:0]	入力	14	ポート A のアドレス入力バス。MSB は常に ADDRA[13] ですが、LSB は DATA_WIDTH_A の設定によって決まります。
ADDRB[13:0]	入力	14	ポート B のアドレス入力バス。MSB は常に ADDR[13] ですが、LSB は DATA_WIDTH_B の設定によって決まります。
CLKA	入力	1	ポート A のクロック入力
CLKB	入力	1	ポート B のクロック入力
DIA[31:0]	入力	32	ポート A のデータ入力バス
DIB[31:0]	入力	32	ポート B のデータ入力バス
DIPA[3:0]	入力	4	ポート A のパリティ入力バス
DIPB[3:0]	入力	4	ポート B のパリティ入力バス
DOA[31:0]	出力	32	ポート A のデータ出力バス
DOB[31:0]	出力	32	ポート B のデータ出力バス
DOPA[3:0]	出力	4	ポート A のパリティ出力バス
DOPB[3:0]	出力	4	ポート B のパリティ出力バス
ENA	入力	1	ポート A のイネーブル
ENB	入力	1	ポート B のイネーブル
REGCEA	入力	1	出力レジスタ クロック イネーブル
REGCEB	入力	1	出力レジスタ クロック イネーブル
RSTA	入力	1	ポート A の出力レジスタのセット/リセット。このリセットは、RSTTYPE 属性を使用して同期または非同期にコンフィギュレーションできます。
RSTB	入力	1	ポート B の出力レジスタのセット/リセット。このリセットは、RSTTYPE 属性を使用して同期または非同期にコンフィギュレーションできます。
WEA[3:0]	入力	4	ポート A のバイト幅ライト イネーブル
WEB[3:0]	入力	4	ポート B のバイト幅ライト イネーブル

デザインの入力方法

このエレメントは、回路図で使用できます。

必要な入力はすべて適切な信号に接続してください。CLKA/CLKB クロック信号をアクティブ クロックに、RSTA/RSTB リセット信号を論理 0 または適切なリセット信号に接続する必要があります。ENA/ENB は、論理 1 または適切な RAM ポート イネーブル信号のいずれかに接続します。REGCEA および REGCEB は、対応する DOA_REG または DOB_REG 属性が 1 に設定されている場合、適切な出力レジスタのクロック イネーブルまたは論理 1 に接続する必要があります。DOA_REG が 0 に設定されている場合は、REGCEA および REGCEB を論理 0 に設定する必要があります。

これらの信号に必要な接続は DATA_WIDTH の設定により変わるため、上記のポートの表で、必要なデータ入力、データ出力、ライト イネーブル、アドレスの接続情報を確認してください。ほかの出力信号はすべて未接続のままでもかまいません。使用されていない入力信号は論理 0 に接続してください。

使用可能な属性

属性	データ型	値	デフォルト	説明
DATA_WIDTH_A	整数	0、1、2、4、9、18、36	0	ポート A のコンフィギュレーション可能なデータ幅を指定します。ポート B の幅と同じにする必要はありません。
DATA_WIDTH_B	整数	0、1、2、4、9、18、36	0	ポート B のコンフィギュレーション可能なデータ幅を指定します。ポート A の幅と同じにする必要はありません。
DOA_REG	整数	0、1	0	ポート A の出力レジスタを使用する場合は 1 に設定します。
DOB_REG	整数	0、1	0	ポート B の出力レジスタを使用する場合は 1 に設定します。
EN_RSTRAM_A	文字列	"TRUE"、"FALSE"	"TRUE"	"FALSE" に設定するとポート A の RST 機能がディスエーブルになり、"TRUE" に設定するとイネーブルになります。
EN_RSTRAM_B	文字列	"TRUE"、"FALSE"	"TRUE"	"FALSE" に設定するとポート B の RST 機能がディスエーブルになり、"TRUE" に設定するとイネーブルになります。
INIT_A	16 進数	36'h000000000 ~ 36'hffffff	すべて 0	コンフィギュレーション後のポート A の出力の初期値を指定します。
INIT_B	16 進数	36'h000000000 ~ 36'hffffff	すべて 0	コンフィギュレーション後のポート B の出力の初期値を指定します。
INIT_FILE	文字列	ファイルの名前と場所	なし	初期 RAM の内容を指定するファイル名
INIT_00 ~ INIT_3F	16 進数	256 ビット値	すべて 0	16kb のデータ メモリ アレイの初期内容を指定します。
INITP_01 ~ INITP_07	16 進数	256 ビット値	すべて 0	2kb のパリティ メモリ アレイの初期内容を指定します。
RST_PRIORITY_A	文字列	"CE"、"SR"	"CE"	DOA_REG=0 の場合はポート A の RAM の EN と RST ピンの間の優先順位を決定し、DOA_REG=1 (オプションの出力レジスタを使用) の場合は REGCE と RST の間の優先順位を決定します。
RST_PRIORITY_B	文字列	"CE"、"SR"	"CE"	DOB_REG=0 の場合はポート B の RAM の EN と RST ピンの間の優先順位を決定し、DOB_REG=1 (オプションの出力レジスタを使用) の場合は REGCE と RST の間の優先順位を決定します。

属性	データ型	値	デフォルト	説明
RSTTYPE	文字列	"SYNC"、"ASYNC"	"SYNC"	RAM の出力のリセット機能を同期または非同期に設定します。タイミングの向上と回路の安定性の点から、非同期リセットが必要でない限り "SYNC" に設定してください。
SIM_COLLISION_CHECK	文字列	"ALL"、 "GENERATE_X_ONLY"、 "WARNING_ONLY"、 "NONE"	"ALL"	<p>メモリの競合が発生した場合のシミュレーションの動作を指定します。</p> <ul style="list-style-type: none"> ・ "ALL" : 警告メッセージが出力され、関連する出力およびメモリの値が不定 (X) になります。 ・ "WARNING_ONLY" : 警告メッセージのみが出力され、関連する出力およびメモリの値はそのまま保持されます。 ・ "GENERATE_X_ONLY" : 警告メッセージは出力されず、関連する出力およびメモリの値が不定 (X) になります。 ・ "NONE" : 警告メッセージは出力されず、関連する出力およびメモリの値はそのまま保持されます。 <p>注記 : "ALL" 以外の値に設定すると、シミュレーション中にデザインの問題を認識できなくなるため、この値を変更する場合は注意が必要です。</p>
SRVAL_A	16 進数	36'h000000000 ~ 36'hffffff	すべて 0	リセット信号 (RSTA) がアサートされたときのポート A の出力値を指定します。
SRVAL_B	16 進数	36'h000000000 ~ 36'hffffff	すべて 0	リセット信号 (RSTB) がアサートされたときのポート B の出力値を指定します。
WRITE_MODE_A	文字列	"WRITE_FIRST"、 "READ_FIRST"、 "NO_CHANGE"	"WRITE_FIRST"	<p>書き込みが実行されるときポートの動作を指定します。</p> <ul style="list-style-type: none"> ・ "WRITE_FIRST" : 書き込まれた値が出力ポートに出力されます。 ・ "READ_FIRST" : 書き込み前にそのメモリロケーションに格納されていた値が出力ポートに出力されます。 ・ "NO_CHANGE" : 出力ポートの以前の値が保持されます。
WRITE_MODE_B	文字列	"WRITE_FIRST"、 "READ_FIRST"、 "NO_CHANGE"	"WRITE_FIRST"	<p>書き込みが実行されるときポートの動作を指定します。</p> <ul style="list-style-type: none"> ・ "WRITE_FIRST" : 書き込まれた値が出力ポートに出力されます。 ・ "READ_FIRST" : 書き込み前にそのメモリロケーションに格納されていた値が出力ポートに出力されます。

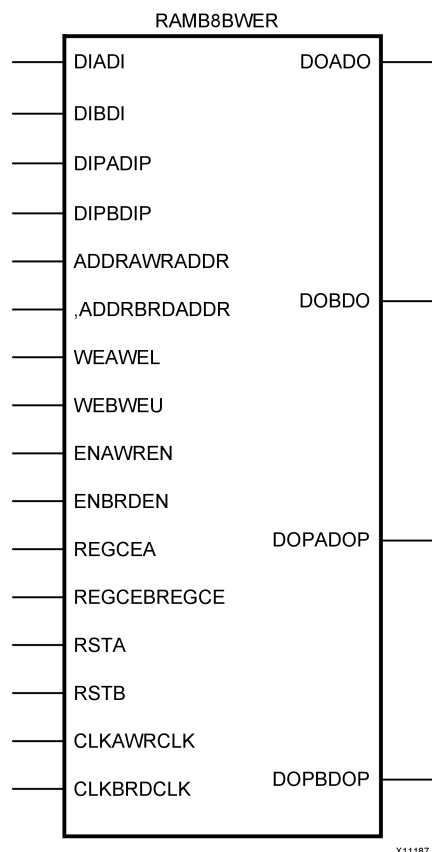
属性	データ型	値	デフォルト	説明
				・ “NO_CHANGE”：出力ポートの以前の値が保持されます。

詳細情報

- ・ [『Spartan-6 FPGA ブロック RAM ユーザー ガイド』\(UG383\)](#)
- ・ [『Spartan-6 FPGA データシート：DC 特性およびスイッチ特性』\(DS162\)](#)

RAMB8BWER

プリミティブ : 8K-bit Data and 1K-bit Parity Configurable Synchronous Dual Port Block RAM with Optional Output Registers



概要

Spartan®-6 デバイスにはブロック RAM が数個含まれ、汎用 RAM/ROM としてコンフィギュレーションできます。これらのブロック RAM には、大量のオンチップ データを高速かつ柔軟に格納できます。RAMB18E1 を使用すると、8KB データと 1KB パリティ のコンフィギュレーションでブロック RAM にアクセスできます。このエレメントは、1 ビット X 8K ワード ~ 18 ビット X 512 ワードの完全なデュアル ポート RAM としてコンフィギュレーションできます。また 36 ビット幅 X 246 ワードのシングル デュアル ポート RAM にコンフィギュレーションすることもできます。読み出しと書き込みは、コンポーネントに供給されるクロックに同期して実行されますが、読み出しポートと書き込みポートは完全に独立しており、お互いに非同期で、同じメモリ アレイにアクセスします。広いデータ幅でコンフィギュレーションすると、バイト イネーブル書き込み操作が可能になります。この RAM には、コンフィギュレーション可能な出力レジスタもあり、読み出し操作中 1 クロック サイクルのレイテンシが発生するときに RAM の clock-to-out タイムを向上させることができます。

ポートの説明

ポート名	方向	幅	機能
ADDRAWRADDR[12:0]	入力	13	RAM_MODE="TDP" の場合のポート A のアドレス入力バス。MSB は常に ADDRAWRADDR[12] ですが、LSB は DATA_WIDTH_A の設定によって決まります。RAM_MODE="SDP" の場合は書き込みアドレス入力バスです。
ADDRBRDADDR[12:0]	入力	13	RAM_MODE="TDP" の場合のポート B のアドレス入力バス。MSB は常に ADDRBRWADDR[12] ですが、LSB は DATA_WIDTH_B の設定によって決まります。RAM_MODE="SDP" の場合は書き込みアドレス入力バスです。
CLKAWRCLK	入力	1	ポート B クロック入力/書き込みクロック入力
CLKBRDCLK	入力	1	ポート B クロック入力/読み出しクロック入力
DIADI[15:0]	入力	16	RAM_MODE="TDP" の場合はポート A のデータ入力バスで、RAM_MODE="SDP" の場合は WRADDR で指定されたデータ入力バスです。SDP モードでは、DIADI は論理 DI[15:0] です。
DIBDI[15:0]	入力	16	RAM_MODE="TDP" の場合はポート B のデータ入力バスで、RAM_MODE="SDP" の場合は WRADDR で指定されたデータ入力バスです。SDP モードでは、DIBDI は論理 DI[31:16] です。
DIPADIP[1:0]	入力	2	RAM_MODE="TDP" の場合はポート A のパリティ データ入力バスで、RAM_MODE="SDP" の場合は WRADDR で指定されたデータ パリティ入力バスです。SDP モードでは、DIPADIP は論理 DIP[1:0] です。
DIPBDIP[1:0]	入力	2	RAM_MODE="TDP" の場合はポート B のデータ パリティ入力バスで、RAM_MODE="SDP" の場合は WRADDR で指定されたデータ パリティ入力バスです。SDP モードでは、DIPBDIP は論理 DIP[3:2] です。
DOADO[15:0]	出力	16	ポート A データ出力バス/RDADDR でアドレス指定されるデータ出力バス。RAM_MODE="SDP" の場合、DOADO は論理 DO[15:0] です。
DOBDO[15:0]	出力	16	ポート B データ出力バス/RDADDR でアドレス指定されるデータ出力バス。RAM_MODE="SDP" の場合、DOBDO は論理 DO[31:16] です。
DOPADOP[1:0]	出力	2	ポート A パリティ データ出力バス/RDADDR でアドレス指定されるパリティ データ出力バス。RAM_MODE="SDP" の場合、DOPADOP は論理 DOP[1:0] です。
DOPBDOP[1:0]	出力	2	ポート B パリティ データ出力バス/RDADDR でアドレス指定されるパリティ データ出力バス。RAM_MODE="SDP" の場合、DOPBDOP は論理 DOP[3:2] です。
ENAWREN	入力	1	ポート A の RAM イネーブル/ライト イネーブル
ENBRDEN	入力	1	ポート B の RAM イネーブル/リード イネーブル
REGCEA	入力	1	ポート A の出力レジスタのクロック イネーブル入力 (DOA.REG=1 の場合にのみ有効)。RAM_MODE="SDP" の場合は使用されません。
REGCEBREGCE	入力	1	ポート B の出力レジスタのクロック イネーブル入力 (DOB.REG=1 の場合にのみ有効)。RAM_MODE="SDP" の場合は、出力レジスタのクロック イネーブル入力です。

ポート名	方向	幅	機能
RSTA	入力	1	ポート A を SRVAL_A で指定される値にセット/リセットします。このリセットは、RSTTYPE 属性を使用して同期または非同期にコンフィギュレーションできます。出力レジスタ (DOA_REG=1) および出力ラッチの出力値に影響します。RAM_MODE="SDP" の場合は使用されません。
RSTBRST	入力	1	ポート B を SRVAL_B で指定される値にセット/リセットします。このリセットは、RSTTYPE 属性を使用して同期または非同期にコンフィギュレーションできます。出力レジスタ (DOB_REG=1) および出力ラッチの出力値に影響します。RAM_MODE="SDP" の場合は、リセット入力になります。
WEAWEL	入力	2	TDP モードではポート A のバイト幅ライト イネーブル、SDP モードでは論理 WE[1:0] です。
WEBWEU	入力	2	TDP モードではポート B のバイト幅ライト イネーブル、SDP モードでは論理 WE[3:2] です。

デザインの入力方法

このエレメントは、回路図で使用できます。

使用可能な属性

属性	データ型	値	デフォルト	説明
DATA_WIDTH_A	整数	0、1、2、4、9、18、36	0	ポート A のコンフィギュレーション可能なデータ幅を指定します。ポート B の幅と同じにする必要はありません。幅 36 は、SDP モードでのみ有効です。
DATA_WIDTH_B	整数	0、1、2、4、9、18、36	0	ポート B のコンフィギュレーション可能なデータ幅を指定します。ポート A の幅と同じにする必要はありません。幅 36 は、SDP モードでのみ有効です。
DOA_REG	整数	0、1	0	ポート A の出力レジスタを使用する場合は 1 に設定します。TDP モードではポート A に、SDP モードでは下位 18 ビット (パリティビットを含む) に適用されます。
DOB_REG	整数	0、1	0	ポート B の出力レジスタを使用する場合は 1 に設定します。TDP モードではポート B に、SDP モードでは上位 18 ビット (パリティビットを含む) に適用されます。
EN_RSTRAM_A	文字列	"TRUE"、"FALSE"	"TRUE"	"FALSE" に設定するとポート A の RST 機能がディスエーブルになり、"TRUE" に設定するとイネーブルになります。
EN_RSTRAM_B	文字列	"TRUE"、"FALSE"	"TRUE"	"FALSE" に設定するとポート B の RST 機能がディスエーブルになり、"TRUE" に設定するとイネーブルになります。
INIT_A	16 進数	18'h00000 ~ 18'h3fff	すべて 0	コンフィギュレーション後のポート A の出力の初期値を指定します。TDP モードではポート A に、SDP モードでは下位 18 ビット (パリティビットを含む) に適用されます。
INIT_B	16 進数	18'h00000 ~ 18'h3fff	すべて 0	コンフィギュレーション後のポート B の出力の初期値を指定します。TDP モードではポート B に、SDP モードでは上位 18 ビット (パリティビットを含む) に適用されます。

属性	データ型	値	デフォルト	説明
INIT_FILE	文字列	ファイルの名前と場所	なし	RAM の初期内容を記述するファイルの名前を指定します。
INIT_00 ~ INIT_1F	16 進数	256 ビット値	すべて 0	8KB のデータ メモリ アレイの初期値を指定します。
INITP_01 ~ INITP_03	16 進数	256 ビット値	すべて 0	1KB のパリティ データ メモリ アレイの初期値を指定します。
RAM_MODE	文字列	"TDP"、"SDP"	"TDP"	"SDP" に設定するとこのエレメントがシングル デュアル ポート RAM (1 つのポートは書き込みのみ、もう 1 つのポートは読み出しのみ) としてコンフィギュレーションされ、"TDP" に設定すると完全なデュアル ポート RAM (一方または両方のポートで読み出し/書き込み可能) としてコンフィギュレーションされます。
RST_PRIORITY_A	文字列	"CE"、"SR"	"CE"	DOA_REG=0 の場合はポート A の RAM EN と RST ピンの間の優先順位を決定し、DOA_REG=1 (オプションの出力レジスタを使用) の場合は REGCE と RST の間の優先順位を決定します。
RST_PRIORITY_B	文字列	"CE"、"SR"	"CE"	DOB_REG=0 の場合はポート B の RAM EN と RST ピンの間の優先順位を決定し、DOB_REG=1 (オプションの出力レジスタを使用) の場合は REGCE と RST の間の優先順位を決定します。
RSTTYPE	文字列	"SYNC"、"ASYN"	"SYNC"	RAM の出力のリセット機能を同期または非同期に設定します。タイミングの向上と回路の安定性の点から、非同期リセットが必要でない限り "SYNC" に設定してください。
SIM_COLLISION_CHECK	文字列	"ALL"、 "GENERATE_X_ONLY"、 "WARNING_ONLY"、 "NONE"	"ALL"	<p>メモリの競合が発生した場合のシミュレーションの動作を指定します。</p> <ul style="list-style-type: none"> ・ "ALL" : 警告メッセージが出力され、関連する出力およびメモリの値が不定 (X) になります。 ・ "WARNING_ONLY" : 警告メッセージのみが出力され、関連する出力およびメモリの値はそのまま保持されます。 ・ "GENERATE_X_ONLY" : 警告メッセージは出力されず、関連する出力およびメモリの値が不定 (X) になります。 ・ "NONE" : 警告メッセージは出力されず、関連する出力およびメモリの値はそのまま保持されます。 <p>注記： "ALL" 以外の値に設定すると、シミュレーション中にデザインの問題を認識できなくなるため、この値を変更する場合は注意が必要です。</p>

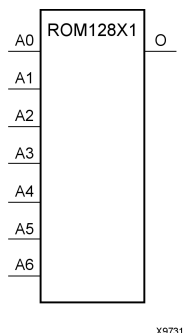
属性	データ型	値	デフォルト	説明
SRVAL_A	16 進数	18'h00000 ~ 18'h3fff	すべて 0	リセット信号 (RSTA) がアサートされたときのポート A の出力値を指定します。TDP モードではポート A に適用されます。SDP モードでは、ポート幅が 18 ビット以下の場合 SRVAL_A のみを使用し、ポート幅が 18 ビットより広い場合は SRVAL_A は下位 18 ビット (パリティビットを含む) に適用されます。
SRVAL_B	16 進数	18'h00000 ~ 18'h3fff	すべて 0	リセット信号 (RSTB) がアサートされたときのポート B の出力値を指定します。TDP モードではポート B に適用されます。SDP モードでは、ポート幅が 18 ビット以下の場合 SRVAL_A のみを使用し、ポート幅が 18 ビットより広い場合は SRVAL_B は上位 18 ビット (パリティビットを含む) に適用されます。
WRITE_MODE_A	文字列	"WRITE_FIRST"、 "READ_FIRST"、 "NO_CHANGE"	"WRITE_FIRST"	書き込みが実行されるときポートの動作を指定します。 <ul style="list-style-type: none"> ・ "WRITE_FIRST" : 書き込まれた値が出力ポートに出力されます。 ・ "READ_FIRST" : 書き込み前にそのメモリロケーションに格納されていた値が出力ポートに出力されます。 ・ "NO_CHANGE" : 出力ポートの以前の値が保持されます。 RAM_MODE が "SDP" に設定されている場合、WRITE_MODE_A を "READ_FIRST" (両方のポートで共通クロックを使用する場合) または "WRITE_FIRST" (両方のポートで異なるクロックを使用する場合) に設定する必要があります。
WRITE_MODE_B	文字列	"WRITE_FIRST"、 "READ_FIRST"、 "NO_CHANGE"	"WRITE_FIRST"	書き込みが実行されるときポートの動作を指定します。 <ul style="list-style-type: none"> ・ "WRITE_FIRST" : 書き込まれた値が出力ポートに出力されます。 ・ "READ_FIRST" : 書き込み前にそのメモリロケーションに格納されていた値が出力ポートに出力されます。 ・ "NO_CHANGE" : 出力ポートの以前の値が保持されます。 RAM_MODE が "SDP" に設定されている場合、WRITE_MODE_B を "READ_FIRST" (両方のポートで共通クロックを使用する場合) または "WRITE_FIRST" (両方のポートで異なるクロックを使用する場合) に設定する必要があります。

詳細情報

- ・ [Spartan-6 FPGA ブロック RAM ユーザー ガイド](#)
- ・ [Spartan-6 FPGA データシート：DC 特性およびスイッチ特性](#)

ROM128X1

プリミティブ：128-Deep by 1-Wide ROM



X9731

概要

このデザイン エLEMENTは 128 ワード X 1 ビットの ROM です。データ出力 (O) には、7 ビットのアドレス (A6 ~ A0) で選択されたワードが出力されます。ROM は、コンフィギュレーションの際に INIT で指定された値に初期化されます。初期値は 32 桁の 16 進数で、ROM には最上位ビット A=FH から最下位ビット A=0H の順に書き込まれます。INIT を指定しないと、エラーが発生します。

論理表

入力				出力
I0	I1	I2	I3	O
0	0	0	0	INIT(0)
0	0	0	1	INIT(1)
0	0	1	0	INIT(2)
0	0	1	1	INIT(3)
0	1	0	0	INIT(4)
0	1	0	1	INIT(5)
0	1	1	0	INIT(6)
0	1	1	1	INIT(7)
1	0	0	0	INIT(8)
1	0	0	1	INIT(9)
1	0	1	0	INIT(10)
1	0	1	1	INIT(11)
1	1	0	0	INIT(12)
1	1	0	1	INIT(13)
1	1	1	0	INIT(14)
1	1	1	1	INIT(15)

デザインの入力方法

このELEMENTは、回路図で使用できます。

使用可能な属性

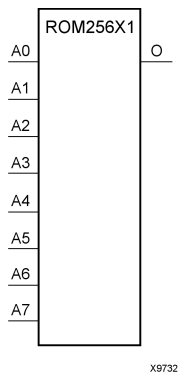
属性	データ型	値	デフォルト	説明
INIT	16 進数	128 ビット値	すべて 0	ROM の値を指定します。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

ROM256X1

プリミティブ：256-Deep by 1-Wide ROM



概要

このデザイン エLEMENTは 256 ワード X 1 ビットの ROM です。データ出力 (O) には、8 ビットのアドレス (A7 ～ A0) で選択されたワードが出力されます。ROM は、コンフィギュレーションの際に INIT で指定された値に初期化されます。初期値は 64 桁の 16 進数で、ROM には最上位ビット A=FH から最下位ビット A=0H の順に書き込まれます。

INIT を指定しないと、エラーが発生します。

論理表

入力				出力
I0	I1	I2	I3	O
0	0	0	0	INIT(0)
0	0	0	1	INIT(1)
0	0	1	0	INIT(2)
0	0	1	1	INIT(3)
0	1	0	0	INIT(4)
0	1	0	1	INIT(5)
0	1	1	0	INIT(6)
0	1	1	1	INIT(7)
1	0	0	0	INIT(8)
1	0	0	1	INIT(9)
1	0	1	0	INIT(10)
1	0	1	1	INIT(11)
1	1	0	0	INIT(12)
1	1	0	1	INIT(13)
1	1	1	0	INIT(14)
1	1	1	1	INIT(15)

デザインの入力方法

このエレメントは、回路図で使用できます。

使用可能な属性

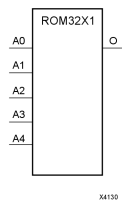
属性	データ型	値	デフォルト	説明
INIT	16 進数	256 ビット値	すべて 0	ROM の値を指定します。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

ROM32X1

プリミティブ : 32-Deep by 1-Wide ROM



概要

このデザイン エLEMENTは 32 ワード X 1 ビットの ROM です。データ出力 (O) には、5 ビットのアドレス (A4 ~ A0) で選択されたワードが出力されます。ROM は、コンフィギュレーションの際に INIT で指定された値に初期化されます。初期値は 8 桁の 16 進数で、ROM には最上位ビット A=1FH から最下位ビット A=00H の順に書き込まれます。

たとえば INIT=10A78F39 と指定すると、「0001 0000 1010 0111 1000 1111 0011」というデータストリームが生成されます。INIT を指定しないと、エラーが発生します。

論理表

入力				出力
I0	I1	I2	I3	O
0	0	0	0	INIT(0)
0	0	0	1	INIT(1)
0	0	1	0	INIT(2)
0	0	1	1	INIT(3)
0	1	0	0	INIT(4)
0	1	0	1	INIT(5)
0	1	1	0	INIT(6)
0	1	1	1	INIT(7)
1	0	0	0	INIT(8)
1	0	0	1	INIT(9)
1	0	1	0	INIT(10)
1	0	1	1	INIT(11)
1	1	0	0	INIT(12)
1	1	0	1	INIT(13)
1	1	1	0	INIT(14)
1	1	1	1	INIT(15)

デザインの入力方法

このELEMENTは、回路図で使用できます。

使用可能な属性

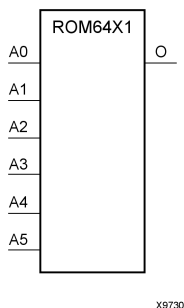
属性	タイプ	値	デフォルト	説明
INIT	16 進数	32 ビット値	すべて 0	ROM の値を指定します。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

ROM64X1

プリミティブ：64-Deep by 1-Wide ROM



概要

このデザイン エLEMENTは 64 ワード X 1 ビットの ROM です。データ出力 (O) には、6 ビットのアドレス (A5 ～ A0) で選択されたワードが出力されます。ROM は、コンフィギュレーションの際に INIT で指定された値に初期化されます。初期値は 16 桁の 16 進数で、ROM には最上位ビット A=FH から最下位ビット A=0H の順に書き込まれます。INIT を指定しないと、エラーが発生します。

論理表

入力				出力
I0	I1	I2	I3	O
0	0	0	0	INIT(0)
0	0	0	1	INIT(1)
0	0	1	0	INIT(2)
0	0	1	1	INIT(3)
0	1	0	0	INIT(4)
0	1	0	1	INIT(5)
0	1	1	0	INIT(6)
0	1	1	1	INIT(7)
1	0	0	0	INIT(8)
1	0	0	1	INIT(9)
1	0	1	0	INIT(10)
1	0	1	1	INIT(11)
1	1	0	0	INIT(12)
1	1	0	1	INIT(13)
1	1	1	0	INIT(14)
1	1	1	1	INIT(15)

デザインの入力方法

このELEMENTは、回路図で使用できます。

使用可能な属性

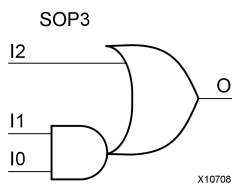
属性	データ型	値	デフォルト	説明
INIT	16 進数	64 ビット値	すべて 0	ROM の値を指定します。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

SOP3

マクロ：3-Input Sum of Products



概要

このデザイン エLEMENTは 3 入力の積和 (SOP) マクロで、1 個の AND 出力と 1 個の直接入力を OR ゲートに入力することにより一般的なロジック ファンクションを提供します。反転入力と非反転入力をさまざまに組み合わせたものがあります。

デザインの入力方法

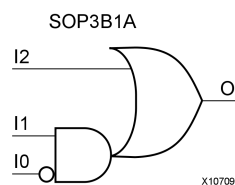
このELEMENTは、回路図でのみ使用できます。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

SOP3B1A

マクロ : 3-Input Sum of Products with One Inverted Input (Option A)



概要

このデザイン エレメントは 3 入力の積和 (SOP) マクロで、1 個の AND 出力と 1 個の直接入力を OR ゲートに入力することにより一般的なロジック ファンクションを提供します。反転入力と非反転入力をさまざまに組み合わせたものがあります。

デザインの入力方法

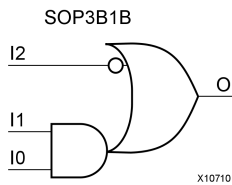
このエレメントは、回路図でのみ使用できます。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

SOP3B1B

マクロ : 3-Input Sum of Products with One Inverted Input (Option B)



概要

このデザイン エレメントは 3 入力の積和 (SOP) マクロで、1 個の AND 出力と 1 個の直接入力を OR ゲートに入力することにより一般的なロジック ファンクションを提供します。反転入力と非反転入力をさまざまに組み合わせたものがあります。

デザインの入力方法

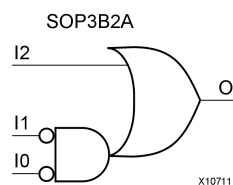
このエレメントは、回路図でのみ使用できます。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

SOP3B2A

マクロ : 3-Input Sum of Products with Two Inverted Inputs (Option A)



概要

このデザイン エLEMENTは 3 入力の積和 (SOP) マクロで、1 個の AND 出力と 1 個の直接入力を OR ゲートに入力することにより一般的なロジック ファンクションを提供します。反転入力と非反転入力をさまざまに組み合わせたものがあります。

デザインの入力方法

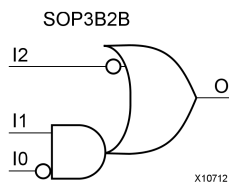
このELEMENTは、回路図でのみ使用できます。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

SOP3B2B

マクロ : 3-Input Sum of Products with Two Inverted Inputs (Option B)



概要

このデザイン エレメントは 3 入力の積和 (SOP) マクロで、1 個の AND 出力と 1 個の直接入力を OR ゲートに入力することにより一般的なロジック ファンクションを提供します。反転入力と非反転入力をさまざまに組み合わせたものがあります。

デザインの入力方法

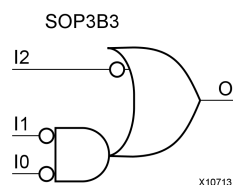
このエレメントは、回路図でのみ使用できます。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

SOP3B3

マクロ : 3-Input Sum of Products with Inverted Inputs



概要

このデザイン エレメントは 3 入力の積和 (SOP) マクロで、1 個の AND 出力と 1 個の直接入力を OR ゲートに入力することにより一般的なロジック ファンクションを提供します。反転入力と非反転入力をさまざまに組み合わせたものがあります。

デザインの入力方法

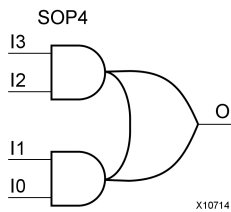
このエレメントは、回路図でのみ使用できます。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

SOP4

マクロ：4-Input Sum of Products



概要

このデザイン エLEMENTは 4 入力の積和 (SOP) マクロで、2 個の AND 出力を OR ゲートに入力することにより一般的なロジック ファンクションを提供します。反転入力と非反転入力をさまざまに組み合わせたものがあります。

デザインの入力方法

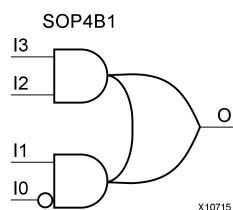
このELEMENTは、回路図でのみ使用できます。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

SOP4B1

マクロ：4-Input Sum of Products with One Inverted Input



概要

このデザイン エLEMENTは 4 入力の積和 (SOP) マクロで、2 個の AND 出力を OR ゲートに入力することにより一般的なロジック ファンクションを提供します。反転入力と非反転入力をさまざまに組み合わせたものがあります。

デザインの入力方法

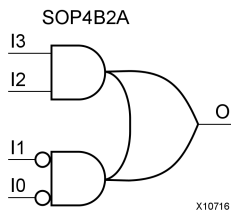
このELEMENTは、回路図でのみ使用できます。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

SOP4B2A

マクロ : 4-Input Sum of Products with Two Inverted Inputs (Option A)



概要

このデザイン エLEMENTは 4 入力の積和 (SOP) マクロで、2 個の AND 出力を OR ゲートに入力することにより一般的なロジック ファンクションを提供します。反転入力と非反転入力をさまざまに組み合わせたものがあります。

デザインの入力方法

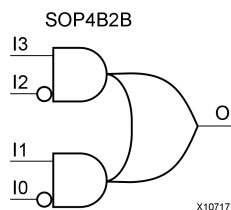
このELEMENTは、回路図でのみ使用できます。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

SOP4B2B

マクロ：4-Input Sum of Products with Two Inverted Inputs (Option B)



概要

このデザイン エLEMENTは 4 入力の積和 (SOP) マクロで、2 個の AND 出力を OR ゲートに入力することにより一般的なロジック ファンクションを提供します。反転入力と非反転入力をさまざまに組み合わせたものがあります。

デザインの入力方法

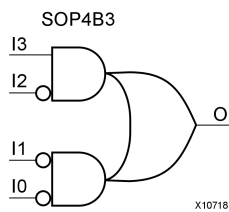
このELEMENTは、回路図でのみ使用できます。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

SOP4B3

マクロ : 4-Input Sum of Products with Three Inverted Inputs



概要

このデザイン エLEMENTは 4 入力の積和 (SOP) マクロで、2 個の AND 出力を OR ゲートに入力することにより一般的なロジック ファンクションを提供します。反転入力と非反転入力をさまざまに組み合わせたものがあります。

デザインの入力方法

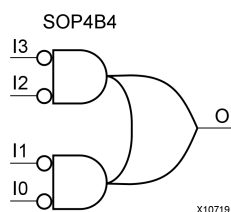
このELEMENTは、回路図でのみ使用できます。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

SOP4B4

マクロ：4-Input Sum of Products with Inverted Inputs



概要

このデザイン エLEMENTは 4 入力の積和 (SOP) マクロで、2 個の AND 出力を OR ゲートに入力することにより一般的なロジック ファンクションを提供します。反転入力と非反転入力をさまざまに組み合わせたものがあります。

デザインの入力方法

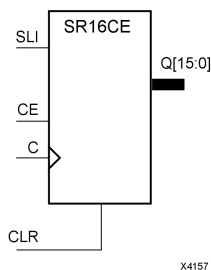
このELEMENTは、回路図でのみ使用できます。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

SR16CE

マクロ : 16-Bit Serial-In Parallel-Out Shift Register with Clock Enable and Asynchronous Clear



概要

このデザイン エLEMENTはシフトレジスタで、シフト レフト シリアル入力 (SLI)、パラレル出力 (Q)、クロック イネーブル (CE)、非同期クリア入力 (CLR) があります。CLR 入力が高レベルになると、ほかのすべての入力は無視され、出力 (Q) が Low にリセットされます。CE が High で CLR が Low の場合、クロック (C) が Low から High に切り替わるたびに SLI 入力の値がシフトレジスタの第 1 ビットにロードされ、Q0 に出力されます。次にクロックが Low から High に切り替わるたびに CE が High で CLR が Low の場合、値が次の高位ビットの位置にシフトされ、新しい値が Q0 にロードされます (SLI → Q0、Q0 → Q1、Q1 → Q2 など)。CE が Low の場合は、クロック遷移は無視されます。

最後の Q 出力を次の段の SLI 入力に接続し、クロック、CE、CLR を並列に接続すると、複数のレジスタをカスケード接続できます。

電力を供給すると、レジスタは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

入力				出力	
CLR	CE	SLI	C	Q0	Qz:Q1
1	X	X	X	0	0
0	0	X	X	変化なし	変化なし
0	1	SLI	↑	SLI	qn-1
z = ビット幅 - 1					
qn-1 = アクティブなクロック エッジの 1 セットアップ タイム前の対応する出力の値					

デザインの入力方法

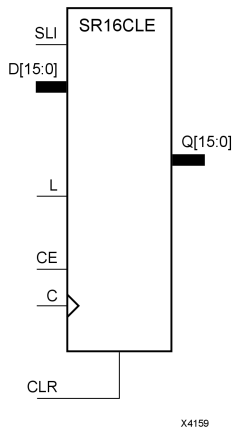
このELEMENTは、回路図でのみ使用できます。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

SR16CLE

マクロ：16-Bit Loadable Serial/Parallel-In Parallel-Out Shift Register with Clock Enable and Asynchronous Clear



概要

このデザイン エLEMENTはシフトレジスタで、シフトレフトシリアル入力 (SLI)、パラレル入力 (D)、パラレル出力 (Q) に加え、クロックイネーブル (CE)、ロードイネーブル (L)、非同期クリア (CLR) の3つの制御入力があります。LとCEがLowの場合、クロック遷移は無視されます。CLRがHighになると、ほかのすべての入力は無視され、出力 (Q) がLowにリセットされます。LがHighでCLRがLowの場合、クロック (C) がLowからHighに切り替わる時に、Dn ~ D0 入力の値が対応する Qn ~ Q0 ビットにロードされます。

CEがHighでLおよびCLRがLowの場合、CがLowからHighに切り替わる時に、SLI 入力の値がシフトレジスタの第1ビットにロードされ、Q0に出力されます。次のクロック遷移でCEがHigh、LとCLRがLowの場合、値が次の高位ビットの位置にシフトされ、新しい値がQ0にロードされます (SLI → Q0、Q0 → Q1、Q1 → Q2 など)。

最後のQ出力を次の段のSLI入力に接続し、クロック、CE、L、CLRを並列に接続すると、複数のレジスタをカスケード接続できます。

電力を供給すると、レジスタは非同期にクリアされ、出力がLowになります。FPGAでは、グローバルセット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSRのデフォルトはアクティブHighですが、STARTUP_architecture シンボルのGSR入力の前にインバーターを追加するとアクティブLowにできます。

論理表

入力						出力	
CLR	L	CE	SLI	Dn:D0	C	Q0	Qz:Q1
1	X	X	X	X	X	0	0
0	1	X	X	Dn:D0	↑	D0	Dn
0	0	1	SLI	X	↑	SLI	qn-1
0	0	0	X	X	X	変化なし	変化なし
z = ビット幅 -1							
qn-1 = アクティブなクロック エッジの1セットアップタイム前の対応する出力の値							

デザインの入力方法

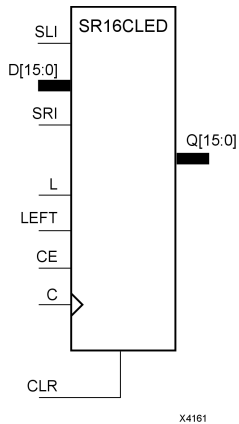
このELEMENTは、回路図でのみ使用できます。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

SR16CLED

マクロ：16-Bit Shift Register with Clock Enable and Asynchronous Clear



概要

このデザイン エLEMENTはシフトレジスタで、シフトレフトシリアル入力 (SLI)、シフトライトシリアル入力 (SRI)、パラレル入力 (D)、パラレル出力 (Q) に加え、クロック イネーブル (CE)、ロード イネーブル (L)、シフトレフト/ライト (LEFT)、非同同期クリア (CLR) の 4 つの制御入力があります。CE と L が Low の場合、クロック遷移は無視されます。CLR が High になると、ほかのすべての入力は無視され、出力 (Q) が Low にリセットされます。

L が High で CLR が Low の場合、クロック (C) が Low から High に切り替わる時に、D 入力の値が対応する Q ビットにロードされます。CE が High で L および CLR が Low の場合、LEFT 入力の値に応じて、レジスタの値は高位ビットまたは下位ビットにシフトされます。LEFT が High の場合は、クロックが Low から High に切り替わる時に SLI の値が Q0 にロードされ、次の Low から High へのクロック遷移で高位ビットにシフトされます (Q0 → Q1、Q1 → Q2 など)。LEFT が Low の場合は、クロックが Low から High に切り替わる時に SRI の値が最後の Q にロードされ、次のクロック遷移で右方向にシフトされます。論理表にすべての入力条件に対する Q 出力の値を示します。

電力を供給すると、レジスタは非同同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

入力								出力		
CLR	L	CE	LEFT	SLI	SRI	D15:D0	C	Q0	Q15	Q14:Q1
1	X	X	X	X	X	X	X	0	0	0
0	1	X	X	X	X	D15:D0	↑	D0	D15	Dn
0	0	0	X	X	X	X	X	変化なし	変化なし	変化なし
0	0	1	1	SLI	X	X	↑	SLI	q14	qn-1
0	0	1	0	X	SRI	X	↑	q1	SRI	qn+1
qn-1 または qn+1 = アクティブなクロック エッジの 1 セットアップ タイム前の対応する出力の値										

デザインの入力方法

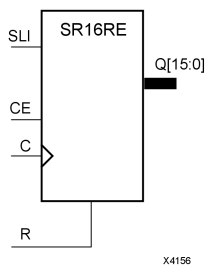
このELEMENTは、回路図でのみ使用できます。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

SR16RE

マクロ : 16-Bit Serial-In Parallel-Out Shift Register with Clock Enable and Synchronous Reset



概要

このデザイン エLEMENTはシフトレジスタで、シフトレフトシリアル入力 (SLI)、パラレル出力 (Qn)、クロック イネーブル (CE)、同期リセット入力 (R) があります。R 入力が高レベルになると、ほかのすべての入力は無視され、クロック (C) が Low から High に切り替わる時に出力 (Q) が Low にリセットされます。

CE が High で R が Low の場合、クロック (C) が Low から High に切り替わる時に SLI の値がシフトレジスタの第 1 ビットにロードされ、Q0 に出力されます。次にクロックが Low から High に切り替わる時に CE が High で R が Low の場合、値が次の高位ビットの位置にシフトされ、新しい値が Q0 にロードされます (SLI → Q0、Q0 → Q1、Q1 → Q2 など)。CE が Low の場合は、クロック遷移は無視されます。

最後の Q 出力を次の段の SLI 入力に接続し、クロック、CE、R を並列に接続すると、複数のレジスタをカスケード接続できます。

電力を供給すると、レジスタは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

入力				出力	
R	CE	SLI	C	Q0	Qz:Q1
1	X	X	↑	0	0
0	0	X	X	変化なし	変化なし
0	1	SLI	↑	SLI	qn-1
z = ビット幅 -1					
qn-1 = アクティブなクロック エッジの 1 セットアップ タイム前の対応する出力の値					

デザインの入力方法

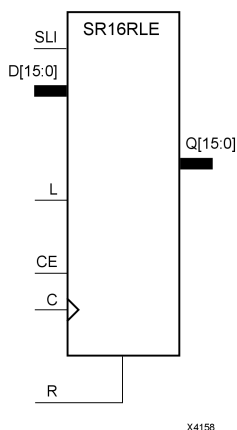
このELEMENTは、回路図でのみ使用できます。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

SR16RLE

マクロ : 16-Bit Loadable Serial/Parallel-In Parallel-Out Shift Register with Clock Enable and Synchronous Reset



概要

このデザイン エレメントはシフトレジスタで、シフト レフト シリアル入力 (SLI)、パラレル入力 (D)、パラレル出力 (Q) に加え、クロック イネーブル (CE)、ロード イネーブル (L)、同期リセット (R) の 3 つの制御入力があります。L と CE が Low の場合、クロック遷移は無視されます。R が High になると、ほかのすべての入力は無視され、クロック (C) が Low から High に切り替わるときに Q が Low にリセットされます。L が High で R が Low の場合、C が Low から High に切り替わるたびに、D 入力の値が対応する Q ビットにロードされます。

CE が High で L および R が Low の場合は、C が Low から High に切り替わるたびに SLI 入力の値がシフトレジスタの第 1 ビットにロードされ、Q0 に出力されます。次のクロック遷移で CE が High、L と R が Low の場合、シフトレジスタの値は次の高位ビットにシフトされ、新しい値が Q0 にロードされます。

最後の Q 出力を次の段の SLI 入力に接続し、クロック、CE、L、R を並列に接続すると、複数のレジスタをカスケード接続できます。

電力を供給すると、レジスタは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

入力						出力	
R	L	CE	SLI	Dz:D0	C	Q0	Qz:Q1
1	X	X	X	X	↑	0	0
0	1	X	X	Dz:D0	↑	D0	Dn
0	0	1	SLI	X	↑	SLI	qn-1
0	0	0	X	X	X	変化なし	変化なし
z = ビット幅 -1							
qn-1 = アクティブなクロック エッジの 1 セットアップ タイム前の対応する出力の値							

デザインの入力方法

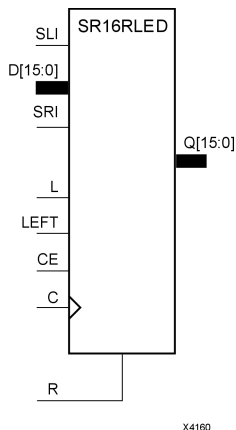
このエレメントは、回路図でのみ使用できます。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

SR16RLED

マクロ : 16-Bit Shift Register with Clock Enable and Synchronous Reset



概要

このデザイン エレメントはシフトレジスタで、シフトレフトシリアル入力 (SLI)、シフトライトシリアル入力 (SRI)、パラレル入力 (D)、パラレル出力 (Q) に加え、クロック イネーブル (CE)、ロード イネーブル (L)、シフトレフト/ライト (LEFT)、同期リセット (R) の 4 つの制御入力があります。CE と L が Low の場合、クロック遷移は無視されます。R が High になると、ほかのすべての入力は無視され、クロック (C) が Low から High に切り替わるときに Q が Low にリセットされます。L が High で R が Low の場合、C が Low から High に切り替わるときに、D 入力の値が対応する Q ビットにロードされます。

CE が High で L および R が Low の場合、LEFT 入力の値に応じて、レジスタの値は高位ビットまたは下位ビットにシフトされます。LEFT が High の場合は、クロックが Low から High に切り替わるときに SLI の値が Q0 にロードされ、次の Low から High へのクロック遷移で高位ビットにシフトされます (Q0 → Q1、Q1 → Q2 など)。LEFT が Low の場合は、クロックが Low から High に切り替わるときに SRI の値が最後の Q にロードされ、次のクロック遷移で右方向にシフトされます。論理表にすべての入力条件に対する Q 出力の値を示します。

電力を供給すると、レジスタは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

入力								出力		
R	L	CE	LEFT	SLI	SRI	D15:D0	C	Q0	Q15	Q14:Q1
1	X	X	X	X	X	X	↑	0	0	0
0	1	X	X	X	X	D15:D0	↓	D0	D15	Dn
0	0	0	X	X	X	X	X	変化なし	変化なし	変化なし
0	0	1	1	SLI	X	X	↑	SLI	q14	qn-1
0	0	1	0	X	SRI	X	↓	q1	SRI	qn+1
qn-1 または qn+1 = アクティブなクロック エッジの 1 セットアップ タイム前の対応する出力の値										

デザインの入力方法

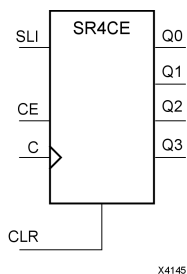
このエレメントは、回路図でのみ使用できます。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

SR4CE

マクロ : 4-Bit Serial-In Parallel-Out Shift Register with Clock Enable and Asynchronous Clear



概要

このデザイン エLEMENTはシフトレジスタで、シフト レフト シリアル入力 (SLI)、パラレル出力 (Q)、クロック イネーブル (CE)、非同期クリア入力 (CLR) があります。CLR 入力が高になると、ほかのすべての入力は無視され、出力 (Q) が Low にリセットされます。CE が High で CLR が Low の場合、クロック (C) が Low から High に切り替わるたびに SLI 入力の値がシフトレジスタの第 1 ビットにロードされ、Q0 に出力されます。次にクロックが Low から High に切り替わるたびに CE が High で CLR が Low の場合、値が次の高位ビットの位置にシフトされ、新しい値が Q0 にロードされます (SLI → Q0、Q0 → Q1、Q1 → Q2 など)。CE が Low の場合は、クロック遷移は無視されます。

最後の Q 出力を次の段の SLI 入力に接続し、クロック、CE、CLR を並列に接続すると、複数のレジスタをカスケード接続できます。

電力を供給すると、レジスタは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

入力				出力	
CLR	CE	SLI	C	Q0	Qz:Q1
1	X	X	X	0	0
0	0	X	X	変化なし	変化なし
0	1	SLI	↑	SLI	qn-1
z = ビット幅 - 1					
qn-1 = アクティブなクロック エッジの 1 セットアップ タイム前の対応する出力の値					

デザインの入力方法

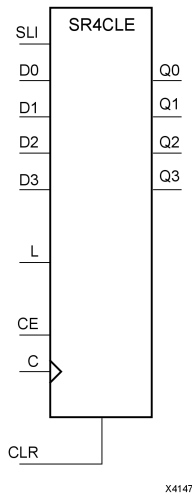
このELEMENTは、回路図でのみ使用できます。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

SR4CLE

マクロ：4-Bit Loadable Serial/Parallel-In Parallel-Out Shift Register with Clock Enable and Asynchronous Clear



概要

このデザイン エLEMENTはシフトレジスタで、シフトレフトシリアル入力 (SLI)、パラレル入力 (D)、パラレル出力 (Q) に加え、クロック イネーブル (CE)、ロード イネーブル (L)、非同期クリア (CLR) の 3 つの制御入力があります。L と CE が Low の場合、クロック遷移は無視されます。CLR が High になると、ほかのすべての入力は無視され、出力 (Q) が Low にリセットされます。L が High で CLR が Low の場合、クロック (C) が Low から High に切り替わる時に、Dn ~ D0 入力の値が対応する Qn ~ Q0 ビットにロードされます。

CE が High で L および CLR が Low の場合、C が Low から High に切り替わる時に、SLI 入力の値がシフトレジスタの第 1 ビットにロードされ、Q0 に出力されます。次のクロック遷移で CE が High、L と CLR が Low の場合、値が次の高位ビットの位置にシフトされ、新しい値が Q0 にロードされます (SLI → Q0、Q0 → Q1、Q1 → Q2 など)。

最後の Q 出力を次の段の SLI 入力に接続し、クロック、CE、L、CLR を並列に接続すると、複数のレジスタをカスケード接続できます。

電力を供給すると、レジスタは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

入力						出力	
CLR	L	CE	SLI	Dn:D0	C	Q0	Qz:Q1
1	X	X	X	X	X	0	0
0	1	X	X	Dn:D0	↑	D0	Dn
0	0	1	SLI	X	↑	SLI	qn-1
0	0	0	X	X	X	変化なし	変化なし
z = ビット幅 -1							
qn-1 = アクティブなクロック エッジの 1 セットアップ タイム前の対応する出力の値							

デザインの入力方法

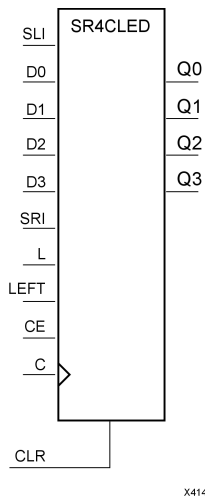
このELEMENTは、回路図でのみ使用できます。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

SR4CLED

マクロ：4-Bit Shift Register with Clock Enable and Asynchronous Clear



概要

このデザイン エLEMENTはシフトレジスタで、シフトレフトシリアル入力 (SLI)、シフトライトシリアル入力 (SRI)、パラレル入力 (D)、パラレル出力 (Q) に加え、クロック イネーブル (CE)、ロード イネーブル (L)、シフトレフト/ライト (LEFT)、非同期クリア (CLR) の 4 つの制御入力があります。CE と L が Low の場合、クロック遷移は無視されます。CLR が High になると、ほかのすべての入力は無視され、出力 (Q) が Low にリセットされます。

L が High で CLR が Low の場合、クロック (C) が Low から High に切り替わる時に、D 入力の値が対応する Q ビットにロードされます。CE が High で L および CLR が Low の場合、LEFT 入力の値に応じて、レジスタの値は高位ビットまたは下位ビットにシフトされます。LEFT が High の場合は、クロックが Low から High に切り替わる時に SLI の値が Q0 にロードされ、次の Low から High へのクロック遷移で高位ビットにシフトされます (Q0 → Q1、Q1 → Q2 など)。LEFT が Low の場合は、クロックが Low から High に切り替わる時に SRI の値が最後の Q にロードされ、次のクロック遷移で右方向にシフトされます。論理表にすべての入力条件に対する Q 出力の値を示します。

電力を供給すると、レジスタは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

入力								出力		
CLR	L	CE	LEFT	SLI	SRI	D3:D0	C	Q0	Q3	Q2:Q1
1	X	X	X	X	X	X	X	0	0	0
0	1	X	X	X	X	D3:D0	↑	D0	D3	Dn
0	0	0	X	X	X	X	X	変化なし	変化なし	変化なし
0	0	1	1	SLI	X	X	↑	SLI	q2	qn-1
0	0	1	0	X	SRI	X	↑	q1	SRI	qn+1
qn-1 および qn+1 = アクティブなクロック エッジの 1 セットアップ タイム前の対応する出力の値										

デザインの入力方法

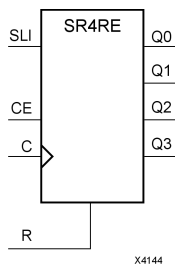
このELEMENTは、回路図でのみ使用できます。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

SR4RE

マクロ：4-Bit Serial-In Parallel-Out Shift Register with Clock Enable and Synchronous Reset



概要

このデザイン エLEMENTはシフトレジスタで、シフトレフトシリアル入力 (SLI)、パラレル出力 (Qn)、クロック イネーブル (CE)、同期リセット入力 (R) があります。R 入力が高レベルになると、ほかのすべての入力は無視され、クロック (C) が Low から High に切り替わる時に出力 (Q) が Low にリセットされます。

CE が High で R が Low の場合、クロック (C) が Low から High に切り替わる時に SLI の値がシフトレジスタの第 1 ビットにロードされ、Q0 に出力されます。次にクロックが Low から High に切り替わる時に CE が High で R が Low の場合、値が次の高位ビットの位置にシフトされ、新しい値が Q0 にロードされます (SLI → Q0、Q0 → Q1、Q1 → Q2 など)。CE が Low の場合は、クロック遷移は無視されます。

最後の Q 出力を次の段の SLI 入力に接続し、クロック、CE、R を並列に接続すると、複数のレジスタをカスケード接続できます。

電力を供給すると、レジスタは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

入力				出力	
R	CE	SLI	C	Q0	Qz:Q1
1	X	X	↑	0	0
0	0	X	X	変化なし	変化なし
0	1	SLI	↑	SLI	qn-1
z = ビット幅 -1					
qn-1 = アクティブなクロック エッジの 1 セットアップ タイム前の対応する出力の値					

デザインの入力方法

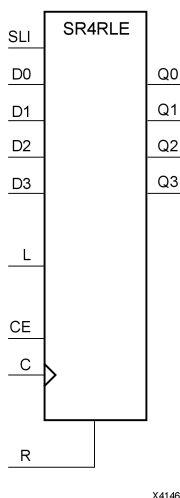
このELEMENTは、回路図でのみ使用できます。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

SR4RLE

マクロ：4-Bit Loadable Serial/Parallel-In Parallel-Out Shift Register with Clock Enable and Synchronous Reset



概要

このデザイン エレメントはシフトレジスタで、シフト レフト シリアル入力 (SLI)、パラレル入力 (D)、パラレル出力 (Q) に加え、クロック イネーブル (CE)、ロード イネーブル (L)、同期リセット (R) の 3 つの制御入力があります。L と CE が Low の場合、クロック遷移は無視されます。R が High になると、ほかのすべての入力は無視され、クロック (C) が Low から High に切り替わる時に Q が Low にリセットされます。L が High で R が Low の場合、C が Low から High に切り替わる時に、D 入力の値が対応する Q ビットにロードされます。

CE が High で L および R が Low の場合は、C が Low から High に切り替わる時に SLI 入力の値がシフトレジスタの第 1 ビットにロードされ、Q0 に出力されます。次のクロック遷移で CE が High、L と R が Low の場合、シフトレジスタの値は次の高位ビットにシフトされ、新しい値が Q0 にロードされます。

最後の Q 出力を次の段の SLI 入力に接続し、クロック、CE、L、R を並列に接続すると、複数のレジスタをカスケード接続できます。

電力を供給すると、レジスタは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

入力						出力	
R	L	CE	SLI	Dz:D0	C	Q0	Qz:Q1
1	X	X	X	X	↑	0	0
0	1	X	X	Dz:D0	↑	D0	Dn
0	0	1	SLI	X	↑	SLI	qn-1
0	0	0	X	X	X	変化なし	変化なし
z = ビット幅 -1							
qn-1 = アクティブなクロック エッジの 1 セットアップ タイム前の対応する出力の値							

デザインの入力方法

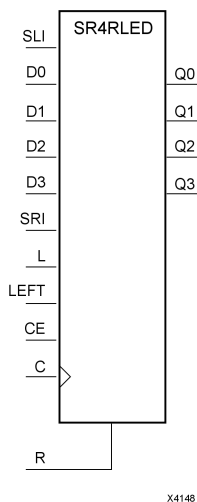
このエレメントは、回路図でのみ使用できます。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

SR4RLED

マクロ : 4-Bit Shift Register with Clock Enable and Synchronous Reset



概要

このデザイン エLEMENTはシフトレジスタで、シフトレフトシリアル入力 (SLI)、シフトライトシリアル入力 (SRI)、パラレル入力 (D)、パラレル出力 (Q) に加え、クロック イネーブル (CE)、ロード イネーブル (L)、シフトレフト/ライト (LEFT)、同期リセット (R) の 4 つの制御入力があります。CE と L が Low の場合、クロック遷移は無視されます。R が High になると、ほかのすべての入力は無視され、クロック (C) が Low から High に切り替わるときに Q が Low にリセットされます。L が High で R が Low の場合、C が Low から High に切り替わるときに、D 入力の値が対応する Q ビットにロードされます。

CE が High で L および R が Low の場合、LEFT 入力の値に応じて、レジスタの値は高位ビットまたは下位ビットにシフトされます。LEFT が High の場合は、クロックが Low から High に切り替わるときに SLI の値が Q0 にロードされ、次の Low から High へのクロック遷移で高位ビットにシフトされます (Q0 → Q1、Q1 → Q2 など)。LEFT が Low の場合は、クロックが Low から High に切り替わるときに SRI の値が最後の Q にロードされ、次のクロック遷移で右方向にシフトされます。論理表にすべての入力条件に対する Q 出力の値を示します。

電力を供給すると、レジスタは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

入力								出力		
R	L	CE	LEFT	SLI	SRI	D3:D0	C	Q0	Q3	Q2:Q1
1	X	X	X	X	X	X	↑	0	0	0
0	1	X	X	X	X	D3:D0	↑	D0	D3	Dn
0	0	0	X	X	X	X	X	変化なし	変化なし	変化なし
0	0	1	1	SLI	X	X	↑	SLI	q2	qn-1
0	0	1	0	X	SRI	X	↑	q1	SRI	qn+1
qn-1 または qn+1 = アクティブなクロック エッジの 1 セットアップ タイム前の対応する出力の値										

デザインの入力方法

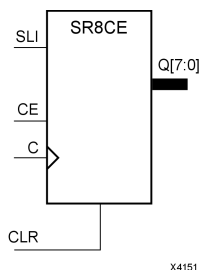
このエレメントは、回路図でのみ使用できます。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

SR8CE

マクロ : 8-Bit Serial-In Parallel-Out Shift Register with Clock Enable and Asynchronous Clear



概要

このデザイン エLEMENTはシフトレジスタで、シフト レフト シリアル入力 (SLI)、パラレル出力 (Q)、クロック イネーブル (CE)、非同期クリア入力 (CLR) があります。CLR 入力が高レベルになると、ほかのすべての入力は無視され、出力 (Q) が Low にリセットされます。CE が High で CLR が Low の場合、クロック (C) が Low から High に切り替わるたびに SLI 入力の値がシフトレジスタの第 1 ビットにロードされ、Q0 に出力されます。次にクロックが Low から High に切り替わるたびに CE が High で CLR が Low の場合、値が次の高位ビットの位置にシフトされ、新しい値が Q0 にロードされます (SLI → Q0、Q0 → Q1、Q1 → Q2 など)。CE が Low の場合は、クロック遷移は無視されます。

最後の Q 出力を次の段の SLI 入力に接続し、クロック、CE、CLR を並列に接続すると、複数のレジスタをカスケード接続できます。

電力を供給すると、レジスタは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

入力				出力	
CLR	CE	SLI	C	Q0	Qz:Q1
1	X	X	X	0	0
0	0	X	X	変化なし	変化なし
0	1	SLI	↑	SLI	qn-1
z = ビット幅 - 1					
qn-1 = アクティブなクロック エッジの 1 セットアップ タイム前の対応する出力の値					

デザインの入力方法

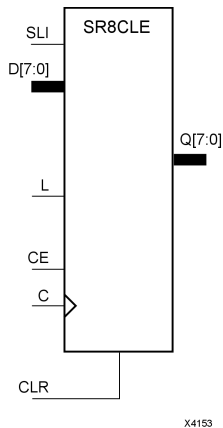
このELEMENTは、回路図でのみ使用できます。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

SR8CLE

マクロ：8-Bit Loadable Serial/Parallel-In Parallel-Out Shift Register with Clock Enable and Asynchronous Clear



概要

このデザイン エLEMENTはシフトレジスタで、シフトレフトシリアル入力 (SLI)、パラレル入力 (D)、パラレル出力 (Q) に加え、クロックイネーブル (CE)、ロードイネーブル (L)、非同期クリア (CLR) の3つの制御入力があります。LとCEがLowの場合、クロック遷移は無視されます。CLRがHighになると、ほかのすべての入力は無視され、出力 (Q) がLowにリセットされます。LがHighでCLRがLowの場合、クロック (C) がLowからHighに切り替わるときに、Dn ~ D0 入力の値が対応する Qn ~ Q0 ビットにロードされます。

CEがHighでLおよびCLRがLowの場合、CがLowからHighに切り替わるときに、SLI 入力の値がシフトレジスタの第1ビットにロードされ、Q0 に出力されます。次のクロック遷移でCEがHigh、LとCLRがLowの場合、値が次の高位ビットの位置にシフトされ、新しい値がQ0にロードされます (SLI → Q0、Q0 → Q1、Q1 → Q2 など)。

最後のQ出力を次の段のSLI入力に接続し、クロック、CE、L、CLRを並列に接続すると、複数のレジスタをカスケード接続できます。

電力を供給すると、レジスタは非同期にクリアされ、出力がLowになります。FPGAでは、グローバルセット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSRのデフォルトはアクティブHighですが、STARTUP_architecture シンボルのGSR入力の前にインバーターを追加するとアクティブLowにできます。

論理表

入力						出力	
CLR	L	CE	SLI	Dn:D0	C	Q0	Qz:Q1
1	X	X	X	X	X	0	0
0	1	X	X	Dn:D0	↑	D0	Dn
0	0	1	SLI	X	↑	SLI	qn-1
0	0	0	X	X	X	変化なし	変化なし
z = ビット幅 -1							
qn-1 = アクティブなクロック エッジの1セットアップタイム前の対応する出力の値							

デザインの入力方法

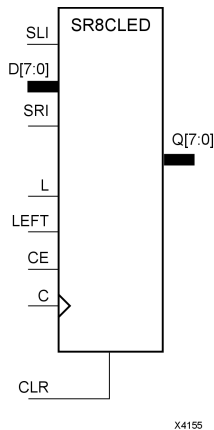
このELEMENTは、回路図でのみ使用できます。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

SR8CLED

マクロ : 8-Bit Shift Register with Clock Enable and Asynchronous Clear



概要

このデザイン エLEMENTはシフトレジスタで、シフトレフトシリアル入力 (SLI)、シフトライトシリアル入力 (SRI)、パラレル入力 (D)、パラレル出力 (Q) に加え、クロック イネーブル (CE)、ロード イネーブル (L)、シフトレフト/ライト (LEFT)、非同期クリア (CLR) の 4 つの制御入力があります。CE と L が Low の場合、クロック遷移は無視されます。CLR が High になると、ほかのすべての入力は無視され、出力 (Q) が Low にリセットされます。

L が High で CLR が Low の場合、クロック (C) が Low から High に切り替わる時に、D 入力の値が対応する Q ビットにロードされます。CE が High で L および CLR が Low の場合、LEFT 入力の値に応じて、レジスタの値は高位ビットまたは下位ビットにシフトされます。LEFT が High の場合は、クロックが Low から High に切り替わる時に SLI の値が Q0 にロードされ、次の Low から High へのクロック遷移で高位ビットにシフトされます (Q0 → Q1、Q1 → Q2 など)。LEFT が Low の場合は、クロックが Low から High に切り替わる時に SRI の値が最後の Q にロードされ、次のクロック遷移で右方向にシフトされます。論理表にすべての入力条件に対する Q 出力の値を示します。

電力を供給すると、レジスタは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

入力								出力		
CLR	L	CE	LEFT	SLI	SRI	D7:D0	C	Q0	Q7	Q6:Q1
1	X	X	X	X	X	X	X	0	0	0
0	1	X	X	X	X	D7:D0	↑	D0	D7	Dn
0	0	0	X	X	X	X	X	変化なし	変化なし	変化なし
0	0	1	1	SLI	X	X	↑	SLI	q6	qn-1
0	0	1	0	X	SRI	X	↑	q1	SRI	qn+1
qn-1 または qn+1 = アクティブなクロック エッジの 1 セットアップ タイム前の対応する出力の値										

デザインの入力方法

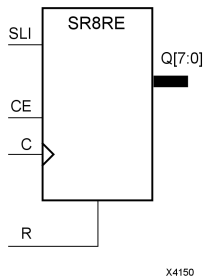
このELEMENTは、回路図でのみ使用できます。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

SR8RE

マクロ：8-Bit Serial-In Parallel-Out Shift Register with Clock Enable and Synchronous Reset



概要

このデザイン エLEMENTはシフトレジスタで、シフトレフトシリアル入力 (SLI)、パラレル出力 (Qn)、クロック イネーブル (CE)、同期リセット入力 (R) があります。R 入力が高レベルになると、ほかのすべての入力は無視され、クロック (C) が Low から High に切り替わる時に出力 (Q) が Low にリセットされます。

CE が High で R が Low の場合、クロック (C) が Low から High に切り替わる時に SLI の値がシフト レジスタの第 1 ビットにロードされ、Q0 に出力されます。次にクロックが Low から High に切り替わる時に CE が High で R が Low の場合、値が次の高位ビットの位置にシフトされ、新しい値が Q0 にロードされます (SLI → Q0、Q0 → Q1、Q1 → Q2 など)。CE が Low の場合は、クロック遷移は無視されます。

最後の Q 出力を次の段の SLI 入力に接続し、クロック、CE、R を並列に接続すると、複数のレジスタをカスケード接続できます。

電力を供給すると、レジスタは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

入力				出力	
R	CE	SLI	C	Q0	Qz:Q1
1	X	X	↑	0	0
0	0	X	X	変化なし	変化なし
0	1	SLI	↑	SLI	qn-1
z = ビット幅 -1					
qn-1 = アクティブなクロック エッジの 1 セットアップ タイム前の対応する出力の値					

デザインの入力方法

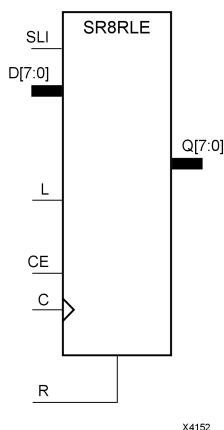
このELEMENTは、回路図でのみ使用できます。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

SR8RLE

マクロ : 8-Bit Loadable Serial/Parallel-In Parallel-Out Shift Register with Clock Enable and Synchronous Reset



概要

このデザイン エLEMENTはシフトレジスタで、シフト レフト シリアル入力 (SLI)、パラレル入力 (D)、パラレル出力 (Q) に加え、クロック イネーブル (CE)、ロード イネーブル (L)、同期リセット (R) の 3 つの制御入力があります。L と CE が Low の場合、クロック遷移は無視されます。R が High になると、ほかのすべての入力は無視され、クロック (C) が Low から High に切り替わる時に Q が Low にリセットされます。L が High で R が Low の場合、C が Low から High に切り替わる時に、D 入力の値が対応する Q ビットにロードされます。

CE が High で L および R が Low の場合は、C が Low から High に切り替わる時に SLI 入力の値がシフトレジスタの第 1 ビットにロードされ、Q0 に出力されます。次のクロック遷移で CE が High、L と R が Low の場合、シフトレジスタの値は次の高位ビットにシフトされ、新しい値が Q0 にロードされます。

最後の Q 出力を次の段の SLI 入力に接続し、クロック、CE、L、R を並列に接続すると、複数のレジスタをカスケード接続できます。

電力を供給すると、レジスタは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

入力						出力	
R	L	CE	SLI	Dz:D0	C	Q0	Qz:Q1
1	X	X	X	X	↑	0	0
0	1	X	X	Dz:D0	↑	D0	Dn
0	0	1	SLI	X	↑	SLI	qn-1
0	0	0	X	X	X	変化なし	変化なし
z = ビット幅 -1							
qn-1 = アクティブなクロック エッジの 1 セットアップ タイム前の対応する出力の値							

デザインの入力方法

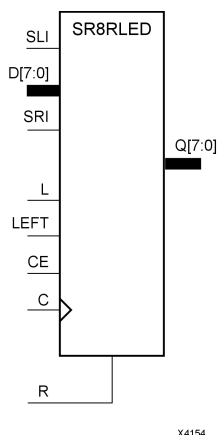
このエレメントは、回路図でのみ使用できます。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

SR8RLED

マクロ : 8-Bit Shift Register with Clock Enable and Synchronous Reset



概要

このデザイン エレメントはシフトレジスタで、シフトレフトシリアル入力 (SLI)、シフトライトシリアル入力 (SRI)、パラレル入力 (D)、パラレル出力 (Q) に加え、クロック イネーブル (CE)、ロード イネーブル (L)、シフトレフト/ライト (LEFT)、同期リセット (R) の 4 つの制御入力があります。CE と L が Low の場合、クロック遷移は無視されます。R が High になると、ほかのすべての入力は無視され、クロック (C) が Low から High に切り替わるときに Q が Low にリセットされます。L が High で R が Low の場合、C が Low から High に切り替わるときに、D 入力の値が対応する Q ビットにロードされます。

CE が High で L および R が Low の場合、LEFT 入力の値に応じて、レジスタの値は高位ビットまたは下位ビットにシフトされます。LEFT が High の場合は、クロックが Low から High に切り替わるときに SLI の値が Q0 にロードされ、次の Low から High へのクロック遷移で高位ビットにシフトされます (Q0 → Q1、Q1 → Q2 など)。LEFT が Low の場合は、クロックが Low から High に切り替わるときに SRI の値が最後の Q にロードされ、次のクロック遷移で右方向にシフトされます。論理表にすべての入力条件に対する Q 出力の値を示します。

電力を供給すると、レジスタは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

入力								出力		
R	L	CE	LEFT	SLI	SRI	D7:D0	C	Q0	Q7	Q6:Q1
1	X	X	X	X	X	X	↑	0	0	0
0	1	X	X	X	X	D7:D0	↓	D0	D7	Dn
0	0	0	X	X	X	X	X	変化なし	変化なし	変化なし
0	0	1	1	SLI	X	X	↑	SLI	q6	qn-1
0	0	1	0	X	SRI	X	↓	q1	SRI	qn+1
qn-1 または qn+1 = アクティブなクロック エッジの 1 セットアップ タイム前の対応する出力の値										

デザインの入力方法

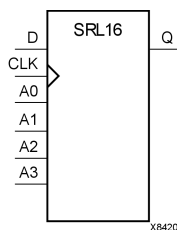
このエレメントは、回路図でのみ使用できます。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

SRL16

プリミティブ：16-Bit Shift Register Look-Up Table (LUT)



概要

このデザイン エレメントは、シフトレジスタ ルックアップ テーブル (LUT) です。シフトレジスタの長さは、入力 A3、A2、A1、A0 の値によって決定されます。

シフトレジスタの長さは、固定することも、変動させることもできます。

- ・ **固定長のシフトレジスタを作成するには：** 入力 A3 ～ A0 の値を一定にします。シフトレジスタは 1 ～ 16 ビットの長さに設定できます。アドレス入力の値によるシフトレジスタの長さは、長さ = (8 x A3) + (4 x A2) + (2 x A1) + A0 + 1 という式で算出できます。A3、A2、A1、A0 がすべて 0 の場合 (0000) はシフトレジスタの長さは 1 ビットになり、すべて 1 の場合 (1111) は 16 ビットになります。
- ・ **シフトレジスタ長を動的に変化させるには：** 入力 A3 ～ A0 の値を変化させます。たとえば、A2、A1、A0 がすべて 1 の場合 (111) に A3 を 1 から 0 に切り替えると、シフトレジスタの長さは 16 ビットから 8 ビットに変化します。内部的には、シフトレジスタの長さは常に 16 ビットで、どのビットの値が出力されるかは入力 A3 ～ A0 の値によって決定されます。

シフトレジスタ LUT の初期値を指定するには、INIT 属性に 4 桁の 16 進数を割り当てます。一番左の桁が最上位ビットになります。INIT の値を指定しない場合は、シフトレジスタ LUT の内容はコンフィギュレーション中に 0000 にクリアされます。

クロック (CLK) が Low から High に切り替わるときに、D の値がシフトレジスタの第 1 ビットにロードされます。次にクロックが Low から High に切り替わると、シフトレジスタの値は次の高位ビットにシフトされ、新しい値がロードされます。アドレス入力の値によってシフトレジスタの長さが決まり、Q にその値が出力されます。

論理表

入力			出力
Am	CLK	D	Q
Am	X	X	Q(Am)
Am	↑	D	Q(Am - 1)
m = 0、1、2、3			

デザインの入力方法

このエレメントは、回路図で使用できます。

使用可能な属性

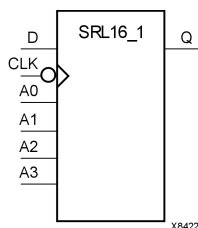
属性	データ型	値	デフォルト	説明
INIT	16 進数	16 ビット値	すべて 0	コンフィギュレーション後の Q 出力の初期値を指定します。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

SRL16_1

プリミティブ：16-Bit Shift Register Look-Up Table (LUT) with Negative-Edge Clock



概要

このデザイン エLEMENTは、シフトレジスタ ルックアップ テーブル (LUT) です。シフトレジスタの長さは、入力 A3、A2、A1、A0 の値によって決定されます。

シフトレジスタの長さは、固定することも、変動させることもできます。

- ・ **固定長のシフトレジスタを作成するには：** 入力 A3 ～ A0 の値を一定にします。シフトレジスタは 1 ～ 16 ビットの長さに設定できます。アドレス入力の値によるシフトレジスタの長さは、長さ = (8 x A3) + (4 x A2) + (2 x A1) + A0 + 1 という式で算出できます。A3、A2、A1、A0 がすべて 0 の場合 (0000) はシフトレジスタの長さは 1 ビットになり、すべて 1 の場合 (1111) は 16 ビットになります。
- ・ **シフトレジスタ長を動的に変化させるには：** 入力 A3 ～ A0 の値を変化させます。たとえば、A2、A1、A0 がすべて 1 の場合 (111) に A3 を 1 から 0 に切り替えると、シフトレジスタの長さは 16 ビットから 8 ビットに変化します。内部的には、シフトレジスタの長さは常に 16 ビットで、どのビットの値が出力されるかは入力 A3 ～ A0 の値によって決定されます。

シフトレジスタ LUT の初期値を指定するには、INIT 属性に 4 桁の 16 進数を割り当てます。一番左の桁が最上位ビットになります。INIT の値を指定しない場合は、シフトレジスタ LUT の内容はコンフィギュレーション中に 0000 にクリアされます。

クロック (CLK) が High から Low に切り替わるときに、D の値がシフトレジスタの第 1 ビットにロードされます。次にクロックが High から Low に切り替わると、シフトレジスタの値は次の高位ビットにシフトされ、新しい値がロードされます。アドレス入力の値によってシフトレジスタの長さが決まり、Q にその値が出力されます。

論理表

入力			出力
A _m	CLK	D	Q
A _m	X	X	Q(A _m)
A _m	↓	D	Q(A _m - 1)
m = 0、1、2、3			

デザインの入力方法

このELEMENTは、回路図で使用できます。

使用可能な属性

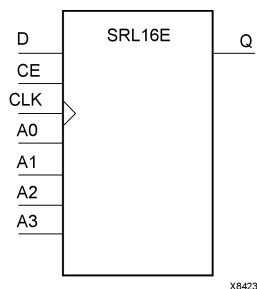
属性	データ型	値	デフォルト	説明
INIT	16 進数	16 ビット値	すべて 0	コンフィギュレーション後の Q 出力の初期値を指定します。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

SRL16E

プリミティブ：16-Bit Shift Register Look-Up Table (LUT) with Clock Enable



概要

このデザイン エLEMENTは、シフトレジスタ ルックアップ テーブル (LUT) です。シフトレジスタの長さは、入力 A3、A2、A1、A0 の値によって決定されます。

シフトレジスタの長さは、固定することも、変動させることもできます。

- ・ **固定長のシフトレジスタを作成するには：** 入力 A3 ～ A0 の値を一定にします。シフトレジスタは 1 ～ 16 ビットの長さに設定できます。アドレス入力の値によるシフトレジスタの長さは、長さ = $(8 \times A3) + (4 \times A2) + (2 \times A1) + A0 + 1$ という式で算出できます。A3、A2、A1、A0 がすべて 0 の場合 (0000) はシフトレジスタの長さは 1 ビットになり、すべて 1 の場合 (1111) は 16 ビットになります。
- ・ **シフトレジスタ長を動的に変化させるには：** 入力 A3 ～ A0 の値を変化させます。たとえば、A2、A1、A0 がすべて 1 の場合 (111) に A3 を 1 から 0 に切り替えると、シフトレジスタの長さは 16 ビットから 8 ビットに変化します。内部的には、シフトレジスタの長さは常に 16 ビットで、どのビットの値が出力されるかは入力 A3 ～ A0 の値によって決定されます。

シフトレジスタ LUT の初期値を指定するには、INIT 属性に 4 桁の 16 進数を割り当てます。一番左の桁が最上位ビットになります。INIT の値を指定しない場合は、シフトレジスタ LUT の内容はコンフィギュレーション中に 0000 にクリアされます。

CE が High の場合、クロック (CLK) が Low から High に切り替わるときに、D の値がシフトレジスタの第 1 ビットにロードされます。次にクロックが Low から High に切り替わるときに CE が High の場合、シフトレジスタの値は次の高位ビットにシフトされ、新しい値がロードされます。アドレス入力の値によってシフトレジスタの長さが決まり、Q にその値が出力されます。CE が Low の場合、クロック遷移は無視されます。

論理表

入力				出力
Am	CE	CLK	D	Q
Am	0	X	X	Q(Am)
Am	1	↑	D	Q(Am - 1)
m = 0、1、2、3				

ポートの説明

ポート名	方向	幅	機能
Q	出力	1	シフトレジスタ データ出力
D	入力	1	シフトレジスタ データ入力
CLK	入力	1	クロック
CE	入力	1	アクティブ High のクロック イネーブル
A	入力	4	SRL のワード数のダイナミック選択 ・ A=0000 ==> 1 ビット シフト長 ・ A=1111 ==> 16 ビット シフト長

デザインの入力方法

このエレメントは、回路図で使用できます。

使用可能な属性

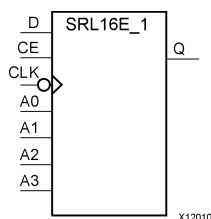
属性	データ型	値	デフォルト	説明
INIT	16 進数	16 ビット値	すべて 0	コンフィギュレーション後のシフトレジスタと出力の初期値を指定します。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

SRL16E_1

プリミティブ : 16-Bit Shift Register Look-Up Table (LUT) with Negative-Edge Clock and Clock Enable



概要

このデザイン エレメントは、クロック イネーブル (CE) があるシフトレジスタ ルックアップ テーブル (LUT) で、クロックの立ち下がりエッジで動作します。シフトレジスタの長さは、入力 A3、A2、A1、A0 の値によって決定されます。

シフトレジスタの長さは、固定することも、変動させることもできます。

- 固定長のシフトレジスタを作成するには :** 入力 A3 ~ A0 の値を一定にします。シフトレジスタは 1 ~ 16 ビットの長さに設定できます。アドレス入力の値によるシフトレジスタの長さは、長さ = $(8 \times A3) + (4 \times A2) + (2 \times A1) + A0 + 1$ という式で算出できます。A3、A2、A1、A0 がすべて 0 の場合 (0000) はシフトレジスタの長さは 1 ビットになり、すべて 1 の場合 (1111) は 16 ビットになります。
- シフトレジスタ長を動的に変化させるには :** 入力 A3 ~ A0 の値を変化させます。たとえば、A2、A1、A0 がすべて 1 の場合 (111) に A3 を 1 から 0 に切り替えると、シフトレジスタの長さは 16 ビットから 8 ビットに変化します。内部的には、シフトレジスタの長さは常に 16 ビットで、どのビットの値が出力されるかは入力 A3 ~ A0 の値によって決定されます。

シフトレジスタ LUT の初期値を指定するには、INIT 属性に 4 桁の 16 進数を割り当てます。一番左の桁が最上位ビットになります。INIT の値を指定しない場合は、シフトレジスタ LUT の内容はコンフィギュレーション中に 0000 にクリアされます。

CE が High の場合、クロック (CLK) が High から Low に切り替わるときに、D の値がシフトレジスタの第 1 ビットにロードされます。次にクロックが High から Low に切り替わるときに CE が High の場合、シフトレジスタの値は次の高位ビットにシフトされ、新しい値がロードされます。アドレス入力の値によってシフトレジスタの長さが決まり、Q にその値が出力されます。CE が Low の場合、クロック遷移は無視されます。

論理表

入力				出力
A _m	CE	CLK	D	Q
A _m	0	X	X	Q(A _m)
A _m	1	↓	D	Q(A _m - 1)
m = 0、1、2、3				

デザインの入力方法

このエレメントは、回路図で使用できます。

使用可能な属性

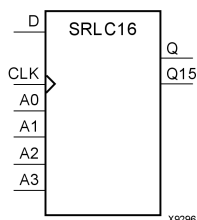
属性	タイプ	値	デフォルト	説明
INIT	16 進数	16 ビット値	すべて 0	コンフィギュレーション後のシフトレジスタと出力の初期値を指定します。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

SRLC16

プリミティブ：16-Bit Shift Register Look-Up Table (LUT) with Carry



概要

このデザイン エレメントは、キャリーがあるシフトレジスタ ルックアップ テーブル (LUT) です。シフトレジスタの長さは、入力 A3、A2、A1、A0 の値によって決定されます。

シフトレジスタの長さは、固定することも、変動させることもできます。

- ・ **固定長のシフトレジスタを作成するには：** 入力 A3 ～ A0 の値を一定にします。シフトレジスタは 1 ～ 16 ビットの長さに設定できます。アドレス入力の値によるシフトレジスタの長さは、長さ = $(8 \times A3) + (4 \times A2) + (2 \times A1) + A0 + 1$ という式で算出できます。A3、A2、A1、A0 がすべて 0 の場合 (0000) はシフトレジスタの長さは 1 ビットになり、すべて 1 の場合 (1111) は 16 ビットになります。
- ・ **シフトレジスタ長を動的に変化させるには：** 入力 A3 ～ A0 の値を変化させます。たとえば、A2、A1、A0 がすべて 1 の場合 (111) に A3 を 1 から 0 に切り替えると、シフトレジスタの長さは 16 ビットから 8 ビットに変化します。内部的には、シフトレジスタの長さは常に 16 ビットで、どのビットの値が出力されるかは入力 A3 ～ A0 の値によって決定されます。

シフトレジスタ LUT の初期値を指定するには、INIT 属性に 4 桁の 16 進数を割り当てます。一番左の桁が最上位ビットになります。INIT の値を指定しない場合は、シフトレジスタ LUT の内容はコンフィギュレーション中に 0000 にクリアされます。

クロック (CLK) が Low から High に切り替わるときに、D の値がシフトレジスタの第 1 ビットにロードされます。次にクロックが Low から High に切り替わると、シフトレジスタの値は次の高位ビットにシフトされ、新しい値がロードされます。アドレス入力の値によってシフトレジスタの長さが決まり、Q にその値が出力されます。

注記： Q15 の出力を使用すると、複数のシフトレジスタ LUT をカスケード接続でき、より大きなシフトレジスタを作成できます。

論理表

入力			出力
A _m	CLK	D	Q
A _m	X	X	Q(A _m)
A _m	↑	D	Q(A _m - 1)
m = 0、1、2、3			

デザインの入力方法

このエレメントは、回路図で使用できます。

使用可能な属性

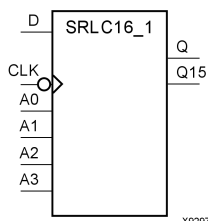
属性	データ型	値	デフォルト	説明
INIT	16 進数	16 ビット値	すべて 0	コンフィギュレーション後のシフトレジスタと出力の初期値を指定します。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

SRLC16_1

プリミティブ：16-Bit Shift Register Look-Up Table (LUT) with Carry and Negative-Edge Clock



概要

このデザイン エLEMENTは、キャリーがあるシフトレジスタ ルックアップ テーブル (LUT) で、クロックの立ち下がりエッジで動作します。シフトレジスタの長さは、入力 A3、A2、A1、A0 の値によって決定されます。

シフトレジスタの長さは、固定することも、変動させることもできます。

- ・ **固定長のシフトレジスタを作成するには：** 入力 A3 ～ A0 の値を一定にします。シフトレジスタは 1 ～ 16 ビットの長さに設定できます。アドレス入力の値によるシフトレジスタの長さは、長さ = $(8 \times A3) + (4 \times A2) + (2 \times A1) + A0 + 1$ という式で算出できます。A3、A2、A1、A0 がすべて 0 の場合 (0000) はシフトレジスタの長さは 1 ビットになり、すべて 1 の場合 (1111) は 16 ビットになります。
- ・ **シフトレジスタ長を動的に変化させるには：** 入力 A3 ～ A0 の値を変化させます。たとえば、A2、A1、A0 がすべて 1 の場合 (111) に A3 を 1 から 0 に切り替えると、シフトレジスタの長さは 16 ビットから 8 ビットに変化します。内部的には、シフトレジスタの長さは常に 16 ビットで、どのビットの値が出力されるかは入力 A3 ～ A0 の値によって決定されます。

シフトレジスタ LUT の初期値を指定するには、INIT 属性に 4 桁の 16 進数を割り当てます。一番左の桁が最上位ビットになります。INIT の値を指定しない場合は、シフトレジスタ LUT の内容はコンフィギュレーション中に 0000 にクリアされます。

注記： Q15 の出力を使用すると、複数のシフトレジスタ LUT をカスケード接続でき、より大きなシフトレジスタを作成できます。

論理表

入力			出力	
Am	CLK	D	Q	Q15
Am	X	X	Q(Am)	変化なし
Am	↓	D	Q(Am - 1)	Q14
m = 0、1、2、3				

デザインの入力方法

このELEMENTは、回路図で使用できます。

使用可能な属性

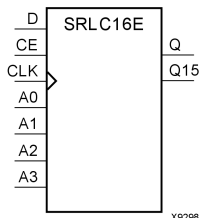
属性	データ型	値	デフォルト	説明
INIT	16 進数	16 ビット値	すべて 0	コンフィギュレーション後のシフトレジスタと出力の初期値を指定します。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

SRLC16E

プリミティブ：16-Bit Shift Register Look-Up Table (LUT) with Carry and Clock Enable



概要

このデザイン エLEMENTは、キャリーとクロック イネーブルがあるシフトレジスタ ルックアップ テーブル (LUT) です。シフトレジスタの長さは、入力 A3、A2、A1、A0 の値によって決定されます。

シフトレジスタの長さは、固定することも、変動させることもできます。

- ・ **固定長のシフトレジスタを作成するには：** 入力 A3 ～ A0 の値を一定にします。シフトレジスタは 1 ～ 16 ビットの長さに設定できます。アドレス入力の値によるシフトレジスタの長さは、長さ = $(8 \times A3) + (4 \times A2) + (2 \times A1) + A0 + 1$ という式で算出できます。A3、A2、A1、A0 がすべて 0 の場合 (0000) はシフトレジスタの長さは 1 ビットになり、すべて 1 の場合 (1111) は 16 ビットになります。
- ・ **シフトレジスタ長を動的に変化させるには：** 入力 A3 ～ A0 の値を変化させます。たとえば、A2、A1、A0 がすべて 1 の場合 (111) に A3 を 1 から 0 に切り替えると、シフトレジスタの長さは 16 ビットから 8 ビットに変化します。内部的には、シフトレジスタの長さは常に 16 ビットで、どのビットの値が出力されるかは入力 A3 ～ A0 の値によって決定されます。

シフトレジスタ LUT の初期値を指定するには、INIT 属性に 4 桁の 16 進数を割り当てます。一番左の桁が最上位ビットになります。INIT の値を指定しない場合は、シフトレジスタ LUT の内容はコンフィギュレーション中に 0000 にクリアされます。

クロック (CLK) が Low から High に切り替わるときに、D の値がシフトレジスタの第 1 ビットにロードされます。次にクロックが Low から High に切り替わるときに CE が High の場合、シフトレジスタの値は次の高位ビットにシフトされ、新しいデータがロードされます。アドレス入力の値によってシフトレジスタの長さが決まり、Q にその値が出力されます。

注記： Q15 の出力を使用すると、複数のシフトレジスタ LUT をカスケード接続でき、より大きなシフトレジスタを作成できます。

論理表

入力				出力	
Am	CLK	CE	D	Q	Q15
Am	X	0	X	Q(Am)	Q(15)
Am	X	1	X	Q(Am)	Q(15)
Am	↑	1	D	Q(Am - 1)	Q15
m = 0、1、2、3					

デザインの入力方法

このELEMENTは、回路図で使用できます。

使用可能な属性

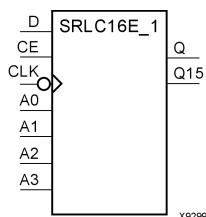
属性	データ型	値	デフォルト	説明
INIT	16 進数	16 ビット値	すべて 0	コンフィギュレーション後のシフトレジスタと出力の初期値を指定します。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

SRLC16E_1

プリミティブ：16-Bit Shift Register Look-Up Table (LUT) with Carry, Negative-Edge Clock, and Clock Enable



概要

このデザイン エLEMENTは、キャリーおよびクロック イネーブルがあるシフトレジスタ ルックアップ テーブル (LUT) で、クロックの立ち下がりがエッジで動作します。シフトレジスタの長さは、入力 A3、A2、A1、A0 の値によって決定されます。

シフトレジスタの長さは、固定することも、変動させることもできます。

- ・ **固定長のシフトレジスタを作成するには：** 入力 A3 ～ A0 の値を一定にします。シフトレジスタは 1 ～ 16 ビットの長さに設定できます。アドレス入力の値によるシフトレジスタの長さは、長さ = $(8 \times A3) + (4 \times A2) + (2 \times A1) + A0 + 1$ という式で算出できます。A3、A2、A1、A0 がすべて 0 の場合 (0000) はシフトレジスタの長さは 1 ビットになり、すべて 1 の場合 (1111) は 16 ビットになります。
- ・ **シフトレジスタ長を動的に変化させるには：** 入力 A3 ～ A0 の値を変化させます。たとえば、A2、A1、A0 がすべて 1 の場合 (111) に A3 を 1 から 0 に切り替えると、シフトレジスタの長さは 16 ビットから 8 ビットに変化します。内部的には、シフトレジスタの長さは常に 16 ビットで、どのビットの値が出力されるかは入力 A3 ～ A0 の値によって決定されます。

シフトレジスタ LUT の初期値を指定するには、INIT 属性に 4 桁の 16 進数を割り当てます。一番左の桁が最上位ビットになります。INIT の値を指定しない場合は、シフトレジスタ LUT の内容はコンフィギュレーション中に 0000 にクリアされます。

CE が High の場合、クロック (CLK) が High から Low に切り替わるときに、D の値がシフトレジスタの第 1 ビットにロードされます。次にクロックが High から Low に切り替わるときに CE が High の場合、シフトレジスタの値は次の高位ビットにシフトされ、新しい値がロードされます。アドレス入力の値によってシフトレジスタの長さが決まり、Q にその値が出力されます。

注記： Q15 の出力を使用すると、複数のシフトレジスタ LUT をカスケード接続でき、より大きなシフトレジスタを作成できます。

論理表

入力				出力	
Am	CE	CLK	D	Q	Q15
Am	0	X	X	Q(Am)	変化なし
Am	1	X	X	Q(Am)	変化なし
Am	1	↓	D	Q(Am-1)	Q14
m = 0、1、2、3					

デザインの入力方法

このELEMENTは、回路図で使用できます。

使用可能な属性

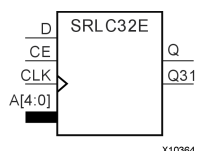
属性	データ型	値	デフォルト	説明
INIT	16 進数	16 ビット値	すべて 0	コンフィギュレーション後のシフトレジスタと出力の初期値を指定します。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

SRLC32E

プリミティブ：32 Clock Cycle, Variable Length Shift Register Look-Up Table (LUT) with Clock Enable



概要

このデザイン エレメントは、1 つのルックアップ テーブル (LUT) にインプリメントされる、可変長で 1 ～ 32 クロック サイクルのシフトレジスタです。シフトレジスタの長さは、固定することも、変動させることもできます。このエレメントは、アクティブ High のクロック イネーブルおよびカスケード機能も備えているため、複数の SRLC32E をカスケード接続でき、より大型のシフトレジスタを作成できます。

ポートの説明

ポート名	方向	幅	機能
Q	出力	1	シフトレジスタ データ出力
Q31	出力	1	シフトレジスタ カスケード出力 (後続 SRLC32E の D 入力に接続)
D	入力	1	シフトレジスタ データ入力
CLK	入力	1	クロック
CE	入力	1	アクティブ High のクロック イネーブル
A	入力	5	SRL の長さのダイナミック選択 A=00000 ==> 1 ビット A=11111 ==> 32 ビット

デザインの入力方法

このエレメントは、回路図で使用できます。

インスタンスシートする場合は、このコンポーネントを次のように接続します。

- ・ CLK 入力を適切なクロック ソースに、D 入力をシフト/格納するデータ ソースに、Q 出力を FDCPE 入力または FDRSE 入力などの適切なデスティネーションに接続します。
- ・ クロック イネーブル ピン (CE) はクロック イネーブル信号に接続するか、使用しない場合は論理 1 にします。
- ・ 5 ビット バス A は、一定の値 (0 ～ 31) にしてシフトレジスタの長さを 1 ～ 32 ビットに固定するか、または適切な論理値にしてシフトレジスタの長さを 1 ～ 32 ビットの範囲で変更できます。
- ・ シフトレジスタの長さを 32 ビットより長くする場合は、Q31 出力ピンを後続の SRLC32E の D 入力に接続します。
- ・ Q31 出力は、別の SRLC32E 以外には接続できません。
- ・ Q 出力は、カスケード モードでも使用できます。
- ・ 32 ビットの 16 進数の INIT 属性で、シフトレジスタの初期シフト パターンを指定できます。
- ・ シフトアウトされる最初の値は INIT[0] です。

使用可能な属性

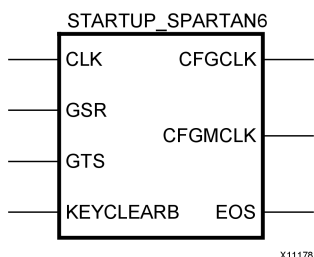
属性	タイプ	値	デフォルト	説明
INIT	16 進数	32 ビット値	すべて 0	SRLC32E の初期シフト パターンを指定します。

詳細情報

- ・ [『Spartan-6 FPGA コンフィギャラブル ロジック ブロック ユーザー ガイド』\(UG384\)](#)
- ・ [『Spartan-6 FPGA データシート：DC 特性およびスイッチ特性』\(DS162\)](#)

STARTUP_SPARTAN6

プリミティブ：Spartan®-6 Global Set/Reset, Global 3-State and Configuration Start-Up Clock Interface



概要

このデザイン エレメントは、グローバル非同期セット/リセット (GSR) 信号、グローバルトライステート (GTS) 専用配線、内部コンフィギュレーション信号、SPI PROM が使用される場合は SPI PROM の入力ピンなどへのロジックとデバイスピンの接続に使用されます。デバイスのコンフィギュレーションの終わりにスタートアップ シーケンスで別のクロックを使用するのを指定したり、コンフィギュレーション クロックを内部ロジックにアクセスさせるのにも使用されます。

ポートの説明

ポート名	方向	幅	機能
CFGCLK	出力	1	コンフィギュレーション ロジックのメイン クロック出力
CFGMCLK	出力	1	コンフィギュレーションの内部オシレーターのクロック出力
CLK	入力	1	ユーザー スタートアップ クロック入力
EOS	出力	1	コンフィギュレーションの終了を示すアクティブ High の出力信号
GSR	入力	1	グローバル セット/リセット (GSR) 入力 (ポート名に GSR は使用不可)
GTS	入力	1	グローバルトライステート (GTS) 入力 (ポート名に GTS は使用不可)
KEYCLEARB	入力	1	バッテリー充電 RAM (BBRAM) からのクリア AES デクリプタ キー入力

デザインの入力方法

このエレメントは、回路図で使用できます。

専用の GSR 回路はソース ピンまたはロジックを GSR ピンに接続すれば使用できますが、このコンポーネントの GSR 回路の使用には、特別の注意が必要です。GSR ネットのスキューは確定できないので、セット/リセット信号の一般配線を使用して、配線遅延とスキューをデザインのタイミング解析の一部として計算できるようにするか、クロック サイクルのリリース時にスキューが回路の動作の妨げとならないような回避策をとってください。

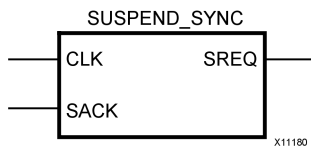
同様に、専用のグローバルトライステートが使用される場合は、適切なソース ピンまたはロジックをこのプリミティブの GTS 入力ピンに接続します。コンフィギュレーションのスタートアップ シーケンスのクロックを指定するには、デザインからのクロックをこのデザイン エレメントの CLK ピンに接続します。

詳細情報

- ・ [Spartan-6 FPGA コンフィギュレーション ユーザー ガイド](#)
- ・ [Spartan-6 FPGA データシート：DC 特性およびスイッチ特性](#)

SUSPEND_SYNC

プリミティブ：Suspend Mode Access



概要

このデザイン エLEMENTは、一時停止モードを使用しているアプリケーションのデザインを同期化する機能を拡張します。同期化が必要なクロックドメインが数個ある場合でも、一時停止モードを開始するトリガーの同期化に 3 ピン インターフェイスが使用されます。

ポートの説明

ポート名	方向	幅	機能
CLK	入力	1	ユーザー クロック入力
SACK	入力	1	SUSPEND の確認出力
SREQ	出力	1	SUSPEND の要求出力

デザインの入力方法

このELEMENTは、回路図で使用できます。

詳細情報

- ・ [Spartan-6 FPGA コンフィギュレーション ユーザー ガイド](#)
- ・ [Spartan-6 FPGA データシート：DC 特性およびスイッチ特性](#)

VCC

プリミティブ：VCC-Connection Signal Tag



概要

このデザイン エLEMENTは信号タグまたはパラメーターとして機能し、ネットや入力ファンクションを強制的に High にします。このELEMENTに接続したネットを、ほかのソースに接続することはできません。

配置配線のプロセスで VCC に接続されたネットまたは入力ファンクションが検出されると、VCC 信号でディスエーブルになるロジックは削除されます。VCC 信号は、ディスエーブルされたロジックが削除できない場合のみインプリメントされます。

デザインの入力方法

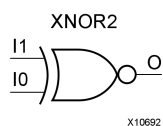
このELEMENTは、回路図でのみ使用できます。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

XNOR2

プリミティブ：2-Input XNOR Gate with Non-Inverted Inputs



概要

XNOR ファンクションには入力が 9 個までのものがあり、入力はすべて非反転入力です。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

論理表

入力	出力
I0 ~ Iz	O
1 が奇数個	0
1 が偶数個	1

デザインの入力方法

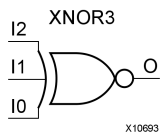
このエレメントは、回路図でのみ使用できます。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

XNOR3

プリミティブ：3-Input XNOR Gate with Non-Inverted Inputs



概要

XNOR ファンクションには入力が 9 個までのものがあり、入力はすべて非反転入力です。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

論理表

入力	出力
I0 ~ I2	O
1 が奇数個	0
1 が偶数個	1

デザインの入力方法

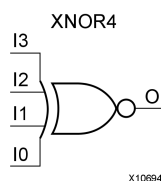
このエレメントは、回路図でのみ使用できます。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

XNOR4

プリミティブ：4-Input XNOR Gate with Non-Inverted Inputs



概要

XNOR ファンクションには入力が 9 個までのものがあり、入力はすべて非反転入力です。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

論理表

入力	出力
I0 ~ Iz	O
1 が奇数個	0
1 が偶数個	1

デザインの入力方法

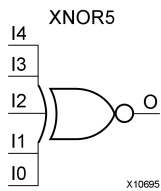
このエレメントは、回路図でのみ使用できます。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

XNOR5

プリミティブ：5-Input XNOR Gate with Non-Inverted Inputs



概要

XNOR ファンクションには入力 が 9 個までのものがあり、入力はすべて非反転入力です。各入力 で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

論理表

入力	出力
I0 ~ Iz	O
1 が奇数個	0
1 が偶数個	1

デザインの入力方法

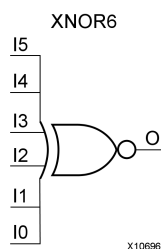
このエレメントは、回路図でのみ使用できます。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

XNOR6

マクロ：6-Input XNOR Gate with Non-Inverted Inputs



概要

XNOR ファンクションには入力が 9 個までのものがあり、入力はすべて非反転入力です。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

論理表

入力	出力
I0 ~ Iz	O
1 が奇数個	0
1 が偶数個	1

デザインの入力方法

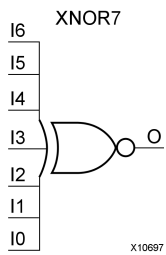
このエレメントは、回路図でのみ使用できます。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

XNOR7

マクロ：7-Input XNOR Gate with Non-Inverted Inputs



概要

XNOR ファンクションには入力 9 個までのものがあり、入力はすべて非反転入力です。各入力に CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

論理表

入力	出力
I0 ~ Iz	O
1 が奇数個	0
1 が偶数個	1

デザインの入力方法

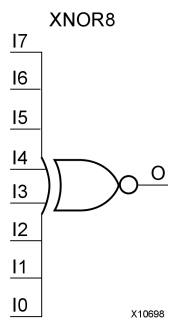
このエレメントは、回路図でのみ使用できます。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

XNOR8

マクロ：8-Input XNOR Gate with Non-Inverted Inputs



概要

XNOR ファンクションには入力が 9 個までのものがあり、入力はすべて非反転入力です。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

論理表

入力	出力
I0 ~ Iz	O
1 が奇数個	0
1 が偶数個	1

デザインの入力方法

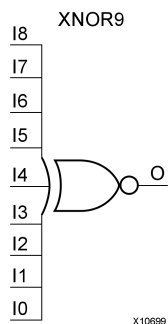
このエレメントは、回路図でのみ使用できます。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

XNOR9

マクロ：9-Input XNOR Gate with Non-Inverted Inputs



概要

XNOR ファンクションには入力 が 9 個までのものがあり、入力はすべて非反転入力です。各入力 で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

論理表

入力	出力
I0 ~ I8	O
1 が奇数個	0
1 が偶数個	1

デザインの入力方法

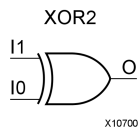
このエレメントは、回路図でのみ使用できます。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

XOR2

プリミティブ：2-Input XOR Gate with Non-Inverted Inputs



概要

XOR ファンクションには入力が 9 個までのものがあり、入力はすべて非反転入力です。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

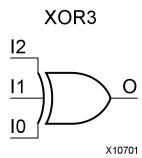
このエレメントは、回路図でのみ使用できます。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

XOR3

プリミティブ：3-Input XOR Gate with Non-Inverted Inputs



概要

XOR ファンクションには入力が 9 個までのものがあり、入力はすべて非反転入力です。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

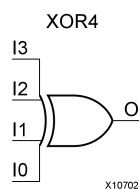
このエレメントは、回路図でのみ使用できます。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

XOR4

プリミティブ : 4-Input XOR Gate with Non-Inverted Inputs



概要

XOR ファンクションには入力が 9 個までのものがあり、入力はすべて非反転入力です。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

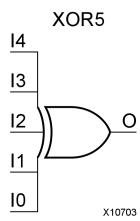
このエレメントは、回路図でのみ使用できます。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

XOR5

プリミティブ：5-Input XOR Gate with Non-Inverted Inputs



概要

XOR ファンクションには入力が 9 個までのものがあり、入力はすべて非反転入力です。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

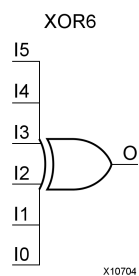
このエレメントは、回路図でのみ使用できます。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

XOR6

マクロ：6-Input XOR Gate with Non-Inverted Inputs



概要

XOR ファンクションには入力が 9 個までのものがあり、入力はすべて非反転入力です。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

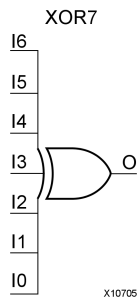
このエレメントは、回路図でのみ使用できます。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

XOR7

マクロ：7-Input XOR Gate with Non-Inverted Inputs



概要

XOR ファンクションには入力が 9 個までのものがあり、入力はすべて非反転入力です。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

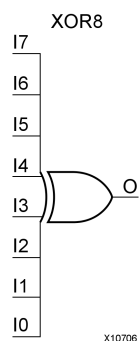
このエレメントは、回路図でのみ使用できます。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

XOR8

マクロ : 8-Input XOR Gate with Non-Inverted Inputs



概要

XOR ファンクションには入力が 9 個までのものがあり、入力はすべて非反転入力です。各入力で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

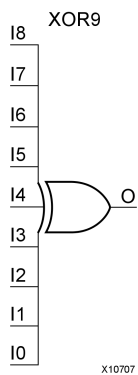
このエレメントは、回路図でのみ使用できます。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

XOR9

マクロ : 9-Input XOR Gate with Non-Inverted Inputs



概要

XOR ファンクションには入力 が 9 個までのものがあり、入力はすべて非反転入力です。各入力 で CLB リソースが使用されるので、必要な入力数のファンクションを使用するようにしてください。

デザインの入力方法

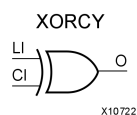
このエレメントは、回路図でのみ使用できます。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

XORCY

プリミティブ：XOR for Carry Logic with General Output



概要

このデザイン エLEMENTは、汎用出力 (O) を持つ特殊な XOR ゲートで、高速で小型の演算ファンクションを生成するために使用します。このプリミティブは、スライスのキャリーチェーン ロジック内の専用 XOR ファンクションで、演算ファンクション (加算または除算) または多入力ロジック ファンクション (多入力 AND または OR ゲート) を高速かつ効率的に作成できます。

論理表

入力		出力
LI	CI	O
0	0	0
0	1	1
1	0	1
1	1	0

デザインの入力方法

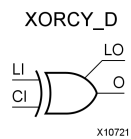
このELEMENTは、回路図で使用できます。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

XORCY_D

プリミティブ：XOR for Carry Logic with Dual Output



概要

このデザイン エLEMENTは、汎用出力 (O) とローカル出力 (LO) を持つ特殊な XOR ゲートで、高速で小型の演算ファンクションを生成するために使用します。

論理表

入力		出力
LI	CI	O および LO
0	0	0
0	1	1
1	0	1
1	1	0

デザインの入力方法

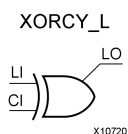
このELEMENTは、回路図で使用できます。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)

XORCY_L

プリミティブ：XOR for Carry Logic with Local Output



概要

このデザイン エLEMENTは、ローカル出力 (LO) のある特殊な XOR ゲートで、高速で小型の演算ファンクションを生成するために使用します。

論理表

入力		出力
LI	CI	LO
0	0	0
0	1	1
1	0	1
1	1	0

デザインの入力方法

このELEMENTは、回路図で使用できます。

詳細情報

[Spartan-6 FPGA の資料 \(ユーザー ガイドおよびデータシート\)](#)