

Virtex-4 ライブラリ ガイド (HDL 用)

UG619 (v14.5) 2013 年 3 月 20 日



Notice of Disclaimer

The information disclosed to you hereunder (the “Materials”) is provided solely for the selection and use of Xilinx products. To the maximum extent permitted by applicable law: (1) Materials are made available “AS IS” and with all faults, Xilinx hereby DISCLAIMS ALL WARRANTIES AND CONDITIONS, EXPRESS, IMPLIED, OR STATUTORY, INCLUDING BUT NOT LIMITED TO WARRANTIES OF MERCHANTABILITY, NON-INFRINGEMENT, OR FITNESS FOR ANY PARTICULAR PURPOSE; and (2) Xilinx shall not be liable (whether in contract or tort, including negligence, or under any other theory of liability) for any loss or damage of any kind or nature related to, arising under, or in connection with, the Materials (including your use of the Materials), including for any direct, indirect, special, incidental, or consequential loss or damage (including loss of data, profits, goodwill, or any type of loss or damage suffered as a result of any action brought by a third party) even if such damage or loss was reasonably foreseeable or Xilinx had been advised of the possibility of the same. Xilinx assumes no obligation to correct any errors contained in the Materials or to notify you of updates to the Materials or to product specifications. You may not reproduce, modify, distribute, or publicly display the Materials without prior written consent. Certain products are subject to the terms and conditions of the Limited Warranties which can be viewed at <http://www.xilinx.com/warranty.htm>; IP cores may be subject to warranty and support terms contained in a license issued to you by Xilinx. Xilinx products are not designed or intended to be fail-safe or for use in any application requiring fail-safe performance; you assume sole risk and liability for use of Xilinx products in Critical Applications: <http://www.xilinx.com/warranty.htm#critapps>.

© Copyright 2002–2012 Xilinx Inc. All rights reserved. Xilinx, the Xilinx logo, Artix, ISE, Kintex, Spartan, Virtex, Vivado, Zynq, and other designated brands included herein are trademarks of Xilinx in the United States and other countries. The PowerPC name and logo are registered trademarks of IBM Corp., and used under license. All other trademarks are the property of their respective owners.

本資料は英語版 (v14.5) を翻訳したもので、内容に相違が生じる場合には原文を優先します。

資料によっては英語版の更新に対応していないものがあります。

日本語版は参考用としてご使用の上、最新情報につきましては、必ず最新英語版をご参照ください。

この資料に関するフィードバックおよびリンクなどの問題につきましては、jpn_trans_feedback@xilinx.com までお知らせください。いただきましたご意見を参考に早急に対応させていただきます。なお、このメール アドレスへのお問い合わせは受け付けておりません。あらかじめご了承ください。

概要

HDL 用ライブラリ ガイドは、ISE® のオンライン マニュアルの 1 つです。回路図を使用して設計する場合は、回路図用ライブラリ ガイドを参照してください。

このマニュアルには、次の内容が含まれます。

- ・ 概要
- ・ このアーキテクチャでサポートされるプリミティブとマクロのファンクション別リスト
- ・ 各プリミティブの詳細説明

デザイン エLEMENTについて

このバージョンのライブラリ ガイドでは、Virtex®-4 デバイスのデザイン エLEMENTの説明とそのインスタンス化コード例を示します。インスタンス化 テンプレートは、ISE/doc/usenglish/isehelp のインストール ディレクトリにも個別の ZIP ファイルとして含まれています。

プリミティブは、ターゲットにしている FPGA デバイス用のザイリンクス コンポーネントです。プリミティブをインスタンス化して変換 (NGDBuild) プロセスを実行すると、変換後のファイルに含まれるのはまったく同じコンポーネントです。たとえば、ISERDES_NODELAY という Virtex-5 エLEMENTをユーザー プリミティブとしてインスタンス化し、変換 (NGDBuild) を実行すると、ISERDES_NODELAY がそのまま残ります。一方 Virtex-5 デバイスで ISERDES を使用していると、自動的に Virtex-5 用の ISERDES_NODELAY に変換されます。このため、「プリミティブ」の概念は、同じ分野でもその使用によって異なります。

ザイリンクスでは、さまざまなデバイス アーキテクチャに対応した多数のデザイン エLEMENT (UniMacro およびプリミティブ) を含むソフトウェア ライブラリを提供しています。開発システム ツールのリリースごとに、新しいデザイン エLEMENTが組み込まれます。このガイドは、デザイン エLEMENTをアーキテクチャごとに説明しているライブラリ ガイド シリーズの 1 つです。

デザインの入力方法

このガイドでは、各デザイン エLEMENT で 4 つの使用方法を評価して、その中から最適なソリューションを示します。この 4 つの使用方法は、次のとおりです。

- ・ **インスタンス化**：デザインにコンポーネントを直接インスタンス化します。これは、各ブロックの配置をユーザーが制御する場合に有効な方法です。
- ・ **推論**：コンポーネントはサポートされる合成ツールで推論されます。コードは柔軟性および移植性に優れているので、複数のアーキテクチャで使用できます。推論を使用すると、パフォーマンス、エリア、消費電力など、合成ツールでの指定に基づいて最適化されます。
- ・ **CORE Generator およびウィザード**：コンポーネントは CORE Generator またはウィザードから使用できます。この方法は、推論できない FPGA プリミティブを使用して大型ブロックを構築する場合に使用してください。このフローを使用する場合は、各ターゲットアーキテクチャ用にコアを再生成する必要があります。
- ・ **マクロのサポート**：使用可能な UniMacro があります。これらのコンポーネントはザイリンクス ツールの UniMacro ライブラリに含まれ、プリミティブだけでは複雑すぎてインスタンス化しにくいプリミティブをインスタンス化する際に使用します。UniMacro は、合成ツールで自動的に下位プリミティブに展開されます。

ファンクション別分類

このセクションでは、デバイスに含まれるデザイン エLEMENTをファンクション別に分類して示します。ELEMENT (プリミティブおよびマクロのインプリメンテーション) は、各カテゴリでアルファベット順にリストしています。

アドバンス	ギガビット I/O	レジスタおよびラッチ
演算ファンクション	I/O コンポーネント	シフトレジスタ LUT
クロック コンポーネント	プロセッサ	スライス/CLB プリミティブ
コンフィギュレーション/BSCAN コンポーネント	RAM/ROM	

アドバンス

デザイン エLEMENT	説明
EMAC	プリミティブ : Fully integrated 10/100/1000 Mb/s Ethernet Media Access Controller (Ethernet MAC)

演算ファンクション

デザイン エLEMENT	説明
DSP48	プリミティブ : 18x18 Signed Multiplier Followed by a Three-Input Adder with Optional Pipeline Registers

クロック コンポーネント

デザイン エLEMENT	説明
BUFG	プリミティブ : Global Clock Buffer
BUFGCE	プリミティブ : Global Clock Buffer with Clock Enable
BUFGCE_1	プリミティブ : Global Clock Buffer with Clock Enable and Output State 1
BUFGCTRL	プリミティブ : Global Clock MUX Buffer
BUFGMUX_VIRTEX4	プリミティブ : Global Clock MUX Buffer
BUFIO	プリミティブ : Local Clock Buffer for I/O

デザイン エLEMENT	説明
BUFR	プリミティブ : Regional Clock Buffer for I/O and Logic Resources
DCM_ADV	プリミティブ : Advanced Digital Clock Manager Circuit
DCM_BASE	プリミティブ : Base Digital Clock Manager Circuit
DCM_PS	プリミティブ : Digital Clock Manager with Basic and Phase Shift Features
PMCD	プリミティブ : Phase-Matched Clock Divider

コンフィギュレーション/BSCAN コンポーネント

デザイン エLEMENT	説明
BSCAN_VIRTEX4	プリミティブ : Virtex®-4 JTAG Boundary-Scan Logic Access Circuit
CAPTURE_VIRTEX4	プリミティブ : Virtex®-4 Boundary Scan Logic Control Circuit
FRAME_ECC_VIRTEX4	プリミティブ : Reads a Single, Virtex®-4 Configuration Frame and Computes a Hamming, Single-Error Correction, Double-Error Detection Syndrome
ICAP_VIRTEX4	プリミティブ : Virtex-4 Internal Configuration Access Port
STARTUP_VIRTEX4	プリミティブ : Virtex®-4 User Interface to Configuration Clock, Global Reset, Global 3-State Controls, and Other Configuration Signals
USR_ACCESS_VIRTEX4	プリミティブ : 32-Bit Register with a 32-Bit DATA Bus and a DATAVALID Port

ギガビット I/O

デザイン エLEMENT	説明
GT11_CUSTOM	プリミティブ : RocketIO MGTs with 622 Mb/s to 11.1 Gb/s Data Rates, 8 to 24 Transceivers per FPGA, and 2.5 GHz 5.55 GHz VCO, Less Than 1ns RMS Jitter
GT11_DUAL	プリミティブ : RocketIO MGT Tile (contains 2 GT11_CUSTOM) with 622 Mb/s to 11.1 Gb/s data rates, 8 to 24 transceivers per FPGA, and 2.5 GHz 5.55 GHz VCO, less than 1ns RMS jitter
GT11CLK	プリミティブ : A MUX That Can Select From Differential Package Input Clock, refclk From the Fabric, or rxbelk to Drive the Two Vertical Reference Clock Buses for the Column of MGTs
GT11CLK_MGT	プリミティブ : Allows Differential Package Input to Drive the Two Vertical Reference Clock Buses for the Column of MGTs

I/O コンポーネント

デザイン エLEMENT	説明
DCIRESET	プリミティブ：DCI State Machine Reset (After Configuration Has Been Completed)
IBUF	プリミティブ：Input Buffer
IBUFDS	プリミティブ：Differential Signaling Input Buffer
IBUFG	プリミティブ：Dedicated Input Clock Buffer
IBUFGDS	プリミティブ：Differential Signaling Dedicated Input Clock Buffer and Optional Delay
IDELAY	プリミティブ：Input Delay Element
IDELAYCTRL	プリミティブ：IDELAY Tap Delay Value Control
IOBUF	プリミティブ：Bi-Directional Buffer
IOBUFDS	プリミティブ：3-State Differential Signaling I/O Buffer with Active Low Output Enable
ISERDES	プリミティブ：Dedicated I/O Buffer Input Deserializer
KEEPER	プリミティブ：KEEPER Symbol
OBUF	プリミティブ：Output Buffer
OBUFDS	プリミティブ：Differential Signaling Output Buffer
OBUFFT	プリミティブ：3-State Output Buffer with Active Low Output Enable
OBUFFTDS	プリミティブ：3-State Output Buffer with Differential Signaling, Active-Low Output Enable
OSERDES	プリミティブ：Dedicated IOB Output Serializer
PULLDOWN	プリミティブ：Resistor to GND for Input Pads, Open-Drain, and 3-State Outputs
PULLUP	プリミティブ：Resistor to VCC for Input PADS, Open-Drain, and 3-State Outputs

プロセッサ

デザイン エLEMENT	説明
PPC405_ADV	プリミティブ：Primitive for the Power PC Core

RAM/ROM

デザイン エLEMENT	説明
FIFO16	プリミティブ：Virtex-4 Block RAM Based, Built-In FIFO
RAM16X1D	プリミティブ：16-Deep by 1-Wide Static Dual Port Synchronous RAM
RAM16X1D_1	プリミティブ：16-Deep by 1-Wide Static Dual Port Synchronous RAM with Negative-Edge Clock
RAM16X1S	プリミティブ：16-Deep by 1-Wide Static Synchronous RAM

デザイン エLEMENT	説明
RAM16X1S_1	プリミティブ : 16-Deep by 1-Wide Static Synchronous RAM with Negative-Edge Clock
RAM16X2S	プリミティブ : 16-Deep by 2-Wide Static Synchronous RAM
RAM32X1S	プリミティブ : 32-Deep by 1-Wide Static Synchronous RAM
RAM32X1S_1	プリミティブ : 32-Deep by 1-Wide Static Synchronous RAM with Negative-Edge Clock
RAM32X2S	プリミティブ : 32-Deep by 2-Wide Static Synchronous RAM
RAM64X1S	プリミティブ : 64-Deep by 1-Wide Static Synchronous RAM
RAM64X1S_1	プリミティブ : 64-Deep by 1-Wide Static Synchronous RAM with Negative-Edge Clock
RAMB16	プリミティブ : 16K-bit Data and 2K-bit Parity Single-Port Synchronous Block RAM with Configurable Port Widths
RAMB32_S64_ECC	プリミティブ : 512 Deep by 64-Bit Wide Synchronous, Two-Port Block RAM with Built-In Error Correction
ROM128X1	プリミティブ : 128-Deep by 1-Wide ROM
ROM16X1	プリミティブ : 16-Deep by 1-Wide ROM
ROM256X1	プリミティブ : 256-Deep by 1-Wide ROM
ROM32X1	プリミティブ : 32-Deep by 1-Wide ROM
ROM64X1	プリミティブ : 64-Deep by 1-Wide ROM

レジスタおよびラッチ

デザイン エLEMENT	説明
FDCE	プリミティブ : D Flip-Flop with Clock Enable and Asynchronous Clear
FDCPE	プリミティブ : D Flip-Flop with Clock Enable and Asynchronous Preset and Clear
FDPE	プリミティブ : D Flip-Flop with Clock Enable and Asynchronous Preset
FDRE	プリミティブ : D Flip-Flop with Clock Enable and Synchronous Reset
FDRSE	プリミティブ : D Flip-Flop with Synchronous Reset and Set and Clock Enable
FDSE	プリミティブ : D Flip-Flop with Clock Enable and Synchronous Set
IDDR	プリミティブ : Input Dual Data-Rate Register
LDCE	プリミティブ : Transparent Data Latch with Asynchronous Clear and Gate Enable
LDCPE	プリミティブ : Transparent Data Latch with Asynchronous Clear and Preset and Gate Enable
LDPE	プリミティブ : Transparent Data Latch with Asynchronous Preset and Gate Enable
ODDR	プリミティブ : Dedicated Dual Data Rate (DDR) Output Register

シフト レジスタ LUT

デザイン エLEMENT	説明
SRL16	プリミティブ：16-Bit Shift Register Look-Up Table (LUT)
SRL16_1	プリミティブ：16-Bit Shift Register Look-Up Table (LUT) with Negative-Edge Clock
SRL16E	プリミティブ：16-Bit Shift Register Look-Up Table (LUT) with Clock Enable
SRL16E_1	プリミティブ：16-Bit Shift Register Look-Up Table (LUT) with Negative-Edge Clock and Clock Enable
SRLC16	プリミティブ：16-Bit Shift Register Look-Up Table (LUT) with Carry
SRLC16_1	プリミティブ：16-Bit Shift Register Look-Up Table (LUT) with Carry and Negative-Edge Clock
SRLC16E	プリミティブ：16-Bit Shift Register Look-Up Table (LUT) with Carry and Clock Enable
SRLC16E_1	プリミティブ：16-Bit Shift Register Look-Up Table (LUT) with Carry, Negative-Edge Clock, and Clock Enable

スライス/CLB プリミティブ

デザイン エLEMENT	説明
BUFCF	プリミティブ：Fast Connect Buffer
LUT1	プリミティブ：1-Bit Look-Up Table with General Output
LUT1_D	プリミティブ：1-Bit Look-Up Table with Dual Output
LUT1_L	プリミティブ：1-Bit Look-Up Table with Local Output
LUT2	プリミティブ：2-Bit Look-Up Table with General Output
LUT2_D	プリミティブ：2-Bit Look-Up Table with Dual Output
LUT2_L	プリミティブ：2-Bit Look-Up Table with Local Output
LUT3	プリミティブ：3-Bit Look-Up Table with General Output
LUT3_D	プリミティブ：3-Bit Look-Up Table with Dual Output
LUT3_L	プリミティブ：3-Bit Look-Up Table with Local Output
LUT4	プリミティブ：4-Bit Look-Up-Table with General Output
LUT4_D	プリミティブ：4-Bit Look-Up Table with Dual Output
LUT4_L	プリミティブ：4-Bit Look-Up Table with Local Output
MULT_AND	プリミティブ：Fast Multiplier AND
MUXCY	プリミティブ：2-to-1 Multiplexer for Carry Logic with General Output
MUXCY_D	プリミティブ：2-to-1 Multiplexer for Carry Logic with Dual Output
MUXCY_L	プリミティブ：2-to-1 Multiplexer for Carry Logic with Local Output
MUXF5	プリミティブ：2-to-1 Look-Up Table Multiplexer with General Output

デザイン エlement	説明
MUXF5_D	プリミティブ：2-to-1 Look-Up Table Multiplexer with Dual Output
MUXF5_L	プリミティブ：2-to-1 Look-Up Table Multiplexer with Local Output
MUXF6	プリミティブ：2-to-1 Look-Up Table Multiplexer with General Output
MUXF6_D	プリミティブ：2-to-1 Look-Up Table Multiplexer with Dual Output
MUXF6_L	プリミティブ：2-to-1 Look-Up Table Multiplexer with Local Output
MUXF7	プリミティブ：2-to-1 Look-Up Table Multiplexer with General Output
MUXF7_D	プリミティブ：2-to-1 Look-Up Table Multiplexer with Dual Output
MUXF7_L	プリミティブ：2-to-1 look-up table Multiplexer with Local Output
MUXF8	プリミティブ：2-to-1 Look-Up Table Multiplexer with General Output
MUXF8_D	プリミティブ：2-to-1 Look-Up Table Multiplexer with Dual Output
MUXF8_L	プリミティブ：2-to-1 Look-Up Table Multiplexer with Local Output
XORCY	プリミティブ：XOR for Carry Logic with General Output
XORCY_D	プリミティブ：XOR for Carry Logic with Dual Output
XORCY_L	プリミティブ：XOR for Carry Logic with Local Output

デザイン エLEMENT

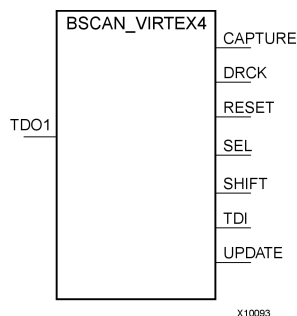
このセクションでは、Virtex®-4 デバイスで利用できるデザイン エLEMENTについて説明します。デザイン エLEMENTは、アルファベット順に並べられています。

各ライブラリ エLEMENTについて、次の情報を示します。

- ・ 名称
- ・ 説明
- ・ 回路図シンボル (該当するELEMENTでのみ)
- ・ 論理表 (該当するELEMENTでのみ)
- ・ ポートの説明
- ・ デザインの入力方法
- ・ 使用可能な属性 (該当するELEMENTでのみ)
- ・ インスタンス化コードの例
- ・ その他のリソース

BSCAN_VIRTEX4

プリミティブ：Virtex®-4 JTAG Boundary-Scan Logic Access Circuit



概要

このデザイン エLEMENTを使用すると、JTAG バウンダリ スキャン ロジック コントローラーを介して内部ロジックにアクセスできるようになり、内部実行デザインと FPGA の専用 JTAG ピン間の通信が可能になります。

このデザイン エLEMENTの各インスタンスでは、JTAG_CHAIN 属性の設定に従い、JTAG USER 命令 1 つ (USER1 から USER4 まで) が処理されます。4 つの USER 命令すべてを処理するには、ELEMENTを 4 つインスタンス化して JTAG_CHAIN 属性を設定します。

注記： 各アーキテクチャのバウンダリ スキャンの詳細は、データシートを参照してください。

ポートの説明

ポート名	方向	幅	機能
CAPTURE	出力	1	USER 命令が読み込まれるとアクティブになり、JTAG TAP コントローラーが CAPTURE-DR ステートになると High にアサートされます。
DRCK	出力	1	JTAG_CHAIN によって割り当てられた JTAG USER 命令が読み込まれ、JTAG TAP コントローラーが SHIFT-DR ステートまたは CAPTURE-DR ステートになると、FPGA への TCK ピンと同じ値を出力します。
RESET	出力	1	USER 命令が読み込まれるとアクティブになり、JTAG TAP コントローラーが TEST-LOGIC-RESET ステートになると High にアサートされます。
SEL	出力	1	JTAG 命令レジスタに USER 命令が読み込まれたことを示します。UPDATE-IR ステートになるとアクティブになり、新しい命令が読み込まれるまでアクティブのままになります。
SHIFT	出力	1	USER 命令が読み込まれるとアクティブになり、JTAG TAP コントローラーが SHIFT-DR ステートになると High にアサートされます。
TDI	出力	1	TDI ピンと同じ値を出力します。
UPDATE	出力	1	USER 命令が読み込まれるとアクティブになり、JTAG TAP コントローラーが UPDATE-DR ステートになると High にアサートされます。
TDO	入力	1	USER 命令が読み込まれるとアクティブになり、外部 JTAG TDO ピンには、マクロの TDO1 ピンへのデータ入力の値が示されます。

デザインの入力方法

インスタンス化	推奨
推論	不可
CORE Generator™ およびウィザード	不可
マクロのサポート	不可

使用可能な属性

属性	データ型	値	デフォルト	説明
JTAG_CHAIN	整数	1、2、3、4	1	エレメントのインスタンスで処理可能な JTAG USER 命令数を設定します。

VHDL 記述 (インスタンス化)

次の 2 つの文が存在しない場合は、コピーしてエンティティ宣言の前に貼り付けます。

```
Library UNISIM;
use UNISIM.vcomponents.all;

-- BSCAN_VIRTEX4: Boundary Scan primitive for connecting internal logic to
--                JTAG interface.
--                Virtex-4
-- Xilinx HDL Libraries Guide, version 14.5

BSCAN_VIRTEX4_inst : BSCAN_VIRTEX4
generic map (
    JTAG_CHAIN => 1) -- Value to set BSCAN site of device. Possible values: (1,2,3 or 4)
port map (
    CAPTURE => CAPTURE, -- CAPTURE output from TAP controller
    DRCK => DRCK,        -- Data register output for USER functions
    RESET => RESET,      -- Reset output from TAP controller
    SEL => SEL,          -- USER active output
    SHIFT => SHIFT,      -- SHIFT output from TAP controller
    TDI => TDI,          -- TDI output from TAP controller
    UPDATE => UPDATE,    -- UPDATE output from TAP controller
    TDO => TDO           -- Data input for USER function
);

-- End of BSCAN_VIRTEX4_inst instantiation
```

Verilog 記述 (インスタンス化)

```
// BSCAN_VIRTEX4: Boundary Scan primitive for connecting internal logic to
//                JTAG interface.
//                Virtex-4
// Xilinx HDL Libraries Guide, version 14.5

BSCAN_VIRTEX4 #(
    .JTAG_CHAIN(1) // Possible values: 1, 2, 3, or 4
) BSCAN_VIRTEX4_inst (
    .CAPTURE(CAPTURE), // CAPTURE output from TAP controller
    .DRCK(DRCK),       // Data register output for USER function
    .RESET(RESET),     // Reset output from TAP controller
    .SEL(SEL),         // USER active output
    .SHIFT(SHIFT),     // SHIFT output from TAP controller
    .TDI(TDI),         // TDI output from TAP controller
    .UPDATE(UPDATE),   // UPDATE output from TAP controller
    .TDO(TDO)          // Data input for USER function
);
```

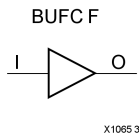
```
// End of BSCAN_VIRTEX4_inst instantiation
```

詳細情報

- ・ [『Virtex-4 FPGA ユーザー ガイド』\(UG070\)](#)
- ・ [『Virtex-4 FPGA データシート：DC 特性およびスイッチ特性』\(DS302\)](#)

BUFCF

プリミティブ：Fast Connect Buffer



概要

このデザイン エLEMENTは、一部の専用ロジックと LUT の出力を別の LUT の入力に直接接続するために使用する、単一の高速結合バッファです。このバッファを使用すると、CLB パックも行われます。LUT は、4 つまで 1 つのグループとして接続できます。

デザインの入力方法

インスタンス化	推奨
推論	不可
CORE Generator™ およびウィザード	不可
マクロのサポート	不可

VHDL 記述（インスタンス化）

次の 2 つの文が存在しない場合は、コピーしてエンティティ宣言の前に貼り付けます。

```
Library UNISIM;
use UNISIM.vcomponents.all;

-- BUFCF: Fast connect buffer used to connect the outputs of the LUTs
--         and some dedicated logic directly to the input of another LUT.
--         Virtex-4
-- Xilinx HDL Libraries Guide, version 14.5

BUFCF_inst: BUFCF (
  port map (
    O => O, -- Connect to the output of a LUT
    I => I  -- Connect to the input of a LUT
  );

-- End of BUFCF_inst instantiation
```

Verilog 記述（インスタンス化）

```
// BUFCF: Fast connect buffer used to connect the outputs of the LUTs
//         and some dedicated logic directly to the input of another LUT.
//         Virtex-4
// Xilinx HDL Libraries Guide, version 14.5

BUFCF BUFCF_inst (
  .O(O), // Connect to the output of a LUT
  .I(I)  // Connect to the input of a LUT
);

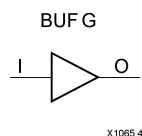
// End of BUFCF_inst instantiation
```

詳細情報

- ・ [『Virtex-4 FPGA ユーザー ガイド』\(UG070\)](#)
- ・ [『Virtex-4 FPGA データシート：DC 特性およびスイッチ特性』\(DS302\)](#)

BUFG

プリミティブ：Global Clock Buffer



概要

このデザイン エLEMENTはファンアウトが大きいバッファで、スキューを抑えて信号を分散するために、グローバル配線リソースへの信号に接続します。BUFG は、通常セット/リセットやクロック イネーブルなどのファンアウトの大きいネットやクロック ネットに使用されます。

ポートの説明

ポート名	方向	幅	機能
I	入力	1	クロック バッファ入力
O	出力	1	クロック バッファ出力

デザインの入力方法

インスタンス化	可
推論	推奨
CORE Generator™ およびウィザード	不可
マクロのサポート	不可

VHDL 記述 (インスタンス化)

次の 2 つの文が存在しない場合は、コピーしてエンティティ宣言の前に貼り付けます。

```
Library UNISIM;
use UNISIM.vcomponents.all;

-- BUFG: Global Clock Buffer (source by an internal signal)
--      Virtex-4
--      Xilinx HDL Libraries Guide, version 14.5

BUFG_inst : BUFG
port map (
    O => O,      -- Clock buffer output
    I => I        -- Clock buffer input
);

-- End of BUFG_inst instantiation
```

Verilog 記述 (インスタンスレーション)

```
// BUFG: Global Clock Buffer (source by an internal signal)
//      Virtex-4
// Xilinx HDL Libraries Guide, version 14.5

BUFG BUFG_inst (
    .O(O),      // Clock buffer output
    .I(I)       // Clock buffer input
);

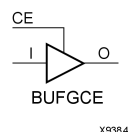
// End of BUFG_inst instantiation
```

詳細情報

- ・ [『Virtex-4 FPGA ユーザー ガイド』\(UG070\)](#)
- ・ [『Virtex-4 FPGA データシート：DC 特性およびスイッチ特性』\(DS302\)](#)

BUFGCE

プリミティブ : Global Clock Buffer with Clock Enable



概要

このデザイン エLEMENTは、クロック イネーブル付きグローバル クロック バッファです。O 出力は、クロック イネーブル (CE) が Low (非アクティブ) のときに 0 になります。CE が High になると、I 入力の値が O に出力されます。

論理表

入力		出力
I	CE	O
X	0	0
I	1	I

ポートの説明

ポート名	方向	幅	機能
I	入力	1	クロック バッファ入力
CE	入力	1	クロック イネーブル入力
O	出力	1	クロック バッファ出力

デザインの入力方法

インスタンス化	可
推論	推奨
CORE Generator™ およびウィザード	不可
マクロのサポート	不可

VHDL 記述 (インスタンス化)

次の 2 つの文が存在しない場合は、コピーしてエンティティ宣言の前に貼り付けます。

```
Library UNISIM;
use UNISIM.vcomponents.all;

-- BUFGCE: Global Clock Buffer with Clock Enable (active high)
--           Virtex-4
-- Xilinx HDL Libraries Guide, version 14.5

BUFGCE_inst : BUFGCE
port map (
    O => O,    -- Clock buffer output
    CE => CE,  -- Clock enable input
    I => I     -- Clock buffer input
);

-- End of BUFGCE_inst instantiation
```

Verilog 記述 (インスタンス化)

```
// BUFGCE: Global Clock Buffer with Clock Enable (active high)
//           Virtex-4
// Xilinx HDL Libraries Guide, version 14.5

BUFGCE BUFGCE_inst (
    .O(O),    // Clock buffer output
    .CE(CE),  // Clock enable input
    .I(I)     // Clock buffer input
);

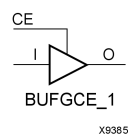
// End of BUFGCE_inst instantiation
```

詳細情報

- ・ [『Virtex-4 FPGA ユーザー ガイド』\(UG070\)](#)
- ・ [『Virtex-4 FPGA データシート：DC 特性およびスイッチ特性』\(DS302\)](#)

BUFGCE_1

プリミティブ : Global Clock Buffer with Clock Enable and Output State 1



概要

このデザイン エLEMENTは、クロック イネーブル付きグローバル クロック バッファです。O 出力は、クロック イネーブル (CE) が Low (非アクティブ) のときに High (1) になります。CE が High になると、I 入力の値が O に出力されます。

論理表

入力		出力
I	CE	O
X	0	1
I	1	I

ポートの説明

ポート名	方向	幅	機能
I	入力	1	クロック バッファ入力
CE	入力	1	クロック イネーブル入力
O	出力	1	クロック バッファ出力

デザインの入力方法

インスタンス化	可
推論	推奨
CORE Generator™ およびウィザード	不可
マクロのサポート	不可

VHDL 記述 (インスタンス化)

次の 2 つの文が存在しない場合は、コピーしてエンティティ宣言の前に貼り付けます。

```
Library UNISIM;
use UNISIM.vcomponents.all;

-- BUFGCE_1: Global Clock Buffer with Clock Enable (active low)
--          Virtex-4
-- Xilinx HDL Libraries Guide, version 14.5

BUFGCE_1_inst : BUFGCE_1
port map (
    O => O,  -- Clock buffer output
    CE => CE, -- Clock enable input
    I => I   -- Clock buffer input
);

-- End of BUFGCE_1_inst instantiation
```

Verilog 記述 (インスタンス化)

```
// BUFGCE_1: Global Clock Buffer with Clock Enable (active low)
//          Virtex-4
// Xilinx HDL Libraries Guide, version 14.5

BUFGCE_1 BUFGCE_1_inst (
    .O(O),    // Clock buffer output
    .CE(CE),  // Clock enable input
    .I(I)     // Clock buffer input
);

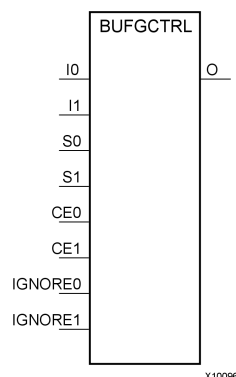
// End of BUFGCE_1_inst instantiation
```

詳細情報

- ・ [『Virtex-4 FPGA ユーザー ガイド』\(UG070\)](#)
- ・ [『Virtex-4 FPGA データシート：DC 特性およびスイッチ特性』\(DS302\)](#)

BUFGCTRL

プリミティブ：Global Clock MUX Buffer



概要

BUFGCTRL は、2 つのクロック入力を持つ同期/非同期のグリッチのない 2:1 マルチプレクサーとして機能するグローバル クロック バッファです。Virtex-4 以前の FPGA に含まれるグローバル クロック バッファに比べ、制御ピンが追加されており、さまざまな機能の使用および効率的な入力の切り替えが可能です。BUFGCTRL は、クロック供給以外の用途にも使用できます。

ポートの説明

ポート名	方向	幅	機能
O	出力	1	クロック出力ピン
I0、I1	入力	1 (それぞれ)	クロック入力： I0：クロック入力ピン I1：クロック入力ピン
CE0、CE1	入力	1 (それぞれ)	クロック イネーブル入力。CE ピンは、各クロック入力ピンのクロック イネーブル入力で、クロック入力を選択するときに使用します。入力を選択するために CE ピンを使用する場合は、セットアップ/ホールド タイムを設定する必要があります。要件を満たさない場合、クロックでグリッチが発生する可能性があります。
S0、S1	入力	1 (それぞれ)	クロック セレクト入力。S ピンは、各クロック入力ピンのクロック セレクト入力です。入力を選択するために S ピンを使用する場合は、セットアップおよびホールド タイム要件を満たす必要があります。CE ピンとは異なり、要件を満たさなくてもクロック グリッチが発生することはありませんが、出力クロックがピンに現れるのが 1 クロック サイクル後になる場合があります。
IGNORE0、IGNORE1	入力	1 (それぞれ)	クロック IGNORE 入力。IGNORE ピンは、BUFGCTRL により実行されるスイッチ アルゴリズムをバイパスする場合に使用します。

デザインの入力方法

インスタンス化	可
推論	推奨
CORE Generator™ およびウィザード	不可
マクロのサポート	不可

使用可能な属性

属性	データ型	値	デフォルト	説明
INIT_OUT	整数	0、1	0	コンフィギュレーション後の BUFGCTRL 出力の初期値を指定します。
PRESELECT_I0	ブール代数	FALSE、TRUE	FALSE	TRUE に設定すると、コンフィギュレーション後に I0 入力が出力されます。
PRESELECT_I1	ブール代数	FALSE、TRUE	FALSE	TRUE に設定すると、コンフィギュレーション後に I1 入力が出力されます。

注記：2 つの PRESELECT 属性を同時に TRUE に設定することはできません。

VHDL 記述（インスタンス化）

次の 2 つの文が存在しない場合は、コピーしてエンティティ宣言の前に貼り付けます。

```
Library UNISIM;
use UNISIM.vcomponents.all;

-- BUFGCTRL: Advanced Clock Primitive
--      Virtex-4
-- Xilinx HDL Libraries Guide, version 14.5

BUFGCTRL_inst : BUFGCTRL
generic map (
  INIT_OUT => 0,           -- Initial value of 0 or 1 after configuration
  PRESELECT_I0 => FALSE, -- TRUE/FALSE set the I0 input after configuration
  PRESELECT_I1 => FALSE) -- TRUE/FALSE set the I1 input after configuration
port map (
  O => O,                 -- Clock MUX output
  CE0 => CE0,             -- Clock enable0 input
  CE1 => CE1,             -- Clock enable1 input
  I0 => I0,               -- Clock0 input
  I1 => I1,               -- Clock1 input
  IGNORE0 => IGNORE0,     -- Ignore clock select0 input
  IGNORE1 => IGNORE1,     -- Ignore clock select1 input
  S0 => S0,               -- Clock select0 input
  S1 => S1               -- Clock select1 input
);

-- End of BUFGCTRL_inst instantiation
```


Verilog 記述 (インスタンスレーション)

```
// BUFGCTRL: Advanced Clock MUX Primitive
//          Virtex-4
// Xilinx HDL Libraries Guide, version 14.5

BUFGCTRL #(
    .INIT_OUT(0), // Initial value of 0 or 1 after configuration
    .PRESELECT_I0("FALSE"), // "TRUE" or "FALSE" set the I0 input after configuration
    .PRESELECT_I1("FALSE") // "TRUE" or "FALSE" set the I1 input after configuration
) BUFGCTRL_inst (
    .O(0), // 1-bit output
    .CE0(CE0), // 1-bit clock enable 0
    .CE1(CE1), // 1-bit clock enable 1
    .I0(I0), // 1-bit clock 0 input
    .I1(I1), // 1-bit clock 1 input
    .IGNORE0(IGNORE0), // 1-bit ignore 0 input
    .IGNORE1(IGNORE1), // 1-bit ignore 1 input
    .S0(S0), // 1-bit select 0 input
    .S1(S1) // 1-bit select 1 input
);

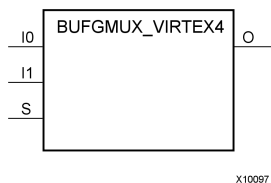
// End of BUFGCTRL_inst instantiation
```

詳細情報

- ・ [『Virtex-4 FPGA ユーザー ガイド』\(UG070\)](#)
- ・ [『Virtex-4 FPGA データシート：DC 特性およびスイッチ特性』\(DS302\)](#)

BUFGMUX_VIRTEX4

プリミティブ：Global Clock MUX Buffer



概要

このデザイン エレメントは、2 つのクロック入力、1 つのクロック出力、セレクト入力を持つクロック バッファです。このプリミティブは BUFGCTRL に基づいており、一部のピンが High または Low に接続されています。

このエレメントは、S ピンをセレクトピンとして使用します。S ピンは、グリッチを発生させずにいつでも切り替えることができます。S ピンのセットアップ/ホールド タイムによって、新しいクロックに切り替わる前に、その前のクロックの余分なパルスが出力されるかどうかが決まります。S ピンがセットアップ タイム TBCCCK_S より前、I/O が High から Low に切り替わる前に変化した場合、I/O の余分なパルスは出力されません。S ピンがホールド タイムの後に変化した場合は、余分なパルスが出力されますが、グリッチが発生することはありません。いずれの場合でも、出力は遅い方のクロックの 3 クロック サイクル以内に新しいクロックに切り替わります。

S0 と S1 のセットアップ/ホールド タイム要件は、CE0 と CE1 のように立ち上がりエッジではなく、立ち下がりエッジを基準としています (INIT_OUT = 0 の場合)。

このエレメントの切り替え条件は、BUFGCTRL の S ピンと同様です。

ポートの説明

ポート名	方向	幅	機能
O	出力	1	クロック出力
I1 : I0	入力	1	クロック入力
S0 : S1	入力	1	クロック セレクト入力

デザインの入力方法

インスタンス化	可
推論	推奨
CORE Generator™ およびウィザード	不可
マクロのサポート	不可

VHDL 記述 (インスタンスレーション)

次の 2 つの文が存在しない場合は、コピーしてエンティティ宣言の前に貼り付けます。

```
Library UNISIM;
use UNISIM.vcomponents.all;

-- BUFGMUX_VIRTEX4: Global Clock Buffer 2-to-1 MUX
--                               Virtex-4
-- Xilinx HDL Libraries Guide, version 14.5

BUFGMUX_VIRTEX4_inst : BUFGMUX_VIRTEX4
port map (
    O => O,      -- Clock MUX output
    I0 => I0,     -- Clock0 input
    I1 => I1,     -- Clock1 input
    S => S       -- Clock select input
);

-- End of BUFGMUX_VIRTEX4_inst instantiation
```

Verilog 記述 (インスタンスレーション)

```
// BUFGMUX_VIRTEX4: Global Clock Buffer 2-to-1 MUX
//                               Virtex-4
// Xilinx HDL Libraries Guide, version 14.5

BUFGMUX_VIRTEX4 BUFGMUX_VIRTEX4_inst (
    .O(O),      // Clock MUX output
    .I0(I0),    // Clock0 input
    .I1(I1),    // Clock1 input
    .S(S)       // Clock select input
);

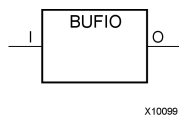
// End of BUFGMUX_VIRTEX4_inst instantiation
```

詳細情報

- ・ [『Virtex-4 FPGA ユーザー ガイド』\(UG070\)](#)
- ・ [『Virtex-4 FPGA データシート: DC 特性およびスイッチ特性』\(DS302\)](#)

BUFIO

プリミティブ : Local Clock Buffer for I/O



概要

このデザイン エLEMENTはクロック バッファです。単にクロック信号を入力し、出力します。I/O 列の専用クロック ネットを駆動し、グローバル クロック リソースからは独立しているため、ソース同期データ キャプチャ (転送/受信クロック分配) に適しています。これらのELEMENTを駆動できるのは、同じクロック領域内のクロック兼用 I/O のみです。BUFIO では、隣接する 2 つの I/O クロック ネット (最大 3 クロック領域まで) とリージョナル クロック バッファ (BUFR) を駆動できます。ただし、I/O クロック ネットワークは I/O 列までしか到達しないので、CLB やブロック RAM などのロジック リソースは駆動できません。

ポートの説明

ポート名	方向	幅	機能
O	出力	1	クロック出力
I	入力	1	クロック入力

デザインの入力方法

インスタンス化	推奨
推論	不可
CORE Generator™ およびウィザード	不可
マクロのサポート	不可

VHDL 記述 (インスタンス化)

次の 2 つの文が存在しない場合は、コピーしてエンティティ宣言の前に貼り付けます。

```
Library UNISIM;
use UNISIM.vcomponents.all;

-- BUFIO: Clock in, clock out buffer
--      Virtex-4
-- Xilinx HDL Libraries Guide, version 14.5

BUFIO_inst : BUFIO
port map (
    O => O,      -- Clock buffer output
    I => I        -- Clock buffer input
);

-- End of BUFIO_inst instantiation
```

Verilog 記述 (インスタンスレーション)

```
// BUFIO: Local Clock Buffer
//      Virtex-4
// Xilinx HDL Libraries Guide, version 14.5

BUFIO BUFIO_inst (
    .O(O),      // Clock buffer output
    .I(I)       // Clock buffer input
);

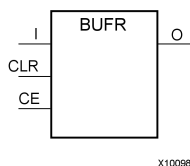
// End of BUFIO_inst instantiation
```

詳細情報

- ・ [『Virtex-4 FPGA ユーザー ガイド』\(UG070\)](#)
- ・ [『Virtex-4 FPGA データシート：DC 特性およびスイッチ特性』\(DS302\)](#)

BUFR

プリミティブ：Regional Clock Buffer for I/O and Logic Resources



概要

BUFR はクロック バッファです。グローバル クロック ツリーからは独立しており、クロック領域内の専用クロック ネットにクロック信号を供給します。BUFR は、同じ領域内のリージョナル クロック ネット 2 つと、隣接するクロック領域のクロック ネット 2 つを駆動できます (最大 3 クロック領域まで)。BUFIO と異なり、BUFR は I/O ロジックだけでなく、同じクロック領域および隣接するクロック領域のロジックリソース (CLB、ブロック RAM など) も駆動できます。BUFR は、BUFIO の出力かローカル インターコネクトのどちらかで駆動されます。クロック入力を分周したクロックを出力することもできます。分周比は、1 ～ 8 の整数です。BUFR は、クロックドメインの切り替えやシリアルからパラレルへの変換が必要なソース同期アプリケーションに適しています。通常、1 つのクロック領域 (リージョナル クロック ネットワーク 2 つ) には BUFR が 2 つ含まれます。中央列には BUFR は含まれません。

ポートの説明

ポート名	方向	幅	機能
CE	入力	1	クロック イネーブル ポート。Low になると出力クロックがディスエーブルになり、High になるとクロックが O ポートに出力されます。“BYPASS” モードでは使用できません。BUFR_DIVIDE を “BYPASS” に設定している場合、または使用しない場合は、VCC に接続します。
CLR	入力	1	分周クロック出力用のカウンタ非同期クリア。High になると、分周クロック出力を生成するために使用されたカウンタがリセットされ、出力が Low になります。“BYPASS” モードでは使用できません。BUFR_DIVIDE を “BYPASS” に設定している場合、または使用しない場合は、グラウンドに接続します。
I	入力	1	クロック入力ポート。BUFR のクロックソース ポートです。BUFIO の出力またはローカル インターコネクトで駆動できます。
O	出力	1	クロック出力ポート。BUFR と同じクロック領域および 2 つの隣接するクロック領域 (最大 3 クロック領域) のクロック ネットを駆動できます。FPGA および IOB を駆動します。

デザインの入力方法

インスタンス化	可
推論	不可
CORE Generator™ およびウィザード	可
マクロのサポート	不可

使用可能な属性

属性	データ型	値	デフォルト	説明
BUFR_DIVIDE	文字列	"BYPASS"、"1"、"2"、 "3"、"4"、"5"、"6"、"7"、 "8"	"BYPASS"	出力クロックに分周した入力クロックを使用する場合の分周比を指定します。
SIM_DEVICE	文字列	"VIRTEX4"、 "VIRTEX5"、 "VIRTEX6"	"VIRTEX4"	BUFR の CE レイテンシを定義します。

VHDL 記述 (インスタンスレーション)

次の 2 つの文が存在しない場合は、コピーしてエンティティ宣言の前に貼り付けます。

```
Library UNISIM;
use UNISIM.vcomponents.all;

-- BUFR: Regional (Local) Clock Buffer /w Enable, Clear and Division Capabilities
--      Virtex-4
-- Xilinx HDL Libraries Guide, version 14.5

BUFR_inst : BUFR
generic map (
    BUFR_DIVIDE => "BYPASS",    -- "BYPASS", "1", "2", "3", "4", "5", "6", "7", "8"
    SIM_DEVICE  => "VIRTEX4")   -- Specify target device, "VIRTEX4", "VIRTEX5", "VIRTEX6"
port map (
    O => O,      -- Clock buffer output
    CE => CE,    -- Clock enable input
    CLR => CLR,  -- Clock buffer reset input
    I => I       -- Clock buffer input
);

-- End of BUFR_inst instantiation
```

Verilog 記述 (インスタンスレーション)

```
// BUFR: Regional Clock Buffer w/ Enable, Clear and Division Capabilities
//      Virtex-4/5, Virtex-6
// Xilinx HDL Libraries Guide, version 14.5

BUFR #(
    .BUFR_DIVIDE("BYPASS"), // "BYPASS", "1", "2", "3", "4", "5", "6", "7", "8"
    .SIM_DEVICE("VIRTEX4") // Specify target device, "VIRTEX4", "VIRTEX5", "VIRTEX6"
) BUFR_inst (
    .O(O),      // Clock buffer output
    .CE(CE),    // Clock enable input
    .CLR(CLR),  // Clock buffer reset input
    .I(I)       // Clock buffer input
);

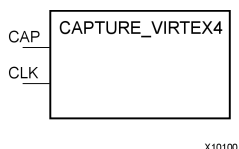
// End of BUFR_inst instantiation
```

詳細情報

- ・ [『Virtex-4 FPGA ユーザー ガイド』\(UG070\)](#)
- ・ [『Virtex-4 FPGA データシート：DC 特性およびスイッチ特性』\(DS302\)](#)

CAPTURE_VIRTEX4

プリミティブ：Virtex®-4 Boundary Scan Logic Control Circuit



概要

このデザイン エレメントは、レジスタ（フリップフロップとラッチ）情報のキャプチャ方法およびそのタイミングを制御します。リードバック機能は、専用のコンフィギュレーション ポート命令により提供されます。このエレメントを使用しない場合は、データはコンフィギュレーション クロックに同期してリードバックされます。このエレメントでは、レジスタ（フリップフロップとラッチ）の値のみをキャプチャできます。LUT RAM、SRL、ブロック RAM の値もリードバックされますが、キャプチャできません。

CAP 信号を High にアサートすると、次にクロックが Low から High に切り替わるときにデバイス内のレジスタがキャプチャされます。デフォルトでは、各トリガー（CAP がアサートされているときの CLK の遷移）でデータがキャプチャされます。リードバック処理を 1 回のデータ キャプチャだけに制限するには、ONESHOT 属性を "TRUE" に設定します。

ポートの説明

ポート名	方向	幅	機能
CAP	入力	1	リードバック キャプチャ トリガー
CLK	入力	1	リードバック キャプチャ クロック

デザインの入力方法

インスタンス化	推奨
推論	不可
CORE Generator™ およびウィザード	不可
マクロのサポート	不可

正しく動作するように、入力および出力をすべてデザインに接続します。

使用可能な属性

属性	データ型	値	デフォルト	説明
ONESHOT	ブール代数	TRUE、FALSE	TRUE	CAP トリガーごとにリードバックを 1 回実行します。

VHDL 記述 (インスタンスレーション)

次の 2 つの文が存在しない場合は、コピーしてエンティティ宣言の前に貼り付けます。

```
Library UNISIM;
use UNISIM.vcomponents.all;

-- CAPTURE_VIRTEX4: Register State Capture for Bitstream Readback
--                               Virtex-4
-- Xilinx HDL Libraries Guide, version 14.5

CAPTURE_VIRTEX4_inst : CAPTURE_VIRTEX4
generic map (
    ONESHOT => TRUE) -- TRUE or FALSE
port map (
    CAP => CAP,      -- Capture input
    CLK => CLK       -- Clock input
);
-- End of CAPTURE_VIRTEX4_inst instantiation
```

Verilog 記述 (インスタンスレーション)

```
// CAPTURE_VIRTEX4: Register State Capture for Bitstream Readback
//                               Virtex-4
// Xilinx HDL Libraries Guide, version 14.5

CAPTURE_VIRTEX4 #(
    .ONESHOT("TRUE") // "TRUE" or "FALSE"
) CAPTURE_VIRTEX4_inst (
    .CAP(CAP),        // Capture input
    .CLK(CLK)         // Clock input
);

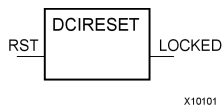
// End of CAPTURE_VIRTEX4_inst instantiation
```

詳細情報

- ・ [『Virtex-4 FPGA ユーザー ガイド』\(UG070\)](#)
- ・ [『Virtex-4 FPGA データシート: DC 特性およびスイッチ特性』\(DS302\)](#)

DCIRESET

プリミティブ：DCI State Machine Reset (After Configuration Has Been Completed)



概要

このデザイン エLEMENTは、コンフィギュレーション後に DCI ステート マシンをリセットするために使用します。

ポートの説明

ポート名	方向	幅	機能
LOCKED	出力	1	DCIRESET LOCK ステータス出力
RST	入力	1	DCIRESET 非同期リセット入力

デザインの入力方法

インスタンシエーション	推奨
推論	不可
CORE Generator™ およびウィザード	不可
マクロのサポート	不可

VHDL 記述 (インスタンシエーション)

次の 2 つの文が存在しない場合は、コピーしてエンティティ宣言の前に貼り付けます。

```
Library UNISIM;
use UNISIM.vcomponents.all;

-- DCIRESET: DCI reset component
--      Virtex-4
-- Xilinx HDL Libraries Guide, version 14.5

DCIRESET_inst : DCIRESET
port map (
    LOCKED => LOCKED,      -- DCIRESET LOCK status output
    RST => RST              -- DCIRESET asynchronous reset input
);

-- End of DCIRESET_inst instantiation
```

Verilog 記述 (インスタンスレーション)

```
// DCIRESET: Digital Controlled Impedance (DCI) Reset Component
//           Virtex-4
// Xilinx HDL Libraries Guide, version 14.5

DCIRESET DCIRESET_inst (
    .LOCKED(LOCKED), // 1-bit DCI LOCKED Output
    .RST(RST)        // 1-bit DCI Reset Input
);

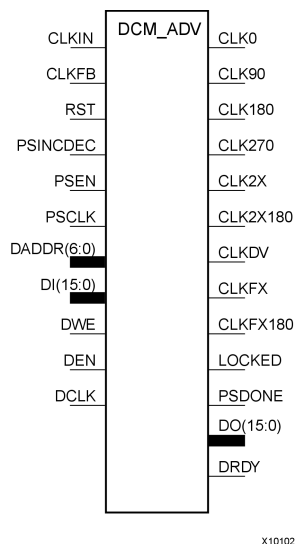
// End of DCIRESET_inst instantiation
```

詳細情報

- ・ [『Virtex-4 FPGA ユーザー ガイド』\(UG070\)](#)
- ・ [『Virtex-4 FPGA データシート：DC 特性およびスイッチ特性』\(DS302\)](#)

DCM_ADV

プリミティブ : Advanced Digital Clock Manager Circuit



概要

このデザイン エレメントは、位相制御機能および周波数合成制御機能を持つコンフィギュレーション/リコンフィギュレーション可能な DLL です。このコンポーネントは、システムで必要なさまざまなクロックを生成し、制御するため、多くの FPGA アプリケーションで使用されます。多くの FPGA アプリケーションで使用されます。ダイナミックリコンフィギュレーションが不要な場合は、DCM_BASE または DCM_PS コンポーネントを使用します。

ポートの説明

ポート名	方向	幅	機能
クロック出力/入力			
CLK0	出力	1	CLKIN の有効周波数と同じ周波数のクロックを出力します。デフォルトでは、CLKIN_DIVIDE_BY_2 属性を TRUE に設定した場合以外は、CLKIN の有効周波数は CLKIN の周波数と同じになります。CLKFB ピンを接続した場合、CLK0 は CLKIN の位相に揃えられます。
CLK90	出力	1	CLK0 と同じ周波数で位相を 90 度シフトしたクロックを出力します。
CLK180	出力	1	CLK0 と同じ周波数で位相を 180 度シフトしたクロックを出力します。
CLK270	出力	1	CLK0 と同じ周波数で位相を 270 度シフトしたクロックを出力します。
CLK2X	出力	1	デューティ サイクルが 50-50 に自動調整された、CLK0 と位相が同じで周波数が 2 倍のクロックを出力します。DCM がロック状態になるまでは、周波数が入力クロックの 1 倍で、デューティ サイクルが 25-75 のクロックが出力されます。これにより、DCM がソースクロックに対して正しいエッジでロック状態になります。
CLK2X180	出力	1	CLK2X と同じ周波数で位相を 180 度シフトしたクロックを出力します。
CLKDV	出力	1	CLK0 と位相が同じで、CLKIN の有効周波数を分周したクロックを出力します。分周係数は、CLKDV_DIVIDE 属性で指定します。デフォルトでは、CLKIN_DIVIDE_BY_2 属性を TRUE に設定した場合以外は、CLKIN の有効周波数は CLKIN の周波数と同じになります。

ポート名	方向	幅	機能
CLKFX	出力	1	<p>次の式で求められる周波数のクロックを出力します。</p> $\text{CLKFX の周波数} = (M/D) \times (\text{CLKIN の有効周波数})$ <p>この式で、M は CLKFX_MULTIPLY 属性で指定し、D は CLKFX_DIVIDE 属性で指定します。M および D の値の範囲、入力および出力の周波数範囲は、このアーキテクチャのデータシートを参照してください。CLKFX 出力の立ち上がりエッジは、フィードバックパス (CLKFB) が使用されるとき、CLK0、CLK2X、および CLKDV の立ち上がりエッジに揃えられます。M と D の値に公約数がない場合、位相は D 入力クロック サイクルごとに揃えられます。デフォルトでは、CLKIN_DIVIDE_BY_2 属性を TRUE に設定した場合以外は、CLKIN の有効周波数は CLKIN の周波数と同じになります。</p>
CLKFX180	出力	1	CLKFX と同じ周波数で位相を 180 度シフトしたクロックを出力します。
CLKIN	入力	1	<p>DCM にソース クロックを供給します。CLKIN の周波数はこのアーキテクチャのデータシートで指定された範囲内にする必要があります。クロック入力信号は、次のいずれかのバッファから供給します。</p> <ul style="list-style-type: none"> IBUFG：グローバル クロック入力バッファ。デバイス上で DCM と同じ側（上または下）にある IBUFG を使用すると、クロック入力バスが調整されます。 BUFG/BUFGCTRL：内部グローバル クロック バッファ。専用グローバル配線を使用してデバイス上のどの DCM でも駆動できます。2 つの DCM を直列に接続する場合には、DCM の CLKIN ピンを駆動できます。 IBUF：入力バッファ。IBUF で CLKIN 入力を駆動する場合、PAD から DCM 入力へのスキューは調整されず、ジッターが増加する可能性があります。このコンフィギュレーションは、使用しないでください。
CLKFB	入力	1	<p>クロック出力の遅延を調整してクロック入力と位相を揃えるために参照するクロック信号です。DCM にフィードバックを供給するには、CLK0 出力のみを CLKFB 入力に接続しますが、内部フィードバックの場合は BUFG コンポーネントを介して、外部フィードバックの場合は OBUF および IBUFG を介します。CLK_FEEDBACK 属性を 1X に設定します。CLKFB ピンを接続すると、CLK0、CLKDV、および CLKFX が CLKIN の位相に揃えられます。CLKFB ピンを接続しない場合は、CLK_FEEDBACK を "NONE" に設定します。この場合、CLKFX および CLKFX180 出力は有効ですが、CLKIN の位相には揃えられません。</p>
ステータス出力/制御入力			
LOCKED	出力	1	位相アライメントが完了し、操作が開始可能であることを示す同期出力。
PSDONE	出力	1	ダイナミック CLKIN セレクト入力。High の場合は CLKIN1、Low の場合は CLKIN2 が選択されます。2 つのクロックを選択する必要がない場合は、この入力を 1 にします。

ポート名	方向	幅	機能
RST	入力	1	DCM 回路をリセットします。RST 信号は、アクティブ High の非同期リセットです。RST 信号をアサートすると、すべての DCM 出力 (LOCKED 信号、ステータス信号、出力クロック) がソースクロックの 4 サイクル以内に Low になります。リセットは非同期であるため、ディアサート中にクロックの最後のサイクルが短いパルスになったり、デューティサイクルが崩れたり、クロック間のスキューが調整される可能性があります。このため、デバイスをリコンフィギュレーションする場合や入力周波数を変更する場合は、RST ピンを使用する必要があります。RST 信号をディアサートすると、次の CLKIN サイクルに同期してクロックをロック状態にするプロセスが開始します。DCM がリセット後に正しくロックされるようにするには、CLKIN 信号が供給され、3 クロック サイクル以上安定するまで RST 信号をディアサートしておく必要があります。どのデザインでも、クロックが安定するまで DCM をリセットに保持する必要があります。コンフィギュレーションでは、GWE が解除されるまで DCM は自動的にリセット状態に保持されます。このクロックは、GSR が解放されると安定します。
PSCLK	入力	1	DCM 位相シフトのソースクロックを供給します。位相シフトクロック信号は、どのクロックソース (内部または外部) でも駆動できます。 PSCLK の周波数範囲は、PSCLK_FREQ_LF/HF で定義します (このアーキテクチャのデータシートを参照)。CLKOUT_PHASE_SHIFT 属性を "NONE" または "FIXED" に設定している場合は、この入力をグラウンドに接続する必要があります。
PSINCDEC	入力	1	PSINCDEC 入力は、PSCLK に同期しています。CLKOUT_PHASE_SHIFT が変数モードのいずれかに設定されているときに、位相シフト係数をインクリメント/デクリメントするために使用します。位相シフト係数をインクリメント/デクリメントすると、それに応じて出力クロックの位相がシフトします。PSINCDEC 信号が High の場合はインクリメント、Low の場合はデクリメントされます。CLKOUT_PHASE_SHIFT 属性を "NONE" または "FIXED" に設定している場合は、この入力をグラウンドに接続する必要があります。
PSEN	入力	1	PSEN 入力は、PSCLK に同期しています。CLKOUT_PHASE_SHIFT が変数モードに設定されているときに、この信号によって可変位相シフトを開始します。可変位相シフトを有効にするには、PSEN 信号を PSCLK の 1 サイクル分アクティブにする必要があります。位相の変更は、CLKIN の 100 周期分と PSCLK の 3 周期分を加えた時間以内に有効になり、PSDONE が High になることにより示されます。位相が変化する間、出力に突発的な変化やグリッチは発生しません。PSEN がイネーブルになってから PSDONE が High になるまでの間、DCM の出力クロックは元の位相からターゲットの位相に少しずつ移動していきます。PSDONE が High になったら、位相シフトは完了です。CLKOUT_PHASE_SHIFT 属性を "NONE" または "FIXED" に設定している場合は、この入力をグラウンドに接続する必要があります。
ダイナミック リコンフィギュレーション / DCM ステータス			
ダイナミック コンフィギュレーションの詳細は、該当デバイスのコンフィギュレーション ユーザー ガイドを参照してください。			

ポート名	方向	幅	機能
DO	出力	16	<p>ダイナミック リコンフィギュレーションを使用していない場合は DCM のステータス出力、使用している場合はリコンフィギュレーションのデータ出力になります。DCM ステータスが表示されている場合、次のマップが適用されます。</p> <ul style="list-style-type: none"> DO[0]：位相シフト オーバーフロー DO[1]：CLKIN の停止 DO[2]：CLKFX の停止 DO[3]：CLKFB の停止 DO[15:4]：割り当てなし
DRDY	出力	1	ダイナミック リコンフィギュレーション機能が準備完了になったことを示します。
DI	入力	16	DI 入力バスは、ダイナミック リコンフィギュレーションのデータ入力です。このバスを使用しない場合は、すべてのビットを 0 にする必要があります。
DADDR	入力	7	DADDR 入力バスは、ダイナミック リコンフィギュレーションのアドレス入力です。このバスを使用しない場合は、すべてのビットを 0 にする必要があります。
DWE	入力	1	DI データの DADDR アドレスへの書き込みを制御するライト イネーブル信号です。使用しない場合は、Low に接続する必要があります。
DEN	入力	1	ダイナミック リコンフィギュレーション機能を使用するかどうかを制御する信号です。ダイナミック リコンフィギュレーションが使用されていないときに DO 出力バスに DCM ステータス信号を反映させるには、DEN を Low に設定する必要があります。
DCLK	入力	1	ダイナミック リコンフィギュレーション回路のソース クロックを供給します。DCLK には、CLKIN とは位相および周波数が非同期なクロックを使用できます。ダイナミック リコンフィギュレーション クロック信号は、どのクロック ソースでも駆動できます。DCLK の周波数範囲はこのアーキテクチャのデータシートに記載されています。ダイナミック リコンフィギュレーションを使用しない場合は、この入力をグラウンドに接続する必要があります。

デザインの入力方法

インスタンシエーション	可
推論	不可
CORE Generator™ およびウィザード	推奨
マクロのサポート	不可

使用可能な属性

属性	データ型	値	デフォルト	説明
CLK_FEEDBACK	文字列	"1X"、"NONE"	"1X"	クロック フィードバックを指定します。
CLKDV_DIVIDE	浮動小数点	1.5、2.0、2.5、3.0、3.5、4.0、4.5、5.0、5.5、6.0、6.5、7.0、7.5、8.0、9.0、10.0、11.0、12.0、13.0、14.0、15.0、16.0	2.0	CLKDLL、CLKDLLE、CLKDLLHF、DCM のクロック分周出力 CLKDV の分周比を指定します。
CLKFX_DIVIDE	整数	1 ～ 32	1	CLKFX 出力の分周比を指定します。
CLKFX_MULTIPLY	整数	2 ～ 32	4	CLKFX 出力の通倍比を指定します。

属性	データ型	値	デフォルト	説明
CLKIN_DIVIDE_BY_2	ブール代数	FALSE、TRUE	FALSE	DCM の入力クロック周波数の要件に合うように、必要に応じて入力クロック周波数を 2 で分周します。
CLKIN_PERIOD	浮動小数点	1.25 ~ 1000.00	10.0	入力クロックの周期を ns で指定します。
CLKOUT_PHASE_SHIFT	文字列	"NONE"、 "FIXED"、 "VARIABLE_POSITIVE"、 "VARIABLE_CENTER"、 "DIRECT"	"NONE"	位相シフト モードを指定します。
DCM_PERFORMANCE_MODE	文字列	"MAX_SPEED"、 "MAX_RANGE"	"MAX_SPEED"	DCM を最小ジッターで最大周波数のクロックを生成するよう最適化するか、位相シフト範囲が広い低周波数のクロックを生成するよう最適化するかを指定します。
DESKEW_ADJUST	文字列	"SOURCE_SYNCHRONOUS"、 "SYSTEM_SYNCHRONOUS"、 "0" ~ "15"	"SYSTEM_SYNCHRONOUS"	フィードバック パスの遅延の量を制御します。ソース同期のインターフェイスで使用する必要があります。
DFS_FREQUENCY_MODE	文字列	"LOW"、"HIGH"	"LOW"	周波数合成の周波数モードを指定します。
DLL_FREQUENCY_MODE	文字列	"LOW"、"HIGH"	"LOW"	DLL の周波数モードを指定します。
DUTY_CYCLE_CORRECTION	ブール代数	TRUE、FALSE	TRUE	CLK0、CLK90、CLK180、CLK270 の各出力のデューティ サイクルを修正します。
FACTORY_JF	16 進数	16 ビット値	F0F0	この属性は、DCM のジッター フィルター特性に影響します。ザイリックスからの指示なしにこのデフォルト値を変更しないでください。
PHASE_SHIFT	整数	-255 ~ 1023	0	位相シフト量を指定します。この値の範囲は CLKOUT_PHASE_SHIFT の指定によって異なります。
SIM_DEVICE	文字列	"VIRTEX4"、 "VIRTEX5"	"VIRTEX5"	デバイスを選択します。
STARTUP_WAIT	ブール代数	FALSE、TRUE	FALSE	TRUE に設定すると、DCM がロック状態になるまでコンフィギュレーション スタートアップ シーケンスの指定したサイクルで待機します。

VHDL 記述 (インスタンス化)

次の 2 つの文が存在しない場合は、コピーしてエンティティ宣言の前に貼り付けます。

```
Library UNISIM;
use UNISIM.vcomponents.all;

-- DCM_ADV: Digital Clock Manager Circuit
--      Virtex-4
-- Xilinx HDL Libraries Guide, version 14.5

DCM_ADV_inst : DCM_ADV
generic map (
    CLKDV_DIVIDE => 2.0,    -- Divide by: 1.5,2.0,2.5,3.0,3.5,4.0,4.5,5.0,5.5,6.0,6.5
                           --      7.0,7.5,8.0,9.0,10.0,11.0,12.0,13.0,14.0,15.0 or 16.0
    CLKFX_DIVIDE => 1,      -- Can be any integer from 1 to 32
    CLKFX_MULTIPLY => 4,    -- Can be any integer from 2 to 32
    CLKIN_DIVIDE_BY_2 => FALSE, -- TRUE/FALSE to enable CLKIN divide by two feature
    CLKIN_PERIOD => 10.0,   -- Specify period of input clock in ns from 1.25 to 1000.00
    CLKOUT_PHASE_SHIFT => "NONE", -- Specify phase shift mode of NONE, FIXED,
                           --      VARIABLE POSITIVE, VARIABLE CENTER or DIRECT
    CLK_FEEDBACK => "1X",   -- Specify clock feedback of NONE or 1X
    DCM_PERFORMANCE_MODE => "MAX_SPEED", -- Can be MAX_SPEED or MAX_RANGE
    DESKEW_ADJUST => "SYSTEM_SYNCHRONOUS", -- SOURCE_SYNCHRONOUS, SYSTEM_SYNCHRONOUS or
                           --      an integer from 0 to 15
    DFS_FREQUENCY_MODE => "LOW", -- HIGH or LOW frequency mode for frequency synthesis
    DLL_FREQUENCY_MODE => "LOW", -- LOW, HIGH, or HIGH_SER frequency mode for DLL
    DUTY_CYCLE_CORRECTION => TRUE, -- Duty cycle correction, TRUE or FALSE
    FACTORY_JF => X"F0F0", -- FACTORY JF Values Suggested to be set to X"F0F0"
    PHASE_SHIFT => 0, -- Amount of fixed phase shift from -255 to 1023
    SIM_DEVICE => "VIRTEX4", -- Set target device, "VIRTEX4" or "VIRTEX5"
    STARTUP_WAIT => FALSE) -- Delay configuration DONE until DCM LOCK, TRUE/FALSE
port map (
    CLK0 => CLK0,          -- 0 degree DCM CLK output
    CLK180 => CLK180,      -- 180 degree DCM CLK output
    CLK270 => CLK270,      -- 270 degree DCM CLK output
    CLK2X => CLK2X,        -- 2X DCM CLK output
    CLK2X180 => CLK2X180,  -- 2X, 180 degree DCM CLK out
    CLK90 => CLK90,        -- 90 degree DCM CLK output
    CLKDV => CLKDV,        -- Divided DCM CLK out (CLKDV_DIVIDE)
    CLKFX => CLKFX,        -- DCM CLK synthesis out (M/D)
    CLKFX180 => CLKFX180,  -- 180 degree CLK synthesis out
    DO => DO,              -- 16-bit data output for Dynamic Reconfiguration Port (DRP)
    DRDY => DRDY,          -- Ready output signal from the DRP
    LOCKED => LOCKED,      -- DCM LOCK status output
    PSDONE => PSDONE,      -- Dynamic phase adjust done output
    CLKFB => CLKFB,        -- DCM clock feedback
    CLKIN => CLKIN,        -- Clock input (from IBUFG, BUFG or DCM)
    DADDR => DADDR,        -- 7-bit address for the DRP
    DCLK => DCLK,          -- Clock for the DRP
    DEN => DEN,            -- Enable input for the DRP
    DI => DI,              -- 16-bit data input for the DRP
    DWE => DWE,            -- Active high allows for writing configuration memory
    PSCLK => PSCLK,        -- Dynamic phase adjust clock input
    PSEN => PSEN,          -- Dynamic phase adjust enable input
    PSINCDEC => PSINCDEC,  -- Dynamic phase adjust increment/decrement
    RST => RST             -- DCM asynchronous reset input
);

-- End of DCM_ADV_inst instantiation
```

Verilog 記述 (インスタンス化)

```
// DCM_ADV: Digital Clock Manager Circuit
//      Virtex-4
// Xilinx HDL Libraries Guide, version 14.5

DCM_ADV #(
    .CLKDV_DIVIDE(2.0), // Divide by: 1.5,2.0,2.5,3.0,3.5,4.0,4.5,5.0,5.5,6.0,6.5
                        //      7.0,7.5,8.0,9.0,10.0,11.0,12.0,13.0,14.0,15.0 or 16.0
    .CLKFX_DIVIDE(1),  // Can be any integer from 1 to 32
    .CLKFX_MULTIPLY(4), // Can be any integer from 2 to 32
    .CLKIN_DIVIDE_BY_2("FALSE"), // TRUE/FALSE to enable CLKIN divide by two feature
    .CLKIN_PERIOD(10.0), // Specify period of input clock in ns from 1.25 to 1000.00
    .CLKOUT_PHASE_SHIFT("NONE"), // Specify phase shift mode of NONE, FIXED,
                                // VARIABLE_POSITIVE, VARIABLE_CENTER or DIRECT
    .CLK_FEEDBACK("1X"), // Specify clock feedback of NONE, 1X or 2X
    .DCM_PERFORMANCE_MODE("MAX_SPEED"), // Can be MAX_SPEED or MAX_RANGE
    .DESKEW_ADJUST("SYSTEM_SYNCHRONOUS"), // SOURCE_SYNCHRONOUS, SYSTEM_SYNCHRONOUS or
                                // an integer from 0 to 15
    .DFS_FREQUENCY_MODE("LOW"), // HIGH or LOW frequency mode for frequency synthesis
    .DLL_FREQUENCY_MODE("LOW"), // LOW, HIGH, or HIGH_SER frequency mode for DLL
    .DUTY_CYCLE_CORRECTION("TRUE"), // Duty cycle correction, "TRUE"/"FALSE"
    .FACTORY_JF(16'hf0f0), // FACTORY JF value suggested to be set to 16'hf0f0
    .PHASE_SHIFT(0), // Amount of fixed phase shift from -255 to 1023
    .SIM_DEVICE("VIRTEX4"), // Set target device, "VIRTEX4" or "VIRTEX5"
    .STARTUP_WAIT("FALSE") // Delay configuration DONE until DCM LOCK, "TRUE"/"FALSE"
) DCM_ADV_inst (
    .CLK0(CLK0), // 0 degree DCM CLK output
    .CLK180(CLK180), // 180 degree DCM CLK output
    .CLK270(CLK270), // 270 degree DCM CLK output
    .CLK2X(CLK2X), // 2X DCM CLK output
    .CLK2X180(CLK2X180), // 2X, 180 degree DCM CLK out
    .CLK90(CLK90), // 90 degree DCM CLK output
    .CLKDV(CLKDV), // Divided DCM CLK out (CLKDV_DIVIDE)
    .CLKFX(CLKFX), // DCM CLK synthesis out (M/D)
    .CLKFX180(CLKFX180), // 180 degree CLK synthesis out
    .DO(DO), // 16-bit data output for Dynamic Reconfiguration Port (DRP)
    .DRDY(DRDY), // Ready output signal from the DRP
    .LOCKED(LOCKED), // DCM LOCK status output
    .PSDONE(PSDONE), // Dynamic phase adjust done output
    .CLKFB(CLKFB), // DCM clock feedback
    .CLKIN(CLKIN), // Clock input (from IBUFG, BUFG or DCM)
    .DADDR(DADDR), // 7-bit address for the DRP
    .DCLK(DCLK), // Clock for the DRP
    .DEN(DEN), // Enable input for the DRP
    .DI(DI), // 16-bit data input for the DRP
    .DWE(DWE), // Active high allows for writing configuration memory
    .PSCLK(PSCLK), // Dynamic phase adjust clock input
    .PSEN(PSEN), // Dynamic phase adjust enable input
    .PSINCDEC(PSINCDEC), // Dynamic phase adjust increment/decrement
    .RST(RST) // DCM asynchronous reset input
);

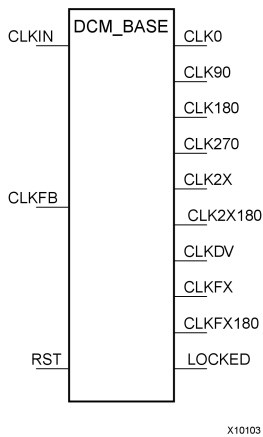
// End of DCM_ADV_inst instantiation
```

詳細情報

- ・ [『Virtex-4 FPGA ユーザー ガイド』\(UG070\)](#)
- ・ [『Virtex-4 FPGA データシート : DC 特性およびスイッチ特性』\(DS302\)](#)

DCM_BASE

プリミティブ：Base Digital Clock Manager Circuit



概要

このデザイン エLEMENTは、位相制御機能および周波数合成制御機能を持つコンフィギュレーション可能な DLL です。このコンポーネントは、システムに必要なさまざまなクロックを生成し、制御するため、多くの FPGA アプリケーションで使用されます。ダイナミック リコンフィギュレーションが必要な場合は DCM_ADV コンポーネントを使用し、ダイナミック 位相シフトが必要な場合は DCM_PS コンポーネントを使用します。

ポートの説明

ポート名	方向	幅	機能
クロック出力/入力			
CLK0	出力	1	CLKIN の有効周波数と同じ周波数のクロックを出力します。デフォルトでは、CLKIN_DIVIDE_BY_2 属性を TRUE に設定した場合以外は、CLKIN の有効周波数は CLKIN の周波数と同じになります。CLKFB ピンを接続した場合、CLK0 は CLKIN の位相に揃えられます。
CLK90	出力	1	CLK0 と同じ周波数で位相を 90 度シフトしたクロックを出力します。
CLK180	出力	1	CLK0 と同じ周波数で位相を 180 度シフトしたクロックを出力します。
CLK270	出力	1	CLK0 と同じ周波数で位相を 270 度シフトしたクロックを出力します。
CLK2X	出力	1	デューティ サイクルが 50-50 に自動調整された、CLK0 と位相が同じで周波数が 2 倍のクロックを出力します。DCM がロック状態になるまでは、周波数が入力クロックの 1 倍で、デューティ サイクルが 25-75 のクロックが CLK2X に出力されます。これにより、DCM がソース クロックに対して正しいエッジでロック状態になります。
CLK2X180	出力	1	CLK2X と同じ周波数で位相を 180 度シフトしたクロックを出力します。
CLKDV	出力	1	CLK0 と位相が同じで、CLKIN の有効周波数を分周したクロックが出力されます。分周する係数は、CLKDV_DIVIDE 属性で指定します。デフォルトでは、CLKIN_DIVIDE_BY_2 属性を TRUE に設定した場合以外は、CLKIN の有効周波数は CLKIN の周波数と同じになります。

ポート名	方向	幅	機能
CLKFX	出力	1	<p>次の式で求められる周波数のクロックを出力します。</p> $\text{CLKFX の周波数} = (M/D) \times (\text{CLKIN の有効周波数})$ <p>この式で、M は CLKFX_MULTIPLY 属性で指定し、D は CLKFX_DIVIDE 属性で指定します。M および D の値の範囲、入力および出力の周波数範囲は、このアーキテクチャのデータシートを参照してください。CLKFX 出力の立ち上がりエッジは、フィードバック パス (CLKFB) が使用されるとき、CLK0、CLK2X、および CLKDV の立ち上がりエッジに揃えられます。M と D の値に公約数がない場合、位相は D 入力クロック サイクルごとに揃えられます。デフォルトでは、CLKIN_DIVIDE_BY_2 属性を TRUE に設定した場合以外は、CLKIN の有効周波数は CLKIN の周波数と同じになります。</p>
CLKFX180	出力	1	CLKFX と同じ周波数で位相を 180 度シフトしたクロックを出力します。
CLKIN	入力	1	<p>DCM にソース クロックを供給します。CLKIN の周波数はこのアーキテクチャのデータシートで指定された範囲内にする必要があります。クロック入力信号は、次のいずれかのバッファから供給します。</p> <ul style="list-style-type: none"> IBUFG : グローバル クロック入力バッファ。デバイス上で DCM と同じ側 (上または下) にある IBUFG を使用すると、クロック入力パスが調整されます。 BUFG/BUFGCTRL : 内部グローバル クロック バッファ。専用グローバル配線を使用してデバイス上のどの DCM でも駆動できます。2 つの DCM を直列に接続する場合には、DCM の CLKIN ピンを駆動できます。 IBUF : 入力バッファ。IBUF で CLKIN 入力を駆動する場合、PAD から DCM 入力へのスキューは調整されず、ジッターが増加する可能性があります。このコンフィギュレーションは、使用しないでください。
CLKFB	入力	1	<p>クロック出力の遅延を調整してクロック入力と位相を揃えるために参照するクロック信号です。DCM にフィードバックを供給するには、CLK0 出力のみを CLKFB 入力に接続しますが、内部フィードバックの場合は BUFG コンポーネントを介して、外部フィードバックの場合は OBUF および IBUFG を介します。CLK_FEEDBACK 属性を 1X に設定します。CLKFB ピンを接続すると、CLK0、CLKDV、および CLKFX が CLKIN の位相に揃えられます。CLKFB ピンを接続しない場合は、CLK_FEEDBACK を "NONE" に設定します。この場合、CLKFX および CLKFX180 出力は有効ですが、CLKIN の位相には揃えられません。</p>
ステータス出力/制御入力			
LOCKED	出力	1	位相アライメントが完了し、操作が開始可能であることを示す同期出力
RST	入力	1	<p>DCM 回路をリセットします。RST 信号は、アクティブ High の非同期リセットです。RST 信号をアサートすると、すべての DCM 出力 (LOCKED 信号、ステータス信号、出力クロック) がソース クロックの 4 サイクル以内に Low になります。リセットは非同期であるため、ディアサート中にクロックの最後のサイクルが短いパルスになったり、デューティ サイクルが崩れたり、クロック間のスキューが調整される可能性があります。このため、デバイスをリコンフィギュレーションする場合や入力周波数を変更する場合は、RST ピンを使用する必要があります。RST 信号をディアサートすると、次の CLKIN サイクルに同期してクロックをロック状態にするプロセスが開始します。DCM がリセット後に正しくロックされるようにするには、CLKIN 信号が供給され、3 クロック サイクル以上安定するまで RST 信号をディアサートしておく必要があります。どのデザインでも、クロックが安定するまで DCM をリセットに保持する必</p>

ポート名	方向	幅	機能
			必要があります。コンフィギュレーションでは、GWE が解除されるまで DCM は自動的にリセット状態に保持されます。このクロックは、GSR が解放されとる安定します。

デザインの入力方法

インスタンス化	可
推論	不可
CORE Generator™ およびウィザード	推奨
マクロのサポート	不可

使用可能な属性

属性	データ型	値	デフォルト	説明
CLK_FEEDBACK	文字列	"1X"、"2X"、 "NONE"	"1X"	DCM へのフィードバック入力を指定します (CLK0 または CLK2X)。
CLKDV_DIVIDE	浮動小数点	1.5、2.0、2.5、 3.0、3.5、4.0、4.5、 5.0、5.5、6.0、6.5、 7.0、7.5、8.0、9.0、 10.0、11.0、12.0、 13.0、14.0、15.0、 16.0	2.0	CLKDLL、CLKDLLE、CLKDLLHF、DCM のクロック分周器 (CLKDV 出力) の分周比を指定します。
CLKFX_DIVIDE	整数	1 ～ 32	1	CLKFX 出力の分周比を指定します。
CLKFX_MULTIPLY	整数	2 ～ 32	4	CLKFX 出力の通倍比を指定します。
CLKIN_DIVIDE_BY_2	ブール代数	FALSE、TRUE	FALSE	DCM の入力クロック周波数の要件に合うように、必要に応じて入力クロック周波数を 2 で分周します。
CLKIN_PERIOD	浮動小数点	1.25 ～ 1000.00	10.0	入力クロックの周期を ns で指定します。
CLKOUT_PHASE_SHIFT	文字列	"NONE"、 "FIXED"、 "VARIABLE_ POSITIVE"、 "VARIABLE_ CENTER"、 "DIRECT"	"NONE"	位相シフト モードを指定します。
DCM_PERFORMANCE_MODE	文字列	"MAX_SPEED"、 "MAX_RANGE"	"MAX_SPEED"	DCM を最小ジッターで最大周波数のクロックを生成するよう最適化するか、位相シフト範囲が広い低周波数のクロックを生成するよう最適化するかを指定します。
DESKEW_ADJUST	文字列	"SOURCE_ SYNCHRONOUS"、 "SYSTEM_ SYNCHRONOUS"、 "0" ～ "15"	"SYSTEM_ SYNCHRONOUS"	フィードバック パスの遅延量を制御します。ソース同期のインターフェイスで使用する必要があります。
DFS_FREQUENCY_MODE	文字列	"LOW"、"HIGH"	"LOW"	周波数合成の周波数モードを指定します。
DLL_FREQUENCY_MODE	文字列	"LOW"、"HIGH"	"LOW"	DLL の周波数モードを指定します。

属性	データ型	値	デフォルト	説明
DUTY_CYCLE_CORRECTION	ブール代数	TRUE、FALSE	TRUE	CLK0、CLK90、CLK180、CLK270 の各出力のデューティ サイクルを修正します。
FACTORY_JF	16 進数	16 ビット値	F0F0	この属性は、DCM のジッター フィルター特性に影響します。ザイリンクスからの指示なしにこのデフォルト値を変更しないでください。
PHASE_SHIFT	整数	-255 ~ 1023	0	位相シフト量を指定します。この値の範囲は CLKOUT_PHASE_SHIFT の指定によって異なります。
STARTUP_WAIT	ブール代数	FALSE、TRUE	FALSE	TRUE に設定すると、DCM がロック状態になるまでコンフィギュレーション スタートアップ シーケンスの指定したサイクルで待機します。

VHDL 記述 (インスタンスエーション)

次の 2 つの文が存在しない場合は、コピーしてエンティティ宣言の前に貼り付けます。

```

Library UNISIM;
use UNISIM.vcomponents.all;

-- DCM_BASE: Base Digital Clock Manager Circuit
--          Virtex-4
-- Xilinx HDL Libraries Guide, version 14.5

DCM_BASE_inst : DCM_BASE
generic map (
    CLKDV_DIVIDE => 2.0, -- Divide by: 1.5,2.0,2.5,3.0,3.5,4.0,4.5,5.0,5.5,6.0,6.5
                        --          7.0,7.5,8.0,9.0,10.0,11.0,12.0,13.0,14.0,15.0 or 16.0
    CLKFX_DIVIDE => 1,  -- Can be any integer from 1 to 32
    CLKFX_MULTIPLY => 4, -- Can be any integer from 2 to 32
    CLKIN_DIVIDE_BY_2 => FALSE, -- TRUE/FALSE to enable CLKIN divide by two feature
    CLKIN_PERIOD => 10.0, -- Specify period of input clock in ns from 1.25 to 1000.00
    CLKOUT_PHASE_SHIFT => "NONE", -- Specify phase shift mode of NONE or FIXED
    CLK_FEEDBACK => "1X", -- Specify clock feedback of NONE or 1X
    DCM_PERFORMANCE_MODE => "MAX_SPEED", -- Can be MAX_SPEED or MAX_RANGE
    DESKEW_ADJUST => "SYSTEM_SYNCHRONOUS", -- SOURCE_SYNCHRONOUS, SYSTEM_SYNCHRONOUS or
                        --          an integer from 0 to 15
    DFS_FREQUENCY_MODE => "LOW", -- LOW or HIGH frequency mode for frequency synthesis
    DLL_FREQUENCY_MODE => "LOW", -- LOW, HIGH, or HIGH_SER frequency mode for DLL
    DUTY_CYCLE_CORRECTION => TRUE, -- Duty cycle correction, TRUE or FALSE
    FACTORY_JF => X"F0F0", -- FACTORY JF Values Suggested to be set to X"F0F0"
    PHASE_SHIFT => 0, -- Amount of fixed phase shift from -255 to 1023
    STARTUP_WAIT => FALSE) -- Delay configuration DONE until DCM LOCK, TRUE/FALSE
port map (
    CLK0 => CLK0, -- 0 degree DCM CLK ouptput
    CLK180 => CLK180, -- 180 degree DCM CLK output
    CLK270 => CLK270, -- 270 degree DCM CLK output
    CLK2X => CLK2X, -- 2X DCM CLK output
    CLK2X180 => CLK2X180, -- 2X, 180 degree DCM CLK out
    CLK90 => CLK90, -- 90 degree DCM CLK output
    CLKDV => CLKDV, -- Divided DCM CLK out (CLKDV_DIVIDE)
    CLKFX => CLKFX, -- DCM CLK synthesis out (M/D)
    CLKFX180 => CLKFX180, -- 180 degree CLK synthesis out
    LOCKED => LOCKED, -- DCM LOCK status output
    CLKFB => CLKFB, -- DCM clock feedback
    CLKIN => CLKIN, -- Clock input (from IBUFG, BUFG or DCM)
    RST => RST -- DCM asynchronous reset input
);

-- End of DCM_BASE_inst instantiation

```

Verilog 記述 (インスタンスエーション)

```
// DCM_BASE: Base Digital Clock Manager Circuit
//          Virtex-4
// Xilinx HDL Libraries Guide, version 14.5

DCM_BASE #(
    .CLKDV_DIVIDE(2.0), // Divide by: 1.5,2.0,2.5,3.0,3.5,4.0,4.5,5.0,5.5,6.0,6.5
                        // 7.0,7.5,8.0,9.0,10.0,11.0,12.0,13.0,14.0,15.0 or 16.0
    .CLKFX_DIVIDE(1), // Can be any integer from 1 to 32
    .CLKFX_MULTIPLY(4), // Can be any integer from 2 to 32
    .CLKIN_DIVIDE_BY_2("FALSE"), // TRUE/FALSE to enable CLKIN divide by two feature
    .CLKIN_PERIOD(10.0), // Specify period of input clock in ns from 1.25 to 1000.00
    .CLKOUT_PHASE_SHIFT("NONE"), // Specify phase shift mode of NONE or FIXED
    .CLK_FEEDBACK("1X"), // Specify clock feedback of NONE, 1X or 2X
    .DCM_PERFORMANCE_MODE("MAX_SPEED"), // Can be MAX_SPEED or MAX_RANGE
    .DESKEW_ADJUST("SYSTEM_SYNCHRONOUS"), // SOURCE_SYNCHRONOUS, SYSTEM_SYNCHRONOUS or
                                         // an integer from 0 to 15
    .DFS_FREQUENCY_MODE("LOW"), // LOW or HIGH frequency mode for frequency synthesis
    .DLL_FREQUENCY_MODE("LOW"), // LOW, HIGH, or HIGH_SER frequency mode for DLL
    .DUTY_CYCLE_CORRECTION("TRUE"), // Duty cycle correction, TRUE or FALSE
    .FACTORY_JF(16'hf0f0), // FACTORY JF value suggested to be set to 16'hf0f0
    .PHASE_SHIFT(0), // Amount of fixed phase shift from -255 to 1023
    .STARTUP_WAIT("FALSE") // Delay configuration DONE until DCM LOCK, TRUE/FALSE
) DCM_BASE_inst (
    .CLK0(CLK0), // 0 degree DCM CLK output
    .CLK180(CLK180), // 180 degree DCM CLK output
    .CLK270(CLK270), // 270 degree DCM CLK output
    .CLK2X(CLK2X), // 2X DCM CLK output
    .CLK2X180(CLK2X180), // 2X, 180 degree DCM CLK out
    .CLK90(CLK90), // 90 degree DCM CLK output
    .CLKDV(CLKDV), // Divided DCM CLK out (CLKDV_DIVIDE)
    .CLKFX(CLKFX), // DCM CLK synthesis out (M/D)
    .CLKFX180(CLKFX180), // 180 degree CLK synthesis out
    .LOCKED(LOCKED), // DCM LOCK status output
    .CLKFB(CLKFB), // DCM clock feedback
    .CLKIN(CLKIN), // Clock input (from IBUFG, BUFG or DCM)
    .RST(RST) // DCM asynchronous reset input
);

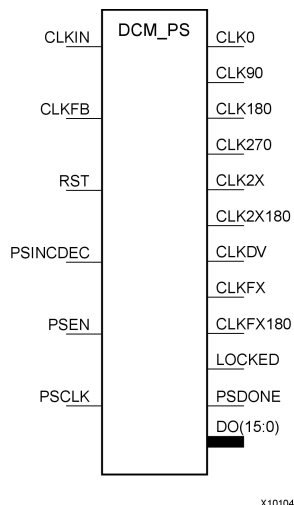
// End of DCM_BASE_inst instantiation
```

詳細情報

- ・ [『Virtex-4 FPGA ユーザー ガイド』\(UG070\)](#)
- ・ [『Virtex-4 FPGA データシート：DC 特性およびスイッチ特性』\(DS302\)](#)

DCM_PS

プリミティブ : Digital Clock Manager with Basic and Phase Shift Features



概要

このデザイン エLEMENTは、位相制御機能および周波数合成制御機能を持つコンフィギュレーション可能な DLL です。このコンポーネントは、システムに必要なさまざまなクロックを生成し、制御するため、多くの FPGA アプリケーションで使用されます。ダイナミック リコンフィギュレーションが必要な場合は DCM_ADV を使用し、ダイナミック位相シフトが不要な場合は DCM_BASE を使用します。

ポートの説明

ポート名	方向	幅	機能
クロック出力/入力			
CLK0	出力	1	CLKIN の有効周波数と同じ周波数のクロックを出力します。デフォルトでは、CLKIN_DIVIDE_BY_2 属性を TRUE に設定した場合以外は、CLKIN の有効周波数は CLKIN の周波数と同じになります。CLKFB ピンを接続した場合、CLK0 は CLKIN の位相に揃えられます。
CLK90	出力	1	CLK0 と同じ周波数で位相を 90 度シフトしたクロックを出力します。
CLK180	出力	1	CLK0 と同じ周波数で位相を 180 度シフトしたクロックを出力します。
CLK270	出力	1	CLK0 と同じ周波数で位相を 270 度シフトしたクロックを出力します。
CLK2X	出力	1	デューティ サイクルが 50-50 に自動調整された、CLK0 と位相が同じで周波数が 2 倍のクロックを出力します。DCM がロック状態になるまでは、周波数が入力クロックの 1 倍で、デューティ サイクルが 25-75 のクロックが CLK2X に出力されます。これにより、DCM がソース クロックに対して正しいエッジでロック状態になります。
CLK2X180	出力	1	CLK2X と同じ周波数で位相を 180 度シフトしたクロックを出力します。
CLKDV	出力	1	CLK0 と位相が同じで、CLKIN の有効周波数を分周したクロックが出力されます。分周する係数は、CLKDV_DIVIDE 属性で指定します。デフォルトでは、CLKIN_DIVIDE_BY_2 属性を TRUE に設定した場合以外は、CLKIN の有効周波数は CLKIN の周波数と同じになります。

ポート名	方向	幅	機能
CLKFX	出力	1	<p>次の式で求められる周波数のクロックを出力します。</p> $\text{CLKFX の周波数} = (M/D) \times (\text{CLKIN の有効周波数})$ <p>この式で、M は CLKFX_MULTIPLY 属性で指定し、D は CLKFX_DIVIDE 属性で指定します。M および D の値の範囲、入力および出力の周波数範囲は、データシートを参照してください。CLKFX 出力の立ち上がりエッジは、フィードバックパス (CLKFB) が使用されるとき、CLK0、CLK2X、および CLKDV の立ち上がりエッジに揃えられます。M と D の値に公約数がない場合、位相は D 入力クロック サイクルごとに揃えられます。デフォルトでは、CLKIN_DIVIDE_BY_2 属性を TRUE に設定した場合以外は、CLKIN の有効周波数は CLKIN の周波数と同じになります。</p>
CLKFX180	出力	1	CLKFX と同じ周波数で位相を 180 度シフトしたクロックを出力します。
CLKIN	入力	1	<p>DCM にソース クロックを供給します。CLKIN の周波数はデータシートで指定された範囲内にする必要があります。クロック入力信号は、次のいずれかのバッファから供給します。</p> <ul style="list-style-type: none"> IBUFG : グローバル クロック入力バッファ。デバイス上で DCM と同じ側 (上または下) にある IBUFG を使用すると、クロック入力パスが調整されます。 BUFG/BUFGCTRL : 内部グローバル クロック バッファ。専用グローバル配線を使用してデバイス上のどの DCM でも駆動できます。2 つの DCM を直列に接続する場合には、DCM の CLKIN ピンを駆動できます。 IBUF : 入力バッファ。IBUF で CLKIN 入力を駆動する場合、PAD から DCM 入力へのスキューは調整されず、ジッタが増加する可能性があります。このコンフィギュレーションは、使用しないでください。
CLKFB	入力	1	<p>クロック出力の遅延を調整してクロック入力と位相を揃えるために参照するクロック信号です。DCM にフィードバックを供給するには、CLK0 出力のみを CLKFB 入力に接続しますが、内部フィードバックの場合は BUFG コンポーネントを介して、外部フィードバックの場合は OBUF および IBUFG を介します。CLK_FEEDBACK 属性を 1X に設定します。CLKFB ピンを接続すると、CLK0、CLKDV、および CLKFX が CLKIN の位相に揃えられます。CLKFB ピンを接続しない場合は、CLK_FEEDBACK を "NONE" に設定します。この場合、CLKFX および CLKFX180 出力は有効ですが、CLKIN の位相には揃えられません。</p>
ステータス出力/制御入力			
LOCKED	出力	1	位相アライメントが完了し、操作が開始可能であることを示す同期出力
PSDONE	出力	1	<p>ダイナミック CLKIN セレクト入力。High の場合は CLKIN1、Low の場合は CLKIN2 が選択されます。2 つのクロックを選択する必要がない場合は、この入力を 1 にします。</p>

ポート名	方向	幅	機能
RST	入力	1	DCM 回路をリセットします。RST 信号は、アクティブ High の非同期リセットです。RST 信号をアサートすると、すべての DCM 出力 (LOCKED 信号、ステータス信号、出力クロック) がソースクロックの 4 サイクル以内に Low になります。リセットは非同期であるため、ディアサート中にクロックの最後のサイクルが短いパルスになったり、デューティサイクルが崩れたり、クロック間のスキューが調整されなる可能性があります。このため、デバイスをリコンフィギュレーションする場合や入力周波数を変更する場合は、RST ピンを使用する必要があります。RST 信号をディアサートすると、次の CLKIN サイクルに同期してクロックをロック状態にするプロセスが開始します。DCM がリセット後に正しくロックされるようにするには、CLKIN 信号が供給され、3 クロックサイクル以上安定するまで RST 信号をディアサートしておく必要があります。どのデザインでも、クロックが安定するまで DCM をリセットに保持する必要があります。コンフィギュレーションでは、GWE が解除されるまで DCM は自動的にリセット状態に保持されます。このクロックは、GSR が解放されると安定します。
PSCLK	入力	1	DCM 位相シフトのソースクロックを供給します。位相シフトクロック信号は、どのクロックソース (内部または外部) でも駆動できます。 PSCLK の周波数範囲は、PSCLK_FREQ_LF/HF で定義します (データシートを参照)。CLKOUT_PHASE_SHIFT 属性を "NONE" または "FIXED" に設定している場合は、この入力をグラウンドに接続する必要があります。
PSINCDEC	入力	1	PSINCDEC 入力は、PSCLK に同期しています。CLKOUT_PHASE_SHIFT が変数モードのいずれかに設定されているときに、位相シフト係数をインクリメント/デクリメントするために使用します。位相シフト係数をインクリメント/デクリメントすると、それに応じて出力クロックの位相がシフトします。PSINCDEC 信号が High の場合はインクリメント、Low の場合はデクリメントされます。CLKOUT_PHASE_SHIFT 属性を "NONE" または "FIXED" に設定している場合は、この入力をグラウンドに接続する必要があります。
PSEN	入力	1	PSEN 入力は、PSCLK に同期しています。CLKOUT_PHASE_SHIFT が変数モードに設定されているときに、この信号によって可変位相シフトを開始します。可変位相シフトを有効にするには、PSEN 信号を PSCLK の 1 サイクル分アクティブにする必要があります。位相の変更は、CLKIN の 100 周期分と PSCLK の 3 周期分を加えた時間以内に有効になり、PSDONE が High になることにより示されます。位相が変化する間、出力に突発的な変化やグリッチは発生しません。PSEN がイネーブルになってから PSDONE が High になるまでの間、DCM の出力クロックは元の位相からターゲットの位相に少しずつ移動していきます。PSDONE が High になったら、位相シフトは完了です。CLKOUT_PHASE_SHIFT 属性を "NONE" または "FIXED" に設定している場合は、この入力をグラウンドに接続する必要があります。

デザインの入力方法

インスタンス化	可
推論	不可
CORE Generator™ およびウィザード	推奨
マクロのサポート	不可

使用可能な属性

属性	データ型	値	デフォルト	説明
CLK_FEEDBACK	文字列	"1X"、"2X"、 "NONE"	"1X"	クロック フィードバックを指定します。
CLKDV_DIVIDE	浮動小数点	1.5、2.0、2.5、3.0、 3.5、4.0、4.5、5.0、 5.5、6.0、6.5、7.0、 7.5、8.0、9.0、10.0、 11.0、12.0、13.0、 14.0、15.0、16.0	2.0	CLKDLL、CLKDLLE、CLKDLLHF、 DCM のクロック分周器 (CLKDV 出力) の分周比を指定します。
CLKFX_DIVIDE	整数	1 ~ 32	1	CLKFX 出力の分周比を指定します。
CLKFX_MULTIPLY	整数	2 ~ 32	4	CLKFX 出力の通倍比を指定します。
CLKIN_DIVIDE_BY_2	ブール代数	FALSE、TRUE	FALSE	DCM の入力クロック周波数の要件に合 うように、必要に応じて入力クロック周波 数を 2 で分周します。
CLKIN_PERIOD	浮動小数点	1.25 ~ 1000.00	10.0	入力クロックの周期を ns で指定します。
CLKOUT_PHASE_SHIFT	文字列	"NONE"、 "FIXED"、 "VARIABLE_ POSITIVE"、 "VARIABLE_ CENTER"、 "DIRECT"	"NONE"	位相シフト モードを指定します。
DESKEW_ADJUST	文字列	"SOURCE_ SYNCHRONOUS"、 "SYSTEM_ SYNCHRONOUS"、 "0" ~ "15"	"SYSTEM_ SYNCHRONOUS"	フィードバック パスの遅延量を制御しま す。ソース同期のインターフェイスで使 用する必要があります。
DFS_FREQUENCY_ MODE	文字列	"LOW"、"HIGH"	"LOW"	周波数合成の周波数モードを指定しま す。
DLL_FREQUENCY_ MODE	文字列	"LOW"、"HIGH"	"LOW"	DLL の周波数モードを指定します。
DUTY_CYCLE_ CORRECTION	ブール代数	TRUE、FALSE	TRUE	CLK0、CLK90、CLK180、CLK270 の 各出力のデューティサイクルを修正し ます。
FACTORY_JF	16 進数	16 ビット値	F0F0	この属性は、DCM のジッター フィルター 特性に影響します。ザイリンクスからの 指示なしにこのデフォルト値を変更しな いください。
PHASE_SHIFT	整数	-255 ~ 1023	0	位相シフト量を指定します。この値の範 囲は CLKOUT_PHASE_SHIFT の指定に よって異なります。
STARTUP_WAIT	ブール代数	FALSE、TRUE	FALSE	TRUE に設定すると、DCM がロック状態 になるまでコンフィギュレーション スタ ートアップ シーケンスの指定したサイク ルで待機します。

VHDL 記述 (インスタンス化)

次の 2 つの文が存在しない場合は、コピーしてエンティティ宣言の前に貼り付けます。

```
Library UNISIM;
use UNISIM.vcomponents.all;

-- DCM_PS: Digital Clock Manager Circuit
--      Virtex-4
-- Xilinx HDL Libraries Guide, version 14.5

DCM_PS_inst : DCM_PS
generic map (
    CLKDV_DIVIDE => 2.0, -- Divide by: 1.5,2.0,2.5,3.0,3.5,4.0,4.5,5.0,5.5,6.0,6.5
                        --      7.0,7.5,8.0,9.0,10.0,11.0,12.0,13.0,14.0,15.0 or 16.0
    CLKFX_DIVIDE => 1,  -- Can be any integer from 1 to 32
    CLKFX_MULTIPLY => 4, -- Can be any integer from 2 to 32
    CLKIN_DIVIDE_BY_2 => FALSE, -- TRUE/FALSE to enable CLKIN divide by two feature
    CLKIN_PERIOD => 10.0, -- Specify period of input clock in ns from 1.25 to 1000.00
    CLKOUT_PHASE_SHIFT => "NONE", -- Specify phase shift mode of NONE, FIXED,
                                --      VARIABLE POSITIVE, VARIABLE CENTER or DIRECT
    CLK_FEEDBACK => "1X", -- Specify clock feedback of NONE or 1X
    DCM_PERFORMANCE_MODE => "MAX_SPEED", -- Can be MAX_SPEED or MAX_RANGE
    DESKEW_ADJUST => "SYSTEM_SYNCHRONOUS", -- SOURCE_SYNCHRONOUS, SYSTEM_SYNCHRONOUS or
                                --      an integer from 0 to 15
    DFS_FREQUENCY_MODE => "LOW", -- HIGH or LOW frequency mode for frequency synthesis
    DLL_FREQUENCY_MODE => "LOW", -- LOW, HIGH, or HIGH_SER frequency mode for DLL
    DUTY_CYCLE_CORRECTION => TRUE, -- Duty cycle correction, TRUE or FALSE
    FACTORY_JF => X"F0F0", -- FACTORY JF Values Suggested to be set to X"F0F0"
    PHASE_SHIFT => 0, -- Amount of fixed phase shift from -255 to 1023
    STARTUP_WAIT => FALSE) -- Delay configuration DONE until DCM LOCK, TRUE/FALSE
port map (
    CLK0 => CLK0, -- 0 degree DCM CLK output
    CLK180 => CLK180, -- 180 degree DCM CLK output
    CLK270 => CLK270, -- 270 degree DCM CLK output
    CLK2X => CLK2X, -- 2X DCM CLK output
    CLK2X180 => CLK2X180, -- 2X, 180 degree DCM CLK out
    CLK90 => CLK90, -- 90 degree DCM CLK output
    CLKDV => CLKDV, -- Divided DCM CLK out (CLKDV_DIVIDE)
    CLKFX => CLKFX, -- DCM CLK synthesis out (M/D)
    CLKFX180 => CLKFX180, -- 180 degree CLK synthesis out
    DO => DO, -- 16-bit data output for Dynamic Reconfiguration Port (DRP)
    LOCKED => LOCKED, -- DCM LOCK status output
    PSDONE => PSDONE, -- Dynamic phase adjust done output
    CLKFB => CLKFB, -- DCM clock feedback
    CLKIN => CLKIN, -- Clock input (from IBUFG, BUFG or DCM)
    PSCLK => PSCLK, -- Dynamic phase adjust clock input
    PSEN => PSEN, -- Dynamic phase adjust enable input
    PSINCDEC => PSINCDEC, -- Dynamic phase adjust increment/decrement
    RST => RST -- DCM asynchronous reset input
);

-- End of DCM_PS_inst instantiation
```

Verilog 記述 (インスタンス化)

```
// DCM_PS: Dynamic Phase Shift Digital Clock Manager Circuit
//      Virtex-4
// Xilinx HDL Libraries Guide, version 14.5

DCM_PS #(
    .CLKDV_DIVIDE(2.0), // Divide by: 1.5,2.0,2.5,3.0,3.5,4.0,4.5,5.0,5.5,6.0,6.5
                        //      7.0,7.5,8.0,9.0,10.0,11.0,12.0,13.0,14.0,15.0 or 16.0
    .CLKFX_DIVIDE(1), // Can be any integer from 1 to 32
    .CLKFX_MULTIPLY(4), // Can be any integer from 2 to 32
    .CLKIN_DIVIDE_BY_2("FALSE"), // TRUE/FALSE to enable CLKIN divide by two feature
    .CLKIN_PERIOD(10.0), // Specify period of input clock in ns from 1.25 to 1000.00
    .CLKOUT_PHASE_SHIFT("NONE"), // Specify phase shift mode of NONE, FIXED,
                                //      VARIABLE_POSITIVE, VARIABLE_CENTER or DIRECT
    .CLK_FEEDBACK("1X"), // Specify clock feedback of NONE, 1X or 2X
    .DCM_PERFORMANCE_MODE("MAX_SPEED"), // Can be MAX_SPEED or MAX_RANGE
    .DESKEW_ADJUST("SYSTEM_SYNCHRONOUS"), // SOURCE_SYNCHRONOUS, SYSTEM_SYNCHRONOUS or
                                //      an integer from 0 to 15
    .DFS_FREQUENCY_MODE("LOW"), // HIGH or LOW frequency mode for frequency synthesis
    .DLL_FREQUENCY_MODE("LOW"), // LOW, HIGH, or HIGH_SER frequency mode for DLL
    .DUTY_CYCLE_CORRECTION("TRUE"), // Duty cycle correction, TRUE or FALSE
    .FACTORY_JF(16'hf0f0), // FACTORY JF value suggested to be set to 16'hf0f0
    .PHASE_SHIFT(0), // Amount of fixed phase shift from -255 to 1023
    .STARTUP_WAIT("FALSE") // Delay configuration DONE until DCM LOCK, TRUE/FALSE
) DCM_PS_inst (
    .CLK0(CLK0), // 0 degree DCM CLK output
    .CLK180(CLK180), // 180 degree DCM CLK output
    .CLK270(CLK270), // 270 degree DCM CLK output
    .CLK2X(CLK2X), // 2X DCM CLK output
    .CLK2X180(CLK2X180), // 2X, 180 degree DCM CLK out
    .CLK90(CLK90), // 90 degree DCM CLK output
    .CLKDV(CLKDV), // Divided DCM CLK out (CLKDV_DIVIDE)
    .CLKFX(CLKFX), // DCM CLK synthesis out (M/D)
    .CLKFX180(CLKFX180), // 180 degree CLK synthesis out
    .DO(DO), // 16-bit data output for Dynamic Reconfiguration Port (DRP)
    .LOCKED(LOCKED), // DCM LOCK status output
    .PSDONE(PSDONE), // Dynamic phase adjust done output
    .CLKFB(CLKFB), // DCM clock feedback
    .CLKIN(CLKIN), // Clock input (from IBUFG, BUFG or DCM)
    .PSClk(PSClk), // Dynamic phase adjust clock input
    .PSEN(PSEN), // Dynamic phase adjust enable input
    .PSINCDEC(PSINCDEC), // Dynamic phase adjust increment/decrement
    .RST(RST) // DCM asynchronous reset input
);

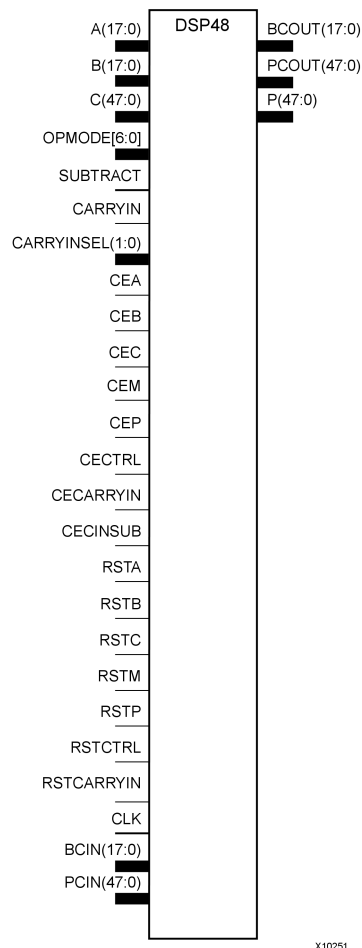
// End of DCM_PS_inst instantiation
```

詳細情報

- ・ [『Virtex-4 FPGA ユーザー ガイド』\(UG070\)](#)
- ・ [『Virtex-4 FPGA データシート：DC 特性およびスイッチ特性』\(DS302\)](#)

DSP48

プリミティブ : 18x18 Signed Multiplier Followed by a Three-Input Adder with Optional Pipeline Registers



概要

このデザイン エLEMENTのスライスは、48 ビットの出力を持つ DSP デジタル信号処理アプリケーションで使用するために開発されたコンポーネントですが、MACC ユニットだけでなくさまざまなアプリケーションで利用できる柔軟性を備えています。基本的な DSP48 スライスは、乗算器と加算器で構成されています。乗算器は、2 つの 18 ビット符号付き 2 の補数オペランドを入力とし、その結果を 36 ビット符号付き 2 の補数で出力します。結果は、48 ビットに符号拡張されます。加算器は、3 つの 48 ビット符号付き 2 の補数オペランドを入力とし、その結果を 48 ビット符号付き 2 の補数で出力します。

加算器のオペランドとしては、乗算器の出力、外部ソース、または加算器のレジスタを介した出力（累積機能）を使用できます。48 ビット出力では、オーバーフローになるまでに 36 ビット オペランドの 4096 累積が可能です。

ポートの説明

ポート名	方向	幅	機能
CLK	I	1	DSP48 クロック
A	I	18	乗算器の A 入力。加算器の MSW 入力としても使用できます。
B	I	18	乗算器の B 入力。加算器の LSW 入力としても使用できます。
BCIN	I	18	乗算器のカスケード B 入力。加算器の LSW 入力としても使用できます。
C	I	48	加算器の C 入力
PCIN	I	48	前の DSP スライスからカスケード接続された加算器の C 入力
CARRYIN	I	1	加算器のキャリー入力
SUBTRACT	I	1	0 = 加算、1 = (C, PCIN) - (mult, A:B)
OPMODE	I	7	DSP48 スライスの加算器の制御入力 (OpMode の表を参照)
CARRYINSEL	I	2	キャリーのソースを選択 (CARRINSEL の表を参照)
CEA	I	1	クロック イネーブル (0 = 保持、1 = AREG をイネーブル)
CEB	I	1	クロック イネーブル (0 = 保持、1 = BREG をイネーブル)
CEC	I	1	クロック イネーブル (0 = 保持、1 = CREG をイネーブル)
CEP	I	1	クロック イネーブル (0 = 保持、1 = PREG をイネーブル)

パイプライン レジスタを定義する合成属性

次に、パイプライン レジスタを定義する合成属性を示します。

属性	機能
AREG	0 = バイパス、1 = 1 個使用、2 = 2 個使用
BREG	0 = バイパス、1 = 1 個使用、2 = 2 個使用
CREG	0 = バイパス、1 = 1 個使用
PREG	0 = バイパス、1 = 1 個使用
MREG	0 = バイパス、1 = 1 個使用
SUBTRACTREG	0 = バイパス、1 = 1 個使用
OPMODEREG	0 = バイパス、1 = 1 個使用
CARRYINSELREG	0 = バイパス、1 = 1 個使用

2 の補数の符号付き乗算器

DSP48 スライスに含まれる乗算器は、18 ビット X 18 ビットの 2 の補数乗算器で、結果を 36 ビット符号付き 2 の補数で出力します。乗算器をカスケード接続すると、より大型の乗算器を作成できます。符号付きと符号付き、符号付きと符号なし、符号なしと符号なしの乗算、論理演算、数値演算、パレル シフト、2 の補数および絶対値での結果出力を簡単にインプリメントできます。2 つの独立したダイナミック データ入力ポートがあります。入力ポートでは、18 ビットの符号付きデータまたは 17 ビットの符号なしデータがサポートされます。

X、Y、および Z マルチプレクサー

動作モード (OpMode) 入力を使用すると、動作中にデザインの機能を変更できます。たとえば、アキュムレータを指定すると、累積プロセスが開始します。OpMode ビットは、コンフィギュレーション RAM で制御してレジスタに取り込むことができます。

次の表に、OpMode の値と、加減算器にデータを供給する 3 つのマルチプレクサーの出力での機能を示します。7 ビットの OpMode 制御は、マルチプレクサーのセレクト ビットに分割できます。セレクト ビットの組み合わせによっては、使用できないものもあります。乗算器出力を選択した場合、X および Y 両方のマルチプレクサーが乗算器出力により使用されます。

OpMode 制御ビット セレクト X、Y、Z とマルチプレクサー出力

2 進 OpMode			加減算器に供給される X マルチプレクサー出力
Z	Y	X	
XXX	XX	0	0 (デフォルト)
XXX	1	1	乗算器出力
XXX	XX	10	P
XXX	XX	11	A を B と連結

OpMode 制御ビット セレクト X、Y、Z とマルチプレクサー出力

2 進 OpMode			加減算器に供給される Y マルチプレクサー出力
Z	Y	X	
XXX	0	XX	0 (デフォルト)
XXX	1	1	乗算器出力
XXX	10	XX	不正
XXX	11	XX	C

OpMode 制御ビット セレクト X、Y、Z とマルチプレクサー出力

2 進 OpMode			加減算器に供給される Y マルチプレクサー出力
Z	Y	X	
XXX	0	XX	0 (デフォルト)
XXX	1	1	乗算器出力
XXX	10	XX	不正
XXX	11	XX	C

3 入力加減算器制御ロジック

加減算器の出力は、制御入力とデータ入力により決定します。OpMode は、前のセクションで示したように、3 つの加減算器の入力に供給される X、Y、Z マルチプレクサーへの入力を選択します。乗算器出力が選択されると、X および Y マルチプレクサーの両方が使用されます。加減算器の入力を指定したら、加減算器自体の機能を確認する必要があります。入力マルチプレクサーと同様に、OpMode ビットによりこの機能の一部を指定できます。次の表に、この機能を示します。記号 +/- は加算または減算を示し、減算制御のステートにより指定されます。

16 進 OpMode	2 進 OpMode	加減算器の出力	説明
[6:0]	Z Y X		
0x00	000 00 00	+/- CIN	0
0x02	000 00 10	+/- (P + CIN)	P を保持
0x03	000 00 11	+/- (A:B + CIN)	A:B セレクト

16 進 OpMode	2 進 OpMode	加減算器の出力	説明
[6:0]	Z Y X		
0x05	000 01 01	+/- (A +/- B + CIN)	乗算
0x0c	000 11 00	+/- (C + CIN)	C セレクト
0x0e	000 11 10	+/- (C + P + CIN)	フィードバック加算
0x0f	000 11 11	+/- (A:B + C + CIN)	36 ビット加算器
0x10	001 00 00	PCIN +/- CIN	P カスケード セレクト
0x12	001 00 10	PCIN +/- (P + CIN)	P カスケード フィードバック加算
0x13	001 00 11	PCIN +/- (A:B + CIN)	P カスケード加算
0x15	001 01 01	PCIN +/- (A +/- B + CIN)	P カスケード乗算/加算
0x1c	001 11 00	PCIN +/- (C + CIN)	P カスケード加算
0x1e	001 11 10	PCIN +/- (C+P+ CIN)	P カスケード フィードバック加算/加算
0x1c	001 11 11	PCIN +/- (A:B+C + CIN)	P カスケード加算/加算
0x20	010 00 00	P +/- CIN	P を保持
0x22	010 00 10	P +/- (P + CIN)	ダブル フィードバック加算
0x23	010 00 11	P +/- (A:B + CIN)	フィードバック加算
0x25	010 01 01	P +/- (A +/- B + CIN)	乗算/累積
0x2c	010 11 00	P +/- (C + CIN)	フィードバック加算
0x2e	010 11 10	P +/- (C + P + CIN)	ダブル フィードバック加算
0x2f	010 11 11	P +/- (A:B + C + CIN)	フィードバック加算/加算
0x30	011 00 00	C +/- CIN	C セレクト
0x32	011 00 10	C +/- (P + CIN)	フィードバック加算
0x33	011 00 11	C +/- (A:B + CIN)	36 ビット加算器
0x35	011 01 01	C +/- (A +/- B + CIN)	乗算/加算
0x3c	011 11 00	C +/- (C + CIN)	ダブル
0x3e	011 11 10	C +/- (C + P + CIN)	ダブル加算フィードバック加算
0x3f	011 11 11	C +/- (A:B + C + CIN)	ダブル加算
0x50	101 00 00	Shift(PCIN) +/- CIN	17 ビット シフト P カスケード セレクト
0x52	101 00 10	Shift(PCIN) +/- (P + CIN)	17 ビット シフト P カスケード フィードバック加算
0x53	101 00 11	Shift(PCIN) +/- (A:B + CIN)	17 ビット シフト P カスケード加算
0x55	101 01 01	Shift(PCIN) +/- (A +/- B + CIN)	17 ビット シフト P 乗算/加算
0x5c	101 11 00	Shift(PCIN) +/- (C + CIN)	17 ビット シフト P カスケード加算
0x5e	101 11 10	Shift(PCIN) +/- (C + P + CIN)	17 ビット シフト P カスケード フィードバック加算/加算
0x5c	101 11 11	Shift(PCIN) +/- (A:B + C + CIN)	17 ビット シフト P カスケード加算/加算
0x60	110 00 00	Shift(P) +/- CIN	17 ビット シフト フィードバック

16 進 OpMode	2 進 OpMode	加減算器の出力	説明
[6:0]	Z Y X		
0x62	110 00 10	Shift(P) +/- (P + CIN)	17 ビット シフト フィードバック/フィードバック加算
0x63	110 00 11	Shift(P) +/- (A:B + CIN)	17 ビット シフト フィードバック加算
0x65	110 01 01	Shift(P) +/- (A +/- B + CIN)	17 ビット シフト フィードバック乗算/加算
0x6c	110 11 00	Shift(P) +/- (C + CIN)	17 ビット シフト フィードバック加算
0x6e	110 11 10	Shift(P) +/- (C + P + CIN)	17 ビット シフト フィードバック/フィードバック加算/加算
0x6f	110 11 11	Shift(P) +/- (A:B + C + CIN)	17 ビット シフト フィードバック加算/加算

キャリー ロジックでサポートされる繰り上げ/繰り下げモード

OpMode 入力、3 入力加減算器へのデータ入力、減算制御ビットに加え、加減算器の出力はキャリー入力ロジックの結果を示します。

CarryInSel 信号、減算制御信号、および OpMode 制御信号は、コンフィギュレーション RAM で制御してレジスタに取り込むことができます (グレーのマルチプレクサー シンボルで示す)。これにより、制御信号パイプラインの遅延をデータのパイプライン遅延と一致させることができます。CarryInSel 信号、減算制御信号、OpMode 制御信号は同じリセット信号 (RSTCTRL) を使用し、減算制御信号と OpMode 制御信号は同じクロック イネーブル信号を使用します。クロック イネーブルを使用すると、必要に応じて、制御信号をディスエーブルにできます。

デザインの入力方法

インスタンス化	可
推論	推奨
CORE Generator™ およびウィザード	不可
マクロのサポート	不可

使用可能な属性

属性	データ型	値	デフォルト	説明
AREG	整数	0、1、2	1	A 入力にレジスタを付けるかを指定します。
B_INPUT	文字列	"DIRECT"、 "CASCADE"	"DIRECT"	"DIRECT": 被乗数は B "CASCADE": 被乗数は BCIN
BREG	整数	0、1、2	1	B 入力にレジスタを付けるかを指定します。
CARRYINREG	整数	0、1	1	CARRYIN 入力のパイプライン レジスタ数
CARRYINSELREG	整数	0、1	1	CARRYINSEL のパイプライン レジスタ数
CREG	整数	0、1、2	1	C 入力にレジスタを付けるかどうかを指定します。
LEGACY_MODE	文字列	"NONE"、 "MULT18X18"、 "MULT18X18S"	"MULT18X18S"	DCM の内部属性設定。デフォルト値から変更しないでください。
MREG	整数	0、1	1	乗算器の段にレジスタを付けるかどうかを指定します。イネーブル = 1/ディスエーブル = 0
OPMODEREG	整数	0、1	1	OpMode 入力上のパイプライン レジスタ数

属性	データ型	値	デフォルト	説明
PREG	整数	0、1	1	C 入力にレジスタを付けるかを指定します。
SUBTRACTREG	整数	0、1	1	SUBTRACT 入力上のパイプライン レジスタ数

VHDL 記述 (インスタンス化)

次の 2 つの文が存在しない場合は、コピーしてエンティティ宣言の前に貼り付けます。

```

Library UNISIM;
use UNISIM.vcomponents.all;

-- DSP48: DSP Function Block
--      Virtex-4
-- Xilinx HDL Libraries Guide, version 14.5

DSP48_inst : DSP48
generic map (
  AREG => 1,  -- Number of pipeline registers on the A input, 0, 1 or 2
  BREG => 1,  -- Number of pipeline registers on the B input, 0, 1 or 2
  B_INPUT => "DIRECT", -- B input DIRECT from fabric or CASCADE from another DSP48
  CARRYINREG => 1,  -- Number of pipeline registers for the CARRYIN input, 0 or 1
  CARRYINSELREG => 1, -- Number of pipeline registers for the CARRYINSEL, 0 or 1
  CREG => 1,  -- Number of pipeline registers on the C input, 0 or 1
  LEGACY_MODE => "MULT18X18S", -- Backward compatibility, NONE, MULT18X18 or MULT18X18S
  MREG => 1,  -- Number of multiplier pipeline registers, 0 or 1
  OPMODEREG => 1, -- Number of pipeline registers on OPMODE input, 0 or 1
  PREG => 1,  -- Number of pipeline registers on the P output, 0 or 1
  SUBTRACTREG => 1) -- Number of pipeline registers on the SUBTRACT input, 0 or 1
port map (
  BCOUT => BCOUT,  -- 18-bit B cascade output
  P => P,  -- 48-bit product output
  PCOUT => PCOUT,  -- 48-bit cascade output
  A => A,  -- 18-bit A data input
  B => B,  -- 18-bit B data input
  BCIN => BCIN,  -- 18-bit B cascade input
  C => C,  -- 48-bit cascade input
  CARRYIN => CARRYIN,  -- Carry input signal
  CARRYINSEL => CARRYINSEL, -- 2-bit carry input select
  CEA => CEA,  -- A data clock enable input
  CEB => CEB,  -- B data clock enable input
  CEC => CEC,  -- C data clock enable input
  CECARRYIN => CECARRYIN, -- CARRYIN clock enable input
  CECINSUB => CECINSUB,  -- CINSUB clock enable input
  CECTRL => CECTRL, -- Clock Enable input for CTRL registers
  CEM => CEM,  -- Clock Enable input for multiplier registers
  CEP => CEP,  -- Clock Enable input for P registers
  CLK => CLK,  -- Clock input
  OPMODE => OPMODE, -- 7-bit operation mode input
  PCIN => PCIN,  -- 48-bit PCIN input
  RSTA => RSTA,  -- Reset input for A pipeline registers
  RSTB => RSTB,  -- Reset input for B pipeline registers
  RSTC => RSTC,  -- Reset input for C pipeline registers
  RSTCARRYIN => RSTCARRYIN, -- Reset input for CARRYIN registers
  RSTCTRL => RSTCTRL, -- Reset input for CTRL registers
  RSTM => RSTM,  -- Reset input for multiplier registers
  RSTP => RSTP,  -- Reset input for P pipeline registers
  SUBTRACT => SUBTRACT -- SUBTRACT input
);

-- End of DSP48_inst instantiation

```

Verilog 記述 (インスタンス化)

```
// DSP48: DSP Function Block
//      Virtex-4
// Xilinx HDL Libraries Guide, version 14.5

DSP48 #(
    .AREG(1),           // Number of pipeline registers on the A input, 0, 1 or 2
    .BREG(1),           // Number of pipeline registers on the B input, 0, 1 or 2
    .B_INPUT("DIRECT"), // B input DIRECT from fabric or CASCADE from another DSP48
    .CARRYINREG(1),     // Number of pipeline registers for the CARRYIN input, 0 or 1
    .CARRYINSELREG(1),  // Number of pipeline registers for the CARRYINSEL, 0 or 1
    .CREG(1),           // Number of pipeline registers on the C input, 0 or 1
    .LEGACY_MODE("MULT18X18S"), // Backward compatibility, NONE, MULT18X18 or MULT18X18S
    .MREG(1),           // Number of multiplier pipeline registers, 0 or 1
    .OPMODEREG(1),      // Number of pipeline registers on OPMODE input, 0 or 1
    .PREG(1),           // Number of pipeline registers on the P output, 0 or 1
    .SUBTRACTREG(1)     // Number of pipeline registers on the SUBTRACT input, 0 or 1
) DSP48_inst (
    .BCOUT(BCOUT), // 18-bit B cascade output
    .P(P),         // 48-bit product output
    .PCOUT(PCOUT), // 48-bit cascade output
    .A(A),         // 18-bit A data input
    .B(B),         // 18-bit B data input
    .BCIN(BCIN),   // 18-bit B cascade input
    .C(C),         // 48-bit cascade input
    .CARRYIN(CARRYIN), // Carry input signal
    .CARRYINSEL(CARRYINSEL), // 2-bit carry input select
    .CEA(CEA),     // A data clock enable input
    .CEB(CEB),     // B data clock enable input
    .CEC(CEC),     // C data clock enable input
    .CECARRYIN(CECARRYIN), // CARRYIN clock enable input
    .CECINSUB(CECINSUB), // CINSUB clock enable input
    .CECTRL(CECTRL), // Clock Enable input for CTRL registers
    .CEM(CEM),     // Clock Enable input for multiplier registers
    .CEP(CEP),     // Clock Enable input for P registers
    .CLK(CLK),     // Clock input
    .OPMODE(OPMODE), // 7-bit operation mode input
    .PCIN(PCIN),   // 48-bit PCIN input
    .RSTA(RSTA),   // Reset input for A pipeline registers
    .RSTB(RSTB),   // Reset input for B pipeline registers
    .RSTC(RSTC),   // Reset input for C pipeline registers
    .RSTCARRYIN(RSTCARRYIN), // Reset input for CARRYIN registers
    .RSTCTRL(RSTCTRL), // Reset input for CTRL registers
    .RSTM(RSTM),   // Reset input for multiplier registers
    .RSTP(RSTP),   // Reset input for P pipeline registers
    .SUBTRACT(SUBTRACT) // SUBTRACT input
);

// End of DSP48_inst instantiation
```

詳細情報

- ・ [『Virtex-4 FPGA ユーザー ガイド』\(UG070\)](#)
- ・ [『Virtex-4 FPGA データシート：DC 特性およびスイッチ特性』\(DS302\)](#)

EMAC

プリミティブ：Fully integrated 10/100/1000 Mb/s Ethernet Media Access Controller (Ethernet MAC)

概要

このデザイン エLEMENTでは、Virtex®-4 PowerPC® プロセッサをイーサネット接続できるようにします。イーサネット MAC (EMAC) では、次の機能がサポートされています。

- ・ 完全に統合された 10/100/1000 Mb/s イーサネット MAC
- ・ IEEE 802.3-2002 規格に準拠
- ・ 全二重または半二重動作を設定可能
- ・ 物理 (PHY) 層でオブジェクトを制御する MII (Media Independent Interface) 制御 (MDIO) インターフェイス
- ・ 統計ベクター出力にアクセス可能
- ・ VLAN フレームをサポート
- ・ 内部フレーム ギャップ調整を設定可能
- ・ 送信および受信パスの両方を通過するインバンド フレーム チェック シーケンス (FCS) フィールドを設定可能
- ・ 送信で自動パディング、受信で FCS フィールド ストリップを提供
- ・ ホスト インターフェイスから設定およびモニター可能
- ・ ハードウェアで選択可能なデバイス コントロール レジスタ (DCR) バスまたは 1G イーサネット MAC バス ホスト インターフェイス
- ・ イーサネット MAC 制御 PAUSE フレームを使用したフロー制御を設定可能 (対称または非対称にイネーブル可能)
- ・ 任意の長さのジャンボ フレームをサポート
- ・ ユニキャスト、マルチキャスト、ブロードキャスト アドレス用の受信アドレス フィルターを設定可能
- ・ MII (Media Independent Interface)、GMII (Gigabit Media Independent Interface)、および Reduced Gigabit Media Independent Interface (RGMII)
- ・ マルチギガビットトランシーバー (MGT) で使用して完全なオンチップ 1000BASE-X インプリメンテーションを提供するための 1000BASE-X PCS (Physical Coding Sublayer) および PMA (Physical Medium Attachment) サブレイヤーを含む
- ・ MGT インターフェイスから銅製の外部 PHY 層への SGMII (Serial Gigabit Media Independent Interface) をサポート

ポートの説明

入力	出力
RESET	
TIEEMAC0CONFIGVEC [79:0]	
TIEEMAC1CONFIGVEC [79:0]	
TIEEMAC0UNICASTADDR [47:0]	
TIEEMAC1UNICASTADDR [47:0]	
PHYEMAC0GTCLK	
PHYEMAC1GTCLK	
CLIENTEMAC0DCMLOCKED	EMAC0CLIENTANINTERRUPT
CLIENTEMAC1DCMLOCKED	EMAC1CLIENTANINTERRUPT

入力	出力
CLIENTEMAC0RXCLIENTCLKIN	EMAC0CLIENTRXCLIENTCLKOUT
	EMAC0CLIENTRXD [15:0]
	EMAC0CLIENTRXDVLD
	EMAC0CLIENTRXDVLDMSW
	EMAC0CLIENTRXGOODFRAME
	EMAC0CLIENTRXBADFRAME
	EMAC0CLIENTRXFRAMEDROP
	EMAC0CLIENTRXDVREG6
	EMAC0CLIENTRXSTATS [6:0]
	EMAC0CLIENTRXSTATSBYTEVLD
	EMAC0CLIENTRXSTATSVLD
CLIENTEMAC1RXCLIENTCLKIN	EMAC1CLIENTRXCLIENTCLKOUT
	EMAC1CLIENTRXD [15:0]
	EMAC1CLIENTRXDVLD
	EMAC1CLIENTRXDVLDMSW
	EMAC1CLIENTRXGOODFRAME
	EMAC1CLIENTRXBADFRAME
	EMAC1CLIENTRXFRAMEDROP
	EMAC1CLIENTRXDVREG6
	EMAC1CLIENTRXSTATS [6:0]
	EMAC1CLIENTRXSTATSBYTEVLD
	EMAC1CLIENTRXSTATSVLD
CLIENTEMAC0TXGMIIMICLKIN	EMAC0CLIENTTXGMIIMICLKOUT
CLIENTEMAC0TXCLIENTCLKIN	EMAC0CLIENTTXCLIENTCLKOUT
CLIENTEMAC0TXD [15:0]	EMAC0CLIENTTXACK
CLIENTEMAC0TXDVLD	EMAC0CLIENTTXCOLLISION
CLIENTEMAC0TXDVLDMSW	EMAC0CLIENTTXRETRANSMIT
CLIENTEMAC0TXUNDERRUN	EMAC0CLIENTTXSTATS
CLIENTEMAC0TXIFGDELAY [7:0]	EMAC0CLIENTTXSTATSBYTEVLD
CLIENTEMAC0TXFIRSTBYTE	EMAC0CLIENTTXSTATSVLD
CLIENTEMAC1TXGMIIMICLKIN	EMAC1CLIENTTXGMIIMICLKOUT
CLIENTEMAC1TXCLIENTCLKIN	EMAC1CLIENTTXCLIENTCLKOUT
CLIENTEMAC1TXD [15:0]	EMAC1CLIENTTXACK
CLIENTEMAC1TXDVLD	EMAC1CLIENTTXCOLLISION
CLIENTEMAC1TXDVLDMSW	EMAC1CLIENTTXRETRANSMIT
CLIENTEMAC1TXUNDERRUN	EMAC1CLIENTTXSTATS
CLIENTEMAC1TXIFGDELAY [7:0]	EMAC1CLIENTTXSTATSBYTEVLD
CLIENTEMAC1TXFIRSTBYTE	EMAC1CLIENTTXSTATSVLD

入力	出力
CLIENTEMAC0PAUSEREQ	
CLIENTEMAC0PAUSEVAL [15:0]	
CLIENTEMAC1PAUSEREQ	
CLIENTEMAC1PAUSEVAL [15:0]	
HOSTADDR [9:0]	HOSTMIIMRDY
HOSTCLK	HOSTRDDATA [31:0]
HOSTMIIMSEL	
HOSTOPCODE [1:0]	
HOSTREQ	
HOSTWRDATA [31:0]	
HOSTEMAC1SEL	
DCREMACCLK	DCRHOSTDONEIR
DCREMACENABLE	EMACDCRACK
DCREMACDBUS [0:31]	EMACDCRDBUS [0:31]
DCREMACABUS [8:9]	
DCREMACREAD	
DCREMACWRITE	
PHYEMAC0RXCLK	EMAC0PHYTXCLK
PHYEMAC0RXD [7:0]	EMAC0PHYTXD [7:0]
PHYEMAC0RXDV	EMAC0PHYTXEN
PHYEMAC0RXER	EMAC0PHYTXER
PHYEMAC0MIITXCLK	
PHYEMAC0COL	
PHYEMAC0CRS	
PHYEMAC1RXCLK	EMAC1PHYTXCLK
PHYEMAC1RXD [7:0]	EMAC1PHYTXD [7:0]
PHYEMAC1RXDV	EMAC1PHYTXEN
PHYEMAC1RXER	EMAC1PHYTXER
PHYEMAC1MIITXCLK	
PHYEMAC1COL	
PHYEMAC1CRS	
PHYEMAC0SIGNALDET	EMAC0PHYENCOMMAALIGN
PHYEMAC0PHYAD [4:0]	EMAC0PHYLOOPBACKMSB
PHYEMAC0RXCLKCORCNT [2:0]	EMAC0PHYMGTRXRESET
PHYEMAC0RXBUFSTATUS [1:0]	EMAC0PHYMGTTXRESET
PHYEMAC0RXCHARISCOMMA	EMAC0PHYPOWERDOWN
PHYEMAC0RXCHARISK	EMAC0PHYSYNACQSTATUS
PHYEMAC0RXCHECKINGCRC	EMAC0PHYTXCHARDISPMODE

入力	出力
PHYEMAC0RXCOMMADET	EMAC0PHYTXCHARDISPVAL
PHYEMAC0RXDISPERR	EMAC0PHYTXCHARISK
PHYEMAC0RXLOSSOFSYNC [1:0]	
PHYEMAC0RXNOTINTABLE	
PHYEMAC0RXRUNDISP	
PHYEMAC0RXBUFERR	
PHYEMAC0TXBUFERR	
PHYEMAC1SIGNALDET	EMAC1PHYENCOMMAALIGN
PHYEMAC1PHYAD [4:0]	EMAC1PHYLOOPBACKMSB
PHYEMAC1RXCLKCORCNT [2:0]	EMAC1PHYMGTRXRESET
PHYEMAC1RXBUFSTATUS [1:0]	EMAC1PHYMGTTXRESET
PHYEMAC1RXCHARISCOMMA	EMAC1PHYPOWERDOWN
PHYEMAC1RXCHARISK	EMAC1PHYSYNACQSTATUS
PHYEMAC1RXCHECKINGCRC	EMAC1PHYTXCHARDISPMODE
PHYEMAC1RXCOMMADET	EMAC1PHYTXCHARDISPVAL
PHYEMAC1RXDISPERR	EMAC1PHYTXCHARISK
PHYEMAC1RXLOSSOFSYNC [1:0]	
PHYEMAC1RXNOTINTABLE	
PHYEMAC1RXRUNDISP	
PHYEMAC1RXBUFERR	
PHYEMAC1TXBUFERR	
PHYEMAC0MCLKIN	EMAC0PHYMCLKOUT
PHYEMAC0MDIN	EMAC0PHYMDOUT
	EMAC0PHYMDTRI
PHYEMAC1MCLKIN	EMAC1PHYMCLKOUT
PHYEMAC1MDIN	EMAC1PHYMDOUT
	EMAC1PHYMDTRI

デザインの入力方法

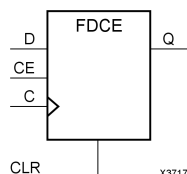
インスタンス化	可
推論	不可
CORE Generator™ およびウィザード	推奨
マクロのサポート	不可

詳細情報

- ・ [『Virtex-4 FPGA ユーザー ガイド』\(UG070\)](#)
- ・ [『Virtex-4 FPGA データシート : DC 特性およびスイッチ特性』\(DS302\)](#)

FDCE

プリミティブ : D Flip-Flop with Clock Enable and Asynchronous Clear



概要

このデザイン エLEMENTは、クロック イネーブルと非同期クリアがある単一の D タイプ フリップフロップです。クロック イネーブル (CE) が High、非同期クリア (CLR) が Low の場合、クロック (C) が Low から High に切り替わるときにデータ入力 (D) の値がデータ出力 (Q) に送られます。CLR が High になると、ほかのすべての入力は無視され、出力 (Q) の値が Low にリセットされます。CE が Low の場合、クロック遷移は無視されます。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

入力				出力
CLR	CE	D	C	Q
1	X	X	X	0
0	0	X	X	変化なし
0	1	D	↑	D

デザインの入力方法

インスタンシエーション	可
推論	推奨
CORE Generator™ およびウィザード	不可
マクロのサポート	不可

使用可能な属性

属性	データ型	値	デフォルト	説明
INIT	2 進数	0、1	0	コンフィギュレーション後の Q 出力の初期値を指定します。

VHDL 記述 (インスタンスレーション)

次の 2 つの文が存在しない場合は、コピーしてエンティティ宣言の前に貼り付けます。

```
Library UNISIM;
use UNISIM.vcomponents.all;

-- FDCE: Single Data Rate D Flip-Flop with Asynchronous Clear and
--       Clock Enable (posedge clk).
--       Virtex-4
-- Xilinx HDL Libraries Guide, version 14.5

FDCE_inst : FDCE
generic map (
    INIT => '0') -- Initial value of register ('0' or '1')
port map (
    Q => Q,        -- Data output
    C => C,        -- Clock input
    CE => CE,       -- Clock enable input
    CLR => CLR,     -- Asynchronous clear input
    D => D         -- Data input
);

-- End of FDCE_inst instantiation
```

Verilog 記述 (インスタンスレーション)

```
// FDCE: Single Data Rate D Flip-Flop with Asynchronous Clear and
//       Clock Enable (posedge clk).
//       Virtex-4
// Xilinx HDL Libraries Guide, version 14.5

FDCE #(
    .INIT(1'b0) // Initial value of register (1'b0 or 1'b1)
) FDCE_inst (
    .Q(Q),       // 1-bit Data output
    .C(C),       // 1-bit Clock input
    .CE(CE),     // 1-bit Clock enable input
    .CLR(CLR),   // 1-bit Asynchronous clear input
    .D(D)        // 1-bit Data input
);

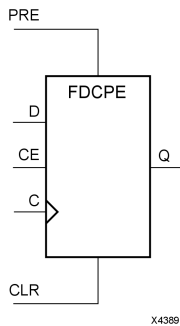
// End of FDCE_inst instantiation
```

詳細情報

- ・ [『Virtex-4 FPGA ユーザー ガイド』\(UG070\)](#)
- ・ [『Virtex-4 FPGA データシート：DC 特性およびスイッチ特性』\(DS302\)](#)

FDCPE

プリミティブ：D Flip-Flop with Clock Enable and Asynchronous Preset and Clear



概要

このデザイン エLEMENTは、データ (D)、クロック イネーブル (CE)、非同期プリセット (PRE)、非同期クリア (CLR) の各入力とデータ出力 (Q) がある単一の D タイプ フリップフロップです。非同期 PRE が High になると Q 出力が High にセットされ、CLR が High になると出力が Low にリセットされます (CLR 入力の方が PRE 入力よりも優先される)。PRE と CLR が Low で CE が High の場合、クロック (C) が Low から High に切り替わるときに D 入力の値がフリップフロップにロードされます。CE が Low の場合クロック遷移は無視され、以前の値が保持されます。FDCPE は通常、スライスまたは IOB レジスタとしてインプリメントされます。

FPGA では電源が投入されると、INIT 属性を使用して指定した初期値に設定されます。GSR (グローバル セット/リセット) をアサートすると、INIT で指定した初期値に非同期で設定されます。

注記： 非同期のセットおよびリセットの使用がサポートされていますが、これらの使用は通常お勧めしません。非同期信号を使用するとタイミングの問題を検出および制御しにくく、ロジックの最適化に悪影響を及ぼし、同期セットまたはリセットを使用した場合に比べて消費電力が大きくなることがあります。

論理表

入力					出力
CLR	PRE	CE	D	C	Q
1	X	X	X	X	0
0	1	X	X	X	1
0	0	0	X	X	変化なし
0	0	1	D	↑	D

ポートの説明

ポート名	方向	幅	機能
Q	出力	1	データ出力
C	入力	1	クロック入力
CE	入力	1	クロック イネーブル入力
CLR	入力	1	非同期クリア入力
D	入力	1	データ入力
PRE	入力	1	非同期セット入力

デザインの入力方法

インスタンス化	可
推論	推奨
CORE Generator™ およびウィザード	不可
マクロのサポート	不可

使用可能な属性

属性	データ型	値	デフォルト	説明
INIT	2 進数	0、1	0	コンフィギュレーション後および GSR 入力時の Q 出力の初期値を指定します。

VHDL 記述 (インスタンス化)

次の 2 つの文が存在しない場合は、コピーしてエンティティ宣言の前に貼り付けます。

```
Library UNISIM;
use UNISIM.vcomponents.all;

-- FDCPE: Single Data Rate D Flip-Flop with Asynchronous Clear, Set and
--       Clock Enable (posedge clk).
--       Virtex-4
-- Xilinx HDL Libraries Guide, version 14.5

FDCPE_inst : FDCPE
generic map (
  INIT => '0') -- Initial value of register ('0' or '1')
port map (
  Q => Q,      -- Data output
  C => C,      -- Clock input
  CE => CE,    -- Clock enable input
  CLR => CLR,  -- Asynchronous clear input
  D => D,      -- Data input
  PRE => PRE   -- Asynchronous set input
);

-- End of FDCPE_inst instantiation
```

Verilog 記述 (インスタンス化)

```
// FDCPE: Single Data Rate D Flip-Flop with Asynchronous Clear, Set and
//       Clock Enable (posedge clk).
//       Virtex-4
// Xilinx HDL Libraries Guide, version 14.5

FDCPE #(
  .INIT(1'b0) // Initial value of register (1'b0 or 1'b1)
) FDCPE_inst (
  .Q(Q),      // Data output
  .C(C),      // Clock input
  .CE(CE),    // Clock enable input
  .CLR(CLR),  // Asynchronous clear input
  .D(D),      // Data input
  .PRE(PRE)   // Asynchronous set input
);

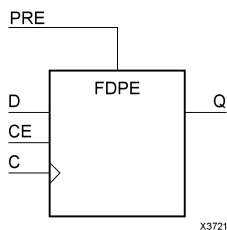
// End of FDCPE_inst instantiation
```

詳細情報

- ・ [『Virtex-4 FPGA ユーザー ガイド』\(UG070\)](#)
- ・ [『Virtex-4 FPGA データシート：DC 特性およびスイッチ特性』\(DS302\)](#)

FDPE

プリミティブ : D Flip-Flop with Clock Enable and Asynchronous Preset



概要

このデザイン エレメントは、データ (D)、クロック イネーブル (CE)、非同期プリセット (PRE) の各入力とデータ出力 (Q) がある単一の D フリップフロップです。非同期の PRE が High になると、ほかのすべての入力は無視され、Q 出力が High にセットされます。PRE が Low、CE が High の場合、クロック (C) が Low から High に切り替わるときに D 入力の値がフリップフロップにロードされます。CE が Low の場合、クロック遷移は無視されます。

FPGA では、電力を供給すると、フリップフロップは非同期にプリセットされ、出力が High になります。グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

入力				出力
PRE	CE	D	C	Q
1	X	X	X	1
0	0	X	X	変化なし
0	1	D	↑	D

デザインの入力方法

インスタンス化	可
推論	推奨
CORE Generator™ およびウィザード	不可
マクロのサポート	不可

使用可能な属性

属性	データ型	値	デフォルト	説明
INIT	2 進数	0、1	1	コンフィギュレーション後の Q 出力の初期値を指定します。

VHDL 記述 (インスタンスレーション)

次の 2 つの文が存在しない場合は、コピーしてエンティティ宣言の前に貼り付けます。

```
Library UNISIM;
use UNISIM.vcomponents.all;

-- FDPE: Single Data Rate D Flip-Flop with Asynchronous Preset and
--       Clock Enable (posedge clk).
--       Virtex-4
-- Xilinx HDL Libraries Guide, version 14.5

FDPE_inst : FDPE
generic map (
    INIT => '0') -- Initial value of register ('0' or '1')
port map (
    Q => Q,      -- Data output
    C => C,      -- Clock input
    CE => CE,    -- Clock enable input
    PRE => PRE,  -- Asynchronous preset input
    D => D       -- Data input
);

-- End of FDPE_inst instantiation
```

Verilog 記述 (インスタンスレーション)

```
// FDPE: Single Data Rate D Flip-Flop with Asynchronous Preset and
//       Clock Enable (posedge clk).
//       Virtex-4
// Xilinx HDL Libraries Guide, version 14.5

FDPE #(
    .INIT(1'b0) // Initial value of register (1'b0 or 1'b1)
) FDPE_inst (
    .Q(Q),      // 1-bit Data output
    .C(C),      // 1-bit Clock input
    .CE(CE),    // 1-bit Clock enable input
    .PRE(PRE),  // 1-bit Asynchronous preset input
    .D(D)       // 1-bit Data input
);

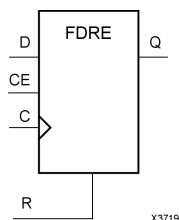
// End of FDPE_inst instantiation
```

詳細情報

- ・ [『Virtex-4 FPGA ユーザー ガイド』\(UG070\)](#)
- ・ [『Virtex-4 FPGA データシート : DC 特性およびスイッチ特性』\(DS302\)](#)

FDRE

プリミティブ : D Flip-Flop with Clock Enable and Synchronous Reset



概要

このデザイン エレメントは、データ (D)、クロック イネーブル (CE)、同期リセット (R) の各入力とデータ出力 (Q) がある単一の D タイプ フリップフロップです。同期リセット入力 (R) が High になると、ほかの入力は無視され、クロック (C) が Low から High に切り替わる時に出力 (Q) が Low にリセットされます。R が Low、CE が High の場合、クロックが Low から High に切り替わる時に D 入力の値がフリップフロップにロードされます。

電力を供給すると、このフリップフロップは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

入力				出力
R	CE	D	C	Q
1	X	X	↑	0
0	0	X	X	変化なし
0	1	D	↑	D

デザインの入力方法

インスタンス化	可
推論	推奨
CORE Generator™ およびウィザード	不可
マクロのサポート	不可

使用可能な属性

属性	データ型	値	デフォルト	説明
INIT	2 進数	0、1	0	コンフィギュレーション後の Q 出力の初期値を指定します。

VHDL 記述 (インスタンスレーション)

次の 2 つの文が存在しない場合は、コピーしてエンティティ宣言の前に貼り付けます。

```
Library UNISIM;
use UNISIM.vcomponents.all;

-- FDRE: Single Data Rate D Flip-Flop with Synchronous Reset and
--       Clock Enable (posedge clk).
--       Virtex-4
-- Xilinx HDL Libraries Guide, version 14.5

FDRE_inst : FDRE
generic map (
    INIT => '0') -- Initial value of register ('0' or '1')
port map (
    Q => Q,      -- Data output
    C => C,      -- Clock input
    CE => CE,    -- Clock enable input
    R => R,      -- Synchronous reset input
    D => D       -- Data input
);

-- End of FDRE_inst instantiation
```

Verilog 記述 (インスタンスレーション)

```
// FDRE: Single Data Rate D Flip-Flop with Synchronous Reset and
//       Clock Enable (posedge clk).
//       Virtex-4
// Xilinx HDL Libraries Guide, version 14.5

FDRE #(
    .INIT(1'b0) // Initial value of register (1'b0 or 1'b1)
) FDRE_inst (
    .Q(Q),      // 1-bit Data output
    .C(C),      // 1-bit Clock input
    .CE(CE),    // 1-bit Clock enable input
    .R(R),      // 1-bit Synchronous reset input
    .D(D)       // 1-bit Data input
);

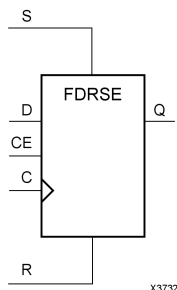
// End of FDRE_inst instantiation
```

詳細情報

- ・ [『Virtex-4 FPGA ユーザー ガイド』\(UG070\)](#)
- ・ [『Virtex-4 FPGA データシート : DC 特性およびスイッチ特性』\(DS302\)](#)

FDRSE

プリミティブ：D Flip-Flop with Synchronous Reset and Set and Clock Enable



概要

FDRSE は、同期リセット (R)、同期セット (S)、クロック イネーブル (CE) の各入力とデータ出力 (Q) がある単一の D タイプ フリップフロップです。同期リセット入力 (R) が High になると、ほかの入力は無視され、クロック (C) が Low から High に切り替わる時に出力 (Q) が Low にリセットされます (リセットがセットよりも優先される)。セット入力 (S) が High、R が Low の場合、クロック (C) が Low から High に切り替わる時にフリップフロップがセットされ、出力が High になります。R と S が Low、CE が High の場合、クロックが Low から High に切り替わる時に D 入力の値がフリップフロップにロードされます。

電源が投入されると、INIT 属性を使用して指定した初期値に設定されます。GSR (グローバル セット/リセット) をアサートすると、INIT で指定した初期値に非同期で設定されます。

論理表

入力					出力
R	S	CE	D	C	Q
1	X	X	X	↑	0
0	1	X	X	↑	1
0	0	0	X	X	変化なし
0	0	1	1	↑	1
0	0	1	0	↑	0

デザインの入力方法

インスタンス化	可
推論	推奨
CORE Generator™ およびウィザード	不可
マクロのサポート	不可

使用可能な属性

属性	データ型	値	デフォルト	説明
INIT	2 進数	0、1	0	コンフィギュレーション後および GSR 入力時の Q 出力の初期値を指定します。

VHDL 記述 (インスタンスレーション)

次の 2 つの文が存在しない場合は、コピーしてエンティティ宣言の前に貼り付けます。

```
Library UNISIM;
use UNISIM.vcomponents.all;

-- FDRSE: Single Data Rate D Flip-Flop with Synchronous Clear, Set and
--       Clock Enable (posedge clk).
--       Virtex-4
--       Xilinx HDL Libraries Guide, version 14.5

FDRSE_inst : FDRSE
generic map (
    INIT => '0') -- Initial value of register ('0' or '1')
port map (
    Q => Q,        -- Data output
    C => C,        -- Clock input
    CE => CE,      -- Clock enable input
    D => D,        -- Data input
    R => R,        -- Synchronous reset input
    S => S        -- Synchronous set input
);

-- End of FDRSE_inst instantiation
```

Verilog 記述 (インスタンスレーション)

```
// FDRSE: Single Data Rate D Flip-Flop with Synchronous Clear, Set and
//       Clock Enable (posedge clk).
//       Virtex-4
//       Xilinx HDL Libraries Guide, version 14.5

FDRSE #(
    .INIT(1'b0) // Initial value of register (1'b0 or 1'b1)
) FDRSE_inst (
    .Q(Q),      // Data output
    .C(C),      // Clock input
    .CE(CE),    // Clock enable input
    .D(D),      // Data input
    .R(R),      // Synchronous reset input
    .S(S)       // Synchronous set input
);

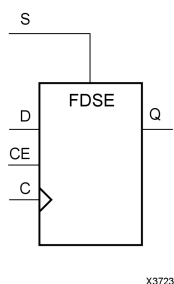
// End of FDRSE_inst instantiation
```

詳細情報

- ・ [『Virtex-4 FPGA ユーザー ガイド』\(UG070\)](#)
- ・ [『Virtex-4 FPGA データシート : DC 特性およびスイッチ特性』\(DS302\)](#)

FDSE

プリミティブ : D Flip-Flop with Clock Enable and Synchronous Set



概要

FDSE は、データ (D)、クロック イネーブル (CE)、同期セット (S) の各入力とデータ出力 (Q) がある単一の D タイプ フリップフロップです。同期セット (S) 入力が高になると、クロック イネーブル (CE) 入力は無視され、クロック (C) が Low から High に切り替わる時に Q 出力が高にセットされます。S が Low、CE が High の場合、クロック (C) が Low から High に切り替わる時に D 入力の値がフリップフロップにロードされます。

FPGA では、電力を供給すると、フリップフロップは非同期にプリセットされ、出力が高になります。グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

入力				出力
S	CE	D	C	Q
1	X	X	↑	1
0	0	X	X	変化なし
0	1	D	↑	D

デザインの入力方法

インスタンス化	可
推論	推奨
CORE Generator™ およびウィザード	不可
マクロのサポート	不可

使用可能な属性

属性	データ型	値	デフォルト	説明
INIT	2 進数	0、1	1	コンフィギュレーション後の Q 出力の初期値を指定します。

VHDL 記述 (インスタンスレーション)

次の 2 つの文が存在しない場合は、コピーしてエンティティ宣言の前に貼り付けます。

```
Library UNISIM;
use UNISIM.vcomponents.all;

-- FDSE: Single Data Rate D Flip-Flop with Synchronous Set and
--       Clock Enable (posedge clk).
--       Virtex-4
-- Xilinx HDL Libraries Guide, version 14.5

FDSE_inst : FDSE
generic map (
    INIT => '0') -- Initial value of register ('0' or '1')
port map (
    Q => Q,        -- Data output
    C => C,        -- Clock input
    CE => CE,       -- Clock enable input
    S => S,        -- Synchronous Set input
    D => D         -- Data input
);

-- End of FDSE_inst instantiation
```

Verilog 記述 (インスタンスレーション)

```
// FDSE: Single Data Rate D Flip-Flop with Synchronous Set and
//       Clock Enable (posedge clk).
//       Virtex-4
// Xilinx HDL Libraries Guide, version 14.5

FDSE #(
    .INIT(1'b0) // Initial value of register (1'b0 or 1'b1)
) FDSE_inst (
    .Q(Q),       // 1-bit Data output
    .C(C),       // 1-bit Clock input
    .CE(CE),     // 1-bit Clock enable input
    .S(S),       // 1-bit Synchronous set input
    .D(D)        // 1-bit Data input
);

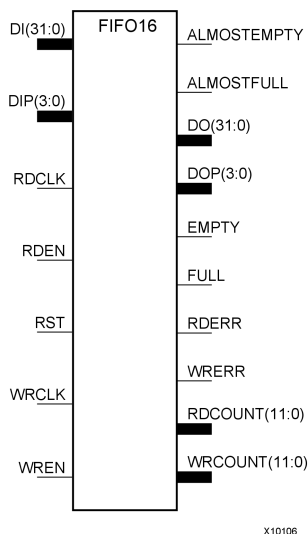
// End of FDSE_inst instantiation
```

詳細情報

- ・ [『Virtex-4 FPGA ユーザー ガイド』\(UG070\)](#)
- ・ [『Virtex-4 FPGA データシート : DC 特性およびスイッチ特性』\(DS302\)](#)

FIFO16

プリミティブ : Virtex-4 Block RAM Based, Built-In FIFO



概要

多くの FPGA デザインでは、ブロック RAM を使用して FIFO をインプリメントします。Virtex®-4 アーキテクチャでは、ブロック RAM に含まれる専用ロジックにより、同期または非同期 FIFO を簡単にインプリメントできます。カウンタ、コンパレータ、またはステータス フラグの生成に追加の CLB ロジックを使用することなく、1 つのブロック RAM リソースで 1 つの FIFO を作成できます。標準モードと FWFT (First Word Fall Through) モードがサポートされています。

標準モード : 空の FIFO に最初のワードが書き込まれると、EMPTY フラグは RDCLK に同期してディアサートされます。EMPTY フラグが Low にディアサートされ、RDEN がアサートされると、RDCLK の立ち上がりエッジで DOUT に最初のワードが出力されます。

FWFT (First Word Fall Through) モード : 空の FIFO に最初のワードが書き込まれると、RDEN がアサートされなくても、その値が RDCLK の数サイクル後に DOUT に出力されます。この後読み出し操作を行うには、EMPTY が Low、RDEN が High になっている必要があります。

注記 : デュアル クロック モードで独立したクロックを使用する場合、読み出しクロック エッジと書き込みクロック エッジ間のオフセットによっては、Empty、Almost Empty、Full、および Almost Full フラグが 1 クロック サイクル後にディアサートされることがあります。クロックが非同期のため、シミュレーション モデルではアーキテクチャのユーザー ガイドに示されているディアサートレイテンシ サイクルのみが反映されます。

次の表に、2 つのモードでの FIFO の容量を示します。

標準モード	FWFT モード
4k + 1 エントリ X 4 ビット	4k + 2 エントリ X 4 ビット
2k + 1 エントリ X 9 ビット	2k + 2 エントリ X 9 ビット
1k + 1 エントリ X 18 ビット	1k + 2 エントリ X 18 ビット
512 + 1 エントリ X 36 ビット	512 + 2 エントリ X 36 ビット

ブロック RAM は、同期または非同期操作用に、別々の読み出し/書き込みクロックを使用した非同期 FIFO メモリとしてコンフィギュレーションできます。ブロック RAM のポート A は FIFO 読み出しポートとして、ポート B は FIFO 書き込みポートとして使用します。データは、読み出しクロックの立ち上がりエッジで FIFO から読み出され、書き込みクロックの立ち上がりエッジで FIFO に書き込まれます。FIFO モードでは、読み出しポートと書き込みポートの幅を別々に選択できません。

使用可能なステータス フラグは、次のとおりです。

- ・ **フル (FULL)** : WRCLK に同期しています。FIFO にデータを書き込むスペースがなくなると、FULL がアサートされます。FIFO がフルになると、書き込みポインターは停止します。これにより、読み出しポインターと書き込みポインターにより同じエントリが指定され、オーバーフローは発生しません。FULL フラグは出力でレジスタを介し、1 書き込みクロック サイクル後にアサートされます。最後のエントリが読み出されると、3 クロック サイクル以内に WRCLK に同期してディアサートされます。
- ・ **空 (EMPTY)** : RDCLK に同期しています。
- ・ **ほぼフル (AFULL)** : WRCLK に同期しています。FIFO の空きスペースが ALMOST_FULL_OFFSET で指定した値よりも少なくなるとアサートされ、書き込みを停止するよう警告します。FIFO の空きスペースが ALMOST_FULL_OFFSET で指定した値より大きくなると、WRCLK に同期してディアサートされます。
- ・ **ほぼ空 (AEMPTY)** : RDCLK に同期しています。
- ・ **書き込みカウント (WRCOUNT)** : WRCLK に同期しています。
- ・ **書き込みエラー (WRERR)** : WRCLK に同期しています。FULL フラグがアサートされた後に書き込みを実行すると、WRERR フラグがアサートされます。ライト イネーブルまたは FULL が Low にディアサートされると、WRERR はディアサートされます。この信号は、WRCLK に同期しています。
- ・ **読み出しカウント (RDCOUNT)** : RDCLK に同期しています。
- ・ **読み出しエラー (RDERR)** : RDCLK に同期しています。

ポートの説明

ポート名	方向	機能
DI	入力	データ入力
DIP	入力	パリティ ビット入力
WREN	入力	ライト イネーブル。WREN = 1 の場合、データがメモリに書き込まれます。WREN = 0 の場合、書き込みはディスエーブルになります。
WRCLK	入力	書き込みクロック
RDEN	入力	リード イネーブル。RDEN = 1 の場合、データが出力レジスタに読み出されます。RDEN = 0 の場合、読み出しはディスエーブルになります。
RDCLK	入力	読み出しクロック
RESET	入力	FIFO 機能、フラグ、ポインターの非同期リセット
DO	出力	データ出力 (RDCLK に同期)
DOP	出力	パリティ ビット出力 (RDCLK に同期)
FULL	出力	FIFO メモリのすべてのエントリがフルであることを示します。
ALMOSTFULL	出力	FIFO メモリのほぼすべてのエントリがフルであることを示します。WRCLK に同期しています。値はユーザーが設定できます。
EMPTY	出力	FIFO が空であることを示します。この出力がアサートされると、読み出しは行われません。RDCLK に同期しています。
ALMOSTEMPTY	出力	FIFO のほぼすべての有効エントリが読み出されたことを示します。RDCLK に同期しています。値はユーザーが設定できます。
RDCOUNT	出力	FIFO データ読み出しポインター。RDCLK に同期しています。最大読み出しポインター値に達すると、0 に戻ります。
WRCOUNT	出力	FIFO データ書き込みポインター。WRCLK に同期しています。最大書き込みポインター値に達すると、0 に戻ります。

ポート名	方向	機能
WRERR	出力	FIFO がフルのときに書き込みを行うとアサートされます。WRCLK に同期しています。
RDERR	出力	FIFO が空のときに読み出しを行うとアサートされます。RDCLK に同期しています。

デザインの入力方法

インスタンス化	推奨
推論	不可
CORE Generator™ およびウィザード	不可
マクロのサポート	不可

使用可能な属性

属性	データ型	値	デフォルト	説明
ALMOST_EMPTY_OFFSET	16 進数	12 ビット値	すべて 0	ほぼ空の状態を検出するしきい値を指定します。
ALMOST_FULL_OFFSET	16 進数	12 ビット値	すべて 0	ほぼフルの状態を検出するしきい値を指定します。
DATA_WIDTH	整数	4、9、18、36	36	データ幅を指定します。
FIRST_WORD_FALL_THROUGH	ブール代数	FALSE、TRUE	FALSE	FIFO FWFT をオン/オフに設定します。

VHDL 記述 (インスタンス化)

次の 2 つの文が存在しない場合は、コピーしてエンティティ宣言の前に貼り付けます。

```
Library UNISIM;
use UNISIM.vcomponents.all;

-- FIFO16: BlockRAM Asynchronous FIFO configured fro 4k deep x 4 wide
--          Virtex-4
-- Xilinx HDL Libraries Guide, version 14.5

FIFO16_inst : FIFO16
generic map (
  ALMOST_FULL_OFFSET => X"080", -- Sets almost full threshold
  ALMOST_EMPTY_OFFSET => X"080", -- Sets the almost empty threshold
  DATA_WIDTH => 4, -- Sets data width to 4, 9, 18, or 36
  FIRST_WORD_FALL_THROUGH => FALSE) --Sets the FIFO FWFT to TRUE or FALSE
port map (
  ALMOSTEMPTY => ALMOSTEMPTY, -- 1-bit almost empty output flag
  ALMOSTFULL => ALMOSTFULL, -- 1-bit almost full output flag
  DO (31 DOWNT0 4) => unconnected (27 downto 0), -- Unused data output. Unconnected is a signal of 32 bits
  DO (3 DOWNT0 0) => DO, -- 4-bit data output
  DOP => unconnected (31 downto 28), -- 4-bit Unused parity data output. Unconnected is a signal of 32 bits
  EMPTY => EMPTY, -- 1-bit empty output flag
  FULL => FULL, -- 1-bit full output flag
  RDCOUNT => RDCOUNT, -- 12-bit read count output
  RDERR => RDERR, -- 1-bit read error output
  WRCOUNT => WRCOUNT, -- 12-bit write count output
  WRERR => WRERR, -- 1-bit write error
  DI (31 DOWNT0 4) => X"0000000", -- Unused data inputs tied to ground
  DI (3 downto 0) => DI, -- 4-bit data input
```



```

DIP => X"0",      -- 4-bit Unused parity inputs tied to ground
RDCLK => RDCLK,    -- 1-bit read clock input
RDEN => RDEN,      -- 1-bit read enable input
RST => RST,        -- 1-bit reset input
WRCLK => WRCLK,    -- 1-bit write clock input
WREN => WREN       -- 1-bit write enable input
);

-- End of FIFO16_inst instantiation

```

Verilog 記述 (インスタンスレーション)

```

// FIFO16: BlockRAM Asynchronous FIFO configured for 4k deep x 4 wide
//      Virtex-4
// Xilinx HDL Libraries Guide, version 14.5

wire [27:0] unconnected;

FIFO16 #(
    .ALMOST_FULL_OFFSET(12'h080),    // Sets almost full threshold
    .ALMOST_EMPTY_OFFSET(12'h080),   // Sets the almost empty threshold
    .DATA_WIDTH(4),                  // Sets data width to 4, 9, 18, or 36
    .FIRST_WORD_FALL_THROUGH("FALSE") // Sets the FIFO FWFT to "TRUE" or "FALSE"
) FIFO16_4kx4_inst (
    .ALMOSTEMPTY(ALMOSTEMPTY),       // 1-bit almost empty output flag
    .ALMOSTFULL(ALMOSTFULL),         // 1-bit almost full output flag
    .DO({unconnected[27:0], DO}),    // 4-bit data output
    .EMPTY(EMPTY),                   // 1-bit empty output flag
    .FULL(FULL),                     // 1-bit full output flag
    .RDCOUNT(RDCOUNT),               // 12-bit read count output
    .RDERR(RDERR),                   // 1-bit read error output
    .WRCOUNT(WRCOUNT),               // 12-bit write count output
    .WRERR(WRERR),                   // 1-bit write error
    .DI({28'h00000000, DI}),         // 4-bit data input (rest tied to ground)
    .DIP(4'h0),                      // Parity bits tied to Ground
    .RDCLK(RDCLK),                   // 1-bit read clock input
    .RDEN(RDEN),                     // 1-bit read enable input
    .RST(RST),                       // 1-bit reset input
    .WRCLK(WRCLK),                   // 1-bit write clock input
    .WREN(WREN)                      // 1-bit write enable input
);

// End of FIFO16_4kx4_inst instantiation

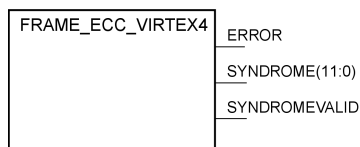
```

詳細情報

- ・ [『Virtex-4 FPGA ユーザー ガイド』\(UG070\)](#)
- ・ [『Virtex-4 FPGA データシート：DC 特性およびスイッチ特性』\(DS302\)](#)

FRAME_ECC_VIRTEX4

プリミティブ：Reads a Single, Virtex®-4 Configuration Frame and Computes a Hamming, Single-Error Correction, Double-Error Detection Syndrome



X10187

概要

このデザイン エLEMENTは、Virtex®-4 の 1312 ビットのコンフィギュレーション フレームを 32 ビットずつ読み出します。その後、ハミング誤り訂正、ダブル エラー検出シンドローム値を算出します。これにより、フレーム ビットの 1 つに誤りがある場合に、訂正が必要なが示されます。2 ビットの誤りがあることも検出されますが、これは訂正できません。FRAME_ECC_VIRTEX4 プリミティブでは、変更されたビットは訂正されません。

ポートの説明

ポート名	方向	幅	機能
ERROR	出力	1	誤り出力。誤りが存在することを示します。
SYNDROME	出力	12	誤りビットの位置。誤りの位置と、0、1、または 2 ビットの誤りが存在することを示します。
SYNDROMEVALID	出力	1	High の場合、フレームに 0、1、または 2 ビットの誤りがあることを示します。フレームリードバックが終了すると High にアサートされます。

デザインの入力方法

インスタンス化	推奨
推論	不可
CORE Generator™ およびウィザード	不可
マクロのサポート	不可

SYNDROME の値と対応する誤りステータス

SYNDROME ビット 11	SYNDROME ビット 10 ~ 0	誤りステータス
0	すべて 0	ビット誤りなし
0	0 以外	1 ビット誤りが存在 (SYNDROME 値は誤りビットの位置を示す)
1	すべて 0	2 ビット誤りが存在 (訂正不可)

注記：上記の表の値は、SYNDROME_VALID が High の場合にのみ適用されます。

VHDL 記述 (インスタンス化)

次の 2 つの文が存在しない場合は、コピーしてエンティティ宣言の前に貼り付けます。

```
Library UNISIM;
use UNISIM.vcomponents.all;

-- FRAME_ECC_VIRTEX4: Configuration Frame Error Correction Circuitry
--                               Virtex-4
-- Xilinx HDL Libraries Guide, version 14.5

FRAME_ECC_VIRTEX4_inst : FRAME_ECC_VIRTEX4
port map (
    ERROR => ERROR,
    SYNDROME => SYNDROME,
    SYNDROMEVALID => SYNDROMEVALID
);

-- End of FRAME_ECC_VIRTEX4_inst instantiation
```

Verilog 記述 (インスタンス化)

```
// FRAME_ECC_VIRTEX4: Configuration Frame Error Correction Circuitry
//                               Virtex-4
// Xilinx HDL Libraries Guide, version 14.5

FRAME_ECC_VIRTEX4 FRAME_ECC_VIRTEX4_inst (
    .ERROR(ERROR),           // 1-bit output indicating an error
    .SYNDROME(SYNDROME),     // 12-bit output location of erroroneous bit
    .SYNDROMEVALID(SYNDROMEVALID) // 1-bit output indicating 0, 1 or 2 bit errors in frame
);

// End of FRAME_ECC_VIRTEX4_inst instantiation
```

詳細情報

- ・ [『Virtex-4 FPGA ユーザー ガイド』\(UG070\)](#)
- ・ [『Virtex-4 FPGA データシート：DC 特性およびスイッチ特性』\(DS302\)](#)

GT11_CUSTOM

プリミティブ : RocketIO MGTs with 622 Mb/s to 11.1 Gb/s Data Rates, 8 to 24 Transceivers per FPGA, and 2.5 GHz 5.55 GHz VCO, Less Than 1ns RMS Jitter

概要

このデザイン エLEMENTは、RocketIO™ MGT です。RocketIO MGT は、マルチギガビット シリアル トランシーバーを Virtex®-4 デザインに簡単に組み込むための柔軟な機能を提供します。次の機能がサポートされています。

- ・ 10.3Gb/s データ レート
- ・ 1 つの FPGA に 8 ~ 24 個のトランシーバーを搭載
- ・ 2.5GHz ~ 5.55GHz VCO で動作し、RMS のジッターは 1ns 未満
- ・ トランスミッターのプリエンファシス
- ・ レシーバー連続時間の均等化
- ・ オンチップ AC カップリング レシーバー (オプションでバイパス可)
- ・ レシーバ信号の検出、信号損失インジケータ、バンド外信号レシーバー
- ・ バンド外信号に対し、Vcm の両方の出力にドライバ アイドル ステートを送信
- ・ 8B/10B または 64B/66B エンコード、あるいはデータ エンコードなし (パス スルー モード)
- ・ チャンネル ボンディング
- ・ 柔軟な CRC (Cyclic Redundancy Check) の生成およびチェック
- ・ トランスミッターおよびレシーバー終端電圧用のピン
- ・ セカンダリ (ダイナミック) コンフィギュレーション バスを使用したリコンフィギュレーション
- ・ PMA RX-TX パスを含む複数のループバック パス

RocketIO MGT は、FX デバイスでのみ使用可能です。

論理表

入力	出力
CHBONDI [4:0]	DRDY
CSUPMARESET	RXBUFERR
DADDR [7:0]	RXCALFAIL
DCLK	RXCOMMADET
DEN	RXCYLELIMIT
DI [15:0]	RXLOCK
DWE	RXRealIGN
ENCHANSYNC	RXRECCLK1
ENMCOMMAALIGN	RXBCLK
ENPCOMMAALIGN	RXRECCLK2
GREFCLK	RXSIGDET
LOOPBACK [1:0]	TX1N
POWERDOWN	TX1P
REFCLK1	TXBUFERR

入力	出力
REFCLK2	TXCALFAIL
RX1N	TXCYCLELIMIT
RX1P	TXLOCK
RXBLOCKSYNC64B66BUSE	DO [15:0]
RXCLKSTABLE	RXLOSSOFSYNC [1:0]
RXCOMMADETUSE	RXCRCOUT [31:0]
RXCRCCLK	TXCRCOUT [31:0]
RXCRCDATAVALID	CHBONDO [4:0]
RXCRCDATAWIDTH [2:0]	RXSTATUS [5:0]
RXCRCIN [63:0]	RXDATA [63:0]
RXCRCINIT	RXCHARISCOMMA [7:0]
RXCRCINTCLK	RXCHARISK [7:0]
RXCRCPD	RXDISPERR [7:0]
RXCRCRESET	RXNOTINTABLE [7:0]
RXDATAWIDTH [1:0]	RXRUNDISP [7:0]
RXDEC64B66BUSE	TXRUNDISP [7:0]
RXDEC8B10BUSE	TXKERR [7:0]
RXDESCRAM64B66BUSE	
RXIGNOREBTF	
RXINTDATAWIDTH [1:0]	
RXPMARESET	
RXPOLARITY	
RXRESET	
RXSLIDE	
RXUSRCLK	
RXUSRCLK2	
TXBYPASS8B10B [7:0]	
TXCHARDISPMODE [7:0]	
TXCHARDISPVAL [7:0]	
TXCHARISK [7:0]	
TXCLKSTABLE	
TXCRCCLK	
TXCRCDATAVALID	
TXCRCDATAWIDTH [2:0]	
TXCRCIN [63:0]	
TXCRCINIT	
TXCRCINTCLK	

入力	出力
TXCRCPD	
TXCRCRESET	
TXDATA [63:0]	
TXDATAWIDTH [1:0]	
TXENC64B66BUSE	
TXENC8B10BUSE	
TXENOOB	
TXGEARBOX64B66BUSE	
TXINHIBIT	
TXINTDATAWIDTH [1:0]	
TXPMARESET	
TXPOLARITY	
TXRESET	
TXSCRAM64B66BUSE	
TXSYNC	
TXUSRCLK	
TXUSRCLK2	

デザインの入力方法

インスタンス化	可
推論	不可
CORE Generator™ およびウィザード	推奨
マクロのサポート	不可

詳細情報

- ・ [『Virtex-4 FPGA ユーザー ガイド』\(UG070\)](#)
- ・ [『Virtex-4 FPGA データシート : DC 特性およびスイッチ特性』\(DS302\)](#)

GT11_DUAL

プリミティブ : RocketIO MGT Tile (contains 2 GT11_CUSTOM) with 622 Mb/s to 11.1 Gb/s data rates, 8 to 24 transceivers per FPGA, and 2.5 GHz 5.55 GHz VCO, less than 1ns RMS jitter

概要

RocketIO™ MGT は、マルチギガビット シリアル トランシーバーを Virtex®-4 デザインに簡単に組み込むための柔軟な機能を提供します。RocketIO MGT では、次の機能がサポートされています。

- ・ 622Mb/s ~ 11.1Gb/s データ レート
- ・ 1 つの FPGA に 8 ~ 24 個のトランシーバーを搭載
- ・ 2.5GHz ~ 5.55GHz VCO で動作し、RMS のジッターは 1ns 未満
- ・ トランスミッターのプリエンファシス
- ・ レシーバー連続時間の均等化
- ・ オンチップ AC カップリング レシーバー
- ・ 2.5Gb/s までのデータ レート用のデジタル オーバーサンプリング レシーバー
- ・ レシーバー信号の検出、信号損失インジケータ、バンド外信号レシーバー
- ・ バンド外信号に対し、Vcm の両方の出力にドライバー アイドル ステートを送信
- ・ 8B/10B または 64B/66B エンコード、あるいはデータ エンコードなし (パス スルー モード)
- ・ チャネル ボンディング
- ・ 柔軟な CRC (Cyclic Redundancy Check) の生成およびチェック
- ・ トランスミッターおよびレシーバー終端電圧用のピン
- ・ セカンダリ (ダイナミック) コンフィギュレーション バスを使用したリコンフィギュレーション
- ・ PMA RX-TX パスを含む複数のループバック パス

論理表

入力	出力
LOOPBACK_A[1:0]	RXLOSSOFSYNC_A[1:0]
LOOPBACK_B[1:0]	RXLOSSOFSYNC_B[1:0]
RXDATAWIDTH_A[1:0]	DO_A[15:0]
RXDATAWIDTH_B[1:0]	DO_B[15:0]
RXINTDATAWIDTH_A[1:0]	RXCRCOUT_A[31:0]
RXINTDATAWIDTH_B[1:0]	RXCRCOUT_B[31:0]
TXDATAWIDTH_A[1:0]	TXCRCOUT_A[31:0]
TXDATAWIDTH_B[1:0]	TXCRCOUT_B[31:0]
TXINTDATAWIDTH_A[1:0]	CHBONDO_A[4:0]
TXINTDATAWIDTH_B[1:0]	CHBONDO_B[4:0]
DI_A[15:0]	RXSTATUS_A[5:0]
DI_B[15:0]	RXSTATUS_B[5:0]
RXCRCDATAWIDTH_A[2:0]	RXDATA_A[63:0]
RXCRCDATAWIDTH_B[2:0]	RXDATA_B[63:0]

入力	出力
TXCRCDATAWIDTH_A[2:0]	RXCHARISCOMMA_A[7:0]
TXCRCDATAWIDTH_B[2:0]	RXCHARISCOMMA_B[7:0]
CHBONDI_A[4:0]	RXCHARISK_A[7:0]
CHBONDI_B[4:0]	RXCHARISK_B[7:0]
RXCRCIN_A[63:0]	RXDISPERR_A[7:0]
RXCRCIN_B[63:0]	RXDISPERR_B[7:0]
TXCRCIN_A[63:0]	RXNOTINTABLE_A[7:0]
TXCRCIN_B[63:0]	RXNOTINTABLE_B[7:0]
TXDATA_A[63:0]	RXRUNDISP_A[7:0]
TXDATA_B[63:0]	RXRUNDISP_B[7:0]
DADDR_A[7:0]	TXKERR_A[7:0]
DADDR_B[7:0]	TXKERR_B[7:0]
TXBYPASS8B10B_A[7:0]	TXRUNDISP_A[7:0]
TXBYPASS8B10B_B[7:0]	TXRUNDISP_B[7:0]
TXCHARDISPMODE_A[7:0]	DRDY_A
TXCHARDISPMODE_B[7:0]	DRDY_B
TXCHARDISPVAL_A[7:0]	RXBUFERR_A
TXCHARDISPVAL_B[7:0]	RXBUFERR_B
TXCHARISK_A[7:0]	RXCALFAIL_A
TXCHARISK_B[7:0]	RXCALFAIL_B
DCLK_A	RXCOMMADET_A
DCLK_B	RXCOMMADET_B
DEN_A	RXCYLELIMIT_A
DEN_B	RXCYLELIMIT_B
DWE_A	RXLOCK_A
DWE_B	RXLOCK_B
ENCHANSYNC_A	RXMCLK_A
ENCHANSYNC_B	RXMCLK_B
ENMCOMMAALIGN_A	RXPCSHCLKOUT_A
ENMCOMMAALIGN_B	RXPCSHCLKOUT_B
ENPCOMMAALIGN_A	RXRealIGN_A
ENPCOMMAALIGN_B	RXRealIGN_B
GREFCLK_A	RXRECCLK1_A
GREFCLK_B	RXRECCLK1_B
POWERDOWN_A	RXRECCLK2_A
POWERDOWN_B	RXRECCLK2_B
REFCLK1_A	RXSIGDET_A

入力	出力
REFCLK1_B	RXSIGDET_B
REFCLK2_A	TX1N_A
REFCLK2_B	TX1N_B
RX1N_A	TX1P_A
RX1N_B	TX1P_B
RX1P_A	TXBUFERR_A
RX1P_B	TXBUFERR_B
RXBLOCKSYNC64B66BUSE_A	TXCALFAIL_A
RXBLOCKSYNC64B66BUSE_B	TXCALFAIL_B
RXCLKSTABLE_A	TXCYCLELIMIT_A
RXCLKSTABLE_B	TXCYCLELIMIT_B
RXCOMMADETUSE_A	TXLOCK_A
RXCOMMADETUSE_B	TXLOCK_B
RXCRCLK_A	TXOUTCLK1_A
RXCRCLK_B	TXOUTCLK1_B
RXCRCDATAVALID_A	TXOUTCLK2_A
RXCRCDATAVALID_B	TXOUTCLK2_B
RXCRCLNIT_A	TXPCSHCLKOUT_A
RXCRCLNIT_B	TXPCSHCLKOUT_B
RXCRCLNTCLK_A	
RXCRCLNTCLK_B	
RXCRCPD_A	
RXCRCPD_B	
RXCRCRESET_A	
RXCRCRESET_B	
RXDEC64B66BUSE_A	
RXDEC64B66BUSE_B	
RXDEC8B10BUSE_A	
RXDEC8B10BUSE_B	
RXDESCRAM64B66BUSE_A	
RXDESCRAM64B66BUSE_B	
RXIGNOREBTF_A	
RXIGNOREBTF_B	
RXPMARESET_A	
RXPMARESET_B	
RXPOLARITY_A	
RXPOLARITY_B	
RXRESET_A	

入力	出力
RXRESET_B	
RXSLIDE_A	
RXSLIDE_B	
RXSYNC_A	
RXSYNC_B	
RXUSCLK_A	
RXUSCLK_B	
RXUSCLK2_A	
RXUSCLK2_B	
TXCLKSTABLE_A	
TXCLKSTABLE_B	
TXCRCCLK_A	
TXCRCCLK_B	
TXCRCDATAVALID_A	
TXCRCDATAVALID_B	
TXCRCINIT_A	
TXCRCINIT_B	
TXCRCINTCLK_A	
TXCRCINTCLK_B	
TXCRCPD_A	
TXCRCPD_B	
TXCRCRESET_A	
TXCRCRESET_B	
TXENC64B66BUSE_A	
TXENC64B66BUSE_B	
TXENC8B10BUSE_A	
TXENC8B10BUSE_B	
TXENOOB_A	
TXENOOB_B	
TXGEARBOX64B66BUSE_A	
TXGEARBOX64B66BUSE_B	
TXINHIBIT_A	
TXINHIBIT_B	
TXPMARESET_A	
TXPMARESET_B	
TXPOLARITY_A	
TXPOLARITY_B	
TXRESET_A	

入力	出力
TXRESET_B	
TXSCRAM64B66BUSE_A	
TXSCRAM64B66BUSE_B	
TXSYNC_A	
TXSYNC_B	
TXUSRCLK_A	
TXUSRCLK_B	
TXUSRCLK2_A	
TXUSRCLK2_B	

デザインの入力方法

インスタンス化	可
推論	不可
CORE Generator™ およびウィザード	推奨
マクロのサポート	不可

詳細情報

- ・ [『Virtex-4 FPGA ユーザー ガイド』\(UG070\)](#)
- ・ [『Virtex-4 FPGA データシート : DC 特性およびスイッチ特性』\(DS302\)](#)

GT11CLK

プリミティブ：A MUX That Can Select From Differential Package Input Clock, refclk From the Fabric, or rxblk to Drive the Two Vertical Reference Clock Buses for the Column of MGTs

概要

GT11CLK は、RocketIO™ クロックの専用パッケージピンを使用する場合にインスタンス化する必要があります。MGT の各列に 2 つずつあります。属性を使用して、このパッケージの入力で SYNCCLK クロック ツリーの 1 つまたは両方を駆動できます。詳細は、『Virtex®-4 RocketIO マルチギガビットトランシーバー ユーザー ガイド』を参照してください。

REFCLKSEL 属性を使用すると、MGTCLK、SYNCCLK1IN、SYNCCLK2IN、REFCLK、RXBCLK などのクロック オプションを指定できます。

ポートの説明

入力：MGTCLKP、MGTCLKN

出力：SYNCCLK1OUT、SYNCCLK2OUT

デザインの入力方法

インスタンス化	可
推論	不可
CORE Generator™ およびウィザード	推奨
マクロのサポート	不可

詳細情報

- ・ [『Virtex-4 FPGA ユーザー ガイド』\(UG070\)](#)
- ・ [『Virtex-4 FPGA データシート：DC 特性およびスイッチ特性』\(DS302\)](#)

GT11CLK_MGT

プリミティブ： Allows Differential Package Input to Drive the Two Vertical Reference Clock Buses for the Column of MGTs

概要

GT11CLK は、RocketIO™ クロックの専用パッケージ ピンを使用する場合にインスタンスエートする必要があります。MGT の各列に 2 つずつあります。属性を使用して、このパッケージの入力で SYNCLK クロック ツリーの 1 つまたは両方を駆動できます。詳細は、『Virtex-4 RocketIO マルチギガビットトランシーバー ユーザー ガイド』を参照してください。

ポートの説明

入力：MGTCLKP、MGTCLKN

出力：SYNCLK1OUT、SYNCLK2OUT

デザインの入力方法

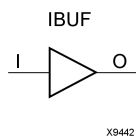
インスタンスエーション	可
推論	不可
CORE Generator™ およびウィザード	推奨
マクロのサポート	不可

詳細情報

- ・ [『Virtex-4 FPGA ユーザー ガイド』\(UG070\)](#)
- ・ [『Virtex-4 FPGA データシート：DC 特性およびスイッチ特性』\(DS302\)](#)

IBUF

プリミティブ：Input Buffer



概要

このデザイン エレメントは、最上位の入力ポートまたは入出力ポートに接続されている信号に自動的に挿入されます。このバッファは通常、合成ツールで推論されますが、必要に応じてインスタンス化することも可能です。インスタンス化するには、入力ポート (I) を関連する最上位の入力ポートまたは入出力ポートに接続し、出力ポート (O) をそのポートをソースとする FPGA ロジックに接続します。必要なジェネリック マップ (VHDL) またはパラメーター値代入 (Verilog) に変更を加えて、コンポーネントのデフォルトのビヘイビアーを変更します。

ポートの説明

ポート名	方向	幅	機能
O	出力	1	バッファの出力
I	入力	1	バッファの入力

デザインの入力方法

インスタンス化	可
推論	推奨
CORE Generator™ およびウィザード	不可
マクロのサポート	不可

このエレメントは通常、デザインの最上位入力ポートに対して合成ツールで推論されます。通常はソースコードで指定する必要はありませんが、必要に応じてインスタンス化できます。このコンポーネントをインスタンス化するには、下のインスタンス化コードを最上位エンティティ/モジュールに挿入します。デザイン階層を保つため、すべての I/O コンポーネントをデザインの最上位に配置してください。I ポートをデザインの最上位入力ポートに、O ポートをこの入力供給されるロジックに直接接続します。generic/defparam 値を設定し、バッファのビヘイビアーを適切に設定してください。

使用可能な属性

属性	データ型	値	デフォルト	説明
CAPACITANCE	文字列	"LOW"、"NORMAL"、 "DONT_CARE"	"DONT_CARE"	I/O に低キャパシタンスを使用するか、または通常の固有キャパシタンスを使用するかを指定します。
IOSTANDARD	文字列	データシートを参照	"DEFAULT"	エレメントに I/O 規格を割り当てます。

VHDL 記述 (インスタンスレーション)

次の 2 つの文が存在しない場合は、コピーしてエンティティ宣言の前に貼り付けます。

```
Library UNISIM;
use UNISIM.vcomponents.all;

-- IBUF: Single-ended Input Buffer
--      Virtex-4
-- Xilinx HDL Libraries Guide, version 14.5

IBUF_inst : IBUF
generic map (
    CAPACITANCE => "DONT_CARE", -- "LOW", "NORMAL", "DONT_CARE"
    IOSTANDARD => "DEFAULT")
port map (
    O => O,      -- Buffer output
    I => I       -- Buffer input (connect directly to top-level port)
);

-- End of IBUF_inst instantiation
```

Verilog 記述 (インスタンスレーション)

```
// IBUF: Single-ended Input Buffer
//      Virtex-4
// Xilinx HDL Libraries Guide, version 14.5

IBUF #(
    .CAPACITANCE("DONT_CARE"), // "DONT_CARE". "LOW" or "NORMAL" (Virtex-4 only)
    .IOSTANDARD("DEFAULT")    // Specify the input I/O standard
) IBUF_inst (
    .O(O),      // Buffer output
    .I(I)       // Buffer input (connect directly to top-level port)
);

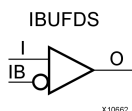
// End of IBUF_inst instantiation
```

詳細情報

- ・ [『Virtex-4 FPGA ユーザー ガイド』\(UG070\)](#)
- ・ [『Virtex-4 FPGA データシート: DC 特性およびスイッチ特性』\(DS302\)](#)

IBUFDS

プリミティブ : Differential Signaling Input Buffer



概要

このデザイン エレメントは、低電圧差動信号を使用する入力バッファです。IBUFDS では、デザイン レベルのインターフェイス信号は、一方がマスターでもう一方がスレーブとなる 2 つの異なるポート (I、IB) で表されます。マスターとスレーブは MYNET_P と MYNET_N のように、同じ論理信号の反対の状態を示します。また、オプションの差動終端を使用すると、シグナル インテグリティが向上し、外部コンポーネントの数を削減できます。

論理表

入力		出力
I	IB	O
0	0	変化なし
0	1	0
1	0	1
1	1	変化なし

ポートの説明

ポート名	方向	幅	機能
I	入力	1	Diff_p バッファの入力
IB	入力	1	Diff_p バッファの入力
O	出力	1	バッファの出力

デザインの入力方法

インスタンス化	推奨
推論	不可
CORE Generator™ およびウィザード	不可
マクロのサポート	不可

デザイン階層を保つため、すべての I/O コンポーネントをデザインの最上位に配置してください。I ポートを直接デザインの最上位のマスターとなる入力ポートに、IB ポートを最上位のスレーブとなる入力ポートに、O ポートをこの入力供給されるロジックに接続します。generic/defparam 値を設定し、バッファのビヘイビアーを適切に設定してください。

使用可能な属性

属性	データ型	値	デフォルト	説明
CAPACITANCE	文字列	"LOW"、"NORMAL"、 "DONT_CARE"	"DONT_CARE"	I/O に低キャパシタンスを使用するか、または通常の固有キャパシタンスを使用するかを指定します。
DIFF_TERM	ブール代数	TRUE、FALSE	FALSE	ビルトインの差動終端抵抗をイネーブルにします。
IOSTANDARD	文字列	データシートを参照	"DEFAULT"	エレメントに I/O 規格を割り当てます。

VHDL 記述 (インスタンス化)

次の 2 つの文が存在しない場合は、コピーしてエンティティ宣言の前に貼り付けます。

```
Library UNISIM;
use UNISIM.vcomponents.all;

-- IBUFDS: Differential Input Buffer
--      Virtex-4
-- Xilinx HDL Libraries Guide, version 14.5

IBUFDS_inst : IBUFDS
generic map (
  CAPACITANCE => "DONT_CARE", -- "LOW", "NORMAL", "DONT_CARE"
  DIFF_TERM   => FALSE, -- Differential Termination
  IOSTANDARD  => "DEFAULT")
port map (
  O => O, -- Buffer output
  I => I, -- Diff_p buffer input (connect directly to top-level port)
  IB => IB -- Diff_n buffer input (connect directly to top-level port)
);

-- End of IBUFDS_inst instantiation
```

Verilog 記述 (インスタンス化)

```
// IBUFDS: Differential Input Buffer
//      Virtex-4
// Xilinx HDL Libraries Guide, version 14.5

IBUFDS #(
  .CAPACITANCE("DONT_CARE"), // "LOW", "NORMAL", "DONT_CARE" (Virtex-4 only)
  .DIFF_TERM("FALSE"),      // Differential Termination
  .IOSTANDARD("DEFAULT"))   // Specify the input I/O standard
) IBUFDS_inst (
  .O(O), // Buffer output
  .I(I), // Diff_p buffer input (connect directly to top-level port)
  .IB(IB) // Diff_n buffer input (connect directly to top-level port)
);

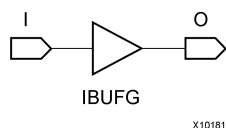
// End of IBUFDS_inst instantiation
```

詳細情報

- ・ [『Virtex-4 FPGA ユーザー ガイド』\(UG070\)](#)
- ・ [『Virtex-4 FPGA データシート：DC 特性およびスイッチ特性』\(DS302\)](#)

IBUFG

プリミティブ：Dedicated Input Clock Buffer



概要

IBUFG は、FPGA への入力クロックをグローバル クロック配線リソースに接続するために使用する専用入力です。DCM_SP および BUFG への専用接続となり、デバイスのクロック遅延とジッターが最小限に抑えられます。IBUFG の入力は、グローバル クロック ピンでのみ駆動できます。IBUFG の出力は、DCM_SP、BUFG、または指定したロジックの CLKIN を駆動できます。

ポートの説明

ポート名	方向	幅	機能
O	出力	1	クロック バッファ出力
I	入力	1	クロック バッファ入力

デザインの入力方法

インスタンシエーション	可
推論	推奨
CORE Generator™ およびウィザード	不可
マクロのサポート	不可

使用可能な属性

属性	データ型	値	デフォルト	説明
CAPACITANCE	文字列	"LOW"、"NORMAL"、 "DONT_CARE"	"DONT_CARE"	I/O に低キャパシタンスを使用するか、または通常の固有キャパシタンスを使用するかを指定します。
IOSTANDARD	文字列	データシートを参照	"DEFAULT"	エレメントに I/O 規格を割り当てます。

VHDL 記述 (インスタンスレーション)

次の 2 つの文が存在しない場合は、コピーしてエンティティ宣言の前に貼り付けます。

```
Library UNISIM;
use UNISIM.vcomponents.all;

-- IBUFG: Single-ended global clock input buffer
--      Virtex-4
-- Xilinx HDL Libraries Guide, version 14.5

IBUFG_inst : IBUFG
generic map (
  CAPACITANCE => "DONT_CARE", -- "LOW", "NORMAL", "DONT_CARE"
  IOSTANDARD => "DEFAULT")
port map (
  O => O, -- Clock buffer output
  I => I -- Clock buffer input (connect directly to top-level port)
);

-- End of IBUFG_inst instantiation
```

Verilog 記述 (インスタンスレーション)

```
// IBUFG: Single-ended global clock input buffer
//      Virtex-4
// Xilinx HDL Libraries Guide, version 14.5

IBUFG #(
  .CAPACITANCE("DONT_CARE"), // "DONT_CARE". "LOW" or "NORMAL" (Virtex-4 only)
  .IOSTANDARD("DEFAULT") // Specify the input I/O standard
) IBUFG_inst (
  .O(O), // Clock buffer output
  .I(I) // Clock buffer input (connect directly to top-level port)
);

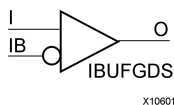
// End of IBUFG_inst instantiation
```

詳細情報

- ・ [『Virtex-4 FPGA ユーザー ガイド』\(UG070\)](#)
- ・ [『Virtex-4 FPGA データシート：DC 特性およびスイッチ特性』\(DS302\)](#)

IBUFGDS

プリミティブ : Differential Signaling Dedicated Input Clock Buffer and Optional Delay



概要

このデザイン エLEMENT は、クロック バッファ (BUFG) または DCM に接続するための専用の差動信号入力バッファです。IBUFGDS では、デザイン レベルのインターフェイス信号は、一方がマスターでもう一方がスレーブとなる 2 つの異なるポート (I、IB) で表されます。マスターとスレーブは MYNET_P と MYNET_N のように、同じ論理信号の反対の状態を示します。また、オプションの差動終端を使用すると、シグナル インテグリティが向上し、外部コンポーネントの数を削減できます。デバイスへの入力データの遅延を調整する遅延ELEMENTも含まれています。

論理表

入力		出力
I	IB	O
0	0	変化なし
0	1	0
1	0	1
1	1	変化なし

ポートの説明

ポート名	方向	幅	機能
O	出力	1	クロック バッファ出力
IB	入力	1	Diff_n クロック バッファの入力
I	入力	1	Diff_p クロック バッファの入力

デザインの入力方法

インスタンス化	推奨
推論	不可
CORE Generator™ およびウィザード	不可
マクロのサポート	不可

デザイン階層を保つため、すべての I/O コンポーネントを必ずデザインの最上位に配置してください。I ポートを直接デザインの最上位のマスターとなる入力ポートに、IB ポートを最上位のスレーブとなる入力ポートに、O ポートをこの入力をソースとする DCM、BUFG、またはロジックに接続してください。一部の合成ツールでは、IBUFG を FPGA のクロックリソースに接続すると、必要に応じて BUFG が自動的に推論されます。generic/defparam 値を設定し、バッファのビヘイビアーを適切に設定してください。

使用可能な属性

属性	データ型	値	デフォルト	説明
CAPACITANCE	文字列	"LOW"、 "NORMAL"、 "DONT_CARE"	"DONT_CARE"	I/O に低キャパシタンスを使用するか、または通常の固有キャパシタンスを使用するかを指定します。
DIFF_TERM	ブール代数	TRUE、FALSE	FALSE	ビルトインの差動終端抵抗をイネーブルにします。
IOSTANDARD	文字列	データシートを参照	"DEFAULT"	エレメントに I/O 規格を割り当てます。

VHDL 記述 (インスタンス化)

次の 2 つの文が存在しない場合は、コピーしてエンティティ宣言の前に貼り付けます。

```
Library UNISIM;
use UNISIM.vcomponents.all;

-- IBUFGDS: Differential Global Clock Input Buffer
--      Virtex-4
-- Xilinx HDL Libraries Guide, version 14.5

IBUFGDS_inst : IBUFGDS
generic map (
    CAPACITANCE => "DONT_CARE", -- "LOW", "NORMAL", "DONT_CARE"
    DIFF_TERM => FALSE, -- Differential Termination
    IOSTANDARD => "DEFAULT")
port map (
    O => O, -- Clock buffer output
    I => I, -- Diff_p clock buffer input (connect directly to top-level port)
    IB => IB -- Diff_n clock buffer input (connect directly to top-level port)
);

-- End of IBUFGDS_inst instantiation
```

Verilog 記述 (インスタンス化)

```
// IBUFGDS: Differential Global Clock Input Buffer
//      Virtex-4
// Xilinx HDL Libraries Guide, version 14.5

IBUFGDS #(
    .CAPACITANCE("DONT_CARE"), // "DONT_CARE". "LOW" or "NORMAL" (Virtex-4 only)
    .DIFF_TERM("FALSE"), // Differential Termination
    .IOSTANDARD("DEFAULT") // Specify the input I/O standard
) IBUFGDS_inst (
    .O(O), // Clock buffer output
    .I(I), // Diff_p clock buffer input (connect directly to top-level port)
    .IB(IB) // Diff_n clock buffer input (connect directly to top-level port)
);

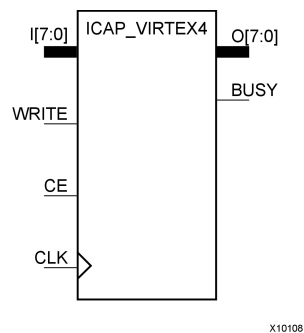
// End of IBUFGDS_inst instantiation
```

詳細情報

- ・ [『Virtex-4 FPGA ユーザー ガイド』\(UG070\)](#)
- ・ [『Virtex-4 FPGA データシート：DC 特性およびスイッチ特性』\(DS302\)](#)

ICAP_VIRTEX4

プリミティブ : Virtex-4 Internal Configuration Access Port



概要

このデザイン エレメントを使用すると、Virtex®-4 の内部コンフィギュレーション アクセス ポート (ICAP) にアクセスできます。

ポートの説明

ポート名	方向	幅	機能
BUSY	出力	1	BUSY 信号
O	出力	32	32 ビット データ バス出力
CE	入力	1	クロック イネーブル ピン
CLK	入力	1	クロック入力
WRITE	入力	1	書き込み信号
I	入力	32	32 ビット データ バス入力

デザインの入力方法

インスタンス化	推奨
推論	不可
CORE Generator™ およびウィザード	不可
マクロのサポート	不可

使用可能な属性

属性	データ型	値	デフォルト	説明
ICAP_WIDTH	文字列	"X8"、"X32"	"X8"	ICAP コンポーネントのデータ幅を指定します。

VHDL 記述 (インスタンスレーション)

次の 2 つの文が存在しない場合は、コピーしてエンティティ宣言の前に貼り付けます。

```
Library UNISIM;
use UNISIM.vcomponents.all;

-- ICAP_VIRTEX4: Internal Configuration Access Port
-- Virtex-4
-- Xilinx HDL Libraries Guide, version 14.5

ICAP_VIRTEX4_inst : ICAP_VIRTEX4
generic map (
    ICAP_WIDTH => "X8") -- "X8" or "X32"
port map (
    BUSY => BUSY,      -- Busy output
    O => O,             -- 32-bit data output
    CE => CE,          -- Clock enable input
    CLK => CLK,         -- Clock input
    I => I,             -- 32-bit data input
    WRITE => WRITE     -- Write input
);

-- End of ICAP_VIRTEX4_inst instantiation
```

Verilog 記述 (インスタンスレーション)

```
// ICAP_VIRTEX4: Internal Configuration Access Port
// Virtex-4
// Xilinx HDL Libraries Guide, version 14.5

ICAP_VIRTEX4 #(
    .ICAP_WIDTH("X8") // "X8" or "X32"
) ICAP_VIRTEX4_inst (
    .BUSY(BUSY),      // Busy output
    .O(O),            // 32-bit data output
    .CE(CE),          // Clock enable input
    .CLK(CLK),        // Clock input
    .I(I),            // 32-bit data input
    .WRITE(WRITE)     // Write input
);

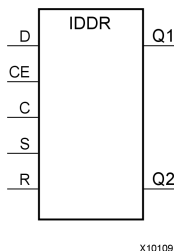
// End of ICAP_VIRTEX4_inst instantiation
```

詳細情報

- ・ [『Virtex-4 FPGA ユーザー ガイド』\(UG070\)](#)
- ・ [『Virtex-4 FPGA データシート：DC 特性およびスイッチ特性』\(DS302\)](#)

IDDR

プリミティブ：Input Dual Data-Rate Register



概要

このデザイン エレメントは、ザイリンクス FPGA で外部デュアル データレート (DDR) 信号を受信するための専用入力レジスタです。データが取り込まれるクロック エッジごとにデータを FPGA ファブリックに入力するモードと、同じクロック エッジで同時に入力するモードがあります。これにより、タイミングが複雑にならず、追加のリソースも必要ありません。

- OPPOSITE_EDGE モード：** 通常の DDR 方式でデータが受信されます。Q1 はクロック C の各立ち上がりエッジの後に変化し、Q2 は各立ち下がりエッジの後に変化します。
- SAME_EDGE モード：** データはクロック C の反対のエッジで受信されますが、立ち下がりエッジ データレジスタの前にレジスタが追加されます。このレジスタはクロック信号 C の立ち上がりエッジで動作するので、DDR データは同じクロック エッジで FPGA に送信されます。ただし、データ ペアは分離されているように見えます。Q1 と Q2 にはペア 1 および 2 が同時に送信されず、最初のペアがペア 1 とドントケアとなり、次のクロック サイクルでペア 2 と 3 が送信されます。
- SAME_EDGE_PIPELINED モード：** SAME_EDGE モードと同様にデータが処理されますが、SAME_EDGE モードでのデータ ペアの分離を回避するため、立ち上がりエッジ データレジスタの前にもレジスタが追加されるので、データ ペアが Q1 と Q2 ピンに同時に送信されます。ただし、このモードを使用すると、Q1 と Q2 信号が変化するレイテンシが 1 サイクル分増加します。

IDDR は IODELAY などの SelectIO™ 機能とも使用できます。

注記： 高速インターフェイスには、IDDR_2CLK コンポーネントを使用して データの取り込みに 2 つの独立したクロックを指定できます。このコンポーネントは、IDDR のパフォーマンス要件が不十分のときに使用します。IDDR_2CLK では、必要なクロック リソース数が増え、IDDR コンポーネントを使用するときには不要な配置制限が発生する可能性があります。

ポートの説明

ポート名	方向	幅	機能
Q1 ~ Q2	出力	1	FPGA に接続する IDDR 出力。Q1 は最初のデータ ペア、Q2 は 2 番目のデータ ペアです。
C	入力	1	クロック入力ピン
CE	入力	1	Low になると、ポート O の出力クロックがディスエーブルになります。
D	入力	1	DDR データを IDDR モジュールに入力するピン このピンは、最上位の入力または双方向ポート、入力遅延が設定された IODELAY、あるいは適切な入力または双方向バッファに接続します。
R	入力	1	アクティブ High のリセットで Q1 および Q2 を論理 0 にします。SRTYPE 属性に基づき、同期または非同期に設定できます。
S	入力	1	アクティブ High のリセットで Q1 および Q2 を論理 1 にします。SRTYPE 属性に基づき、同期または非同期に設定できます。

注記：このコンポーネントでセットとリセットを両方アクティブにすることはできません。R および S のどちらかまたは両方をグラウンドに接続する必要があります。

デザインの入力方法

インスタンス化	推奨
推論	不可
CORE Generator™ およびウィザード	不可
マクロのサポート	不可

使用可能な属性

属性	データ型	値	デフォルト	説明
DDR_CLK_EDGE	文字列	"OPPOSITE_EDGE"、 "SAME_EDGE"、 "SAME_EDGE_PIPELINED"	"OPPOSITE_EDGE"	クロック エッジに対する IDDR の操作モードを指定します。
INIT_Q1	2 進数	0、1	0	コンフィギュレーションのスタートアップ後または GSR がアサートされたときの Q1 ピンの初期値を指定します。
INIT_Q2	2 進数	0、1	0	コンフィギュレーションのスタートアップ後または GSR がアサートされたときの Q1 ピンの初期値を指定します。
SRTYPE	文字列	"SYNC"、"ASYN"	"SYNC"	セット/リセットのタイプを選択します。"SYNC" に設定すると、リセット (R) およびセット (S) ピンの動作が C クロック ピンの立ち上がりエッジに同期し、"ASYN" に設定すると非同期動作になります。

VHDL 記述 (インスタンス化)

次の 2 つの文が存在しない場合は、コピーしてエンティティ宣言の前に貼り付けます。

```
Library UNISIM;
use UNISIM.vcomponents.all;

-- IDDR: Double Data Rate Input Register with Set, Reset
--       and Clock Enable.
--       Virtex-4
-- Xilinx HDL Libraries Guide, version 14.5

IDDR_inst : IDDR
generic map (
  DDR_CLK_EDGE => "OPPOSITE_EDGE", -- "OPPOSITE_EDGE", "SAME_EDGE"
                                     -- or "SAME_EDGE_PIPELINED"
  INIT_Q1 => '0', -- Initial value of Q1: '0' or '1'
  INIT_Q2 => '0', -- Initial value of Q2: '0' or '1'
  SRTYPE => "SYNC") -- Set/Reset type: "SYNC" or "ASYN"
port map (
  Q1 => Q1, -- 1-bit output for positive edge of clock
  Q2 => Q2, -- 1-bit output for negative edge of clock
  C => C,   -- 1-bit clock input
  CE => CE, -- 1-bit clock enable input
  D => D,   -- 1-bit DDR data input
  R => R,   -- 1-bit reset
  S => S    -- 1-bit set
);
```

```
-- End of IDDR_inst instantiation
```

Verilog 記述 (インスタンス化)

```
// IDDR: Input Double Data Rate Input Register with Set, Reset
//      and Clock Enable.
//      Virtex-4
// Xilinx HDL Libraries Guide, version 14.5

IDDR #(
    .DDR_CLK_EDGE("OPPOSITE_EDGE"), // "OPPOSITE_EDGE", "SAME_EDGE"
                                     // or "SAME_EDGE_PIPELINED"
    .INIT_Q1(1'b0), // Initial value of Q1: 1'b0 or 1'b1
    .INIT_Q2(1'b0), // Initial value of Q2: 1'b0 or 1'b1
    .SRTYPE("SYNC") // Set/Reset type: "SYNC" or "ASYNC"
) IDDR_inst (
    .Q1(Q1), // 1-bit output for positive edge of clock
    .Q2(Q2), // 1-bit output for negative edge of clock
    .C(C),   // 1-bit clock input
    .CE(CE), // 1-bit clock enable input
    .D(D),   // 1-bit DDR data input
    .R(R),   // 1-bit reset
    .S(S)    // 1-bit set
);

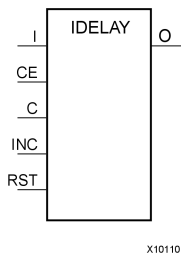
// End of IDDR_inst instantiation
```

詳細情報

- ・ [『Virtex-4 FPGA ユーザー ガイド』\(UG070\)](#)
- ・ [『Virtex-4 FPGA データシート：DC 特性およびスイッチ特性』\(DS302\)](#)

IDELAY

プリミティブ：Input Delay Element



概要

Virtex® デバイスには、各ユーザー I/O の入力パスに IDELAY モジュールがあります。このモジュールは、入力データを正しく取り込むためのスキュー調整アルゴリズムをインプリメントします。IDELAY は、データ信号、クロック信号、またはその両方に適用でき、その機能は 64 タップ遅延ラインで制御されます。IDELAYCTRL コンポーネントと共に使用すると、プロセス、電圧、温度の変化にかかわらず、正確に増分された遅延を追加できます。3 つの動作モードがあります。

- ・ **ゼロ ホールド タイム遅延モード**：このモードは、ゼロ ホールド タイム遅延機能を使用しているデザインでも使用できます。このモードを使用する場合、IDELAYCTRL プリミティブをインスタンスシートする必要はありません。
- ・ **固定タップ遅延モード**：遅延値は IOBDELAY_VALUE 属性で指定した値に固定されます。この値をランタイムで変更することはできません。このモードを使用する場合、IDELAYCTRL プリミティブをインスタンスシートする必要があります。
- ・ **可変タップ遅延モード**：制御信号 CE と INC を変更することにより、遅延値をランタイムで変更できます。このモードを使用する場合、IDELAYCTRL プリミティブをインスタンスシートする必要があります。

ポートの説明

ポート名	方向	幅	機能
I	入力	1	IOB からのシリアル入力データ
C	入力	1	クロック入力
INC	入力	1	タップ遅延のインクリメント/デクリメント数
CE	入力	1	インクリメント/デクリメントをイネーブル
RST	入力	1	遅延チェーンをあらかじめ設定された値にリセットします。値が設定されていない場合は、0 にリセットします。
O	出力	1	組み合わせ出力

データ入力および出力 - I および O

IDELAY プリミティブは、3 種類の汎用 IOB ロケーションに配置されています。入力と出力の接続は、IOB ロケーションのタイプにより異なります。

- ・ **汎用 IOB** : 汎用 IOB にある IDELAY の入力は、入力バッファ IBUF から直接供給されます。IDELAY (O) の出力は、直接ユーザー ロジックに接続します。入力および出力データパスは組み合わせパスであり、クロック信号 (C) の影響は受けませんが、IOB の出力信号 (O) にレジスタを付けることができます。

- ・ **リージョナル クロック兼用 IOB** : リージョナル クロック兼用 IOB は、HCLK IOB の上下にある I/O ペアに配置されています。この IOB にある IDELAY の入力は、入力バッファ IBUF から直接供給され、出力は次のコンポーネントに接続できます。

- ユーザー ロジック
- BUFIO (リージョナル クロック信号の場合)

リージョナル クロック バッファ BUFIO は、入力されるリージョナル クロック信号をリージョナル I/O クロック ツリー IOCLK に接続します。また、BUFIO は、リージョナル クロック バッファ BUFR に接続してリージョナル クロック ツリー rclk にも接続できます。入力および出力データパスは組み合わせパスであり、クロック信号 (C) の影響は受けませんが、IOB の出力信号 (O) にレジスタを付けることができます。

- ・ **グローバル クロック兼用 IOB** : グローバル クロック兼用 IOB は、中央の I/O 列に配置されています。この IOB にある IDELAY の入力は、入力グローバル クロック バッファ IBUFG から直接供給され、出力は次のコンポーネントに接続できます。

- ユーザー ロジック
- BUFG (グローバル クロック信号の場合)

グローバル クロック バッファ BUFG は、入力されるリージョナル クロック信号をグローバル I/O クロック ツリー gclk に接続します。入力および出力データパスは組み合わせパスであり、クロック信号 (C) の影響は受けませんが、IOB の出力信号 (O) にレジスタを付けることができます。

クロック入力 - C

IDELAY の制御入力 (RST、CE、INC) は、すべてクロック入力 (C) に同期しています。IDELAY のデータ入力および出力 (I および O) は、クロック信号の影響を受けません。このクロック入力は ISERDES の CLKDIV 入力と同じなので、CLKDIV を駆動するのに使用されるクロックソースで IDELAY クロック入力 (C) を駆動できます。クロック入力 (C) を駆動可能なクロックソースは、次のとおりです。

- ・ 8 個の gclk (グローバル クロック ツリー)
- ・ 2 個の rclk (リージョナル クロック ツリー)

モジュール リセット - RST

IDELAY のリセット信号 RST は、タップ遅延ラインを IOBDELAY_VALUE 属性で設定された値にリセットします。IOBDELAY_VALUE 属性を指定しない場合は、タップ遅延ラインは 0 にリセットされます。

インクリメント/デクリメント信号 - CE、INC

インクリメント/デクリメント イネーブル信号 (CE) は、インクリメント/デクリメント信号 (INC) をイネーブルにします。INC は、タップ遅延ラインをインクリメントするか、デクリメントするかを指定します。CE = 0 の場合、INC の値にかかわらず、遅延は変化しません。CE = 1 の場合、INC の値に応じてタップ遅延値がインクリメントまたはデクリメントします。タップ遅延のインクリメント/デクリメントは、入力クロック (C) に同期して実行されます。CE = 1 である限り、各クロックサイクルでタップ遅延が 1 ずつインクリメント/デクリメントされます。次の表に、インクリメント/デクリメントの動作を示します。

動作	RST	CE	INC
設定されたタップ数にリセット	1	X	X
タップ数をインクリメント	0	1	1
タップ数をデクリメント	0	1	0
変化なし	0	0	X

注記：

1. RST は、遅延チェーンを IOBDELAY_VALUE 属性で指定された値にリセットします。値が設定されていない場合は、0 にリセットされます。
2. RST、CE、INC は、クロック入力 (C) に同期しています。

CE が High になると、次の立ち上がりクロックでインクリメント/デクリメントが開始します。CE が Low になると、次の立ち上がりクロックでインクリメント/デクリメントが停止します。

デザインの入力方法

インスタンシエーション	推奨
推論	不可
CORE Generator™ およびウィザード	不可
マクロのサポート	不可

使用可能な属性

属性	データ型	値	デフォルト	説明
IOBDELAY_TYPE	文字列	"DEFAULT"、 "FIXED"、 "VARIABLE"	"DEFAULT"	タップ遅延のタイプを指定します。
IOBDELAY_VALUE	整数	0 ~ 63	0	タップ遅延の初期値を指定します。

IOBDELAY_TYPE 属性

IOBDELAY_TYPE 属性は、使用する遅延のタイプを指定します。指定可能な値は DEFAULT、FIXED、または VARIABLE で、デフォルト値は DEFAULT です。DEFAULT に設定すると、ゼロ ホールド タイム遅延エレメントが選択されます。この遅延エレメントは、pad-to-pad ホールド タイムを削減し、遅延をデバイスの内部クロック分配遅延と一致させます。この遅延エレメントを使用すると、pad-to-pad ホールド タイムは 0 になります。

FIXED に設定した場合、タップ遅延値は IOBDELAY_VALUE 属性で指定したタップ数に固定されます。この値は、動作中に変更することはできません。

VARIABLE に設定した場合、タップ遅延を動作中に変更できます。CE = 1 および INC = 1 に設定するとタップ遅延がインクリメントされ、CE = 1 および INC = 0 に設定するとデクリメントされます。インクリメント/デクリメントは、入力クロック信号 C に同期して実行されます。

IOBDELAY_VALUE 属性

タップ遅延の初期値を指定します。指定可能な値は 0 ~ 63 で、デフォルト値は 0 です。0 に設定すると、合計遅延は出力マルチプレクサーの遅延 (約 400ps) になります。

タップ遅延がリセットされた場合 (RST = 1)、IOBDELAY_TYPE が FIXED の場合、タップ遅延は IOBDELAY_VALUE で設定した値になります。

VHDL 記述 (インスタンスレーション)

次の 2 つの文が存在しない場合は、コピーしてエンティティ宣言の前に貼り付けます。

```
Library UNISIM;
use UNISIM.vcomponents.all;

-- IDELAY: Input Delay Element
--      Virtex-4
-- Xilinx HDL Libraries Guide, version 14.5

IDELAY_inst : IDELAY
generic map (
  IOBDELAY_TYPE => "FIXED", -- "FIXED" or "VARIABLE"
  IOBDELAY_VALUE => 0) -- Any value from 0 to 63
port map (
  O => O,      -- 1-bit output
  C => C,      -- 1-bit clock input
  CE => CE,    -- 1-bit clock enable input
  I => I,      -- 1-bit data input
  INC => INC,  -- 1-bit increment input
  RST => RST   -- 1-bit reset input
);

-- End of IDELAY_inst instantiation
```

Verilog 記述 (インスタンスレーション)

```
// IDELAY: Input Delay Element
//      Virtex-4
// Xilinx HDL Libraries Guide, version 14.5

(* IOBDELAY_GROUP = "<iodelay_group_name>" *) // Specifies group name for associated IDELAYs and IDELAYCTRL
IDELAY #(
  .IOBDELAY_TYPE("FIXED"), // "FIXED" or "VARIABLE"
  .IOBDELAY_VALUE(0)       // Any value from 0 to 63
) IDELAY_inst (
  .O(O),      // 1-bit output
  .C(C),      // 1-bit clock input
  .CE(CE),    // 1-bit clock enable input
  .I(I),      // 1-bit data input
  .INC(INC),  // 1-bit increment input
  .RST(RST)   // 1-bit reset input
);

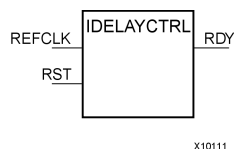
// End of IDELAY_inst instantiation
```

詳細情報

- ・ [『Virtex-4 FPGA ユーザー ガイド』\(UG070\)](#)
- ・ [『Virtex-4 FPGA データシート：DC 特性およびスイッチ特性』\(DS302\)](#)

IDELAYCTRL

プリミティブ：IDELAY Tap Delay Value Control



概要

このエレメントは、IODELAYE1 を使用する場合にインスタンス化する必要があります。これは、IDELAY または ISERDES プリミティブがインスタンス化されており、IOBDelay_Type 属性が FIXED または VARIABLE に設定されている場合です。このモジュールは、一定の周波数の基準クロック REFCLK を使用して、プロセス、電圧、および温度の変化に影響されずに、タップ遅延ラインに電圧バイアスを供給します。これにより、正確な遅延調整が可能になります。

ポートの説明

ポート名	方向	幅	機能
RDY	出力	1	基準クロック入力 REFCLK が有効になったことを示します。REFCLK が停止する (REFCLK が High または Low に 1 クロック周期以上保持される) と、ディアサートされます。
REFCLK	入力	1	プロセス、電圧、温度の変化に影響されずに、タップ遅延ラインに電圧バイアスを供給します。タップ遅延をデータシートに記載された値にするには、REFCLK の周波数を 200MHz にする必要があります。
RST	入力	1	IDELAYCTRL 回路をリセットします。RST 信号は、アクティブ High の非同期リセットです。IDELAYCTRL をリセットするには、このポートを 50ns 以上 High にアサートする必要があります。

RST (モジュールリセット)：IDELAYCTRL 回路をリセットします。RST 信号は、アクティブ High の非同期リセットです。IDELAYCTRL をリセットするには、このポートを 50ns 以上 High にアサートする必要があります。

REFCLK (基準クロック)：プロセス、電圧、温度の変化に影響されずに、タップ遅延ラインに電圧バイアスを供給します。タップ遅延をデータシートに記載された値にするには、REFCLK の周波数を 200MHz にする必要があります。

RDY (Ready 出力)：基準クロック入力 REFCLK が有効になったことを示します。REFCLK が停止する (REFCLK が High または Low に 1 クロック周期以上保持される) と、RDY 信号がディアサートされます。

デザインの入力方法

インスタンス化	推奨
推論	不可
CORE Generator™ およびウィザード	不可
マクロのサポート	不可

VHDL 記述 (インスタンスレーション)

次の 2 つの文が存在しない場合は、コピーしてエンティティ宣言の前に貼り付けます。

```
Library UNISIM;
use UNISIM.vcomponents.all;

-- IDELAYCTRL : Input Delay Element Control
--             Virtex-4
-- Xilinx HDL Libraries Guide, version 14.5

IDELAYCTRL_inst : IDELAYCTRL
port map (
    RDY => RDY,          -- 1-bit output indicates validity of the REFCLK
    REFCLK => REFCLK,    -- 1-bit reference clock input
    RST => RST           -- 1-bit reset input
);

-- End of IDELAYCTRL_inst instantiation
```

Verilog 記述 (インスタンスレーション)

```
// IDELAYCTRL: Input Delay Control Element (Must be used in conjunction with the IDELAY
//             when used in FIXED or VARIABLE tap-delay mode)
//             Virtex-4
// Xilinx HDL Libraries Guide, version 14.5

(* IDELAY_GROUP = "<iodelay_group_name>" *) // Specifies group name for associated IDELAYs and IDELAYCTRL
IDELAYCTRL IDELAYCTRL_inst (
    .RDY(RDY),          // 1-bit ready output
    .REFCLK(REFCLK),    // 1-bit reference clock input
    .RST(RST)           // 1-bit reset input
);

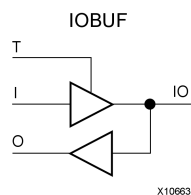
// End of IDELAYCTRL_inst instantiation
```

詳細情報

- ・ [『Virtex-4 FPGA ユーザー ガイド』\(UG070\)](#)
- ・ [『Virtex-4 FPGA データシート：DC 特性およびスイッチ特性』\(DS302\)](#)

IOBUF

プリミティブ：Bi-Directional Buffer



概要

このデザイン エLEMENTは双方向でシングルエンドの I/O バッファで、内部ロジックを外部双方向ピンに接続する場合に使用します。

論理表

入力		双方向	出力
T	I	I/O	O
1	X	Z	I/O
0	1	1	1
0	0	0	0

ポートの説明

ポート名	方向	幅	機能
O	出力	1	バッファの出力
IO	入出力	1	バッファの入出力
I	入力	1	バッファの入力
T	入力	1	トライステート イネーブル入力

デザインの入力方法

インスタンス化	可
推論	推奨
CORE Generator™ およびウィザード	不可
マクロのサポート	不可

使用可能な属性

属性	データ型	値	デフォルト	説明
CAPACITANCE	文字列	"LOW"、"NORMAL"、 "DONT_CARE"	"DONT_CARE"	I/O に低キャパシタンスを使用するか、または通常の固有キャパシタンスを使用するかを指定します。
DRIVE	整数	2、4、6、8、12、16、24	12	I/O 規格として LVTTTL、LVCMOS12、LVCMOS15、LVCMOS18、LVCMOS25 または LVCMOS33 を使用する SelectIO™ バッファの出力の駆動電流 (mA) を選択します。
IOSTANDARD	文字列	データシートを参照	"DEFAULT"	エレメントに I/O 規格を割り当てます。
SLEW	文字列	"SLOW"、"FAST"、 "QUIETIO"	"SLOW"	出力の立ち上がり時間と立ち下がり時間を設定します。この属性の最適な設定方法は、データシートを参照してください。

VHDL 記述 (インスタンスレーション)

次の 2 つの文が存在しない場合は、コピーしてエンティティ宣言の前に貼り付けます。

```
Library UNISIM;
use UNISIM.vcomponents.all;

-- IOBUF: Single-ended Bi-directional Buffer
--      Virtex-4
-- Xilinx HDL Libraries Guide, version 14.5

IOBUF_inst : IOBUF
generic map (
    CAPACITANCE => "DONT_CARE", -- "LOW", "NORMAL", "DONT_CARE"
    DRIVE => 12,
    IOSTANDARD => "DEFAULT",
    SLEW => "SLOW")
port map (
    O => O,      -- Buffer output
    IO => IO,    -- Buffer inout port (connect directly to top-level port)
    I => I,      -- Buffer input
    T => T      -- 3-state enable input, high=input, low=output
);

-- End of IOBUF_inst instantiation
```

Verilog 記述 (インスタンスレーション)

```
// IOBUF: Single-ended Bi-directional Buffer
//      Virtex-4
// Xilinx HDL Libraries Guide, version 14.5

IOBUF #(
    .CAPACITANCE("DONT_CARE"), // "DONT_CARE". "LOW" or "NORMAL" (Virtex-4 only)
    .DRIVE(12), // Specify the output drive strength
    .IOSTANDARD("DEFAULT"), // Specify the I/O standard
    .SLEW("SLOW") // Specify the output slew rate
) IOBUF_inst (
    .O(O), // Buffer output
    .IO(IO), // Buffer inout port (connect directly to top-level port)
    .I(I), // Buffer input
    .T(T) // 3-state enable input, high=input, low=output
);

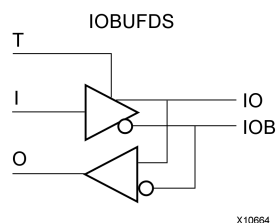
// End of IOBUF_inst instantiation
```

詳細情報

- ・ [『Virtex-4 FPGA ユーザー ガイド』\(UG070\)](#)
- ・ [『Virtex-4 FPGA データシート：DC 特性およびスイッチ特性』\(DS302\)](#)

IOBUFDS

プリミティブ : 3-State Differential Signaling I/O Buffer with Active Low Output Enable



概要

このデザイン エLEMENTは、低電圧差動信号を使用する双方向バッファです。IOBUFDS では、デザインレベルのインターフェイス信号は、一方がマスターでもう一方がスレーブとなる 2 つの異なるポート (IO、IOB) で表されます。マスターとスレーブは MYNET_P と MYNET_N のように、同じ論理信号の反対の状態を示します。また、オプションの差動終端を使用すると、シグナル インテグリティが向上し、外部コンポーネントの数を削減できます。デバイスへの入力データの遅延を調整する遅延ELEMENTも含まれています。

論理表

入力		双方向		出力
I	T	I/O	IOB	O
X	1	Z	Z	変化なし
0	0	0	1	0
1	0	1	0	1

ポートの説明

ポート名	方向	幅	機能
O	出力	1	バッファの出力
IO	入出力	1	Diff_p 入出力
IOB	入出力	1	Diff_n 入出力
I	入力	1	バッファの入力
T	入力	1	トリステート イネーブル入力

デザインの入力方法

インスタンス化	推奨
推論	不可
CORE Generator™ およびウィザード	不可
マクロのサポート	不可

使用可能な属性

属性	データ型	値	デフォルト	説明
CAPACITANCE	文字列	"LOW"、 "NORMAL"、 "DONT_CARE"	"DONT_CARE"	I/O に低キャパシタンスを使用するか、または通常の固有キャパシタンスを使用するかを指定します。
IOSTANDARD	文字列	データシートを参照	"DEFAULT"	エレメントに I/O 規格を割り当てます。

VHDL 記述 (インスタンスレーション)

次の 2 つの文が存在しない場合は、コピーしてエンティティ宣言の前に貼り付けます。

```
Library UNISIM;
use UNISIM.vcomponents.all;

-- IOBUFDS: Differential Bi-directional Buffer
--          Virtex-4
-- Xilinx HDL Libraries Guide, version 14.5

IOBUFDS_inst : IOBUFDS
generic map (
    CAPACITANCE => "DONT_CARE", -- "LOW", "NORMAL", "DONT_CARE"
    IOSTANDARD  => "BLVDS_25")
port map (
    O => O,      -- Buffer output
    IO => IO,    -- Diff_p inout (connect directly to top-level port)
    IOB => IOB,  -- Diff_n inout (connect directly to top-level port)
    I => I,      -- Buffer input
    T => T      -- 3-state enable input, high=input, low=output
);

-- End of IOBUFDS_inst instantiation
```

Verilog 記述 (インスタンスレーション)

```
// IOBUFDS: Differential Bi-directional Buffer
//          Virtex-4
// Xilinx HDL Libraries Guide, version 14.5

IOBUFDS #(
    .CAPACITANCE("DONT_CARE"), // "DONT_CARE". "LOW" or "NORMAL" (Virtex-4 only)
    .IOSTANDARD("BLVDS_25")   // Specify the I/O standard
) IOBUFDS_inst (
    .O(O),      // Buffer output
    .IO(IO),    // Diff_p inout (connect directly to top-level port)
    .IOB(IOB),  // Diff_n inout (connect directly to top-level port)
    .I(I),      // Buffer input
    .T(T)       // 3-state enable input, high=input, low=output
);

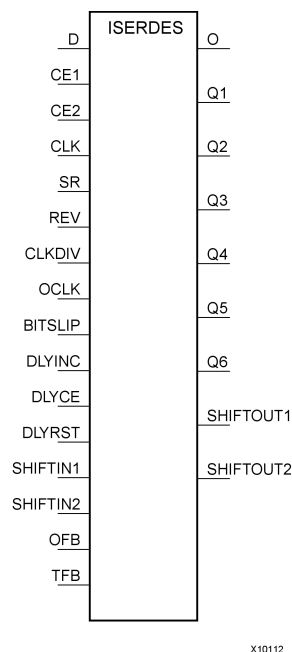
// End of IOBUFDS_inst instantiation
```

詳細情報

- ・ [『Virtex-4 FPGA ユーザー ガイド』\(UG070\)](#)
- ・ [『Virtex-4 FPGA データシート：DC 特性およびスイッチ特性』\(DS302\)](#)

ISERDES

プリミティブ : Dedicated I/O Buffer Input Deserializer



概要

このデザイン エLEMENTを使用することにより、同期ソリューションを簡単にインプリメントできます。ISERDES は専用のソース同期 I/O アーキテクチャです。このモジュールを使用すると、ソース同期アプリケーションで FPGA のロジックリソースを節約でき、タイミングが複雑になるのを防ぎます。

このモジュールには、シリアル/パラレル コンバーター、シリアル遅延チェーン、ワード アライメント ユニット (BITSLLIP)、クロック イネーブル (CE) モジュールが含まれています。また、さまざまなアプリケーションに対応した複数のクロック入力があり、SelectIO™ 機能と共に使用できます。SERDES のサブモジュールの詳細は次のとおりです。

遅延チェーン モジュール

遅延チェーン モジュールは、入力データと転送されたクロックのタイミング関係を調整するための専用アーキテクチャです。このタイミング関係の調整は、ISERDES モジュール内に遅延を配置し、入力のスキューを調整することによって達成します。入力遅延チェーンは、あらかじめ設定しておくか (固定)、動作中に変更できます (可変)。また、このモジュールは IDELAYCTRL プリミティブと共に使用します。

遅延チェーン モジュールを使用するには、次の属性が必要です。

- ・ IOBDelay_VALUE
- ・ IOBDelay
- ・ IOBDelay_TYPE

IOBDelay_VALUE は、使用する遅延タップの数を指定します。指定可能な値は 0 ~ 63 で、デフォルト値は 0 です。

IOBDelay 属性を IBUF、IFD、または BOTH に設定すると、遅延チェーンをそれぞれ組み合わせ出力 (O)、レジスタ付き出力 (Q1 ~ Q6)、または両方に使用できます。IOBDelay 属性を NONE に設定すると、遅延チェーンモジュールがバイパスされます。

IOBDELAY_TYPE は、“DEFAULT”、“FIXED”、または “VARIABLE” に設定できます。“DEFAULT” に設定すると、ホールド タイムが 0 になります。“FIXED” に設定すると、遅延タップ値は IOBDELAY_VALUE で設定した値になります。このモードでは、デバイスがプログラムされた後に値を変更することはできません。“VARIABLE” に設定すると、遅延タップの初期値が IOBDELAY_VALUE の値に設定され、デバイスをプログラムした後に変更可能です。

遅延チェーン モードは、DLYRST、DLYCE、および DLYINC ピンを使用して制御します。これらのピンによる動作は、CLKDIV クロック信号に同期しています。DLYRST を High にアサートすると、遅延チェーンのタップ値が IOBDELAY_VALUE で設定した値にリセットされます。遅延タップ値をインクリメント/デクリメントするには、DLYCE および DLYINC を使用します。遅延タップ値を変更するには、DLYCE を High にアサートする必要があります。DLYINC を 1 に設定するとインクリメントされ、0 に設定するとデクリメントされます。

次の表に、遅延チェーン制御ピンの値による動作を示します。

動作	DLYRST	DLYCE	DLYINC
IOBDELAY_VALUE の値にリセット	1	X	X
タップ値をインクリメント	0	1	1
タップ値をデクリメント	0	1	0
変化なし	0	0	X

注記：遅延チェーンのすべての動作は、CLKDIV に同期しています。

シリアル/パラレル コンバーター

ISERDES モジュールのシリアル/パラレル コンバーターは、シリアル データを取り込み、2 ～ 6 のデータ幅に変換します。2 つの ISERDES モジュールをカスケード接続すると、データ入力幅を 7、8、または 10 ビットに拡張できます。データ幅を拡張するには、1 つの ISERDES をマスター モード、もう 1 つの ISERDES をスレーブ モードに設定し、スレーブの SHIFTIN ポートをマスターの SHIFTOUT ポートに接続します。スレーブでは、出力として Q3 ～ Q6 ポートのみを使用します。シリアル/パラレル コンバーターは、SDR または DDR モードの両方で使用できます。

このモジュールは、主に CLK および CLKDIV クロックで制御されます。次の表に、SDR および DDR の異なるモードにおける CLK と CLKDIV の関係を示します。

次の表に、シリアル/パラレル コンバーターの CLK と CLKDIV の関係を示します。

SDR のデータ幅	DDR のデータ幅	CLK	CLKDIV
2	4	2X	X
3	6	3X	X
4	8	4X	X
5	10	5X	X
6	–	6X	X
7	–	7X	X
8	–	8X	X

CE モジュール

CE モジュールは、基本的には 2:1 パラレル/シリアル コンバーターです。このモジュールは CLKDIV クロック入力で制御され、シリアル/パラレル コンバーター モジュールのクロック イネーブル ポートを制御するのに使用されます。

BITSLLIP モジュール

BITSLLIP モジュールは、出力シーケンスを並べ替えるバレル シフターのような機能を実行します。BITSLLIP を起動するたびに、出力パターンが変化します。BITSLLIP による並べ替えの最大回数は、パターンに含まれるビット数から 1 を引いた数になります (DATA_WIDTH - 1)。BITSLLIP は、SDR および DDR の両方でサポートされます。SDR と DDR の出力の並べ替えは、異なるので注意してください。

BITSLLIP を使用するには BITSLLIP_ENABLE 属性をオンに設定する必要があります。この属性をオフに設定すると、BITSLLIP モジュールはバイパスされます。

BITSLLIP の動作は、CLKDIV クロック入力に同期しています。BITSLLIP モジュールを起動するには、BITSLLIP ポートを CLKDIV の 1 サイクル分だけ High にアサートします。BITSLLIP ポートが CLKDIV の 1 サイクル分 High にアサートされると、BITSLLIP の動作が完了します。DDR モードでは、CLKDIV の 2 サイクル分経過するまで BITSLLIP の動作は安定しません。BITSLLIP の出力は、すべてレジスタ付き出力ポート (Q1 ~ Q6) に出力されます。

その他の機能

データ幅の拡張

ISERDES モジュールでは、7 ビット幅以上のデータ幅を回復できます。この機能を使用するには、2 つの ISERDES モジュールをインスタンス化する必要があります。この 2 つの ISERDES は、隣接したマスター/スレーブ ペアである必要があります。ISERDES_MODE 属性を "MASTER" または "SLAVE" に設定し、ISERDES のペアを区別する必要があります。また、マスターの SHIFTOUT ポートをスレーブの SHIFTIN ポートに接続します。SDR および DDR モードでは、データ幅 7、8、10 がサポートされています。次の表に、SDR および DDR モードで使用可能なデータ幅を示します。

モード	幅
SDR	2、3、4、5、6、7、8
DDR	4、6、8、10

ポートの説明

ポート名	方向	幅	機能
O	出力	1	ISERDES モジュールのレジスタを介さない組み合わせ出力で、遅延チェーンの出力です。この出力ポートは、ISERDES モジュール内のすべてのサブモジュールをバイパスするようにコンフィギュレーションすることも可能です。BUFIO を駆動できます。
Q1 ~ Q6	出力	1 (それぞれ)	ISERDES モジュールのレジスタ付き出力です。これらの出力を使用すると、ISERDES のサブモジュール バスの次の組み合わせを入力として使用できます。 <ul style="list-style-type: none"> 遅延チェーン → シリアル/パラレル コンバーター → BITSLLIP モジュール 遅延チェーン → シリアル/パラレル コンバーター これらのポートは、2 ~ 6 ビットに設定できます。データ幅拡張モードでは、10 ビットまで拡張できます。
SHIFTOUT1、SHIFTOUT2	出力	1 (それぞれ)	データ入力を拡張するためのキャリー出力。スレーブの SHIFTIN1、SHIFTIN2 に接続します。
BITSLLIP	入力	1	BITSLLIP 動作を起動します。このピンを High にすると、BITSLLIP モジュールがイネーブルになります。
CE1、CE2	入力	1 (それぞれ)	CE モジュールに供給するクロック イネーブル入力

ポート名	方向	幅	機能
CLK	入力	1	<p>高速転送クロック入力。シリアル/パラレル コンバーターおよび BITSLLIP モジュールを駆動するのに使用するクロック入力です。CLK ポートは、次のいずれかのクロックリソースで駆動します。</p> <ul style="list-style-type: none"> ・ クロック領域内の 8 個のグローバル クロック ライン ・ 2 個のリージョナル クロック ライン ・ 6 個のクロック兼用 I/O (隣接したクロック領域内) ・ FPGA (バイパスを介す)
CLKDIV	入力	1	<p>高速転送分周クロック入力。シリアル/パラレル コンバーター、遅延チェーン、BITSLLIP モジュール、および CE モジュールを駆動するのに使用するクロック入力です。CLK ポートに接続されたクロックよりも低周波数のクロックを入力する必要があります。CLKDIV ポートは、次のいずれかのクロックリソースで駆動します。</p> <ul style="list-style-type: none"> ・ クロック領域内の 8 個のグローバル クロック ライン ・ 2 個のリージョナル クロック ライン
D	入力	1	<p>IOB からのシリアル入力データ。ISERDES モジュールにデータを入力するポートです。SelectIO 機能を使用して、I/O 規格を指定できます。</p>
DLYCE	入力	1	<p>遅延チェーンのインクリメント/デクリメントをイネーブルにします。</p>
DLYINC	入力	1	<p>遅延チェーン インクリメント/デクリメントピン。DLYCE ピンを High にアサートすると、DLYINC ピンの値に応じて遅延チェーンのタップ値がインクリメント/デクリメントされます。DLYINC ピンが High の場合はタップ値がインクリメントされ、Low の場合はデクリメントされます。</p>
DLYRST	入力	1	<p>遅延チェーン リセットピン。遅延チェーンのタップ数を IOBDelay_Value で設定された値にリセットします。値が設定されていない場合は、0 にリセットします。</p>
OCLK	入力	1	<p>メモリ インターフェイス アプリケーション用高速クロック。シリアル/パラレル コンバーターを駆動するのに使用するクロック入力です。OCLK ポートは、次のいずれかのクロックリソースで駆動します。</p> <ul style="list-style-type: none"> ・ クロック領域内の 8 個のグローバル クロック ライン ・ 2 個のリージョナル クロック ライン ・ 6 個のクロック兼用 I/O (隣接したクロック領域内) ・ FPGA (バイパスを介す) <p>このクロックは、ストロブ信号が必要なメモリ インターフェイスに適しています。</p>
REV	入力	1	<p>SR を反転します。内部テスト用です。SR を使用した場合、REV ピンによりストレージ エLEMENTが反対のステートになります。リセットがセットよりも優先されます。REV ピンは、ISERDES ではサポートされていません。</p>

ポート名	方向	幅	機能
SR	入力	1	セット/リセット入力。ストレージ エLEMENTの状態をユーザー制約ファイル (UCF) で設定した SRVAL 属性で設定された状態にします。SRVAL = 1 の場合は 1、SRVAL = 0 の場合は 0 になります。SR を使用した場合、REV ピンによりストレージ エLEMENTが反対のステートになります。リセットがセットよりも優先されます。ISERDES コンポーネントのすべてのレジスタに対し、SR ピンはアクティブ High に非同期リセットします。
SHIFTIN1、SHIFTIN2	入力	1 (それぞれ)	データ入力を拡張するためのキャリー入力です。マスターの SHIFTOUT1、SHIFTOUT2 に接続します。

デザインの入力方法

インスタンス化	推奨
推論	不可
CORE Generator™ およびウィザード	不可
マクロのサポート	不可

使用可能な属性

属性	データ型	値	デフォルト	説明
BITSLIP_ENABLE	ブール代数	FALSE、TRUE	FALSE	BITSLIP コントローラーをイネーブルにします。
DATA_RATE	文字列	"SDR"、"DDR"	"DDR"	データ レートを指定します。
DATA_WIDTH	文字列	DATA_RATE = "DDR" の場合は "4"、"6"、"8"、"10"、 DATA_RATE = "SDR" の場合は "2"、"3"、"4"、"5"、"6"、"7"、"8"	"4"	シリアル/パラレル コンバーターの幅を指定します。SDR と DDR のどちらを選択するかで値が異なります。
INTERFACE_TYPE	文字列	"MEMORY"、 "NETWORKING"	"MEMORY"	ISERDES の使用モデルを指定します。
IOBDelay	文字列	"NONE"、"IBUF"、"IFD"、 "BOTH"	"NONE"	遅延チェーンを使用する ISERDES の出力を指定します。
IOBDelay_TYPE	文字列	"DEFAULT"、 "FIXED"、 "VARIABLE"	"DEFAULT"	遅延チェーンを固定モードまたは可変モードに指定します。
IOBDelay_VALUE	整数	0 ~ 63	0	タップ遅延の初期値を指定します。
NUM_CE	整数	1、2	2	クロック イネーブルの数を指定します。

VHDL 記述 (インスタンスレーション)

次の 2 つの文が存在しない場合は、コピーしてエンティティ宣言の前に貼り付けます。

```
Library UNISIM;
use UNISIM.vcomponents.all;

-- ISERDES: Input SERDES
--      Virtex-4
-- Xilinx HDL Libraries Guide, version 14.5

ISERDES_inst : ISERDES
generic map (
    BITSLLIP_ENABLE => FALSE, -- TRUE/FALSE to enable bitslip controller
                                -- Must be "FALSE" in interface type is "MEMORY"
    DATA_RATE => "DDR", -- Specify data rate of "DDR" or "SDR"
    DATA_WIDTH => 4, -- Specify data width - For DDR 4,6,8, or 10
                                -- For SDR 2,3,4,5,6,7, or 8
    INTERFACE_TYPE => "MEMORY", -- Use model - "MEMORY" or "NETWORKING"
    IOBDelay => "NONE", -- Specify outputs where delay chain will be applied
                                -- "NONE", "IBUF", "IFD", or "BOTH"
    IOBDelay_Type => "DEFAULT", -- Set tap delay "DEFAULT", "FIXED", or "VARIABLE"
    IOBDelay_Value => 0, -- Set initial tap delay to an integer from 0 to 63
    NUM_CE => 2, -- Define number of clock enables to an integer of 1 or 2
    SERDES_MODE => "MASTER") --Set SERDES mode to "MASTER" or "SLAVE"
port map (
    O => O, -- 1-bit output
    Q1 => Q1, -- 1-bit output
    Q2 => Q2, -- 1-bit output
    Q3 => Q3, -- 1-bit output
    Q4 => Q4, -- 1-bit output
    Q5 => Q5, -- 1-bit output
    Q6 => Q6, -- 1-bit output
    SHIFTOUT1 => SHIFTOUT1, -- 1-bit output
    SHIFTOUT2 => SHIFTOUT2, -- 1-bit output
    BITSLLIP => BITSLLIP, -- 1-bit input
    CE1 => CE1, -- 1-bit input
    CE2 => CE2, -- 1-bit input
    CLK => CLK, -- 1-bit input
    CLKDIV => CLKDIV, -- 1-bit input
    D => D, -- 1-bit input
    DLYCE => DLYCE, -- 1-bit input
    DLYINC => DLYINC, -- 1-bit input
    DLYRST => DLYRST, -- 1-bit input
    OCLK => OCLK, -- 1-bit input
    REV => '0', -- Must be tied to logic zero
    SHIF TIN1 => SHIF TIN1, -- 1-bit input
    SHIF TIN2 => SHIF TIN2, -- 1-bit input
    SR => SR -- 1-bit input
);

-- End of ISERDES_inst instantiation
```

Verilog 記述 (インスタンス化)

```
// ISERDES: Source Synchronous Input Deserializer
//      Virtex-4
// Xilinx HDL Libraries Guide, version 14.5

ISERDES #(
    .BITSLIP_ENABLE("FALSE"), // "TRUE"/"FALSE" to enable bitflip controller
                                //      Must be "FALSE" if INTERFACE_TYPE set to "MEMORY"
    .DATA_RATE("DDR"), // Specify data rate of "DDR" or "SDR"
    .DATA_WIDTH(4), // Specify data width - for DDR 4,6,8, or 10
                        //      for SDR 2,3,4,5,6,7, or 8
    .INTERFACE_TYPE("MEMORY"), // Use model - "MEMORY" or "NETWORKING"
    .IOBDelay("NONE"), // Specify outputs where delay chain will be applied
                        //      "NONE", "IBUF", "IFD", or "BOTH"
    .IOBDelay_Type("DEFAULT"), // Set tap delay "DEFAULT", "FIXED", or "VARIABLE"
    .IOBDelay_Value(0), // Set initial tap delay to an integer from 0 to 63
    .NUM_CE(2), // Define number or clock enables to an integer of 1 or 2
    .SERDES_MODE("MASTER") // Set SERDES mode to "MASTER" or "SLAVE"
) ISERDES_inst (
    .O(0), // 1-bit combinatorial output
    .Q1(Q1), // 1-bit registered output
    .Q2(Q2), // 1-bit registered output
    .Q3(Q3), // 1-bit registered output
    .Q4(Q4), // 1-bit registered output
    .Q5(Q5), // 1-bit registered output
    .Q6(Q6), // 1-bit registered output
    .SHIFTOUT1(SHIFTOUT1), // 1-bit carry output
    .SHIFTOUT2(SHIFTOUT2), // 1-bit carry output
    .BITSLIP(BITSLIP), // 1-bit Bitflip input
    .CE1(CE1), // 1-bit clock enable input
    .CE2(CE2), // 1-bit clock enable input
    .CLK(CLK), // 1-bit clock input
    .CLKDIV(CLKDIV), // 1-bit divided clock input
    .D(D), // 1-bit serial data input
    .DLYCE(DLYCE), // 1-bit delay chain enable input
    .DLYINC(DLYINC), // 1-bit delay increment/decrement input
    .DLYRST(DLYRST), // 1-bit delay chain reset input
    .OCLK(OCLK), // 1-bit high-speed clock input
    .REV(1'b0), // Must be tied to logic zero
    .SHIFTIN1(SHIFTIN1), // 1-bit carry input
    .SHIFTIN2(SHIFTIN2), // 1-bit carry input
    .SR(SR) // 1-bit set/reset input
);

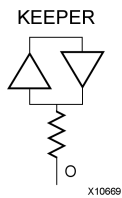
// End of ISERDES_inst instantiation
```

詳細情報

- ・ [『Virtex-4 FPGA ユーザー ガイド』\(UG070\)](#)
- ・ [『Virtex-4 FPGA データシート：DC 特性およびスイッチ特性』\(DS302\)](#)

KEEPER

プリミティブ：KEEPER Symbol



概要

このデザイン エLEMENTは、双方向出力ピンに接続されるネットの値を保持するウィークキーパー エLEMENTです。たとえば、ネットに論理 1 を駆動すると、KEEPER はそのネットにウィーク/抵抗値 1 を駆動します。その後、ネットドライバーがトライステートになっても、KEEPER はウィーク/抵抗値 1 を駆動し続けます。

ポートの説明

ポート名	方向	幅	機能
O	出力	1 ビット	キーパー出力

デザインの入力方法

インスタンス化	可
推論	不可
CORE Generator™ およびウィザード	不可
マクロのサポート	不可

VHDL 記述（インスタンス化）

次の 2 つの文が存在しない場合は、コピーしてエンティティ宣言の前に貼り付けます。

```
Library UNISIM;
use UNISIM.vcomponents.all;

-- KEEPER: I/O Buffer Weak Keeper
--      Virtex-4
-- Xilinx HDL Libraries Guide, version 14.5

KEEPER_inst : KEEPER
port map (
  O => O      -- Keeper output (connect directly to top-level port)
);

-- End of KEEPER_inst instantiation
```

Verilog 記述 (インスタンスレーション)

```
// KEEPER: I/O Buffer Weak Keeper
//      Virtex-4
// Xilinx HDL Libraries Guide, version 14.5

KEEPER KEEPER_inst (
    .O(0)      // Keeper output (connect directly to top-level port)
);

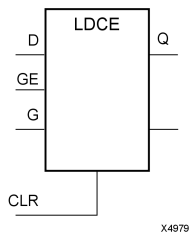
// End of KEEPER_inst instantiation
```

詳細情報

- ・ [『Virtex-4 FPGA ユーザー ガイド』\(UG070\)](#)
- ・ [『Virtex-4 FPGA データシート：DC 特性およびスイッチ特性』\(DS302\)](#)

LDCE

プリミティブ：Transparent Data Latch with Asynchronous Clear and Gate Enable



概要

このデザイン エLEMENTは、非同期クリア (CLR) およびゲート イネーブル (GE) 付き透過データ ラッチです。非同期クリア入力 (CLR) が High になると、ほかの入力は無視され、データ出力 (Q) が Low にリセットされます。ゲート入力 (G) およびゲート イネーブル (GE) が High で、CLR が Low のとき、Q にはデータ入力 (D) が使用されます。GE が Low の場合、D の値は不定値になります。D 入力の値は、G が High から Low に切り替わるときにラッチ内に格納されます。Q 出力の値は、G または GE が Low の間は変化しません。

電力を供給すると、ラッチは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

入力				出力
CLR	GE	G	D	Q
1	X	X	X	0
0	0	X	X	変化なし
0	1	1	D	D
0	1	0	X	変化なし
0	1	↓	D	D

デザインの入力方法

インスタンス化	可
推論	推奨
CORE Generator™ およびウィザード	不可
マクロのサポート	不可

使用可能な属性

属性	データ型	値	デフォルト	説明
INIT	2 進数	0、1	0	コンフィギュレーション後の Q 出力の初期値を指定します。

VHDL 記述 (インスタンスレーション)

次の 2 つの文が存在しない場合は、コピーしてエンティティ宣言の前に貼り付けます。

```
Library UNISIM;
use UNISIM.vcomponents.all;

-- LDCE: Transparent latch with Asynchronous Reset and
--       Gate Enable.
--       Virtex-4
-- Xilinx HDL Libraries Guide, version 14.5

LDCE_inst : LDCE
generic map (
    INIT => '0') -- Initial value of latch ('0' or '1')
port map (
    Q => Q,        -- Data output
    CLR => CLR,    -- Asynchronous clear/reset input
    D => D,        -- Data input
    G => G,        -- Gate input
    GE => GE       -- Gate enable input
);

-- End of LDCE_inst instantiation
```

Verilog 記述 (インスタンスレーション)

```
// LDCE: Transparent latch with Asynchronous Reset and Gate Enable.
//       Virtex-4
// Xilinx HDL Libraries Guide, version 14.5

LDCE #(
    .INIT(1'b0) // Initial value of latch (1'b0 or 1'b1)
) LDCE_inst (
    .Q(Q),      // Data output
    .CLR(CLR),  // Asynchronous clear/reset input
    .D(D),      // Data input
    .G(G),      // Gate input
    .GE(GE)     // Gate enable input
);

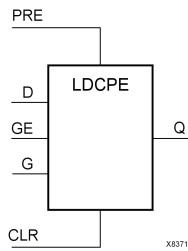
// End of LDCE_inst instantiation
```

詳細情報

- ・ [『Virtex-4 FPGA ユーザー ガイド』\(UG070\)](#)
- ・ [『Virtex-4 FPGA データシート：DC 特性およびスイッチ特性』\(DS302\)](#)

LDCPE

プリミティブ：Transparent Data Latch with Asynchronous Clear and Preset and Gate Enable



概要

このデザイン エLEMENTは、データ (D)、非同期クリア (CLR)、非同期プリセット (PRE)、ゲート イネーブル (GE) がある透過データ ラッチです。CLR が High になると、ほかの入力は無視され、データ出力 (Q) が Low にリセットされます。PRE が High、CLR が Low の場合、データ出力 (Q) は High にプリセットされます。ゲート入力 (G) と GE が High で CLR と PRE が Low の場合、Q にはデータ入力 (D) の値が出力されます。D 入力の値は、G が High から Low に切り替わる時にラッチ内に格納されます。Q 出力の値は、G または GE が Low の間は変化しません。

電力を供給すると、ラッチは非同期にクリアされ、出力が Low になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

入力					出力
CLR	PRE	GE	G	D	Q
1	X	X	X	X	0
0	1	X	X	X	1
0	0	0	X	X	変化なし
0	0	1	1	0	0
0	0	1	1	1	1
0	0	1	0	X	変化なし
0	0	1	↓	D	D

ポートの説明

ポート名	方向	幅	機能
Q	出力	1	データ出力
CLR	入力	1	非同期クリア/リセット入力
D	入力	1	データ入力
G	入力	1	ゲート入力
GE	入力	1	ゲート イネーブル入力
PRE	入力	1	非同期プリセット/セット入力

デザインの入力方法

インスタンス化	可
推論	推奨
CORE Generator™ およびウィザード	不可
マクロのサポート	不可

使用可能な属性

属性	データ型	値	デフォルト	説明
INIT	整数	0、1	0	コンフィギュレーション後の Q 出力の初期値を指定します。

VHDL 記述 (インスタンス化)

次の 2 つの文が存在しない場合は、コピーしてエンティティ宣言の前に貼り付けます。

```
Library UNISIM;
use UNISIM.vcomponents.all;

-- LDCPE: Transparent latch with Asynchronous Reset, Preset and
--       Gate Enable.
--       Virtex-4
-- Xilinx HDL Libraries Guide, version 14.5

LDCPE_inst : LDCPE
generic map (
  INIT => '0') -- Initial value of latch ('0' or '1')
port map (
  Q => Q,          -- Data output
  CLR => CLR,      -- Asynchronous clear/reset input
  D => D,          -- Data input
  G => G,          -- Gate input
  GE => GE,        -- Gate enable input
  PRE => PRE       -- Asynchronous preset/set input
);

-- End of LDCPE_inst instantiation
```

Verilog 記述 (インスタンス化)

```
// LDCPE: Transparent latch with Asynchronous Reset, Preset and
//       Gate Enable.
//       Virtex-4
// Xilinx HDL Libraries Guide, version 14.5

LDCPE #(
  .INIT(1'b0) // Initial value of latch (1'b0 or 1'b1)
) LDCPE_inst (
  .Q(Q),      // Data output
  .CLR(CLR),  // Asynchronous clear/reset input
  .D(D),      // Data input
  .G(G),      // Gate input
  .GE(GE),    // Gate enable input
  .PRE(PRE)   // Asynchronous preset/set input
);

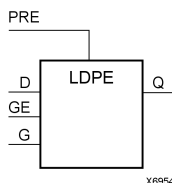
// End of LDCPE_inst instantiation
```

詳細情報

- ・ [『Virtex-4 FPGA ユーザー ガイド』\(UG070\)](#)
- ・ [『Virtex-4 FPGA データシート：DC 特性およびスイッチ特性』\(DS302\)](#)

LDPE

プリミティブ : Transparent Data Latch with Asynchronous Preset and Gate Enable



概要

このデザイン エLEMENTは、非同期プリセット (PRE) およびゲート イネーブル (GE) 付き透過データ ラッチです。PRE が High になると、ほかの入力は無視され、データ出力 (Q) が High にプリセットされます。ゲート入力 (G) およびゲート イネーブル (GE) が High の場合、Q にデータ入力 (D) の値が出力されます。D 入力の値は、G が High から Low に切り替わる時にラッチ内に格納されます。Q 出力の値は、G または GE が Low の間は変化しません。

電力が供給されると、ラッチは非同期にプリセットされ、出力が High になります。FPGA では、グローバル セット/リセット (GSR) をアクティブにすると、電源投入時の状態をシミュレーションできます。GSR のデフォルトはアクティブ High ですが、STARTUP_architecture シンボルの GSR 入力の前にインバーターを追加するとアクティブ Low にできます。

論理表

入力				出力
PRE	GE	G	D	Q
1	X	X	X	1
0	0	X	X	変化なし
0	1	1	D	D
0	1	0	X	変化なし
0	1	↓	D	D

デザインの入力方法

インスタンス化	可
推論	推奨
CORE Generator™ およびウィザード	不可
マクロのサポート	不可

使用可能な属性

属性	データ型	値	デフォルト	説明
INIT	2 進数	0、1	1	電源投入時または GSR のアサート時の Q ポートの初期値を指定します。

VHDL 記述 (インスタンスレーション)

次の 2 つの文が存在しない場合は、コピーしてエンティティ宣言の前に貼り付けます。

```
Library UNISIM;
use UNISIM.vcomponents.all;

-- LDPE: Transparent latch with Asynchronous Set and
--       Gate Enable.
--       Virtex-4
--       Xilinx HDL Libraries Guide, version 14.5

LDPE_inst : LDPE
generic map (
  INIT => '0') -- Initial value of latch ('0' or '1')
port map (
  Q => Q,      -- Data output
  CLR => CLR,  -- Asynchronous preset/set input
  D => D,      -- Data input
  G => G,      -- Gate input
  GE => GE     -- Gate enable input
);

-- End of LDPE_inst instantiation
```

Verilog 記述 (インスタンスレーション)

```
// LDPE: Transparent latch with Asynchronous Preset and Gate Enable.
//       Virtex-4
//       Xilinx HDL Libraries Guide, version 14.5

LDPE #(
  .INIT(1'b0) // Initial value of latch (1'b0 or 1'b1)
) LDPE_inst (
  .Q(Q),      // Data output
  .PRE(PRE),  // Asynchronous preset/set input
  .D(D),      // Data input
  .G(G),      // Gate input
  .GE(GE)     // Gate enable input
);

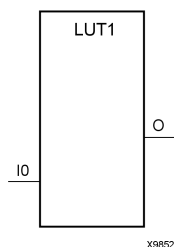
// End of LDPE_inst instantiation
```

詳細情報

- ・ [『Virtex-4 FPGA ユーザー ガイド』\(UG070\)](#)
- ・ [『Virtex-4 FPGA データシート：DC 特性およびスイッチ特性』\(DS302\)](#)

LUT1

プリミティブ : 1-Bit Look-Up Table with General Output



概要

このデザイン エレメントは汎用出力 (O) を持つ 1 ビットのルックアップ テーブル (LUT) です。

LUT のファンクションを設定するため、INIT 属性を使用して、各入力値に対する出力値を 16 進数で指定する必要があります。このエレメントは、バッファまたはインバーターの機能を果たします。これらのエレメントは基本ブロックで、各 CLB スライスに 2 つ、各 CLB に 4 つずつあります。LUT には複数のバリエーションがあり、異なるタイミング モデルでレイアウト前のタイミングをより正確に予測する必要がある場合に使用できます。

FPGA LUT プリミティブでは、INIT パラメーターで論理値が設定されます。デフォルトは 0 で、入力値にかかわらず出力を 0 に駆動します (グラウンドとして機能)。ただし多くの場合、LUT プリミティブのロジック ファンクションを指定するため、INIT 値を設定する必要があります。LUT の値を指定する方法には、次の 2 つがあります。

論理表を使用する方法 : LUT の INIT 値を決定する一般的な方法。すべての入力をリストした 2 進数の論理表を作成し、出力の論理値を指定して、これらの出力値から INIT 文字列を作成します。

論理式を使用する方法 : リストされた論理表の値に対応する LUT の各入力にパラメーターを定義し、パラメーターを基にロジックの論理式を生成します。概念を理解してしまえばこの方法の方が簡単ですが、コードで最初に適切なパラメーターを指定する必要があります。

論理表

入力	出力
I0	O
0	INIT[0]
1	INIT[1]
INIT = INIT 属性に割り当てられた 2 進数値	

デザインの入力方法

インスタンス化	可
推論	推奨
CORE Generator™ およびウィザード	不可
マクロのサポート	不可

使用可能な属性

属性	データ型	値	デフォルト	説明
INIT	16 進数	2 ビット値	すべて 0	ルックアップ テーブルの論理値を指定します。

VHDL 記述 (インスタンスレーション)

次の 2 つの文が存在しない場合は、コピーしてエンティティ宣言の前に貼り付けます。

```
Library UNISIM;
use UNISIM.vcomponents.all;

-- LUT1: 1-input Look-Up Table with general output
--      Virtex-4
-- Xilinx HDL Libraries Guide, version 14.5

LUT1_inst : LUT1
generic map (
  INIT => "00")
port map (
  O => O,    -- LUT general output
  I0 => I0   -- LUT input
);

-- End of LUT1_inst instantiation
```

Verilog 記述 (インスタンスレーション)

```
// LUT1: 1-input Look-Up Table with general output
//      Virtex-4
// Xilinx HDL Libraries Guide, version 14.5

LUT1 #(
  .INIT(2'b00) // Specify LUT Contents
) LUT1_inst (
  .O(O),      // LUT general output
  .I0(I0)     // LUT input
);

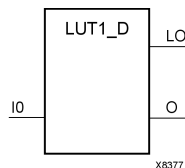
// End of LUT1_inst instantiation
```

詳細情報

- ・ [『Virtex-4 FPGA ユーザー ガイド』\(UG070\)](#)
- ・ [『Virtex-4 FPGA データシート：DC 特性およびスイッチ特性』\(DS302\)](#)

LUT1_D

プリミティブ：1-Bit Look-Up Table with Dual Output



概要

このデザイン エレメントは 1 ビットのルックアップ テーブル (LUT) で、同じ機能を持つ O および LO という 2 つの出力があります。このエレメントはバッファまたはインバータの機能を果たします。

出力 O は汎用インターコネクトです。LO 出力は同じ CLB スライス内の別の入力または高速バッファに接続します。LUT のファンクションを設定するため、INIT 属性を使用して、各入力値に対する出力値を 16 進数で指定する必要があります。

FPGA LUT プリミティブでは、INIT パラメーターで論理値が設定されます。デフォルトは 0 で、入力値にかかわらず出力を 0 に駆動します (グラウンドとして機能)。ただし多くの場合、LUT プリミティブのロジック ファンクションを指定するため、INIT の値を設定する必要があります。LUT の値を指定する方法には、次の 2 つがあります。

- ・ **論理表を使用する方法**：LUT の INIT 値を決定する一般的な方法。すべての入力をリストした 2 進数の論理表を作成し、出力の論理値を指定して、これらの出力値から INIT 文字列を作成します。
- ・ **論理式を使用する方法**：リストされた論理表の値に対応する LUT の各入力にパラメーターを定義し、パラメーターを基にロジックの論理式を生成します。概念を理解してしまえばこの方法の方が簡単ですが、コードで最初に適切なパラメーターを指定する必要があります。

論理表

入力	出力	
IO	O	LO
0	INIT[0]	INIT[0]
1	INIT[1]	INIT[1]
INIT = INIT 属性に割り当てられた 2 進数値		

デザインの入力方法

インスタンス化	可
推論	推奨
CORE Generator™ およびウィザード	不可
マクロのサポート	不可

使用可能な属性

属性	データ型	値	デフォルト	説明
INIT	16 進数	2 ビット値	すべて 0	ルックアップ テーブルの論理値を指定します。

VHDL 記述 (インスタンスレーション)

次の 2 つの文が存在しない場合は、コピーしてエンティティ宣言の前に貼り付けます。

```
Library UNISIM;
use UNISIM.vcomponents.all;

-- LUT1_D: 1-input Look-Up Table with general and local outputs
--           Virtex-4
-- Xilinx HDL Libraries Guide, version 14.5

LUT1_D_inst : LUT1_D
generic map (
    INIT => "00")
port map (
    LO => LO, -- LUT local output
    O  => O,  -- LUT general output
    IO => IO  -- LUT input
);

-- End of LUT1_D_inst instantiation
```

Verilog 記述 (インスタンスレーション)

```
// LUT1_D: 1-input Look-Up Table with general and local outputs
//           Virtex-4
// Xilinx HDL Libraries Guide, version 14.5

LUT1_D #(
    .INIT(2'b00) // Specify LUT Contents
) LUT1_D_inst (
    .LO(LO), // LUT local output
    .O(O),  // LUT general output
    .IO(IO) // LUT input
);

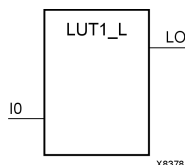
// End of LUT1_D_inst instantiation
```

詳細情報

- ・ [『Virtex-4 FPGA ユーザー ガイド』\(UG070\)](#)
- ・ [『Virtex-4 FPGA データシート : DC 特性およびスイッチ特性』\(DS302\)](#)

LUT1_L

プリミティブ：1-Bit Look-Up Table with Local Output



概要

このデザイン エLEMENT は、1 ビットのルックアップ テーブル (LUT) で、同じ CLB スライス内にある別の出力および高速バッファへの接続に使用するローカル出力 (LO) があります。このELEMENTはバッファまたはインバーターの機能を果たします。

LUT のファンクションを設定するため、INIT 属性を使用して、各入力値に対する出力値を 16 進数で指定する必要があります。

FPGA LUT プリミティブでは、INIT パラメーターで論理値が設定されます。デフォルトは 0 で、入力値にかかわらず出力を 0 に駆動します (グラウンドとして機能)。ただし多くの場合、LUT プリミティブのロジック ファンクションを指定するため、INIT 値を設定する必要があります。LUT の値を指定する方法には、次の 2 つがあります。

論理表を使用する方法：LUT の INIT 値を決定する一般的な方法。すべての入力をリストした 2 進数の論理表を作成し、出力の論理値を指定して、これらの出力値から INIT 文字列を作成します。

論理式を使用する方法：リストされた論理表の値に対応する LUT の各入力にパラメーターを定義し、パラメーターを基にロジックの論理式を生成します。概念を理解してしまえばこの方法の方が簡単ですが、コードで最初に適切なパラメーターを指定する必要があります。

論理表

入力	出力
I0	LO
0	INIT[0]
1	INIT[1]
INIT = INIT 属性に割り当てられた 2 進数値	

デザインの入力方法

インスタンス化	可
推論	推奨
CORE Generator™ およびウィザード	不可
マクロのサポート	不可

使用可能な属性

属性	データ型	値	デフォルト	説明
INIT	16 進数	2 ビット値	すべて 0	ルックアップ テーブルの論理値を指定します。

VHDL 記述 (インスタンスレーション)

次の 2 つの文が存在しない場合は、コピーしてエンティティ宣言の前に貼り付けます。

```
Library UNISIM;
use UNISIM.vcomponents.all;

-- LUT1_L: 1-input Look-Up Table with local output
--      Virtex-4
-- Xilinx HDL Libraries Guide, version 14.5

LUT1_L_inst : LUT1_L
generic map (
    INIT => "00")
port map (
    LO => LO, -- LUT local output
    IO => IO  -- LUT input
);

-- End of LUT1_L_inst instantiation
```

Verilog 記述 (インスタンスレーション)

```
// LUT1_L: 1-input Look-Up Table with local output
//      Virtex-4
// Xilinx HDL Libraries Guide, version 14.5

LUT1_L #(
    .INIT(2'b00) // Specify LUT Contents
) LUT1_L_inst (
    .LO(LO), // LUT local output
    .IO(IO) // LUT input
);

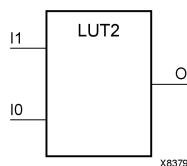
// End of LUT1_L_inst instantiation
```

詳細情報

- ・ [『Virtex-4 FPGA ユーザー ガイド』\(UG070\)](#)
- ・ [『Virtex-4 FPGA データシート: DC 特性およびスイッチ特性』\(DS302\)](#)

LUT2

プリミティブ : 2-Bit Look-Up Table with General Output



概要

このデザイン エレメントは、汎用出力 (O) を持つ 2 ビットのルックアップ テーブル (LUT) です。

LUT のファンクションを設定するため、INIT 属性を使用して、各入力値に対する出力値を 16 進数で指定する必要があります。このエレメントは、バッファまたはインバーターの機能を果たします。これらのエレメントは基本ブロックで、各 CLB スライスに 2 つ、各 CLB に 4 つずつあります。LUT には複数のバリエーションがあり、異なるタイミング モデルでレイアウト前のタイミングをより正確に予測する必要がある場合に使用できます。

FPGA LUT プリミティブでは、INIT パラメーターで論理値が設定されます。デフォルトは 0 で、入力値にかかわらず出力を 0 に駆動します (グラウンドとして機能)。ただし多くの場合、LUT プリミティブのロジック ファンクションを指定するため、INIT 値を設定する必要があります。LUT の値を指定する方法には、次の 2 つがあります。

論理表を使用する方法 : LUT の INIT 値を決定する一般的な方法。すべての入力をリストした 2 進数の論理表を作成し、出力の論理値を指定して、これらの出力値から INIT 文字列を作成します。

論理式を使用する方法 : リストされた論理表の値に対応する LUT の各入力にパラメーターを定義し、パラメーターを基にロジックの論理式を生成します。概念を理解してしまえばこの方法の方が簡単ですが、コードで最初に適切なパラメーターを指定する必要があります。

論理表

入力		出力
I1	I0	O
0	0	INIT[0]
0	1	INIT[1]
1	0	INIT[2]
1	1	INIT[3]
INIT = INIT 属性で指定された 16 進数値を 2 進数で表した値		

デザインの入力方法

インスタンス化	可
推論	推奨
CORE Generator™ およびウィザード	不可
マクロのサポート	不可

使用可能な属性

属性	データ型	値	デフォルト	説明
INIT	16 進数	4 ビット値	すべて 0	ルックアップ テーブルの論理値を指定します。

VHDL 記述 (インスタンスレーション)

次の 2 つの文が存在しない場合は、コピーしてエンティティ宣言の前に貼り付けます。

```
Library UNISIM;
use UNISIM.vcomponents.all;

-- LUT2: 2-input Look-Up Table with general output
--      Virtex-4
-- Xilinx HDL Libraries Guide, version 14.5

LUT2_inst : LUT2
generic map (
  INIT => X"0")
port map (
  O => O,    -- LUT general output
  I0 => I0,  -- LUT input
  I1 => I1   -- LUT input
);

-- End of LUT2_inst instantiation
```

Verilog 記述 (インスタンスレーション)

```
// LUT2: 2-input Look-Up Table with general output
//      Virtex-4
// Xilinx HDL Libraries Guide, version 14.5

LUT2 #(
  .INIT(4'h0) // Specify LUT Contents
) LUT2_inst (
  .O(O),      // LUT general output
  .I0(I0),    // LUT input
  .I1(I1)     // LUT input
);

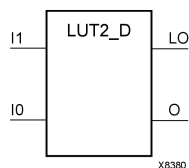
// End of LUT2_inst instantiation
```

詳細情報

- ・ [『Virtex-4 FPGA ユーザー ガイド』\(UG070\)](#)
- ・ [『Virtex-4 FPGA データシート：DC 特性およびスイッチ特性』\(DS302\)](#)

LUT2_D

プリミティブ : 2-Bit Look-Up Table with Dual Output



概要

このデザイン エレメントは 2 ビットのルックアップ テーブル (LUT) で、同じ機能を持つ O および LO という 2 つの出力があります。

出力 O は汎用インターコネクトです。LO 出力は同じ CLB スライス内の別の入力または高速バッファに接続します。LUT のファンクションを設定するため、INIT 属性を使用して、各入力値に対する出力値を 16 進数で指定する必要があります。

FPGA LUT プリミティブでは、INIT パラメーターで論理値が設定されます。デフォルトは 0 で、入力値にかかわらず出力を 0 に駆動します (グラウンドとして機能)。ただし多くの場合、LUT プリミティブのロジック ファンクションを指定するため、INIT の値を設定する必要があります。LUT の値を指定する方法には、次の 2 つがあります。

- ・ **論理表を使用する方法** : LUT の INIT 値を決定する一般的な方法。すべての入力をリストした 2 進数の論理表を作成し、出力の論理値を指定して、これらの出力値から INIT 文字列を作成します。
- ・ **論理式を使用する方法** : リストされた論理表の値に対応する LUT の各入力にパラメーターを定義し、パラメーターを基にロジックの論理式を生成します。概念を理解してしまえばこの方法の方が簡単ですが、コードで最初に適切なパラメーターを指定する必要があります。

論理表

入力		出力	
I1	I0	O	LO
0	0	INIT[0]	INIT[0]
0	1	INIT[1]	INIT[1]
1	0	INIT[2]	INIT[2]
1	1	INIT[3]	INIT[3]
INIT = INIT 属性で指定された 16 進数値を 2 進数で表した値			

デザインの入力方法

インスタンス化	可
推論	推奨
CORE Generator™ およびウィザード	不可
マクロのサポート	不可

使用可能な属性

属性	データ型	値	デフォルト	説明
INIT	16 進数	4 ビット値	すべて 0	ルックアップ テーブルの論理値を指定します。

VHDL 記述 (インスタンスレーション)

次の 2 つの文が存在しない場合は、コピーしてエンティティ宣言の前に貼り付けます。

```
Library UNISIM;
use UNISIM.vcomponents.all;

-- LUT2_D: 2-input Look-Up Table with general and local outputs
--      Virtex-4
-- Xilinx HDL Libraries Guide, version 14.5

LUT2_D_inst : LUT2_D
generic map (
  INIT => X"0")
port map (
  LO => LO, -- LUT local output
  O  => O,  -- LUT general output
  I0 => I0, -- LUT input
  I1 => I1  -- LUT input
);

-- End of LUT2_D_inst instantiation
```

Verilog 記述 (インスタンスレーション)

```
// LUT2_D: 2-input Look-Up Table with general and local outputs
//      Virtex-4
// Xilinx HDL Libraries Guide, version 14.5

LUT2_D #(
  .INIT(4'h0) // Specify LUT Contents
) LUT2_D_inst (
  .LO(LO), // LUT local output
  .O(O),   // LUT general output
  .I0(I0), // LUT input
  .I1(I1)  // LUT input
);

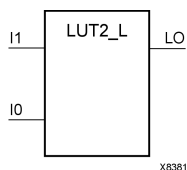
// End of LUT2_D_inst instantiation
```

詳細情報

- ・ [『Virtex-4 FPGA ユーザー ガイド』\(UG070\)](#)
- ・ [『Virtex-4 FPGA データシート：DC 特性およびスイッチ特性』\(DS302\)](#)

LUT2_L

プリミティブ：2-Bit Look-Up Table with Local Output



概要

このデザイン エレメント は 2 ビットのルックアップ テーブル (LUT) で、同じ CLB スライス内にある別の出力および高速バッファへの接続に使用するローカル出力 (LO) があります。このエレメントはバッファまたはインバーターの機能を果たします。

LUT のファンクションを設定するため、INIT 属性を使用して、各入力値に対する出力値を 16 進数で指定する必要があります。

FPGA LUT プリミティブでは、INIT パラメーターで論理値が設定されます。デフォルトは 0 で、入力値にかかわらず出力を 0 に駆動します (グラウンドとして機能)。ただし多くの場合、LUT プリミティブのロジック ファンクションを指定するため、INIT 値を設定する必要があります。LUT の値を指定する方法には、次の 2 つがあります。

論理表を使用する方法：LUT の INIT 値を決定する一般的な方法。すべての入力をリストした 2 進数の論理表を作成し、出力の論理値を指定して、これらの出力値から INIT 文字列を作成します。

論理式を使用する方法：リストされた論理表の値に対応する LUT の各入力にパラメーターを定義し、パラメーターを基にロジックの論理式を生成します。概念を理解してしまえばこの方法の方が簡単ですが、コードで最初に適切なパラメーターを指定する必要があります。

論理表

入力		出力
I1	I0	LO
0	0	INIT[0]
0	1	INIT[1]
1	0	INIT[2]
1	1	INIT[3]
INIT = INIT 属性で指定された 16 進数値を 2 進数で表した値		

デザインの入力方法

インスタンス化	可
推論	推奨
CORE Generator™ およびウィザード	不可
マクロのサポート	不可

使用可能な属性

属性	データ型	値	デフォルト	説明
INIT	16 進数	4 ビット値	すべて 0	ルックアップ テーブルの論理値を指定します。

VHDL 記述 (インスタンスレーション)

次の 2 つの文が存在しない場合は、コピーしてエンティティ宣言の前に貼り付けます。

```
Library UNISIM;
use UNISIM.vcomponents.all;

-- LUT2_L: 2-input Look-Up Table with local output
--          Virtex-4
-- Xilinx HDL Libraries Guide, version 14.5

LUT2_L_inst : LUT2_L
generic map (
  INIT => X"0")
port map (
  LO => LO, -- LUT local output
  IO => IO, -- LUT input
  I1 => I1  -- LUT input
);

-- End of LUT2_L_inst instantiation
```

Verilog 記述 (インスタンスレーション)

```
// LUT2_L: 2-input Look-Up Table with local output
//          Virtex-4
// Xilinx HDL Libraries Guide, version 14.5

LUT2_L #(
  .INIT(4'h0) // Specify LUT Contents
) LUT2_L_inst (
  .LO(IO), // LUT local output
  .IO(IO), // LUT input
  .I1(I1)  // LUT input
);

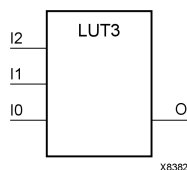
// End of LUT2_L_inst instantiation
```

詳細情報

- ・ [『Virtex-4 FPGA ユーザー ガイド』\(UG070\)](#)
- ・ [『Virtex-4 FPGA データシート：DC 特性およびスイッチ特性』\(DS302\)](#)

LUT3

プリミティブ：3-Bit Look-Up Table with General Output



概要

このデザイン エLEMENTは、汎用出力 (O) を持つ 3 ビットのルックアップ テーブル (LUT) です。LUT のファンクションを設定するため、INIT 属性を使用して、各入力値に対する出力値を 16 進数で指定する必要があります。

LUT のファンクションを設定するため、INIT 属性を使用して、各入力値に対する出力値を 16 進数で指定する必要があります。このELEMENTは、バッファまたはインバーターの機能を果たします。これらのELEMENTは基本ブロックで、各 CLB スライスに 2 つ、各 CLB に 4 つずつあります。LUT には複数のバリエーションがあり、異なるタイミング モデルでレイアウト前のタイミングをより正確に予測する必要がある場合に使用できます。

FPGA LUT プリミティブでは、INIT パラメーターで論理値が設定されます。デフォルトは 0 で、入力値にかかわらず出力を 0 に駆動します (グラウンドとして機能)。ただし多くの場合、LUT プリミティブのロジック ファンクションを指定するため、INIT 値を設定する必要があります。LUT の値を指定する方法には、次の 2 つがあります。

論理表を使用する方法：LUT の INIT 値を決定する一般的な方法。すべての入力をリストした 2 進数の論理表を作成し、出力の論理値を指定して、これらの出力値から INIT 文字列を作成します。

論理式を使用する方法：リストされた論理表の値に対応する LUT の各入力にパラメーターを定義し、パラメーターを基にロジックの論理式を生成します。概念を理解してしまえばこの方法の方が簡単ですが、コードで最初に適切なパラメーターを指定する必要があります。

論理表

入力			出力
I2	I1	I0	O
0	0	0	INIT[0]
0	0	1	INIT[1]
0	1	0	INIT[2]
0	1	1	INIT[3]
1	0	0	INIT[4]
1	0	1	INIT[5]
1	1	0	INIT[6]
1	1	1	INIT[7]
INIT = INIT 属性で指定された 16 進数値を 2 進数で表した値			

デザインの入力方法

インスタンス化	可
推論	推奨
CORE Generator™ およびウィザード	不可
マクロのサポート	不可

使用可能な属性

属性	データ型	値	デフォルト	説明
INIT	16 進数	8 ビット値	すべて 0	ルックアップ テーブルの論理値を指定します。

VHDL 記述 (インスタンス化)

次の 2 つの文が存在しない場合は、コピーしてエンティティ宣言の前に貼り付けます。

```
Library UNISIM;
use UNISIM.vcomponents.all;

-- LUT3: 3-input Look-Up Table with general output
--      Virtex-4
-- Xilinx HDL Libraries Guide, version 14.5

LUT3_inst : LUT3
generic map (
  INIT => X"00")
port map (
  O => O,    -- LUT general output
  I0 => I0,  -- LUT input
  I1 => I1,  -- LUT input
  I2 => I2   -- LUT input
);

-- End of LUT3_inst instantiation
```

Verilog 記述 (インスタンス化)

```
// LUT3: 3-input Look-Up Table with general output
//      Virtex-4
// Xilinx HDL Libraries Guide, version 14.5

LUT3 #(
  .INIT(8'h00) // Specify LUT Contents
) LUT3_inst (
  .O(O),      // LUT general output
  .I0(I0),    // LUT input
  .I1(I1),    // LUT input
  .I2(I2)     // LUT input
);

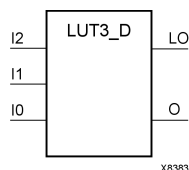
// End of LUT3_inst instantiation
```

詳細情報

- ・ [『Virtex-4 FPGA ユーザー ガイド』\(UG070\)](#)
- ・ [『Virtex-4 FPGA データシート：DC 特性およびスイッチ特性』\(DS302\)](#)

LUT3_D

プリミティブ：3-Bit Look-Up Table with Dual Output



概要

このデザイン エLEMENTは 3 ビットのルックアップ テーブル (LUT) で、同じ機能を持つ O および LO という 2 つの出力があります。

出力 O は汎用インターコネクトです。LO 出力は同じ CLB スライス内の別の入力または高速バッファに接続します。LUT のファンクションを設定するため、INIT 属性を使用して、各入力値に対する出力値を 16 進数で指定する必要があります。

FPGA LUT プリミティブでは、INIT パラメーターで論理値が設定されます。デフォルトは 0 で、入力値にかかわらず出力を 0 に駆動します (グラウンドとして機能)。ただし多くの場合、LUT プリミティブのロジック ファンクションを指定するため、INIT の値を設定する必要があります。LUT の値を指定する方法には、次の 2 つがあります。

- ・ **論理表を使用する方法**：LUT の INIT 値を決定する一般的な方法。すべての入力をリストした 2 進数の論理表を作成し、出力の論理値を指定して、これらの出力値から INIT 文字列を作成します。
- ・ **論理式を使用する方法**：リストされた論理表の値に対応する LUT の各入力にパラメーターを定義し、パラメーターを基にロジックの論理式を生成します。概念を理解してしまえばこの方法の方が簡単ですが、コードで最初に適切なパラメーターを指定する必要があります。

論理表

入力			出力	
I2	I1	I0	O	LO
0	0	0	INIT[0]	INIT[0]
0	0	1	INIT[1]	INIT[1]
0	1	0	INIT[2]	INIT[2]
0	1	1	INIT[3]	INIT[3]
1	0	0	INIT[4]	INIT[4]
1	0	1	INIT[5]	INIT[5]
1	1	0	INIT[6]	INIT[6]
1	1	1	INIT[7]	INIT[7]
INIT = INIT 属性で指定された 16 進数値を 2 進数で表した値				

デザインの入力方法

インスタンス化	可
推論	推奨
CORE Generator™ およびウィザード	不可
マクロのサポート	不可

使用可能な属性

属性	データ型	値	デフォルト	説明
INIT	16 進数	8 ビット値	すべて 0	ルックアップ テーブルの論理値を指定します。

VHDL 記述 (インスタンス化)

次の 2 つの文が存在しない場合は、コピーしてエンティティ宣言の前に貼り付けます。

```
Library UNISIM;
use UNISIM.vcomponents.all;

-- LUT3_D: 3-input Look-Up Table with general and local outputs
--          Virtex-4
-- Xilinx HDL Libraries Guide, version 14.5

LUT3_D_inst : LUT3_D
generic map (
  INIT => X"00")
port map (
  LO => LO, -- LUT local output
  O  => O,  -- LUT general output
  I0 => I0, -- LUT input
  I1 => I1, -- LUT input
  I2 => I2  -- LUT input
);

-- End of LUT3_D_inst instantiation
```

Verilog 記述 (インスタンス化)

```
// LUT3_D: 3-input Look-Up Table with general and local outputs
//          Virtex-4
// Xilinx HDL Libraries Guide, version 14.5

LUT3_D #(
  .INIT(8'h00) // Specify LUT Contents
) LUT3_D_inst (
  .LO(LO), // LUT local output
  .O(O),   // LUT general output
  .I0(I0), // LUT input
  .I1(I1), // LUT input
  .I2(I2)  // LUT input
);

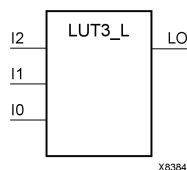
// End of LUT3_D_inst instantiation
```

詳細情報

- ・ [『Virtex-4 FPGA ユーザー ガイド』\(UG070\)](#)
- ・ [『Virtex-4 FPGA データシート：DC 特性およびスイッチ特性』\(DS302\)](#)

LUT3_L

プリミティブ：3-Bit Look-Up Table with Local Output



概要

このデザイン エレメント は 3 ビットのルックアップ テーブル (LUT) で、同じ CLB スライス内にある別の出力および高速バッファへの接続に使用するローカル出力 (LO) があります。このエレメントはバッファまたはインバーターの機能を果たします。

LUT のファンクションを設定するため、INIT 属性を使用して、各入力値に対する出力値を 16 進数で指定する必要があります。

FPGA LUT プリミティブでは、INIT パラメーターで論理値が設定されます。デフォルトは 0 で、入力値にかかわらず出力を 0 に駆動します (グラウンドとして機能)。ただし多くの場合、LUT プリミティブのロジック ファンクションを指定するため、INIT 値を設定する必要があります。LUT の値を指定する方法には、次の 2 つがあります。

論理表を使用する方法：LUT の INIT 値を決定する一般的な方法。すべての入力をリストした 2 進数の論理表を作成し、出力の論理値を指定して、これらの出力値から INIT 文字列を作成します。

論理式を使用する方法：リストされた論理表の値に対応する LUT の各入力にパラメーターを定義し、パラメーターを基にロジックの論理式を生成します。概念を理解してしまえばこの方法の方が簡単ですが、コードで最初に適切なパラメーターを指定する必要があります。

論理表

入力			出力
I2	I1	I0	LO
0	0	0	INIT[0]
0	0	1	INIT[1]
0	1	0	INIT[2]
0	1	1	INIT[3]
1	0	0	INIT[4]
1	0	1	INIT[5]
1	1	0	INIT[6]
1	1	1	INIT[7]
INIT = INIT 属性で指定された 16 進数値を 2 進数で表した値			

デザインの入力方法

インスタンス化	可
推論	推奨
CORE Generator™ およびウィザード	不可
マクロのサポート	不可

使用可能な属性

属性	データ型	値	デフォルト	説明
INIT	16 進数	8 ビット値	すべて 0	ルックアップ テーブルの論理値を指定します。

VHDL 記述 (インスタンス化)

次の 2 つの文が存在しない場合は、コピーしてエンティティ宣言の前に貼り付けます。

```
Library UNISIM;
use UNISIM.vcomponents.all;

-- LUT3_L: 3-input Look-Up Table with local output
--          Virtex-4
-- Xilinx HDL Libraries Guide, version 14.5

LUT3_L_inst : LUT3_L
generic map (
  INIT => X"00")
port map (
  LO => LO,    -- LUT local output
  I0 => I0,    -- LUT input
  I1 => I1,    -- LUT input
  I2 => I2     -- LUT input
);

-- End of LUT3_L_inst instantiation
```

Verilog 記述 (インスタンス化)

```
// LUT3_L: 3-input Look-Up Table with local output
//          Virtex-4
// Xilinx HDL Libraries Guide, version 14.5

LUT3_L #(
  .INIT(8'h00) // Specify LUT Contents
) LUT3_L_inst (
  .LO(LO), // LUT local output
  .I0(I0), // LUT input
  .I1(I1), // LUT input
  .I2(I2)  // LUT input
);

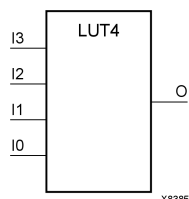
// End of LUT3_L_inst instantiation
```

詳細情報

- ・ [『Virtex-4 FPGA ユーザー ガイド』\(UG070\)](#)
- ・ [『Virtex-4 FPGA データシート：DC 特性およびスイッチ特性』\(DS302\)](#)

LUT4

プリミティブ：4-Bit Look-Up-Table with General Output



概要

このデザイン エLEMENTは、汎用出力 (O) を持つ 4 ビットのルックアップ テーブル (LUT) です。

LUT のファンクションを設定するため、INIT 属性を使用して、各入力値に対する出力値を 16 進数で指定する必要があります。このELEMENTは、バッファまたはインバーターの機能を果たします。これらのELEMENTは基本ブロックで、各 CLB スライスに 2 つ、各 CLB に 4 つずつあります。LUT には複数のバリエーションがあり、異なるタイミング モデルでレイアウト前のタイミングをより正確に予測する必要がある場合に使用できます。

FPGA LUT プリミティブでは、INIT パラメーターで論理値が設定されます。デフォルトは 0 で、入力値にかかわらず出力を 0 に駆動します (グラウンドとして機能)。ただし多くの場合、LUT プリミティブのロジック ファンクションを指定するため、INIT 値を設定する必要があります。LUT の値を指定する方法には、次の 2 つがあります。

論理表を使用する方法：LUT の INIT 値を決定する一般的な方法。すべての入力をリストした 2 進数の論理表を作成し、出力の論理値を指定して、これらの出力値から INIT 文字列を作成します。

論理式を使用する方法：リストされた論理表の値に対応する LUT の各入力にパラメーターを定義し、パラメーターを基にロジックの論理式を生成します。概念を理解してしまえばこの方法の方が簡単ですが、コードで最初に適切なパラメーターを指定する必要があります。

論理表

入力				出力
I3	I2	I1	I0	O
0	0	0	0	INIT[0]
0	0	0	1	INIT[1]
0	0	1	0	INIT[2]
0	0	1	1	INIT[3]
0	1	0	0	INIT[4]
0	1	0	1	INIT[5]
0	1	1	0	INIT[6]
0	1	1	1	INIT[7]
1	0	0	0	INIT[8]
1	0	0	1	INIT[9]
1	0	1	0	INIT[10]
1	0	1	1	INIT[11]
1	1	0	0	INIT[12]

入力				出力
I3	I2	I1	I0	O
1	1	0	1	INIT[13]
1	1	1	0	INIT[14]
1	1	1	1	INIT[15]
INIT = INIT 属性で指定された 16 進数値を 2 進数で表した値				

デザインの入力方法

インスタンス化	可
推論	推奨
CORE Generator™ およびウィザード	不可
マクロのサポート	不可

使用可能な属性

属性	データ型	値	デフォルト	説明
INIT	16 進数	16 ビット値	すべて 0	ルックアップ テーブルの論理値を指定します。

VHDL 記述 (インスタンス化)

次の 2 つの文が存在しない場合は、コピーしてエンティティ宣言の前に貼り付けます。

```

Library UNISIM;
use UNISIM.vcomponents.all;

-- LUT4: 4-input Look-Up Table with general output
--      Virtex-4
-- Xilinx HDL Libraries Guide, version 14.5

LUT4_inst : LUT4
generic map (
  INIT => X"0000")
port map (
  O => O,  -- LUT general output
  I0 => I0, -- LUT input
  I1 => I1, -- LUT input
  I2 => I2, -- LUT input
  I3 => I3  -- LUT input
);

-- End of LUT4_inst instantiation

```

Verilog 記述 (インスタンスレーション)

```
// LUT4: 4-input Look-Up Table with general output
//      Virtex-4
// Xilinx HDL Libraries Guide, version 14.5

LUT4 #(
    .INIT(16'h0000) // Specify LUT Contents
) LUT4_inst (
    .O(O), // LUT general output
    .I0(I0), // LUT input
    .I1(I1), // LUT input
    .I2(I2), // LUT input
    .I3(I3) // LUT input
);

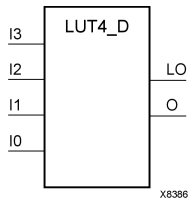
// End of LUT4_inst instantiation
```

詳細情報

- ・ [『Virtex-4 FPGA ユーザー ガイド』\(UG070\)](#)
- ・ [『Virtex-4 FPGA データシート：DC 特性およびスイッチ特性』\(DS302\)](#)

LUT4_D

プリミティブ：4-Bit Look-Up Table with Dual Output



概要

このデザイン エLEMENTは 4 ビットのルックアップ テーブル (LUT) で、同じ機能を持つ O および LO という 2 つの出力があります。

出力 O は汎用インターコネクトです。LO 出力は同じ CLB スライス内の別の入力または高速バッファに接続します。LUT のファンクションを設定するため、INIT 属性を使用して、各入力値に対する出力値を 16 進数で指定する必要があります。

FPGA LUT プリミティブでは、INIT パラメーターで論理値が設定されます。デフォルトは 0 で、入力値にかかわらず出力を 0 に駆動します (グラウンドとして機能)。ただし多くの場合、LUT プリミティブのロジック ファンクションを指定するため、INIT の値を設定する必要があります。LUT の値を指定する方法には、次の 2 つがあります。

- ・ **論理表を使用する方法：** LUT の INIT 値を決定する一般的な方法。すべての入力をリストした 2 進数の論理表を作成し、出力の論理値を指定して、これらの出力値から INIT 文字列を作成します。
- ・ **論理式を使用する方法：** リストされた論理表の値に対応する LUT の各入力にパラメーターを定義し、パラメーターを基にロジックの論理式を生成します。概念を理解してしまえばこの方法の方が簡単ですが、コードで最初に適切なパラメーターを指定する必要があります。

論理表

入力				出力	
I3	I2	I1	I0	O	LO
0	0	0	0	INIT[0]	INIT[0]
0	0	0	1	INIT[1]	INIT[1]
0	0	1	0	INIT[2]	INIT[2]
0	0	1	1	INIT[3]	INIT[3]
0	1	0	0	INIT[4]	INIT[4]
0	1	0	1	INIT[5]	INIT[5]
0	1	1	0	INIT[6]	INIT[6]
0	1	1	1	INIT[7]	INIT[7]
1	0	0	0	INIT[8]	INIT[8]
1	0	0	1	INIT[9]	INIT[9]
1	0	1	0	INIT[10]	INIT[10]
1	0	1	1	INIT[11]	INIT[11]
1	1	0	0	INIT[12]	INIT[12]

入力				出力	
I3	I2	I1	I0	O	LO
1	1	0	1	INIT[13]	INIT[13]
1	1	1	0	INIT[14]	INIT[14]
1	1	1	1	INIT[15]	INIT[15]
INIT = INIT 属性で指定された 16 進数値を 2 進数で表した値					

デザインの入力方法

インスタンス化	可
推論	推奨
CORE Generator™ およびウィザード	不可
マクロのサポート	不可

使用可能な属性

属性	データ型	値	デフォルト	説明
INIT	16 進数	16 ビット値	すべて 0	ルックアップ テーブルの論理値を指定します。

VHDL 記述 (インスタンス化)

次の 2 つの文が存在しない場合は、コピーしてエンティティ宣言の前に貼り付けます。

```

Library UNISIM;
use UNISIM.vcomponents.all;

-- LUT4_D: 4-input Look-Up Table with general and local outputs
--          Virtex-4
-- Xilinx HDL Libraries Guide, version 14.5

LUT4_D_inst : LUT4_D
generic map (
  INIT => X"0000")
port map (
  LO => LO, -- LUT local output
  O  => O,  -- LUT general output
  I0 => I0, -- LUT input
  I1 => I1, -- LUT input
  I2 => I2, -- LUT input
  I3 => I3  -- LUT input
);

-- End of LUT4_D_inst instantiation

```

Verilog 記述 (インスタンス化)

```
// LUT4_D: 4-input Look-Up Table with general and local outputs
//          Virtex-4
// Xilinx HDL Libraries Guide, version 14.5

LUT4_D #(
    .INIT(16'h0000) // Specify LUT Contents
) LUT4_D_inst (
    .LO(LO), // LUT local output
    .O(0),   // LUT general output
    .I0(I0), // LUT input
    .I1(I1), // LUT input
    .I2(I2), // LUT input
    .I3(I3)  // LUT input
);

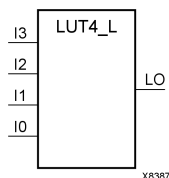
// End of LUT4_D_inst instantiation
```

詳細情報

- ・ [『Virtex-4 FPGA ユーザー ガイド』\(UG070\)](#)
- ・ [『Virtex-4 FPGA データシート：DC 特性およびスイッチ特性』\(DS302\)](#)

LUT4_L

プリミティブ : 4-Bit Look-Up Table with Local Output



概要

このデザイン エLEMENT は 4 ビットのルックアップ テーブル (LUT) で、同じ CLB スライス内にある別の出力および高速バッファへの接続に使用するローカル出力 (LO) があります。このELEMENTはバッファまたはインバーターの機能を果たします。

LUT のファンクションを設定するため、INIT 属性を使用して、各入力値に対する出力値を 16 進数で指定する必要があります。

FPGA LUT プリミティブでは、INIT パラメーターで論理値が設定されます。デフォルトは 0 で、入力値にかかわらず出力を 0 に駆動します (グラウンドとして機能)。ただし多くの場合、LUT プリミティブのロジック ファンクションを指定するため、INIT 値を設定する必要があります。LUT の値を指定する方法には、次の 2 つがあります。

論理表を使用する方法 : LUT の INIT 値を決定する一般的な方法。すべての入力をリストした 2 進数の論理表を作成し、出力の論理値を指定して、これらの出力値から INIT 文字列を作成します。

論理式を使用する方法 : リストされた論理表の値に対応する LUT の各入力にパラメーターを定義し、パラメーターを基にロジックの論理式を生成します。概念を理解してしまえばこの方法の方が簡単ですが、コードで最初に適切なパラメーターを指定する必要があります。

論理表

入力				出力
I3	I2	I1	I0	LO
0	0	0	0	INIT[0]
0	0	0	1	INIT[1]
0	0	1	0	INIT[2]
0	0	1	1	INIT[3]
0	1	0	0	INIT[4]
0	1	0	1	INIT[5]
0	1	1	0	INIT[6]
0	1	1	1	INIT[7]
1	0	0	0	INIT[8]
1	0	0	1	INIT[9]
1	0	1	0	INIT[10]
1	0	1	1	INIT[11]
1	1	0	0	INIT[12]

入力				出力
I3	I2	I1	I0	LO
1	1	0	1	INIT[13]
1	1	1	0	INIT[14]
1	1	1	1	INIT[15]
INIT = INIT 属性で指定された 16 進数値を 2 進数で表した値				

デザインの入力方法

インスタンス化	可
推論	推奨
CORE Generator™ およびウィザード	不可
マクロのサポート	不可

使用可能な属性

属性	データ型	値	デフォルト	説明
INIT	16 進数	16 ビット値	すべて 0	ルックアップ テーブルの論理値を指定します。

VHDL 記述 (インスタンス化)

次の 2 つの文が存在しない場合は、コピーしてエンティティ宣言の前に貼り付けます。

```

Library UNISIM;
use UNISIM.vcomponents.all;

-- LUT4_L: 4-input Look-Up Table with local output
--          Virtex-4
-- Xilinx HDL Libraries Guide, version 14.5

LUT4_L_inst : LUT4_L
generic map (
  INIT => X"0000")
port map (
  LO => LO, -- LUT local output
  I0 => I0, -- LUT input
  I1 => I1, -- LUT input
  I2 => I2, -- LUT input
  I3 => I3  -- LUT input
);

-- End of LUT4_L_inst instantiation

```

Verilog 記述（インスタンスレーション）

```
// LUT4_L: 4-input Look-Up Table with local output
//          Virtex-4
// Xilinx HDL Libraries Guide, version 14.5

LUT4_L #(
    .INIT(16'h0000) // Specify LUT Contents
) LUT4_L_inst (
    .LO(LO), // LUT local output
    .I0(I0), // LUT input
    .I1(I1), // LUT input
    .I2(I2), // LUT input
    .I3(I3)  // LUT input
);

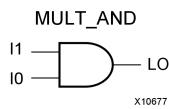
// End of LUT4_L_inst instantiation
```

詳細情報

- ・ [『Virtex-4 FPGA ユーザー ガイド』\(UG070\)](#)
- ・ [『Virtex-4 FPGA データシート：DC 特性およびスイッチ特性』\(DS302\)](#)

MULT_AND

プリミティブ：Fast Multiplier AND



概要

このデザイン エLEMENTはスライス内にある AND コンポーネントで、2 つの入力は 4 入力 LUT と共有され、出力はキャリー ロジックを駆動します。この追加のロジックはその他の目的でも使用できますが、高速で小型の乗算器の作成に特に有益です。I1 および I0 入力は、対応する LUT の I1 および I0 入力に接続する必要があります。LO 出力は、対応する MUXCY、MUXCY_D、または MUXCY_L の DI 入力に接続する必要があります。

論理表

入力		出力
I1	I0	LO
0	0	0
0	1	0
1	0	0
1	1	1

デザインの入力方法

インスタンス化	可
推論	推奨
CORE Generator™ およびウィザード	不可
マクロのサポート	不可

VHDL 記述（インスタンス化）

次の 2 つの文が存在しない場合は、コピーしてエンティティ宣言の前に貼り付けます。

```
Library UNISIM;
use UNISIM.vcomponents.all;

-- MULT_AND: 2-input AND gate connected to Carry chain
--           Virtex-4
-- Xilinx HDL Libraries Guide, version 14.5

MULT_AND_inst : MULT_AND
port map (
  LO => LO,    -- MULT_AND output (connect to MUXCY DI)
  I0 => I0,    -- MULT_AND data[0] input
  I1 => I1     -- MULT_AND data[1] input
);

-- End of MULT_AND_inst instantiation
```

Verilog 記述 (インスタンスレーション)

```
// MULT_AND: 2-input AND gate connected to Carry chain
//           Virtex-4
// Xilinx HDL Libraries Guide, version 14.5

MULT_AND MULT_AND_inst (
    .LO(LO),    // MULT_AND output (connect to MUXCY DI)
    .IO(IO),    // MULT_AND data[0] input
    .I1(I1)     // MULT_AND data[1] input
);

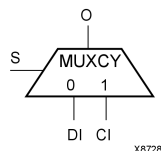
// End of MULT_AND_inst instantiation
```

詳細情報

- ・ [『Virtex-4 FPGA ユーザー ガイド』\(UG070\)](#)
- ・ [『Virtex-4 FPGA データシート：DC 特性およびスイッチ特性』\(DS302\)](#)

MUXCY

プリミティブ : 2-to-1 Multiplexer for Carry Logic with General Output



概要

スライスの直接入力 (DI) は、MUXCY の DI 入力に接続します。LC のキャリー入力 (CI) は、MUXCY の CI 入力に接続します。セレクト入力 (S) は、ルックアップ テーブル (LUT) の出力で駆動し、MUX ファンクションとしてコンフィギュレーションします。キャリー出力 (O) には選択された入力の値が出力され、各 LC のキャリー出力ファンクションをインプリメントします。S が Low の場合は DI が選択され、High の場合は CI が選択されます。

このほか、ローカル出力を持つ MUXCY_D および MUXCY_L があり、異なるタイミング モデルでレイアウト前のタイミングをより正確に予測する必要がある場合に使用できます。

論理表

入力			出力
S	DI	CI	O
0	1	X	1
0	0	X	0
1	X	1	1
1	X	0	0

デザインの入力方法

インスタンス化	可
推論	推奨
CORE Generator™ およびウィザード	不可
マクロのサポート	不可

VHDL 記述 (インスタンス化)

次の 2 つの文が存在しない場合は、コピーしてエンティティ宣言の前に貼り付けます。

```
Library UNISIM;
use UNISIM.vcomponents.all;

-- MUXCY: Carry-Chain MUX with general output
--       Virtex-4
-- Xilinx HDL Libraries Guide, version 14.5

MUXCY_inst : MUXCY
port map (
    O => O,    -- Carry output signal
    CI => CI,  -- Carry input signal
    DI => DI,  -- Data input signal
    S => S     -- MUX select, tie to '1' or LUT4 out
```

```
);  
-- End of MUXCY_inst instantiation
```

Verilog 記述 (インスタンス化)

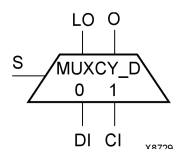
```
// MUXCY: Carry-Chain MUX with general output  
//      Virtex-4  
// Xilinx HDL Libraries Guide, version 14.5  
  
MUXCY MUXCY_inst (  
    .O(O), // Carry output signal  
    .CI(CI), // Carry input signal  
    .DI(DI), // Data input signal  
    .S(S) // MUX select, tie to '1' or LUT4 out  
);  
  
// End of MUXCY_inst instantiation
```

詳細情報

- ・ [『Virtex-4 FPGA ユーザー ガイド』\(UG070\)](#)
- ・ [『Virtex-4 FPGA データシート：DC 特性およびスイッチ特性』\(DS302\)](#)

MUXCY_D

プリミティブ：2-to-1 Multiplexer for Carry Logic with Dual Output



概要

このデザイン エLEMENTは、1 ビットの高速キャリー伝搬ファンクションをインプリメントするために使用します。このようなファンクションは、1 つのロジックセル (LC) に 1 つずつインプリメントできるので、1 つの CLB に合計 4 ビットをインプリメントできます。LC の直接入力 (DI) は MUXCY_D の DI 入力に接続し、LC のキャリー入力 (CI) は MUXCY_D の CI 入力に接続します。セレクト入力 (S) は、ルックアップ テーブル (LUT) の出力で駆動し、XOR ファンクションとしてコンフィギュレーションします。キャリー出力 (O と LO) には選択された入力の値が出力され、各 LC のキャリー出力ファンクションをインプリメントします。S が Low の場合は DI が選択され、High の場合は CI が選択されます。

出力 O と LO は、機能的に同じです。出力 O は汎用インターコネクトです。「MUXCY」および「MUXCY_L」も参照してください。

論理表

入力			出力	
S	DI	CI	O	LO
0	1	X	1	1
0	0	X	0	0
1	X	1	1	1
1	X	0	0	0

デザインの入力方法

インスタンス化	可
推論	推奨
CORE Generator™ およびウィザード	不可
マクロのサポート	不可

VHDL 記述 (インスタンス化)

次の 2 つの文が存在しない場合は、コピーしてエンティティ宣言の前に貼り付けます。

```
Library UNISIM;
use UNISIM.vcomponents.all;

-- MUXCY_D: Carry-Chain MUX with general and local outputs
--      Virtex-4
-- Xilinx HDL Libraries Guide, version 14.5

MUXCY_D_inst : MUXCY_D
port map (
    LO => LO, -- Carry local output signal
    O => O,   -- Carry general output signal
    CI => CI, -- Carry input signal
    DI => DI, -- Data input signal
    S => S    -- MUX select, tie to '1' or LUT4 out
);

-- End of MUXCY_D_inst instantiation
```

Verilog 記述 (インスタンス化)

```
// MUXCY_D: Carry-Chain MUX with general and local outputs
//      Virtex-4
// Xilinx HDL Libraries Guide, version 14.5

MUXCY_D MUXCY_D_inst (
    .LO(LO), // Carry local output signal
    .O(O),   // Carry general output signal
    .CI(CI), // Carry input signal
    .DI(DI), // Data input signal
    .S(S)    // MUX select, tie to '1' or LUT4 out
);

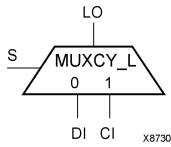
// End of MUXCY_D_inst instantiation
```

詳細情報

- ・ [『Virtex-4 FPGA ユーザー ガイド』\(UG070\)](#)
- ・ [『Virtex-4 FPGA データシート：DC 特性およびスイッチ特性』\(DS302\)](#)

MUXCY_L

プリミティブ：2-to-1 Multiplexer for Carry Logic with Local Output



概要

このデザイン エLEMENTは、1 ビットの高速キャリー伝搬ファンクションをインプリメントするために使用します。このようなファンクションは、1 つのロジックセル (LC) に 1 つずつインプリメントできるので、1 つの CLB に合計 4 ビットをインプリメントできます。LC の直接入力 (DI) は MUXCY_L の DI 入力に接続し、LC のキャリー入力 (CI) は MUXCY_L の CI 入力に接続します。セレクト入力 (S) は、ルックアップ テーブル (LUT) の出力で駆動し、XOR ファンクションとしてコンフィギュレーションします。キャリー出力 (LO) には選択された入力の値が出力され、各 LC のキャリー出力ファンクションをインプリメントします。S が Low の場合は DI が選択され、High の場合は CI が選択されます。

「MUXCY」および「MUXCY_D」も参照してください。

論理表

入力			出力
S	DI	CI	LO
0	1	X	1
0	0	X	0
1	X	1	1
1	X	0	0

デザインの入力方法

インスタンス化	可
推論	推奨
CORE Generator™ およびウィザード	不可
マクロのサポート	不可

VHDL 記述 (インスタンス化)

次の 2 つの文が存在しない場合は、コピーしてエンティティ宣言の前に貼り付けます。

```
Library UNISIM;
use UNISIM.vcomponents.all;

-- MUXCY_L: Carry-Chain MUX with local output
--          Virtex-4
-- Xilinx HDL Libraries Guide, version 14.5

MUXCY_L_inst : MUXCY_L
port map (
  LO => LO, -- Carry local output signal
  CI => CI, -- Carry input signal
  DI => DI, -- Data input signal
```

```
S => S    -- MUX select, tie to '1' or LUT4 out
);
-- End of MUXCY_L_inst instantiation
```

Verilog 記述 (インスタンス化)

```
// MUXCY_L: Carry-Chain MUX with local output
//      Virtex-4
// Xilinx HDL Libraries Guide, version 14.5

MUXCY_L MUXCY_L_inst (
    .LO(LO), // Carry local output signal
    .CI(CI), // Carry input signal
    .DI(DI), // Data input signal
    .S(S)    // MUX select, tie to '1' or LUT4 out
);

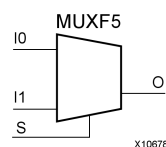
// End of MUXCY_L_inst instantiation
```

詳細情報

- ・ [『Virtex-4 FPGA ユーザー ガイド』\(UG070\)](#)
- ・ [『Virtex-4 FPGA データシート：DC 特性およびスイッチ特性』\(DS302\)](#)

MUXF5

プリミティブ：2-to-1 Look-Up Table Multiplexer with General Output



概要

このデザイン エLEMENTは、LUT4 ルックアップ テーブルと組み合わせて、5 ファンクションのルックアップ テーブルまたは 4:1 マルチプレクサーを作成するための 2 入力マルチプレクサーです。I0 および I1 入力には、2 つの LUT4 ルックアップ テーブルのローカル出力 (LO) を接続します。セレクト入力 (S) は、どの内部ネットでも駆動できます。S が Low の場合は I0 が選択され、High の場合は I1 が選択されます。

出力 O は汎用インターコネクトです。

このほか、ローカル出力を持つ MUXF5_D および MUXF5_L があり、異なるタイミング モデルでレイアウト前のタイミングをより正確に予測する必要がある場合に使用できます。

論理表

入力			出力
S	I0	I1	O
0	1	X	1
0	0	X	0
1	X	1	1
1	X	0	0

デザインの入力方法

インスタンス化	可
推論	推奨
CORE Generator™ およびウィザード	不可
マクロのサポート	不可

VHDL 記述 (インスタンスレーション)

次の 2 つの文が存在しない場合は、コピーしてエンティティ宣言の前に貼り付けます。

```
Library UNISIM;
use UNISIM.vcomponents.all;

-- MUXF5: Slice MUX to tie two LUT4's together with general output
--      Virtex-4
-- Xilinx HDL Libraries Guide, version 14.5

MUXF5_inst : MUXF5
port map (
    O => O,      -- Output of MUX to general routing
    I0 => I0,    -- Input (tie directly to the output of LUT4)
    I1 => I1,    -- Input (tie directly to the output of LUT4)
    S => S       -- Input select to MUX
);

-- End of MUXF5_inst instantiation
```

Verilog 記述 (インスタンスレーション)

```
// MUXF5: Slice MUX to tie two LUT4's together with general output
//      Virtex-4
// Xilinx HDL Libraries Guide, version 14.5

MUXF5 MUXF5_inst (
    .O(O),      // Output of MUX to general routing
    .I0(I0),    // Input (tie directly to the output of LUT4)
    .I1(I1),    // Input (tie directly to the output of LUT4)
    .S(S)       // Input select to MUX
);

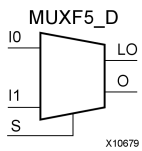
// End of MUXF5_inst instantiation
```

詳細情報

- ・ [『Virtex-4 FPGA ユーザー ガイド』\(UG070\)](#)
- ・ [『Virtex-4 FPGA データシート：DC 特性およびスイッチ特性』\(DS302\)](#)

MUXF5_D

プリミティブ：2-to-1 Look-Up Table Multiplexer with Dual Output



概要

このデザイン エLEMENTは、LUT4 ルックアップ テーブルと組み合わせて、5 ファンクションのルックアップ テーブルまたは 4:1 マルチプレクサーを作成するための 2 入力マルチプレクサーです。I0 および I1 入力には、2 つの LUT4 ルックアップ テーブルのローカル出力 (LO) を接続します。セレクト入力 (S) は、どの内部ネットでも駆動できます。S が Low の場合は I0 が選択され、High の場合は I1 が選択されます。

出力 O と LO は、機能的に同じです。出力 O は汎用インターコネクトです。LO 出力は、同じ CLB スライス内にある別の入力との接続に使用します。

「MUXF5」および「MUXF5_L」も参照してください。

論理表

入力			出力	
S	I0	I1	O	LO
0	1	X	1	1
0	0	X	0	0
1	X	1	1	1
1	X	0	0	0

デザインの入力方法

インスタンス化	可
推論	推奨
CORE Generator™ およびウィザード	不可
マクロのサポート	不可

VHDL 記述 (インスタンスレーション)

次の 2 つの文が存在しない場合は、コピーしてエンティティ宣言の前に貼り付けます。

```
Library UNISIM;
use UNISIM.vcomponents.all;

-- MUXF5_D: Slice MUX to tie two LUT4's together with general and local outputs
--      Virtex-4
-- Xilinx HDL Libraries Guide, version 14.5

MUXF5_D_inst : MUXF5_D
port map (
    LO => LO,  -- Output of MUX to local routing
    O  => O,   -- Output of MUX to general routing
    IO => IO,  -- Input (tie directly to the output of LUT4)
    I1 => I1,  -- Input (tie directly to the output of LUT4)
    S  => S    -- Input select to MUX
);

-- End of MUXF5_D_inst instantiation
```

Verilog 記述 (インスタンスレーション)

```
// MUXF5_D: Slice MUX to tie two LUT4's together with general and local outputs
//      Virtex-4
// Xilinx HDL Libraries Guide, version 14.5

MUXF5_D MUXF5_D_inst (
    .LO(LO),  // Output of MUX to local routing
    .O(O),   // Output of MUX to general routing
    .IO(IO), // Input (tie directly to the output of LUT4)
    .I1(I1), // Input (tie directly to the output of LUT4)
    .S(S)    // Input select to MUX
);

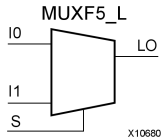
// End of MUXF5_D_inst instantiation
```

詳細情報

- ・ [『Virtex-4 FPGA ユーザー ガイド』\(UG070\)](#)
- ・ [『Virtex-4 FPGA データシート：DC 特性およびスイッチ特性』\(DS302\)](#)

MUXF5_L

プリミティブ：2-to-1 Look-Up Table Multiplexer with Local Output



概要

このデザイン エLEMENTは、LUT4 ルックアップ テーブルと組み合わせて、5 ファンクションのルックアップ テーブルまたは 4:1 マルチプレクサーを作成するための 2 入力マルチプレクサーです。I0 および I1 入力には、2 つの LUT4 ルックアップ テーブルのローカル出力 (LO) を接続します。セレクト入力 (S) は、どの内部ネットでも駆動できます。S が Low の場合は I0 が選択され、High の場合は I1 が選択されます。

LO 出力は、同じ CLB スライス内にある別の入力との接続に使用します。

「MUXF5」および「MUXF5_D」も参照してください。

論理表

入力			出力
S	I0	I1	LO
0	1	X	1
0	0	X	0
1	X	1	1
1	X	0	0

デザインの入力方法

インスタンス化	可
推論	推奨
CORE Generator™ およびウィザード	不可
マクロのサポート	不可

VHDL 記述 (インスタンス化)

次の 2 つの文が存在しない場合は、コピーしてエンティティ宣言の前に貼り付けます。

```
Library UNISIM;
use UNISIM.vcomponents.all;

-- MUXF5_L: Slice MUX to tie two LUT4's together with local output
--          Virtex-4
--          Xilinx HDL Libraries Guide, version 14.5

MUXF5_L_inst : MUXF5_L
port map (
    LO => LO, -- Output of MUX to local routing
    I0 => I0, -- Input (tie directly to the output of LUT4)
    I1 => I1, -- Input (tie directly to the output of LUT4)
    S  => S   -- Input select to MUX
```

```
);  
-- End of MUXF5_L_inst instantiation
```

Verilog 記述 (インスタンス化)

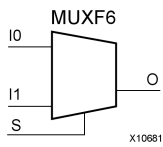
```
// MUXF5_L: Slice MUX to tie two LUT4's together with local output  
//      Virtex-4  
// Xilinx HDL Libraries Guide, version 14.5  
  
MUXF5_L MUXF5_L_inst (  
    .LO(LO), // Output of MUX to local routing  
    .IO(IO), // Input (tie directly to the output of LUT4)  
    .I1(I1), // Input (tie directly to the output of LUT4)  
    .S(S)    // Input select to MUX  
);  
  
// End of MUXF5_L_inst instantiation
```

詳細情報

- ・ [『Virtex-4 FPGA ユーザー ガイド』\(UG070\)](#)
- ・ [『Virtex-4 FPGA データシート：DC 特性およびスイッチ特性』\(DS302\)](#)

MUXF6

プリミティブ：2-to-1 Look-Up Table Multiplexer with General Output



概要

このデザイン エLEMENTは、4 つの LUT4 ルックアップ テーブルおよび 2 つの MUXF5 マルチプレクサーと組み合わせて、スライス 2 つに 6 ファンクションのルックアップ テーブルまたは 8:1 マルチプレクサーを作成するための 2 入力 マルチプレクサーです。I0 および I1 入力には、同じ CLB 内にある 2 つの MUXF5 マルチプレクサーのローカル出力 (LO) を接続します。セレクト入力 (S) は、どの内部ネットでも駆動できます。S が Low の場合は I0 が選択され、High の場合は I1 が選択されます。

出力 O は汎用インターコネクトです。

このほか、ローカル出力を持つ MUXF6_D および MUXF6_L があり、異なるタイミング モデルでレイアウト前のタイミング をより正確に予測する場合に使用できます。

論理表

入力			出力
S	I0	I1	O
0	1	X	1
0	0	X	0
1	X	1	1
1	X	0	0

デザインの入力方法

インスタンス化	可
推論	推奨
CORE Generator™ およびウィザード	不可
マクロのサポート	不可

VHDL 記述 (インスタンスレーション)

次の 2 つの文が存在しない場合は、コピーしてエンティティ宣言の前に貼り付けます。

```
Library UNISIM;
use UNISIM.vcomponents.all;

-- MUXF6: CLB MUX to tie two MUXF5's together with general output
--      Virtex-4
-- Xilinx HDL Libraries Guide, version 14.5

MUXF6_inst : MUXF6
port map (
    O => O,      -- Output of MUX to general routing
    IO => IO,    -- Input (tie to MUXF5 LO out)
    I1 => I1,    -- Input (tie to MUXF5 LO out)
    S => S       -- Input select to MUX
);

-- End of MUXF6_inst instantiation
```

Verilog 記述 (インスタンスレーション)

```
// MUXF6: CLB MUX to tie two MUXF5's together with general output
//      Virtex-4
// Xilinx HDL Libraries Guide, version 14.5

MUXF6 MUXF6_inst (
    .O(O),      // Output of MUX to general routing
    .IO(IO),    // Input (tie to MUXF5 LO out)
    .I1(I1),    // Input (tie to MUXF5 LO out)
    .S(S)       // Input select to MUX
);

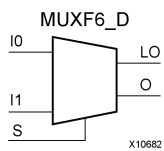
// End of MUXF6_inst instantiation
```

詳細情報

- ・ [『Virtex-4 FPGA ユーザー ガイド』\(UG070\)](#)
- ・ [『Virtex-4 FPGA データシート：DC 特性およびスイッチ特性』\(DS302\)](#)

MUXF6_D

プリミティブ：2-to-1 Look-Up Table Multiplexer with Dual Output



概要

このデザイン エLEMENTは、4 つの LUT4 ルックアップ テーブルおよび 2 つの MUXF5 マルチプレクサーと組み合わせて、スライス 2 つに 6 ファンクションのルックアップ テーブルまたは 8:1 マルチプレクサーを作成するための 2 入力 マルチプレクサーです。I0 および I1 入力には、同じ CLB 内にある 2 つの MUXF5 マルチプレクサーのローカル出力 (LO) を接続します。セレクト入力 (S) は、どの内部ネットでも駆動できます。S が Low の場合は I0 が選択され、High の場合は I1 が選択されます。

出力 O と LO は、機能的に同じです。出力 O は汎用インターコネクトです。LO 出力は、同じ CLB スライス内にある別の入力との接続に使用します。

「MUXF6」および「MUXF6_L」も参照してください。

論理表

入力			出力	
S	I0	I1	O	LO
0	1	X	1	1
0	0	X	0	0
1	X	1	1	1
1	X	0	0	0

デザインの入力方法

インスタンス化	可
推論	推奨
CORE Generator™ およびウィザード	不可
マクロのサポート	不可

VHDL 記述 (インスタンスレーション)

次の 2 つの文が存在しない場合は、コピーしてエンティティ宣言の前に貼り付けます。

```
Library UNISIM;
use UNISIM.vcomponents.all;

-- MUXF6_D: CLB MUX to tie two MUXF5's together with general and local outputs
--      Virtex-4
-- Xilinx HDL Libraries Guide, version 14.5

MUXF6_D_inst : MUXF6_D
port map (
    LO => LO,  -- Output of MUX to local routing
    O  => O,   -- Output of MUX to general routing
    IO => IO,  -- Input (tie to MUXF5 LO out)
    I1 => I1,  -- Input (tie to MUXF5 LO out)
    S  => S    -- Input select to MUX
);

-- End of MUXF6_D_inst instantiation
```

Verilog 記述 (インスタンスレーション)

```
// MUXF6_D: CLB MUX to tie two MUXF5's together with general and local outputs
//      Virtex-4
// Xilinx HDL Libraries Guide, version 14.5

MUXF6_D MUXF6_D_inst (
    .LO(LO),  // Output of MUX to local routing
    .O(O),   // Output of MUX to general routing
    .IO(IO), // Input (tie to MUXF5 LO out)
    .I1(I1), // Input (tie to MUXF5 LO out)
    .S(S)    // Input select to MUX
);

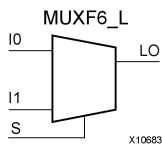
// End of MUXF6_D_inst instantiation
```

詳細情報

- ・ [『Virtex-4 FPGA ユーザー ガイド』\(UG070\)](#)
- ・ [『Virtex-4 FPGA データシート：DC 特性およびスイッチ特性』\(DS302\)](#)

MUXF6_L

プリミティブ：2-to-1 Look-Up Table Multiplexer with Local Output



概要

このデザイン エLEMENTは、4 つの LUT4 ルックアップ テーブルおよび 2 つの MUXF5 マルチプレクサーと組み合わせて、スライス 2 つに 6 ファンクションのルックアップ テーブルまたは 8:1 マルチプレクサーを作成するための 2 入力 マルチプレクサーです。I0 および I1 入力には、同じ CLB 内にある 2 つの MUXF5 マルチプレクサーのローカル出力 (LO) を接続します。セレクト入力 (S) は、どの内部ネットでも駆動できます。S が Low の場合は I0 が選択され、High の場合は I1 が選択されます。

LO 出力は、同じ CLB スライス内にある別の入力との接続に使用します。

「MUXF6」および「MUXF6_D」も参照してください。

論理表

入力			出力
S	I0	I1	LO
0	1	X	1
0	0	X	0
1	X	1	1
1	X	0	0

デザインの入力方法

インスタンス化	可
推論	推奨
CORE Generator™ およびウィザード	不可
マクロのサポート	不可

VHDL 記述 (インスタンスレーション)

次の 2 つの文が存在しない場合は、コピーしてエンティティ宣言の前に貼り付けます。

```
Library UNISIM;
use UNISIM.vcomponents.all;

-- MUXF6_L: CLB MUX to tie two MUXF5's together with local output
--          Virtex-4
-- Xilinx HDL Libraries Guide, version 14.5

MUXF6_L_inst : MUXF6_L
port map (
    LO => LO,  -- Output of MUX to local routing
    IO => IO,  -- Input (tie to MUXF5 LO out)
    I1 => I1,  -- Input (tie to MUXF5 LO out)
    S => S     -- Input select to MUX
);

-- End of MUXF6_L_inst instantiation
```

Verilog 記述 (インスタンスレーション)

```
// MUXF6_L: CLB MUX to tie two MUXF5's together with local output
//          Virtex-4
// Xilinx HDL Libraries Guide, version 14.5

MUXF6_L MUXF6_L_inst (
    .LO(IO), // Output of MUX to local routing
    .IO(IO), // Input (tie to MUXF5 LO out)
    .I1(I1), // Input (tie to MUXF5 LO out)
    .S(S)    // Input select to MUX
);

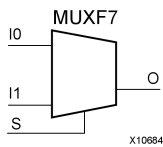
// End of MUXF6_L_inst instantiation
```

詳細情報

- ・ [『Virtex-4 FPGA ユーザー ガイド』\(UG070\)](#)
- ・ [『Virtex-4 FPGA データシート：DC 特性およびスイッチ特性』\(DS302\)](#)

MUXF7

プリミティブ：2-to-1 Look-Up Table Multiplexer with General Output



概要

このデザイン エLEMENTは、MUXF6 および MUXF5 マルチプレクサー、LUT4 ルックアップ テーブルと組み合わせて、7 ファンクションのルックアップ テーブルまたは 16:1 マルチプレクサーを作成するための 2 入力マルチプレクサーです。I0 および I1 入力には、MUXF6 の 2 つのローカル出力 (LO) を接続します。セレクト入力 (S) は、どの内部ネットでも駆動できます。S が Low の場合は I0 が選択され、High の場合は I1 が選択されます。

出力 O は汎用インターコネクトです。

このほか、ローカル出力を持つ MUXF7_D および MUXF7_L があり、異なるタイミング モデルでレイアウト前のタイミングをより正確に予測する必要がある場合に使用できます。

論理表

入力			出力
S	I0	I1	O
0	I0	X	I0
1	X	I1	I1
X	0	0	0
X	1	1	1

ポートの説明

ポート名	方向	幅	機能
O	出力	1	汎用配線への MUX の出力
I0	入力	1	入力 (MUXF6 LO 出力に接続)
I1	入力	1	入力 (MUXF6 LO 出力に接続)
S	入力	1	MUX への入力セレクト

デザインの入力方法

インスタンス化	可
推論	推奨
CORE Generator™ およびウィザード	不可
マクロのサポート	不可

VHDL 記述 (インスタンス化)

次の 2 つの文が存在しない場合は、コピーしてエンティティ宣言の前に貼り付けます。

```
Library UNISIM;
use UNISIM.vcomponents.all;

-- MUXF7: CLB MUX to tie two MUXF6's together with general output
--      Virtex-4
-- Xilinx HDL Libraries Guide, version 14.5

MUXF7_inst : MUXF7
port map (
    O => O,      -- Output of MUX to general routing
    I0 => I0,    -- Input (tie to MUXF6 LO out or LUT6 O6 pin)
    I1 => I1,    -- Input (tie to MUXF6 LO out or LUT6 O6 pin)
    S => S       -- Input select to MUX
);

-- End of MUXF7_inst instantiation
```

Verilog 記述 (インスタンス化)

```
// MUXF7: CLB MUX to tie two MUXF6's together with general output
//      Virtex-4
// Xilinx HDL Libraries Guide, version 14.5

MUXF7 MUXF7_inst (
    .O(O),      // Output of MUX to general routing
    .I0(I0),    // Input (tie to MUXF6 LO out or LUT6 O6 pin)
    .I1(I1),    // Input (tie to MUXF6 LO out or LUT6 O6 pin)
    .S(S)       // Input select to MUX
);

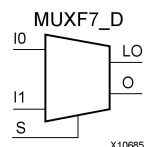
// End of MUXF7_inst instantiation
```

詳細情報

- ・ [『Virtex-4 FPGA ユーザー ガイド』\(UG070\)](#)
- ・ [『Virtex-4 FPGA データシート：DC 特性およびスイッチ特性』\(DS302\)](#)

MUXF7_D

プリミティブ：2-to-1 Look-Up Table Multiplexer with Dual Output



概要

このデザイン エLEMENTは、MUXF6 および MUXF5 マルチプレクサー、LUT4 ルックアップ テーブルと組み合わせて、7 ファンクションのルックアップ テーブルまたは 16:1 マルチプレクサーを作成するための 2 入力マルチプレクサーです。I0 および I1 入力には、MUXF6 の 2 つのローカル出力 (LO) を接続します。セレクト入力 (S) は、どの内部ネットでも駆動できます。S が Low の場合は I0 が選択され、High の場合は I1 が選択されます。

出力 O と LO は、機能的に同じです。出力 O は汎用インターコネクトです。LO 出力は、同じ CLB スライス内にある別の入力との接続に使用します。

「MUXF7」および「MUXF7_L」も参照してください。

論理表

入力			出力	
S	I0	I1	O	LO
0	I0	X	I0	I0
1	X	I1	I1	I1
X	0	0	0	0
X	1	1	1	1

ポートの説明

ポート名	方向	幅	機能
O	出力	1	汎用配線への MUX の出力
LO	出力	1	ローカル配線への MUX の出力
I0	入力	1	入力 (MUXF6 LO 出力に接続)
I1	入力	1	入力 (MUXF6 LO 出力に接続)
S	入力	1	MUX への入力セレクト

デザインの入力方法

インスタンス化	可
推論	推奨
CORE Generator™ およびウィザード	不可
マクロのサポート	不可

VHDL 記述 (インスタンス化)

次の 2 つの文が存在しない場合は、コピーしてエンティティ宣言の前に貼り付けます。

```
Library UNISIM;
use UNISIM.vcomponents.all;

-- MUXF7_D: CLB MUX to tie two MUXF6's together with general and local outputs
--      Virtex-4
-- Xilinx HDL Libraries Guide, version 14.5

MUXF7_D_inst : MUXF7_D
port map (
    LO => LO,  -- Output of MUX to local routing
    O  => O,   -- Output of MUX to general routing
    IO => IO,  -- Input (tie to MUXF6 LO out or LUT6 O6 pin)
    I1 => I1,  -- Input (tie to MUXF6 LO out or LUT6 O6 pin)
    S  => S    -- Input select to MUX
);

-- End of MUXF7_D_inst instantiation
```

Verilog 記述 (インスタンス化)

```
// MUXF7_D: CLB MUX to tie two MUXF6's together with general and local outputs
//      Virtex-4
// Xilinx HDL Libraries Guide, version 14.5

MUXF7_D MUXF7_D_inst (
    .LO(LO),  // Output of MUX to local routing
    .O(O),   // Output of MUX to general routing
    .IO(IO), // Input (tie to MUXF6 LO out or LUT6 O6 pin)
    .I1(I1), // Input (tie to MUXF6 LO out or LUT6 O6 pin)
    .S(S)    // Input select to MUX
);

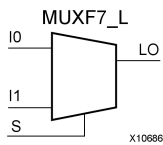
// End of MUXF7_D_inst instantiation
```

詳細情報

- ・ [『Virtex-4 FPGA ユーザー ガイド』\(UG070\)](#)
- ・ [『Virtex-4 FPGA データシート：DC 特性およびスイッチ特性』\(DS302\)](#)

MUXF7_L

プリミティブ：2-to-1 look-up table Multiplexer with Local Output



概要

このデザイン エLEMENTは、MUXF6 および MUXF5 マルチプレクサー、LUT4 ルックアップ テーブルと組み合わせて、7 ファンクションのルックアップ テーブルまたは 16:1 マルチプレクサーを作成するための 2 入力マルチプレクサーです。I0 および I1 入力には、MUXF6 の 2 つのローカル出力 (LO) を接続します。セレクト入力 (S) は、どの内部ネットでも駆動できます。S が Low の場合は I0 が選択され、High の場合は I1 が選択されます。

LO 出力は、同じ CLB スライス内にある別の入力との接続に使用します。

「MUXF7」および「MUXF7_D」も参照してください。

論理表

入力			出力
S	I0	I1	LO
0	I0	X	I0
1	X	I1	I1
X	0	0	0
X	1	1	1

ポートの説明

ポート名	方向	幅	機能
LO	出力	1	ローカル配線への MUX の出力
I0	入力	1	入力
I1	入力	1	入力
S	入力	1	MUX への入力セレクト

デザインの入力方法

インスタンス化	可
推論	推奨
CORE Generator™ およびウィザード	不可
マクロのサポート	不可

VHDL 記述 (インスタンスレーション)

次の 2 つの文が存在しない場合は、コピーしてエンティティ宣言の前に貼り付けます。

```
Library UNISIM;
use UNISIM.vcomponents.all;

-- MUXF7_L: CLB MUX to tie two MUXF6's together with local output
--          Virtex-4
-- Xilinx HDL Libraries Guide, version 14.5

MUXF7_L_inst : MUXF7_L
port map (
    LO => LO,  -- Output of MUX to local routing
    IO => IO,  -- Input (tie to MUXF6 LO out or LUT6 O6 pin)
    I1 => I1,  -- Input (tie to MUXF6 LO out or LUT6 O6 pin)
    S => S     -- Input select to MUX
);

-- End of MUXF7_L_inst instantiation
```

Verilog 記述 (インスタンスレーション)

```
// MUXF7_L: CLB MUX to tie two MUXF6's together with local output
//          Virtex-4
// Xilinx HDL Libraries Guide, version 14.5

MUXF7_L MUXF7_L_inst (
    .LO(IO),  // Output of MUX to local routing
    .IO(IO),  // Input (tie to MUXF6 LO out or LUT6 O6 pin)
    .I1(I1),  // Input (tie to MUXF6 LO out or LUT6 O6 pin)
    .S(S)     // Input select to MUX
);

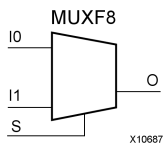
// End of MUXF7_L_inst instantiation
```

詳細情報

- ・ [『Virtex-4 FPGA ユーザー ガイド』\(UG070\)](#)
- ・ [『Virtex-4 FPGA データシート：DC 特性およびスイッチ特性』\(DS302\)](#)

MUXF8

プリミティブ : 2-to-1 Look-Up Table Multiplexer with General Output



概要

このデザイン エLEMENTは、ルックアップ テーブル、MUXF5、MUXF6、および MUXF7 と組み合わせて、スライス 8 個に 8 ファンクションのルックアップ テーブルまたは 32:1 マルチプレクサーを作成するためのマルチプレクサーです。I0 および I1 入力には、MUXF7 のローカル出力 (LO) を接続します。セレクト入力 (S) は、どの内部ネットでも駆動できます。S が Low の場合は I0 が選択され、High の場合は I1 が選択されます。

論理表

入力			出力
S	I0	I1	O
0	I0	X	I0
1	X	I1	I1
X	0	0	0
X	1	1	1

ポートの説明

ポート名	方向	幅	機能
O	出力	1	汎用配線への MUX の出力
I0	入力	1	入力 (MUXF7 LO 出力に接続)
I1	入力	1	入力 (MUXF7 LO 出力に接続)
S	入力	1	MUX への入力セレクト

デザインの入力方法

インスタンス化	可
推論	推奨
CORE Generator™ およびウィザード	不可
マクロのサポート	不可

VHDL 記述 (インスタンスレーション)

次の 2 つの文が存在しない場合は、コピーしてエンティティ宣言の前に貼り付けます。

```
Library UNISIM;
use UNISIM.vcomponents.all;

-- MUXF8: CLB MUX to tie two MUXF7's together with general output
--      Virtex-4
-- Xilinx HDL Libraries Guide, version 14.5

MUXF8_inst : MUXF8
port map (
    O => O,      -- Output of MUX to general routing
    IO => IO,    -- Input (tie to MUXF7 LO out)
    I1 => I1,    -- Input (tie to MUXF7 LO out)
    S => S       -- Input select to MUX
);

-- End of MUXF8_inst instantiation
```

Verilog 記述 (インスタンスレーション)

```
// MUXF8: CLB MUX to tie two MUXF7's together with general output
//      Virtex-4
// Xilinx HDL Libraries Guide, version 14.5

MUXF8 MUXF8_inst (
    .O(O),      // Output of MUX to general routing
    .IO(IO),    // Input (tie to MUXF7 LO out)
    .I1(I1),    // Input (tie to MUXF7 LO out)
    .S(S)       // Input select to MUX
);

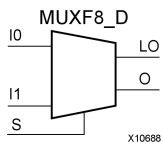
// End of MUXF8_inst instantiation
```

詳細情報

- ・ [『Virtex-4 FPGA ユーザー ガイド』\(UG070\)](#)
- ・ [『Virtex-4 FPGA データシート：DC 特性およびスイッチ特性』\(DS302\)](#)

MUXF8_D

プリミティブ：2-to-1 Look-Up Table Multiplexer with Dual Output



概要

このデザイン エLEMENTは、ルックアップ テーブル、MUXF5、MUXF6、および MUXF7 を組み合わせて、スライス 8 個に 8 ファンクションのルックアップ テーブルまたは 32:1 マルチプレクサーを作成するためのマルチプレクサーです。I0 および I1 入力には、MUXF7 のローカル出力 (LO) を接続します。セレクト入力 (S) は、どの内部ネットでも駆動できます。S が Low の場合は I0 が選択され、High の場合は I1 が選択されます。

出力 O と LO は、機能的に同じです。出力 O は汎用インターコネクトです。LO 出力は、同じ CLB スライス内にある別の入力との接続に使用します。

論理表

入力			出力	
S	I0	I1	O	LO
0	I0	X	I0	I0
1	X	I1	I1	I1
X	0	0	0	0
X	1	1	1	1

ポートの説明

ポート名	方向	幅	機能
O	出力	1	汎用配線への MUX の出力
LO	出力	1	ローカル配線への MUX の出力
I0	入力	1	入力 (MUXF7 LO 出力に接続)
I1	入力	1	入力 (MUXF7 LO 出力に接続)
S	入力	1	MUX への入力セレクト

デザインの入力方法

インスタンス化	可
推論	推奨
CORE Generator™ およびウィザード	不可
マクロのサポート	不可

VHDL 記述 (インスタンスレーション)

次の 2 つの文が存在しない場合は、コピーしてエンティティ宣言の前に貼り付けます。

```
Library UNISIM;
use UNISIM.vcomponents.all;

-- MUXF8_D: CLB MUX to tie two MUXF7's together with general and local outputs
--      Virtex-4
-- Xilinx HDL Libraries Guide, version 14.5

MUXF8_D_inst : MUXF8_D
port map (
    LO => LO,  -- Output of MUX to local routing
    O  => O,  -- Output of MUX to general routing
    IO => IO,  -- Input (tie to MUXF7 LO out)
    I1 => I1,  -- Input (tie to MUXF7 LO out)
    S  => S    -- Input select to MUX
);

-- End of MUXF8_D_inst instantiation
```

Verilog 記述 (インスタンスレーション)

```
// MUXF8_D: CLB MUX to tie two MUXF7's together with general and local outputs
//      Virtex-4
// Xilinx HDL Libraries Guide, version 14.5

MUXF8_D MUXF8_D_inst (
    .LO(LO),  // Output of MUX to local routing
    .O(O),    // Output of MUX to general routing
    .IO(IO),  // Input (tie to MUXF7 LO out)
    .I1(I1),  // Input (tie to MUXF7 LO out)
    .S(S)     // Input select to MUX
);

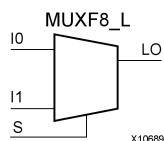
// End of MUXF8_D_inst instantiation
```

詳細情報

- ・ [『Virtex-4 FPGA ユーザー ガイド』\(UG070\)](#)
- ・ [『Virtex-4 FPGA データシート：DC 特性およびスイッチ特性』\(DS302\)](#)

MUXF8_L

プリミティブ : 2-to-1 Look-Up Table Multiplexer with Local Output



概要

このデザイン エLEMENTは、ルックアップ テーブル、MUXF5、MUXF6、および MUXF7 を組み合わせて、スライス 8 個に 8 ファンクションのルックアップ テーブルまたは 32:1 マルチプレクサーを作成するためのマルチプレクサーです。I0 および I1 入力には、MUXF7 のローカル出力 (LO) を接続します。セレクト入力 (S) は、どの内部ネットでも駆動できます。S が Low の場合は I0 が選択され、High の場合は I1 が選択されます。

LO 出力は、同じ CLB スライス内にある別の入力との接続に使用します。

論理表

入力			出力
S	I0	I1	LO
0	I0	X	I0
1	X	I1	I1
X	0	0	0
X	1	1	1

ポートの説明

ポート名	方向	幅	機能
LO	出力	1	ローカル配線への MUX の出力
I0	入力	1	入力 (MUXF7 LO 出力に接続)
I1	入力	1	入力 (MUXF7 LO 出力に接続)
S	入力	1	MUX への入力セレクト

デザインの入力方法

インスタンス化	可
推論	推奨
CORE Generator™ およびウィザード	不可
マクロのサポート	不可

VHDL 記述 (インスタンスレーション)

次の 2 つの文が存在しない場合は、コピーしてエンティティ宣言の前に貼り付けます。

```
Library UNISIM;
use UNISIM.vcomponents.all;

-- MUXF8_L: CLB MUX to tie two MUXF7's together with local output
--      Virtex-4
-- Xilinx HDL Libraries Guide, version 14.5

MUXF8_L_inst : MUXF8_L
port map (
    LO => LO,  -- Output of MUX to local routing
    IO => IO,  -- Input (tie to MUXF7 LO out)
    I1 => I1,  -- Input (tie to MUXF7 LO out)
    S => S     -- Input select to MUX
);

-- End of MUXF8_L_inst instantiation
```

Verilog 記述 (インスタンスレーション)

```
// MUXF8_L: CLB MUX to tie two MUXF7's together with local output
//      Virtex-4
// Xilinx HDL Libraries Guide, version 14.5

MUXF8_L MUXF8_L_inst (
    .LO(IO), // Output of MUX to local routing
    .IO(IO), // Input (tie to MUXF7 LO out)
    .I1(I1), // Input (tie to MUXF7 LO out)
    .S(S)    // Input select to MUX
);

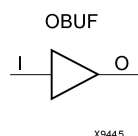
// End of MUXF8_L_inst instantiation
```

詳細情報

- ・ [『Virtex-4 FPGA ユーザー ガイド』\(UG070\)](#)
- ・ [『Virtex-4 FPGA データシート：DC 特性およびスイッチ特性』\(DS302\)](#)

OBUF

プリミティブ：Output Buffer



概要

このデザイン エLEMENTは単純な出力バッファで、トライステートにならない（常に駆動される）FPGA デバイス ピンへの出力信号を駆動するために使用します。デザインのすべての出力ポートに OBUF、OBUFT、OBUFDS、OBUFTDS のいずれかを接続する必要があります。

このELEMENTは内部回路を外部から分離し、チップから出力する信号の駆動電流を供給します。I/O ブロック (IOB) 内にあります。出力 (O) は、OPAD または IOPAD に接続されます。このELEMENTでは、LVTTTL 規格が使用され、DRIVE 制約と SLOW または FAST 制約を使用して駆動電流とスルー レートを選択できます。デフォルトでは、DRIVE は 12mA、スルー レートは SLOW に設定されています。

ポートの説明

ポート名	方向	幅	機能
O	出力	1	最上位出力ポートに直接接続される OBUF の出力
I	入力	1	OBUF の入力。出力ポートを駆動するロジックに接続

デザインの入力方法

インスタンス化	可
推論	推奨
CORE Generator™ およびウィザード	不可
マクロのサポート	不可

使用可能な属性

属性	データ型	値	デフォルト	説明
CAPACITANCE	文字列	"LOW"、 "NORMAL"、 "DONT_CARE"	"DONT_CARE"	I/O を低い固有キャパシタンスまたは通常の固有キャパシタンスのどちらと共に使用するかを指定します。
DRIVE	整数	2、4、6、8、12、16、 24	12	出力の駆動電流を指定します。デザインの駆動電流およびタイミング要件で許容される最も低い値を使用することが推奨されます。
IOSTANDARD	文字列	データシートを参照	"DEFAULT"	ELEMENTに I/O 規格を割り当てます。
SLEW	文字列	"SLOW"、"FAST"	"SLOW"	出力ドライバーのスルー レートを指定します。この属性の最適な設定方法は、データシートを参照してください。

VHDL 記述 (インスタンスレーション)

次の 2 つの文が存在しない場合は、コピーしてエンティティ宣言の前に貼り付けます。

```
Library UNISIM;
use UNISIM.vcomponents.all;

-- OBUF: Single-ended Output Buffer
--      Virtex-4
-- Xilinx HDL Libraries Guide, version 14.5

OBUF_inst : OBUF
generic map (
  CAPACITANCE => "DONT_CARE", -- "LOW", "NORMAL", "DONT_CARE"
  DRIVE      => 12,
  IOSTANDARD => "DEFAULT",
  SLEW       => "SLOW")
port map (
  O => O,      -- Buffer output (connect directly to top-level port)
  I => I       -- Buffer input
);

-- End of OBUF_inst instantiation
```

Verilog 記述 (インスタンスレーション)

```
// OBUF: Single-ended Output Buffer
//      Virtex-4
// Xilinx HDL Libraries Guide, version 14.5

OBUF #(
  .CAPACITANCE("DONT_CARE"), // "DONT_CARE". "LOW" or "NORMAL" (Virtex-4 only)
  .DRIVE(12),               // Specify the output drive strength
  .IOSTANDARD("DEFAULT"),   // Specify the output I/O standard
  .SLEW("SLOW")             // Specify the output slew rate
) OBUF_inst (
  .O(O),                    // Buffer output (connect directly to top-level port)
  .I(I)                     // Buffer input
);

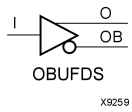
// End of OBUF_inst instantiation
```

詳細情報

- ・ [『Virtex-4 FPGA ユーザー ガイド』\(UG070\)](#)
- ・ [『Virtex-4 FPGA データシート：DC 特性およびスイッチ特性』\(DS302\)](#)

OBUFDS

プリミティブ：Differential Signaling Output Buffer



概要

このデザイン エLEMENTは、低電圧の差動信号 (1.8V CMOS) をサポートする単一の出力バッファです。内部回路を外部から分離し、チップから出力する信号の駆動電流を供給します。出力には 2 つの異なるポート (O および OB) があり、これらのポートをそれぞれ「マスター」および「スレーブ」と呼びます。マスターとスレーブは MYNET と MYNETB のように、同じ論理信号の反対の状態を示します。

論理表

入力	出力	
I	O	OB
0	0	1
1	1	0

ポートの説明

ポート名	方向	幅	機能
O	出力	1	Diff_p 出力 (最上位ポートに直接接続)
OB	出力	1	Diff_n 出力 (最上位ポートに直接接続)
I	入力	1	バッファの入力

デザインの入力方法

インスタンスエーション	推奨
推論	不可
CORE Generator™ およびウィザード	不可
マクロのサポート	不可

使用可能な属性

属性	データ型	値	デフォルト	説明
CAPACITANCE	文字列	"LOW"、"NORMAL"、 "DONT_CARE"	"DONT_CARE"	I/O に低キャパシタンスを使用するか、または通常の固有キャパシタンスを使用するかを指定します。
IOSTANDARD	文字列	データシートを参照	"DEFAULT"	ELEMENT に I/O 規格を割り当てます。

VHDL 記述 (インスタンスレーション)

次の 2 つの文が存在しない場合は、コピーしてエンティティ宣言の前に貼り付けます。

```
Library UNISIM;
use UNISIM.vcomponents.all;

-- OBUFDS: Differential Output Buffer
--       Virtex-4
-- Xilinx HDL Libraries Guide, version 14.5

OBUFDS_inst : OBUFDS
generic map (
  CAPACITANCE => "DONT_CARE", -- "LOW", "NORMAL", "DONT_CARE"
  IOSTANDARD  => "DEFAULT")
port map (
  O => O,      -- Diff_p output (connect directly to top-level port)
  OB => OB,     -- Diff_n output (connect directly to top-level port)
  I => I       -- Buffer input
);

-- End of OBUFDS_inst instantiation
```

Verilog 記述 (インスタンスレーション)

```
// OBUFDS: Differential Output Buffer
//       Virtex-4
// Xilinx HDL Libraries Guide, version 14.5

OBUFDS #(
  .CAPACITANCE("DONT_CARE"), // "DONT_CARE". "LOW" or "NORMAL" (Virtex-4 only)
  .IOSTANDARD("DEFAULT") // Specify the output I/O standard
) OBUFDS_inst (
  .O(O),      // Diff_p output (connect directly to top-level port)
  .OB(OB),    // Diff_n output (connect directly to top-level port)
  .I(I)       // Buffer input
);

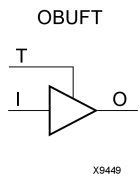
// End of OBUFDS_inst instantiation
```

詳細情報

- ・ [『Virtex-4 FPGA ユーザー ガイド』\(UG070\)](#)
- ・ [『Virtex-4 FPGA データシート：DC 特性およびスイッチ特性』\(DS302\)](#)

OBUFT

プリミティブ : 3-State Output Buffer with Active Low Output Enable



概要

このデザイン エLEMENTは、入力 (I)、出力 (O)、アクティブ Low 出力イネーブル (T) を持つ単一のトライステート出力バッファです。このELEMENTでは、LVTTTL 規格が使用され、DRIVE 制約と SLOW または FAST 制約を使用して駆動電流とスルー レートを選択できます。デフォルトでは、DRIVE=12mA、スルー レートは SLOW に設定されています。

T が Low の場合、バッファに入力された値が対応する出力に送られます。T が High の場合は、出力がハイインピーダンス (オフまたは Z ステート) になります。OBUFT は、双方向 I/O を作成するなど、トライステート機能にシングルエンド出力を使用する必要がある場合に使用します。

論理表

入力		出力
T	I	O
1	X	Z
0	1	1
0	0	0

ポートの説明

ポート名	方向	幅	機能
O	出力	1	バッファ出力 (最上位ポートに直接接続)
I	入力	1	バッファの入力
T	入力	1	トライステート イネーブル入力

デザインの入力方法

インスタンスエーション	可
推論	推奨
CORE Generator™ およびウィザード	不可
マクロのサポート	不可

使用可能な属性

属性	データ型	値	デフォルト	説明
CAPACITANCE	文字列	"LOW"、 "NORMAL"、 "DONT_CARE"	"DONT_CARE"	I/O を低いまたは通常の固有キャパシタンスと共に使用するかどうかを指定します。
DRIVE	整数	2、4、6、8、12、16、24	12	出力の駆動電流を指定します。デザインの駆動電流およびタイミング要件で許容される最も低い値を使用してください。
IOSTANDARD	文字列	データシートを参照	"DEFAULT"	エレメントに I/O 規格を割り当てます。
SLEW	文字列	"SLOW"、"FAST"	"SLOW"	出力ドライバースルー レートを指定します。この属性の最適な設定方法は、データシートを参照してください。

VHDL 記述 (インスタンスエーション)

次の 2 つの文が存在しない場合は、コピーしてエンティティ宣言の前に貼り付けます。

```

Library UNISIM;
use UNISIM.vcomponents.all;

-- OBUFT: Single-ended 3-state Output Buffer
--      Virtex-4
-- Xilinx HDL Libraries Guide, version 14.5

OBUFT_inst : OBUFT
generic map (
  CAPACITANCE => "DONT_CARE", -- "LOW", "NORMAL", "DONT_CARE"
  DRIVE => 12,
  IOSTANDARD => "DEFAULT",
  SLEW => "SLOW")
port map (
  O => O,      -- Buffer output (connect directly to top-level port)
  I => I,      -- Buffer input
  T => T       -- 3-state enable input
);

-- End of OBUFT_inst instantiation

```

Verilog 記述 (インスタンスエーション)

```

// OBUFT: Single-ended 3-state Output Buffer
//      Virtex-4
// Xilinx HDL Libraries Guide, version 14.5

OBUFT #(
  .CAPACITANCE("DONT_CARE"), // "DONT_CARE". "LOW" or "NORMAL" (Virtex-4 only)
  .DRIVE(12),               // Specify the output drive strength
  .IOSTANDARD("DEFAULT"),   // Specify the output I/O standard
  .SLEW("SLOW")             // Specify the output slew rate
) OBUFT_inst (
  .O(O),                   // Buffer output (connect directly to top-level port)
  .I(I),                   // Buffer input
  .T(T)                    // 3-state enable input
);

// End of OBUFT_inst instantiation

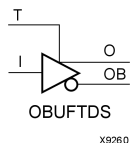
```

詳細情報

- ・ [『Virtex-4 FPGA ユーザー ガイド』\(UG070\)](#)
- ・ [『Virtex-4 FPGA データシート：DC 特性およびスイッチ特性』\(DS302\)](#)

OBUFTDS

プリミティブ：3-State Output Buffer with Differential Signaling, Active-Low Output Enable



概要

このデザイン エレメントは、低電圧差動信号をサポートする出力バッファです。OBUFTDS では、デザイン レベルのインターフェイス信号は、一方がマスターで、もう一方がスレーブとなる 2 つの異なるポート (O、OB) で表されます。マスターとスレーブは、MYNET_P と MYNET_N のように、同じ論理信号の反対の状態を示します。

論理表

入力		出力	
I	T	O	OB
X	1	Z	Z
0	0	0	1
1	0	1	0

ポートの説明

ポート名	方向	幅	機能
O	出力	1	Diff_p 出力 (最上位ポートに直接接続)
OB	出力	1	Diff_n 出力 (最上位ポートに直接接続)
I	入力	1	バッファの入力
T	入力	1	トライステート イネーブル入力

デザインの入力方法

インスタンス化	推奨
推論	不可
CORE Generator™ およびウィザード	不可
マクロのサポート	不可

使用可能な属性

属性	データ型	値	デフォルト	説明
CAPACITANCE	文字列	"LOW"、 "NORMAL"、 "DONT_CARE"	"DONT_CARE"	I/O に低キャパシタンスを使用するか、または通常の固有キャパシタンスを使用するかを指定します。
IOSTANDARD	文字列	データシートを参照	"DEFAULT"	エレメントに I/O 規格を割り当てます。

VHDL 記述 (インスタンスレーション)

次の 2 つの文が存在しない場合は、コピーしてエンティティ宣言の前に貼り付けます。

```
Library UNISIM;
use UNISIM.vcomponents.all;

-- OBUFTDS: Differential 3-state Output Buffer
--          Virtex-4
-- Xilinx HDL Libraries Guide, version 14.5

OBUFTDS_inst : OBUFTDS
generic map (
  CAPACITANCE => "DONT_CARE", -- "LOW", "NORMAL", "DONT_CARE"
  IOSTANDARD  => "DEFAULT")
port map (
  O => O,      -- Diff_p output (connect directly to top-level port)
  OB => OB,     -- Diff_n output (connect directly to top-level port)
  I => I,      -- Buffer input
  T => T       -- 3-state enable input
);

-- End of OBUFTDS_inst instantiation
```

Verilog 記述 (インスタンスレーション)

```
// OBUFTDS: Differential 3-state Output Buffer
//          Virtex-4
// Xilinx HDL Libraries Guide, version 14.5

OBUFTDS #(
  .CAPACITANCE("DONT_CARE"), // "DONT_CARE". "LOW" or "NORMAL" (Virtex-4 only)
  .IOSTANDARD("DEFAULT") // Specify the output I/O standard
) OBUFTDS_inst (
  .O(O),      // Diff_p output (connect directly to top-level port)
  .OB(OB),    // Diff_n output (connect directly to top-level port)
  .I(I),      // Buffer input
  .T(T)       // 3-state enable input
);

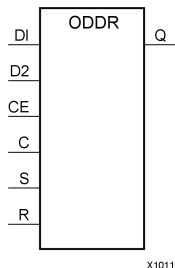
// End of OBUFTDS_inst instantiation
```

詳細情報

- ・ [『Virtex-4 FPGA ユーザー ガイド』\(UG070\)](#)
- ・ [『Virtex-4 FPGA データシート : DC 特性およびスイッチ特性』\(DS302\)](#)

ODDR

プリミティブ：Dedicated Dual Data Rate (DDR) Output Register



概要

このデザイン エLEMENTは、FPGA デバイスからデュアル データ レート (DDR) 信号を送信するための専用出力レジスタです。ODDR では、FPGA からのデータを送信するのに反対のクロック エッジだけではなく、同じクロック エッジを使用することも可能です。これにより、タイミングが複雑にならず、追加の CLB リソースも必要ありません。また、ODDR は SelectIO™ 機能と組み合わせて使用されます。

ODDR のモード

このELEMENTは 2 つのモードで動作します。これらのモードは、DDR_CLK_EDGE 属性で設定します。

- ・ **OPPOSITE_EDGE モード**：通常の DDR 方式でデータを送信します。D1 はクロック C の立ち上がりエッジごとにサンプリングされ、D2 は立ち下がりエッジごとにサンプリングされます。Q は各クロック エッジで変化します。
- ・ **SAME_EDGE モード**：データはクロック C の反対のエッジで ODDR 出力から送信されますが、ODDR への 2 つの入力はクロック信号 C の立ち上がりエッジで動作し、追加されたレジスタがクロック信号 C の立ち下がりエッジで動作します。この機能を使用すると、DDR データは同じクロック エッジで ODDR に取り込まれます。

ポートの説明

ポート名	方向	幅	機能
Q	出力	1	データ出力 (DDR)。IOB パッドに接続されます。
C	入力	1	クロック入力。クロック入力ピンです。
CE	入力	1	クロック イネーブル入力。High になると、ポート C のクロック入力がいネーブルになります。
D1 : D2	入力	1 (それぞれ)	データ入力。DDR データを ODDR モジュールに入力するピンです。
R	入力	1	リセット。SRTYPE の設定によって異なります。
S	入力	1	セット。アクティブ High の非同期セットピンです。SRTYPE 属性の設定により、同期にもなります。

デザインの入力方法

インスタンス化	推奨
推論	不可
CORE Generator™ およびウィザード	不可
マクロのサポート	不可

使用可能な属性

属性	データ型	値	デフォルト	説明
DDR_CLK_EDGE	文字列	"OPPOSITE_EDGE"、 "SAME_EDGE"	"OPPOSITE_EDGE"	クロック エッジに対する DDR の操作モードを指定します。
INIT	2 進数	0, 1	1	Q の初期値を設定します。
SRTYPE	文字列	"SYNC"、"ASYN"	"SYNC"	セット/リセットのタイプを選択します。

VHDL 記述 (インスタンスレーション)

次の 2 つの文が存在しない場合は、コピーしてエンティティ宣言の前に貼り付けます。

```
Library UNISIM;
use UNISIM.vcomponents.all;

-- ODDR: Output Double Data Rate Output Register with Set, Reset
--       and Clock Enable.
--       Virtex-4
-- Xilinx HDL Libraries Guide, version 14.5

ODDR_inst : ODDR
generic map(
  DDR_CLK_EDGE => "OPPOSITE_EDGE", -- "OPPOSITE_EDGE" or "SAME_EDGE"
  INIT => '0', -- Initial value for Q port ('1' or '0')
  SRTYPE => "SYNC") -- Reset Type ("ASYN" or "SYNC")
port map (
  Q => Q, -- 1-bit DDR output
  C => C, -- 1-bit clock input
  CE => CE, -- 1-bit clock enable input
  D1 => D1, -- 1-bit data input (positive edge)
  D2 => D2, -- 1-bit data input (negative edge)
  R => R, -- 1-bit reset input
  S => S -- 1-bit set input
);

-- End of ODDR_inst instantiation
```

Verilog 記述 (インスタンスレーション)

```
// ODDR: Output Double Data Rate Output Register with Set, Reset
//       and Clock Enable.
//       Virtex-4
// Xilinx HDL Libraries Guide, version 14.5

ODDR #(
  .DDR_CLK_EDGE("OPPOSITE_EDGE"), // "OPPOSITE_EDGE" or "SAME_EDGE"
  .INIT(1'b0), // Initial value of Q: 1'b0 or 1'b1
  .SRTYPE("SYNC") // Set/Reset type: "SYNC" or "ASYN"
) ODDR_inst (
  .Q(Q), // 1-bit DDR output
  .C(C), // 1-bit clock input
  .CE(CE), // 1-bit clock enable input
  .D1(D1), // 1-bit data input (positive edge)
  .D2(D2), // 1-bit data input (negative edge)
  .R(R), // 1-bit reset
  .S(S) // 1-bit set
);

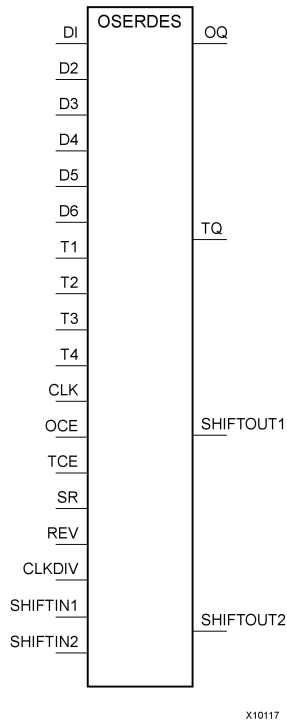
// End of ODDR_inst instantiation
```

詳細情報

- ・ [『Virtex-4 FPGA ユーザー ガイド』\(UG070\)](#)
- ・ [『Virtex-4 FPGA データシート：DC 特性およびスイッチ特性』\(DS302\)](#)

OSERDES

プリミティブ：Dedicated IOB Output Serializer



概要

このプリミティブを使用すると、同期インターフェイスを簡単にインプリメントできます。FPGA のロジックリソースを節約でき、タイミングが複雑になるのを防ぎます。また、さまざまなアプリケーションに対応した複数のクロック入力があり、SelectIO™ 機能と共に使用できます。

ポートの説明

ポート名	方向	幅	機能
OQ	出力	1	データパス出力。OSERDES モジュールのデータ出力です。このポートは、データ パラレル/シリアル コンバーターの出力と IOB パッドのデータ入力を接続します。また、OSERDES モジュール内のすべてのサブモジュールをバイパスするようにコンフィギュレーションすることも可能です。
SHIFTOUT1、SHIFTOUT2	出力	1 (それぞれ)	データ入力を拡張するためのキャリー出力です。マスターの SHIFTIN1、SHIFTIN2 に接続します。
TQ	出力	1	トライステートパス出力。OSERDES モジュールのトライステート出力です。このポートは、トライステート パラレル/シリアル コンバーターの出力と IOB パッドの制御入力を接続します。
CLK	入力	1	高速クロック入力。パラレル/シリアル コンバーターを駆動します。CLK ポートは、次のいずれかのクロックリソースで駆動します。 <ul style="list-style-type: none"> ・ クロック領域内の 10 個のグローバル クロック ライン ・ 4 個のリージョナル クロック ライン ・ 4 個のクロック兼用 I/O (隣接したクロック領域内)

ポート名	方向	幅	機能
			・ FPGA (バイパスを介す)
CLKDIV	入力	1	高速分周クロック入力。パラレル/シリアル コンバーターを駆動するのに使用するクロック入力です。CLK ポートに接続されたクロックよりも低周波数に分周したクロックを入力する必要があります。CLKDIV のソースには、次のクロックリソースのいずれかを使用できます。 ・ クロック領域内の 10 個のグローバル クロック ライン ・ 4 個のリージョナル クロック ライン
D1 ~ D6	入力	1	パラレル データ入力。OSERDES モジュールにパラレル データが入力されるポートです。このポートは FPGA に接続され、2 ~ 6 ビットにコンフィギュレーションできます。データ幅拡張モードでは、10 ビットまで拡張できます。
OCE	入力	1	パラレル/シリアル コンバーター (データ) クロック イネーブル。High の場合、データ パラレル/シリアル コンバーターの出力がイネーブルになります。
SR	入力	1	セット/リセット入力。ストレージ エLEMENT のステートを SRVAL 属性で設定したステートにします。SRVAL = 1 の場合は 1、SRVAL = 0 の場合は 0 になります。リセットがセットよりも優先されます。
SHIFTIN1、SHIFTIN2	入力	1 (それぞれ)	データ入力を拡張するためのキャリー入力です。スレーブの SHIFTOUT1、SHIFTOUT2 に接続します。
T1 ~ T4	入力	1 (それぞれ)	パラレル トライステート入力。OSERDES モジュールにパラレル トライステート信号が入力されるポートです。このポートは FPGA に接続され、1 ~ 4 ビットにコンフィギュレーションできます。この機能は、データ幅拡張モードではサポートされません。
TCE	入力	1	パラレル/シリアル コンバーター (トライステート) クロック イネーブル。High の場合、トライステート信号パラレル/シリアル コンバーターの出力がイネーブルになります。

デザインの入力方法

インスタンス化	推奨
推論	不可
CORE Generator™ およびウィザード	不可
マクロのサポート	不可

OSERDES モジュールのデータ パラレル/シリアル コンバーターは、2 ~ 6 ビットのパラレル データを取り込み、シリアル データに変換します。2 つの OSERDES モジュールをカスケード接続すると、データ入力幅を 7、8、または 10 ビットに拡張できます。データ幅を拡張するには、1 つの OSERDES をマスター モード、もう 1 つの OSERDES をスレーブ モードに設定し、スレーブの SHIFTOUT ポートをマスターの SHIFTIN ポートに接続します。スレーブでは、入力として D3 ~ D6 ポートのみを使用します。パラレル/シリアル コンバーターは、SDR または DDR モードの両方で使用できます。

D1 ポートのデータ入力が、最初の出力ビットになります。このモジュールは、CLK および CLKDIV クロックで制御されます。次の表に、SDR および DDR の異なるモードにおける CLK と CLKDIV の関係を示します。

SDR のデータ幅	DDR のデータ幅	CLK	CLKDIV
2	4	2X	X
3	6	3X	X
4	8	4X	X
5	10	5X	X
6	–	6X	X
7	–	7X	X
8	–	8X	X

このブロックの出力は、FPGA の IOB パッドのデータ入力に接続されます。この IOB パッドには、SelectIO を使用して信号規格を設定できます。

パラレル/シリアル コンバーター (トリステスト)

OSERDES モジュールのトリステスト パラレル/シリアル コンバーターは、4 ビットのパラレル トリステスト信号を取り込み、シリアル トリステスト信号に変換します。データ パラレル/シリアル コンバーターとは異なり、トリステスト パラレル/シリアル コンバーターは信号幅を 5 ビット以上には拡張できません。このモジュールは、主に CLK および CLKDIV クロックで制御されます。このモードを使用するには、DATA_RATE_TQ および TRISTATE_WIDTH 属性を設定する必要があります。場合によっては、DATA_RATE_OQ および DATA_WIDTH を設定することも必要です。次の表に、使用する機能と属性の値を示します。

機能	DATA_RATE_TQ	TRISTATE_WIDTH
4 ビット DDR*	DDR	4
1 ビット SDR	SDR	1
バッファ	BUF	1

このブロックの出力は、FPGA の IOB パッドのトリステスト入力に接続されます。この IOB パッドには、SelectIO を使用して信号規格を設定できます。

データ幅の拡張

このエレメントでは、7 ビット幅以上のパラレル データを送信できます。ただし、トリステスト出力の信号幅は拡張できません。7 ビット幅以上のデータを送信するには、エレメントを 2 つインスタンス化する必要があります。この 2 つは、隣接したマスター/スレーブ ペアである必要があります。OSERDES_MODE 属性を "MASTER" または "SLAVE" に設定し、OSERDES のペアを区別する必要があります。また、マスターの SHIFTIN ポートをスレーブの SHIFTOUT ポートに接続します。SDR および DDR モードでは、データ幅 7、8、10 がサポートされています。次の表に、SDR および DDR モードで使用可能なデータ幅を示します。

モード	幅
SDR	2、3、4、5、6、7、8
DDR	4、6、8、10

使用可能な属性

属性	データ型	値	デフォルト	説明
DATA_RATE_OQ	文字列	"SDR"、"DDR"	"DDR"	データを CLK の各エッジで変化させるか、各立ち上がりエッジで変化させるかを指定します。
DATA_RATE_TQ	文字列	"BUF"、"SDR"、 "DDR"	"DDR"	トライステート CLK の各エッジで変化させるか、各立ち上がりエッジで変化させるか、バッファのコンフィギュレーションで変化させるかを指定します。
DATA_WIDTH	整数	2、3、4、5、6、7、8、10	4	設定可能な値は、DATA_RATE_OQ = "DDR" の場合は 4、6、8、または 10、DATA_RATE_OQ = "SDR" の場合は 2、3、4、5、6、7、または 8 です。
INIT_OQ	2 進数	0、1	0	OQ 出力の初期値を指定します。
INIT_TQ	2 進数	0、1	0	TQ 出力の初期値を指定します。
SERDES_MODE	文字列	"MASTER"、 "SLAVE"	"MASTER"	データ幅を拡張する場合に OSERDES モジュールがマスターかスレーブかを指定します。
SRVAL_OQ	2 進数	0、1	0	リセットをアサートした場合の OQ 出力の値を指定します。
SRVAL_TQ	2 進数	0、1	0	リセットをアサートした場合の TQ 出力の値を指定します。
TRISTATE_WIDTH	整数	1、2、4	4	設定可能な値は、DATA_RATE_TQ = "DDR" の場合は 2 または 4、DATA_RATE_TQ = "SDR" または "BUF" の場合は 1 です。

VHDL 記述 (インスタンスレーション)

次の 2 つの文が存在しない場合は、コピーしてエンティティ宣言の前に貼り付けます。

```

Library UNISIM;
use UNISIM.vcomponents.all;

-- OSERDES: Output SERDES
--      Virtex-4
-- Xilinx HDL Libraries Guide, version 14.5

OSERDES_inst : OSERDES
generic map (
  DATA_RATE_OQ => "DDR", -- Specify data rate to "DDR" or "SDR"
  DATA_RATE_TQ => "DDR", -- Specify data rate to "DDR", "SDR", or "BUF"
  DATA_WIDTH => 4, -- Specify data width - For DDR: 4,6,8, or 10
                    -- For SDR or BUF: 2,3,4,5,6,7, or 8
  INIT_OQ => '0', -- INIT for Q1 register - '1' or '0'
  INIT_TQ => '0', -- INIT for Q2 register - '1' or '0'
  SERDES_MODE => "MASTER", --Set SERDES mode to "MASTER" or "SLAVE"
  SRVAL_OQ => '0', -- Define Q1 output value upon SR assertion - '1' or '0'
  SRVAL_TQ => '0', -- Define Q1 output value upon SR assertion - '1' or '0'
  TRISTATE_WIDTH => 4) -- Specify parallel to serial converter width
                    -- When DATA_RATE_TQ = DDR: 2 or 4
                    -- When DATA_RATE_TQ = SDR or BUF: 1 "

port map (
  OQ => OQ, -- 1-bit output
  SHIFTOUT1 => SHIFTOUT1, -- 1-bit data expansion output
  SHIFTOUT2 => SHIFTOUT2, -- 1-bit data expansion output
  TQ => TQ, -- 1-bit 3-state control output
  CLK => CLK, -- 1-bit clock input

```



```

CLKDIV => CLKDIV, -- 1-bit divided clock input
D1 => D1, -- 1-bit parallel data input
D2 => D2, -- 1-bit parallel data input
D3 => D3, -- 1-bit parallel data input
D4 => D4, -- 1-bit parallel data input
D5 => D5, -- 1-bit parallel data input
D6 => D6, -- 1-bit parallel data input
OCE => OCE, -- 1-bit clcok enable input
REV => '0', -- Must be tied to logic zero
SHIFTIN1 => SHIFTIN1, -- 1-bit data expansion input
SHIFTIN2 => SHIFTIN2, -- 1-bit data expansion input
SR => SR, -- 1-bit set/reset input
T1 => T1, -- 1-bit parallel 3-state input
T2 => T2, -- 1-bit parallel 3-state input
T3 => T3, -- 1-bit parallel 3-state input
T4 => T4, -- 1-bit parallel 3-state input
TCE => TCE -- 1-bit 3-state signal clock enable input
);

-- End of OSERDES_inst instantiation

```

Verilog 記述 (インスタンス化)

```

// OSERDES: Source Synchronous Output Serializer
//      Virtex-4
// Xilinx HDL Libraries Guide, version 14.5

OSERDES #(
    .DATA_RATE_OQ("DDR"), // Specify data rate to "DDR" or "SDR"
    .DATA_RATE_TQ("DDR"), // Specify data rate to "DDR", "SDR", or "BUF"
    .DATA_WIDTH(4), // Specify data width - for DDR: 4,6,8, or 10
                      //      for SDR or BUF: 2,3,4,5,6,7, or 8
    .INIT_OQ(1'b0), // INIT for OQ register - 1'b1 or 1'b0
    .INIT_TQ(1'b0), // INIT for OQ register - 1'b1 or 1'b0
    .SERDES_MODE("MASTER"), // Set SERDES mode to "MASTER" or "SLAVE"
    .SRVAL_OQ(1'b0), // Define OQ output value upon SR assertion - 1'b1 or 1'b0
    .SRVAL_TQ(1'b0), // Define TQ output value upon SR assertion - 1'b1 or 1'b0
    .TRISTATE_WIDTH(4) // Specify parallel to serial converter width
                      //      When DATA_RATE_TQ = DDR: 2 or 4
                      //      When DATA_RATE_TQ = SDR or BUF: 1
) OSERDES_inst (
    .OQ(OQ), // 1-bit data path output
    .SHIFTOUT1(SHIFTOUT1), // 1-bit data expansion output
    .SHIFTOUT2(SHIFTOUT2), // 1-bit data expansion output
    .TQ(TQ), // 1-bit 3-state control output
    .CLK(CLK), // 1-bit clock input
    .CLKDIV(CLKDIV), // 1-bit divided clock input
    .D1(D1), // 1-bit parallel data input
    .D2(D2), // 1-bit parallel data input
    .D3(D3), // 1-bit parallel data input
    .D4(D4), // 1-bit parallel data input
    .D5(D5), // 1-bit parallel data input
    .D6(D6), // 1-bit parallel data input
    .OCE(OCE), // 1-bit clock enable input
    .REV(1'b0), // Must be tied to logic zero
    .SHIFTIN1(SHIFTIN1), // 1-bit data expansion input
    .SHIFTIN2(SHIFTIN2), // 1-bit data expansion input
    .SR(SR), // 1-bit set/reset input
    .T1(T1), // 1-bit parallel 3-state input
    .T2(T2), // 1-bit parallel 3-state input
    .T3(T3), // 1-bit parallel 3-state input
    .T4(T4), // 1-bit parallel 3-state input
    .TCE(TCE) // 1-bit 3-state signal clock enable input
);

// End of OSERDES_inst instantiation

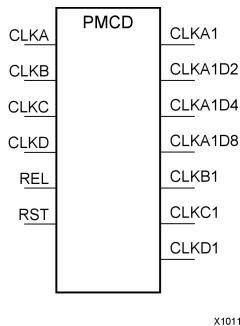
```

詳細情報

- ・ [『Virtex-4 FPGA ユーザー ガイド』\(UG070\)](#)
- ・ [『Virtex-4 FPGA データシート：DC 特性およびスイッチ特性』\(DS302\)](#)

PMCD

プリミティブ：Phase-Matched Clock Divider



概要

このデザイン エLEMENTは、Virtex®-4 アーキテクチャに含まれているクロック リソースの 1 つで、次のようなクロック管理機能を備えています。

位相一致分周クロック

入力クロック CLKA の周波数を分周し、位相が一致したクロックを 4 つまで生成します。出力クロックの周波数は、入力クロック周波数を 1 (CLKA1)、2 (CLKA1D2)、4 (CLKA1D4)、および 8 (CLKA1D8) で分周した値です。出力クロック CLKA1、CLKA1D2、CLKA1D4、および CLKA1D8 は、立ち上がりエッジが揃っています。

位相一致クロック

入力クロック CLKA と PMCD のその他の入力クロック間のエッジ アライメント、位相関係、スキューが保持されます。CLKB、CLKC、および CLKD クロック入力に対しては、対応する CLKB1、CLKC1、および CLKD1 遅延出力があります。CLKA、CLKB、CLKC、CLKD には同じ遅延が挿入されるため、CLKA1、CLKB1、CLKC1、CLKD1 遅延出力では、エッジ アライメント、位相関係、および入力スキューが保持されます。

このデザイン エLEMENTは、グローバル バッファや DCM などその他のクロック リソースと共に使用できます。これらのクロック リソースを組み合わせることで、デザインの複雑なクロック ネットワークを柔軟に管理できます。

ポートの説明

ポート名	方向	機能
CLKA	入力	PMCD へのクロック入力。CLKA の周波数は、1、2、4、8 で分周できます。
CLKB、CLKC、CLKD	入力	PMCD へのクロック入力。これらのクロックは分周されませんが、クロック間の位相アライメントおよび位相関係を保持するために遅延が追加されます。
RST	入力	PMCD へのリセット入力。RST 信号がアサートされると、出力がすべて非同期で Low になります。RST 信号がディアサートされると、入力クロックに同期してすべての出力がトグルを開始します。
REL	入力	PMCD へのリリース入力。REL 信号がアサートされると、CLKA に同期して分周出力クロックがトグルを開始します。
CLKA1	出力	CLKA 入力と同じ周波数の出力で、遅延が追加されています。
CLKA1D2	出力	CLKA の周波数を 2 で分周した出力で、立ち上がりエッジは CLKA1 に揃えられています。
CLKA1D4	出力	CLKA の周波数を 4 で分周した出力で、立ち上がりエッジは CLKA1 に揃えられています。

ポート名	方向	機能
CLKA1D8	出力	CLKA の周波数を 8 で分周した出力で、立ち上がりエッジは CLKA1 に揃えられています。
CLKB1、CLKC1、CLKD1	出力	CLKB 入力と同じ周波数の出力で、遅延が追加されています。CLKB1 と CLKA1 間のスキューは、CLKB と CLKA 入力間のスキューと同じです。同様に、CLKC1 は CLKC に、CLKD1 は CLKD に遅延を追加したものです。

デザインの入力方法

インスタンス化	推奨
推論	不可
CORE Generator™ およびウィザード	不可
マクロのサポート	不可

使用可能な属性

属性	データ型	値	デフォルト	説明
EN_REL	ブール代数	FALSE、TRUE	FALSE	REL 信号のアサート時に、CLKA1D2、CLKA1D4、および CLKA1D8 出力のトグルを開始します。 注記：REL は CLKA 入力に同期していません。
RST_DEASSERT_CLK	文字列	"CLKA"、"CLKB"、"CLKC"、"CLKD"	"CLKA"	RST 信号のデアサートを同期させる PMCD 入力クロックを指定します。

VHDL 記述 (インスタンス化)

次の 2 つの文が存在しない場合は、コピーしてエンティティ宣言の前に貼り付けます。

```

Library UNISIM;
use UNISIM.vcomponents.all;

-- PMCD: Phase-Matched Clock Divider Circuit
--      Virtex-4
-- Xilinx HDL Libraries Guide, version 14.5

PMCD_inst : PMCD
generic map (
    EN_REL => FALSE,           -- TRUE/FALSE to allow synchronous deassertion of RST
    RST_DEASSERT_CLK => "CLKA") -- Reset synchronization to which clock: CLKA, CLKB, CLKC or CLKD
port map (
    CLKA1 => CLKA1, -- Output CLKA divided by 1
    CLKA1D2 => CLKA1D2, -- Output CLKA divided by 2
    CLKA1D4 => CLKA1D4, -- Output CLKA divided by 4
    CLKA1D8 => CLKA1D8, -- Output CLKA divided by 8
    CLKB1 => CLKB1, -- Output phase matched CLKB
    CLKC1 => CLKC1, -- Output phase matched CLKC
    CLKD1 => CLKD1, -- Output phase matched CLKD
    CLKA => CLKA, -- Input CLKA
    CLKB => CLKB, -- Input CLKB
    CLKC => CLKC, -- Input CLKC
    CLKD => CLKD, -- Input CLKD
    REL => REL, -- PCMD release input
    RST => RST -- Active high reset input
);

```

```
-- End of PMCD_inst instantiation
```

Verilog 記述 (インスタンス化)

```
// PMCD: Phase-Matched Clock Divider Circuit
//      Virtex-4
// Xilinx HDL Libraries Guide, version 14.5

PMCD #(
    .EN_REL("FALSE"), // TRUE/FALSE to allow synchronous deassertion of RST
    .RST_DEASSERT_CLK("CLKA") // Reset synchronization to which clock: CLKA, CLKB, CLKC or CLKD
) PMCD_inst (
    .CLKA1(CLKA1), // Output CLKA divided by 1
    .CLKA1D2(CLKA1D2), // Output CLKA divided by 2
    .CLKA1D4(CLKA1D4), // Output CLKA divided by 4
    .CLKA1D8(CLKA1D8), // Output CLKA divided by 8
    .CLKB1(CLKB1), // Output phase matched CLKB
    .CLKC1(CLKC1), // Output phase matched CLKC
    .CLKD1(CLKD1), // Output phase matched CLKD
    .CLKA(CLKA), // Input CLKA
    .CLKB(CLKB), // Input CLKB
    .CLKC(CLKC), // Input CLKC
    .CLKD(CLKD), // Input CLKD
    .REL(REL), // PCMD release input
    .RST(RST) // Active high reset input
);

// End of PMCD_inst instantiation
```

詳細情報

- ・ [『Virtex-4 FPGA ユーザー ガイド』\(UG070\)](#)
- ・ [『Virtex-4 FPGA データシート : DC 特性およびスイッチ特性』\(DS302\)](#)

PPC405_ADV

プリミティブ：Primitive for the Power PC Core

概要

このデザイン エLEMENTは、PowerPC® アーキテクチャを基に開発された PowerPC エンベデッド環境アーキテクチャの 32 ビット インプリメンテーションで、Virtex®-4 用の PowerPC 405F6 プロセッサ コアです。このプロセッサ コアには、オンチップ メモリ ロジック (OCM)、APU コントローラー (Virtex-4 デバイスのみ)、スケット ロジックおよびインターフェイスが含まれます。

PowerPC アーキテクチャでは、PowerPC ファミリのマイクロプロセッサのインプリメンテーション間で互換性を確実にするため、ソフトウェア モデルが提供されています。また、アプリケーション プログラム レベルでプロセッサのインプリメンテーションの互換性を確保するためにパラメーターが定義されており、特定の要件を満たす PowerPC インプリメンテーションを柔軟に開発できます。

デザインの入力方法

インスタンス化	可
推論	不可
CORE Generator™ およびウィザード	推奨
マクロのサポート	不可

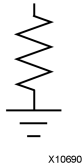
詳細情報

- ・ [『Virtex-4 FPGA ユーザー ガイド』\(UG070\)](#)
- ・ [『Virtex-4 FPGA データシート：DC 特性およびスイッチ特性』\(DS302\)](#)

PULLDOWN

プリミティブ：Resistor to GND for Input Pads, Open-Drain, and 3-State Outputs

PULLDOWN



X10690

概要

この抵抗エレメントは、入力、出力、双方向のパッドに接続し、フロートする可能性のあるノードのロジックレベルを Low にします。

ポートの説明

ポート名	方向	幅	機能
O	出力	1	プルダウン出力 (最上位ポートに直接接続)

デザインの入力方法

インスタンス化	可
推論	不可
CORE Generator™ およびウィザード	不可
マクロのサポート	不可

VHDL 記述 (インスタンス化)

次の 2 つの文が存在しない場合は、コピーしてエンティティ宣言の前に貼り付けます。

```
Library UNISIM;
use UNISIM.vcomponents.all;

-- PULLDOWN: I/O Buffer Weak Pull-down
--           Virtex-4
-- Xilinx HDL Libraries Guide, version 14.5

PULLDOWN_inst : PULLDOWN
port map (
  O => O      -- Pulldown output (connect directly to top-level port)
);

-- End of PULLDOWN_inst instantiation
```

Verilog 記述 (インスタンス化)

```
// PULLDOWN: I/O Buffer Weak Pull-down
//          Virtex-4
// Xilinx HDL Libraries Guide, version 14.5

PULLDOWN PULLDOWN_inst (
    .O(0)      // Pulldown output (connect directly to top-level port)
);

// End of PULLDOWN_inst instantiation
```

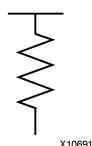
詳細情報

- ・ [『Virtex-4 FPGA ユーザー ガイド』\(UG070\)](#)
- ・ [『Virtex-4 FPGA データシート：DC 特性およびスイッチ特性』\(DS302\)](#)

PULLUP

プリミティブ：Resistor to VCC for Input PADs, Open-Drain, and 3-State Outputs

PULLUP



概要

このデザイン エLEMENTは、入力、トライステート出力、または双方向ポートが内部または外部ソースで駆動されないときに、弱い High で駆動します。すべてのドライバーがオフのときに、オープンドレイン エLEMENTおよびマクロのロジックレベルを High にします。

ポートの説明

ポート名	方向	幅	機能
O	出力	1	プルアップ出力 (最上位ポートに直接接続)

デザインの入力方法

インスタンス化	可
推論	不可
CORE Generator™ およびウィザード	不可
マクロのサポート	不可

VHDL 記述 (インスタンス化)

次の 2 つの文が存在しない場合は、コピーしてエンティティ宣言の前に貼り付けます。

```
Library UNISIM;
use UNISIM.vcomponents.all;

-- PULLUP: I/O Buffer Weak Pull-up
--      Virtex-4
-- Xilinx HDL Libraries Guide, version 14.5

PULLUP_inst : PULLUP
port map (
  O => O      -- Pullup output (connect directly to top-level port)
);

-- End of PULLUP_inst instantiation
```

Verilog 記述 (インスタンスレーション)

```
// PULLUP: I/O Buffer Weak Pull-up
//          Virtex-4
// Xilinx HDL Libraries Guide, version 14.5

PULLUP PULLUP_inst (
    .O(0)      // Pullup output (connect directly to top-level port)
);

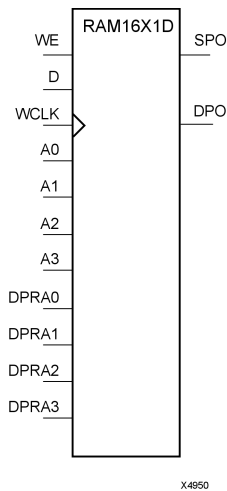
// End of PULLUP_inst instantiation
```

詳細情報

- ・ [『Virtex-4 FPGA ユーザー ガイド』\(UG070\)](#)
- ・ [『Virtex-4 FPGA データシート：DC 特性およびスイッチ特性』\(DS302\)](#)

RAM16X1D

プリミティブ：16-Deep by 1-Wide Static Dual Port Synchronous RAM



概要

このエレメントは 16 ワード X 1 ビットのデュアル ポート SRAM で、同期書き込み機能を備えています。デバイスには、読み出しアドレス (DPRA3 ~ DPRA0) と書き込みアドレス (A3 ~ A0) の 2 種類のアドレスポートがあります。この 2 種類のアドレスポートは非同期です。読み出しアドレスによって出力ピン (DPO) に出力される値が指定され、書き込みアドレスによって書き込みを行う位置が指定されます。ライト イネーブル (WE) が Low の場合、ライト クロック (WCLK) の遷移は無視され、RAM に格納されている値は変化しません。

WE が High の場合、WCLK が Low から High に切り替わるときに、データ入力 (D) の値が 4 ビットの書き込みアドレスで選択されたワードに書き込まれます。書き込みを正しく行うには、WCLK が Low から High に切り替わる前に、書き込みアドレスとデータ入力の値を安定させる必要があります。WCLK はデフォルトではアクティブ High ですが、インバーターを使用してアクティブ Low にすることもできます。WCLK の入力ネットに配置されたインバーターは、RAM ブロック内に組み込まれます。

SPO 出力には、A3 ~ A0 で指定されたメモリ セルの値が出力されます。DPO 出力には、DPRA3 ~ DPRA0 で指定されたメモリ セルの値が出力されます。

注記： 書き込み処理は、読み出しアドレスポートのアドレスには影響されません。

INIT 属性を使用すると、RAM を直接初期化できます。値は、INIT=ABAC のように、16 進数で指定してください。INIT 属性を指定しない場合は、RAM は 0 に初期化されます。

論理表

モード選択を次の論理表に示します。

入力			出力	
WE (モード)	WCLK	D	SPO	DPO
0 (読み出し)	X	X	data_a	data_d
1 (読み出し)	0	X	data_a	data_d
1 (読み出し)	1	X	data_a	data_d
1 (書き込み)	↑	D	D	data_d
1 (読み出し)	↓	X	data_a	data_d
data_a = A3 ~ A0 で指定されたワード				
data_d = DPRA3 ~ DPRA0 で指定されたワード				

デザインの入力方法

インスタンス化	可
推論	推奨
CORE Generator™ およびウィザード	不可
マクロのサポート	不可

使用可能な属性

属性	データ型	値	デフォルト	説明
INIT	16 進数	16 ビット値	すべて 0	RAM、レジスタ、LUT の初期値を指定します。

VHDL 記述 (インスタンス化)

次の 2 つの文が存在しない場合は、コピーしてエンティティ宣言の前に貼り付けます。

```

Library UNISIM;
use UNISIM.vcomponents.all;

-- RAM16X1D: 16 x 1 positive edge write, asynchronous read dual-port distributed RAM
--           Virtex-4
-- Xilinx HDL Libraries Guide, version 14.5

RAM16X1D_inst : RAM16X1D
generic map (
  INIT => X"0000")
port map (
  DPO => DPO,      -- Read-only 1-bit data output for DPRA
  SPO => SPO,      -- R/W 1-bit data output for A0-A3
  A0 => A0,        -- R/W address[0] input bit
  A1 => A1,        -- R/W address[1] input bit
  A2 => A2,        -- R/W address[2] input bit
  A3 => A3,        -- R/W address[3] input bit
  D => D,          -- Write 1-bit data input
  DPRA0 => DPRA0,  -- Read-only address[0] input bit
  DPRA1 => DPRA1,  -- Read-only address[1] input bit
  DPRA2 => DPRA2,  -- Read-only address[2] input bit
  DPRA3 => DPRA3,  -- Read-only address[3] input bit
  WCLK => WCLK,    -- Write clock input
  WE => WE         -- Write enable input
);

-- End of RAM16X1D_inst instantiation

```

Verilog 記述 (インスタンシエーション)

```
// RAM16X1D: 16 x 1 positive edge write, asynchronous read dual-port distributed RAM
//           Virtex-4
// Xilinx HDL Libraries Guide, version 14.5

RAM16X1D #(
    .INIT(16'h0000) // Initial contents of RAM
) RAM16X1D_inst (
    .DPO(DPO),      // Read-only 1-bit data output for DPRA
    .SPO(SPO),      // Rw/ 1-bit data output for A0-A3
    .A0(A0),        // Rw/ address[0] input bit
    .A1(A1),        // Rw/ address[1] input bit
    .A2(A2),        // Rw/ address[2] input bit
    .A3(A3),        // Rw/ address[3] input bit
    .D(D),          // Write 1-bit data input
    .DPRA0(DPRA0),  // Read address[0] input bit
    .DPRA1(DPRA1),  // Read address[1] input bit
    .DPRA2(DPRA2),  // Read address[2] input bit
    .DPRA3(DPRA3),  // Read address[3] input bit
    .WCLK(WCLK),    // Write clock input
    .WE(WE)         // Write enable input
);

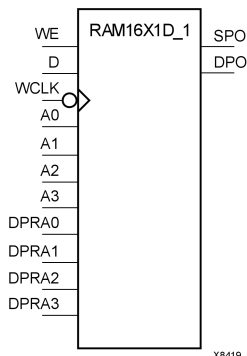
// End of RAM16X1D_inst instantiation
```

詳細情報

- ・ [『Virtex-4 FPGA ユーザー ガイド』\(UG070\)](#)
- ・ [『Virtex-4 FPGA データシート：DC 特性およびスイッチ特性』\(DS302\)](#)

RAM16X1D_1

プリミティブ：16-Deep by 1-Wide Static Dual Port Synchronous RAM with Negative-Edge Clock



概要

このエレメントは、クロックの立ち下がりエッジで動作する 16 ワード X 1 ビットのデュアル ポート SRAM で、同期書き込み機能を備えています。デバイスには、読み出しアドレス (DPRA3 ~ DPRA0) と書き込みアドレス (A3 ~ A0) の独立した 2 種類のアドレス ポートがあります。この 2 種類のアドレス ポートは非同期です。読み出しアドレスによって出力ピン (DPO) に出力される値が指定され、書き込みアドレスによって書き込みを行う位置が指定されます。

ライト イネーブル (WE) が Low の場合、ライト クロック (WCLK) の遷移は無視され、RAM に格納されている値は変化しません。WE が High の場合、WCLK が High から Low に切り替わるときに、4 ビットの書き込みアドレスで選択されているワードにデータ入力 (D) の値が書き込まれます。書き込みを正しく行うには、WCLK が High から Low に切り替わる前に、書き込みアドレスとデータ入力の値を安定させる必要があります。WCLK はデフォルトではアクティブ Low ですが、インバーターを使用してアクティブ High にすることもできます。WCLK の入力ネットに配置されたインバーターは、RAM ブロック内に組み込まれます。

INIT 属性を使用すると、コンフィギュレーション中に RAM16X1D_1 を初期化できます。

SPO 出力には、A3 ~ A0 で指定されたメモリ セルの値が出力されます。DPO 出力には、DPRA3 ~ DPRA0 で指定されたメモリ セルの値が出力されます。

注記： 書き込み処理は、読み出しアドレス ポートのアドレスには影響されません。

論理表

モード選択を次の論理表に示します。

入力			出力	
WE (モード)	WCLK	D	SPO	DPO
0 (読み出し)	X	X	data_a	data_d
1 (読み出し)	0	X	data_a	data_d
1 (読み出し)	1	X	data_a	data_d
1 (書き込み)	↓	D	D	data_d
1 (読み出し)	↑	X	data_a	data_d
data_a = A3 ~ A0 で指定されたワード				
data_d = DPRA3 ~ DPRA0 で指定されたワード				

ポートの説明

ポート名	方向	幅	機能
DPO	出力	1	読み出し専用 1 ビット データ出力
SPO	出力	1	読み出し/書き込み 1 ビット データ出力
A0	入力	1	読み出し/書き込み address[0] 入力
A1	入力	1	読み出し/書き込み address[1] 入力
A2	入力	1	読み出し/書き込み address[2] 入力
A3	入力	1	読み出し/書き込み address[3] 入力
D	入力	1	書き込み 1 ビット データ入力
DPRA0	入力	1	読み出し専用 address[0] 入力
DPRA1	入力	1	読み出し専用 address[1] 入力
DPRA2	入力	1	読み出し専用 address[2] 入力
DPRA3	入力	1	読み出し専用 address[3] 入力
WCLK	入力	1	書き込みクロック入力
WE	入力	1	ライト イネーブル入力

デザインの入力方法

インスタンス化	可
推論	推奨
CORE Generator™ およびウィザード	不可
マクロのサポート	不可

使用可能な属性

属性	データ型	値	デフォルト	説明
INIT	16 進数	16 ビット値	すべて 0	RAM、レジスタ、LUT の初期値を指定します。

VHDL 記述 (インスタンス化)

次の 2 つの文が存在しない場合は、コピーしてエンティティ宣言の前に貼り付けます。

```
Library UNISIM;
use UNISIM.vcomponents.all;

-- RAM16X1D_1: 16 x 1 negative edge write, asynchronous read dual-port distributed RAM
--           Virtex-4
-- Xilinx HDL Libraries Guide, version 14.5

RAM16X1D_1_inst : RAM16X1D_1
generic map (
  INIT => X"0000")
port map (
  DPO => DPO,      -- Read-only 1-bit data output for DPRA
  SPO => SPO,      -- R/W 1-bit data output for A0-A3
  A0 => A0,        -- R/W address[0] input bit
  A1 => A1,        -- R/W address[1] input bit
```

```

A2 => A2,          -- R/W address[2] input bit
A3 => A3,          -- R/W address[3] input bit
D => D,            -- Write 1-bit data input
DPRA0 => DPRA0,    -- Read-only address[0] input bit
DPRA1 => DPRA1,    -- Read-only address[1] input bit
DPRA2 => DPRA2,    -- Read-only address[2] input bit
DPRA3 => DPRA3,    -- Read-only address[3] input bit
WCLK => WCLK,      -- Write clock input
WE => WE           -- Write enable input
);

-- End of RAM16X1D_1_inst instantiation

```

Verilog 記述 (インスタンス化)

```

// RAM16X1D_1: 16 x 1 negative edge write, asynchronous read dual-port distributed RAM
//               Virtex-4
// Xilinx HDL Libraries Guide, version 14.5

RAM16X1D_1 #(
    .INIT(16'h0000) // Initial contents of RAM
) RAM16X1D_1_inst (
    .DPO(DPO),      // Read-only 1-bit data output
    .SPO(SPO),      // Rw/ 1-bit data output
    .A0(A0),        // Rw/ address[0] input bit
    .A1(A1),        // Rw/ address[1] input bit
    .A2(A2),        // Rw/ address[2] input bit
    .A3(A3),        // Rw/ address[3] input bit
    .D(D),          // Write 1-bit data input
    .DPRA0(DPRA0),  // Read-only address[0] input bit
    .DPRA1(DPRA1),  // Read-only address[1] input bit
    .DPRA2(DPRA2),  // Read-only address[2] input bit
    .DPRA3(DPRA3),  // Read-only address[3] input bit
    .WCLK(WCLK),    // Write clock input
    .WE(WE)         // Write enable input
);

// End of RAM16X1D_1_inst instantiation

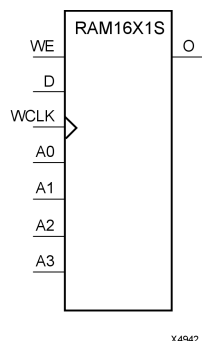
```

詳細情報

- ・ [『Virtex-4 FPGA ユーザー ガイド』\(UG070\)](#)
- ・ [『Virtex-4 FPGA データシート：DC 特性およびスイッチ特性』\(DS302\)](#)

RAM16X1S

プリミティブ：16-Deep by 1-Wide Static Synchronous RAM



概要

このエレメントは 16 ワード X 1 ビットの SRAM で、同期書き込み機能を備えています。ライト イネーブル (WE) が Low の場合、ライト クロック (WCLK) の遷移は無視され、RAM に格納されている値は変化しません。WE が High になると、WCLK が Low から High に切り替わる時に、データ入力 (D) の値が 4 ビットのアドレス (A3 ~ A0) で選択されたワードに書き込まれます。WCLK はデフォルトではアクティブ High ですが、インバーターを使用してアクティブ Low にすることもできます。WCLK の入力ネットに配置されたインバーターは、RAM ブロック内に組み込まれます。

出力ピン (O) に出力される値は、アドレス ピンで指定された RAM 内の位置に格納されている値です。INIT 属性を使用すると、コンフィギュレーション中に RAM16X1S を初期化できます。

論理表

入力			出力
WE (モード)	WCLK	D	O
0 (読み出し)	X	X	データ
1 (読み出し)	0	X	データ
1 (読み出し)	1	X	データ
1 (書き込み)	↑	D	D
1 (読み出し)	↓	X	データ
データ = A3 ~ A0 で指定されたワード			

デザインの入力方法

インスタンス化	可
推論	推奨
CORE Generator™ およびウィザード	不可
マクロのサポート	不可

使用可能な属性

属性	データ型	値	デフォルト	説明
INIT	16 進数	16 ビット値	すべて 0	RAM の初期値を指定します。

VHDL 記述 (インスタンス化)

次の 2 つの文が存在しない場合は、コピーしてエンティティ宣言の前に貼り付けます。

```
Library UNISIM;
use UNISIM.vcomponents.all;

-- RAM16X1S: 16 x 1 posedge write distributed (LUT) RAM
--           Virtex-4
-- Xilinx HDL Libraries Guide, version 14.5

RAM16X1S_inst : RAM16X1S
generic map (
  INIT => X"0000")
port map (
  O => O,          -- RAM output
  A0 => A0,         -- RAM address[0] input
  A1 => A1,         -- RAM address[1] input
  A2 => A2,         -- RAM address[2] input
  A3 => A3,         -- RAM address[3] input
  D => D,           -- RAM data input
  WCLK => WCLK,     -- Write clock input
  WE => WE          -- Write enable input
);

-- End of RAM16X1S_inst instantiation
```

Verilog 記述 (インスタンス化)

```
// RAM16X1S: 16 x 1 posedge write distributed (LUT) RAM
//           Virtex-4
// Xilinx HDL Libraries Guide, version 14.5

RAM16X1S #(
  .INIT(16'h0000) // Initial contents of RAM
) RAM16X1S_inst (
  .O(O),          // RAM output
  .A0(A0),        // RAM address[0] input
  .A1(A1),        // RAM address[1] input
  .A2(A2),        // RAM address[2] input
  .A3(A3),        // RAM address[3] input
  .D(D),          // RAM data input
  .WCLK(WCLK),    // Write clock input
  .WE(WE)         // Write enable input
);

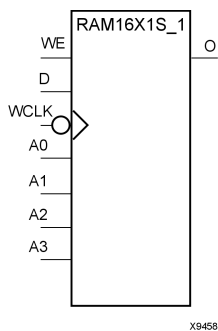
// End of RAM16X1S_inst instantiation
```

詳細情報

- ・ [『Virtex-4 FPGA ユーザー ガイド』\(UG070\)](#)
- ・ [『Virtex-4 FPGA データシート：DC 特性およびスイッチ特性』\(DS302\)](#)

RAM16X1S_1

プリミティブ：16-Deep by 1-Wide Static Synchronous RAM with Negative-Edge Clock



概要

このエレメントはクロックの立ち下がりエッジで動作する 16 ワード X 1 ビットの SRAM で、同期書き込み機能を備えています。ライト イネーブル (WE) が Low の場合、ライト クロック (WCLK) の遷移は無視され、RAM に格納されている値は変化しません。WE が High の場合、WCLK が High から Low に切り替わるときに、データ入力 (D) の値が 4 ビットのアドレス (A3 ~ A0) で選択されたワードに書き込まれます。書き込みを正しく行うには、WCLK が High から Low に切り替わる前に、書き込みアドレスとデータ入力の値を安定させる必要があります。WCLK はデフォルトではアクティブ Low ですが、インバーターを使用してアクティブ High にすることもできます。WCLK の入力ネットに配置されたインバーターは、RAM ブロック内に組み込まれます。

出力ピン (O) に出力される値は、アドレス ピンで指定された RAM 内の位置に格納されている値です。

INIT 属性を使用すると、コンフィギュレーション中にこのエレメントを初期化できます。

論理表

入力			出力
WE (モード)	WCLK	D	O
0 (読み出し)	X	X	データ
1 (読み出し)	0	X	データ
1 (読み出し)	1	X	データ
1 (書き込み)	↓	D	D
1 (読み出し)	↑	X	データ
データ = A3 ~ A0 で指定されたワード			

デザインの入力方法

インスタンス化	可
推論	推奨
CORE Generator™ およびウィザード	不可
マクロのサポート	不可

使用可能な属性

属性	データ型	値	デフォルト	説明
INIT	16 進数	16 ビット値	すべて 0	RAM の初期値を指定します。

VHDL 記述 (インスタンス化)

次の 2 つの文が存在しない場合は、コピーしてエンティティ宣言の前に貼り付けます。

```
Library UNISIM;
use UNISIM.vcomponents.all;

-- RAM16X1S_1: 16 x 1 negedge write distributed (LUT) RAM
--           Virtex-4
-- Xilinx HDL Libraries Guide, version 14.5

RAM16X1S_1_inst : RAM16X1S_1
generic map (
  INIT => X"0000")
port map (
  O => O,          -- RAM output
  A0 => A0,         -- RAM address[0] input
  A1 => A1,         -- RAM address[1] input
  A2 => A2,         -- RAM address[2] input
  A3 => A3,         -- RAM address[3] input
  D => D,           -- RAM data input
  WCLK => WCLK,     -- Write clock input
  WE => WE          -- Write enable input
);

-- End of RAM16X1S_1_inst instantiation
```

Verilog 記述 (インスタンス化)

```
// RAM16X1S_1: 16 x 1 negedge write distributed (LUT) RAM
//           Virtex-4
// Xilinx HDL Libraries Guide, version 14.5

RAM16X1S_1 #(
  .INIT(16'h0000) // Initial contents of RAM
) RAM16X1S_1_inst (
  .O(O),          // RAM output
  .A0(A0),        // RAM address[0] input
  .A1(A1),        // RAM address[1] input
  .A2(A2),        // RAM address[2] input
  .A3(A3),        // RAM address[3] input
  .D(D),          // RAM data input
  .WCLK(WCLK),    // Write clock input
  .WE(WE)         // Write enable input
);

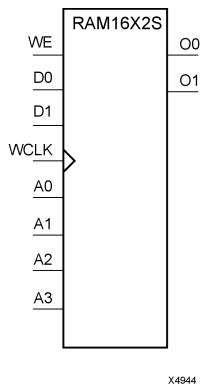
// End of RAM16X1S_1_inst instantiation
```

詳細情報

- ・ [『Virtex-4 FPGA ユーザー ガイド』\(UG070\)](#)
- ・ [『Virtex-4 FPGA データシート：DC 特性およびスイッチ特性』\(DS302\)](#)

RAM16X2S

プリミティブ：16-Deep by 2-Wide Static Synchronous RAM



概要

このエレメントは 16 ワード X 2 ビットの SRAM で、同期書き込み機能を備えています。ライト イネーブル (WE) が Low の場合、ライト クロック (WCLK) の遷移は無視され、RAM に格納されている値は変化しません。WE が High の場合、WCLK が Low から High に切り替わるときに、入力 (D1 ~ D0) の値が 4 ビットのアドレス (A3 ~ A0) で選択されたワードに書き込まれます。書き込みを正しく行うには、WCLK が Low から High に切り替わる前に、書き込みアドレスとデータ入力の値を安定させる必要があります。WCLK はデフォルトではアクティブ High ですが、インバーターを使用してアクティブ Low にすることもできます。WCLK の入力ネットに配置されたインバーターは、RAM ブロック内に組み込まれます。

出力ピン (O1 ~ O0) に出力される値は、アドレスピンで指定された RAM 内の位置に格納されている値です。

INIT_xx 属性を使用すると、RAM の初期値を指定できます。INIT_00 は出力 (O0) に対応する RAM のセルを初期化し、INIT_01 は出力 (O1) に対応するセルを初期化します。たとえば、RAM16X2S インスタンスは、INIT_00 および INIT_01 にそれぞれ 4 桁の 16 進数値を指定して初期化します。RAM16X8S インスタンスは、INIT_00 ~ INIT_07 の 8 個の属性にそれぞれ 4 桁の 16 進数値を指定して初期化します。RAM64X2S インスタンスは、INIT_00 および INIT_01 にそれぞれ 16 桁の 16 進数値を指定して初期化します。

Virtex-4 デバイス以外では、このエレメントの初期値を直接指定することはできません。

論理表

入力			出力
WE (モード)	WCLK	D1 ~ D0	O1 ~ O0
0 (読み出し)	X	X	データ
1 (読み出し)	0	X	データ
1 (読み出し)	1	X	データ
1 (書き込み)	↑	D1 ~ D0	D1 ~ D0
1 (読み出し)	↓	X	データ
データ = A3 ~ A0 で指定されたワード			

デザインの入力方法

インスタンス化	可
推論	推奨
CORE Generator™ およびウィザード	不可
マクロのサポート	不可

使用可能な属性

属性	データ型	値	デフォルト	説明
INIT_00 ~ INIT_01	16 進数	16 ビット値	すべて 0	RAM、レジスタ、LUT の初期値を指定します。

VHDL 記述 (インスタンス化)

次の 2 つの文が存在しない場合は、コピーしてエンティティ宣言の前に貼り付けます。

```
Library UNISIM;
use UNISIM.vcomponents.all;

-- RAM16X2S: 16 x 2 posedge write distributed (LUT) RAM
--          Virtex-4
-- Xilinx HDL Libraries Guide, version 14.5

RAM16X2S_inst : RAM16X2S
generic map (
  INIT_00 => X"0000", -- INIT for bit 0 of RAM
  INIT_01 => X"0000") -- INIT for bit 1 of RAM
port map (
  O0 => O0,      -- RAM data[0] output
  O1 => O1,      -- RAM data[1] output
  A0 => A0,      -- RAM address[0] input
  A1 => A1,      -- RAM address[1] input
  A2 => A2,      -- RAM address[2] input
  A3 => A3,      -- RAM address[3] input
  D0 => D0,      -- RAM data[0] input
  D1 => D1,      -- RAM data[1] input
  WCLK => WCLK,  -- Write clock input
  WE => WE       -- Write enable input
);

-- End of RAM16X2S_inst instantiation
```

Verilog 記述 (インスタンス化)

```
// RAM16X2S: 16 x 2 posedge write distributed (LUT) RAM
//          Virtex-4
// Xilinx HDL Libraries Guide, version 14.5

RAM16X2S #(
  .INIT_00(16'h0000), // Initial contents of bit 0 of RAM
  .INIT_01(16'h0000) // Initial contents of bit 1 of RAM
) RAM16X2S_inst (
  .O0(O0),           // RAM data[0] output
  .O1(O1),           // RAM data[1] output
  .A0(A0),           // RAM address[0] input
  .A1(A1),           // RAM address[1] input
  .A2(A2),           // RAM address[2] input
  .A3(A3),           // RAM address[3] input
  .D0(D0),           // RAM data[0] input
  .D1(D1),           // RAM data[1] input
  .WCLK(WCLK),       // Write clock input
```

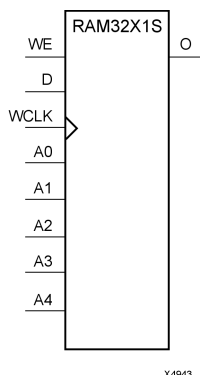
```
.WE(WE)      // Write enable input  
);  
  
// End of RAM16X2S_inst instantiation
```

詳細情報

- ・ [『Virtex-4 FPGA ユーザー ガイド』\(UG070\)](#)
- ・ [『Virtex-4 FPGA データシート：DC 特性およびスイッチ特性』\(DS302\)](#)

RAM32X1S

プリミティブ：32-Deep by 1-Wide Static Synchronous RAM



概要

このデザイン エLEMENTは 32 ワード X 1 ビットの SRAM で、同期書き込み機能を備えています。ライト イネーブル (WE) が Low の場合、ライト クロック (WCLK) の遷移は無視され、RAM に格納されている値は変化しません。WE が High になると、WCLK が Low から High に切り替わる時に、データ入力 (D) の値が 5 ビットのアドレス (A4 ~ A0) で選択されたワードに書き込まれます。書き込みを正しく行うには、WCLK が Low から High に切り替わる前に、書き込みアドレスとデータ入力の値を安定させる必要があります。WCLK はデフォルトではアクティブ High ですが、インバーターを使用してアクティブ Low にすることもできます。WCLK の入力ネットに配置されたインバーターは、RAM ブロック内に組み込まれます。

出力ピン (O) に出力される値は、アドレス ピンで指定された RAM 内の位置に格納されている値です。INIT 属性を使用すると、コンフィギュレーション中に RAM32X1S を初期化できます。

論理表

入力			出力
WE (モード)	WCLK	D	O
0 (読み出し)	X	X	データ
1 (読み出し)	0	X	データ
1 (読み出し)	1	X	データ
1 (書き込み)	↑	D	D
1 (読み出し)	↓	X	データ

デザインの入力方法

インスタンス化	可
推論	推奨
CORE Generator™ およびウィザード	不可
マクロのサポート	不可

使用可能な属性

属性	タイプ	値	デフォルト	説明
INIT	16 進数	32 ビット値	すべて 0	RAM の初期値を指定します。

VHDL 記述 (インスタンス化)

次の 2 つの文が存在しない場合は、コピーしてエンティティ宣言の前に貼り付けます。

```
Library UNISIM;
use UNISIM.vcomponents.all;

-- RAM32X1S: 32 x 1 posedge write distributed (LUT) RAM
--          Virtex-4
-- Xilinx HDL Libraries Guide, version 14.5

RAM32X1S_inst : RAM32X1S
generic map (
  INIT => X"00000000")
port map (
  O => O,      -- RAM output
  A0 => A0,     -- RAM address[0] input
  A1 => A1,     -- RAM address[1] input
  A2 => A2,     -- RAM address[2] input
  A3 => A3,     -- RAM address[3] input
  A4 => A4,     -- RAM address[4] input
  D => D,       -- RAM data input
  WCLK => WCLK, -- Write clock input
  WE => WE      -- Write enable input
);

-- End of RAM32X1S_inst instantiation
```

Verilog 記述 (インスタンス化)

```
// RAM32X1S: 32 x 1 posedge write distributed (LUT) RAM
//          Virtex-4
// Xilinx HDL Libraries Guide, version 14.5

RAM32X1S #(
  .INIT(32'h00000000) // Initial contents of RAM
) RAM32X1S_inst (
  .O(O),              // RAM output
  .A0(A0),            // RAM address[0] input
  .A1(A1),            // RAM address[1] input
  .A2(A2),            // RAM address[2] input
  .A3(A3),            // RAM address[3] input
  .A4(A4),            // RAM address[4] input
  .D(D),              // RAM data input
  .WCLK(WCLK),        // Write clock input
  .WE(WE)             // Write enable input
);

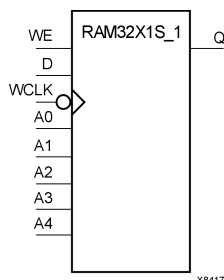
// End of RAM32X1S_inst instantiation
```

詳細情報

- ・ [『Virtex-4 FPGA ユーザー ガイド』\(UG070\)](#)
- ・ [『Virtex-4 FPGA データシート：DC 特性およびスイッチ特性』\(DS302\)](#)

RAM32X1S_1

プリミティブ：32-Deep by 1-Wide Static Synchronous RAM with Negative-Edge Clock



概要

このデザイン エLEMENTは 32 ワード X 1 ビットの SRAM で、同期書き込み機能を備えています。ライト イネーブル (WE) が Low の場合、ライト クロック (WCLK) の遷移は無視され、RAM に格納されている値は変化しません。WE が High になると、WCLK が High から Low に切り替わるときに、データ入力 (D) の値が 5 ビットのアドレス (A4 ~ A0) で選択されたワードに書き込まれます。書き込みを正しく行うには、WCLK が High から Low に切り替わる前に、書き込みアドレスとデータ入力の値を安定させる必要があります。WCLK はデフォルトではアクティブ Low ですが、インバーターを使用してアクティブ High にすることもできます。WCLK の入力ネットに配置されたインバーターは、RAM ブロック内に組み込まれます。

出力ピン (O) に出力される値は、アドレス ピンで指定された RAM 内の位置に格納されている値です。INIT 属性を使用すると、コンフィギュレーション中に RAM32X1S_1 を初期化できます。

論理表

入力			出力
WE (モード)	WCLK	D	O
0 (読み出し)	X	X	データ
1 (読み出し)	0	X	データ
1 (読み出し)	1	X	データ
1 (書き込み)	↓	D	D
1 (読み出し)	↑	X	データ
データ = A4 ~ A0 で指定されたワード			

デザインの入力方法

インスタンス化	可
推論	推奨
CORE Generator™ およびウィザード	不可
マクロのサポート	不可

使用可能な属性

属性	タイプ	値	デフォルト	説明
INIT	16 進数	32 ビット値	0	RAM、レジスタ、LUT の初期値を指定します。

VHDL 記述 (インスタンス化)

次の 2 つの文が存在しない場合は、コピーしてエンティティ宣言の前に貼り付けます。

```
Library UNISIM;
use UNISIM.vcomponents.all;

-- RAM32X1S_1: 32 x 1 negedge write distributed (LUT) RAM
--           Virtex-4
-- Xilinx HDL Libraries Guide, version 14.5

RAM32X1S_1_inst : RAM32X1S_1
generic map (
  INIT => X"00000000")
port map (
  O => O,      -- RAM output
  A0 => A0,     -- RAM address[0] input
  A1 => A1,     -- RAM address[1] input
  A2 => A2,     -- RAM address[2] input
  A3 => A3,     -- RAM address[3] input
  A4 => A4,     -- RAM address[4] input
  D => D,       -- RAM data input
  WCLK => WCLK, -- Write clock input
  WE => WE      -- Write enable input
);

-- End of RAM32X1S_1_inst instantiation
```

Verilog 記述 (インスタンス化)

```
// RAM32X1S_1: 32 x 1 negedge write distributed (LUT) RAM
//           Virtex-4
// Xilinx HDL Libraries Guide, version 14.5

RAM32X1S_1 #(
  .INIT(32'h00000000) // Initial contents of RAM
)RAM32X1S_1_inst (
  .O(O),              // RAM output
  .A0(A0),            // RAM address[0] input
  .A1(A1),            // RAM address[1] input
  .A2(A2),            // RAM address[2] input
  .A3(A3),            // RAM address[3] input
  .A4(A4),            // RAM address[4] input
  .D(D),              // RAM data input
  .WCLK(WCLK),        // Write clock input
  .WE(WE)             // Write enable input
);

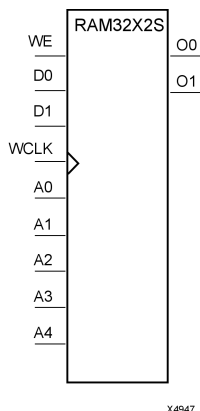
// End of RAM32X1S_1_inst instantiation
```

詳細情報

- ・ [『Virtex-4 FPGA ユーザー ガイド』\(UG070\)](#)
- ・ [『Virtex-4 FPGA データシート：DC 特性およびスイッチ特性』\(DS302\)](#)

RAM32X2S

プリミティブ：32-Deep by 2-Wide Static Synchronous RAM



概要

このデザイン エLEMENTは 32 ワード X 2 ビットの SRAM で、同期書き込み機能を備えています。ライト イネーブル (WE) が Low の場合、ライト クロック (WCLK) の遷移は無視され、RAM に格納されている値は変化しません。WE が High になると、WCLK が Low から High に切り替わるときに、入力 (D1 ~ D0) の値が 5 ビットのアドレス (A4 ~ A0) で選択されたワードに書き込まれます。書き込みを正しく行うには、WCLK が Low から High に切り替わる前に、書き込みアドレスとデータ入力の値を安定させる必要があります。WCLK はデフォルトではアクティブ High ですが、インバーターを使用してアクティブ Low にすることもできます。WCLK の入力ネットに配置されたインバーターは、RAM ブロック内に組み込まれます。出力ピン (O1 ~ O0) に出力される値は、アドレスピンで指定された RAM 内の位置に格納されている値です。

INIT_00 および INIT_01 属性を使用して RAM32X2S の初期値を指定できます。

論理表

入力			出力
WE (モード)	WCLK	D	O0 ~ O1
0 (読み出し)	X	X	データ
1 (読み出し)	0	X	データ
1 (読み出し)	1	X	データ
1 (書き込み)	↑	D1 ~ D0	D1 ~ D0
1 (読み出し)	↓	X	データ
データ = A4 ~ A0 で指定されたワード			

デザインの入力方法

インスタンス化	可
推論	推奨
CORE Generator™ およびウィザード	不可
マクロのサポート	不可

使用可能な属性

属性	タイプ	値	デフォルト	説明
INIT_00	16 進数	32 ビット値	すべて 0	RAM のビット 0 の初期値を指定します。
INIT_01	16 進数	32 ビット値	すべて 0	RAM のビット 1 の初期値を指定します。

VHDL 記述 (インスタンス化)

次の 2 つの文が存在しない場合は、コピーしてエンティティ宣言の前に貼り付けます。

```
Library UNISIM;
use UNISIM.vcomponents.all;

-- RAM32X2S: 32 x 2 posedge write distributed (LUT) RAM
--           Virtex-4
-- Xilinx HDL Libraries Guide, version 14.5

RAM32X2S_inst : RAM32X2S
generic map (
    INIT_00 => X"00000000", -- INIT for bit 0 of RAM
    INIT_01 => X"00000000") -- INIT for bit 1 of RAM
port map (
    O0 => O0,      -- RAM data[0] output
    O1 => O1,      -- RAM data[1] output
    A0 => A0,      -- RAM address[0] input
    A1 => A1,      -- RAM address[1] input
    A2 => A2,      -- RAM address[2] input
    A3 => A3,      -- RAM address[3] input
    A4 => A4,      -- RAM address[4] input
    D0 => D0,      -- RAM data[0] input
    D1 => D1,      -- RAM data[1] input
    WCLK => WCLK,  -- Write clock input
    WE => WE       -- Write enable input
);

-- End of RAM32X2S_inst instantiation
```

Verilog 記述 (インスタンス化)

```
// RAM32X2S: 32 x 2 posedge write distributed (LUT) RAM
//           Virtex-4
// Xilinx HDL Libraries Guide, version 14.5

RAM32X2S #(
    .INIT_00(32'h00000000), // INIT for bit 0 of RAM
    .INIT_01(32'h00000000) // INIT for bit 1 of RAM
) RAM32X2S_inst (
    .O0(O0),      // RAM data[0] output
    .O1(O1),      // RAM data[1] output
    .A0(A0),      // RAM address[0] input
    .A1(A1),      // RAM address[1] input
    .A2(A2),      // RAM address[2] input
    .A3(A3),      // RAM address[3] input
    .A4(A4),      // RAM address[4] input
    .D0(D0),      // RAM data[0] input
    .D1(D1),      // RAM data[1] input
    .WCLK(WCLK),  // Write clock input
    .WE(WE)       // Write enable input
);

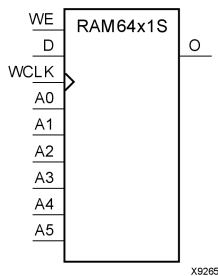
// End of RAM32X2S_inst instantiation
```

詳細情報

- ・ [『Virtex-4 FPGA ユーザー ガイド』\(UG070\)](#)
- ・ [『Virtex-4 FPGA データシート：DC 特性およびスイッチ特性』\(DS302\)](#)

RAM64X1S

プリミティブ：64-Deep by 1-Wide Static Synchronous RAM



概要

このデザイン エLEMENTは 64 ワード X 1 ビットの SRAM で、同期書き込み機能を備えています。ライト イネーブル (WE) が Low の場合、ライト クロック (WCLK) の遷移は無視され、RAM に格納されている値は変化しません。WE が High になると、WCLK が Low から High に切り替わるときに、データ入力 (D) の値が 6 ビットのアドレス (A5 ～ A0) で選択されたワードに書き込まれます。WCLK はデフォルトではアクティブ High ですが、インバーターを使用してアクティブ Low にすることもできます。WCLK の入力ネットに配置されたインバーターは、RAM ブロック内に組み込まれます。

出力ピン (O) に出力される値は、アドレス ピンで指定された RAM 内の位置に格納されている値です。

INIT 属性を使用すると、コンフィギュレーション中にこのELEMENTを初期化できます。

論理表

モード選択を次の論理表に示します。

入力			出力
WE (モード)	WCLK	D	O
0 (読み出し)	X	X	データ
1 (読み出し)	0	X	データ
1 (読み出し)	1	X	データ
1 (書き込み)	↑	D	D
1 (読み出し)	↓	X	データ
データ = A5 ～ A0 で指定されたワード			

デザインの入力方法

インスタンス化	可
推論	推奨
CORE Generator™ およびウィザード	不可
マクロのサポート	不可

使用可能な属性

属性	データ型	値	デフォルト	説明
INIT	16 進数	64 ビット値	すべて 0	ROM、RAM、レジスタ、LUT の初期値を指定します。

VHDL 記述 (インスタンスレーション)

次の 2 つの文が存在しない場合は、コピーしてエンティティ宣言の前に貼り付けます。

```
Library UNISIM;
use UNISIM.vcomponents.all;

-- RAM64X1S: 64 x 1 positive edge write, asynchronous read single-port distributed RAM
--           Virtex-4
-- Xilinx HDL Libraries Guide, version 14.5

RAM64X1S_inst : RAM64X1S
generic map (
  INIT => X"0000000000000000")
port map (
  O => O,          -- 1-bit data output
  A0 => A0,         -- Address[0] input bit
  A1 => A1,         -- Address[1] input bit
  A2 => A2,         -- Address[2] input bit
  A3 => A3,         -- Address[3] input bit
  A4 => A4,         -- Address[4] input bit
  A5 => A5,         -- Address[5] input bit
  D => D,          -- 1-bit data input
  WCLK => WCLK,     -- Write clock input
  WE => WE         -- Write enable input
);

-- End of RAM64X1S_inst instantiation
```

Verilog 記述 (インスタンスレーション)

```
// RAM64X1S: 64 x 1 positive edge write, asynchronous read single-port distributed RAM
//           Virtex-4
// Xilinx HDL Libraries Guide, version 14.5

RAM64X1S #(
  .INIT(64'h0000000000000000) // Initial contents of RAM
) RAM64X1S_inst (
  .O(O),          // 1-bit data output
  .A0(A0),        // Address[0] input bit
  .A1(A1),        // Address[1] input bit
  .A2(A2),        // Address[2] input bit
  .A3(A3),        // Address[3] input bit
  .A4(A4),        // Address[4] input bit
  .A5(A5),        // Address[5] input bit
  .D(D),          // 1-bit data input
  .WCLK(WCLK),    // Write clock input
  .WE(WE)         // Write enable input
);

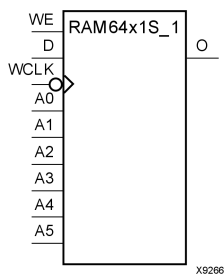
// End of RAM64X1S_inst instantiation
```

詳細情報

- ・ [『Virtex-4 FPGA ユーザー ガイド』\(UG070\)](#)
- ・ [『Virtex-4 FPGA データシート：DC 特性およびスイッチ特性』\(DS302\)](#)

RAM64X1S_1

プリミティブ：64-Deep by 1-Wide Static Synchronous RAM with Negative-Edge Clock



概要

このデザイン エLEMENTは 64 ワード X 1 ビットの SRAM で、同期書き込み機能を備えています。ライト イネーブル (WE) が Low の場合、ライト クロック (WCLK) の遷移は無視され、RAM に格納されている値は変化しません。WE が High になると、WCLK が High から Low に切り替わるときに、データ入力 (D) の値が 6 ビットのアドレス (A5 ～ A0) で選択されたワードに書き込まれます。書き込みを正しく行うには、WCLK が High から Low に切り替わる前に、書き込みアドレスとデータ入力の値を安定させる必要があります。WCLK はデフォルトではアクティブ Low ですが、インバーターを使用してアクティブ High にすることもできます。WCLK の入力ネットに配置されたインバーターは、RAM ブロック内に組み込まれます。

出力ピン (O) に出力される値は、アドレス ピンで指定された RAM 内の位置に格納されている値です。

INIT 属性を使用すると、コンフィギュレーション中にこのELEMENTを初期化できます。

論理表

入力			出力
WE (モード)	WCLK	D	O
0 (読み出し)	X	X	データ
1 (読み出し)	0	X	データ
1 (読み出し)	1	X	データ
1 (書き込み)	↓	D	D
1 (読み出し)	↑	X	データ
データ = A5 ～ A0 で指定されたワード			

デザインの入力方法

インスタンス化	可
推論	推奨
CORE Generator™ およびウィザード	不可
マクロのサポート	不可

使用可能な属性

属性	データ型	値	デフォルト	説明
INIT	16 進数	64 ビット値	すべて 0	ROM、RAM、レジスタ、LUT の初期値を指定します。

VHDL 記述 (インスタンスレーション)

次の 2 つの文が存在しない場合は、コピーしてエンティティ宣言の前に貼り付けます。

```
Library UNISIM;
use UNISIM.vcomponents.all;

-- RAM64X1S_1: 64 x 1 negative edge write, asynchronous read single-port distributed RAM
--           Virtex-4
-- Xilinx HDL Libraries Guide, version 14.5

RAM64X1S_1_inst : RAM64X1S_1
generic map (
  INIT => X"0000000000000000")
port map (
  O => O,          -- 1-bit data output
  A0 => A0,         -- Address[0] input bit
  A1 => A1,         -- Address[1] input bit
  A2 => A2,         -- Address[2] input bit
  A3 => A3,         -- Address[3] input bit
  A4 => A4,         -- Address[4] input bit
  A5 => A5,         -- Address[5] input bit
  D => D,          -- 1-bit data input
  WCLK => WCLK,     -- Write clock input
  WE => WE         -- Write enable input
);

-- End of RAM64X1S_1_inst instantiation
```

Verilog 記述 (インスタンスレーション)

```
// RAM64X1S_1: 64 x 1 negative edge write, asynchronous read single-port distributed RAM
//           Virtex-4
// Xilinx HDL Libraries Guide, version 14.5

RAM64X1S_1 #(
  .INIT(64'h0000000000000000) // Initial contents of RAM
) RAM64X1S_1_inst (
  .O(O),          // 1-bit data output
  .A0(A0),        // Address[0] input bit
  .A1(A1),        // Address[1] input bit
  .A2(A2),        // Address[2] input bit
  .A3(A3),        // Address[3] input bit
  .A4(A4),        // Address[4] input bit
  .A5(A5),        // Address[5] input bit
  .D(D),          // 1-bit data input
  .WCLK(WCLK),    // Write clock input
  .WE(WE)         // Write enable input
);

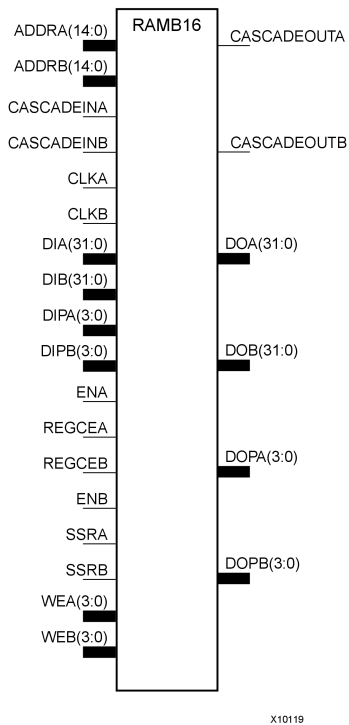
// End of RAM64X1S_1_inst instantiation
```

詳細情報

- ・ [『Virtex-4 FPGA ユーザー ガイド』\(UG070\)](#)
- ・ [『Virtex-4 FPGA データシート：DC 特性およびスイッチ特性』\(DS302\)](#)

RAMB16

プリミティブ：16K-bit Data and 2K-bit Parity Single-Port Synchronous Block RAM with Configurable Port Widths



X10119

概要

Virtex®-4 以降のデバイスには、分散 RAM メモリに加え、18Kb のブロック RAM メモリが多数搭載されています。ブロック RAM メモリはデュアルポート RAM であり、デバイス上で高速で離散型の大容量ブロックメモリとして使用できます。メモリは縦に並べられており、ブロック RAM メモリの総容量はデバイスのサイズによって異なります。18Kb ブロックをカスケード接続すると、タイミング遅延を最小限に抑えて、ビット数とワード数の多いメモリをインプリメントできます。

読み出し	読み出しは、クロック エッジに同期して行われます。読み出しアドレスが読み出しポートに取り込まれ、RAM アクセス時間後に保存されているデータが出力ラッチに送信されます。
書き込み	書き込みは、クロック エッジに同期して行われます。書き込みアドレスは書き込みポートに取り込まれ、入力データがメモリに保存されます。

書き込みの動作モード

書き込み中のポートでのデータ出力には、3 つのモードがあります。これらのモードでは、書き込み中に同じポートのデータ出力バスを使用できます。出力オプションは、コンフィギュレーションで指定します。オプションの選択により、各クロック サイクルでのブロック RAM メモリの効率が向上し、最大のバンド幅を使用したデザインが可能になります。

書き込みクロック エッジ後の出力ラッチのデータは、3 つのモードのいずれかを選択して指定します。

WRITE_FIRST (透過) モード	入力データがメモリに書き込まれると同時に、データ出力に送信されます (透過書き込み)。
READ_FIRST (書き込み前に読み出し) モード	書き込みアドレスに以前に保存されたデータが出力ラッチに送信され、それと同時に入力データがメモリに保存されます (書き込み前に読み出し)。
NO_CHANGE (変化なし) モード	書き込み中に出力ラッチは変化しません。

動作モードは、コンフィギュレーション中に設定します。各ポートに対し、属性を使用して 3 つのモードのいずれかを個別に設定できます。デフォルトでは、WRITE_FIRST に設定されています。

ポートの説明

出力ラッチの同期セット/リセット – SRVAL (SRVAL_A および SRVAL_B)

SRVAL_A および SRVAL_B (デュアル ポート) 属性は、SSR 入力のアサートした際の出力ラッチの値を定義します。次の表に示すように、SRVAL (SRVAL_A および SRVAL_B) 属性の幅がポート幅となります。

ポート幅およびデータ幅	DOP バス	DO バス	SRVAL
1	なし	<0>	1
2	なし	<1:0>	2
4	なし	<3:0>	4
9	<0>	<7:0>	(1+8) = 9
18	<1:0>	<15:0>	(2+16) = 18
36	<3:0>	<31:0>	(4 + 32) = 36

オプションの出力レジスタ切り替え – DO[A|B]_REG

RAMB16 の A/B 出力でのパイプライン レジスタの数を設定します。有効な値は 0 および 1 で、デフォルト値は 0 です。

出力レジスタのクロック反転 – INVERT_CLK_DO[A|B]_REG

TRUE に設定すると、RAMB16 の A/B 出力でのパイプライン レジスタのクロック入力が反転されます。デフォルト値は FALSE です。

拡張モード アドレス – RAM_EXTENSION_[A|B]

カスケード モードを使用する場合に、ブロック RAM の A ポートと B ポートを上位アドレス (UPPER) にするか、下位アドレス (LOWER) にするかを指定します。カスケード モードを使用するには、READ_WIDTH_[A/B] および WRITE_WIDTH_[A/B] を 1 に設定する必要があります。デフォルトでは NONE に設定されており、ブロック RAM はカスケード モードでは使用されません。

読み出し幅 – READ_WIDTH_[A|B]

ブロック RAM の A/B 読み出しポートの幅を指定します。有効な値は、0、1、2、4、9、18 および 36 で、デフォルト値は 0 です。両方のポートの READ_WIDTH_[A/B] 属性を同時に 0 に設定しないでください。

書き込み幅 – WRITE_WIDTH_[A|B]

ブロック RAM の A/B 書き込みポートの幅を指定します。有効な値は、0、1、2、4、9、18 および 36 で、デフォルト値は 0 です。

書き込みモード – WRITE_MODE_[A|B]

A/B 入力ポートの書き込みモードを指定します。有効な値は、WRITE_FIRST、READ_FIRST、および NO_CHANGE で、デフォルト値は WRITE_FIRST です。

RAMB16 のロケーション制約

ブロック RAM のインスタンスに LOC プロパティを指定すると、配置を制約できます。ブロック RAM を配置する位置の表記方法は、CLB 位置の表記方法とは異なっており、LOC プロパティを別のアレイでも簡単に使用できます。LOC プロパティは、次の形式で指定します。LOC = RAMB16_X#Y#

RAMB16_X0Y0 は、デバイスの左下にあるブロック RAM の位置を表します。

デザインの入力方法

インスタンス化	可
推論	推奨
CORE Generator™ およびウィザード	可
マクロのサポート	不可

使用可能な属性

属性	データ型	値	デフォルト	説明
DOA_REG	整数	0、1	0	A ポート上の出力レジスタ (オプション)
DOB_REG	整数	0、1	0	B ポート上の出力レジスタ (オプション)
INIT_00 ~ INIT_39	16 進数	256 ビット値	すべて 0	RAM の初期値を指定します。
INIT_0A ~ INIT_0F	16 進数	256 ビット値	すべて 0	RAM の初期値を指定します。
INIT_1A ~ INIT_1F	16 進数	256 ビット値	すべて 0	RAM の初期値を指定します。
INIT_2A ~ INIT_2F	16 進数	256 ビット値	すべて 0	RAM の初期値を指定します。
INIT_3A ~ INIT_3F	16 進数	256 ビット値	すべて 0	RAM の初期値を指定します。
INIT_A	16 進数	36 ビット値	すべて 0	A 出力ポートの初期値を指定します。
INIT_B	16 進数	36 ビット値	すべて 0	B 出力ポートの初期値を指定します。
INITP_00 ~ INITP_07	16 進数	256 ビット値	すべて 0	パリティビットの初期値を指定します。
INVERT_CLK_DOA_REG	ブール代数	FALSE、TRUE	FALSE	A ポート出力レジスタのクロックを反転します。
INVERT_CLK DOB_REG	ブール代数	FALSE、TRUE	FALSE	B ポート出力レジスタのクロックを反転します。
RAM_EXTENSION_A	文字列	"LOWER"、 "NONE"、 "UPPER"	"NONE"	カスケードする場合に上位アドレスにするか下位アドレスにするかを指定します。
RAM_EXTENSION_B	文字列	"LOWER"、 "NONE"、 "UPPER"	"NONE"	カスケードする場合に上位アドレスにするか下位アドレスにするかを指定します。
READ_WIDTH_A	整数	0、1、2、4、9、18、36	0	A 読み出しポートの幅を指定します。
READ_WIDTH_B	整数	0、1、2、4、9、18、36	0	B 読み出しポートの幅を指定します。

SIM_COLLISION_CHECK	文字列	"ALL"、 "WARNING_ONLY"、 "GENERATE_X_ONLY"、 "NONE"	"ALL"	<p>メモリの競合が発生した場合にシミュレーションの動作を変更できます。詳細は次のとおりです。</p> <ul style="list-style-type: none"> ・ "ALL"：警告メッセージが出力され、関連する出力およびメモリの値が不定 (X) になります。 ・ "WARNING_ONLY"：警告メッセージのみが出力され、関連する出力およびメモリの値はそのまま保持されます。 ・ "GENERATE_X_ONLY"：警告メッセージは出力されず、関連する出力およびメモリの値が不定 (X) になります。 ・ "NONE"：警告メッセージは出力されず、関連する出力およびメモリの値はそのまま保持されます。 <p>注記： "ALL" 以外の値に設定すると、シミュレーション中にデザインの問題を認識できなくなるため、この値を変更する場合は注意が必要です。詳細は、『合成/シミュレーション デザイン ガイド』を参照してください。</p>
SRVAL_A	16 進数	36 ビット値	すべて 0	SSR をアサートした際の A ポート出力の値を指定します。
SRVAL_B	16 進数	36 ビット値	すべて 0	SSR をアサートした際の B ポート出力の値を指定します。
WRITE_MODE_A	文字列	"WRITE_FIRST"、 "READ_FIRST"、 "NO_CHANGE"	"WRITE_FIRST"	デュアル ポート RAMB16 のポート A (Sn) の書き込みモードを指定します。
WRITE_MODE_B	文字列	"WRITE_FIRST"、 "READ_FIRST"、 "NO_CHANGE"	"WRITE_FIRST"	デュアル ポート RAMB16 のポート B (Sn) の書き込みモードを指定します。
WRITE_WIDTH_A	整数	0、1、2、4、9、18、36	0	A 書き込みポートの幅を指定します。
WRITE_WIDTH_B	整数	0、1、2、4、9、18、36	0	B 書き込みポートの幅を指定します。

VHDL 記述 (インスタンスエーション)

次の 2 つの文が存在しない場合は、コピーしてエンティティ宣言の前に貼り付けます。

```
Library UNISIM;
use UNISIM.vcomponents.all;

-- RAMB16: 16k+2k Parity Parameterizable BlockRAM
--         Virtex-4
-- Xilinx HDL Libraries Guide, version 14.5
```

```
RAMB16_inst : RAMB16
generic map (
    DOA_REG => 0, -- Optional output registers on the A port (0 or 1)
    DOB_REG => 0, -- Optional output registers on the B port (0 or 1)
    INIT_A => X"000000000", -- Initial values on A output port
    INIT_B => X"000000000", -- Initial values on B output port
    INVERT_CLK_DOA_REG => FALSE, -- Invert clock on A port output registers (TRUE or FALSE)
    INVERT_CLK_DOB_REG => FALSE, -- Invert clock on B port output registers (TRUE or FALSE)
    RAM_EXTENSION_A => "NONE", -- "UPPER", "LOWER" or "NONE" when cascaded
    RAM_EXTENSION_B => "NONE", -- "UPPER", "LOWER" or "NONE" when cascaded
    READ_WIDTH_A => 0, -- Valid values are 1,2,4,9,18 or 36
    READ_WIDTH_B => 0, -- Valid values are 1,2,4,9,18 or 36
    SIM_COLLISION_CHECK => "ALL", -- Collision check enable "ALL", "WARNING_ONLY",
    -- "GENERATE_X_ONLY" or "NONE"

    SRVAL_A => X"000000000", -- Port A output value upon SSR assertion
    SRVAL_B => X"000000000", -- Port B output value upon SSR assertion
    WRITE_MODE_A => "WRITE_FIRST", -- WRITE_FIRST, READ_FIRST or NO_CHANGE
    WRITE_MODE_B => "WRITE_FIRST", -- WRITE_FIRST, READ_FIRST or NO_CHANGE
    WRITE_WIDTH_A => 0, -- Valid values are 1,2,4,9,18 or 36
    WRITE_WIDTH_B => 0, -- Valid values are 1,2,4,9,18 or 36
    -- The following INIT xx declarations specify the initial contents of the RAM
    INIT_00 => X"0000000000000000000000000000000000000000000000000000000000000000",
    INIT_01 => X"0000000000000000000000000000000000000000000000000000000000000000",
    INIT_02 => X"0000000000000000000000000000000000000000000000000000000000000000",
    INIT_03 => X"0000000000000000000000000000000000000000000000000000000000000000",
    INIT_04 => X"0000000000000000000000000000000000000000000000000000000000000000",
    INIT_05 => X"0000000000000000000000000000000000000000000000000000000000000000",
    INIT_06 => X"0000000000000000000000000000000000000000000000000000000000000000",
    INIT_07 => X"0000000000000000000000000000000000000000000000000000000000000000",
    INIT_08 => X"0000000000000000000000000000000000000000000000000000000000000000",
    INIT_09 => X"0000000000000000000000000000000000000000000000000000000000000000",
    INIT_0A => X"0000000000000000000000000000000000000000000000000000000000000000",
    INIT_0B => X"0000000000000000000000000000000000000000000000000000000000000000",
    INIT_0C => X"0000000000000000000000000000000000000000000000000000000000000000",
    INIT_0D => X"0000000000000000000000000000000000000000000000000000000000000000",
    INIT_0E => X"0000000000000000000000000000000000000000000000000000000000000000",
    INIT_0F => X"0000000000000000000000000000000000000000000000000000000000000000",
    INIT_10 => X"0000000000000000000000000000000000000000000000000000000000000000",
    INIT_11 => X"0000000000000000000000000000000000000000000000000000000000000000",
    INIT_12 => X"0000000000000000000000000000000000000000000000000000000000000000",
    INIT_13 => X"0000000000000000000000000000000000000000000000000000000000000000",
    INIT_14 => X"0000000000000000000000000000000000000000000000000000000000000000",
    INIT_15 => X"0000000000000000000000000000000000000000000000000000000000000000",
    INIT_16 => X"0000000000000000000000000000000000000000000000000000000000000000",
    INIT_17 => X"0000000000000000000000000000000000000000000000000000000000000000",
    INIT_18 => X"0000000000000000000000000000000000000000000000000000000000000000",
    INIT_19 => X"0000000000000000000000000000000000000000000000000000000000000000",
    INIT_1A => X"0000000000000000000000000000000000000000000000000000000000000000",
    INIT_1B => X"0000000000000000000000000000000000000000000000000000000000000000",
    INIT_1C => X"0000000000000000000000000000000000000000000000000000000000000000",
    INIT_1D => X"0000000000000000000000000000000000000000000000000000000000000000",
    INIT_1E => X"0000000000000000000000000000000000000000000000000000000000000000",
    INIT_1F => X"0000000000000000000000000000000000000000000000000000000000000000",
    INIT_20 => X"0000000000000000000000000000000000000000000000000000000000000000",
    INIT_21 => X"0000000000000000000000000000000000000000000000000000000000000000",
    INIT_22 => X"0000000000000000000000000000000000000000000000000000000000000000",
    INIT_23 => X"0000000000000000000000000000000000000000000000000000000000000000",
    INIT_24 => X"0000000000000000000000000000000000000000000000000000000000000000",
    INIT_25 => X"0000000000000000000000000000000000000000000000000000000000000000",
    INIT_26 => X"0000000000000000000000000000000000000000000000000000000000000000",
    INIT_27 => X"0000000000000000000000000000000000000000000000000000000000000000",
    INIT_28 => X"0000000000000000000000000000000000000000000000000000000000000000",
    INIT_29 => X"0000000000000000000000000000000000000000000000000000000000000000",
    INIT_2A => X"0000000000000000000000000000000000000000000000000000000000000000",
    INIT_2B => X"0000000000000000000000000000000000000000000000000000000000000000",
    INIT_2C => X"0000000000000000000000000000000000000000000000000000000000000000",
    INIT_2D => X"0000000000000000000000000000000000000000000000000000000000000000",
    INIT_2E => X"0000000000000000000000000000000000000000000000000000000000000000",
    INIT_2F => X"0000000000000000000000000000000000000000000000000000000000000000",
    INIT_30 => X"0000000000000000000000000000000000000000000000000000000000000000",
    INIT_31 => X"0000000000000000000000000000000000000000000000000000000000000000",
    INIT_32 => X"0000000000000000000000000000000000000000000000000000000000000000",
    INIT_33 => X"0000000000000000000000000000000000000000000000000000000000000000",
```

```

INIT_34 => X"0000000000000000000000000000000000000000000000000000000000000000",
INIT_35 => X"0000000000000000000000000000000000000000000000000000000000000000",
INIT_36 => X"0000000000000000000000000000000000000000000000000000000000000000",
INIT_37 => X"0000000000000000000000000000000000000000000000000000000000000000",
INIT_38 => X"0000000000000000000000000000000000000000000000000000000000000000",
INIT_39 => X"0000000000000000000000000000000000000000000000000000000000000000",
INIT_3A => X"0000000000000000000000000000000000000000000000000000000000000000",
INIT_3B => X"0000000000000000000000000000000000000000000000000000000000000000",
INIT_3C => X"0000000000000000000000000000000000000000000000000000000000000000",
INIT_3D => X"0000000000000000000000000000000000000000000000000000000000000000",
INIT_3E => X"0000000000000000000000000000000000000000000000000000000000000000",
INIT_3F => X"0000000000000000000000000000000000000000000000000000000000000000",
-- The next set of INITP_xx are for the parity bits
INITP_00 => X"0000000000000000000000000000000000000000000000000000000000000000",
INITP_01 => X"0000000000000000000000000000000000000000000000000000000000000000",
INITP_02 => X"0000000000000000000000000000000000000000000000000000000000000000",
INITP_03 => X"0000000000000000000000000000000000000000000000000000000000000000",
INITP_04 => X"0000000000000000000000000000000000000000000000000000000000000000",
INITP_05 => X"0000000000000000000000000000000000000000000000000000000000000000",
INITP_06 => X"0000000000000000000000000000000000000000000000000000000000000000",
INITP_07 => X"0000000000000000000000000000000000000000000000000000000000000000")
port map (
  CASCADEOUTA => CASCADEOUTA, -- 1-bit cascade output
  CASCADEOUTB => CASCADEOUTB, -- 1-bit cascade output
  DOA => DOA, -- 32-bit A port Data Output
  DOB => DOB, -- 32-bit B port Data Output
  DOPA => DOPA, -- 4-bit A port Parity Output
  DOPB => DOPB, -- 4-bit B port Parity Output
  ADDRA => ADDRA, -- 15-bit A port Address Input
  ADDRb => ADDRb, -- 15-bit B port Address Input
  CASCADEINA => CASCADEINA, -- 1-bit cascade A input
  CASCADEINB => CASCADEINB, -- 1-bit cascade B input
  CLKA => CLKA, -- Port A Clock
  CLKB => CLKB, -- Port B Clock
  DIA => DIA, -- 32-bit A port Data Input
  DIB => DIB, -- 32-bit B port Data Input
  DIPA => DIPA, -- 4-bit A port parity Input
  DIPB => DIPB, -- 4-bit B port parity Input
  ENA => ENA, -- 1-bit A port Enable Input
  ENB => ENB, -- 1-bit B port Enable Input
  REGCEA => REGCEA, -- 1-bit A port register enable input
  REGCEB => REGCEB, -- 1-bit B port register enable input
  SSRA => SSRA, -- 1-bit A port Synchronous Set/Reset Input
  SSRB => SSRB, -- 1-bit B port Synchronous Set/Reset Input
  WEA => WEA, -- 4-bit A port Write Enable Input
  WEB => WEB, -- 4-bit B port Write Enable Input
);

-- End of RAMB16_inst instantiation

```

Verilog 記述 (インスタンスレーション)

```

// RAMB16: 16k+2k Parity parameterizable BlockRAM
// Virtex-4
// Xilinx HDL Libraries Guide, version 14.5

RAMB16 #(
  .DOA_REG(0), // Optional output registers on A port (0 or 1)
  .DOB_REG(0), // Optional output registers on B port (0 or 1)
  .INIT_A(36'h000000000), // Initial values on A output port
  .INIT_B(36'h000000000), // Initial values on B output port
  .INVERT_CLK_DOA_REG("FALSE"), // Invert clock on A port output registers ("TRUE" or "FALSE")
  .INVERT_CLK_DOB_REG("FALSE"), // Invert clock on B port output registers ("TRUE" or "FALSE")
  .RAM_EXTENSION_A("NONE"), // "UPPER", "LOWER" or "NONE" when cascaded
  .RAM_EXTENSION_B("NONE"), // "UPPER", "LOWER" or "NONE" when cascaded
  .READ_WIDTH_A(0), // Valid values are 1, 2, 4, 9, 18, or 36
  .READ_WIDTH_B(0), // Valid values are 1, 2, 4, 9, 18, or 36
  .SIM_COLLISION_CHECK("ALL"), // Collision check enable "ALL", "WARNING_ONLY",
  // "GENERATE_X_ONLY" or "NONE"
  .SRVAL_A(36'h000000000), // Set/Reset value for A port output
  .SRVAL_B(36'h000000000), // Set/Reset value for B port output

```


Virtex-4 ライブラリ ガイド (HDL 用)
UG619 (v14.5) 2013 年 3 月 20 日

```
.INITP_01(256'h0000000000000000000000000000000000000000000000000000000000000000),
.INITP_02(256'h0000000000000000000000000000000000000000000000000000000000000000),
.INITP_03(256'h0000000000000000000000000000000000000000000000000000000000000000),
.INITP_04(256'h0000000000000000000000000000000000000000000000000000000000000000),
.INITP_05(256'h0000000000000000000000000000000000000000000000000000000000000000),
.INITP_06(256'h0000000000000000000000000000000000000000000000000000000000000000),
.INITP_07(256'h0000000000000000000000000000000000000000000000000000000000000000)
);
RAMB16_inst (
.CASCADEOUTA(CASCADEOUTA), // 1-bit cascade output
.CASCADEOUTB(CASCADEOUTB), // 1-bit cascade output
.DOA(DOA), // 32-bit A port data output
.DOB(DOB), // 32-bit B port data output
.DOPA(DOPA), // 4-bit A port parity data output
.DOPB(DOPB), // 4-bit B port parity data output
.ADDRA(ADDR_A), // 15-bit A port address input
.ADDRB(ADDR_B), // 15-bit B port address input
.CASCADEINA(CASCADEINA), // 1-bit cascade A input
.CASCADEINB(CASCADEINB), // 1-bit cascade B input
.CLKA(CLKA), // 1-bit A port clock input
.CLKB(CLKB), // 1-bit B port clock input
.DIA(DIA), // 32-bit A port data input
.DIB(DIB), // 32-bit B port data input
.DIPA(DIPA), // 4-bit A port parity data input
.DIPB(DIPB), // 4-bit B port parity data input
.ENA(ENA), // 1-bit A port enable input
.ENB(ENB), // 1-bit B port enable input
.REGCEA(REGCEA), // 1-bit A port register enable input
.REGCEB(REGCEB), // 1-bit B port register enable input
.SSRA(SSRA), // 1-bit A port set/reset input
.SSRB(SSRB), // 1-bit B port set/reset input
.WEA(WEA), // 4-bit A port write enable input
.WEB(WEB) // 4-bit B port write enable input
);

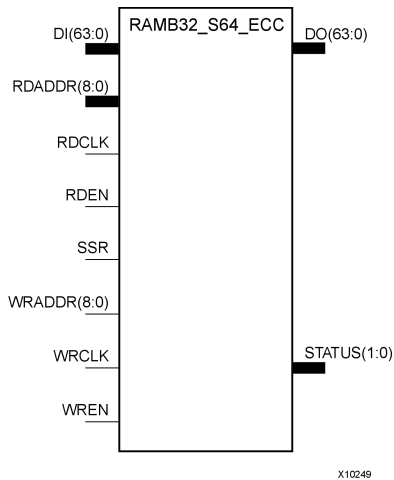
// End of RAMB16 inst instantiation
```

詳細情報

- ・ [『Virtex-4 FPGA ユーザー ガイド』\(UG070\)](#)
- ・ [『Virtex-4 FPGA データシート：DC 特性およびスイッチ特性』\(DS302\)](#)

RAMB32_S64_ECC

プリミティブ：512 Deep by 64-Bit Wide Synchronous, Two-Port Block RAM with Built-In Error Correction



概要

縦に並ぶ 2 個のブロック RAM は、72 ビット幅 RAM の追加の 8 ビットを使用し、ビルトインのハミング誤り訂正を使用した 512 X 64 RAM としてコンフィギュレーションできます。この動作は自動的に行われます。書き込みで 8 個の保護ビットが生成され、これらのビットは読み出しでシングル エラーの訂正やダブル エラーの検出に使用されます。2 つのステータス出力で、誤りなし、シングル エラーの訂正、ダブル エラーの検出という 3 つの読み出し結果を表します。読み出しでは、メモリ アレイの誤りは訂正されず、DOUT に訂正されたデータが送信されるだけです。

誤り訂正符号 (ECC) コンフィギュレーション オプションは、ほぼすべてのブロック RAM ペアで使用できますが、Virtex®-4 PowerPC® ブロックのすぐ上またはすぐ下にあるブロック RAM は使用できません。

ポートの説明

ポート名	方向	機能
DIN<63:0>	入力	データ入力バス
WRADDR<8:0>	入力	書き込みアドレス バス
RDADDR<8:0>	入力	読み出しアドレス バス
WREN	入力	ライト イネーブル。WREN = 1 の場合、データがメモリに書き込まれます。WREN = 0 の場合、書き込みはディスエーブルになります。
RDEN	入力	リード イネーブル。RDEN = 1 の場合、データがメモリから読み出されます。RDEN = 0 の場合、読み出しはディスエーブルになります。
SSR	入力	セット/リセット出力レジスタ (メモリの内容はセット/リセットしない)
WRCLK	入力	書き込みクロック
RDCLK	入力	読み出しクロック
DOUT<63:0>	出力	データ出力バス
STATUS<1:0>(1)	出力	誤りステータス バス

注記：ブロック RAM ECC ロジックにインプリメントされたハミング コードは、検出可能な誤りなし、DOUT でのシングルビット エラーの検出と訂正（メモリでは訂正されない）、ダブル ビット エラーの検出という 3 つの状態のうちいずれかを検出します。STATUS<1:0> は、これらの状態を表します。

STATUS[1:0]	機能
0	ビット誤りなし
1	シングルビット エラー。ブロック RAM ECC マクロは、シングル ビット エラーを検出し、自動的に訂正します。
10	ダブル ビット エラー。ブロック RAM ECC マクロは、ダブル ビット エラーを検出します。
11	不定状態。予測されないステータスです。誤りステータス バスを正しく機能させるには、データにシングル ビット エラーまたはダブル ビット エラー以外の誤りが含まれないようにする必要があります。

デザインの入力方法

インスタンス化	推奨
推論	不可
CORE Generator™ およびウィザード	不可
マクロのサポート	不可

使用可能な属性

属性	データ型	値	デフォルト	説明
DO_REG	整数	0、1	0	A ポート上の出力レジスタ（オプション）
SIM_COLLISION_CHECK	文字列	"ALL"、"NONE"、 "WARNING_ONLY"、 "GENERATE_X_ONLY"	"ALL"	<p>メモリの競合が発生した場合のシミュレーションの動作を指定します。出力は次のようになります。</p> <ul style="list-style-type: none"> ・ "ALL"：警告メッセージが出力され、関連する出力およびメモリの値が不定 (X) になります。 ・ "WARNING_ONLY"：警告メッセージのみが出力され、関連する出力およびメモリの値はそのまま保持されます。 ・ "GENERATE_X_ONLY"：警告メッセージは出力されず、関連する出力およびメモリの値が不定 (X) になります。 ・ "NONE"：警告メッセージは出力されず、関連する出力およびメモリの値はそのまま保持されます。 <p>注記："ALL" 以外の値に設定すると、シミュレーション中にデザインの問題を認識できなくなるため、この値を変更する場合は注意が必要です。詳細は、『合成/シミュレーション デザイン ガイド』を参照してください。</p>

VHDL 記述 (インスタンス化)

次の 2 つの文が存在しない場合は、コピーしてエンティティ宣言の前に貼り付けます。

```
Library UNISIM;
use UNISIM.vcomponents.all;

-- RAMB32_S64_ECC: 512 x 64 Error Correction BlockRAM
-- Virtex-4
-- Xilinx HDL Libraries Guide, version 14.5

RAMB32_S64_ECC_inst: RAMB32_S64_ECC_inst
generic map(
    DO_REG => 0, -- Optional output registers (0 or 1)
    SIM_COLLISION_CHECK => "ALL") -- Collision check enable "ALL", "WARNING_ONLY", "GENERATE_X_ONLY"
port map (
    DO => DO, -- 64-bit output data
    STATUS => STATUS, -- 2-bit status output
    DI => DI, -- 64-bit data input
    RDADDR => RDADDR, -- 9-bit data address input
    RDCLK => RDCLK, -- 1-bit read clock input
    RDEN => RDEN, -- 1-bit read enable input
    SSR => '0', -- Always tie to ground
    WRADDR => WRADDR, -- 9-bit write address input
    WRCLK => WRCLK, -- 1-bit write clock input
    WREN => WREN -- 1-bit write enable input
);

-- End of RAMB32_S64_ECC_inst instantiation
```

Verilog 記述 (インスタンス化)

```
// RAMB32_S64_ECC: 512 x 64 Error Correction BlockRAM
// Virtex-4
// Xilinx HDL Libraries Guide, version 14.5

RAMB32_S64_ECC #(
    .DO_REG(0), // Optional output registers (0 or 1)
    .SIM_COLLISION_CHECK("ALL") // Collision check enable "ALL",
    // "WARNING_ONLY", "GENERATE_X_ONLY"
) RAMB32_S64_ECC_inst (
    .DO(DO), // 64-bit output data
    .STATUS(STATUS), // 2-bit status output
    .DI(DI), // 64-bit data input
    .RDADDR(RDADDR), // 9-bit data address input
    .RDCLK(RDCLK), // 1-bit read clock input
    .RDEN(RDEN), // 1-bit read enable input
    .SSR(1'b0), // Always tie to ground
    .WRADDR(WRADDR), // 9-bit write address input
    .WRCLK(WRCLK), // 1-bit write clock input
    .WREN(WREN) // 1-bit write enable input
);

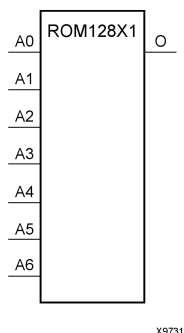
// End of RAMB32_S64_ECC_inst instantiation
```

詳細情報

- ・ [『Virtex-4 FPGA ユーザー ガイド』\(UG070\)](#)
- ・ [『Virtex-4 FPGA データシート：DC 特性およびスイッチ特性』\(DS302\)](#)

ROM128X1

プリミティブ：128-Deep by 1-Wide ROM



概要

このデザイン エLEMENTは 128 ワード X 1 ビットの ROM です。データ出力 (O) には、7 ビットのアドレス (A6 ～ A0) で選択されたワードが出力されます。ROM は、コンフィギュレーションの際に INIT で指定された値に初期化されます。初期値は 32 桁の 16 進数で、ROM には最上位ビット A=FH から最下位ビット A=0H の順に書き込まれます。INIT を指定しないと、エラーが発生します。

論理表

入力				出力
I0	I1	I2	I3	O
0	0	0	0	INIT(0)
0	0	0	1	INIT(1)
0	0	1	0	INIT(2)
0	0	1	1	INIT(3)
0	1	0	0	INIT(4)
0	1	0	1	INIT(5)
0	1	1	0	INIT(6)
0	1	1	1	INIT(7)
1	0	0	0	INIT(8)
1	0	0	1	INIT(9)
1	0	1	0	INIT(10)
1	0	1	1	INIT(11)
1	1	0	0	INIT(12)
1	1	0	1	INIT(13)
1	1	1	0	INIT(14)
1	1	1	1	INIT(15)

デザインの入力方法

インスタンス化	可
推論	推奨
CORE Generator™ およびウィザード	不可
マクロのサポート	不可

使用可能な属性

属性	データ型	値	デフォルト	説明
INIT	16 進数	128 ビット値	すべて 0	ROM の値を指定します。

VHDL 記述 (インスタンス化)

次の 2 つの文が存在しない場合は、コピーしてエンティティ宣言の前に貼り付けます。

```
Library UNISIM;
use UNISIM.vcomponents.all;

-- ROM128X1: 128 x 1 Asynchronous Distributed (LUT) ROM
--           Virtex-4
-- Xilinx HDL Libraries Guide, version 14.5

ROM128X1_inst : ROM128X1
generic map (
  INIT => X"00000000000000000000000000000000")
port map (
  O => O,    -- ROM output
  A0 => A0,  -- ROM address[0]
  A1 => A1,  -- ROM address[1]
  A2 => A2,  -- ROM address[2]
  A3 => A3,  -- ROM address[3]
  A4 => A4,  -- ROM address[4]
  A5 => A5,  -- ROM address[5]
  A6 => A6,  -- ROM address[6]
);

-- End of ROM128X1_inst instantiation
```

Verilog 記述 (インスタンス化)

```
// ROM128X1: 128 x 1 Asynchronous Distributed (LUT) ROM
//           Virtex-4
// Xilinx HDL Libraries Guide, version 14.5

ROM128X1 #(
  .INIT(128'h00000000000000000000000000000000) // Contents of ROM
) ROM128X1_inst (
  .O(O),    // ROM output
  .A0(A0),  // ROM address[0]
  .A1(A1),  // ROM address[1]
  .A2(A2),  // ROM address[2]
  .A3(A3),  // ROM address[3]
  .A4(A4),  // ROM address[4]
  .A5(A5),  // ROM address[5]
  .A6(A6)   // ROM address[6]
);

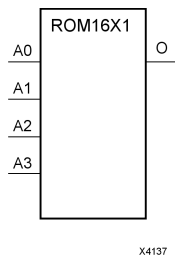
// End of ROM128X1_inst instantiation
```

詳細情報

- ・ [『Virtex-4 FPGA ユーザー ガイド』\(UG070\)](#)
- ・ [『Virtex-4 FPGA データシート：DC 特性およびスイッチ特性』\(DS302\)](#)

ROM16X1

プリミティブ：16-Deep by 1-Wide ROM



概要

このデザイン エLEMENTは 16 ワード X 1 ビットの ROM です。データ出力 (O) には、4 ビットのアドレス (A3 ～ A0) で選択されたワードが出力されます。ROM は、コンフィギュレーションの際に INIT で指定された値に初期化されます。初期値は 4 桁の 16 進数で、ROM には最上位ビット A=FH から最下位ビット A=0H の順に書き込まれます。たとえば、INIT=10A7 と指定すると、「0001 0000 1010 0111」というデータストリームが生成されます。INIT を指定しないと、エラーが発生します。

論理表

入力				出力
I0	I1	I2	I3	O
0	0	0	0	INIT(0)
0	0	0	1	INIT(1)
0	0	1	0	INIT(2)
0	0	1	1	INIT(3)
0	1	0	0	INIT(4)
0	1	0	1	INIT(5)
0	1	1	0	INIT(6)
0	1	1	1	INIT(7)
1	0	0	0	INIT(8)
1	0	0	1	INIT(9)
1	0	1	0	INIT(10)
1	0	1	1	INIT(11)
1	1	0	0	INIT(12)
1	1	0	1	INIT(13)
1	1	1	0	INIT(14)
1	1	1	1	INIT(15)

デザインの入力方法

インスタンス化	可
推論	推奨
CORE Generator™ およびウィザード	不可
マクロのサポート	不可

使用可能な属性

属性	データ型	値	デフォルト	説明
INIT	16 進数	16 ビット値	すべて 0	ROM の値を指定します。

VHDL 記述 (インスタンス化)

次の 2 つの文が存在しない場合は、コピーしてエンティティ宣言の前に貼り付けます。

```
Library UNISIM;
use UNISIM.vcomponents.all;

-- ROM16X1: 16 x 1 Asynchronous Distributed (LUT) ROM
--          Virtex-4
-- Xilinx HDL Libraries Guide, version 14.5

ROM16X1_inst : ROM16X1
generic map (
  INIT => x"0000")
port map (
  O => O,    -- ROM output
  A0 => A0,   -- ROM address[0]
  A1 => A1,   -- ROM address[1]
  A2 => A2,   -- ROM address[2]
  A3 => A3    -- ROM address[3]
);

-- End of ROM16X1_inst instantiation
```

Verilog 記述 (インスタンス化)

```
// ROM16X1: 16 x 1 Asynchronous Distributed (LUT) ROM
//          Virtex-4
// Xilinx HDL Libraries Guide, version 14.5

ROM16X1 #(
  .INIT(16'h0000) // Contents of ROM
) ROM16X1_inst (
  .O(O),          // ROM output
  .A0(A0),        // ROM address[0]
  .A1(A1),        // ROM address[1]
  .A2(A2),        // ROM address[2]
  .A3(A3)         // ROM address[3]
);

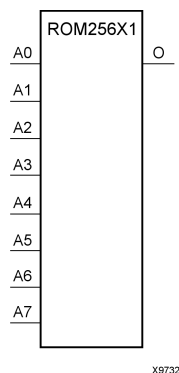
// End of ROM16X1_inst instantiation
```

詳細情報

- ・ [『Virtex-4 FPGA ユーザー ガイド』\(UG070\)](#)
- ・ [『Virtex-4 FPGA データシート：DC 特性およびスイッチ特性』\(DS302\)](#)

ROM256X1

プリミティブ：256-Deep by 1-Wide ROM



概要

このデザイン エLEMENTは 256 ワード X 1 ビットの ROM です。データ出力 (O) には、8 ビットのアドレス (A7 ～ A0) で選択されたワードが出力されます。ROM は、コンフィギュレーションの際に INIT で指定された値に初期化されます。初期値は 64 桁の 16 進数で、ROM には最上位ビット A=FH から最下位ビット A=0H の順に書き込まれます。

INIT を指定しないと、エラーが発生します。

論理表

入力				出力
I0	I1	I2	I3	O
0	0	0	0	INIT(0)
0	0	0	1	INIT(1)
0	0	1	0	INIT(2)
0	0	1	1	INIT(3)
0	1	0	0	INIT(4)
0	1	0	1	INIT(5)
0	1	1	0	INIT(6)
0	1	1	1	INIT(7)
1	0	0	0	INIT(8)
1	0	0	1	INIT(9)
1	0	1	0	INIT(10)
1	0	1	1	INIT(11)
1	1	0	0	INIT(12)
1	1	0	1	INIT(13)
1	1	1	0	INIT(14)
1	1	1	1	INIT(15)

デザインの入力方法

インスタンス化	可
推論	推奨
CORE Generator™ およびウィザード	不可
マクロのサポート	不可

使用可能な属性

属性	データ型	値	デフォルト	説明
INIT	16 進数	256 ビット値	すべて 0	ROM の値を指定します。

VHDL 記述 (インスタンス化)

次の 2 つの文が存在しない場合は、コピーしてエンティティ宣言の前に貼り付けます。

```
Library UNISIM;
use UNISIM.vcomponents.all;

-- ROM256X1: 256 x 1 Asynchronous Distributed (LUT) ROM
--           Virtex-4
-- Xilinx HDL Libraries Guide, version 14.5

ROM256X1_inst : ROM256X1
generic map (
  INIT => X"0000000000000000000000000000000000000000000000000000000000000000"
)
port map (
  O => O,    -- ROM output
  A0 => A0,   -- ROM address[0]
  A1 => A1,   -- ROM address[1]
  A2 => A2,   -- ROM address[2]
  A3 => A3,   -- ROM address[3]
  A4 => A4,   -- ROM address[4]
  A5 => A5,   -- ROM address[5]
  A6 => A6,   -- ROM address[6]
  A7 => A7,   -- ROM address[7]
);

-- End of ROM256X1_inst instantiation
```

Verilog 記述 (インスタンス化)

```
// ROM256X1: 256 x 1 Asynchronous Distributed (LUT) ROM
//           Virtex-4
// Xilinx HDL Libraries Guide, version 14.5

ROM256X1 #(
  .INIT(256'h0000000000000000000000000000000000000000000000000000000000000000) // Contents of ROM
) ROM256X1_inst (
  .O(O),    // ROM output
  .A0(A0),  // ROM address[0]
  .A1(A1),  // ROM address[1]
  .A2(A2),  // ROM address[2]
  .A3(A3),  // ROM address[3]
  .A4(A4),  // ROM address[4]
  .A5(A5),  // ROM address[5]
  .A6(A6),  // ROM address[6]
  .A7(A7)   // ROM address[7]
);

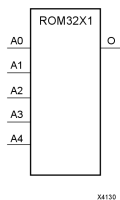
// End of ROM256X1_inst instantiation
```

詳細情報

- ・ [『Virtex-4 FPGA ユーザー ガイド』\(UG070\)](#)
- ・ [『Virtex-4 FPGA データシート：DC 特性およびスイッチ特性』\(DS302\)](#)

ROM32X1

プリミティブ : 32-Deep by 1-Wide ROM



概要

このデザイン エLEMENTは 32 ワード X 1 ビットの ROM です。データ出力 (O) には、5 ビットのアドレス (A4 ~ A0) で選択されたワードが出力されます。ROM は、コンフィギュレーションの際に INIT で指定された値に初期化されます。初期値は 8 桁の 16 進数で、ROM には最上位ビット A=1FH から最下位ビット A=00H の順に書き込まれます。

たとえば INIT=10A78F39 と指定すると、「0001 0000 1010 0111 1000 1111 0011」というデータストリームが生成されます。INIT を指定しないと、エラーが発生します。

論理表

入力				出力
I0	I1	I2	I3	O
0	0	0	0	INIT(0)
0	0	0	1	INIT(1)
0	0	1	0	INIT(2)
0	0	1	1	INIT(3)
0	1	0	0	INIT(4)
0	1	0	1	INIT(5)
0	1	1	0	INIT(6)
0	1	1	1	INIT(7)
1	0	0	0	INIT(8)
1	0	0	1	INIT(9)
1	0	1	0	INIT(10)
1	0	1	1	INIT(11)
1	1	0	0	INIT(12)
1	1	0	1	INIT(13)
1	1	1	0	INIT(14)
1	1	1	1	INIT(15)

デザインの入力方法

インスタンス化	可
推論	推奨
CORE Generator™ およびウィザード	不可
マクロのサポート	不可

使用可能な属性

属性	タイプ	値	デフォルト	説明
INIT	16 進数	32 ビット値	すべて 0	ROM の値を指定します。

VHDL 記述 (インスタンス化)

次の 2 つの文が存在しない場合は、コピーしてエンティティ宣言の前に貼り付けます。

```
Library UNISIM;
use UNISIM.vcomponents.all;

-- ROM32X1: 32 x 1 Asynchronous Distributed (LUT) ROM
--          Virtex-4
-- Xilinx HDL Libraries Guide, version 14.5

ROM32X1_inst : ROM32X1
generic map (
  INIT => X"00000000")
port map (
  O => O,    -- ROM output
  A0 => A0,  -- ROM address[0]
  A1 => A1,  -- ROM address[1]
  A2 => A2,  -- ROM address[2]
  A3 => A3,  -- ROM address[3]
  A4 => A4   -- ROM address[4]
);
-- End of ROM32X1_inst instantiation
```

Verilog 記述 (インスタンス化)

```
// ROM32X1: 32 x 1 Asynchronous Distributed (LUT) ROM
//          Virtex-4
// Xilinx HDL Libraries Guide, version 14.5

ROM32X1 #(
  .INIT(32'h00000000) // Contents of ROM
) ROM32X1_inst (
  .O(O),             // ROM output
  .A0(A0),           // ROM address[0]
  .A1(A1),           // ROM address[1]
  .A2(A2),           // ROM address[2]
  .A3(A3),           // ROM address[3]
  .A4(A4)            // ROM address[4]
);

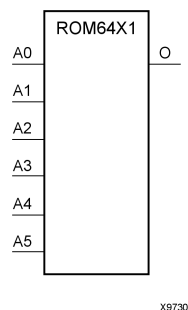
// End of ROM32X1_inst instantiation
```

詳細情報

- ・ [『Virtex-4 FPGA ユーザー ガイド』\(UG070\)](#)
- ・ [『Virtex-4 FPGA データシート：DC 特性およびスイッチ特性』\(DS302\)](#)

ROM64X1

プリミティブ：64-Deep by 1-Wide ROM



概要

このデザイン エLEMENTは 64 ワード X 1 ビットの ROM です。データ出力 (O) には、6 ビットのアドレス (A5 ～ A0) で選択されたワードが出力されます。ROM は、コンフィギュレーションの際に INIT で指定された値に初期化されます。初期値は 16 桁の 16 進数で、ROM には最上位ビット A=FH から最下位ビット A=0H の順に書き込まれます。INIT を指定しないと、エラーが発生します。

論理表

入力				出力
I0	I1	I2	I3	O
0	0	0	0	INIT(0)
0	0	0	1	INIT(1)
0	0	1	0	INIT(2)
0	0	1	1	INIT(3)
0	1	0	0	INIT(4)
0	1	0	1	INIT(5)
0	1	1	0	INIT(6)
0	1	1	1	INIT(7)
1	0	0	0	INIT(8)
1	0	0	1	INIT(9)
1	0	1	0	INIT(10)
1	0	1	1	INIT(11)
1	1	0	0	INIT(12)
1	1	0	1	INIT(13)
1	1	1	0	INIT(14)
1	1	1	1	INIT(15)

デザインの入力方法

インスタンス化	可
推論	推奨
CORE Generator™ およびウィザード	不可
マクロのサポート	不可

使用可能な属性

属性	データ型	値	デフォルト	説明
INIT	16 進数	64 ビット値	すべて 0	ROM の値を指定します。

VHDL 記述 (インスタンス化)

次の 2 つの文が存在しない場合は、コピーしてエンティティ宣言の前に貼り付けます。

```
Library UNISIM;
use UNISIM.vcomponents.all;

-- ROM64X1: 64 x 1 Asynchronous Distributed (LUT) ROM
--          Virtex-4
-- Xilinx HDL Libraries Guide, version 14.5

ROM64X1_inst : ROM64X1
generic map (
  INIT => X"0000000000000000")
port map (
  O => O,    -- ROM output
  A0 => A0,  -- ROM address[0]
  A1 => A1,  -- ROM address[1]
  A2 => A2,  -- ROM address[2]
  A3 => A3,  -- ROM address[3]
  A4 => A4,  -- ROM address[4]
  A5 => A5   -- ROM address[5]
);

-- End of ROM64X1_inst instantiation
```

Verilog 記述 (インスタンス化)

```
// ROM64X1: 64 x 1 Asynchronous Distributed (LUT) ROM
//          Virtex-4
// Xilinx HDL Libraries Guide, version 14.5

ROM64X1 #(
  .INIT(64'h0000000000000000) // Contents of ROM
) ROM64X1_inst (
  .O(O),    // ROM output
  .A0(A0), // ROM address[0]
  .A1(A1), // ROM address[1]
  .A2(A2), // ROM address[2]
  .A3(A3), // ROM address[3]
  .A4(A4), // ROM address[4]
  .A5(A5)  // ROM address[5]
);

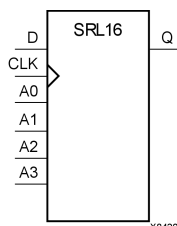
// End of ROM64X1_inst instantiation
```

詳細情報

- ・ [『Virtex-4 FPGA ユーザー ガイド』\(UG070\)](#)
- ・ [『Virtex-4 FPGA データシート：DC 特性およびスイッチ特性』\(DS302\)](#)

SRL16

プリミティブ：16-Bit Shift Register Look-Up Table (LUT)



概要

このデザイン エLEMENTは、シフトレジスタ ルックアップ テーブル (LUT) です。シフトレジスタの長さは、入力 A3、A2、A1、A0 の値によって決定されます。

シフトレジスタの長さは、固定することも、変動させることもできます。

- ・ **固定長のシフトレジスタを作成するには：** 入力 A3 ～ A0 の値を一定にします。シフトレジスタは 1 ～ 16 ビットの長さに設定できます。アドレス入力の値によるシフトレジスタの長さは、長さ = $(8 \times A3) + (4 \times A2) + (2 \times A1) + A0 + 1$ という式で算出できます。A3、A2、A1、A0 がすべて 0 の場合 (0000) はシフトレジスタの長さは 1 ビットになり、すべて 1 の場合 (1111) は 16 ビットになります。
- ・ **シフトレジスタ長を動的に変化させるには：** 入力 A3 ～ A0 の値を変化させます。たとえば、A2、A1、A0 がすべて 1 の場合 (111) に A3 を 1 から 0 に切り替えると、シフトレジスタの長さは 16 ビットから 8 ビットに変化します。内部的には、シフトレジスタの長さは常に 16 ビットで、どのビットの値が出力されるかは入力 A3 ～ A0 の値によって決定されます。

シフトレジスタ LUT の初期値を指定するには、INIT 属性に 4 桁の 16 進数を割り当てます。一番左の桁が最上位ビットになります。INIT の値を指定しない場合は、シフトレジスタ LUT の内容はコンフィギュレーション中に 0000 にクリアされます。

クロック (CLK) が Low から High に切り替わるときに、D の値がシフトレジスタの第 1 ビットにロードされます。次にクロックが Low から High に切り替わると、シフトレジスタの値は次の高位ビットにシフトされ、新しい値がロードされます。アドレス入力の値によってシフトレジスタの長さが決まり、Q にその値が出力されます。

論理表

入力			出力
Am	CLK	D	Q
Am	X	X	Q(Am)
Am	↑	D	Q(Am - 1)
m = 0、1、2、3			

デザインの入力方法

インスタンス化	可
推論	推奨
CORE Generator™ およびウィザード	不可
マクロのサポート	不可

使用可能な属性

属性	データ型	値	デフォルト	説明
INIT	16 進数	16 ビット値	すべて 0	コンフィギュレーション後の Q 出力の初期値を指定します。

VHDL 記述 (インスタンスレーション)

次の 2 つの文が存在しない場合は、コピーしてエンティティ宣言の前に貼り付けます。

```
Library UNISIM;
use UNISIM.vcomponents.all;

-- SRL16: 16-bit shift register LUT operating on posedge of clock
-- Virtex-4
-- Xilinx HDL Libraries Guide, version 14.5

SRL16_inst : SRL16
generic map (
  INIT => X"0000")
port map (
  Q => Q,          -- SRL data output
  A0 => A0,         -- Select[0] input
  A1 => A1,         -- Select[1] input
  A2 => A2,         -- Select[2] input
  A3 => A3,         -- Select[3] input
  CLK => CLK,       -- Clock input
  D => D            -- SRL data input
);

-- End of SRL16_inst instantiation
```

Verilog 記述 (インスタンスレーション)

```
// SRL16: 16-bit shift register LUT operating on posedge of clock
// Virtex-4
// Xilinx HDL Libraries Guide, version 14.5

SRL16 #(
  .INIT(16'h0000) // Initial Value of Shift Register
) SRL16_inst (
  .Q(Q),          // SRL data output
  .A0(A0),        // Select[0] input
  .A1(A1),        // Select[1] input
  .A2(A2),        // Select[2] input
  .A3(A3),        // Select[3] input
  .CLK(CLK),      // Clock input
  .D(D)           // SRL data input
);

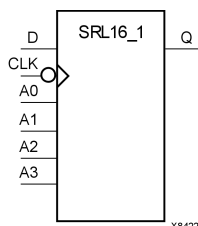
// End of SRL16_inst instantiation
```

詳細情報

- ・ [『Virtex-4 FPGA ユーザー ガイド』\(UG070\)](#)
- ・ [『Virtex-4 FPGA データシート：DC 特性およびスイッチ特性』\(DS302\)](#)

SRL16_1

プリミティブ：16-Bit Shift Register Look-Up Table (LUT) with Negative-Edge Clock



概要

このデザイン エレメントは、シフトレジスタ ルックアップ テーブル (LUT) です。シフトレジスタの長さは、入力 A3、A2、A1、A0 の値によって決定されます。

シフトレジスタの長さは、固定することも、変動させることもできます。

- ・ **固定長のシフトレジスタを作成するには：** 入力 A3 ～ A0 の値を一定にします。シフトレジスタは 1 ～ 16 ビットの長さに設定できます。アドレス入力の値によるシフトレジスタの長さは、長さ = $(8 \times A3) + (4 \times A2) + (2 \times A1) + A0 + 1$ という式で算出できます。A3、A2、A1、A0 がすべて 0 の場合 (0000) はシフトレジスタの長さは 1 ビットになり、すべて 1 の場合 (1111) は 16 ビットになります。
- ・ **シフトレジスタ長を動的に変化させるには：** 入力 A3 ～ A0 の値を変化させます。たとえば、A2、A1、A0 がすべて 1 の場合 (111) に A3 を 1 から 0 に切り替えると、シフトレジスタの長さは 16 ビットから 8 ビットに変化します。内部的には、シフトレジスタの長さは常に 16 ビットで、どのビットの値が出力されるかは入力 A3 ～ A0 の値によって決定されます。

シフトレジスタ LUT の初期値を指定するには、INIT 属性に 4 桁の 16 進数を割り当てます。一番左の桁が最上位ビットになります。INIT の値を指定しない場合は、シフトレジスタ LUT の内容はコンフィギュレーション中に 0000 にクリアされます。

クロック (CLK) が High から Low に切り替わるときに、D の値がシフトレジスタの第 1 ビットにロードされます。次にクロックが High から Low に切り替わると、シフトレジスタの値は次の高位ビットにシフトされ、新しい値がロードされます。アドレス入力の値によってシフトレジスタの長さが決まり、Q にその値が出力されます。

論理表

入力			出力
Am	CLK	D	Q
Am	X	X	Q(Am)
Am	↓	D	Q(Am - 1)
m = 0、1、2、3			

デザインの入力方法

インスタンス化	可
推論	推奨
CORE Generator™ およびウィザード	不可
マクロのサポート	不可

使用可能な属性

属性	データ型	値	デフォルト	説明
INIT	16 進数	16 ビット値	すべて 0	コンフィギュレーション後の Q 出力の初期値を指定します。

VHDL 記述 (インスタンスレーション)

次の 2 つの文が存在しない場合は、コピーしてエンティティ宣言の前に貼り付けます。

```
Library UNISIM;
use UNISIM.vcomponents.all;

-- SRL16_1: 16-bit shift register LUT operating on negedge of clock
--          Virtex-4
-- Xilinx HDL Libraries Guide, version 14.5

SRL16_1_inst : SRL16_1
generic map (
  INIT => X"0000")
port map (
  Q => Q,          -- SRL data output
  A0 => A0,         -- Select[0] input
  A1 => A1,         -- Select[1] input
  A2 => A2,         -- Select[2] input
  A3 => A3,         -- Select[3] input
  CLK => CLK,       -- Clock input
  D => D            -- SRL data input
);

-- End of SRL16_1_inst instantiation
```

Verilog 記述 (インスタンスレーション)

```
// SRL16_1: 16-bit shift register LUT operating on negedge of clock
//          Virtex-4
// Xilinx HDL Libraries Guide, version 14.5

SRL16_1 #(
  .INIT(16'h0000) // Initial Value of Shift Register
) SRL16_1_inst (
  .Q(Q),          // SRL data output
  .A0(A0),        // Select[0] input
  .A1(A1),        // Select[1] input
  .A2(A2),        // Select[2] input
  .A3(A3),        // Select[3] input
  .CLK(CLK),      // Clock input
  .D(D)           // SRL data input
);

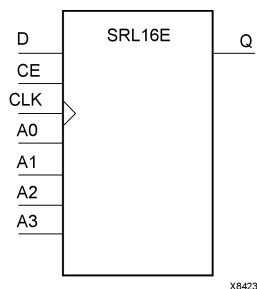
// End of SRL16_1_inst instantiation
```

詳細情報

- ・ [『Virtex-4 FPGA ユーザー ガイド』\(UG070\)](#)
- ・ [『Virtex-4 FPGA データシート：DC 特性およびスイッチ特性』\(DS302\)](#)

SRL16E

プリミティブ : 16-Bit Shift Register Look-Up Table (LUT) with Clock Enable



概要

このデザイン エLEMENTは、シフトレジスタ ルックアップ テーブル (LUT) です。シフトレジスタの長さは、入力 A3、A2、A1、A0 の値によって決定されます。

シフトレジスタの長さは、固定することも、変動させることもできます。

- ・ **固定長のシフトレジスタを作成するには :** 入力 A3 ~ A0 の値を一定にします。シフトレジスタは 1 ~ 16 ビットの長さに設定できます。アドレス入力の値によるシフトレジスタの長さは、長さ = $(8 \times A3) + (4 \times A2) + (2 \times A1) + A0 + 1$ という式で算出できます。A3、A2、A1、A0 がすべて 0 の場合 (0000) はシフトレジスタの長さは 1 ビットになり、すべて 1 の場合 (1111) は 16 ビットになります。
- ・ **シフトレジスタ長を動的に変化させるには :** 入力 A3 ~ A0 の値を変化させます。たとえば、A2、A1、A0 がすべて 1 の場合 (111) に A3 を 1 から 0 に切り替えると、シフトレジスタの長さは 16 ビットから 8 ビットに変化します。内部的には、シフトレジスタの長さは常に 16 ビットで、どのビットの値が出力されるかは入力 A3 ~ A0 の値によって決定されます。

シフトレジスタ LUT の初期値を指定するには、INIT 属性に 4 桁の 16 進数を割り当てます。一番左の桁が最上位ビットになります。INIT の値を指定しない場合は、シフトレジスタ LUT の内容はコンフィギュレーション中に 0000 にクリアされます。

CE が High の場合、クロック (CLK) が Low から High に切り替わるときに、D の値がシフトレジスタの第 1 ビットにロードされます。次にクロックが Low から High に切り替わるときに CE が High の場合、シフトレジスタの値は次の高位ビットにシフトされ、新しい値がロードされます。アドレス入力の値によってシフトレジスタの長さが決まり、Q にその値が出力されます。CE が Low の場合、クロック遷移は無視されます。

論理表

入力				出力
Am	CE	CLK	D	Q
Am	0	X	X	Q(Am)
Am	1	↑	D	Q(Am - 1)
m = 0、1、2、3				

ポートの説明

ポート名	方向	幅	機能
Q	出力	1	シフトレジスタ データ出力
D	入力	1	シフトレジスタ データ入力
CLK	入力	1	クロック
CE	入力	1	アクティブ High のクロック イネーブル
A	入力	4	SRL のワード数のダイナミック選択 ・ A=0000 ==> 1 ビットシフト長 ・ A=1111 ==> 16 ビットシフト長

デザインの入力方法

インスタンス化	可
推論	推奨
CORE Generator™ およびウィザード	不可
マクロのサポート	不可

使用可能な属性

属性	データ型	値	デフォルト	説明
INIT	16 進数	16 ビット値	すべて 0	コンフィギュレーション後のシフトレジスタと出力の初期値を指定します。

VHDL 記述 (インスタンス化)

次の 2 つの文が存在しない場合は、コピーしてエンティティ宣言の前に貼り付けます。

```
Library UNISIM;
use UNISIM.vcomponents.all;

-- SRL16E: 16-bit shift register LUT with clock enable operating on posedge of clock
--      Virtex-4
-- Xilinx HDL Libraries Guide, version 14.5

SRL16E_inst : SRL16E
generic map (
  INIT => X"0000")
port map (
  Q => Q,          -- SRL data output
  A0 => A0,         -- Select[0] input
  A1 => A1,         -- Select[1] input
  A2 => A2,         -- Select[2] input
  A3 => A3,         -- Select[3] input
  CE => CE,         -- Clock enable input
  CLK => CLK,       -- Clock input
  D => D           -- SRL data input
);

-- End of SRL16E_inst instantiation
```

Verilog 記述 (インスタンスレーション)

```
// SRL16E: 16-bit shift register LUT with clock enable operating on posedge of clock
//      Virtex-4
// Xilinx HDL Libraries Guide, version 14.5

SRL16E #(
    .INIT(16'h0000) // Initial Value of Shift Register
) SRL16E_inst (
    .Q(Q),           // SRL data output
    .A0(A0),         // Select[0] input
    .A1(A1),         // Select[1] input
    .A2(A2),         // Select[2] input
    .A3(A3),         // Select[3] input
    .CE(CE),         // Clock enable input
    .CLK(CLK),       // Clock input
    .D(D)            // SRL data input
);

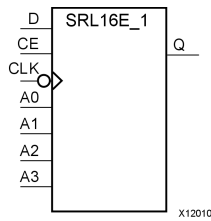
// End of SRL16E_inst instantiation
```

詳細情報

- ・ [『Virtex-4 FPGA ユーザー ガイド』\(UG070\)](#)
- ・ [『Virtex-4 FPGA データシート：DC 特性およびスイッチ特性』\(DS302\)](#)

SRL16E_1

プリミティブ : 16-Bit Shift Register Look-Up Table (LUT) with Negative-Edge Clock and Clock Enable



概要

このデザイン エLEMENTは、クロック イネーブル (CE) があるシフトレジスタ ルックアップ テーブル (LUT) で、クロックの立ち下がりエッジで動作します。シフトレジスタの長さは、入力 A3、A2、A1、A0 の値によって決定されます。

シフトレジスタの長さは、固定することも、変動させることもできます。

- 固定長のシフトレジスタを作成するには :** 入力 A3 ~ A0 の値を一定にします。シフトレジスタは 1 ~ 16 ビットの長さに設定できます。アドレス入力の値によるシフトレジスタの長さは、長さ = $(8 \times A3) + (4 \times A2) + (2 \times A1) + A0 + 1$ という式で算出できます。A3、A2、A1、A0 がすべて 0 の場合 (0000) はシフトレジスタの長さは 1 ビットになり、すべて 1 の場合 (1111) は 16 ビットになります。
- シフトレジスタ長を動的に変化させるには :** 入力 A3 ~ A0 の値を変化させます。たとえば、A2、A1、A0 がすべて 1 の場合 (111) に A3 を 1 から 0 に切り替えると、シフトレジスタの長さは 16 ビットから 8 ビットに変化します。内部的には、シフトレジスタの長さは常に 16 ビットで、どのビットの値が出力されるかは入力 A3 ~ A0 の値によって決定されます。

シフトレジスタ LUT の初期値を指定するには、INIT 属性に 4 桁の 16 進数を割り当てます。一番左の桁が最上位ビットになります。INIT の値を指定しない場合は、シフトレジスタ LUT の内容はコンフィギュレーション中に 0000 にクリアされます。

CE が High の場合、クロック (CLK) が High から Low に切り替わるときに、D の値がシフトレジスタの第 1 ビットにロードされます。次にクロックが High から Low に切り替わるときに CE が High の場合、シフトレジスタの値は次の高位ビットにシフトされ、新しい値がロードされます。アドレス入力の値によってシフトレジスタの長さが決まり、Q にその値が出力されます。CE が Low の場合、クロック遷移は無視されます。

論理表

入力				出力
A _m	CE	CLK	D	Q
A _m	0	X	X	Q(A _m)
A _m	1	↓	D	Q(A _m - 1)
m = 0、1、2、3				

デザインの入力方法

インスタンス化	可
推論	推奨
CORE Generator™ およびウィザード	不可
マクロのサポート	不可

使用可能な属性

属性	タイプ	値	デフォルト	説明
INIT	16 進数	16 ビット値	すべて 0	コンフィギュレーション後のシフトレジスタと出力の初期値を指定します。

VHDL 記述 (インスタンス化)

次の 2 つの文が存在しない場合は、コピーしてエンティティ宣言の前に貼り付けます。

```
Library UNISIM;
use UNISIM.vcomponents.all;

-- SRL16E_1: 16-bit shift register LUT with clock enable operating on negedge of clock
--          Virtex-4
-- Xilinx HDL Libraries Guide, version 14.5

SRL16E_1_inst : SRL16E_1
generic map (
  INIT => X"0000")
port map (
  Q => Q,          -- SRL data output
  A0 => A0,         -- Select[0] input
  A1 => A1,         -- Select[1] input
  A2 => A2,         -- Select[2] input
  A3 => A3,         -- Select[3] input
  CE => CE,         -- Clock enable input
  CLK => CLK,       -- Clock input
  D => D           -- SRL data input
);

-- End of SRL16E_1_inst instantiation
```

Verilog 記述 (インスタンス化)

```
// SRL16E_1: 16-bit shift register LUT with clock enable operating on negedge of clock
//          Virtex-4
// Xilinx HDL Libraries Guide, version 14.5

SRL16E_1 #(
  .INIT(16'h0000) // Initial Value of Shift Register
) SRL16E_1_inst (
  .Q(Q),          // SRL data output
  .A0(A0),        // Select[0] input
  .A1(A1),        // Select[1] input
  .A2(A2),        // Select[2] input
  .A3(A3),        // Select[3] input
  .CE(CE),        // Clock enable input
  .CLK(CLK),      // Clock input
  .D(D)           // SRL data input
);

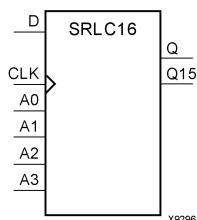
// End of SRL16E_1_inst instantiation
```

詳細情報

- ・ [『Virtex-4 FPGA ユーザー ガイド』\(UG070\)](#)
- ・ [『Virtex-4 FPGA データシート：DC 特性およびスイッチ特性』\(DS302\)](#)

SRLC16

プリミティブ：16-Bit Shift Register Look-Up Table (LUT) with Carry



概要

このデザイン エレメントは、キャリーがあるシフトレジスタ ルックアップ テーブル (LUT) です。シフトレジスタの長さは、入力 A3、A2、A1、A0 の値によって決定されます。

シフトレジスタの長さは、固定することも、変動させることもできます。

- ・ **固定長のシフトレジスタを作成するには：** 入力 A3 ～ A0 の値を一定にします。シフトレジスタは 1 ～ 16 ビットの長さに設定できます。アドレス入力の値によるシフトレジスタの長さは、長さ = $(8 \times A3) + (4 \times A2) + (2 \times A1) + A0 + 1$ という式で算出できます。A3、A2、A1、A0 がすべて 0 の場合 (0000) はシフトレジスタの長さは 1 ビットになり、すべて 1 の場合 (1111) は 16 ビットになります。
- ・ **シフトレジスタ長を動的に変化させるには：** 入力 A3 ～ A0 の値を変化させます。たとえば、A2、A1、A0 がすべて 1 の場合 (111) に A3 を 1 から 0 に切り替えると、シフトレジスタの長さは 16 ビットから 8 ビットに変化します。内部的には、シフトレジスタの長さは常に 16 ビットで、どのビットの値が出力されるかは入力 A3 ～ A0 の値によって決定されます。

シフトレジスタ LUT の初期値を指定するには、INIT 属性に 4 桁の 16 進数を割り当てます。一番左の桁が最上位ビットになります。INIT の値を指定しない場合は、シフトレジスタ LUT の内容はコンフィギュレーション中に 0000 にクリアされます。

クロック (CLK) が Low から High に切り替わるときに、D の値がシフトレジスタの第 1 ビットにロードされます。次にクロックが Low から High に切り替わると、シフトレジスタの値は次の高位ビットにシフトされ、新しい値がロードされます。アドレス入力の値によってシフトレジスタの長さが決まり、Q にその値が出力されます。

注記： Q15 の出力を使用すると、複数のシフトレジスタ LUT をカスケード接続でき、より大きなシフトレジスタを作成できます。

論理表

入力			出力
A _m	CLK	D	Q
A _m	X	X	Q(A _m)
A _m	↑	D	Q(A _m - 1)
m = 0、1、2、3			

デザインの入力方法

インスタンス化	可
推論	推奨
CORE Generator™ およびウィザード	不可
マクロのサポート	不可

使用可能な属性

属性	データ型	値	デフォルト	説明
INIT	16 進数	16 ビット値	すべて 0	コンフィギュレーション後のシフトレジスタと出力の初期値を指定します。

VHDL 記述 (インスタンス化)

次の 2 つの文が存在しない場合は、コピーしてエンティティ宣言の前に貼り付けます。

```
Library UNISIM;
use UNISIM.vcomponents.all;

-- SRLC16: 16-bit cascadable shift register LUT operating on posedge of clock
--          Virtex-4
-- Xilinx HDL Libraries Guide, version 14.5

SRLC16_inst : SRLC16
generic map (
  INIT => X"0000")
port map (
  Q => Q,          -- SRL data output
  Q15 => Q15,      -- Carry output (connect to next SRL)
  A0 => A0,        -- Select[0] input
  A1 => A1,        -- Select[1] input
  A2 => A2,        -- Select[2] input
  A3 => A3,        -- Select[3] input
  CLK => CLK,      -- Clock input
  D => D           -- SRL data input
);

-- End of SRLC16_inst instantiation
```

Verilog 記述 (インスタンス化)

```
// SRLC16: 16-bit cascadable shift register LUT operating on posedge of clock
//          Virtex-4
// Xilinx HDL Libraries Guide, version 14.5

SRLC16 #(
  .INIT(16'h0000) // Initial Value of Shift Register
) SRLC16_inst (
  .Q(Q),          // SRL data output
  .Q15(Q15),      // Carry output (connect to next SRL)
  .A0(A0),        // Select[0] input
  .A1(A1),        // Select[1] input
  .A2(A2),        // Select[2] input
  .A3(A3),        // Select[3] input
  .CLK(CLK),      // Clock input
  .D(D)           // SRL data input
);

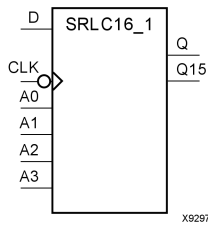
// End of SRLC16_inst instantiation
```

詳細情報

- ・ [『Virtex-4 FPGA ユーザー ガイド』\(UG070\)](#)
- ・ [『Virtex-4 FPGA データシート：DC 特性およびスイッチ特性』\(DS302\)](#)

SRLC16_1

プリミティブ：16-Bit Shift Register Look-Up Table (LUT) with Carry and Negative-Edge Clock



概要

このデザイン エLEMENTは、キャリーがあるシフトレジスタ ルックアップ テーブル (LUT) で、クロックの立ち下がりエッジで動作します。シフトレジスタの長さは、入力 A3、A2、A1、A0 の値によって決定されます。

シフトレジスタの長さは、固定することも、変動させることもできます。

- ・ **固定長のシフトレジスタを作成するには：** 入力 A3 ～ A0 の値を一定にします。シフトレジスタは 1 ～ 16 ビットの長さに設定できます。アドレス入力の値によるシフトレジスタの長さは、長さ = $(8 \times A3) + (4 \times A2) + (2 \times A1) + A0 + 1$ という式で算出できます。A3、A2、A1、A0 がすべて 0 の場合 (0000) はシフトレジスタの長さは 1 ビットになり、すべて 1 の場合 (1111) は 16 ビットになります。
- ・ **シフトレジスタ長を動的に変化させるには：** 入力 A3 ～ A0 の値を変化させます。たとえば、A2、A1、A0 がすべて 1 の場合 (111) に A3 を 1 から 0 に切り替えると、シフトレジスタの長さは 16 ビットから 8 ビットに変化します。内部的には、シフトレジスタの長さは常に 16 ビットで、どのビットの値が出力されるかは入力 A3 ～ A0 の値によって決定されます。

シフトレジスタ LUT の初期値を指定するには、INIT 属性に 4 桁の 16 進数を割り当てます。一番左の桁が最上位ビットになります。INIT の値を指定しない場合は、シフトレジスタ LUT の内容はコンフィギュレーション中に 0000 にクリアされます。

注記： Q15 の出力を使用すると、複数のシフトレジスタ LUT をカスケード接続でき、より大きなシフトレジスタを作成できます。

論理表

入力			出力	
A _m	CLK	D	Q	Q15
A _m	X	X	Q(A _m)	変化なし
A _m	↓	D	Q(A _m - 1)	Q14
m = 0、1、2、3				

デザインの入力方法

インスタンス化	可
推論	推奨
CORE Generator™ およびウィザード	不可
マクロのサポート	不可

使用可能な属性

属性	データ型	値	デフォルト	説明
INIT	16 進数	16 ビット値	すべて 0	コンフィギュレーション後のシフトレジスタと出力の初期値を指定します。

VHDL 記述 (インスタンスレーション)

次の 2 つの文が存在しない場合は、コピーしてエンティティ宣言の前に貼り付けます。

```
Library UNISIM;
use UNISIM.vcomponents.all;

-- SRLC16_1: 16-bit cascadable shift register LUT operating on negedge of clock
--          Virtex-4
-- Xilinx HDL Libraries Guide, version 14.5

SRLC16_1_inst : SRLC16_1
generic map (
  INIT => X"0000")
port map (
  Q => Q,      -- SRL data output
  Q15 => Q15,   -- Carry output (connect to next SRL)
  A0 => A0,     -- Select[0] input
  A1 => A1,     -- Select[1] input
  A2 => A2,     -- Select[2] input
  A3 => A3,     -- Select[3] input
  CLK => CLK,   -- Clock input
  D => D        -- SRL data input
);

-- End of SRLC16_1_inst instantiation
```

Verilog 記述 (インスタンスレーション)

```
// SRLC16_1: 16-bit cascadable shift register LUT operating on negedge of clock
//          Virtex-4
// Xilinx HDL Libraries Guide, version 14.5

SRLC16_1 #(
  .INIT(16'h0000) // Initial Value of Shift Register
) SRLC16_1_inst (
  .Q(Q),          // SRL data output
  .Q15(Q15),      // Carry output (connect to next SRL)
  .A0(A0),        // Select[0] input
  .A1(A1),        // Select[1] input
  .A2(A2),        // Select[2] input
  .A3(A3),        // Select[3] input
  .CLK(CLK),      // Clock input
  .D(D)           // SRL data input
);

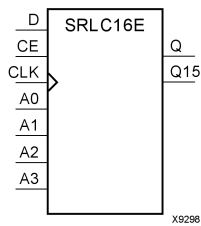
// End of SRLC16_1_inst instantiation
```

詳細情報

- ・ [『Virtex-4 FPGA ユーザー ガイド』\(UG070\)](#)
- ・ [『Virtex-4 FPGA データシート：DC 特性およびスイッチ特性』\(DS302\)](#)

SRLC16E

プリミティブ：16-Bit Shift Register Look-Up Table (LUT) with Carry and Clock Enable



概要

このデザイン エLEMENTは、キャリーとクロック イネーブルがあるシフトレジスタ ルックアップ テーブル (LUT) です。シフトレジスタの長さは、入力 A3、A2、A1、A0 の値によって決定されます。

シフトレジスタの長さは、固定することも、変動させることもできます。

- ・ **固定長のシフトレジスタを作成するには：** 入力 A3 ～ A0 の値を一定にします。シフトレジスタは 1 ～ 16 ビットの長さに設定できます。アドレス入力の値によるシフトレジスタの長さは、長さ = $(8 \times A3) + (4 \times A2) + (2 \times A1) + A0 + 1$ という式で算出できます。A3、A2、A1、A0 がすべて 0 の場合 (0000) はシフトレジスタの長さは 1 ビットになり、すべて 1 の場合 (1111) は 16 ビットになります。
- ・ **シフトレジスタ長を動的に変化させるには：** 入力 A3 ～ A0 の値を変化させます。たとえば、A2、A1、A0 がすべて 1 の場合 (111) に A3 を 1 から 0 に切り替えると、シフトレジスタの長さは 16 ビットから 8 ビットに変化します。内部的には、シフトレジスタの長さは常に 16 ビットで、どのビットの値が出力されるかは入力 A3 ～ A0 の値によって決定されます。

シフトレジスタ LUT の初期値を指定するには、INIT 属性に 4 桁の 16 進数を割り当てます。一番左の桁が最上位ビットになります。INIT の値を指定しない場合は、シフトレジスタ LUT の内容はコンフィギュレーション中に 0000 にクリアされます。

クロック (CLK) が Low から High に切り替わるときに、D の値がシフトレジスタの第 1 ビットにロードされます。次にクロックが Low から High に切り替わるときに CE が High の場合、シフトレジスタの値は次の高位ビットにシフトされ、新しいデータがロードされます。アドレス入力の値によってシフトレジスタの長さが決まり、Q にその値が出力されます。

注記： Q15 の出力を使用すると、複数のシフトレジスタ LUT をカスケード接続でき、より大きなシフトレジスタを作成できます。

論理表

入力				出力	
Am	CLK	CE	D	Q	Q15
Am	X	0	X	Q(Am)	Q(15)
Am	X	1	X	Q(Am)	Q(15)
Am	↑	1	D	Q(Am - 1)	Q15
m = 0、1、2、3					

デザインの入力方法

インスタンス化	可
推論	推奨
CORE Generator™ およびウィザード	不可
マクロのサポート	不可

使用可能な属性

属性	データ型	値	デフォルト	説明
INIT	16 進数	16 ビット値	すべて 0	コンフィギュレーション後のシフトレジスタと出力の初期値を指定します。

VHDL 記述 (インスタンス化)

次の 2 つの文が存在しない場合は、コピーしてエンティティ宣言の前に貼り付けます。

```
Library UNISIM;
use UNISIM.vcomponents.all;

-- SRLC16E: 16-bit cascable shift register LUT with clock enable operating on posedge of clock
--          Virtex-4
-- Xilinx HDL Libraries Guide, version 14.5

SRLC16E_inst : SRLC16E
generic map (
  INIT => X"0000")
port map (
  Q => Q,          -- SRL data output
  Q15 => Q15,      -- Carry output (connect to next SRL)
  A0 => A0,        -- Select[0] input
  A1 => A1,        -- Select[1] input
  A2 => A2,        -- Select[2] input
  A3 => A3,        -- Select[3] input
  CE => CE,        -- Clock enable input
  CLK => CLK,      -- Clock input
  D => D           -- SRL data input
);

-- End of SRLC16E_inst instantiation
```

Verilog 記述 (インスタンス化)

```
// SRLC16E: 16-bit cascable shift register LUT with clock enable operating on posedge of clock
//          Virtex-4
// Xilinx HDL Libraries Guide, version 14.5

SRLC16E #(
  .INIT(16'h0000) // Initial Value of Shift Register
) SRLC16E_inst (
  .Q(Q),          // SRL data output
  .Q15(Q15),     // Carry output (connect to next SRL)
  .A0(A0),        // Select[0] input
  .A1(A1),        // Select[1] input
  .A2(A2),        // Select[2] input
  .A3(A3),        // Select[3] input
  .CE(CE),        // Clock enable input
  .CLK(CLK),      // Clock input
  .D(D)           // SRL data input
);
```

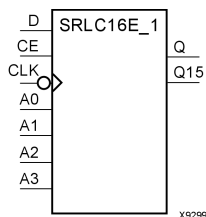
```
// End of SRLC16E_inst instantiation
```

詳細情報

- ・ [『Virtex-4 FPGA ユーザー ガイド』\(UG070\)](#)
- ・ [『Virtex-4 FPGA データシート：DC 特性およびスイッチ特性』\(DS302\)](#)

SRLC16E_1

プリミティブ : 16-Bit Shift Register Look-Up Table (LUT) with Carry, Negative-Edge Clock, and Clock Enable



概要

このデザイン エレメントは、キャリーおよびクロック イネーブルがあるシフトレジスタ ルックアップ テーブル (LUT) で、クロックの立ち下がりエッジで動作します。シフトレジスタの長さは、入力 A3、A2、A1、A0 の値によって決定されます。

シフトレジスタの長さは、固定することも、変動させることもできます。

- 固定長のシフトレジスタを作成するには :** 入力 A3 ~ A0 の値を一定にします。シフトレジスタは 1 ~ 16 ビットの長さに設定できます。アドレス入力の値によるシフトレジスタの長さは、長さ = $(8 \times A3) + (4 \times A2) + (2 \times A1) + A0 + 1$ という式で算出できます。A3、A2、A1、A0 がすべて 0 の場合 (0000) はシフトレジスタの長さは 1 ビットになり、すべて 1 の場合 (1111) は 16 ビットになります。
- シフトレジスタ長を動的に変化させるには :** 入力 A3 ~ A0 の値を変化させます。たとえば、A2、A1、A0 がすべて 1 の場合 (111) に A3 を 1 から 0 に切り替えると、シフトレジスタの長さは 16 ビットから 8 ビットに変化します。内部的には、シフトレジスタの長さは常に 16 ビットで、どのビットの値が出力されるかは入力 A3 ~ A0 の値によって決定されます。

シフトレジスタ LUT の初期値を指定するには、INIT 属性に 4 桁の 16 進数を割り当てます。一番左の桁が最上位ビットになります。INIT の値を指定しない場合は、シフトレジスタ LUT の内容はコンフィギュレーション中に 0000 にクリアされます。

CE が High の場合、クロック (CLK) が High から Low に切り替わるときに、D の値がシフトレジスタの第 1 ビットにロードされます。次にクロックが High から Low に切り替わるときに CE が High の場合、シフトレジスタの値は次の高位ビットにシフトされ、新しい値がロードされます。アドレス入力の値によってシフトレジスタの長さが決まり、Q にその値が出力されます。

注記 : Q15 の出力を使用すると、複数のシフトレジスタ LUT をカスケード接続でき、より大きなシフトレジスタを作成できます。

論理表

入力				出力	
Am	CE	CLK	D	Q	Q15
Am	0	X	X	Q(Am)	変化なし
Am	1	X	X	Q(Am)	変化なし
Am	1	↓	D	Q(Am-1)	Q14
m = 0、1、2、3					

デザインの入力方法

インスタンス化	可
推論	推奨
CORE Generator™ およびウィザード	不可
マクロのサポート	不可

使用可能な属性

属性	データ型	値	デフォルト	説明
INIT	16 進数	16 ビット値	すべて 0	コンフィギュレーション後のシフトレジスタと出力の初期値を指定します。

VHDL 記述 (インスタンス化)

次の 2 つの文が存在しない場合は、コピーしてエンティティ宣言の前に貼り付けます。

```
Library UNISIM;
use UNISIM.vcomponents.all;

-- SRLC16E_1: 16-bit shift register LUT with clock enable operating on negedge of clock
--          Virtex-4
-- Xilinx HDL Libraries Guide, version 14.5

SRLC16E_1_inst : SRLC16E_1
generic map (
  INIT => X"0000")
port map (
  Q => Q,          -- SRL data output
  Q15 => Q15,      -- Carry output (connect to next SRL)
  A0 => A0,        -- Select[0] input
  A1 => A1,        -- Select[1] input
  A2 => A2,        -- Select[2] input
  A3 => A3,        -- Select[3] input
  CE => CE,        -- Clock enable input
  CLK => CLK,      -- Clock input
  D => D           -- SRL data input
);

-- End of SRLC16E_1_inst instantiation
```

Verilog 記述 (インスタンス化)

```
// SRLC16E_1: 16-bit shift register LUT with clock enable operating on negedge of clock
//          Virtex-4
// Xilinx HDL Libraries Guide, version 14.5

SRLC16E_1 #(
  .INIT(16'h0000) // Initial Value of Shift Register
) SRLC16E_1_inst (
  .Q(Q),          // SRL data output
  .Q15(Q15),      // Carry output (connect to next SRL)
  .A0(A0),        // Select[0] input
  .A1(A1),        // Select[1] input
  .A2(A2),        // Select[2] input
  .A3(A3),        // Select[3] input
  .CE(CE),        // Clock enable input
  .CLK(CLK),      // Clock input
  .D(D)           // SRL data input
);
```

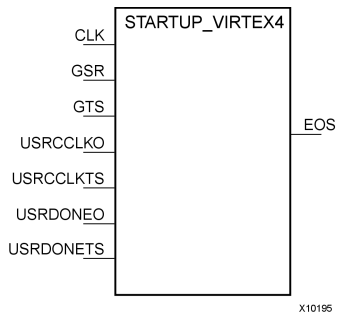
```
// End of SRLC16E_1_inst instantiation
```

詳細情報

- ・ [『Virtex-4 FPGA ユーザー ガイド』\(UG070\)](#)
- ・ [『Virtex-4 FPGA データシート：DC 特性およびスイッチ特性』\(DS302\)](#)

STARTUP_VIRTEX4

プリミティブ： Virtex®-4 User Interface to Configuration Clock, Global Reset, Global 3-State Controls, and Other Configuration Signals



概要

このデザイン エLEMENTを使用すると、グローバル セット/リセット (GSR)、グローバル トライステート (GTS) 制御、コンフィギュレーション クロックをアクティブにし、コンフィギュレーション後に DONE および CLK ピンを制御できます。

ポートの説明

ポート名	方向	幅	機能
EOS	出力	1	EOS 信号
CLK	入力	1	クロック入力
GTS	入力	1	GTS 制御
GSR	入力	1	グローバル セット/リセット (GSR)
USRCCLKO	入力	1	外部 CCLK ピンを駆動します。
USRCCLKTS	入力	1	アサートされると、CCLK ピンがトライステートになります。
USRDONEO	入力	1	外部 DONE ピンを駆動します。
USRDONETS	入力	1	アサートされると、DONE ピンがトライステートになります。

デザインの入力方法

インスタンス化	推奨
推論	不可
CORE Generator™ およびウィザード	不可
マクロのサポート	不可

注記： ブロック RAM、LUT RAM、デジタル クロック マネージャー (DCM)、シフト レジスタ LUT (SRL16、SRL16_1、SRL16E、SRL16E_1、SRLC16、SRLC16_1、SRLC16E、SRLC16E_1) は、セットもリセットもされません。

BSCAN がディセーブルで EXTEST 命令が実行されていない場合、コンフィギュレーションの後にグローバル トライステート信号 (GTS) が High になると、すべての IOB 出力がハイ インピーダンスになり、デバイスの出力が回路から切り離されます。ただし、入力はアクティブのままです。

CLK 入力を使用すると、JTAG の TCK または CCCLK ピンにクロックを供給する必要はなく、コンフィギュレーション スタートアップ シーケンスに指定の I/O を使用してクロックを供給できます。この機能をイネーブルにするには、BitGen でビットストリームを生成する際に、スタートアップ クロックを userclk に設定しておく必要があります。

USRCLK0/TS および USRDONE0/TS は、外部 DONE および CCLK ピンを制御するために使用します。STARTUP_VIRTEX4 を USR_ACCESS_VIRTEX4 プリミティブと共に使用すると、PROM データの FPGA への読み込みなど、さまざまなアプリケーションがサポートされます。詳細は、「USR_ACCESS_VIRTEX4」を参照してください。

VHDL 記述 (インスタンス化)

次の 2 つの文が存在しない場合は、コピーしてエンティティ宣言の前に貼り付けます。

```
Library UNISIM;
use UNISIM.vcomponents.all;

-- STARTUP_VIRTEX4: Startup primitive for GSR, GTS or startup sequence
-- control.
-- Virtex-4
-- Xilinx HDL Libraries Guide, version 14.5

STARTUP_VIRTEX4_inst : STARTUP_VIRTEX4
port map (
  EOS => EOS,          -- End of Startup 1-bit output
  CLK => CLK,          -- Clock input for start-up sequence
  GSR => GSR_PORT,     -- Global Set/Reset input (GSR cannot be used for the port name)
  GTS => GTS_PORT,     -- Global 3-state input (GTS cannot be used for the port name)
  USRCCLK0 => USRCCLK0, -- USRCCLK0 1-bit input
  USRCCLKTS => USRCCLKTS, -- USRCCLKTS 1-bit input
  USRDONE0 => USRDONE0, -- USRDONE0 1-bit input
  USRDONETS => USRDONETS -- USRDONETS 1-bit input
);

-- End of STARTUP_VIRTEX4_inst instantiation
```

Verilog 記述 (インスタンス化)

```
// STARTUP_VIRTEX4: Startup primitive for GSR, GTS or startup sequence
// control.
// Virtex-4
// Xilinx HDL Libraries Guide, version 14.5

STARTUP_VIRTEX4 STARTUP_VIRTEX4_inst (
  .EOS(EOS), // End Of Startup 1-bit output
  .CLK(CLK), // Clock input for start-up sequence
  .GSR(GSR_PORT), // Global Set/Reset input (GSR cannot be used as a port name)
  .GTS(GTS_PORT), // Global 3-state input (GTS cannot be used as a port name)
  .USRCCLK0(USRCCLK0), // USERCLK0 1-bit input
  .USRCCLKTS(USRCCLKTS), // USERCLKTS 1-bit input
  .USRDONE0(USRDONE0), // USRDONE0 1-bit input
  .USRDONETS(USRDONETS) // USRDONETS 1-bit input
);

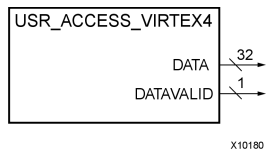
// End of STARTUP_VIRTEX4_inst instantiation
```

詳細情報

- ・ [『Virtex-4 FPGA ユーザー ガイド』\(UG070\)](#)
- ・ [『Virtex-4 FPGA データシート：DC 特性およびスイッチ特性』\(DS302\)](#)

USR_ACCESS_VIRTEX4

プリミティブ：32-Bit Register with a 32-Bit DATA Bus and a DATAVALID Port



概要

このデザイン エLEMENTは、ビットストリームからのデータに FPGA から直接アクセスできるようにする 32 ビットレジスタです。このモジュールには、32 ビット DATA バスと DATAVALID の 2 つの出力があります。コンフィギュレーション データソース クロックには、CCLK または TCK を使用します。

このブロックは、FPGA がコンフィギュレーションされた後に、ビットストリーム データ格納ソース (PROM など) のデータに FPGA からアクセスできるようにします。この機能を使用するには、STARTUP_VIRTEX4 ブロックもインスタンスエートする必要があります。STARTUP_VIRTEX4 ブロックには、EOS (End-Of-Startup) 信号がアサートされた後に CCLK および DONE ピンをユーザーが使用できるようにする入力があります。これらのピンは、USR_CCLK_O、USR_CCLK_TS、USR_DONE_O、および USR_DONE_TS です。DONE ピンが High になると PROM がリセットされてしまうので、BitGen の -g DONE_cycle: 7 オプションを使用して、DONE ピンが High にならないようにする必要があります。USR_CCLK_O ピンは、FPGA 内の制御クロックに接続します。PROM には、USR_ACCESS レジスタをターゲットとしたデータ パケットが含まれている必要があります。EOS がアサートされたら、USR_CCLK_TS を Low に保持した状態で、USR_CCLK_O ピンにクロックを供給するとデータ パケットを読み込むことができます。この使用法では、USR_CCLK_TS を Low に接続しておくこともできます。

また、BRAM または LUTRAM で定数を保存する代わりに、USR_ACCESS レジスタに 32 ビットの定数値 1 つを保存できます。

ポートの説明

ポート名	方向	幅	機能
DATA	出力	32	FPGA でビットストリーム データの格納ソースからのデータにアクセスできるようにする 32 ビット レジスタです。
DATAVALID	出力	1	DATA バスの値が有効 (新規) であるかどうかを示します。真の場合、コンフィギュレーション データソース クロックの 1 サイクル間 High にアサートされます。

デザインの入力方法

インスタンスエーション	推奨
推論	不可
CORE Generator™ およびウィザード	不可
マクロのサポート	不可

このモジュールを使用してビットストリーム データ格納ソース (PROM など) のデータに FPGA からアクセスできるようにするには、STARTUP_VIRTEX4 ブロックもインスタンスエートする必要があります。STARTUP_VIRTEX4 モジュールには、EOS (End-Of-Startup) 信号がアサートされた後に CCLK および DONE ピンをユーザーが使用できるようにする入力があります。これらのピンは、USR_CCLK_O、USR_CCLK_TS、USR_DONE_O、および USR_DONE_TS です。

USR_CCLK_O ピンは、FPGA 内の制御クロックに接続します。データ格納ソースには、USR_ACCESS_VIRTEX4 レジスタをターゲットとしたデータ パケットが含まれている必要があります。EOS がアサートされたら、USR_CCLK_TS を Low に保持した状態で、USR_CCLK_O ピンにクロックを供給するとデータ パケットを読み込むことができます。この使用法では、USR_CCLK_TS を Low に接続しておくこともできます。

また、このモジュールを使用する場合は、BitGen の -g DONE_cycle: 7 オプションを使用して、DONE ピンが High にならないようにする必要があります。DONE が High にアサートされると、PROM がリセットされてしまいます。

VHDL 記述 (インスタンス化)

次の 2 つの文が存在しない場合は、コピーしてエンティティ宣言の前に貼り付けます。

```
Library UNISIM;
use UNISIM.vcomponents.all;

-- USR_ACCESS_VIRTEX4: Configuration Data Memory Access Port
--                               Virtex-4
-- Xilinx HDL Libraries Guide, version 14.5

USR_ACCESS_VIRTEX4_inst : USR_ACCESS_VIRTEX4
port map (
    DATA => DATA,           -- 32-bit config data output
    DATAVALID => DATAVALID -- 1-bit data valid output
);

-- End of USR_ACCESS_VIRTEX4_inst instantiation
```

Verilog 記述 (インスタンス化)

```
// USR_ACCESS_VIRTEX4: Configuration Data Memory Access Port
//                               Virtex-4
// Xilinx HDL Libraries Guide, version 14.5

USR_ACCESS_VIRTEX4 USR_ACCESS_VIRTEX4_inst (
    .DATA(DATA),             // 32-bit config data output
    .DATAVALID(DATAVALID)    // 1-bit data valid output
);

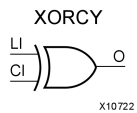
// End of USR_ACCESS_VIRTEX4_inst instantiation
```

詳細情報

- ・ [『Virtex-4 FPGA ユーザー ガイド』\(UG070\)](#)
- ・ [『Virtex-4 FPGA データシート：DC 特性およびスイッチ特性』\(DS302\)](#)

XORCY

プリミティブ：XOR for Carry Logic with General Output



概要

このデザイン エLEMENTは、汎用出力 (O) を持つ特殊な XOR ゲートで、高速で小型の演算ファンクションを生成するために使用します。このプリミティブは、スライスのキャリーチェーン ロジック内の専用 XOR ファンクションで、演算ファンクション (加算または除算) または多入力ロジック ファンクション (多入力 AND または OR ゲート) を高速かつ効率的に作成できます。

論理表

入力		出力
LI	CI	O
0	0	0
0	1	1
1	0	1
1	1	0

デザインの入力方法

インスタンス化	可
推論	推奨
CORE Generator™ およびウィザード	不可
マクロのサポート	不可

VHDL 記述 (インスタンス化)

次の 2 つの文が存在しない場合は、コピーしてエンティティ宣言の前に貼り付けます。

```
Library UNISIM;
use UNISIM.vcomponents.all;

-- XORCY: Carry-Chain XOR-gate with general output
--      Virtex-4
-- Xilinx HDL Libraries Guide, version 14.5

XORCY_inst : XORCY
port map (
    O => O,    -- XOR output signal
    CI => CI,  -- Carry input signal
    LI => LI   -- LUT4 input signal
);

-- End of XORCY_inst instantiation
```

Verilog 記述 (インスタンスレーション)

```
// XORCY: Carry-Chain XOR-gate with general output
//      Virtex-4
// Xilinx HDL Libraries Guide, version 14.5

XORCY XORCY_inst (
    .O(O), // XOR output signal
    .CI(CI), // Carry input signal
    .LI(LI) // LUT4 input signal
);

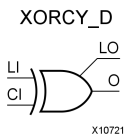
// End of XORCY_inst instantiation
```

詳細情報

- ・ [『Virtex-4 FPGA ユーザー ガイド』\(UG070\)](#)
- ・ [『Virtex-4 FPGA データシート：DC 特性およびスイッチ特性』\(DS302\)](#)

XORCY_D

プリミティブ : XOR for Carry Logic with Dual Output



概要

このデザイン エLEMENTは、汎用出力 (O) とローカル出力 (LO) を持つ特殊な XOR ゲートで、高速で小型の演算ファンクションを生成するために使用します。

論理表

入力		出力
LI	CI	O および LO
0	0	0
0	1	1
1	0	1
1	1	0

デザインの入力方法

インスタンス化	可
推論	推奨
CORE Generator™ およびウィザード	不可
マクロのサポート	不可

VHDL 記述 (インスタンス化)

次の 2 つの文が存在しない場合は、コピーしてエンティティ宣言の前に貼り付けます。

```
Library UNISIM;
use UNISIM.vcomponents.all;

-- XORCY_D: Carry-Chain XOR-gate with local and general outputs
--          Virtex-4
--          Xilinx HDL Libraries Guide, version 14.5

XORCY_D_inst : XORCY_D
port map (
    LO => LO, -- XOR local output signal
    O  => O,  -- XOR general output signal
    CI => CI, -- Carry input signal
    LI => LI  -- LUT4 input signal
);

-- End of XORCY_D_inst instantiation
```

Verilog 記述 (インスタンスレーション)

```
// XORCY_D: Carry-Chain XOR-gate with local and general outputs
//           Virtex-4
// Xilinx HDL Libraries Guide, version 14.5

XORCY_D XORCY_D_inst (
    .LO(LO), // XOR local output signal
    .O(O),   // XOR general output signal
    .CI(CI), // Carry input signal
    .LI(LI)  // LUT4 input signal
);

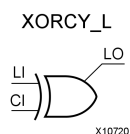
// End of XORCY_D_inst instantiation
```

詳細情報

- ・ [『Virtex-4 FPGA ユーザー ガイド』\(UG070\)](#)
- ・ [『Virtex-4 FPGA データシート：DC 特性およびスイッチ特性』\(DS302\)](#)

XORCY_L

プリミティブ : XOR for Carry Logic with Local Output



概要

このデザイン エLEMENTは、ローカル出力 (LO) のある特殊な XOR ゲートで、高速で小型の演算ファンクションを生成するために使用します。

論理表

入力		出力
LI	CI	LO
0	0	0
0	1	1
1	0	1
1	1	0

デザインの入力方法

インスタンス化	可
推論	推奨
CORE Generator™ およびウィザード	不可
マクロのサポート	不可

VHDL 記述 (インスタンス化)

次の 2 つの文が存在しない場合は、コピーしてエンティティ宣言の前に貼り付けます。

```
Library UNISIM;
use UNISIM.vcomponents.all;

-- XORCY_L: Carry-Chain XOR-gate with local  => direct-connect output
--           Virtex-4
-- Xilinx HDL Libraries Guide, version 14.5

XORCY_L_inst : XORCY_L
port map (
    LO => LO, -- XOR local output signal
    CI => CI, -- Carry input signal
    LI => LI  -- LUT4 input signal
);

-- End of XORCY_L_inst instantiation
```

Verilog 記述 (インスタンスレーション)

```
// XORCY_L: Carry-Chain XOR-gate with local (direct-connect) output
//           Virtex-4
// Xilinx HDL Libraries Guide, version 14.5

XORCY_L XORCY_L_inst (
    .LO(LO), // XOR local output signal
    .CI(CI), // Carry input signal
    .LI(LI)  // LUT4 input signal
);

// End of XORCY_L_inst instantiation
```

詳細情報

- ・ [『Virtex-4 FPGA ユーザー ガイド』\(UG070\)](#)
- ・ [『Virtex-4 FPGA データシート：DC 特性およびスイッチ特性』\(DS302\)](#)